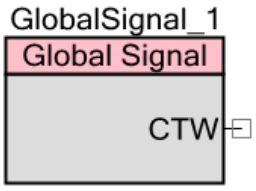
全局信号参考（GlobalSignal）

2.0

特性



- 允许访问器件级全局信号

概述

这是GlobalSignal参考组件。它允许访问器件级全局信号。

何时使用全局信号

GlobalSignal组件可用于访问各类全局信号：

- 看门狗中断和时间周期中断
- 通过唤醒源（如 CTBm、LP 比较器和 I/O 端口）触发的中断
- 非阻塞闪存写入的状态条件，如 PLL 锁存、低电压检测、电源管理和中断
- 错误条件：如 XMHz 错误和缓存中断。

输入/输出接口

本节描述了 GlobalSignal 组件的输出接口。

sig_out - 输出

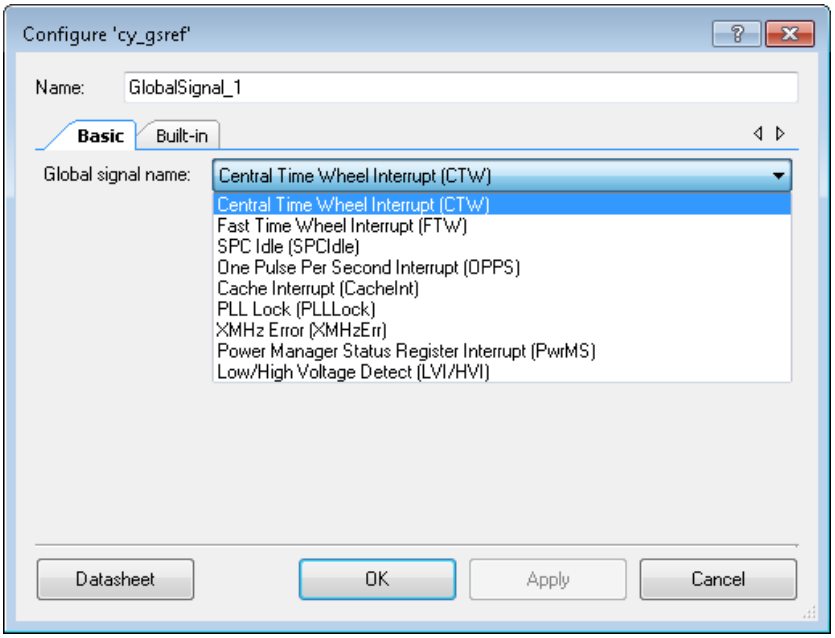
该终端允许用户将一个全局信号关联到一个中断或其它数字输入上。

组件参数

将 GlobalSignal 组件拖入您的设计中，然后双击它，打开 Configure（配置）对话框。
GlobalSignal 组件提供下列参数

全局信号名称

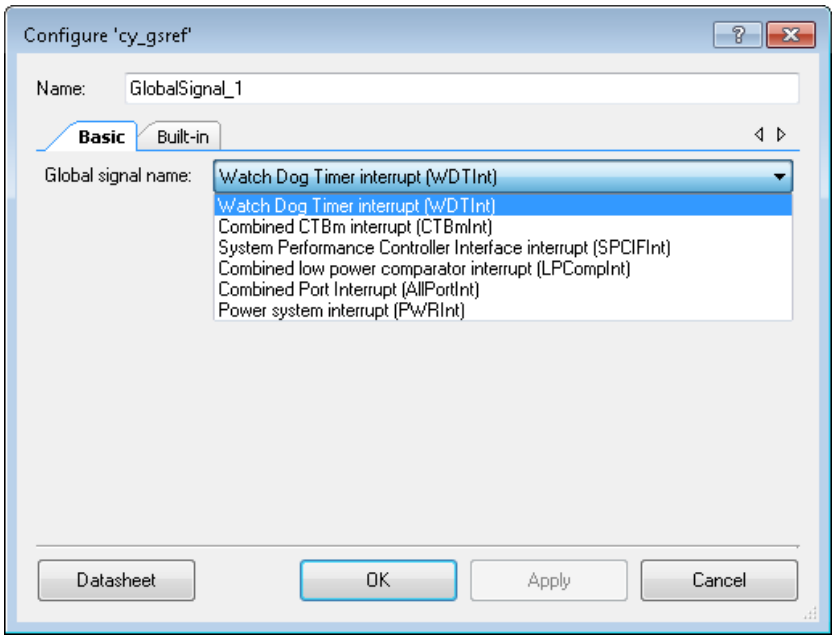
对于 PSoC 3 和 PSoC 5 LP，下拉菜单包含以下可支持的信号：全局信号名称的默认值为 Central Time Wheel Interrupt（CTW）。



- Central Time Wheel Interrupt（CTW）— 中央时轮是一个以 1 kHz 频率自由运行的 13 位计数器，其时钟由 ILO 提供。它用于从低功耗模式中唤醒器件，也可用在看门狗定时器（WDT）中，也可将它用于通用时序目的。计数器生成的中断是可设置为每隔 2 毫秒至 4096 毫秒触发一次中断的异步脉冲。
- Fast Time Wheel Interrupt （FTW） — 快速时轮是 ILO 提供并以 100 kHz 频率运行的 5 位计数器，它也可用于唤醒系统。当达到终端计数时，时轮自动复位并重新计数。当达到终端计数时，将会生成 FTW 中断。该中断将生成可设置为每隔 10 µs 至 2560 µs 触发一次的异步脉冲。
- SPC Idle（SPCIdle） — 系统性能控制器（SPC）被用于编程 Flash 存储器中的非易失性存储器。SPC 可以对 Flash 存储器进行读写操作。SPC 闲置信号表示 SPC 退出了活动模式，允许对该信号决定的寄存器进行写操作。
- One Pulse per Second Interrupt （OPPS）— 每秒触发一次的中断。OPPS 要求使能外部 32 kHz 晶振。另外，还要求通过使用 RTC 组件或者通过手动配置 PM_TW_CFG2 寄存器中的第 4 位和第 5 位来正确对 OPPS 进行配置。在 PSoC 5LP 中，必须使用 RTC 组件。
- Cache Interrupt（CacheInt） — 纠错码（ECC）是用来确保对 Flash 读的可靠性。当缓存读 Flash 时，它从 ECC 模块获得错误状态，并且如果在 ECC 中检测到单比特或多比特错误，将生成中断。
- PLL Lock（PLLLock） — 该信号表示 PLL 频率锁存的状态。

- XMHz Error（XMHzErr） — 表示检测到外部晶振的错误。
- Power Management Status Register Interrupt（PwrMS） — 如果 CTW、FTW 或 OPPS 且定时器到期，该中断将被触发。在状态寄存器被读取之前，一直保持高电平。
- Low/High Voltage（LVI/HVI） — 用于检测电压超出了可设置的范围。更多有关使用“低电压/高电压”信号的信息，请参考《*系统参考指南*》中“电压检测 API”章节的内容。

对于 PSoC 4，下拉菜单包含以下可支持的信号：全局信号名称的默认值为**看门狗定时器中断（WDTInt）**。



- Watch Dog Timer Interrupt（WDTInt） — 在意外执行固件时， WDT 电路可自动复位微控制器。该定时器由 LFCLK 提供时钟。当任何使能的 WDT 器到期时，将会触发 WDT 中断。
- Combined CTBm interrupt （CTBmInt） — CTBm 模块在模拟系统的入口和出口点处提供了连续时间功能。每当已使能的任何 CTBm 生成中断时，将触发该中断。
- System Performance Controller Interface interrupt（SPCIFInt） — SPC 模块能够生成擦除和编程 Flash 存储器时所需的正确序列高电压脉冲。从 SRAM 调用非阻塞函数时，写入或编程操作中的每个子操作完成后，SPCIF 定时器将触发其中断。

  注意：对于阻塞的闪存编程，不能触发该中断。
- Combined low power comparator interrupt（LPCompInt） — 每当已使能的任何低功耗比较器生成中断时，将触发该中断。

- Combined Port Interrupt（AllPortInt） — 使用该信号将端口中断控制器单位（PICU）上的所有中断组合成单个中断。这样，当触发 PICU 上的任意中断时， 都会触发该信号。
- Power System interrupt（PWRInt） — 每当检测到低电压时，将触发该中断。更多有关使用“电源系统中断”的信息，请参见《*系统参考指南*》中“电压检测 API”章节的内容。

芯片支持信号

PSoC 3 / PSoC 5LP

信号名称		芯片	
		PSoC 3	PSoC 5LP
CTW		适用	适用
FTW		适用	适用
SPCIdle		适用	适用
OPPS		适用	适用
CacheInt	ECC 中断	不适用	适用
	缓存中断	不适用	适用
PLLLock		适用	适用
XMHzErr		适用	适用
PwrMS		适用	适用
LVI/HVI		适用	适用

PSoC 4* / PRoC BLE

信号名称	芯片		
	PSoC 4000	PSoC 4100 / PSoC 4200	PSoC 4100-BL / PSoC 4200-BL / PRoC BLE [1]
WDTInt	适用	适用	适用

[1] PRoC 器件具有支持信号的有限子集。请参见器件 TRM。

CTBmInt	不适用	适用	适用
SPCIFInt	适用	适用	适用
LPCompInt	不适用	适用	适用
PWRInt	不适用	适用	适用
AllPortInt	不适用	不适用	适用

MISRA 合规性

本节介绍了 MISRA-C:2004 合规性和本组件的偏差情况。定义了两种类型的偏差：

- 项目偏差 — 适用于所有 PSoC Creator 组件的偏差
- 特定偏差 — 仅适用于该组件的偏差

本节介绍了有关组件特定偏差的信息。*系统参考指南*的“MISRA 合规性”章节中介绍了项目偏差以及有关 MISRA 合规性验证环境的信息。

全局信号参考组件没有任何 C 源代码 API。

功能描述

这是一个硬件组件。它产生的输出信号可供设计中的其他组件使用。无法保证该信号的时间安排，因此该信号必须用于不受时序限制的影响的器件，如中断器件。

组件更新

版本	更改说明	更改原因/影响
2.0.e	添加了组合端口中断。	支持蓝牙低功耗的器件。
2.0.d	更新了全局信号名称的输入信息	说明内容不充分的
	增加了PSoC 4000（CY8C40xx）的支持	
2.0.c	进一步描述了每秒一次脉冲的中断。	提供了OPPS中断的使用指南。
2.0.b	已添加PSoC 4支持。	PSoC 4包含五个新可选的全局信号。
2.0.a	添加了MISRA合规性章节。	组件并没有API。
2.0	初始版本。	

赛普拉斯半导体公司，2012-2016 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。