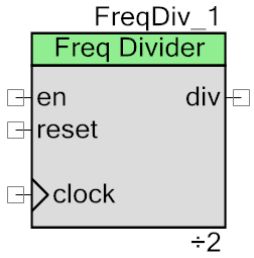
分频器

1.0



特性

- 对时钟信号或任意信号进行指定值分频
- 使能和复位输入以控制和调整分频输出

概述

分频器组件可以生成一个分频输出，即时钟输入除以指定分频值。

何时使用分频器

可将分频器作为 UDB 组件的简单时钟分频器使用，或用于对其他信号进行分频操作。

与分频器相比，时钟组件所提供的全局时钟分频器更为高效，并且它的特性更多，但是在使用了所有全局时钟分频器时，该分频器将特别有用。

输入/输出连接

本节介绍了边沿检测器的各种输入和输出连接。

en — 输入

“en”输入用于使能或禁用内部计数器。当此信号为低电平时，将不对**时钟**输入的上升沿进行计数，且将不更改 **div** 输出。

复位 — 输入

复位输入将在下一个**时钟**输入的上升沿对内部计数器进行复位。这导致 **div** 输出变为低电平，直至复位输入再次置于低电平并重启计数器。

时钟 — 输入

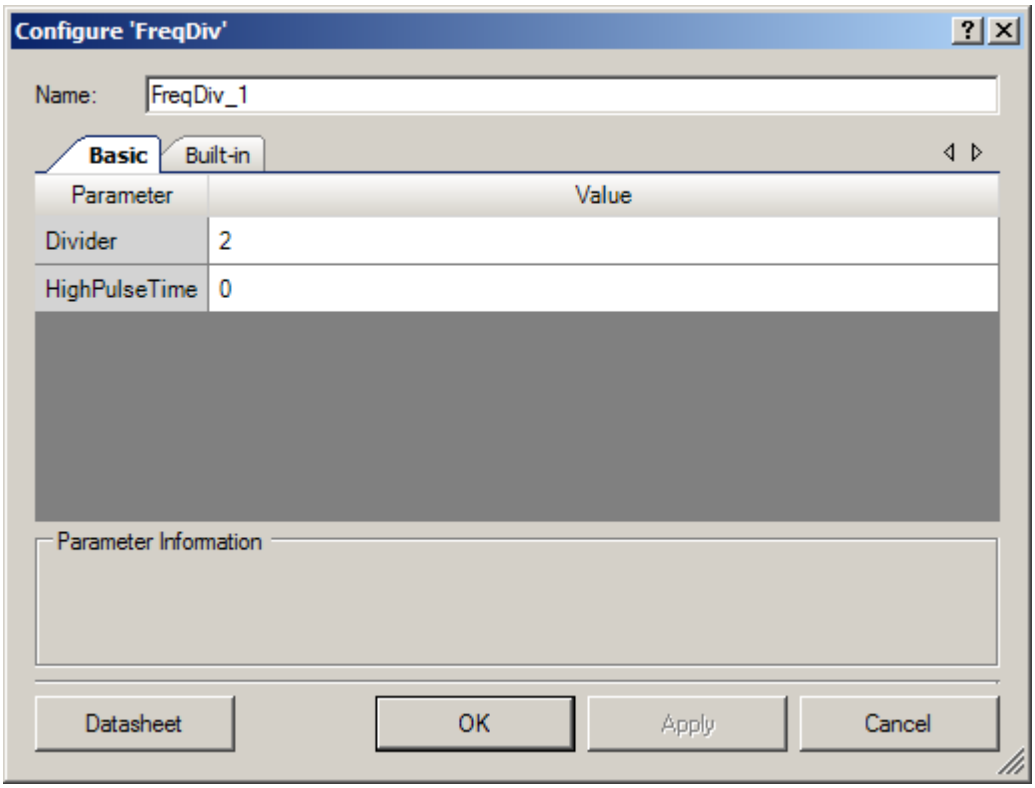
时钟输入用于决定要分频的信号。

div — 输出

通过“div”信号可以输出根据所指定值进行分频的**时钟**信号。

组件参数

将分频器拖入设计窗口中，双击此组件以打开 **Configure**（配置）对话框。



分频器提供了下列参数。

Divider（分频值）

时钟输入要分频的值。该值必须介于 2 到 4294967295 之间。默认值为 **2**。

HighPulseTime（高脉冲时间）

该参数用于控制 **div** 输出的占空比。该值指定了在每个周期中，**div** 输出将拉高的**时钟**输入的上升沿数量。HighPulseTime 被设为 **0** 是一个特殊情况，此时输出占空比是 50%（对于奇数分频值，则稍微大于 50%）。HighPulseTime 的值必须小于分频值。默认值为 **0**。

功能说明

分频器将内部使用 PLD 中合成的 N 位递增计数器。其中，N 是等于或大于 $\log_2$（分频值）的最小整数。此计数器值与“Divider”参数和“HighPulseTime”参数相比较以生成“div”输出。

图 1. 2 分频示例

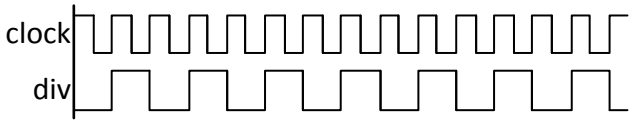


图 1 显示的是“Divider”参数为 2 且“HighPulseTime”参数为 0（这时它的占空比为 50%）时分频器的波形。

图 2. 3 分频示例

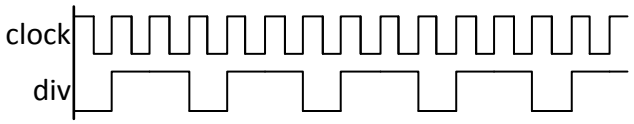


图 2 显示的是“Divider”参数为 3 且“HighPulseTime”参数为 0（说明占空比稍微大于 50%）时的分频器的波形。

通过将“HighPulseTime”参数修改为非零值，可以自定义“div”输出的占空比。

图 3. 4 分频示例

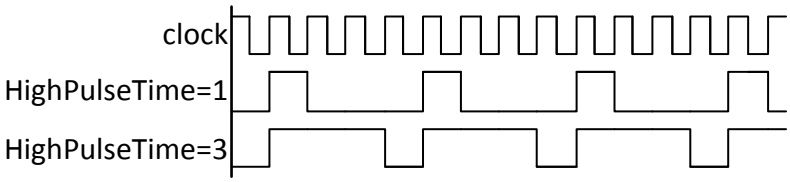


图 3 显示的是分频器的“Divider”参数为 4 时所产生的两个波形。其中，一个波形的“HighPulseTime”参数为 1（这时它的占空比为 25%），另一个波形的“HighPulseTime”参数为 3（这时其占空比为 75%）。

分频器提供了可选的使能和复位输入，从而允许进一步控制“div”输出。

复位输入可控制“div”输出的第一个上升沿出现的时间。只要复位输入为高电平，“div”输出就保持低电平。一旦复位输入变为低电平，“div”输出将开始生成所指定的波形。可通过将多个分频器组件连接到通用复位信号来对齐这些分频器组件的相位。

图 4. 使用复位输入的相位对齐

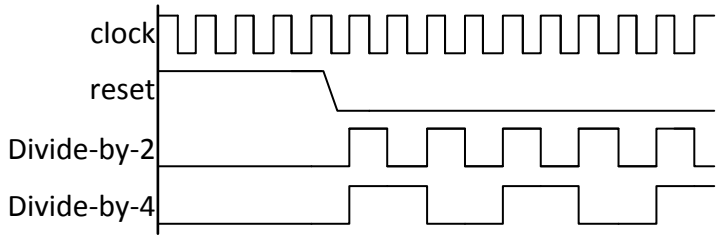


图 4 显示的是在两个分频器被连接到同一个复位信号以对齐它们的输出相位时产生的波形。

“en”输入提供了关断时钟输入的方式，可有效停顿“div”输出。

图 5. 使用使能输入关断时钟

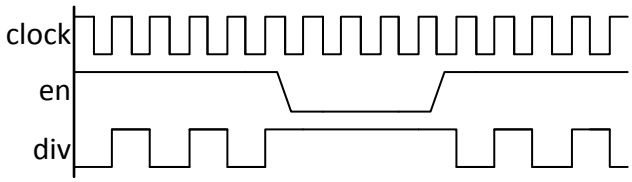


图 5 显示的是在使能输入保持低电平一段时间后产生的波形。

资源

分频器被合成到 UDB 阵列中的宏单元。宏单元使用情况取决于合成期间执行的优化。表 1 针对不同分频值提供了资源使用情况的估计。对于较大的分频值，最好应该使用时钟组件中的内置时钟分频器。

表 1. 资源使用情况

配置	资源类型					
	数据通路单元	宏单元	状态单元	控制单元	DMA通道	中断
分频值 = 2	–	3	–	–	–	–
分频值 = 10	–	6	–	–	–	–
分频值 = 100	–	9	–	–	–	–
分频值 = 1000	–	19	–	–	–	–
分频值 = 10000	–	36	–	–	–	–
分频值 = 100000	–	51	–	–	–	–
分频值 = 1000000	–	63	–	–	–	–

MISRA 合规性

本节介绍了MISRA-C:2004合规性和本组件的偏差情况。定义了两种类型的偏差：项目偏差 — 适用于所有PSoC Creator组件的偏差；特定偏差 — 仅适用于该组件的偏差。本节提供了有关组件特定偏差的信息。*《系统参考指南》*的MISRA合规性章节中介绍了项目偏差以及有关MISRA合规性验证环境的信息。

分频器组件没有任何 C 源代码 API。

直流和交流电气特性

除非另有说明，否则这些规范的适用条件是：-40°C ≤ T_A ≤ 85 °C 且 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V 到 5.5 V。

表 2. 交流电气特性

参数	说明	最小值	典型值	最大值[1]	单位
f_{CLOCK}	组件时钟频率				
	分频值 = 2	–	–	67	MHz
	分频值 = 10	–	–	67	MHz
	分频值 = 100	–	–	67	MHz
	分频值 = 1000	–	–	43	MHz
	分频值 = 10000	–	–	34	MHz
	分频值 = 100000	–	–	28	MHz
	分频值 = 1000000	–	–	21	MHz

组件更改

本节列出了各版本的主要组件更改内容。

版本	更改说明	更改原因/影响
1.0.b	增加了有关时钟组件所提供的内置全局时钟分频器的备注内容。	说明了内置时钟分频器的适用场合。

1 这些值提供了此组件的最大安全工作频率。可以在更高的时钟频率运行此组件，此时，需要验证时序要求与 STA 的结果。

版本	更改说明	更改原因/影响
1.0.a	纠正了“reset”终端的说明信息。	数据手册的前一版本中错误指出：“div”输出将保持高电平，直到复位输入置于低电平为止。
1.0	该组件的第一版本。	

© 赛普拉斯半导体公司，2013。此处，所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路以外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

PSoC® Creator™、Programmable System-on-Chip™ 和 PSoC Express™ 是赛普拉斯半导体公司的商标，PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯 集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键器件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。