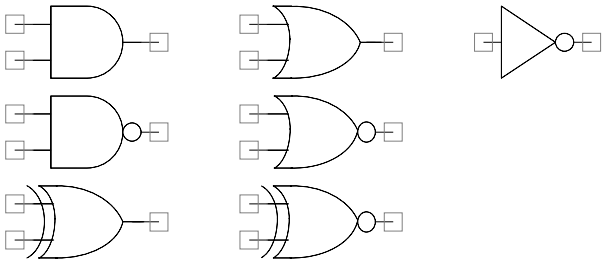
デジタルロジックゲート

1.0

特長

- 業界標準のロジックゲート
- 入力数は 8 まで設定可能
- ゲートをアレイ化



概要

ロジックゲートは基本的な論理演算を提供します。出力はブール関数の組み合わせで決まります。7 つの基本的なロジックゲートがあります。(AND、OR、Inverter (NOT)、NAND、NOR、XOR、XNOR)

ロジックゲートの用途

ロジックゲートは基本的な論理演算を行う場合に使用します。基本ロジックゲートを様々に組み合わせることにより、より複雑な演算を行えます。

入出力の接続

このセクションでは、ロジックゲートの様々な入力および出力接続について説明します。I/O 項目のアスタリスク (*) はその I/O が、説明に挙げられた条件において、回路シンボルに表示されない場合があることを示します。

入力 1

全てのロジックゲートは少なくとも 1 つデジタル入力を持ちます。

入力 2

Inverter (NOT) を除くすべてのロジックゲートは 2 番目のデジタル入力を持ちます。

入力 3-8*

Inverter (NOT) を除くすべてのロジックゲートは、8 つまでの入力端子を持つよう設定できます。

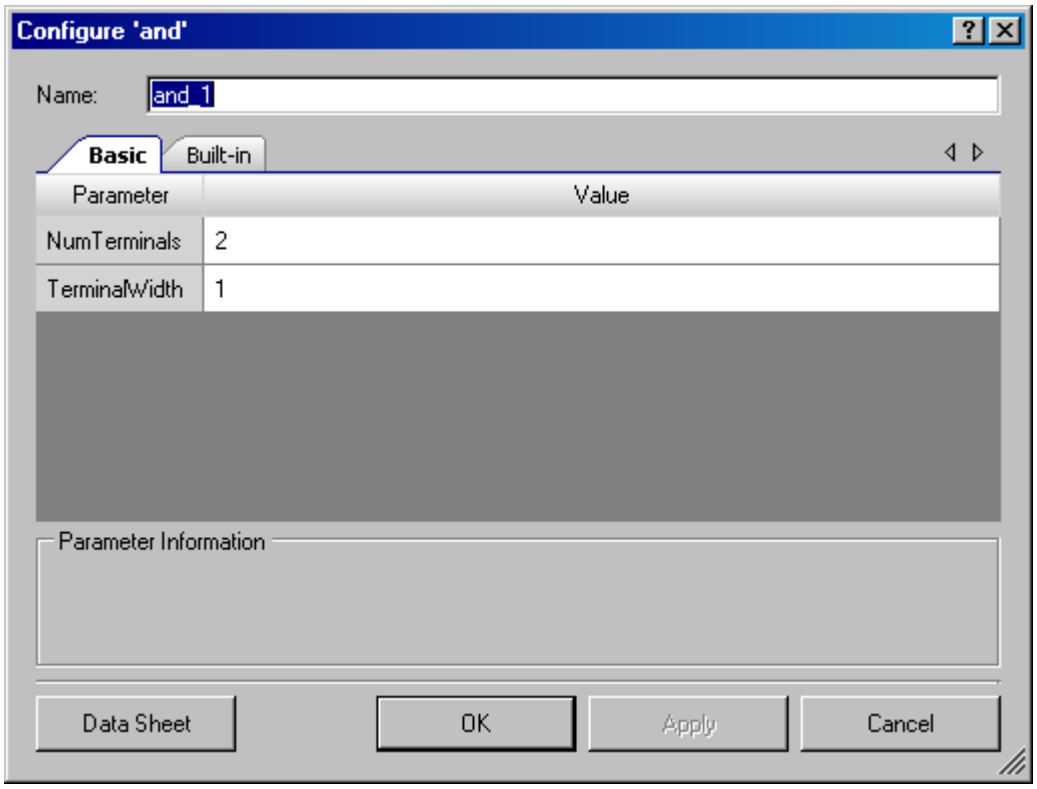
出力

すべてのロジックゲートは出力を 1 つ持ちます。

コンポーネント パラメータ

ロジックゲートを回路図にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。

図 1. Configure AND Dialog



ロジックゲートは次のパラメータを提供します。

NumTerminals

Inverter (NOT) を除くすべてのロジックゲートでは、このパラメータが入力端子の数を決定します。最少値は **2** (初期値)、最大値は **8** です。Inverter (NOT)にこのパラメータは存在しません。

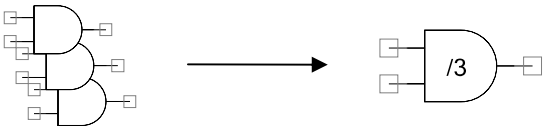
TerminalWidth

このパラメータは、入力および出力端子のアレイ幅を決定します(初期値は **1** です)。

ロジックゲートのアレイを作成しておくと、入力バスと出力バスの間で論理関数を実行するときに役立ちます。これにより、並列になった同数の単体ロジックゲートにつながれるバスラインの本数を定義できます。

図 2 に、2 入力 AND ゲートと幅 3 のアレイの概念図を示します。実際には、単体の AND ゲートのみが 2 入力と 1 出力とともに表示され、それぞれの端子は 3 線分の幅でバスに接続されます。

図 2. アレイの概念図



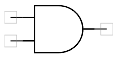
リソース

すべてのデジタルロジックゲートは、積の和に変換され、ユニバーサルデジタルブロック(UDB)のプログラマブルロジックに配置されます。このプロセスの結果、デジタルロジックゲートは自動的に最適化され、PSoC デバイスに配置されます。リソースの使用は作成された特定のロジックに依存し、PsoC Creator でのプロジェクトのコンパイル以前に決定することはできません。

機能の詳細

このセクションでは、それぞれのロジックゲートについて個別に説明します。ロジックゲートの説明では、ロジックレベルを表すのに次の表記を使用します。

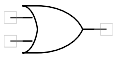
- 真 = 1 = ハイレベル
- 偽 = 0 = ローレベル

AND ゲート 

AND ゲートは、論理 AND 演算子と同様の方法で論理積を実行します。2 つ以上の入力と 1 つの出力を持ちます。表 1 に示すように、すべての入力が真の場合は、出力は真となります。これ以外の場合、出力は偽となります。

表 1. AND 真理値表

入力1	入力2	出力
0	0	0
0	1	0
1	0	0
1	1	1

OR ゲート 

OR ゲートは、包含的論理 OR 演算子と同様の方法で論理和演算を実行します。2 つ以上の入力と 1 つの出力を持ちます。表 2 に示すように、入力が真の場合、出力は真となります。すべての入力が偽の場合、出力は偽となります。

表 2. OR 真理値表

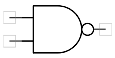
入力1	入力2	出力
0	0	0
0	1	1
1	0	1
1	1	1

Inverter (NOT)ゲート 

NOT ゲートとも呼ばれる Inverter は、反転と呼ばれる基本的な論理関数を実行します。つまり、このゲートによって入力のロジックレベル(真または偽)が逆のロジックレベルに反転されます。NOT ゲートは、入力も出力も 1 つのみです。表 3 に示すとおり、入力が真の場合は出力が偽になり、逆の場合も同様になります。

表 3. Inverter (NOT)真理値表

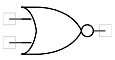
入力	出力
1	0
0	1

NAND ゲート 

NAND ゲートは AND ゲートの後に NOT ゲートを接続したものとして動作します。論理演算 AND を否定するのと同様の働きをします。2 つ以上の入力と 1 つの出力を持ちます。表 4 に示すように、すべての入力が真の場合、出力は偽となります。これ以外の場合、出力は真となります。

表 4. NAND 真理値表

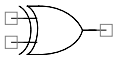
入力1	入力2	出力
0	0	1
0	1	1
1	0	1
1	1	0

NOR ゲート 

NOR ゲートは OR ゲートの後に NOT ゲートを接続したものとして動作します。2 つ以上の入力と 1 つの出力を持ちます。表 5 に示すように、すべての入力が偽の場合、出力は真となります。これ以外の場合、出力は偽となります。

表 5. NOR 真理値表

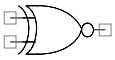
入力1	入力2	出力
0	0	1
0	1	0
1	0	0
1	1	0

XOR ゲート 

XOR(排他的 OR)ゲートはパリティ発生器として有用です。2 つ以上の入力と 1 つの出力を持ちます。表 6 に示すように、真の入力が奇数ある場合に出力が真となります。これ以外の場合、出力は偽となります。

表 6. XOR 真理値表

入力1	入力2	入力3	出力
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

XNOR ゲート 

XNOR(排他的 NOR)ゲートは XOR ゲートの後に NOT ゲートを接続したものとして動作します。2 つ以上の入力と 1 つの出力を持ちます。表 7 に示すように、真の入力が偶数ある場合に出力が真となります。これ以外の場合、出力は偽となります。

表 7. XNOR 真理値表

入力1	入力2	入力3	出力
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

コンポーネントの変更

ここでは、前のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.0.c	データシートのマイナーな編集と更新	
1.0.b	データシートのマイナーな編集と更新	
1.0.a	データシート更新。	XNOR真理値表の間違いを修正。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。