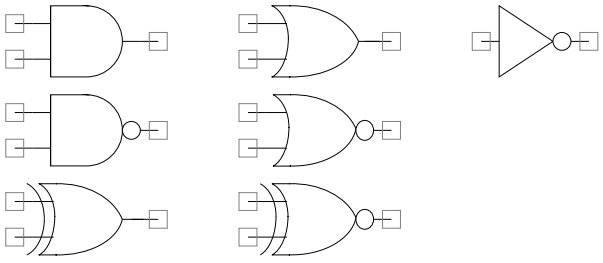
数字逻辑门

1.0

特性



- 行业标准的逻辑门
- 可配置的输入数（最大值 8）
- 门的可选阵列

概述

逻辑门提供基本的布尔运算方法。逻辑门输出是输入的一个布尔组合函数。有七种基本逻辑门：AND、OR、Inverter (NOT)、NAND、NOR、XOR 和 XNOR。

何时使用逻辑门

执行基本的逻辑运算时，使用逻辑门。使用各种基本逻辑门组合，可以执行更复杂的运算。

输入/输出连接

本部分介绍逻辑门的各种输入和输出连接。I/O 列表中的星号 (*) 表示，在 I/O 说明中列出的情况下，该 I/O 可能不可见。

输入 1

每一种逻辑门至少有一个数字输入

输入 2

除“非”门外，所有逻辑门均有第二个数字输入。

Inputs 3 - 8 *（输入 3 - 8 *）

除“非”门外，所有逻辑门配置均有多达 8 个输入终端。

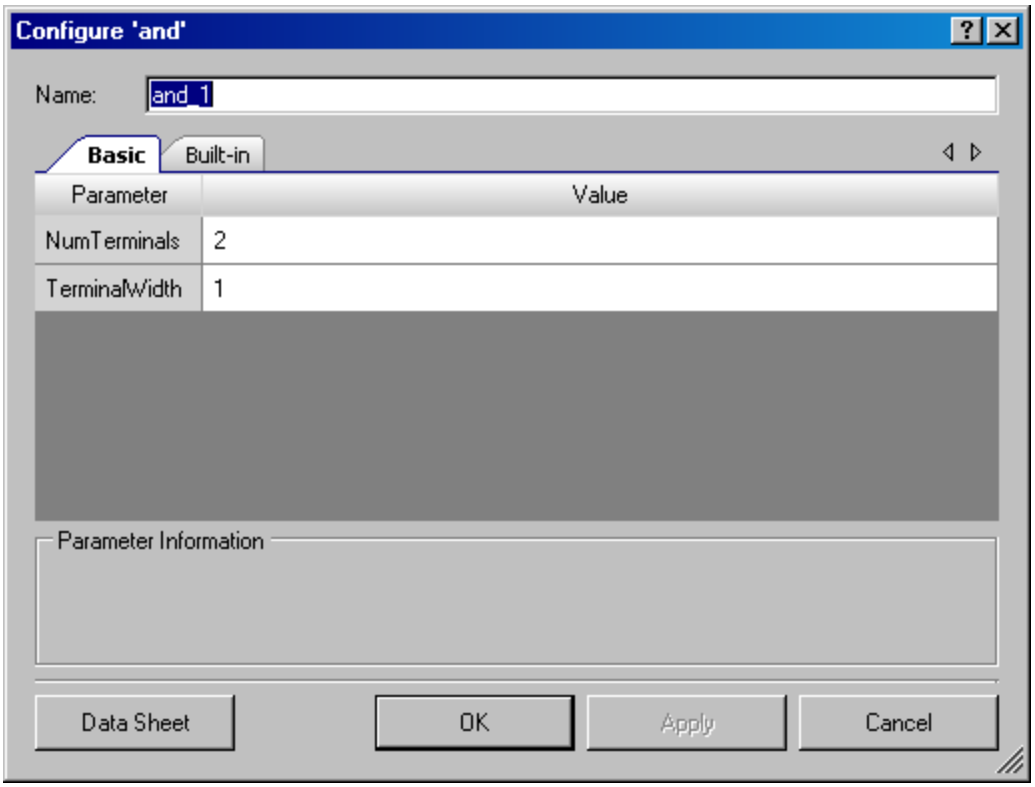
输出

所有逻辑门均有一个输出。

组件参数

将逻辑门拖入设计中，双击逻辑门，打开 **Configure**（配置）对话框。

图 1. 配置（与）对话框



逻辑门提供下列参数：

终端数

除“非”门外，所有逻辑门均使用此参数来确定输入终端数。最小值为 **2**（默认），最大值为 **8**。“非”门不包含此参数。

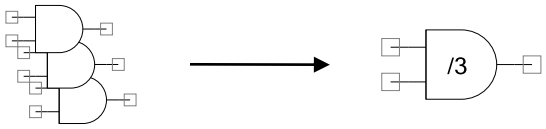
终端宽度

此参数用来确定输入和输出终端的阵列宽度（默认值为 **1**）。

您可以创建逻辑门阵列，以便用来执行整个输入总线和输出总线上的逻辑函数。该函数定义并行连接到相同数量的离散逻辑门的总线的导线数量。

图 2 是“与”门概念示例，包含 2 个输入，阵列宽度为 3。实际上，只有单独的“与”门显示为 2 个输入和 1 个输出，并分别连接到总线上，总线宽度为 3 根导线。

图 2. 阵列概念示例



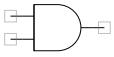
资源

所有数字逻辑门均被转换成标准积项和式，并放在通用数字模块 (UDB) 可编程逻辑中。此流程生成自动优化的数字逻辑门，并将其置入 PSoC （积之和式，SOP）组件中。资源的使用取决于所创建的特定逻辑，但在 PSoC Creator 中编译项目前，无法确定所使用的资源。

功能描述

本部分分别介绍各个逻辑门。逻辑门描述使用下列规范来描述逻辑电平：

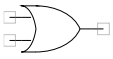
- 真 = 1 = 高逻辑电平
- 假 = 0 = 低逻辑电平

“与”逻辑门 

“与”门与逻辑“与”运算符相同的方法执行逻辑乘法。该逻辑门有两个或更多输入和一个输出。如果所有输入为“真”，那么输出也为“真”，如表 1 所示。否则，输出为“假”。

表 1. “与”真值表

输入 1	输入 2	输出
0	0	0
0	1	0
1	0	0
1	1	1

“或”门 

“或”门用和逻辑“或”运算符相同的方法执行逻辑加法。该逻辑门有两个或更多输入和一个输出。如果输入为“真”，那么输出也为“真”，如表 2 所示。如果所有输入为“假”，那么输出也为“假”。

表 2. “或”真值表

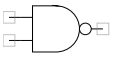
输入 1	输入 2	输出
0	0	0
0	1	1
1	0	1
1	1	1

“非”门 

逻辑非也称为“非”门，执行基本的反函数逻辑运算。也就是说，该门将一个逻辑电平（真/假）更改为逆逻辑电平。“非”门仅有一个输入和一个输出。当输入为“真”时，输出为“假”，反之亦然，如表 3 所示。

表 3. “非”真值表

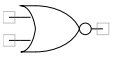
输入	输出
1	0
0	1

“与非”门 

“与非”门首先执行“与”门运算，然后再执行“非”门运算。该门所起的作用是实现逻辑“与”运算后实现“非”运算。该逻辑门有两个或更多输入和一个输出。如果所有输入为“真”，那么输出为“假”，如表 4 所示。否则，输出为“真”。

表 4. “与非”真值表

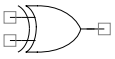
输入 1	输入 2	输出
0	0	1
0	1	1
1	0	1
1	1	0

“或非”门 

“或非”门首先执行“或”门运算，然后再执行“非”门运算。该逻辑门有两个或更多输入和一个输出。若所有输入为“假”，则输出为“真”，如表 5 所示。否则，输出为“假”。

表 5. 逻辑“或非”真值表

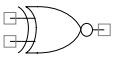
输入 1	输入 2	输出
0	0	1
0	1	0
1	0	0
1	1	0

“异或”门 

“异或”门用作奇偶发生器。该逻辑门有两个或更多输入和一个输出。若实际输入数为奇数，则输出为“真”，如表 6 所示。否则，输出为“假”。

表 6. “异或”真值表

输入 1	输入 2	输入 3	输出
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

“同或”门 

“同或”门首先执行“异或”门运算，然后执行“非”门运算。该逻辑门有两个或更多输入和一个输出。若实际输入数为偶数，则输出为“真”，如表 7 所示。否则，输出为“假”。

表 7. 逻辑“同或”真值表

输入 1	输入 2	输入 3	输出
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

组件更改

本节介绍组件与以前版本相比的主要更改。

版本	更改说明	更改/影响原因
1.0.d	对数据手册的少量更新。	
1.0.c	对数据手册进行了少量编辑和更新。	
1.0.b	对数据手册进行了少量编辑和更新。	
1.0.a	更新了数据手册。	“同或”真值表错误。

© 赛普拉斯半导体公司，2009-2013。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

PSoC® Creator™、Programmable System-on-Chip™ 和 PSoC Express™ 是赛普拉斯半导体公司的商标，PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。