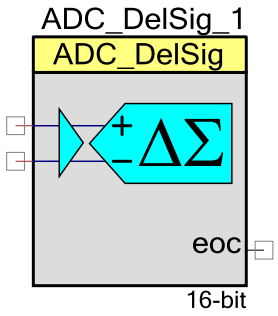
Delta Sigma Analog to Digital Converter (ADC_DelSig)

2.20

特長



- 分解能選択可能、8~20 ビット (デバイスに依存)
- どの分解能でも 11 種類 の入力電圧レンジ
- サンプリング速度 10sps～384ksps
- 動作モード
  - シングル サンプル
  - マルチ サンプル
  - 連続モード
  - マルチ サンプル（ターボ）
- 高入力インピーダンス入力バッファ
  - 選択可能な入力バッファゲイン (1, 2, 4, 8) または入力バッファバイパス
- 複数の内部または外部リファレンス電圧オプション
- 自動パワーコンフィギュレーション
- 最大4種類の実行時の ADC コンフィギュレーション設定

概要説明

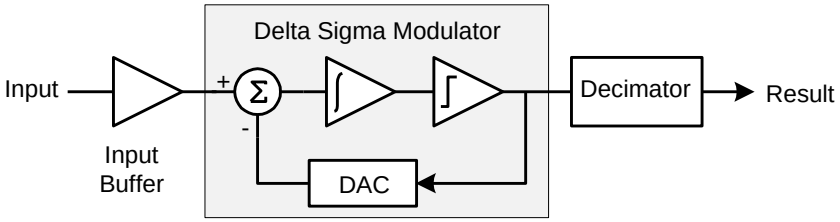
Δ Σ 型 A/D コンバータ (ADC_DelSig) は、高精度な計測アプリケーションに向けた低電源で、低ノイズのフロントエンドを提供します。分解能、サンプリング速度、および動作モードに応じた、幅広いアプリケーションに使用することができます。16 ビットの音声を作り出すことができます。通信処理向けの高速かつ低分解能の ADC や、歪みゲージ、サーモカップル、高精度センサーなどのセンサー向けの高精度な 20 ビットの低変換速度の ADC なども生成できます。音声情報を処理する場合、ADC_DelSig は連続動作モードで使用されます。複数のセンサーのスキャンに使用される場合、ADC_DelSig はマルチサンプルモードの 1 つで使用されます。シングルポイント高分解能測定に使用される場合は、ADC_DelSig はシングルサンプルモードで使用されます。

デルタシグマ変換器はオーバーサンプリングを使って量子化ノイズをより広い周波数スペクトルに拡散します。このノイズはそのほとんどが入力信号の帯域幅の外に動くように形成されます。目的とする入力信号帯域の外側のノイズを除去するために、内部のローパスフィルターが使用されます。これにより、デルタシグマ変換器は、高速な

中分解能 (8～16 ビット) のアプリケーション、および低速高分解能 (16～20 ビット) のアプリケーション両方で上手く利用できます。サンプリング速度は、モードおよび分解能に応じて、毎秒 10～384000 サンプルの間で調整可能です。変換モードの選択は、音声のようなストリーミング信号、または多重信号ソース間の多重化へのインターフェース接続を簡単にします。

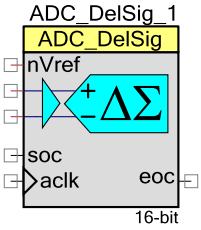
ADC_DelSig は、入力増幅器、3次のデルタシグマ変調器、およびデシメータの 3 つのブロックから構成されています。(図 1 をご覧ください)。入力増幅器は、高インピーダンス入力およびユーザーが選択可能な入力ゲインを提供します。デシメータブロックは、4 ステージの CIC デシメーションフィルターおよび後処理ユニットを備えています。CIC フィルターはモジュレーターから直接得られるデータで動作します。後処理ユニットは、CIC デシメーションフィルターからの入力に対して任意でゲイン、オフセット、および簡単なフィルター機能を実行します。

図 1. ADC_DelSig ブロック図



入出力接続

ADC_DelSig コンポーネントへの入力および出力接続は、概略図中ではコンポーネント記号の上のピンとして表示されています。I/O リストのアスタリスク (*) は、I/O が、その I/O の説明でリストされている条件において、シンボル上で隠されている可能性があることを示します。



nVref – 入力 *

nVref はオプションのピンです。**Enable_Vref_Vssa** チェックボックスを選択した場合、表示されます。これを使って ADC の r リファレンス Vssa をアナログ グローバル (AGL[6]) に接続することができます。**Enable_Vref_Vssa** チェックボックスを選択しない場合、このピンは記号上に表示されません。詳細は、パラメーターEnable_Vref_Vssa の説明を参照してください。

+入力 – アナログ

ADC_DelSig への正のアナログ信号入力。正の入力信号は、シングルエンドモードおよび差動入力モードのどちらの場合でも表示されます。ADC 変換器出力は、正入力と負入力の電圧の差を表す値を返します。

-入力 – アナログ*

ADC_DelSig への負のアナログ信号入力。負の入力ピンは、ADC **Input Mode** が **Differential** に設定されている場合にだけ、コンポーネントに表示されます。ADC **Input Mode** が **Single** に設定されている場合、選択した入力範囲に応じて、負の入力が Vssa または Vref のどちらかに接続されます。

soc – 入力 *

Start of Conversion (soc) 入力の立ち上がりエッジが検知されると、ハードウェアで起動する ADC 変換を開始します。このピンの立ち上がりエッジは ADC_StartConvert() 関数の呼び出しと同じ効果があります。この入力は、ユーザーが 外部ピンによる変換開始をイネーブルにする **Hardware SOC** パラメーターを選択した場合に表示されます。**Hardware SOC** が選択されていないと、コンポーネント上の I/O ピンは非表示になります。シングルサンプルモードでは、1回の変換が実行され、ADC は停止します。連続モードや他のモードでは、ADC_StopConvert() または ADC_Stop() 関数が実行されるまで、ADC 変換が継続します。

aclk – 入力 *

外付けクロック源 **Clock Source** パラメーターが **External** に設定されていると、このピンが表示されます。**Clock Source** パラメーターが **Internal** に設定されていると、クロックは自動的にコンポーネント内部に構成されて、aclk ピンは表示されません。aclk 入力は、コンポーネントの外側で生成されるクロックです。このクロック信号は内部からチップに供給されたり、PSoC の外部から供給されることがあります。選択したサンプリングレートにするためにはこのクロックを **Clock Frequency** パラメーターに表示された値に設定します。デューティー比は 50 パーセントにしなくてはなりません。このクロックは、変換方法と分解能の関数として、変換速度を決定します。ADC の外部にあるクロックは、常にシステムクロックに基づきます。より正確で安定したクロックが必要な場合は、システムクロックは外部 (PSoC の外付け) クロックまたは発振器をベースとする必要があります。

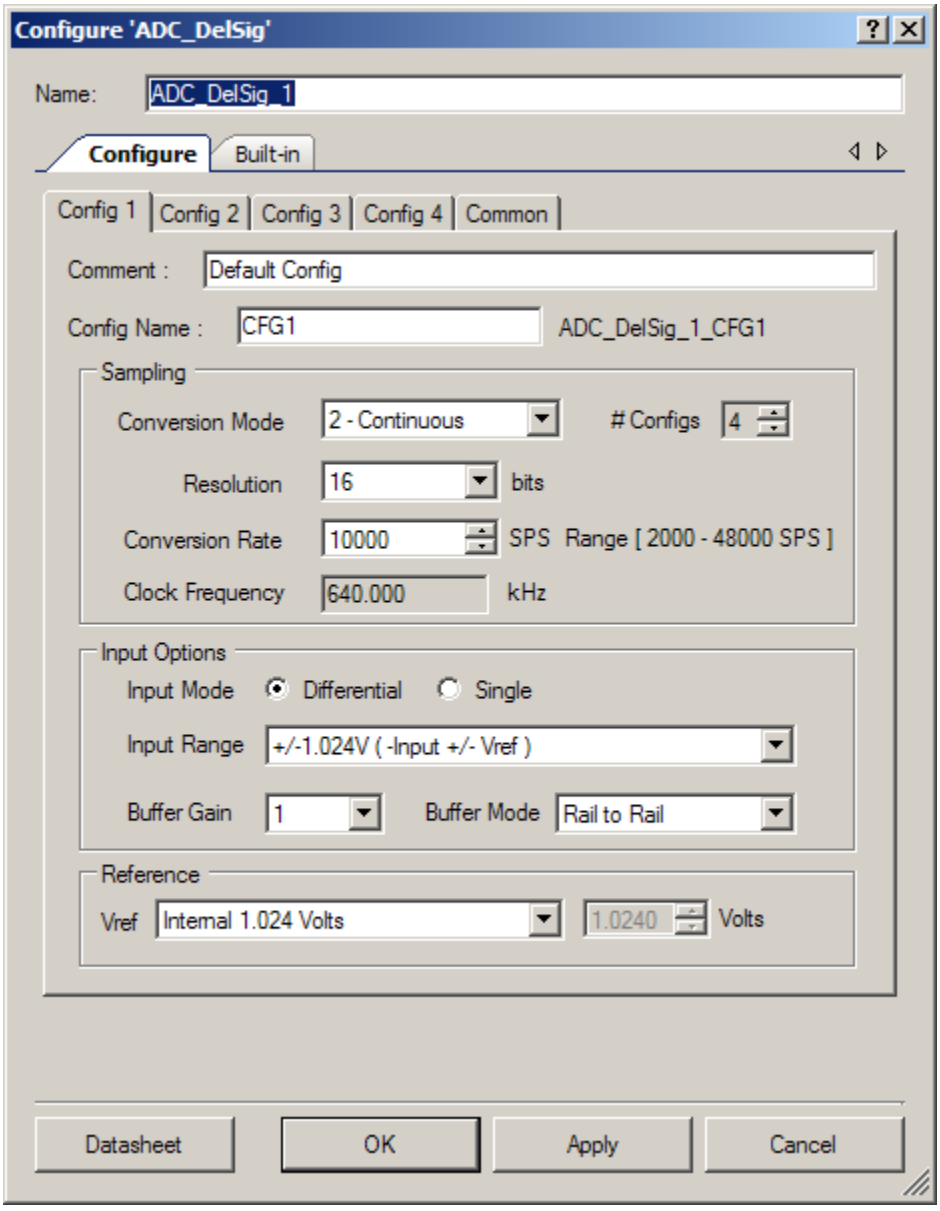
eoc – 出力

[End of Conversion (eoc)] 信号の立ち上がりエッジは、変換が完了したことを示します。ADC クロックの1周期の間ピンが'High'になります。eoc は通常、割り込みまたは DMA リクエスト入力に接続します。DMA リクエストは通常、変換出力をシステム RAM、DFB やその他のコンポーネントに転送するために使用されます。すでにコンポーネントの内部には、この信号に接続されている割り込みがあります。

注 PSoC 5 の EOC は、接続方法に制限があります。EOC 端子は一つの DMA コンポーネント以外には接続できません。

コンポーネント パラメータ

Delta Sigma ADC は高度な設定が可能な A/D 変換器です。ADC_DelSig コンポーネントをデザイン上にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。



サンプリング

変換モード

ADC_DelSig は 4 つのうちの 1 つのモードで動作します。

Mode (モード)	説明
0 - シングル サンプル	ADCは変換のスタートの度に 1回のサンプルを行います。 分解能が 16 ビットより大きい場合、シングルサンプル変換モードのときは、ADC変換用の割込みをイネーブルすべきです。そのためには、アプリケーションの(*main.c*) で Global Interrupt を有効にします (CYGlobalIntEnable を呼び出しによる)。
1 - マルチ サンプル	マルチサンプルモードは、各サンプル間で自分自身や変調器のリセットを自動的に行いながら、シングルサンプルを連続して行います。 このモードは、複数信号間で入力を切り替える場合に便利です。フィルターは各サンプル間でフラッシュされるので、以前のサンプルは現在の変換に影響を与えません。 **注** ADC 変換の間で信号を切り替える場合には注意してください。ハードウェアコントロールを使って変換の間でインプットを素早く切り替えるか、またはインプットを切り替えている間 ADC 変換を停止します (ADC_StopConvert())。そして、新しい信号が ADC に接続した後にADCの変換を再開します (ADC_StartConvert())。これを実行しないと、ADC 結果の信号間に悪影響を与えます。
2 - 連続	連続サンプルモードは、通常のデルタシグマ変換器のように動作します。単一の入力信号を測定している場合に、このモードを使用します。最初の変換結果が利用できるようになるまでに、3回の変換時間のレイテンシがあります。内部フィルターを準備するのに必要な時間です。最初の結果が出た後で、それに続く変換が、選択したサンプル レートで利用できるようになります。複数の信号がマルチプレクスされており、それらを単一ADCで計測す場合には、このモードを使用しないでください。
3 - マルチ サンプル（ターボ）	マルチ サンプル（ターボ）モードは、8～16 ビットの分解能で、マルチサンプル モードに対して同じように動作します。17~20 ビットの分解能では、このモードの性能はマルチサンプルモードの 4 倍程度速くなります。 **注** ADC 変換の間で信号を切り替える場合には注意してください。ハードウェアコントロールを使って変換と変換の間で入力を素早く切り替えるか、または入力を切り替えている間、 ADC 変換を停止します (ADC_StopConvert())。そして、新しい信号が ADC に接続した後で、ADCの変換動作を再開します (ADC_StartConvert())。これを行わないと信号間でADC 結果に悪影響を与えます。

4 つの ADC モードは全て、ADC が最初に変換を開始する場合にデシメータを完全にフラッシュします。ADC_StartConvert() API または“soc”入力で引き起こされた変換を開始する前に、入力電圧が安定している限り、必ず ADC からの最初の読みだしは有効です。ADC を開始する場合は、全てのモードでデシメーターをリセットしますが、連続モードだけは読みだし間のデシメーターをリセットしません。このため、連続モードの最初の読みだしは、その後の読みだしより 4 倍長い時間がかかります。複数の入力間をスキャンするのに複数のアナログマルチプレクサを使用する場合は、入力スイッチが変更されている間 ADC が実行されていないことを確認します。連続モード以外のモードを使用している場合にサンプル間の入力を切り替えるためには、アナログハードウェアマルチプレクサを使用します。

Conversion Mode パラメーターを変更する場合は、選択されたサンプリングレートを維持するためにクロック周波数が変わります。ADC クロック周波数が最少または最大を超えると、エラーメッセージが表示されます。

#構成

Configs パラメーターを使用して、異なる構成を 4 つまで定義できます。例えばシステムによっては、音声用として 16 ビット、48 ksps の連続モード、低レベルアナログセンサーようにシングルサンプルモードの 20 ビット 60 sps、そして汎用マルチチャネルデータロギング用に 12 ビットのマルチサンプルモードを、切り替えを要求する場合があります。全ての構成が同じ入力モードを使用する必要があります。つまり、全てシングルエンドモードか、全て差動モードかということです。

ADC_SelectConfiguration() 関でが構成を異なる値に設定していない限り、デフォルトでは ADC は最初の構成 (構成 1) に設定されています。2 および 4 の構成の間から選択する場合、**Configure** ダイアログに追加のタブが表示されます。このような複数の構成では、動作中にモードを変更することが可能です。各構成はそれ自身のタブに含まれています。

複数の ADC　構成を使用する場合に、いくつか考慮すべき点があります。

- 全ての構成が同じ入力モードを使用する必要があります。つまり、全てシングルエンドモードか、全て差動モードかということです。
- **Common** タブには全てのモードに共通な **Hardware SOC**、**Clock Source**、**Enable Charge Pump Clock**、および **Enable_Vref_Vssa** パラメーターがあります。これらのパラメータについては共通設定で説明しています。
- **Vref** パラメーターにも制限があります。構成 1 のオプションが外部リファレンスまたはバイパスモードに設定されていると、他の構成は同じモードを選択するか、内部リファレンスを使用することができます。
- 各構成には別々の割込みサービスルーチン関数があります。ADC_SelectConfiguration() 関数が呼び出されると、割り込みベクタが対応する割り込みベクタルーチンに変わります。
- ADC の外部にあるクロック (チップの外部からチップに供給する場合とユーザー選択の内部クロックから供給する場合のいずれでも) を使用している場合は、要求されるクロック速度が **Clock Frequency** フィールドに表示されます。各構成に適切なクロックを提供するのは、お客さまの責任です。

分解能

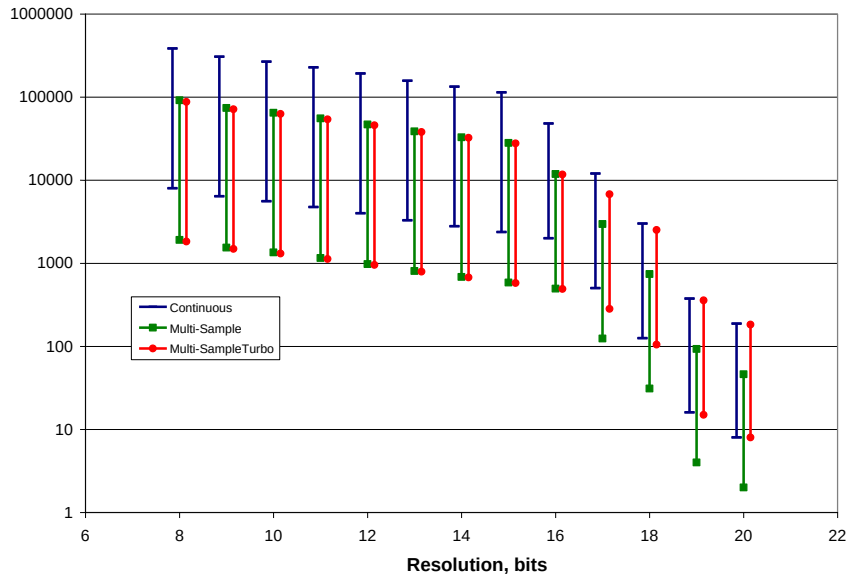
ADC_DelSig の分解能は 8 から 20 ビットの間の整数値として入力します。分解能が高いと、サンプリング速度が低くなります。デフォルトの分解能は 16 ビットです。**Resolution** パラメーターを変更する場合は、選択されたサンプリングレートを維持するためにクロック周波数が変わります。ADC クロック周波数が最少または最大を超えると、エラーメッセージが表示されます。

デルタシグマ ADC は固有の不安定性があり、オペレーティングレンジの正および負の限界で非直線性をもたらします。これを修正するために、変調器のフロントエンドで入力電圧を 10 パーセント減衰させます。そして、後処理で 1.11 倍に増幅してこの減衰を補正します。結果として、入力範囲が 10 パーセント広がります。例えば、入力範囲 ±1.024 V を選択すると、ADC の実際の範囲は約 ±1.126 V です。使用可能な入力範囲は ±1.024 V のままですが、ADC は入力が ±1.126 V を超過するまで飽和しません。

ADC からのデジタル出力も 10 パーセントの範囲を超えます。ADC が 10 ビット動作向けに構成されていると、通常は 10 ビットの差動 ADC からの出力は 、−1.024 から +1.022 の入力についてそれぞれ −512 から 511 の範囲です。この 10 パーセントの追加の範囲により、デジタル出力は −512 から 511 ではなく、約 ± 563 カウントまで飽和しません。

8 または 16 ビットの分解能が選択されていない限り、通常は問題になりません。分解能が 8 または 16 に設定されている場合は、数値が最も正または負の値から、負または正の値にそれぞれ戻らないように注意してください。そうならないために、設定した分解能よりも大きい 2 ビット長のデータを返す API 関数を使用するのが実践的です。例えば、分解能が 16 ビットに設定されていて、最も正の値が 32767 より大きいか −32768 よりも小さい場合は、ADC_GetResult16() のかわりに ADC_GetResult32() 関数を使用します。範囲を超えることなく、適切な 16 ビットの値が返されます。分解能が 8 ビットに設定されていて ADC 出力値が −128 以下または 127 より大きい場合は、ADC_GetResult16() 関数を使用します。範囲を超えることなく、適切な 8 ビットの値が返されます。

図 2. ADC_DelSig のサンプリング速度制限



変換速度

ADC conversion rate には、10 進数の整数で一秒あたりのサンプル数 (SPS) を入力します。最大サンプリング速度は、分解能、サンプルモードおよび最大動作クロック周波数の関数で、分解能が高いほど、サンプリング速度は低くなります。全ての分解能において最低クロック周波数は 128 kHz です。分解能が 8 ～ 15 ビットの場合、最大クロック周波数は 6.144 MHz です。分解能が 16 ～ 20 ビットの場合、最大クロック周波数は 3.027 MHz です。

各分解能と変換モードの組み合わせ毎の有効な変換速度については図 2 を参照してください。表 1 でも同じ情報を表形式でご覧いただけます。

以下のデータは バッファゲイン = 1.0 で、ADC range = ±1.024 V の場合に適用されます。

表 1. ADC_DelSig のサンプリング速度の限界値 (バッファゲイン = 1.0)

分解能	シングル サンプル		マルチ サンプル		連続		マルチ サンプル ターボ	
	Min	Max[1]	Min	Max	Min	Max	Min	Max
8	1911	91701	1911	91701	8000	384000	1829	87771
9	1543	74024	1543	74042	6400	307200	1489	71441
10	1348	64673	1348	64673	5566	267130	1307	62693
11	1154	55351	1154	55351	4741	227555	1123	53894
12	978	46900	978	46900	4000	192000	956	45850
13	806	38641	806	38641	3283	157538	791	37925
14	685	32855	685	32855	2783	133565	674	32336
15	585	28054	585	28054	2371	113777	577	27675
16	495	11861	495	11861	2000	48000	489	11725
17	124	2965	124	2965	500	12000	282	6766
18	31	741	31	741	125	3000	105	2513
19	4	93	4	93	16	375	15	357
20	2	46	2	46	8	187	8	183

ADC バッファにはセトリングタイムに影響する有限の利得帯域幅があります。バッファゲインを増加すると、利用可能な最大サンプリング速度が減少します。最大サンプリング速度は、表 1 のサンプリング速度をバッファゲインで除した値です。他のレンジやバッファゲインも最大サンプリング速度に影響します。

Conversion Rate パラメーターを変更する場合は、選択されたサンプリングレートを維持するためにクロック周波数が変わります。ADC クロック周波数が最低または最大を超過すると、エラーメッセージがパラメーターの隣に表示されます。無効な設定を参照してください。

レンジ[__ SPS]

このフィールドは読み取り専用 (常に利用不可能) エリアで、現在の設定において利用可能な最少および最大変換速度を表示します。

[1] シングルサンプルモードの有効な最大サンプリング速度は表示よりも低くなります。マルチサンプルモードにおいて、変換動作とオーバーラップされる変換後処理動作は、シングルサンプルモードではオーバーラップできません。このオーバーヘッドは表示の計算には含まれていません。ハードウェア変換開始法を利用していて、サンプリングを開始していない場合、ソフトウェアを使ってサンプリングを開始する時間も最大サンプリング速度の計算に含める必要があります。

クロック周波数

このテキストボックスは読み取り専用 (常に利用不可能) エリアで、選択された動作条件下、すなわち変換モード、分解能、変換速度、入力範囲、そしてバッファゲインによって必要とされるクロック周波数を表示します。す。これらの条件に変化があった場合、更新されます。クロック周波数は分解能 1 Hz で表示します。選択された動作条件で要求されたクロック周波数が下限と上限の範囲外にあると、エラーメッセージがパラメーターの隣に表示されます。無効な設定を参照してください。

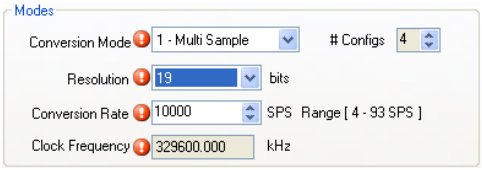
クロック周波数は分解能、変換モードおよび変換速度に基づいて計算されます。常に構成 1 用のクロック周波数を表示する Design-Wide Resources Clock Editor の中に速度が表示されます。**Clock Source** パラメーターが **Internal** に設定されている場合、ADC API は動作中に選択されたコンフィギュレーションに基づいて現在のクロック周波数を設定します。

ADC の外部にあるクロック (チップの外部から与える場合、あるいはかユーザー選択した内部クロックから供給する場合のいずれでも) を使用している場合は、要求されるクロック速度が Clock Frequency フィールドに表示されます。各コンフィギュレーションに応じて適切なクロックを提供するのは、ユーザの責任です。

無効な設定

パラメーターの **Conversion Mode**、**Resolution**、および **Conversion Rate** は ADC クロック周波数に影響します。これらのパラメーターを変更すると、ADC クロック周波数が最大または最小の速度を超過することがあります。最大 ADC 周波数は **Resolution**、**Buffer Gain**、および **Input Range** の関数です。これらのパラメーター設定が無効な場合、図 3 に示すように赤い丸印で囲まれた感嘆符が表示されます。

図 3. 無効な設定の通知



エラー記号の上にカーソルを置くと、エラーメッセージが表示されます。必要に応じて、ADC 仕様に準拠するようにパラメーターを変更します。

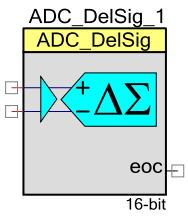
入力オプション

入力モード

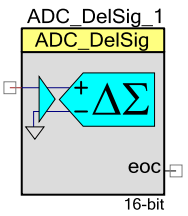
ADC は本質的に差動です。しかし、このパラメーターを使用してシングルエンドユースを特定することができます。

このパラメーターは、ADC を差動またはシングルエンド入力に設定します。デフォルトの選択は **Differential** です。このモードでは、負および正入力の両方がシンボル上に表示されます。シングルエンドモードが選択されている場合、ADC の負入力 は Vssa に接続されます。

差動



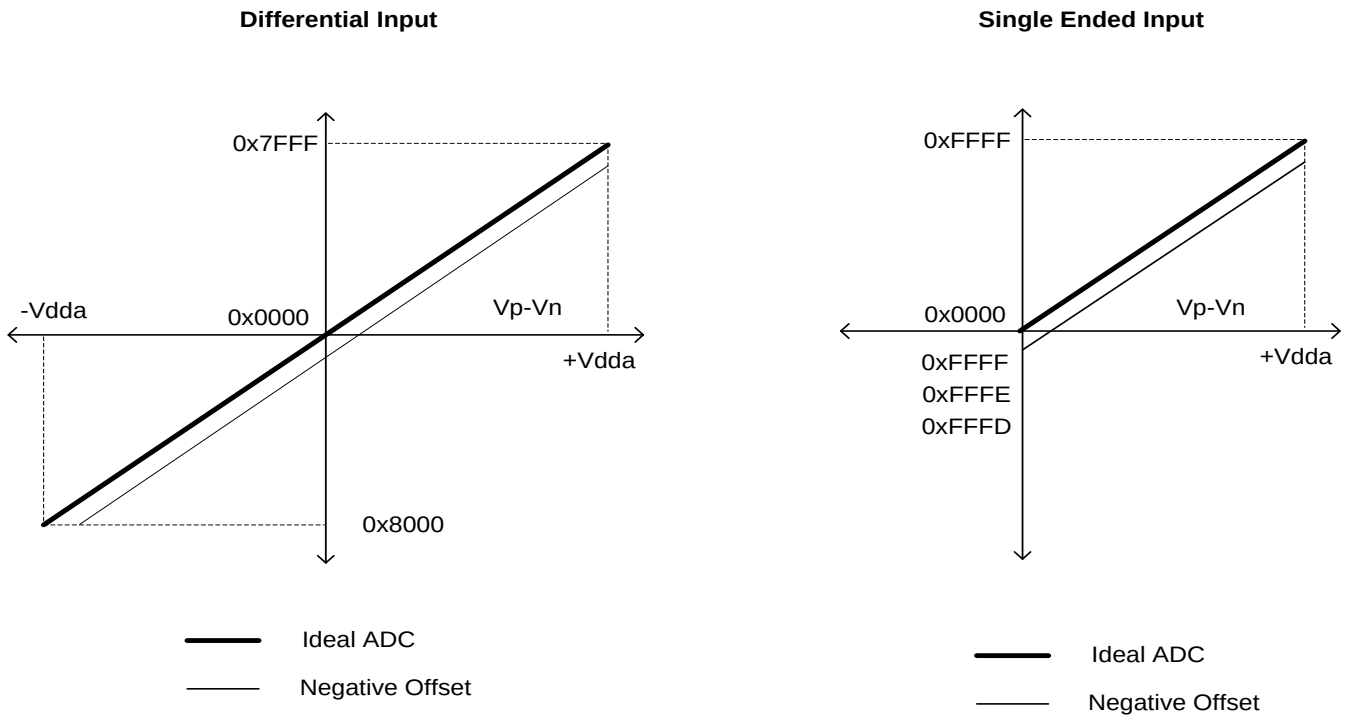
シングルエンド



PSoC 3 および PSoC 5 デバイスの Delta-Sigma ADC は本質的に差動入力です。内部的に負の入力を接地し、2 の補数以外の符号ビットをシフトすることでシングルエンドモード実現されます。

図 4 は V_{SSA}-to-V_{DDA} 入力範囲におけるデルタシグマ ADC の入出力特性を示しています。ADC 入力 (Vp-Vn)が $-V_{DDA}$ から $+V_{DDA}$ の間で変化する場合、ADC カウントは最低カウント (0x8000) から最大カウント (0x7FFF) まで直線的に増加します。内部的に負入力 (Vn) を接地することでシングルエンドモードを実現します。これが行われると、正入力 (Vp) は 0 から V_{DDA} が可能になり、負の入力は 0 V で固定されるので、ADC 入力の(Vp-Vn)が‘0 から V_{DDA}’に制限されます。そのため、X 軸の上半分のみが使用可能です。しかし、デバイスに負のオフセットがあり、正のインプット (Vp) が 0 V の場合は、ADC 出力値はラップアラウンドします。例えば、負のオフセットが −1 カウント分だと、0 V 入力時の ADC 出力は、たいていのシングルエンドモードでの正入力に対応する値である、0xFFFF になります。これを避けるには、オフセット修正を行う必要があります。

図 4. デルタシグマ ADC I/O 特性



ADC を 16 ビットシングルエンドモードで構成する場合、出力は 0x7FFF では停止せず、0xFFFF まで行きます。この例の場合、16 ビット ADC は、大まかに言えば、17 ビットの差動 ADC と考え、変換範囲の半分を無視することで実装されています。(内部の実装はこれとは若干異なりますが)。

Input Mode は構成 1 でのみ設定可能です。1 つ以上の構成を使用しても、全ての構成は構成 1 で設定した入力モードを使用する必要があります。お使いのシステムがシングルエンドモードおよび差動モードの両方が必要な場合は、差動モードを選択し、マルチプレクサを使って Vssa を ADC の負の入力に接続することで、シングルエンド ADC として使うことができます。

このパラメーターは**入力 レンジ** パラメーターで利用可能なオプションを制御します。

入力範囲

このパラメーターは ADC を、希望する入力用にコンフィギュレーションします。これは ADC への入力をコンフィギュレーションします。**Buffer Gain** 設定とは無関係です。IC に接続しているアナログ信号は、どの入力範囲設定が使用されているかに関わらず Vssa および Vdda の間である必要があります。

ADC 入力範囲の絶対最大値は常に **Buffer Mode** の絶対最大値または最小値によって決められます。

このパラメーターで利用可能なオプションは **Input Mode** の選択によって変わります。表 2 および 表 3 でオプションの説明をしています。

Input Mode が **Differential** に設定されている場合は、以下のオプションが利用可能です。シングルエンドおよび差動信号の両方がスキャンされたシステムでは、シングルエンド入力をスキャンしているときに負の入力を

Vssa に接続します。アプリケーションによっては、**Rail to Rail**、**Level Shift**、または **Bypass Buffer** を Buffer Mode パラメーターを使って選択できます。詳細は Buffer Mode (バッファ モード) パラメーターを参照ください。

外部リファレンス電圧を使って異なる動作範囲を提供することが可能です。該当する式によって使用できる入力範囲を計算できます。

表 2. 差動 入力 範囲 オプション

入力範囲 内部リファレンス (外部リファレンス)	説明
±1.024 V (−Input ± Vref)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 1.024 V です。負の入力が 2.048 V に接続していると、使用可能な入力範囲は 2.048 ±- 1.024 V、すなわち1.024 から 3.072 V です。
±2.048 V (−Input ± 2*Vref)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 2.048 Vです。負の入力が 2.028 V に接続していると、使用可能な入力範囲は 2.048 ± 2.048 V、すなわち 0.0V から 4.096 V です。
±6.144 V (−Input ± 6*Vref)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 6.144 V ですが、最大入力電圧範囲を超えません。負入力を Vssa に接続している場合、このモードを使用して供給電圧を測定できます。供給電圧を測定したい場合は、バッファをバイパスする必要があります。
±0.512 V (−Input ± Vref/2)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 0.512 Vです。負入力を 1.0 V に接続していると、使用可能な入力範囲は 1.0 ± 0.512 V、すなわち 0.488 から 1.512 V です。
±0.256 V (−Input ± Vref/4)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 0.256 Vです。負の入力が 1.0 V に接続していると、使用可能な入力範囲は 1.0 ± 0.256 Vすなわち 0.744 から 1.256 V です。
±0.128 V (−Input ± Vref/8)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 0.128 Vです。負の入力が 1.0 V に接続していると、使用可能な入力範囲は 1.0 ± 0.128 V、すなわち 0.872 から 1.128 V です。
±0.064 V (−Input ± Vref/16)	内部リファレンス (1.024 V) を使用する場合は、入力範囲は −Input ± 0.064 Vです。負の入力が 1.0 V に接続していると、使用可能な入力範囲は 1.0 ± 0.064 Vすなわち0.936 から 1.064 V です。

前の表に一覧されているオプションは Vref の設定によります。以下の表は Vref が 1.024 V および 1.200 V に等しい場合の例を示しています。先頭の数値は **Reference** セクションの **Vref** 設定によります。

Vref = 1.024 V の場合	Vref = 1.2 V の場合
±1.024 V (−Input ± Vref)	±1.200 V (−Input ±Vref)
±2.048 V (−Input ± Vref*2)	± 2.400 V (−Input ± Vref*2)
±6.144 V (−Input ± 6*Vref)	±7.200 V (−Input ± 6*Vref)
±0.512 V (−Input ± Vref/2)	±0.600 V (−Input ± Vref/2)
±0.256 V (−Input ± Vref/4)	±0.300 V (−Input ± Vref/4)
±0.128 V (−Input ± Vref/8)	±0.150 V (−Input ± Vref/8)

Vref = 1.024 V の場合	Vref = 1.2 V の場合
±0.064 V (−Input ± Vref/16)	±0.075 V (−Input ±Vref/16)

Input Mode が **Single** に設定されている場合、以下のオプションが利用可能です。シングルエンド動作に似せるには、負入力を内部リファレンス値の一つ (Vssa または Vref) に接続します。

アプリケーションによっては、**Buffer Mode** パラメーターを使用して、**Rail to Rail**、**Level Shift**、または **Bypass Buffer** を選択できます。詳細はBuffer Mode (バッファ モード) パラメーターを参照ください。

外部リファレンスを使って異なる動作範囲を提供することが可能です。計算式によって使用できる入力範囲を算出できます。

表 3. シングルエンド 入力 範囲 オプション

入力範囲 内部リファレンス (外部リファレンス)	説明
Vssaから1.024 V まで (0V から Vref)	内部リファレンス (1.024 V) を使用する場合は、ADC への使用可能な入力範囲は 0.0 から 1.024 V です。
Vssaから2.048 V まで (0.0V から 2*VrefVref)	内部リファレンス (1.024 V) を使用する場合、ADC への入力で使用可能な範囲は 0.0 から 2.048 Vです。この範囲では、入力バッファ ゲインが 1 に等しくなります。1 以外のゲインが選択されると、ADC は適切に動作しません。なぜなら、この場合のリファレンス電圧は負入力に直接接続しているからです。入力バッファのゲインは正の入力だけを増幅し負の入力を増幅しないため、不均衡な増幅を生じます。
Vssa から Vdda	このモードは供給電圧に比例しています。入力範囲は Vssa から Vdda です。 この設定には外部リファレンスを使用しないでください。この範囲では、入力バッファ ゲインが 1 に等しくなります。1 以外のゲインが選択されると、ADC は適切に動作しません。
Vssaから6.144 V まで (Vssa から 6*Vref)	内部リファレンス (1.024 V)を使用する場合は、入力範囲は0.0 から 6.144 V ですが、最大入力電圧範囲を超えません。このモードを使用して供給電圧を測定できます。供給電圧を測定したい場合は、バッファをバイパスする必要があります。

以下の表は、Vref が 1.024 V および 1.200 V に等しい場合の例を示しています。先頭の数値は **Reference** セクションの **Vref** の設定によります。

Vref = 1.024 V の場合	Vref = 1.2 V の場合
Vssaから1.024 V (0.0 から Vref)	Vssaから1.200 V (0.0 から Vref)
Vssaから2.048 V(0.0 から Vref*2)	Vssaから2.400 V(0.0 から Vref*2)
Vssa から Vdd	Vssa から Vdd
Vssaから6.144V(0.0 から 6*Vref)	Vssaから7.200 V(0.0 から 6*Vref)

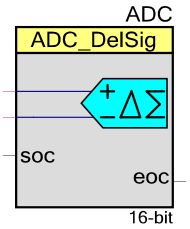
注 'Vss to Vdd’ オプションを選択すると、カスタマイザが自動的に Vdda/4 または Vdda/3 リファレンス電圧のどちらかを選択します。この選択はデザイン全体に関わるリソースに入力された Vdda の値に基づきます。

バッファ ゲイン

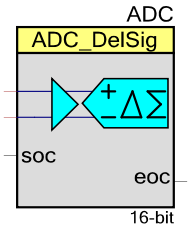
このパラメーターは ADC 入力バッファ ゲインを選択します。ADC バッファには設定時間に影響する有限値の利得帯域幅があります。バッファゲインを増加すると、利用可能な最大サンプリング速度が減少します。最大サンプリング速度は、表 1 のサンプリング速度をバッファゲインで割った値です。

最高の信号対雑音比に達するためには、ADC の全ての範囲を使用することが重要です。入力バッファを使用して、入力信号を増幅し、ADC の全ての範囲を使用することが可能です。Buffer_Gain および ADC_Input_Range 設定に互換性があることを確認してください。

バッファリングされていない



バッファリングされている



バッファ ゲイン	説明
1	入力バッファ ゲインを 1 に設定する。
2	入力バッファ ゲインを 2 に設定する。
4	入力バッファ ゲインを 4 に設定する。
8	入力バッファ ゲインを 8 に設定する。

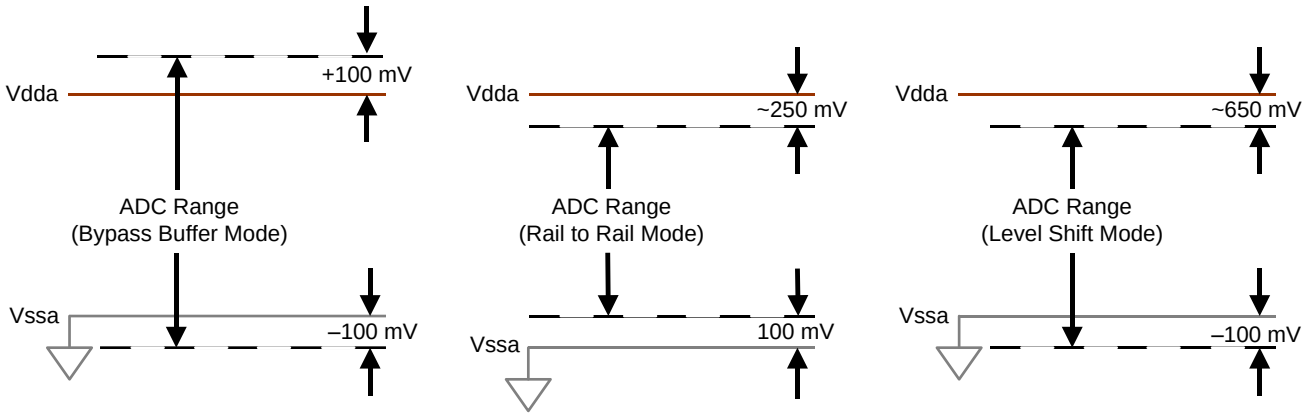
Buffer Mode (バッファ モード)

このパラメーターは ADC 入力バッファ モードを選択します。バッファが使用されている場合、ADC のサンプリングレートは最大です。バッファリングされていないモードでは、帯域幅が若干減少します。

Buffer Mode (バッファ モード)	説明
バイパス バッファ	入力バッファ ゲインを無効にします。選択すると、バッファが使用できなくなり、全体の電力消費が減少します。**バッファ ゲイン** パラメーターは、このモードが選択されていると、効果がありません。このモードが選択されると、入力インピーダンスは 500 kΩ 以下になります。入力幅の仕様については 図 5 を参照してください。
Rail to Rail	入力バッファ モードを rail to rail に設定します。入力幅の仕様については 図 5 を参照してください。
Level Shift	入力バッファ モードを Level Shift に設定します。正および負のバッファ両方が使用されます。Level Shift モードを使うと V_{SSA} を下回ることができますが、V_{DDA} を超えることはできません。入力幅の仕様については 図 5 を参照してください。

図 5 は全てのバッファ モードの ADC 範囲を示しています。

図 5. ADC 範囲



リファレンス

Vref

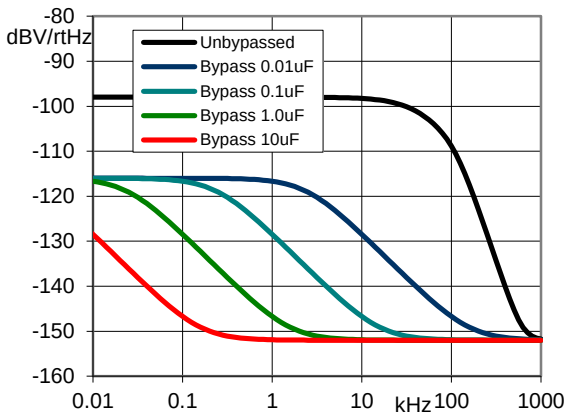
このパラメーターは ADC_DelSig リファレンス電圧とコンフィギュレーションを選択します。リファレンス電圧は ADC の範囲を設定します。

ADC_Reference	説明
Internal Vref 1.024 Volts	内部 1.024-V リファレンス (デフォルト) を使用します。
Internal Vref, Bypassed on P0[3] [2]	内部 1.024-Vリファレンスを使用して、外部のバイパス コンデンサが pin P0[3] に接続できるようにします。
Internal Vref, Bypassed on P3[2] 2	内部 1.024-Vリファレンスを使用して、外部のバイパス コンデンサが pin P3[2] に接続できるようにします。
External Vref on P0[3]	pin P0[3] 上の外部リファレンスを使用します。可能な電圧範囲については PSoC 3 用 を参照してください。
External Vref on P3[2]	pin P3[2] の外部リファレンスを使用します。
Internal Vdda/4	内部 Vdda/4リファレンス電圧を使用します。
Internal Vdda/4, Bypassed on P0[3] 2	内部 Vdda/4リファレンス電圧を使用して、外部のバイパス コンデンサが pin P0[3] に接続できるようにします。
Internal Vdda/4, Bypassed on P3[2] 2	内部 Vdda/4リファレンス電圧を使用して、外部のバイパス コンデンサが pin P3[2] に接続できるようにします。

[2] 精度および信号対ノイズ比はリファレンスの品質によります。ADC に供給されたリファレンスは port P0[3] または port P3[2] のどちらかにバイパスされます。外部のバイパス コンデンサの使用を推奨します。リファレンス電圧のノイズは 図 6 の測定に示されているように、周波数に依存します。

ADC_Reference	説明
Internal Vdda/3	内部 Vdda/3リファレンス電圧を使用します。このオプションは PSoC 3 プロダクションおよび PSoC 5 ES2 シリコンまたはそれ以降でのみ有効です。このオプションを PSoC 3 ES2 および PSoC 5 シリコンで選択するとコンパイルエラーを引き起こします。
Internal Vdda/3, Bypassed on P0[3] 2	内部 Vdda/3リファレンス電圧を使用して、外部のバイパス コンデンサが pin P0[3] に接続できるようにします。このオプションは PSoC 3 プロダクション シリコンでのみ有効です。このオプションを PSoC 3 ES2 および PSoC 5 シリコンで選択するとコンパイルエラーを引き起こします。
Internal Vdda/3, Bypassed on P3[2] 2	内部 Vdda/3リファレンス電圧を使用して、外部のバイパス コンデンサが pin P3[2] に接続できるようにします。このオプションは PSoC 3 プロダクション シリコンでのみ有効です。このオプションを PSoC 3 ES2 および PSoC 5 シリコンで選択するとコンパイルエラーを引き起こします。

図 6. リファレンス ノイズ



内部リファレンスノイズが $f_{SAMPLE}/2$ までの帯域の内部量子化ノイズより小さい場合、リファレンス電圧はノイズ性能の制限にはなりません。以下の表を使用して、分解能に準じて適切なより大きいコンデンサを選択することができます。

分解能 (単位:ビット)	バイパス コンデンサ値 (µF)
10	0.01
12	0.01
14	0.1 ～ 1.0
16	0.1 ～ 1.0
18	1.0 ～ 10.0

Vref Value

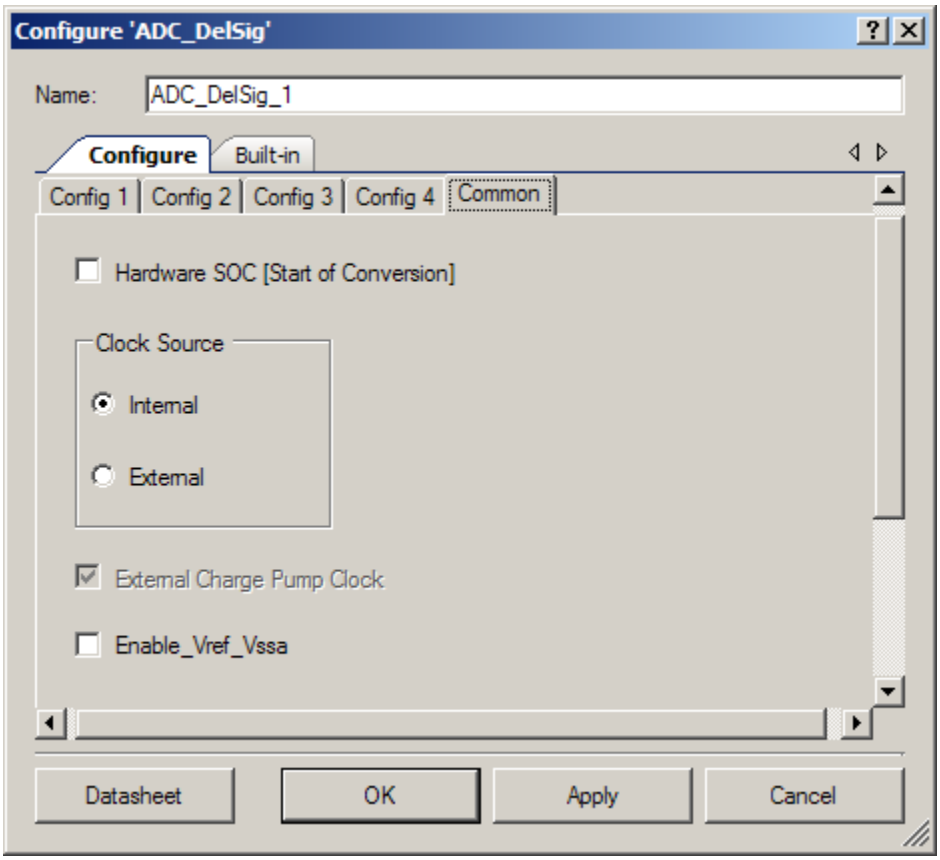
このパラメーターは ADC が使用するリファレンス電圧を設定または表示します。**内部 1.024 Volts** リファレンスが使用されると、1.0240 という値が表示されます。**Internal Vdda/3** または **Internal Vdda/4** 参照が選択さ

れていると、値はデザインワイドリソースページの Vdda 設定から派生します。外部リファレンスが選択されていれば、counts-to-volts API が適切に動作することを確実にするために使用されたリファレンス電圧を入力することができます。入力可能な最少値および最大値はそれぞれ 0.9 から 1.3V です。デフォルトは 1.024V です。選択したリファレンス電圧が 0.9 から 1.3V の範囲外である場合は、Vref 数値ドロップダウンメニューの終わりにあるエラー記号が、エラー条件が発生したことを警告します。また、Vref 値が 0.9 から 1.3V の期待範囲を超えると、コンパイルが失敗します。

以下の表は異なるリファレンス電圧オプションが選択された場合に表示される Vref 値を示しています。

選択されたリファレンス電圧	表示される Vref 値	コメント
Internal Vref 1.024 Volts	1.0240	値は編集不能。
Internal Bypassed on P0.3	1.0240	値は編集不能。
Internal Bypassed on P3.2	1.0240	値は編集不能。
External Vref on P0.3	1.0240	値はデフォルト値 1.0240 で編集可能。
External Vref on P3.2	1.0240	値はデフォルト値 1.0240 で編集可能。
Internal Vdda/4	1.2500*	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能。 *5 V の Vdda の例を示しています。
Internal Vdda/4 Bypassed on P0.3	1.2500*	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能 *5 V の Vdda の例を示しています。
Internal Vdda/4 Bypassed on P3.2	1.2500*	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能。 *5 V の Vdda の例を示しています。
Internal Vdda/3	1.100**	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能。 **3.3 V の Vdda の例を示しています。
Internal Vdda/3 Bypassed on P0.3	1.100**	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能。 **3.3 V の Vdda の例を示しています。
Internal Vdda/3 Bypassed on P3.2	1.100**	この値はデザインワイドリソースページの Vdda 設定から派生しています。値は編集不能。 **3.3 V の Vdda の例を示しています。

共通設定



ハードウェア SOC (変換の開始)

ADC はファームウェアで ADC_StartConvert() 関数を使用したり、ハードウェア信号によるトリガによって開始することができます。**Hardware SOC** パラメーターをチェックすると、外部ピンによる変換の開始が有効になります。**Hardware SOC** が有効な場合は、ピンがコンポーネント上に表示されます。それ以外では、ピンは表示されません。ピンでの信号立ち上がりエッジで変換を開始します。ADC_StopConvert() が呼び出されるまで、変換は続きます。デフォルトでは、**Hardware SOC** は無効です。変換がすでに処理中の場合は、Hardware SOC トリガーは無視されます。

クロック源

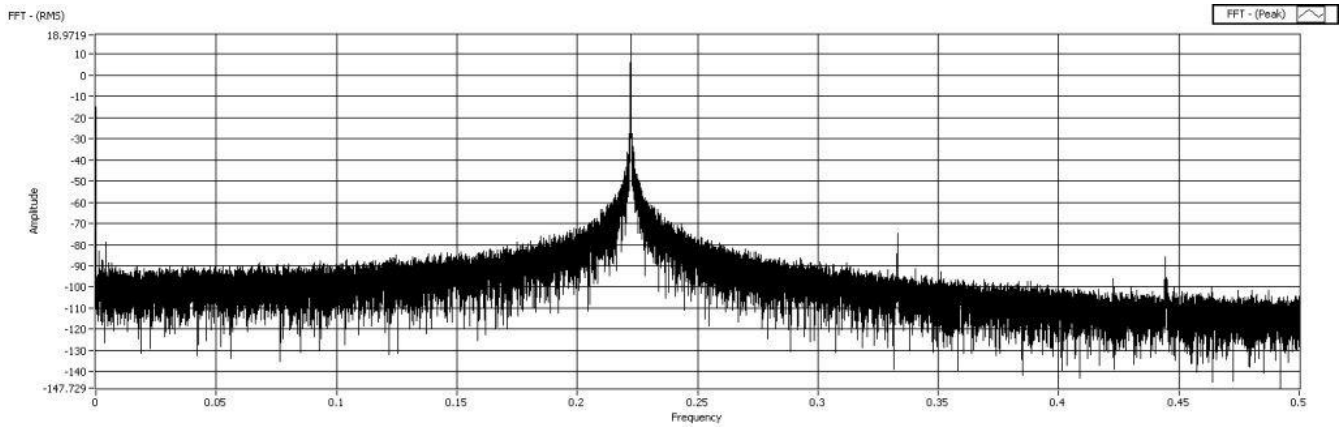
ADC は ADC コンポーネントの内部から ADC に与えられるソース、外部からコンポーネントに与えられるソースでクロックされますが、内部クロックには標準クロックコンポーネントや UDB、または外部からチップに与えられるソースがあります。内部または外部クロックの選択はラジオボタンを使って行います。外部クロックをイネーブルしたとき、クロック入力ピンが ADC 回路図シンボル上に表示されます。外部クロックは 50 パーセントのデューティーサイクルである必要があります。内部クロックは、正確なデューティーサイクルを保証できるように設計されています。

クロックの安定性は低ノイズのオペレーションを達成するために重要です。ジッタの効果の一つは、信号をかなりの程度で拡散することです。以下の FFT で明確に示しています。ADC の信号対ノイズ比 (SNR) は、外部クロックを使用すると著しく改善します。

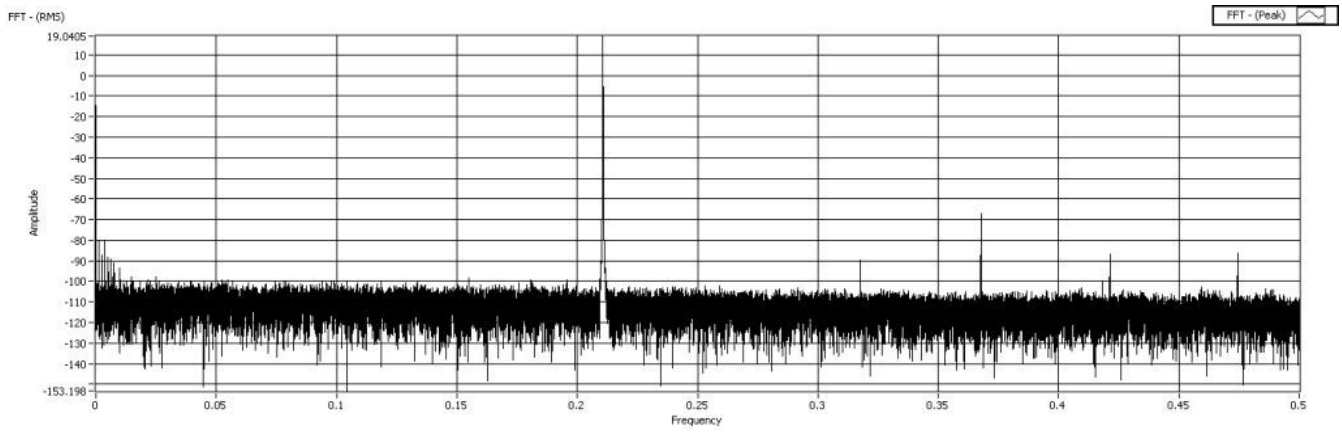
ADC 性能の測定の一つは、INL、DNL、およびタイミング エラーにより引き起こされた歪みです。この歪みは、ADC を「完全な」正弦波でドライブしてから、EFT (高速フーリエ変換) を使用して出力を評価することで測定します。過剰な INL は、入力正弦波周波数の倍数で「線形」の高調波歪みを生じます。過剰な DNL は、ノイズレベルの全体的な増加を生じます。ADC へのクロックにおけるタイミングエラー(周波数ジッタ)は、FFT の名目上の単線から、表示される基本波を拡散します。PSoC 内部クロックには、外部の水晶振動子よりもより多くの周波数ジッタがあります。上のグラフは内部クロックからの基本波での FFT におけるノイズと拡散を示しています。下のグラフは、外部の水晶振動子からの周波数ジッタの減少の結果として、基本波の拡散が大きく減少したことを示しています。

図 7. ノイズ対クロック

内部発振器の単一周波数 FFT



外部の水晶振動子を使用した単一周波数 FFT



外部チャージポンプクロック

外部チャージポンプクロックオプションは、最適なチャージポンプクロック周波数を保証するために常に有効です。これは ADC の性能を最大まで引き出します。チャージポンプクロック周波数は性能を最適化しながら、消費電力が最も小さくなるように自動的に調整されます。このクロックは、ADC クロック周波数の 2 ～ 4 倍に調整されます。このオプションはユーザー選択では利用できず、無効になっています。

Enable_Vref_Vssa

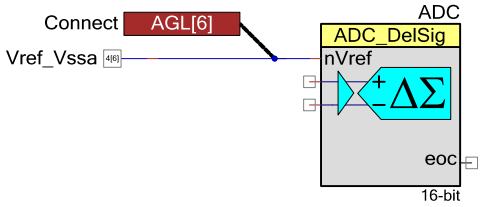
このパラメーターを使って、ADC のリファレンス Vssa である負入力をアナログ グローバル AGL[6] に接続できます。高精度システムについては、Vref_Vssa を外部 Vssa に接続し、オンチップ Vssa とオフチップ Vssa とのわずかな差異を除外します。このわずかな差異が ADC のゲインエラーを引き起こすことがあります。

このオプションは PSoC 3 プロダクションおよび PSoC 5 ES2 シリコンまたはそれ以降でのみ有効です。このオプションを PSoC 3 ES2 および PSoC 5 シリコンで選択するとコンパイルエラーを引き起こします。

Vref_Vssa は ADC に供給されている外部リファレンスを使用している場合に便利な拡張機能です。Vref_Vssa 接続はアナログルーティング構造を経由して接続され、更にピンに引き出されています。これにより、外部リファレンスへの接続が有効になり、Vssa ピンやボンディング ワイヤー の I*R 低下による、ADC に供給されたリファレンス電圧のオフセットを除外します。

Vref_Vssa は Analog Global Left 6 (AGL[6]) に直接接続されています。(詳細はデバイス データシートのアナログ ルーチン図をご参照ください) AGL[6] はピン P4[6]、P4[2]、P0[6] および P0[2] に直接接続します。最高の性能を得るために、Vref_Vssa がこれらのピンの 1 つに接続していることを確認してください。Vref_Vssa を他のピンに配置すると、余分なルーチンリソースを消費し、余分な抵抗が連続して接続に付加されます。

マニュアル アナログルーティングシステム (MARS) コンポーネントを使って、特定のピンだけが使用されていることを確認するルールチェックを追加できます。Vref_Vssa ネットにアナログ リソース 制限を課すことで、そのネットに直接接続しているリソースだけを使用することができます。AGL[6] に直接接続していないネットにピンを配置すると、ビルドプロセス中にツールがエラーを生成します。このエラーは、ピンへの直接接続がないネットにリソースを接続しており、接続できないということを示しています。次の図はその一例です。



リソース

ADC_DelSig はデシメーター、デルタシグマ変調器、およびクロックソースを使用します。外部リファレンスまたは参照バイパスが選択されると、P0[3] または P3[2] が外部リファレンスまたはバイパスコンデンサに使用されます。

分解能	デジタルブロック					API メモリ (バイト)		ピン (外部入出力ごと)
	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	
8～20 ビット	0	0	0	0	0	4400	14	–

アプリケーションプログラミングインタフェース

アプリケーションプログラミングインターフェース (API) ルーチンにより、ソフトウェアを使用してコンポーネントをコンフィギュレーションできます。次の表は、各関数へのインターフェースとその説明を示しています。その次のセクションでは、各関数について詳しく説明します。

デフォルトで、PSoC Creator は、インスタンス名「ADC_DelSig_1」を、特定の設計における最初のコンポーネント インスタンスに割り当てます。インスタンス名は、識別子の構文ルールに従ったユニークな値に変更できます。インスタンス名は、すべてのグローバル関数名、変数名、定数名のプリフィックスになります。読みやすいように、下表では「ADC」というインスタンス名を使用しています。

機能	説明
ADC_Start()	initVar 変数を設定し、ADC_Init() 関数を呼び出して、ADC_Enable() 関数を呼び出します。
ADC_Stop()	ADC 変換を停止して電源を切ります。
ADC_SetBufferGain()	入力バッファ ゲインを選択します (1、2、4、8)
ADC_StartConvert()	変換の開始。
ADC_StopConvert()	変換の停止。
ADC_IRQ_Enable()	変換完了時の割り込みを有効にします。
ADC_IRQ_Disable()	割り込みを無効にします。
ADC_IsEndConversion()	変換が完了すると 0 でない値を返します。
ADC_GetResult8()	8 ビットの変換結果を右揃えで返します。
ADC_GetResult16()	16 ビットの変換結果を右揃えで返します。
ADC_GetResult32()	32 ビットの変換結果を右揃えで返します。
ADC_SetOffset()	ADC_CountsTo_mVolts()、ADC_CountsTo_uVolts()、および ADC_CountsTo_Volts() 関数で使用されるオフセットを設定します。
ADC_SelectConfiguration()	4 つまでの ADC 構成のうちの 1 つを設定します。

機能	説明
ADC_SetGain()	ADC_CountsTo_mVolts()、ADC_CountsTo_uVolts()、and ADC_CountsTo_Volts() 関数で使用されるゲインを設定します。
ADC_CountsTo_mVolts()	ADC カウントを mV に変換します。
ADC_CountsTo_uVolts()	ADC カウントを µV に変換します。
ADC_CountsTo_Volts()	ADC カウントを浮動小数点値（V)に変換します。
ADC_Sleep()	ADC 動作を停止し、ユーザ設定を保存します。
ADC_Wakeup()	ユーザ設定を復元し、有効にします。
ADC_Init()	[Configure] ダイアログ設定を使って ADC を初期化するか復元します。
ADC_Enable()	ADC を有効化します。
ADC_SaveConfig()	現在の構成を保存します。
ADC_RestoreConfig()	構成を復元します。
ADC_SetCoherency()	コヒーレンシレジスタを設定します。
ADC_SetGCOR()	新しい GCOR 値を計算し、この新しい値で GCOR レジスタを設定します。
ADC_ReadGCOR()	正規化した GCOR レジスタ値を返します。

グローバル変数

変数	説明
ADC_initVar	ADC_initVar 変数は ADC が初期化されたかどうかを示します。変数は 0 に初期化され、ADC_Start() が初めて呼び出されたときに 1 に設定されます。これにより、コンポーネントは ADC_Start() ルーチンへの最初の呼び出し後、再初期化なしに再起動できます。 コンポーネントの再初期化が必要な場合、関数 ADC_Start()やADC_Enable() の前に、関数 ADC_Init() が呼び出されます。
ADC_offset	ADC_offset 変数はオフセットを調整するために使用されます。初期は、この変数はゼロに設定されています。アプリケーションは ADC_SetOffset() 関数を使ってこれを修正できます。所定のオフセットを減算しても、ADC_CountsTo_Volts()、ADC_CountsTo_mVolts()、および ADC_CountsTo_uVolts() 関数にしか影響しません。
ADC_CountsPerVolt	ADC_countsPerVolt 変数はゲインを調整するために使用されます。初期は、この変数はデフォルトの ADC コンフィギュレーション用に計算されます。計算された値は、分解能、入力範囲、および電圧リファレンスに依存します。アプリケーションは ADC_SetGain() 関数を使ってこれを修正できます。ADC カウントと適用した入力電圧との間に正しい変換を供給しても、ADC_CountsTo_Volts()、ADC_CountsTo_mVolts()、および ADC_CountsTo_uVolts() 関数にしか影響しません。
ADC_convDone	ADC_convDone 変数は分解能が 16 ビット以上のシングルサンプル変換モードでの ADC 変換をチェックするソフトウェアフラグとして使用されます。

void ADC_Start(void)

説明: initVar 変数を設定し、ADC_Init() 関数を呼び出して、ADC_Enable() 関数を呼び出します。

この関数は ADC をコンフィギュレーションし、電源を投入しますが、変換は開始しません。デフォルトでは、ADC_SelectConfiguration() 関数が他の構成を選択していない限り、ADC はConfig1にコンフィギュレーションされます。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_Stop(void)

説明: ADC を無効化し電源を切ります。

注 この API を PSoC 3 ES2 および PSoC 5 シリコンで使用することは推奨しません。これらのデバイスは、電源供給されていないときに信頼性を落とすいくつかのアナログリソースへの接続を引き起こす欠点があります。そのリソースを使用しているコンポーネントが停止した場合は、この信頼性の欠如はサイレントな障害 (例えば、アナログコンポーネントからの予想できない悪い結果) として現われます。このシリコンを使用する場合、設計に含まれる全てのアナログコンポーネントは常に電源が入っている必要があります (例えば ADC_Start() など、それぞれの _Start() APIs を呼び出して) 。ADC_Stop() APIs はコールしないでください。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_SetBufferGain(uint8 gain)

説明: 入力バッファ ゲインを設定する。

パラメータ: uint8 ゲイン: ゲイン設定を入力します。以下の表は有効なゲイン定数を示します。

ゲイン オプション	説明
ADC_BUF_GAIN_1X	入力バッファ ゲインを 1 に設定する。
ADC_BUF_GAIN_2X	入力バッファ ゲインを 2 に設定する。
ADC_BUF_GAIN_4X	入力バッファ ゲインを 4 に設定する。
ADC_BUF_GAIN_8X	入力バッファ ゲインを 8 に設定する。

戻り値: なし

注意事項: なし

void ADC_StartConvert(void)

説明: 強制的に ADC に変換を開始させます。シングル サンプル モードでは、1 回の変換を実行すると、ADC は停止します。他の 3 つの変換モードでは、ADC は継続して稼働します。

変換の最中に ADC_StartConvert() 関数が呼び出されると、次の変換開始はキュー行列に入り、現在の変換が完了した後で新しい変換が開始します。現在の変換の完了を待たずに新しい変換を開始したい場合は、ADC_StopConvert() を呼び出して現在の変換を停止します。変換が停止したら、ADC_StartConvert() を呼び出して変換を再開します。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_StopConvert(void)

説明: 全ての変換を停止するように ADC に強制します。ADC が変換中であれば、ADC はリセットされ、部分的な変換の結果は提供されません。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_IRQ_Enable(void)

説明: 変換の最後に割り込みをイネーブルします。ADC 割り込みが可能になるように、グローバル割り込みも有効にする必要があります。グローバル割り込みを有効にするには、割り込みが起こる前にグローバル割り込みを有効にする *main.c* にある「`CYGlobalIntEnable;`」マクロを使用します。

パラメータ: なし

戻り値: なし

注意事項: 割り込みを有効にします。結果の読みだしは割り込みをクリアします。

void ADC_IRQ_Disable(void)

説明: 変換終了割り込みをディセーブルします。

パラメータ: なし

戻り値: なし

注意事項: なし

uint8 ADC_IsEndConversion(uint8 retMode)

説明: ADCの変換終了をチェックします。この関数はプログラマーに 2 つのオプションを提供します。一つのモードでは、この関数は変換状況をただちに返します。他のモードでは、この関数は変換が完了するまで変換状況を返しません (ブロッキング)。

パラメータ: uint8 retMode: 変換リターンモードをチェックします。オプションについては以下の表を参照してください。

オプション	説明
ADC_RETURN_STATUS	変換結果ステータスをただちに返します。
ADC_WAIT_FOR_RESULT	ADC 変換が完了するまでリターンしません。

戻り値: uint8: ゼロ以外の値が返されれば、最後の変換は完了しています。返された値がゼロの場合は、ADC はまだ最後の結果を計算しています。

注意事項: なし

int8 ADC_GetResult8(void)

説明: 8 ビット変換の結果を返します。分解能が 8 ビットより大きく設定されていると、結果の LSB が返されます。ADC が 8 ビット シングルエンド モードで構成されている場合は、代わりに ADC_GetResult16() 関数を使用します。この関数は符号付き 2 進数の 8 ビット値しか返しません。正の符号付き 2 進数の 8 ビット最大値は 127 ですが、シングルエンドの 8 ビットモードでは、最大の正の値は 255 です。

パラメータ: なし

戻り値: int8: 最後の ADC 変換の LSB。

注意事項: なし

int16 ADC_GetResult16(void)

説明: 分解能が 8 ～ 16 ビットの変換の 16 ビットの結果を返します。分解能が 16 ビットよりも大きく設定されていると、結果の下位 16 ビットを返します。ADC が 16 ビット シングルエンド モードで構成されている場合は、代わりに ADC_GetResult32() 関数を使用します。この関数は符号付き 2 進数の 16 ビットの結果しか返しませんが、その最大の正の値は 32767 であり 65535 ではありません。

パラメータ: なし

戻り値: int16: 最後の ADC 変換の 16 ビットの結果。

注意事項: なし

int32 ADC_GetResult32(void)

説明: 分解能が 8 ～ 20 ビットの変換の32 ビットの結果を返します。

パラメータ: なし

戻り値: int32: 最後の ADC 変換の結果。

注意事項: なし

void ADC_SetOffset(int32 offset)

説明: ADC_CountsTo_uVolts()、ADC_CountsTo_mVolts()、および ADC_CountsTo_Volts() 関数で使用されている ADC オフセットを設定して、電圧変換を計算する前に所定の読みだしからオフセットを減算します。

パラメータ: int32 offset: 入力がショートしているか、同じ入力電圧に接続している場合に測定される値です。

戻り値: なし

注意事項: 所定のオフセットを減算することで ADC_CountsTo_uVolts()、ADC_CountsTo_mVolts()、および ADC_CountsTo_Volts() 関数に影響します。

void ADC_SetGain(int32 adcGain)

説明: 以下の電圧変換関数用にADCゲインを電圧あたりのカウント数で設定します。この値はデフォルトではリファレンス電圧および入力範囲設定により設定されます。ADC をさらに調整するために利用するのは既知の入力、または外部リファレンス電圧が使用されているときにのみにすべきです。

パラメータ: int32 adcGain: ADC ゲイン (カウント数/電圧) 。

戻り値: なし

注意事項: ADC カウントと電圧との間に正しい変換を供給しても、ADC_CountsTo_uVolts()、ADC_CountsTo_mVolts()、および ADC_CountsTo_Volts() 関数にしか影響しません。

void ADC_SelectConfiguration(uint8 config uint8 restart)

説明: 4 つまでの ADC 構成のうちの 1 つを設定します。新しい構成を設定する前に、ADC を停止して電源を落とします。新しい構成を設定した後で、2 番目のパラメーターの値によって、ADC に電源が入り、変換が再開されます。このパラメーターの値が 1 の場合、ADC は再開されます。この値がゼロの場合、ADC_Start() および ADC_StartConvert() を呼び出して変換を再開します。

パラメータ: uint8 config: コンフィギュレーションオプションは 1 ～ 4 です。

uint8 restart: 再開オプション。1 は ADC を開始し変換を再開することを意味します。0 は ADC も変換も開始しないことを意味します。

戻り値: なし

注意事項: なし

int32 ADC_CountsTo_mVolts(int32 adcCounts)

説明: ADC 出力を 32 ビットの整数として mV に変換します。例えば、ADC が 0.534 V の場合、戻り値は 534 mV になります。

パラメータ: int32 adcCounts: ADC 変換からの結果。

戻り値: int32: 単位 mV の結果。

注意事項: なし

int32 ADC_CountsTo_uVolts(int32 adcCounts)

説明: ADC 出力を 32 ビットの整数として µV に変換します。例えば、ADC が −0.02345 V の場合、戻り値は -23450 µV になります。

パラメータ: int32 adcCounts: ADC 変換からの結果。

戻り値: int32: 単位 µV の結果。

注意事項: なし

float ADC_CountsTo_Volts(int32 adcCounts)

説明: ADC 出力をフローティングポイントナンバーとして変換します。例えば、ADC が 1.2345 V の電圧であれば、戻り値は +1.2345 V になります。

パラメータ: int32 adcCounts: ADC 変換からの結果。

戻り値: フロート: 最後の ADC 変換の結果。

注意事項: なし

void ADC_Sleep(void)

説明: ADC_Sleep() 関数は、コンポーネントがイネーブルされているか否かを確認し、その状態を保存します。ADC_Stop() 関数を呼び出して、ADC_SaveConfig() を呼び出し、ユーザー構成を保存します。

CyPmSleep() および CyPmHibernate() 関数を呼び出す前に、_Sleep() 関数を呼び出してください、。電源管理関数については、*『PSoC Creator システム リファレンス ガイド』*を参照してください。

パラメータ: なし

戻り値: なし

注意事項: **注**CyPmSleep() 関数を使って ADC ハードウェアをスリープ状態にする場合は、スリープを解除した後で、ADC_Start() および ADC_StartConvert() を必ず実行して変換を再開してください。

void ADC_Wakeup(void)

説明: ADC_Wakeup() 関数は、ユーザー設定を復旧させるために ADC_RestoreConfig() 関数を呼び出します。このコンポーネントが ADC_Sleep() 関数を呼び出す前に有効化された場合、ADC_Wakeup() はコンポーネントを再度有効化します。

パラメータ: なし

戻り値: なし

注意事項: 最初に ADC_Sleep() または ADC_SaveConfig() 関数を呼び出すことなく ADC_Wakeup() 関数を呼び出すと、予期されない挙動を示すことがあります。

void ADC_Init(void)

説明: [Configure (設定)] ダイアログでの設定に従ってコンポーネントのパラメータを初期化または復元します。ADC_Start() が呼び出されていれば、この関数を呼び出す必要はありません。

パラメータ: なし

戻り値: なし

注意事項: すべてのレジスタがリセットされ、初期値になります。これによって、コンポーネントが再初期化されます。

void ADC_Enable(void)

説明: ADC のクロックと電源を有効にします。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_SaveConfig(void)

説明: この関数は、コンポーネントの設定を保存します。保持されないレジスタも保存します。この関数は、[Configure] (設定) ダイアログで定義されている、または該当する API で変更される、現在のコンポーネント パラメータ値も保存します。この関数は、ADC_Sleep()関数に呼び出されます。

パラメータ: なし

戻り値: なし

注意事項: なし

void ADC_RestoreConfig(void)

説明: この関数は、コンポーネントの設定を復元します。維持されないレジスタも復元します。この関数はまた、コンポーネントのパラメータ値を _Sleep() 関数を呼び出す前の状態に復旧します。

パラメータ: なし

戻り値: なし

注意事項: ADC_Sleep() または ADC_SaveConfig() 関数を呼び出す前に、この関数を呼び出した場合、予期しない挙動を示すことがあります。

void ADC_SetCoherency(uint8 coherency)

説明: この関数は、ADC の3ワードの結果のどれがコヒーレンシアンロックを引き起こすかどうかを変えることができます。設定されたバイトが ADC または DMA により読みだされない限り、ADC の結果は更新されません。デフォルトでは、LSB はコヒーレンシバイトです。DMA または カスタム API が、LSB を最後に読み出すバイトとして書かれていない場合、このAPIが最後に読み出されるADCの結果バイト位置をセットします。DMA または ARM プロセッサーのどちらかによってマルチバイト読みだしが実行されると、コヒーレンシは最後に読み出されるワードの任意のバイトに設定できます。

パラメータ: uint8 coherency: コヒーレンス設定。以下の表は有効なコヒーレンス値を示します。

コヒーレンス オプション	説明
ADC_COHER_LOW	LSB が最後に読み出されるバイトです。
ADC_COHER_MID	真ん中のバイトが最後に読み出されたバイトです。
ADC_COHER_HIGH	MSB が最後に読み出されたバイトです。

戻り値: なし

注意事項: 何らかの理由でコヒーレンスがを変更されたとき、ADC_GetResult API が使用されるときに LSB に変更し直す必要があります。

uint8 ADC_SetGCOR(float gainAdjust)

説明: この関数は GCOR (ADC Gain) 値を計算し、GCOR レジスタに書き込みます。GCOR 値は 0 ~ 2 のゲインを示す 16 ビットの値です。ADC 結果は、ADC 出力レジスタに配置される前に、この値で乗されます。

この関数を実行した時、古い GCOR 値が **gainAdjust** 入力で乗されて、GCOR レジスタにリロードリされます。GCOR 値は GVAL レジスタに基づいて正規化されます。

パラメータ: float gainAdjust: この値の有効範囲は 0.000 ~ 1.999 です。

戻り値: uint8: 補正値が GCOR 値範囲の 0.00 ~ 1.9999 の外にあると、ゼロではない値が返されます。

注意事項: 実際の GCOR 値は GVALレジスタに依存します。GVAL レジスタは GCOR レジスタの有効なビット数から1を減算した数と等しい値に設定されます。GVAL が 15 (0x0F) であれば、GCOR レジスタの全ての 16 ビットは有効です。GVAL が 11 (0x0B) であれば、12 ビットだけが有効です。GCOR 値が右に4つずれると、下位の 4 ビットが失われます。

uint16 ADC_ReadGCOR(void)

説明: この関数は GVAL 設定に基づいて正規化された現在の GCOR レジスタ値を返します。例えば、GCOR 値が 0x0812 で GVAL レジスタが 11 (0x0B) に設定されていると、戻り値は左に 4 ビット移動します。(Actual GCOR value = 0x0812, returned value = 0x8120)

パラメータ: なし

戻り値: uint16: 正規化された GCOR 値

注意事項: GCOR 値は GVALレジスタ値に依存します。GVAL 15 (0x0F) よりも小さい値に設定されていると、GCOR 値は 15からGVALを引いた分だけ右にシフトします。

DMA 情報

DMA コンポーネントは ADC_DelSig レジスタからの変換結果を RAM または Digital Filter Block (DFB) などの他のコンポーネントに移動するのに使用できます。DMA データ要求信号 (DRQ) は ADC からの EOC ピンに接続されている必要があります。DMA ウィザードを使って以下のような DMA 動作を構成することができます。

DMA ウィザードでの DMA ソース/デスティネーションの名前	方向	DMA Req Signal	DMA Req Type	説明
ADC_DelSig_DEC_SAMP_PTR	source (ソース)	EOC	エッジ	分解能が 8 ビットの入力アナログ値の 1 バイトの変換結果を受け取ります。
ADC_DelSig_DEC_SAMPM_PTR	source (ソース)	EOC	エッジ	分解能が 9 ~ 16 ビットの入力アナログ値の 2 バイトの変換結果を受け取ります。
ADC_DelSig_DEC_SAMPH_PTR	source (ソース)	EOC	エッジ	分解能が 17 ~ 20 ビットの入力アナログ値の 3 バイトの変換結果を受け取ります。

ファームウェア ソースコードの例

PSoC Creator は、[Find Example Project (プロジェクト例を検索)] ダイアログに数多くのプロジェクト例を提供しており、そこには回路図およびコード例が含まれています。コンポーネント固有の例を見るには、[Component Catalog (コンポーネント カタログ)] または回路図に置いたコンポーネント インスタンスからダイアログを開きます。一般例については、[Start Page (スタート ページ)] または **File** メニューからダイアログを開きます。必要に応じてダイアログにある **Filter Options** を使用し、選択できるプロジェクトのリストを絞り込みます。

詳しくは、PSoC Creator ヘルプの「Find Example Project (プロジェクト例を検索)」を参照してください。

機能説明

デルタ シグマ チャネルには以下のブロックがあります:

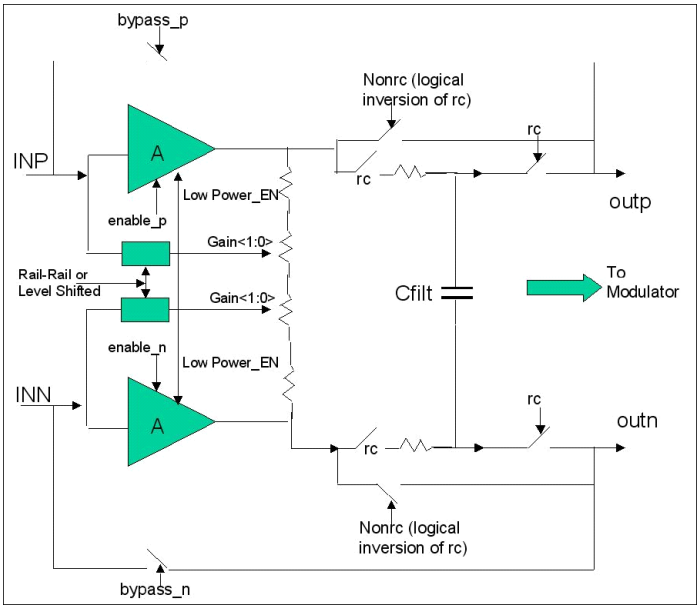
- 不必要な場合はバイパスできる(電源も落とせる)高入力インピーダンスフロントエンドバッファ (ゲインはプログラマブル) 。
- 完全な差動のプログラマブルな三次のスイッチットキャパシタモジュレータ。
- ダウンストリームデジタルフィルタリングは 4 次のカスケード積分くし型（CIC)フィルタ（デシメータとも呼ばれる）と、CIC フィルタから離れる前にデータに対してオプションで増幅やオフセットや単純な FIR フィルタリング機能などを行う、後処理エンジン(cicdec4_pproc）から構成されています。
- ANAIF - アナログ インターフェース ロジック ブロックは入力バッファおよび変調器の制御用のレジスタで構成されています。

入力バッファがないと、スイッチトキャパシタ入力段は各サイクル中、コンデンサを充電するために電流を消費します。その場合、等価の入力抵抗は、1/(fs × C)、すなわち 1/((3 MHz) × (5 pF)) = 66 kΩ のオーダーです。多くのセンサー アプリケーションは、正確な読み取りを行うために、より高いインピーダンスを必要とします。そのため、入力バッファがデルタ シグマ チャネルの一部になっています。

入力バッファはアプリケーションによっては、アースに近い信号を取り扱う必要があり、場合によっては電源レールに近い電圧で動作しなくてはなりません。入力バッファ アーキテクチャは、2 つのシングルエンド バッファがあり、それらで差動チャネルを作ります。チャネルにはどちらのバッファを選択してもかまいません。チャネルがシングルエンド モードで動作する場合、入力の 1 つがアースレールに接続され、対応するバッファはバイパスされます。バッファは個別に電源を落とすことができます。バッファには 2 つの主要な操作モードがあります。

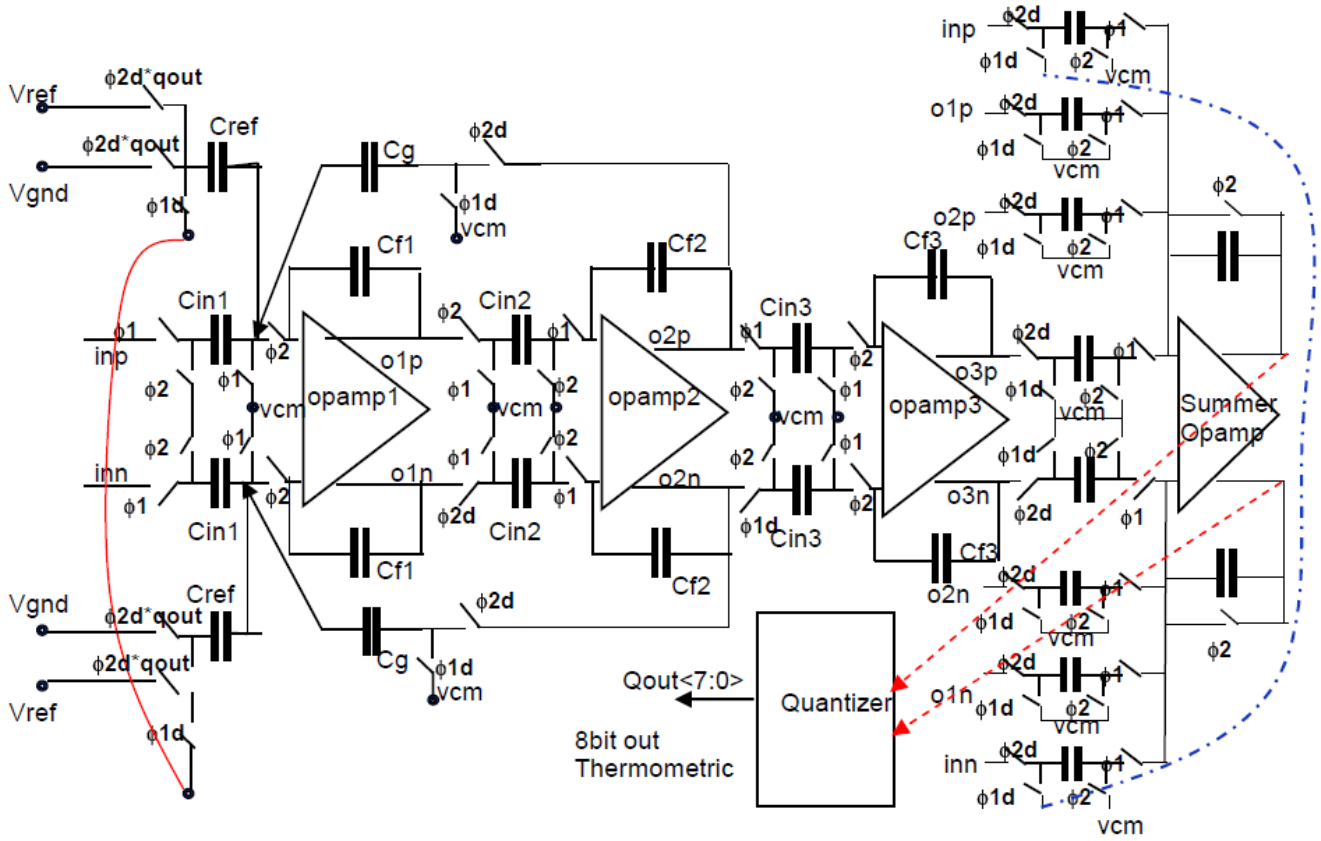
- レベル シフト モード: バッファの出力は、入力が 0-V 入力ど同相電圧範囲に近いとき、レベルを入力電圧より上にシフトすることができます。
- [Rail to Rail] モード: このモードは入力が [Rail to Rail] の場合に使用されます。

図 8. ADC バッファ構造



スイッチトキャパシタの実装は図 9 に示されています。ダイナミック エレメント マッチング (DEM) ブロックは、9 レベル量子化のもとで操作するとき、モジュレーターのスイッチトキャパシタ型 DAC フィードバックの不一致が原因であるエラーを形成します。バッファと変調器が特定のアプリケーションに対して適切に設定されていると、変調器の変動レベル プログラム可能な量子化器 (レベル 2、3 または 9) は「量子化された」ビット ストリームを作り出します。この量子化されたビット ストリームは幅が 8 ビットで、温度測定形式です。温度測定量子化コードをデシメーターで使用するために 2 の補足形式に変換します。

図 9. スイッチトキャパシタデルタ シグマ変調器の構造



レジスタ

サンプルのレジスタ

ADC の結果は 8 ～ 24 ビットの分解能です。出力は 3 つの 8 ビット レジスタに分けられます。CPU または DMA はこれらのレジスタをアクセスして ADC の結果を読み取ります。

ADC_DEC_SAMP (ADC 出力データ サンプル ロー レジスタ)

ビット	7	6	5	4	3	2	1	0
値	Data[7:0]							

ADC_DEC_SAMPM (ADC 出力データ サンプル ミドル レジスタ)

ビット	7	6	5	4	3	2	1	0
値	Data[15:8]							

ADC_DEC_SAMPH (ADC 出力データ サンプル ハイ レジスタ)

ビット	7	6	5	4	3	2	1	0
値	Data[23:16]							

PSoC 3 用 DC 電気的特性と AC 電気的特性

次の値は予想されるパフォーマンスを示唆したもので、初期の特性データに基づいています。特記されていない場合の動作条件:

- 連続サンプル モードでの動作
- fclk = 3.072 MHz 分解能 = 16 ～ 20 ビット、fclk = 6.144 MHz 分解能 = 8 ～ 15 ビット
- 参照 = 1.024 V P3[2] または P0[3] にバイパスされる内部リファレンス
- 特記されていない限り、すべての図とグラフは Typ.値を示します

PSoC 3 用デルタ シグマ ADC の DC 仕様

パラメータ	説明	条件	最小値	Typ	最大値	単位
	分解能		8	–	20	ビット
	チャネルの数、シングル エンド		–	–	GPIO の数	–
	チャネルの数、差動	差動ペアは、一組の GPIO を使用して形成します。	–	–	GPIO の数/2	–
	繰り返し	有	–	–	–	–
Ge	ゲインエラー [3]	バッファ付き、バッファ ゲイン = 1、入力範囲 = ±1.024V、16 ビットモード	–	–	±0.2	%
Gd	ゲイン ドリフト	バッファ付き、バッファ ゲイン = 1、入力範囲 = ±1.024V、16 ビットモード	–	–	50	ppm/°C
V_{OS}	入力オフセット電圧 [4]	バッファリングされている	–	–	±0.1	mV
TCV_{OS}	ADC TC 入力オフセット電圧	温度係数、入力オフセット電圧	–	–	55	µV/°C
	入力電圧範囲、シングル エンド [5]		V_{SSA}	–	V_{DDA}	V

[3] トータルゲイン エラーは ADC エラーとバッファ エラーの合計です。

[4] トータルオフセット電圧エラーはバッファ V_{OS} および ADC V_{OS} の合計です。

パラメータ	説明	条件	最小値	Typ	最大値	単位
	入力電圧範囲、差動(バッファなし) [6]		V_{SSA}	–	V_{DDA}	V
	入力電圧範囲、差動(バッファ) 6		V_{SSA}	–	V_{DDA} – 1	V
PSRRb	電源ノイズ除去比、バッファ 6	バッファ ゲイン = 1、16 ビット、範囲= ±1.024 V	90	–	–	dB
CMRRb	同相除去比、バッファ付き 6	バッファ ゲイン = 1、16 ビット、範囲 = ±1.024V	85	–	–	dB
INL20	積分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±32	LSB
DNL20	微分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
INL16	積分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±2	LSB
DNL16	微分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
INL12	積分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
DNL12	微分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
INL8	積分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
DNL8	微分非直線性 6	範囲 = ±1.024V、バッファなし	–	–	±1	LSB
Rin_Buff	ADC 入力抵抗	入力バッファ使用	10	–	–	MΩ
Rin_ADC 16	ADC 入力抵抗	入力バッファはバイパス、16 ビット、範囲 = ±1.024V	–	74 [7]	–	kΩ
Rin_ADC 12	ADC 入力抵抗	入力バッファはバイパス、16 ビット、範囲 = ±1.024V	–	1487	–	kΩ
Cin_G1	ADC 入力容量 6	ゲイン = 1	–	5	–	pF
V_{EXTREF}	ADC 外部リファレンス入力電圧	ピン P0[3]、P3[2]	0.9	–	1.3	V
消費電流						
I_{DD_20}	消費電流、20 ビット 6	187 sps、バッファなし	–	–	1.25	mA
I_{DD_16}	消費電流、16 ビット66	48 ksps、バッファなし	–	–	1.2	mA
I_{DD_12}	消費電流、12 ビット 6	192 ksps、バッファなし	–	–	1.4	mA
I_{BUFF}	バッファの電流消費 6		–	–	2.5	mA

[5] V_{SSA} ～ 6 × V_{BG} 範囲は V_{DDA} 電源供給を直接測定するために使用されます。実際のスケールは V_{DDA} に制限されています。

[6] デバイスの特性評価に基づく値(生産試験されたものではない)

[7] ADC 入力時のスイッチト キャパシタを使用すると、実質的な入力抵抗が作成されます。ゲインおよびビット定数の数を保持、抵抗はクロック周波数の逆数に比例。この値は計算されますが、測定されていません。詳細については、「テクニカル リファレンス マニュアル」を参照してください。

PSoC 3 用デルタ シグマ ADC の AC 仕様

パラメータ	説明	条件	最小値	Typ	最大値	単位
	起動時間		–	–	4	サンプル
THD	全高調波歪み [8]	バッファ ゲイン = 1、16 ビット、範囲= ±1.024 V	–	–	0.0032	%
20 ビット分解能モード						
SR20	サンプリング速度 8	範囲 = ±1.024V、バッファなし	7.8	–	187	sps
BW20	最大サンプリングレートでの入力帯域幅 8	範囲 = ±1.024 V、バッファなし	–	40	–	Hz
16 ビット分解能モード						
SR16	サンプリング速度 8	範囲 = ±1.024V、バッファなし	2	–	48	ksps
BW16	最大サンプリングレートでの入力帯域幅 8	範囲 = ±1.024V、バッファなし	–	11	–	kHz
SINAD16int	信号対ノイズ比、16 ビット、内部参照 8	範囲 = ±1.024V、バッファなし	81	–	–	dB
SINAD16ext	信号対ノイズ比、16 ビット、外部参照 8	範囲 = ±1.024V、バッファなし	84	–	–	dB
12 ビット分解能モード						
SR12	サンプル レート、連続モード、高パワー 8	範囲 = ±1.024V、バッファなし	4	–	192	ksps
BW12	最大サンプリングレートでの入力帯域幅 8	範囲 = ±1.024V、バッファなし	–	44	–	kHz
SINAD12int	信号対ノイズ比、12 ビット、内部参照 8	範囲 = ±1.024V、バッファなし	66	–	–	dB
8 ビット分解能モード						
SR8	サンプル レート、連続モード、高パワー 8	範囲 = ±1.024V、バッファなし	8	–	384	ksps
BW8	最大サンプリングレートでの入力帯域幅 8	範囲 = ±1.024V、バッファなし	–	88	–	kHz
SINAD8int	信号対ノイズ比、8 ビット、内部リファレンス 8	範囲 = ±1.024V、バッファなし	43	–	–	dB

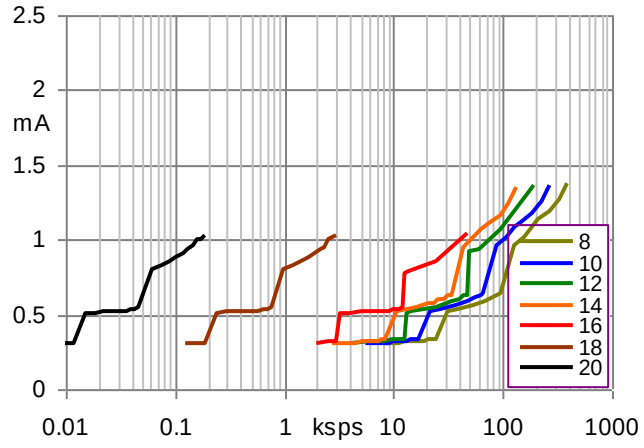
[8] デバイスの特性評価に基づく値（生産試験されたものではない）

デルタシグマ ADC サンプル レート、範囲 = ±1.024V

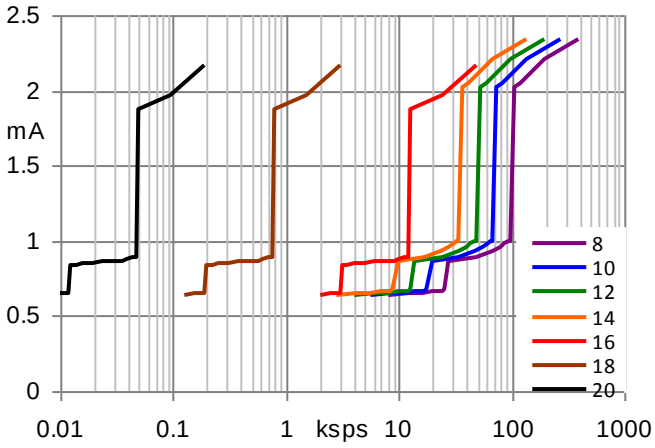
分解能(単位:ビット)	連続		マルチ サンプル		マルチ サンプル ターボ	
	最小値	最大値	最小値	最大値	最小値	最大値
8	8000	384000	1911	91701	1829	87771
9	6400	307200	1543	74024	1489	71441
10	5566	267130	1348	64673	1307	62693
11	4741	227555	1154	55351	1123	53894
12	4000	192000	978	46900	956	45850
13	3283	157538	806	38641	791	37925
14	2783	133565	685	32855	674	32336
15	2371	113777	585	28054	577	27675
16	2000	48000	495	11861	489	11725
17	500	12000	124	2965	282	6766
18	125	3000	31	741	105	2513
19	16	375	4	93	15	357
20	8	187.5	2	46	8	183

図

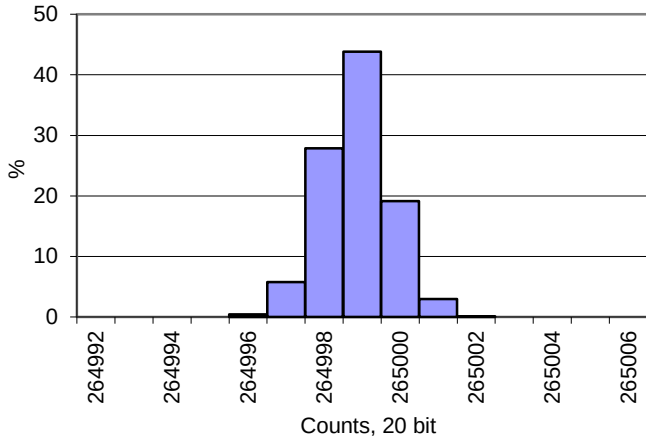
デルタ シグマ ADC I_{DD} 対 sps、バッファなし



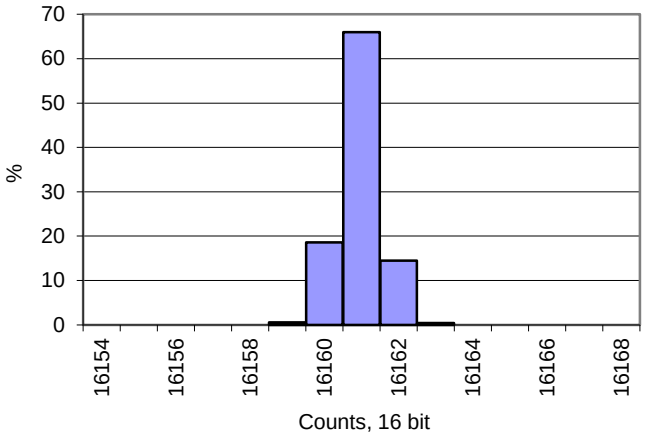
デルタ シグマ ADC I_{DD} 対 sps、バッファあり



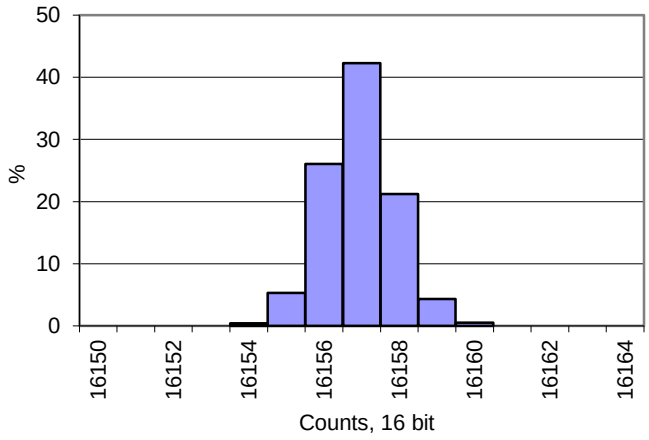
デルタシグマ ADC ノイズ ヒストグラム、1000 サンプル、20 ビット、187 sps、外部リファレンス、$V_{IN} = V_{REF}/2$、
範囲 = ±1.024V



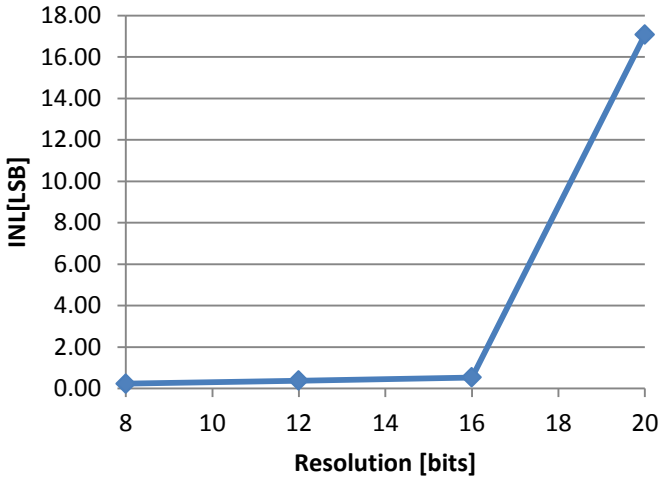
デルタシグマ ADC ノイズ ヒストグラム、1000 サンプル、16 ビット、48 ksps、外部リファレンス、$V_{IN} = V_{REF}/2$、
範囲 = ±1.024V



デルタシグマ ADC ノイズ ヒストグラム、1000 サンプル、16 ビット、48 ksps、内部リファレンス、$V_{IN} = V_{REF}/2$、
範囲 = ±1.024V



デルタ シグマ ADC INL 対最大サンプル レートにおける分解能



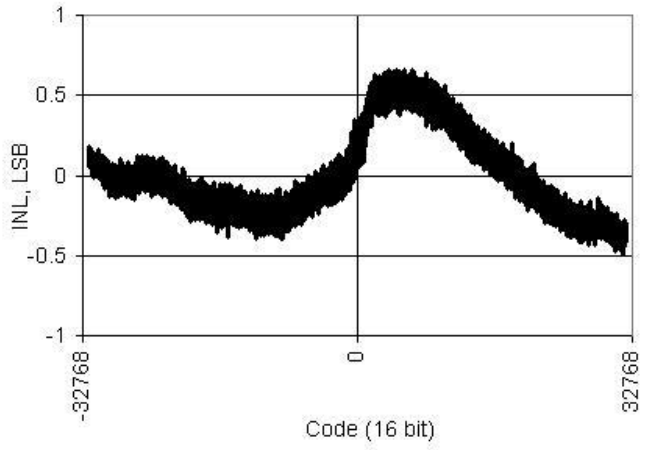
デルタシグマ ADC RMS ノイズ対入力範囲とサンプルレート、20 ビット、外部リファレンス、シングルエンド

RMS ノイズ、カウント	入力電圧範囲			
サンプルレート (sps)	0 から V_{REF}	0 から V_{REF} x 2	V_{SSA} ~ V_{DDA}	0 から V_{REF} x 6
8	1.28	1.24	6.02	0.97
23	1.33	1.28	6.09	0.98
45	1.77	1.26	6.28	0.96
90	1.65	0.91	6.84	0.95
187	1.87	1.06	7.97	1.01

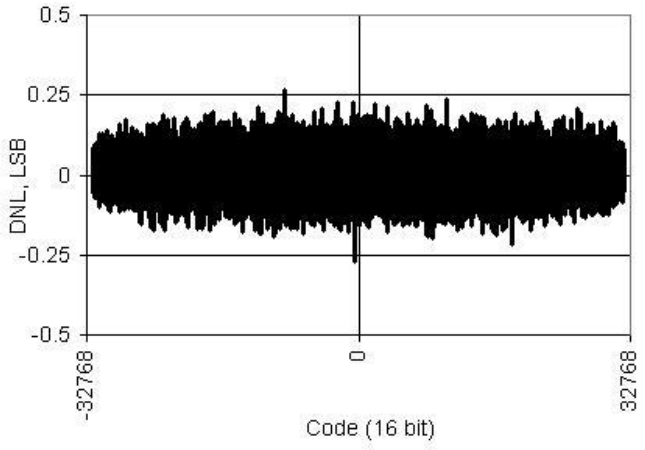
デルタ シグマ ADC RMS ノイズ対入力範囲およびサンプル レート、20 ビット、外部リファレンス、差動

RMS ノイズ、カウント	入力電圧範囲				
サンプルレート (sps)	±V_{REF}	±V_{REF}/2	±V_{REF}/4	±V_{REF}/8	±V_{REF}/16
8	0.70	0.84	1.02	1.40	2.65
11.3	0.69	0.86	0.96	1.40	2.69
22.5	0.73	0.82	1.25	1.77	2.67
45	0.76	0.94	1.02	1.76	2.75
61	0.75	1.01	1.13	1.65	2.98
170	0.75	0.98	無効な動作領域		
187	0.73	無効な動作領域			

デルタ シグマ ADC INL 対出力コード、16 ビット、
48 ksps、25 ° C V_{DDA} = 3.3 V



デルタ シグマ ADC INL 対出力コード、16 ビット、
48 ksps、25 ° C V_{DDA} = 3.3 V



入力キャパシタンス値 (pF 単位) 分解能 8 ～ 20 の各入力範囲に使用

入力範囲	入力キャパシタンス (pF)	
	8 ～ 15 の分解能	16 ～ 20 の分解能
V_{SS} ~ V_{REF} (シングル)	0.896	3.888
V_{SS} ~ V_{REF} *2 (シングル)	0.896	3.888
V_{SS} ～ V_{DD} (V_{DD}/3 シングル)	1.088	1.888
V_{SS} ～ V_{DD} (V_{DD}/4 シングル)	1.088	1.392
V_{SS} ~ V_{REF} *6 (シングル)	0.992	0.992
± V_{REF} (Diff)	0.896	3.888
± V_{REF}*2 (Diff)	1.088	2.192
± V_{REF}*6 (Diff)	0.992	0.992
± V_{REF}/2 (Diff)	1.600	6.000
± V_{REF}/4 (Diff)	2.800	12.000
± V_{REF}/8 (Diff)	3.488	17.588
± V_{REF}/16 (Diff)	5.696	17.200

PSoC 5 用 DC 電気的特性と AC 電気的特性

次の値は予想されるパフォーマンスを示唆したもので、初期の特性データに基づいています。特記されていない場合の動作条件:

- 連続サンプル モードでの動作
- fclk = 3.072 MHz 分解能 = 16 ～ 20 ビット、fclk = 6.144 MHz 分解能 = 8 ～ 15 ビット
- 参照 = 1.024 V P3[2] または P0[3] でバイパスされる内部リファレンス
- 特記されていない限り、すべての図とグラフは標準値を示します

PSoC 5 用デルタ シグマ ADC の DC 仕様

パラメータ	説明	条件	最小値	Typ	最大値	単位
	分解能		8	-	20	ビット
	チャネルの数、シングル エンド		-	-	GPIO の数	
	チャネルの数、差動	差動ペアは、一組の GPIO を使用して形成	-	-	GPIO の数 /2	
	繰り返し	有	-	-	-	
Ge	ゲインエラー	レベルシフトをバッファ、バッファゲイン = 1、差動範囲 ±1.024 V、25 ° C、16 ビット	−0.6	-	0.6	%
		バッファなし、差動範囲 ±1.024 V、25 ° C、16 ビット	−0.3	-	0.3	%
Gd	ゲイン ドリフト	レベルシフトをバッファ、バッファゲイン = 1, 範囲 ±1.024 V、16 ビット	-	-	60	ppm/° C
		バッファなし、範囲 = ±1.024 V、16 ビット	-	-	70	ppm/° C
V_{OS}	入力オフセット電圧	レベルシフトをバッファ、16 ビットモード、V_{DDA} = 2.7V, 25 ° C	−650	-	650	µV
		バッファなし、16 ビットモード、V_{DDA} = 2.7V、25 ° C	−200	-	200	µV
TCV_{OS}	温度係数、入力オフセット電圧	レベルシフトをバッファ、バッファゲイン = 1、16 ビット範囲 = ±1.024 V、V_{DDA} < 3.6 V	-	10	-	µV/° C

パラメータ	説明	条件	最小値	Typ	最大値	単位
		バッファなし、16 ビット、範囲 = ±1.024 V	-	-	0.45	µV/° C
	入力電圧範囲 [9]	シングルエンド、バッファなし	V_{SSA}	-	V_{DDA}	V
		差動、バッファなし	V_{SSA}	-	V_{DDA}	V
		差動、レベル シフトをバッファ	V_{SSA}	-	V_{DDA} – 1	V
PSRRb	電源ノイズ除去比 - 16 ビット 9	レベルシフトバッファ、バッファ ゲイン = 1、16 ビット範囲 = ±1.024 V、V_{DDA} < 3.6 V	-	80	-	dB
		バッファなし、範囲 = ±1.024V	90	-	-	dB
CMRRb	同相除去比、16 ビット 9	レベルシフトバッファ、バッファ ゲイン = 1、範囲 = ±1.024 V、V_{DDA} < 3.6 V	-	85	-	dB
		バッファなし、範囲 = ±1.024V	85	-	-	dB
INL20	20 ビット用 INL 9	差動範囲 ±1.024 V	-	-	32	LSB
DNL20	20 ビット用 DNL 9	差動範囲 ±1.024 V	-	-	1	LSB
INL16	積分非直線性 16 ビット 9	差動範囲 ±1.024 V	-	-	2	LSB
DNL16	差動非直線性 16 ビット9	差動範囲 ±1.024 V	-	-	1	LSB
INL12	12 ビット用 INL 9	差動範囲 ±1.024 V	-	-	1	LSB
DNL12	12 ビット用 DNL 9	差動範囲 ±1.024 V	-	-	1	LSB
INL8	8 ビット用 INL 9	差動範囲 ±1.024 V	-	-	1	LSB
DNL8	8 ビット用 DNL [1]	差動範囲 ±1.024 V	-	-	1	LSB
Rin_Buff	ADC 入力抵抗	入力バッファ使用	10	-	-	MΩ
Rin_ADC_16	ADC 入力抵抗	入力バッファはバイパス、16 ビット、範囲 = ±1.024V	-	74 [10]	-	kΩ
Rin_ADC_16	ADC 入力抵抗	入力バッファはバイパス、12 ビット、範囲 = ±1.024V	-	148 [10]	-	kΩ

[9] デバイスの特性評価に基づく値（生産試験されたものではない）

[10]ADC 入力時のスイッチト キャパシタを使用すると、実質的な入力抵抗が作成されます。ゲインおよびビット定数の数を保持、抵抗はクロック周波数の逆数に比例。この値は計算されますが、測定されていません。詳細については、テクニカル リファレンス マニュアルを参照してください。

パラメータ	説明	条件	最小値	Typ	最大値	単位
V_{EXTREF}	ADC 外部リファレンス入力電圧、リファレンス電圧の仕様の内部リファレンスも参照してください	ピン P0[3]、P3[2]	0.9	-	1.3	V
消費電流						
IDD_20	電流消費、20 ビット、187 sps 9	バッファリングされていない	–	–	4	mA
IDD_16	電流消費、16 ビット、48 ksps 9	バッファリングされていない	–	–	4	mA
IDD_12	電流消費、12 ビット、192 ksps 9	バッファリングされていない	–	–	4.5	mA
IDD_8	電流消費、8 ビット、384 ksps 9	バッファリングされていない	–	–	4.5	mA
IBUFF	電流消費、16 ビット、48 ksps 9	バッファのみ	–	–	3.5	mA

PSoC 5 用デルタ シグマ ADC の AC 仕様

パラメータ	説明	条件	最小値	Typ	最大値	単位
	起動時間		-	-	4	サンプル
THD	全高調波歪み、16 ビット [11]	バッファなし、範囲 = ±1.024V	-	-	0.006	%
20 ビット分解能モード						
SR20	サンプリング速度、20 ビット [11]	差動範囲 ±1.024 V	7.8	-	187	sps
BW20	帯域幅、20 ビット [11]	差動範囲 ±1.024 V	-	40	-	Hz
16 ビット分解能モード						
SR16	サンプリング速度、16 ビット [11]	差動範囲 ±1.024 V	2	-	48	ksps
BW16	帯域幅、16 ビット [11]	差動範囲 ±1.024 V	-	11	-	kHz
SINAD16int	信号対ノイズ比 + 歪 - 16 ビット、内部参照 [11]	バッファなし、範囲 = ±1.024V	81	-	-	dB
SINAD_16ext	信号対ノイズ比 + 歪、16 ビット、外部参照 [11]	バッファなし、範囲 = ±1.024V	84	-	-	dB

[11] デバイスの特性評価に基づく値（生産試験されたものではない）

パラメータ	説明	条件	最小値	Typ	最大値	単位
12 ビット分解能モード						
SR12	サンプリング速度、12 ビット [11]	差動範囲 ±1.024 V	4	-	192	ksps
BW12	帯域幅、12 ビット [11]	差動範囲 ±1.024 V	-	44	-	kHz
SINAD12int	信号対ノイズ比 + 歪、12 ビット、内部リファレンス [11]	バッファなし、範囲 = ±1.024V	66	-	-	dB
8 ビット分解能モード						
SR8	サンプリング速度、8 ビット [11]	差動範囲 ±1.024 V	8	-	384	ksps
BW8	帯域幅、8 ビット [11]	差動範囲 ±1.024 V	-	88	-	kHz
SINAD8int	信号対ノイズ比 + 歪、8 ビット、内部リファレンス [11]	バッファなし、範囲 = ±1.024V	43	-	-	dB

リファレンス電圧の仕様

PSoC 5 用デルタ シグマ ADC の DC 仕様の V_{EXTREF} の下にある ADC 外部リファレンス仕様も参照してください。

パラメータ	説明	条件	最小値	Typ	最大値	単位
V_{REF}	高精度リファレンス電圧	初期トリム	1.017 (−0.7%)	1.024	1.033 (+0.9%)	V
	温度ドリフト [12]		-	-	57	ppm/° C
	長時間ドリフト		-	100	-	ppm/Khr
	熱サイクル ドリフト(安定性) [12]		-	100	-	ppm

[12] デバイスの特性評価に基づく値(生産試験されたものではない)

コンポーネントの変更

ここでは、前のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
2.20.a	データシートの修正	
2.20	3 つの新しい API である ADC_SetCoherency()、ADC_SetGCOR() および ADC_ReadGCOR() が実行されています	ADC_SetCoherency() はコヒーレンス レジスタを設定します バイトのコヒーレンスを簡単に変えることができます。 ADC_SetGCOR() はゲイン修正レジスタを設定します。 ADC_ReadGCOR() は標準化された GCOR レジスタ値を読み取ります。
	4 つの新しいバイパス リファレンス オプションを追加しました。	Vdda/3 および Vdda/4 リファレンス用のバイパス リファレンス オプションです
	コメントおよび構成名パラメータを追加しました	構成パラメータは ADC 構成に一意の名前付けをします。 コメント パラメータは構成の使用を説明します。
	PSoC 5 の ADC_Stop() API の変更	停止したとき、PSoC 5 と使用するとき、コンポーネントが関連していないアナログ信号に影響しないようにするための変更です。
	ADC 電力設定の変更は、ADC クロック周波数に基づいています	ADC コンポーネントの電力利用を最適化します。
	ADC_SelectConfiguration() API の問題を解決しました	ADC_Start() を呼び出すことなく ADC_SelectConfiguration() API を呼び出すことが期待通りにできるようになりました。
	データシートに PSoC 5 特性データを追加しました	
	データシートのプレースホルダー グラフを実際のデータで更新しました	
	外部チャージポンプ クロックがデフォルトのオプションで、ユーザーは選択できません。	ADC は内部クロックの代わりに外部チャージポンプ クロックを必ず使用するようになりました。これは最適なチャージポンプ クロック周波数を保証し、ADC パフォーマンスを最大限にするためです。
2.10	2 つの差動入力範囲 ±0.128 V(−Input ± Vref/8) ±0.064 V(−Input ± Vref/16) 名前が変更されています。	これらの入力範囲は名前にエラーがあります。 **注意事項:** 2.0 より古いバージョンを使用する既存のデザインを ADC_DelSig の 2.10 でアップデートすると、パラメータの評価が失敗したというエラーメッセージが生じることがあります。 問題を解決するには、[Configure (構成)] ダイアログを開き、次に入力モードのセレクションをトグルします。**OK** をクリックして、ダイアログを終了してから、プロジェクトを構築します。

バージョン	変更の説明	変更の理由 / 影響
	2 つの新しいリファレンス オプションを追加：内部 $V_{DDA}/4$ および 内部 $V_{DDA}/3$。	PSoC 3 ADC のリファレンス入力である 0.9 V ～ 1.3 V は狭いので、V_{DDA} が 3.6 V 未満の場合、V_{SS} から V_{DDA} のレシオメトリック範囲が不適切に作動することがあります。この新しい $V_{DDA}/3$ リファレンスがこの問題を修正します。
	リファレンス値を変更すると、入力範囲のリストに影響を及ぼします。	入力範囲リストのアップデートは、選択したリファレンス電圧に基づいています。
	エラー プロバイダが Vref Value パラメータに追加されています。	これは Vref の値が予想される範囲である 0.9V ～ 1.3V を超えた場合、ユーザーに警告します。
	ADC クロック周波数は、入力範囲の選択に依存するようになりました。	ADC クロック周波数は、選択した入力範囲に依存します。ADC 最大クロック周波数は、入力範囲に基づいて異なります。ADC クロック周波数が選択した入力範囲に対して最大クロック周波数を超えた場合、エラー シンボルがクロック周波数テキスト ボックスに設定されます。
	オフセット計算で問題を修正しました。	分解能 9、10、11、13、14 および 15 の 0 ～ 2*Vref シングル エンドが予想通りに作動するようになりました。
	DMA ウィザード ツール生成コードで問題を修正しました。	分解能が 8 ビットを超えても、DMA ウィザード ツールは適切な ADC 出力レジスタを使用します。
	データシートに特性データを追加	
	データシートのマイナーな編集と更新	
2.0	入力範囲パラメータを変更：4 つの新しい入力範囲を追加しました： Vssa ～ 6*Vref ±6.144 V(−Input ± 6*Vref) ±0.125 V(−Input ± Vref/8) ±0.0625 V(−Input ± Vref/16) **注意** この変更で、既存のデザインが壊れる可能性があります。	ADC_DelSig の 2.10 で既存のプロジェクトアップデートすると、この変更でパラメータの評価が失敗したというエラーメッセージが生じることがあります。 問題を解決するには、[Configure (構成)] ダイアログを開き、次に入力モードのセレクションをトグルします。**OK** をクリックして、ダイアログを終了してから、プロジェクトを構築します。
	PSoC 3 ES2 以降または PSoC 5 以降をサポートするためにアップデートしました。	このバージョンは PSoC 3 ES2 以降および PSoC 5 以降をサポートします。コンポーネントの古いバージョンは、シリコンの新しいバージョンで使用すると、エラー メッセージが表示されます。
	Sleep/Wakeup (スリープ/ウェイクアップ) と Init/Enable (初期化/有効化) API を追加。	ローパワー モードをサポートし、ほとんどのコンポーネントの初期化と有効化の制御を分離する共通インターフェースを提供するため。
	新しいパラメータを追加：入力モードおよびバッファ モードです。 電力パラメータを削除し、新しい変換モード「シングル サンプル」を追加しました。	これらの新しいパラメータは、ADC_DelSig コンポーネントの古いバージョンにはありませんでした。コンポーネントのバージョン 2.0 にアップデートするとき、新しいパラメータはデフォルトの値になります。入力モードパラメータのデフォルト値は「差動」です。入力モードパラメータは入力範囲 の選択を推進します。そのため、かつて「シングル エンド」入力範囲で構成したアップデートされたコンポーネントは、「差異」というデフォルト値になります。

バージョン	変更の説明	変更の理由 / 影響
	コンポーネントに DMA 能力ファイルを追加しました。	このファイルでは ADC_DelSig を PSoC Creator の DMA Wizard ツールでサポートすることができます。
	Keil 関数の再入可能性サポートを API に追加しました。	顧客が個々に生成された関数を再入可能性として指定する能力を追加しました。
	[Configure (設定)] ダイアログが編集されました。	電圧リファレンスパラメータが編集可能になりました。 異なる構成を追加し、ランタイム中に構成の変更をサポートするようにしました。 ダイアログは V_{SSA} ～ V_{DDA} 入力範囲が選択されたとき、電圧値を修正することができます。
	選択された入力範囲に対して、ADC 実装にトリム値が組み込まれます。	トリム値はデシメータのゲインを調整し、ADC のパフォーマンスを改善するために使用されます。
	ヘッダー ファイルに定数を追加し、使い方が簡単になりました。	ADC コンポーネントは使用されたリファレンス、ゲイン設定、使用されたモード、使用されたサンプリング速度などの定数があり、アプリケーション上で使用することができます。
	ADC DelSig コンポーネントに新しい接続オプションが追加されました。	これはモジュレーターの -ve 入力を AGL6 に接続するために使用できます。
	充電ポンプ電力設定がクロック周波数により有効になりました。	8 ビット ADC 範囲に問題がありました。充電ポンプ電力設定ビットを DSM_CR16 レジスタの ADC クロックに対して設定しなかったために起きました。ADC コードは ADC クロック周波数により、これらのビットを設定するよう修正されました。
	SetPower API を削除しました。	SetPower API は機能していない API でした。価値がなかったため、意図的に削除されました。コードにこの関数があった場合、削除する必要があります。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。