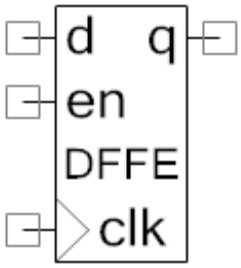
带使能的 D 型触发器

1.0



特性

- 使用带使能的可选择性地捕获 d 输入。
- 可配置 D 型触发器的阵列宽度为单使能。

概述

带使能的 D 型触发器可选择性地捕获数字值。

何时使用带使能的 D 型触发器

使用带使能的 D 型触发器实现连续逻辑。

输入/输出连接

本节介绍了带使能的 D 型触发器的各种输入和输出连接。

d - 输入

此输入确定下一个输出值。输出在下一个时钟上升沿前未更改。

en - 输入

此输入确定是否存储 d 输入上的当前值并将其传播到输出。

时钟 — 输入

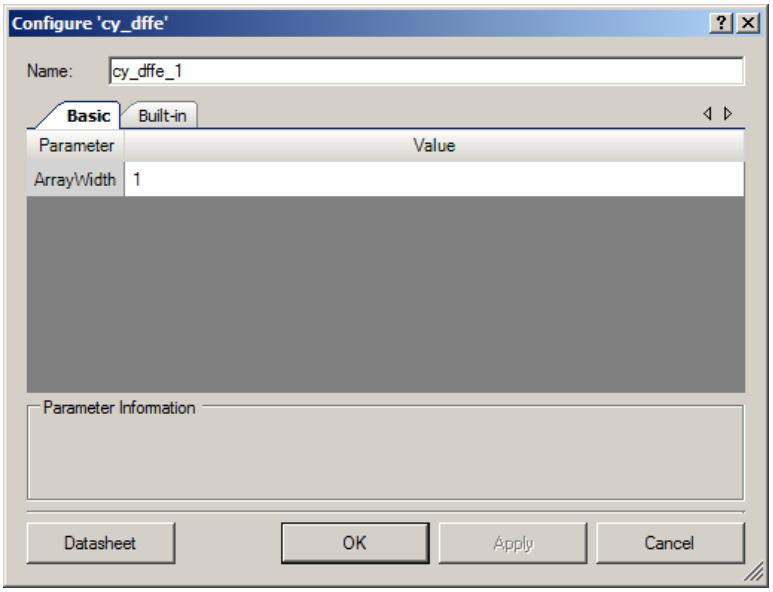
时钟信号输出将变更。输出根据时钟的上升沿变化。

q — 输出

所存储的值。

组件参数

将带使能的 D 型触发器拖放到您的设计上，然后双击它以打开**配置**对话框。



带使能的 D 型触发器提供了下列参数。

ArrayWidth

可以使用单个使能创建 D 型触发器阵列，在输入或输出为总线时使用。该参数定义 d 和 q 终端的总线宽度。该值介于 1-32 之间。默认值为 **1**。

功能描述

带使能的 D 型触发器在 PLD 宏单元中实施。所有宏单元 Flip-flop 均在加电及每次组件复位后被初始化为 0。可使用以下逻辑等式在 PLD 中的乘积项中实施使能：

$Q = En? D : Q_{PREV}$

表 1.1 阵列宽度带使能的 D 型触发器真值表

Q_{PREV}	启用	D	Q
0	0	X	0
1	0	X	1
X	1	0	0
X	1	1	1

真值表中的字母“X”表示输入不会影响输出。

资源

带使能功能的 D 型触发器使用一个宏单元。如果 ArrayWidth 参数大于 1，则带使能的 D 型触发器使用许多等于 ArrayWidth 的宏单元。同一个 PLD 中的所有带使能的 D 型触发器组件均必须具有相同的时钟信号。

MISRA 合规性

本节介绍了本组件与 MISRA-C:2004 的合规和偏差情况。定义了两种类型的偏差：项目偏差 - 适用于所有 PsoC Creator 组件的偏差；特定偏差 - 仅适用于此组件的偏差。本节提供了有关组件特定偏差的信息。*系统参考指南*的 MISRA 合规性章节中介绍项目偏差以及有关 MISRA 合规性验证环境的信息。

带启用功能的 D 型触发器组件没有任何 C 源代码 API。

直流和交流电气特性

带使能的 D 型触发器组件支持最大组件频率。

组件更改

版本 1.0 是带启用功能的 D 型触发器组件的首次发行版本

© 赛普拉斯半导体公司，2010-2013。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

PSoC® Creator™、Programmable System-on-Chip™ 和 PsoC Express™ 是赛普拉斯半导体公司的商标，PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。