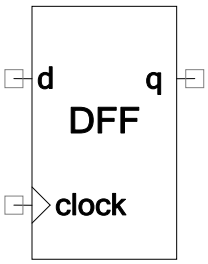
D フリップフロップ
1.20

特長



- 非同期リセットまたはプリセット
- 同期リセットまたはプリセット
- D フリップフロップのオプションのアレイ
- バス入力設定が可能

概要説明

D フリップフロップは、デジタル値を保持します。

D フリップフロップの用途

順序回路を実装する際に使用します。

入出力接続

このセクションでは D フリップフロップの様々な入力および出力接続について説明します。I/O 項目のアスタリスク (*) は、その I/O が説明に挙げられた条件において、回路シンボルに表示されない場合があることを示します。

d – 入力

この入力は次の出力値を決定します。出力は次のクロックの立ち上がりエッジまで変更されません。

clock – 入力

クロック信号が出力値の変更のタイミングを決定します。出力はクロックの立ち上がりエッジが検出されると変更されます。

ar – 入力 *

非同期のリセット。この入力が真である場合には、出力はクロックの立ち上がり エッジを待つことなく、即時に偽に変わります。非同期リセットは、クロック信号の状態に関わらず動作します。この入力は、**PresetOrReset** パラメータが **Asynchronous Reset**に設定された場合にのみ、現れます。

ap – 入力 *

非同期のプリセット。この入力が真である場合には、出力はクロックの立ち上がりエッジを待つことなく、即時に真に変わります。非同期プリセットは、クロック信号の状態に関わらず動作します。この入力は、**PresetOrReset** パラメータが **Asynchronous Preset** に設定された場合にのみ、現れます。

sr – 入力 *

同期のリセット。この入力が真の場合、出力はクロックの立ち上がりエッジで偽に変更されます。この入力は、**PresetOrReset** パラメータが **Synchronous Reset** に設定された場合にのみ、現れます。

sp – 入力 *

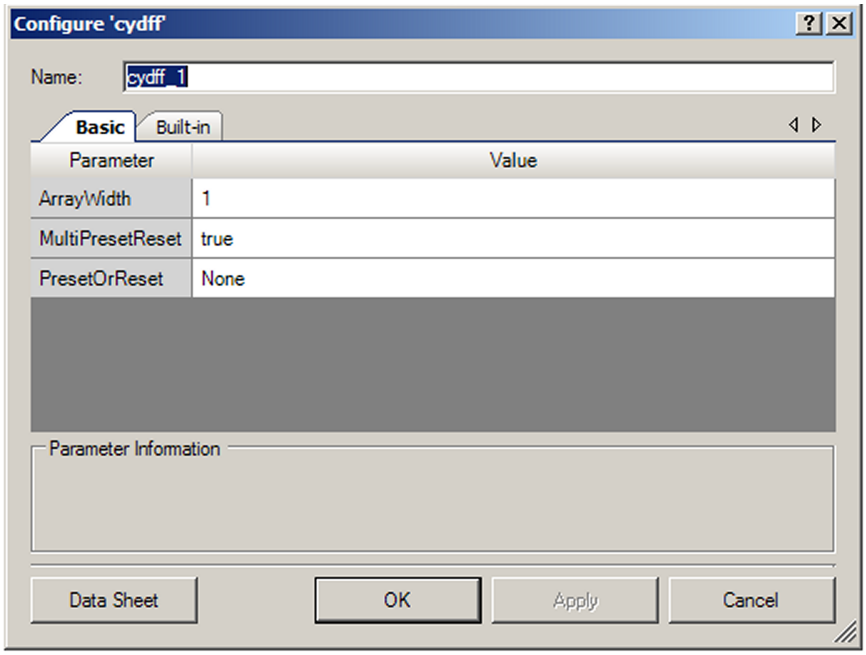
同期のプリセット。この入力が真の場合、出力はクロックの立ち上がりエッジで真に変更されます。この入力は、**PresetOrReset** パラメータが **Synchronous Reset** に設定された場合にのみ、現れます。

q – 出力

D フリップフロップの保持値。

コンポーネント パラメータ

D フリップフロップを回路図上にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。



D フリップフロップは次のパラメータを提供します。

ArrayWidth

入力または出力がバスの場合に、バス接続できるように D フリップフロップのアレイを作成できます。このパラメータは d および q 端子のバス幅を定義するもので、値は、1 から 32 の間で設定する必要があります。デフォルトは **1** です。

MultiPresetReset

このパラメータはプリセットおよびリセット入力がバスとして実装されるかどうか、**ArrayWidth** のサイズ（**true** の場合）、またはシングルビットとして実装されるかどうか（**false** の場合）などを制御します。

PresetOrReset

このパラメータは、非同期プリセット（ap）入力または非同期リセット（ar）、同期プリセット（sp）入力、または同期リセット（sr）を表示するかどうかを制御します。デフォルトは **None** です。

配置

同じ UDB 内にあるすべての D フリップフロップ コンポーネントは、同じ ar または ap 入力を使用します。同じ PLD 内にあるすべての D フリップフロップ コンポーネントは同じクロック信号でクロッキングする必要があります。UDB コ

ンポーネントを配置する際にディレクティブを使用する場合は、これらの制限に従わなければなりません。配置ディレクティブが指定されない場合、フィッターはその配置アルゴリズムに従って UDB コンポーネントを配置します。

リソース

D フリップフロップは、ひとつのマクロセルを使用します。**ArrayWidth** パラメータが 1 より大きい場合、D フリップフロップは **ArrayWidth** と同数のマクロセルを使用します。

機能の説明

D フリップ フロップは PLD マクロセルに配置します。マクロセルのフリップフロップはすべて電源を入れた際と、デバイスをリセットした後に 0 の値に初期化されます。

非同期プリセットおよびリセットはマクロセルに実装されています。同期プリセット(SP)は、次の論理式にしたがって実装されています。

Q = D | SP

同期リセット(SR)は、次の論理式にしたがって実装されています。

Q = D & ~SR

表 1. 1-ArrayWidth D フリップフロップの真理値表

プリセット	リセット	D	Q
0	-	0	0
0	-	1	1
1	-	X	1
-	0	0	0
-	0	1	1
-	1	X	0

真理値表の「X」の文字は、入力が出力に影響しないことを示します。

DC 電気的特性と AC 電気的特性

DFF コンポーネントは最大のデバイス周波数をサポートします。

コンポーネントの変更履歴

ここでは、過去のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明
1.20.a	データシートのマイナーな編集と更新
1.20	同期リセットおよびプリセットオプションを追加
	MultiPresetResetパラメータを追加
	データシートのマイナーな編集と更新
1.10	NeedAPおよびNeedARパラメータをPresetorResetパラメータで置換。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。