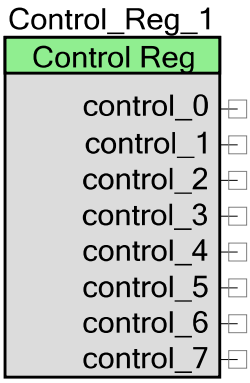
制御レジスタ
1.60

特長

- 8 ビットまでの制御レジスタ



概要

コントロールレジスタを使うと、ファームウェアがデジタル信号を出力できるようになります。

コントロールレジスタの用途

コントロールレジスタは、ファームウェアがデジタルシステムと対話する必要がある時に使用されます。コントロールレジスタは、デジタルシステムの好ましい動作をファームウェアが指定できるようにする設定レジスタとして使用することもできます。

入出力の接続

ここでは、コントロールレジスタの入出力への接続について説明します。アスタリスク(*)はその I/O が、説明に挙げられた条件において、回路シンボルに表示されない場合があることを示します。

clock – 入力 *

このピンは、**Mode** パラメータが **SyncMode** または **PluseMode** に設定されている場合に現れます。それ以外の場合、クロック入力は表示されません。

reset – 入力 *

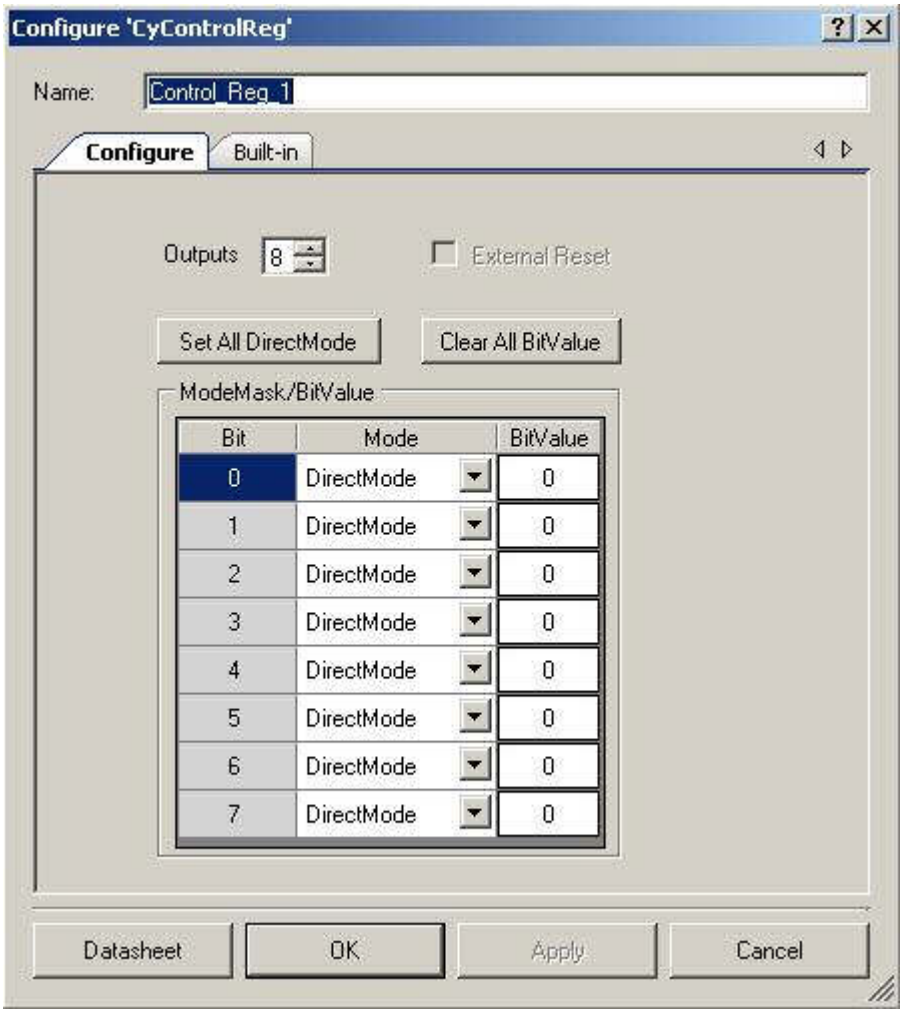
この入力は、コントロールレジスタのビットをリセットするために使用されます。この入力は、**External Reset** パラメータを有効にし、**BitMode** パラメータを **SyncMode** または **PluseMode** に設定した場合に、回路シンボルに表示されます。コントロールレジスタのリセット入力の使用は、PSoC 3 製品版シリコンを使用する場合、任意です。リセット入力は、外部接続がなければフロート状態でも構いません。リセット ラインに何も接続されていない場合、コンポーネントは定数 0 を割り当てます。

control_0 - control_7 – 出力 *

コントロールレジスタは、最大 8 個の出力を持ちます。ファームウェアは、コントロールレジスタに書き込むことで、出力端子の値を設定します。出力の数は、**Outputs** パラメータの設定によって決まります。

コンポーネント パラメータ

コントロールレジスタを回路図にドラッグ&ドロップして組み込み、ダブルクリックすると **Configure** ダイアログが開きます。



Outputs

出力端子の数 (1～8)。初期値は **8** です。Bit0 が LSb で、control_0 端子に対応します。

External Reset

このチェックボックスは、回路シンボルのリセット入力を有効にするために使用されます。このオプションは、初期設定ではチェックされていません。**External Reset** は、**Mode** パラメータの全ビットが **DirectMode** として設定されている場合には、無効になります。その場合、このチェックボックスは無効です。

Set All DirectMode

このボタンは、Mode パラメータの全ビットを **DirectMode** に設定します。

Clear All BitValue

このボタンは、すべての **BitValue** フィールドを 0 にクリアします。

ModeMask/BitValue

Mode

これらのパラメータは、コントロールレジスタの特定ビットの動作設定に使用されます。

- **DirectMode –** このモードでは、コントロールレジスタにバスクロックによってある値が書き込まると、その値が直ちに出力されます。
- **SyncMode –** 出力の前に、バス クロックに同期したコントロールビット入力を、選択された SC クロックで再サンプルします。このモードは、PSoC 3 製品版シリコン以降でのみサポートされています。
- **PulseMode –** このモードは、バスクロックに同期したコントロールビット入力を、選択された SC クロックでサンプルする点で SyncMode と似ています。出力には、1 SC クロック期間のパルスが生成されます。コントロールビット出力は、SC クロック 1 周期の間、アサートされます。パルスの終わりで、コントロールビットは自動的にリセットされます。このモードは、PSoC 3 製品版シリコン以降でサポートされています。

BitValue

これらのパラメータを使うと、コントロールレジスタのビット毎に、初期値を 0 か 1 に設定できます。初期値は 0 です。

リソース

アナログ ブロック	デジタル ブロック					API メモリ(バイト)		ピン(外部入出力ごと)
	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	
該当せず	該当せず	該当せず	該当せず	1	該当せず	22	0	該当せず

コントロールレジスタは、1 つの UDB コントロールレジスタを必要とします。

アプリケーション プログラミング インタフェース

アプリケーション プログラミング インターフェース (API) ルーチンにより、ソフトウェアを使用してコンポーネントを設定できます。次の表は、各関数へのインターフェースとその説明を示しています。続くセクションでは、各関数について詳しく説明します。

初期設定では、PSoC Creator は、ユーザの回路図に最初に配置されたコントロールレジスタのインスタンス名として"Control_Reg_1"を割り当てます。コンポーネントの名称は、識別子の文法ルールに従って固有の名前に変更できます。インスタンス名は、すべてのグローバル関数名、変数名、定数名のプリフィックスになります。理解しやすいように、次の表では、インスタンス名"ControlReg"を使用します。

関数	機能
ControlReg_Write()	コントロールレジスタに 1 バイト書き込みます。
ControlReg_Read()	コントロールレジスタに割り当てられた現在の値を読み取ります。

void ControlReg_Write (uint8 control)

機能: コントロールレジスタに 1 バイト書き込みます。

パラメータ: control: コントロールレジスタに割り当てるべき値

返り値: なし

注意事項: コントロールレジスタの出力状態を設定します

uint8 ControlReg_Read (void)

機能: コントロールレジスタに割り当てられた現在の値を読み取ります。

パラメータ: なし

返り値: コントロールレジスタに割り当てられた現在の値を返します。

注意事項: なし

ファームウェアソースコードのサンプル

PSoC Creator は、Find Example Project ダイアログに、回路図およびサンプルコードを含む多くのサンプルプロジェクトを提供しています。コンポーネント特有のサンプルを見るには、Component Catalog または回路図に置いたコンポーネントインスタンスからダイアログを開きます。一般的なサンプルについては、Start Page または **File** メニューからダイアログを開きます。必要に応じてダイアログにある **Filter Options** を使用し、選択できるプロジェクトのリストを絞り込みます。

詳しくは、PSoC Creator ヘルプの Find Example Project を参照してください。

コンポーネントの変更履歴

ここでは、過去のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更内容	変更理由 / 影響
1.60	Configureダイアログを更新	ビット表示を変更し、Configureダイアログのささいな問題に対処した。
1.50.b	データシートのマイナーな編集と更新	
1.50.a	データシートのマイナーな編集と更新	
1.50	Configureダイアログを更新	カスタマイズインターフェースを作成。"Set All"ボタンと"Clear All"ボタンを追加し、数値を入力するフィールドにキーボードから入力できるように変更した。社内標準に準拠するよう、ダイアログを更新した。
	Reset入力とReset入力端子の表示を制御するExternalResetパラメータが追加した	これは PSoC 3 製品版シリコン用に追加され、コントロールレジスタのリセット動作を制御する
	BitValueパラメータを追加した	コントロールレジスタの初期値を設定するため。
	別のコントロールレジスタ モード (Direct, Sync, Pulse Mode) を選択できるよう、Bitモードのパラメータを追加した。	Sync、Pulseの2つのモードを追加した。これでコントロールレジスタ ビットを再サンプルして UDB クロックに同期させるモードを選択できるようになった。この新しいモードは、PSoC 3製品版以降で使用できる。

	Clockピンを追加	Clockピンは、Sync、Pulseモードをサポートするために追加した。Clockピンは、これらのモードが選択されている場合にのみ現れる。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporationは、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及びProgrammable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)はCypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。