模拟未连接 (ANC)
1.0

特性



- 模拟功能未连接的标志

概述

模拟未连接 (ANC) 组件提供用于指定原理图中哪些模拟连接旨在保持未连接状态的机制。这样，PSoC Creator 便可以正确确定设计中是否有认识的任何未连接的模拟组件。

当使用模拟未连接 (ANC) 时

与组件建立模拟连接时，PSoC Creator 提示警告，例如，VIDAC。然而，在大多数用例中，VIDAC 即可用作 VDAC，也可以用作 IDAC。用作 VDAC 时，组件的当前输出生成一条警告，表示组件未连接，除非使用模拟未连接 (ANC) 来告之 PSoC Creator 输出在保持未连接状态时方可有效。

输入/输出连接

本节介绍模拟未连接 (ANC) 组件的各种输入和输出连接。

未连接 — 输入/输出

提供标记为未连接状态的信号连接。

元件参数

模拟未连接 (ANC) 尚没有可配置参数，所有组件存在的内置参数除外。

组件更改

版本 1.0 是模拟未连接 (ANC) 组件的首次发行版。

© Cypress Semiconductor Corporation -2012。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

CyDesigner™、Programmable System-on-Chip™ 和 PSoC Express™ 是赛普拉斯半导体公司的商标；PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。