Analog Net Constraint
1.50

特長



- アナログ信号ルーティングを特定のルーティングリソースに限定します
- 信号を扱う全ての端子はルーティング リソースに直結される必要があります

  注　ルーティングは厳密なものです。リソース制限付きでネットに接続されたデバイスはすべて、ハードウェアがリソースに直結される必要があります。Cypress のホームページ www.cypress.com から入手可能な、該当するテクニカルリファレンスマニュアル(TRM)上のアナログルーティング図を参照してください。リソースに制約指定されたハードウェア接続機能が無い場合には、エラーが発生します。

概要説明

Analog Net Constraint を使用して、接続されているアナログ信号のルーティングを指定することができます。これは、通常の設計では必要のない高度な機能ですので、ご使用の際はご注意ください。

Analog Net Constraint の使用目的

Analog Net Constraint は、信号ルーティングを厳密に制御する場合に手動でアナログルーティングを制御するために使用されます。

入出力接続

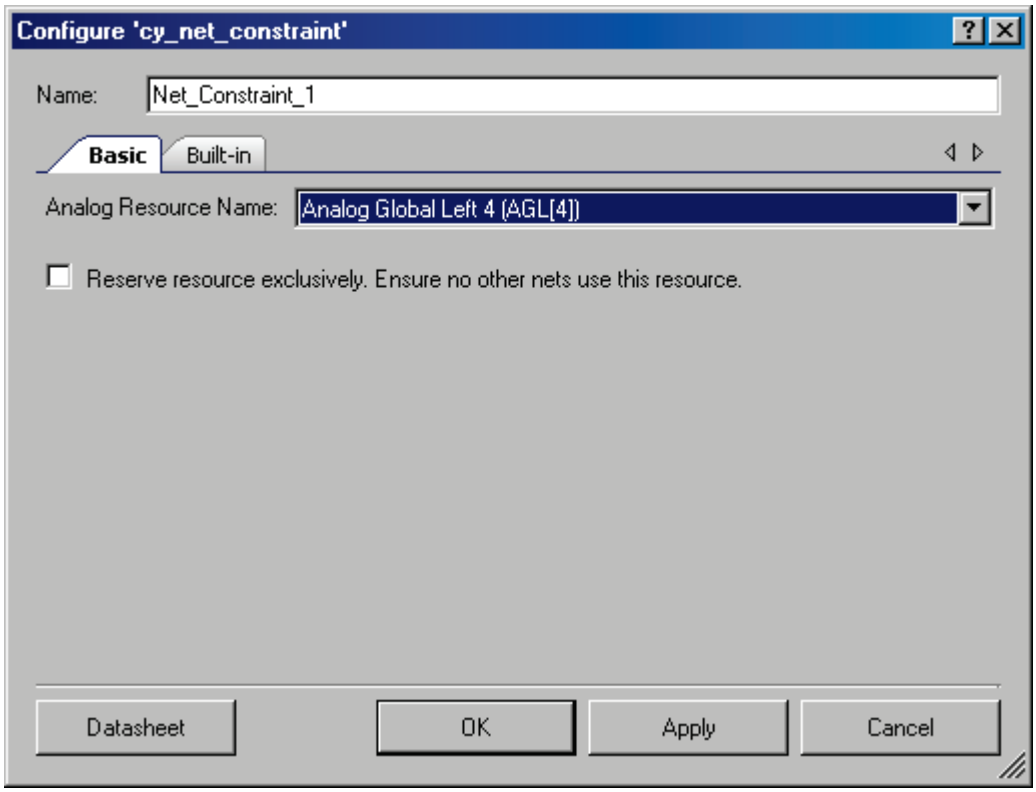
このセクションでは、Analog Net Constraint のさまざまな入力および出力接続について説明します。

connect – Input /Output

Analog Net Constraint が適用されるアナログ信号への接続を提供します。

コンポーネントのパラメータ

Analog Net Constraint をデザイン画面にドラッグしてダブルクリックすると **Configure** ダイアログが開きます。



Analog Net Constraint は以下のパラメータが選択できます。

Analog Resource Name

接続された信号に割り当てられるアナログ リソースです。デフォルト値の **Auto** は制約を与えません。ルーティング リソースリストは選択されたファミリーに依存します。

Exclusive Use

Analog Net Constraint によるリソースの排他的な占有を可能にします。Analog Net Constraint が同じアナログリソースを使用するよう設定されている場合は、ネットは短絡しません。代わりに、エラーが発生します。

配置

Analog Net Constraint は、ルーターがどのハードウェアリソースを使用するかを指定するため、ハードウェアリソースを消費します。他に配置に関する仕様はありません。

リソース

Analog Net Constraint コンポーネントによって、接続されたアナログ信号は選択されたアナログルーティングリソースを使用することが必要となります。

機能説明

PSoC 3 と PSoC 5 には次のアナログ ルーティング リソース名を使用できます。すべてのアナログルーティングリソースがすべてのコンポーネント ターミナルに接続できるわけではありません。アナログの接続性に関する詳細情報は、該当するデバイスのデータシートと TRM をご覧ください。これらの文書は Cypress のホームページ、japan.cypress.com から入手いただけます。

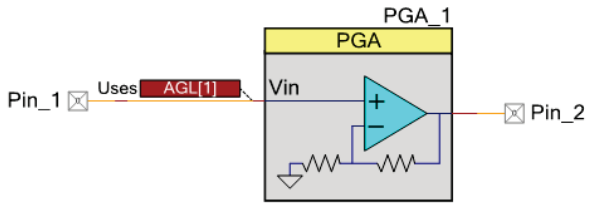
- アナロググローバル:AGL[0] – AGL[7]、AGR[0] – AGR[7]
- アナログローカルバス: abusl0 – abusl3、abusr0 – abusr3
- アナログマルチプレクサバス:AMUXBUSL、AMUXBUSR
- 左右間の結合リソース:AG[0] – AG[7]、abus0 – abus3、AMUXBUS

When a Analog Net Constraint が信号上に存在すると、信号は指定されたリソース**のみ**を使用してルーティングできます。信号に接続されたすべてのコンポーネントターミナルは必ず、ルーティングリソースに直結されなければなりません。アナログプレーサーは、Analog Net Constraints の要求を満たす方法でコンポーネント配置を自動的に行えない場合があります。制限された信号に接続されるコンポーネントは手動で配置しなければなりません。

Analog Net Constraint の例

この例では、Analog Global Left 4 でルーティングされるよう、P4[4]の信号(Pin_1)を強制するために Analog Net Constraint が使用されています。

図 1. Analog Net Constraint の例



Design-Wide Resources 設定

下図は、Design-Wide Resources エディタの設定を示します。

図 2. Directives Editor

Component (Signal) Name	Directive Type	Directive Value
\PGA_1:SC\	ForceComponentFixed	F(SC,0)

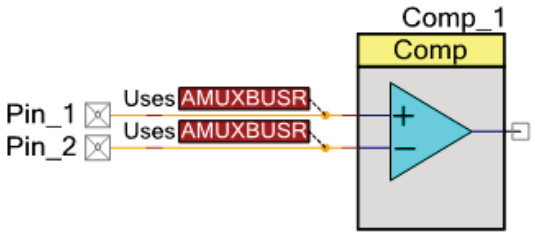
図 3. Pin Editor

Alias	Name	Pin	Lock
	Pin_1	P4[4]	☑
	Pin_2	P4[5]	☑

短絡回路の例

AMux に接続されていない複数の信号に同じアナログルーティングリソースが指定された場合は、信号は相互に接続されますが、必ずしも意図通りの挙動ではありません。

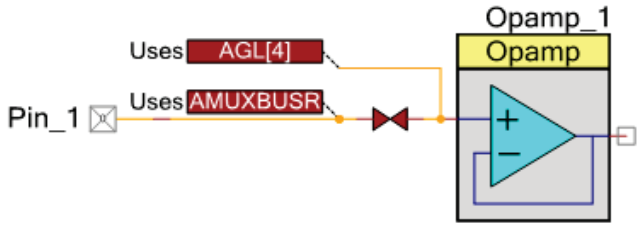
図 4. 短絡回路の例



Analog Net Tie の例

複数の制限を信号に適用したり、信号内の接続の一部を制限するには、Net Tie コンポーネントを使用します。詳細については、Net Tie コンポーネントデータシートを参照してください(PSoC Creator コンポーネントカタログから入手できます)。

図 5. Net Tie の例



コンポーネントの変更

これは Analog Net Constraint コンポーネントの最初のリリースです。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。