サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

S6E2DF シリーズ

32ビット Arm® Cortex®-M4F FM4 マイクロコントローラ

S6E2DF シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に Arm® Cortex®-M4F プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、グラフィックスエンジン, ディスプレイコントローラ, モータ制御用タイマ, A/D コンバータ, 各種通信インタフェース(USB, UART, CSIO, I²C, LIN)などにより構成されます。『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』において、このデータシートに記載されている製品は、TYPE4-M4 製品に分類されます。

特長

32 ビット Arm® Cortex®-M4F コア

■プロセッサ版数: r0p1

■最大動作周波数: 160 MHz

■FPU 搭載

■DSP 命令対応

■メモリ保護ユニット(MPU) : 組込みシステムの信頼性を向上させます。

■ネスト型ベクタ割込みコントローラ(NVIC) : 1 チャネルの NMI (ノンマスカブル割込み)と 128 チャネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。

■24 ビットシステムタイマ(Sys Tick) : OS タスク管理用のシステムタイマです。

オンチップメモリ

■フラッシュメモリ

■本シリーズは、フラッシュメモリを搭載します。
- □ 384 K バイト
- □ 16 K バイトのトレースバッファメモリを使用した、フラッシュメモリアクセラレータ機能を内蔵
- □ コード保護用セキュリティ機能
- □ 注意事項
  - フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。
  - 72 MHz より大きい場合でも、フラッシュメモリアクセラレータ機能により、0 wait-cycle と同等なアクセスを行えます。

■SRAM

本シリーズのオンチップ SRAM は、2 つの独立した SRAM(SRAM0, SRAM2)により構成されます。

SRAM0 は、Cortex®-M4F コアの I-Code バス, D-Code バスに接続します。

SRAM2 は、Cortex®-M4F コアの System バスに接続します。
- □ SRAM0: 32 K バイト
- □ SRAM2: 4 K バイト

■VRAM

本シリーズは、GDC 用の SRAM を搭載しています。
- □ 最大 512 K バイト

■VFLASH

S6E2DF5GJA は、GDC 用のフラッシュメモリを搭載しています。
- □ 2 M バイト

外部バスインタフェース

■SRAM, NOR と NAND フラッシュおよび SDRAM デバイスに対応

■最大 2 チップセレクト CS0,CS8 (CS8 は SDRAM 専用)

■8/16 ビットデータ幅

■最大 25 ビットのアドレスビット

■最大アクセスサイズ: 256 M バイト

■アドレス/データマルチプレクスをサポート

■外部 RDY 機能をサポート

■スクランブル機能サポート
- □ 外部領域 0x6000_0000～0x7FFF_FFFF の領域を 4 M バイト単位でスクランブルの有効/無効を設定可能
- □ スクランブルキーを 2 種類設定可能
- □ 注意事項: 本機能を使用するためには、専用のソフトウェアライブラリが必要です。

USB インタフェース(1 チャネル)

USB インタフェースはデバイスとホストで構成されます。

■ USB デバイス
- □ USB2.0 Full-Speed 対応
- □ 最大 6 本のエンドポイントをサポートします。
  - エンドポイント 0 はコントロール転送
  - エンドポイント 1, 2 はバルク転送, インタラプト転送, アイソクロナス転送を選択可能
  - エンドポイント 3～5 はバルク転送, インタラプト転送を選択可能
- □ エンドポイント 1～5 はダブルバッファ構成
- □ 各エンドポイントのサイズは下記の通り
  - エンドポイント 0, 2～5: 64 バイト
  - エンドポイント 1: 256 バイト

■USB ホスト
- □ USB2.0 Full-Speed / Low-Speed 対応
- □ バルク転送, インタラプト転送, アイソクロナス転送をサポート
- □ USB デバイスの接続/切断の自動検出
- □ IN/OUT トークン時のハンドシェークパケットの自動処理
- □ 最大パケット長 256 バイトをサポート
- □ ウェイクアップ機能をサポート

マルチファンクションシリアルインタフェース(最大 8 チャネル)

■64 バイト FIFO を搭載 (FIFO 段数は通信モード・ビット長の設定により可変)

■チャネルごとに動作モードを次の中から選択できます。
- UART
- CSIO
- LIN
- I^2C

■UART
- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■CSIO
- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能
- シリアルチップセレクト機能(ch.6 と ch.7 のみ)
- 高速 SPI 対応(ch.6 のみ)
- データ長: 5～16 ビット

■LIN
- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモードに対応
- LIN break field 生成(13 ビット～16 ビット長に変更可能)
- LIN break デリミタ生成(1 ビット～4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■I^2C
- Standard-mode (最大 100 kbps)/ Fast-mod (最大 400 kbps)に対応
- Fast-mode plus (Fm+)(最大 1000 kbps, ch 4 = ch A のみ)に対応

DMA コントローラ(8 チャネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

■8 つを独自に構成かつ動作可能なチャネル

■ソフトウェア要求または内蔵周辺機能要求による転送開始可能

■転送アドレス空間: 32 ビット(4 G バイト)

■転送モード: ブロック転送/ バースト転送/ デマンド転送

■転送データタイプ: バイト/ ハーフワード/ ワード

■転送ブロック数: 1～16

■転送回数: 1～65536

DSTC(Descriptor System data Transfer Controller)(128 チャネル)

DSTC は、CPU を介さずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。

■ソフトウェア起動, ハードウェア起動, Chain 起動機能サポート

A/D コンバータ(最大 24 チャネル)

■12 ビット A/D コンバータ
- 逐次比較型
- 2 ユニット搭載
- 変換時間 : 1.0 µs @ 3.3 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用 : 16 段, 優先変換用 : 4 段)

ベースタイマ(最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

■16 ビット PWM タイマ

■16 ビット PPG タイマ

■16/32 ビットリロードタイマ

■16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

■端子ごとにプルアップ制御可能

■端子レベルを直接読出し可能

■ポートリロケート機能

■最大 98 本の汎用 I/O ポート@120 pin Package

■一部のポートは、5 V トレラントに対応
該当する端子については「4. 端子機能一覧」と「5. 入出力回路形式」を参照してください。

多機能タイマ(1 ユニット)

多機能タイマは、次のブロックで構成されます。

最小分解能: 6.25 ns

■16 ビットフリーランタイマ×3 チャネル/ユニット

■インプットキャプチャ×4 チャネル/ユニット

■アウトプットコンペア×6 チャネル/ユニット

■A/D 起動コンペア×6 チャネル/ユニット

■波形ジェネレータ×3 チャネル/ユニット

■16 ビット PPG タイマ×3 チャネル/ユニット

モータ制御を実現するために次の機能を用意しています。

■PWM 信号出力機能

■DC チョッパ波形出力機能

■デッドタイマ機能

■インプットキャプチャ機能

■ADC 起動機能

■DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00 年～99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

■日時指定(年/月/日/時/分)での割込み機能，年/月/日/時/分だけの個別設定も可能

■設定時間後/設定時間ごとのタイマ割込み機能

■カウントを継続して時刻書換え可能

■うるう年の自動カウント

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter)(1 チャネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

■3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能

■16 ビット位置カウンタ

■16 ビット回転カウンタ

■2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。各タイマチャネルの動作モードを次の中から選択できます。

■フリーランモード

■周期モード(=リロードモード)

■ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからウェイクアップします。クロックソースをメインクロック，サブクロック，内蔵高速 CR クロックまたは内蔵低速 CR クロックから選択可能です。

インターバルタイマ: 最長 64s (サブクロック: 32.768 kHz)

外部割込み制御ユニット

■外部割込み入力端子: 最大 16 本

■ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグ"と"ソフトウェア"ウォッチドッグ"の 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマ"は内蔵低速 CR 発振で動作するため、RTC モード，ストップモード以外のすべての低消費電力モードで動作します。

CRC(Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

PRGCRC(Programmable Cyclic Redundancy Check)アクセラレータ

プログラマブル CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 に加え、生成多項式をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

■生成多項式

SD カードインタフェース

下記規格に準拠した SD カードが使用できます。

■Part 1 Physical Layer Specification version 3.01

■Part E1 SDIO Specification version 3.00

■Part A2 SD Host Controller Standard Specification version 3.00

■1 ビットまたは 4 ビットのデータバス幅

I²S インタフェース(送信 2 チャネル、受信 2 チャネル)

■3 種類の転送プロトコル
- □ I²S
- □ Left Justified
- □ DSP mode

■マスタ・スレーブ動作選択可能

■送信のみ、受信のみ、送受信同時動作を設定可能

■ワード長は 7 ビットから 32 ビットまで設定可能

■送受信用 FIFO を搭載(送信用 66word x 32bit、受信用 66word x 32bit)

■DMA、割込み、ポーリングによるシステムメモリへのデータ転送が可能

GDC ユニット

■グラフィックス・ディスプレイコントローラを搭載

■2D ブロックイメージ転送処理ハードウェアアクセラレータを搭載

■最大 512KB 内蔵ビデオメモリを搭載

■外部メモリ接続用 HighSpeed Quad SPI を搭載

■外部メモリ接続用 SDRAM インタフェースを搭載

■外部メモリ接続用 HyperBus インタフェースを搭載

■最高動作周波数 160 MHz

クロック/リセット

■クロック
5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- □ メインクロック: 4 MHz ～ 20 MHz
- □ サブクロック: 32.768 kHz
- □ 内蔵高速 CR クロック: 4 MHz
- □ 内蔵低速 CR クロック: 100 kHz
- □ メイン PLL クロック

■リセット
- □ INITX 端子からのリセット要求
- □ 電源投入リセット
- □ ソフトウェアリセット
- □ ウォッチドッグタイマリセット
- □ 低電圧検出リセット
- □ クロックスーパバイザリセット

クロック監視機能(CSV : Clock Supervisor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

■外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。

■外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-voltage Detection)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■LVD1: 割込みによりエラーを報告

■LVD2: オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

■スリープ

■タイマ

■RTC

■ストップ

■ディープスタンバイ RTC(RAM 保持あり・なし選択可能)

■ディープスタンバイストップ(RAM 保持あり・なし選択可能)

周辺クロック停止機能

システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

VBAT

RTC(カレンダ回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。VBAT には以下の回路が含まれます。

■RTC

■32kHz 発振回路

■パワーオン回路

■バックアップレジスタ：32 バイト

■ポート回路

デバッグ

■シリアル・ワイヤデバッグ・ポート (SWJ-DP)

■エンベデッド・トレース・マクロセル(ETM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

■2 種類の電源
- □ CHIP 用電源:
  VCC = 2.7 V ～ 3.6 V (GDC 部/USB 未使用時)
  = 3.0 V ～ 3.6 V (GDC 部/USB 使用時)
- □ VBAT 用電源:
  VBAT = 1.65 V ～ 3.6 V

Table of Contents

特長 **1**
1. 品種構成 **7**
2. パッケージと品種対応 **8**
3. 端子配列図 **9**
4. 端子機能一覧 **13**
5. 入出力回路形式 **49**
6. 取扱上のご注意 **56**
6.1 設計上の注意事項 56
6.2 パッケージ実装上の注意事項 57
6.3 使用環境に関する注意事項 59
7. デバイス使用上の注意 **60**
8. ブロックダイヤグラム **63**
9. メモリサイズ **64**
10. メモリマップ **64**
11. 各 CPU ステートにおける端子状態 **67**
12. 電気的特性 **73**
12.1 絶対最大定格 73
12.2 推奨動作条件 74
12.3 直流規格 78
12.3.1 電流規格 78
12.3.2 端子特性 89
12.4 交流規格 90
12.4.1 メインクロック入力規格 90
12.4.2 サブクロック入力規格 91
12.4.3 内蔵 CR 発振規格 91
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用) 92
12.4.5 USB 用 PLL・I²S 用 PLL・GDC 用 PLL の使用条件(PLL の入力クロックにメインクロックを使用) 92
12.4.6 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用) 93
12.4.7 リセット入力規格 93
12.4.8 パワーオンリセットタイミング 94
12.4.9 GPIO 出力規格 94
12.4.10 外バスタイミング 95
12.4.11 ベースタイマ入力タイミング 107
12.4.12 CSIO タイミング 108
12.4.13 外部入力タイミング 141
12.4.14 クアッドカウンタ タイミング 142
12.4.15 I²C タイミング 145
12.4.16 SD カードインタフェースタイミング 147
12.4.17 ETM タイミング 149
12.4.18 JTAG タイミング 150
12.4.19 I²S タイミング 151
12.4.20 GDC：パネル出力 タイミング 156
12.4.21 GDC：SDRAM-IF タイミング 157
12.4.22 GDC：High-Speed Quad SPI タイミング 159
12.4.23 GDC:HyperBus I/F タイミング 161
12.5 12 ビット A/D コンバータ 163
12.6 USB 特性 167
12.7 低電圧検出特性 171

12.7.1 低電圧検出リセット 171
12.7.2 低電圧検出割込み 171
12.8 メインフラッシュメモリ書込み/消去特性 172
12.9 VFLASH メモリ書込み/消去特性 172
12.10 スタンバイ復帰時間 173
12.10.1 復帰要因：割込み/WKUP 173
12.10.2 復帰要因：リセット 175
13. オーダ型格 177
14. パッケージ・外形寸法図 178
15. エラッタ 182
15.1 本エラッタに関係するオーダ型格 182
15.2 製品出荷状況 182
15.3 エラッタの適用 182
16. 主な変更内容 184
改訂履歴 185
セールス，ソリューションおよび法律情報 187

1. 品種構成

メモリサイズ

品種名		S6E2DF5G0A S6E2DF5J0A	S6E2DF5GJA
オンチップフラッシュメモリ		384 K バイト	
オンチップ SRAM	SRAM	36 K バイト	
	SRAM0	32 K バイト	
	SRAM2	4 K バイト	
VRAM (GDC 用)		512 K バイト	
VFLASH (GDC 用)		―	2 M バイト

ファンクション

品種名			S6E2DF5G0A	S6E2DF5J0A	S6E2DF5GJA
端子数			120/161	176	120
CPU			Cortex®-M4F, MPU, NVIC 128ch.		
	周波数		160 MHz		
電源電圧範囲			2.7 V～3.6 V		
USB2.0 (Device/Host)			1ch.		
DMAC			8ch.		
DSTC			128ch.		
GDC unit	グラフィックス・ディスプレイコントローラ		1 unit		
	High-Speed Quad SPI		1ch.		(VFLASH 専用)
	Hyper Bus Interface		1unit		―
	SDRAM-IF		―	1ch.	―
外部バスインタフェース			Addr:25-bit (最大), Data: 8-/16-bit, CS:2 (最大), SRAM, NOR フラッシュ, NAND フラッシュ, SDRAM		
マルチファンクションシリアル (UART/CSIO/LIN/I²C)			8ch. (最大)		
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			8ch. (最大)		
多機能タイマ	A/D 起動コンペア	6ch.	1 unit		
	インプットキャプチャ	4ch.			
	フリーランタイマ	3ch.			
	アウトプットコンペア	6ch.			
	波形ジェネレータ	3ch.			
	PPG	3ch.			
SD カードインタフェース			1 unit		
I²S			2 units		
クアッドカウンタ			1ch.		
デュアルタイマ			1 unit		
リアルタイムクロック			1 unit		
時計カウンタ			1 unit		
CRC アクセラレータ			Yes(Fixed, Programmable)		
ウォッチドッグタイマ			1ch. (SW) + 1ch. (HW)		
外部割込み			16 pin (最大)+ NMI × 1		
I/O ポート			98 pin (最大)	154 pin (最大)	90 pin (最大)
12 ビット A/D コンバータ			24ch. (2 units)		
クロック監視機能(CSV)			Yes		
低電圧検出機能(LVD)			2ch.		
内蔵(CR)		高速	4 MHz		
		低速	100 kHz		
デバッグ機能			SWJ-DP/ETM		
ユニーク ID			Yes		

<注意事項>

- *各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用になる機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。*
- *内蔵 CR のクロック周波数精度については、「12.4.3. 内蔵 CR 発振規格」を参照してください。*

2. パッケージと品種対応

パッケージ \ 品種名	S6E2DF5G0A	S6E2DF5J0A	S6E2DF5GJA
LQFP: LQM120 (0.5 mm pitch)	❍	-	❍
LQFP: LQP176 (0.5 mm pitch)	-	❍	-
FBGA: FDJ161 (0.5 mm pitch)	❍	-	-
Ex-LQFP(TEQFP): LEM120 (0.5 mm pitch)	❍		

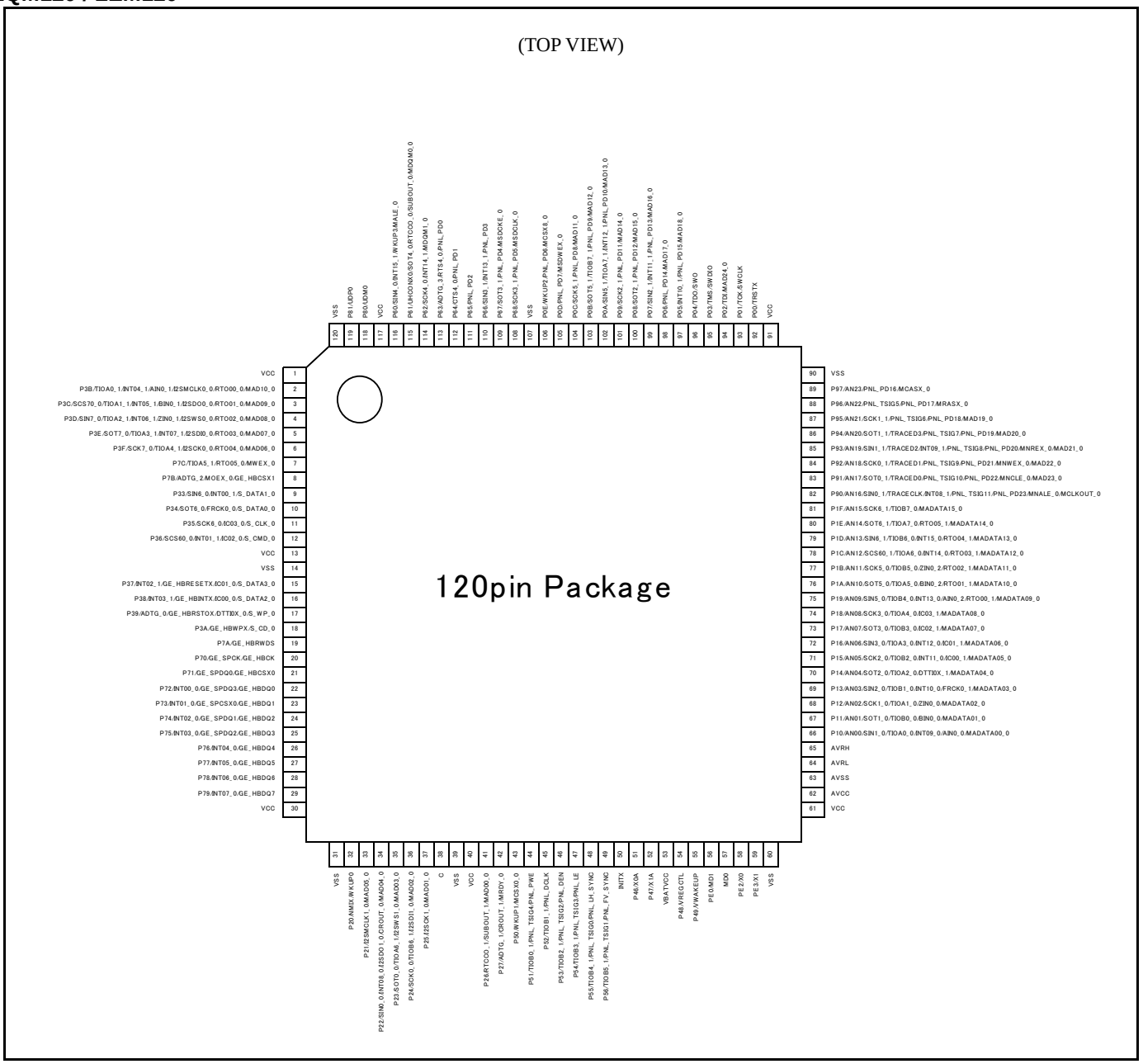
❍: 使用可能

<注意事項>

- *各パッケージの詳細は「14. パッケージ・外形寸法図」を参照してください。*

3. 端子配列図

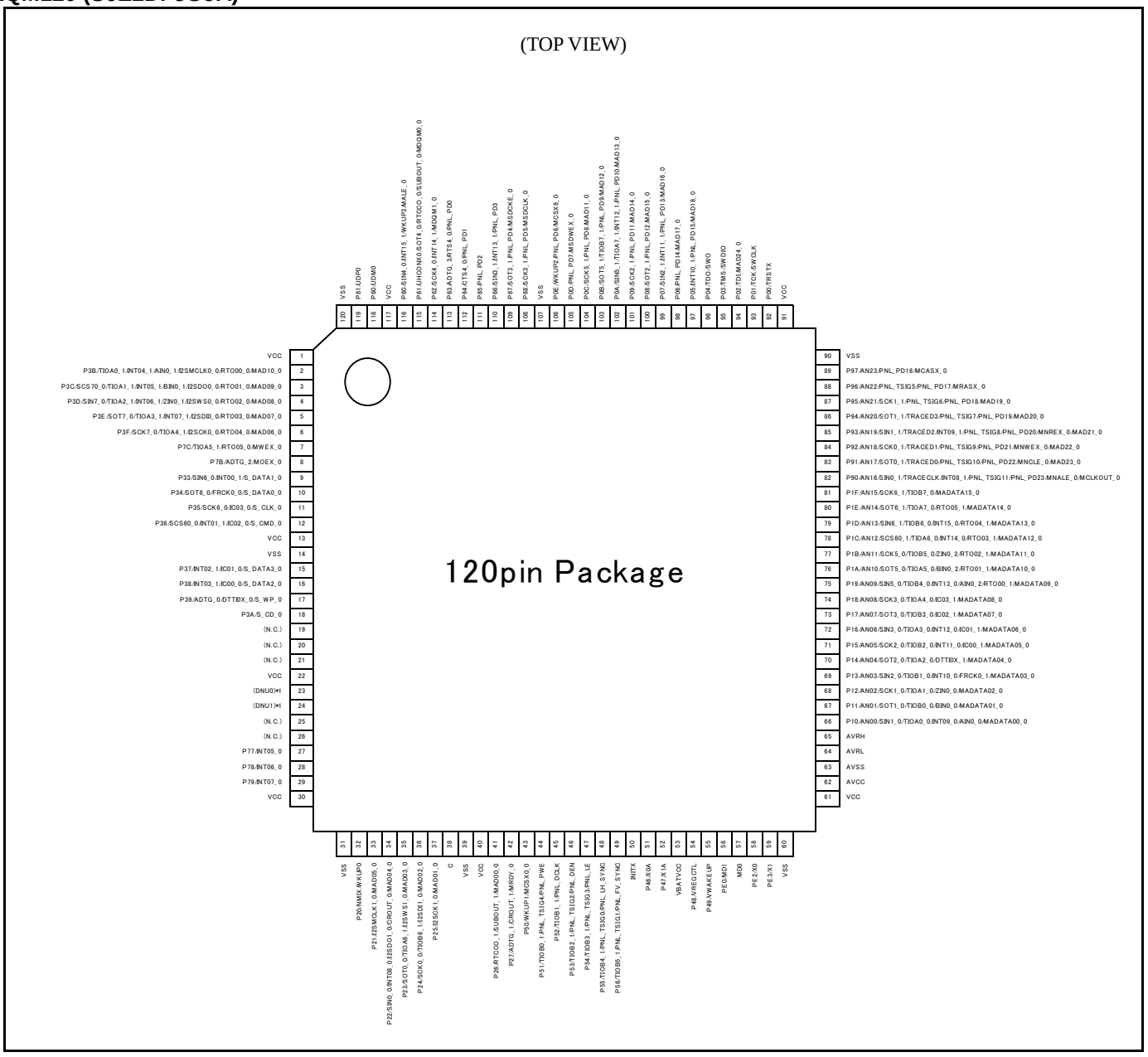
LQM120 / LEM120



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

LQM120 (S6E2DF5GJA)



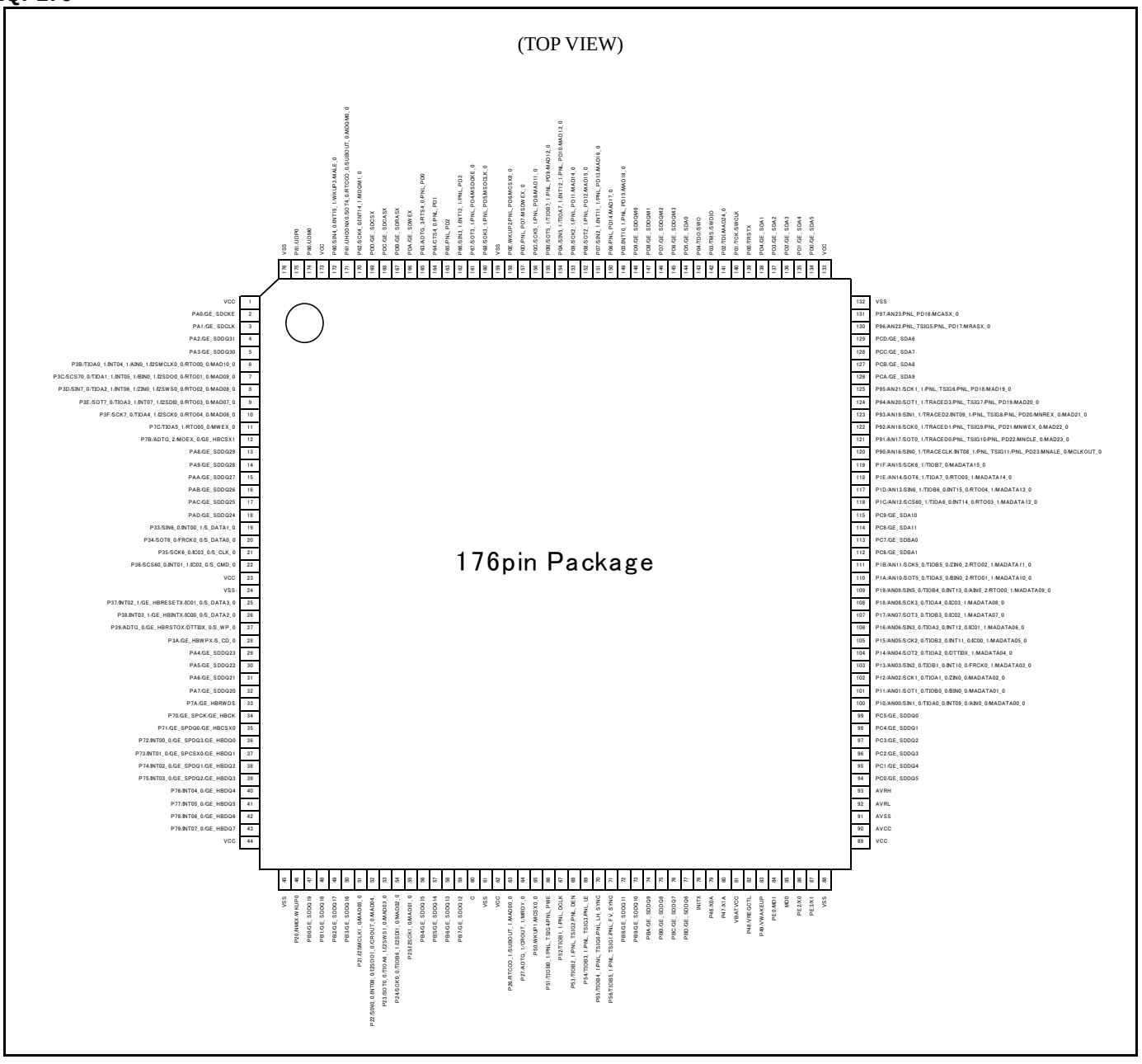
*1: DNU0/1(23 pin/24 pin)は、ボード上で短絡しプルアップしてください。
詳細は、「7. デバイス使用上の注意」を参照してください。

(N.C.): 開放端とし何も接続しないでください。

<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

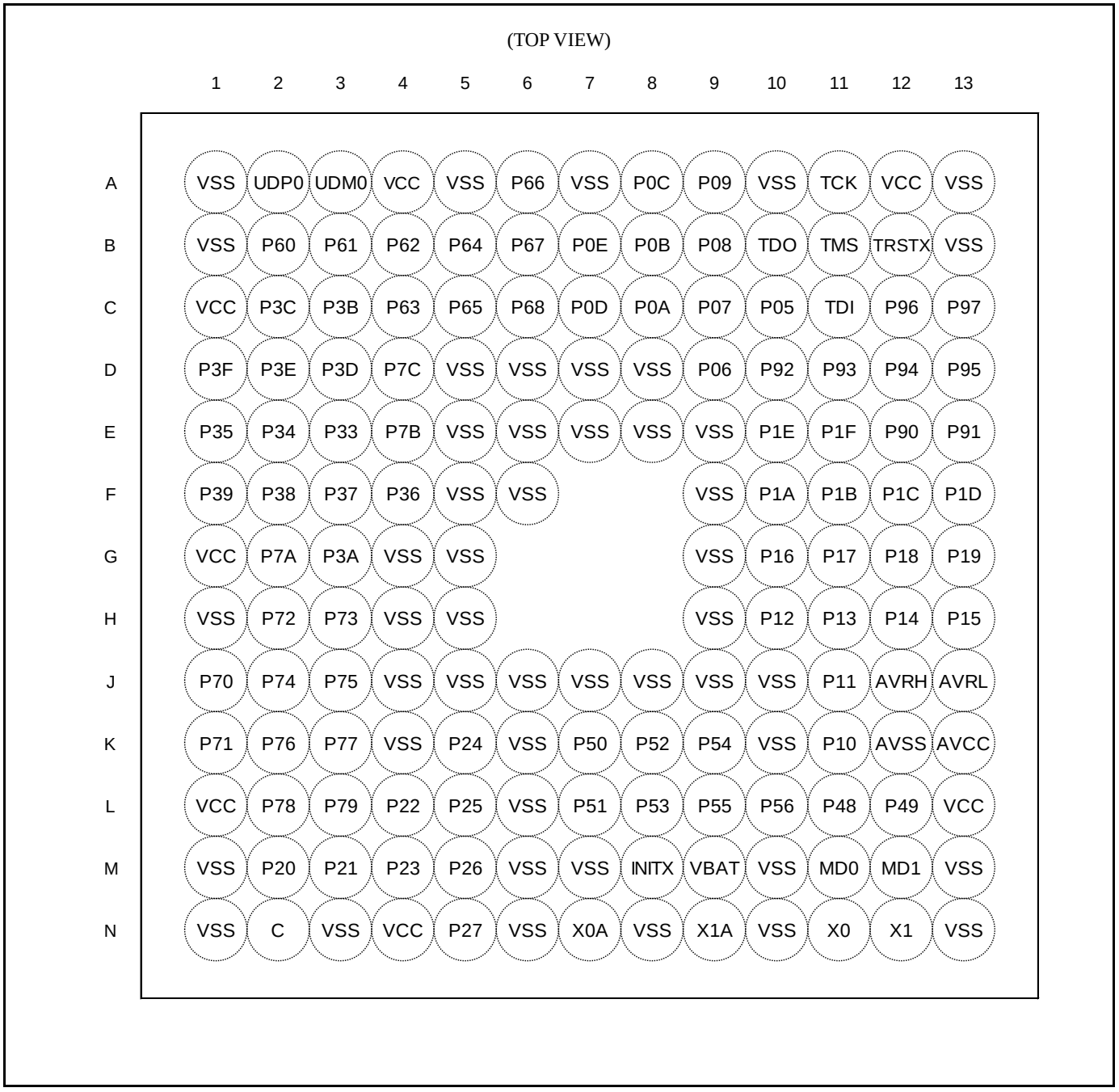
LQP176



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

FDJ161



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
1	1	1	C1	VCC	—	—
2	—	—	—	PA0	K	I
				GE_SDCKE		
3	—	—	—	PA1	K	I
				GE_SDCLK		
4	—	—	—	PA2	L	I
				GE_SDDQ31		
5	—	—	—	PA3	L	I
				GE_SDDQ30		
6	2	2	C3	P3B	G	K
				TIOA0_1		
				INT04_1		
				AIN0_1		
				I2SMCLK0_0		
				RTO00_0 (PPG00_0)		
				MAD10_0		
7	3	3	C2	P3C	G	K
				SCS70_0		
				TIOA1_1		
				INT05_1		
				BIN0_1		
				I2SDO0_0		
				RTO01_0 (PPG00_0)		
				MAD09_0		
8	4	4	D3	P3D	G	K
				SIN7_0		
				TIOA2_1		
				INT06_1		
				ZIN0_1		
				I2SWS0_0		
				RTO02_0 (PPG02_0)		
				MAD08_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
9	5	5	D2	P3E SOT7_0 (SDA7_0) TIOA3_1 INT07_1 I2SDI0_0 RTO03_0 (PPG02_0) MAD07_0	G	K
10	6	6	D1	P3F SCK7_0 (SCL7_0) TIOA4_1 I2SCK0_0 RTO04_0 (PPG04_0) MAD06_0	G	I
11	7	7	D4	P7C TIOA5_1 RTO05_0 (PPG04_0) MWEX_0	G	I
12	8	–	E4	P7B ADTG_2 GE_HBCSX1 MOEX_0	K	I
–	–	8	–	P7B ADTG_2 MOEX_0	K	I
13	–	–	–	PA8 GE_SDDQ29	L	I
14	–	–	–	PA9 GE_SDDQ28	L	I
15	–	–	–	PAA GE_SDDQ27	L	I
16	–	–	–	PAB GE_SDDQ26	L	I
17	–	–	–	PAC GE_SDDQ25	L	I
18	–	–	–	PAD GE_SDDQ24	L	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
19	9	9	E3	P33 SIN6_0 INT00_1 S_DATA1_0	D	K
20	10	10	E2	P34 SOT6_0 (SDA6_0) FRCK0_0 S_DATA0_0	D	I
21	11	11	E1	P35 SCK6_0 (SCL6_0) IC03_0 S_CLK_0	D	I
22	12	12	F4	P36 SCS60_0 INT01_1 IC02_0 S_CMD_0	D	K
23	13	13	G1	VCC	—	—
24	14	14	H1	VSS	—	—
25	15	—	F3	P37 GE_HBRESETX INT02_1 IC01_0 S_DATA3_0	D	K
—	—	15	—	P37 INT02_1 IC01_0 S_DATA3_0	D	K
26	16	—	F2	P38 GE_HBINTX INT03_1 IC00_0 S_DATA2_0	D	K
—	—	16	—	P38 INT03_1 IC00_0 S_DATA2_0	D	K

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
27	17	−	F1	P39 ADTG_0 GE_HBRSTOX DTTI0X_0 S_WP_0	E	I
−	−	17	−	P39 ADTG_0 DTTI0X_0 S_WP_0	E	I
28	18	−	G3	P3A GE_HBWPX S_CD_0	E	I
−	−	18	−	P3A S_CD_0	E	I
29	−	−	−	PA4 GE_SDDQ23	L	I
30	−	−	−	PA5 GE_SDDQ22	L	I
31	−	−	−	PA6 GE_SDDQ21	L	I
32	−	−	−	PA7 GE_SDDQ20	L	I
33	19	−	G2	P7A GE_HBRWDS	K	I
−	−	19	−	(N.C.)	−	−
34	20	−	J1	P70 GE_SPCK GE_HBCK	K	I
−	−	20	−	(N.C.)	−	−
35	21	−	K1	P71 GE_SPDQ0 GE_HBCSX0	K	I
−	−	21	−	(N.C.)	−	−
36	22	−	H2	P72 GE_SPDQ3 GE_HBDQ0 INT00_0	K	K
−	−	22	−	VCC	−	−
37	23	−	H3	P73 GE_SPCSX0 GE_HBDQ1 INT01_0	K	K
−	−	23	−	(DNU0)	−	−

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
38	24	−	J2	P74 GE_SPDQ1 GE_HBDQ2 INT02_0	K	K
−	−	24	−	(DNU1)	−	−
39	25	−	J3	P75 GE_SPDQ2 GE_HBDQ3 INT03_0	K	K
−	−	25	−	(N.C.)	−	−
40	26	−	K2	P76 GE_HBDQ4 INT04_0	K	K
−	−	26	−	(N.C.)	−	−
41	27	−	K3	P77 GE_HBDQ5 INT05_0	K	K
−	−	27	−	P77 INT05_0	K	K
42	28	−	L2	P78 GE_HBDQ6 INT06_0	K	K
−	−	28	−	P78 INT06_0	K	K
43	29	−	L3	P79 GE_HBDQ7 INT07_0	K	K
−	−	29	−	P79 INT07_0	K	K
44	30	30	L1	VCC	−	−
45	31	31	M1	VSS	−	−
46	32	32	M2	P20 NMIX WKUP0	I	F
47	−	−	−	PB0 GE_SDDQ19	L	I
48	−	−	−	PB1 GE_SDDQ18	L	I
49	−	−	−	PB2 GE_SDDQ17	L	I
50	−	−	−	PB3 GE_SDDQ16	L	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
51	33	33	M3	P21 I2SMCLK1_0 MAD05_0	E	I
52	34	34	L4	P22 CROUT_0 SIN0_0 INT08_0 I2SDO1_0 MAD04_0	E	K
53	35	35	M4	P23 SOT0_0 (SDA0_0) TIOA6_1 I2SWS1_0 MAD03_0	E	I
54	36	36	K5	P24 SCK0_0 (SCL0_0) TIOB6_1 I2SDI1_0 MAD02_0	E	I
55	37	37	L5	P25 I2SCK1_0 MAD01_0	E	I
56	—	—	—	PB4 GE_SDDQ15	L	I
57	—	—	—	PB5 GE_SDDQ14	L	I
58	—	—	—	PB6 GE_SDDQ13	L	I
59	—	—	—	PB7 GE_SDDQ12	L	I
60	38	38	N2	C	—	—
61	39	39	N3	VSS	—	—
62	40	40	N4	VCC	—	—
63	41	41	M5	P26 RTCCO_1 SUBOUT_1 MAD00_0	E	I
64	42	42	N5	P27 ADTG_1 CROUT_1 MRDY_0	E	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
65	43	43	K7	P50 WKUP1 MCSX0_0	D	P
66	44	44	L7	P51 TIOB0_1 PNL_PWE PNL_TSIG4	E	I
67	45	45	K8	P52 TIOB1_1 PNL_DCLK	D	I
68	46	46	L8	P53 TIOB2_1 PNL_DEN PNL_TSIG2	E	I
69	47	47	K9	P54 TIOB3_1 PNL_LE PNL_TSIG3	E	I
70	48	48	L9	P55 TIOB4_1 PNL_LH_SYNC PNL_TSIG0	E	I
71	49	49	L10	P56 TIOB5_1 PNL_FV_SYNC PNL_TSIG1	E	I
72	–	–	–	PB8 GE_SDDQ11	L	I
73	–	–	–	PB9 GE_SDDQ10	L	I
74	–	–	–	PBA GE_SDDQ9	L	I
75	–	–	–	PBB GE_SDDQ8	L	I
76	–	–	–	PBC GE_SDDQ7	L	I
77	–	–	–	PBD GE_SDDQ6	L	I
78	50	50	M8	INITX	B	C
79	51	51	N7	P46 X0A	P	S
80	52	52	N9	P47 X1A	Q	T

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
81	53	53	M9	VBAT	―	―
82	54	54	L11	P48	O	U
				VREGCTL		
83	55	55	L12	P49	O	U
				VWAKEUP		
84	56	56	M12	PE0	C	E
				MD1		
85	57	57	M11	MD0	J	D
86	58	58	N11	PE2	A	A
				X0		
87	59	59	N12	PE3	A	B
				X1		
88	60	60	M13	VSS	―	―
89	61	61	L13	VCC	―	―
90	62	62	K13	AVCC	―	―
91	63	63	K12	AVSS	―	―
92	64	64	J13	AVRL	―	―
93	65	65	J12	AVRH	―	―
94	―	―	―	PC0	L	I
				GE_SDDQ5		
95	―	―	―	PC1	L	I
				GE_SDDQ4		
96	―	―	―	PC2	L	I
				GE_SDDQ3		
97	―	―	―	PC3	L	I
				GE_SDDQ2		
98	―	―	―	PC4	L	I
				GE_SDDQ1		
99	―	―	―	PC5	L	I
				GE_SDDQ0		
100	66	66	K11	P10	F	M
				AN00		
				SIN1_0		
				TIOA0_0		
				INT09_0		
				AIN0_0		
				MADATA00_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
101	67	67	J11	P11 AN01 SOT1_0 (SDA1_0) TIOB0_0 BIN0_0 MADATA01_0	F	L
102	68	68	H10	P12 AN02 SCK1_0 (SCL1_0) TIOA1_0 ZIN0_0 MADATA02_0	F	L
103	69	69	H11	P13 AN03 SIN2_0 TIOB1_0 INT10_0 FRCK0_1 MADATA03_0	F	M
104	70	70	H12	P14 AN04 SOT2_0 (SDA2_0) TIOA2_0 DTTI0X_1 MADATA04_0	F	L
105	71	71	H13	P15 AN05 SCK2_0 (SCL2_0) TIOB2_0 INT11_0 IC00_1 MADATA05_0	F	M
106	72	72	G10	P16 AN06 SIN3_0 TIOA3_0 INT12_0 IC01_1 MADATA06_0	F	M

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
107	73	73	G11	P17 AN07 SOT3_0 (SDA3_0) TIOB3_0 IC02_1 MADATA07_0	F	L
108	74	74	G12	P18 AN08 SCK3_0 (SCL3_0) TIOA4_0 IC03_1 MADATA08_0	F	L
109	75	75	G13	P19 AN09 SIN5_0 TIOB4_0 INT13_0 AIN0_2 RTO00_1 (PPG00_1) MADATA09_0	F	M
110	76	76	F10	P1A AN10 SOT5_0 (SDA5_0) TIOA5_0 BIN0_2 RTO01_1 (PPG00_1) MADATA10_0	F	L
111	77	77	F11	P1B AN11 SCK5_0 (SCL5_0) TIOB5_0 ZIN0_2 RTO02_1 (PPG02_1) MADATA11_0	F	L
112	–	–	–	PC6 GE_SDBA1	K	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
113	−	−	−	PC7	K	I
				GE_SDBA0		
114	−	−	−	PC8	K	I
				GE_SDA11		
115	−	−	−	PC9	K	I
				GE_SDA10		
116	78	78	F12	P1C	F	M
				AN12		
				SCS60_1		
				TIOA6_0		
				INT14_0		
				RTO03_1 (PPG02_1)		
				MADATA12_0		
117	79	79	F13	P1D	F	M
				AN13		
				SIN6_1		
				TIOB6_0		
				INT15_0		
				RTO04_1 (PPG04_1)		
				MADATA13_0		
118	80	80	E10	P1E	F	L
				AN14		
				SOT6_1 (SDA6_1)		
				TIOA7_0		
				RTO05_1 (PPG04_1)		
				MADATA14_0		
119	81	81	E11	P1F	F	L
				AN15		
				SCK6_1 (SCL6_1)		
				TIOB7_0		
				MADATA15_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
120	82	82	E12	P90 AN16 SIN0_1 INT08_1 PNL_PD23 PNL_TSIG11 MCLKOUT_0 MNALE_0 TRACECLK	F	O
121	83	83	E13	P91 AN17 SOT0_1 (SDA0_1) PNL_PD22 PNL_TSIG10 MAD23_0 MNCLE_0 TRACED0	F	N
122	84	84	D10	P92 AN18 SCK0_1 (SCL0_1) PNL_PD21 PNL_TSIG9 MAD22_0 MNWEX_0 TRACED1	F	N
123	85	85	D11	P93 AN19 SIN1_1 INT09_1 PNL_PD20 PNL_TSIG8 MAD21_0 MNREX_0 TRACED2	F	O

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
124	86	86	D12	P94 AN20 SOT1_1 (SDA1_1) PNL_PD19 PNL_TSIG7 MAD20_0 TRACED3	F	N
125	87	87	D13	P95 AN21 SCK1_1 (SCL1_1) PNL_PD18 PNL_TSIG6 MAD19_0	F	L
126	—	—	—	PCA GE_SDA9	K	I
127	—	—	—	PCB GE_SDA8	K	I
128	—	—	—	PCC GE_SDA7	K	I
129	—	—	—	PCD GE_SDA6	K	I
130	88	88	C12	P96 AN22 PNL_PD17 PNL_TSIG5 MRASX_0	F	L
131	89	89	C13	P97 AN23 PNL_PD16 MCASX_0	F	L
132	90	90	B13	VSS	—	—
133	91	91	A12	VCC	—	—
134	—	—	—	PD0 GE_SDA5	K	I
135	—	—	—	PD1 GE_SDA4	K	I
136	—	—	—	PD2 GE_SDA3	K	I
137	—	—	—	PD3 GE_SDA2	K	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
138	—	—	—	PD4	K	I
				GE_SDA1		
139	92	92	B12	P00	E	G
				TRSTX		
140	93	93	A11	P01	E	G
				TCK		
				SWCLK		
141	94	94	C11	P02	E	H
				TDI		
				MAD24_0		
142	95	95	B11	P03	E	G
				TMS		
				SWDIO		
143	96	96	B10	P04	E	G
				TDO		
				SWO		
144	—	—	—	PD5	K	I
				GE_SDA0		
145	—	—	—	PD6	K	I
				GE_SDDQM3		
146	—	—	—	PD7	K	I
				GE_SDDQM2		
147	—	—	—	PD8	K	I
				GE_SDDQM1		
148	—	—	—	PD9	K	I
				GE_SDDQM0		
149	97	97	C10	P05	E	K
				INT10_1		
				PNL_PD15		
				MAD18_0		
150	98	98	D9	P06	E	I
				PNL_PD14		
				MAD17_0		
151	99	99	C9	P07	E	K
				SIN2_1		
				INT11_1		
				PNL_PD13		
				MAD16_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
152	100	100	B9	P08 SOT2_1 (SDA2_1) PNL_PD12 MAD15_0	E	I
153	101	101	A9	P09 SCK2_1 (SCL2_1) PNL_PD11 MAD14_0	E	I
154	102	102	C8	P0A SIN5_1 TIOA7_1 INT12_1 PNL_PD10 MAD13_0	E	K
155	103	103	B8	P0B SOT5_1 (SDA5_1) TIOB7_1 PNL_PD9 MAD12_0	E	I
156	104	104	A8	P0C SCK5_1 (SCL5_1) PNL_PD8 MAD11_0	E	I
157	105	105	C7	P0D PNL_PD7 MSDWEX_0	D	I
158	106	106	B7	P0E WKUP2 PNL_PD6 MCSX8_0	D	P
159	107	107	A7	VSS	—	—
160	108	108	C6	P68 SCK3_1 (SCL3_1) PNL_PD5 MSDCLK_0	D	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
161	109	109	B6	P67 SOT3_1 (SDA3_1) PNL_PD4 MSDCKE_0	D	I
162	110	110	A6	P66 SIN3_1 INT13_1 PNL_PD3	E	K
163	111	111	C5	P65 PNL_PD2	E	I
164	112	112	B5	P64 CTS4_0 PNL_PD1	E	I
165	113	113	C4	P63 ADTG_3 RTS4_0 PNL_PD0	E	I
166	–	–	–	PDA GE_SDWEX	K	I
167	–	–	–	PDB GE_SDRASX	K	I
168	–	–	–	PDC GE_SDCASX	K	I
169	–	–	–	PDD GE_SDCSX	K	I
170	114	114	B4	P62 SCK4_0 (SCL4_0) INT14_1 MDQM1_0	N	K
171	115	115	B3	P61 UHCONX0 RTCCO_0 SUBOUT_0 SOT4_0 (SDA4_0) MDQM0_0	N	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161			
172	116	116	B2	P60	I	Q
				WKUP3		
				SIN4_0		
				INT15_1		
				MALE_0		
173	117	117	A4	VCC	−	−
174	118	118	A3	P80	H	R
				UDM0		
175	119	119	A2	P81	H	R
				UDP0		
176	120	120	B1	VSS	−	−
−	−	−	A1, A5, A10, A13, D5, D6, D7, D8, E5, E6, E7, E8, E9, F5, F6, F9, G4, G5, G9, H4, H5, H9, J4, J5, J6, J7, J8, J9, J10, K4, K6, K10, L6, M6, M7, M10, N1, N6, N8, N10, N13	VSS	−	−

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	27	17	17	F1
	ADTG_1		64	42	42	N5
	ADTG_2		12	8	8	E4
	ADTG_3		165	113	113	C4
	AN00	A/D コンバータアナログ入力端子 ANxx は ADC ch.xx を示す。	100	66	66	K11
	AN01		101	67	67	J11
	AN02		102	68	68	H10
	AN03		103	69	69	H11
	AN04		104	70	70	H12
	AN05		105	71	71	H13
	AN06		106	72	72	G10
	AN07		107	73	73	G11
	AN08		108	74	74	G12
	AN09		109	75	75	G13
	AN10		110	76	76	F10
	AN11		111	77	77	F11
	AN12		116	78	78	F12
	AN13		117	79	79	F13
	AN14		118	80	80	E10
	AN15		119	81	81	E11
	AN16		120	82	82	E12
	AN17		121	83	83	E13
	AN18		122	84	84	D10
	AN19		123	85	85	D11
	AN20		124	86	86	D12
	AN21		125	87	87	D13
	AN22		130	88	88	C12
	AN23		131	89	89	C13
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	100	66	66	K11
	TIOA0_1		6	2	2	C3
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	101	67	67	J11
	TIOB0_1		66	44	44	L7
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	102	68	68	H10
	TIOA1_1		7	3	3	C2
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	103	69	69	H11
	TIOB1_1		67	45	45	K8

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	104	70	70	H12
	TIOA2_1		8	4	4	D3
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	105	71	71	H13
	TIOB2_1		68	46	46	L8
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	106	72	72	G10
	TIOA3_1		9	5	5	D2
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	107	73	73	G11
	TIOB3_1		69	47	47	K9
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	108	74	74	G12
	TIOA4_1		10	6	6	D1
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	109	75	75	G13
	TIOB4_1		70	48	48	L9
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	110	76	76	F10
	TIOA5_1		11	7	7	D4
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	111	77	77	F11
	TIOB5_1		71	49	49	L10
ベース タイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	116	78	78	F12
	TIOA6_1		53	35	35	M4
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	117	79	79	F13
	TIOB6_1		54	36	36	K5
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	118	80	80	E10
	TIOA7_1		154	102	102	C8
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	119	81	81	E11
	TIOB7_1		155	103	103	B8

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
デバッガ	SWCLK	シリアルワイヤデバッグインタフェース クロック入力端子	140	93	93	A11
	SWDIO	シリアルワイヤデバッグインタフェース データ入出力端子	142	95	95	B11
	SWO	シリアルワイヤビューワ出力端子	143	96	96	B10
	TCK	JTAG テストクロック入力端子	140	93	93	A11
	TDI	JTAG テストデータ入力端子	141	94	94	C11
	TDO	JTAG デバッグデータ出力端子	143	96	96	B10
	TMS	JTAG テストモード状態出力端子	142	95	95	B11
	TRACECLK	ETM のトレース CLK 出力端子	120	82	82	E12
	TRACED0	ETM のトレースデータ出力端子	121	83	83	E13
	TRACED1		122	84	84	D10
	TRACED2		123	85	85	D11
	TRACED3		124	86	86	D12
	TRSTX	JTAG テストリセット入力端子	139	92	92	B12
外部バス	MAD00_0	外部バスインタフェースアドレスバス	63	41	41	M5
	MAD01_0		55	37	37	L5
	MAD02_0		54	36	36	K5
	MAD03_0		53	35	35	M4
	MAD04_0		52	34	34	L4
	MAD05_0		51	33	33	M3
	MAD06_0		10	6	6	D1
	MAD07_0		9	5	5	D2
	MAD08_0		8	4	4	D3
	MAD09_0		7	3	3	C2
	MAD10_0		6	2	2	C3
	MAD11_0		156	104	104	A8
	MAD12_0		155	103	103	B8
	MAD13_0		154	102	102	C8
	MAD14_0		153	101	101	A9
	MAD15_0		152	100	100	B9
	MAD16_0		151	99	99	C9
	MAD17_0		150	98	98	D9
	MAD18_0		149	97	97	C10
	MAD19_0		125	87	87	D13
	MAD20_0		124	86	86	D12
	MAD21_0		123	85	85	D11
	MAD22_0		122	84	84	D10
	MAD23_0		121	83	83	E13
	MAD24_0		141	94	94	C11
	MCSX0_0	外部バスインタフェースチップセレクト出力端子	65	43	43	K7
	MCSX8_0		158	106	106	B7

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
外部バス	MADATA00_0	外部バスインタフェースデータバス	100	66	66	K11
	MADATA01_0		101	67	67	J11
	MADATA02_0		102	68	68	H10
	MADATA03_0		103	69	69	H11
	MADATA04_0		104	70	70	H12
	MADATA05_0		105	71	71	H13
	MADATA06_0		106	72	72	G10
	MADATA07_0		107	73	73	G11
	MADATA08_0		108	74	74	G12
	MADATA09_0		109	75	75	G13
	MADATA10_0		110	76	76	F10
	MADATA11_0		111	77	77	F11
	MADATA12_0		116	78	78	F12
	MADATA13_0		117	79	79	F13
	MADATA14_0		118	80	80	E10
	MADATA15_0		119	81	81	E11
	MDQM0_0	外部バスインタフェースバイトマスク出力信号	171	115	115	B3
	MDQM1_0		170	114	114	B4
	MALE_0	マルチプレクス時アドレスラッチイネーブル信号	172	116	116	B2
	MRDY_0	外部 RDY 入力信号	64	42	42	N5
	MCLKOUT_0	外部バスクロック出力	120	82	82	E12
	MNALE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース ALE 信号	120	82	82	E12
	MNCLE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース CLE 信号	121	83	83	E13
	MNREX_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェースリード許可信号	123	85	85	D11
	MNWEX_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェースライト許可信号	122	84	84	D10
	MOEX_0	SRAM の外部バスインタフェースリード許可信号	12	8	8	E4
	MWEX_0	SRAM の外部バスインタフェースライト許可信号	11	7	7	D4
	MSDCLK_0	SDRAM インタフェース SDRAM クロック出力端子	160	108	108	C6
	MSDCKE_0	SDRAM インタフェース SDRAM クロックイネーブル出力端子	161	109	109	B6
	MRASX_0	SDRAM インタフェース SDRAM ロウアクティブ出力端子	130	88	88	C12
	MCASX_0	SDRAM インタフェース SDRAM カラムアクティブ出力端子	131	89	89	C13
	MSDWEX_0	SDRAM インタフェース SDRAM ライトイネーブル出力端子	157	105	105	C7

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
外部割込み	INT00_0	外部割込み要求 00 の入力端子	36	22	−	H2
	INT00_1		19	9	9	E3
	INT01_0	外部割込み要求 01 の入力端子	37	23	−	H3
	INT01_1		22	12	12	F4
	INT02_0	外部割込み要求 02 の入力端子	38	24	−	J2
	INT02_1		25	15	15	F3
	INT03_0	外部割込み要求 03 の入力端子	39	25	−	J3
	INT03_1		26	16	16	F2
	INT04_0	外部割込み要求 04 の入力端子	40	26	−	K2
	INT04_1		6	2	2	C3
	INT05_0	外部割込み要求 05 の入力端子	41	27	27	K3
	INT05_1		7	3	3	C2
	INT06_0	外部割込み要求 06 の入力端子	42	28	28	L2
	INT06_1		8	4	4	D3
	INT07_0	外部割込み要求 07 の入力端子	43	29	29	L3
	INT07_1		9	5	5	D2
	INT08_0	外部割込み要求 08 の入力端子	52	34	34	L4
	INT08_1		120	82	82	E12
	INT09_0	外部割込み要求 09 の入力端子	100	66	66	K11
	INT09_1		123	85	85	D11
	INT10_0	外部割込み要求 10 の入力端子	103	69	69	H11
	INT10_1		149	97	97	C10
	INT11_0	外部割込み要求 11 の入力端子	105	71	71	H13
	INT11_1		151	99	99	C9
	INT12_0	外部割込み要求 12 の入力端子	106	72	72	G10
	INT12_1		154	102	102	C8
	INT13_0	外部割込み要求 13 の入力端子	109	75	75	G13
	INT13_1		162	110	110	A6
	INT14_0	外部割込み要求 14 の入力端子	116	78	78	F12
	INT14_1		170	114	114	B4
	INT15_0	外部割込み要求 15 の入力端子	117	79	79	F13
	INT15_1		172	116	116	B2
	NMIX	ノンマスカブル割込み入力端子	46	32	32	M2

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GPIO	P00	汎用入出力ポート 0	139	92	92	B12
	P01		140	93	93	A11
	P02		141	94	94	C11
	P03		142	95	95	B11
	P04		143	96	96	B10
	P05		149	97	97	C10
	P06		150	98	98	D9
	P07		151	99	99	C9
	P08		152	100	100	B9
	P09		153	101	101	A9
	P0A		154	102	102	C8
	P0B		155	103	103	B8
	P0C		156	104	104	A8
	P0D		157	105	105	C7
	P0E		158	106	106	B7
	P10	汎用入出力ポート 1	100	66	66	K11
	P11		101	67	67	J11
	P12		102	68	68	H10
	P13		103	69	69	H11
	P14		104	70	70	H12
	P15		105	71	71	H13
	P16		106	72	72	G10
	P17		107	73	73	G11
	P18		108	74	74	G12
	P19		109	75	75	G13
	P1A		110	76	76	F10
	P1B		111	77	77	F11
	P1C		116	78	78	F12
	P1D		117	79	79	F13
	P1E		118	80	80	E10
	P1F		119	81	81	E11
	P20	汎用入出力ポート 2	46	32	32	M2
	P21		51	33	33	M3
	P22		52	34	34	L4
	P23		53	35	35	M4
	P24		54	36	36	K5
	P25		55	37	37	L5
	P26		63	41	41	M5
	P27		64	42	42	N5

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GPIO	P33	汎用入出力ポート 3	19	9	9	E3
	P34		20	10	10	E2
	P35		21	11	11	E1
	P36		22	12	12	F4
	P37		25	15	15	F3
	P38		26	16	16	F2
	P39		27	17	17	F1
	P3A		28	18	18	G3
	P3B		6	2	2	C3
	P3C		7	3	3	C2
	P3D		8	4	4	D3
	P3E		9	5	5	D2
	P3F		10	6	6	D1
	P46	汎用入出力ポート 4	79	51	51	N7
	P47		80	52	52	N9
	P48		82	54	54	L11
	P49		83	55	55	L12
	P50	汎用入出力ポート 5	65	43	43	K7
	P51		66	44	44	L7
	P52		67	45	45	K8
	P53		68	46	46	L8
	P54		69	47	47	K9
	P55		70	48	48	L9
	P56		71	49	49	L10
	P60	汎用入出力ポート 6	172	116	116	B2
	P61		171	115	115	B3
	P62		170	114	114	B4
	P63		165	113	113	C4
	P64		164	112	112	B5
	P65		163	111	111	C5
	P66		162	110	110	A6
	P67		161	109	109	B6
	P68		160	108	108	C6

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GPIO	P70	汎用入出力ポート 7	34	20	—	J1
	P71		35	21	—	K1
	P72		36	22	—	H2
	P73		37	23	—	H3
	P74		38	24	—	J2
	P75		39	25	—	J3
	P76		40	26	—	K2
	P77		41	27	27	K3
	P78		42	28	28	L2
	P79		43	29	29	L3
	P7A		33	19	—	G2
	P7B		12	8	8	E4
	P7C		11	7	7	D4
	P80	汎用入出力ポート 8	174	118	118	A3
	P81		175	119	119	A2
	P90	汎用入出力ポート 9	120	82	82	E12
	P91		121	83	83	E13
	P92		122	84	84	D10
	P93		123	85	85	D11
	P94		124	86	86	D12
	P95		125	87	87	D13
	P96		130	88	88	C12
	P97		131	89	89	C13
	PA0	汎用入出力ポート A	2	—	—	—
	PA1		3	—	—	—
	PA2		4	—	—	—
	PA3		5	—	—	—
	PA4		29	—	—	—
	PA5		30	—	—	—
	PA6		31	—	—	—
	PA7		32	—	—	—
	PA8		13	—	—	—
	PA9		14	—	—	—
	PAA		15	—	—	—
	PAB		16	—	—	—
	PAC		17	—	—	—
	PAD		18	—	—	—

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GPIO	PB0	汎用入出力ポート B	47	—	—	—
	PB1		48	—	—	—
	PB2		49	—	—	—
	PB3		50	—	—	—
	PB4		56	—	—	—
	PB5		57	—	—	—
	PB6		58	—	—	—
	PB7		59	—	—	—
	PB8		72	—	—	—
	PB9		73	—	—	—
	PBA		74	—	—	—
	PBB		75	—	—	—
	PBC		76	—	—	—
	PBD		77	—	—	—
	PC0	汎用入出力ポート C	94	—	—	—
	PC1		95	—	—	—
	PC2		96	—	—	—
	PC3		97	—	—	—
	PC4		98	—	—	—
	PC5		99	—	—	—
	PC6		112	—	—	—
	PC7		113	—	—	—
	PC8		114	—	—	—
	PC9		115	—	—	—
	PCA		126	—	—	—
	PCB		127	—	—	—
	PCC		128	—	—	—
	PCD		129	—	—	—
	PD0	汎用入出力ポート D	134	—	—	—
	PD1		135	—	—	—
	PD2		136	—	—	—
	PD3		137	—	—	—
	PD4		138	—	—	—
	PD5		144	—	—	—
	PD6		145	—	—	—
	PD7		146	—	—	—
	PD8		147	—	—	—
	PD9		148	—	—	—
	PDA		166	—	—	—
	PDB		167	—	—	—
	PDC		168	—	—	—
	PDD		169	—	—	—

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GPIO	PE0	汎用入出力ポート E	84	56	56	M12
	PE2		86	58	58	N11
	PE3		87	59	59	N12
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	52	34	34	L4
	SIN0_1		120	82	82	E12
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT0 として、I²C 端子(動作モード 4)として使用するときは SDA0 として機能します。	53	35	35	M4
	SOT0_1 (SDA0_1)		121	83	83	E13
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK0 として、I²C 端子(動作モード 4)として使用するときは SCL0 として機能します。	54	36	36	K5
	SCK0_1 (SCL0_1)		122	84	84	D10
マルチファンクションシリアル 1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	100	66	66	K11
	SIN1_1		123	85	85	D11
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT1 として、I²C 端子(動作モード 4)として使用するときは SDA1 として機能します。	101	67	67	J11
	SOT1_1 (SDA1_1)		124	86	86	D12
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK1 として、I²C 端子(動作モード 4)として使用するときは SCL1 として機能します。	102	68	68	H10
	SCK1_1 (SCL1_1)		125	87	87	D13
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	103	69	69	H11
	SIN2_1		151	99	99	C9
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT2 として、I²C 端子(動作モード 4)として使用するときは SDA2 として機能します。	104	70	70	H12
	SOT2_1 (SDA2_1)		152	100	100	B9
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK2 として、I²C 端子(動作モード 4)として使用するときは SCL2 として機能します。	105	71	71	H13
	SCK2_1 (SCL2_1)		153	101	101	A9

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
マルチファンクションシリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	106	72	72	G10
	SIN3_1		162	110	110	A6
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT3 として、I²C 端子(動作モード 4)として使用するときは SDA3 として機能します。	107	73	73	G11
	SOT3_1 (SDA3_1)		161	109	109	B6
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK3 として、I²C 端子(動作モード 4)として使用するときは SCL3 として機能します。	108	74	74	G12
	SCK3_1 (SCL3_1)		160	108	108	C6
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	172	116	116	B2
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT4 として、I²C 端子(動作モード 4)として使用するときは SDA4 として機能します。	171	115	115	B3
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK4 として、I²C 端子(動作モード 4)として使用するときは SCL4 として機能します。	170	114	114	B4
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	164	112	112	B5
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	165	113	113	C4
マルチファンクションシリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	109	75	75	G13
	SIN5_1		154	102	102	C8
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT5 として、I²C 端子(動作モード 4)として使用するときは SDA5 として機能します。	110	76	76	F10
	SOT5_1 (SDA5_1)		155	103	103	B8
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK5 として、I²C 端子(動作モード 4)として使用するときは SCL5 として機能します。	111	77	77	F11
	SCK5_1 (SCL5_1)		156	104	104	A8

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
マルチファンクションシリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	19	9	9	E3
	SIN6_1		117	79	79	F13
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT6 として、I²C 端子(動作モード 4)として使用するときは SDA6 として機能します。	20	10	10	E2
	SOT6_1 (SDA6_1)		118	80	80	E10
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK6 として、I²C 端子(動作モード 4)として使用するときは SCL6 として機能します。	21	11	11	E1
	SCK6_1 (SCL6_1)		119	81	81	E11
	SCS60_0	マルチファンクションシリアルインタフェース ch.6 のチップセレクト 0 入出力端子	22	12	12	F4
	SCS60_1		116	78	78	F12
マルチファンクションシリアル 7	SIN7_0	マルチファンクションシリアルインタフェース ch.7 の入力端子	8	4	4	D3
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch.7 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT7 として、I²C 端子(動作モード 4)として使用するときは SDA7 として機能します。	9	5	5	D2
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK7 として、I²C 端子(動作モード 4)として使用するときは SCL7 として機能します。	10	6	6	D1
	SCS70_0	マルチファンクションシリアルインタフェース ch.7 のチップセレクト 0 入出力端子	7	3	3	C2

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
多機能タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00～RTO05 出力を制御する波形ジェネレータの入力信号	27	17	17	F1
	DTTI0X_1		104	70	70	H12
	FRCK0_0	16 ビットフリーランタイマ ch.0 の外部クロック入力端子	20	10	10	E2
	FRCK0_1		103	69	69	H11
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャネル数を示します。	26	16	16	F2
	IC00_1		105	71	71	H13
	IC01_0		25	15	15	F3
	IC01_1		106	72	72	G10
	IC02_0		22	12	12	F4
	IC02_1		107	73	73	G11
	IC03_0		21	11	11	E1
	IC03_1		108	74	74	G12
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	6	2	2	C3
	RTO00_1 (PPG00_1)		109	75	75	G13
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	7	3	3	C2
	RTO01_1 (PPG00_1)		110	76	76	F10
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	8	4	4	D3
	RTO02_1 (PPG02_1)		111	77	77	F11
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	9	5	5	D2
	RTO03_1 (PPG02_1)		116	78	78	F12
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	10	6	6	D1
	RTO04_1 (PPG04_1)		117	79	79	F13
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	11	7	7	D4
	RTO05_1 (PPG04_1)		118	80	80	E10

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
クアッドカウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	100	66	66	K11
	AIN0_1		6	2	2	C3
	AIN0_2		109	75	75	G13
	BIN0_0	QPRC ch.0 の BIN 入力端子	101	67	67	J11
	BIN0_1		7	3	3	C2
	BIN0_2		110	76	76	F10
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	102	68	68	H10
	ZIN0_1		8	4	4	D3
	ZIN0_2		111	77	77	F11
リアルタイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	171	115	115	B3
	RTCCO_1	リアルタイムクロックの 0.5 秒パルス出力端子	63	41	41	M5
	SUBOUT_0	サブクロック出力端子	171	115	115	B3
	SUBOUT_1	サブクロック出力端子	63	41	41	M5
USB0	UDM0	USB ch.0 デバイス/ホストの D- 端子	174	118	118	A3
	UDP0	USB ch.0 デバイス/ホストの D+ 端子	175	119	119	A2
	UHCONX0	USB ch.0 外部プルアップ制御端子	171	115	115	B3
低消費電力	WKUP0	ディープスタンバイモード復帰信号入力端子 0	46	32	32	M2
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	65	43	43	K7
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	158	106	106	B7
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	172	116	116	B2
VBAT	VREGCTL	オンボードレギュレータ制御用端子	82	54	54	L11
	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	83	55	55	L12
SD I/F	S_CLK_0	SD メモリカードインタフェース SD クロック出力端子	21	11	11	E1
	S_CMD_0	SD メモリカードインタフェース SD コマンド出力端子	22	12	12	F4
	S_DATA1_0	SD メモリカードインタフェース SD データバス	19	9	9	E3
	S_DATA0_0		20	10	10	E2
	S_DATA3_0		25	15	15	F3
	S_DATA2_0		26	16	16	F2
	S_CD_0	SD メモリカードインタフェース SD カード検出端子	28	18	18	G3
	S_WP_0	SD メモリカードインタフェース SD ライトプロテクト端子	27	17	17	F1

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
I²S 0	I2SMCLK0_0	I²S0 用外部クロック端子	6	2	2	C3
	I2SDO0_0	I²S0 用シリアル送信データ出力端子	7	3	3	C2
	I2SWS0_0	I²S0 用フレーム同期信号端子	8	4	4	D3
	I2SDI0_0	I²S0 用シリアル受信データ入力端子	9	5	5	D2
	I2SCK0_0	I²S0 用ビットクロック端子	10	6	6	D1
I²S 1	I2SMCLK1_0	I²S1 用外部クロック端子	51	33	33	M3
	I2SDO1_0	I²S1 用シリアル送信データ出力端子	52	34	34	L4
	I2SWS1_0	I²S1 用フレーム同期信号端子	53	35	35	M4
	I2SDI1_0	I²S1 用シリアル受信データ入力端子	54	36	36	K5
	I2SCK1_0	I²S1 用ビットクロック端子	55	37	37	L5
GDC High-Speed Quad SPI	GE_SPCK	SPI クロック出力端子	34	20	-	J1
	GE_SPDQ0	SPI データ入出力端子	35	21	-	K1
	GE_SPDQ1		38	24	-	J2
	GE_SPDQ2		39	25	-	J3
	GE_SPDQ3		36	22	-	H2
	GE_SPCSX0	SPI チップセレクト出力端子	37	23	-	H3
GDC HyperBus I/F	GE_HBCK	HBI クロック出力端子	34	20	-	J1
	GE_HBDQ0	HBI データ入出力端子	36	22	-	H2
	GE_HBDQ1		37	23	-	H3
	GE_HBDQ2		38	24	-	J2
	GE_HBDQ3		39	25	-	J3
	GE_HBDQ4		40	26	-	K2
	GE_HBDQ5		41	27	-	K3
	GE_HBDQ6		42	28	-	L2
	GE_HBDQ7		43	29	-	L3
	GE_HBCSX0	HBI チップセレクト出力端子	35	21	-	K1
	GE_HBCSX1		12	8	-	E4
	GE_HBRWDS	HBI RWDS 入出力端子	33	19	-	G2
	GE_HBRESETX	HBI ハードウェアリセット出力端子	25	15	-	F3
	GE_HBINTX	HBI 割込み入力端子	26	16	-	F2
	GE_HBRSTOX	HBI リセット入力端子	27	17	-	F1
	GE_HBWPX	HBI ライトプロテクト出力端子	28	18	-	G3

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GDC パネル	PNL_DCLK	GDC クロック出力端子	67	45	45	K8
	PNL_DEN	GDC データイネーブル出力信号(ブランキング信号)	68	46	46	L8
	PNL_PWE	GDC パワーイネーブル制御出力端子	66	44	44	L7
	PNL_LE	GDC ラインエンド出力信号	69	47	47	K9
	PNL_LH_SYNC	GDC 水平同期出力端子	70	48	48	L9
	PNL_FV_SYNC	GDC 垂直同期出力端子	71	49	49	L10
	PNL_PD0	GDC パネルデータ出力端子	165	113	113	C4
	PNL_PD1		164	112	112	B5
	PNL_PD2		163	111	111	C5
	PNL_PD3		162	110	110	A6
	PNL_PD4		161	109	109	B6
	PNL_PD5		160	108	108	C6
	PNL_PD6		158	106	106	B7
	PNL_PD7		157	105	105	C7
	PNL_PD8		156	104	104	A8
	PNL_PD9		155	103	103	B8
	PNL_PD10		154	102	102	C8
	PNL_PD11		153	101	101	A9
	PNL_PD12		152	100	100	B9
	PNL_PD13		151	99	99	C9
	PNL_PD14		150	98	98	D9
	PNL_PD15		149	97	97	C10
	PNL_PD16		131	89	89	C13
	PNL_PD17		130	88	88	C12
	PNL_PD18		125	87	87	D13
	PNL_PD19		124	86	86	D12
	PNL_PD20		123	85	85	D11
	PNL_PD21		122	84	84	D10
	PNL_PD22		121	83	83	E13
	PNL_PD23		120	82	82	E12
	PNL_TSIG0	GDC パネル制御信号用タイミングジェネレータ端子 PNL_TSIG 端子は、本 LSI と各種パネルを接続することを目的とした、カスタマイズ可能な水平・垂直同期信号です。 詳細は、ペリフェラルマニュアル (GDC コア編)を参照してください。	70	48	48	L9
	PNL_TSIG1		71	49	49	L10
	PNL_TSIG2		68	46	46	L8
	PNL_TSIG3		69	47	47	K9
	PNL_TSIG4		66	44	44	L7
	PNL_TSIG5		130	88	88	C12
	PNL_TSIG6		125	87	87	D13
	PNL_TSIG7		124	86	86	D12
	PNL_TSIG8		123	85	85	D11
	PNL_TSIG9		122	84	84	D10
	PNL_TSIG10		121	83	83	E13
	PNL_TSIG11		120	82	82	E12

端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GDC SDRAM-IF (176 pin のみ)	GE_SDA0	SDRAM-IF アドレス出力端子	144	-	-	-
	GE_SDA1		138	-	-	-
	GE_SDA2		137	-	-	-
	GE_SDA3		136	-	-	-
	GE_SDA4		135	-	-	-
	GE_SDA5		134	-	-	-
	GE_SDA6		129	-	-	-
	GE_SDA7		128	-	-	-
	GE_SDA8		127	-	-	-
	GE_SDA9		126	-	-	-
	GE_SDA10		115	-	-	-
	GE_SDA11		114	-	-	-
	GE_SDBA0	SDRAM-IF バンクアドレス出力端子	113	-	-	-
	GE_SDBA1		112	-	-	-
	GE_SDCASX	SDRAM-IF カラムアクティブ出力端子	168	-	-	-
	GE_SDRASX	SDRAM-IF ロウアクティブ出力信号	167	-	-	-
	GE_SDWEX	SDRAM-IF ライトイネーブル出力信号	166	-	-	-
	GE_SDCKE	SDRAM-IF クロックイネーブル出力端子	2	-	-	-
	GE_SDCLK	SDRAM-IF クロック出力端子	3	-	-	-
	GE_SDCSX	SDRAM-IF チップセレクト出力端子	169	-	-	-
	GE_SDDQ0	SDRAM-IF データ入出力端子	99	-	-	-
	GE_SDDQ1		98	-	-	-
	GE_SDDQ2		97	-	-	-
	GE_SDDQ3		96	-	-	-
	GE_SDDQ4		95	-	-	-
	GE_SDDQ5		94	-	-	-
	GE_SDDQ6		77	-	-	-
	GE_SDDQ7		76	-	-	-
	GE_SDDQ8		75	-	-	-
	GE_SDDQ9		74	-	-	-
	GE_SDDQ10		73	-	-	-
	GE_SDDQ11		72	-	-	-
	GE_SDDQ12		59	-	-	-
	GE_SDDQ13		58	-	-	-
	GE_SDDQ14		57	-	-	-
	GE_SDDQ15		56	-	-	-
	GE_SDDQ16		50	-	-	-
	GE_SDDQ17		49	-	-	-
	GE_SDDQ18		48	-	-	-
	GE_SDDQ19		47	-	-	-
	GE_SDDQ20		32	-	-	-
	GE_SDDQ21		31	-	-	-
	GE_SDDQ22		30	-	-	-

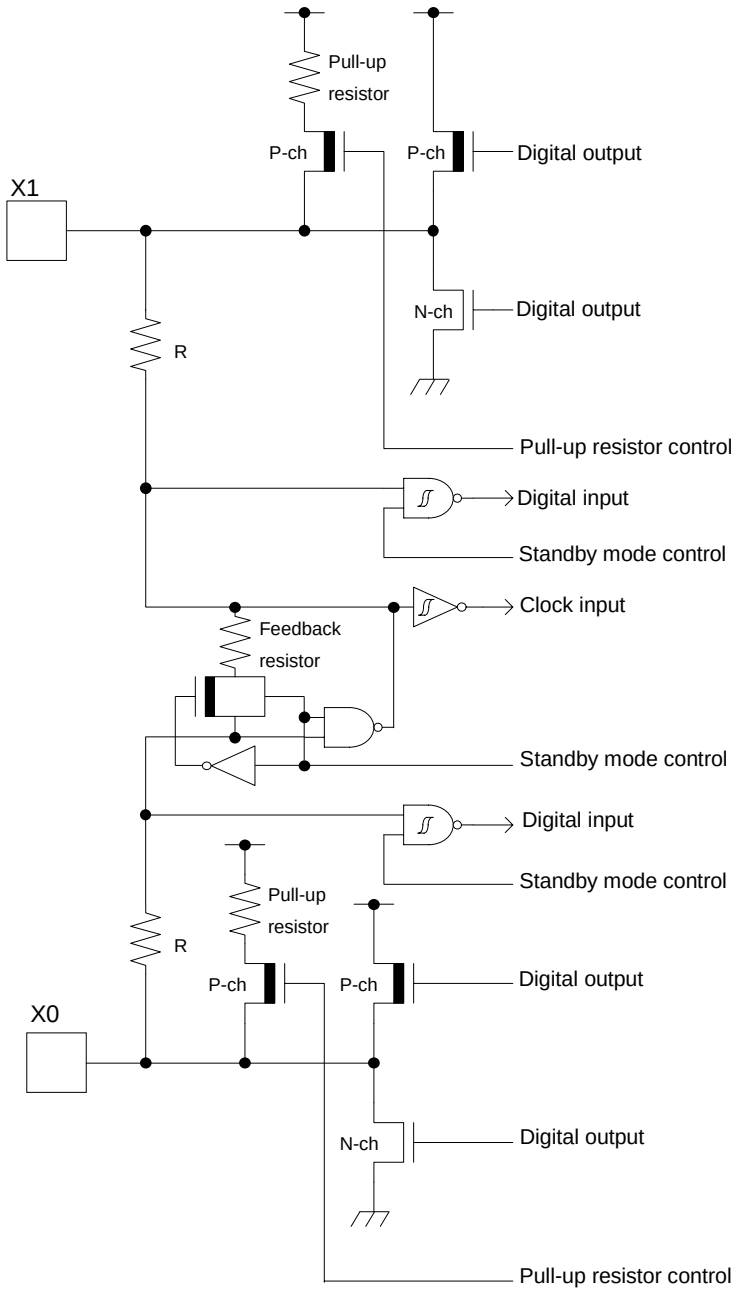
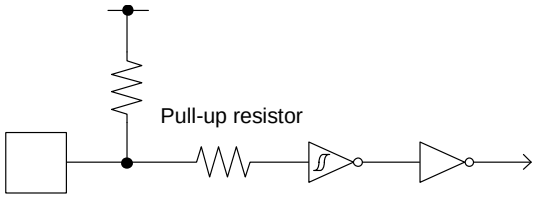
端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
GDC SDRAM-IF (176 pin のみ)	GE_SDDQ23	SDRAM-IF データ入出力端子	29	-	-	-
	GE_SDDQ24		18	-	-	-
	GE_SDDQ25		17	-	-	-
	GE_SDDQ26		16	-	-	-
	GE_SDDQ27		15	-	-	-
	GE_SDDQ28		14	-	-	-
	GE_SDDQ29		13	-	-	-
	GE_SDDQ30		5	-	-	-
	GE_SDDQ31		4	-	-	-
	GE_SDDQM0	SDRAM-IF 入出力マスク出力信号	148	-	-	-
	GE_SDDQM1		147	-	-	-
	GE_SDDQM2		146	-	-	-
	GE_SDDQM3		145	-	-	-
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	78	50	50	M8
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。	84	56	56	M12
	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	85	57	57	M11
Power	VCC	電源端子	1	1	1	C1
			23	13	13	G1
			44	30	30	L1
			62	40	40	N4
			89	61	61	L13
			133	91	91	A12
			173	117	117	A4
GND	VSS	GND 端子	24	14	14	H1
			45	31	31	M1
			61	39	39	N3
			88	60	60	M13
			132	90	90	B13
			159	107	107	A7
			176	120	120	B1
Clock	X0	メインクロック(発振)入力端子	86	58	58	N11
	X0A	サブクロック(発振)入力端子	79	51	51	N7
	X1	メインクロック(発振)I/O 端子	87	59	59	N12
	X1A	サブクロック(発振)I/O 端子	80	52	52	N9
	CROUT_0	高速内蔵 CR 発振クロック出力ポート	52	34	34	L4
	CROUT_1		64	42	42	N5

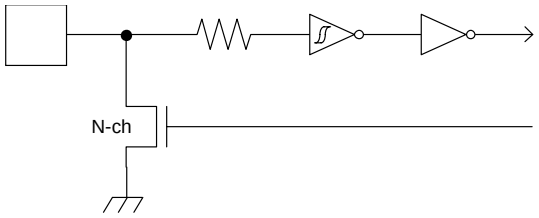
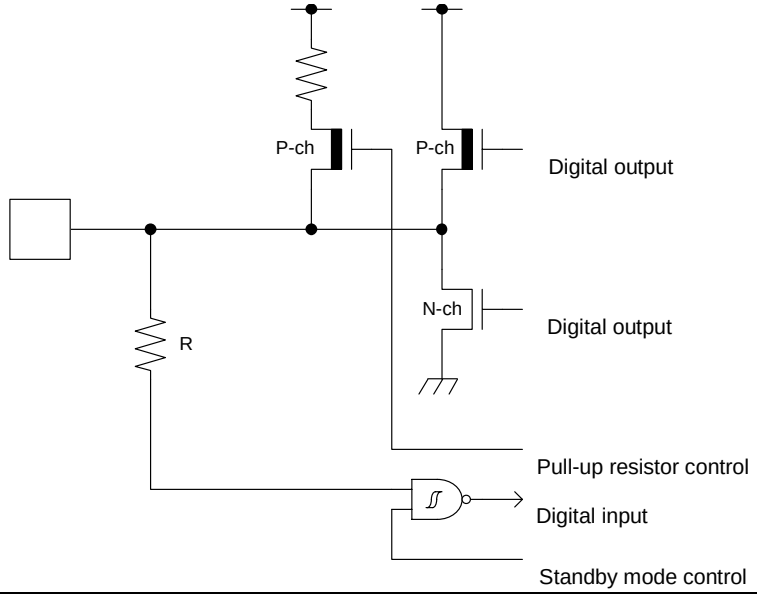
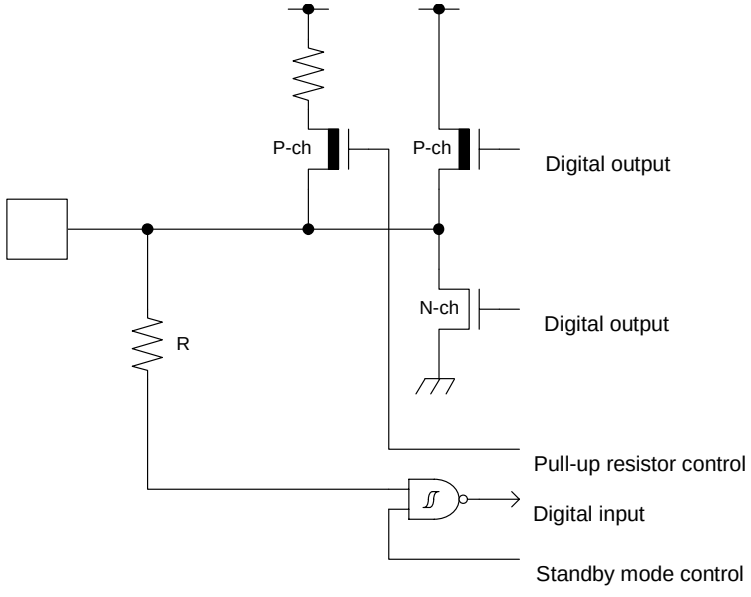
端子機能	端子名	機能説明	端子番号			
			LQFP176	LQFP120 Ex-LQFP120	LQFP120 (S6E2DF5GJA)	FBGA161
Analog Power	AVCC	A/D コンバータのアナログ電源端子	90	62	62	K13
	AVRL	A/D コンバータのアナログ基準電圧入力端子	92	64	64	J13
	AVRH	A/D コンバータのアナログ基準電圧入力端子	93	65	65	J12
VBAT Power	VBAT	VBAT 電源端子バックアップ電源(電池など)やシステム電源からの供給	81	53	53	M9
Analog GND	AVSS	A/D コンバータの GND 端子	91	63	63	K12
C 端子	C	電源安定化容量端子	60	38	38	N2

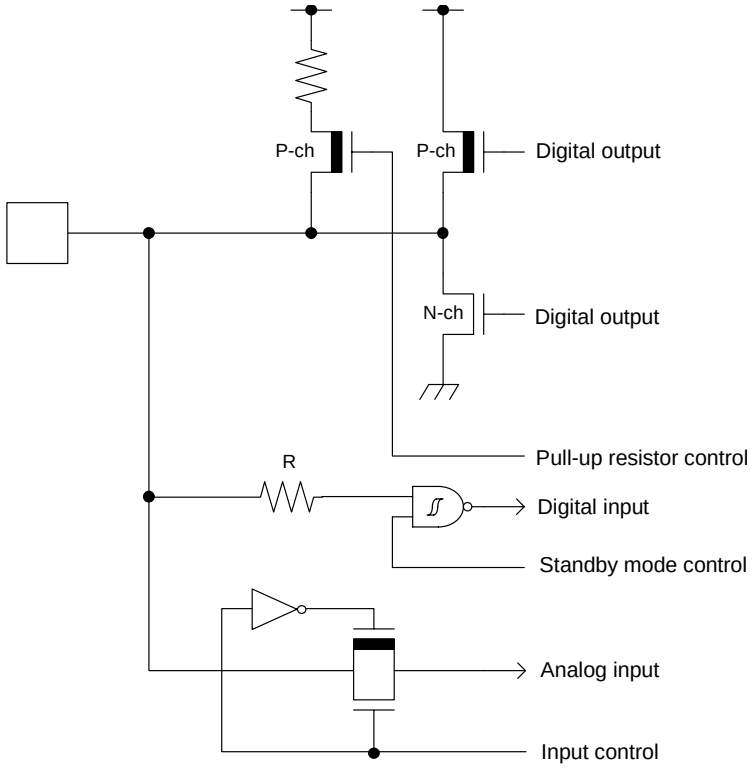
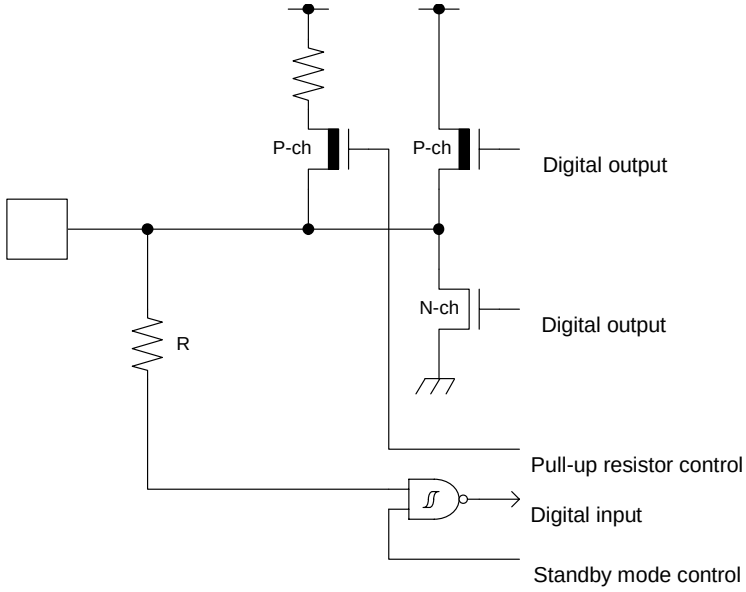
＜注意事項＞

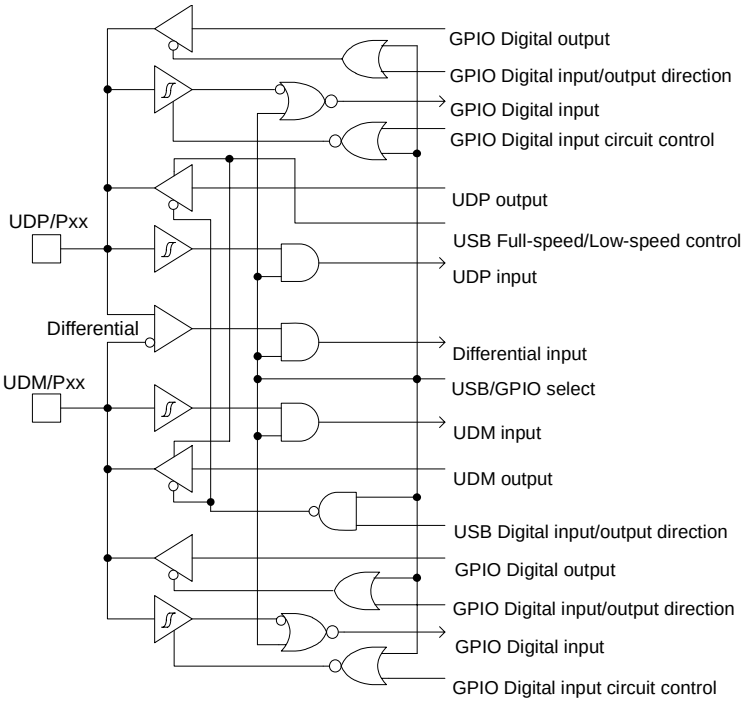
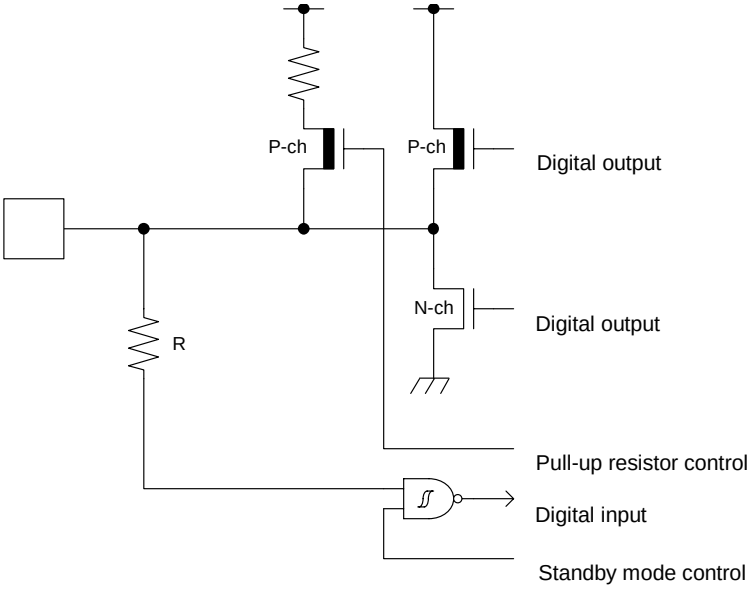
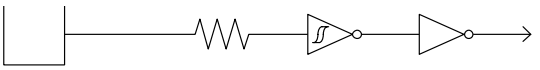
- *本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。*

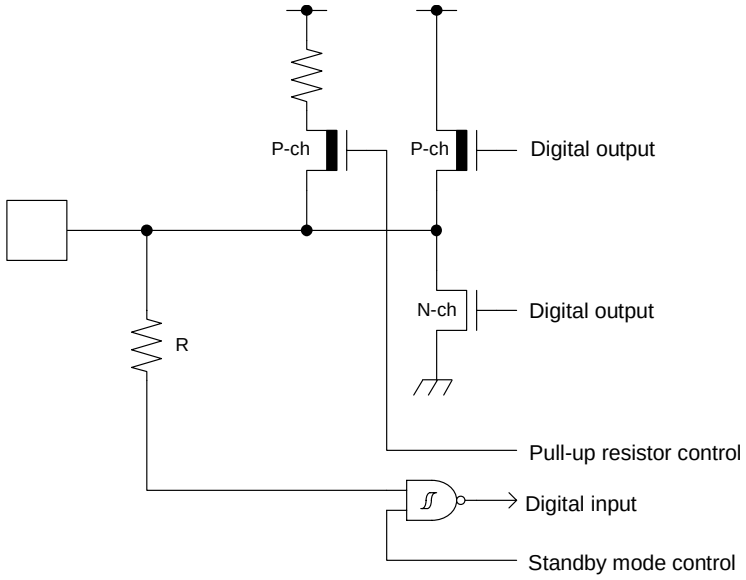
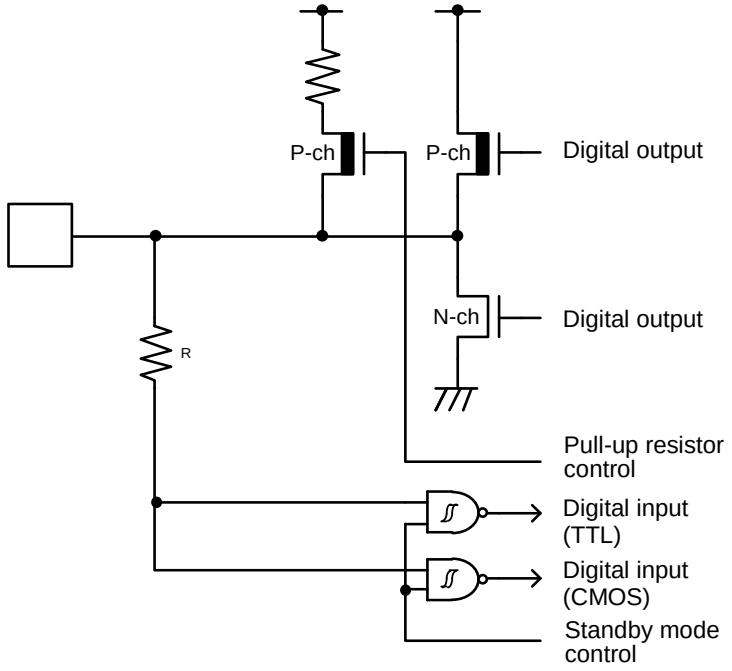
5. 入出力回路形式

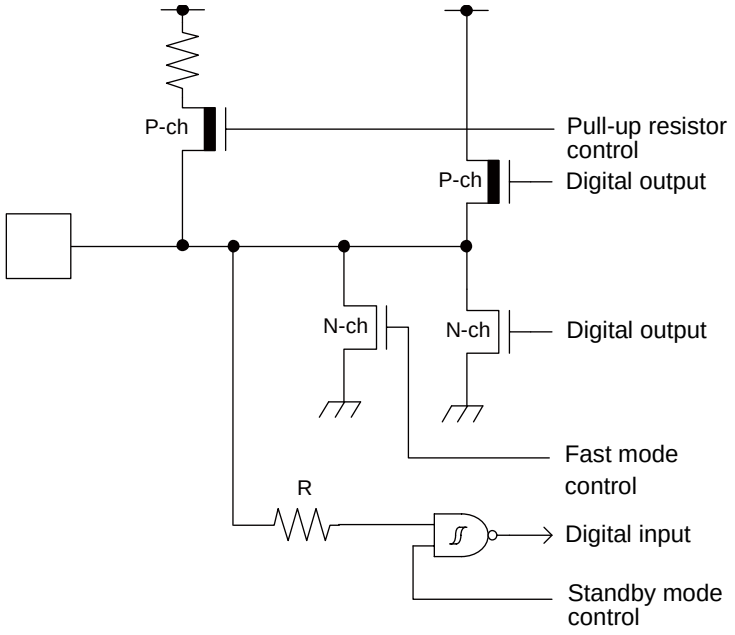
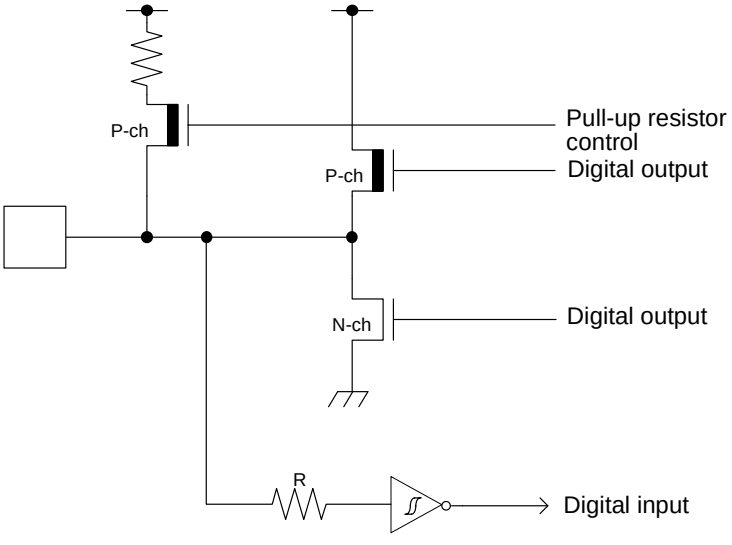
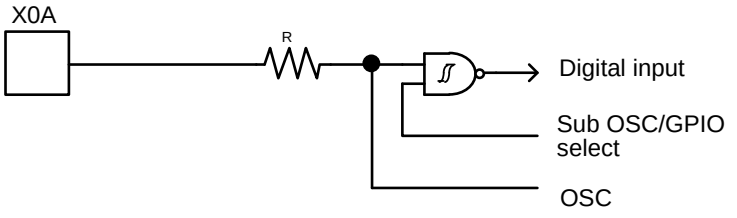
分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 – 発振帰還抵抗: 約 1 MΩ – スタンバイ制御あり GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -2 mA, I_{OL} = 2 mA
B		– CMOS レベルヒステリシス入力 – プルアップ抵抗: 約 80 kΩ

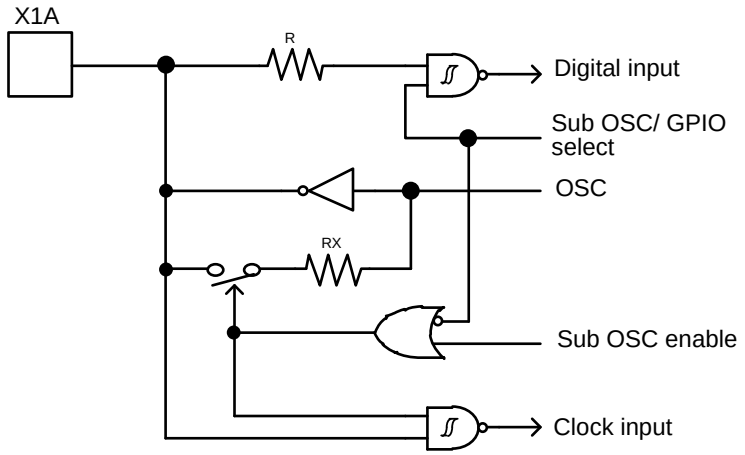
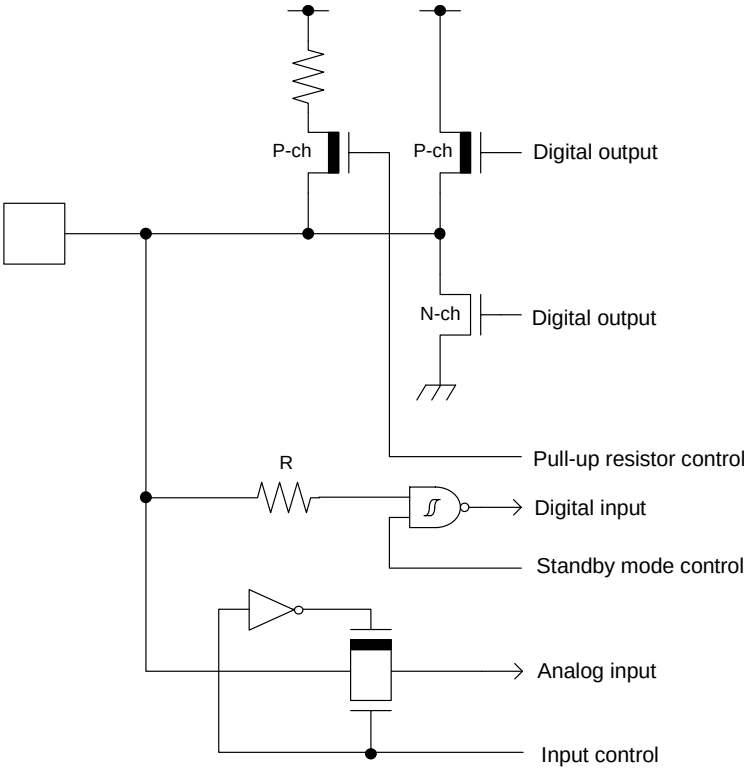
分類	回路	備考
C		– オープンドレイン出力 – CMOS レベルヒステリシス入力
D		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
E		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -2 mA, I_{OL} = 2 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
F		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -2 mA, I_{OL} = 2 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
G		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -8 mA, I_{OL} = 8 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
H		USB IO/GPIO 切換え可能 USB IO 機能選択時 高速，低速制御 GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – スタンバイ制御あり – I_{OH}=-20.5 mA, I_{OL}=18.5 mA
I		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 5 V トレラント – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -2 mA, I_{OL} = 2 mA – PZR レジスタ制御可能
J		CMOS レベルヒステリシス入力

分類	回路	備考
K		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御 – スタンバイ制御あり – プルアップ抵抗: 約 33 kΩ – I_{OH} = -11 mA, I_{OL} = 11 mA
L		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – TTL レベルヒステリシス入力 (SDRAM-IF Data 入力専用) – プルアップ抵抗制御 – スタンバイ制御あり – プルアップ抵抗: 約 33 kΩ – I_{OH} = -11 mA, I_{OL} = 11 mA

分類	回路	備考
N		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 5 V トレラント – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -3 mA, I_{OL} = 3 mA (GPIO) – I_{OL} = 20 mA (Fast Mode Plus) – PZR レジスタ制御可能 – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
O		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 5V トレラント – プルアップ抵抗制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -2 mA, I_{OL} = 2 mA – PZR レジスタ制御可能 – IO の設定は『ペリフェラルマニュアル本編(002-04857)』の『VBAT ドメイン』の章を参照してください。
P		– CMOS レベルヒステリシス入力 – IO の設定は『ペリフェラルマニュアル本編(002-04857)』の『VBAT ドメイン』の章を参照してください。

分類	回路	備考
Q		サブ発振/GPIO 切換え可能 サブ発振機能選択時 – 発振帰還抵抗: 約 12 MΩ GPIO 機能選択時 – CMOS レベルヒステリシス入力 – IO の設定は『ペリフェラルマニュアル本編(002-04857)』の『VBAT ドメイン』の章を参照してください。
R		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 80 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件, 環境条件など)によっても大きく左右されます。
以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧, 電流, 温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目, 使用条件, 論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

   各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。
2. 出力端子の保護

   出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。
3. 未使用入力端子の処理

   インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ, サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守
世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計
半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故, 火災事故, 社会的な損害を生じさせないよう、お客様は、装置の冗長設計, 延焼対策設計, 過電流防止設計, 誤動作防止設計などの安全設計をお願いします。

用途に関する注意
本資料に記載された製品は、通常の産業用, 一般事務用, パーソナル用, 家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御, 航空機自動飛行制御,航空交通管制, 大量輸送システムにおける運行制御, 生命維持のための医療機器, 兵器システムにおけるミサイル発射制御をいう), ならびに極めて高い信頼性が要求される用途 (海底中継器, 宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項
パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は,当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形
リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。
プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。
ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形
表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。
当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ
BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。
ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ~ 70%RH にしてください。
   除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具，計器類は，接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

   高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

   半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス，塵埃，油

   腐食性ガス雰囲気中や、塵埃，油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

   一般のデバイスは、設計上、放射線，宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

   樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低
インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間、AVRH 端子と AVRL 端子の間に 0.1µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz～60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1V/µs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

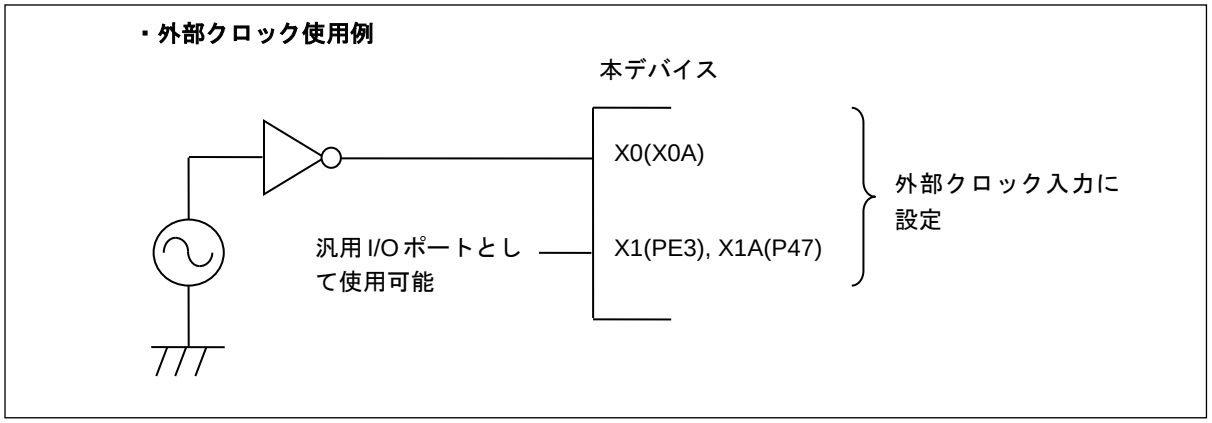
サイズ: 3.2 mm × 1.5 mm 以上
負荷容量: 6 pF～7 pF 程度 標準設定(CCS/CCB=11001110)のとき
負荷容量: 4 pF～7 pF 程度 低消費電力設定(CCS/CCB=00000100)のとき

■リードタイプ

負荷容量: 6 pF～7 pF 程度 標準設定(CCS/CCB=11001110)のとき
負荷容量: 4 pF～7 pF 程度 低消費電力設定(CCS/CCB=00000100)のとき

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。
同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。

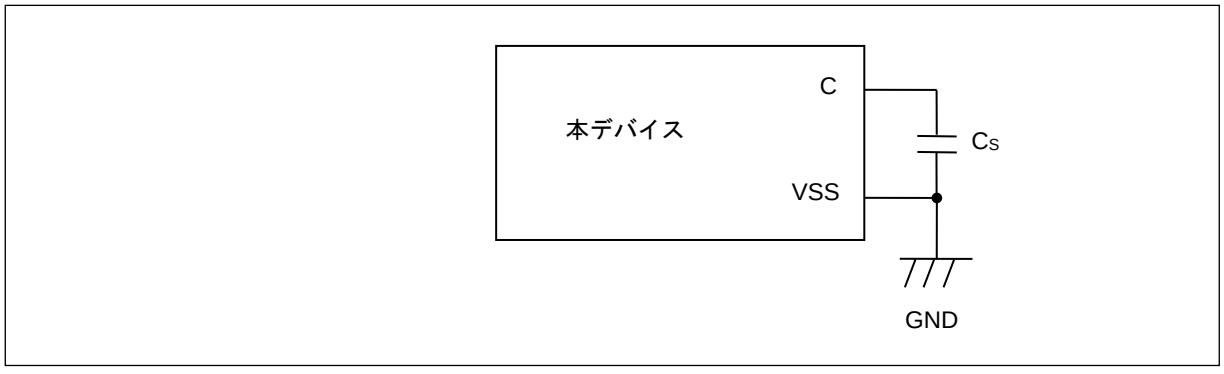


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。
本シリーズでは 4.7 µF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。すべての電源の投入後に正常動作します。

VBAT のみ電源 on するには、VBAT と VCC を電源 on して、ハイバネーション制御してから VCC を電源 off することで可能です。ハイバネーション制御については、FM4 ペリフェラルマニュアル(002-04856)の CHAPTER7-3:VBAT ドメイン(B)を参照ください。

投入時: VBAT → VCC→ AVCC → AVRH

切断時: AVRH → AVCC → VCC→ VBAT

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5 V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

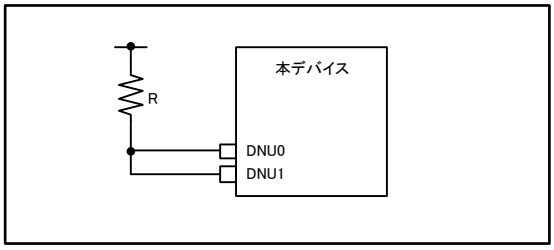
デバッグ機能を兼用している端子について

TDO/TMS/TDI/TCK/TRSTX, SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

S6E2DF5GJA について

S6E2DF5GJA については、下記に示す対応を行ってください。

1. DNU0/1 端子は短絡し 10kΩ程度のプルアップを行ってください。

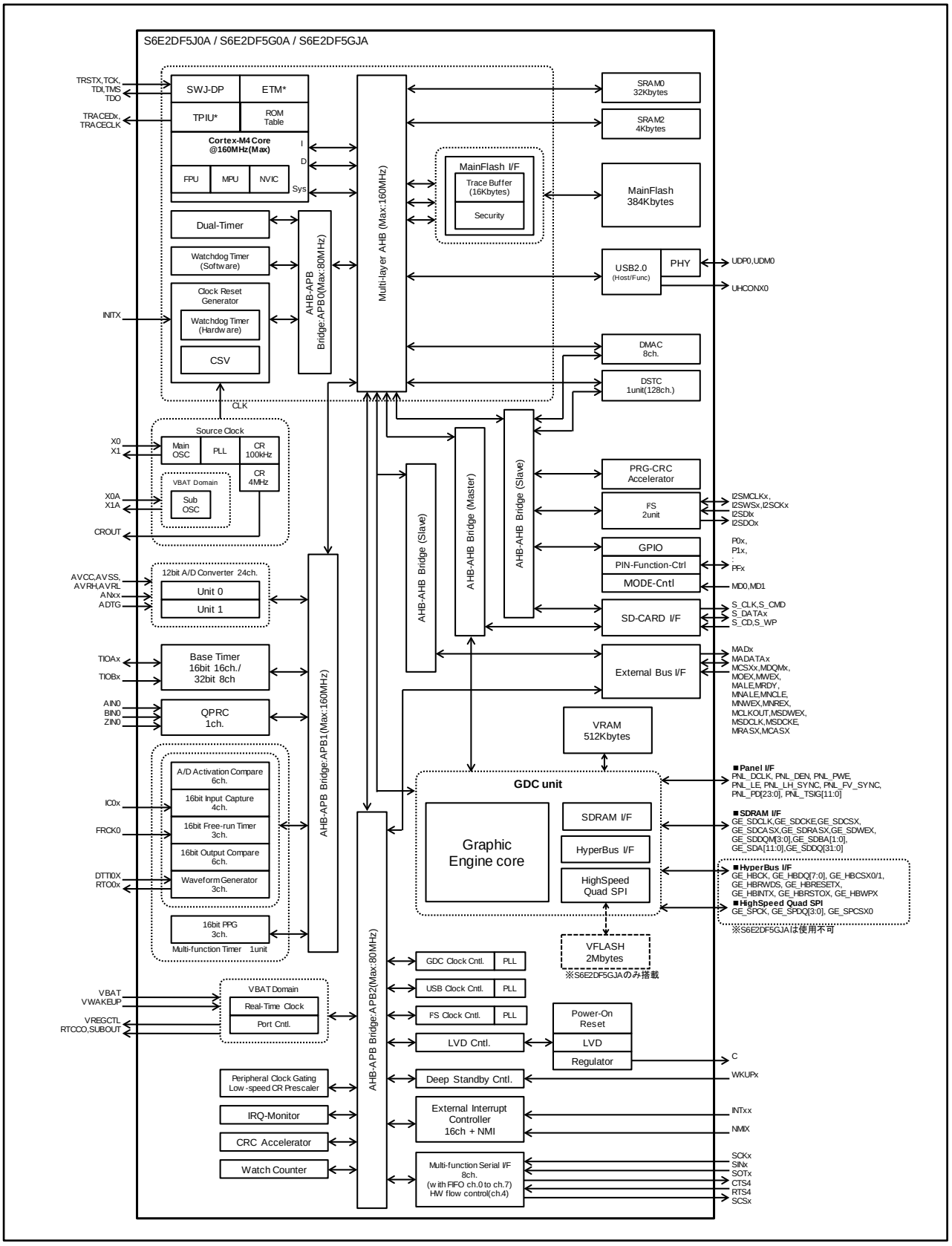


2. N.C.端子は開放端とし何も接続しないでください。
3. 下記ポート設定を行ってください。

   PFR7: bit6=0, bit10=0
   PDOR7: bit6=0, bit10=0
   DDR7: bit6=1, bit10=1

   詳細については『FM4 ファミリ　ペリフェラルマニュアル』の『Chapter 12: I/O ポート』を参照してください。
4. 端子番号 22 の VCC と基板上の GND を可能な限り近づけてバイパスコンデンサを接続してください。

8. ブロックダイヤグラム

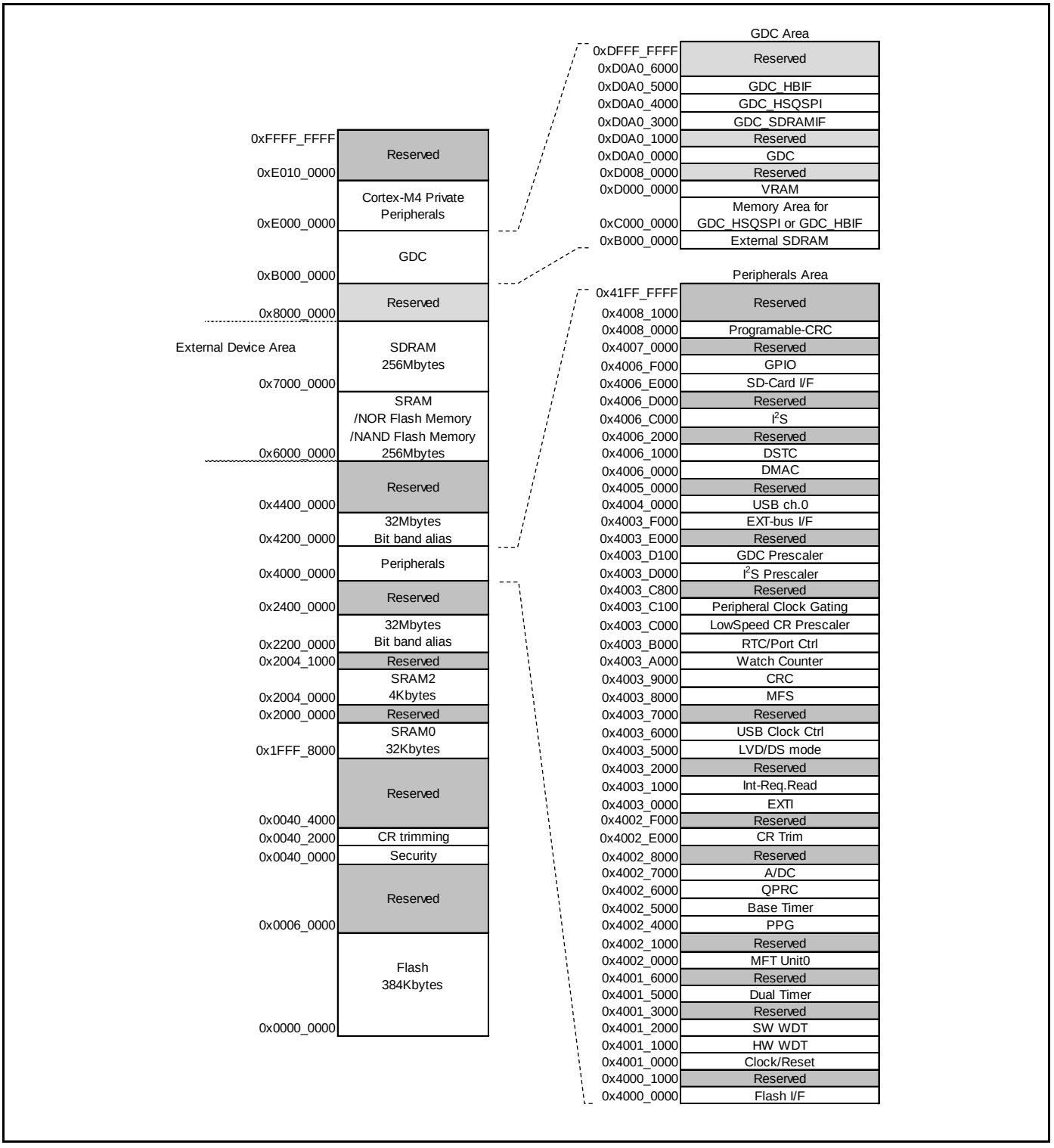


9. メモリサイズ

メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ



ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	メインフラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ 0
0x4002_1000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ(QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み制御部
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_4FFF		予約
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_5FFF		ディープスタンバイ制御部
0x4003_6000	0x4003_6FFF		USB クロック生成回路
0x4003_7000	0x4003_7FFF		CAN プリスケーラ
0x4003_8000	0x4003_8FFF		マルチファンクションシリアルインタフェース
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC/PortCtrl
0x4003_C000	0x4003_C0FF		低速 CR 補正
0x4003_C100	0x4003_C7FF		周辺クロック停止
0x4003_C800	0x4003_CFFF		予約
0x4003_D000	0x4003_D0FF		I^2S プリスケーラ
0x4003_D100	0x4003_DFFF		GDC プリスケーラ
0x4003_E000	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外バス I/F

スタートアドレス	エンドアドレス	バス	周辺機能
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4005_FFFF		予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x4006_1FFF		DSTC レジスタ
0x4006_2000	0x4006_BFFF		予約
0x4006_C000	0x4006_CFFF		I^2S
0x4006_D000	0x4006_DFFF		予約
0x4006_E000	0x4006_EFFF	AHB	SD-Card I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4007_0000	0x4007_FFFF		CAN-FD
0x4008_0000	0x4008_0FFF		Programmable-CRC
0x4008_1000	0x41FF_FFFF		予約
0xB000_0000	0xDFFF_FFFF	AHB	GDC unit

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が L レベルの期間です。

■INITX=1

INITX 端子が H レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 0 に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 1 に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力 0 固定

入力機能が使用できない状態です。内部入力は L に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

端子状態一覧表

端子状態形式	グループ 機能名	パワーオンリセット または 低電圧検出状態	INITX 入力状態	デバイス内部 リセット状態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード復帰直 後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 0 固定	GPIO 選択 内部入力 0 固定	Hi-Z/ 内部入力 0 固定	GPIO 選択
	メイン水晶 発振入力端子/ 外部メイン クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 0 固定	GPIO 選択 内部入力 0 固定	Hi-Z/ 内部入力 0 固定	GPIO 選択
	外部メイン クロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 0 固定	直前状態保持	Hi-Z/ 内部入力 0 固定	直前状態保持
	メイン水晶 発振出力端子	Hi-Z/ 内部入力 0 固定 または 入力可	Hi-Z/ 内部入力 0 固定	Hi-Z/ 内部入力 0 固定	直前状態保持/ 発振停止時[*1] は Hi-Z/ 内部入力 0 固定					
C	INITX 入力端子	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可	GPIO 選択	Hi-Z/ 入力可	GPIO 選択
F	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	直前状態保持
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 0 固定			GPIO 選択
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モード, またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	JTAG 選択時	Hi-Z	プルアップ/入力可	プルアップ/入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力 0 固定	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
H	JTAG 選択時	Hi-Z	プルアップ/入力可	プルアップ/入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	上記以外のリソース選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力 0 固定	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
	GPIO 選択時									
I	リソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力 0 固定	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
	GPIO 選択時									
K	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力 0 固定			
	GPIO 選択時									
L	アナログ入力選択時	Hi-Z	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力 0 固定	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
	GPIO 選択時									
M	アナログ入力選択時	Hi-Z	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可	Hi-Z/内部入力 0 固定/アナログ入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択内部入力 0 固定	Hi-Z/内部入力 0 固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力 0 固定			
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モード, またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
N	アナログ入力選択時	Hi-Z	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択内部入力0固定	Hi-Z/内部入力0固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力0固定			
	GPIO 選択時									
O	アナログ入力選択時	Hi-Z	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可	Hi-Z/内部入力0固定/アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択内部入力0固定	Hi-Z/内部入力0固定	GPIO 選択
	外部割込み許可選択時						直前状態保持			
	上記以外のリソース選択時						Hi-Z/内部入力0固定			
	GPIO 選択時									
P	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力0固定	GPIO 選択内部入力0固定	Hi-Z/内部入力0固定	
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モード, またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
Q	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	WKUP 入力可
	外部割込み許可選択時							GPIO 選択 内部入力 0 固定	Hi-Z/ 内部入力 0 固定	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 0 固定			
	GPIO 選択時									
R	GPIO 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 0 固定	GPIO 選択 内部入力 0 固定	Hi-Z/ 内部入力 0 固定	GPIO 選択
	USB I/O 端子	設定不可	設定不可	設定不可	送信時は Hi-Z/ 受信時は内部入力 0 固定	送信時は Hi-Z/ 受信時は内部入力 0 固定	Hi-Z/ 入力可	Hi-Z/ 入力可	Hi-Z/ 入力可	Hi-Z/ 入力可

*1: サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

VBAT ドメイン端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセット*1	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モード, またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態	VBAT RTC モード状態	VBAT RTC モード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定	電源安定	電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	-	-
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	-	-
S	GPIO選択時	設定不可	内部入力0固定	内部入力0固定	入力可	入力可	入力可	入力可	入力可	入力可	設定禁止	-
	サブ水晶発振入力端子/外部サブクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	直前状態保持	直前状態保持
T	GPIO選択時	設定不可	内部入力0固定	内部入力0固定	入力可	入力可	入力可	入力可	入力可	入力可	設定禁止	-
	外部サブクロック入力選択時	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	サブ水晶発振出力端子	Hi-Z/内部入力0固定または入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持/発振停止時はHi-Z *2	直前状態保持/発振停止時はHi-Z *2	直前状態保持/発振停止時はHi-Z *2	直前状態保持/発振停止時はHi-Z *2	直前状態保持	直前状態保持	直前状態保持
U	リソース選択時	Hi-Z	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO選択時											

*1: VBAT, VCC 電源投入状態

*2: WTOSCCNT レジスタの連携制御ビット(SOSCNTL)が 0 の場合は、直前状態保持。
WTOSCCNT レジスタの連携制御ビット(SOSCNTL)が 1 の場合は、ストップモード, ディープスタンバイストップモード時に発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V_{CC}	V_{SS} - 0.5	V_{SS} + 4.6	V	
電源電圧(VBAT)*1,*3	V_{BAT}	V_{SS} - 0.5	V_{SS} + 4.6	V	
アナログ電源電圧*1,*4	AV_{CC}	V_{SS} - 0.5	V_{SS} + 4.6	V	
アナログ基準電圧*1,*4	AVRH	V_{SS} - 0.5	V_{SS} + 4.6	V	
入力電圧*1	V_I	V_{SS} - 0.5	V_{CC} + 0.5 (≦4.6 V)	V	
		V_{SS} - 0.5	V_{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V_{IA}	V_{SS} - 0.5	AV_{CC} + 0.5 (≦4.6 V)	V	
出力電圧*1	V_O	V_{SS} - 0.5	V_{CC} + 0.5 (≦4.6 V)	V	
L レベル最大出力電流*5	I_{OL}	-	10	mA	2 mA タイプ
			20	mA	4 mA タイプ
			20	mA	8 mA タイプ
			20	mA	11 mA タイプ
			22.4	mA	I^2C Fm+
L レベル平均出力電流*6	I_{OLAV}	-	2	mA	2 mA タイプ
			4	mA	4 mA タイプ
			8	mA	8 mA タイプ
			11	mA	11 mA タイプ
			20	mA	I^2C Fm+
L レベル最大総出力電流	$\sum I_{OL}$	-	100	mA	
L レベル平均総出力電流*7	$\sum I_{OLAV}$	-	50	mA	
H レベル最大出力電流*5	I_{OH}	-	- 10	mA	2 mA タイプ
			-20	mA	4 mA タイプ
			-20	mA	8 mA タイプ
			-20	mA	11 mA タイプ
H レベル平均出力電流*6	I_{OHAV}	-	- 2	mA	2 mA タイプ
			- 4	mA	4 mA タイプ
			- 8	mA	8 mA タイプ
			- 11	mA	11 mA タイプ
H レベル最大総出力電流	$\sum I_{OH}$	-	- 100	mA	
H レベル平均総出力電流*7	$\sum I_{OHAV}$	-	- 50	mA	
消費電力	P_D	-	200	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} =0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くなってはいけません。

*3: V_{BAT} は V_{SS} - 0.5 V より低くなってはいけません。

*4: 電源投入時 V_{CC} + 0.5 V を超えてはいけません。

*5: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*6: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

<注意事項>

- ***絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。***

12.2 推奨動作条件

項目		記号	条件	規格値		単位	備考
				最小	最大		
電源電圧		V_{CC}	-	3.0	3.6	V	*1
				2.7*5	3.6		*2
電源電圧(VBAT)		V_{BAT}	-	1.65	3.6	V	
アナログ電源電圧		AV_{CC}	-	2.7	3.6	V	$AV_{CC} = V_{CC}$
アナログ基準電圧		AVRH	-	*4	AV_{CC}	V	
		AVRL	-	AVss	AVss	V	
平滑コンデンサ容量		C_S	-	1	10	µF	内蔵レギュレータ用*6
動作温度	ジャンクション温度	T_J	-	- 40	+ 125	°C	
	周囲温度	T_A	-	-40	*3	°C	

*1: GDC 部を使用する場合
P81/UDP0, P80/UDM0 端子を USB 端子(UDP0, UDM0)として使用する場合

*2: P81/UDP0, P80/UDM0 端子を GPIO 端子(P81, P80)として使用する場合

*3: 周囲温度(T_A)の最大温度は、ジャンクション温度(T_J)を超えない範囲まで保証可能です。
周囲温度(T_A)の計算式を以下に示します。

$T_A(Max) = T_J(Max) - Pd(Max) \times \theta_{JA}$
Pd: 消費電力(W)
θ_{JA}: パッケージ熱抵抗(°C/W)

$Pd(Max) = V_{CC} \times I_{CC}(Max) + \Sigma (I_{OL} \times V_{OL}) + \Sigma ((V_{CC} - V_{OH}) \times (- I_{OH}))$
I_{OL}: L レベル出力電流
I_{OH}: H レベル出力電流
V_{OL}: L レベル出力電圧
V_{OH}: H レベル出力電圧

*4: アナログ基準電圧は、コンペアクロック周期によって規格値が異なります。
詳細は「12.5 12 ビット A/D コンバータ」の章を参照してください。

*5: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

*6: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。
半導体デバイスは最大許容電力以下で動作が保証されます。

Table 12-1 パッケージ熱抵抗と最大許容電力表

パッケージ	基板	熱抵抗 θ_{JA} (°C/W)	最大許容電流(mW)	
			T_A=+85°C	T_A=+105°C
LQFP: LQM120 (0.5 mm pitch)	4 層	38	1053	526
LQFP: LQM120 *1 (0.5 mm pitch)	4 層	39	1026	513
LQFP: LQP176 (0.5 mm pitch)	4 層	35	1143	571
FBGA: FDJ161 (0.5 mm pitch)	4 層	35	1143	571
Ex-LQFP: LEM120 (0.5 mm pitch)	4 層	18*2	2222	1111

*1: S6E2DF5GJA 製品の場合

*2: Ex-LQFP(TEQFP)-PKG においては、背面露出ダイパッドを基盤に接続処理を行った場合です。
背面露出ダイパッドは直接 GND に接続してください。

＜注意事項＞

1. *推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。*
2. *この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。*
3. *データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。*
4. *記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。*

消費電力(Pd)の算出方法

消費電力は以下の式で表されます。

$Pd = V_{CC} \times I_{CC} + \Sigma (I_{OL} \times V_{OL}) + \Sigma ((V_{CC} - V_{OH}) \times (- I_{OH}))$

I_{OL}: L レベル出力電流

I_{OH}: H レベル出力電流

V_{OL}: L レベル出力電圧

V_{OH}: H レベル出力電圧

I_{CC} はデバイス内で消費される電流です。
以下に分解できます。

$I_{CC} = I_{CC}(INT) + \Sigma I_{CC}(IO)$

$I_{CC}(INT)$: レギュレータを通して内部 Logic, メモリなどで消費される電流

$\Sigma I_{CC}(IO)$: 出力端子にて消費される電流(I/O スイッチング電流)の合計

$I_{CC}(INT)$については「3.直流規格」の「(1)電流規格」によって予測できます (本規格の値は端子固定時の値のため、$I_{CC}(IO)$は含んでいません)。
$I_{CC}(IO)$についてはお客様のシステムに依存します。
以下の計算式により算出してください。

$I_{CC}(IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times fsw$

C_{INT}: 端子内部負荷容量

C_{EXT}: 出力端子の外部負荷容量

f_{SW}: 端子スイッチング周波数

項目	記号	条件	容量値
端子内部負荷容量	C_{INT}	2 mA タイプ	1.93 pF
		4 mA タイプ	3.45 pF
		8 mA タイプ	3.42 pF

お客様ご自身で消費電力を評価可能な場合には、$I_{CC}(Max)$の値は以下のように算出してください。

(1) 常温(+25°C)にて電流値 $I_{CC}(Typ)$を測定

(2) $I_{CC}(Typ)$の値に動作時最大リーク電流値 $I_{CC}(leak_max)$を加算

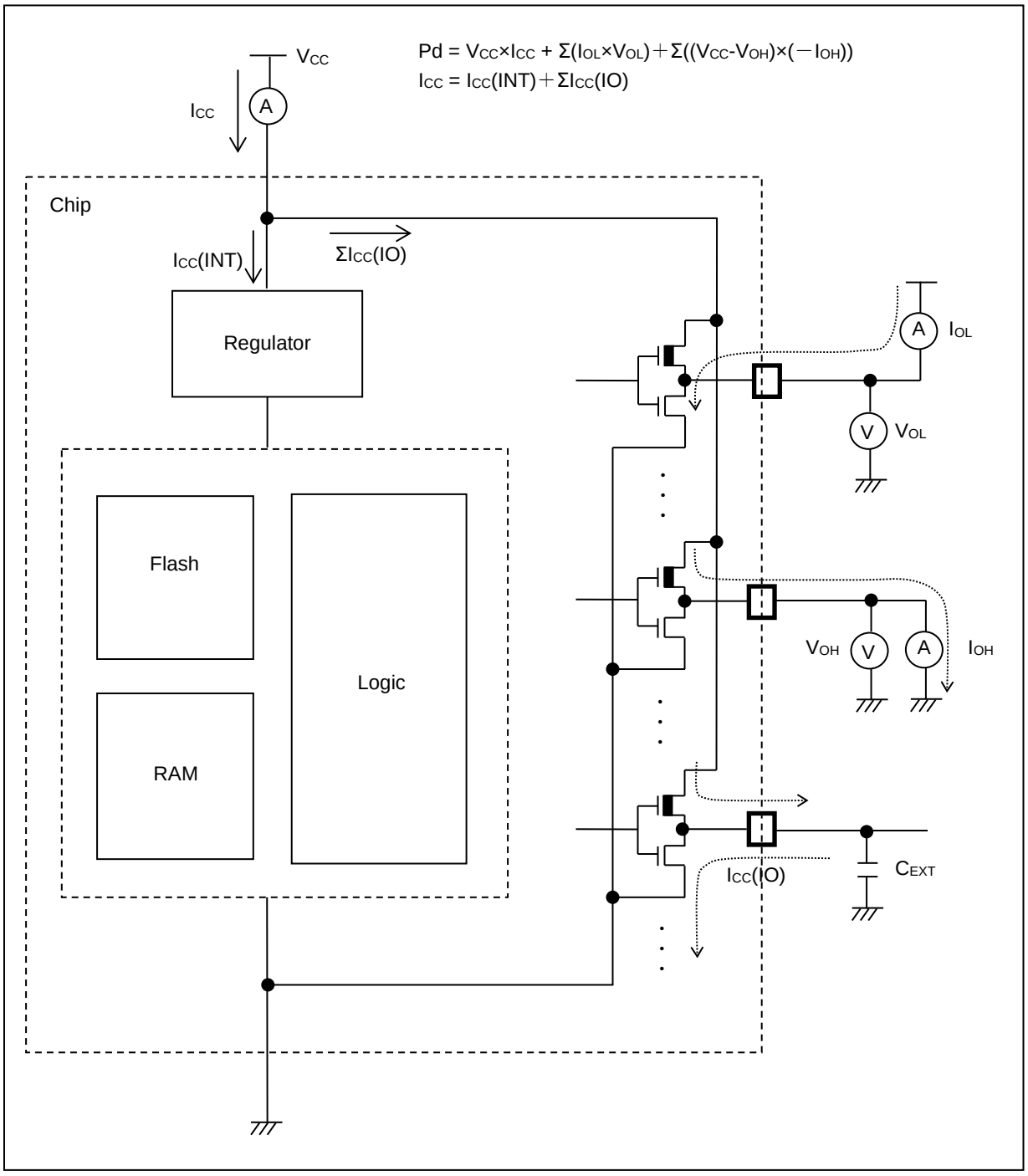
$I_{CC}(Max) = I_{CC}(Typ) + I_{CC}(leak_max)$

項目	記号	条件	電流値
動作時最大リーク電流	$I_{CC}(leak_max)$	T_J=+125 °C	66.8 mA
		T_J=+105 °C	33.7 mA
		T_J=+85 °C	22.8 mA

<注意事項>

- *VFLASH の電流値は含みません*

電流説明図


Pd = VCC×ICC + Σ(IOL×VOL)＋Σ((VCC-VOH)×(－IOH))
ICC = ICC(INT)＋ΣICC(IO)
VCC
ICC
A
Chip
ICC(INT)
ΣICC(IO)
Regulator
Flash
Logic
RAM
A
IOL
V
VOL
VOH
V
A
IOH
ICC(IO)
CEXT

12.3 直流規格

12.3.1 電流規格

Table 12-2 通常動作(PLL)の標準と最大の消費電流，フラッシュ· メモリから実行しているとき (フラッシュアクセラレータモードとトレースバッファ機能が有効)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I_{CC}	VCC	通常動作 *6, *7 (PLL)	*5	160 MHz	182	279	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
					144 MHz	176	270	mA	
					120 MHz	167	256	mA	
					100 MHz	159	244	mA	
					80 MHz	151	233	mA	
					60 MHz	143	221	mA	
					40 MHz	136	210	mA	
					20 MHz	128	199	mA	
					8 MHz	123	191	mA	
					4 MHz	122	190	mA	
			通常動作 *6, *7 (PLL)	*5	160 MHz	43	117	mA	*3 周辺クロック すべて OFF 時
					144 MHz	39	112	mA	
					120 MHz	34	106	mA	
					100 MHz	29	100	mA	
					80 MHz	24	95	mA	
					60 MHz	20	90	mA	
					40 MHz	15	84	mA	
					20 MHz	10	78	mA	
					8 MHz	7	74	mA	
					4 MHz	6	73	mA	

*1: T_A=+25 °C, V_{CC}=3.3 V

*2: T_J=+125 °C, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2

*5: フラッシュアクセラレータモード，トレースバッファ機能動作 (FRWTR.RWT=10, FBFCR.BE=1)のとき

*6: メインフラッシュメモリ、VFLASH メモリへのデータアクセスなし。

*7: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 12-3 通常動作(PLL)の標準と最大の消費電流，データアクセスを含むコードがフラッシュ· メモリから実行しているとき(フラッシュアクセラレータモードとトレースバッファ機能が無効)

項目	記号	端子名	条件		周波数[*4]	規格値		単位	備考
						標準[*1]	最大[*2]		
電源電流	I_{CC}	VCC	通常動作 *6, *7, *8 (PLL)	*5	160 MHz	185	285	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
					144 MHz	179	276	mA	
					120 MHz	169	261	mA	
					100 MHz	161	250	mA	
					80 MHz	154	239	mA	
					60 MHz	146	227	mA	
					40 MHz	138	215	mA	
					20 MHz	130	204	mA	
					8 MHz	125	196	mA	
					4 MHz	124	195	mA	
			通常動作 *6, *7, *8 (PLL)	*5	160 MHz	45	122	mA	*3 周辺クロック すべて OFF 時
					144 MHz	41	117	mA	
					120 MHz	36	111	mA	
					100 MHz	31	105	mA	
					80 MHz	26	99	mA	
					60 MHz	22	94	mA	
					40 MHz	17	89	mA	
					20 MHz	12	83	mA	
					8 MHz	10	80	mA	
					4 MHz	9	79	mA	

*1: T_A=+25 °C, V_{CC}=3.3 V

*2: T_J=+125 °C, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK

*5: フラッシュアクセラレータモード，トレースバッファ機能停止 (FRWTR.RWT=10, FBFCR.BE=0)のとき

*6: メインフラッシュメモリへのデータアクセスあり。

*7: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*8: VFLASH メモリへのデータアクセスなし。

Table 12-4 通常動作(PLL)の標準と最大の消費電流，データアクセスを含むコードがフラッシュ· メモリから実行しているとき(フラッシュ 0 サイクルウェイトモード，リードアクセス 0 ウェイト)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I_{CC}	VCC	通常動作 *6, *7, *8 (PLL)	*5	72 MHz	168	251	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
					60 MHz	161	242	mA	
					48 MHz	154	233	mA	
					36 MHz	147	224	mA	
					24 MHz	140	214	mA	
					12 MHz	133	205	mA	
					8 MHz	131	202	mA	
					4 MHz	128	199	mA	
				*5	72 MHz	41	114	mA	*3 周辺クロック すべて OFF 時
					60 MHz	36	108	mA	
					48 MHz	32	104	mA	
					36 MHz	27	98	mA	
					24 MHz	23	94	mA	
					12 MHz	18	88	mA	
					8 MHz	17	87	mA	
					4 MHz	15	85	mA	

*1: T_A=+25 °C, V_{CC}=3.3 V

*2: T_J=+125 °C, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK

*5: フラッシュ 0 サイクルウェイトモード，リードアクセス 0 ウェイト (FRWTR.RWT=00, FSYNDN.SD=000)のとき

*6: メインフラッシュメモリへのデータアクセスあり。

*7: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*8: VFLASH メモリへのデータアクセスなし。

Table 12-5 通常動作(PLL 以外)の標準と最大の消費電流，データアクセスを含むコードがフラッシュ· メモリから実行しているとき(フラッシュ 0 サイクルウェイトモード，リードアクセス 0 ウェイト)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I_{CC}	VCC	通常動作 *6,*8 (内蔵高速 CR)	*5	4 MHz	110	181	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
						4.1	74	mA	*3 周辺クロック すべて OFF 時
			通常動作 *6,*7,*8 (サブ発振)	*5	32 kHz	0.7	76.65	mA	*3 周辺クロック すべて ON 時
						0.69	71.65	mA	*3 周辺クロック すべて OFF 時
			通常動作 *6,*8 (内蔵低速 CR)	*5	100 kHz	0.74	88.65	mA	*3 周辺クロック すべて ON 時
						0.73	74.65	mA	*3 周辺クロック すべて OFF 時

*1: T_A=+25 ℃, V_{CC}=3.3 V

*2: T_J=+125 ℃, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2

*5: フラッシュ 0 サイクルウェイトモード，リードアクセス 0 ウェイト (FRWTR.RWT=00, FSYNDN.SD=000)のとき

*6: メインフラッシュメモリへのデータアクセスあり。

*7: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

*8: VFLASH メモリへのデータアクセスなし。

Table 12-6 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2 のとき

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCS}	VCC	Sleep 動作*5,*6 (PLL)	160 MHz	103	181	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
				144 MHz	98	175	mA	
				120 MHz	91	168	mA	
				100 MHz	86	162	mA	
				80 MHz	80	155	mA	
				60 MHz	74	149	mA	
				40 MHz	69	143	mA	
				20 MHz	63	137	mA	
				8 MHz	59	132	mA	
				4 MHz	58	131	mA	
			Sleep 動作*5,*6 (PLL)	160 MHz	24	91	mA	*3 周辺クロック すべて OFF 時
				144 MHz	22	89	mA	
				120 MHz	19	86	mA	
				100 MHz	16	83	mA	
				80 MHz	14	81	mA	
				60 MHz	11	78	mA	
				40 MHz	9	76	mA	
				20 MHz	6	73	mA	
				8 MHz	5	72	mA	
				4 MHz	4	71	mA	

*1: T_A=+25 °C, V_{CC}=3.3 V

*2: T_J=+125 °C, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: VFLASH メモリへのデータアクセスなし。

Table 12-7 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK のとき

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCS}	VCC	Sleep 動作*5,*6 (PLL)	72 MHz	84	160	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
				60 MHz	80	155	mA	
				48 MHz	75	150	mA	
				36 MHz	71	145	mA	
				24 MHz	67	141	mA	
				12 MHz	63	137	mA	
				8 MHz	61	134	mA	
				4 MHz	60	133	mA	
				72 MHz	15	82	mA	*3 周辺クロック すべて OFF 時
				60 MHz	13	80	mA	
				48 MHz	12	79	mA	
				36 MHz	10	77	mA	
				24 MHz	8	75	mA	
				12 MHz	7	74	mA	
				8 MHz	6	73	mA	
				4 MHz	5	72	mA	

*1: T_A=+25 °C, V_{CC}=3.3 V

*2: T_J=+125 °C, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: VFLASH メモリへのデータアクセスなし。

Table 12-8 Sleep 動作(PLL 以外)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2 のとき

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCS}	VCC	Sleep 動作*6 (内蔵高速 CR)	4 MHz	56	126	mA	*3 周辺クロック すべて ON 時 GDC クロック 160MHz 時
					2	72	mA	*3 周辺クロック すべて OFF 時
			Sleep 動作*5,*6 (サブ発振)	32 kHz	0.52	69.65	mA	*3 周辺クロック すべて ON 時
					0.51	69.65	mA	*3 周辺クロック すべて OFF 時
			Sleep 動作*6 (内蔵低速 CR)	100 kHz	0.54	70.65	mA	*3 周辺クロック すべて ON 時
					0.52	69.65	mA	*3 周辺クロック すべて OFF 時

*1: T_A=+25 ℃, V_{CC}=3.3 V

*2: T_J=+125 ℃, V_{CC}=3.6 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2

*5: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

*6: VFLASH メモリへのデータアクセスなし。

Table 12-9 ストップモード, タイマモード, RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCH}	VCC	ストップモード	-	0.41	2.07	mA	*3, *4 T_A=+25°C
					-	21.35	mA	*3, *4 T_A=+85°C
					-	30.57	mA	*3, *4 T_A=+105°C
	I_{CCT}		タイマモード (内蔵高速 CR)	4 MHz	1.14	2.8	mA	*3, *4 T_A=+25°C
					-	22.08	mA	*3, *4 T_A=+85°C
					-	31.3	mA	*3, *4 T_A=+105°C
			タイマモード*5 (サブ発振)	32 kHz	0.43	2.09	mA	*3, *4 T_A=+25°C
					-	21.37	mA	*3, *4 T_A=+85°C
					-	30.59	mA	*3, *4 T_A=+105°C
			タイマモード (内蔵低速 CR)	100 kHz	0.43	2.09	mA	*3, *4 T_A=+25°C
					-	21.37	mA	*3, *4 T_A=+85°C
					-	30.59	mA	*3, *4 T_A=+105°C
	I_{CCR}		RTC モード*5 (サブ発振)	32 kHz	0.41	2.07	mA	*3, *4 T_A=+25°C
					-	21.35	mA	*3, *4 T_A=+85°C
					-	30.57	mA	*3, *4 T_A=+105°C

*1: V_{CC}=3.3 V

*2: V_{CC}=3.6 V

*3: 全ポート固定時

*4: LVD OFF 時

*5: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

Table 12-10 ディープスタンバイストップモード, ディープスタンバイ RTC モード, VBAT の標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCHD}	VCC	ディープスタンバイストップモード (RAM OFF 時)	-	108	173	µA	*3, *4 T_A=+25°C
					-	1774	µA	*3, *4 T_A=+85°C
					-	2208	µA	*3, *4 T_A=+105°C
			ディープスタンバイストップモード (RAM ON 時)		112	177	µA	*3, *4 T_A=+25°C
					-	1778	µA	*3, *4 T_A=+85°C
					-	2212	µA	*3, *4 T_A=+105°C
	I_{CCRD}		ディープスタンバイ RTC モード (RAM OFF 時)	32kHz	109	174	µA	*3, *4 T_A=+25°C
					-	1771	µA	*3, *4 T_A=+85°C
					-	2205	µA	*3, *4 T_A=+105°C
			ディープスタンバイ RTC モード (RAM ON 時)		113	178	µA	*3, *4 T_A=+25°C
					-	1775	µA	*3, *4 T_A=+85°C
					-	2209	µA	*3, *4 T_A=+105°C
	I_{CCVBAT}	VBAT	RTC 停止*8	-	0.009	0.032	µA	*3, *4, *5 T_A=+25°C
					-	0.994	µA	*3, *4, *5 T_A=+85°C
					-	1.491	µA	*3, *4, *5 T_A=+105°C
			RTC 動作*6,*8		1.0	1.636	µA	*3, *4 T_A=+25°C
					-	2.828	µA	*3, *4 T_A=+85°C
					-	4.242	µA	*3, *4 T_A=+105°C
			RTC 動作*7,*8		0.7	1.153	µA	*3, *4 T_A=+25°C
					-	2.277	µA	*3, *4 T_A=+85°C
					-	3.416	µA	*3, *4 T_A=+105°C

*1: V_{CC}=3.3 V
*2: V_{CC}=3.6 V
*3: 全ポート固定時
*4: LVD OFF 時
*5: サブ発振 OFF 時
*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)　標準設定(CCS/CCB=11001110)のとき
*7: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)　低消費電力設定(CCS/CCB=00000100)のとき
*8: VCC 電源投入後、RTC の設定を行った時

Table 12-11 低電圧検出回路, メインフラッシュメモリ書込み/消去, VFLASH メモリの標準と最大の消費電流

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
低電圧検出回路 (LVD) 電源電流	I_{CCLVD}	VCC	動作時	-	4	7	µA	割込み発生用
メインフラッシュメモリ 書込み/消去電流	$I_{CCFLASH}$		書込み/消去時	-	13.4	15.8	mA	
VFLASH メモリ スタンバイ電流	$I_{CCVFLASH}$		スタンバイ時	-	15	35	µA	
VFLASH メモリ 読出し電流			リード時	-	9	14	mA	40MHz 時
					13	20		80MHz 時
VFLASH メモリ 書込み/消去電流			書込み/消去時	-	20	25	mA	

ペリフェラル消費電流

クロック系列	ペリフェラル		単位	周波数(MHz)			単位	備考
				40	80	160		
HCLK	GPIO		全ポート	0.30	0.60	1.19	mA	T_A=+25°C V_{CC}=3.3 V
	DMAC		-	0.99	1.95	3.82		
	DSTC		-	0.41	0.83	1.61		
	外バス I/F		-	0.18	0.35	0.70		
	SD カード I/F		-	0.52	1.02	2.03		
	USB		1ch.	0.47	0.93	1.85		
	I^2S		1unit	0.36	0.71	1.42		
	プログラマブル CRC		-	0.04	0.09	0.18		
PCLK1	ベースタイマ		4ch.	0.20	0.39	0.76	mA	T_A=+25°C V_{CC}=3.3 V
	多機能タイマ/PPG		1unit/4ch.	0.61	1.21	2.40		
	クアッドカウンタ		1ch.	0.04	0.09	0.18		
	A/DC		1unit	0.25	0.50	1.00		
PCLK2	マルチファンクション シリアル		1ch.	0.44	0.88	-	mA	T_A=+25°C V_{CC}=3.3 V
GECLK	GDC unit	GDC	1unit	31	57	109	mA	T_A=+25°C V_{CC}=3.3 V
		High-Speed Quad SPI	1ch.	1.1	2.3	-		
		HyperBus I/F	1unit	0.6	1.2	-		
		SDRAM I/F	1ch.	2.3	4.6	-		

12.3.2 端子特性

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス入力端子, MD0, MD1	-	V_{CC}×0.8	-	V_{CC} + 0.3	V	
		5 V トレラント入力端子	-	V_{CC}×0.8	-	V_{SS} + 5.5	V	
		I^2C Fm+兼用入力端子	-	V_{CC}×0.7	-	V_{SS} + 5.5	V	
		TTL シュミット入力端子	-	2.0	-	V_{CC}+0.3	V	
L レベル入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス入力端子, MD0, MD1	-	V_{SS} - 0.3	-	V_{CC}×0.2	V	
		5 V トレラント入力端子	-	V_{SS} - 0.3	-	V_{CC}×0.2	V	
		I^2C Fm+兼用入力端子	-	V_{SS}	-	V_{CC}×0.3	V	
		TTL シュミット入力端子	-	V_{SS} - 0.3	-	0.8	V	
H レベル出力電圧	V_{OH}	2 mA タイプ	I_{OH} = - 2 mA	V_{CC} - 0.5	-	V_{CC}	V	
		4 mA タイプ	I_{OH} = - 4 mA	V_{CC} - 0.5	-	V_{CC}	V	
		8 mA タイプ	I_{OH} = - 8 mA	V_{CC} - 0.5	-	V_{CC}	V	
		11 mA タイプ	I_{OH} = - 11 mA	V_{CC} - 0.5	-	V_{CC}	V	高速 IO
		USB I/O 兼用	I_{OH} = - 13.0 mA	V_{CC} - 0.4	-	V_{CC}	V	
		I^2C Fm+兼用	I_{OH} = - 3 mA	V_{CC} - 0.5	-	V_{CC}	V	GPIO 時
L レベル出力電圧	V_{OL}	2 mA タイプ	I_{OL} = 2 mA	V_{SS}	-	0.4	V	
		4 mA タイプ	I_{OL} = 4 mA	V_{SS}	-	0.4	V	
		8 mA タイプ	I_{OL} = 8 mA	V_{SS}	-	0.4	V	
		11 mA タイプ	I_{OL} = 11 mA	V_{SS}	-	0.4	V	
		USB I/O 兼用	I_{OL} = 10.5 mA	V_{SS}	-	0.4	V	
		I^2C Fm+兼用	I_{OL} = 3 mA	V_{SS}	-	0.4	V	GPIO 時
			I_{OL} = 20 mA					I^2C Fm+時
入力リーク電流	I_{IL}	-	-	- 5	-	+ 5	µA	
プルアップ抵抗値	R_{PU}	プルアップ端子	-	30	80	200	kΩ	
			-	15	33	70		高速 IO
入力容量	C_{IN}	VCC, VBAT, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

12.4 交流規格

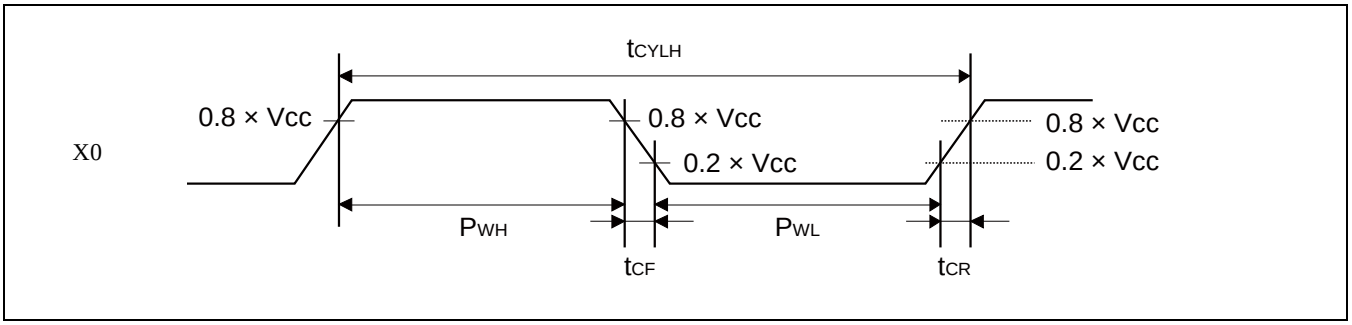
12.4.1 メインクロック入力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CH}	X0, X1	-	4	20	MHz	水晶発振子接続時
			-	4	20	MHz	外部クロック時
入力クロック周期	t_{CYLH}		-	50	250	ns	外部クロック時
入力クロック パルス幅	-		P_{WH}/t_{CYLH}, P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック 立上り，立下り時間	t_{CF}, t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	f_{CM}	-	-	-	160	MHz	マスタクロック
	f_{CC}	-	-	-	160	MHz	ベースクロック (HCLK/FCLK)
	f_{CP0}	-	-	-	80	MHz	APB0 バスクロック*2
	f_{CP1}	-	-	-	160	MHz	APB1 バスクロック*2
	f_{CP2}	-	-	-	80	MHz	APB2 バスクロック*2
内部動作クロック*1 サイクル時間	t_{CYCC}	-	-	5	-	ns	ベースクロック (HCLK/FCLK)
	t_{CYCP0}	-	-	10	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	5	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	10	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 2-1: クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「8. ブロックダイヤグラム」を参照してください。

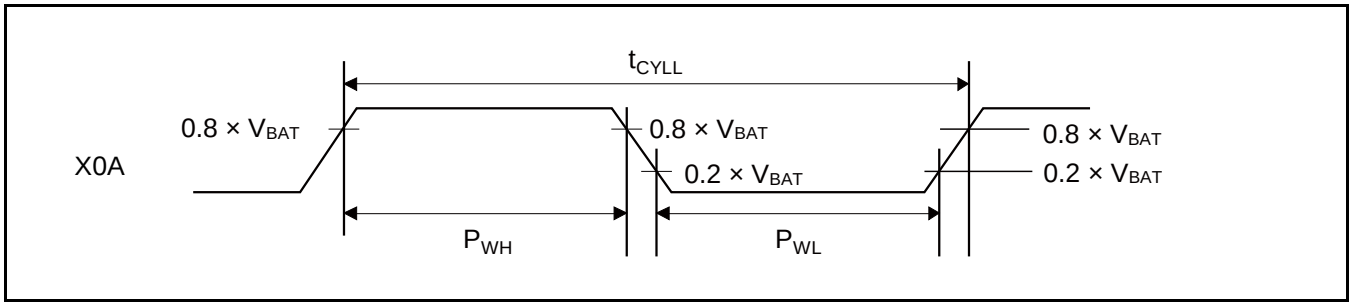


12.4.2 サブクロック入力規格

(V_{BAT} = 1.65V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時*
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	µs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL}, P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時

*: ご使用する水晶振動子については、「7. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	T_J = - 20°C～+ 105°C	3.92	4	4.08	MHz	トリミング時*1
		T_J = - 40°C～+ 125°C	3.88	4	4.12		
		T_J = - 40°C～+ 125°C	2.9	4	5		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	µs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値として設定した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	4	-	16	MHz	
PLL 逓倍率	-	13	-	100	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	200	-	400	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	160	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 2-1: クロック』を参照してください。

12.4.5 USB 用 PLL・I²S 用 PLL・GDC 用 PLL の使用条件(PLL の入力クロックにメインクロックを使用)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	4	-	16	MHz	
PLL 逓倍率	-	13	-	100	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	200	-	400	MHz	USB/GDC 用
				384	MHz	I^2S 用
USB クロック周波数*2	f_{CLKPLL}	-	-	50	MHz	M 分周後の周波数
I2S クロック周波数*3	f_{CLKPLL}	-	-	12.288	MHz	M 分周後の周波数
GDC クロック周波数*4	f_{CLKPLL}	-	-	160	MHz	GDC 部で分周後

*1: PLL の発振が安定するまでの待ち時間

*2: USB クロックの詳細については、『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 2-2: USB クロック生成』を参照してください。

*3: I^2S クロックの詳細については、『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 7-1: I^2S クロック生成』を参照してください。

*4: GDC クロックの詳細については、『FM4 ファミリ ペリフェラルマニュアル GDC 編(002-04961)』を参照してください。

12.4.6 メインPLL の使用条件(メインPLL の入力クロックに内蔵高速CR クロックを使用)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	3.8	4	4.2	MHz	
PLL 逓倍率	-	50	-	95	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	190	-	400	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	160	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 2-1: クロック』を参照してください。

<注意事項>

- *メインPLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速CR クロック(CLKHC)を入力してください。*

12.4.7 リセット入力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.8 パワーオンリセットタイミング

(V_{SS} = 0V)

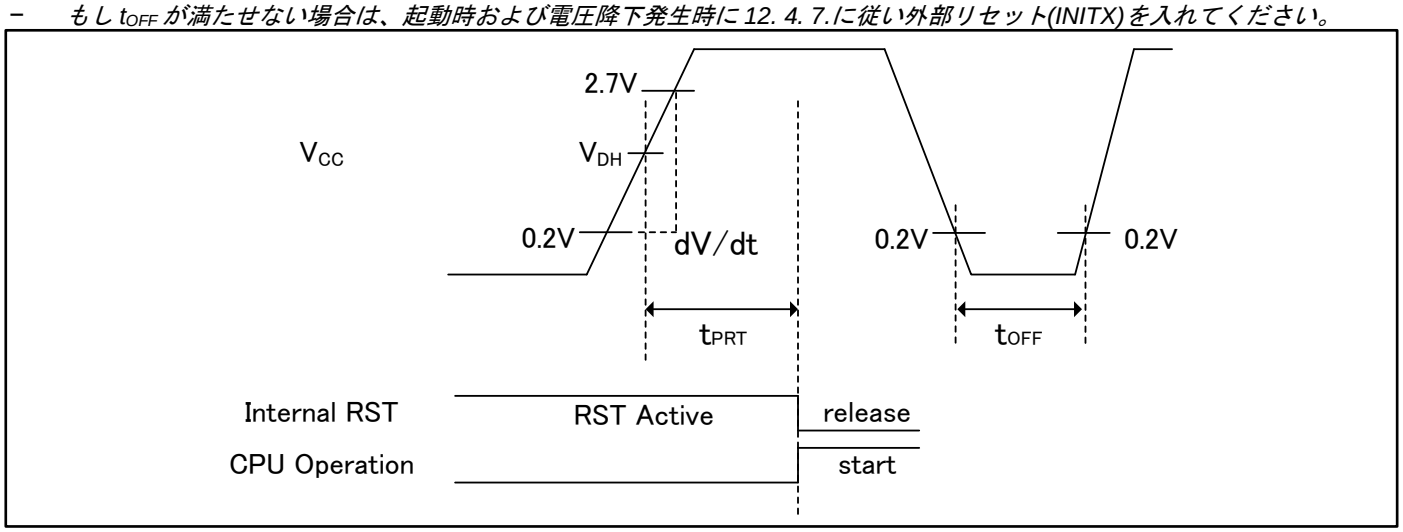
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	1	-	-	ms	*1
電源立上り速度	dV/dt		Vcc: 0.2V ～ 2.7V	0.6	-	1000	mV/µs	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.33	-	0.60	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。 この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start (t_{OFF}>1ms) のパワーオン時に適用されます。

<注意事項>

– もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12. 4. 7.に従い外部リセット(INITX)を入れてください。



用語

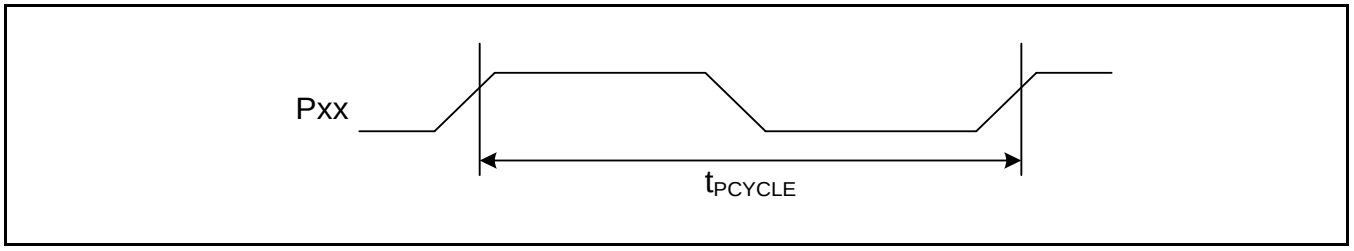
□ VDH: 低電圧検出リセット解除電圧「12.7 低電圧検出特性」を参照してください。

12.4.9 GPIO 出力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{PCYCLE}	Pxx*	-	-	32	MHz	

*: GPIO が対象です。



12.4.10 外バスタイミング

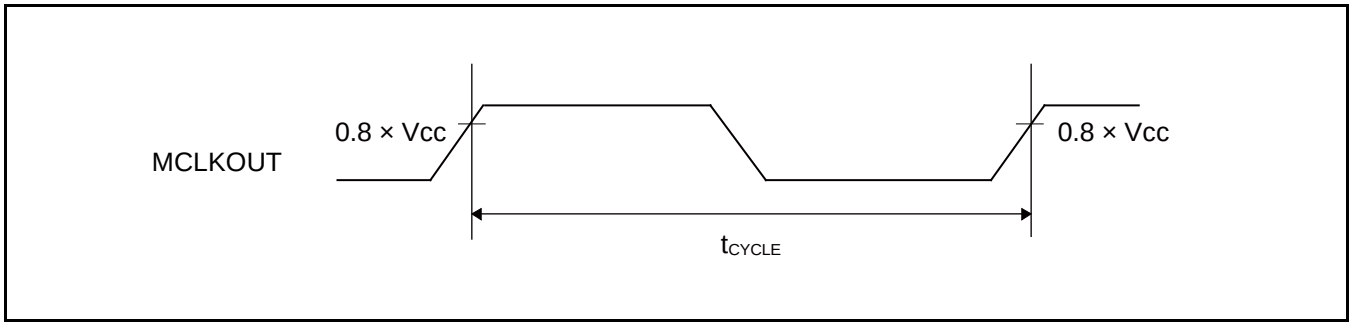
外バスクロック出力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{CYCLE}	MCLKOUT*1		-	50*2	MHz	

*1: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。
設定の詳細は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 14: 外部バスインタフェース』を参照してください。

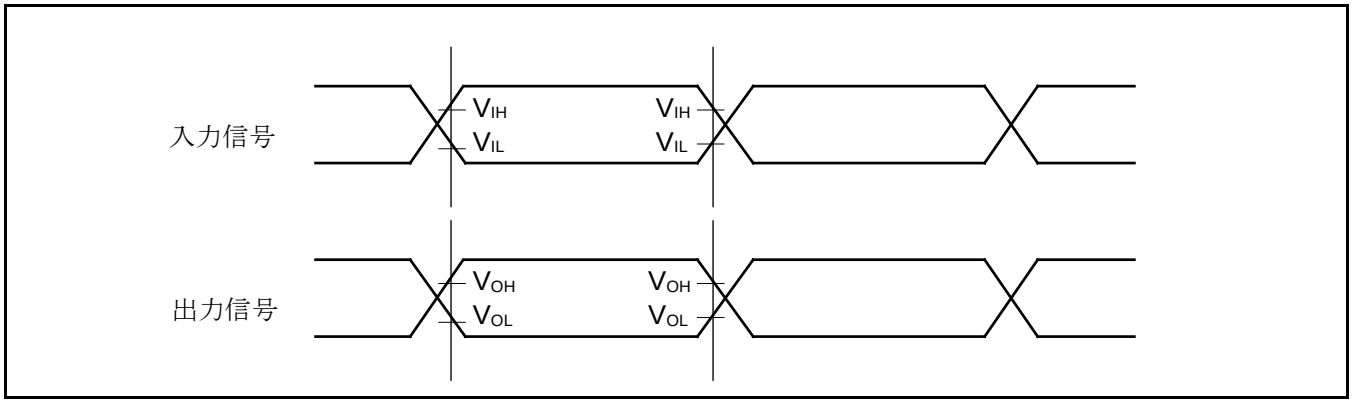
*2: AHB バスクロックが 100 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。



外バス信号入出力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	0.8 × V_{CC}	V	
	V_{IL}		0.2 × V_{CC}	V	
信号出力規格	V_{OH}		0.8 × V_{CC}	V	
	V_{OL}		0.2 × V_{CC}	V	



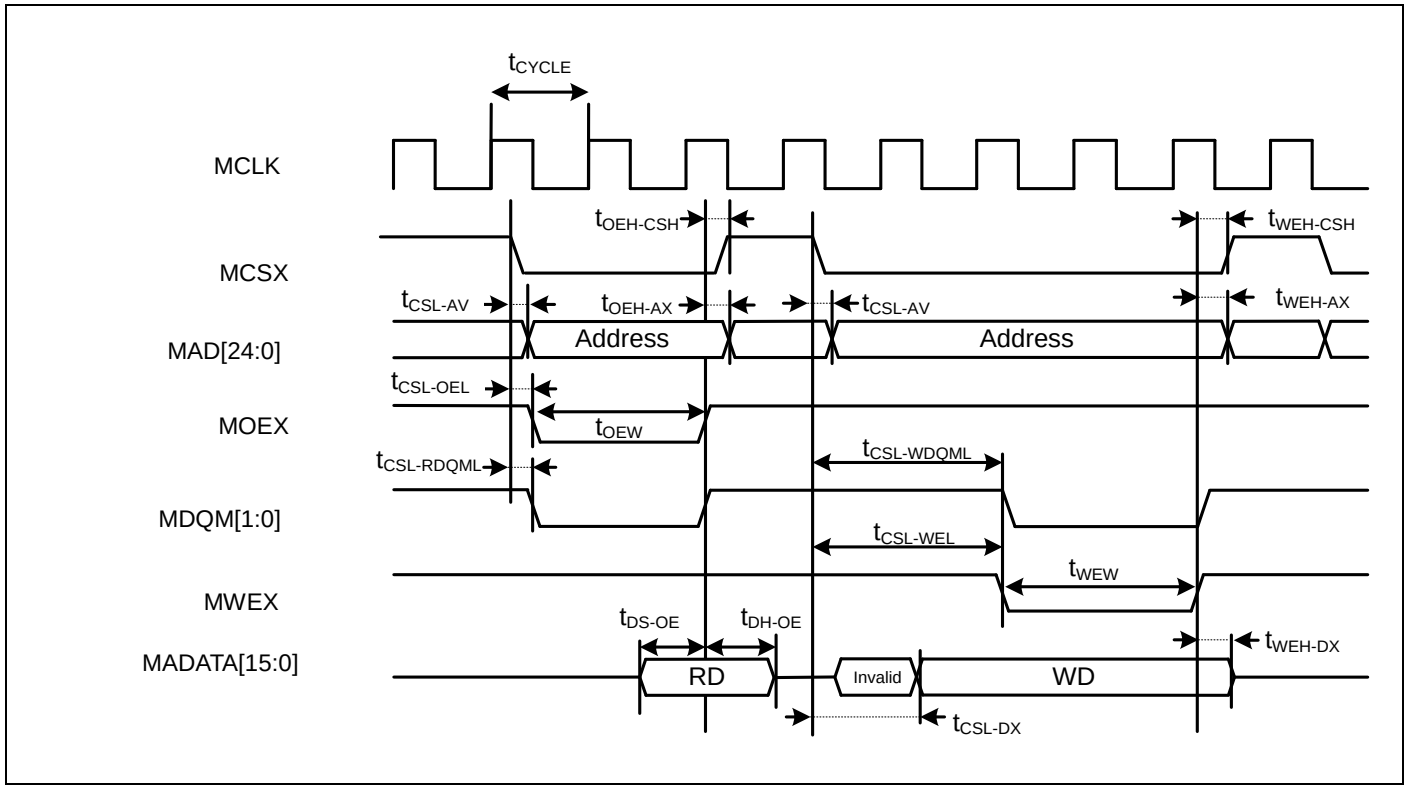
セパレートバスアクセス　非同期 SRAM モード

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MOEX 最小パルス幅	t_{OEW}	MOEX	-	MCLK×n-3	-	ns	
MCSX↓→アドレス出力遅延時間	t_{CSL-AV}	MCSX, MAD[24:0]	-	-9	+9	ns	
MOEX↑→アドレスホールド時間	t_{OEH-AX}	MOEX, MAD[24:0]	-	0	MCLK×m+9	ns	
MCSX↓→MOEX↓遅延時間	$t_{CSL-OEL}$	MOEX, MCSX[7:0]	-	MCLK×m-9	MCLK×m+9	ns	
MOEX↑→MCSX↑時間	$t_{OEH-CSH}$		-	0	MCLK×m+9	ns	
MCSX↓→MDQM↓遅延時間	$t_{CSL-RDQML}$	MCSX, MDQM[1:0]	-	MCLK×m-9	MCLK×m+9	ns	
データセットアップ→MOEX↑時間	t_{DS-OE}	MOEX, MADATA[15:0]	-	20	-	ns	
MOEX↑→データホールド時間	t_{DH-OE}	MOEX, MADATA[15:0]	-	0	-	ns	
MWEX 最小パルス幅	t_{WEW}	MWEX	-	MCLK×n-3	-	ns	
MWEX↑→アドレス出力遅延時間	t_{WEH-AX}	MWEX, MAD[24:0]	-	0	MCLK×m+9	ns	
MCSX↓→MWEX↓遅延時間	$t_{CSL-WEL}$	MWEX, MCSX	-	MCLK×n-9	MCLK×n+9	ns	
MWEX↑→MCSX↑遅延時間	$t_{WEH-CSH}$		-	0	MCLK×m+9	ns	
MCSX↓→MDQM↓遅延時間	$t_{CSL-WDQML}$	MCSX, MDQM[1:0]	-	MCLK×n-9	MCLK×n+9	ns	
MCSX↓→データ出力時間	t_{CSL-DX}	MCSX, MADATA[15:0]	-	MCLK-9	MCLK+9	ns	
MWEX↑→データホールド時間	t_{WEH-DX}	MWEX, MADATA[15:0]	-	0	MCLK×m+9	ns	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時 (m=0～15, n=1～16)*


tCYCLE
MCLK
MCSX
MAD[24:0]
MOEX
MDQM[1:0]
MWEX
MADATA[15:0]
tOEH-CSH
tWEH-CSH
tCSL-AV
tOEH-AX
tCSL-AV
tWEH-AX
Address
Address
tCSL-OEL
tOEW
tCSL-RDQML
tCSL-WDQML
tCSL-WEL
tWEW
tDS-OE
tDH-OE
tWEH-DX
RD
Invalid
WD
tCSL-DX

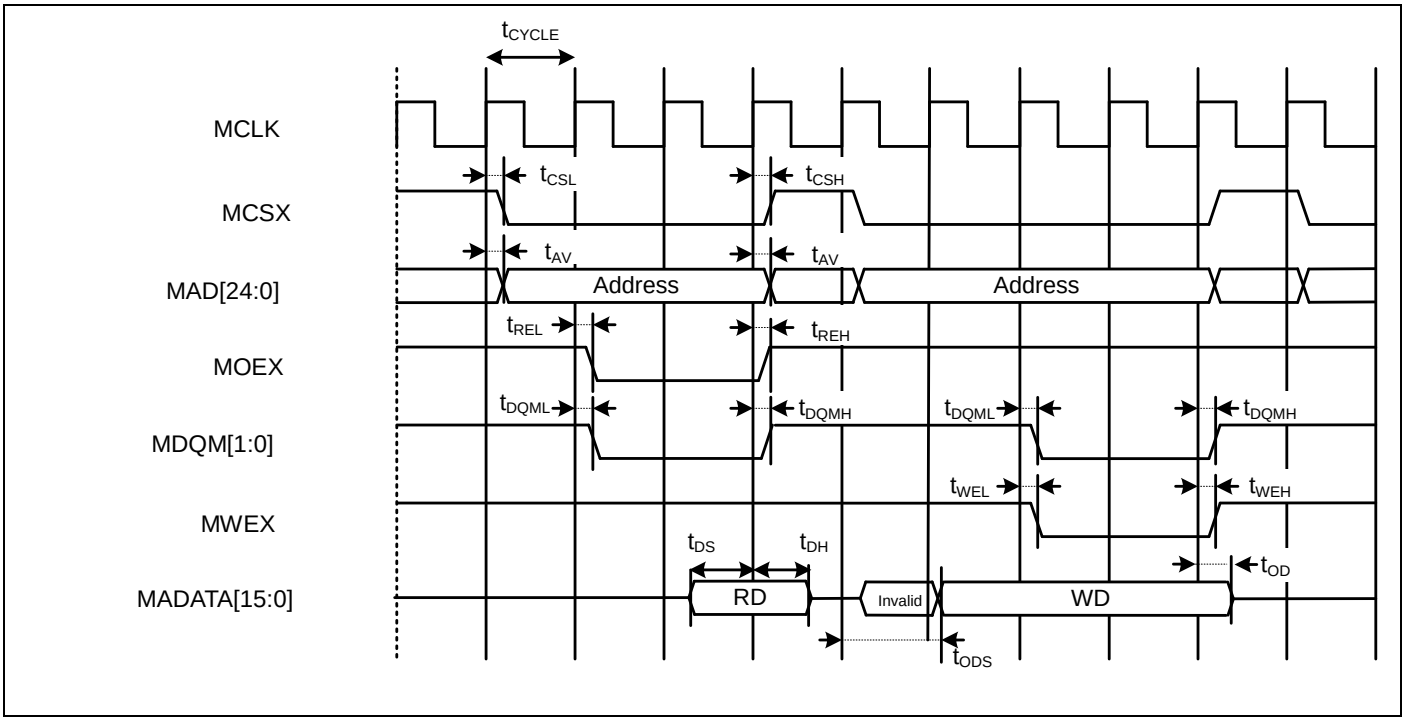
セパレートバスアクセス　同期 SRAM モード

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
アドレス遅延時間	t_{AV}	MCLK, MAD[24:0]	-	1	9	ns	
MCSX 遅延時間	t_{CSL}	MCLK, MCSX	-	1	9	ns	
	t_{CSH}		-	1	9	ns	
MOEX 遅延時間	t_{REL}	MCLK, MOEX	-	1	9	ns	
	t_{REH}		-	1	9	ns	
データセットアップ→ MCLK↑時間	t_{DS}	MCLK, MADATA[15:0]	-	19	-	ns	
MCLK↑→ データホールド時間	t_{DH}	MCLK, MADATA[15:0]	-	0	-	ns	
MWEX 遅延時間	t_{WEL}	MCLK, MWEX	-	1	9	ns	
	t_{WEH}		-	1	9	ns	
MDQM[1:0]遅延時間	t_{DQML}	MCLK, MDQM[1:0]	-	1	9	ns	
	t_{DQMH}		-	1	9	ns	
MCLK↑→ データ出力時間	t_{ODS}	MCLK, MADATA[15:0]	-	MCLK+1	MCLK+18	ns	
MCLK↑→ データホールド時間	t_{OD}	MCLK, MADATA[15:0]	-	1	18	ns	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時*


tCYCLE
MCLK
MCSX
MAD[24:0]
MOEX
MDQM[1:0]
MWEX
MADATA[15:0]
tCSL
tCSH
tAV
tAV
Address
Address
tREL
tREH
tDQML
tDQMH
tDQML
tDQMH
tWEL
tWEH
tDS
tDH
tOD
RD
Invalid
WD
tODS

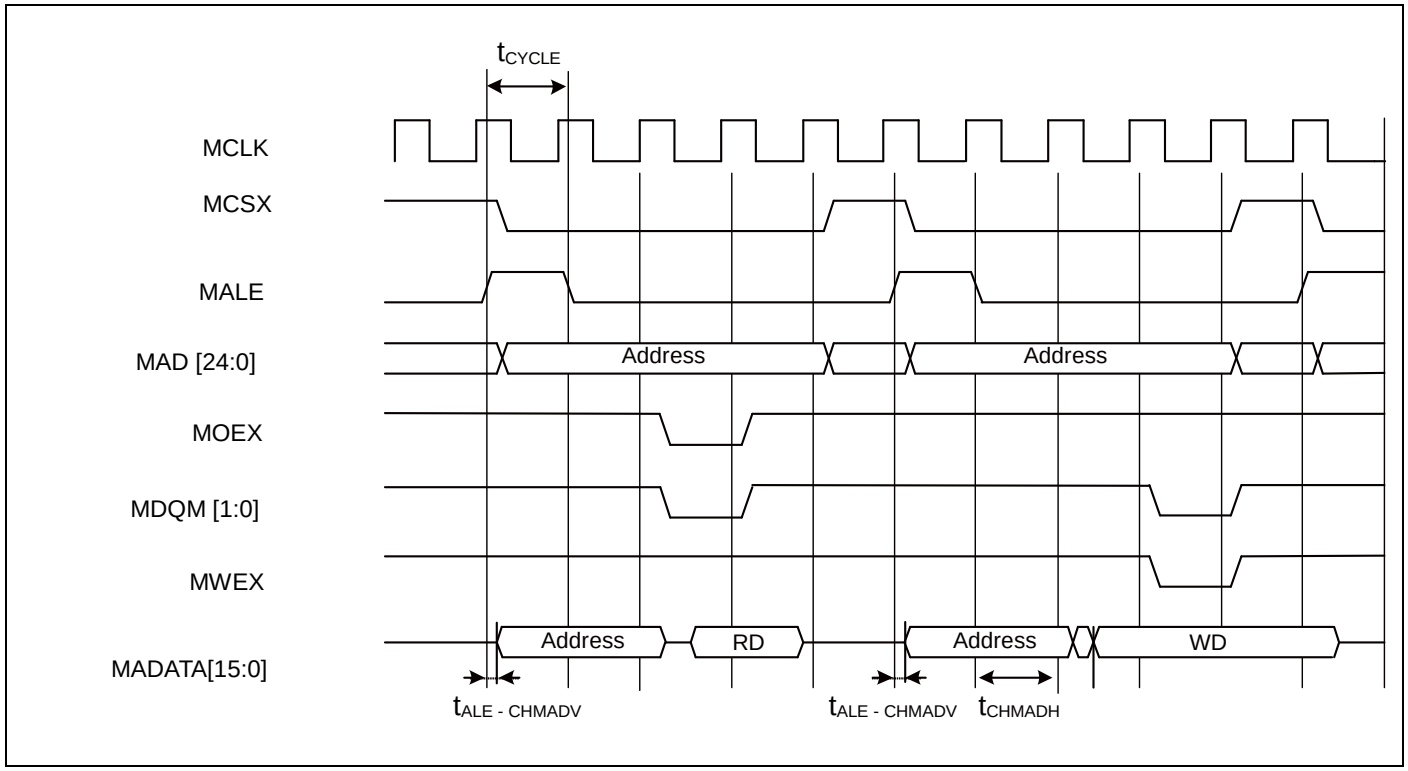
マルチプレクスバスアクセス　非同期 SRAM モード

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
マルチプレクス アドレス遅延時間	$t_{ALE-CHMADV}$	MALE, MAD[24:0]	-	0	10	ns	
マルチプレクス アドレスホールド時間	t_{CHMADH}		-	MCLK×n+0	MCLK×n+10	ns	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時 (m=0～15, n=1～16)*



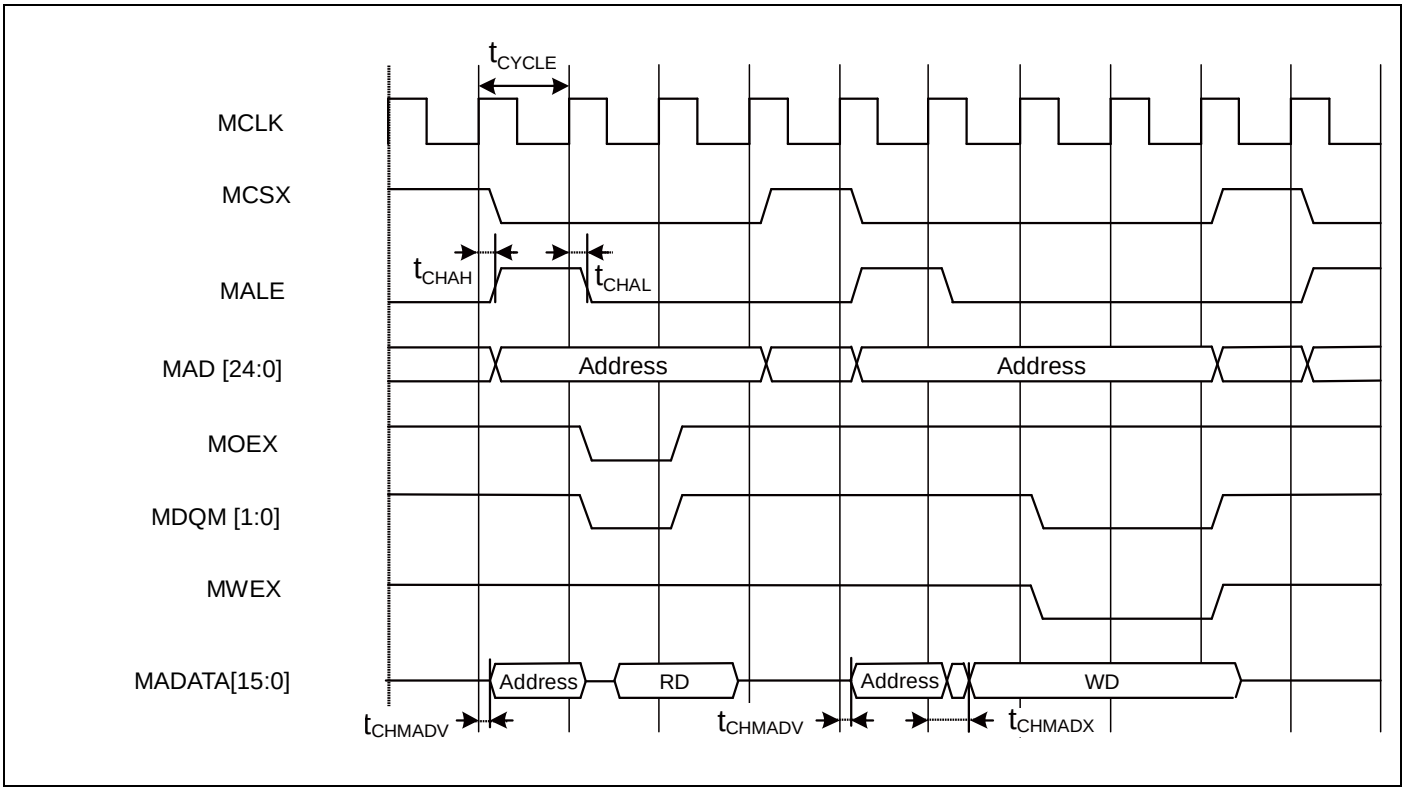
マルチプレクスバスアクセス　同期 SRAM モード

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t_{CHAL}	MCLK, MALE	-	1	9	ns	
	t_{CHAH}		-	1	9	ns	
MCLK↑→ マルチプレクス アドレス遅延時間	t_{CHMADV}	MCLK, MADATA[15:0]	-	1	t_{OD}	ns	
MCLK↑→ マルチプレクス データ出力時間	t_{CHMADX}		-	1	t_{OD}	ns	

<注意事項>

- *外部負荷容量 C_L= 30 pF 時*



NAND フラッシュモード

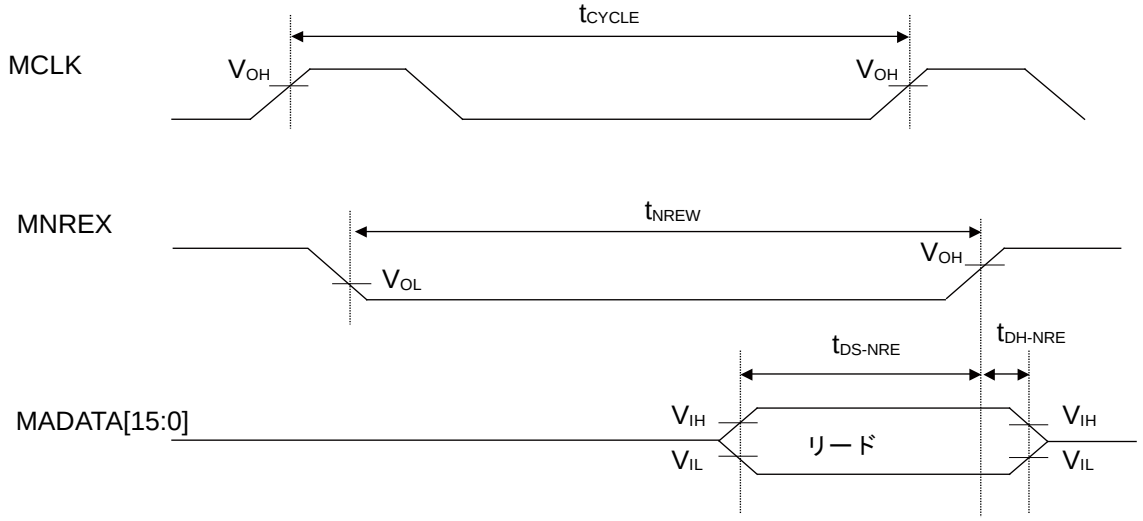
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MNREX 最小パルス幅	t_{NREW}	MNREX	-	MCLK×n-3	-	ns	
データセットアップ→ MNREX↑時間	t_{DS-NRE}	MNREX, MADATA[15:0]	-	20	-	ns	
MNREX↑→ データホールド時間	t_{DH-NRE}	MNREX, MADATA[15:0]	-	0	-	ns	
MNALE↑→ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE, MNWEX	-	MCLK×m-9	MCLK×m+9	ns	
MNALE↓→ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE, MNWEX	-	MCLK×m-9	MCLK×m+9	ns	
MNCLE↑→ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE, MNWEX	-	MCLK×m-9	MCLK×m+9	ns	
MNWEX↑→ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE, MNWEX	-	0	MCLK×m+9	ns	
MNWEX 最小パルス幅	t_{NWEW}	MNWEX	-	MCLK×n-3	-	ns	
MNWEX↓→ データ出力時間	$t_{NWEL-DV}$	MNWEX, MADATA[15:0]	-	-9	9	ns	
MNWEX↑→ データホールド時間	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	-	0	MCLK×m+9	ns	

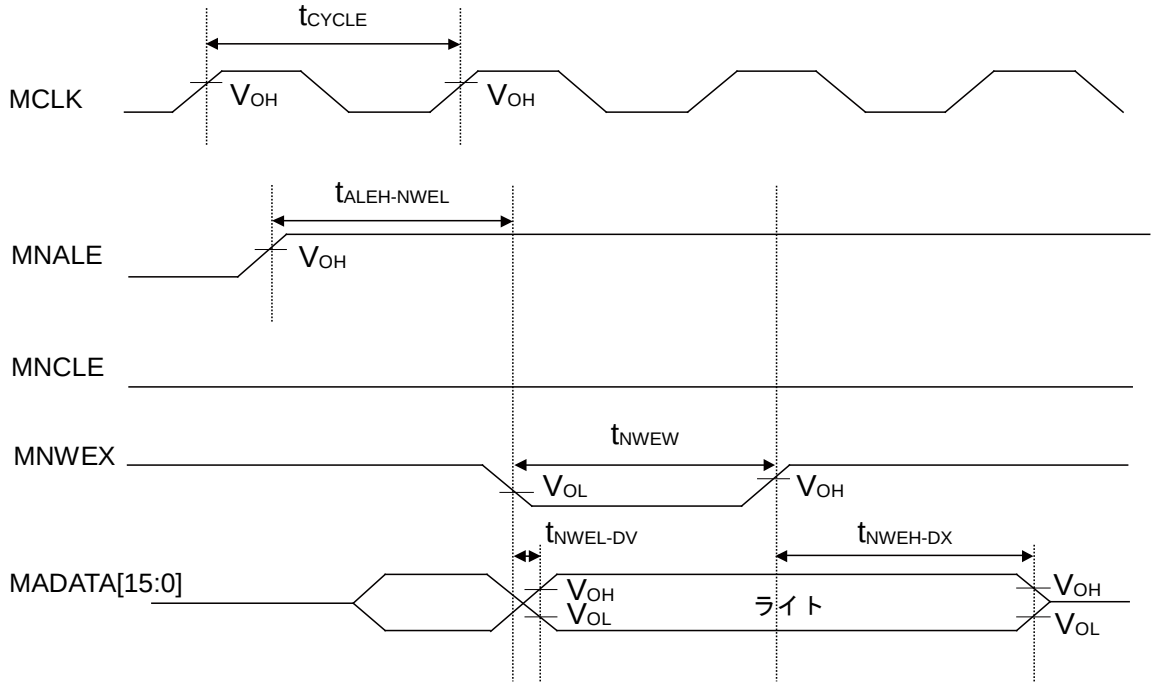
＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時　(m=0～15, n=1～16)*

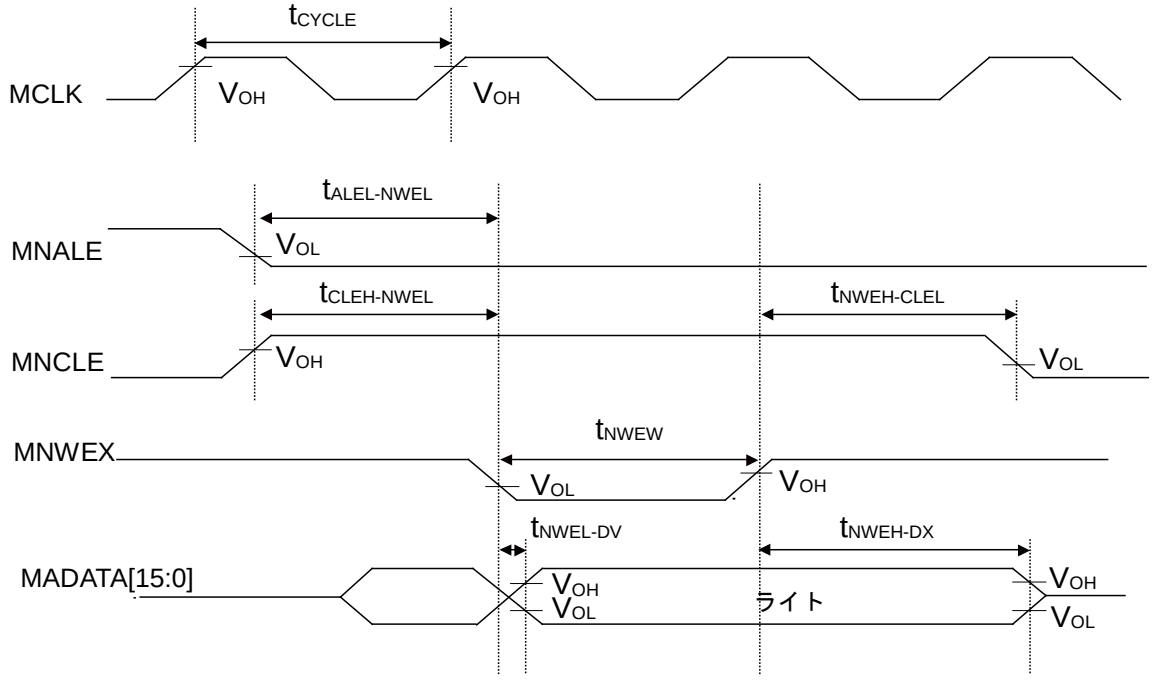
NAND フラッシュリード



NAND フラッシュアドレスライト



NAND フラッシュコマンドライト

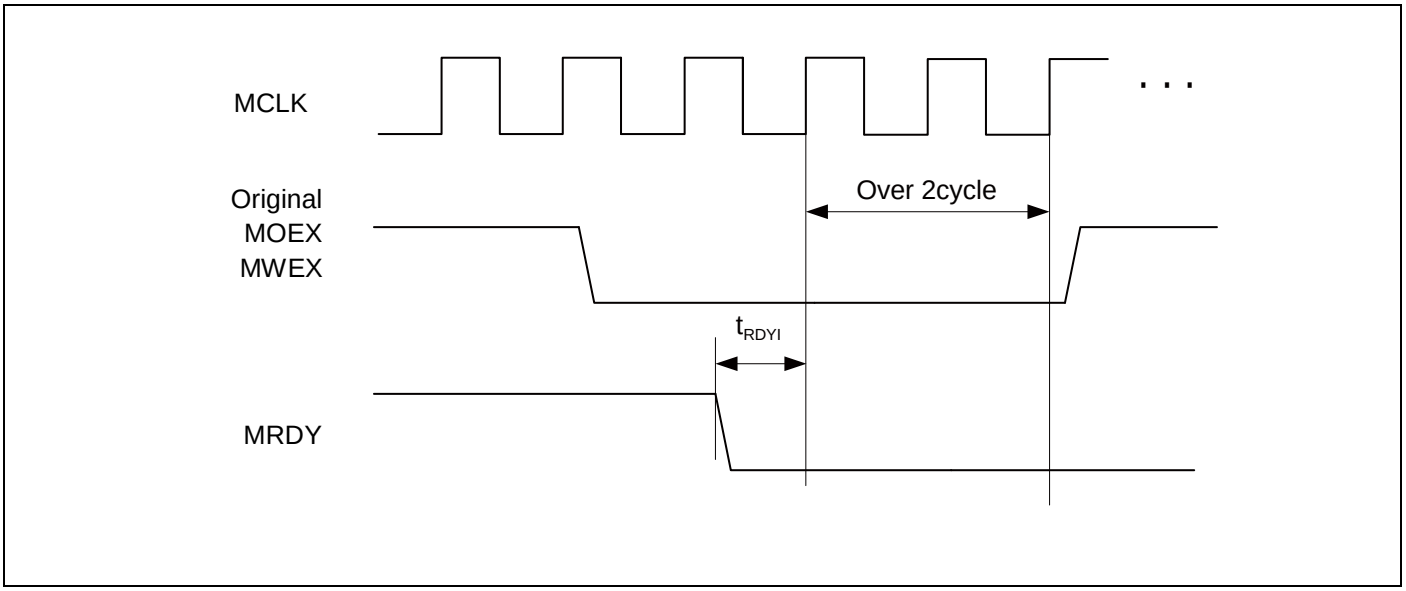


外部 RDY 入力タイミング

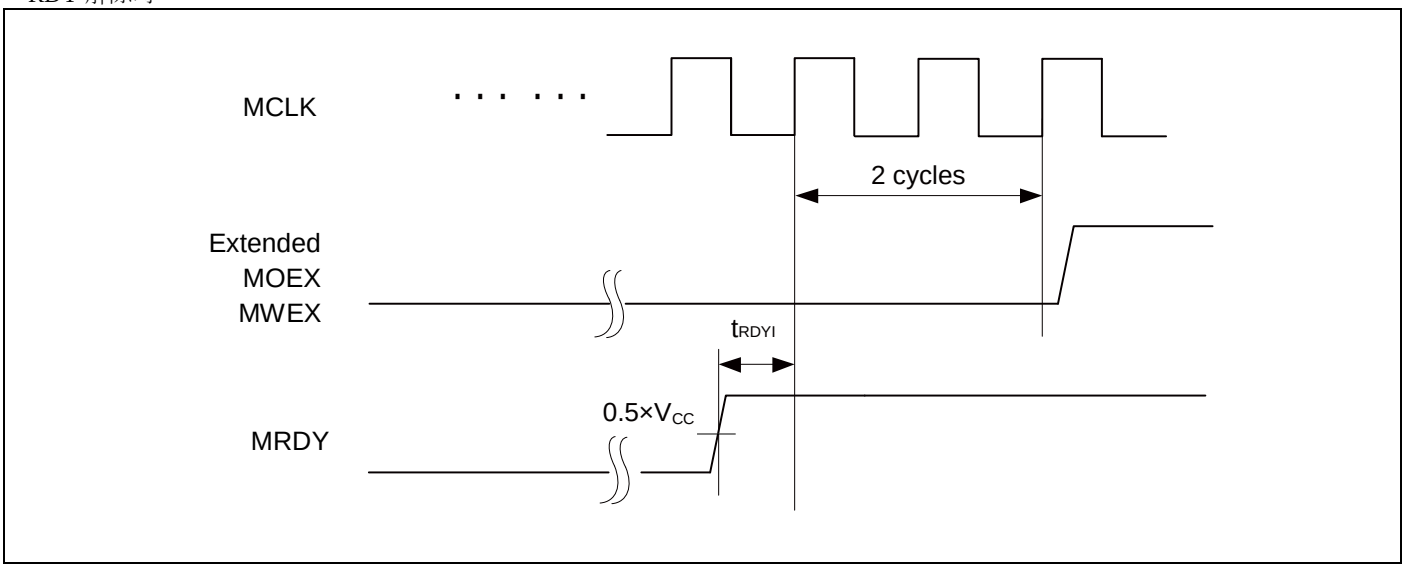
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK, MRDY	-	19	-	ns	

■RDY 入力時



■RDY 解除時



SDRAM モード

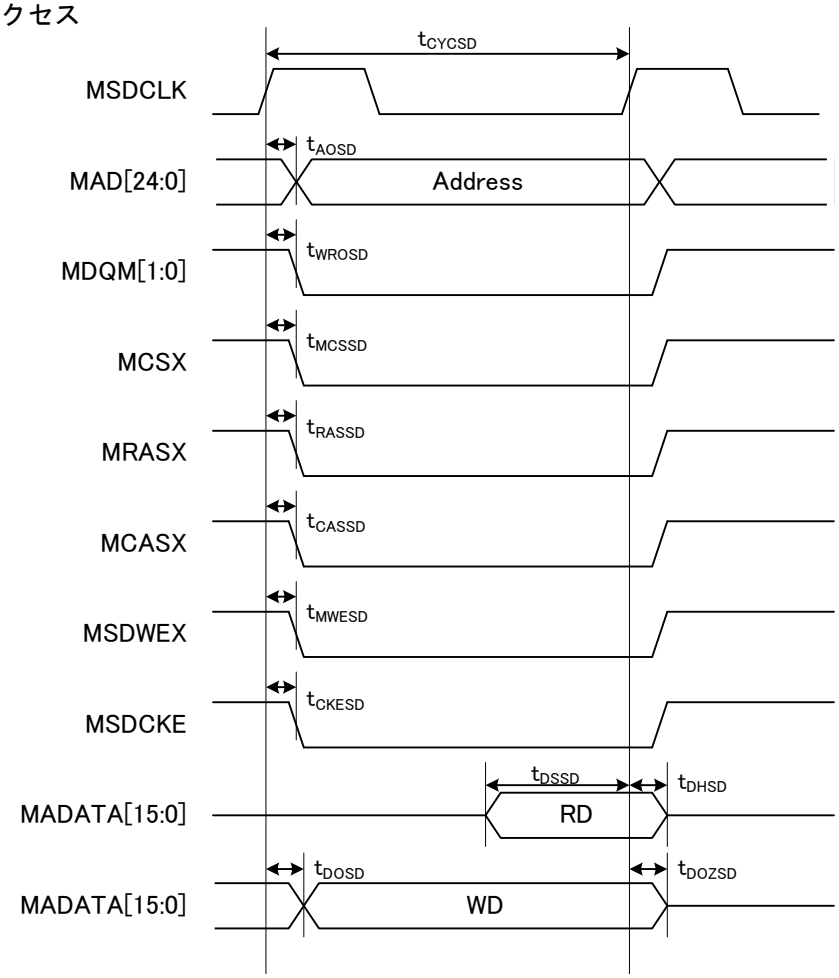
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{CYCSD}	MSDCLK	-	-	50	MHz	
アドレス遅延時間	t_{AOSD}	MSDCLK, MAD[15:0]	-	2	12	ns	
MSDCLK↑→ データ出力遅延時間	t_{DOSD}	MSDCLK, MADATA[15:0]	-	2	12	ns	
MSDCLK↑→ データ出力 Hi-Z 時間	t_{DOZSD}	MSDCLK, MADATA[15:0]	-	2	19.5	ns	
MDQM[1:0]遅延時間	t_{WROSD}	MSDCLK, MDQM[1:0]	-	1	12	ns	
MCSX 遅延時間	t_{MCSSD}	MSDCLK, MCSX8	-	2	12	ns	
MRASX 遅延時間	t_{RASSD}	MSDCLK, MRASX	-	2	12	ns	
MCASX 遅延時間	t_{CASSD}	MSDCLK, MCASX	-	2	12	ns	
MSDWEX 遅延時間	t_{MWESD}	MSDCLK, MSDWEX	-	2	12	ns	
MSDCKE 遅延時間	t_{CKESD}	MSDCLK, MSDCKE	-	2	12	ns	
データセットアップ時間	t_{DSSD}	MSDCLK, MADATA[15:0]	-	19	-	ns	
データホールド時間	t_{DHSD}	MSDCLK, MADATA[15:0]	-	0	-	ns	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時*

SDRAM アクセス

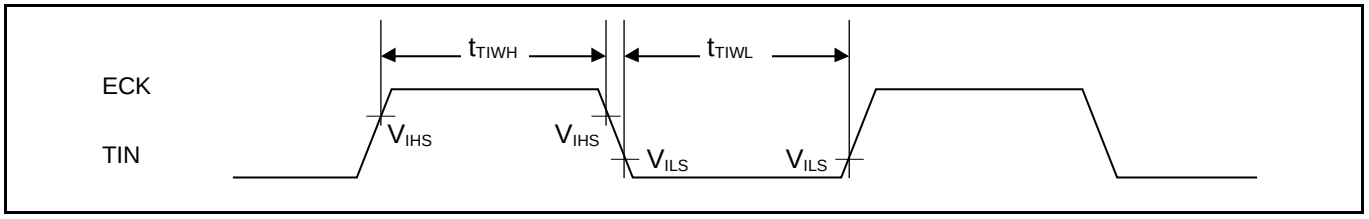

tCYCSD
MSDCLK
tAOSD
MAD[24:0]
Address
tWROSD
MDQM[1:0]
tMCSSD
MCSX
tRASSD
MRASX
tCASSD
MCASX
tMWESD
MSDWEX
tCKESD
MSDCKE
tDSSD
tDHSD
MADATA[15:0]
RD
tDOSD
tDOZSD
MADATA[15:0]
WD

12.4.11 ベースタイマ入力タイミング

タイマ入力タイミング

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

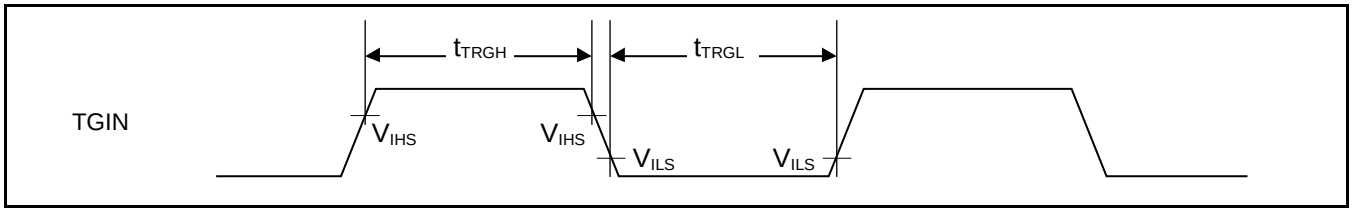
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}, t_{TIWL}	TIOAn/TIOBn (ECK, TIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (TGIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  ベースタイマが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

12.4.12 CSIO タイミング

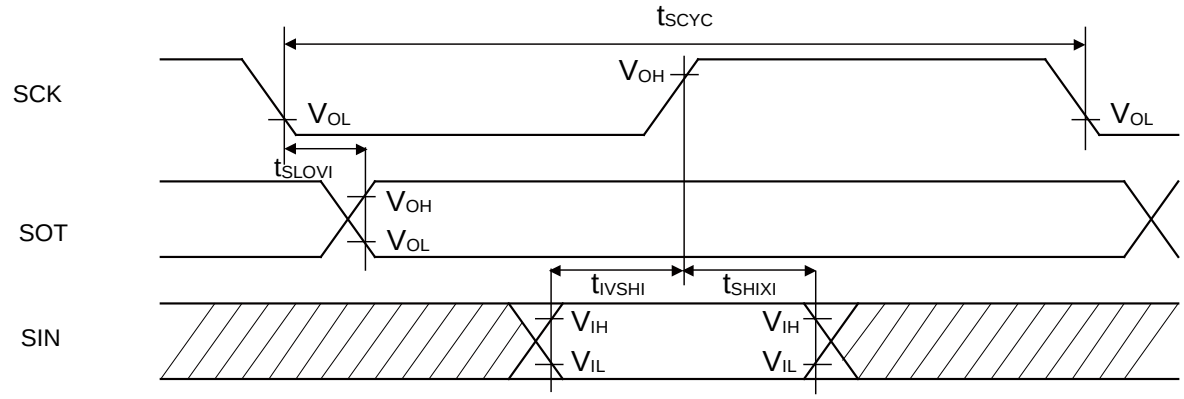
同期シリアル(SPI = 0, SCINV = 0)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

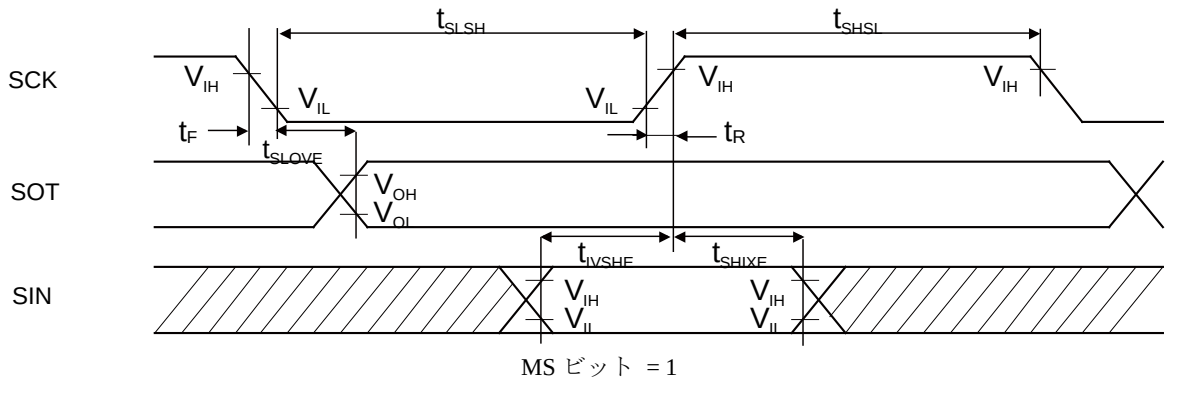
項目	記号	端子名	条件	規格値		単位
				最小	最大	
ボーレート	-	-		-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		50	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 10	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	50	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

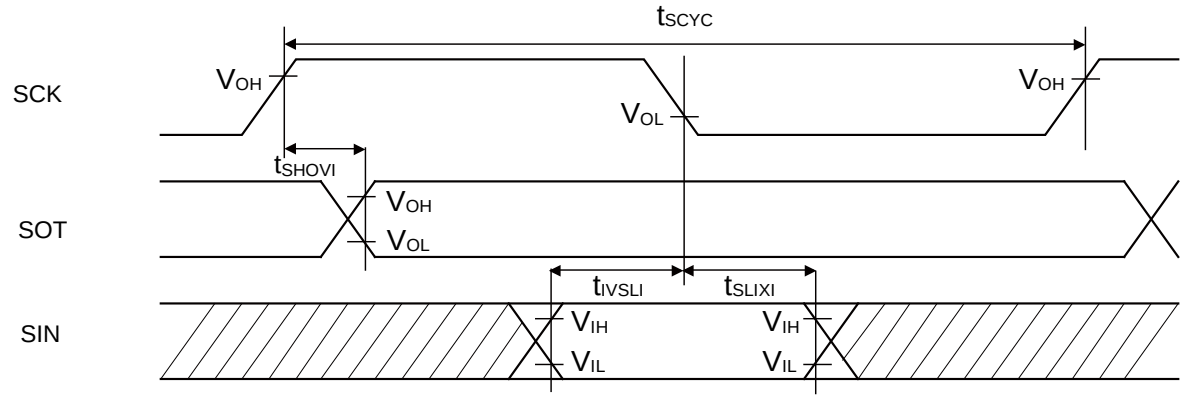
同期シリアル(SPI = 0, SCINV = 1)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

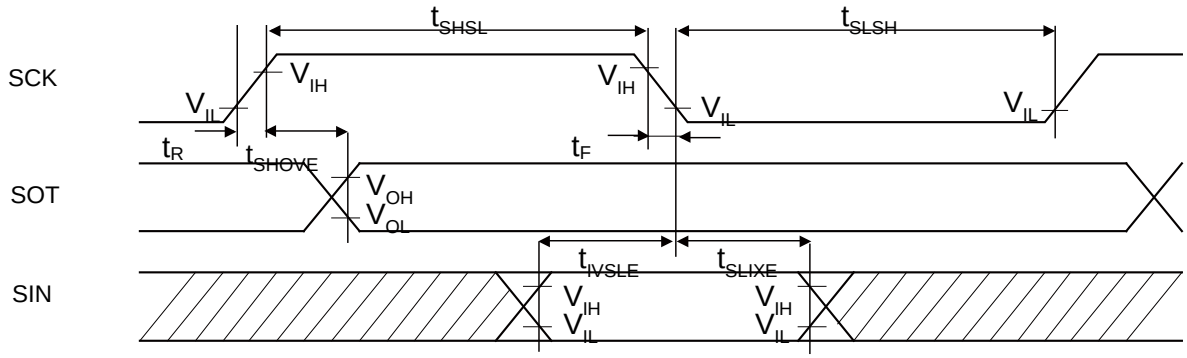
項目	記号	端子名	条件	規格値		単位
				最小	最大	
ボーレート	-	-	-	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		50	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 10	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	50	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

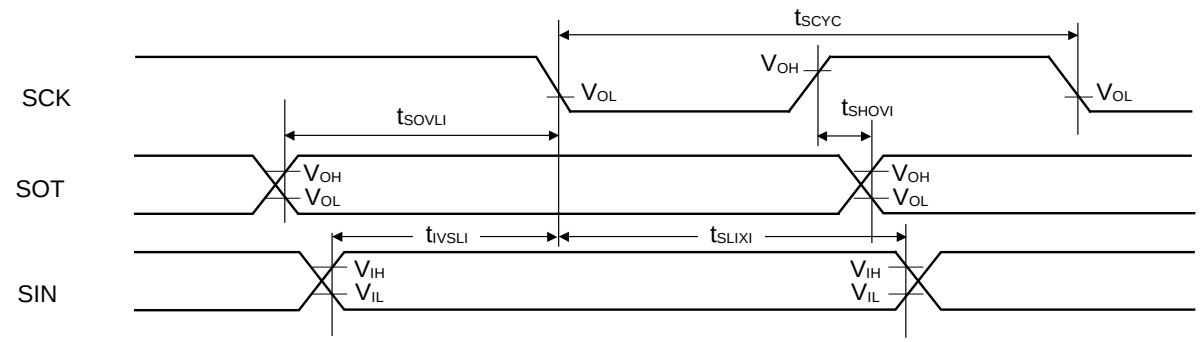
同期シリアル(SPI = 1, SCINV = 0)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

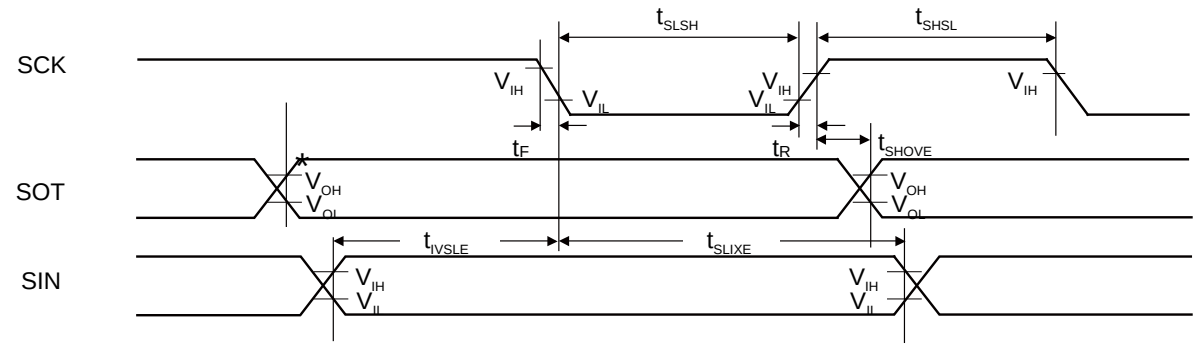
項目	記号	端子名	条件	規格値		単位
				最小	最大	
ボーレート	-	-	-	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		50	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	ns
SOT→SCK↓遅延時間	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 10	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	50	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

*: TDR レジスタにデータをライトすると変化

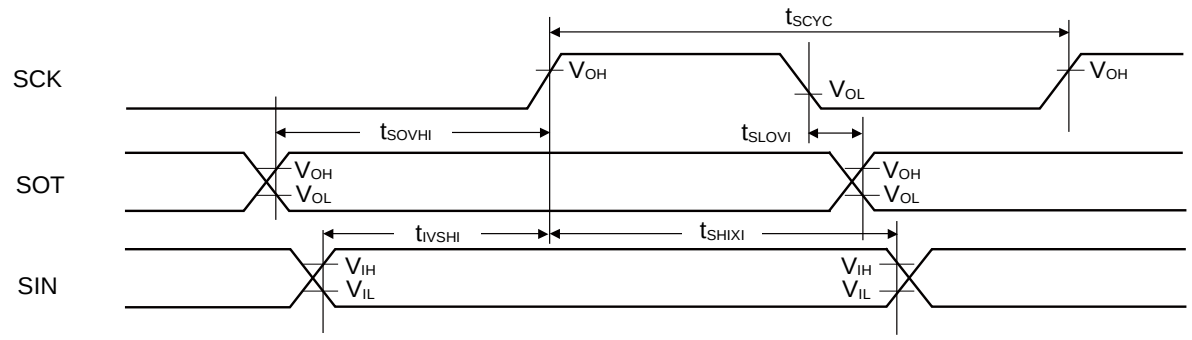
同期シリアル(SPI = 1, SCINV = 1)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

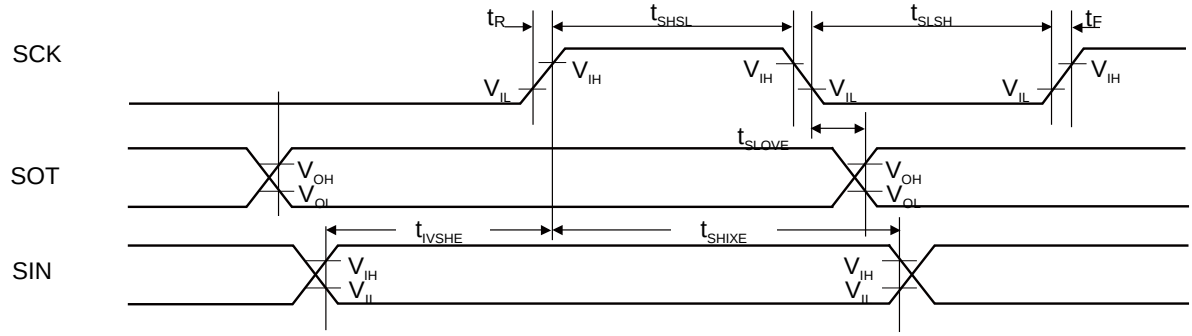
項目	記号	端子名	条件	規格値		単位
				最小	最大	
ボーレート	-	-	-	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフトクロック動作	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		50	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	ns
SOT→SCK↑遅延時間	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフトクロック動作	$2t_{CYCP}$ - 10	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	50	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SCINV = 0, CSLVL=1)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↓→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	ns
SCK↑→SCS↑ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	40	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	ns

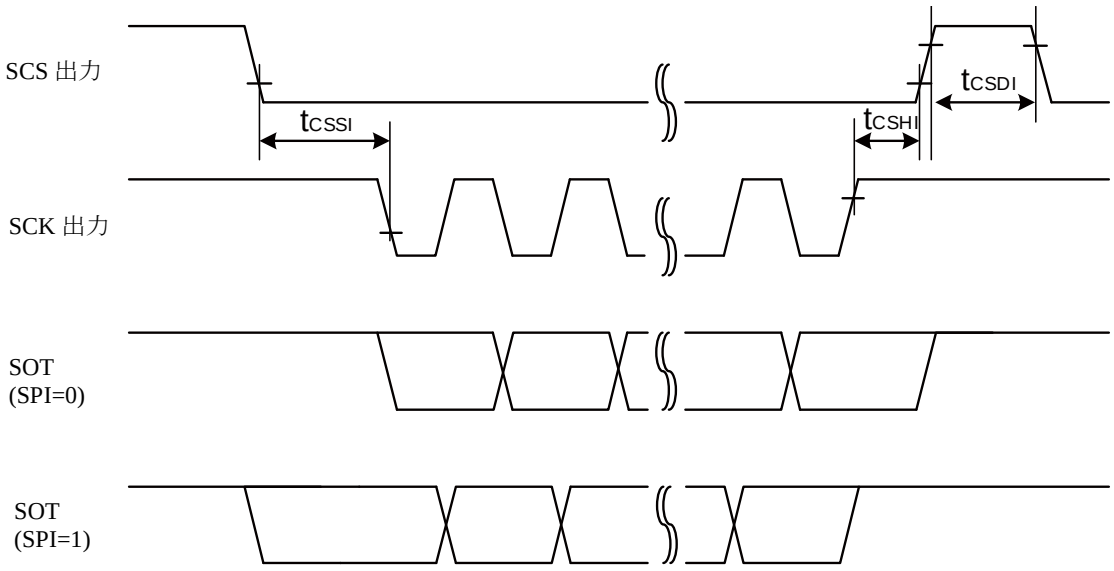
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

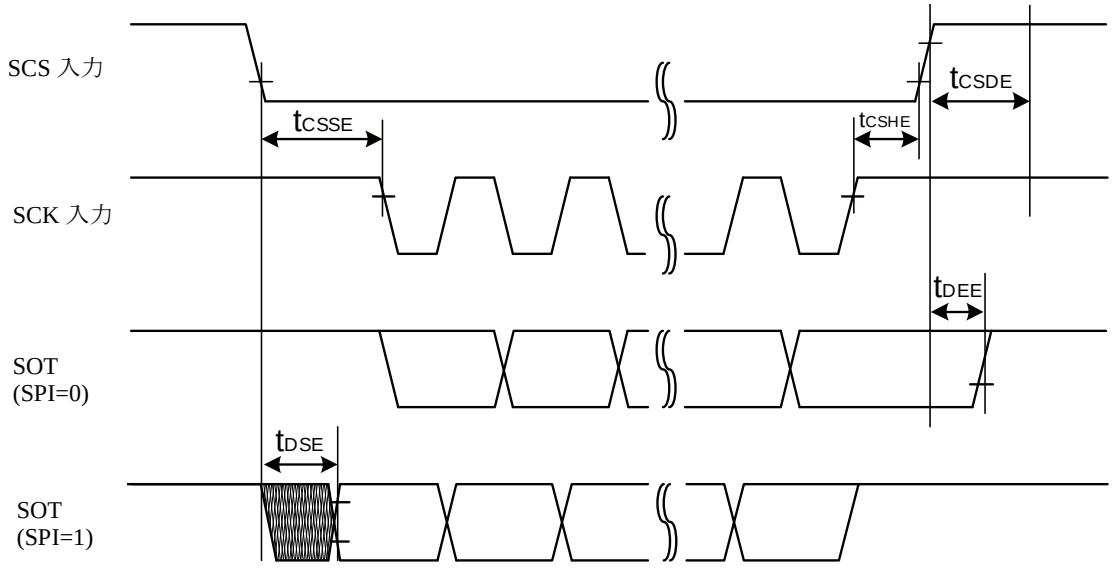
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=1)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS ↓ →SCK ↑ セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	ns
SCK ↓ →SCS ↑ ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS ↓ →SCK ↑ セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	ns
SCK ↓ →SCS ↑ ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	ns
SCS ↓ →SOT 遅延時間	t_{DSE}		-	40	ns
SCS ↑ →SOT 遅延時間	t_{DEE}		0	-	ns

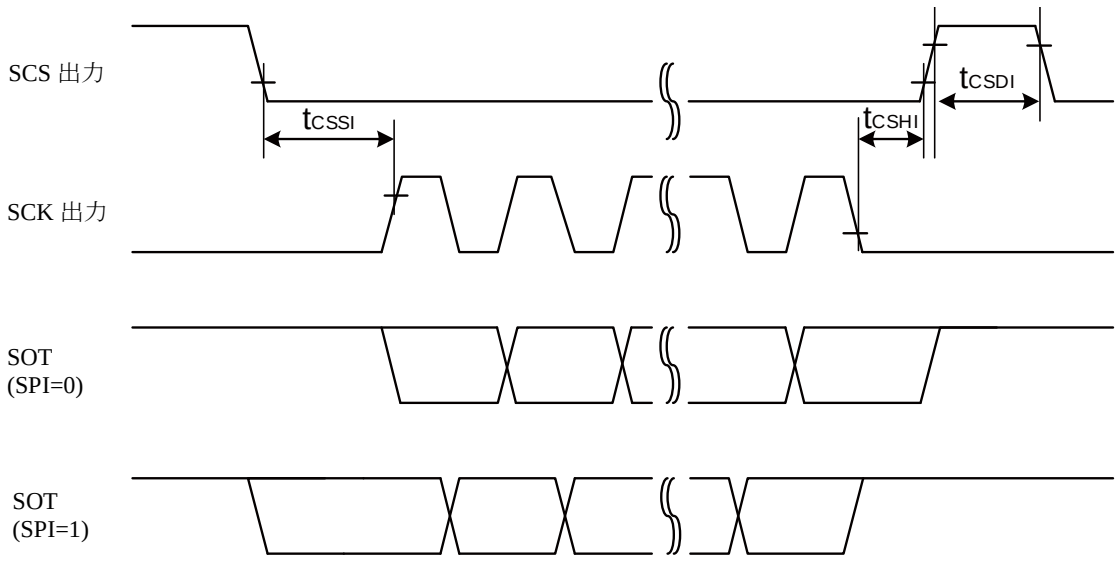
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

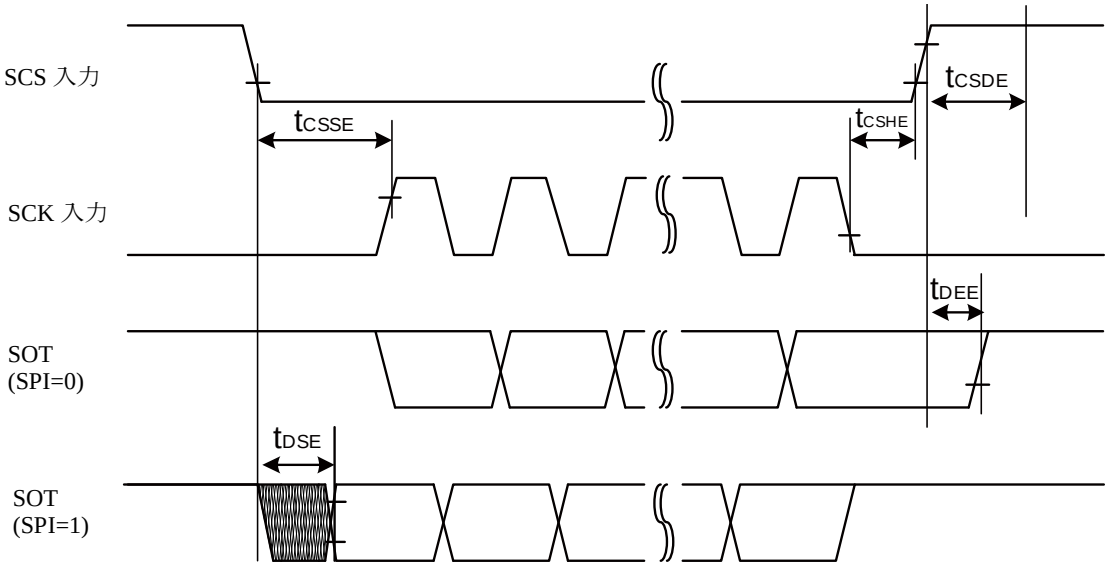
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SCINV = 0, CSLVL=0)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↑→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	ns
SCK↑→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↑→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	ns
SCK↑→SCS↓ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	40	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	ns

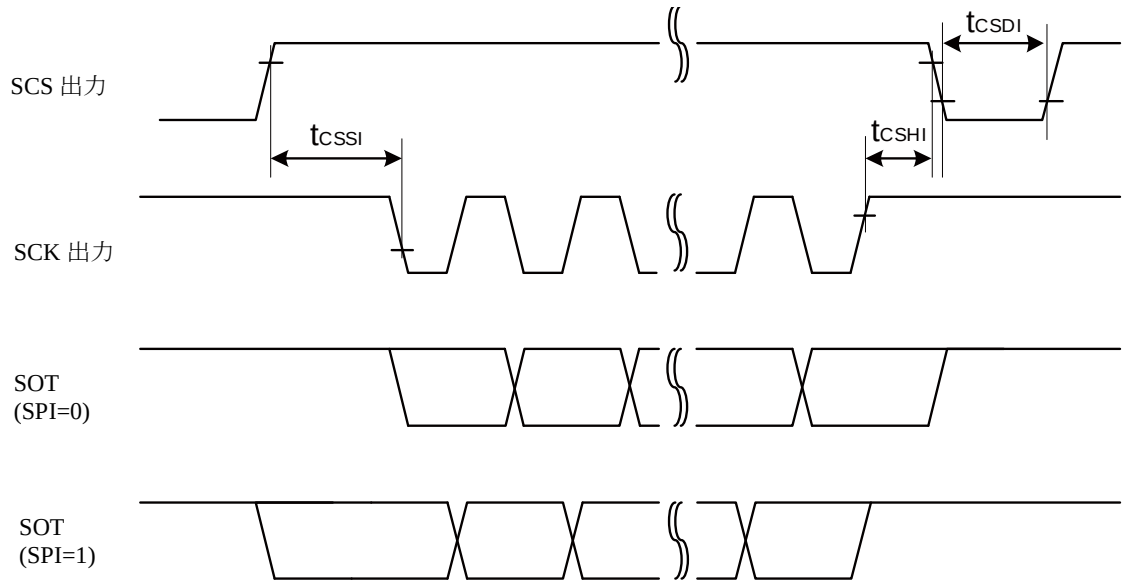
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

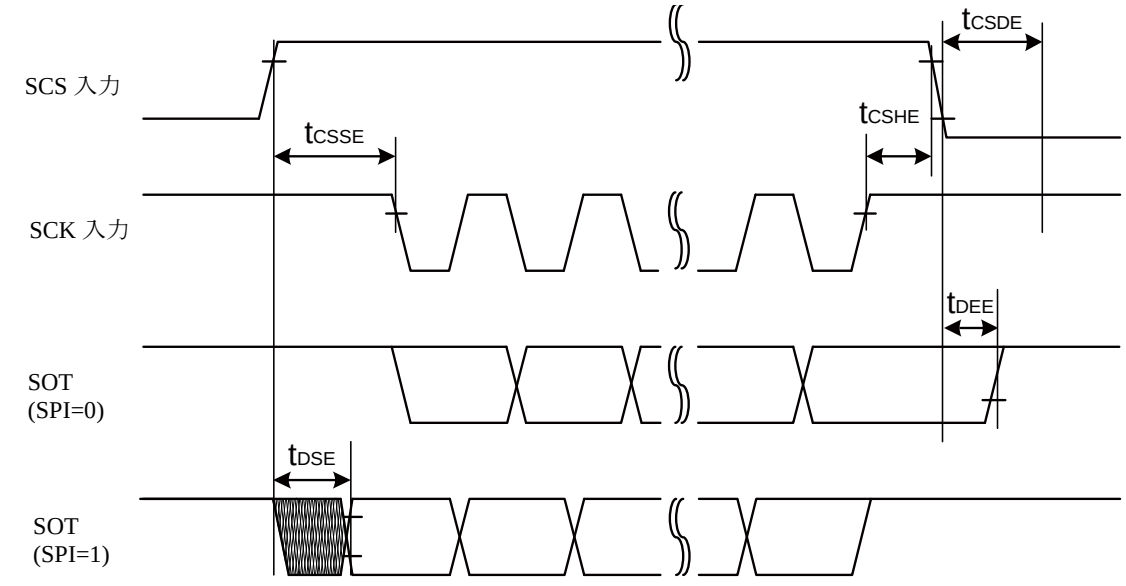
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=0)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↑→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	ns
SCK↓→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↑→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	ns
SCK↓→SCS↓ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	40	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	ns

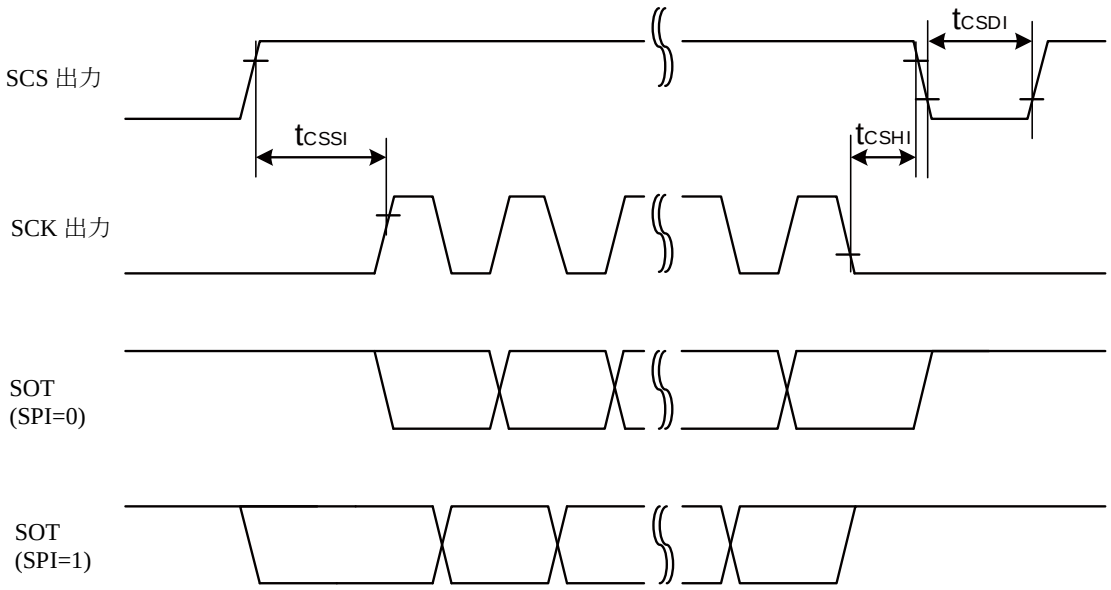
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

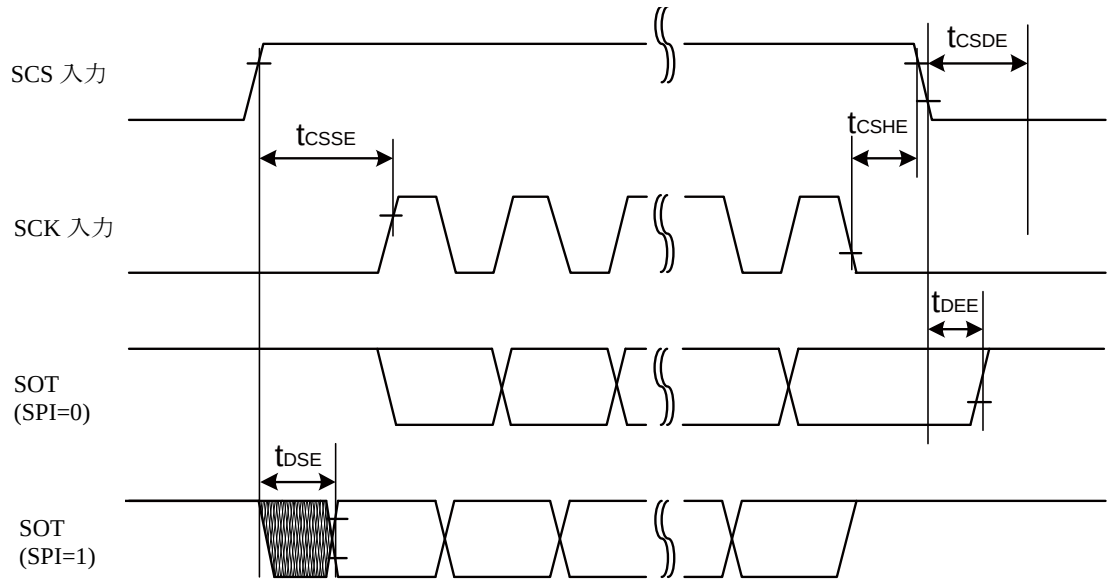
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF*



MS ビット = 0



MS ビット = 1

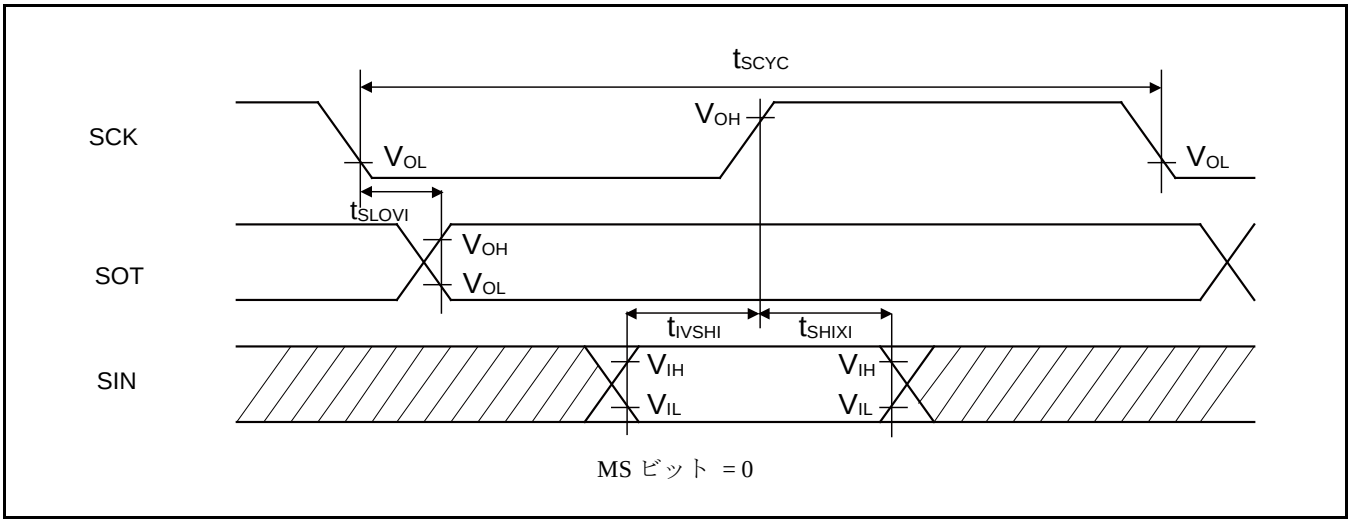
高速同期シリアル(SPI = 0, SCINV = 0)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

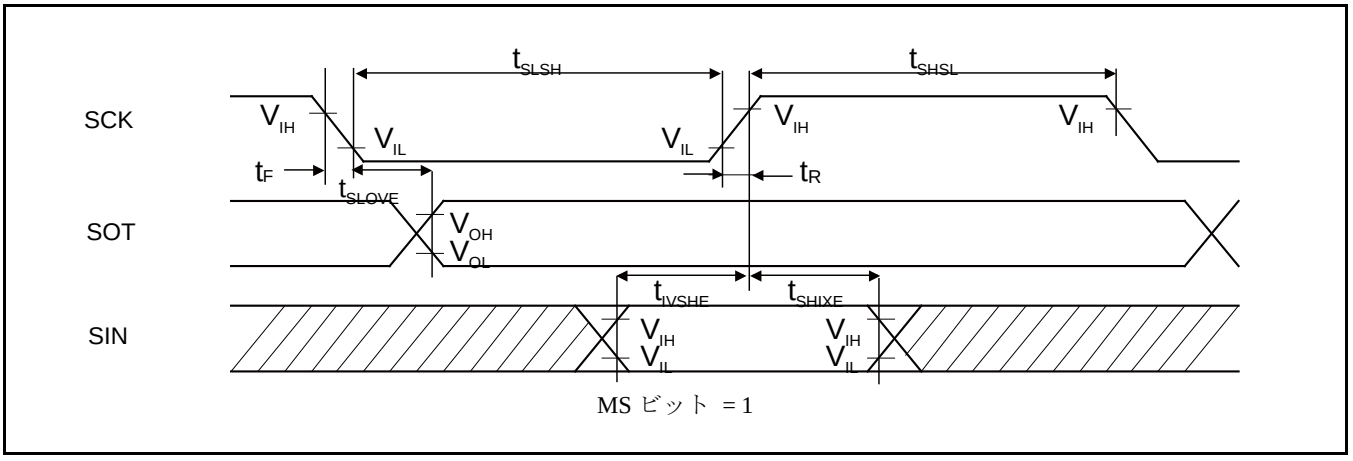
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 10	+ 10	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		14	-	ns
				12.5*		
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		5	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 5	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	15	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		5	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		5	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は以下の端子のみの保証です。*
  ・SIN6_0, SOT6_0, SCK6_0, SCS60_0
- *外部負荷容量 C_L = 30 pF 時 (*は C_L=10 pF 時)*



MS ビット = 0



MS ビット = 1

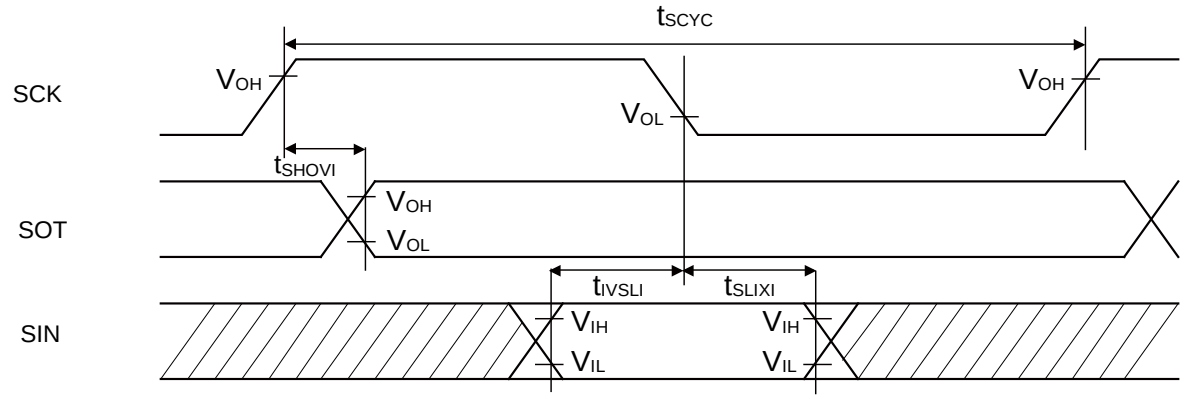
高速同期シリアル(SPI = 0, SCINV = 1)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

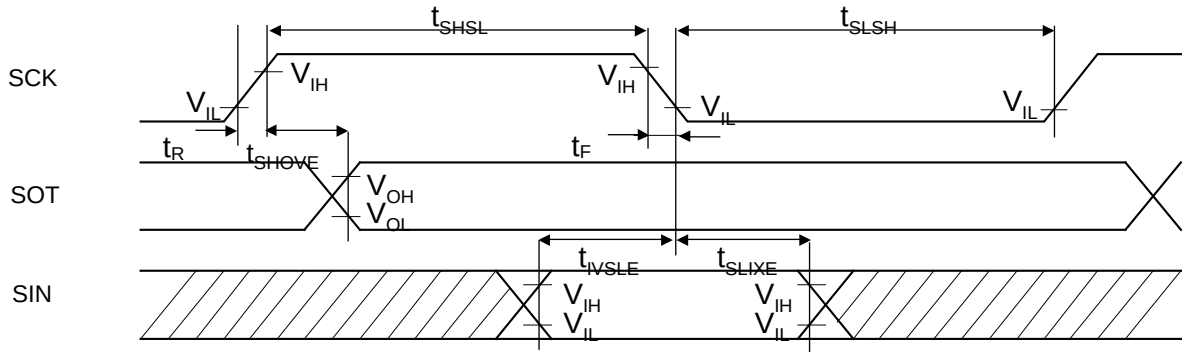
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフトクロック動作	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 10	+ 10	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		14	-	ns
				12.5*		
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		5	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフトクロック動作	$2t_{CYCP}$ - 5	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	15	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		5	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		5	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は以下の端子のみの保証です。*
  ・SIN6_0, SOT6_0, SCK6_0, SCS60_0
- *外部負荷容量 C_L = 30 pF 時 (*は C_L=10 pF 時)*



MS ビット = 0



MS ビット = 1

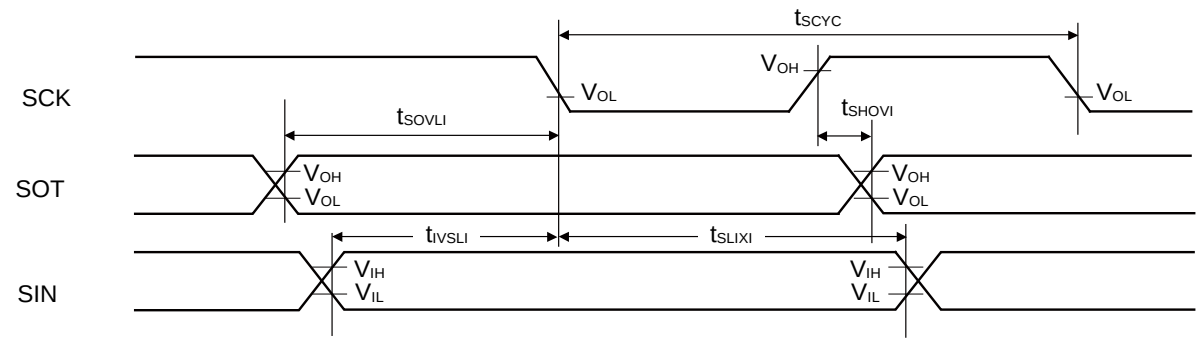
高速同期シリアル(SPI = 1, SCINV = 0)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

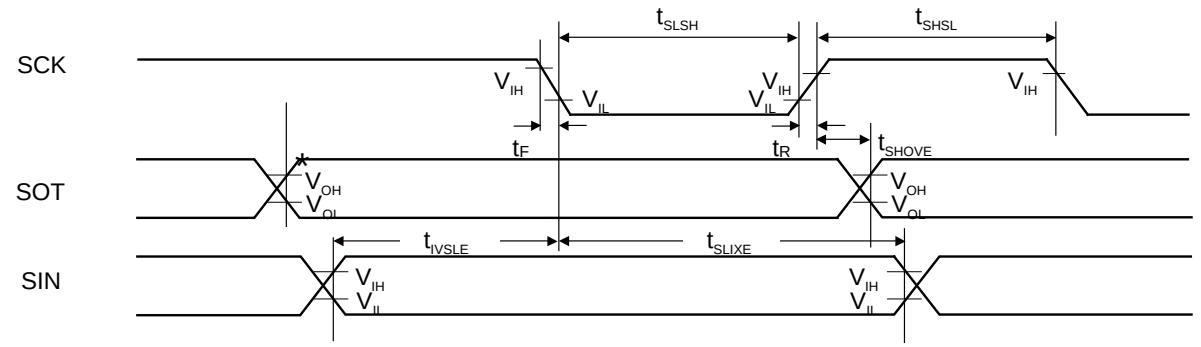
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 10	+ 10	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		14 12.5*	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		5	-	ns
SOT→SCK↓遅延時間	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP}$ - 10	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 5	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	15	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		5	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		5	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は以下の端子のみの保証です。*
  ・SIN6_0, SOT6_0, SCK6_0, SCS60_0
- *外部負荷容量 C_L = 30 pF 時 (*は C_L=10 pF 時)*



MS ビット = 0



MS ビット = 1

*: TDR レジスタにデータをライトすると変化

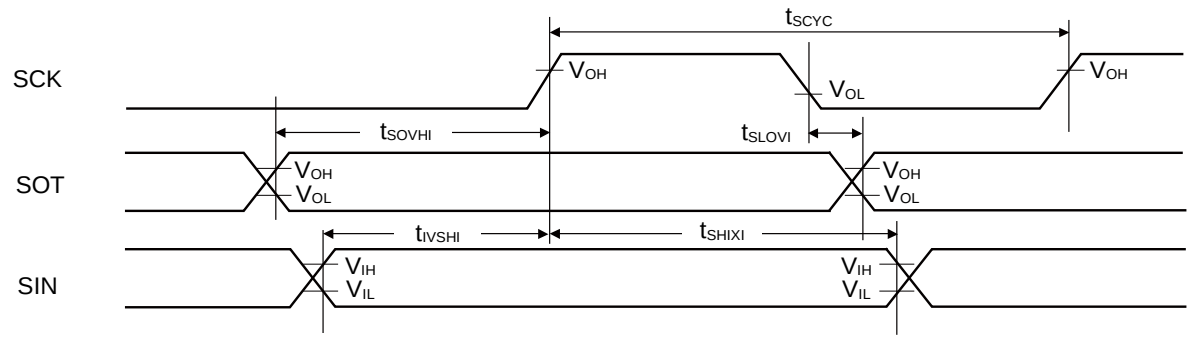
高速同期シリアル(SPI = 1, SCINV = 1)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

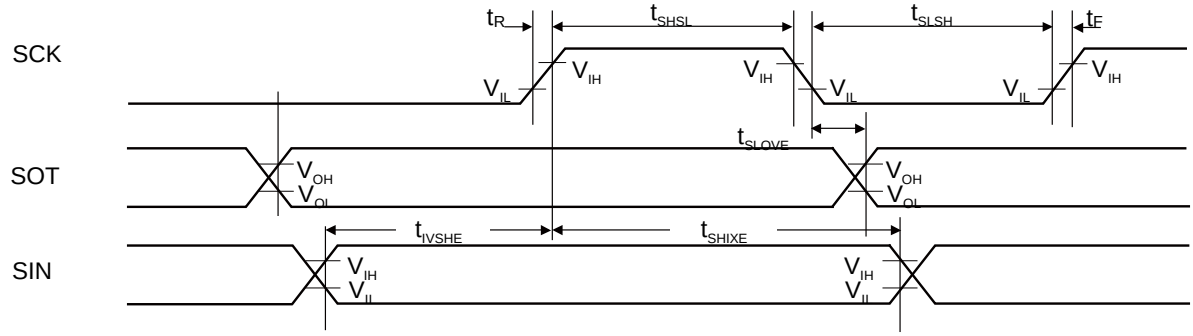
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 10	+ 10	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		14 12.5*	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		5	-	ns
SOT→SCK↑遅延時間	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP}$ - 10	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 5	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	15	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		5	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		5	-	ns
SCK 立下り時間	t_F	SCKx		-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は以下の端子のみの保証です。*
  ・SIN6_0, SOT6_0, SCK6_0, SCS60_0
- *外部負荷容量 C_L = 30 pF 時 (*は C_L=10 pF 時)*



MS ビット = 0



MS ビット = 1

高速同期シリアル　チップセレクト使用時(SCINV = 0, CSLVL=1)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↓→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	ns
SCK↑→SCS↑ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	25	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	ns

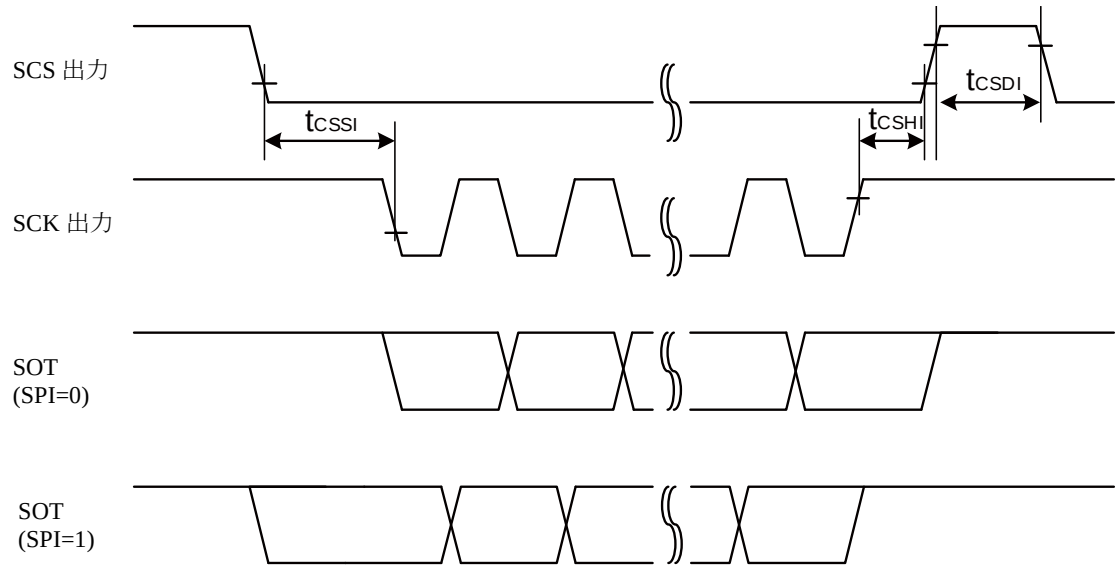
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

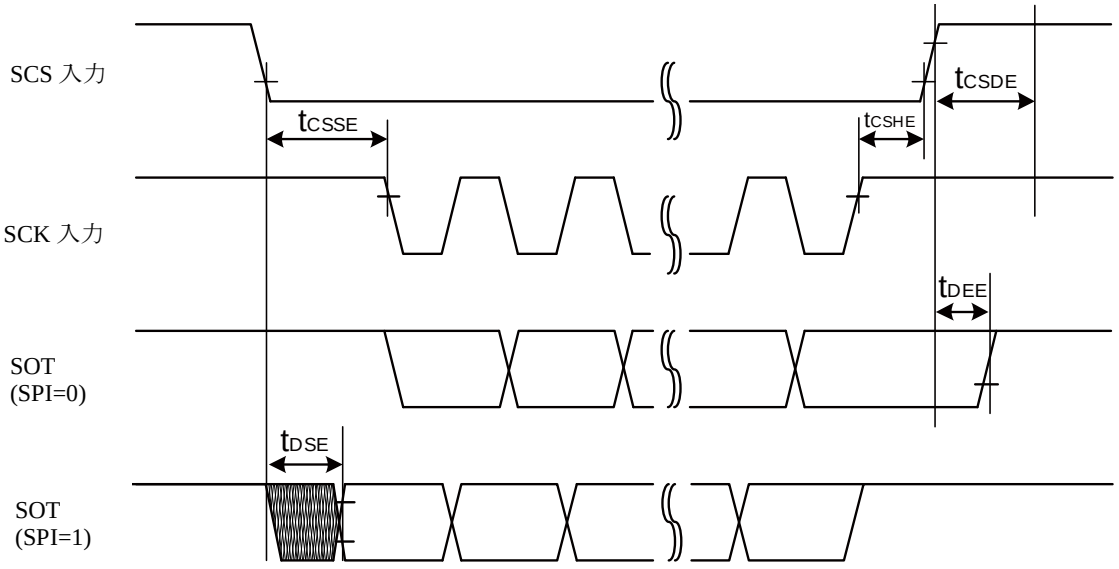
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*



MS ビット = 0



MS ビット = 1

高速同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=1)

(V_{CC} = 2.7V ~3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS ↓ →SCK ↑ セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	ns
SCK ↓ →SCS ↑ ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS ↓ →SCK ↑ セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	ns
SCK ↓ →SCS ↑ ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	ns
SCS ↓ →SOT 遅延時間	t_{DSE}		-	25	ns
SCS ↑ →SOT 遅延時間	t_{DEE}		0	-	ns

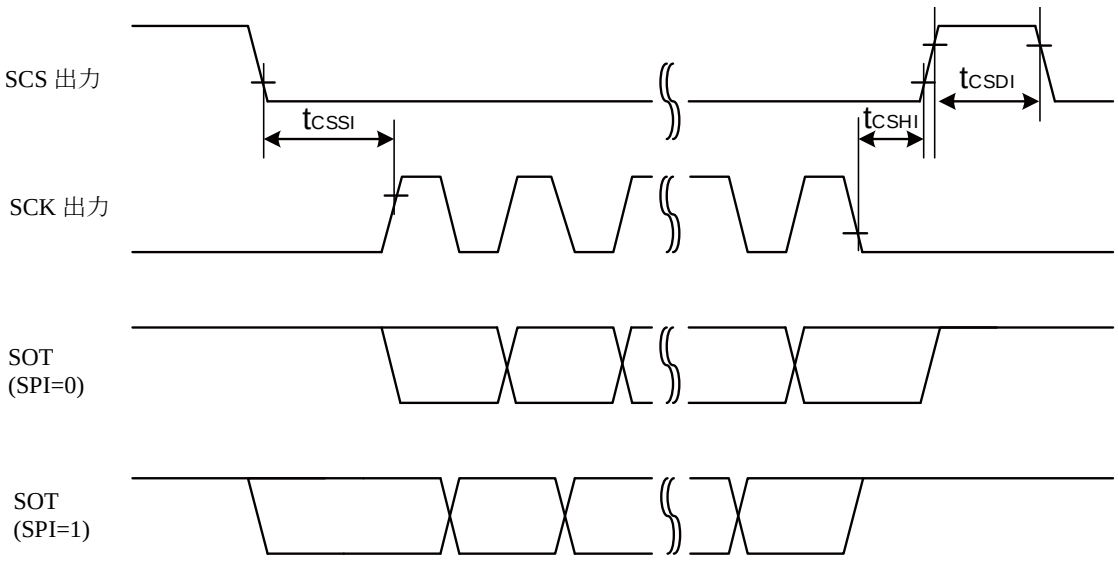
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

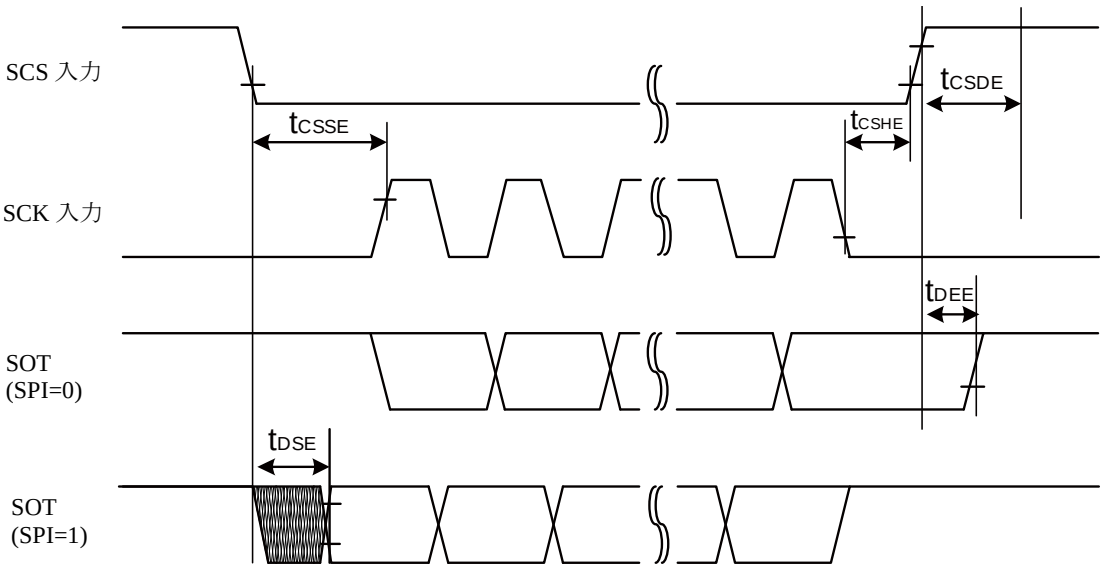
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*



MS ビット = 0



MS ビット = 1

高速同期シリアル　チップセレクト使用時(SCINV = 0, CSLVL=0)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↑→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	ns
SCK↑→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS↑→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	ns
SCK↑→SCS↓ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	25	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	ns

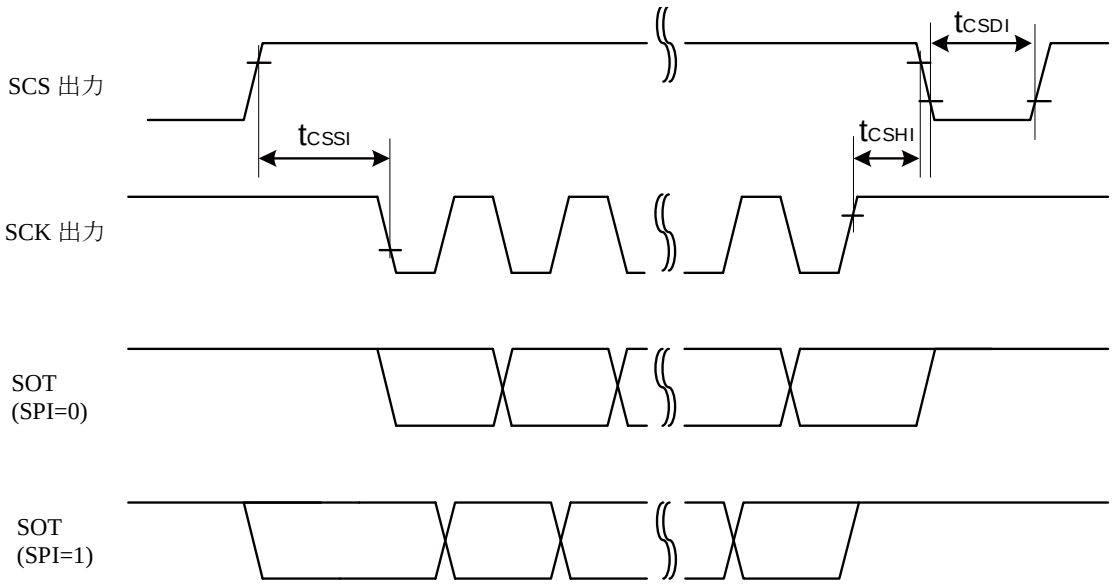
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

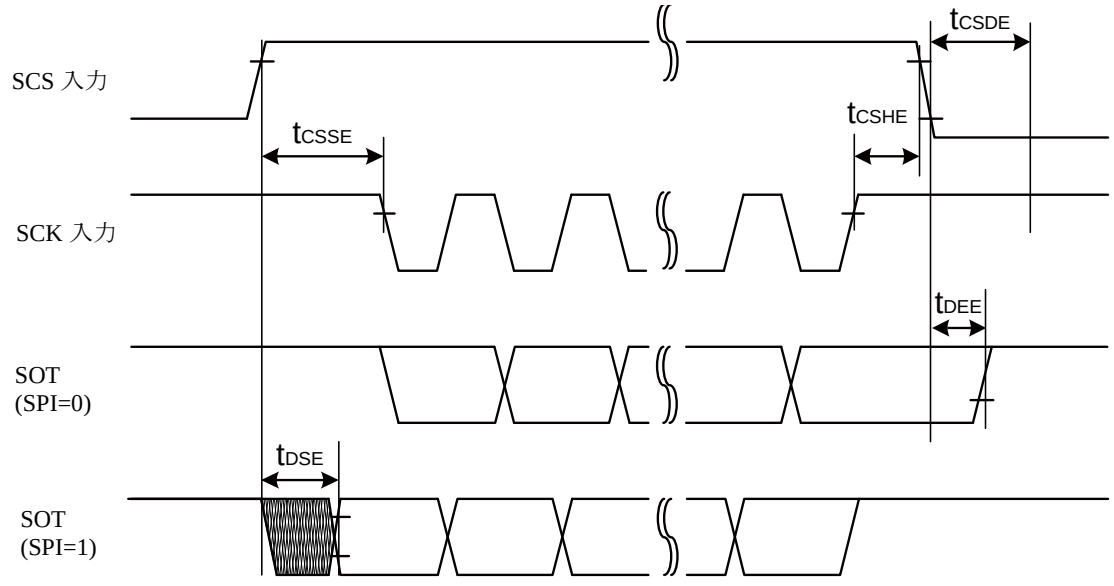
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=0)

(V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小	最大	
SCS↑→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	ns
SCK↓→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS↑→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	ns
SCK↓→SCS↓ホールド時間	t_{CSHE}		0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	40	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	ns

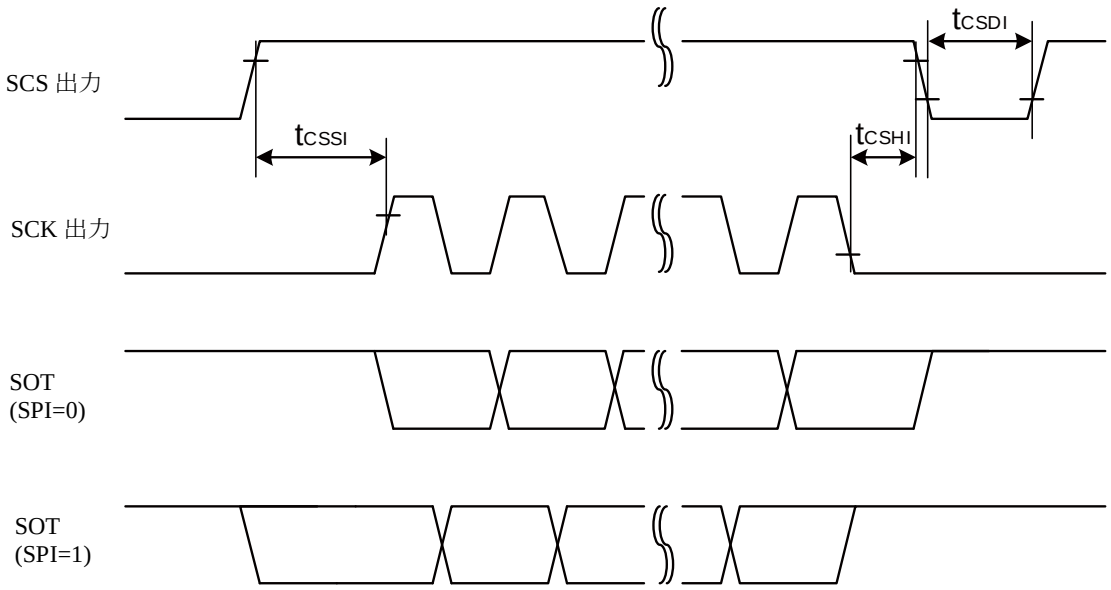
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

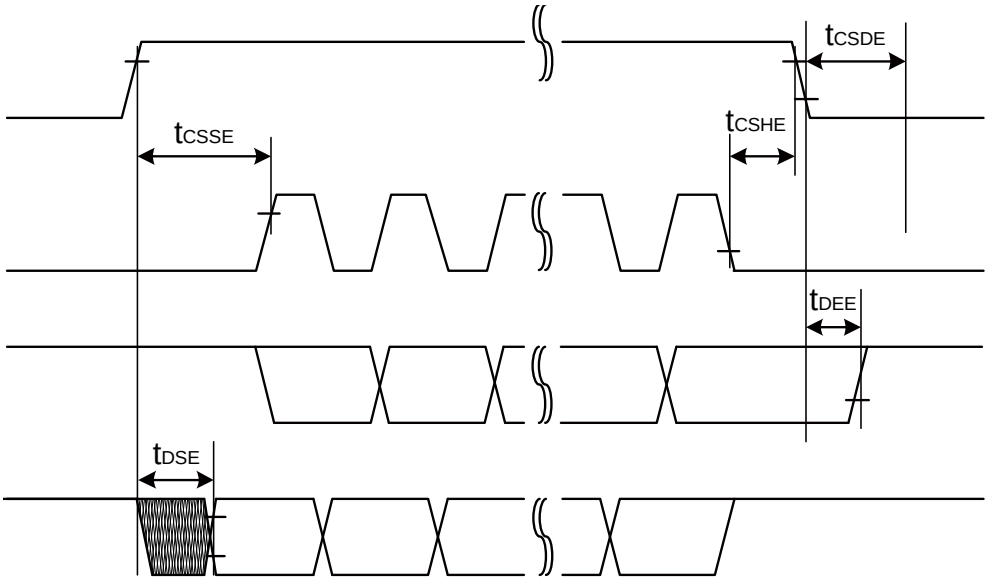
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル 本編 (002-04857)』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*



MS ビット = 0



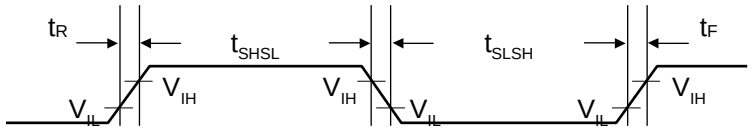
MS ビット = 1

外部クロック(EXT = 1)： 非同期時のみ

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック L パルス幅	t_{SLSH}	C_L = 30 pF	t_{CYCP} + 10	-	ns	
シリアルクロック H パルス幅	t_{SHSL}		t_{CYCP} + 10	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	

SCK



12.4.13 外部入力タイミング

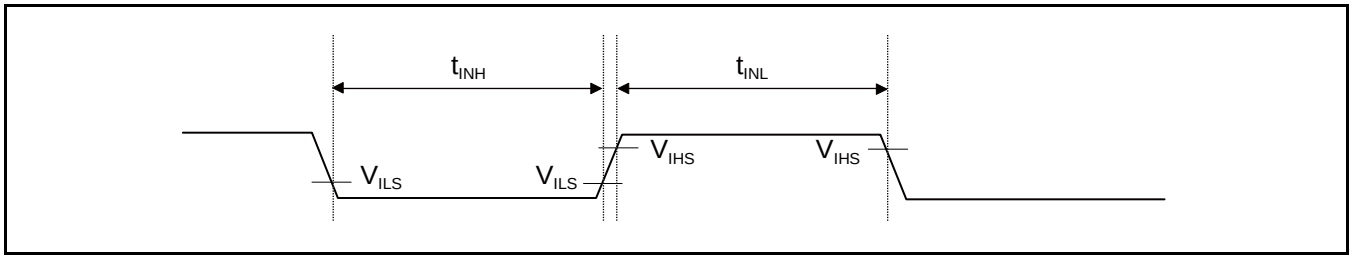
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTG	-	$2t_{CYCP}$ *1	-	ns	A/D コンバータトリガ入力
		FRCK0					フリーランタイマ入力クロック
		IC0x					インプットキャプチャ
		DTTI0X	-	$2t_{CYCP}$ *1	-	ns	波形ジェネレータ
		INTxx, NMIX	-	$2t_{CYCP}$ + 100 *1	-	ns	外部割込み, NMI
				500 *2	-	ns	
		WKUPx	-	500 *3	-	ns	ディープスタンバイウェイクアップ

*1: t_{CYCP} は APB バスクロックのサイクル時間です(APB バスクロックがタイマモードまたはストップモードで停止する場合を除く)。多機能タイマ、外部割込みが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

*2: タイマモードとストップモード時

*3: ディープスタンバイ RTC モード, ディープスタンバイストップモード時

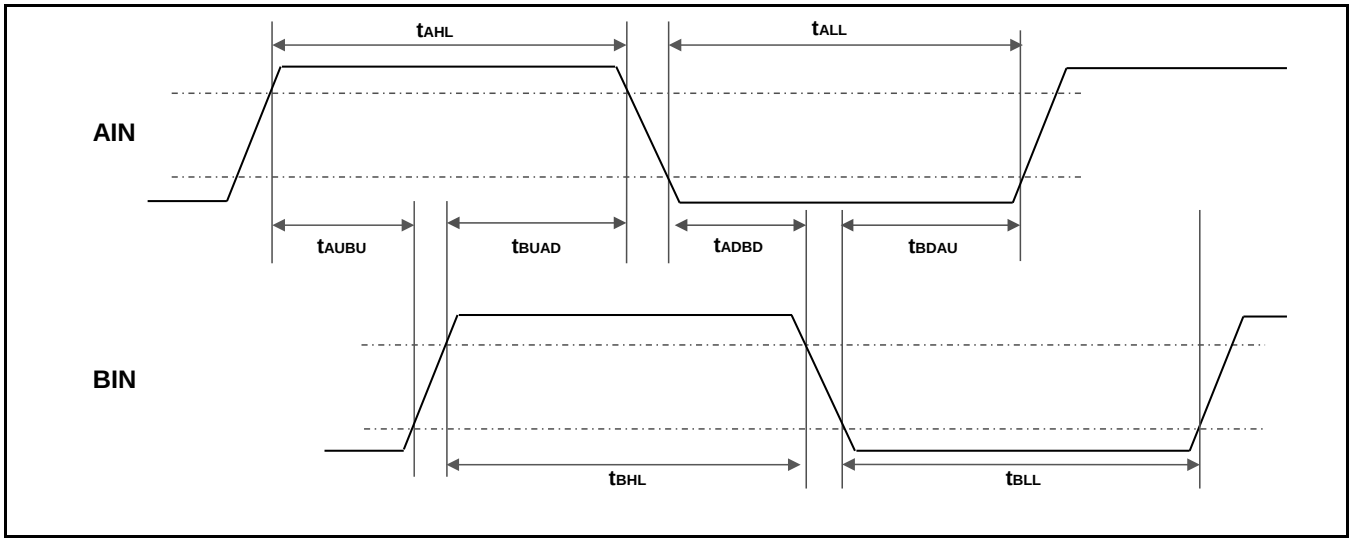


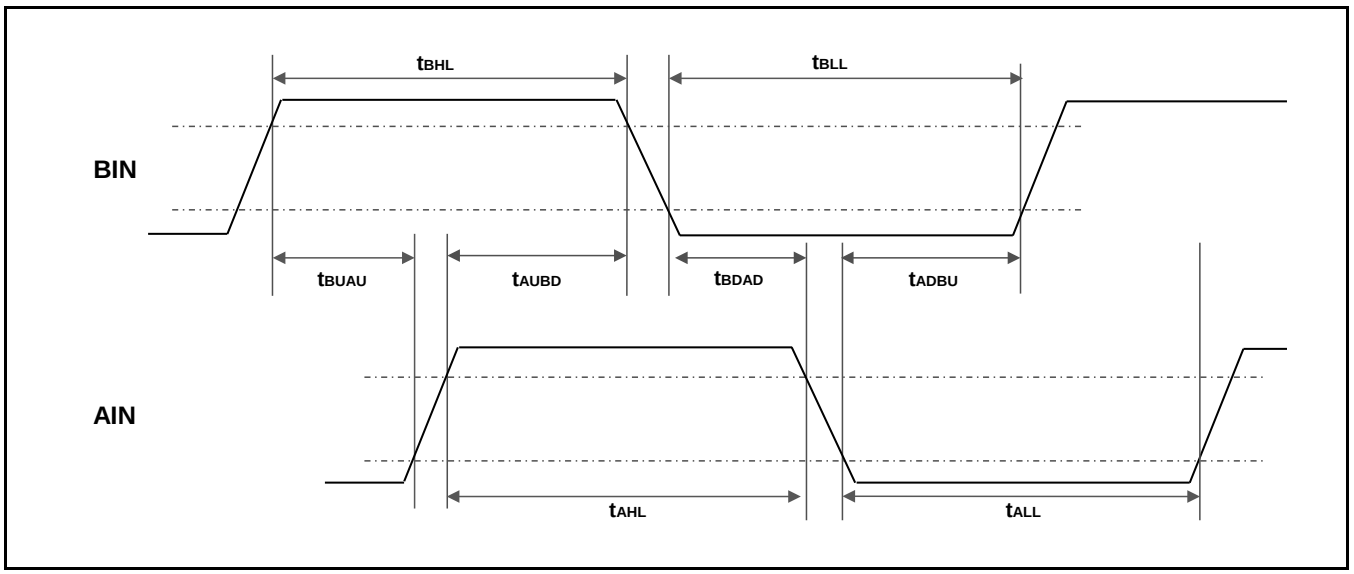
12.4.14 クアッドカウンタ タイミング

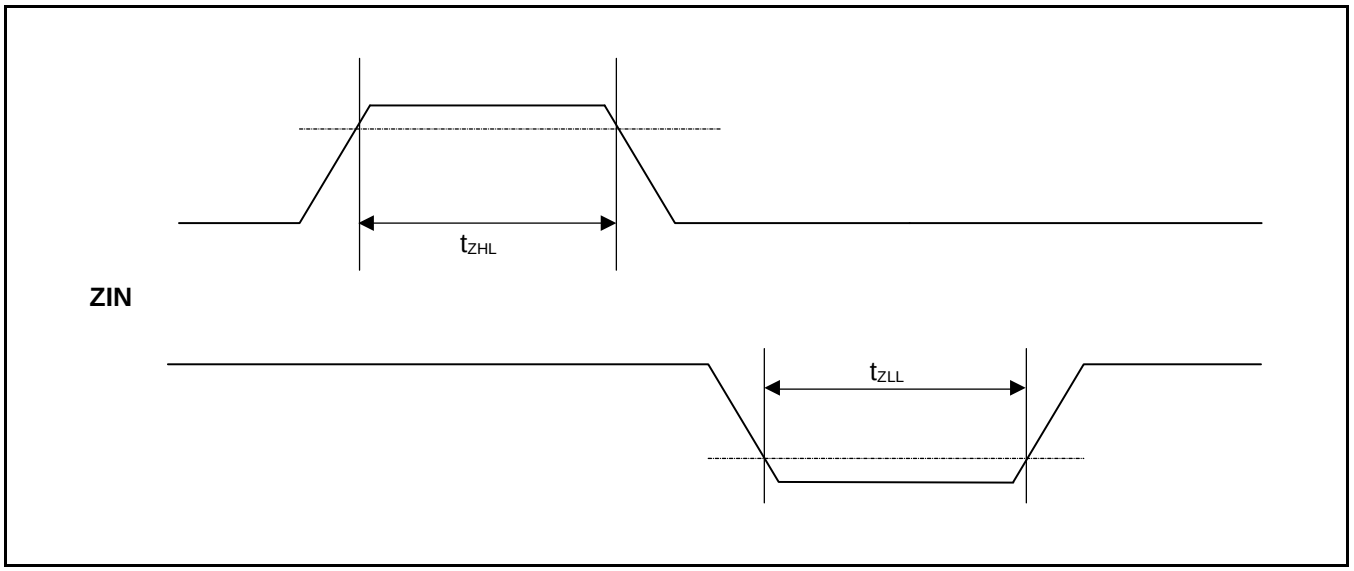
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

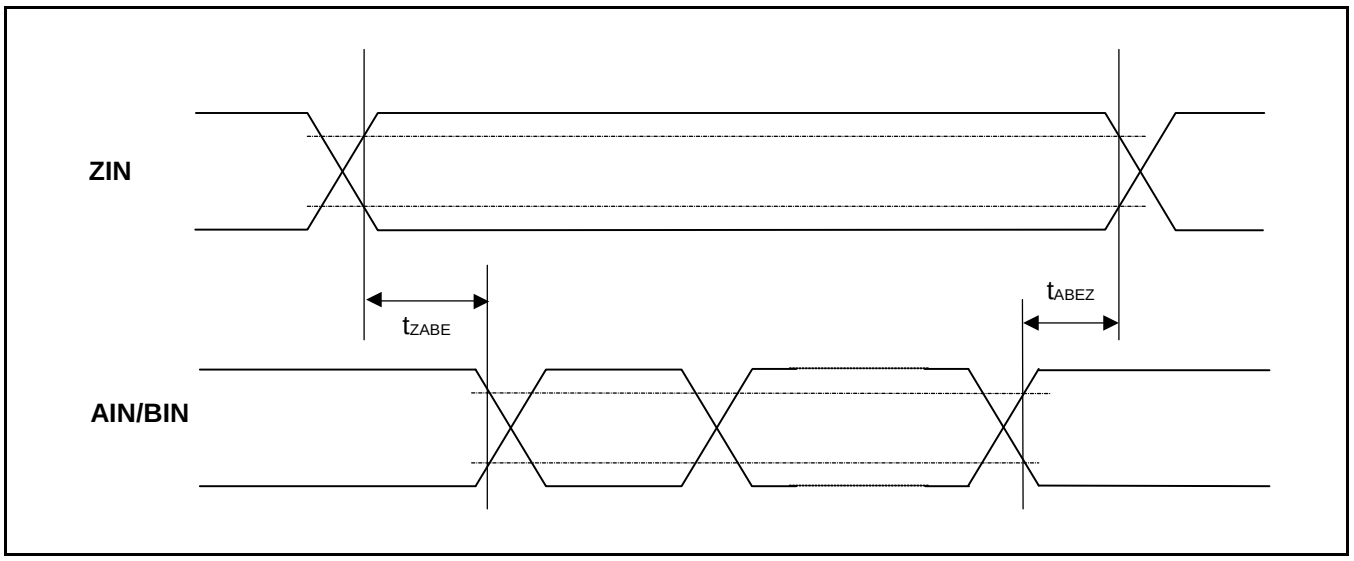
項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子 H 幅	t_{AHL}	-			
AIN 端子 L 幅	t_{ALL}	-			
BIN 端子 H 幅	t_{BHL}	-			
BIN 端子 L 幅	t_{BLL}	-			
AINH レベルから BIN 立上りまでの時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BINH レベルから AIN 立下りまでの時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AINL レベルから BIN 立下りまでの時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BINL レベルから AIN 立上りまでの時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BINH レベルから AIN 立上りまでの時間	t_{BUAU}	PC_Mode2 または PC_Mode3	$2t_{CYCP}$*	-	ns
AINH レベルから BIN 立下りまでの時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BINL レベルから AIN 立下りまでの時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AINL レベルから BIN 立上りまでの時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子 H 幅	t_{ZHL}	QCR:CGSC=0			
ZIN 端子 L 幅	t_{ZLL}	QCR:CGSC=0			
ZIN レベル確定から AIN/BIN 立下り立上りまでの時間	t_{ZABE}	QCR:CGSC=1			
AIN/BIN 立下り立上りから ZIN レベル確定までの時間	t_{ABEZ}	QCR:CGSC=1			

*: t_{CYCP} は APB バスクロックのサイクル時間です (タイマモード, ストップモード時を除く)。クアッドカウンタが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。




BIN
tBHL
tBLL
tBUAU
tAUBD
tBDAD
tADBU
AIN
tAHL
tALL


ZIN
tZHL
tZLL


ZIN
tZABE
tABEZ
AIN/BIN

12.4.15 I²C タイミング

Standard-mode, Fast-mode

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f_{SCL}	C_L = 30pF, R = (V_p/I_{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA↓→SCL↓	t_{HDSTA}		4.0	-	0.6	-	µs	
SCL クロック L 幅	t_{LOW}		4.7	-	1.3	-	µs	
SCL クロック H 幅	t_{HIGH}		4.0	-	0.6	-	µs	
反復「スタート」条件 セットアップ時間 SCL↑→SDA↓	t_{SUSTA}		4.7	-	0.6	-	µs	
データホールド時間 SCL↓→SDA↓↑	t_{HDDAT}		0	3.45*2	0	0.9*3	µs	
データセットアップ時間 SDA↓↑→SCL↑	t_{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL↑→SDA↑	t_{SUSTO}		4.0	-	0.6	-	µs	
「ストップ」条件と 「スタート」条件との間のバスフリー時間	t_{BUF}		4.7	-	1.3	-	µs	
ノイズフィルタ	t_{SP}	2MHz ≦ t_{CYCP}＜40MHz	2 t_{CYCP}*4	-	2 t_{CYCP}*4	-	ns	*5
		40MHz ≦ t_{CYCP}＜60MHz	4 t_{CYCP}*4	-	4 t_{CYCP}*4	-	ns	
		60MHz ≦ t_{CYCP}＜80MHz	6 t_{CYCP}*4	-	6 t_{CYCP}*4	-	ns	
		80MHz ≦ t_{CYCP}≦100MHz	8 t_{CYCP}*4	-	8 t_{CYCP}*4	-	ns	

*1: R, C_L は SCL, SDA ラインのプルアップ抵抗，負荷容量です。Vp はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: 高速モード I²C バスデバイスは標準モード I²C バスシステムに使用できますが、要求される条件 t_{SUDAT}≧250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

Standard-mode 使用時は、周辺バスクロックを 2 MHz 以上に設定してください。
Fast-mode 使用時は、周辺バスクロックを 8 MHz 以上に設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。
APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

Fast-mode plus (Fm+)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	条件	Fast-mode plus(Fm+)*6		単位	備考
			最小	最大		
SCL クロック周波数	f_{SCL}	C_L = 30 pF, R = (V_p/I_{OL})*1	0	1000	kHz	
(反復)「スタート」条件 ホールド時間 SDA↓→SCL↓	t_{HDSTA}		0.26	-	µs	
SCL クロック L 幅	t_{LOW}		0.5	-	µs	
SCL クロック H 幅	t_{HIGH}		0.26	-	µs	
反復「スタート」条件 セットアップ時間 SCL↑→SDA↓	t_{SUSTA}		0.26	-	µs	
データホールド時間 SCL↓→SDA↓↑	t_{HDDAT}		0	0.45*2, *3	µs	
データセットアップ時間 SDA↓↑→SCL↑	t_{SUDAT}		50	-	ns	
「ストップ」条件 セットアップ時間 SCL↑→SDA↑	t_{SUSTO}		0.26	-	µs	
「ストップ」条件と 「スタート」条件との間のバスフリー時間	t_{BUF}		0.5	-	µs	
ノイズフィルタ	t_{SP}	60 MHz ≦ t_{CYCP}＜80 MHz	6 t_{CYCP}*4	-	ns	*5
		80 MHz ≦ t_{CYCP}≦100 MHz	8 t_{CYCP}*4	-	ns	

*1: R, C_L は SCL, SDA ラインのプルアップ抵抗, 負荷容量です。Vp はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I^2C バスデバイスは Standard-mode I^2C バスシステムに使用できますが、要求される条件 t_{SUDAT}≧250 ns を満足しなければなりません。

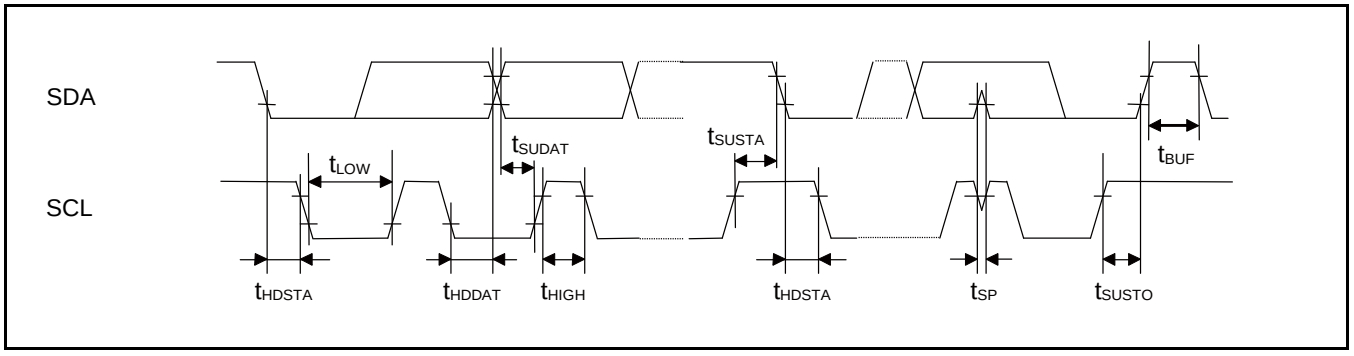
*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I^2C が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

Fast-mode plus (Fm+)使用時は、周辺バスクロックを 64 MHz 以上に設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。
APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

*6: Fast-mode plus (Fm+)使用時は、I/O 端子を EPFR レジスタにて I^2C Fm+に対応したモードに設定してください。
詳細は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 12: I/O ポート』の章を参照してください。



12.4.16 SD カードインタフェースタイミング

Default-Speed mode

■クロック CLK (規格は V_{IH}, V_{IL} レベルでの値となります。)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロック周波数 データ転送モード	f_{PP}	S_CLK	C_{CARD}≦10 pF (1 card)	0	25	MHz
クロック周波数識別モード	f_{OD}	S_CLK		0*/100	400	kHz
クロック低時間	t_{WL}	S_CLK		10	-	ns
クロック高時間	t_{WH}	S_CLK		10	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	10	ns
クロック立下り時間	t_{THL}	S_CLK		-	10	ns

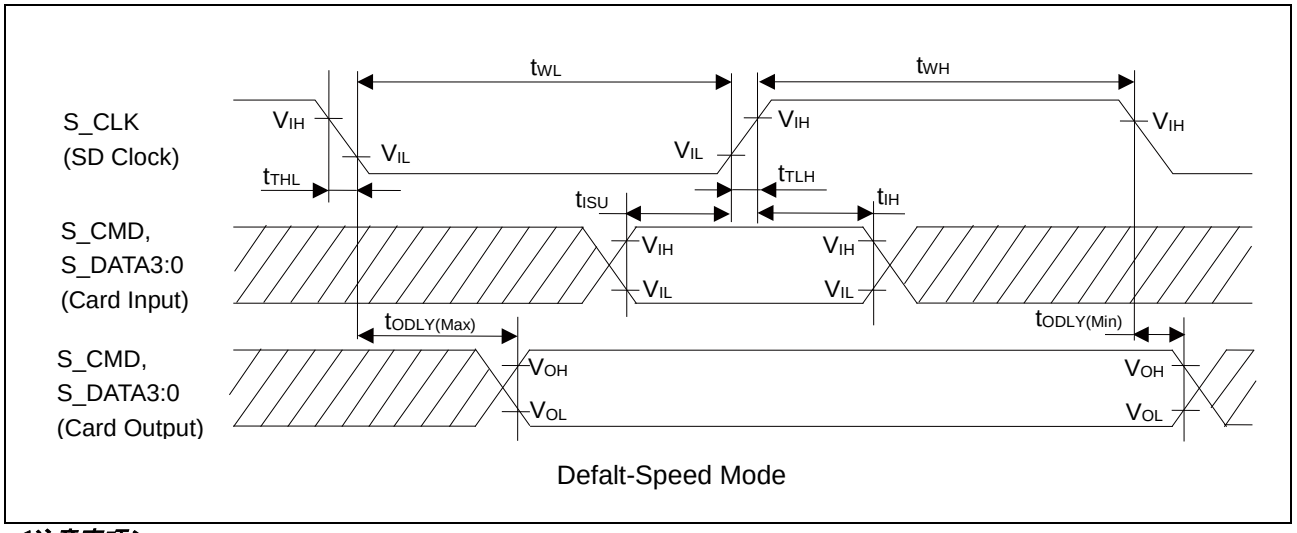
*: 0 Hz はクロック停止を示します。継続動作させる場合、最小周波数となります。

■Card 入力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD, S_DATA3:0	C_{CARD}≦10 pF (1 card)	5	-	ns
入力ホールド時間	t_{IH}	S_CMD, S_DATA3:0		5	-	ns

■Card 出力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
データ転送モード時の 出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0	C_{CARD}≦40 pF (1 card)	0	14	ns
識別モード時の出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0		0	50	ns



Defalt-Speed Mode

<注意事項>

- *本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。*
- *Clock 周波数(f_{PP})は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 15: SD カードインタフェース』を参照してください。*

High-Speed mode

■クロック CLK (規格は V_{IH}, V_{IL} レベルでの値となります。)

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロック周波数 データ転送モード	f_{PP}	S_CLK	C_{CARD}≦10 pF (1 card)	0	50	MHz
クロック低時間	t_{WL}	S_CLK		7	-	ns
クロック高時間	t_{WH}	S_CLK		7	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	3	ns
クロック立下り時間	t_{THL}	S_CLK		-	3	ns

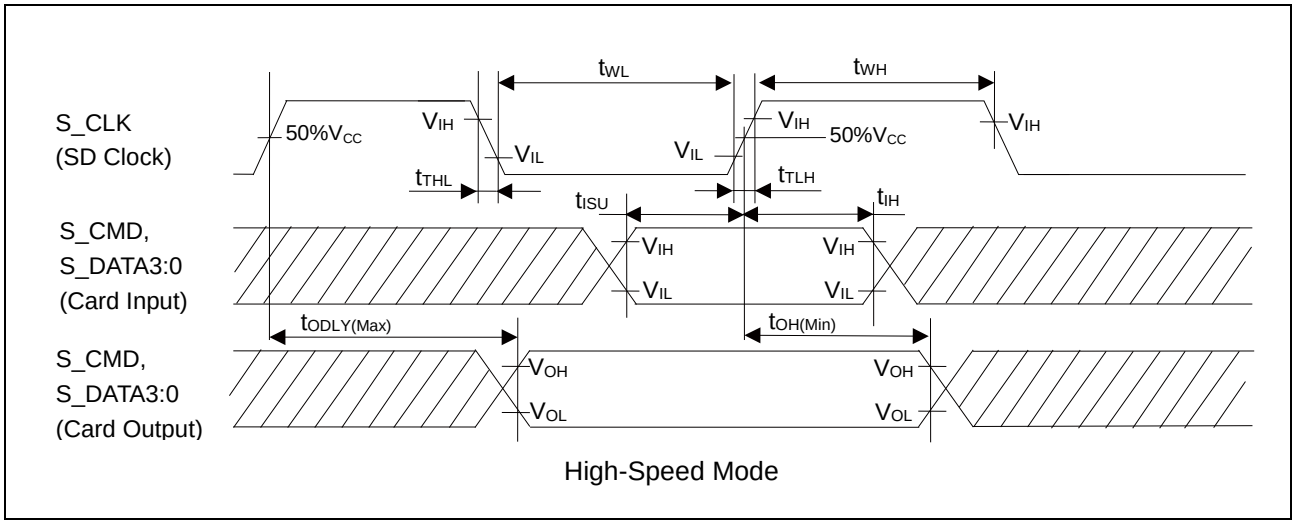
■Card 入力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD, S_DATA3:0	C_{CARD}≦10 pF (1 card)	6	-	ns
入力ホールド時間	t_{IH}	S_CMD, S_DATA3:0		2	-	ns

■Card 出力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
データ転送モード時の 出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0	C_{CARD}≦40 pF (1card)	0	14	ns
出力ホールド時間	t_{OH}	S_CMD, S_DATA3:0	C_{CARD}≧15 pF (1 card)	2.5	-	ns
配線間のシステム総容量	C_L	-	1 card	-	40	pF

*: 厳しいタイミングを満たすために、Host は 1 枚のカードのみ動作させるものとします。



High-Speed Mode

<注意事項>

- *本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。*
- *Clock 周波数(f_{PP})は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 15: SD カードインタフェース』を参照してください。*

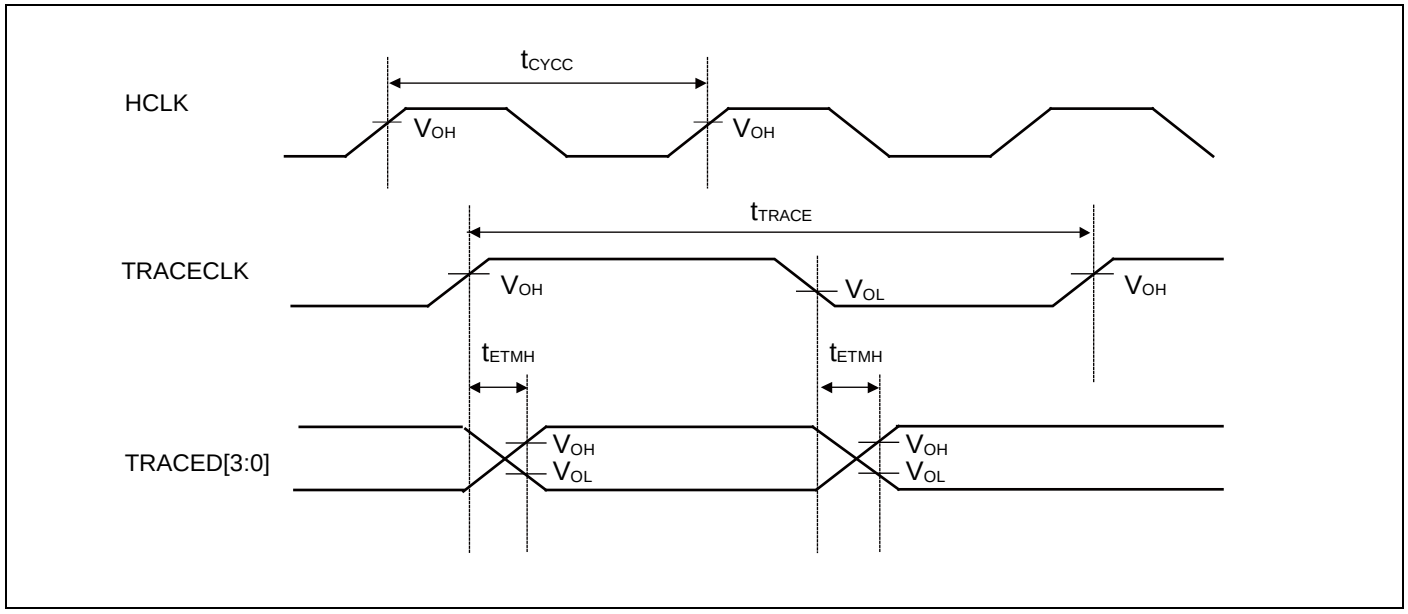
12.4.17 ETM タイミング

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK, TRACED[3:0]	-	2	15	ns	
TRACECLK 周波数	$1/t_{TRACE}$	TRACECLK	-	-	32	MHz	
TRACECLK クロック周期	t_{TRACE}		-	31.25	-	ns	

＜注意事項＞

- *外部負荷容量 C_L=30 pF 時*



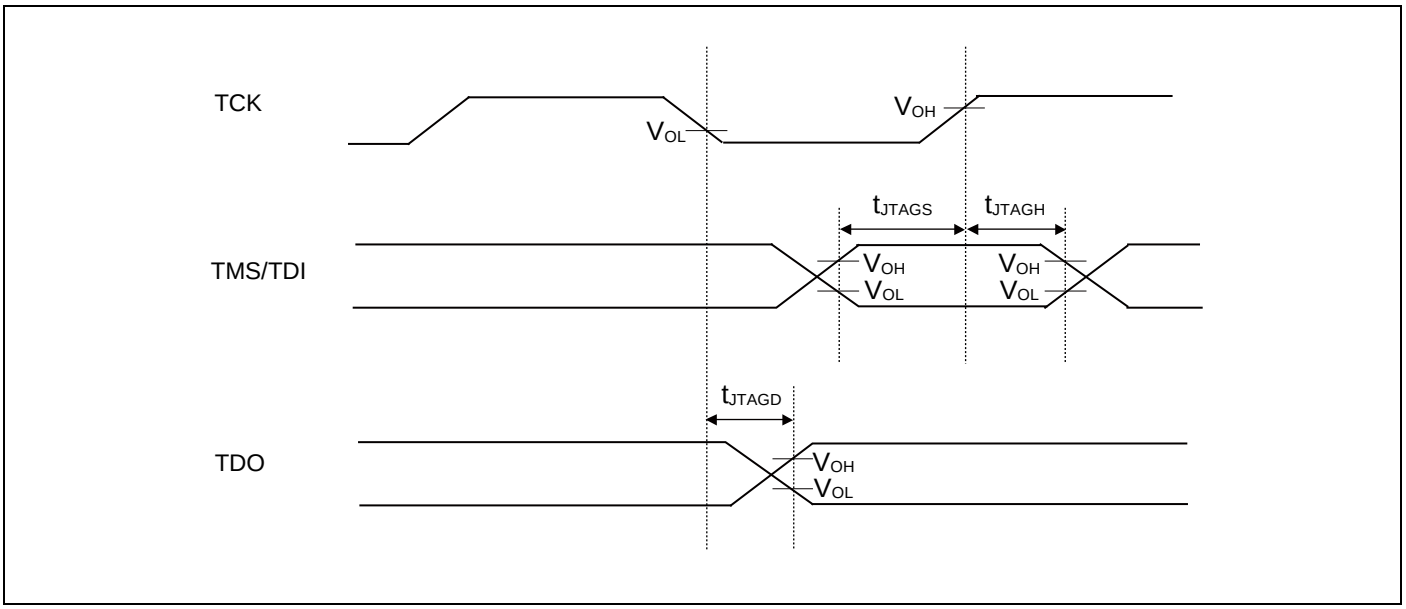
12.4.18 JTAG タイミング

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{JTAGS}	TCK, TMS, TDI	-	15	-	ns	
TMS, TDI ホールド時間	t_{JTAGH}	TCK, TMS, TDI	-	15	-	ns	
TDO 遅延時間	t_{JTAGD}	TCK, TDO	-	-	45	ns	

<注意事項>

- *外部負荷容量 C_L = 30 pF*



12.4.19 I²S タイミング

マスタモードタイミング

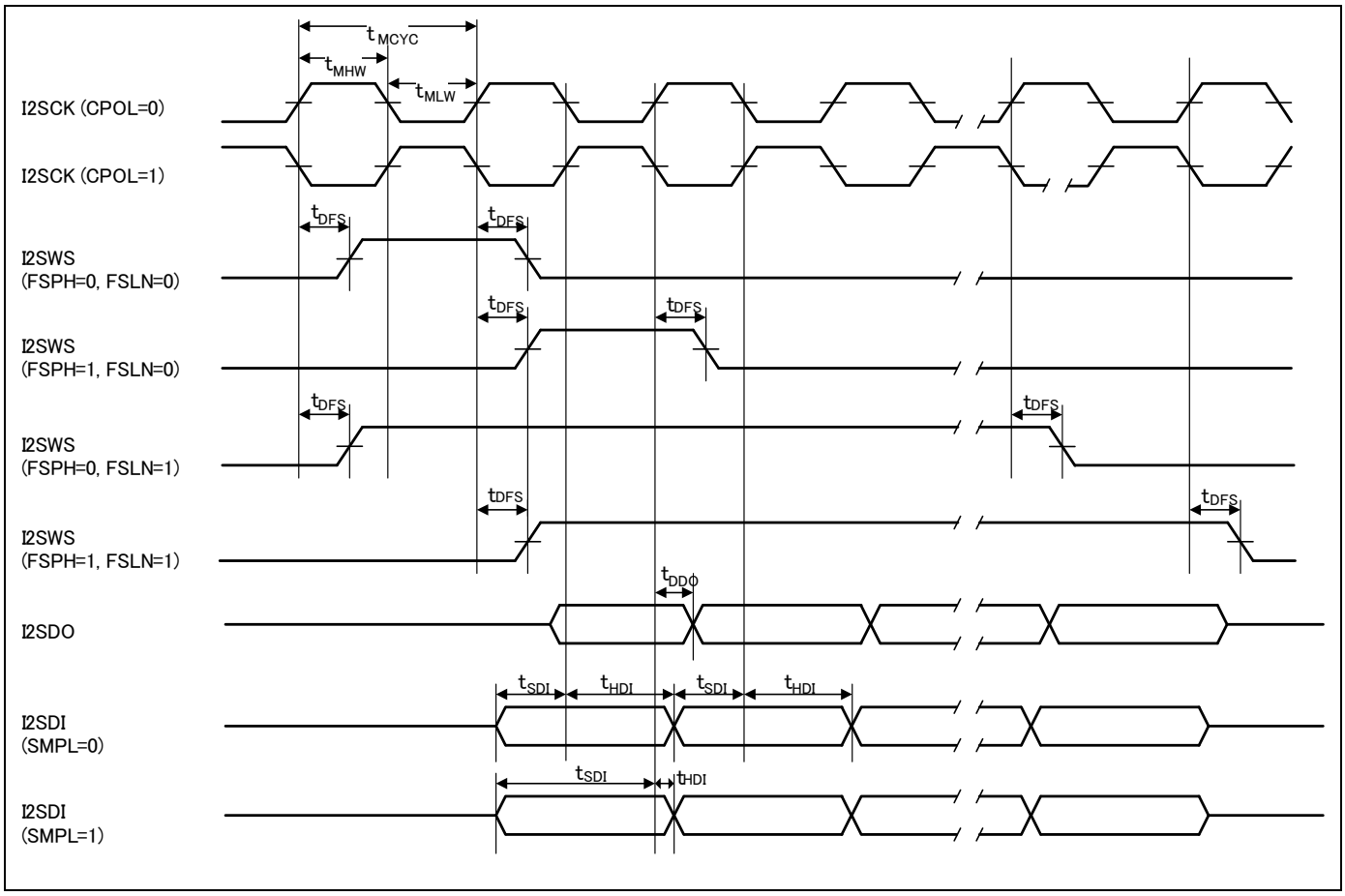
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{MCYC}	I2SCK	-	-	12.288	MHz	
出力クロックパルス幅	t_{MHW}	I2SCK	-	45	55	%	
	t_{MLW}			45	55	%	
I2SCK→I2SWS 遅延時間	t_{DFS}	I2SCK, I2SWS	-	0	24.0	ns	
I2SCK→I2SDO 遅延時間*	t_{DDO}	I2SCK, I2SDO	-	0	24.0	ns	
I2SDI→I2SCK セットアップ時間	t_{HSDI}	I2SCK, I2SDI	-	25.0	-	ns	
I2SDI→I2SCK ホールド時間	t_{HDI}		-	0	-	ns	
入力信号立上り時間	t_{RI}	I2SDI	-	-	5	ns	
入力信号立下り時間	t_{FI}		-	-	5	ns	

*: 送信フレームの最初のビットを除く

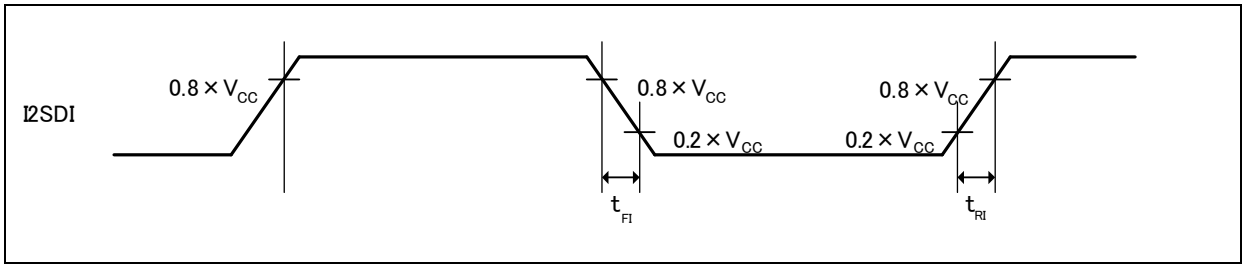
＜注意事項＞

- *外部負荷容量 C_L = 20 pF*
- *I2SWS=48 kHz, I2MCLK=256 × I2SWS 時。*
  フレーム同期信号(I2SWS)は、48 kHz, 32 kHz, 16 kHz を設定可能です。
  詳細は、『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。



<注意事項>

- *CPOL, FSPH, FSLIN, SMPL は『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。*



スレーブモードタイミング

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

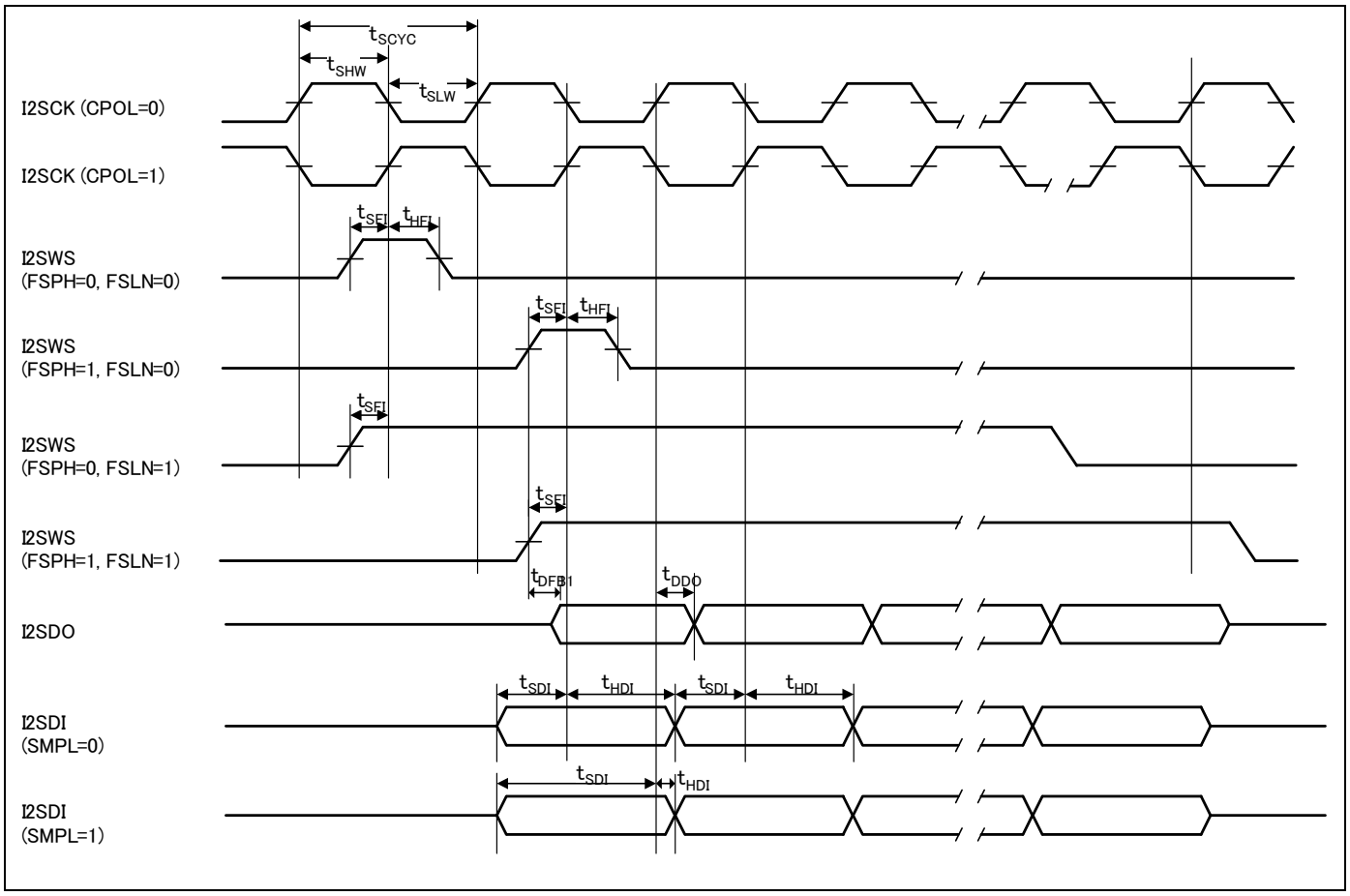
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	t_{SCYC}	I2SCK	-	-	12.288	MHz	
入力クロックパルス幅	t_{SHW}	I2SCK	-	45	55	%	
	t_{SLW}			45	55	%	
I2SWS→I2SCK セットアップ時間	t_{SFI}	I2SCK, I2SWS	-	8	-	ns	
I2SWS→I2SCK ホールド時間	t_{HFI}	I2SCK, I2SWS	-	0	-	ns	
I2SCK↑→I2SDO 遅延時間*1	t_{DDO}	I2SCK, I2SDO	-	0	32	ns	
I2SCK↑→I2SDO 遅延時間*2	t_{DFB1}		-	0	32	ns	
I2SDI→I2SCK↓ セットアップ時間	t_{SDI}	I2SCK, I2SDI	-	8	-	ns	
I2SDI→I2SCK↓ ホールド時間	t_{HDI}		-	0	-	ns	
入力信号立上り時間	t_{RI}	I2SCK, I2SWS,I2SDI	-	-	5	ns	
入力信号立下り時間	t_{FI}		-	-	5	ns	

*1: 送信フレームの最初のビットを除く

*2: FSPH レジスタ 1 時

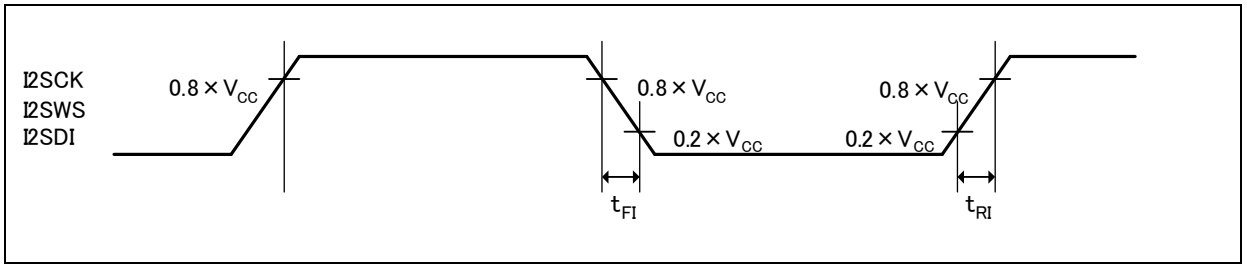
＜注意事項＞

- *外部負荷容量 C_L = 20 pF*
- *I2SWS=48 kHz, I2MCLK=256 × I2SWS 時。*
  フレーム同期信号(I2SWS)は、48 kHz, 32 kHz, 16 kHz を設定可能です。
  詳細は、『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。



<注意事項>

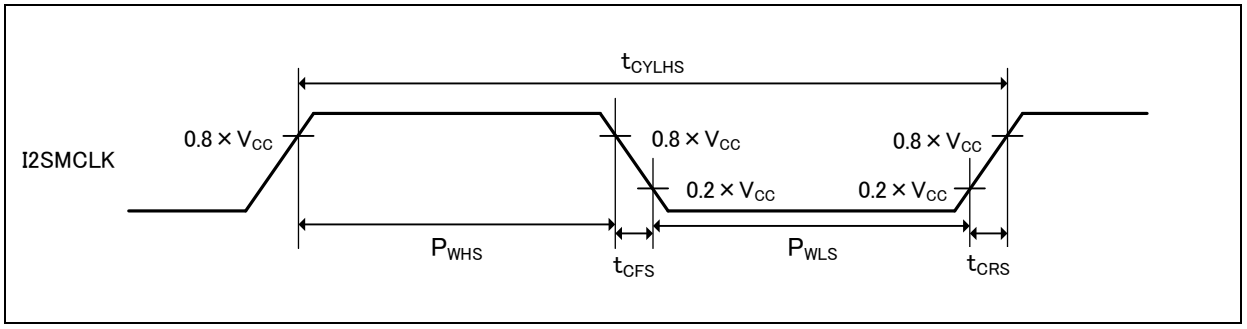
- *FSPH, FSLN, SMPL は『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。*
- *I2SCK 入力は CNTREG レジスタの CPOL ビットにより極性を選択可能です。*



I2SMCLK 入力規格

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CHS}	I2SCK	-	-	25	MHz	
入力クロック 周期	t_{CYLHS}	-	-	40	-	ns	
入力クロック パルス幅	-	-	P_{WHS}/t_{CYLHS} P_{WLS}/t_{CYLHS}	45	55	%	外部クロック時
入力クロック 立上り，立下り時間	t_{CFS} t_{CRS}	-	-	-	5	ns	外部クロック時



I2SMCLK 出力規格

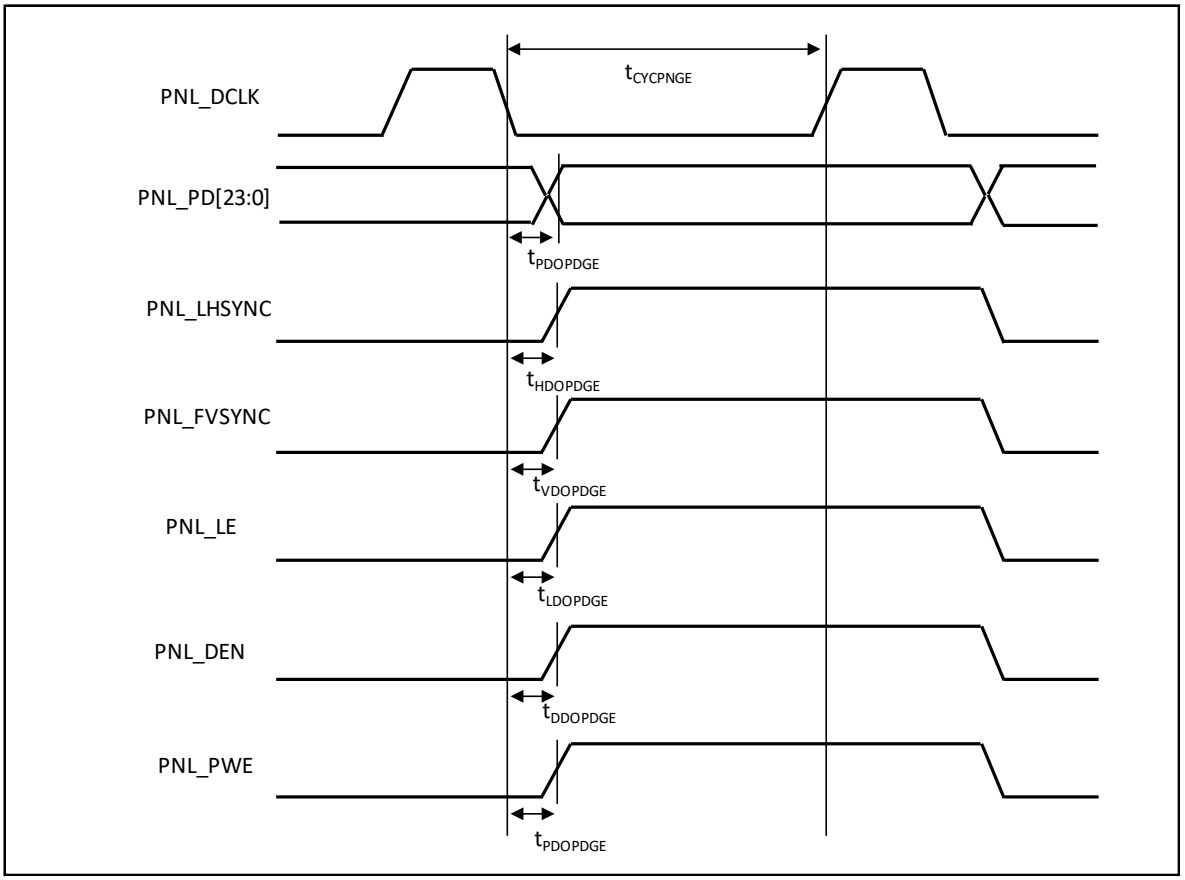
(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CHS}	I2SCK	-	-	12.288	MHz	

12.4.20 GDC：パネル出力 タイミング

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

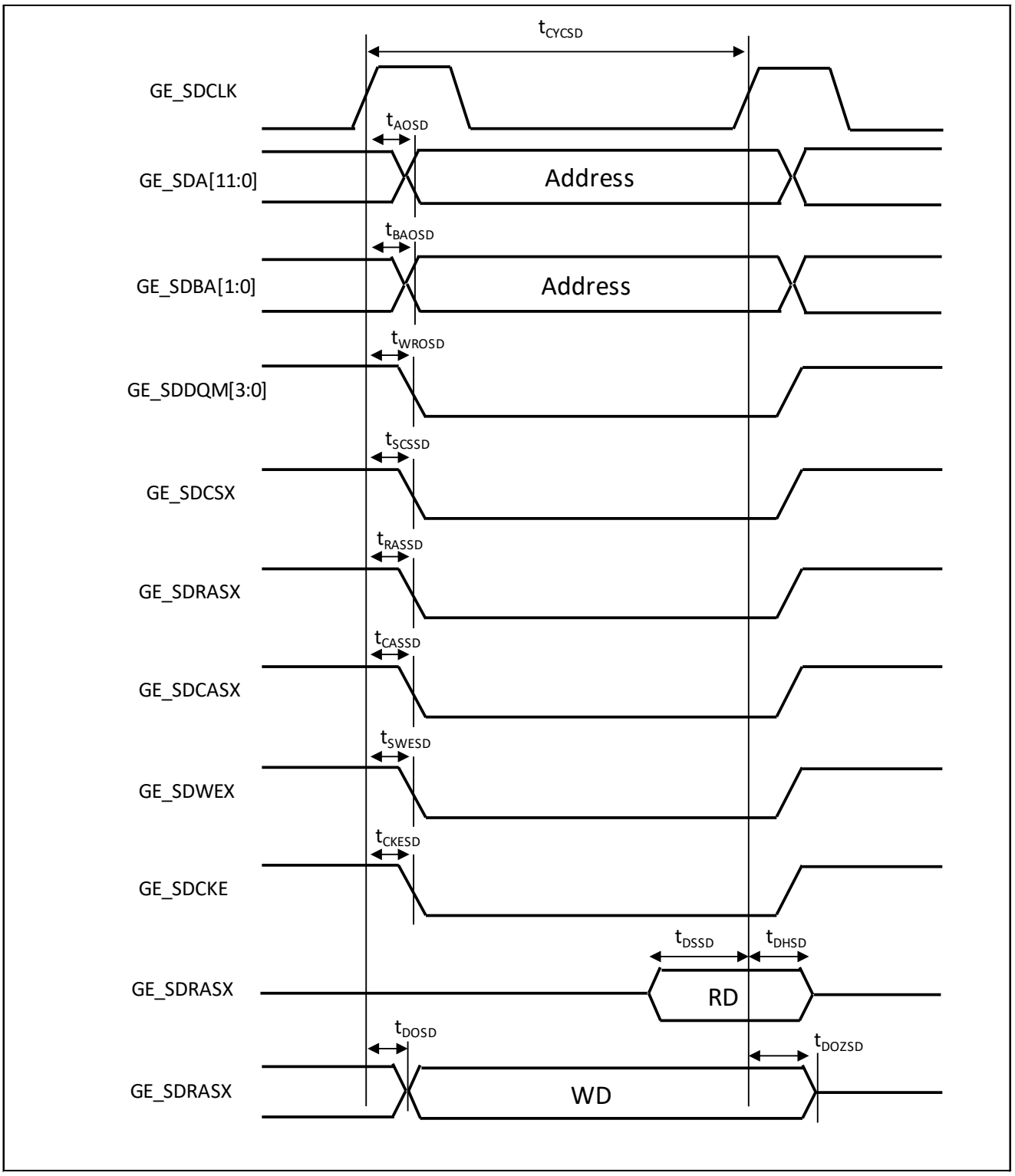
項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	$t_{CYCPNGE}$	PNL_DCLK	-	-	40	MHz
PNL_DCLK↓→PNL_PD[23:0] 出力遅延時間	$t_{PDOPDGE}$	PNL_DCLK PNL_PD[23:0]	-	-4.5	4.5	ns
PNL_DCLK↓→PNL_LH_SYNC 出力遅延時間	$t_{HDOPDGE}$	PNL_DCLK PNL_LH_SYNC	-	-4.5	4.5	ns
PNL_DCLK↓→PNL_FV_SYNC 出力遅延時間	$t_{VDOPDGE}$	PNL_DCLK PNL_FV_SYNC	-	-4.5	4.5	ns
PNL_DCLK↓→PNL_LE 出力遅延時間	$t_{LDOPDGE}$	PNL_DCLK PNL_LE	-	-4.5	4.5	ns
PNL_DCLK↓→PNL_DEN 出力遅延時間	$t_{DDOPDGE}$	PNL_DCLK PNL_DEN	-	-4.5	4.5	ns
PNL_DCLK↓→PNL_PWE 出力遅延時間	$t_{PDOPDGE}$	PNL_DCLK PNL_PWE	-	-4.5	4.5	ns



12.4.21 GDC：SDRAM-IF タイミング

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

項目	記号	端子名	規格値		単位
			最小	最大	
出力周波数	t_{CYCSD}	GE_SDCLK	-	80	MHz
アドレス遅延時間	t_{AOSD}	GE_SDCLK GE_SDA[11:0]	1	5	ns
バンクアドレス遅延時間	t_{BAOSD}	GE_SDCLK GE_SDBA[1:0]	1	5	ns
GE_SDCLK↑→データ出力遅延時間	t_{DOSD}	GE_SDCLK GE_SDDQ[31:0]	1	5	ns
GE_SDCLK↑→データ出力 HiZ 時間	t_{DOZSD}	GE_SDCLK GE_SDDQ[31:0]	1	5	ns
GE_SDDQM[3:0] 遅延時間	t_{WROSD}	GE_SDCLK GE_SDDQM[3:0]	1	5	ns
GE_SDCSX 遅延時間	t_{SCSSD}	GE_SDCLK GE_SDCSX	1	5	ns
GE_SDRASX 遅延時間	t_{RASSD}	GE_SDCLK GE_SDRASX	1	5	ns
GE_SDCASX 遅延時間	t_{CASSD}	GE_SDCLK GE_SDCASX	1	5	ns
GE_SDWEX 遅延時間	t_{SWESD}	GE_SDCLK GE_SDWEX	1	5	ns
GE_SDCKE 遅延時間	t_{CKESD}	GE_SDCLK GE_SDCKE	1	5	ns
データセットアップ時間	t_{DSSD}	GE_SDCLK GE_SDDQ[31:0]	4	-	ns
データホールド時間	t_{DHSD}	GE_SDCLK GE_SDDQ[31:0]	0	-	ns


tCYCSD
GE_SDCLK
tAOSD
GE_SDA[11:0]
Address
tBAOSD
GE_SDBA[1:0]
Address
tWROSD
GE_SDDQM[3:0]
tSCSSD
GE_SDCSX
tRASSD
GE_SDRASX
tCASSD
GE_SDCASX
tSWESD
GE_SDWEX
tCKESD
GE_SDCKE
tDSSD
tDHSD
GE_SDRASX
RD
tDOSD
tDOZSD
GE_SDRASX
WD

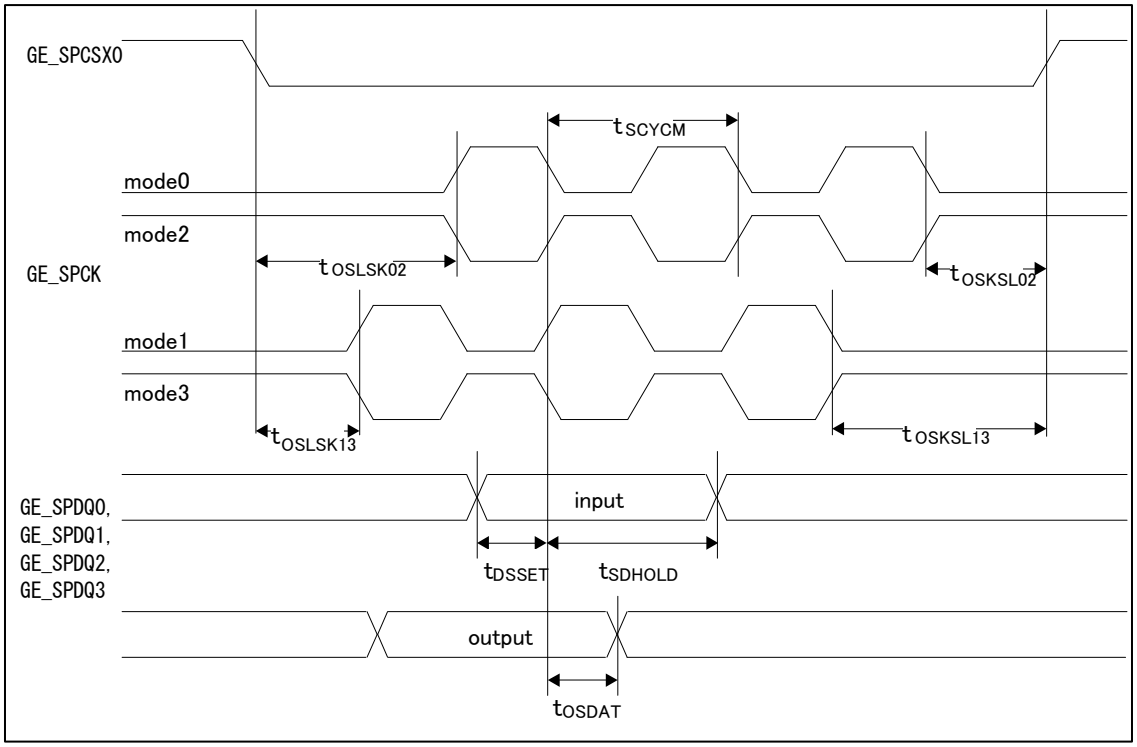
12.4.22 GDC：High-Speed Quad SPI タイミング

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロック周波数	t_{SCYCM}	GE_SPCK	C_L=20 pF	-	80	MHz
有効 CS→ CLK スタート時間 (mode0/mode2)	$t_{OSLSK02}$	GE_SPCK, GE_SPCSX0		1.5×t_{SCYCM} - 4.25	-	ns
有効 CS→ CLK スタート時間 (mode1/mode3)	$t_{OSLSK13}$			t_{SCYCM} - 4.25	-	ns
CLK 最後→ 無効 CS 時間 (mode0/mode2)	$t_{OSKSL02}$			t_{SCYCM}	-	ns
CLK 最後→ 無効 CS 時間 (mode1/mode3)	$t_{OSKSL13}$			1.5×t_{SCYCM}	-	ns
SIO データ出力時間	t_{OSDAT}	GE_SPCK, GE_SPDQ0, GE_SPDQ1, GE_SPDQ2, GE_SPDQ3		-1.25	4.25	ns
SIO セットアップ時間	t_{DSSET}			4	-	ns
SIO ホールド時間	t_{SDHOLD}			0.5×t_{SCYCM}	-	ns

＜注意事項＞

- *RTM, mode の詳細は、『FM4 ファミリ ペリフェラルマニュアル 通信マクロ編(002-04904)』の『Chapter 8-3: High-Speed Quad SPI controller』を参照してください。*

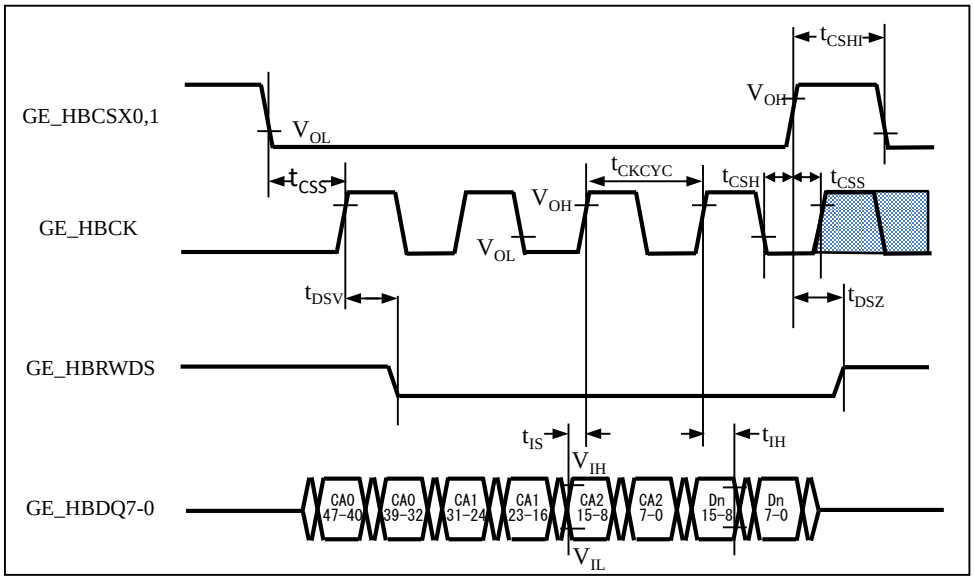

GE_SPCSX0
tSCYCM
mode0
mode2
GE_SPCK
tOSLSK02
tOSKSL02
mode1
mode3
tOSLSK13
tOSKSL13
GE_SPDQ0,
GE_SPDQ1,
GE_SPDQ2,
GE_SPDQ3
input
tDSSET
tSDHOLD
output
tOSDAT

12.4.23 GDC:HyperBus I/F　タイミング

HyperFlash Write

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

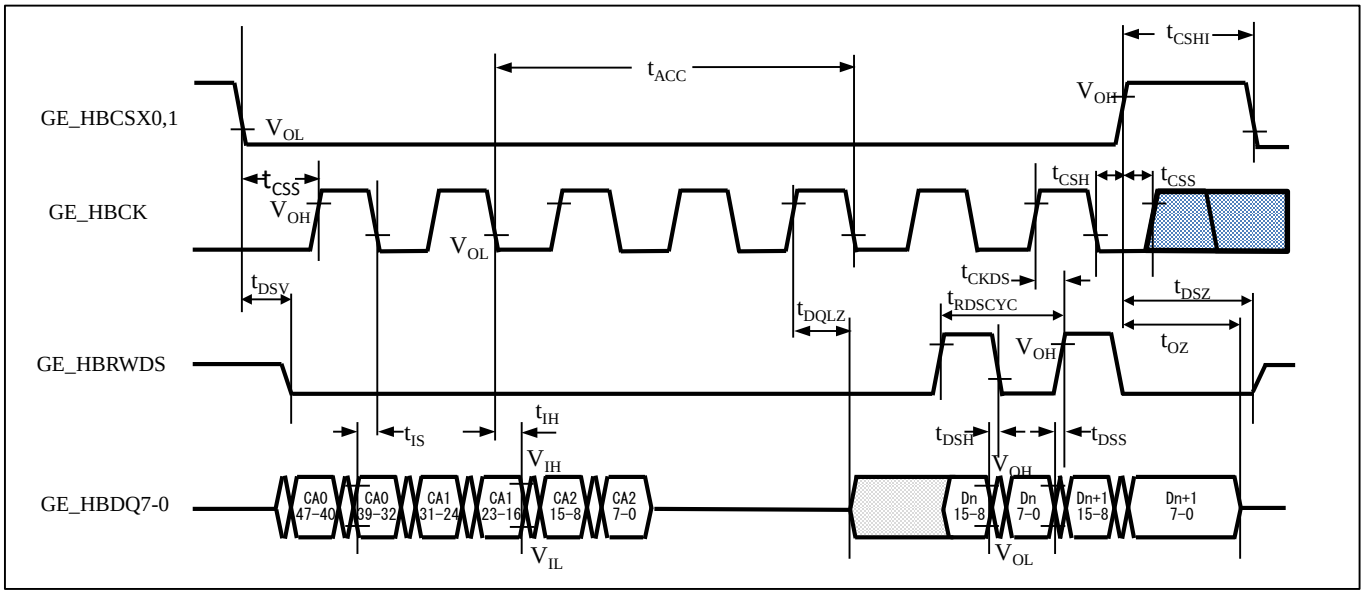
項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロックサイクル	t_{CKCYC}	GE_HBCK	C_L=30 pF	10	-	ns
CS↑ ↓→CK↑ チップセレクトセットアップ時間	t_{CSS}	GE_HBCSX1 GE_HBCSX0		3	-	ns
CS↓→RDS↓ リード(L)確定時間	t_{DSV}	GE_HBRWDS		-	8	ns
DQ → CK↑ ↓ 入力セットアップ時間	t_{IS}	GE_HBDQ7- GE_HBDQ0		0.8	-	ns
CK↑ ↓ → DQ 入力ホールド時間	t_{IH}	GE_HBDQ7- GE_HBDQ0		0.8	-	ns
CK↓ → CS↑ チップセレクトホールド時間	t_{CSH}	GE_HBCSX1 GE_HBCSX0		0	-	ns
CS↑→ RDS(Hi-z) CS 無効→リード(High-Z)時間	t_{DSZ}	GE_HBCSX1 GE_HBCSX0		-	7	ns
CS↑ → CS↓ チップセレクト H 期間	t_{CSHI}	GE_HBCSX1 GE_HBCSX0		8	-	ns



HyperFLASH Read

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロックサイクル	t_{RDSCYC}	GE_HBCK	C_L=30 pF	10	-	ns
初期リードアクセス時間	t_{ACC}	GE_HBCK		-	120	ns
CS↑ ↓→CK↑ CS セットアップ時間	t_{CSS}	GE_HBCSX1 GE_HBCSX0		3	-	ns
CS↓ → RDS↓ CS 有効→RDS(L)時間	t_{DSV}	GE_HBRWDS		-	8	ns
DQ → CK↑ ↓ 入力セットアップ時間	t_{IS}	GE_HBDQ7- GE_HBDQ0		0.8	-	ns
CK↑ ↓→ DQ 入力ホールド時間	t_{IH}	GE_HBDQ7- GE_HBDQ0		0.8	-	ns
CK↓ → CS↑ CS ホールド時間	t_{CSH}	GE_HBCSX1 GE_HBCSX0		0	-	ns
CS↑ → RDS(Hi-Z) CS 無効→リード(Hi-Z)時間	t_{DSZ}	GE_HBRWDS		-	7	ns
CK↑ ↓ → DQ (Low Z) データ(Low Z)時間	t_{DQLZ}	GE_HBDQ7- GE_HBDQ0		0	-	ns
RDS↑ ↓→ DQ (valid) データ確定時間	t_{DSS}	GE_HBDQ7- GE_HBDQ0		-0.8	+0.8	ns
RDS↑ ↓→ DQ (invalid) データ無効時間	t_{DSH}	GE_HBDQ7- GE_HBDQ0		-0.8	+0.8	ns
CS↑ → DQ (Hi-Z) CS 無効→データ(Hi-Z)時間	t_{OZ}	GE_HBDQ7- GE_HBDQ0		-	7	ns
CK↑ ↓ → RDS↑ ↓ リード切り替え時間	t_{CKDS}	GE_HBRWDS		1	7	ns
CS↑ → CS↓ CS H 期間	t_{CSHI}	GE_HBCSX1 GE_HBCSX0		8	-	ns



12.5 12 ビット A/D コンバータ

A/D コンバータ電気的特性

(V_{CC} = AV_{CC} = 2.7V～3.6V, V_{SS} = AV_{SS} = AVRL = 0V)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	-	±4.5	LSB	AVRH=2.7 V～3.6 V オフセットキャリブレーション機能使用時
微分直線性誤差	-	-	-	-	±2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	-	±2	±7	LSB	
フルスケールトランジション電圧	V_{FST}	ANxx	-	AVRH±2	AVRH±7	LSB	
総合誤差	-	-	-	±3	±8	LSB	
変換時間	-	-	1.0[*1]	-	-	µs	
サンプリング時間*2	t_S	-	0.3	-	10	µs	
コンペアクロック周期*3	t_{CCK}	-	50	-	1000	ns	
動作許可状態遷移時間	t_{STT}	-	-	-	1.0	µs	
電源電流(アナログ+デジタル)	-	AVCC	-	0.30	0.45	mA	A/D 1unit 動作時
			-	0.1	9.5	µA	A/D 停止時
基準電源電流(AVRH)	-	AVRH	-	0.66	1.18	mA	A/D 1unit 動作時 AVRH=3.3 V
			-	0.2	3.2	µA	A/D 停止時
アナログ入力容量	C_{AIN}	-	-	-	12.05	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.8	kΩ	
チャネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	µA	
アナログ入力電圧	-	ANxx	AV_{SS}	-	AVRH	V	
			AV_{SS}	-	AV_{CC}	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	t_{CCK} ≧ 50 ns
	-	AVRL	AV_{SS}		AV_{SS}	V	

*1: 変換時間は「サンプリング時間(t_S) ＋ コンペア時間(t_C)」の値です。

必ずサンプリング時間(ts), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。

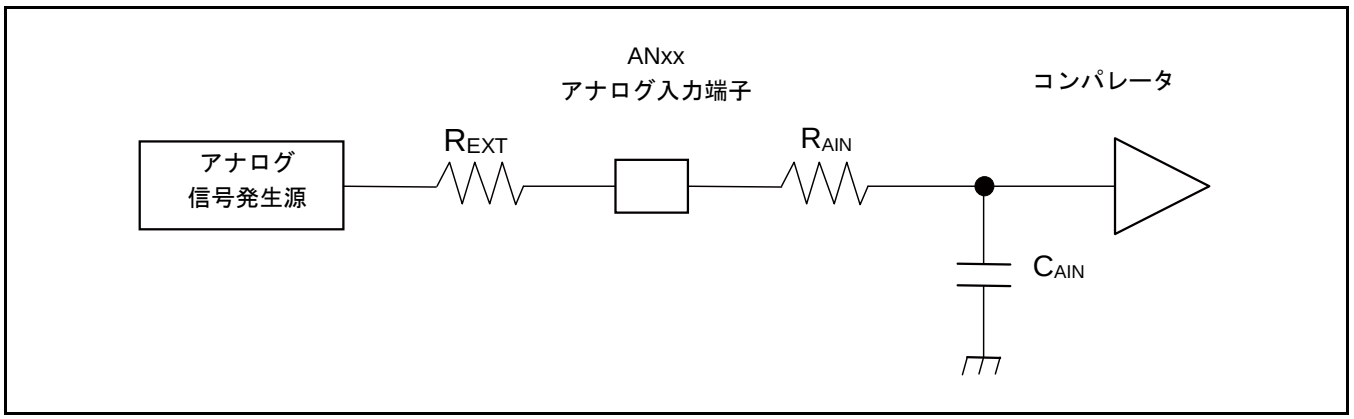
サンプリング時間、コンペアクロック周期の設定については、『FM4 ファミリ ペリフェラルマニュアル アナログマクロ編(002-04861)』の『Chapter 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。
A/D コンバータが接続されている APB バス信号については、「10. ブロックダイヤグラム」を参照してください。サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)にて生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_C)は(式 2)の値です。



(式 1) $t_S \geqq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_S: サンプリング時間
R_{AIN}: A/D コンバータの入力抵抗 = 1.8 kΩ
C_{AIN}: A/D コンバータの入力容量 = 12.05 pF
R_{EXT}: 外部回路の出力インピーダンス

(式 2) $t_C = t_{CCK} \times 14$

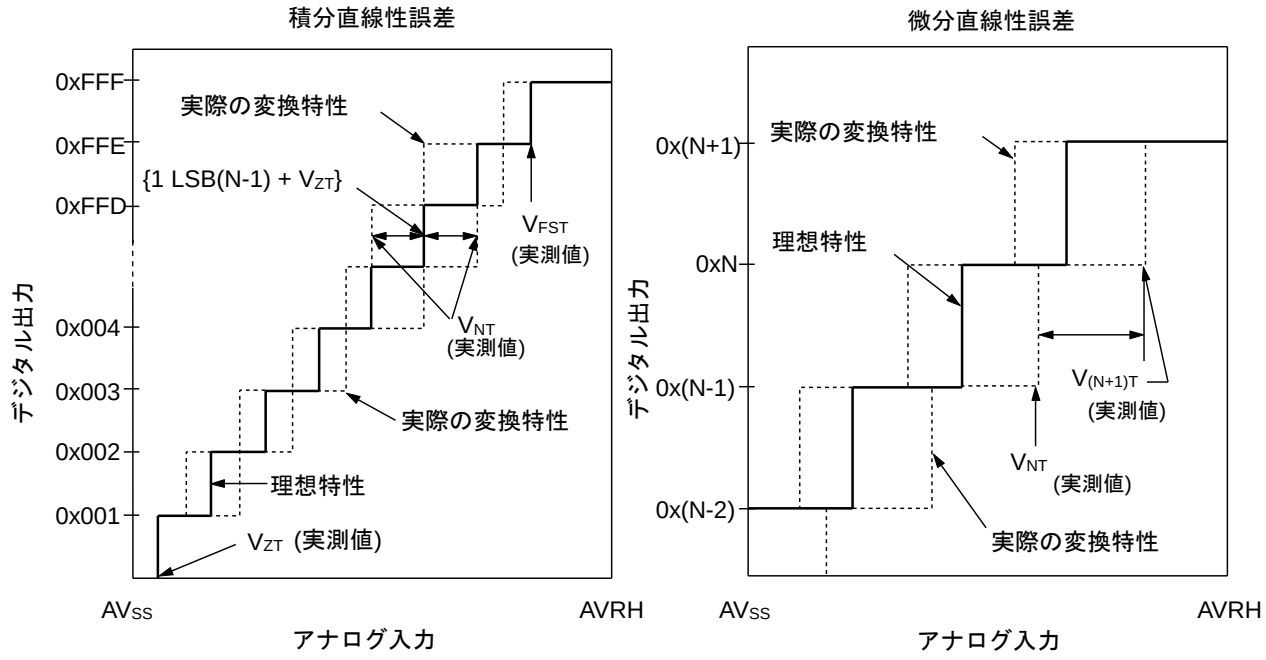
t_C: コンペア時間
t_{CCK}: コンペアクロック周期

12 ビット A/D コンバータの用語の定義

■分解能: A/D コンバータにより識別可能なアナログ変化

■積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差

■微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



デジタル出力 N の積分直線性誤差 = $\frac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB}$ [LSB]

デジタル出力 N の微分直線性誤差 = $\frac{V_{(N+1)T} - V_{NT}}{1LSB}$ - 1 [LSB]

$1LSB = \frac{V_{FST} - V_{ZT}}{4094}$

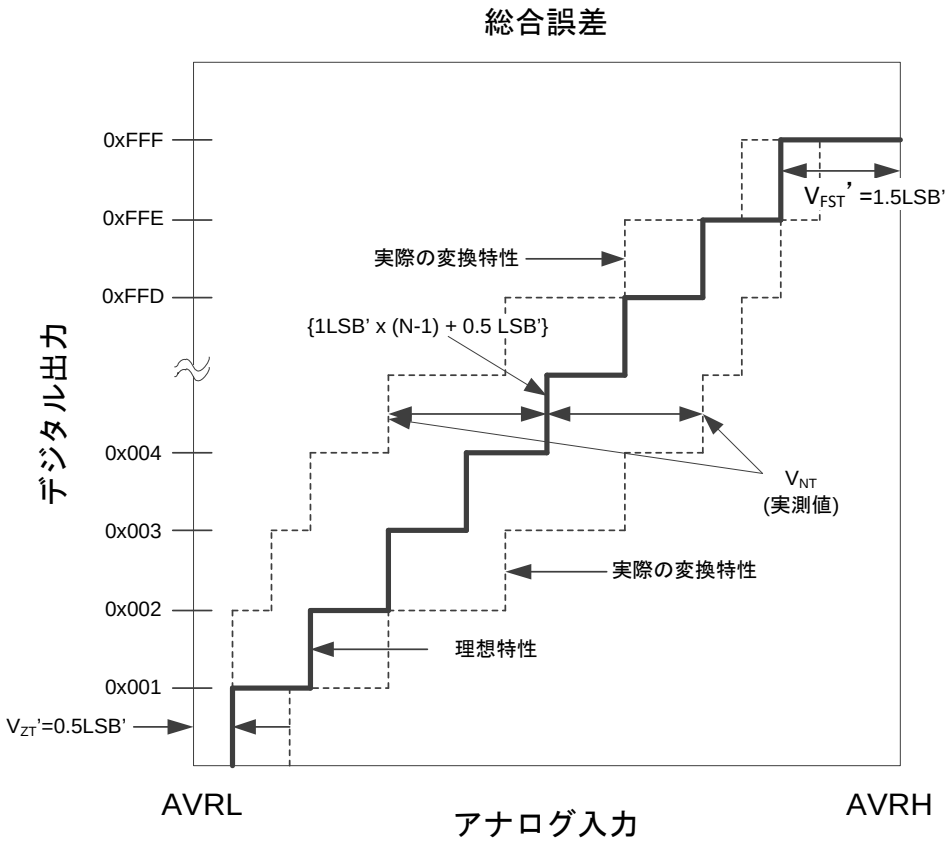
N: A/D コンバータデジタル出力値

V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧

V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧

V_{NT}: デジタル出力が 0x (N – 1)から 0xN に遷移する電圧

■総合誤差:　実際の値と理論値との差を言い、ゼロトランジション電圧/フルスケールトランジション電圧/直線性誤差を含む誤差



$$\text{デジタル出力Nの総合誤差} = \frac{V_{NT} - \{1\ LSB' \times (N-1) + 0.5\ LSB'\}}{1\ LSB'} \quad [LSB]$$

$$1\ LSB'\ (\text{理想値}) = \frac{AVRH - AVRL}{4096} \quad [V]$$

V_{ZT}' (理想値) = AVRL + 0.5 LSB' [V]

V_{FST}' (理想値) = AVRH - 1.5 LSB' [V]

V_{NT}': デジタル出力が (N-1) からNに遷移する電圧

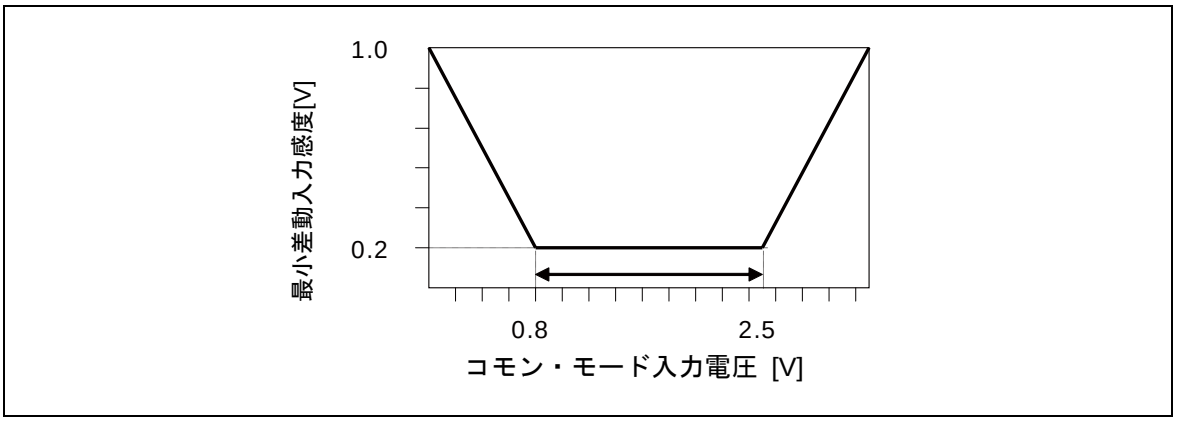
12.6 USB 特性

(V_{CC} = 3.0V～3.6V, V_{SS} = 0V)

項目		記号	端子名	条件	規格値		単位	備考
					最小	最大		
入力特性	入力 H レベル電圧	V_{IH}	UDP0/UDM0	-	2.0	V_{CC} + 0.3	V	*1
	入力 L レベル電圧	V_{IL}		-	V_{SS} – 0.3	0.8	V	*1
	差動入力感度	V_{DI}		-	0.2	-	V	*2
	差動コモンモードレンジ	V_{CM}		-	0.8	2.5	V	*2
出力特性	出力 H レベル電圧	V_{OH}		外部プルアップ抵抗=15kΩ	2.8	3.6	V	*3
	出力 L レベル電圧	V_{OL}		外部プルアップ抵抗=15 kΩ	0.0	0.3	V	*3
	クロスオーバ電圧	V_{CRS}		-	1.3	2.0	V	*4
	立上り時間	t_{FR}		Full-Speed	4	20	ns	*5
	立下り時間	t_{FF}		Full-Speed	4	20	ns	*5
	立上り/立下り時間マッチング	t_{FRFM}		Full-Speed	90	111.11	%	*5
	出力インピーダンス	Z_{DRV}		Full-Speed	28	44	Ω	*6
	立上り時間	t_{LR}		Low-Speed	75	300	ns	*7
	立下り時間	t_{LF}		Low-Speed	75	300	ns	*7
	立上り/立下り時間マッチング	t_{LRFM}		Low-Speed	80	125	%	*7

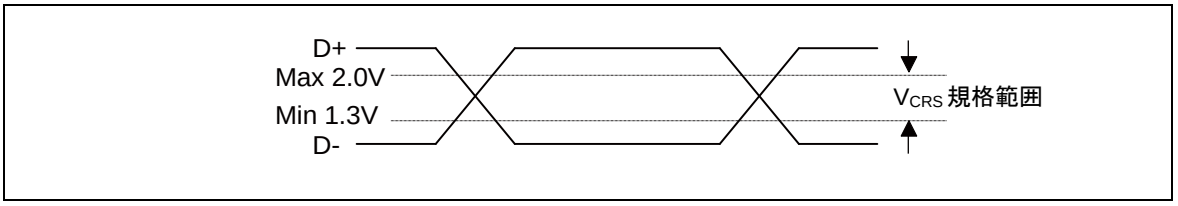
*1: USB I/O の Single-End-Receiver のスイッチング・スレッショルド電圧は V_{IL}(Max)=0.8 V, V_{IH}(Min)=2.0 V(TTL 入力規格)の範囲内に設定されています。また、ノイズ感度を低下させるためヒステリシス特性を持たせています。

*2: USB 差動データ信号の受信には、Differential-Receiver を使用します。
Differential-Receiver は、差動データ入力がローカル・グランド・リファレンスレベルに対し、0.8 V～2.5 V の範囲内にあるときには、200 mV の差動入力感度があります。
上記電圧範囲は、コモン・モード入力電圧範囲と言われています。

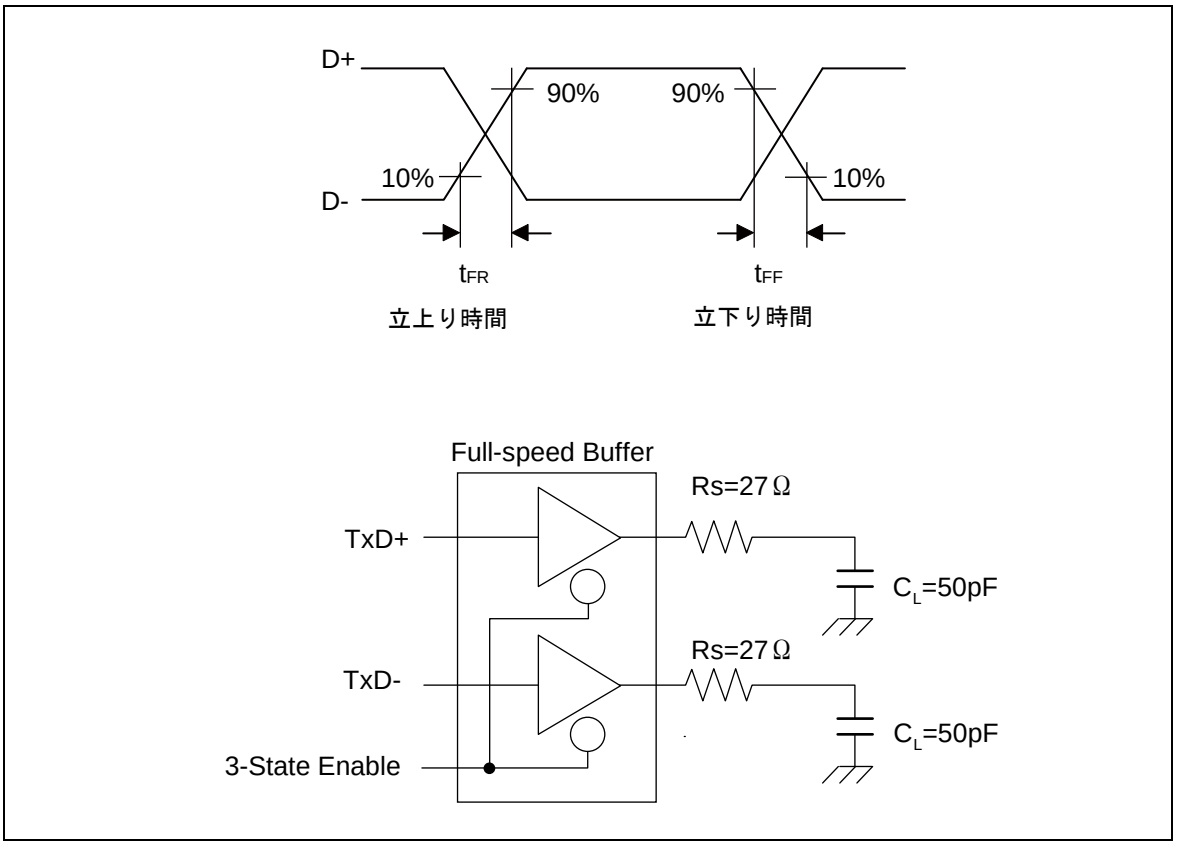


*3: ドライバの出力駆動能力は、Low-State(V_{OL})で 0.3 V 以下(対 3.6 V, 1.5 kΩ 負荷)、High-State(V_{OH})で 2.8 V 以上(対グランド, 15 kΩ 負荷)です。

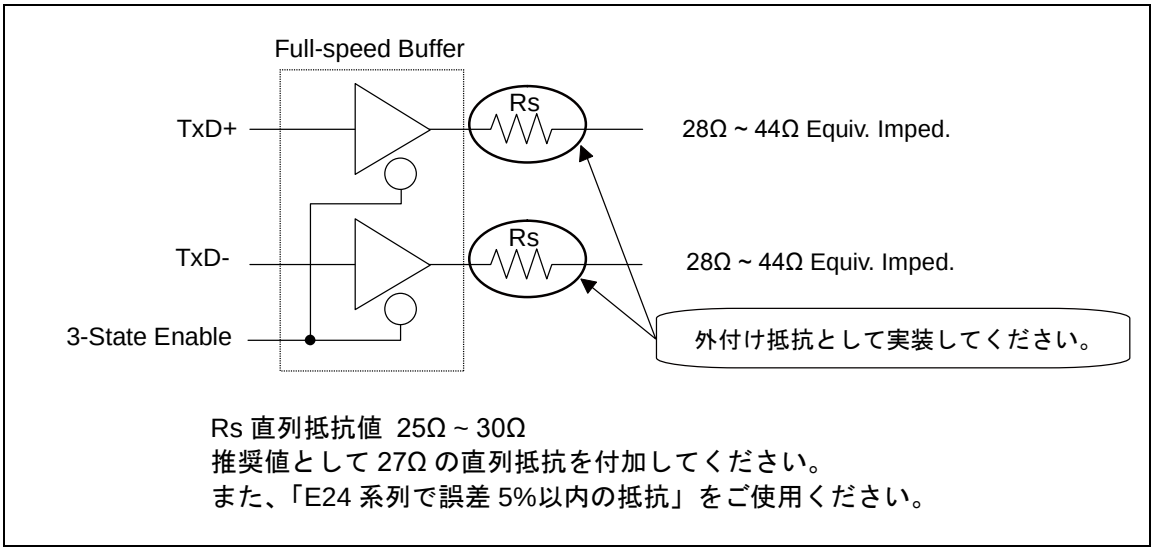
*4: USB I/O の外部差動出力信号(D+/D-)のクロス電圧は、1.3 V ~ 2.0 V の範囲内にあります。



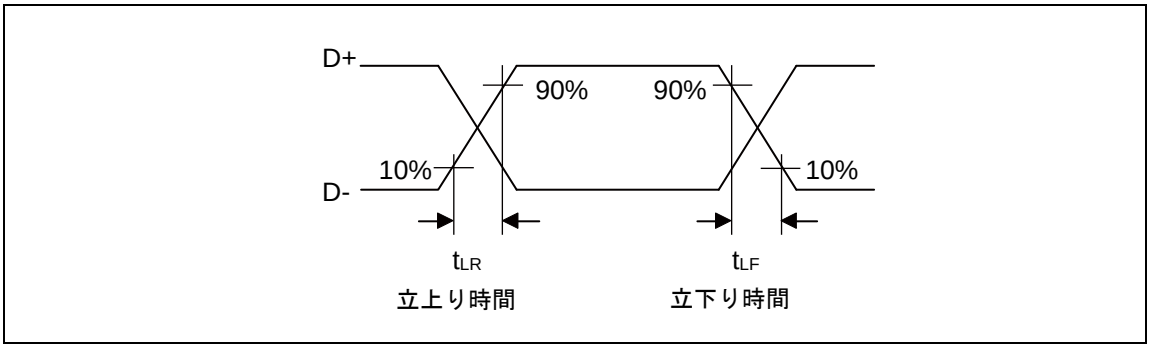
*5: Full-Speed 差動データ信号の立上り(t_{FR})と立下り(t_{FF})時間規定です。
出力信号電圧の 10% ~ 90%間の時間で定義されます。
また Full-speed Buffer に関しては、t_{FR}/t_{FF} は、RFI 放射を最小にするために、t_{FR}/t_{FF} 比を±10%以内と規定されています。



*6: USB Full-speed 接続は、90 Ω ± 15%の特性インピーダンス(Differential Mode)で、シールドされたツイスト・ペアケーブルを介して行われます。
USB 規格は、USB Driver の出力インピーダンスは 28 Ω ~ 44 Ω の範囲内になければならないことを規定しており、上記規格を満足し、バランスをとるために、ディスクリート直列抵抗器(Rs)を付加することを規定しています。
本 USB I/O をご使用の際には、直列抵抗 Rs として 25 Ω ~ 30 Ω(推奨値 27 Ω)を付加しご使用ください。



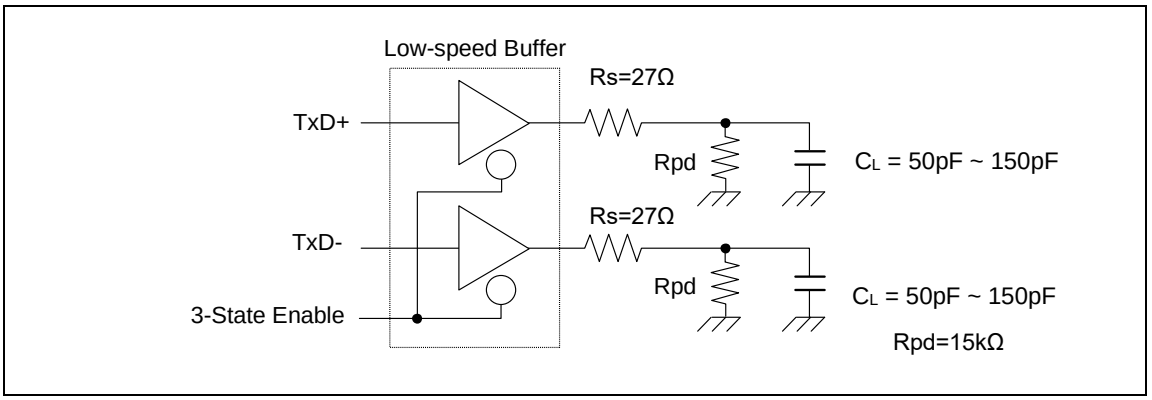
*7: Low-speed 差動データ信号の立上り(t_{LR})と立下り(t_{LF})時間規定です。
出力信号電圧の 10%～90%間の時間で定義されます。



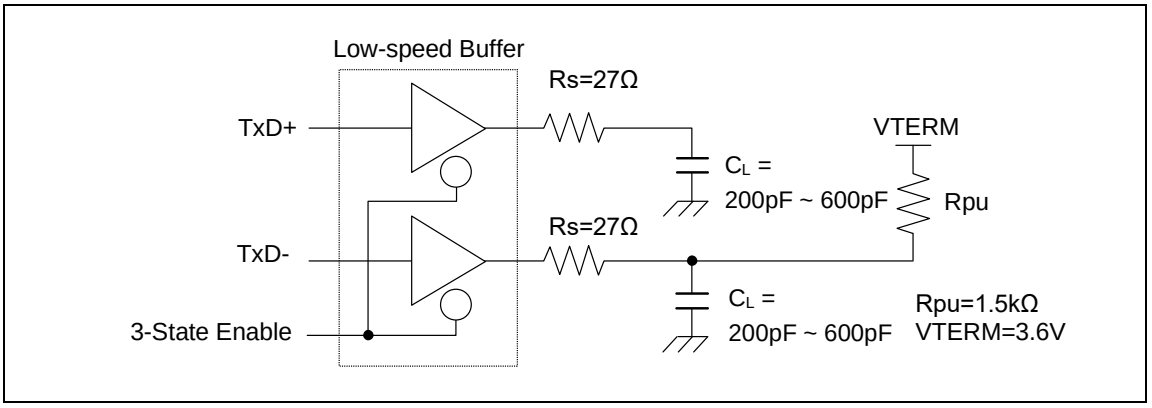
<注意事項>

- *外部負荷条件は、「Low-speed load (Compliance Load)」を参照してください。*

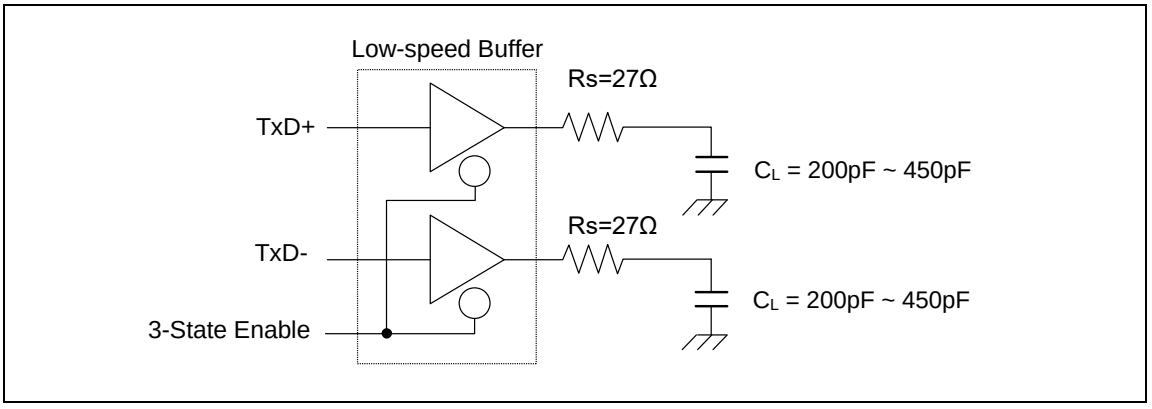
Low-speed load (Upstream port load) – Reference 1



Low-speed load (Downstream port load) – Reference 2



Low-speed load (Compliance load)



12.7 低電圧検出特性

12.7.1 低電圧検出リセット

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.46	2.55	2.64	V	電圧降下時
解除電圧	VDH	-	2.51	2.60	2.69	V	電圧上昇時

12.7.2 低電圧検出割込み

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00111	2.80	2.90	3.00	V	電圧降下時
解除電圧	VDH		2.90	3.00	3.11	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.99	3.10	3.21	V	電圧降下時
解除電圧	VDH		3.09	3.20	3.31	V	電圧上昇時
検出電圧	VDL	SVHI = 01100	3.18	3.30	3.42	V	電圧降下時
解除電圧	VDH		3.28	3.40	3.52	V	電圧上昇時
LVD 安定待ち時間	t_{LVDW}	-	-	-	4800×t_{CYCP}*	µs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.8 メインフラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large sector	-	0.7	3.7	s	内部での消去前書込み時間を含む
	Small sector	-	0.3	1.1	s	
ハーフワード(16ビット)書込み時間	書込みサイクル≦100	-	12	100	μs	システムレベルのオーバヘッド時間は除く
	書込みサイクル＞100			200		
チップ消去時間		-	6.6	31	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

書込み/消去サイクル(cycle)	保持時間(年)
1,000	20*
10,000	10*
100,000	5*

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°C へ換算しています)。

12.9 VFLASH メモリ書込み/消去特性

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間　(4 KB)	-	50	450	ms	
ブロック消去時間　(64 KB)	-	500	2000	ms	
ページ書込み時間	-	0.7	3	ms	
チップ消去時間	-	11.2	64	s	

消去エンデュランス

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去	100k	-	-	cycle	

*: 1000 cycle 以下の消去で 20 年保持となります。

12.10スタンバイ復帰時間

12.10.1 復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

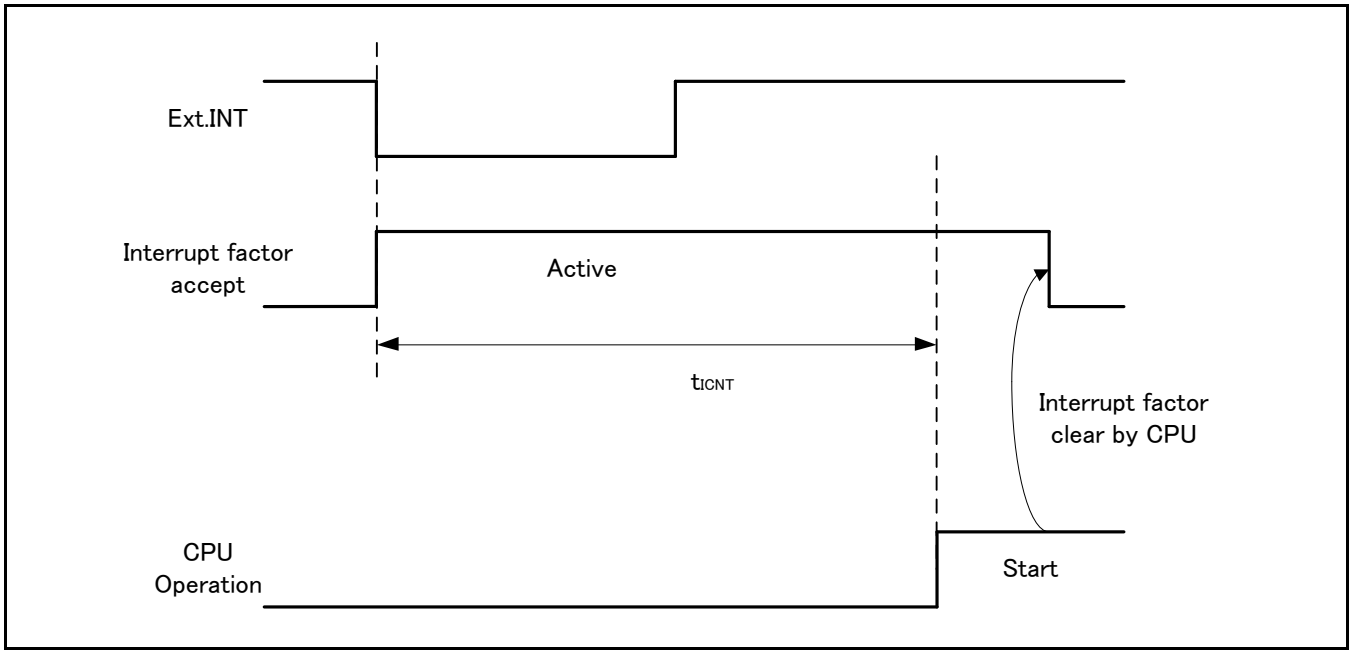
復帰カウント時間

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{ICNT}	HCLK×1		µs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40	80	µs	
低速 CR タイマモード		450	900	µs	
サブタイマモード		896	1136	µs	
RTC モード, ストップモード (メイン/高速 CR/PLL ランモード復帰)		316	581	µs	
RTC モード, ストップモード (サブ/低速 CR ランモード復帰)		270	540	µs	
ディープスタンバイ RTC モード		365	667	µs	RAM 保持なし
ディープスタンバイストップモード		365	667	µs	RAM 保持あり

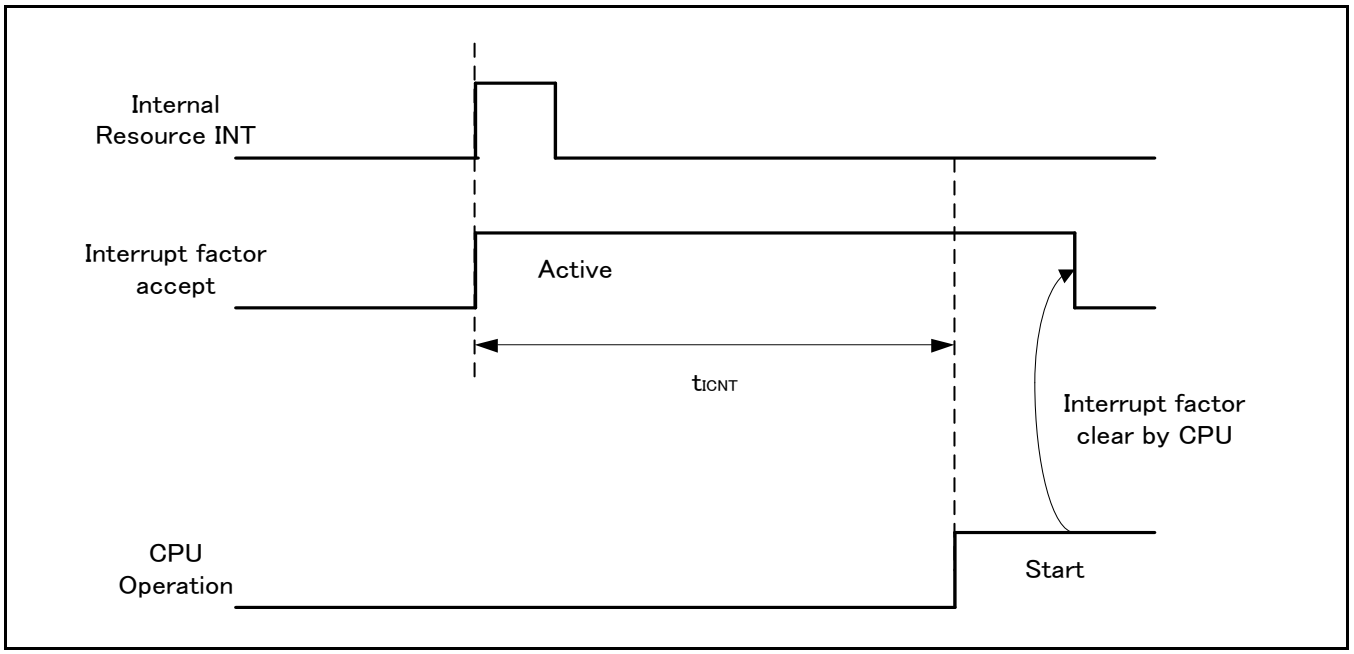
*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例 (外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例 (内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- *復帰要因は低消費電力モードごとに異なります。*
  各低消費電力モードからの復帰要因は、『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 6: 低消費電力モード』を参照してください。*

12.10.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

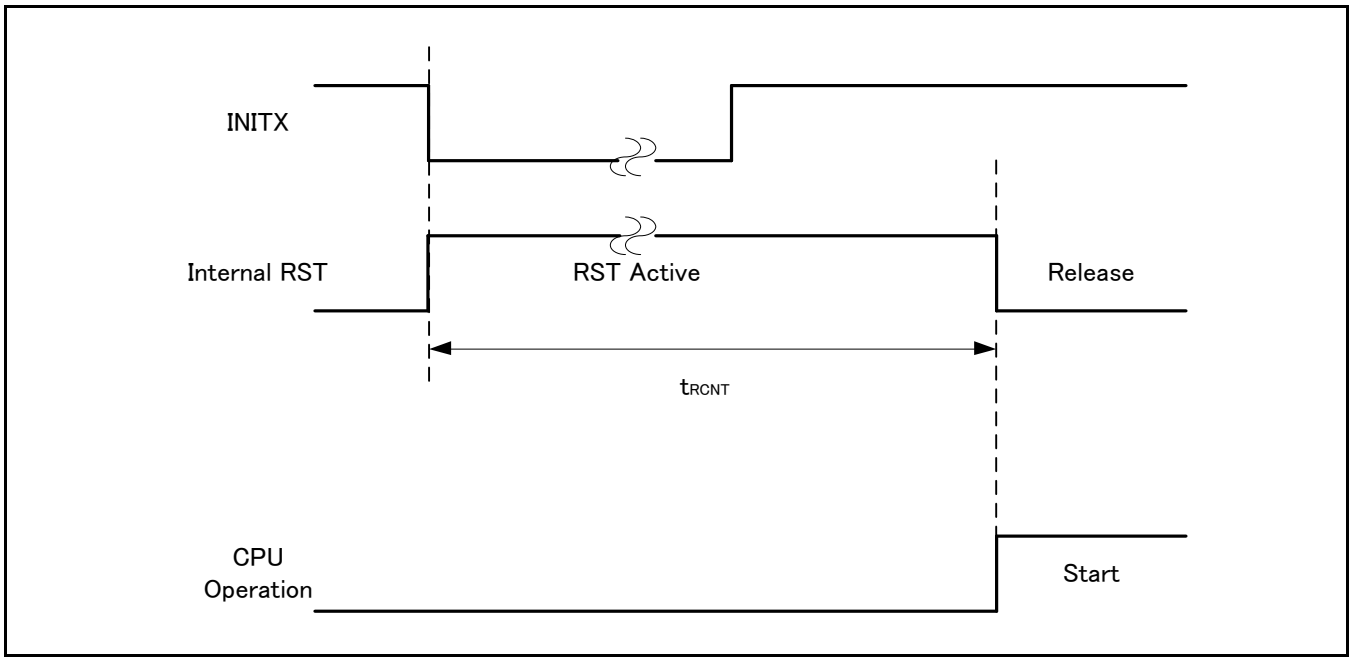
復帰カウント時間

(V_{CC} = 2.7V～3.6V, V_{SS} = 0V)

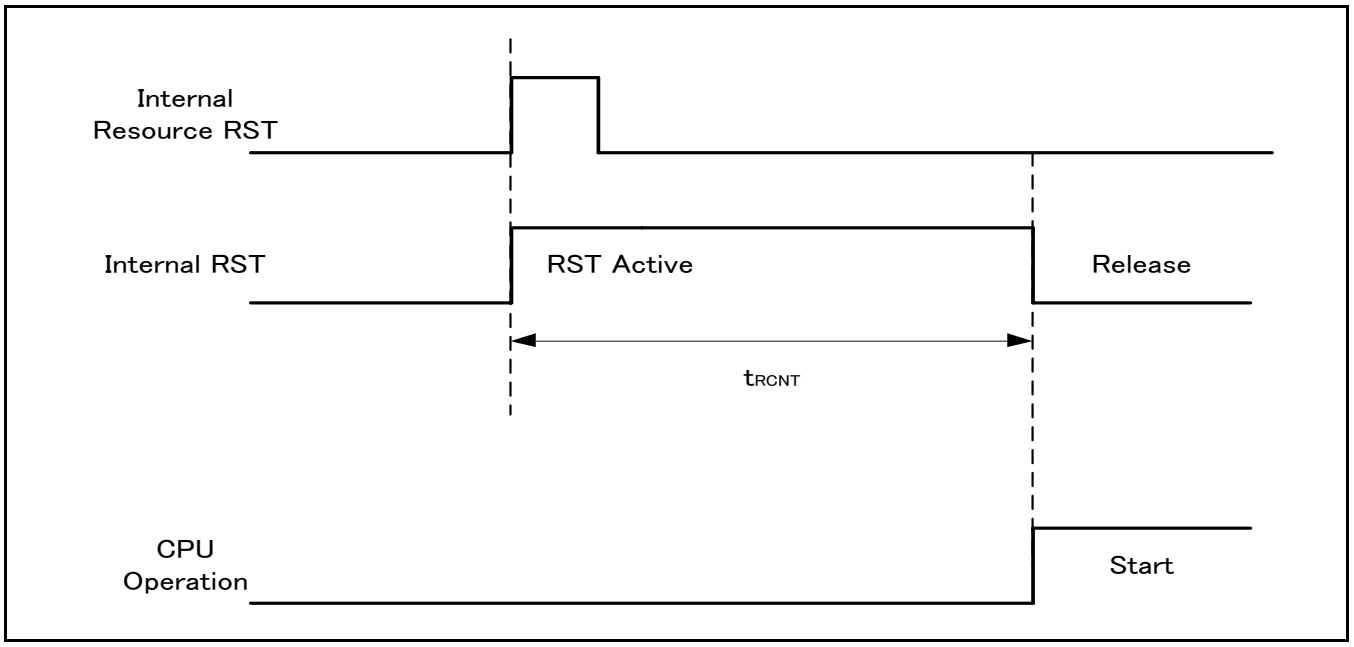
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{RCNT}	155	266	µs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		155	266	µs	
低速 CR タイマモード		315	567	µs	
サブタイマモード		315	567	µs	
RTC モード, ストップモード		315	567	µs	
ディープスタンバイ RTC モード		336	667	µs	RAM 保持なし
ディープスタンバイストップモード		336	667	µs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例 (INITX 復帰時)



スタンバイ復帰動作例 (内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

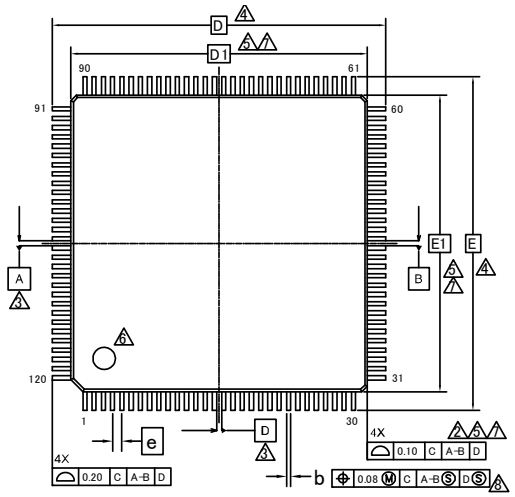
- *復帰要因は低消費電力モードごとに異なります。*
  各低消費電力モードからの復帰要因は、『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル 本編(002-04857)』の『Chapter 6: 低消費電力モード』を参照してください。*
- *パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12.4.8 パワーオンリセットタイミング」を参照してください。*
- *リセットからの復帰時、CPU は高速 CR ランモードに遷移します。*
  メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、
  メイン PLL クロックの安定待ち時間が必要になります。
- *内部リソースリセットとは、ウォッチドッグリセット, CSV リセットを指します。*

13. オーダ型格

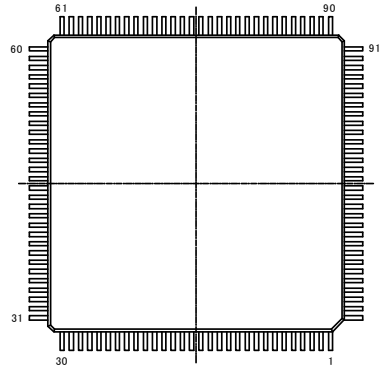
型格	パッケージ
S6E2DF5J0AGV2000A	プラスチック・LQFP (0.50 mm ピッチ), 176 ピン (LQP 176)
S6E2DF5G0AGB3000A	プラスチック・FBGA (0.50 mm ピッチ), 161 ピン (FDJ 161)

14. パッケージ・外形寸法図

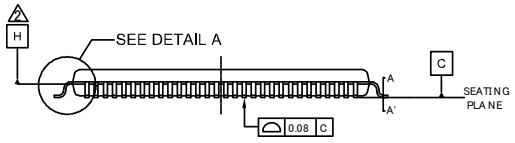
Package Type	Package Code
LQFP 120	LQM 120



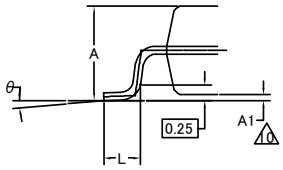
TOP VIEW



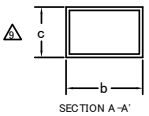
BOTTOM VIEW



SIDE VIEW



DETAIL A



SECTION A-A'

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D		18.00 BSC	
D1		16.00 BSC	
e		0.50 BSC	
E		18.00 BSC	
E1		16.00 BSC	
L	0.45	0.60	0.75
θ	0°	—	8°

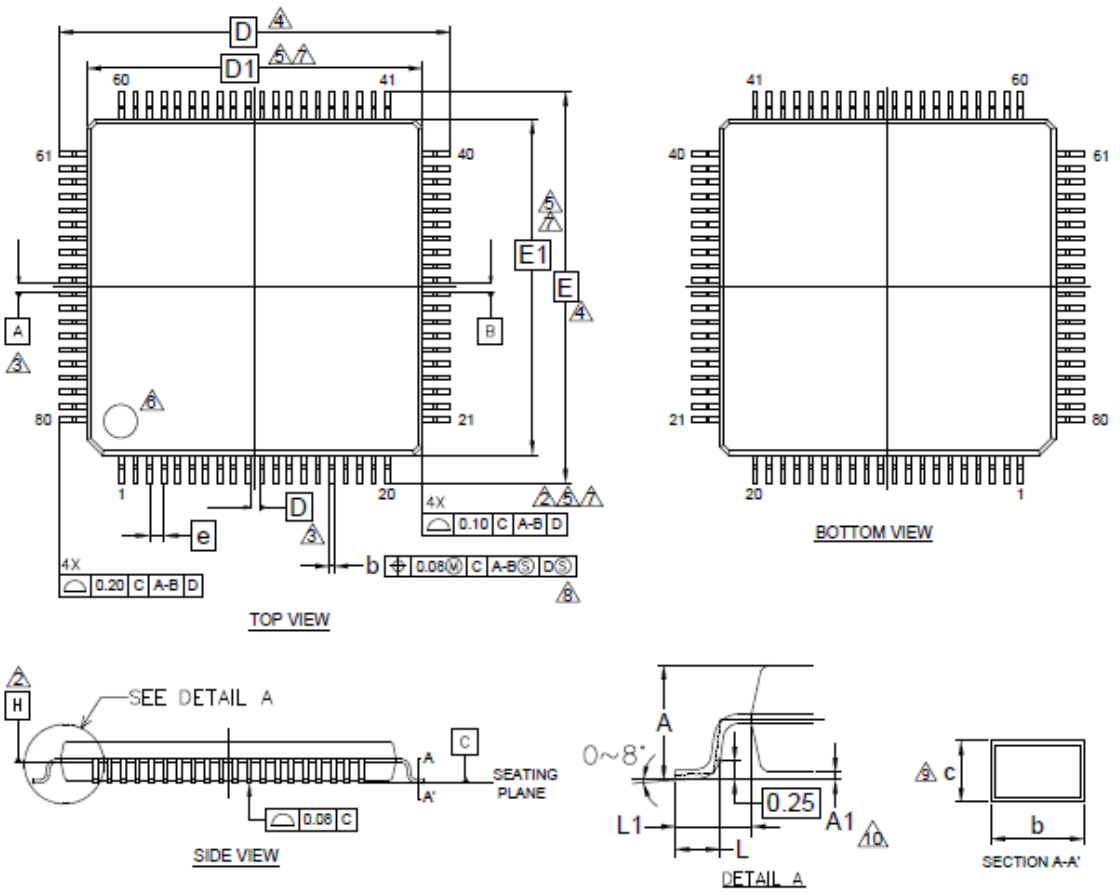
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
11. JEDEC SPECIFICATION NO. REF: N/A.

002-16172 **

PACKAGE OUTLINE, 120 LEAD LQFP
18.0X18.0X1.7 MM LQM120 REV**

Package Type	Package Code
LQFP 176	LQP 176



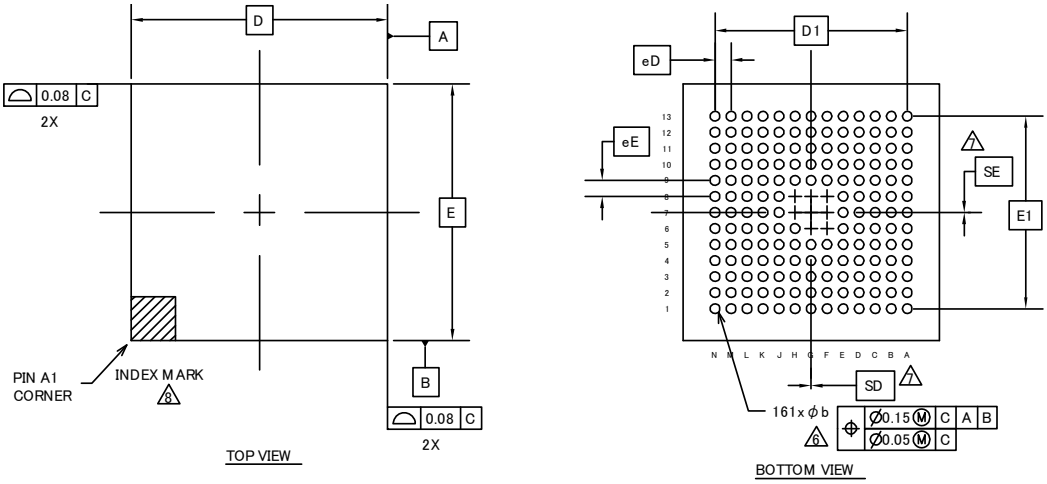
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	1.00 REF		

NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A–B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15150 *A

Package Type	Package Code
FBGA 161	FDJ 161



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	——	——	1.20
A1	0.20	0.25	0.30
D	8.00 BSC		
E	8.00 BSC		
D1	6.00 BSC		
E1	6.00 BSC		
MD	13		
ME	13		
n	161		
Φb	0.25	0.30	0.35
eD	0.50 BSC		
eE	0.50 BSC		
SD / SE	0.00		

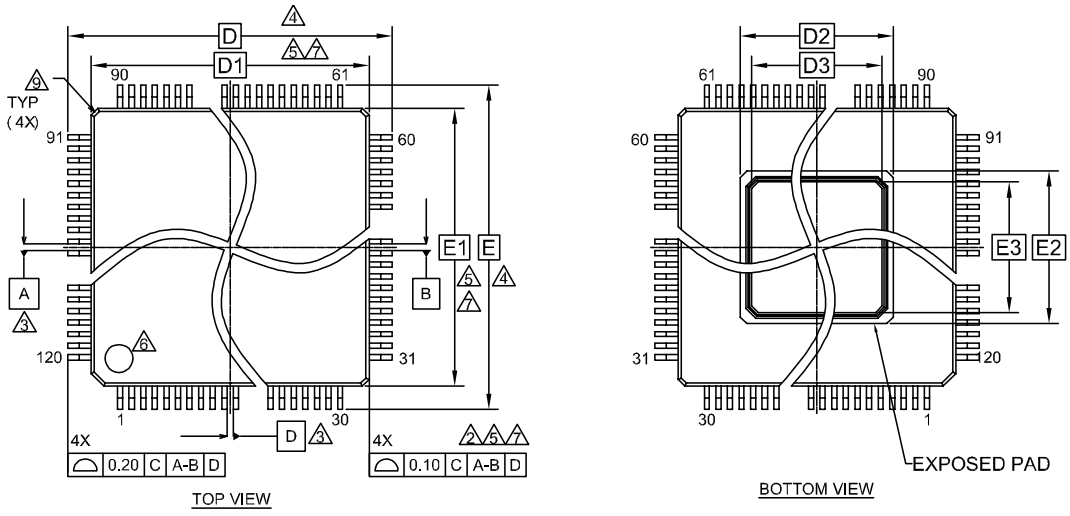
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.
4. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK. METALLIZED MARK INDENTATION OR OTHER MEANS.
9. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
10. JEDEC SPECIFICATION NO. REF: N/A.

002-16413 **

PACKAGE OUTLINE, 161 BALL FBGA
8.00X8.00X1.20 MM FDJ161 REV**

Package Type	Package Code
Ex-LQFP 120	LEM 120



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	18.00 BSC.		
D1	16.00 BSC.		
D2	6.50 REF		
D3	5.30 REF		
E	18.00 BSC.		
E1	16.00 BSC.		
E2	6.50 REF		
E3	5.30 REF		
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	4°	8°
c	0.09	—	0.20
b	0.17	0.22	0.27
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25		
e	0.50 BSC.		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS .
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
10. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
11. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-12611 *A

15. エラッタ

本章は S6E2DF シリーズのエラッタについて説明します。詳細情報は、現象が起きる契機、影響範囲、有効なワークアラウンド、および、シリコン改版の適用情報を含みます。不明な点はお問い合わせください。

15.1 本エラッタに関係するオーダ型格

オーダ型格
S6E2DF5J0AGV20000, S6E2DF5J0AGV2000A

15.2 製品出荷状況

出荷の状況：量産中

15.3 エラッタの適用

下表は本エラッタの適用状況を示しています。

エラッタ内容	適用される型格	シリコン版数	改版状況
外部 SDRAM は GDC のディスティネーションバッファとして使用できません。	15.1 を参照してください。	Rev A	シリコン改版予定はありません。ワークアラウンド実施が必要です。

外部 SDRAM は GDC のディスティネーションバッファとして使用できません。

1. 不具合の定義
   GDC が外部 SDRAM、CPU 側の SRAM0、SRAM2、および外部バスインタフェースに接続されたメモリに、データを書込みする場合、不必要なデータが正しいアドレスの前後に書込みされます。
2. 影響するパラメータ
   該当するパラメータはありません。
3. 不具合が発生する条件
   GDC が外部 SDRAM、CPU 側 SRAM0、SRAM2、および外部バスインタフェースに接続されたメモリに、データを書込みする場合に、GDC が発行する書込みデータサイズが、「8 バイト×バースト長」の倍数でない時、または書込みアドレスが「8 バイト×バースト長」の倍数にアラインされていない時に不具合が発生します。バースト長は GDC の書込みバーストの長さで、2 (16 バイト)、4 (32 バイト)が設定できます。
4. 影響範囲
   下記ワークアラウンドを実施しない場合、外部 SDRAM、CPU 側の SRAM0、SRAM2、および外部バスインタフェースに接続されたメモリは、GDC のディスティネーションバッファとして使用できません。

5. ワークアラウンド

GDC が外部 SDRAM、CPU 側 SRAM0、SRAM2、および外部バスインタフェースに接続されたメモリに、データを書込みする場合に、GDC が発行する書き込むデータサイズとアドレスのアラインメントは下表を満足するようにしてください。

書込みバースト長	書込みデータサイズ	書込みアドレスのアラインメント
2	16 バイトの倍数	16 バイトのアラインメント。(例) 0xB000_0010
4	32 バイトの倍数	32 バイトのアラインメント。(例) 0xB000_0020

6. シリコン改版状況

シリコン改版予定はありません。

16. 主な変更内容

Spansion Publication Number: DS709-00031

ページ	場所	変更箇所
Revision 0.1		
-	-	Initial release
Revision 1.0		
1, 3 14, 15 16 181	タイトル 3. 品種構成 4. パッケージと品種対応 15. オーダ型格	下記製品型格を削除 S6E2DF5JAA/ S6E2DF5GAA
7	2. 特長 外バスインタフェース	下記仕様を追加 最大アクセスサイズ：256M バイト ■下記仕様を変更 ■0x6000_0000 to 0xDFFF_FFFF ⇒ 0x6000_0000 to 0x7FFF_FFFF
8	2. 特長	I^2C の ch 番号を修正(ch.7→ch.4)
16 17 21～55 83 181	4. パッケージと品種対応 5. 端子配列図 6. 端子機能一覧 14.2. 推奨動作条件 15. オーダ型格	下記パッケージを追加 Ex_LQFP(TEQFP) (LEM120)
56 57,58,61	7.入出力回路形式	Type-A の回路図を変更 Type-D/E/F/G/N にコメント追加
70	10. ブロックダイヤグラム	下記製品型格を削除 ■S6E2DF5JAA/ S6E2DF5GAA
71	12.メモリマップ	下記について変更 External Device Area / GDC Area
82 168	14.2. 推奨動作条件 14.5 12 ビット A/D コンバータ	アナログ基準電源に AVRL を追加
84	14.2. 推奨動作条件	TBD に値を追加 注意事項追加
86～94	14.3.1 電流規格	TBD に Max 値を追加 VFLASH の条件をコメントに追加
95	14.3.1 電流規格 Table 14-11	VFLASH の電流値を追加
97	14.4 交流規格 14.4.1 メインクロック入力規格	マスタクロックを追加
99	14.4 交流規格 14.4.5 PLL 使用条件	I^2S PLL 周波数を変更 (307.2→384) GDC のクロック周波数を変更 (400→160)
168	14.5 12 ビット A/D コンバータ	規格変更 変換時間についてのコメント変更
175	14.7.2 低電圧割込み	LVD 安定待ち時間の最大値を変更(6000→4800)
176	14.9 VFLASH メモリ	新規追加
181	15. オーダ型格	型格変更(S6E2DF5G0AGB10000→S6E2DF5G0AGB30000) 型格追加(S6E2DFG0AGZ20000)
184, 185	16. パッケージ・外形寸法図	下記パッケージ図を追加 FDJ161/LEM120

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: S6E2DF シリーズ 32 ビット Arm® Cortex®-M4F, FM4 マイクロコントローラ
文書番号: 002-05087

版	ECN	発行日	変更内容
**	-	04/21/2015	サイプレスとしてドキュメントコード 002-05087 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-05042 Rev. ** を翻訳した日本語版です。)
*A	5123107	03/31/2016	これは英語版の 002-05042 Rev. *A を翻訳した日本語版です。 社名変更と記述フォーマットの変換 2.パッケージと品種対応(P8)、4.端子機能一覧(P13-48)、12.2 推奨動作条件(P75)と 13.オーダ型格(P177)の“Ex_LQFP”を“Ex-LQFP”に変更 3.端子配列図(P9,11)、4.端子機能一覧(P16,44)、8.ブロックダイヤグラム(P63)と 12.4.22 GDC：…(P159,160)の“GE_SPCSX_0”を“GE_SPCSX0”に変更 3.端子配列図(P9,11)、4.端子機能一覧(P16,44)、8.ブロックダイヤグラム(P63)と 12.4.23 GDC：…(P161,162)の“GE_HBCSX_0”を“GE_HBCSX0”に変更 3.端子配列図(P9,11)、4.端子機能一覧(P14,44)、8.ブロックダイヤグラム(P63)と 12.4.23 GDC：…(P161,162)の“GE_HBCSX_1”を“GE_HBCSX1”に変更 3.端子配列図(P10)に“(N.C.): 開放端とし何も接続しないでください。”を追加 4.端子機能一覧(P45)に PNL_TSIG の機能説明を追加 4.端子機能一覧(P48)に注意事項を追加 7.デバイス使用上の注意(P60)と Table12-10 ディープスタンバイ…(P87)に CCS/CCB 設定を追加 8.ブロックダイヤグラム(P63)の“HW flow control (ch. 4, 5)”を“HW flow control (ch. 4)”に変更 8.ブロックダイヤグラム(P63)の“VMAKEUP”を“VWAKEUP”に変更 12.2 推奨動作条件(P75)と 13.オーダ型格(P177)の“PFBGA”を“FBGA”に変更 Table 12-11 低電圧…(P88)の VFLASH メモリ読出し電流の最大値を 35uA に更新 13.オーダ型格(P177)の“S6E2DF5G0AGZ20000”を“S6E2DF5G0AGE20000”に変更 15.エラッタ(P182,183)を新規追加
*B	5634643	02/21/2017	これは英語版の 002-05042 Rev.*B を翻訳した日本語版です。 特長のリアルタイムクロック(RTC:Real Time Clock) (P3)の割込み機能から“秒/曜日”を削除,更に説明文を“01 年～99 年”から“00 年～99 年”へ変更 7.デバイス使用上の注意の電源投入時について(P62)に説明文を追加 11.各 CPU ステートにおける端子状態の VBAT ドメイン端子状態一覧表(P72)の、“VBAT パワーオンリセット”を“パワーオンリセット”に変更し、備考*1 を追加 Table 12-10 ディープスタンバイストップモード, ディープスタンバイ RTC モード, VBAT の標準と最大の消費電流に、備考*8 を追加 (P87) 12.4.8 パワーオンリセットタイミング (P94)の、項目“電源立上がり時間(t_{VCCR})”を“電源立上がり速度(dV/dt) ”に変更し、最小値を 0.6mV/μs、最大値を 1000mV/μs に変更、更に備考と注意事項を追加 12.4.12 CSIO タイミングにて、チップセレクト使用時の設定から“SPI=1”と“MS=0”を削除し、図に“MS ビット =0”と“MS ビット =1”を追加 (P116-123, P132-139) 13.オーダ型格から、以下の型格を削除 (P177) S6E2DF5J0AGV20000, S6E2DF5G0AGB30000 13.オーダ型格に、以下の型格を追加 (P177) S6E2DF5J0AGV2000A, S6E2DF5G0AGB3000A 14.パッケージ・外形寸法図の図を更新 (P178-181) 15.エラッタに、以下の型格を追加 (P182) S6E2DF5J0AGV2000A ”12.4.12 CSIOタイミング”の高速同期シリアルのボーレートを削除(124-130ページ)

版	ECN	発行日	変更内容
*C	7244124	08/25/2021	これは英語版の 002-05042 Rev.*D を翻訳した日本語版です。

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプルコード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2015-2021. 本書面は, Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は，Cypress 製品又は Cypress 製品を使用して生成されたシステムに破損，攻撃，ウイルス，干渉，ハッキング，データの損失又は盗難，その他のセキュリティ侵害（総称して，以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は，セキュリティ違反に関連するいかなる責任も否認し，セキュリティ違反から生じるいかなる請求，損害又はその他の責任について免責される。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。「ハイリスク・デバイス」とは，不具合により人身傷害，死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイリスク・デバイス」の例として，兵器，原子力施設，外科的移植，及びその他の医療機器が挙げられる。「重要な構成部分」とは，それの不具合が直接又は間接的にハイリスク・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイリスク・デバイスのあらゆる構成部分をいう。Cypress 製品をハイリスク・デバイスの重要な構成部分として使用したことから生じるいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む），及びその取締役，執行役，従業員，代理人，販売業者，及び譲受人は Cypress 製品をハイリスク・デバイスの重要な構成部品として使用したことから生じる製造物責任，又は人身傷害若しくは死亡，又は物的損害の請求を含むあらゆる請求から生じるすべての費用，損害及び経費から免責される。Cypress 製品は，(i) Cypress が特定のハイリスク・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合，又は，(ii) Cypress が特定のハイリスク・デバイスの重要な構成部分として製品を使用することを事前に書面により承認し，別途補償契約に署名した場合の限定された範囲を除いては，ハイリスク・デバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress, Cypress のロゴ及びこれらの組み合わせ, PSoC, CapSense, EZ-USB, F-RAM, Traveo, WICED, 及び ModusToolbox は，米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは，cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。