请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

初版

PSoC 4: PSoC 4100S Plus 256KB 系列数据手册

可编程片上系统 (PSoC)

概述

PSoC® 4 是一个可扩展和可重配置的平台架构，是一个包含 Arm® Cortex®-M0+ CPU 的可编程嵌入式系统控制器。它集成了可编程和可重新配置的模拟和数字模块，并且能够灵活自动地路由这些资源。 PSoC 4100S Plus 256KB 产品系列是 PSoC 4 平台架构的一个成员。该产品系列集成了下列四项：拥有标准通信和时序外设的微控制器，具有一流性能的电容式触摸感应 （CapSense）系统，可编程的通用、连续开关电容的模拟模块以及可编程接口。针对新应用和设计的要求， PSoC 4100S Plus 256KB 产品与 PSoC 4 平台系列产品向上兼容。

性能

32 位 MCU 子系统

- 48 MHz Arm Cortex-M0+ CPU，单周期乘法
- 包含读取加速器的闪存可达 256 KB
- SRAM 容量高达 32 KB
- 8 通道 DMA 引擎

可编程模拟模块

- 两个运算放大器支持可重新配置的外部强驱动、高带宽内部驱动、比较器模式和 ADC 输入缓冲功能。运算放大器能够在深度睡眠低功耗模式下运行。
- 12 位分辨率、1 Msps 采样率的 SAR ADC 包括差分、单端模式和具有信号求平均功能的通道序列发生器。
- 由电容式感应模块提供的单斜 10 位 ADC 功能
- 可用在任何引脚上的两个电流 DAC（IDAC），用于通用目的或电容式感应应用场合
- 可在深度睡眠模式下工作的两个低功耗比较器

可编程数字资源

- 可编程逻辑模块支持在输入和输出端口上执行 Boolean （布尔）操作

低功耗操作的电压范围：1.71 V ~ 5.5 V

- 深度睡眠模式可支持模拟系统正常工作，并为数字系统提供 2.5 µA 的电流

电容式感应

- 赛普拉斯的 CapSense Sigma-Delta （CSD）模块提供了一流的信噪比 （SNR）（> 5:1）和防水性能
- 通过赛普拉斯提供的软件组件可以更容易地实现电容式感应设计
- 自动硬件调节 （SmartSense™）

LCD 驱动能力

- GPIO 上的 LCD segment 驱动能力

串行通信

- 五个运行时可重新配置的独立串行通信模块 （SCB），可配置为 I^2C、 SPI 或 UART 功能

定时和脉冲宽度调制器

- 八个 16 位定时器 / 计数器 / 脉冲宽度调制器 （TCPWM）模块
- 支持中心对齐、边沿对齐和伪随机模式
- 基于比较器触发的“Kill”信号，适用于电机驱动和其它高可靠性数字逻辑的应用
- 正交解码器

时钟源

- 4 至 33 MHz 外部晶振 （ECO）
- 生成 48 MHz 频率的 PLL
- 32 kHz 监视晶振 （WCO）
- ±2% 精度内部主振荡器 （IMO）
- 32 kHz 内部低速振荡器 （ILO）

多达 54 个可编程的 GPIO 引脚

- 48-pin TQFP（间距为 0.5 mm）、64 pin TQFP 标准（间距为 0.8 mm）以及小间距 （间距为 0.5 mm）等三种封装
- 任何 GPIO 引脚可用作 CapSense、模拟或数字引脚
- 可编程驱动模式、强度和转换速率

PSoC Creator 设计环境

- 集成开发环境 （IDE）提供了原理图设计输入和编译 （包括模拟和数字自动布线）
- 所有固定功能和可编程的外设都提供应用编程接口 （API）

工业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm 的标准软件开发工具进行开发

更多有关信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 PSoC 器件，并使您能够快速和有效地将器件集成到设计中。有关使用资源的完整列表，请参考知识库文章 KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计。下面是 PSoC 4 的简要列表：

- 概况：PSoC 产品系列、 PSoC 路线图
- 产品选型器：PSoC 1、 PSoC 3、 PSoC 4、 PSoC 5LP。此外， PSoC Creator 还包含一个器件选择工具。
- 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记，包括从基本到高级的广泛主题。下面列出了 PSoC 4 入门的应用笔记：
  - AN79953：PSoC 4 入门
  - AN88619：PSoC 4 硬件设计注意事项
  - AN86439：使用 PSoC 4 GPIO 引脚
  - AN57821：混合信号电路板布局
  - AN81623：数字设计的最佳实践
  - AN73854：Bootloader 简介
  - AN89610：Arm Cortex 代码优化
  - AN85951：PSoC® 4 和 PSoC 模拟协处理器 CapSense® 设计指南
- 技术参考手册 （TRM）包含在以下两个文件内：
  - 架构技术参考手册详细介绍了每个 PRoC 4 的功能模块。
  - 存储器技术参考手册介绍了 PSoC 4 的每个存储器。
- 开发套件：
  - CY8CKIT-041-41XX PSoC 4100S CapSense Pioneer 套件是一种易于使用且廉价的开发平台。该套件包括与 Arduino™ 扩展板相兼容的连接器。
  - CY8CKIT-149 PSoC® 4100S Plus 原型开发套件允许您通过使用赛普拉斯第四代低功耗的 CapSense 解决方案，即 PSoC 4100S Plus 器件，来实现评估与开发。

MiniProg3 编程工具可用于对 PSoC 器件的编程和调试（PSoC1 器件仅限编程）。

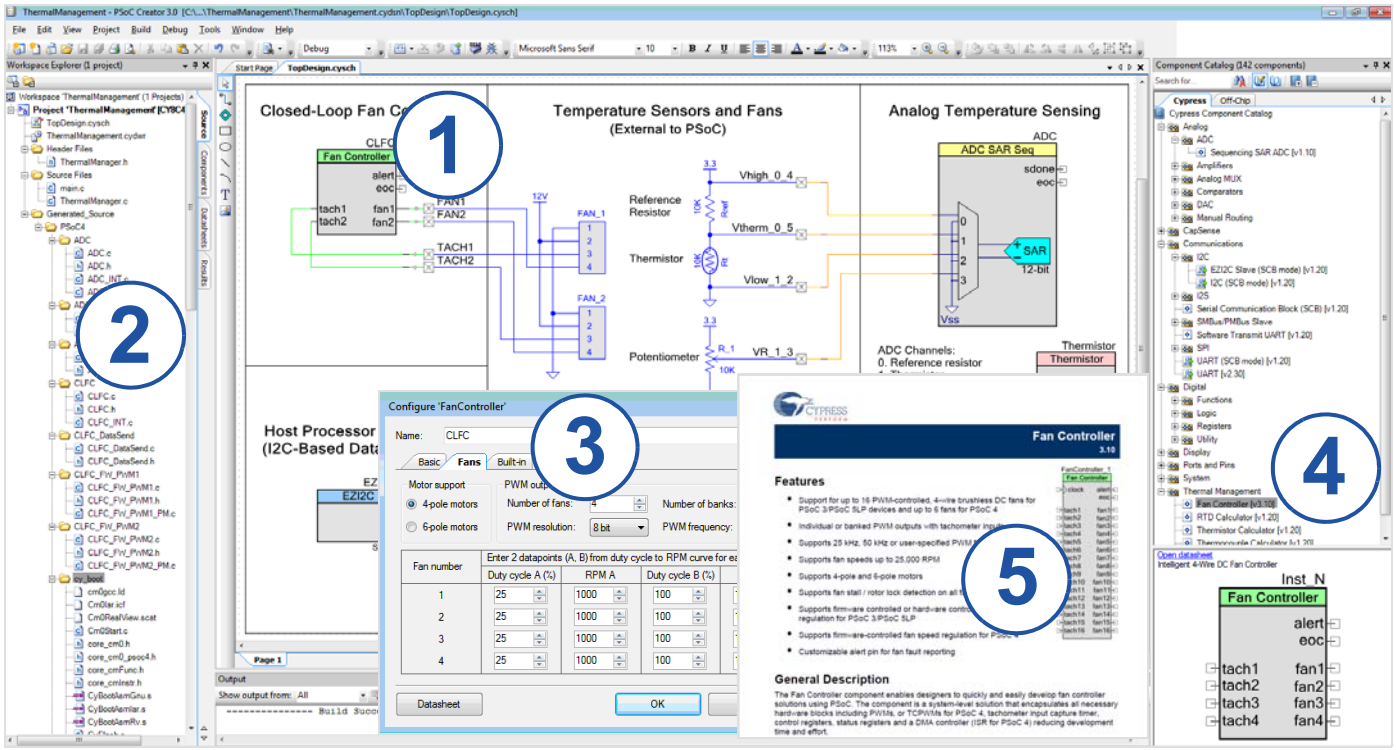
- 软件用户指南：
  - 有关如何使用 PSoC Creator 的分步指导。该指南详细介绍了 PSoC Creator 的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。
- 组件数据表：
  - PSoC 非常灵活，在投入生产很长时间后依然可以创建新的外设 （组件）。组件数据手册提供了选择和使用特定组件时所需的全部信息，其中包括功能说明、 API 文档、示例代码以及交流 / 直流规范。
- 在线资源：
  - 除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家互相联系。

PSoC Creator

PSoC Creator 是免费的基于 Windows 的集成开发环境（IDE）。通过它可以同时在基于 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。 PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证可用于生产的 PSoC Component 给与支持。更多信息请参考组件数据手册列表。使用 PSoC Creator，可以执行以下操作：

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 使用 PSoC Creator 集成开发环境编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 使用配置工具配置各组件
4. 研究包含 100 多个组件的库
5. 查看组件数据手册。

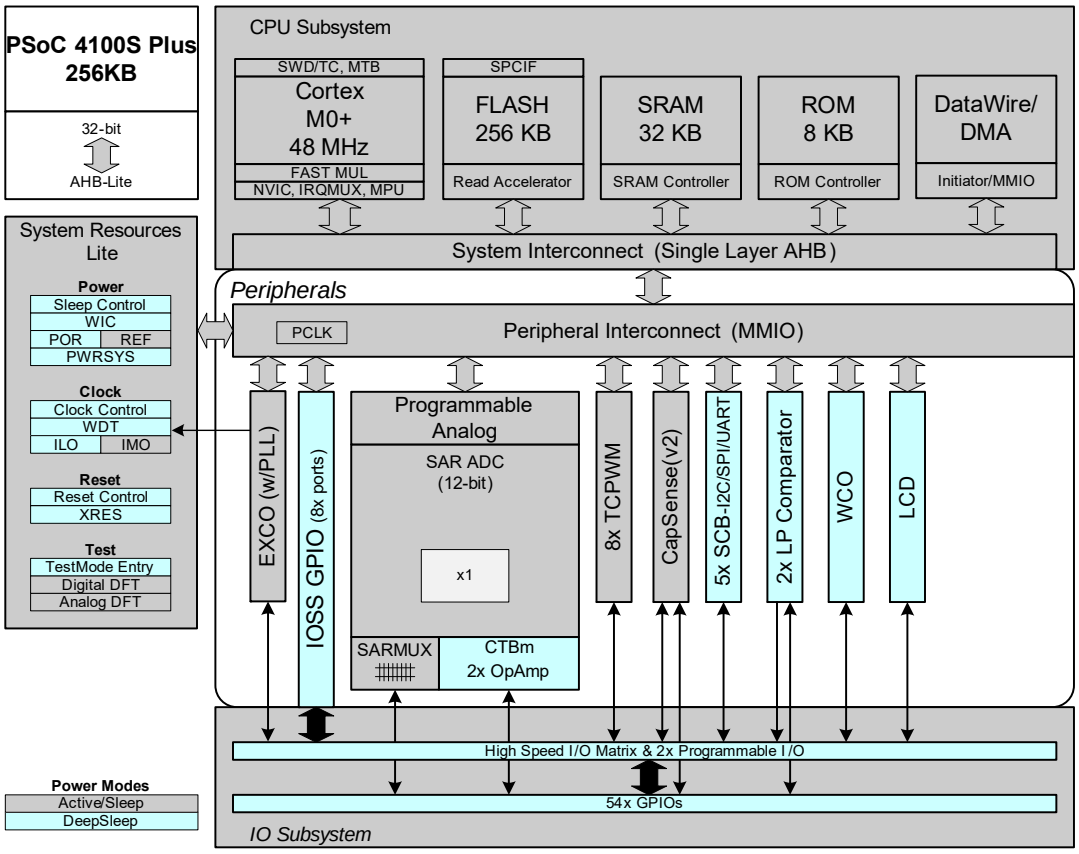
图 1. PSoC Creator 中多传感器的示例项目



目录

功能定义 6
CPU和存储器子系统 6
系统资源 6
模拟模块 7
可编程数字模块 8
固定功能数字模块 8
GPIO 8
特殊功能外设 9
引脚布局 10
替代引脚功能 13
电源 15
模式1：1.8 V到5.5 V外部电源 15
模式2：1.8 V ± 5%外部电源 15
电气规范 16
最大绝对额定值 16
器件级规范 16
模拟外设 20
数字外设 27
存储器 30
系统资源 30
订购信息 34
封装 36
封装图 37
缩略语 39
文档规范 41
度量单位 41
修订记录 42
销售、解决方案和法律信息 43
产品 43
PSoC®解决方案 43
赛普拉斯开发者社区 43
技术支持 43

图 2. 框图



此器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试（SWD）接口支持器件的所有编程和调试功能。

借助完善的片上调试（DoC）功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊接口、调试转接板、模拟器或仿真器，只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境（IDE）软件能够为此器件提供全面集成的编程和调试支持。 SWD 接口全面兼容符合工业标准的第三方工具。此器件提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。它拥有下面优点：

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专用功能

调试电路默认处于使能状态，并且可以通过固件禁用它。如果它未被使能，使能它的唯一方法是擦除整个器件，清除闪存保护，然后通过使能调试的新固件对器件重新进行编程。因此，只有擦除固件后才能覆盖调试固件的使能，从而提高安全性。

此外，如某些应用担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定的应用，所有器件接口都可以被永久禁用。当器件的最高安全级别有效时，所有编程、调试和测试接口都被禁用。因此，已使能器件安全性的此器件将不能退回来做故障分析。这是客户要考虑使不使能器件安全的地方。

功能定义

CPU 和存储器子系统

CPU

PSoC 4100S Plus 256KB 中的 Cortex-M0+ CPU 是 32 位 MCU 子系统的部分，通过广泛的时钟门控来优化成低功耗操作。此外，几乎所有指令的长度都为 16 位，并且 CPU 执行 Thumb-2 指令子集。它包括一个带有 8 个中断输入的嵌套向量中断控制器（NVIC）模块和一个唤醒中断控制器 （WIC）。通过 WIC 可以将处理器从深度睡眠模式唤醒，这样，当芯片处于深度睡眠模式时，可以关闭主处理器的电源。

CPU子系统包含一个8通道DMA引擎和一个串行线调试（SWD）接口 — JTAG 的 2 线格式。 PSoC 4100S Plus 256KB 的调试配置拥有四个断点 （地址）比较器和两个观察点 （数据）比较器。

Flash

PSoC 4100S Plus 256KB 器件包含一个 Flash 模块，该模块的 Flash 加速器与 CPU 紧密耦合，以缩短闪存模块的平均访问时间。此低功耗 Flash 模块可在工作频率为 48MHz 的情况下实现两个等待状态（WS）的访问时间。通过 Flash 加速器，Flash 的单周期访问时间平均为 SRAM 访问时间的 85%。

SRAM

32 KB 的 SRAM 能够在工作频率为 48 MHz 的情况下进行零等待状态的访问。

SROM

一个 8 KB 监控 ROM 包含引导和配置子程序。

系统资源

电源系统

有关电源系统的详细信息，请参考电源一节。它能够维持相应模式或延迟模式进入 （例如，上电复位 （POR） ）所需的电压电平，直到器件正常操作为止；或者生成复位事件 （例如，掉电检测）。可通过一个外部电源供电，其电压范围为 1.8 V ±5% （外部调节）或 1.8 V 至 5.5 V（内部调节）。它拥有三种不同的功耗模式，这些模式间的转换由电源系统管理。 PSoC 4100S Plus 256KB提供了主动模式以及低功耗的睡眠模式和深度睡眠模式。

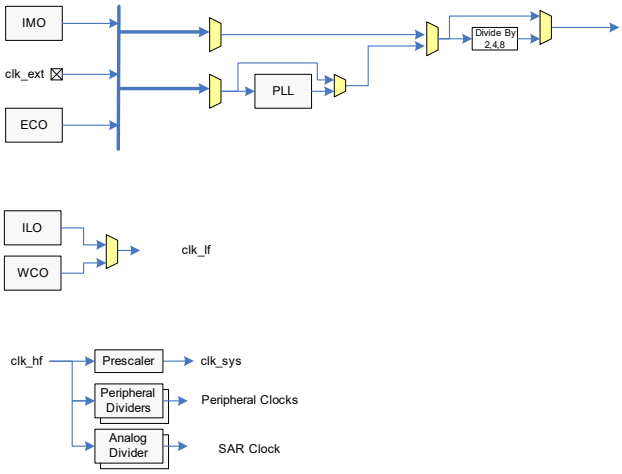
所有子系统都在活动模式下运行。 CPU 子系统 （CPU、闪存和 SRAM）在睡眠模式下被关闭，但所有外设和中断在发生唤醒事件时会立即被激活。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒会需要 35 µs。运算放大器能够在深度睡眠模式下保持操作。

时钟系统

PSoC 4100S Plus 256KB 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC 4100S Plus 256KB 的时钟系统包括内部主振荡器（IMO）、内部低频振荡器 （ILO）、一个 32 kHz 时钟晶体振荡器 （WCO）、 MHz ECO 和 PLL，并能够接入一个外部时钟。WCO 模块允许将 IMO 连接到 32 kHz 振荡器。

图 3. MCU 时钟架构



通过分频 HFCLK （如上图所示）可以生成用于模拟和数字外设的同步时钟。 PSoC 4100S Plus 256KB 具有 18 个时钟分频器（包括六个小数分频器和 12 个整数分频器）。12 个 16 位整数分频功能允许很大程度的灵活来生成精细（fine-grained）的频率。另外，还有五个 16 位小数分频器和一个 24 位小数分频器。

IMO 时钟源

在 PSoC 4100S Plus 256KB 中， IMO 是主要内部时钟源。在出厂测试过程中，该时钟源会被调整以达到指定的精度。 IMO 的默认频率为 24 MHz 并且能以步径为 4 MHz 从 24 MHz 递增到 48 MHz。根据赛普拉斯所提供的校准设置，IMO 容差将为全电压的 ±2%。

ILO 时钟源

ILO 是一个极低功耗的 40 kHz 振荡器，主要用于生成在深度睡眠模式下看门狗定时器（WDT）和外设的时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。赛普拉斯提供了一个用于校准目的的软件组件。

监视晶体振荡器 （WCO）

PSoC 4100S Plus 256KB 时钟子系统还能够提供一个用于精确时序应用的低频率振荡器 （32 kHz 时钟晶振）。

外部晶体振荡器 （ECO）

PSoC 4100S Plus 256KB 还能够实现一个 4 到 33 MHz 的晶体振荡器。

看门狗定时器和计数器

来自 ILO 的时钟模块为看门狗定时器提供时钟；这样允许看门狗在深度睡眠模式下仍能工作。另外，如果超时还未服务该看门狗，则将生成看门狗复位。看门狗复位在固件可读的一个复位原因寄存器内记录。看门狗计数器能够使用 32-kHz WCO 实现实时时钟。

复位

可以从各种源（包括软件复位）复位 PSoC 4100S Plus 256KB。复位事件是异步的，用于确保将器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。将 XRES 引脚设置为低电平有效，可以保留该引脚，以供外部复位使用。XRES 引脚有一个内部上拉电阻 （永远使能）。

模拟模块

12 位 SAR ADC

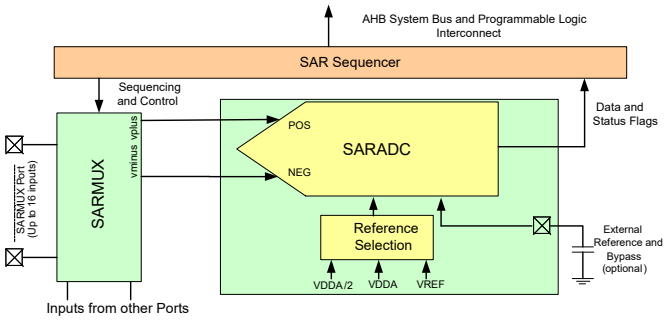
12 位分辨率和 1 Msps 采样率的 SAR ADC 可在最大为 18 MHz 的时钟速率下运行，在该频率下进行 12 位数据转换至少需要 18 个时钟周期。

采样和保持（S/H）时间是可编程，能够降低对驱动 SAR 输入的放大器 （它决定了 SAR 的建立时间）的增益带宽的要求。可以通过一个固定的引脚位置为内部参考电压放大器提供一个外部旁路电容。

SAR ADC 通过一个 8 线输入的序列发生器与一些固定引脚相连。序列发生器对选中的通道进行自动扫描 （序列发生器扫描），而不需要任何软件开销 （即无论是在单通道的还是分布在多通道上，总采样带宽一直等于 1 Msps）。序列发生器的切换通过一个状态机或固件驱动实现。序列发生器可通过缓冲每个通道来减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道可以编程不同的采样时间。此外，如果数字化值超出编程范围，则通过一对范围寄存器 （低和高范围值）的信号范围规范实现相应的超范围中断；这样可以快速检测超出范围的值，而无需等待序列发生器扫描完成，等待 CPU 读取值并检查软件中的超范围值。

因为 SAR 需要使用高速时钟（高达 18 MHz），所以不可在深度睡眠模式下运行。 SAR 的工作电压范围为 1.71 V 到 5.5 V。

图 4. SAR ADC



两个运算放大器 （连续时间模块： CTB）

PSoC 4100S Plus 256KB 有两个可作为比较器使用的运算放大器，这样能够在片上执行最常见的模拟功能，而无需外部组件；PGA、电压缓冲区、滤波器、互阻放大器和其他功能（有时候需要使用外部无源器件），从而节省电源、成本和空间。片上运算放大器有足够的带宽来驱动 ADC 的采样和保持电路，而不必使用外部缓冲。

低功耗电压比较器 （LPC）

PSoC 4100S Plus 256KB 有一对能在深度睡眠模式下工作的低功耗比较器。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式下操作 （在此模式下，比较器电压变动事件可以激活系统唤醒电路）。可将 LPC 输出路由到各个引脚上。

电流 DAC

PSoC 4100S Plus 256KB 拥有两个 IDAC，可以驱动芯片上的任何引脚。这些 IDAC 具有可编程的电流范围。

模拟复用器总线

PSoC 4100S Plus 256KB 具有两个围绕芯片周边的同心独立总线。它们 （称为 AMUX 总线）与固件可编程的模拟开关相连，通过这些开关，芯片的内部资源 （IDAC、比较器）可连接至 I/O 端口上的任何引脚。

可编程数字模块

Smart I/O 模块

Smart I/O 由各开关和 LUT 构成，该模块允许路由到 GPIO 端口引脚上的信号实现布尔（Boolean）功能。Smart I/O 可在连接到芯片的输入引脚上或输出信号上进行逻辑操作。在 PSoC 4100S Plus 256KB 中有两个 Smart I/O 模块。

固定功能数字模块

定时 / 计数 / 脉宽调制器 （TCPWM）模块

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。另外，还有一个捕获寄存器，用于记录发生事件（可能是 I/O 事件）时的计数值；一个周期寄存器，用于停止或自动重新加载计数器（如果它的计数值等于周期寄存器的值）和多个比较寄存器，用于生成可作为 PWM 占空比输出的比较值信号。该模块还提供了正向输出和反向输出以及它们间的可编程失调；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。它还有一个停止（Kill）输入，用于强制输出预定状态。例如，在用于电机驱动系统中，当出现过流状态时，需要立即关闭驱动 FET 的 PWM，而不能等待软件干预。每个模块还包含一个正交解码器。 PSoC 4100S Plus 256KB 具有八个 TCPWM 模块。

串行通信模块 （SCB）

PSoC 4100S Plus 256KB 共有五个串行通信模块，可配置为 SPI、 I^2C 或 UART 功能。

I^2C 模式：硬件 I^2C 模块可执行整个多主设备和从设备接口 （具有多主设备仲裁功能）。该模块的工作速率可达 400 kbps（快速模式），另外它还提供了各种灵活的缓冲选项，从而能够降低 CPU 的中断开销和延迟。该模块还具有一个 EZI2C，通过它可以在 PSoC 4100S Plus 256KB 存储器中创建邮箱的地址范围，并且对存储器中的阵列进行读写操作时可以大量减少 I^2C 通信。此外，该模块提供了一个深度为 8 字节的 FIFO，用于接收和传送。通过延长 CPU 读取数据的时间，可以大量减少时钟延展的发生（由于 CPU 没有及时读取数据，才导致时钟延展）。

I^2C 外设与 I^2C 标准模式和快速模式器件相兼容，如 NXP I^2C 总线规范和用户手册（UM10204）中所定义。GPIO 可以在开漏模式下实现 I^2C 总线 I/O。

在以下几方面，PSoC 4100S Plus 256KB 不完全符合 I^2C 规范：

- GPIO 单元不具有过压容差功能，因此不能热插拔，或者不能与 I^2C 系统的其余部分独立供电。

UART 模式：这是一个运行速度高达 1 Mbps 的全功能 UART。它支持汽车单线接口 （LIN） 、红外接口 （IrDA）和智能卡（ISO7816）协议，这些全部都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用 RX 和 TX 线的外设。支持通用 UART 功能，如奇偶校验错误、中断检测以及帧错误。一个 8 字节深度的 FIFO 容许更长的 CPU 服务延迟。

SPI 模式：SPI 模式完全支持 Motorola SPI、TI SSP（添加了一个用于同步 SPI 编解码的启动脉冲）和 National Microwire（SPI 的半双工形式）。该 SPI 模块可以使用 FIFO。

GPIO

PSoC 4100S Plus 256KB 有多达 54 个 GPIO。 GPIO 模块实现下列功能：

- 八种驱动模式：
  - 模拟输入模式 （禁用了输入和输出缓冲区）
  - 只输入
  - 弱上拉和强下拉
  - 强上拉和弱下拉
  - 开漏和强下拉
  - 开漏和强上拉
  - 强上拉和强下拉
  - 弱上拉和弱下拉
- 输入阈值选择 （CMOS 或 LVTTL）。
- 除了各种驱动强度模式外，可独立控制输入和输出缓冲区的使能 / 禁用状态
- 可选的转换速率，用于控制 dV/dt 相关噪声，有助于降低 EMI

各个引脚被分为逻辑实体并称为端口，每个端口的宽度为 8 位（端口 5 和 6 会少一些）。在上电和复位期间，各模块被强制为禁用状态，从而防止给任何输入供电和 / 或在引脚启用时发生过流。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。

数据输出寄存器和引脚状态寄存器分别用于保存引脚输出的值和引脚的状态。

当使能中断时，每一个 I/O 引脚均可以生成一个中断，并且每个 I/O 端口都有一个相关的中断请求 （IRQ）和中断服务子程序（ISR）向量。

特殊功能外设

CapSense

PSoC 4100S Plus 256KB 中的 CapSense Sigma-Delta（CSD）模块为用户提供 CapSense 功能；通过模拟开关连接一个模拟复用总线，能连接到任何引脚。因此，由软件控制下，系统中的任何可用引脚或引脚组都可以提供 CapSense 功能。为了便于用户使用 CapSense 模块，还提供了 PSoC Creator 组件。

通过将屏蔽电压驱动到另一个模拟复用总线可以提供防水功能。通过对屏蔽电极和感应电极进行同步的驱动，可以提供防水功能，从而避免屏蔽电容衰减感应输入。另外可以实现接近感应。

CapSense 模块有两个 IDAC。可以将它作为通用 IDAC，如果不用 CapSense（两个 IDAC 都可用）或 CapSense 没有防水功能（一个 IDAC 可用）。

CapSense 模块还提供 10 位斜率 ADC 功能，该功能可与 CapSense 功能配合使用。

CapSense 模块是一个高级、低噪声的可编程模块，它提供了可编程的参考电压和电流源范围，有助于提升系统的灵敏和灵活性。它也可以使用外部参考电压。它支持全波 CSD 模式，交换检测 VDDA 和接地电压，以消除电源相关的噪声。

LCD Segment 驱动

PSoC 4100S Plus 256KB 有一个 LCD 控制器，可驱动多达 4 个 common 和 50 个 segment。该控制器使用全数字方法驱动 LCD segment，不需要生成内部 LCD 电压。这两种方法被称为数字关联和 PWM。数字关联通过调制 common 和 segment 信号的频率和驱动电平来生成最高 RMS 电压跨过一个 segment，用于点亮或保持 RMS 信号为零。这种方法对 STN 显示屏很有用，但可能会降低 TN（较便宜）显示屏的对比度。PWM 方法是使用 PWM 信号来驱动屏幕，有效地利用屏幕的电容来提供经过调制的脉冲宽度，从而生成所需 LCD 电压。这种方法要求更高的功耗，但驱动 TN 显示屏时可以带来更好的效果。通过刷新一个小型的显示缓冲区（4 位；每端口使用一个 32 位寄存器），在深度睡眠模式下仍可支持 LCD 操作。

引脚布局

下表介绍的是 PSoC 4100S Plus 256KB 的 48 pin TQFP、 64 pin TQFP 标准和小间距封装的引脚名单。

64-TQFP		48-TQFP	
引脚	名称	引脚	名称
39	P0.0	28	P0.0
40	P0.1	29	P0.1
41	P0.2	30	P0.2
42	P0.3	31	P0.3
43	P0.4	32	P0.4
44	P0.5	33	P0.5
45	P0.6	34	P0.6
46	P0.7	35	P0.7
47	XRES	36	XRES
48	VCCD	37	VCCD
49	VSSD	38	VSSD
50	VDDD	39	VDDD
51	P5.0		
52	P5.1		
53	P5.2		
54	P5.3		
55	P5.5		
56	VDDA	40	VDDA
57	VSSA	41	VSSA
58	P1.0	42	P1.0
59	P1.1	43	P1.1
60	P1.2	44	P1.2
61	P1.3	45	P1.3
62	P1.4	46	P1.4
63	P1.5	47	P1.5
64	P1.6	48	P1.6
1	P1.7	1	P1.7
2	P2.0	2	P2.0
3	P2.1	3	P2.1
4	P2.2	4	P2.2

64-TQFP		48-TQFP	
引脚	名称	引脚	名称
5	P2.3	5	P2.3
6	P2.4	6	P2.4
7	P2.5	7	P2.5
8	P2.6	8	P2.6
9	P2.7	9	P2.7
10	VSSD	10	VSSD
11	NC	11	NC
		15	NC
12	P6.0		
13	P6.1		
14	P6.2		
15	P6.4		
16	P6.5		
17	VSSD		
18	P3.0	12	P3.0
19	P3.1	13	P3.1
20	P3.2	14	P3.2
21	P3.3	16	P3.3
22	P3.4	17	P3.4
23	P3.5	18	P3.5
24	P3.6	19	P3.6
25	P3.7	20	P3.7
26	VDDD	21	VDDD
27	P4.0	22	P4.0
28	P4.1	23	P4.1
29	P4.2	24	P4.2
30	P4.3	25	P4.3
31	P4.4		
32	P4.5		

64-TQFP		48-TQFP	
引脚	名称	引脚	名称
33	P4.6		
34	P4.7		
35	P5.6		
36	P5.7		
37	P7.0	26	P7.0
38	P7.1	27	P7.1

各种电源引脚的功能如下说明：

VDDD：数字部分的电源

VDDA：模拟部分的电源

VSSD、 VSSA：分别为数字和模拟部分的接地。

VCCD：调节数字电源 （1.8 V ± 5%）

VDD：芯片各部分的电源

VSS：芯片各部分的接地电源

GPIO 封装：

	64 TQFP	48TQFP
样本	54	38

替代引脚功能

每个端口引脚可用于实现多个功能，例如：作为模拟 I/O、数字外设功能、 LCD 引脚或 CapSense 引脚。引脚分配如下表所示。

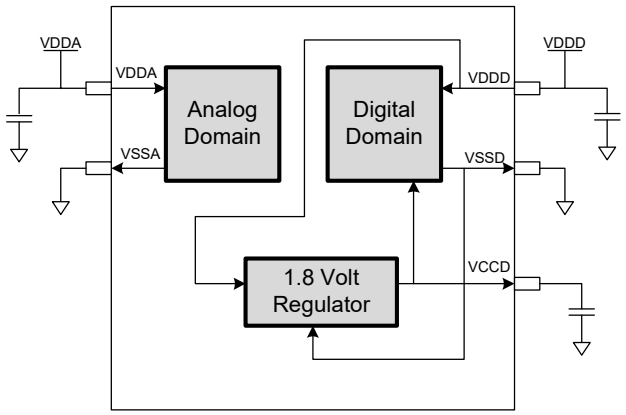
端口/引脚	模拟	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P0.0	lpcomp.in_p[0]			tcpwm.tr_in[0]	scb[2].uart_cts:0	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]			tcpwm.tr_in[1]	scb[2].uart_rts:0	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						scb[2].spi_select0:1
P0.4	wco.wco_in			scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6	exco.eco_in		ext_clk:0	scb[1].uart_cts:0	scb[2].uart_tx:1		scb[1].spi_clk:1
P0.7	exco.eco_out		tcpwm.line[0]:3	scb[1].uart_rts:0			scb[1].spi_select0:1
P5.0			tcpwm.line[4]:2		scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:0
P5.1			tcpwm.line_compl[4]:2		scb[2].uart_tx:2	scb[2].i2c_sda:1	scb[2].spi_miso:0
P5.2			tcpwm.line[5]:2		scb[2].uart_cts:1	lpcomp.comp[0]:2	scb[2].spi_clk:0
P5.3			tcpwm.line_compl[5]:2		scb[2].uart_rts:1	lpcomp.comp[1]:0	scb[2].spi_select0:0
P5.4			tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5			tcpwm.line_compl[6]:2				scb[2].spi_select2:0
P1.0	ctb0_oa0+	SmartIo[2].io[0]	tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-	SmartIo[2].io[1]	tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out	SmartIo[2].io[2]	tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:2	scb[0].spi_clk:1
P1.3	ctb0_oa1_out	SmartIo[2].io[3]	tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:2	scb[0].spi_select0:1
P1.4	ctb0_oa1-	SmartIo[2].io[4]	tcpwm.line[6]:1			scb[3].i2c_scl:0	scb[0].spi_select1:1
P1.5	ctb0_oa1+	SmartIo[2].io[5]	tcpwm.line_compl[6]:1			scb[3].i2c_sda:0	scb[0].spi_select2:1
P1.6	ctb0_oa0+	SmartIo[2].io[6]	tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1	SmartIo[2].io[7]	tcpwm.line_compl[7]:1				scb[2].spi_clk:1
P2.0	sarmux[0]	SmartIo[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	SmartIo[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux[2]	SmartIo[0].io[2]	tcpwm.line[5]:1				scb[1].spi_clk:2
P2.3	sarmux[3]	SmartIo[0].io[3]	tcpwm.line_compl[5]:1				scb[1].spi_select0:2

端口/引脚	模拟	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P2.4	sarmux[4]	SmartIo[0].io[4]	tcpwm.line[0]:1	scb[3].uart_rx:1			scb[1].spi_select1:1
P2.5	sarmux[5]	SmartIo[0].io[5]	tcpwm.line_compl[0]:1	scb[3].uart_tx:1			scb[1].spi_select2:1
P2.6	sarmux[6]	SmartIo[0].io[6]	tcpwm.line[1]:1	scb[3].uart_cts:1			scb[1].spi_select3:1
P2.7	sarmux[7]	SmartIo[0].io[7]	tcpwm.line_compl[1]:1	scb[3].uart_rts:1		lpcomp.comp[0]:0	scb[2].spi_mosi:1
P6.0			tcpwm.line[4]:1	scb[3].uart_rx:0		scb[3].i2c_scl:1	scb[3].spi_mosi:0
P6.1			tcpwm.line_compl[4]:1	scb[3].uart_tx:0		scb[3].i2c_sda:1	scb[3].spi_miso:0
P6.2			tcpwm.line[5]:0	scb[3].uart_cts:0			scb[3].spi_clk:0
P6.3			tcpwm.line_compl[5]:0	scb[3].uart_rts:0			scb[3].spi_select0:0
P6.4			tcpwm.line[6]:0			scb[4].i2c_scl	scb[3].spi_select1:0
P6.5			tcpwm.line_compl[6]:0			scb[4].i2c_sda	scb[3].spi_select2:0
P3.0		SmartIo[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		SmartIo[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		SmartIo[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		SmartIo[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		SmartIo[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		SmartIo[1].io[5]	tcpwm.line_compl[2]:0				scb[1].spi_select2:0
P3.6		SmartIo[1].io[6]	tcpwm.line[3]:0			scb[4].spi_select3	scb[1].spi_select3:0
P3.7		SmartIo[1].io[7]	tcpwm.line_compl[3]:0			lpcomp.comp[1]:1	scb[2].spi_miso:1
P4.0	csd.vref_ext			scb[0].uart_rx:0		scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshield			scb[0].uart_tx:0		scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmod			scb[0].uart_cts:0		lpcomp.comp[0]:1	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:2	scb[0].spi_select0:0
P4.4				scb[4].uart_rx		scb[4].spi_mosi	scb[0].spi_select1:2
P4.5				scb[4].uart_tx		scb[4].spi_miso	scb[0].spi_select2:2
P4.6				scb[4].uart_cts		scb[4].spi_clk	scb[0].spi_select3:2
P4.7				scb[4].uart_rts		scb[4].spi_select0	
P5.6			tcpwm.line[7]:0			scb[4].spi_select1	scb[2].spi_select3:0
P5.7			tcpwm.line_compl[7]:0			scb[4].spi_select2	
P7.0			tcpwm.line[0]:2	scb[3].uart_rx:2		scb[3].i2c_scl:2	scb[3].spi_mosi:1
P7.1			tcpwm.line_compl[0]:2	scb[3].uart_tx:2		scb[3].i2c_sda:2	scb[3].spi_miso:1
P7.2			tcpwm.line[1]:2	scb[3].uart_cts:2			scb[3].spi_clk:1

电源

下面的电源系统框图显示了 PSoC 4100S Plus 256KB 中电源引脚的设置情况。该系统具有一个处于活动模式的电压调节器，提供给数字电路使用。系统中没有模拟电压调节器。模拟电路直接由 V_{DD} 输入供电。

图 5. 电源连接



共有两种操作模式。在模式 1 中，电压范围为 1.8 V ~ 5.5 V（未经外部调节，使用内部电压调节器）。在模式 2 中，电压范围为 1.8 V ±5%（使用外部调节，电压范围为 1.71 ~ 1.89 V，不使用内部电压调节器）。

模式 1：1.8 V 到 5.5 V 外部电源

在该模式下， PSoC 4100S Plus 256KB 由外部电源供电，它的范围为 1.8 到 5.5 V。该范围也适用于电池供电的操作。例如，芯片可由一个开始为 3.5 V，然后下降到 1.8 V 的电池系统供电。在此模式下， PSoC 4100S Plus 256KB 的内部调节器为内部逻辑供电，并且它的输出与 V_{CCD} 引脚连接。 V_{CCD} 引脚需要通过外部电容（0.1 µF； X5R 陶瓷或性能更好的电容）旁路接地，并且不可连接到其他部分。

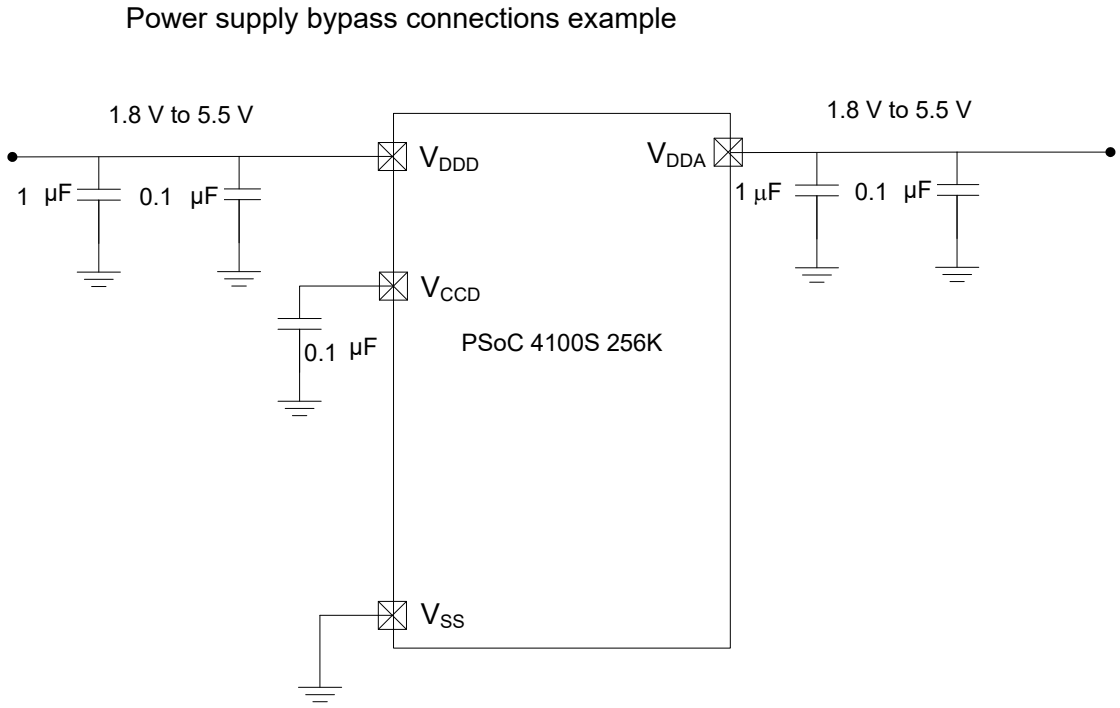
模式 2：1.8 V ± 5% 外部电源

在该模式下，PSoC 4100S Plus 256KB 由一个电压范围为 1.71 V 到 1.89 V 的外部电源供电；请注意，此范围必须包括了电源纹波。在该模式下， VDD 和 VCCD 引脚短接相连并被旁路。内部电压调节器可通过固件被禁用。

VDDD 需要通过旁路电容接地。通常并行选用一个 1 µF 和一个 0.1 µF 的电容组。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

旁路方案示例如下图所示。

图 6. 外部电源 （电压范围从 1.8 V 到 5.5 V，使能内部电压调节器）



电气规范

最大绝对额定值

表 1. 最大绝对额定值 [1]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V_{DDD_ABS}	相对于 V_{SS} 的数字供电电压	–0.5	–	6	V	–
SID2	V_{CCD_ABS}	相对于 V_{SS} 的直接数字内核输入电压	–0.5	_	1.95		–
SID3	V_{GPIO_ABS}	GPIO 电压	–0.5	–	V_{DD}+0.5		–
SID4	I_{GPIO_ABS}	每个 GPIO 上的最大电流	–25	–	25	mA	–
SID5	$I_{GPIO_injection}$	GPIO 注入电流。$V_{IH} > V_{DDD}$ 时，该值最大；$V_{IL} < V_{SS}$ 时，该值最小	–0.5	–	0.5		每个引脚的注入电流
BID44	ESD_HBM	静电放电 — 人体模型	2200	–	–	V	–
BID45	ESD_CDM	静电放电 — 充电器件模型	500	–	–		–
BID46	LU	引脚闩锁电流	–140	–	140	mA	–

器件级规范

除非另有说明，否则规范的适用条件是 –40 °C ≤ T_A ≤ 105 °C 和 T_J ≤ 125 °C，除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

表 2. 直流规范

典型值的测量条件为：V_{DD} = 3.3 V 和 25 °C

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID53	V_{DD}	电源输入电压	1.8	–	5.5	V	启用1.8V内部调节器
SID255	V_{DD}	电源输入电压 （$V_{CCD} = V_{DDD} = V_{DDA}$）	1.71	–	1.89		禁用1.8V内部调节器
SID54	V_{CCD}	内部调节器输出电压 （供给内核逻辑）	–	1.8	–		–
SID55	C_{EFC}	内部调节器外部旁路电容	–	0.1	–	µF	X5R 陶瓷电容或性能更好的电容
SID56	C_{EXC}	电源旁路电容	–	1	–		X5R 陶瓷电容或性能更好的电容
在活动模式下， V_{DD} = 1.8 V ~ 5.5 V。典型值的测试条件为：VDD = 3.3 V ；温度 = 25 °C。							
SID10	I_{DD5}	从闪存执行， CPU 的运行速率为 6 MHz	–	1.8	2.4	mA	
SID16	I_{DD8}	从闪存执行； CPU 的运行速度为 24 MHz	–	3.0	4.6		
SID19	I_{DD11}	从闪存执行， CPU 的运行速率为 48 MHz	–	5.4	7.1		
在睡眠模式下， VDDD = 1.8 V ~ 5.5 V （使能内部调节器）							
SID22	I_{DD17}	I^2C 唤醒、 WDT 和比较器都被使能。	–	1.1	1.8	mA	6 MHz
SID25	I_{DD20}	I^2C 唤醒、 WDT 和比较器都被使能	–	1.5	2.1		12 MHz
在睡眠模式下， V_{DDD} = 1.71 V ~ 1.89 V （旁路内部调节器）							
SID28	I_{DD23}	I^2C 唤醒、 WDT 和比较器都被使能	–	1.1	1.8	mA	6 MHZ
SID28A	I_{DD23A}	I^2C 唤醒、 WDT 和比较器都被使能	–	1.5	2.1	mA	12 MHz
深度睡眠模式， V_{DD} = 1.8 V ~ 3.6 V （使能内部调节器）							
SID30	I_{DD25}	I^2C 唤醒，WDT 使能； T = –40 °C 到 60 °C	–	2.5	40	µA	T = –40 °C 到 60 °C
SID31	I_{DD26}	I^2C 唤醒， WDT 使能	–	2.5	125	µA	最大值在 3.6 V 和 85 °C

注释：

1. 器件在高于表 1 中所列出的最大绝对值条件下工作可能会造成永久性损害。器件长期运行于最大绝对值条件下，可能会影响它的可靠性。最大存储温度是 150 °C，并符合 JEDEC 标准 JESD22-A103 — 高温度存储寿命。如果采用的值低于最大绝对值但高于正常值，则器件可能不正常工作。

表 2. 直流规范 *（续）*

典型值的测量条件为：V_{DD} = 3.3 V 和 25 °C

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
在深度睡眠模式下， V_{DD} = 3.6 V ~ 5.5 V （使能内部调节器）							
SID33	I_{DD28}	I^2C 唤醒，WDT 使能； T = –40 °C 到 60 °C	–	2.5	40	µA	T = –40 °C 到 60 °C
SID34	I_{DD29}	I^2C 唤醒， WDT 使能	–	2.5	125	µA	最大值在 5.5 V 和 85 °C
在深度睡眠模式下， V_{DD} = V_{CCD} = 1.71 V ~ 1.89 V （旁路内部调节器）							
SID36	I_{DD31}	I^2C 唤醒， WDT 使能	–	2.5	60	µA	T = –40 °C 到 60 °C
SID37	I_{DD32}	I^2C 唤醒， WDT 使能	–	2.5	180	µA	最大值在 1.89 V 和 85 °C
XRES 电流							
SID307	I_{DD_XR}	触发 XRES 时的供电电流	–	2	5	mA	–

表 3. 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID48	F_{CPU}	CPU 频率	DC	–	48	MHz	1.71 ≤ V_{DD} ≤ 5.5
SID49[2]	T_{SLEEP}	从睡眠模式唤醒的时间	–	0	–	µs	
SID50[2]	$T_{DEEPSLEEP}$	从深度睡眠模式唤醒的时间	–	35	–		

注释：
2. 由表征保证。

GPIO

表 4. GPIO 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID57	V_{IH}[3]	输入高电平阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID58	V_{IL}	输入低电平阈值	–	–	0.3 × V_{DDD}		CMOS 输入
SID241	V_{IH}[3]	LVTTL 输入， V_{DDD} < 2.7 V	0.7 × V_{DDD}	–	–		–
SID242	V_{IL}	LVTTL 输入， V_{DDD} < 2.7 V	–	–	0.3 × V_{DDD}		–
SID243	V_{IH}[3]	LVTTL 输入，V_{DDD} ≥ 2.7 V	2.0	–	–		–
SID244	V_{IL}	LVTTL 输入， V_{DDD} ≥ 2.7 V	–	–	0.8		–
SID59	V_{OH}	输出高电平	V_{DDD} – 0.6	–	–		V_{DDD} = 3 V 时，I_{OH} = 4 mA
SID60	V_{OH}	输出高电平	V_{DDD} – 0.5	–	–		V_{DDD} = 1.8 V 时，I_{OH} = 1 mA
SID61	V_{OL}	输出低电平	–	–	0.6		V_{DDD} = 1.8 V 时，I_{OL} = 4 mA
SID62	V_{OL}	输出低电平	–	–	0.6		V_{DDD} = 3 V 时，I_{OL} = 10 mA
SID62A	V_{OL}	输出低电平	–	–	0.4		V_{DDD} = 3 V 时，I_{OL} = 3 mA
SID63	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	kΩ	–
SID64	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5		–
SID65	I_{IL}	输入漏电流 （绝对值）	–	–	2	nA	25 °C， V_{DDD} = 3.0 V
SID66	C_{IN}	输入电容	–	–	7	pF	–
SID67[4]	V_{HYSTTL}	输入迟滞 LVTTL	25	40	–	mV	V_{DDD} ≥ 2.7 V
SID68[4]	$V_{HYSCMOS}$	输入迟滞 CMOS	0.05 × V_{DDD}	–	–		V_{DD} < 4.5 V
SID68A[4]	$V_{HYSCMOS5V5}$	输入迟滞 CMOS	200	–	–		VDD < 4.5 V
SID69[4]	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的电流	–	–	100	µA	–
SID69A[4]	I_{TOT_GPIO}	芯片的最大源电流或灌电流总值	–	–	200	mA	–

表 5. GPIO 交流规范
（由特性保证）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T_{RISEF}	快速强驱动模式下的上升时间	2	–	12	ns	V_{DDD} = 3.3 V，Cload = 25 pF
SID71	T_{FALLF}	快速强驱动模式下的下降时间	2	–	12		V_{DDD} = 3.3 V，Cload = 25 pF

注释：
3. V_{IH} 不能超过 V_{DDD} + 0.2 V。
4. 由表征保证。

表 5. GPIO 交流规范 *（续）*
（由特性保证）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID72	T_{RISES}	慢速强驱动模式下的上升时间	10	–	60	–	V_{DDD} = 3.3 V，Cload = 25 pF
SID73	T_{FALLS}	慢速强驱动模式下的下降时间	10	–	60	–	V_{DDD} = 3.3 V，Cload = 25 pF
SID74	$F_{GPIOUT1}$	GPIO 的输出频率（F_{OUT}）；3.3 V ≤ V_{DDD} ≤ 5.5 V 快速强驱动模式	–	–	33	MHz	90/10%，Cload = 25 pF，60/40 占空比
SID75	$F_{GPIOUT2}$	GPIO F_{OUT}；1.71 V ≤ V_{DDD} ≤ 3.3 V 快速强驱动模式	–	–	16.7		90/10%，Cload = 25 pF，60/40 占空比
SID76	$F_{GPIOUT3}$	GPIO F_{OUT}；3.3 V ≤ V_{DDD} ≤ 5.5 V 慢速强驱动模式	–	–	7		90/10%，Cload = 25 pF，60/40 占空比
SID245	$F_{GPIOUT4}$	GPIO F_{OUT}；1.71 V ≤ V_{DDD} ≤ 3.3 V 慢速强驱动模式。	–	–	3.5		90/10%，Cload = 25 pF，60/40 占空比
SID246	F_{GPIOIN}	GPIO 输入工作频率；1.71 V ≤ V_{DDD} ≤ 5.5 V	–	–	48		90/10% V_{IO}

XRES

表 6. XRES 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID77	V_{IH}	输入高电平阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID78	V_{IL}	输入低电平阈值	–	–	0.3 × V_{DDD}		
SID79	R_{PULLUP}	上拉电阻	–	60	–	kΩ	–
SID80	C_{IN}	输入电容	–	–	7	pF	–
SID81[5]	$V_{HYSXRES}$	输入电压迟滞	–	100	–	mV	V_{DD} > 4.5 V 时，典型迟滞为 200 mV
SID82	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的电流	–	–	100	µA	

表 7. XRES 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID83[5]	$T_{RESETWIDTH}$	复位脉冲宽度	1	–	–	µs	–
BID194[5]	$T_{RESETWAKE}$	从复位释放到唤醒的时间	–	–	2.7	ms	–

注释：
5. 由表征保证。

模拟外设

CTBm 运算放大器

表 8. CTBm 运算放大器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
	I_{DD}	运算放大器模块电流，外部负载					
SID269	I_{DD_HI}	功耗 = 高	–	1100	1850	µA	–
SID270	I_{DD_MED}	功耗 = 中	–	550	950		–
SID271	I_{DD_LOW}	功耗 = 低	–	150	350		–
	G_{BW}	负载 = 20 pF， 0.1 mA V_{DDA} = 2.7 V					
SID272	G_{BW_HI}	功耗 = 高	6	–	–	MHz	输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID273	G_{BW_MED}	功耗 = 中	3	–	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID274	G_{BW_LO}	功耗 = 低	–	1	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
	I_{OUT_MAX}	V_{DDA} = 2.7 V，电源电压 = 500 mV					
SID275	$I_{OUT_MAX_HI}$	功耗 = 高	10	–	–	mA	输出电压范围为 0.5 V 到 V_{DDA} -0.5 V
SID276	$I_{OUT_MAX_MID}$	功耗 = 中	10	–	–		输出电压范围为 0.5 V 到 V_{DDA} -0.5 V
SID277	$I_{OUT_MAX_LO}$	功耗 = 低	–	5	–		输出电压范围为 0.5 V 到 V_{DDA} -0.5 V
	I_{OUT}	V_{DDA} = 1.71 V，距电源轨 500 mV					
SID278	$I_{OUT_MAX_HI}$	功耗 = 高	4	–	–	mA	输出电压范围为 0.5 V 到 V_{DDA} -0.5 V
SID279	$I_{OUT_MAX_MID}$	功耗 = 中	4	–	–		输出电压范围为 0.5 V 到 V_{DDA} -0.5 V
SID280	$I_{OUT_MAX_LO}$	功耗 = 低	–	2	–		输出电压范围为 0.5 V 到 V_{DDA}-0.5 V
	I_{DD_Int}	运算放大器模块电流，内部负载					
SID269_I	$I_{DD_HI_Int}$	功耗 = 高	–	1500	1700	µA	–
SID270_I	$I_{DD_MED_Int}$	功耗 = 中	–	700	900		–
SID271_I	$I_{DD_LOW_Int}$	功耗 = 低	–	–	–		–
	G_{BW}	V_{DDA} = 2.7 V	–	–	–		–
SID272_I	$G_{BW_HI_Int}$	功耗 = 高	8	–	–	MHz	输出电压范围为 0.25 V ~ V_{DDA}-0.25 V
		适用于内部和外部模式的通用运算放大器规范					
SID281	V_{IN}	电荷泵打开， V_{DDA} = 2.7 V	-0.05	–	V_{DDA}-0.2	V	–
SID282	V_{CM}	电荷泵打开， V_{DDA} = 2.7 V	-0.05	–	V_{DDA}-0.2		–
	V_{OUT}	V_{DDA} = 2.7 V					

表 8. CTBm 运算放大器规范 *（续）*

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID283	V_{OUT_1}	功耗 = 高， Iload = 10 mA	0.5	–	V_{DDA} - 0.5	V	–
SID284	V_{OUT_2}	功耗 = 高， Iload = 1 mA	0.2	–	V_{DDA} - 0.2		–
SID285	V_{OUT_3}	功耗 = 中， Iload = 1 mA	0.2	–	V_{DDA} - 0.2		–
SID286	V_{OUT_4}	功耗 = 低， Iload = 0.1 mA	0.2	–	V_{DDA} - 0.2		–
SID288	V_{OS_TR}	失调电压，校准后	–1.0	±0.5	1.0	mV	高功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID288A	V_{OS_TR}	失调电压，校准后	–	±1	–		中等功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID288B	V_{OS_TR}	失调电压，校准后	–	±2	–		低功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID290	$V_{OS_DR_TR}$	失调电压漂移，校准后	–10	±3	10	µV/°C	高功耗模式
SID290A	$V_{OS_DR_TR}$	失调电压漂移，校准后	–	±10	–	µV/°C	中等功耗模式
SID290B	$V_{OS_DR_TR}$	失调电压漂移，校准后	–	±10	–		低功耗模式
SID291	CMRR	DC	70	80	–	dB	输入电压范围为 0 V ~ V_{DDA}-0.2 V，输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID292	PSRR	工作频率为1 kHz，纹波电压为10 mV	70	85	–		V_{DDD} = 3.6 V，高功耗模式，输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
	噪声						
SID294	VN2	输入相关噪声，频率 = 1 kHz，功耗 = 高	–	72	–	nV/rtHz	输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID295	VN3	输入相关噪声，频率 = 10 kHz，功耗 = 高	–	28	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID296	VN4	输入相关噪声，频率 = 100 kHz，功耗 = 高	–	15	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID297	C_{LOAD}	稳定状态下之最大负载。但性能指标定义在 50 pF 时。	–	–	125	pF	–
SID298	Slew_rate	Cload = 50 pF，功耗 = 高，V_{DDA} = 2.7 V	6	–	–	V/µs	–
SID299	T_OP_WAKE	从禁用到使能的时间，无外部 RC 电路支配	–	–	25	µs	–
SID299A	OL_GAIN	开环增益	–	90	–	dB	
	COMP_MODE	比较器模式：50 mV驱动，T_{rise} = T_{fall}（近似值）					
SID300	TPD1	响应时间；功耗 = 高	–	150	–	ns	输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID301	TPD2	响应时间；功耗 = 中	–	500	–		输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID302	TPD3	响应时间；功耗 = 低	–	2500	–		输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID303	VHYST_OP	迟滞	–	10	–	mV	–
SID304	WUP_CTB	从使能到可用的唤醒时间	–	–	25	µs	–

表 8. CTBm 运算放大器规范 *（续）*

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
	深度睡眠模式	模式 2 有最低的电流范围。模式 1 有更高的 GBW。					
SID_DS_1	$I_{DD_HI_M1}$	模式 1，高电流	–	1400	–	μA	25°C
SID_DS_2	$I_{DD_MED_M1}$	模式 1，中电流	–	700	–		25°C
SID_DS_3	$I_{DD_LOW_M1}$	模式 1，低电流	–	200	–		25°C
SID_DS_4	$I_{DD_HI_M2}$	模式 2，高电流	–	120	–		25°C
SID_DS_5	$I_{DD_MED_M2}$	模式 2，中电流	–	60	–		25°C
SID_DS_6	$I_{DD_LOW_M2}$	模式 2，低电流	–	15	–		25°C
SID_DS_7	$G_{BW_HI_M1}$	模式 1，高电流	–	4	–	MHz	20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_8	$G_{BW_MED_M1}$	模式 1，中电流	–	2	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_9	$G_{BW_LOW_M1}$	模式 1，低电流	–	0.5	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_10	$G_{BW_HI_M2}$	模式 2，高电流	–	0.5	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_11	$G_{BW_MED_M2}$	模式 2，中电流	–	0.2	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_12	$G_{BW_Low_M2}$	模式 2，低电流	–	0.1	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_13	$V_{OS_HI_M1}$	模式 1，高电流	–	5	–	mV	在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_14	$V_{OS_MED_M1}$	模式 1，中电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_15	$V_{OS_LOW_M1}$	模式 1，低电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_16	$V_{OS_HI_M2}$	模式 2，高电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_17	$V_{OS_MED_M2}$	模式 2，中电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_18	$V_{OS_LOW_M2}$	模式 2，低电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-0.2 V

表 8. CTBm 运算放大器规范 *（续）*

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID_DS_19	$I_{OUT_HI_M1}$	模式 1，高电流	–	10	–	mA	输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_20	$I_{OUT_MED_M1}$	模式 1，中电流	–	10	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_21	$I_{OUT_LOW_M1}$	模式 1，低电流	–	4	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_22	$I_{OUT_HI_M2}$	模式 2，高电流	–	1	–		
SID_DS_23	$I_{OU_MED_M2}$	模式 2，中电流	–	1	–		
SID_DS_24	$I_{OU_LOW_M2}$	模式 2，低电流	–	0.5	–		

比较器

表 9. 比较器直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID84	$V_{OFFSET1}$	输入失调电压，出厂校准值	–	–	±10	mV	
SID85	$V_{OFFSET2}$	输入失调电压，自定义校准	–	–	±4		
SID86	V_{HYST}	迟滞 （使能时）	–	10	35		
SID87	V_{ICM1}	正常模式下的共模输入电压	0	–	VDDD – 0.1	V	模式 1 和 2
SID247	V_{ICM2}	低功耗电压模式下的共模输入电压	0	–	V_{DDD}		
SID247A	V_{ICM3}	超低功耗模式下的共模输入电压	0	–	V_{DDD} – 1.15		V_{DDD} ≥ 2.2 V（–40 °C 的条件下）
SID88	C_{MRR}	共模抑制比	50	–	–	dB	V_{DDD} ≥ 2.7 V
SID88A	C_{MRR}	共模抑制比	42	–	–		V_{DDD} ≤ 2.7 V
SID89	I_{CMP1}	模块电流，正常模式	–	–	400	µA	
SID248	I_{CMP2}	模块电流，低功耗模式	–	–	100		
SID259	I_{CMP3}	超低功耗模式下的模块电流	–	–	6		V_{DDD} ≥ 2.2 V（–40 °C 的条件下）
SID90	Z_{CMP}	比较器的直流输入阻抗	35	–	–	MΩ	

表 10. 比较器交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID91	TRESP1	响应时间，正常运行模式， 50 mV 超压	–	38	110	ns	
SID258	TRESP2	响应时间，低功耗模式， 50 mV 超压	–	70	200		
SID92	TRESP3	响应时间，超低功耗模式，200 mV 超压	–	2.3	15	µs	V_{DDD} ≥ 2.2 V（–40 °C 的条件下）

注释：
6. 由表征保证。

温度传感器

表 11. 温度传感器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID93	TSENSACC	温度传感器精度	–5	±1	5	°C	–40 ~ +85 °C

SAR ADC

表 12. SAR ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SAR ADC 直流规范							
SID94	A_RES	分辨率	–	–	12	位	
SID95	A_CHNLS_S	单端通道数量	–	–	16		
SID96	A-CHNKS_D	差分通道数量	–	–	4		差分输入需要使用相邻的 I/O
SID97	A-MONO	单调性	–	–	–		有
SID98	A_GAINERR	增益误差	–	–	±0.1	%	使用外部参考电压
SID99	A_OFFSET	输入失调电压	–	–	2	mV	在 1 V 的参考电压测量得到。
SID100	A_ISAR	电流消耗	–	–	1	mA	
SID101	A_VINS	单端输入电压范围	V_{SS}	–	V_{DDA}	V	
SID102	A_VIND	差分输入电压范围	V_{SS}	–	V_{DDA}	V	
SID103	A_INRES	输入电阻	–	–	2.2	KΩ	
SID104	A_INCAP	输入电容	–	–	10	pF	
SID260	VREFSAR	校准后的 SAR 内部参考电压	1.188	1.2	1.212	V	
SAR ADC 交流规范							
SID106	A_PSRR	电源抑制比	70	–	–	dB	
SID107	A_CMRR	共模抑制比	66	–	–	dB	在 1 V 电压下测量
SID108	A_SAMP	采样率	–	–	1	Msps	
SID109	A_SNR	信噪比和失真比 （SINAD）	65	–	–	dB	F_{IN} = 10 kHz
SID110	A_BW	无混叠输入带宽	–	–	A_samp/2	kHz	
SID111	A_INL	积分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 1 Msps	–1.7	–	2	LSB	V_{REF} = 1 V ~ V_{DD}
SID111A	A_INL	积分非线性。V_{DDD} = 1.71 V ~ 3.6 V，比特率为 1 Msps	–1.5	–	1.7	LSB	V_{REF} = 1.71 V ~ V_{DD}
SID111B	A_INL	积分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 500 Ksps	–1.5	–	1.7	LSB	V_{REF} = 1 V ~ V_{DD}
SID112	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 1 Msps	–1	_	2.2	LSB	V_{REF} = 1 V ~ V_{DD}
SID112A	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 3.6 V，比特率为 1 Msps	–1	_	2	LSB	V_{REF} = 1.71 V ~ V_{DD}
SID112B	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 500 Ksps	–1	_	2.2	LSB	V_{REF} = 1 V ~ V_{DD}
SID113	A_THD	总谐波失真	–	–	–65	dB	Fin = 10 kHz
SID261	Fsarintref	SAR 运行速度 （没有旁路外部参考电压）	–	–	100	ksps	12 位分辨率

CSD 和 IDAC

表 13. CSD 和 IDAC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SYS.PER#3	VDD_RIPPLE	电源的最大允许纹波，DC ~ 10 MHz	–	–	±50	mV	V_{DD} > 2 V （包括纹波），T_A = 25 °C，灵敏度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	电源的最大允许纹波，DC ~ 10 MHz	–	–	±25	mV	V_{DD} > 1.75 V （包括纹波），T_A = 25 °C，寄生电容（C_P）< 20 pF，灵敏度 ≥ 0.4 pF
SID.CSD.BLK	ICSD	最大模块电流	–	–	4000	µA	动态（切换）模式下两个 IDAC 的最大模块电流，包括比较器、缓冲器和参考电压发生器的电流
SID.CSD#15	V_{REF}	CSD 和比较器的参考电源	0.6	1.2	V_{DDA} - 0.6	V	V_{DDA} - 0.6 或 4.4 （选择较低的值）
SID.CSD#15A	VREF_EXT	CSD 和比较器的外部参考电源	0.6		V_{DDA} - 0.6	V	V_{DDA} - 0.6 或 4.4 （选择较低的值）
SID.CSD#16	IDAC1IDD	IDAC1 （7 位）模块电流	–	–	1750	µA	
SID.CSD#17	IDAC2IDD	IDAC2 （7 位）模块电流	–	–	1750	µA	
SID308	VCSD	工作电压范围	1.71	–	5.5	V	1.8 V ±5 % 或 1.8 V 到 5.5 V
SID308A	VCOMPIDAC	IDAC 的合规电压范围	0.6	–	V_{DDA} –0.6	V	V_{DDA} - 0.6 或 4.4 （选择较低的值）
SID309	IDAC1DNL	DNL	–1	–	1	LSB	
SID310	IDAC1INL	INL	–2	–	2	LSB	V_{DDA} < 2 V 时，INL 为 ±5.5 LSB
SID311	IDAC2DNL	DNL	–1	–	1	LSB	
SID312	IDAC2INL	INL	–2	–	2	LSB	V_{DDA} < 2 V 时，INL 为 ±5.5 LSB
SID313	SNR	手指信号与噪声的比例。由出厂校准保证	5	–	–	比率	电容值范围 = 5 pF ~ 35 pF，灵敏度 = 0.1 pF。所有使用场合。V_{DDA} > 2 V。
SID314	IDAC1CRT1	在低范围内的 IDAC1 （7 位）输出电流	4.2	–	5.4	µA	LSB = 37.5 nA （典型值）
SID314A	IDAC1CRT2	在中等范围内的 IDAC1 （7 位）输出电流	34	–	41	µA	LSB = 300 nA （典型值）
SID314B	IDAC1CRT3	在高范围内的 IDAC1 （7 位）输出电流	275	–	330	µA	LSB = 2.4 µA （典型值）
SID314C	IDAC1CRT12	在低范围和 2X 模式下的 IDAC1（7 位）输出电流	8	–	10.5	µA	LSB = 75 nA （典型值）
SID314D	IDAC1CRT22	在中等范围和 2X 模式下的 IDAC1（7 位）输出电流	69	–	82	µA	LSB = 600 nA （典型值）
SID314E	IDAC1CRT32	在高范围和 2X 模式下的 IDAC1（7 位）输出电流	540	–	660	µA	LSB = 4.8 µA （典型值）
SID315	IDAC2CRT1	在低范围内的 IDAC2 （7 位）输出电流	4.2	–	5.4	µA	LSB = 37.5 nA （典型值）
SID315A	IDAC2CRT2	在中等范围内的 IDAC2 （7 位）输出电流	34	–	41	µA	LSB = 300 nA （典型值）
SID315B	IDAC2CRT3	在高范围内的 IDAC2 （7 位）输出电流	275	–	330	µA	LSB = 2.4 µA （典型值）
SID315C	IDAC2CRT12	在低范围内的 IDAC2 （7 位）输出电流， 2X 模式	8	–	10.5	µA	LSB = 75 nA （典型值）
SID315D	IDAC2CRT22	在高范围内的 IDAC2 （7 位）输出电流， 2X 模式	69	–	82	µA	LSB = 600 nA （典型值）
SID315E	IDAC2CRT32	在高范围内的 IDAC2 （7 位）输出电流，2X 模式	540	–	660	µA	LSB = 4.8 µA （典型值）
SID315F	IDAC3CRT13	在低范围内的 IDAC （8 位）输出电流	8	–	10.5	µA	LSB = 37.5 nA （典型值）

表 13. CSD 和 IDAC 规范 （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID315G	IDAC3CRT23	在中等范围内的 IDAC（8 位）输出电流	69	–	82	µA	LSB = 300 nA （典型值）
SID315H	IDAC3CRT33	在高范围内的 IDAC （8 位）输出电流	540	–	660	µA	LSB = 2.4 µA （典型值）
SID320	IDACOFFSET	所有输入为零	–	–	1	LSB	由源电流或灌电流设置的极性。在 37.5 nA/LSB 模式下，失调为 2 LSB
SID321	IDACGAIN	满量程误差减去失调	–	–	±10	%	
SID322	IDACMISMATCH1	IDAC1 和 IDAC2 在低功耗模式下的差异	–	–	9.2	LSB	LSB = 37.5 nA （典型值）
SID322A	IDACMISMATCH2	IDAC1 和 IDAC2 在中等功耗模式下的差异	–	–	5.6	LSB	LSB = 300 nA （典型值）
SID322B	IDACMISMATCH3	IDAC1 和 IDAC2 在高功耗模式下的差异	–	–	6.8	LSB	LSB = 2.4 µA （典型值）
SID323	IDACSET8	8 位 IDAC 的 0.5 LSB 的建立时间	–	–	5	µs	满量程跃变。无外部负载
SID324	IDACSET7	7 位 IDAC 到 0.5 LSB 的建立时间	–	–	5	µs	满量程跃变。无外部负载
SID325	CMOD	外部调制器电容。	–	2.2	–	nF	5 V 的额定电压， X7R 或 NP0 电容

10 位 CapSense ADC

表 14. 10 位 CapSense ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SIDA94	A_RES	分辨率	–	–	10	位	每毫秒需要自动清零
SIDA95	A_CHNLS_S	单端通道数量	–	–	16		由 AMUX 总线定义
SIDA97	A-MONO	单调性	–	–	–	有	
SIDA98	A_GAINERR	增益误差	–	–	±3	%	在 V_{REF} （2.4 V）模式下：V_{DDA} 旁路电容为 10 µF
SIDA99	A_OFFSET	输入失调电压	–	–	±18	mV	在 V_{REF} （2.4 V）模式下：V_{DDA} 旁路电容为 10 µF
SIDA100	A_ISAR	电流消耗	–	–	0.25	mA	
SIDA101	A_VINS	单端输入电压范围	V_{SSA}	–	V_{DDA}	V	
SIDA103	A_INRES	输入电阻	–	2.2	–	KΩ	
SIDA104	A_INCAP	输入电容	–	20	–	pF	
SIDA106	A_PSRR	电源抑制比	–	60	–	dB	在 V_{REF} （2.4 V）模式下：V_{DDA} 旁路电容为 10 µF
SIDA107	A_TACQ	样本采集时间	–	1	–	µs	
SIDA108	A_CONV8	转换速率为 Fhclk/(2^(N+2)) 时 8 位分辨率的转换时间时钟频率为 48 MHz。	–	–	21.3	µs	不包括采集时间。等于 44.8 ksps （包括采集时间）。
SIDA108A	A_CONV10	转换速率为 Fhclk/(2^(N+2)) 时 10 位分辨率的转换时间时钟频率为 48 MHz。	–	–	85.3	µs	不包括采集时间。等于 11.6 ksps （包括采集时间）。
SIDA109	A_SND	信噪比和失真比 （SINAD）	–	61	–	dB	10 Hz 输入正弦波、2.4 V 的外部参考电压、V_{REF} （2.4 V）模式
SIDA110	A_BW	无混叠输入带宽	–	–	22.4	KHz	8 位分辨率
SIDA111	A_INL	在 1 ksps 时的积分非线性	–	–	2	LSB	V_{REF} = 2.4 V 或更高值
SIDA112	A_DNL	在 1 ksps 时的微分非线性	–	–	1	LSB	

数字外设

定时器 / 计数器 / 脉宽调制器 （TCPWM）

表 15. TCPWM 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时模块消耗的电流	–	–	45	µA	所有模式 （TCPWM）
SID.TCPWM.2	ITCPWM2	频率为 12 MHz 时的模块电流消耗	–	–	155		所有模式 （TCPWM）
SID.TCPWM.2A	ITCPWM3	频率为 48 MHz 时的模块电流消耗	–	–	650		所有模式 （TCPWM）
SID.TCPWM.3	$TCPWM_{FREQ}$	工作频率	–	–	Fc	MHz	Fc max = CLK_SYS 最大值 = 48 MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	输入触发脉冲宽度	2/Fc	–	–	ns	对于所有触发事件 [7]
SID.TCPWM.5	$TPWM_{EXT}$	输出触发脉冲宽度	2/Fc	–	–		上溢、下溢和 CC（计数值等于比较值）输出的最小宽度
SID.TCPWM.5A	TC_{RES}	计数器的分辨率	1/Fc	–	–		连续计数间的最短时间
SID.TCPWM.5B	PWM_{RES}	脉冲宽度调制器分辨率	1/Fc	–	–		PWM 输出的最小脉宽
SID.TCPWM.5C	Q_{RES}	正交输入分辨率	1/Fc	–	–		正交相位输入间的最小脉冲宽度

I^2C

表 16. 固定 I^2C 直流规范 [7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I_{I2C1}	频率为 100 kHz 时的模块电流消耗	–	–	50	µA	–
SID150	I_{I2C2}	频率为 400 kHz 时的模块电流消耗	–	–	135		–
SID151	I_{I2C3}	比特率为 1 Mbps 时的模块电流消耗	–	–	310		–
SID152	I_{I2C4}	I^2C 在深度睡眠模式下使能	–	1	–		

表 17. 固定的 I^2C 交流规范 [7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F_{I2C1}	比特率	–	–	1	Msps	–

注释：
7. 由表征保证。

SPI

表 18. SPI 直流规范 [8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID163	ISPI1	速度为 1 Mbps 时模块消耗的电流	–	–	360	µA	–
SID164	ISPI2	速度为 4 Mbps 时模块消耗的电流	–	–	560		–
SID165	ISPI3	速度为 8 Mbps 时模块消耗的电流	–	–	600		–

表 19. SPI 交流规范 [8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID166	FSPI	SPI 工作频率 （主设备； 6X 过采样）	–	–	8	MHz	
SPI 主设备模式下的固定交流规范							
SID167	TDMO	SClock 驱动沿后 MOSI 有效的时间	–	–	15	ns	–
SID168	TDSI	SClock 捕获沿前的 MISO 有效时间。	20	–	–		全时钟、 MISO 推迟采样
SID169	THMO	先前的 MOSI 数据保持时间	0	–	–		表示从设备捕获边沿
SPI 从设备模式的固定交流规范							
SID170	TDMI	Sclock 捕获沿前 MOSI 有效的时间	40	–	–	ns	–
SID171	TDSO	Sclock 驱动沿后的 MISO 有效时间	–	–	42 + 3*Tcpu		$T_{CPU} = 1/F_{CPU}$
SID171A	TDSO_EXT	Sclock 驱动沿到 MISO 有效的时间（在外部时钟模式下）	–	–	48		–
SID172	THSO	先前的 MISO 数据保持时间	0	–	–		–
SID172A	TSSELSSCK	从 SSEL 有效到第一个 SCK 有效沿的时间	100	–	–	ns	–

UART

表 20. UART 直流规范 [8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID160	I_{UART1}	速度为 100 Kbps 时，模块消耗的电流	–	–	55	µA	–
SID161	I_{UART2}	速度为 1000 Kbps 时，模块消耗的电流	–	–	312	µA	–

表 21. UART 交流规范 [8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID162	F_{UART}	比特率	–	–	1	Mbps	–

注释：
8. 由表征保证。

LCD 直接驱动

表 22. LCD 直接驱动直流规范 [9]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID154	I_{LCDLOW}	低功耗模式下的工作电流	–	5	–	µA	16 × 4segment 显示屏，频率 = 50 Hz
SID155	C_{LCDCAP}	每个 Segment/Common 驱动器上的 LCD 电容	–	500	5000	pF	–
SID156	LCD_{OFFSET}	长期 segment 失调	–	20	–	mV	–
SID157	I_{LCDOP1}	LCD 系统工作电流 Vbias = 5 V	–	2	–	mA	32 x 4 segment，频率为 50 Hz，温度为 25 °C
SID158	I_{LCDOP2}	LCD 系统工作电流 Vbias= 3.3 V	–	2	–		32 x 4 segment，频率为 50 Hz，温度为 25 °C

表 23. LCD 直接驱动器交流规范 [9]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID159	F_{LCD}	LCD 帧率	10	50	150	Hz	–

注释：
9. 由表征保证。

存储器

表 24. Flash 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID173	V_{PE}	擦除和编程电压	1.71	–	5.5	V	–

表 25. Flash 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID174	$T_{ROWWRITE}$[10]	行 （块）编写的时间 （擦除和编程）	–	–	20	ms	行（模块）= 256 个字节
SID175	$T_{ROWERASE}$[10]	行擦除时间	–	–	16		–
SID176	$T_{ROWPROGRAM}$[10]	擦除后的行编程时间	–	–	4		–
SID178	$T_{BULKERASE}$[10]	批量擦除时间 （256 KB）	–	–	35		–
SID180[11]	$T_{DEVPROG}$[10]	器件总编程时间	–	–	7	秒	–
SID181[11]	F_{END}	闪存擦写次数	100 K	–	–	周期	–
SID182[11]	F_{RET}	闪存数据保持时间。 $T_A \le 55$ °C，10 万个编程 / 擦除周期	20	–	–	年	–
SID182A[11]	–	闪存数据保留时间。 $T_A \le 85$ °C，一万次编程 / 擦除周期	10	–	–		–
SID182B	F_{RETQ}	闪存数据保留时间。$T_A \le 105$ °C，一万次编程 / 擦除周期 , $T_A \ge 85$ °C 时 ≤ 3 年	10	–	–		表征保证
SID256	TWS48	频率为 48 MHz 时的等待状态数	2	–	–		CPU 从闪存执行
SID257	TWS24	频率为 24 MHz 时的等待状态数	1	–	–		CPU 从闪存执行

系统资源

上电复位 （POR）

表 26. 上电复位 （PRES）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#6	SR_POWER_UP	电源转换速率	1	–	67	V/ms	上电
SID185[11]	$V_{RISEIPOR}$	上升触发电压	0.80	–	1.5	V	–
SID186[11]	$V_{FALLIPOR}$	下降触发电压	0.70	–	1.4		–

表 27. V_{CCD} 欠压检测 （BOD）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190[11]	$V_{FALLPPOR}$	主动模式和睡眠模式下的 BOD 触发电压	1.48	–	1.62	V	–
SID192[11]	$V_{FALLDPSLP}$	深度睡眠模式下的 BOD 触发电压	1.11	–	1.5		–

注释：

10. 可能需要 20 毫秒来写入闪存。在这段时间内请勿复位器件，否则会中断闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。
11. 由表征保证。

SWD 接口

表 28. SWD 接口规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID213	F_SWDCLK1	3.3 V ≤ V_{DD} ≤ 5.5 V	–	–	14	MHz	SWDCLK ≤ CPU 时钟频率的 1/3
SID214	F_SWDCLK2	1.71 V ≤ V_{DD} ≤ 3.3 V	–	–	7		SWDCLK ≤ CPU 时钟频率的 1/3
SID215[12]	T_SWDI_SETUP	T = 1/f SWDCLK	0.25*T	–	–	ns	–
SID216[12]	T_SWDI_HOLD	T = 1/f SWDCLK	0.25*T	–	–		–
SID217[12]	T_SWDO_VALID	T = 1/f SWDCLK	–	–	0.5*T		–
SID217A[12]	T_SWDO_HOLD	T = 1/f SWDCLK	1	–	–		–

内部主振荡器

表 29. IMO 直流规范

（由设计保证）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I_{IMO1}	频率为 48 MHz 时的 IMO 工作电流	–	–	250	µA	–
SID219	I_{IMO2}	频率为 24 MHz 时的 IMO 工作电流	–	–	180	µA	–

表 30. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	$F_{IMOTOL1}$	频率改为 24、32 和 48 MHz（经过校准后）	–	–	±2	%	
SID226	$T_{STARTIMO}$	IMO 启动时间	–	–	7	µs	–
SID228	$T_{JITRMSIMO2}$	在 24 MHz 时的均方根抖动时间	–	145	–	ps	–

内部低速振荡器

表 31. ILO 直流规范

（由设计保证）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231	I_{ILO1}	ILO 工作电流	–	0.3	1.05	µA	–

表 32. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234[12]	$T_{STARTILO1}$	ILO 启动时间	–	–	2	ms	–
SID236[12]	$T_{ILODUTY}$	ILO 占空比	40	50	60	%	–
SID237	$F_{ILOTRIM1}$	ILO 频率范围	20	40	80	kHz	–

注释：
12. 由设计保证

监视晶体振荡器 （WCO）

表 33. WCO 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID398	FWCO	晶振频率	–	32.768	–	kHz	
SID399	FTOL	频率容限	–	50	250	ppm	晶振的精度为 20 ppm。
SID400	ESR	等效串联电阻	–	50	–	kΩ	
SID401	PD	驱动电平	–	–	1	µW	
SID402	TSTART	启动时间	–	–	500	ms	
SID403	CL	晶振负载电容	6	–	12.5	pF	
SID404	C0	晶振并联电容	–	1.35	–	pF	
SID405	IWCO1	工作电流 （高功耗模式）	–	–	8	µA	

外部时钟

表 34. 外部时钟规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305[13]	ExtClkFreq	外部时钟输入频率	0	–	48	MHz	–
SID306[13]	ExtClkDuty	占空比；在 $V_{DD/2}$ 电压下测量	45	–	55	%	–

外部晶体振荡器和 PLL

表 35. 外部晶体振荡器 （ECO）规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID316[13]	IECO1	外部时钟输入频率	–	–	1.5	mA	–
SID317[13]	FECO	晶振的频率范围	4	–	33	MHz	–

表 36. PLL 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID410	IDD_PLL_48	输入频率 = 3 MHz，输出频率 = 48 MHz	–	530	610	µA	
SID411	IDD_PLL_24	输入频率 = 3 MHz，输出频率 = 24 MHz	–	300	405	µA	
SID412	Fpllin	PLL 输入频率	1	–	48	MHz	
SID413	Fpllint	PLL 中频；预分频器	1	–	3	MHz	
SID414	Fpllvco	进行后分频前的 VCO 输出频率	22.5	–	104	MHz	
SID415	Divvco	VCO 输出后分频范围； PLL 输出频率为 Fpplvco/Divvco	1	–	8		
SID416	Plllocktime	启动时的锁定时间	–	–	250	µs	
SID417	Jperiod_1	VCO ≥ 67 MHz 时的周期抖动值	–	–	150	ps	由设计保证
SID416A	Jperiod_2	VCO ≤ 67 MHz 时的周期抖动值	–	–	200	ps	由设计保证

系统时钟

表 37. 模块规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID262[13]	$T_{CLKSWITCH}$	系统时钟源的切换时间	3	–	4	周期	–

注释：
13. 由表征保证。

智能 I/O

表 38. 智能 I/O 接通时间 （旁路模式下会有延迟）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID252	PRG_BYPASS	旁路模式下由智能 I/O 引起的最长延迟时间	–	–	1.6	ns	

订购信息

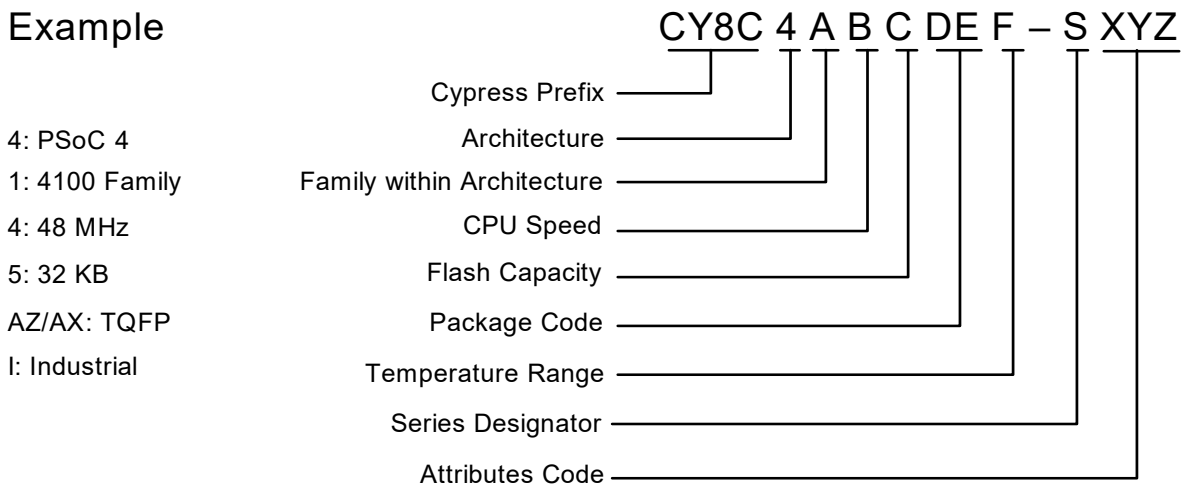
下表显示了 PSoC 4100S Plus 256KB 系列的器件型号。

类别	MPN	特性														封装		
		CPU的最大速度 (MHz)	闪存 (KB)	SRAM (KB)	运算放大器 (CTBm)	CSD	10-bit CSD ADC	12-bit SAR ADC	SAR ADC 采样率	低功耗比较器	TCPWM 模块	SCB 模块	ECO/PLL	Smart IOs	GPIO	48-TQFP	64-TQFP (0.5mm间距)	64-TQFP (0.8mm间距)
4128	CY8C4128AZI-S443	24	256	32	2		1	1	806 Ksps	2	8	4	X	16	38	X		
	CY8C4128AZI-S445	24	256	32	2		1	1	806 Ksps	2	8	5	X	16	54		X	
	CY8C4128AXI-S445	24	256	32	2		1	1	806 Ksps	2	8	5	X	16	54			X
	CY8C4128AZI-S453	24	256	32	2	1	1	1	806 Ksps	2	8	4	X	16	38	X		
	CY8C4128AZI-S455	24	256	32	2	1	1	1	806 Ksps	2	8	5	X	16	54		X	
	CY8C4128AXI-S455	24	256	32	2	1	1	1	806 Ksps	2	8	5	X	16	54			X
4148	CY8C4148AZI-S443	48	256	32	2		1	1	1 Msps	2	8	4	X	16	38	X		
	CY8C4148AZI-S445	48	256	32	2		1	1	1 Msps	2	8	5	X	16	54		X	
	CY8C4148AXI-S445	48	256	32	2		1	1	1 Msps	2	8	5	X	16	54			X
	CY8C4148AZI-S453	48	256	32	2	1	1	1	1 Msps	2	8	4	X	16	38	X		
	CY8C4148AZI-S455	48	256	32	2	1	1	1	1 Msps	2	8	5	X	16	54		X	
	CY8C4148AXI-S455	48	256	32	2	1	1	1	1 Msps	2	8	5	X	16	54			X

上表中所用的名称是基于以下的器件编号常规：

字段	说明	值	含义
CY8C	赛普拉斯前缀		
4	架构	4	PSoC 4
A	产品系列	1	4100 系列
B	CPU 速度	2	24 MHz
		4	48 MHz
C	闪存容量	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	封装代码	Ax	TQFP （间距为 0.8 mm）
		AZ	TQFP （间距为 0.5 mm）
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度范围	I	工业级
		Q	扩展工业级
S	系列代号	S	PSoC 4 S 系列
		M	PSoC 4 M 系列
		L	PSoC 4 L 系列
		BL	PSoC 4 BLE 系列
XYZ	属性代码	000-999	在特定系列中的功能集代码

下面是一个器件型号示例：



封装

PSoC 4100S Plus 256KB 将提供 48 TQFP、 64 TQFP Normal pitch 和 64 TQFP Fine Pitch 三种封装。
封装尺寸和赛普拉斯的型号如下表所示。

表 39. 封装列表

规范 ID	封装	描述	封装 DWG 编号
BID20	64 pin TQFP	14 × 14 × 1.4 mm 高度 （引脚间距为 0.8 mm）	51-85046
BID27	64 pin TQFP	10 × 10 × 1.6 mm 高度 （引脚间距为 0.5 mm）	51-85051
BID70	48 pin TQFP	7 × 7 × 1.4 mm 高度 （引脚间距为 0.5 mm）	51-85135

表 40. 封装的热特性

参数	描述	封装	最小值	典型值	最大值	单位
T_A	工作环境温度		–40	25	105	°C
T_J	工作结温		–40	–	125	°C
T_{JA}	封装 θ_{JA}	64-pin TQFP (0.5-mm 间距)	–	46	–	°C/Watt
T_{JC}	封装 θ_{JC}	64-pin TQFP (0.5-mm 间距)	–	10	–	°C/Watt
T_{JA}	封装 θ_{JA}	64-pin TQFP (0.8-mm 间距)	–	36.8	–	°C/Watt
T_{JC}	封装 θ_{JC}	64-pin TQFP (0.8-mm 间距)	–	9.4	–	°C/Watt
T_{JA}	封装 θ_{JA}	48-pin TQFP (0.5-mm 间距)	–	39.4	–	°C/Watt
T_{JC}	封装 θ_{JC}	48-pin TQFP (0.5-mm 间距)	–	9.3	–	°C/Watt

表 41. 回流焊峰值温度

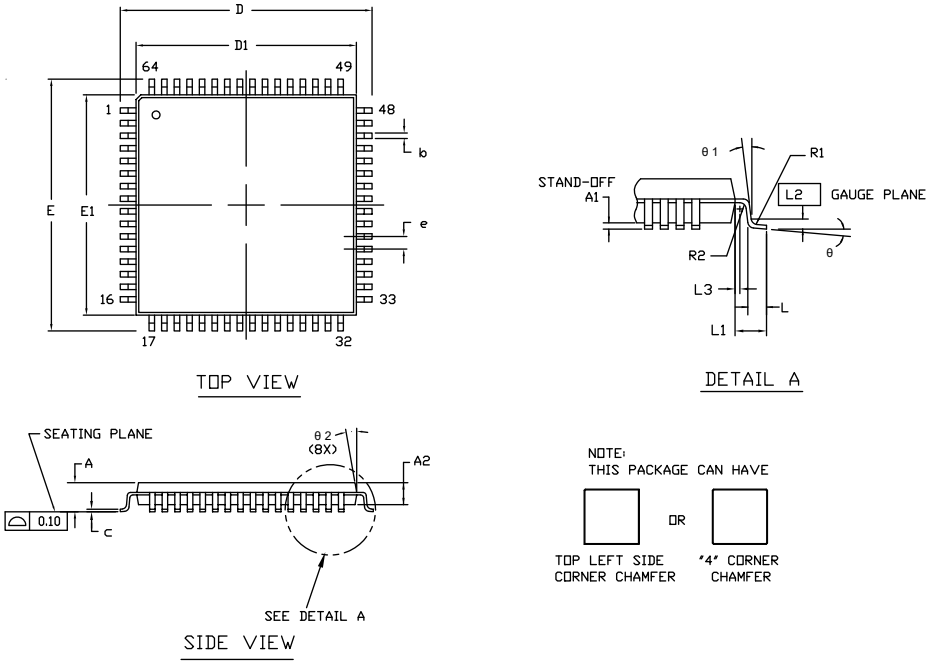
封装	最高峰值温度	峰值温度下的最长时间
全部	260°C	30 秒

表 42. 封装潮敏等级 （MSL）， IPC/JEDEC J-STD-020

封装	MSL
全部	MSL 3

封装图

图 7. 64 pin TQFP 封装 （间距为 0.8 mm）外形



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	15.75	16.00	16.25
D1	13.95	14.00	14.05
E	15.75	16.00	16.25
E1	13.95	14.00	14.05
R1	0.08	—	0.20
R2	0.08	—	0.20
θ	0°	—	7°
θ1	0°	—	—
θ2	11°	12°	13°
c	—	—	0.20
b	0.30	0.35	0.40
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 BSC		
L3	0.20	—	—
e	0.80 TYP		

NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85046 *H

图 8. 64 pin TQFP 封装 （间距为 0.5 mm）外形

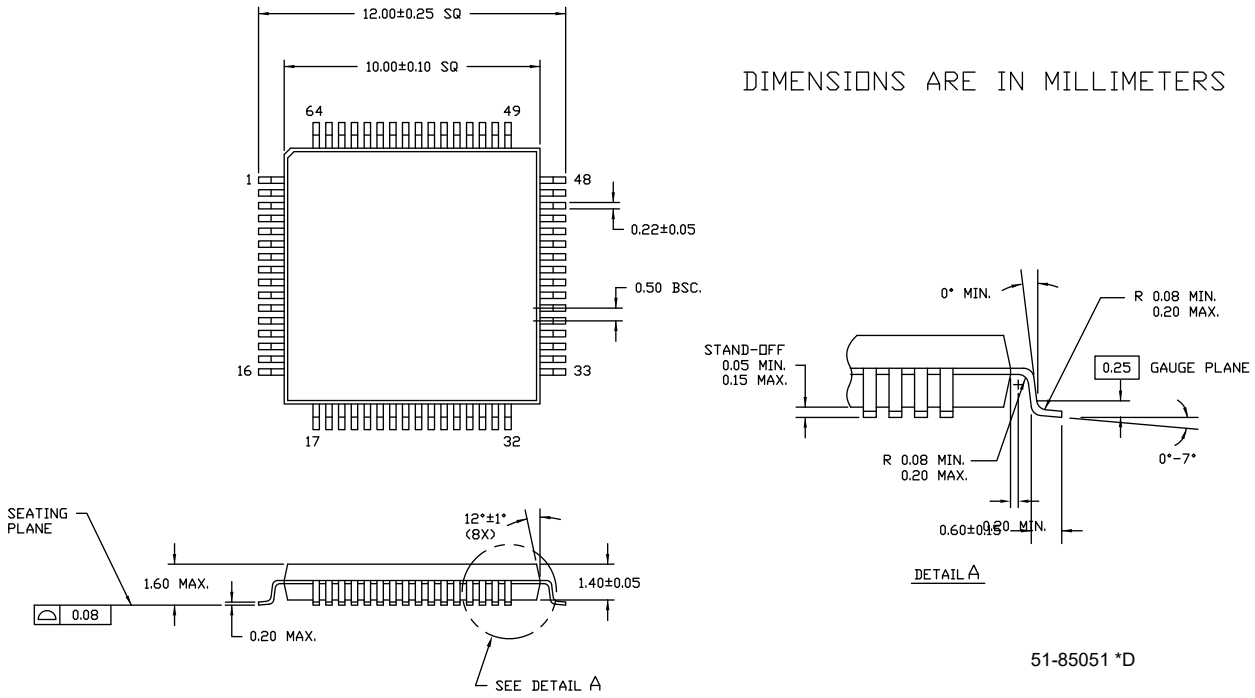
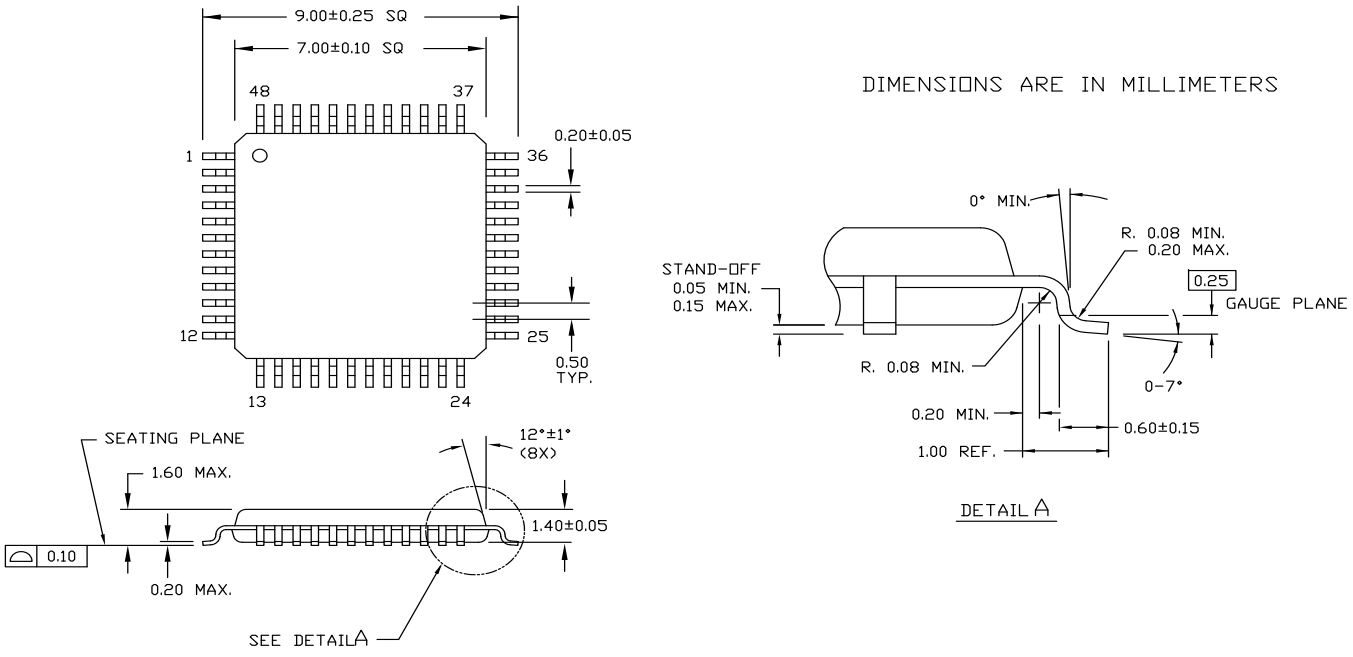


图 9. 48-Pin 7 × 7 × 1.4 mm TQFP 封装外形



缩略语

表 43. 本文档中使用的缩略语

缩略语	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA （先进微控制器总线结构）高性能总线，即为一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用程序状态寄存器
Arm®	高级 RISC 机器，它是一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络，即为一种通信协议
CMRR	共模抑制比
CPU	中央处理器
CRC	循环冗余校验，即为一种错误校验协议
DAC	数模转换器，另请参见 IDAC、 VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出 GPIO，只具有数字功能，无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问，另请参见 TD
DNL	微分非线性，另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点 （watchpoint）和跟踪 （trace）
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电释放
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应，另请参见 IIR

表 43. 本文档中使用的缩略语 *（续）*

缩略语	描述
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出，与 PSoC 引脚相连
HVI	高电压中断，另请参见 LVI、 LVD
IC	集成电路
IDAC	电流 DAC，另请参见 DAC、 VDAC
IDE	集成开发环境
I^2C 或 IIC	内部集成电路，即为一种通信协议
IIR	无限脉冲响应，另请参见 FIR
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
INL	积分非线性，另请参见 DNL
I/O	输入 / 输出，另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断编程状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示屏
LIN	局部互联网络，它是一种通信协议
LR	链接寄存器
LUT	查找表
LVD	低电压检测，另请参见 LVI
LVI	低电压中断，另请参见 HVI
LVTTL	低压晶体管 — 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器，另请参考 WOL
opamp	运算放大器
PAL	可编程阵列逻辑，另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器

表 43. 本文档中使用的缩略语 *（续）*

缩略语	描述
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件，另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	精密上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器传输语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I^2C 串行时钟
SDA	I^2C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特殊输入 / 输出，带高级功能的 GPIO。请参见 GPIO。
SOC	开始转换
SOF	帧的起始
SPI	串行外设接口，即为一种通信协议
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试，即为一种测试协议
SWV	单线浏览器
TD	传输描述符，另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册

表 43. 本文档中使用的缩略语 *（续）*

缩略语	描述
TTL	晶体管 — 晶体管逻辑
TX	发送
UART	通用异步发射器接收器，它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出，用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器，另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器，另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档规范

度量单位

表 44. 度量单位

符号	度量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	千次采样每秒
LSB	最低有效位
Mbps	兆比特每秒
MHz	兆赫兹
MΩ	兆欧姆
Msps	兆次采样每秒
µA	微安
µF	微法
µH	微亨
µs	微秒
µV	微伏
µW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分比
ps	皮秒
s	秒
sps	采样数每秒
sqrtHz	赫兹平方根
V	伏特

修订记录

文档标题：PSoC 4: PSoC 4100S Plus 256KB 系列数据手册可编程片上系统 （PSoC） 文档编号：002-28371			
版本	ECN	提交日期	变更说明
**	6668205	10/03/2019	本文档版本号为 Rev. **，译自英文版 002-26566 Rev. *A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问 赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

© 赛普拉斯半导体公司， 2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC （“ 赛普拉斯 ”）的财产。本文件，包括其包含或引用的任何软件或固件（“ 软件 ”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“ 非预期用途 ”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。