第 1 世代パワー デリバリー マイクロコントローラー

EZ-PD™ PMG1 ファミリの概要

EZ-PD™ PMG1 (第 1 世代パワー デリバリー マイクロコントローラー) は、高電圧の USB-C パワー デリバリー (PD) マイクロコントローラー (MCU) のファミリです。これらのチップには、Arm® Cortex®-M0/M0+ CPU、USB-C PD コントローラー、およびアナログとデジタル ペリフェラルが搭載されます。EZ-PD™ PMG1 は、高電圧 USB-C PD ポートとの間で電力を供給 / 消費し、マイクロコントローラーを活用して追加の制御機能を提供する組込みシステムを対象としています。**Figure 1** に、EZ-PD™ PMG1 ファミリのセグメンテーションを示します。

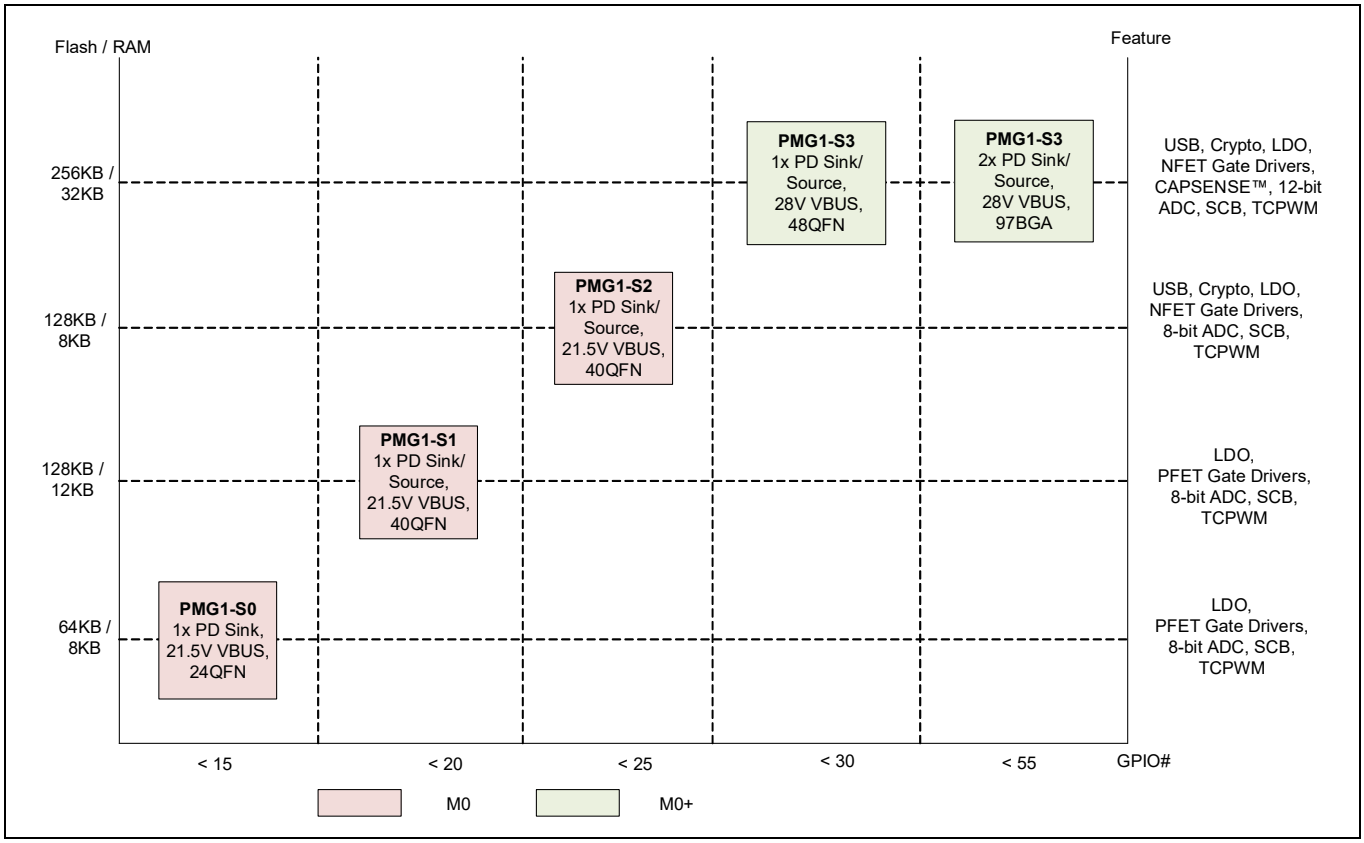


Figure 1 PMG1 ファミリ セグメンテーション

Table 1 に、EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較を示します。

Table 1　　EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較

サブシステムまたは範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
CPU およびメモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP および UVP	VBUS OVP、UVP、および OCP。 SCP および RCP (ソース コンフィギュレーションのみ)	VBUS OVP、UVP、および OCP	VBUS OVP、UVP、および OCP。 SCP および RCP (ソース コンフィギュレーションのみ)
USB	Billboard クラスをサポートする統合されたフルスピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ～ 5.5) VBUS (4.0 ～ 21.5)	VSYS (2.75 ～ 5.5) VBUS (4 ～ 21.5)	VSYS (2.7 ～ 5.5) VBUS (4.0 ～ 21.5)	VSYS (2.8 ～ 5.5) VBUS (4 ～ 28)
	IO (V)	1.71 ～ 5.5	1.71 ～ 5.5	1.71 ～ 5.5	1.71 ～ 5.5

Table 1　　EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較 (続き)

サブシステムまたは範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
デジタル	SCB (I2C/UART/SPI として構成可能)	2	4	4	48-QFN の場合は 7 (そのうち 5 のみを SPI および UART として構成可能) 97-BGA の場合は 8
	TCPWM ブロック (タイマー、カウンター、パルス幅変調器として構成可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証ブロック (暗号)	無	無	有 (AES-128/192/256、SHA1、SHA2-224、SHA2-256、PRNG、CRC)	有 (AES-128、SHA2-256、TRNG、ベクトル ユニット)
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクトメモリ アクセス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10 + 2 OVT)	17 (15 + 2 OVT)	20 (18 + 2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電規格	充電ソース	–	BC1.2、AC	BC1.2、AC	BC 1.2、AC、AFC および Quick Charge 3.0
	充電シンク	BC 1.2、Apple Charging (AC)	BC1.2、AC	BC1.2、AC	BC1.2、AC

Table 1　　EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較 (続き)

サブシステムまたは範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
ESD 保護	ESD 保護	有 (最大 ±8kV の接触放電、最大 ±15kV の空中放電、人体モデルとデバイス帯電モデル)	有 (人体モデルとデバイス帯電モデル)	有 (最大 ±8kV の接触放電、最大 ±15kV の空中放電、人体モデルとデバイス帯電モデル)	有 (人体モデルとデバイス帯電モデル)
パッケージ	パッケージオプション	24-QFN (4×4mm、0.5mm ピッチ)	40-QFN (6×6mm、0.5mm ピッチ)	40-QFN (6×6mm、0.5mm ピッチ)	48-QFN (6×6mm、0.5mm ピッチ) 97-BGA (6×6mm、0.5mm および 0.65mm ピッチ)

本書の残りの部分では、EZ-PD™ PMG1-S3 デバイスについて詳しく説明します。

EZ-PD™ PMG1-S3 の概要

EZ-PD™ PMG1-S3 は PMG1 ファミリのデバイスであり、256KB フラッシュ、32KB SRAM、50 個の GPIO、フルスピード USB デバイス コントローラー、認証用暗号化エンジン、アナログ リソース (ADC、オペアンプ、コンパレータ、CAPSENSE™) およびデュアル Type-C PD ポートを備えています。このデバイスは、デバイス、ドック、およびアクセサリ アプリケーションを対象としており、QFN および BGA パッケージで提供されています。

特長

- **32 ビット MCU サブシステム**
- **DMA 付きの 48MHz Arm® Cortex®-M0+ CPU**
- **メモリ**
  - 256KB フラッシュ
  - 32KB SRAM および
  - PD コード付きの 96KB ROM
- **Type-C/PD ブロック**
  - それぞれがベースバンド トランシーバを備えた最大 2 個の Type-C/PD ブロック
  - 2 個の統合された VBUS NFET ゲート ドライバ
  - VBUS プロバイダまたはコンシューマ パスでの使用のために構成されたゲート ドライバの突入電流を制限するスルーレート制御
  - 統合された USB パワー デリバリー (USB-PD) 3.1 サポート
  - 28V の Extended Power Range (EPR) に対応
  - 高電圧 (28V) のレギュレータおよび VBUS 放電
  - 構成可能な VBUS 過電圧保護 (OVP)、過電流保護 (OCP)、短絡保護 (SCP)、および逆電流保護 (RCP)
  - OCP 付きの VCONN FET
  - 97-BGA製品の代替モード (DisplayPortとThunderbolt) 用の2個の統合された3:1 SBUアナログ マルチプレクサ
- **インターフェース**
  - I^2C、SPI または UART に実行時に再構成可能な最大 8 個のシリアル通信ブロック (SCB)
  - 最大 8 個のタイマー / カウンター / パルス幅変調器 (TCPWM)
- **プログラマブル GPIO ピン**
  - 最大 50 個の GPIO ピン
  - すべての GPIO ピンは CAPSENSE™、アナログ、またはデジタルピンに対応
  - プログラム可能な駆動モード、駆動強度およびスルー レート
- **内蔵アナログ ブロック**
  - 2 個の 8 ビット SAR ADC
  - 1 個の 12 ビット SAR ADC
  - 2 個のオペアンプ
  - 2 個の LP コンパレータ
- **静電容量センシング**
  - CAPSENSE™ シグマ デルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) および耐水性を提供
  - Infineon が提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
  - 自動ハードウェア チューニング (SmartSense)
- **セキュアなファームウェア ブートおよび署名付きファームウェア更新用のハードウェア暗号化エンジン**
- **USB フルスピード デバイス**
- **充電検出ブロック**

ブロック図

- **電源**
  - VSYS (2.8V ～ 5.5V)
  - VBUS (4V ～ 28V)
  - GPIO 用の独立した電源電圧ピンには I/O 上の 1.71V ～ 5.5V 信号方式が可能
- **パッケージ**
  - 48-QFN
  - 97-BGA
- **ソフトウェア ツール**
  - ModusToolbox™

ブロック図

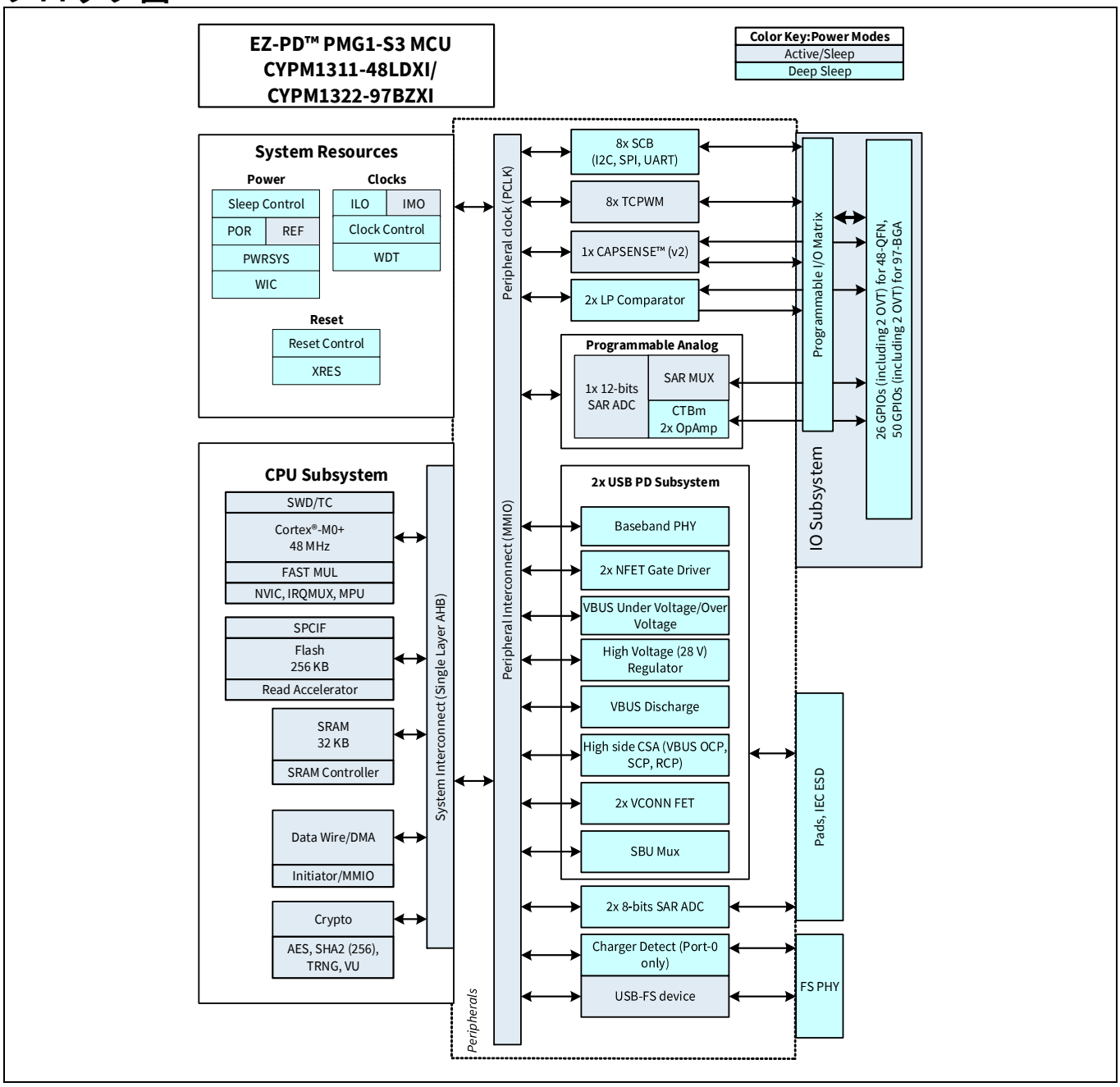


Table of contents

EZ-PD™ PMG1 ファミリの概要 1
EZ-PD™ PMG1-S3 の概要 5
特長 5
ブロック図 6
Table of contents 7
1 開発サポート 9
1.1 ドキュメント 9
1.2 オンライン 9
1.3 ツール 9
1.4 ModusToolbox™ IDE および EZ-PD™ PMG1 SDK 9
2 機能概要 11
2.1 CPU およびメモリ サブシステム 11
2.1.1 CPU 11
2.1.2 フラッシュ 11
2.1.3 SRAM 11
2.1.4 ROM 11
2.1.5 暗号化アクセラレータ 11
2.2 システム リソース 12
2.2.1 電源システム 12
2.2.2 クロック システム 12
2.2.3 ウォッチドッグ タイマー 13
2.2.4 リセット 13
2.2.5 電圧リファレンス 13
2.3 アナログ ブロック 13
2.3.1 12 ビット SAR ADC 13
2.3.2 連続時間ブロック mini (CTBm) 14
2.3.3 温度センサー 14
2.3.4 低消費電力コンパレータ 14
2.3.5 アナログ マルチプレクサ バス 14
2.4 USB-PD サブシステム 14
2.4.1 USB-PD 物理層 14
2.4.2 VCONN FET 14
2.4.3 ADC 14
2.4.4 SBU マルチプレクサ 15
2.4.5 負荷スイッチ コントローラー 16
2.5 USB 2.0 フルスピード デバイスおよび充電検出 18
2.6 固定機能デジタル ブロック 18
2.6.1 タイマー / カウンター /PWM ブロック 18
2.6.2 SCB 19
2.6.3 GPIO インターフェース 19
2.7 特殊機能ペリフェラル 20
2.7.1 CAPSENSE™ 20
3 電源システムの概要 21
4 ピン配置 22
5 アプリケーション図 28
6 電気的仕様 29
6.1 デバイス レベルの仕様 30
6.2 GPIO 33
6.2.1 XRES 35
6.3 アナログ ペリフェラル 36
6.3.1 コンパレータ 40

Table of contents

6.3.2 温度センサー 40
6.3.3 SAR ADC 41
6.3.4 CSD 43
6.4 デジタル ペリフェラル 46
6.4.1 タイマー / カウンター /PWM 46
6.4.2 I2C 47
6.4.3 UART 50
6.4.4 SPI 50
6.4.5 メモリ 51
6.5 システム リソース 53
6.5.1 ブラウンアウト機能付きパワーオン リセットの DC 仕様 53
6.5.2 SWD 53
6.5.3 内部主発振器 53
6.5.4 内部低速発振器 54
6.6 USBDPD ペリフェラル 54
6.6.1 アナログ - デジタル変換器 54
6.6.2 VBUS レギュレータ 56
6.6.3 CSA 56
6.6.4 VBUS 放電 58
6.6.5 UVOV 59
6.6.6 SBU 59
6.6.7 VCONN スイッチ 60
6.6.8 VSYS 60
6.6.9 ゲート ドライバ仕様 61
6.6.10 充電検出 64
7 注文情報 66
7.1 注文コードの定義 66
8 パッケージ 67
9 略語 70
10 本書の表記法 73
10.1 測定単位 73
改訂履歴 74

1 開発サポート

EZ-PD™ PMG1 ファミリには、開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、**www.infineon.com/products/ez-pd-pmg1** をご覧ください。

1.1 ドキュメント

EZ-PD™ PMG1 ファミリをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェア ユーザー ガイド : ModusToolbox™ (MTB) の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、MTB によるビルド プロセスの詳細、MTB を用いたソース制御の使い方などが記載されています。

コンポーネント データシート : EZ-PD™ PMG1 の柔軟性によって、デバイスが量産に入って長期間経過した後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

アプリケーション ノート : 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての EZ-PD™ PMG1 レジスタの詳細な説明など、EZ-PD™ PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は **www.infineon.com/products/ez-pd-pmg1** の「Documentation」セクションにあります。

1.2 オンライン

印刷された資料のほかに、**EZ-PD™ PMG1 フォーラム**によって 24 時間 365 日、世界中の他のユーザーや PMG1 の専門家と連絡がとれます。

1.3 ツール

業界標準のコア、プログラミングおよびデバッギング インターフェースを備えた EZ-PD™ PMG1 ファミリは、開発ツール エコシステムの一部です。

革新的で使いやすい ModusToolbox™ IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッガおよび開発キットの最新情報については、Web サイト **https://www.infineon.com/products/modustoolbox-software-environment** をご覧ください。

1.4 ModusToolbox™ IDE および EZ-PD™ PMG1 SDK

ModusToolbox™ は、Windows、macOS、および Linux プラットフォームで実行される Eclipse ベースの開発環境であり、ModusToolbox™ IDE と EZ-PD™ PMG1 SDK を含みます。ModusToolbox™ IDE はアプリケーションを構築するために、いくつかのデバイス リソース、ミドルウェアおよびファームウェアを組み合わせます。ModusToolbox™ を使用すると、デバイス リソースとミドルウェア ライブラリを有効にして構成し、C/C++/ アセンブリのソースコードを記述し、デバイスをプログラムしてデバッグできます。

PMG1 SDK は EZ-PD™ PMG1 MCU ファミリ向けのソフトウェア開発キットです。SDK を使用すると、デバイス リソースの複雑さを理解しなくても、サポートされているデバイスのファームウェアを簡単に開発できます。

ModusToolbox™ の使用の詳細については、「**Getting started with EZ-PD™ PMG1 MCU on Modus Toolbox™**」と、ModusToolbox™ に統合されたドキュメントおよびヘルプを参照してください。**Figure 2** に示すように、ModusToolbox™ IDE を使用すると、以下のことができます。

1. キットまたはデバイスでフィルターされるテンプレート アプリケーションのリストに基づいて新しいアプリケーションを作成するか、サンプル コードのコレクションをオンラインで閲覧する
2. Device Configurator でデバイス リソースを構成して、ワークスペースでハードウェア システム設計を構築する
3. ソフトウェア コンポーネントまたはミドルウェアを追加する
4. アプリケーション ファームウェアを開発する

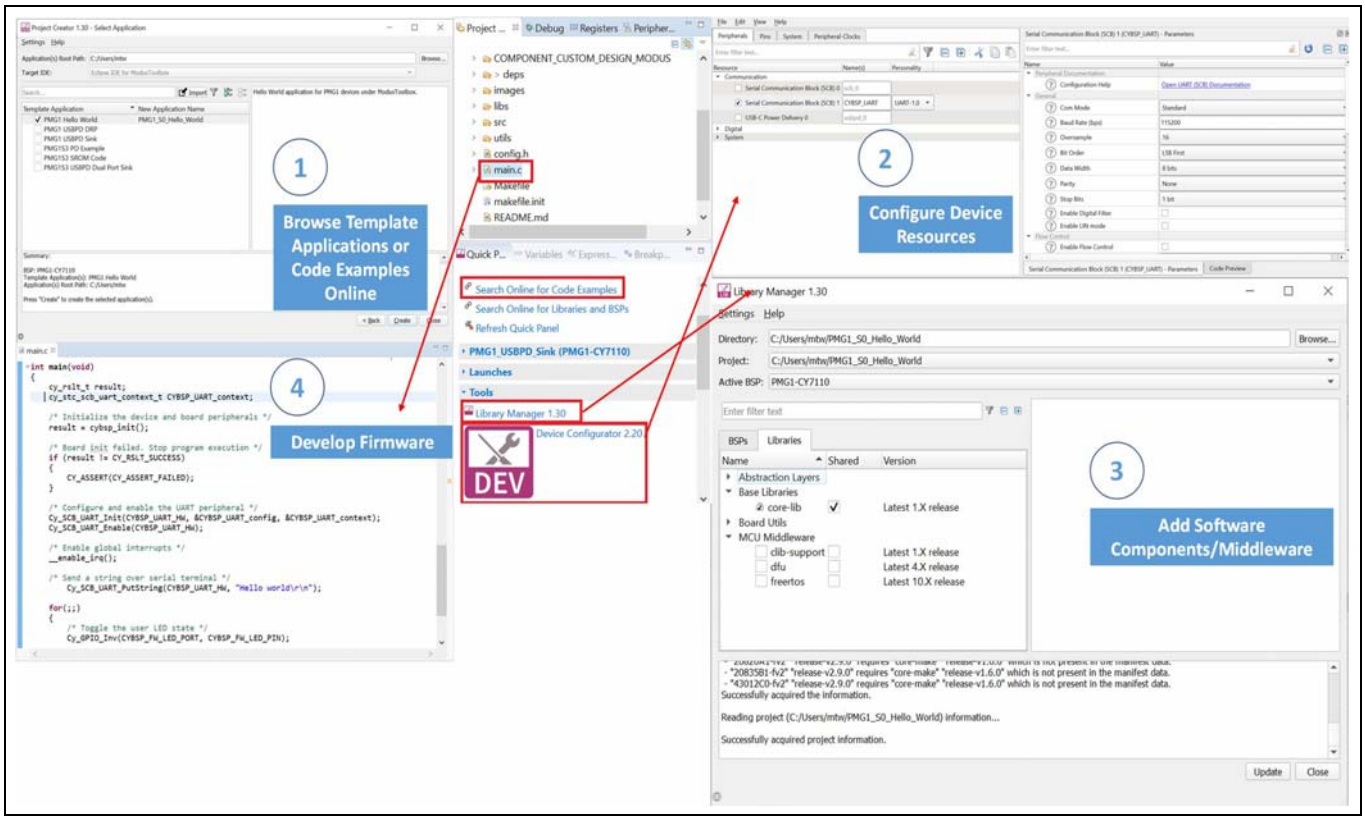


Figure 2 ModusToolbox™ IDE のリソースとミドルウェア

2 機能概要

2.1 CPU およびメモリ サブシステム

2.1.1 CPU

PMG1-S3 の Cortex®-M0+ は 32 ビット MCU であり、広範なクロック ゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットのサブセットを実行します。Infineon は本製品に、1 サイクルで 32 ビットの結果を出すハードウェア乗算器を実装しています。これは、32 の割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含みます。WIC はディープ スリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープ スリープ モードにあるときにメイン プロセッサへの電源を切れます。

CPU サブシステムはまた、16 チャネルの DMA/DataWire ブロックと 2 線式 JTAG のシリアル ワイヤ デバッグ (SWD) インターフェースも備えています。PMG1-S3 に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

2.1.2 フラッシュ

PMG1-S3 は 256KB (2x 128KB) フラッシュ モジュールを備えています。

2.1.3 SRAM

ディープ スリープ中に保持される 32KB の SRAM が提供されています。

2.1.4 ROM

ブートおよびコンフィギュレーション ルーチンを含む 96KB の監視 ROM が提供されています。SROM には、PMG1-S3 用に提供されているフラッシュ消去 / プログラム ルーチンに加えて、フラッシュ チェックサム ルーチンも含まれています。

2.1.5 暗号化アクセラレータ

暗号アクセラレータ ブロックは以下の要件に対応しています。

- 非対称キー暗号化用のベクトル ユニット (VU)
- SHA2 (256 ビット)
- RSA-4096、3072、ECC-256 を実行できる非対称暗号化用のベクトルユニット
- フォワード ブロック暗号をサポートする AES (128 ビット)
- 真性乱数発生器 (AIS-31 準拠)
- 48MHz での性能
  - RSA-3072 検証性能 : 25ms
  - 64KB データに対する SHA-2 (256 ビット) 性能 : 10ms
  - セキュア ブートからユーザー プログラムへの制御移転時間 : 50ms
- 公開鍵保管
  - フラッシュ: フラッシュに保存された 2KB の RSA-3072 キー構造。キー構造はモジュラス、指数および 3 つの係数を含む

2.2 システム リソース

2.2.1 電源システム

電源システムは、「**電源システムの概要**」で詳細に説明されています。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルに達成するまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) のとき)、または安全でない電源電圧レベルが発生する可能性がある場合にリセット (電圧低下検出 (BOD)) を発生させます。PMG1-S3 は、2.8V ～ 5.5V (VSYS) または 4V ～ 28V (VBUS) の単一の外部電源電圧で動作し、3 つの電力モード (アクティブ、スリープ、ディープ スリープ) があります。これらの電力モード間の遷移は電源システムによって管理されます。

PMG1-S3 の電源システムは、内部ペリフェラルに基づいて 60mA に対応するように設計されています。28V レギュレータで動作する場合は、パッケージと VBUS 電源電圧に応じて、(ペリフェラルをオフにすることで) 消費電流を抑え、ダイの T_{JA} が 125°C を超えないようにしてください。

2.2.2 クロック システム

PMG1-S3 のクロック システムは、M0S8 プラットフォームの一部として構成されています。PMG1-S3 は完全に統合されたクロックを備えているため、外部水晶発振器を必要としません。クロック システムは、クロックを必要とするすべてのサブシステム (SCB、TCPWM、プログラマブル アナログ サブシステム (PASS) および PD) にクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えます。また、メタステーブル状態が発生しないように保証します。

Figure 3 に、内蔵主発振器 (IMO) および内部低消費電力発振器 (ILO) から成る PMG1-S3 のクロック システムを示します。PERXYZ_CLK は、さまざまなペリフェラルのクロックを表します。

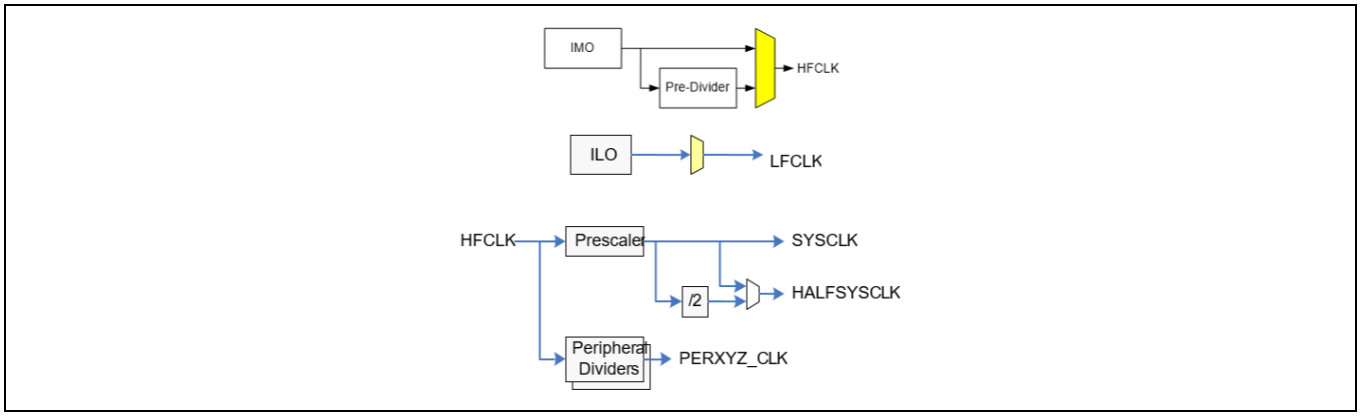


Figure 3 PMG1-S3 のクロック アーキテクチャ

HFCLK 信号は、アナログとデジタル ペリフェラル用に同期クロックを生成するために分周できます。PMG1-S3 には 21 個のクロック分周器があります (5 個の分数分周器、16 個の整数分周器)。アナログ クロックがデジタル クロックに先行し、デジタル クロック関連のノイズが発生する前にアナログ イベントが起きるようにします。デジタル クロック分周器は、有効なクロックを生成します (つまり、「N」が除数の N クロッキングの 1)。アナログ クロック分周器は、許可されたすべての周波数でアナログ性能を維持するために、真の 50% のデューティ比を提供する必要があります。

IMO クロック ソース

IMO は、PMG1-S3 の内部クロックの主要な供給源です。±2% の精度を達成するために製造中に調整されます。調整した値はフラッシュ メモリの監視行に格納されています。変化を補正するために、フラッシュからの追加された調整設定を使用することがあります。IMO のデフォルト周波数は 48MHz ±2% です。IMO の RMS ジッタは 12 ビット SAR の精度を実現します。

ILO クロック ソース

ILO は超低消費電力かつ比較的不正確な発振器であり、主に USB サスペンド (ディープ スリープ) モードでペリフェラルの動作用にクロックを生成するために使用されます。これは、未調整の精度が -70% ～ +150% で、±55% 以内に調整可能な 32kHz の発振器です。

2.2.3 ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。ディープ スリープ時のウォッチドッグ動作を可能にし、タイムアウトが発生する前に処理されなかった場合にウォッチドッグ リセットを生成します。タイマーは、リセットの生成に加えて、必要に応じて割込みを生成するためにも使用できます。

2.2.4 リセット

PMG1-S3 は、ソフトウェア リセットを含むさまざまなソースからリセットできます。リセット イベントは非同期であり、既知の状態への復帰を保証しています。リセットの原因はレジスタに記録されます。そのレジスタはリセット中も保存され、ソフトウェアがリセットの原因を判断できます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う複雑さを避けるために、外部リセット用に予約されているピン (XRES) があります。

2.2.5 電圧リファレンス

PMG1-S3 リファレンス システムは、すべての必要となる内部リファレンス電圧を生成します。より優れた信号対ノイズ比 (SNR) と絶対精度を実現するために、GPIO ピンを使って内部リファレンスをバイパスするか、または 12 ビット SAR ADC のために外部リファレンスを使用できます。ピンの内部リファレンスは、内蔵オペアンプの 1 つを使ってバッファリングし、外部リファレンスとして使用できます。

2.3 アナログ ブロック

2.3.1 12 ビット SAR ADC

12 ビットの 1Msps SAR ADC は 18MHz の最大クロック レートで動作し、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。ADC クロック入力は、CPU クロック レートを整数値で割ることによって得られます。つまり、48MHz の CPU クロック レートでは、ADC の最大許容クロック レートは 16MHz です。
16MHz のクロック レートでは、10 ビット変換が 1Msps で実行できます (10 ビット変換は少なくとも 16 クロックを要します)。整数分周器を使用すると、12 ビット ADC の性能は 48MHz で 890sps になり、1Msps のピークは 18MHz または 36MHz で実現されます。ADC は、デューティ比が約 50% のクロックを必要とし、すべての整数分周器の値に提供します。

ユーザーに向けてブロック機能を拡張するため、ブロックにリファレンス バッファを追加し、また VDDA、VDDA/2、Vref (定格電圧が 1.2V) の 3 つの内部電圧リファレンス オプションおよび GPIO ピンを介した外部リファレンスを選択できるようにします。サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプのセトリング時間を規定するゲイン帯域幅要件を緩和でき、より安価な外部オペアンプを使用できるようにします。適切なリファレンス電圧が使用される限り、システム性能は真の 12 ビット精度で 68dB です。特に、内部リファレンス アンプに対して、外部バイパス コンデンサを固定したピン位置に設けることができます。

SAR は 8 入力シーケンサを介して固定した一連のピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要はなく、選択されたチャネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャネルであれ複数のチャネルであれ 1Msps です)。シーケンサの切り替えは、ステート マシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割込みサービスの要件を緩和するための各チャネルのバッファリングです。信号をさまざまなソース インピーダンスと周波数に適合させるために、チャネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジ レジスタのペア (低レンジ値および高レンジ値) による信号範囲の指定は、対応する範囲外の割込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は、CPU 帯域幅を節約するために、複数のサンプル平均化機能を持っています。SAR は校正およびその他の温度に依存する機能のために、内蔵温度センサーの出力を数値化します。SAR は高速クロック (最大 18MHz) を必要とするため、ディープ スリープ モードに対応していません。SAR の動作範囲は 1.71V ～ 5.5V です。

2.3.2 連続時間ブロック mini (CTBm)

PMG1-S3 には、2 個のオペアンプで構成される 1 個の CTBm ブロックがあります。オペアンプは、入力と出力が固定ピンに接続されており、3 つの電力モードおよびコンパレータ モードを備えています。それらの出力は、SAR 入力のバッファとして使用できます。CTBm ブロックは優先ピンに接続されており、ピンとアナログ ルーティング構造を介して完全に相互接続できます。高、中、および低消費電力モードがあり、使用しないときは電力を節約するためにオフにする (電源を切り替える) こともできます。また、ディープスリープ後のアナログ システムの高速起動を可能にするために、ディープ スリープ モードで動作できます。オペアンプは、1mV より良いオフセット電圧を達成するために調整可能です。

2.3.3 温度センサー

PMG1-S3 は、電流源によってバイアスされたダイオードから成る温度センサーを内蔵しています。この電流源は電力を節約するために無効にできます。ダイオードは、±1% の Typ 精度から最大 ±5% の誤差を達成するために生産時に校正されます。測定温度はダイオードのオンチップ温度であるため、ダイオードは SAR ADC の近くに配置され、より正確な測定が可能になります。

2.3.4 低消費電力コンパレータ

PMG1-S3 は、ディープ スリープ モードで動作できる低消費電力コンパレータのペアを内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながら、アナログ システム ブロックを無効にすることが可能です。コンパレータ出力は、メタスタビリティを避けるために通常同期化されます。ただし、システム復帰回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モード (ディープ スリープ) で動作している場合を除きます。制御ループ (ヒステリシス制御など) を実装する目的で、同期化またはゲーティングなしでコンパレータ出力を使用できるようにするために、コンパレータ出力をピンにルーティングできます。

2.3.5 アナログ マルチプレクサ バス

PMG1-S3 は同心の、独立してチップの周辺を回る 2 個のバスを備えています。これらのバス (amux バスと呼ばれる) はファームウェアでプログラム可能なアナログ スイッチに接続され、チップの内部リソース (SAR ADC、コンパレータ、CSD、およびオペアンプ) を I/O ポートのいずれのピンにも接続できます。2 個の amux はまた、CSD、ADC、および GPIO の接続を分離するために 3 分割することもできます。

2.4 USB-PD サブシステム

USB-PD サブシステムは、Type-C USB ポートへのインターフェースを提供します。

2.4.1 USB-PD 物理層

USB-PD サブシステムは、USB-PD 物理層ブロックとサポート回路で構成されています。物理層は、PD 3.1 規格に従って CC を介して BMC 符号化データを通信するトランスミッタとレシーバから成ります。すべての通信は半二重です。物理層 (PHY) は、チャネル上の通信エラーを最小限に抑えるために衝突回避を実行します。

2.4.2 VCONN FET

PMG1-S3 は、CC1 ピンまたは CC2 ピンのいずれかに電力を供給する 2 個の VCONN FET を内蔵しています。これらの VCONN FET を介して EMCA ケーブルに電力供給するための電源入力 (VCONN_Source ピン) があります。FET は EMCA ケーブルに対して、CC1/CC2 ピン上で 4.85V ～ 5.5V の有効な VCONN 範囲でポートあたり 1.5W の電力を供給できます。一度に使用できる VCONN FET は 1 個のみです。

2.4.3 ADC

ADC はチップ上の汎用 AD 変換のアプリケーションに利用できる小フットプリントの 8 ビット SAR ADC です。ADC は、チップ搭載アナログ マルチプレクサを介して GPIO からアクセスできます。PMG1-S3 では、PD ポートごとに 1 個の ADC がインスタンス化されます。

2.4.4 SBU マルチプレクサ

PMG1-S3 の 97-BGA パッケージは Type-C コネクタの SBU1 ピンと SBU2 ピンを、DisplayPort の AUX または Thunderbolt の LSx、および UART デバッグ ピンに接続するための一連のアナログ スイッチを含みます。**Figure 4** に示すように、AUX ピンはそれぞれの仕様で要求されるように切り替え可能なプルアップとプルダウンの抵抗に接続されています。LSTX/RX のデバッグ ポートはデジタル的に多重化されており、これらの入力にアナログ マルチプレクサは必要ありません。

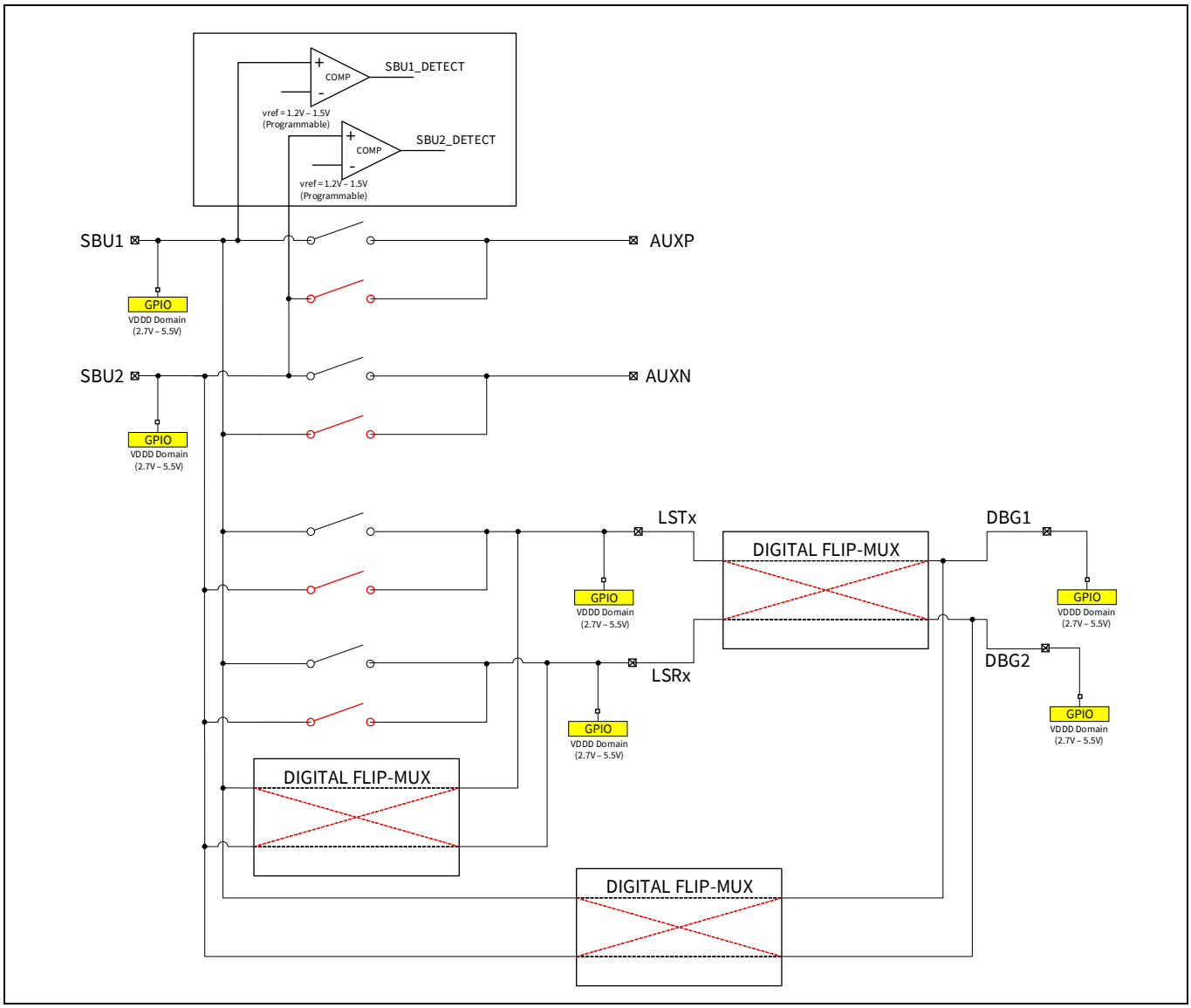


Figure 4 SBU マルチプレクサ

2.4.5 負荷スイッチ コントローラー

PMG1-S3 は、以下の機能を備えた負荷スイッチ コントローラーを搭載しています。

VBUS 過電圧と低電圧保護

チップは、VBUS 電源用の低電圧 / 過電圧 (UVOV) 検出回路を実装しています。UV と OV の両方の閾値はプログラム可能です。

VBUS 用の過電流 **/** 短絡電流 **/** 逆電流の障害検出コンパレータ

チップは、VBUS プロバイダ パス上の過電流 / 短絡電流 / 逆電流の障害検出をサポートしています。コネクタの VBUS パスに設けられた外付け抵抗 (5mΩ) がチップに接続されています。この抵抗の両端の電圧降下が監視され、障害を検出します。Type-C VBUS が VIN (VBUS NFET の前のプロバイダ電圧) より大きい場合、PMG1-S3 は VBUS プロバイダ パス上の逆電流を 400mA に制限します。PMG1-S3 は迅速に反応し、VBUS プロバイダの NFET をオフにします。この機能はコンシューマ パスではサポートされていません。コンシューマ側の電圧がコンシューマ パス上のコネクタ側の電圧を上回ると常に逆電流が発生します。

VBUS 放電

PMG1-S3 は、高電圧 (28V) VBUS 放電回路を内蔵しています。ケーブルの取り外しが検出された後、チップは残留電荷を放電し、フローティング VBUS を vSafe0V に戻します。

VBUS レギュレータ

チップには、最大 3 つの入力電源 (VSYS および VBUS_C (ポート 0 とポート 1)) があります。これらの電源で動作するレギュレータは、チップの動作電源電圧を生成します。VSYS は常に VBUS よりも優先されます。VSYS がない場合、レギュレータは VBUS (ポート 0 またはポート 1 のいずれか存在している方) からチップに電力を供給します。

VBUS NFET 用の柔軟なゲート ドライバ

PMG1-S3 は、外部 NFET を駆動するための 2 つの内蔵ゲート ドライバを備えています。これらは柔軟なゲート ドライバで、すなわち、プロバイダ / コンシューマ パスから独立しており、どちらのポートでも必要に応じて設定できます。プロバイダ / コンシューマとして設定されると、特定のボード / アプリケーションに対して、ボードの再製造なしで機能を変更することはできません。外部 NFET のみをサポートし、NFET は ±VBUS_NGDO_MAX の最大 VGS をサポートできる必要があります。これらのゲート ドライバは FRS 機能をサポートしていません。

Figure 5 ～ **Figure 9** に、さまざまなシナリオでゲート ドライバを設定する方法を示します。

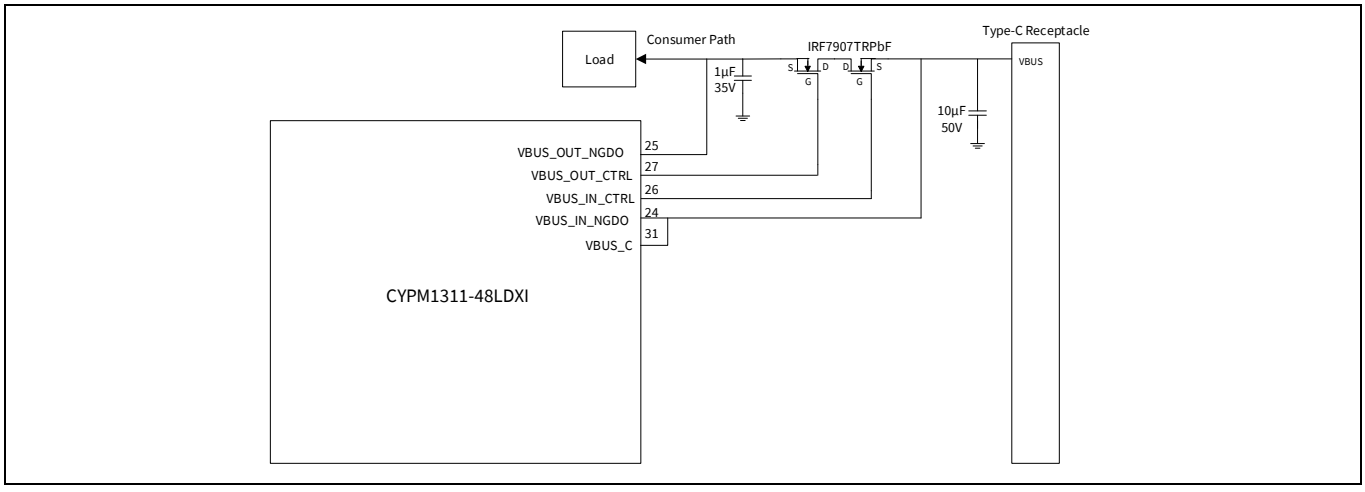


Figure 5 48-QFN を使用した Type-C ポートのシンク設定

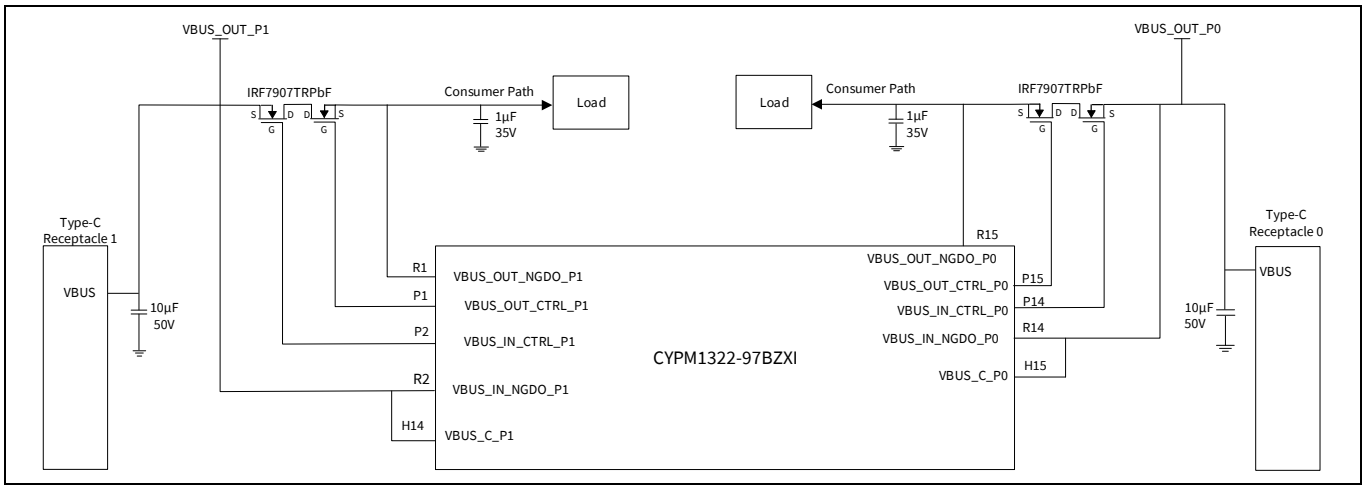


Figure 6 97-BGA を使用した両 Type-C ポートのシンク設定

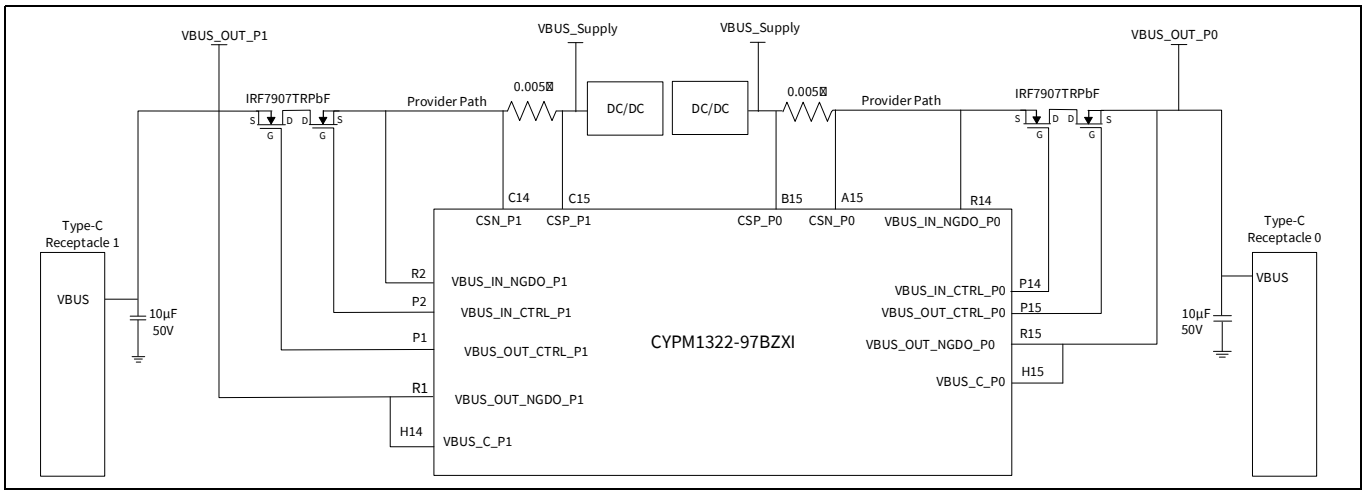


Figure 7 97-BGA を使用した両 Type-C ポートでのソース設定

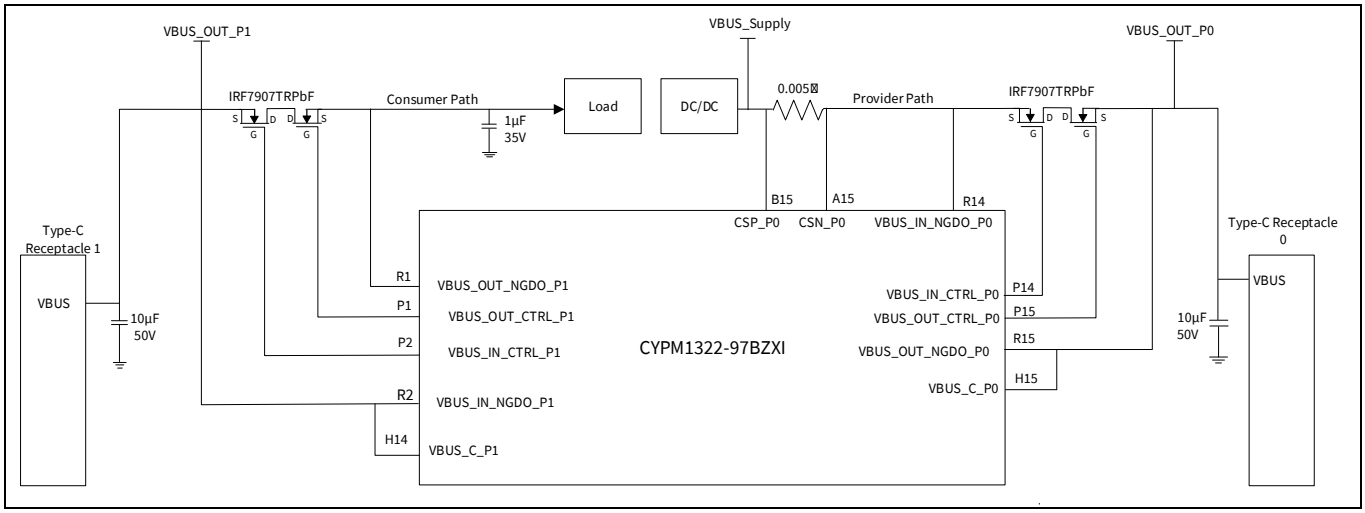


Figure 8 97-BGA を使用した Type-C ポートでのソースおよび 2 番目の Type-C ポートでのシンク

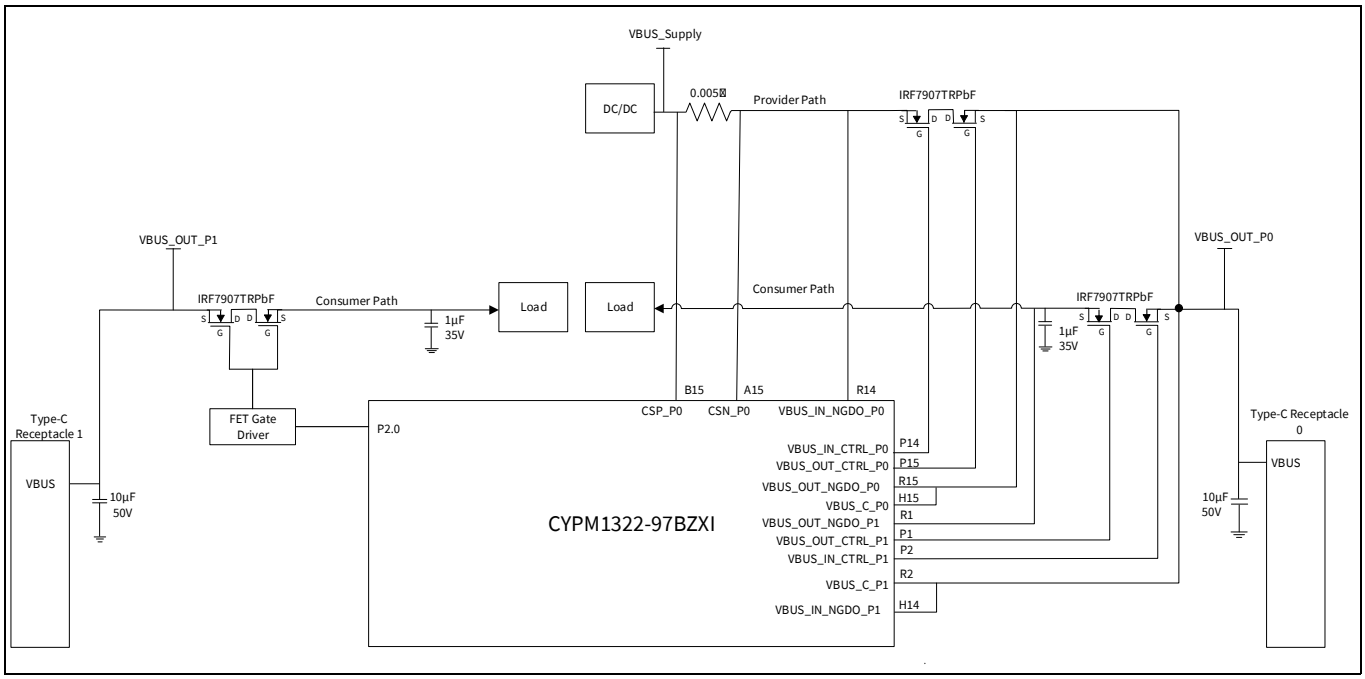


Figure 9 97-BGA を使用した Type-C ポートでの DRP および 2 番目の Type-C ポートでのシンク

Figure 9 では、ポート 0 は DRP として設定され、PMG1-S3 のゲート ドライバの両方のピン ペアは使用されます。したがって、ポート 1 のコンシューマ パスでは、GPIO によって制御される外部 FET が使用されます。

2.5 USB 2.0 フルスピード デバイスおよび充電検出

PMG1-S3 は、Billboard クラスおよびファームウェア ダウンロード用の HID クラスをサポートする 1 個の USB 2.0 FS デバイスを搭載しています。DP/DM ピンに接続された充電検出ブロックにより、PMG1-S3 は BC 1.2、Apple Charger、QC 3.0 および AFC 仕様に準拠した従来のバッテリ充電を検出できます。QC および AFC のプロトコルはソースに対してのみ対応されています。

2.6 固定機能デジタル ブロック

2.6.1 タイマー / カウンター /PWM ブロック

タイマー / カウンター /PWM ブロックはユーザープログラム可能な周期の 16 ビット カウンターから成ります。キャプチャ レジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなるときにカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ比の出力として使用される比較値信号を生成します。ブロックは真出力とコンプリメンタリー出力 (それらの間のオフセットがプログラム可能) も提供しており、これらをプログラム可能なデッドバンド付きコンプリメンタリー PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させる Kill 入力もあります。たとえば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要があるとき、Kill 入力が使用されます。

PMG1-S3 は最大 8 個の TCPWM を持っています。これらは、ファームウェアによって内部タイマーとして使用、または GPIO 上で PWM ベースの機能の実装に使用できます。

2.6.2 SCB

PMG1-S3 には、I2C、SPI、または UART に設定できる 8 個の SCB ブロックがあります。これらのブロックは、マルチマスター アービトレーションが可能なフル マルチマスターおよびスレーブの I2C インターフェースを実装します。I2C は、Philips 社の標準 I2C 仕様 V3.0 に準拠しています。これらのブロックは最大 1Mbps で動作し、CPU 用の割込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。

さらに、SCB ブロックは受信 (RX) および送信 (TX) 用の深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す時間を増加させて、CPU が時間どおりにデータを読み出せないことに起因したクロック ストレッチの必要性を大幅に低減します。FIFO モードは、DMA がない場合に非常に有用です。データ スループットは、I2C にとって重要な考慮事項ではありません。SCB0 の I2C ポート I/O は過電圧耐性 (OVT) があります。SCB1 ～ 7 の I2C ポートは OVT に対応していません。

UART モード : 最大 1Mbps で動作するフル機能の UART です。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの一般的な UART 機能に対応しています。

SPI モード : SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを本質的に追加) 、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO も使用できます。

2.6.3 GPIO インターフェース

PMG1-S3 には、GPIO として使用可能な SCB および SWD ピンを含む最大 50 個の GPIO があります。

GPIO ブロックは以下を実装します。

- 8 つの駆動強度モード : ストロング プッシュ プル、抵抗プルアップとプルダウン、弱 (抵抗) プルアップとプルダウン、オープン ドレインとオープン ソース、入力、およびディスエーブル モード
- 入力閾値選択 (CMOS または LVTTL)
- 入力と出力のディスエーブルの個別制御
- 前の状態をラッチするための保持モード (ディープ スリープ モードで I/O 状態を維持するため)
- dV/dt 関連のノイズ制御用の選択可能なスルー レート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています。データ出力レジスタとピン ステート レジスタそれぞれはピン上で駆動される値とピンの状態を格納します。ピンのコンフィギュレーションは各デジタル I/O ポート用のソフトウェアを介してレジスタをプログラミングすることによって行うことができます。

各 I/O ピンは有効になった場合にエッジ トリガーの割込みを生成できます。各 I/O ポートには、割込み要求 (IRQ) とそれに対応する割込みサービス ルーチン (ISR) のベクタがあります。

I/O ポートはディープ スリープ モード中にその状態を保持するかオンのままになります。リセットにより動作が復元される場合、ピンは High-Z 状態になります。割込みイベントによって動作が復元されると、ファームウェアがそれを変更するまで、ピン ドライバはその状態を保持します。I/O (データ バス上) は、電源切断時に電流を引き出しません。

GPIO パワー ドメイン

すべての GPIO は、VDDIO と呼ばれる個別の I/O パワー ドメインに存在します (SBU GPIO を除く)。独立した I/O 電源ドメインは、柔軟なシステム レベルのインターフェースを実現します。SBU (コネクタ側) に接続された GPIO は、VDDIO ドメインではなく、VDDD ドメインにあります。

Table 49 に、48-QFN および 97-BGA の VDDIO および VDDD ドメインにある GPIO の数を示します。97-BGA では、VDDIO での 38 個の GPIO のうち、合計 26 個の GPIO (ポート 1 (LP-Comp 入力のみ)、ポート 2、3、および 5) が、CTBm、12 ビット SAR ADC、CAPSENSE™ 入力および LPCOMP などの特殊なアナログ ペリフェラル ブロックによって使用されます。これらの GPIO については、次のことを確認してください。

1. I/O に外部から印加される、または内部でルーティングされる電圧は、VDDIO 電源電圧を超えてはいけません (VDDIO ≤ VDDA のため)。

2. 起動時に、すべての電源 (VDDIO、VDDD、および VDDA) が投入された後でのみ、I/O に外部電圧を印加できます。

97-BGA のすべての 50 個の GPIO については、AMUXBUSA および AMUXBUSB ライン上の電圧は VDDA 電源を超えることはできません。

2.7 特殊機能ペリフェラル

2.7.1 CAPSENSE™

CAPSENSE™ は、どの GPIO ピンも接続できるアナログ マルチプレクサ バスを介してどのピンにも接続できる CAPSENSE™ シグマ デルタ (CSD) ブロックにより、PMG1-S3 の 16 個のピンでサポートされています。したがって、CAPSENSE™ 機能はソフトウェアで制御されるシステム内のいかなるピンあるいはピン グループに提供できます。

各 CAPSENSE™ ブロックには、CAPSENSE™ を使用しない場合に一般的な目的に使用できる 2 個の IDAC があります。2 個の AMUX バスを持つことにより、CAPSENSE™ は片方の IDAC (防水なし) を使用し、他方の IDAC を汎用に使用できます。

耐水性のためのシールド駆動は、検知中に寄生容量を同じ充電レベルに維持するようにシールドを駆動するために 2 番目の IDAC により実装されます。CAPSENSE™ ブロックは、自己容量センシングと相互容量センシングの両方を提供します。

3 電源システムの概要

Figure 10 に、PMG1-S3 の電源ピンの一般的な要件を示します。PMG1-S3 の電源スキームにより、さまざまな VDDD および VDDA の接続が可能になります。シーケンスの要件はありません。次の図は、VDDD と VDDA が別々のネットであり、チップ上でオーミック接続されていないことを示します。さまざまなパッケージ要件に応じて、これらはボンディング配置で互いに接続されるか、チップ外部で接続される必要があります。

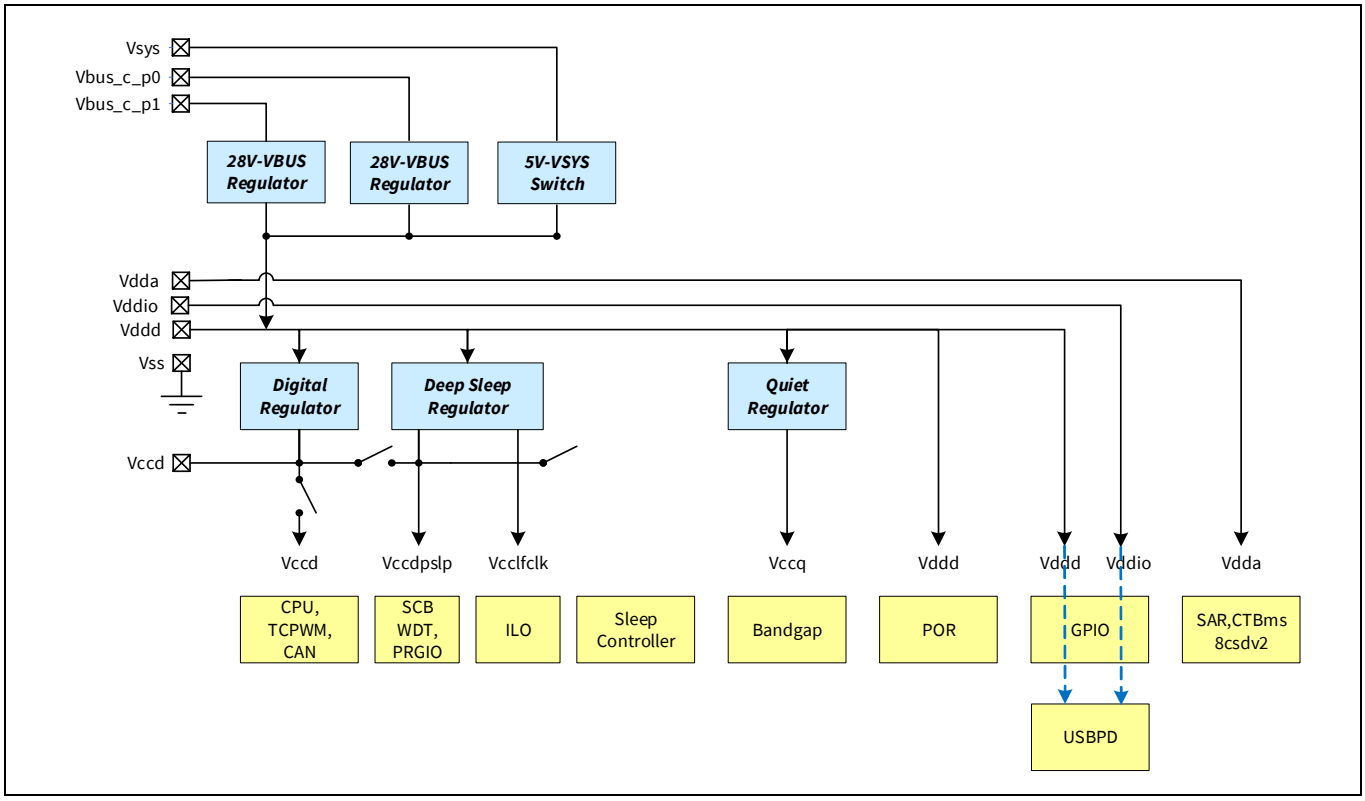


Figure 10 PMG1-S3 電源システムのブロック図

4 ピン配置

Table 2 PMG1-S3 CYPM1322-97BZXI および CYPM1311-48LDXI のピン一覧

グループ	97-BGA	48-QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								ピン説明
				アナログ	ACT#0	ACT#1	ACT#2	ACT#3	DS#0	DS#2	DS#3	
GPIO	H2		P1.0	–	–	–	–	–	–	–	–	GPIO、CSD
	P3	12	P1.1	lpcomp1_inp	–	–	scb3_uart_rx	–	swd_clk	scb3_spi_clk	scb3_i2c_scl	GPIO、COMP1、SCB3、CSD、シリアル ワイヤ デバッグ クロック
	R3	13	P1.2	lpcomp1_inn	–	–	scb3_uart_tx	–	swd_data	scb3_spi_miso	scb3_i2c_sda	GPIO、COMP1、SCB3、CSD、シリアル ワイヤ デバッグ データ
	K4	14	P1.3	–	tcpwm4_line	tcpwm4_compare_match	scb3_uart_cts	tcpwm4_tr_in	–	scb3_spi_mosi	–	GPIO、SCB3、TCPWM4、CSD、Thunderbolt 割込み PD ポート 0
	M10	20	P1.4	–	tcpwm5_line	tcpwm5_compare_match	scb3_uart_rts	tcpwm5_tr_in	–	scb3_spi_select	–	GPIO、SCB3、TCPWM5、CSD、ホット プラグ検出 PD ポート 0
	M12	21	P1.5	lpcomp0_inn	–	–	scb1_uart_tx[1]	–	–	scb1_spi_miso	scb1_i2c_sda	GPIO、COMP0、SCB1、CSD
	K12	22	P1.6	lpcomp0_inp		–	–	–	–	scb1_spi_clk	scb1_i2c_scl	GPIO、COMP0、SCB1、CSD
	A2		P2.0	sarmux_0	–	–	scb5_uart_rts	–	–	scb5_spi_select	–	GPIO、SAR 入力、SCB5、CSD
	B2	48	P2.1	sarmux_1	tcpwm2_line	tcpwm2_compare_match	scb0_uart_rts	tcpwm2_tr_in	–	scb0_spi_select	–	GPIO、SAR 入力、TCPWM2、SCB0、CSD
	A3	47	P2.2	sarmux_2	–	–	scb5_uart_tx[1]	–	–	scb5_spi_miso	scb5_i2c_sda	GPIO、SAR 入力、SCB5、CSD
	B5	46	P2.3	sarmux_3	–	–	scb5_uart_rx[1]	–	–	scb5_spi_clk	scb5_i2c_scl	GPIO、SAR 入力、SCB5、CSD
	A7	45	P2.4	sarmux_4	tcpwm3_line	tcpwm3_compare_match	scb0_uart_cts	tcpwm3_tr_in	–	scb0_spi_miso	–	GPIO、SAR 入力、TCPWM3、SCB0、CSD
	A5		P2.5	sarmux_5	–	–	scb5_uart_cts	–	–	scb5_spi_mosi	–	GPIO、SAR 入力、SCB5、CSD
	B7		P2.6	sarmux_6	–	–	scb1_uart_rts	–	–	scb1_spi_mosi	–	GPIO、SAR 入力、SCB1、CSD
	A8		P2.7	sarmux_7	–	–	scb1_uart_cts		–	scb1_spi_select	–	GPIO、SAR 入力、SCB1、CSD
	A1	1	P3.0	sar_ext_vref0 sar_ext_vref1 ctb1_oa+	tcpwm6_line	tcpwm6_compare_match	scb4_uart_cts	tcpwm6_tr_in	–	scb4_spi_mosi	–	GPIO、CTBm、TCPWM6、SCB4、CSD
	B3		P3.1	ctb0_oa-	–	–	–	–	–	–	–	GPIO、CTBm、CSD
	C2		P3.2	ctb1_oa+	–	–	–	–	–	–	–	GPIO、CTBm、CSD
	B1	2	P3.3	ctb1_oa-	tcpwm7_line	tcpwm7_compare_match	scb4_uart_rts	tcpwm7_tr_in	-	scb4_spi_select	–	GPIO、CTBm、TCPWM7、SCB4、CSD
	D4		P3.4	ctb1_oa_out_10x	–	–	–	–	–	–	–	CTBm、GPIO、CSD
	F4	3	P3.5	ctb0_oa_out_10x	–	–	scb4_uart_rx	–	–	scb4_spi_clk	scb4_i2c_scl	GPIO、CTBm、SCB4、CSD
	E2	4	P3.6	ctb0_oa-	–	–	scb4_uart_tx	–	–	scb4_spi_miso	scb4_i2c_sda	GPIO、CTBm、SCB4、CSD
	C1		P3.7	ctb0_oa+	–	–	-	–	–	–	–	GPIO、CTBm、CSD
	E15	34	P4.0	–	–	–	scb0_uart_rx	–	swd_clk(alt)	scb0_spi_clk	scb0_i2c_scl	GPIO、SCB0、CSD
	D12	35	P4.1	–	–	–	scb0_uart_tx	–	swd_data(alt)	scb0_spi_mosi	scb0_i2c_sda	GPIO、SCB0、CSD
	G2	7	P5.0	csd_csh_tank	–	–	scb2_uart_rx	–	–	scb2_spi_clk	scb2_i2c_scl	GPIO、SCB2、CSD
	E1	8	P5.1	csd_c_mod	–	–	scb2_uart_tx	–	–	scb2_spi_mosi	scb2_i2c_sda	GPIO、SCB2、CSD
	H6	9	P5.2	–	–	–	scb2_uart_cts	–	–	scb2_spi_miso	lpcomp1_comp	GPIO、CSD
	H1	10	P5.3	csd_vref_ext	–	–	scb2_uart_rts	–	–	scb2_spi_select	lpcomp0_comp	GPIO、SCB2、CSD

Table 2 PMG1-S3 CYPM1322-97BZXI および CYPM1311-48LDXI のピン一覧 (続き)

グループ	97-BGA	48-QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								ピン説明
				アナログ	ACT#0	ACT#1	ACT#2	ACT#3	DS#0	DS#2	DS#3	
GPIO	G1		P5.4	–	–	–	–	–	–	–	–	GPIO、CSD
	H4	11	P5.5	–	–	–	–	–	–	–	–	GPIO、CSD、組込みコントローラー割込み
	G15		P7.0	–	–	–	scb1_uart_rx	–	–	–	–	GPIO、SCB1、Thunderbolt 割込み PD ポート 1
	G14		P7.1	–	–	–	–	–	–	–	–	CSD、ホット プラグ検出 PD ポート 1
	A14		P7.2	–	–	–	–	–	–	–	–	GPIO、CSD
	B13		P7.3	–	–	–	scb7_uart_tx	–	–	scb7_spi_miso	scb7_i2c_sda	GPIO、SCB7、CSD
	B11		P7.4	–	–	–	scb7_uart_rx	–	–	scb7_spi_clk	scb7_i2c_scl	GPIO、SCB7、CSD
	A9		P7.5	–	–	–	scb7_uart_cts	–	–	scb7_spi_mosi	–	GPIO、SCB7、CSD
	B9		P7.6	–	–	–	scb7_uart_rts	–	–	scb7_spi_select	–	GPIO、SCB7、CSD
マルチプレクサ / スイッチ	R8	17	P0.0/LSRX_P1	–	–	–	–	–	usbpd1_sbu_lsrx[1]	–	–	GPIO、LSRX ポート 1
	R7		P0.1/LSTX_P1	–	–	–	–	–	usbpd1_sbu_lstx	–	–	GPIO、LSTX ポート 1
	P7		P0.2/DBG1_P1	–	–	–	–	–	usbpd1_sbu_dbg1	–	–	GPIO、SBU-LSTX デバッグ 1 ピン ポート 1
	K6		P0.3/DBG2_P1	–	–	–	–	–	usbpd1_sbu_dbg2	–	–	GPIO、SBU-LSTX デバッグ 2 ピン ポート 1
	P8		P0.4/DBG2_P0	–	tcpwm1_line	tcpwm1_compare_match	–	tcpwm1_tr_in	usbpd0_sbu_dbg2	–	–	GPIO、TCPWM1、SBU-LSTX デバッグ 2 ピン ポート 0
	M8		P0.5/DBG1_P0	–	–	–	–	–	usbpd0_sbu_dbg1	–	–	GPIO、SBU-LSTX デバッグ 1 ピン ポート 0
	R9		P0.6/LSTX_P0	–	–	–	–	–	usbpd0_sbu_lstx	–	–	GPIO、LSTX ポート 0
	R11		P0.7/LSRX_P0	–	–	–	–	–	usbpd0_sbu_lsrx	–	–	GPIO、LSRX ポート 0
	R5	15	P6.0/SBU1_P1	–		–	scb6_uart_tx	–	usbpd1_sbu_io1	scb6_spi_miso	scb6_i2c_sda	GPIO、DisplayPort 用の Type-C 補助信号 – コネクタ側 : ポート 1、SCB6
	P5	16	P6.1/SBU2_P1	–	–	–	scb6_uart_rx	–	usbpd1_sbu_io2	scb6_spi_clk	scb6_i2c_scl	GPIO、DisplayPort 用の Type-C 補助信号 – コネクタ側 : ポート 1、SCB6
	P13	18	P6.2/SBU2_P0	–	tcpwm0_line	tcpwm0_compare_match	scb6_uart_rts	tcpwm0_tr_in	usbpd0_sbu_io2	scb6_spi_select	–	GPIO、DisplayPort 用の Type-C 補助信号 – コネクタ側 : ポート 0、SCB6
	R13	19	P6.3/SBU1_P0	–	–	–	scb6_uart_cts	–	usbpd0_sbu_io1	scb6_spi_mosi	–	GPIO、DisplayPort 用の Type-C 補助信号 – コネクタ側 : ポート 0、SCB6
	M4		AUX_P_P1	–	–	–	–	–	–	–	–	DisplayPort 用の Type-C 補助信号 – システム側 : ポート 1
	M6		AUX_N_P1	–	–	–	–	–	–	–	–	DisplayPort 用の Type-C 補助信号 – システム側 : ポート 1
	P11		AUX_P_P0	–	–	–	–	–	–	–	–	DisplayPort 用の Type-C 補助信号 – システム側 : ポート 0
	P9		AUX_N_P0	–	–	–	–	–	–	–	–	DisplayPort 用の Type-C 補助信号 – システム側 : ポート 0
USB FS	A11	40	USBDM	–	–	–	–	–	–	–	–	USB 2.0 (FS-PHY) DM
	A13	39	USBDP	–	–	–	–	–	–	–	–	USB 2.0 (FS-PHY) DP

Table 2 PMG1-S3 CYPM1322-97BZXI および CYPM1311-48LDXI のピン一覧 (続き)

グループ	97-BGA	48-QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								ピン説明
				アナログ	ACT#0	ACT#1	ACT#2	ACT#3	DS#0	DS#2	DS#3	
VBUS OCP/ SCP/ RCP	A15	37	CSN_P0	–	–	–	–	–	–	–	–	VBUS 側の外付け Rsense 用の電流検出負入力 : ポート 0
	B15	38	CSP_P0	–	–	–	–	–	–	–	–	VBUS 側の外付け Rsense 用の電流検出正入力 : ポート 0
	C14		CSN_P1	–	–	–	–	–	–	–	–	VBUS 側の外付け Rsense 用の電流検出負入力 : ポート 1
	C15		CSP_P1	–	–	–	–	–	–	–	–	VBUS 側の外付け Rsense 用の電流検出正入力 : ポート 1
USB PD Type-C	N14	28	CC1_P0	–	–	–	–	–	–	–	–	USB PD ポート 0 コネクタ検出 / コンフィギュレーション チャネル 1
	N15											
	N1		CC1_P1	–	–	–	–	–	–	–	–	USB PD ポート 1 コネクタ検出 / コンフィギュレーション チャネル 1
	N2											
	J14	30	CC2_P0	–	–	–	–	–	–	–	–	USB PD ポート 0 コネクタ検出 / コンフィギュレーション チャネル 2
	J15											
	J1		CC2_P1	–	–	–	–	–	–	–	–	USB PD ポート 1 コネクタ検出 / コンフィギュレーション チャネル 2
	J2											
VBUS_NGDO	R14	24	VBUS_IN_NGDO_P0	–	–	–	–	–	–	–	–	NGDO 用の VBUS 入力 - パス 0 (4V ～ 30V)
	R2		VBUS_IN_NGDO_P1	–	–	–	–	–	–	–	–	NGDO 用の VBUS 入力 - パス 1 (4V ～ 30V)
	R15	25	VBUS_OUT_NGDO_P0	–	–	–	–	–	–	–	–	NGDO 用の VBUS 出力 - パス 0 (4V ～ 30V)
	R1		VBUS_OUT_NGDO_P1	–	–	–	–	–	–	–	–	NGDO 用の VBUS 出力 - パス 1 (4V ～ 30V)
	P14	27	VBUS_IN_CTRL_P0	–	–	–	–	–	–	–	–	USB Type-C ポート 0 の NFET (入力側) の有効化 / 無効化用のフル レール制御 I/O
	P2		VBUS_IN_CTRL_P1	–	–	–	–	–	–	–	–	USB Type-C ポート 1 の NFET (入力側) の有効化 / 無効化用のフル レール制御 I/O
	P15	26	VBUS_OUT_CTRL_P0	–	–	–	–	–	–	–	–	USB Type-C ポート 0 の NFET (出力側) の有効化 / 無効化用のフル レール制御 I/O
	P1		VBUS_OUT_CTRL_P1	–	–	–	–	–	–	–	–	USB Type-C ポート 1 の NFET (出力側) の有効化 / 無効化用のフル レール制御 I/O
リセット	E14	33	XRES	–	–	–	–	–	–	–	–	リセット入力

Table 2 PMG1-S3 CYPM1322-97BZXI および CYPM1311-48LDXI のピン一覧 (続き)

グループ	97-BGA	48-QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								ピン説明
				アナログ	ACT#0	ACT#1	ACT#2	ACT#3	DS#0	DS#2	DS#3	
電源	D8	43	VDDD	–	–	–	–	–	–	–	–	VDDD 電源出力 1.VSYS 電源 - (Min: VSYS-100mV) 2.7V ～ 5.5V 2.VBUS 電源 - 2.7V ～ 3.6V
	B14	36	VSYS	–	–	–	–	–	–	–	–	システム用の 2.8V ～ 5.5V 電源
	D6	5	VDDA	–	–	–	–	–	–	–	–	ボード レベルで VDDD に短絡されるプログラマブル アナログ電源 (2.7V ～ 5.5V)
	F6			–	–	–	–	–	–	–	–	
	B8	23	VDDIO	–	–	–	–	–	–	–	–	GPIO 電源 (1.71V ～ 5.5V)
	H12	42		–	–	–	–	–	–	–	–	
	D10	41	VCCD	–	–	–	–	–	–	–	–	フィルター コンデンサ用の 1.8V レギュレータ出力。このピンは外部負荷を駆動不可
	H15	31	VBUS_C_P0	–	–	–	–	–	–	–	–	NGDO 用の VBUS 入力 - ポート 0 (4V ～ 30V)
	H14		VBUS_C_P1	–	–	–	–	–	–	–	–	NGDO 用の VBUS 入力 - ポート 1 (4V ～ 30V)
	L14	29	VCONN_Source_P0	–	–	–	–	–	–	–	–	Type-C の VCONN FET 用の 4.85V ～ 5.5V 電源 : ポート 0
	L15			–	–	–	–	–	–	–	–	
	L1		VCONN_Source_P1	–	–	–	–	–	–	–	–	Type-C の VCONN FET 用の 4.85V ～ 5.5V 電源 : ポート 1
	L2			–	–	–	–	–	–	–	–	
グランド	F10	6	VSS	–	–	–	–	–	–	–	–	グランド
	F12	32	VSS	–	–	–	–	–	–	–	–	グランド
	F8	44	VSS	–	–	–	–	–	–	–	–	グランド
	H10		VSS	–	–	–	–	–	–	–	–	グランド
	H8		VSS	–	–	–	–	–	–	–	–	グランド
	K10		VSS	–	–	–	–	–	–	–	–	グランド
	K8		VSS	–	–	–	–	–	–	–	–	グランド

Note
1. 48-QFN パッケージでは利用不可。

ピン配置

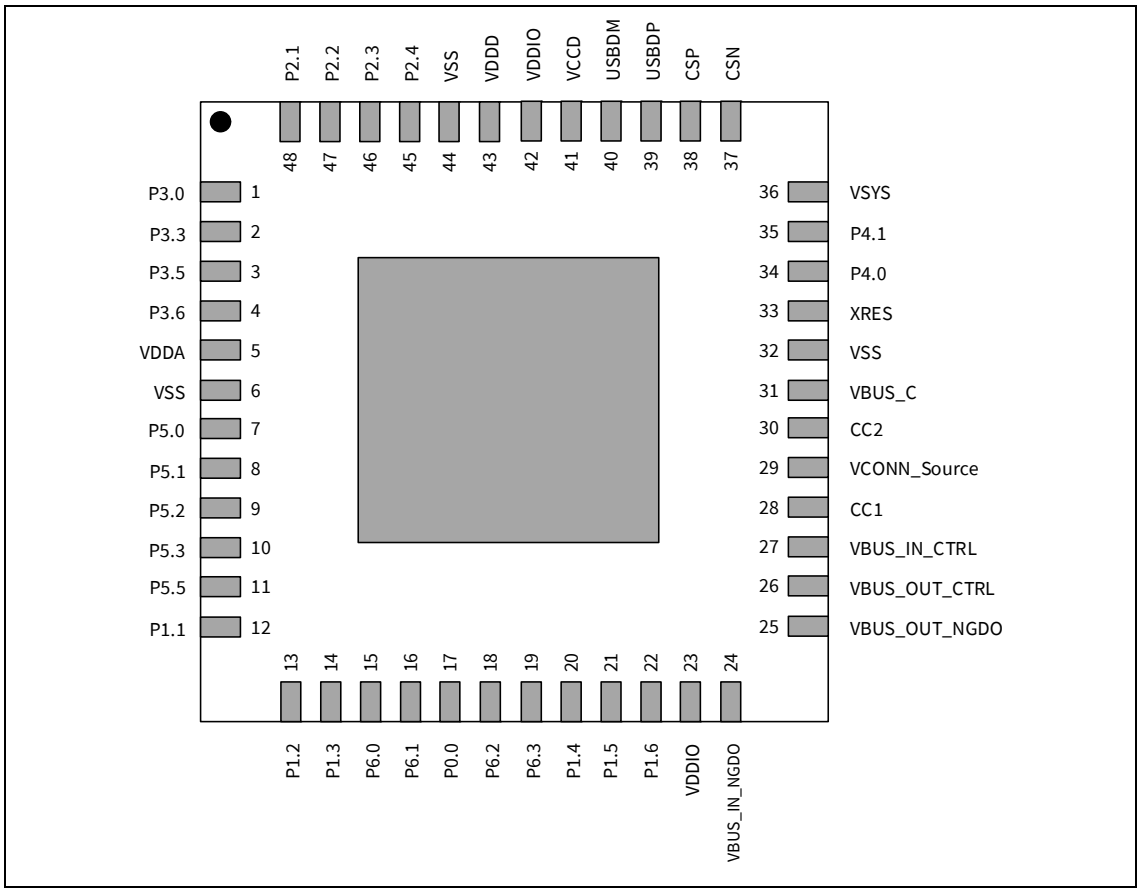


Figure 11 CYPM1311-48LDXI: シングル ポート 48-QFN

ピン配置

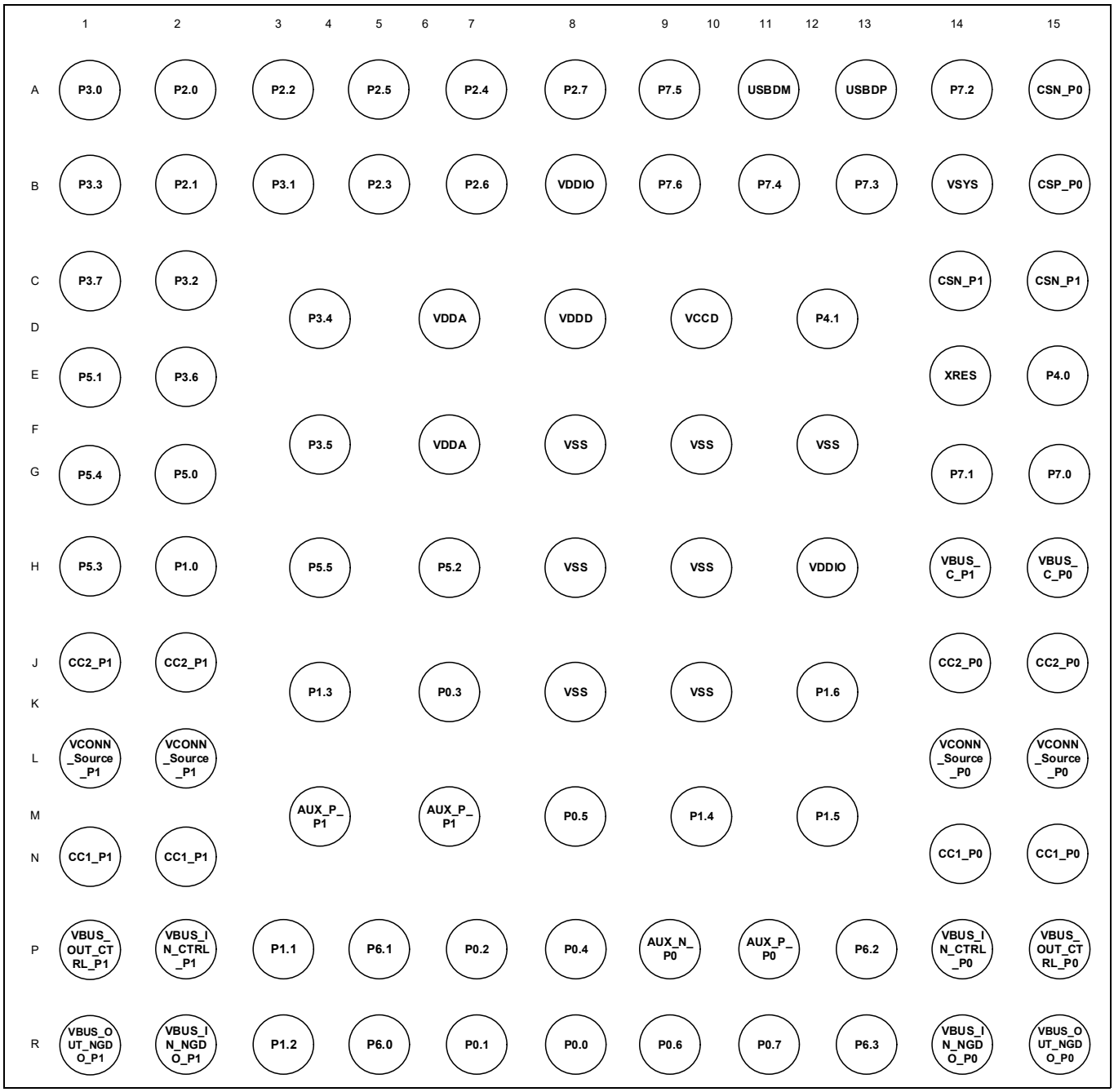


Figure 12 CYPM1322-97BZXI: デュアル ポート 97-BGA

5 アプリケーション図

Figure 13 に、PMG1-S3 をパワー シンクとして示します。これは、接続された充電器と PD コントラクトをネゴシエートして、より高い電圧を得て、システム内で MCU として機能します。PMG1-S3 は、このデバイス アプリケーションのために 48-QFN パッケージで提供されます。

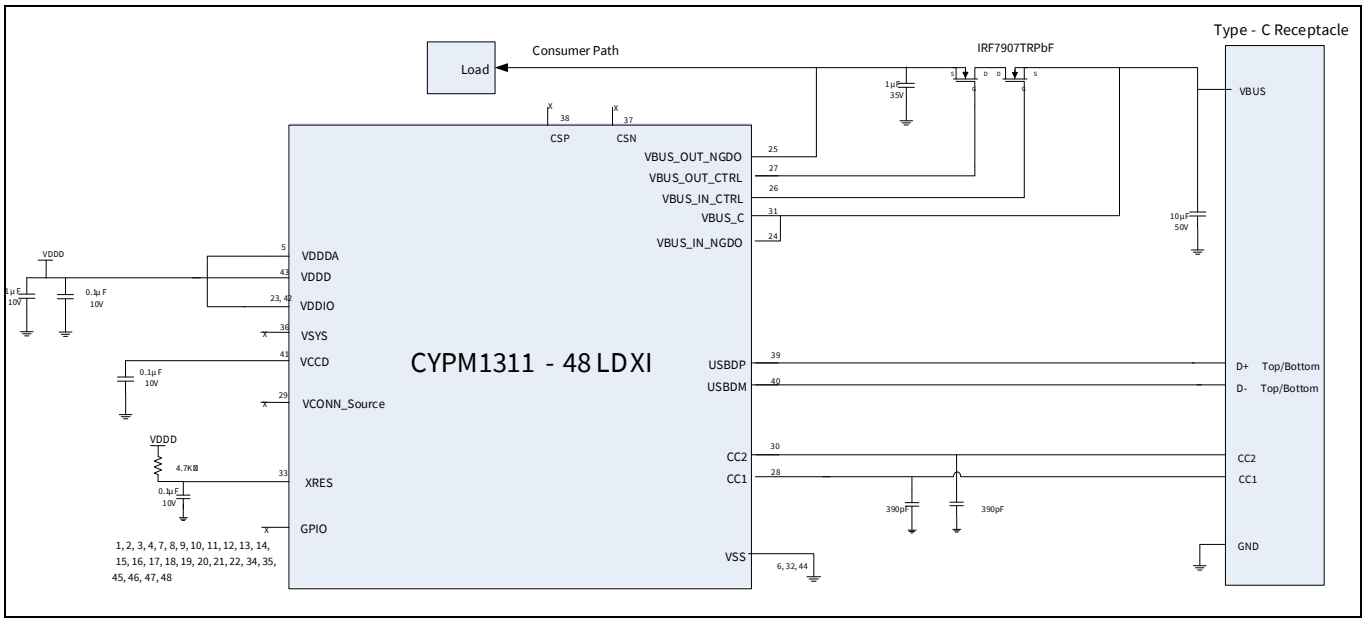


Figure 13 48-QFN PMG1-S3 を使用したパワー シンク アプリケーション

Figure 14 に、97-BGA PMG1-S3 を使用するアプリケーションを示します。ここでは、PMG1-S3 は一方の Type-C ポートでは電力プロバイダとして機能し、もう一方の Type-C ポートでは電力コンシューマとして機能します。

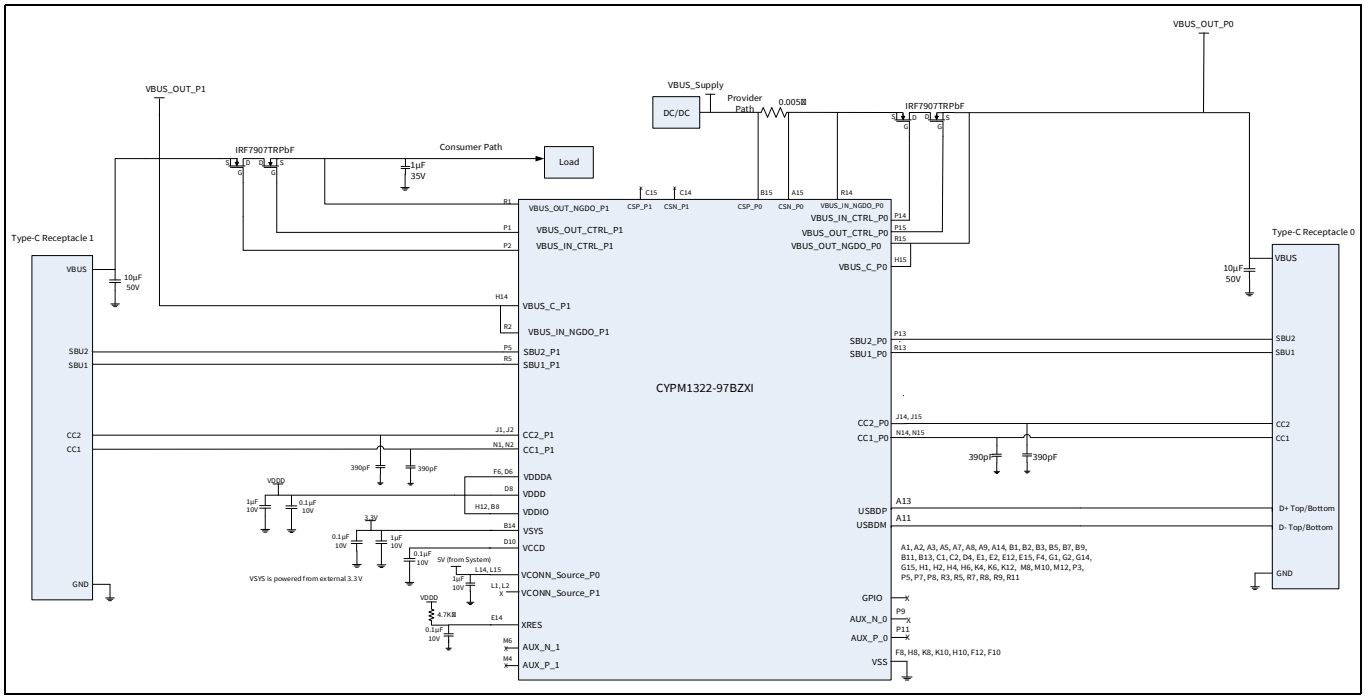


Figure 14 97-BGA PMG1-S3 を使用した電力プロバイダおよびコンシューマ アプリケーション

6 電気的仕様

Table 3 絶対最大定格 [2]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR.ABS#1	V_{DDIO_ABS}	V_{SS} を基準にした I/O 電源電圧 ($V_{SSIO} = V_{SSD} = V_{SSA}$)	-0.5[3]	–	6	V[4]	絶対最小値 / 最大値
SID.PWR.ABS#2	V_{CCD_ABS}	V_{SSD} を基準にした直接デジタル コア電圧入力	-0.5	–	1.95	V	絶対最小値 / 最大値
SID.PWR.ABS#3	V_{GPIO_ABS}	GPIO 電圧	-0.5	–	6	V	絶対最小値 / 最大値。どの時点でも「V_{DDIO} + 0.5」を超えてはならない
SID.PWR.ABS#4	$V_{GPIO_OVT_ABS}$	GPIO OVT 電圧	-0.5	–	6	V	絶対最小値 / 最大値
SID.PWR.ABS#5	I_{GPIO_ABS}	GPIO ごとの電流	-25	–	25	mA	絶対最小値 / 最大値
SID.PWR.ABS#6	$I_{GPIO_injection}$	ピンごとの GPIO 注入電流	-0.5	–	0.5	mA	絶対最小値 / 最大値
SID.PD.PWR.ABS#1	$V_{CONN_SOURCE_ABS}$	V_{SS} を基準にした最小 / 最大電源電圧	-0.5	–	6	V	絶対最小値 / 最大値
SID.PD.PWR.ABS#2	V_{SYS_ABS}	V_{SS} を基準にした最小 / 最大電源電圧	-0.5	–	6	V	絶対最小値 / 最大値
SID.PD.PWR.ABS#3	V_{BUS_ABS}	V_{SS} を基準にした最小 / 最大 VBUS_C_P0/1 電圧	-0.3	–	34	V	最小値 / 絶対最大値
SID.PD.PWR.ABS#4	$V_{BUS_NGDO_ABS}$	V_{SS} を基準にした最小 / 最大 VBUS_IN/OUT_P0/1 電圧	-0.3	–	34	V	絶対最小値 / 最大値
SID.PD.PIN.ABS#1	$V_{CC_PIN_ABS}$	CC1 と CC2 ピンの最小 / 最大電圧	-0.5	–	6	V	絶対最小値 / 最大値。どの時点でも「V_{DDD} + 0.5」を超えてはならない
SID.PD.PIN.ABS#2	$V_{SBU_PIN_ABS}$	SBU1 と SBU2 ピンの最小 / 最大電圧	-0.5	–	6	V	絶対最小値 / 最大値。どの時点でも「V_{DDD} + 0.5」を超えてはならない
SID.PD.PIN.ABS#3	$V_{USB_PIN_ABS}$	USBDP と USBDM ピンの最小 / 最大電圧	-0.5	–	6	V	絶対最小値 / 最大値。どの時点でも「V_{DDD} + 0.5」を超えてはならない
SID.PD.PIN.ABS#4	$V_{AUX_PIN_ABS}$	AUX_N_P0/1 と AUX_P_P0/1 ピンの最小 / 最大電圧	-0.5	–	6	V	絶対最小値 / 最大値。どの時点でも「V_{DDD} + 0.5」を超えてはならない

注 :

2. **Table 3** に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
3. システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。
4. 特に指定がない限り、すべての電圧はグランドを基準にしています。

Table 3　　絶対最大定格 [2](続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.PIN.ABS#5	$V_{CSA_PIN_ABS}$	CSP_P0/1 と CSN_P0/1 ピンの最小 / 最大電圧	-0.3	–	34	V	絶対最小値 / 最大値
BID1	TSTG_AMAX	保管温度	-55	25	150	°C	非動作温度。JESD22-A103 HTSL テストによる
BID44	ESD_HBM	静電気放電電圧	2000	–	–	V	人体モデル ESD
BID45	ESD_CDM	静電気放電電圧	500	–	–	V	デバイス帯電モデル ESD
BID46	I_LU	ラッチアップ電流制限	-100	–	100	mA	入力または出力、ピン間、ピンと電源間を流れる最大 / 最小電流

注 :
2. **Table 3** に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
3. システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。
4. 特に指定がない限り、すべての電圧はグランドを基準にしています。

6.1　デバイス レベルの仕様

Table 4　　DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR#1	V_{DDD}	VSYS 電源使用時の安定化出力電源電圧 (外部で駆動されない)	V_{SYS} - 0.1	–	V_{SYS}	V	-40°C ～ +85°C T_A、V_{DDD} からの負荷電流 = 30mA
SID.PWR#1A	V_{DDD}	VBUS 電源使用時の安定化出力電源電圧 (外部で駆動されない)	3	–	3.65	V	-40°C ～ +85°C T_A
SID.PWR#1B	V_{DDD}	USB バス電源用の電源電圧	4.25	–	5.35	V	USB-PHY 内部レギュレータは有効
SID.PWR#1C	V_{DDD}	バイパス モードでの USB PHY 用の電源電圧、パラメーターは保証済み	3.05	–	3.55	V	USB-PHY 内部レギュレータはバイパス モード
SID.PWR#1D	V_{DDD}	バイパス モードでの USB PHY 用の電源電圧、機能のみは保証済み	2.95	–	3.63	V	USB-PHY 内部レギュレータはバイパス モード
SID.PWR#2	$V_{DDWRITE}$	フラッシュ書き込み動作用の電源電圧	2.7	–	5.5	V	-40°C ～ +85°C T_A、すべての V_{DDD}
SID.PWR#4	V_{DDIO}	I/O 用の電源電圧	1.71	–	V_{DDD}	V	-40°C ～ +85°C T_A、すべての V_{DDD}
SID.PWR#5	V_{DDA}	I/O CAPSENSE™、オペアンプ、コンパレータおよび 12 ビット ADC のブロック用の電源電圧	V_{DDD}	–	V_{DDD}	V	-40°C ～ +85°C T_A、すべての VDDD、$V_{DDA} = V_{DDD}$
SID.PWR#6	V_{CCD}	コア ロジック用の出力電圧	–	1.8	–	V	–

Table 4　　DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR#7	Cefc	V_{CCD} の外部レギュレータ電圧バイパス	80	100	120	nF	X5R セラミックまたはこれより良質のもの
SID.PWR#8	Cexc	V_{DDD} の外部レギュレータ電圧バイパス	–	4.7	–	µF	X5R セラミックまたはこれより良質のもの
SID.PWR#9	Cexv	V5V_0 と V5V_1、V_{SYS}、V_{DDIO}、V_{DDA} 用の電源デカップリング コンデンサ	–	1	–	µF	X5R セラミックまたはこれより良質のもの
SID.PD.PWR#1	V5V	V_{CONN} 用の電源	4.85	–	5.5	V	-40°C ～ +85°C T_A
SID.PD.PWR#2	VSYS_UFP	VSYS の有効範囲	2.8	–	5.5	V	UFP アプリケーション
SID.PD.PWR#2A	VSYS_DFP_DRP	VSYS の有効範囲	3	–	5.5	V	DFP/DRP アプリケーション
SID.PD.PWR#3	VBUS	VBUS_C_P0/1 の有効範囲	4	–	30	V	–
SID.PD.PWR#3A	VBUS_NGDO	VBUS_IN/OUT_NGDO_P0/1 の有効範囲	4	–	30	V	–
アクティブ モード、**VDD = 1.71V ～ 5.5V**							
SID16	IDD11	フラッシュから実行。CPU は 24MHz で動作	–	5.8	–	mA	Typ = 25°C @ V_{DD} = 3.3V
SID19	IDD14	フラッシュから実行。CPU は 48MHz で動作	–	11.2	–	mA	Typ = 25°C @ V_{DD} = 3.3V
スリープ モード、**VDD = 2.0V ～ 5.5V (** レギュレータがオン **)**							
SID22	IDD17	I^2C ウェイクアップ、WDT、およびコンパレータは有効、6MHz	–	1.3	2.2	mA	Typ = 25°C @ V_{DD} = 3.3V Max = 85°C @ 5.5V
SID25	IDD20	I^2C ウェイクアップ、WDT、およびコンパレータは有効、12MHz	–	1.85	2.5	mA	Typ = 25°C @ V_{DD} = 3.3V Max = 85°C @ 5.5V
ディープ スリープ モード、**VDD = 2.7V ～ 5.5V**							
SID34	IDD29	I^2C ウェイクアップと WDT は有効	–	250	–	µA	Typ = 25°C @ V_{DD} = 3.3V 電源 = VSYS、Type-C が未接続、CC ウェイクアップが有効、Rp と Rd は CPU による 70ms 間隔で接続。Rp、Rd の接続は両方の PD ポートに対して有効にする必要がある。 VBUS_IN_NGDO と VBUS_OUT_NGDO も存在している場合、SID.PD.GD#11 と SID.PD.GD#12 を参照してください

Table 4　　DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID_DS1	IDD_DS1	VSYS = 3.3V ポート 0 と 1: CC ウェイクアップがオン、Type-C が未接続	–	200	–	µA	電源 = VSYS、Type-C が未接続、CC ウェイクアップが有効、Rp と Rd は CPU による 70ms 間隔で接続。 Rp、Rd の接続は両方の PD ポートに対して有効にする必要がある。VBUS_IN_NGDO と VBUS_OUT_NGDO も存在している場合、SID.PD.GD#11 と SID.PD.GD#12 を参照してください
SID_DS_3	IDD_DS2	VSYS = 3.3V ポート 1: CC ウェイクアップがオン ポート 0: CC/VCONN/SBU/NGDO/CSA/UVOV が有効、SBU コンパレータが無効	–	600	–	µA	電源 = VSYS、1 ポートが接続、チップがディープ スリープ ポート 1: CC ウェイクアップがオン ポート 0: CC/VCONN/SBU/NGDO/CSA/UVOV が有効、SBU コンパレータが無効
SID_DS3_A	IDD_DS2A	VSYS = 3.3V ポート 0 と 1: CC/VCONN/SBU/NGDO/CSA/UVOV が有効、SBU コンパレータが無効	–	1100	–	µA	両ポートが接続 (CC/VCONN/SBU/NGDO/CSA/UVOV が有効、SBU コンパレータが無効)、チップがディープ スリープ
XRES 電流							
SID307	IDD_XR	XRES がアサート時の供給電流	–	130	–	µA	電源ソース = V_{SYS} = 3.3V、Type-C が未接続、TA = 25°C VBUS_IN_NGDO と VBUS_OUT_NGDO も存在している場合、SID.PD.GD#11a と SID.PD.GD#12a を参照してください

Table 5 AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CPU#1	F_{CPU}	CPU 周波数	DC	–	48	MHz	-40°C ～ +85°C TA、すべての V_{DDD}
SID.CPU#2	T_{SLEEP}	スリープ モードからの復帰時間	–	0	–	µs	–
SID.CPU#3	$T_{DEEPSLEEP}$	ディープ スリープ モードからの復帰時間	–	35	–	µs	–

6.2 GPIO

Table 6 GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GPIO.DC#1	Vih_CMOS	入力電圧 HIGH 閾値	0.7 * V_{DD}	–	–	V	CMOS 入力
SID.GPIO.DC#2	Vil_CMOS	入力電圧 LOW 閾値	–	–	0.3 * V_{DD}	V	CMOS 入力
SID.GPIO.DC#1a	Vih_VDDIO2.7-	LVTTL 入力、VDD < 2.7V	0.7 * V_{DD}	–	–	V	–
SID.GPIO.DC#2a	Vil_VDDIO2.7-	LVTTL 入力、VDD < 2.7V	–	–	0.3 * V_{DD}	V	–
SID.GPIO.DC#1b	Vih_VDDIO2.7+	LVTTL 入力、VDD ≥ 2.7V	2	–	–	V	–
SID.GPIO.DC#2b	Vil_VDDIO2.7+	LVTTL 入力、VDD ≥ 2.7V	–	–	0.8	V	–
SID.GPIO.DC#1c	Vih_VCCHIB	V_{IH}、1.8V 入力モード	1.26	–	–	V	–
SID.GPIO.DC#2c	Vil_VCCHIB	V_{IL}、1.8V 入力モード	–	–	0.54	V	–
SID.GPIO.DC#4	V_{OH}	出力 HIGH 電圧	V_{DD} - 0.6	–	–	V	3V V_{DD} で Ioh = 4mA
SID.GPIO.DC#4a	V_{OH}	出力 HIGH 電圧	V_{DD} - 0.5	–	–	V	1.8V V_{DD} で Ioh = 1mA
SID.GPIO.DC#5	V_{OL}	出力 LOW 電圧	–	–	0.6	V	1.8V V_{DD} で Iol = 4mA
SID.GPIO.DC#5a	V_{OL}	出力 LOW 電圧	–	–	0.6	V	3V V_{DD} で Iol = 10mA
SID.GPIO.DC#5b	V_{OL}	出力 LOW 電圧	–	–	0.4	V	3V V_{DD} で Iol = 3mA
SID.GPIO.DC#6	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	–
SID.GPIO.DC#7	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	–
SID.GPIO.DC#8	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C、V_{DD} = 3.0V
SID.GPIO.DC#8a	I_{IL_CTBM}	CTBm 入力ピン上の入力リーク電流	–	–	4	nA	–
SID.GPIO.DC#9	C_{IN}	入力静電容量	–	–	7	pF	–
SID.GPIO.DC#3b	V_{HYSTTL}	入力ヒステリシス LVTTL VDD > 2.7V	15	40	–	mV	–

Table 6 GPIO の DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GPIO.DC#3	$V_{HYSCMOS}$	入力ヒステリシス CMOS	0.05 * V_{DD}	–	–	mV	V_{DDIO} < 4.5V
SID.GPIO.DC#3a	$V_{HYSCMOS55}$	入力ヒステリシス CMOS	200.0	–	–	mV	V_{DDIO} > 4.5V
SID.GPIO.DC#3c	V_{HYS_VCCHIB}	入力ヒステリシス、1.8V 入力モード	90	–	–	mV	V_{DDIO} > 4.5V
SID.GPIO.DC#10	I_{DIODE}	保護ダイオードを通って V_{DD}/V_{SS} に流れる電流	–	–	100	µA	–
SID.GPIO.DC#11	I_{TOT_GPIO}	V_{DDIO} が外部で供給時の、ソースおよびシンク電流をチップ全体で合計した値の最大値	–	–	200	mA	–
SID.GPIO.DC#11a	$I_{TOT_GPIO_VDDD}$	V_{DDD} がボード上で V_{DDIO} に短絡時の、ソースおよびシンク電流をチップ全体で合計した値の最大値	–	–	10	mA	–

Table 7 GPIO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GPIO.AC#1	T_{RISEF}	高速ストロング モードでの立ち上り時間	2	–	12	ns	3.3V V_{DD}、Cload = 25pF
SID.GPIO.AC#2	T_{FALLF}	高速ストロング モードでの立ち下り時間	2	–	12	ns	3.3V V_{DD}、Cload = 25pF
SID.GPIO.AC#3	T_{RISES}	低速ストロング モードでの立ち上り時間	10	–	60	ns	3.3V V_{DD}、Cload = 25pF
SID.GPIO.AC#4	T_{FALLS}	低速ストロング モードでの立ち下り時間	10	–	60	ns	3.3V V_{DD}、Cload = 25pF
SID.GPIO.AC#5	$F_{GPIOUT1}$	GPIO Fout ；3.3V ≤ V_{DD} ≤ 5.5V。高速ストロング モード	–	–	33	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID.GPIO.AC#6	$F_{GPIOUT2}$	GPIO Fout ；1.71V ≤ V_{DD} ≤ 3.3V。高速ストロング モード	–	–	16.7	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID.GPIO.AC#7	$F_{GPIOUT3}$	GPIO Fout ；3.3V ≤ V_{DD} ≤ 5.5V。低速ストロング モード	–	–	7	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID.GPIO.AC#8	$F_{GPIOUT4}$	GPIO Fout ；1.71V ≤ V_{DD} ≤ 3.3V。低速ストロング モード	–	–	3.5	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID.GPIO.AC#9	F_{GPIOIN}	GPIO 入力動作周波数；1.71V ≤ V_{DD} ≤ 5.5V	–	–	16	MHz	90/10% V_{IO}

6.2.1 XRES

Table 8 XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.XRES.DC#1	VIH_XRES	入力電圧 HIGH 閾値	0.7 * V_{DD}	–	–	V	CMOS 入力
SID.XRES.DC#2	VIL_XRES	入力電圧 LOW 閾値	–	–	0.3 * V_{DD}	V	CMOS 入力
SID.XRES.DC#3	CIN_XRES	入力静電容量	–	–	7	pF	–
SID.XRES.DC#4	VHYSXRES	入力電圧ヒステリシス	–	0.05 * V_{DDIO}	–	mV	–
SID.XRES.DC#5	IDIODE	保護ダイオードを通って VDD/Vss に流れる電流	–	–	100	µA	–

Table 9 XRES の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.XRES.AC#1	$T_{RESETWIDTH}$	リセット パルス幅	5	–	–	µs	-40°C ～ +85°C TA、すべての V_{DDIO}
SID.XRES.AC#2	T_{XRES_GF}	外部リセットのグリッチ フィルタリング期間	–	20	–	ns	-40°C ～ +85°C TA、すべての V_{DDIO}
BID194	$T_{RESETWAKE}$	リセット解除時からの復帰時間	–	–	2.7	ms	–

6.3 アナログ ペリフェラル

Table 10 オペアンプの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
IDD: オペアンプ ブロック電流。外部負荷							
SID269	IDD_HI	電力 = 高	–	1100	1900	µA	–
SID270	IDD_MED	電力 = 中	–	550	1020	µA	–
SID271	IDD_LOW	電力 = 低	–	150	370	µA	–
GBW: 負荷 = **20pF**、**0.1mA**、**VDDA = 2.7V**							
SID272	GBW_HI	電力 = 高	6	–	–	MHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V
SID273	GBW_MED	電力 = 中	3	–	–	MHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V
SID274	GBW_LO	電力 = 低	–	1	–	MHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V
IOUT_MAX: VDDA => 2.7V、電源電圧より **500mV** 内側							
SID275	IOUT_MAX_HI	電力 = 高	10	–	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID276	IOUT_MAX_MID	電力 = 中	10	–	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID277	IOUT_MAX_LO	電力 = 低	–	5	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
IOUT: VDDA = 1.71V、電源電圧より **500mV** 内側							
SID278	IOUT_MAX_HI	電力 = 高	4.0	–	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID279	IOUT_MAX_MID	電力 = 中	4	–	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID280	IOUT_MAX_LO	電力 = 低	–	2	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
IDD_Int: オペアンプ ブロック電流、内部負荷							
SID269_I	IDD_HI_Int	電力 = 高	–	1500	1700	µA	–
SID270_I	IDD_MED_Int	電力 = 中	–	700	980	µA	–
SID271_I	IDD_LOW_Int	電力 = 低	–	–	–	µA	–
GBW: VDDA = 2.7V							

Table 10　　オペアンプの仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID272_I	GBW_HI_Int	電力 = 高	8	–	–	MHz	出力は 0.25V ～ V_{DDA} - 0.25V
SID273_I	GBW_MED_Int	電力 = 中	4	–	–	MHz	出力は 0.25V ～ V_{DDA} - 0.25V
SID274_I	GBW_LO_Int	電力 = 低	1	–	–	MHz	出力は 0.25V ～ V_{DDA} - 0.25V
内部モードと外部モードのオペアンプの一般仕様							
SID281	VIN	チャージ ポンプがオン、V_{DDA} => 2.7V	-0.05	–	V_{DDA} - 0.2	V	–
SID282	VCM	チャージ ポンプがオン、V_{DDA} => 2.7V	-0.05	–	V_{DDA} - 0.2	V	–
VOUT: VDDA => 2.7V							
SID283	VOUT_1	電力 = 高、Iload = 10mA	0.5	–	V_{DDA} - 0.5	V	–
SID284	VOUT_2	電力 = 高、Iload = 1mA	0.2	–	V_{DDA} - 0.2	V	–
SID285	VOUT_3	電力 = 中、Iload = 1mA	0.2	–	V_{DDA} - 0.2	V	–
SID286	VOUT_4	電力 = 低、Iload = 0.1mA	0.2	–	V_{DDA} - 0.2	V	–
SID288	VOS_TR	オフセット電圧 (調整後)	-1	±0.5	1	mV	高電力モード、入力は 0V ～ V_{DDA} - 0.2V
SID288A	VOS_TR	オフセット電圧 (調整後)	–	+/-1	–	mV	中電力モード、入力は 0V ～ V_{DDA} - 0.2V
SID288B	VOS_TR	オフセット電圧 (調整後)	–	+/-2	–	mV	低電力モード、入力は 0V ～ V_{DDA} - 0.2V
SID290	VOS_DR_TR	オフセット電圧ドリフト (調整後)	-10	+/-3	10	µV/C	高電力モード
SID290A	VOS_DR_TR	オフセット電圧ドリフト (調整後)	–	+/10	–	µV/C	中電力モード
SID290B	VOS_DR_TR	オフセット電圧ドリフト (調整後)	–	+/-10	–	µV/C	低電力モード
SID291	CMRR	DC	70	80	–	dB	入力は 0V ～ V_{DDA} - 0.2V、出力は 0.2V ～ V_{DDA} - 0.2V
SID292	PSRR	1kHz で、リップル電圧が 10mV	70	85	–	dB	V_{DDD} = 3.6V、高電力モード、入力は 0.2V ～ V_{DDA} - 0.2V
ノイズ							
SID293	VN1	入力換算、入力換算、1Hz ～ 1GHz、電力 = 高	–	94	–	µVrms	入力および出力は 0.2V ～ V_{DDA} - 0.2V
SID294	VN2	入力換算、1kHz、電力 = 高	–	72	–	nV/rtHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V

Table 10　　オペアンプの仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID295	VN3	入力換算、10kHz、電力 = 高	–	28	–	nV/rtHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V
SID296	VN4	入力換算、100kHz、電力 = 高	–	15	–	nV/rtHz	入力および出力は 0.2V ～ V_{DDA} - 0.2V
SID297	CLOAD	最大負荷まで安定。50pF で性能仕様を満たす	–	–	125	pF	–
SID298	SLEW_RATE	Cload = 50pF、電力 = 高 V_{DDA} => 2.7V	4	–	–	V/µs	–
SID299	T_OP_WAKE	無効から有効までの時間。外付け RC 無し	–	–	25	µs	–
SID299A	OL_GAIN	開ループ ゲイン	–	90	–	dB	–
COMP_MODE: コンパレータ モード；**50mV** 駆動、**Trise = Tfall (** おおよそ **)**							
SID300	TPD1	応答時間、電力 = 高	–	150	–	ns	入力は 0.2V ～ V_{DDA} - 0.2V
SID301	TPD2	応答時間、電力 = 中	–	500	–	ns	入力は 0.2V ～ V_{DDA} - 0.2V
SID302	TPD3	応答時間、電力 = 低	–	2500	–	ns	入力は 0.2V ～ V_{DDA} - 0.2V
SID303	VHYST_OP	ヒステリシス	–	10	–	mV	–
SID304	WUP_CTB	有効から使用可能までのウェイクアップ時間	–	–	25	µs	–
ディープ スリープ モード **:** モード **2** は最低電流範囲。モード **1** はより高い **GBW** を持つ							
SID_DS_1	IDD_HI_M1	モード 1、高電流	–	1400	–	µA	25°C
SID_DS_2	IDD_MED_M1	モード 1、中電流	–	700	–	µA	25°C
SID_DS_3	IDD_LOW_M1	モード 1、低電流	–	200	–	µA	25°C
SID_DS_4	IDD_HI_M2	モード 2、高電流	–	120	–	µA	25°C
SID_DS_5	IDD_MED_M2	モード 2、中電流	–	60	–	µA	25°C
SID_DS_6	IDD_LOW_M2	モード 2、低電流	–	15	–	µA	25°C
SID_DS_7	GBW_HI_M1	モード 1、高電流	–	4	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V
SID_DS_8	GBW_MED_m1	モード 1、中電流	–	2	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V
SID_DS_9	GBW_LOW_M!	モード 1、低電流	–	0.5	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V
SID_DS_10	GBW_HI_M2	モード 2、高電流	–	0.5	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V
SID_DS_11	GBW_MED_M2	モード 2、中電流	–	0.2	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V

Table 10　　オペアンプの仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID_DS_12	GBW_Low_M2	モード 2、低電流	–	0.1	–	MHz	20pF 負荷、DC 負荷無し 0.2V ～ V_{DDA} - 0.2V
SID_DS_13	VOS_HI_M1	モード 1、高電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_14	VOS_MED_M1	モード 1、中電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_15	VOS_LOW_M2	モード 1、低電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_16	VOS_HI_M2	モード 2、高電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_17	VOS_MED_M2	モード 2、中電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_18	VOS_LOW_M2	モード 2、低電流	–	5	–	mV	調整あり、25°C、0.2V ～ V_{DDA} - 0.2V
SID_DS_19	IOUT_HI_M!	モード 1、高電流	–	10	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID_DS_20	IOUT_MED_M1	モード 1、中電流	–	10	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID_DS_21	IOUT_LOW_M1	モード 1、低電流	–	4	–	mA	出力は 0.5V ～ V_{DDA} - 0.5V
SID_DS_22	IOUT_HI_M2	モード 2、高電流	–	1	–	mA	–
SID_DS_23	IOU_MED_M2	モード 2、中電流	–	1	–	mA	–
SID_DS_24	IOU_LOW_M2	モード 2、低電流	–	0.5	–	mA	–

6.3.1 コンパレータ

Table 11 コンパレータの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID84	$V_{OFFSET1}$	入力オフセット電圧 (工場出荷時調整)	–	–	±10	mV	–
SID85	$V_{OFFSET2}$	入力オフセット電圧 (カスタム調整)	–	–	±4	mV	–
SID86	V_{HYST}	有効時のヒステリシス	–	10	35	mV	–
SID87	V_{ICM1}	通常モードでの入力同相電圧	0	–	V_{DDD} - 0.1	V	モード 1 および 2
SID247	V_{ICM2}	低消費電力モードでの入力同相電圧	0	–	V_{DDD}	V	–
SID247A	V_{ICM3}	超低消費電力モードでの入力同相電圧	0	–	V_{DDD} - 1.15	V	-40°C で $V_{DDD} \geq 2.2V$
SID88	CMRR	同相信号除去比	50	–	–	dB	$V_{DDD} \geq 2.7V$
SID88A	CMRR	同相信号除去比	42	–	–	dB	$V_{DDD} \leq 2.7V$
SID89	I_{CMP1}	通常モードでのブロック電流	–	–	400	µA	–
SID248	I_{CMP2}	低消費電力モードでのブロック電流	–	–	100	µA	–
SID259	I_{CMP3}	超低消費電力モードでのブロック電流	–	6	28	µA	-40°C で $V_{DDD} \geq 2.2V$
SID90	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	–

Table 12 コンパレータの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID91	TRESP1	通常モードでの応答時間、50mV オーバードライブ	–	38	110	ns	–
SID258	TRESP2	低消費電力モードでの応答時間、50mV オーバードライブ	–	70	200	ns	–
SID92	TRESP3	超低消費電力モードでの応答時間、200mV オーバードライブ	–	–	35	µs	-40°C で $V_{DDD} \geq 2.2V$

6.3.2 温度センサー

Table 13 温度センサー仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID93	TSENSACC	温度センサー精度	-5	±1	5	C	-40°C ～ +85°C

6.3.3 SAR ADC

Table 14 SAR ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID94	A_RES	分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャネル数 – シングル エンド	–	–	8		8 本のフル スピード チャネル
SID96	A-CHNKS_D	チャネル数 – 差動	–	–	4		差動チャネルの入力は隣接する I/O を使用
SID97	A-MONO	単調性	–	–	–		有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス電圧有り
SID99	A_OFFSET	入力オフセット電圧。特性評価で保証	–	–	2	mV	1V リファレンス電圧で測定
SID100	A_ISAR	消費電流	–	–	1	mA	–
SID101	A_VINS	入力電圧範囲 – シングル エンド	V_{SS}	–	V_{DDA}	V	–
SID102	A_VIND	入力電圧範囲ー差動	V_{SS}	–	V_{DDA}	V	–
SID103	A_INRES	入力抵抗	–	–	2.2	kΩ	–
SID104	A_INCAP	入力静電容量	–	–	10	pF	–
SID260	VREFSAR	SAR 用の調整された内部リファレンス電圧	1.18	1.2	1.22	V	–

Table 15 SAR ADC の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	–
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
SID108	A_SAMP	サンプル レート	–	–	1	Msps	–
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	–	–	dB	Fin = 10kHz
SID110	A_BW	エイリアシングが発生しない入力帯域幅	–	–	A_samp/2	kHz	–
SID111	A_INL	積分非直線性。V_{DD} = 1.71 ～ 5.5、1Msps	-1.7	–	2	LSB	VREF = 1 ～ V_{DD}
SID111A	A_INL	積分非直線性。V_{DDD} = 1.71 ～ 3.6、1Msps	-1.5	–	1.7	LSB	VREF = 1.71 ～ V_{DD}
SID111B	A_INL	積分非直線性。V_{DD} = 1.71 ～ 5.5、500ksps	-1.5	–	1.7	LSB	VREF = 1 ～ V_{DD}
SID112	A_DNL	微分非直線性。V_{DD} = 1.71 ～ 5.5、1Msps	-1	–	2.2	LSB	VREF = 1 ～ V_{DD}
SID112A	A_DNL	微分非直線性。V_{DD} = 1.71 ～ 3.6、1Msps	-1	–	2	LSB	VREF = 1.71 ～ V_{DD}
SID112B	A_DNL	微分非直線性。V_{DD} = 1.71 ～ 5.5、500ksps	-1	–	2.2	LSB	VREF = 1 ～ V_{DD}

電気的仕様

Table 15 SAR ADC の AC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID113	A_THD	全高調波歪み	–	–	-65	dB	Fin = 10kHz
SID261	FSARINTREF	外部リファレンス電圧無しの SAR 動作速度	–	–	100	ksps	12 ビット分解能

6.3.4 CSD

Table 16 CSD V2 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SYS.PER#3	VDD_RIPPLE	電源の最大許容リップル (DC ～ 10MHz 帯域)	–	–	±50	mV	V_{DD} > 2V (リップルあり)、25°C TA、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	電源の最大許容リップル (DC ～ 10MHz 帯域)	–	–	±25	mV	V_{DD} > 1.75V (リップルあり)、25°C TA、寄生容量 (CP) < 20pF、感度 ≥ 0.4pF
SID.CSD.BLK	ICSD	最大ブロック電流	–	–	4000	µA	コンパレータおよびスイッチング電流を含む動的 (スイッチング) モードでの両 IDAC の最大ブロック電流
SID.CSD#15	VREF	CSD およびコンパレータ用のリファレンス電圧	0.6	1.2	VDDA - 0.6	V	V_{DDA} - 0.6 または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部リファレンス電圧	0.6	–	VDDA - 0.6	V	V_{DDA} - 0.6 または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	–	–	1750	µA	–
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1750	µA	–
SID308	VCSD	動作電圧範囲	1.71	–	5.5	V	1.8V ±5% または 1.8V ～ 5.5V
SID308A	VCOMPIDAC	IDAC の最大電圧範囲	0.6	–	VDDA - 0.6	V	V_{DDA} - 0.6 または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	–	1	LSB	-
SID310	IDAC1INL	INL	-2	–	2	LSB	V_{DDA} < 2V の場合、INL が +/-5.5 LSB
SID311	IDAC2DNL	DNL	-1	–	1	LSB	-
SID312	IDAC2INL	INL	-2	–	2	LSB	V_{DDA} < 2V の場合、INL が +/-5.5 LSB
SID313	SNR	信号対ノイズ比。特性評価で保証	5	–	–	比率	静電容量範囲が 5 ～ 35pF、感度が 0.1pF。すべてのユース ケース。V_{DDA} > 2V
SID314	IDAC1CRT1	低域の IDAC1 (7 ビット) の出力電流	4.2	–	5.4	µA	LSB = 37.5nA (Typ)
SID314A	IDAC1CRT2	中域の IDAC1 (7 ビット) の出力電流	34	–	41	µA	LSB = 300nA (Typ)
SID314B	IDAC1CRT3	高域の IDAC1 (7 ビット) の出力電流	275	–	330	µA	LSB = 2.4µA (Typ)

Table 16 CSD V2 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID314C	IDAC1CRT12	低域の IDAC1 (7 ビット) の出力電流、2X モード	8	–	10.5	µA	LSB = 75nA (Typ)
SID314D	IDAC1CRT22	中域の IDAC1 (7 ビット) の出力電流、2X モード	69	–	82	µA	LSB = 600nA (Typ)
SID314E	IDAC1CRT32	高域の IDAC1 (7 ビット) の出力電流、2X モード	540	–	660	µA	LSB = 4.8µA (Typ)
SID315	IDAC2CRT1	低域の IDAC2 (7 ビット) の出力電流	4.2	–	5.4	µA	LSB = 37.5nA (Typ)
SID315A	IDAC2CRT2	中域の IDAC2 (7 ビット) の出力電流	34	–	41	µA	LSB = 300nA (Typ)
SID315B	IDAC2CRT3	高域の IDAC2 (7 ビット) の出力電流	275	–	330	µA	LSB = 2.4µA (Typ)
SID315C	IDAC2CRT12	低域の IDAC2 (7 ビット) の出力電流、2X モード	8	–	10.5	µA	LSB = 75nA (Typ)
SID315D	IDAC2CRT22	中域の IDAC2 (7 ビット) の出力電流、2X モード	69	–	82	µA	LSB = 600nA (Typ)
SID315E	IDAC2CRT32	高域の IDAC2 (7 ビット) の出力電流、2X モード	540	–	660	µA	LSB = 4.8µA (Typ)
SID315F	IDAC3CRT13	低域の 8 ビット モード IDAC の出力電流	8	–	10.5	µA	LSB = 37.5nA (Typ)
SID315G	IDAC3CRT23	中域の 8 ビット モード IDAC の出力電流	69	–	82	µA	LSB = 300nA (Typ)
SID315H	IDAC3CRT33	高域での 8 ビット モード IDAC 出力電流	540	–	660	µA	LSB = 2.4µA (Typ)
SID320	IDACOFFSET	すべて 0 の入力	–	–	1	LSB	極性はソースまたはシンク電流によって設定。37.5nA LSB モードで、オフセットは +/-2 LSB
SID321	IDACGAIN	オフセットを除くフルスケール誤差	–	–	±10	%	–
SID322	IDACMISMATCH1	低電力モードの IDAC1 と IDAC2 の不一致	–	–	9.2	LSB	LSB = 37.5nA (Typ)
SID322A	IDACMISMATCH2	中電力モードの IDAC1 と IDAC2 の不一致	–	–	5.6	LSB	LSB = 300nA (Typ)
SID322B	IDACMISMATCH3	高電力モードの IDAC1 と IDAC2 の不一致	–	–	6.8	LSB	LSB = 2.4µA (Typ)
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	10	µs	フル スケール遷移。外部負荷無し

電気的仕様

Table 16 CSD V2 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	10	µs	フル スケール遷移。外部負荷無し
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

6.4 デジタル ペリフェラル

次の仕様はタイマー モードでのタイマー / カウンター /PWM ペリフェラルに適用されます。

6.4.1 タイマー / カウンター /PWM

Table 17 TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM#1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	µA	すべてのモード (タイマー / カウンター /PWM)
SID.TCPWM#2	ITCPWM2	12MHz でのブロック消費電流	–	–	155	µA	すべてのモード (タイマー / カウンター /PWM)
SID.TCPWM#2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650	µA	すべてのモード (タイマー / カウンター /PWM)
SID.TCPWM#3	TCPWMFREQ	動作周波数	–	–	Fc	MHz	Fc Max = Fcpu。Max = 48MHz
SID.TCPWM#4	TPWMENEXT	すべてのトリガー * イベントの入力トリガーパルス幅	2/Fc	–	–	ns	選択した動作モードによって、トリガーイベントは停止、開始、リロード、カウント、キャプチャ、または Kill のいずれかである
SID.TCPWM#5	TPWMEXT	出力トリガー * パルス幅	2/Fc	–	–	ns	オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) トリガー出力の最小幅
SID.TCPWM#5A	TCRES	カウンターの分解能	1/Fc	–	–	ns	逐次カウント同士間の最小時間
SID.TCPWM#5B	PWMRES	PWM 分解能	1/Fc	–	–	ns	PWM 出力最小パルス幅
SID.TCPWM#5C	QRES	直交位相入力分解能	1/Fc	–	–	ns	直角位相入力同士間の最小パルス幅

* 選択した動作モードによって、トリガー イベントは停止、開始、リロード、カウント、キャプチャ、または Kill のいずれかです。

6.4.2 I²C

Table 18 固定 I²C の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID149	II2C1	100kHz でのブロック消費電流	–	–	60	µA	–
SID150	II2C2	400kHz でのブロック消費電流	–	–	185	µA	–
SID151	II2C3	1Mbps でのブロック消費電流	–	–	650	µA	–
SID152	II2C4	I²C がディープ スリープ モードで有効の場合のブロック消費電流	–	1	–	µA	–

Table 19 固定 I2C の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	FI2C1	ビット レート	–	–	1	Mbps	–
SID.I2C#1	FSCLI2C_SM	I2C SCL クロック周波数	0	–	100	kHz	標準モード
SID.I2C#2	FSCLI2C_FM	I2C SCL クロック周波数	0	–	400	kHz	ファースト モード
SID.I2C#33	FSCLI2C_FMP	I2C SCL クロック周波数	0	–	1000	kHz	ファーストモードプラス
SID.I2C#3	THDSTAI2C_SM	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロック パルスが生成される	4	–	–	µs	標準モード
SID.I2C#4	THDSTAI2C_FM	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロック パルスが生成される	0.6	–	–	µs	ファースト モード
SID.I2C#34	THDSTAI2C_FMP	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロック パルスが生成される	0.26	–	–	µs	ファースト モード プラス
SID.I2C#5	TSUSTAI2C_SM	反復 START 条件のセットアップ時間	4.7	–	–	µs	標準モード
SID.I2C#6	TSUSTAI2C_FM	反復 START 条件のセットアップ時間	0.6	–	–	µs	ファースト モード
SID.I2C#35	TSUSTAI2C_FMP	反復 START 条件のセットアップ時間	0.26	–	–	µs	ファースト モード プラス
SID.I2C#7	TLOWI2C_SM	SCL クロックの LOW 時間	4.7	–	–	µs	標準モード
SID.I2C#8	TLOWI2C_FM	SCL クロックの LOW 時間	1.3	–	–	µs	ファースト モード
SID.I2C#36	TLOWI2C_FMP	SCL クロックの LOW 時間	0.5	–	–	µs	ファーストモードプラス
SID.I2C#9	THIGHI2C_SM	SCL クロックの HIGH 時間	4	–	–	µs	標準モード

Table 19　固定 I2C の AC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.I2C#10	THIGHI2C_FM	SCL クロックの HIGH 時間	0.6	–	–	µs	ファースト モード
SID.I2C#37	THIGHI2C_FMP	SCL クロックの HIGH 時間	0.3	–	–	µs	ファーストモードプラス
SID.I2C#11	THDDATI2C	データ ホールド時間	0	–	–	µs	すべての I2C 速度
SID.I2C#12	TSUDATI2C_SM	データ セットアップ時間	250.0	–	–	ns	標準モード
SID.I2C#13	TSUDATI2C_FM	データ セットアップ時間	100	–	–	ns	ファースト モード
SID.I2C#38	TSUDATI2C_FMP	データ セットアップ時間	50	–	–	ns	ファーストモードプラス
SID.I2C#14	TSUSTOI2C_SM	I2C STOP 条件のセットアップ時間	4	–	–	µs	標準モード
SID.I2C#15	TSUSTOI2C_FM	I2C STOP 条件のセットアップ時間	0.6	–	–	µs	ファースト モード
SID.I2C#39	TSUSTOI2C_FMP	I2C STOP 条件のセットアップ時間	0.26	–	–	µs	ファースト モードプラス
SID.I2C#16	CB_SM	各 I2C バス ラインの静電容量負荷	–	–	400	pF	標準モード
SID.I2C#17	CB_FM	各 I2C バス ラインの静電容量負荷	–	–	400	pF	ファースト モード
SID.I2C#40	CB_FMP	各 I2C バス ラインの静電容量負荷	–	–	550	pF	ファースト モードプラス
SID.I2C#18	TVDDATI2C_SM	データ有効時間	–	–	3.45	µs	標準モード
SID.I2C#19	TVDDATI2C_FM	データ有効時間	–	–	0.9	µs	ファースト モード
SID.I2C#41	TVDDATI2C_FMP	データ有効時間	–	–	0.45	µs	ファーストモードプラス
SID.I2C#20	TVDACKI2C_SM	データ有効アクノリッジ時間	–	–	3.45	µs	標準モード
SID.I2C#21	TVDACKI2C_FM	データ有効アクノリッジ時間	–	–	0.9	µs	ファースト モード
SID.I2C#42	TVDACKI2C_FMP	データ有効アクノリッジ時間	–	–	0.45	µs	ファースト モードプラス
SID.I2C#22	TSPI2C_FM	入力フィルターによって抑制されるスパイクのパルス幅	–	–	50	ns	ファースト モード
SID.I2C#43	TSPI2C_FMP	入力フィルターによって抑制されるスパイクのパルス幅	–	–	50	ns	ファースト モードプラス
SID.I2C#23	TBUFI2C_SM	STOP 条件と START 条件との間のバス空き時間	4.7	–	–	µs	標準モード
SID.I2C#24	TBUFI2C_FM	STOP 条件と START 条件との間のバス空き時間	1.3	–	–	µs	ファースト モード

Table 19　固定 I2C の AC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.I2C#44	TBUFI2C_FMP	STOP 条件と START 条件との間のバス空き時間	0.5	–	–	µs	ファースト モード プラス
SID.I2C#25	VIL_I2C	入力 LOW 電圧	-0.5	–	0.3 * V_{DDIO}	V	ファーストおよび標準モードの I^2C 速度
SID.I2C#26	VIH_I2C	入力 HIGH 電圧	0.7 * V_{DDIO}	–	–	V	ファーストおよび標準モードの I^2C 速度
SID.I2C#27	VOL_I2C_L	出力 LOW 電圧、低電源電圧範囲	–	–	0.2 * V_{DDIO}	V	ファーストおよび標準モードの I^2C 速度、V_{DDIO} < 2V、2mA シンク
SID.I2C#28	VOL_I2C_H	出力 LOW 電圧、高電源電圧範囲	–	–	0.4	V	ファーストおよび標準モードの I^2C 速度、V_{DDIO} < 2V、2mA シンク
SID.I2C#29	IOL_I2C_SM	I2C 出力 LOW 電流	3	–	–	mA	標準モード、1.71V ≤ V_{DDIO} ≤ 5.5V、負荷 = CB_SM、VOL = 0.4V
SID.I2C#30	I2C_VHYS_HV	I2C 入力ヒステリシス	0.05 * V_{DDIO}	–	–	mV	ファーストおよび標準モードの I^2C 速度、2V ≤ V_{DDIO} ≤ 4.5V
SID.I2C#30A	I2C_VHYS_5V	I2C 入力ヒステリシス	200	–	–	mV	ファーストおよび標準モードの I^2C 速度、V_{DDIO} > 4.5V
SID.I2C#31	I2C_VHYS_LV	I2C 入力ヒステリシス	0.10 * V_{DDIO}	–	–	mV	ファーストおよび標準モードの I^2C 速度、V_{DDIO} < 2V
COM.REQ#7	I2C_ADD	I2C アドレス幅	–	–	8	ビット	7 ビット アドレスおよび 1 RW ビット
SID.I2C#32	IOL_I2C_FM	I2C 出力 LOW 電流	6	–	–	mA	ファースト モード、1.71V ≤ V_{DDIO} ≤ 5.5V、負荷 = CB_SM、VOL = 0.6V
SID.I2C#45	IOL_I2C_FMP	I2C 出力 LOW 電流、高電圧範囲	20	–	–	mA	ファースト モード プラス、3.0V ≤ V_{DDD} ≤ 5.5V、負荷 = CB_FMP、–40°C ～ 85°C TA、GPIO_OVTV2 ポートのみ
SID.I2C#45A	IOL_I2C_FMP	I2C 出力 LOW 電流、低電圧範囲	3	–	–	mA	ファースト モード プラス、1.71V ≤ V_{DDD} ≤ 3.0V、負荷 = CB_FMP、–40°C ～ 85°C TA

6.4.3 UART

Table 20 固定 UART の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID160	IUART1	100Kbps でのブロック消費電流	–	–	125	µA	–
SID161	IUART2	1000Kbps でのブロック消費電流	–	–	312	µA	–

Table 21 固定 UART の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	FUART	ビット レート	–	–	1	Mbps	–

6.4.4 SPI

Table 22 固定 SPI の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID163	ISPI1	1Mbps でのブロック消費電流	–	–	360	µA	–
SID164	ISPI2	4Mbps でのブロック消費電流	–	–	560	µA	–
SID165	ISPI3	8Mbps でのブロック消費電流	–	–	600	µA	–

Table 23 固定 SPI の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	FSPI	SPI 動作周波数 (マスター、6 倍オーバーサンプリング)	–	–	8	MHz	–

Table 24　固定 SPI マスター モードの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID167	TDMO	SClock 駆動エッジ後の MOSI 有効時間	–	–	15	ns	–
SID168	TDSI	SClock 取得エッジ前の MISO 有効時間	20	–	–	ns	フルクロック、MISO の遅いサンプリング
SID169	THMO	直前の MOSI データ ホールド時間	0	–	–	ns	スレーブ取得エッジを基準にする

Table 25　固定 SPI スレーブ モードの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID170	TDMI	Sclock 取得エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	TDSO	Sclock 駆動エッジ後の MISO 有効期間	–	–	48 + 3*Tcpu	ns	Tcpu = 1/Fcpu
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	ns	–
SID172	THSO	直前の MISO データ ホールド時間	0	–	–	ns	–
SID172A	TSSELSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

6.4.5　メモリ

Table 26　フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID173	V_{PE}	消去およびプログラム電圧	1.71	–	5.5	V	–
SID173A	I_{PW}	16MHz でのページ書き込み電流	–	–	3.5	mA	5.5V VDD

Table 27　フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID174	$T_{ROWWRITE}$	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	20	ms	行 (ブロック) = 256 バイト
SID175	$T_{ROWERASE}$	行消去時間	–	–	16	ms	–
SID176	$T_{ROWPROGRAM}$	消去後の行プログラム時間	–	–	7	ms	–
SID178	$T_{BULKERASE}$	バルク消去時間 (32K バイト)	–	–	35	ms	–
SID180	$T_{DEVPROG}$	総デバイス プログラム時間	–	–	7	s	–
SID181	F_{END}	フラッシュ アクセス可能回数	10 万	–	–	サイクル	–

電気的仕様

Table 27　　フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID182	F_{RET}	フラッシュ データ保持期間。TA <= 55°C、10 万回の P/E サイクル	20	–	–	年	–
SID182a		フラッシュ データ保持期間。TA <= 85°C、1 万回の P/E サイクル	10	–	–	年	–
SID256	T_{WS48}	48MHz でのウェイト ステート数	2	–	–		CPU はフラッシュから実行
SID257	T_{WS24}	24MHz でのウェイト ステート数	1	–	–		CPU はフラッシュから実行

6.5 システム リソース

6.5.1 ブラウンアウト機能付きパワーオン リセットの DC 仕様

Table 28 パワーオン リセット仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.POR#1	SR_POWER_UP	電源供給スルー レート	1	–	67	V/ms	-40°C ～ +85°C TA、すべての VDDD；電源投入時
SID.POR#2	$V_{RISEIPOR}$	立ち上りトリップ電圧	0.8	–	1.5	V	–
SID.POR#3	$V_{FALLIPOR}$	立ち下りトリップ電圧	0.7	–	1.4	V	–

Table 29 VCCD の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.BOD#1	$V_{FALLPPOR}$	アクティブおよびスリープ モードでの BOD トリップ電圧	1.48	–	1.62	V	–
SID.BOD#2	$V_{FALLDPSLP}$	ディープ スリープ モードでの BOD トリップ電圧	1.1	–	1.5	V	–

6.5.2 SWD

Table 30 SWD インターフェース

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.SWD#1	F_SWDCLK1	$3.3V \le V_{DD} \le 5.5V$	–	–	14	MHz	SWDCLK ≤ 1/3 FCPU
SID.SWD#2	F_SWDCLK2	$1.71V \le V_{DD} \le 3.3V$	–	–	7	MHz	SWDCLK ≤ 1/3 FCPU
SID.SWD#3	T_SWDI_SETUP	T = 1/f SWDCLK	0.25*T	–	–	ns	–
SID.SWD#4	T_SWDI_HOLD	T = 1/f SWDCLK	0.25*T	–	–	ns	–
SID.SWD#5	T_SWDO_VALID	T = 1/f SWDCLK	–	–	0.5*T	ns	–
SID.SWD#6	T_SWDO_HOLD	T = 1/f SWDCLK	1	–	–	ns	–

6.5.3 内部主発振器

Table 31 IMO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.IMO.DC#1	IIMO1	48MHz での IMO 動作電流	–	–	250	µA	–
SID.IMO.DC#2	IIMO2	24MHz での IMO 動作電流	–	–	180	µA	–

Table 32 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.IMO.AC#1	FIMO	IMO 周波数	–	48	–	MHz	-40°C ～ +85°C TA、すべての V_{DDD}
SID.IMO.AC#2	FIMO_RES	IMO 周波数の分解能	–	0.25	–	%	-40°C ～ +85°C TA、すべての V_{DDD}
SID.IMO.AC#3	IMO_STL	トリム レジスタ変更時の IMO 整定時間	–	–	200	ns	25°C TA、すべての V_{DDD}、FIMO = 48MHz
SID.IMO.AC#4	FIMOTOL1	24MHz、32MHz および 48MHz での周波数誤差 (調整後)	–	–	±2	%	$2.7V \le V_{DDD} < 5.5V$、$-25°C \le TA \le 85°C$
SID.IMO.AC#4a	FIMOTOLVCCD	24MHz、32MHz および 48MHz での周波数誤差 (調整後)	–	–	±4	%	すべての条件
SID.IMO.AC#5	IMO_HOP_RANGE	トリム レジスタによる FIMO 変動範囲	-10	–	10	%	25°C TA、すべての V_{DDD}、48MHz = F_{IMO}
SID.IMO.AC#6	TSTARTIMO	IMO 起動時間	–	–	7	µs	–
SID.IMO.AC#7	TJITRMSIMO2	24MHz での RMS ジッタ	–	145	–	–	–

6.5.4 内部低速発振器

Table 33 ILO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ILO.DC#1	IILO1	32kHz での ILO 動作電流	–	0.3	1.05	µA	–
SID.ILO.DC#2	IILOLEAK	ILO リーク電流	–	2	15	nA	–

Table 34 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ILO.AC#1	FILO	動作周波数	20.0	40.0	80.0	kHz	–
SID.ILO.AC#2	TSTARTILO1	ILO 起動時間	–	–	2	ms	–
SID.ILO.AC#3	TLIODUTY	ILO デューティ比	40	50	60	%	–

6.6 USBDPD ペリフェラル

6.6.1 アナログ - デジタル変換器

Table 35 ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.ADC.DC#1	分解能	ADC 分解能	–	–	–	–	–
SID.PD.ADC.DC#2	INL	積分非直線性	-1.5	–	1.5	LSB	–
SID.PD.ADC.DC#3	DNL	差動非直線性	-2.5	–	2.5	LSB	–
SID.PD.ADC.DC#4	Gain Error	ゲイン誤差	-1.5	–	1.5	LSB	–

電気的仕様

Table 35 ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.ADC.DC#5	VREF_ADC1	ADC のリファレンス電圧	V_{DDD} min	–	V_{DDD} max	V	V_{DDD} から生成されたリファレンス電圧
SID.PD.ADC.DC#6	VREF_ADC2	ADC のリファレンス電圧	1.96	2	2.04	V	ディープスリープリファレンスから生成されたリファレンス電圧

Table 36 ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.ADC.AC#7	SLEW_Max	サンプリングされた電圧信号の変化率	–	–	3	V/ms	–

6.6.2 VBUS レギュレータ

Table 37 VBUS レギュレータの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.20VREG.DC#1	VBUSREG1	VBUS レギュレータ出力電圧 (Min VBUS = 4.2V ～ 28V)	3	–	3.65	V	チップは VBUS_C_P1/VBUS_C_P2 を介して電源供給、出力は V_{DDD} で計測
SID.PD.20VREG.DC#2	VBUSREG2	VBUS レギュレータ出力電圧 (Min VBUS = 4V ～ 4.2V)	3	–	3.65	V	チップは VBUS_C_P1/VBUS_C_P2 を介して電源供給、出力は V_{DDD} で計測

Table 38 VBUS レギュレータの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.20VREG.AC#1	Tstart	安定化電源出力の合計スタートアップ時間	–	–	200	µs	VBUS を印加し、VDDD ピンの起動時間を測定
SID.PD.20VREG.AC#2	Tstop	vreg_en = 0 からレギュレータ無効までのレギュレータ電源切断時間	–	–	4	µs	内部ディセーブル信号がアサートされてから VDDD の負荷電流が 30mA から 10µA に減少するまでの時間

6.6.3 CSA

Table 39 CSA 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.HS-CSA.DC#1	Isense_scp	6A、10A での SCP 電流検出精度	–	±10	–	%	–
SID.PD.HS-CSA.DC#1a	Isense_scp_epr	6A、10A での SCP 電流検出精度	–	±12	–	%	30V EPR
SID.PD.HS-CSA.DC#2	Vsense_rcp	Rsense の両端の RCP 検出閾値	–	2	4	mV	–
SID.PD.HS-CSA.DC#3a	Isense_ocp_2A	2A、3A、および 4A での OCP 電流検出精度	–	±15	–	%	–
SID.PD.HS-CSA.DC#3b	Isense_ocp_5A	5A での OCP 電流検出精度	–	±10	–	%	–
SID.PD.HS-CSA.DC#3c	Isense_ocp_5A_epr	5A での OCP 電流検出精度	–	±12	–	%	30V EPR
SID.PD.HS-CSA.DC#3	Isense_ocp_1A	1A での OCP 電流検出精度	–	±20	–	%	–
SID.PD.HS-CSA.DC#4	Rsense	外部 Rsense	4.95	5	5.05	mΩ	–

電気的仕様

Table 39 CSA 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.HS-CSA.DC#5	Vtrip_slow_rcp_33pct	5V 設定、33% タップ ポイント選択時の遅い RCP トリップ ポイント	4.5	–	5.5	V	–
SID.PD.HS-CSA.DC#5a	Vtrip_slow_rcp_10pct	20V 設定、10% タップ ポイント選択時の遅い RCP トリップ ポイント	18	–	22	V	–
SID.PD.HS-CSA.DC#5b	Vtrip_slow_rcp_6pct	30V 設定、60% タップ ポイント選択時の遅い RCP トリップ ポイント	27	–	33	V	–
SID.PD.HS-CSA.DC#9	Isb_csp_5v	SCP、OCP および RCP ブロックがオフの場合の CSP ピン入力リーク電流	–	–	6	µA	CSP = CSN = 5V
SID.PD.HS-CSA.DC#10	Isb_csn_5v	SCP、OCP および RCP ブロックがオフの場合の CSN ピン入力リーク電流	–	–	5	µA	CSP = CSN = 5V
SID.PD.HS-CSA.DC#9a	Isb_csp_30v	SCP、OCP および RCP ブロックがオフの場合の CSP ピン入力リーク電流	–	–	26	µA	CSP = CSN = 30V
SID.PD.HS-CSA.DC#10a	Isb_csn_30v	SCP、OCP および RCP ブロックがオフの場合の CSN ピン入力リーク電流	–	–	5	µA	CSP = CSN = 30V
SID.PD.HS-CSA.DC#17	I_CSP_SCP_ON_OCP_ON_RCP_ON	SCP、OCP および RCP ブロックがオンの場合の CSP ピン電流	–	–	500	µA	–
SID.PD.HS-CSA.DC#18	I_CSN_SCP_ON_OCP_ON_RCP_ON	SCP、OCP および RCP ブロックがオンの場合の CSN ピン電流	–	–	65	µA	–
SID.PD.HS-CSA.AC#1	Tdelay_scp_6A	6A モードでの SCP 遅延時間 (5mV オーバードライブ)	–	–	300	ns	設計で保証
SID.PD.HS-CSA.AC#2	Tdelay_scp_10A	10A モードでの SCP 遅延時間 (5mV オーバードライブ)	–	–	300	ns	
SID.PD.HS-CSA.AC#3	Tdelay_rcp	RCP 遅延時間 (5mV オーバードライブ)	–	–	250	ns	
SID.PD.HS-CSA.AC#4	Tdelay_ocp	OCP 遅延時間 (5mV オーバードライブ)	–	–	250	ns	

6.6.4 VBUS 放電

Table 40 VBUS 放電仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.VBUS_DISC#1	Ron1	20V NMOS オン時の抵抗 (dischg_ds<0> = 1； dischg_ds<4:1> = 0)	1500	–	3000	Ω	–
SID.PD.VBUS_DISC#2	Ron2	20V NMOS オン時の抵抗 (dischg_ds<1:0> = 1； dischg_ds<4:2> = 0)	750	–	1500	Ω	–
SID.PD.VBUS_DISC#3	Ron3	20V NMOS オン時の抵抗 (dischg_ds<2:0> = 1； dischg_ds<4:3> = 0)	500	–	1000	Ω	–
SID.PD.VBUS_DISC#4	Ron4	20V NMOS オン時の抵抗 (dischg_ds<3:0> = 1； dischg_ds<4> = 0)	375	–	750	Ω	–
SID.PD.VBUS_DISC#5	Ron5	20V NMOS オン時の抵抗 (dischg_ds<4:0> = 1)	300	–	600	Ω	–

6.6.5 UVOV

Table 41 UVOV 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.UVOV#1	VTHUVOV1	バンドギャップ リファレンスを使用したアクティブ モードでの電圧閾値精度	–	+/-3	–	%	–
SID.PD.UVOV#2	VTHUVOV2	ディープ スリープ リファレンスを使用したディープ スリープ モードでの電圧閾値精度	–	+/-5	–	%	–
SID.PD.COMP_ACC#1	COMP_ACC	4 シグマでのコンパレータ入力オフセット	-15	–	15.0	mV	–
SID.PD.UVOV.AC#1	Tov_gate	0V 閾値トリップから外部 NFET パワー ゲート オフまでの遅延時間	–	–	50	µs	–

6.6.6 SBU

Table 42 SBU スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.SBU.DC#1	Ron_hs1	HS 範囲でのスイッチ オン抵抗 (入力が 0V ～ 0.4V)	–	–	4.5	Ω	–
SID.PD.SBU.DC#2	Ron_fs	FS 範囲でのスイッチ オン抵抗 (入力が 0V ～ 3.6V)	–	–	6.5	Ω	–
SID.PD.SBU.DC#3	Ron_flat_hs1	HS 範囲でのスイッチ フラット抵抗 (入力が 0V ～ 0.4V)	–	–	0.5	Ω	–
SID.PD.SBU.DC#4	Ron_flat_fs	FS 範囲でのスイッチ フラット抵抗 (入力が 0V ～ 3.6V)	–	–	2.5	Ω	–
SID.PD.SBU.DC#7	Ileak1	SBU1、SBU2 ピン リーク電流 @ 3.6V、AUX_P/AUX_N がフローティング、V_{DDD} = 3.3V @ 85°C	-4.5	–	4.5	µA	–
SID.PD.SBU.DC#7a	Ileak2	AUX_P/AUX_N ピン リーク電流 @ 3.6V、SBU1 と SBU2 がフローティング、V_{DDD} = 3.3V @ 85°C	-1	–	1	µA	–
SID.PD.SBU.DC#8	Rpu_aux_1	AUX_N でのプルアップ抵抗	80	–	120	kΩ	–
SID.PD.SBU.DC#9	Rpu_aux_2	AUX_P でのプルアップ抵抗	0.8	–	1.2	MΩ	–
SID.PD.SBU.DC#10	Rpd_aux_1	AUX_P でのプルダウン抵抗	80	–	120	kΩ	–
SID.PD.SBU.DC#11	Rpd_aux_2	AUX_N でのプルダウン抵抗	0.8	–	1.2	MΩ	–
SID.PD.SBU.DC#12	Rpd_aux_3	AUX_P でのプルダウン抵抗	329	–	611	kΩ	–
SID.PD.SBU.DC#13	Rpd_aux_4	AUX_N でのプルダウン抵抗	3.29	–	6.11	MΩ	–
SID.PD.SBU.AC#1	Con	スイッチ オン容量	–	–	50	pF	–
SID.PD.SBU.AC#2	Coff	スイッチ オフ容量 - コネクタ側	–	–	25	pF	–

Table 42 SBU スイッチの仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.SBU.AC#3	Off_isolation	F = 1MHz でのスイッチによる絶縁	–	–	-50	dB	設計で保証
SID.PD.SBU.AC#4	X_talk_AC	データ出力時、F = 1MHz での IN1/2 ～ IN2/1 スイッチのクロストーク	–	–	-50	dB	設計で保証

6.6.7 VCONN スイッチ

Table 43 VCONN スイッチ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.VCONN.DC#1	Ron	V5V = 5V、負荷電流 215mA でのスイッチ オン抵抗	–	0.7	1.3	Ω	–
SID.PD.VCONN.DC#3	Ileak	コネクタ側のピンのリーク電流	–	–	10	µA	–
SID.PD.VCONN.DC#4	VTHDETECT_V5V	v5v 検出器の閾値電圧	2.05	–	2.65	V	–
SID.PD.VCONN.DC#9	Iocp	CC1/CC2 の過電流検出範囲	550	–		mA	–
SID.PD.VCONN.DC#12	OCP_hysteresis	過電流検出ヒステリシス	20	–	80	mA	–
SID.PD.VCONNAC#1	Ton	スイッチ ターンオン時間	–	–	200	µs	–
SID.PD.VCONNAC#2	Toff	スイッチ ターンオフ時間	–	–	3	µs	–
SID.PD.VCONN.DC#14	Rfrs_pd	高速ロール スワップを要求した送信ドライバ抵抗 (ケーブル抵抗を除く)	–	–	5	Ω	–

6.6.8 VSYS

Table 44 VSYS レギュレータ

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.vdddsw.DC#1	Res_sw	電源入力から出力電源 V_{DDD} までの抵抗	–	–	1.5	Ω	V_{DDD} で 5mA ～ 10mA の負荷電流で測定

6.6.9 ゲート ドライバ仕様

Table 45 NFET ゲート ドライバ

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.GD#1	GD_VGS	オン時のゲート - ソース間オーバードライブ電圧	4.5	–	10.5	V	NFET ドライバがオン
SID.PD.GD#3	GD_VGS_OFF	オフ時の外部 FET- ソース間電圧	-VBUS_NGDO_ABS	–	+VBUS_NGDO_ABS	V	ゲートが「0V」にプルダウン時、外部 NFET はオフ状態で「VGS < -VBUS_NGDO_ABS」を許容できなければならない
SID.PD.GD#11	ISB_VBUS_IN_NGDO	NGDO が最低消費電力状態 (無効) 時の VBUS_IN_NGDO からのリーク電流	–	–	70	µA	VBUS_IN_NGDO = 5V；en_hv = 1、ngdo_en = 1、keepoff_dis = 1、cp_en = 0、gdrv_en = 0、en_g1_chrg = 0、イコライザがオフ
SID.PD.GD#11a	Ixres_VBUS_IN_NGDO	XRES がアサート時の VBUS_IN_NGDO からのリーク電流	–	–	650	µA	VBUS_IN_NGDO = 5V；チップの XRES がアサート。設計で保証
SID.PD.GD#12	ISB_VBUS_OUT_NGDO	NGDO が最低消費電力状態 (無効) 時の VBUS_OUT_NGDO からのリーク電流	–	–	140	µA	VBUS_OUT_NGDO = 5V；en_hv = 1、ngdo_en = 1、keepoff_dis = 1、cp_en = 0、gdrv_en = 0、en_g1_chrg = 0、イコライザがオフ
SID.PD.GD#12a	Ixres_VBUS_OUT_NGDO	XRES がアサート時の VBUS_OUT_NGDO からのリーク電流	–	–	500	µA	VBUS_OUT_NGDO = 5V；チップの XRES がアサート。設計で保証
SID.PD.ngdo_fet_sys.AC#2	Ton	NGDO ターンオン時間 (VBUS_IN_NGDO = 5V)	–	10	–	ms	VBUS_CTRL_1 が 0.5 から VBUS_IN_NGDO+1V に立ち上がるのに要する時間 (3nF 負荷容量)

電気的仕様

Table 45 NFET ゲート ドライバ (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.ngdo_fet_sys.AC#3	Toff	NGDO ターンオフ時間 (非フォールト) (VBUS_IN_NGDO = 5V)	–	7	–	µs	VBUS_CTRL_1 が VBUS_IN_NGDO+10V から VBUS_OUT_NGDO (10µF 容量) に立ち下がるのに要する時間 (3nF 負荷容量)
SID.PD.ngdo_fet_sys.AC#4	Toff-fault	SCP/RCP イベントに応答する NGDO ターンオフ時間 (VBUS_IN_NGDO = 5V)	–	1	–	µs	NGDO は RCP イベントに応答して、VBUS_CTRL_0 ピンの均等化によりオフになる NGDO は SCP イベントに応答して、VBUS_CTRL_1 = 0.8V によりオフになる

Table 46 CC-PHY PD 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.cc_shvt.DC#1	vSwing	トランスミッタ出力 HIGH 電圧	1.05	–	1.2	V	–
SID.PD.cc_shvt.DC#2	vSwing_low	トランスミット出力 LOW 電圧	–	–	0.075	V	–
SID.PD.cc_shvt.DC#3	zDriver	トランスミッタ出力インピーダンス	33	–	75	Ω	–
SID.PD.cc_shvt.DC#4	zBmcRx	レシーバ入力インピーダンス	10	–	–	MΩ	設計で保証
SID.PD.cc_shvt.DC#5	Idac_std	USB 標準アドバタイズメントのソース電流	64	–	96	µA	–
SID.PD.cc_shvt.DC#6	Idac_1p5a	5V アドバタイズメント、1.5A でのソース電流	165.6	–	194.4	µA	–
SID.PD.cc_shvt.DC#7	Idac_3a	5V アドバタイズメント、3A でのソース電流	303.6	–	356.4	µA	–
SID.PD.cc_shvt.DC#8	Rd	UFP (アップストリーム ポート) として機能する場合のプルダウン終端抵抗	4.59	–	5.61	kΩ	–
SID.PD.cc_shvt.DC#9	Rd_db	UFP (アップストリーム ポート) として機能する場合のデッド バッテリ付きプルダウン終端抵抗	4.08	–	6.12	kΩ	–
SID.PD.cc_shvt.DC#10	zOPEN	無効時のグランドへの CC インピーダンス	108	–	–	kΩ	–
SID.PD.cc_shvt.DC#11	DFP_default_0p2	DFP 側の CC 電圧 - 標準 USB	0.15	–	0.25	V	–
SID.PD.cc_shvt.DC#12	DFP_1.5A_0p4	DFP 側の CC 電圧 - 1.5A	0.35	–	0.45	V	–
SID.PD.cc_shvt.DC#13	DFP_3A_0p8	DFP 側の CC 電圧 - 3A	0.75	–	0.85	V	–
SID.PD.cc_shvt.DC#14	DFP_3A_2p6	DFP 側の CC 電圧 - 3A	2.45	–	2.75	V	–
SID.PD.cc_shvt.DC#15	UFP_default_0p66	UFP 側の CC 電圧 - 標準 USB	0.61	–	0.7	V	–
SID.PD.cc_shvt.DC#16	UFP_1.5A_1p23	UFP 側の CC 電圧 - 1.5A	1.16	–	1.31	V	–
SID.PD.cc_shvt.DC#17	Vattach_ds	ディープ スリープのアタッチ閾値	0.3	–	0.6	%	–
SID.PD.cc_shvt.DC#18	Rattach_ds	ディープ スリープのプルアップ抵抗	10	–	50	kΩ	–
SID.PD.cc_shvt.DC#19	VTX_step	TX ドライブの電圧ステップ サイズ	80	–	120	mV	ユーザーおよびデータシート向けではない
SID.PD.cc_shvt.DC#30	FS_0p53	高速スワップ検出の電圧閾値	0.49	–	0.58	V	–

6.6.10 充電検出

Table 47 充電検出の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.chgdet.DC#1	VDAT_REF	充電検出モードでのデータ検出電圧	250	–	400	mV	–
SID.PD.chgdet.DC#2	VDM_SRC	充電検出モードでの dn 電圧ソース	500	–	700	mV	–
SID.PD.chgdet.DC#3	VDP_SRC	充電検出モードでの dp 電圧ソース	500	–	700	mV	–
SID.PD.chgdet.DC#4	IDM_SINK	充電検出モードでの dn シンク電流	25	–	175	µA	–
SID.PD.chgdet.DC#4a	IDM_SINK_trim	35µA 電流モードでの dn シンク電流	25	–	45	µA	VDAT_SINK ≥ 0.25V
SID.PD.chgdet.DC#5	IDP_SINK	充電器検出モードでの dp シンク電流	25	–	175	µA	–
SID.PD.chgdet.DC#5a	IDP_SINK_trim	35µA 電流モードでの dp シンク電流	25	–	45	µA	VDAT_SINK ≥ 0.25V
SID.PD.chgdet.DC#6	IDP_SRC	データ コンタクト検出の電流ソース	7	–	13	µA	–
SID.PD.chgdet.DC#27	RDP_UP	dp/dm 上の Qualcomm プルアップ終端	0.9	–	1.575	kΩ	–
SID.PD.chgdet.DC#32	RDM_UP	Dp/Dm プルアップ抵抗	0.9	–	1.575	kΩ	–
SID.PD.chgdet.DC#28	RDP_DWN	dp/dm 上の Qualcomm プルダウン終端	14.25	–	24.8	kΩ	–
SID.PD.chgdet.DC#31	RDM_DWN	Dp/Dm プルダウン抵抗	14.25	–	24.8	kΩ	–
SID.PD.chgdet.DC#29	RDAT_LKG	dp/dm 上のデータ ラインのリーク抵抗	300	–	500	kΩ	–
SID.PD.chgdet.DC#34	VSETH	論理閾値	1.26	–	1.54	V	–
SID.PD.chgdet_afc.DC#30	RLOAD_DET	AFC Rload 検出閾値。vpwrhv > 2.6V	1.4	–	2	V	–
SID.PD.chgdet_afc.DC#31	VAFC_TX_HI	AFC TX 有効出力 HIGH 電圧。vpwrhv > 2.6V	1.44	–	–	V	–
SID.PD.chgdet_afc.DC#32	VAFC_TX_LO	AFC TX 有効出力 LOW 電圧。vpwrhv > 2.6V	–	–	0.16	V	–
SID.PD.chgdet_afc.DC#33	VAFC_VIH	AFC RX 有効入力 HIGH 電圧。vpwrhv > 2.6V	–	–	1	V	–
SID.PD.chgdet_afc.DC#34	VAFC_VIL	AFC RX 有効入力 LOW 電圧。vpwrhv > 2.6V	0.4	–	–	V	–
SID.PD.chgdet_afc.DC#35	SAMS_RCVR_HYS	Samsung レシーバ ヒステリシス。vpwrhv > 2.6V	10	–	–	mV	–
SID.PD.chgdet_afc.DC#36	VQCOM_VIH	QCOM RX 有効入力 HIGH 電圧。vpwrhv > 2.6V	–	–	2	V	–

Table 47　　充電検出の DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.chgdet_afc.DC#37	VQCOM_VIL	QCOM RX 有効入力 LOW 電圧。 vpwrhv > 2.6V	0.8	–	–	V	–
SID.PD.chgdet_afc.DC#38	QCOM_RCVR_HYS	Qualcomm レシーバ ヒステリシス。vpwrhv > 2.6V	10	–	–	mV	–
SID.PD.ccg6.dpdm.DC#14	RDCP_DAT	DP と DN 間の専用充電ポート抵抗	–	–	40	Ω	–

Table 48　　充電検出の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.chgdet_afc.AC#4	Trise	AFC TX D- 立ち上り時間。 vpwrhv > 2.7V	0.5	–	3.6	µs	–
SID.PD.chgdet_afc.AC#.5	Tfall	AFC TX D- 立ち下り時間。 vpwrhv > 2.7V	0.5	–	3.6	µs	–
SID.PD.chgdet.AC#6	AFC_DATA_RATE	送受信用の AFC データ トグル レート。vddd > 2.7V	35	–	45	µs	–

7 注文情報

下表に、PMG1-S3 の製品番号と機能を一覧表示します。

Table 49 PMG1-S3 の MPN と機能

製品番号	GPIO				SCB			プログラマブル アナログ						
	GPIO (合計)	GPIO (VDDIO)	OVT (VDDIO)	GPIO (VDDD)	I²C	SPI	UART	12 ビット SAR ADC 入力	12 ビット SAR ADC 出力	SAR ADC VREF	オペアンプ	オペアンプ入力 / 出力	LP-Comp	TCPWM
CYPM1311-48LDXI CYPM1311-48LDXIT	26	19	2	5 (ピンに接続)	7	5	5	4	0	1	1 (オペアンプ 0 のみ)	3 入力と 1 出力	2	7
CYPD1322-97BZXI CYPD1322-97BZXIT	50	36	2	12	8	8	8	8	1	1	2	6 入力と 2 出力	2	8

製品番号	SBU - MUX	VCONN	SCP/RCP/ OCP	NGDO	20Vreg	VDDD スイッチ	8 ビット PD ADC	FS-PHY	充電検出
CYPM1311-48LDXI CYPM1311-48LDXIT	0	1	1	1	1	1	1	1	1
CYPD1322-97BZXI CYPD1322-97BZXIT	2	2	2	2	2	1	2	1	1

7.1 注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されています。

フィールド	説明	値	意味
CY	CYPRESS™ の接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワー デリバリー MCU ファミリ
1	第 1 世代 PM ファミリ	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LD	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

8 パッケージ

Table 50 パッケージの特性

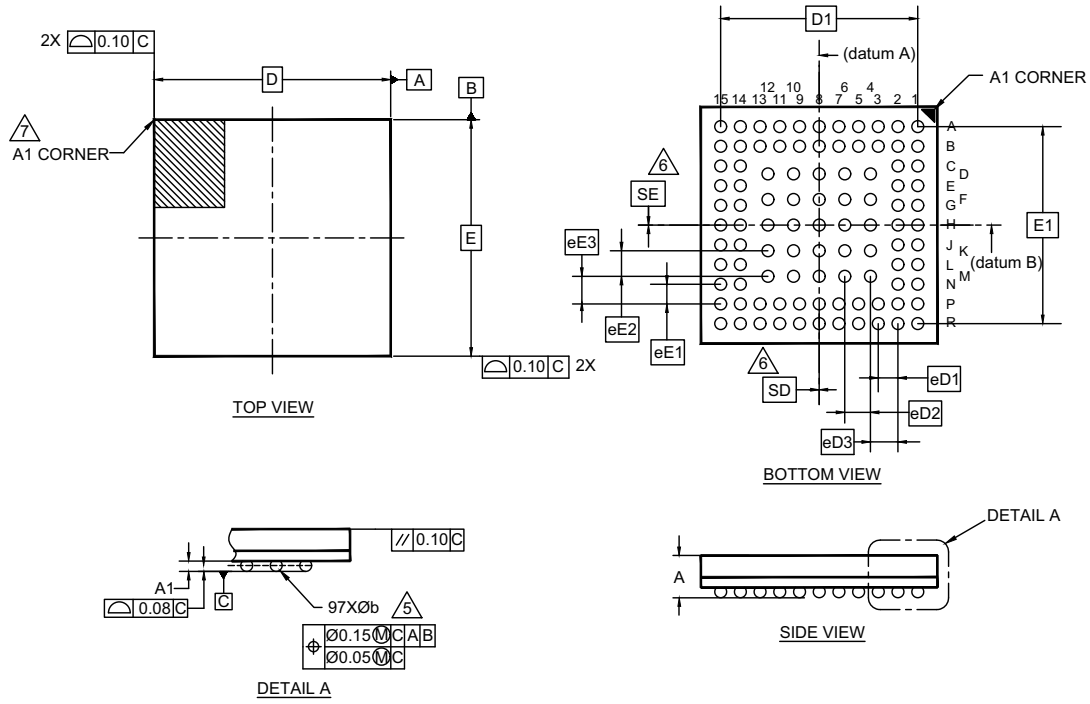
パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲 温度	産業用	-40	25	85	°C
T_J	動作ジャンクション温度				125	
T_{JA}	パッケージ θ_{JA} (97 ボール BGA)	–	–	42	–	°C /W
T_{JC}	パッケージ θ_{JC} (97 ボール BGA)		–	15.9	–	
T_{JA}	パッケージ θ_{JA} (48 ピン QFN)		–	16.6	–	
T_{JC}	パッケージ θ_{JC} (48 ピン QFN)		–	6.5	–	

Table 51 はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
97 ボール BGA	260°C	30 秒
48 ピン QFN		

Table 52 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
97 ボール BGA	MSL3
48 ピン QFN	



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	-	-
D		6.00 BSC	
E		6.00 BSC	
D1		5.00 BSC	
E1		5.00 BSC	
MD		11	
ME		11	
N		97	
∅ b	0.25	0.30	0.35
eD1		0.50 BSC	
eE1		0.50 BSC	
eD2		0.65 BSC	
eE2		0.65 BSC	
eD3		0.70 BSC	
eE3		0.70 BSC	
SD		0.00	
SE		0.00	

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
9. JEDEC SPECIFICATION NO. REF. : MO-225.

002-31241 *A

Figure 15　　97 ボール BGA マルチピッチ (6 × 6 × 0.5mm/0.65mm)、6.0 x 6.0 x 1.0mm パッケージ外形図

パッケージ

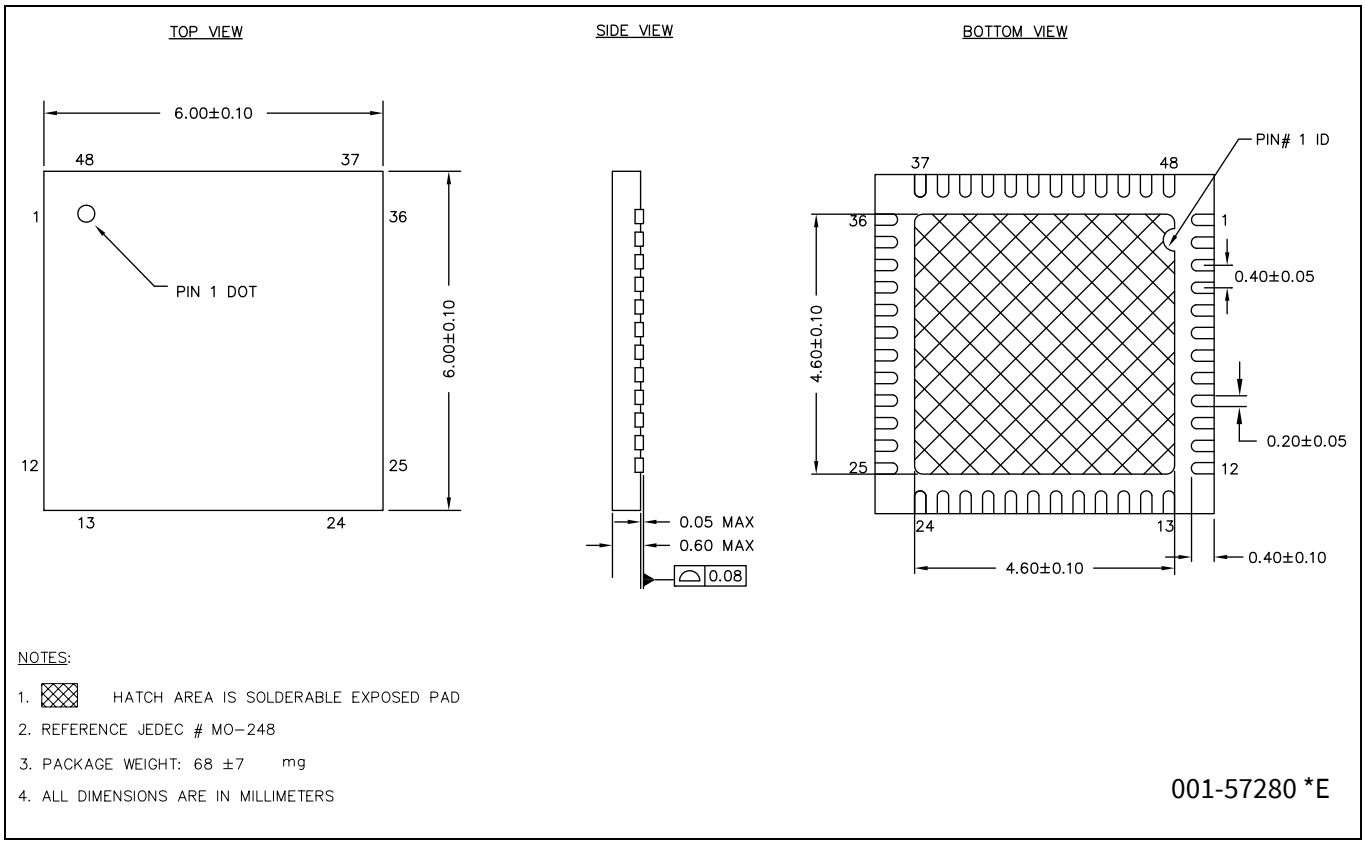


Figure 16 48L-QFN 6mm x 6mm x 0.6mm パッケージ外形図

9 略語

Table 53 本書で使用する略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
AHB	AMBA High-performance Bus (AMBA (アドバンスト マイクロコントローラー バス アーキテクチャ) 高性能バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
ARM	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
BMC	Biphase Mark Code (バイフェーズ マーク コード)
CC	configuration channel (コンフィギュレーション チャネル)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラー チェック プロトコルの一種
CS	current sense (電流検出)
DFP	downstream facing port (ダウンストリーム ポート)
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください
DRP	dual role port (デュアル ロール ポート)
ECC	Elliptic Curve Cryptography (楕円曲線暗号)
EEPROM	electrically erasable programmable read-only memory (電気的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブル アセンブリ): 定格電流などのケーブル特性を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
HPD	hot plug detect (ホット プラグ検出)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I^2C (別名 : IIC)	Inter-Integrated Circuit (インター インテグレーテッド サーキット): 通信プロトコルの一種
ILO	internal low-speed oscillator (内部低速発振器)。IMO をご参照ください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください
IOSS	input/output subsystem (入力 / 出力サブシステム)
I/O	input/output (入出力)。GPIO をご参照ください
LDO	low-dropout regulator (低ドロップアウト レギュレータ)
LVD	low-voltage detect (低電圧検出)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MMIO	memory mapped input/output (メモリ マップド入出力)
NC	no connect (未接続)

略語

Table 53　本書で使用する略語 (続き)

略語	説明
NMI	nonmaskable interrupt (マスク不可割込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
opamp	operational amplifier (演算増幅器)
OCP	overcurrent protection (過電流保護)
OVP	overvoltage protection (過電圧保護)
PASS	Programmable Analog Sub-System (プログラマブル アナログ サブシステム)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PWM	pulse-width modulator (パルス幅変調器)
RAM	Random-Access Memory (ランダムアクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RSA	RSA 暗号
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCB	serial communication block (シリアル通信ブロック)
SCL	I2C serial clock (I2C シリアル クロック)
SDA	I2C serial data (I2C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種
TCPWM	timer/counter pulse-width modulator (タイマー / カウンター / パルス幅変調器)
Thunderbolt	Intel 社の商標
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタ レシーバ): 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USB-FS	USB Full-Speed (USB フルスピード)
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される PMG1-S3 ピン
USB PD	USB Power Delivery (USB パワー デリバリー)

略語

Table 53　本書で使用する略語 (続き)

略語	説明
USBPD SS	USB PD subsystem (USB PD サブシステム)
VDM	vendor defined messages (ベンダー定義メッセージ)
XRES	external reset I/O pin (外部リセット I/O ピン)

10 本書の表記法

10.1 測定単位

Table 54 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
µA	マイクロアンペア
µF	マイクロファラド
µs	マイクロ秒
µV	マイクロボルト
µW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

Document version	Date of release	Description of changes
**	2022-01-24	このドキュメントは英語版 002-31288 Rev. *F を翻訳した日本語版 002-34648 Re. ** です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-01-24
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-34648 Rev. **

重要事項
本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください（**www.infineon.com**）。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。