サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9A130N シリーズ

32ビット ARM® Cortex®-M3 FM3マイクロコントローラ

MB9A130N シリーズは、低消費電力モードと低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。

MB9A130N シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ, A/D コンバータ, D/A コンバータ, 各種通信インタフェース(UART, CSIO, I²C)により構成されます。

『FM3 ファミリ ペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE7 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

■プロセッサ版数: r2p1

■最大動作周波数: 20 MHz

■ネスト型ベクタ割込みコントローラ(NVIC): 1 チャネルの NMI (ノンマスカブル割込み)と 32 チャネルの周辺割込みに対応。8 の割込み優先度レベルを設定できます。

■24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

■[フラッシュメモリ]
- □最大 128 K バイト
- □リードサイクル: 0 ウェイトサイクル
- □コード保護用セキュリティ機能

■[SRAM]
本シリーズのオンチップ SRAM は、Cortex-M3 コアの System バスに接続されます。
- □SRAM1: 最大 16 K バイト

マルチファンクションシリアルインタフェース (最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

■UART

■CSIO

■I²C

[UART]

■全二重ダブルバッファ

■パリティあり/なし選択可能

■専用ボーレートジェネレータ内蔵

■外部クロックをシリアルクロックとして使用可能

■豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

■全二重ダブルバッファ

■専用ボーレートジェネレータ内蔵

■オーバランエラー検出機能

[I²C]

Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

A/D コンバータ(最大 16 チャネル)

■[12 ビット A/D コンバータ]
- □逐次比較型
- □変換時間: 最小 1.0 µs
- □優先変換可能(2 レベルの優先度)
- □スキャン変換モード
- □変換データ格納用 FIFO 搭載 (スキャン変換用: 16 段, 優先変換用: 4 段)

D/A コンバータ(最大 2 チャネル)

■R-2R 型

■10 ビット分解能

ベースタイマ(最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

■16 ビット PWM タイマ

■16 ビット PPG タイマ

■16/32 ビットリロードタイマ

■16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

■端子ごとにプルアップ制御可能

■端子レベルを直接読出し可能

■ポートリロケート機能

■最大 84 本の汎用高速 I/O ポート@100 pin Package

■一部のポートは 5 V トレラント対応
該当する端子については「4. 端子機能一覧」と「5. 入出力回路形式」を参照してください。

多機能タイマ

多機能タイマは、次のブロックで構成されます。

■16 ビットフリーランタイマ×3 チャネル

■インプットキャプチャ×4 チャネル

■アウトプットコンペア×6 チャネル

■A/D 起動コンペア×1 チャネル

■波形ジェネレータ×3 チャネル

■16 ビット PPG タイマ×3 チャネル
IGBT モード搭載

モータ制御を実現するために次の機能を用意しています。

■PWM 信号出力機能

■DC チョッパ波形出力機能

■デッドタイマ機能

■インプットキャプチャ機能

■A/D コンバータ起動機能

■DTIF (モータ緊急停止)割込み機能

HDMI-CEC/リモコン受信(最大 2 チャネル)

■HDMI-CEC 受信/リモコン受信
- 以下の規格に対応した動作モードを選択可能
  SIRCS
  NEC/家電協
  HDMI-CEC
- スタートビット, データビットの検出タイミングを調整可能
- ノイズフィルタ搭載

■HDMI-CEC 送信
- シグナルフリーを判定してヘッダブロックの自動送信
- アービトレーションロストを検出してステータス割込みを発生
- 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力
- 1 ブロック(1 バイトのデータと EOM, ACK)を送信したときに送信ステータス割込みを発生

リアルタイムクロック(RTC : Real Time Clock)

00 年～99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

■日時指定(年/月/日/時/分)での割込み機能, 年/月/日/時/分だけの個別設定も可能

■設定時間後/設定時間ごとのタイマ割込み機能

■カウントを継続して時刻書換え可能

■うるう年の自動カウント

外部割込み制御ユニット

■外部割込み入力端子: 最大 16 本

■ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、ハードウェアウォッチドッグとソフトウェアウォッチドッグの 2 つの異なるウォッチドッグがあります。

ハードウェアウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード以外のすべての低消費電力モードで動作します。

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

■メインクロック: 4 MHz ~ 20 MHz

■サブクロック: 32.768 kHz

■内蔵高速 CR クロック: 4 MHz

■内蔵低速 CR クロック: 100 kHz

■メイン PLL クロック

[リセット]

■INITX 端子からのリセット要求

■電源投入リセット

■ソフトウェアリセット

■ウォッチドッグタイマリセット

■低電圧検出リセット

■クロックスーパバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

■外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。

■外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■LVD1 : 割込みによりエラーを報告

■LVD2 : オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応しています。

■スリープ

■タイマ

■RTC

■ストップ

■ディープスタンバイ RTC

■ディープスタンバイストップ

■バックアップレジスタ 16 バイト搭載

デバッグ

シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

電源

ワイドレンジ電圧対応:　VCC = 1.8 V～5.5 V

Contents

特長 **1**
1. 品種構成 **6**
2. パッケージと品種対応 **7**
3. 端子配列図 **8**
4. 端子機能一覧 **11**
5. 入出力回路形式 **30**
6. 取扱上のご注意 **35**
6.1 設計上の注意事項 35
6.2 パッケージ実装上の注意事項 36
6.3 使用環境に関する注意事項 37
7. デバイス使用上の注意 **38**
8. ブロックダイヤグラム **40**
9. メモリサイズ **41**
9.1 メモリマップ 41
10. 各 CPU ステートにおける端子状態 **45**
11. 電気的特性 **51**
11.1 絶対最大定格 51
11.2 推奨動作条件 52
11.3 直流規格 53
11.3.1 電流規格 53
11.3.2 端子特性 56
11.4 交流規格 57
11.4.1 メインクロック入力規格 57
11.4.2 サブクロック入力規格 58
11.4.3 内蔵 CR 発振規格 58
11.4.4 メイン PLL の使用条件（PLL の入力クロックにメインクロックを使用） 59
11.4.5 メイン PLL の使用条件（メイン PLL の入力クロックに内蔵高速 CR クロックを使用） 59
11.4.6 リセット入力規格 60
11.4.7 パワーオンリセットタイミング 60
11.4.8 ベースタイマ入力タイミング 61
11.4.9 CSIO/UART タイミング 62
11.4.10 外部入力タイミング 71
11.4.11 I^2C タイミング 72
11.4.12 JTAG タイミング 73
11.5 12 ビット A/D コンバータ 74
11.6 10 ビット D/A コンバータ 77
11.7 低電圧検出特性 78
11.8 フラッシュメモリ書込み/消去特性 80
11.9 スタンバイ復帰時間 80
12. オーダ型格 **84**
13. パッケージ・外形寸法図 **85**
14. 主な変更内容 **89**
改訂履歴 **91**

セールス，ソリューションおよび法律情報 92

1. 品種構成

メモリサイズ

品種名		MB9AF131M/N	MB9AF132M/N
オンチップフラッシュメモリ		64 K バイト	128 K バイト
オンチップ SRAM	SRAM1	12 K バイト	16 K バイト

ファンクション

品種名			MB9AF131M MB9AF132M	MB9AF131N MB9AF132N
端子数			80	100
CPU			Cortex-M3	
	周波数		20 MHz	
電源電圧範囲			1.8 V ~ 5.5 V	
マルチファンクション シリアルインタフェース (UART/CSIO/I²C)			8 ch. (最大)	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			8 ch. (最大)	
多機能タイマ	A/D 起動コンペア	1 ch.	1 unit (最大)	
	インプットキャプチャ	4 ch.		
	フリーランタイマ	3 ch.		
	アウトプットコンペア	6 ch.		
	波形ジェネレータ	3 ch.		
	PPG (IGBT モード搭載)	3 ch.		
HDMI-CEC/リモコン受信			2 ch. (最大)	
リアルタイムクロック(RTC)			1 unit	
ウォッチドッグタイマ			1 ch. (SW) + 1 ch. (HW)	
外部割込み			11 pin (最大)+ NMI × 1	16 pin (最大)+ NMI × 1
汎用 I/O ポート			67 pin (最大)	84 pin (最大)
12 ビット A/D コンバータ			12 ch. (1 unit)	16 ch. (1 unit)
10 ビット D/A コンバータ			2 ch. (最大)	
クロック異常検出機能(CSV)			Yes	
低電圧検出機能(LVD)			2 ch.	
内蔵 CR	高速		4 MHz	
	低速		100 kHz	
デバッグ機能			SWJ-DP	

<注意事項>

- *各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。*
  内蔵 CR の精度については『11. 電気的特性 11.4. 交流規格 11.4.3. 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ ＼ 品種名	MB9AF131M MB9AF132M	MB9AF131N MB9AF132N
LQFP: LQH080 (0.5mm pitch)	○	-
LQFP: LQJ080 (0.65mm pitch)	○	-
LQFP: LQI100 (0.5mm pitch)	-	○
QFP:　PQH100 (0.65mm pitch)	-	○

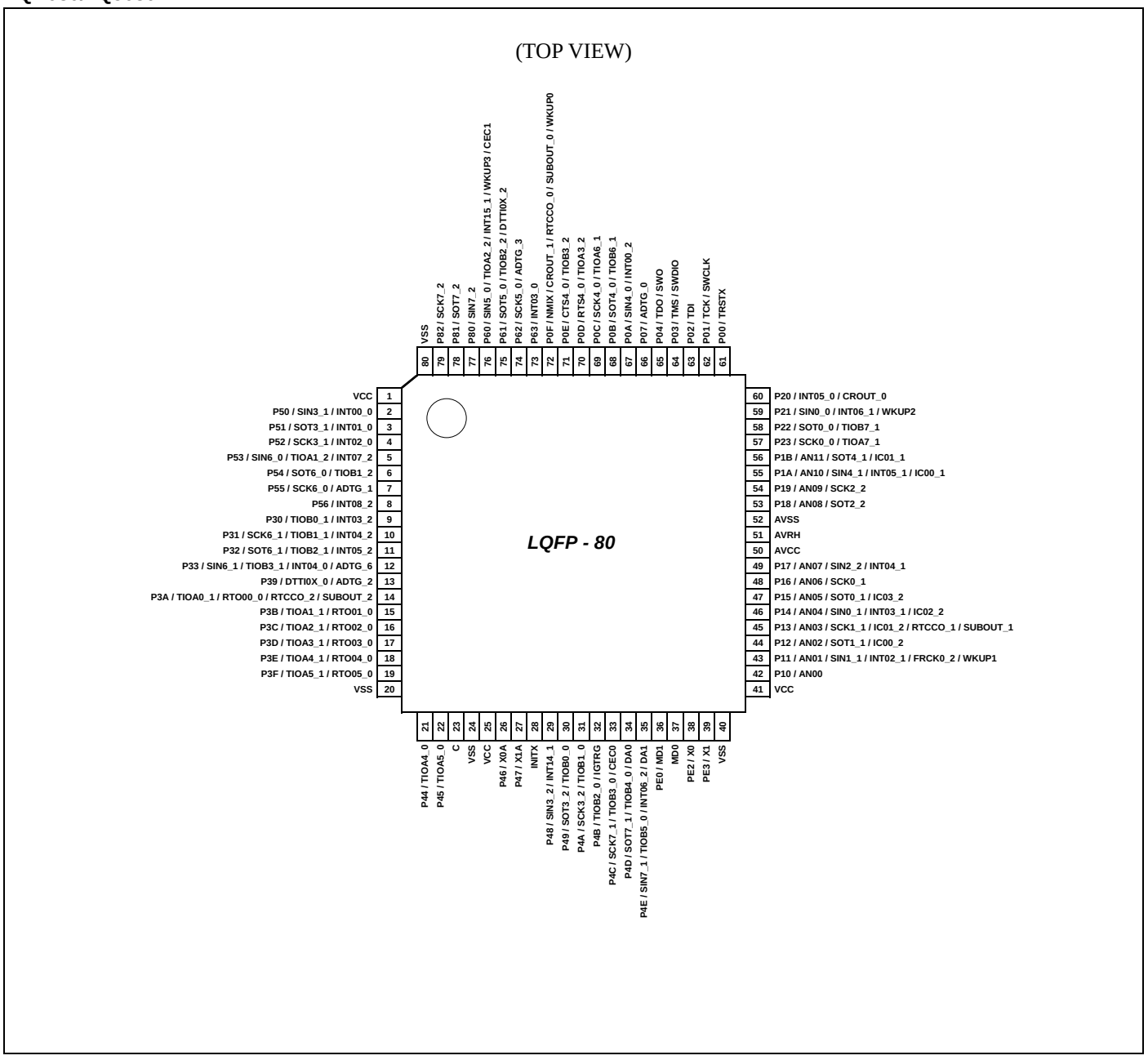
○: 対応

＜注意事項＞

- *各パッケージの詳細は「13. パッケージ・外形寸法図」を参照してください。*

3. 端子配列図

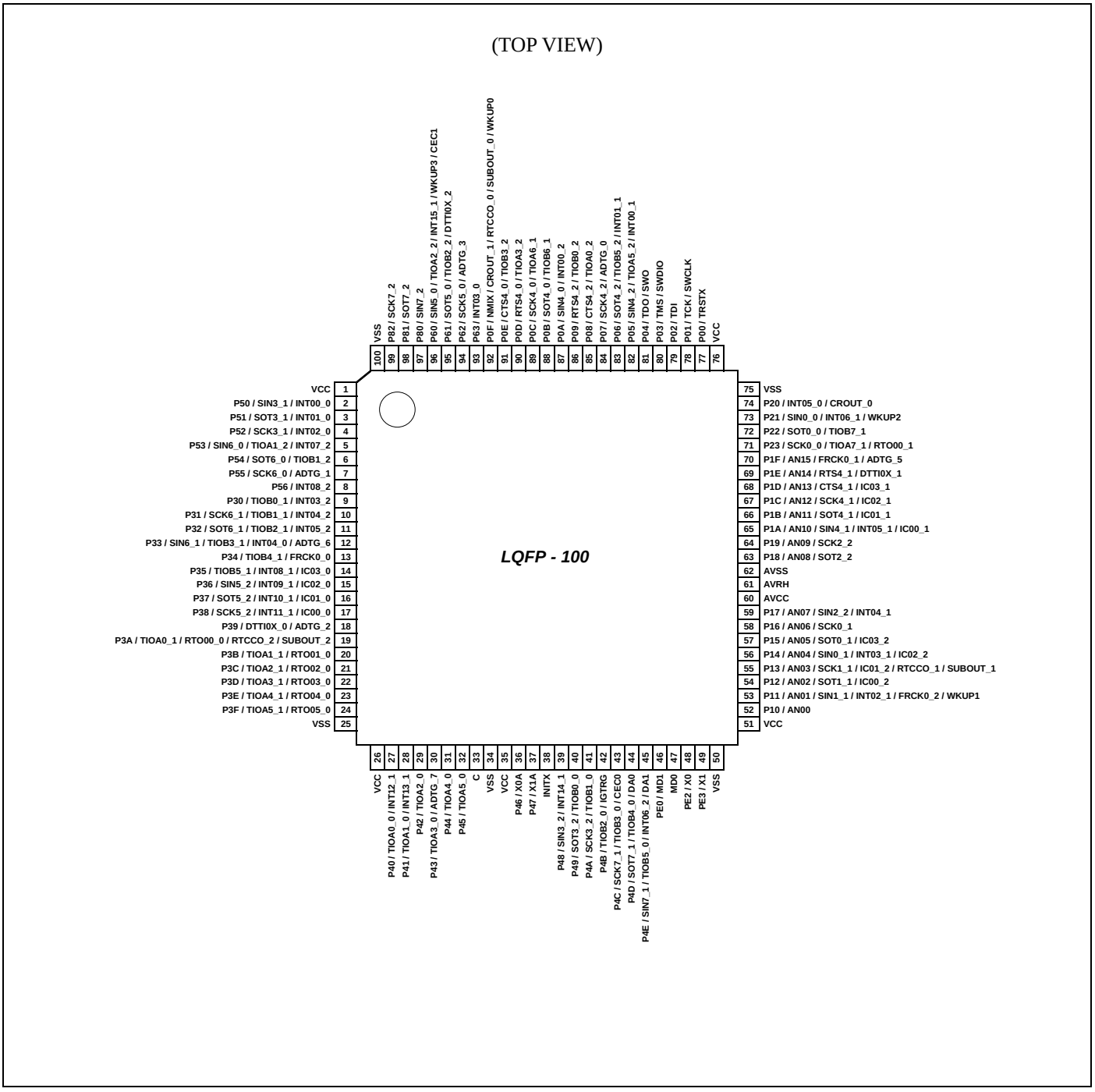
LQH080/LQJ080



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

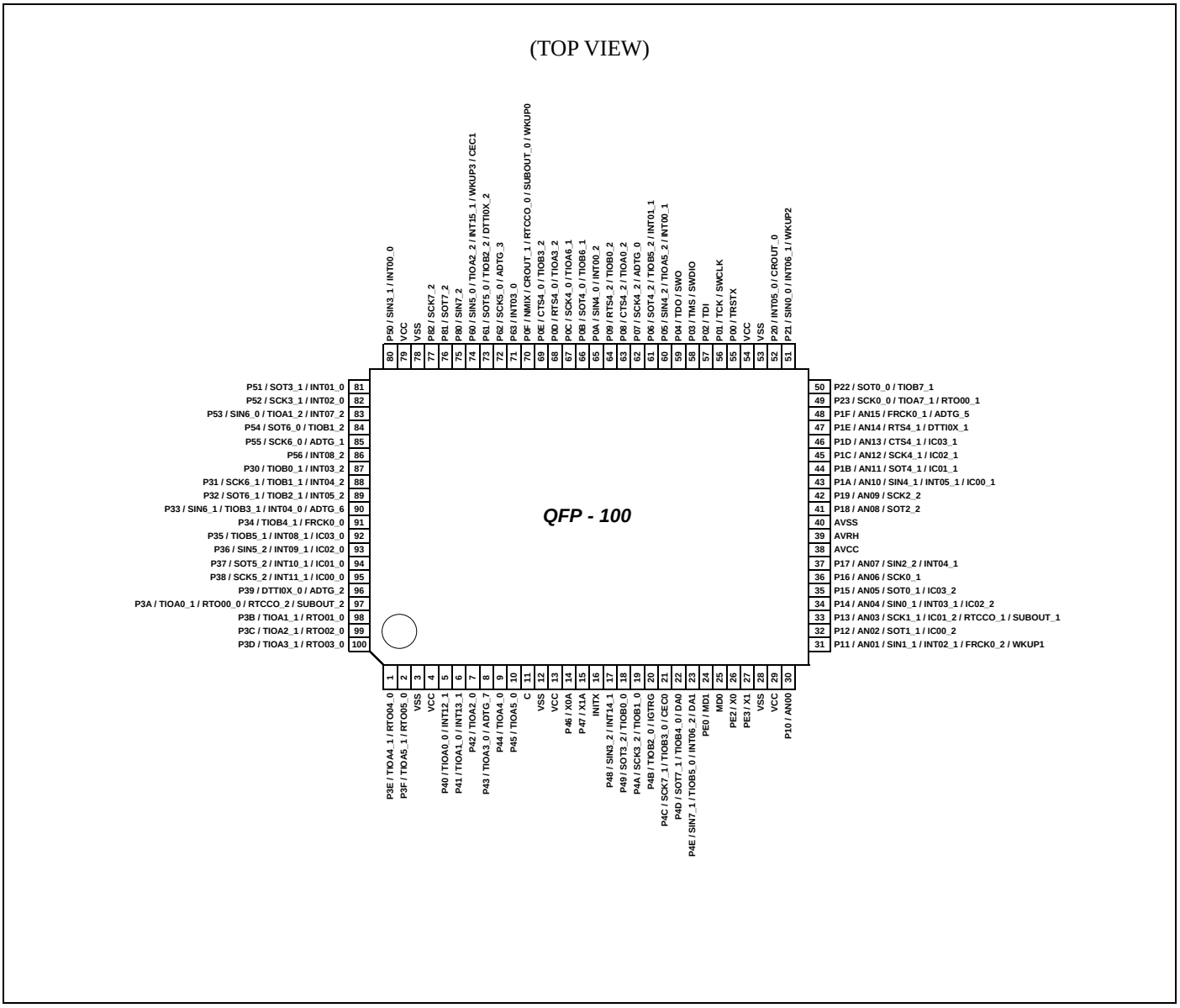
LQI100



＜注意事項＞

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

PQH100



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
1	1	79	VCC	-	
2	2	80	P50 INT00_0 SIN3_1	E	F
3	3	81	P51 INT01_0 SOT3_1 (SDA3_1)	E	F
4	4	82	P52 INT02_0 SCK3_1 (SCL3_1)	E	F
5	5	83	P53 SIN6_0 TIOA1_2 INT07_2	E	F
6	6	84	P54 SOT6_0 (SDA6_0) TIOB1_2	E	H
7	7	85	P55 SCK6_0 (SCL6_0) ADTG_1	E	H
8	8	86	P56 INT08_2	E	O
9	9	87	P30 TIOB0_1 INT03_2	E	F
10	10	88	P31 TIOB1_1 SCK6_1 (SCL6_1) INT04_2	E	F

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
11	11	89	P32 TIOB2_1 SOT6_1 (SDA6_1) INT05_2	E	F
12	12	90	P33 INT04_0 TIOB3_1 SIN6_1 ADTG_6	E	F
-	13	91	P34 FRCK0_0 TIOB4_1	E	H
-	14	92	P35 IC03_0 TIOB5_1 INT08_1	E	F
-	15	93	P36 IC02_0 SIN5_2 INT09_1	E	F
-	16	94	P37 IC01_0 SOT5_2 (SDA5_2) INT10_1	E	F
-	17	95	P38 IC00_0 SCK5_2 (SCL5_2) INT11_1	E	F
13	18	96	P39 DTTI0X_0 ADTG_2	E	H
14	19	97	P3A RTO00_0 (PPG00_0) TIOA0_1 RTCCO_2 SUBOUT_2	E	H
15	20	98	P3B RTO01_0 (PPG00_0) TIOA1_1	E	H

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
16	21	99	P3C RTO02_0 (PPG02_0) TIOA2_1	E	H
17	22	100	P3D RTO03_0 (PPG02_0) TIOA3_1	E	H
-	-	-	VSS	-	
18	23	1	P3E RTO04_0 (PPG04_0) TIOA4_1	E	H
19	24	2	P3F RTO05_0 (PPG04_0) TIOA5_1	E	H
20	25	3	VSS	-	
-	26	4	VCC	-	
-	27	5	P40 TIOA0_0 INT12_1	E	F
-	28	6	P41 TIOA1_0 INT13_1	E	F
-	29	7	P42 TIOA2_0	E	H
-	30	8	P43 TIOA3_0 ADTG_7	E	H
21	31	9	P44 TIOA4_0	E	H
22	32	10	P45 TIOA5_0	E	H
23	33	11	C	-	
24	34	12	VSS	-	
25	35	13	VCC	-	
26	36	14	P46 X0A	D	M
27	37	15	P47 X1A	D	N
28	38	16	INITX	B	C

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
29	39	17	P48 INT14_1 SIN3_2	E	F
30	40	18	P49 TIOB0_0 SOT3_2 (SDA3_2)	E	H
31	41	19	P4A TIOB1_0 SCK3_2 (SCL3_2)	E	H
32	42	20	P4B TIOB2_0 IGTRG	E	H
33	43	21	P4C TIOB3_0 SCK7_1 (SCL7_1) CEC0	G	Q
34	44	22	P4D TIOB4_0 SOT7_1 (SDA7_1) DA0	J	T
35	45	23	P4E TIOB5_0 INT06_2 SIN7_1 DA1	J	S
36	46	24	PE0 MD1	C	P
37	47	25	MD0	H	D
38	48	26	PE2 X0	A	A
39	49	27	PE3 X1	A	B
40	50	28	VSS	-	
41	51	29	VCC	-	
42	52	30	P10 AN00	F	J

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
43	53	31	P11 AN01 SIN1_1 INT02_1 FRCK0_2 WKUP1	F	L
44	54	32	P12 AN02 SOT1_1 (SDA1_1) IC00_2	F	J
45	55	33	P13 AN03 SCK1_1 (SCL1_1) IC01_2 RTCCO_1 SUBOUT_1	F	J
46	56	34	P14 AN04 SIN0_1 INT03_1 IC02_2	F	K
47	57	35	P15 AN05 SOT0_1 IC03_2	F	J
48	58	36	P16 AN06 SCK0_1 (SCL0_1)	F	J
49	59	37	P17 AN07 SIN2_2 INT04_1	F	K
50	60	38	AVCC	-	
51	61	39	AVRH	-	
52	62	40	AVSS	-	
53	63	41	P18 AN08 SOT2_2 (SDA2_2)	F	J

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
54	64	42	P19 AN09 SCK2_2 (SCL2_2)	F	J
55	65	43	P1A AN10 SIN4_1 INT05_1 IC00_1	F	K
56	66	44	P1B AN11 SOT4_1 (SDA4_1) IC01_1	F	J
-	67	45	P1C AN12 SCK4_1 (SCL4_1) IC02_1	F	J
-	68	46	P1D AN13 CTS4_1 IC03_1	F	J
-	69	47	P1E AN14 RTS4_1 DTTI0X_1	F	J
-	70	48	P1F AN15 ADTG_5 FRCK0_1	F	J
57	71	49	P23 SCK0_0 (SCL0_0) TIOA7_1	E	H
-			RTO00_1		
58	72	50	P22 SOT0_0 (SDA0_0) TIOB7_1	E	H
59	73	51	P21 SIN0_0 INT06_1 WKUP2	E	G

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
60	74	52	P20 INT05_0 CROUT_0	E	F
-	75	53	VSS	-	
-	76	54	VCC	-	
61	77	55	P00 TRSTX	E	E
62	78	56	P01 TCK SWCLK	E	E
63	79	57	P02 TDI	E	E
64	80	58	P03 TMS SWDIO	E	E
65	81	59	P04 TDO SWO	E	E
-	82	60	P05 TIOA5_2 SIN4_2 INT00_1	E	F
-	83	61	P06 TIOB5_2 SOT4_2 (SDA4_2) INT01_1	E	F
66	84	62	P07 ADTG_0	E	H
-			SCK4_2 (SCL4_2)		
-	85	63	P08 TIOA0_2 CTS4_2	E	H
-	86	64	P09 TIOB0_2 RTS4_2	E	H
67	87	65	P0A SIN4_0 INT00_2	G	F

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-80	LQFP-100	QFP-100			
68	88	66	P0B	G	H
			SOT4_0 (SDA4_0)		
			TIOB6_1		
69	89	67	P0C	G	H
			SCK4_0 (SCL4_0)		
			TIOA6_1		
70	90	68	P0D	E	H
			RTS4_0		
			TIOA3_2		
71	91	69	P0E	E	H
			CTS4_0		
			TIOB3_2		
72	92	70	P0F	E	I
			NMIX		
			CROUT_1		
			RTCCO_0		
			SUBOUT_0		
			WKUP0		
73	93	71	P63	E	O
			INT03_0		
74	94	72	P62	E	H
			SCK5_0 (SCL5_0)		
			ADTG_3		
75	95	73	P61	E	H
			SOT5_0 (SDA5_0)		
			TIOB2_2		
			DTTI0X_2		
76	96	74	P60	G	R
			SIN5_0		
			TIOA2_2		
			INT15_1		
			WKUP3		
			CEC1		
77	97	75	P80	G	H
			SIN7_2		
78	98	76	P81	G	H
			SOT7_2		
79	99	77	P82	G	H
			SCK7_2		
80	100	78	VSS	-	

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	66	84	62
	ADTG_1		7	7	85
	ADTG_2		13	18	96
	ADTG_3		74	94	72
	ADTG_4		-	-	-
	ADTG_5		-	70	48
	ADTG_6		12	12	90
	ADTG_7		-	30	8
	ADTG_8		-	-	-
	AN00	A/D コンバータ アナログ入力端子。 ANxx は ADC ch.xx を示します。	42	52	30
	AN01		43	53	31
	AN02		44	54	32
	AN03		45	55	33
	AN04		46	56	34
	AN05		47	57	35
	AN06		48	58	36
	AN07		49	59	37
	AN08		53	63	41
	AN09		54	64	42
	AN10		55	65	43
	AN11		56	66	44
	AN12		-	67	45
	AN13		-	68	46
	AN14		-	69	47
	AN15		-	70	48

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	-	27	5
	TIOA0_1		14	19	97
	TIOA0_2		-	85	63
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	30	40	18
	TIOB0_1		9	9	87
	TIOB0_2		-	86	64
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	-	28	6
	TIOA1_1		15	20	98
	TIOA1_2		5	5	83
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	31	41	19
	TIOB1_1		10	10	88
	TIOB1_2		6	6	84
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	-	29	7
	TIOA2_1		16	21	99
	TIOA2_2		76	96	74
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	32	42	20
	TIOB2_1		11	11	89
	TIOB2_2		75	95	73
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	-	30	8
	TIOA3_1		17	22	100
	TIOA3_2		70	90	68
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	33	43	21
	TIOB3_1		12	12	90
	TIOB3_2		71	91	69
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	21	31	9
	TIOA4_1		18	23	1
	TIOA4_2		-	-	-
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	34	44	22
	TIOB4_1		-	13	91
	TIOB4_2		-	-	-
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	22	32	10
	TIOA5_1		19	24	2
	TIOA5_2		-	82	60
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	35	45	23
	TIOB5_1		-	14	92
	TIOB5_2		-	83	61
ベース タイマ 6	TIOA6_1	ベースタイマ ch.6 の TIOA 端子	69	89	67
	TIOB6_1	ベースタイマ ch.6 の TIOB 端子	68	88	66
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	-	-	-
	TIOA7_1		57	71	49
	TIOA7_2		-	-	-
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	-	-	-
	TIOB7_1		58	72	50
	TIOB7_2		-	-	-

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
デバッガ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力端子	62	78	56
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力端子	64	80	58
	SWO	シリアルワイヤビューワ出力端子	65	81	59
	TRSTX	JTAG リセット入力端子	61	77	55
	TCK	JTAG テストクロック入力端子	62	78	56
	TDI	JTAG テストデータ入力端子	63	79	57
	TMS	JTAG テストモード状態入出力端子	64	80	58
	TDO	JTAG デバッグデータ出力端子	65	81	59
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	2	80
	INT00_1		-	82	60
	INT00_2		67	87	65
	INT01_0	外部割込み要求 01 の入力端子	3	3	81
	INT01_1		-	83	61
	INT02_0	外部割込み要求 02 の入力端子	4	4	82
	INT02_1		43	53	31
	INT03_0	外部割込み要求 03 の入力端子	73	93	71
	INT03_1		46	56	34
	INT03_2		9	9	87
	INT04_0	外部割込み要求 04 の入力端子	12	12	90
	INT04_1		49	59	37
	INT04_2		10	10	88
	INT05_0	外部割込み要求 05 の入力端子	60	74	52
	INT05_1		55	65	43
	INT05_2		11	11	89
	INT06_1	外部割込み要求 06 の入力端子	59	73	51
	INT06_2		35	45	23
	INT07_2	外部割込み要求 07 の入力端子	5	5	83
	INT08_1	外部割込み要求 08 の入力端子	-	14	92
	INT08_2		8	8	86
	INT09_1	外部割込み要求 09 の入力端子	-	15	93
	INT10_1	外部割込み要求 10 の入力端子	-	16	94
	INT11_1	外部割込み要求 11 の入力端子	-	17	95
	INT12_1	外部割込み要求 12 の入力端子	-	27	5
	INT13_1	外部割込み要求 13 の入力端子	-	28	6
	INT14_1	外部割込み要求 14 の入力端子	29	39	17
	INT15_1	外部割込み要求 15 の入力端子	76	96	74
	NMIX	ノンマスカブル割込み入力端子	72	92	70

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
GPIO	P00	汎用入出力ポート 0	61	77	55
	P01		62	78	56
	P02		63	79	57
	P03		64	80	58
	P04		65	81	59
	P05		-	82	60
	P06		-	83	61
	P07		66	84	62
	P08		-	85	63
	P09		-	86	64
	P0A		67	87	65
	P0B		68	88	66
	P0C		69	89	67
	P0D		70	90	68
	P0E		71	91	69
	P0F		72	92	70
	P10	汎用入出力ポート 1	42	52	30
	P11		43	53	31
	P12		44	54	32
	P13		45	55	33
	P14		46	56	34
	P15		47	57	35
	P16		48	58	36
	P17		49	59	37
	P18		53	63	41
	P19		54	64	42
	P1A		55	65	43
	P1B		56	66	44
	P1C		-	67	45
	P1D		-	68	46
	P1E		-	69	47
	P1F		-	70	48
	P20	汎用入出力ポート 2	60	74	52
	P21		59	73	51
	P22		58	72	50
	P23		57	71	49

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
GPIO	P30	汎用入出力ポート 3	9	9	87
	P31		10	10	88
	P32		11	11	89
	P33		12	12	90
	P34		-	13	91
	P35		-	14	92
	P36		-	15	93
	P37		-	16	94
	P38		-	17	95
	P39		13	18	96
	P3A		14	19	97
	P3B		15	20	98
	P3C		16	21	99
	P3D		17	22	100
	P3E		18	23	1
	P3F		19	24	2
	P40	汎用入出力ポート 4	-	27	5
	P41		-	28	6
	P42		-	29	7
	P43		-	30	8
	P44		21	31	9
	P45		22	32	10
	P46		26	36	14
	P47		27	37	15
	P48		29	39	17
	P49		30	40	18
	P4A		31	41	19
	P4B		32	42	20
	P4C		33	43	21
	P4D		34	44	22
	P4E		35	45	23
	P50	汎用入出力ポート 5	2	2	80
	P51		3	3	81
	P52		4	4	82
	P53		5	5	83
	P54		6	6	84
	P55		7	7	85
	P56		8	8	86
	P60	汎用入出力ポート 6	76	96	74
	P61		75	95	73
	P62		74	94	72
	P63		73	93	71
	P80	汎用入出力ポート 8	77	97	75
	P81		78	98	76
	P82		79	99	77
	PE0	汎用入出力ポート E	36	46	24
	PE2		38	48	26
	PE3		39	49	27

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
マルチファンクションシリアル0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	59	73	51
	SIN0_1		46	56	34
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT0 として、I²C 端子(動作モード 4)として使用するときは SDA0 として機能します。	58	72	50
	SOT0_1 (SDA0_1)		47	57	35
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK0 として、I²C 端子(動作モード 4)として使用するときは SCL0 として機能します。	57	71	49
	SCK0_1 (SCL0_1)		48	58	36
マルチファンクションシリアル1	SIN1_1	マルチファンクションシリアルインタフェース ch.1 の入力端子	43	53	31
	SOT1_1 (SDA1_1)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT1 として、I²C 端子(動作モード 4)として使用するときは SDA1 として機能します。	44	54	32
	SCK1_1 (SCL1_1)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK1 として、I²C 端子(動作モード 4)として使用するときは SCL1 として機能します。	45	55	33
マルチファンクションシリアル2	SIN2_2	マルチファンクションシリアルインタフェース ch.2 の入力端子	49	59	37
	SOT2_2 (SDA2_2)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT2 として、I²C 端子(動作モード 4)として使用するときは SDA2 として機能します。	53	63	41
	SCK2_2 (SCL2_2)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK2 として、I²C 端子(動作モード 4)として使用するときは SCL2 として機能します。	54	64	42

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
マルチファンクションシリアル3	SIN3_1	マルチファンクションシリアルインタフェース ch.3 の入力端子	2	2	80
	SIN3_2		29	39	17
	SOT3_1 (SDA3_1)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT3 として、I²C 端子(動作モード 4)として使用するときは SDA3 として機能します。	3	3	81
	SOT3_2 (SDA3_2)		30	40	18
	SCK3_1 (SCL3_1)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK3 として、I²C 端子(動作モード 4)として使用するときは SCL3 として機能します。	4	4	82
	SCK3_2 (SCL3_2)		31	41	19
マルチファンクションシリアル4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	67	87	65
	SIN4_1		55	65	43
	SIN4_2		-	82	60
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT4 として、I²C 端子(動作モード 4)として使用するときは SDA4 として機能します。	68	88	66
	SOT4_1 (SDA4_1)		56	66	44
	SOT4_2 (SDA4_2)		-	83	61
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK4 として、I²C 端子(動作モード 4)として使用するときは SCL4 として機能します。	69	89	67
	SCK4_1 (SCL4_1)		-	67	45
	SCK4_2 (SCL4_2)		-	84	62
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	70	90	68
	RTS4_1		-	69	47
	RTS4_2		-	86	64
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	71	91	69
	CTS4_1		-	68	46
	CTS4_2		-	85	63

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
マルチファンクションシリアル5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	76	96	74
	SIN5_2		-	15	93
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT5 として、I²C 端子(動作モード 4)として使用するときは SDA5 として機能します。	75	95	73
	SOT5_2 (SDA5_2)		-	16	94
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK5 として、I²C 端子(動作モード 4)として使用するときは SCL5 として機能します。	74	94	72
	SCK5_2 (SCL5_2)		-	17	95
マルチファンクションシリアル6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	5	5	83
	SIN6_1		12	12	90
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT6 として、I²C 端子(動作モード 4)として使用するときは SDA6 として機能します。	6	6	84
	SOT6_1 (SDA6_1)		11	11	89
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK6 として、I²C 端子(動作モード 4)として使用するときは SCL6 として機能します。	7	7	85
	SCK6_1 (SCL6_1)		10	10	88
マルチファンクションシリアル7	SIN7_1	マルチファンクションシリアルインタフェース ch.7 の入力端子。	35	45	23
	SIN7_2		77	97	75
	SOT7_1 (SDA7_1)	マルチファンクションシリアルインタフェース ch.7 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT7 として、I²C 端子(動作モード 4)として使用するときは SDA7 として機能します。	34	44	22
	SOT7_2 (SDA7_2)		78	98	76
	SCK7_1 (SCL7_1)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK7 として、I²C 端子(動作モード 4)として使用するときは SCL7 として機能します。	33	43	21
	SCK7_2 (SCL7_2)		79	99	77

端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
多機能タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00～RTO05 出力を制御する波形ジェネレータの入力信号	13	18	96
	DTTI0X_1		-	69	47
	DTTI0X_2		75	95	73
	FRCK0_0	16 ビットフリーランタイマ ch.0 の外部クロック入力端子	-	13	91
	FRCK0_1		-	70	48
	FRCK0_2		43	53	31
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャネル数を示します。	-	17	95
	IC00_1		55	65	43
	IC00_2		44	54	32
	IC01_0		-	16	94
	IC01_1		56	66	44
	IC01_2		45	55	33
	IC02_0		-	15	93
	IC02_1		-	67	45
	IC02_2		46	56	34
	IC03_0		-	14	92
	IC03_1		-	68	46
	IC03_2		47	57	35
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	14	19	97
	RTO00_1 (PPG00_1)		-	71	49
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	15	20	98
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	16	21	99
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	17	22	100
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	18	23	1
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	19	24	2
	IGTRG	PPG IGBT モード外部トリガ入力端子	32	42	20

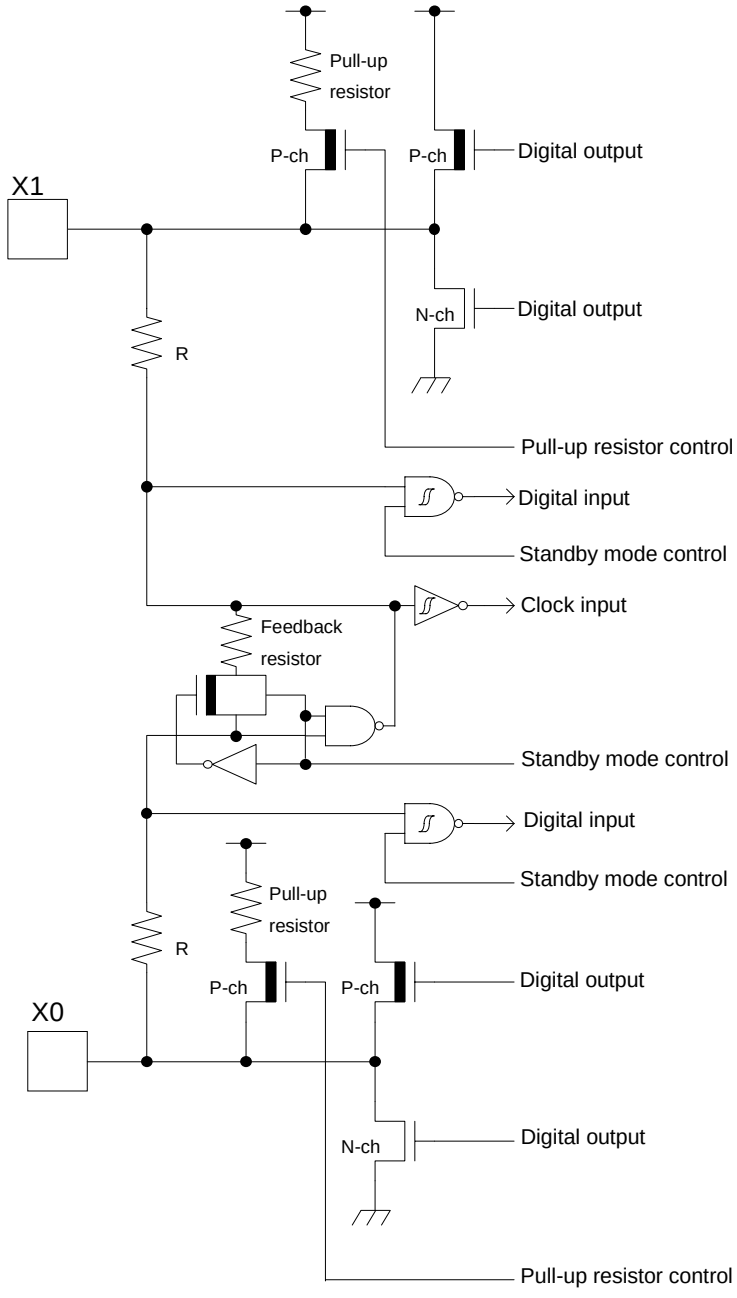
端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
リアルタイムクロック	RTCCO_0	リアルタイムクロックのパルス出力端子	72	92	70
	RTCCO_1		45	55	33
	RTCCO_2		14	19	97
	SUBOUT_0	サブクロック出力端子	72	92	70
	SUBOUT_1		45	55	33
	SUBOUT_2		14	19	97
低消費電力モード	WKUP0	ディープスタンバイモード復帰信号入力端子 0	72	92	70
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	43	53	31
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	59	73	51
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	76	96	74
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端子	34	44	22
	DA1	D/A コンバータ ch.1 のアナログ出力端子	35	45	23
HDMI-CEC/リモコン受信	CEC0	HDMI-CEC/リモコン受信 ch.0 の入出力端子	33	43	21
	CEC1	HDMI-CEC/リモコン受信 ch.1 の入出力端子	76	96	74
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効です。	28	38	16
Mode	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。 フラッシュメモリのシリアル書込み時は、 MD0=H を入力してください。	37	47	25
	MD1	モード 1 端子。 通常動作時は、入力不要です。 フラッシュメモリのシリアル書込み時は、 MD1=L を入力してください。	36	46	24
Power	VCC	電源端子	1	1	79
			-	26	4
			25	35	13
			41	51	29
			-	76	54

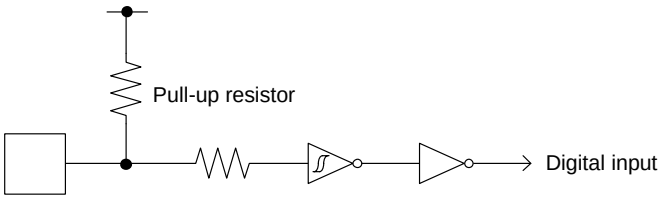
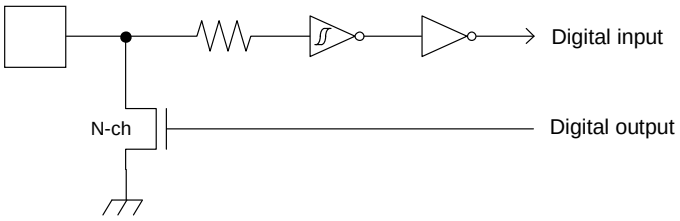
端子機能	端子名	機能説明	端子番号		
			LQFP-80	LQFP-100	QFP-100
GND	VSS	GND 端子	20	25	3
			24	34	12
			40	50	28
			-	75	53
			80	100	78
Clock	X0	メインクロック(発振)入力端子	38	48	26
	X0A	サブクロック(発振)入力端子	26	36	14
	X1	メインクロック(発振) I/O 端子	39	49	27
	X1A	サブクロック(発振) I/O 端子	27	37	15
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	60	74	52
	CROUT_1		72	92	70
Analog Power	AVCC	A/D コンバータ, D/A コンバータのアナログ電源端子	50	60	38
	AVRH	A/D コンバータのアナログ基準電圧入力端子	51	61	39
Analog GND	AVSS	A/D コンバータ, D/A コンバータの GND 端子	52	62	40
C 端子	C	電源安定化容量端子	23	33	11

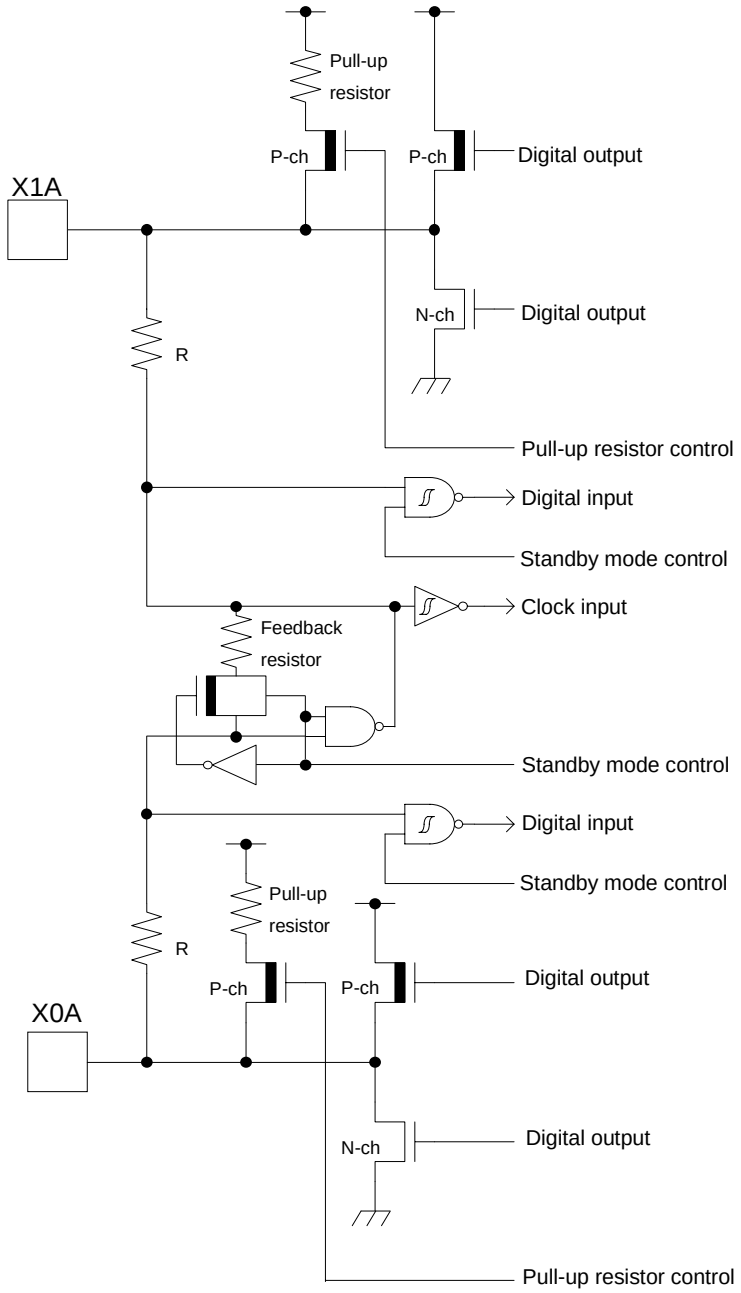
＜注意事項＞

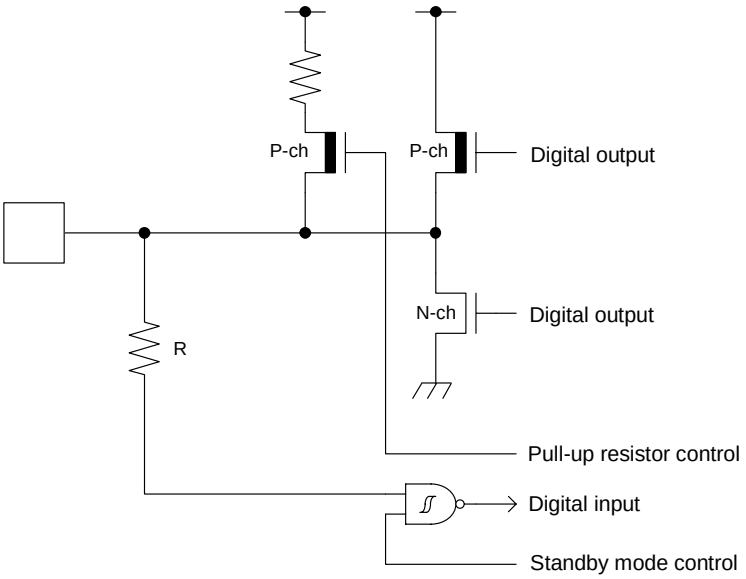
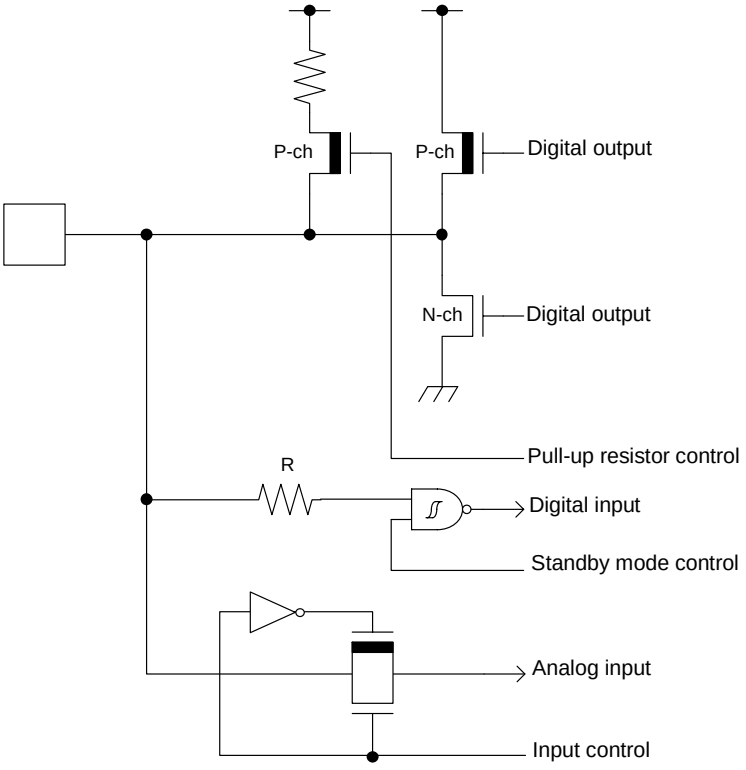
- *本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。*

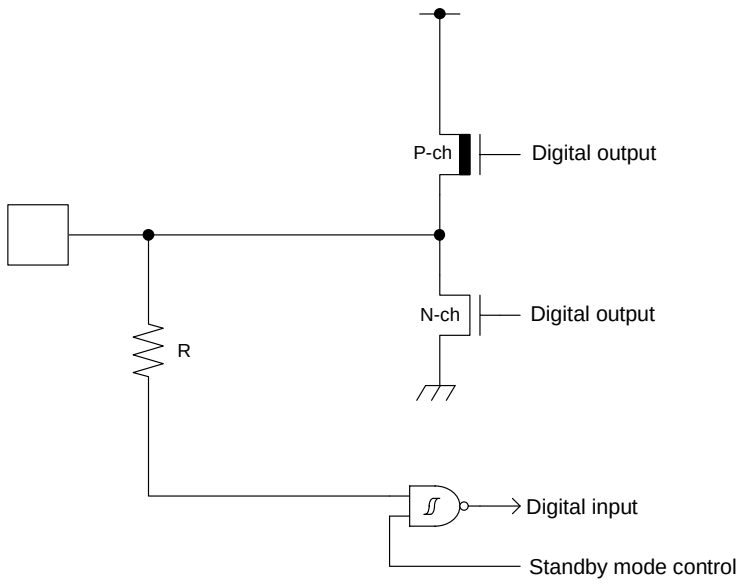
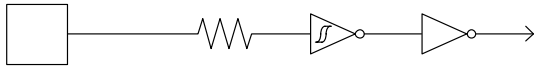
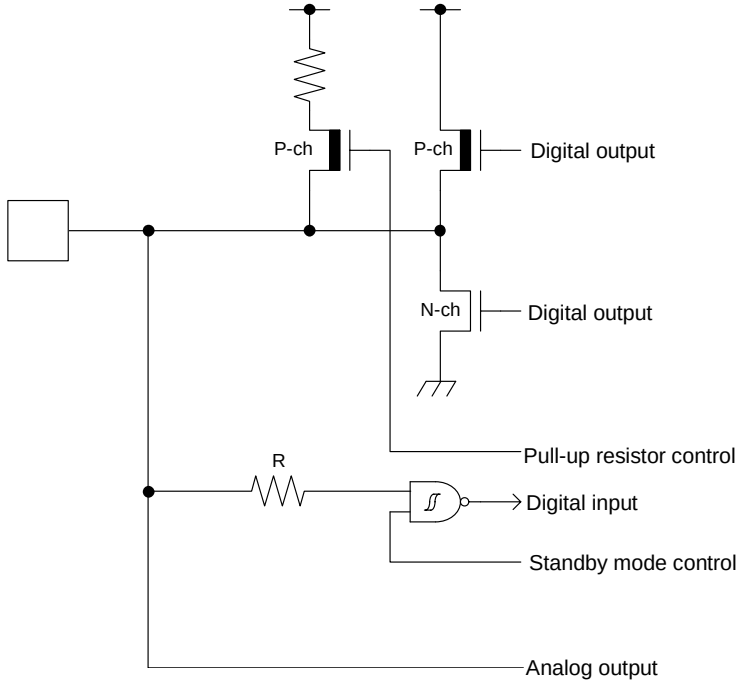
5. 入出力回路形式

分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 ■発振帰還抵抗: 約 1 MΩ ■スタンバイ制御あり GPIO 機能選択時 ■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■プルアップ抵抗制御あり ■スタンバイ制御あり ■プルアップ抵抗: 約 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
B		■CMOS レベルヒステリシス入力 ■プルアップ抵抗: 約 50 kΩ
C		■オープンドレイン出力 ■CMOS レベルヒステリシス入力

分類	回路	備考
D		サブ発振/GPIO 切換え可能 サブ発振機能選択時 ■発振帰還抵抗: 約 5 MΩ ■スタンバイ制御あり GPIO 機能選択時 ■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■プルアップ抵抗制御あり ■スタンバイ制御あり ■プルアップ抵抗: 約 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
E		■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■プルアップ抵抗制御あり ■スタンバイ制御あり ■プルアップ抵抗: 約 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■I^2C 端子として使用するとき、デジタル出力P-chトランジスタは常にオフです。
F		■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■入力制御あり ■アナログ入力 ■プルアップ抵抗制御あり ■スタンバイ制御あり ■プルアップ抵抗: 約 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■I^2C 端子として使用するとき、デジタル出力P-chトランジスタは常にオフです。

分類	回路	備考
G		■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■スタンバイ制御あり ■5 V トレラント入力 ■I_{OH} = -4 mA, I_{OL} = 4 mA ■PZR レジスタ制御可能 P0B, P0C, P4C, P60, P81, P82 のみ ■I^2C 端子として使用するとき、デジタル出力P-ch トランジスタは常にオフです。
H		CMOS レベルヒステリシス入力
J		■CMOS レベル出力 ■CMOS レベルヒステリシス入力 ■入力制御あり ■アナログ出力 ■プルアップ抵抗制御あり ■スタンバイ制御あり ■プルアップ抵抗: 約 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■I^2C 端子として使用するとき、デジタル出力P-ch トランジスタは常にオフです。

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件，環境条件など)によっても大きく左右されます。
以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧，電流，温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目，使用条件，論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止
   各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。
2. 出力端子の保護
   出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。
3. 未使用入力端子の処理
   インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ，サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様は、装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御，航空機自動飛行制御,航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途 (海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は,当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。
ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ~ 70%RH にしてください。
   除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア, 半田槽, 半田ゴテ, および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具, 計器類は, 接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。
このような場合、帯電の防止または放電の防止の処置をお願いします。

腐食性ガス, 塵埃, 油

腐食性ガス雰囲気中や、塵埃, 油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

放射線・宇宙線

一般のデバイスは、設計上、放射線, 宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1 µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1 V/µs 以下にしてください。

水晶発振回路について

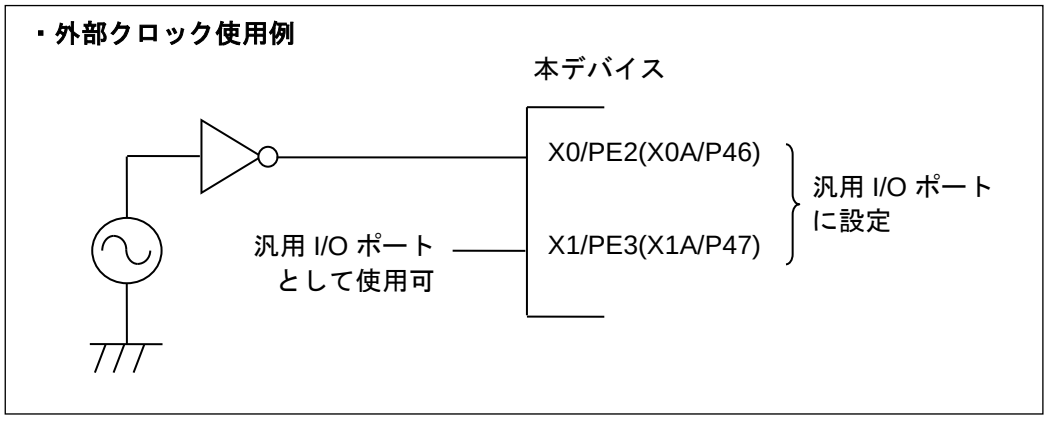
X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

外部クロック使用時の注意

外部クロックを使用する場合は、汎用 I/O ポートに設定し X0/PE2, X0A/P46 端子にクロック入力してください。

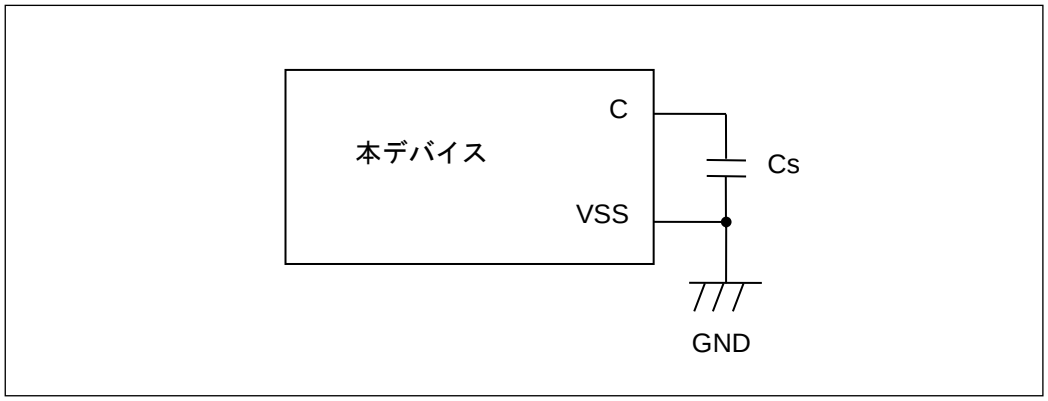


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_S)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。
本シリーズでは 4.7 µF 程度の平滑コンデンサを推奨します。



モード端子(MD0, MD1)について

モード端子(MD0, MD1)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。
なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH
切断時: AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

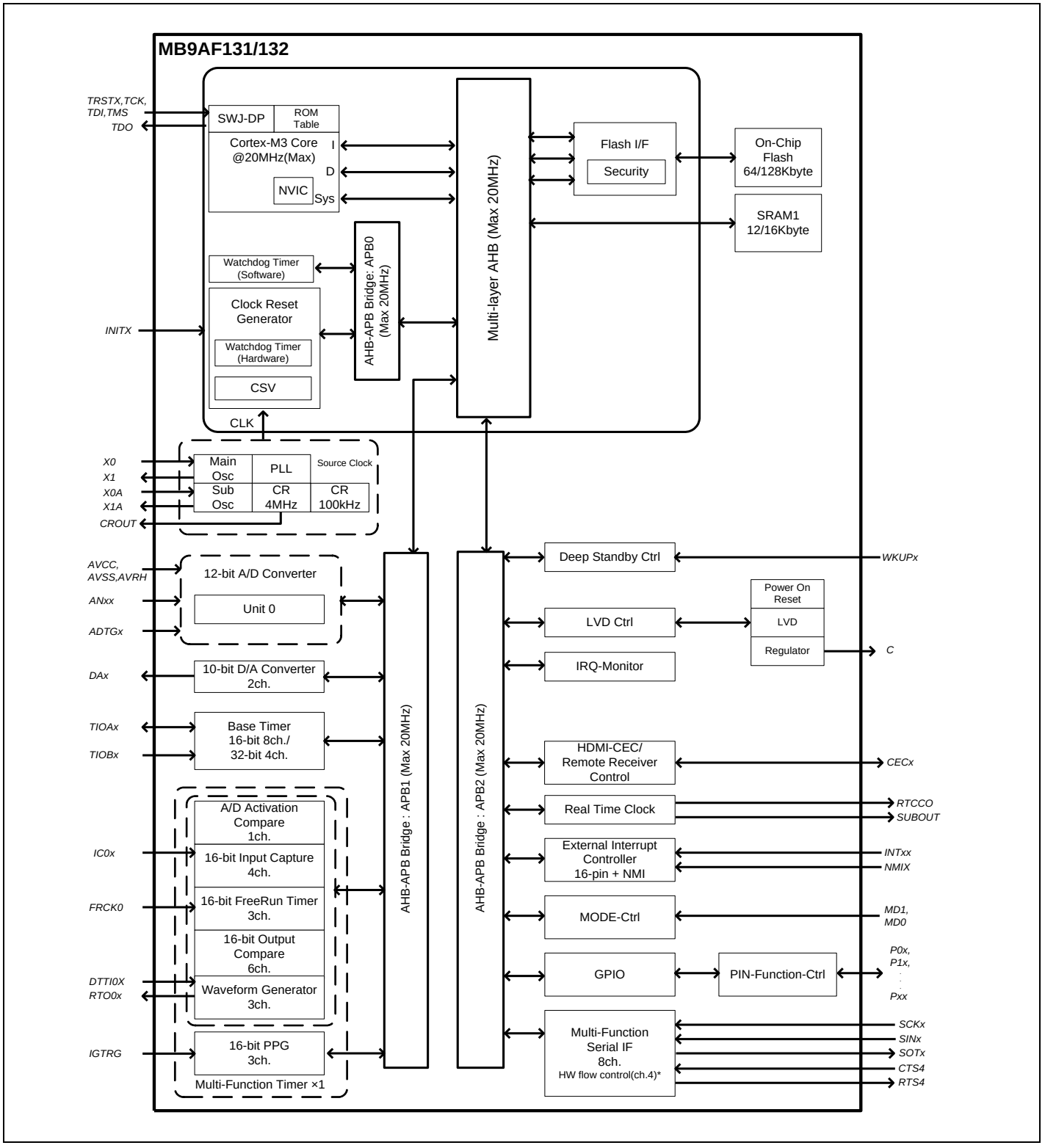
また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

8. ブロックダイヤグラム

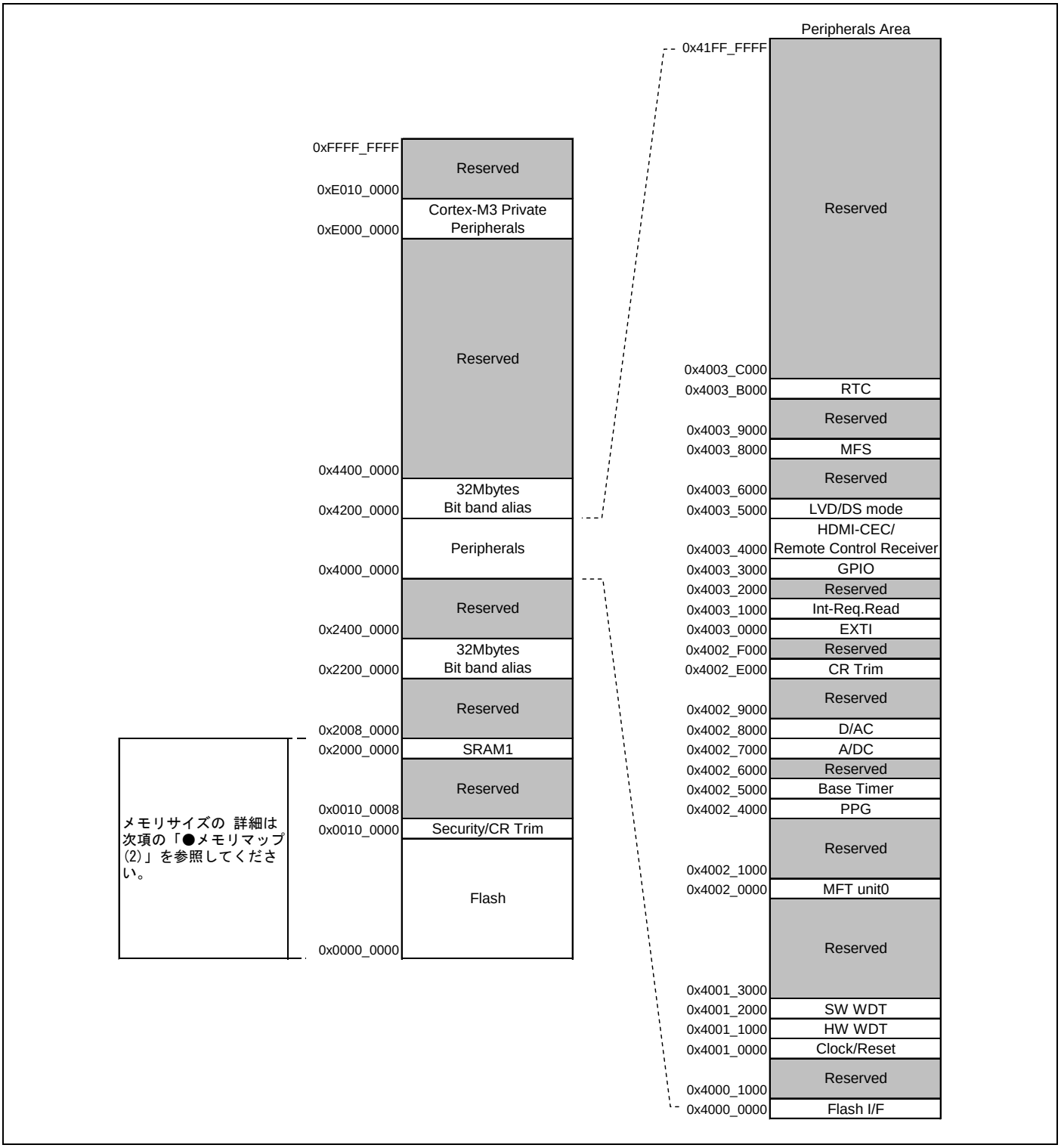


9. メモリサイズ

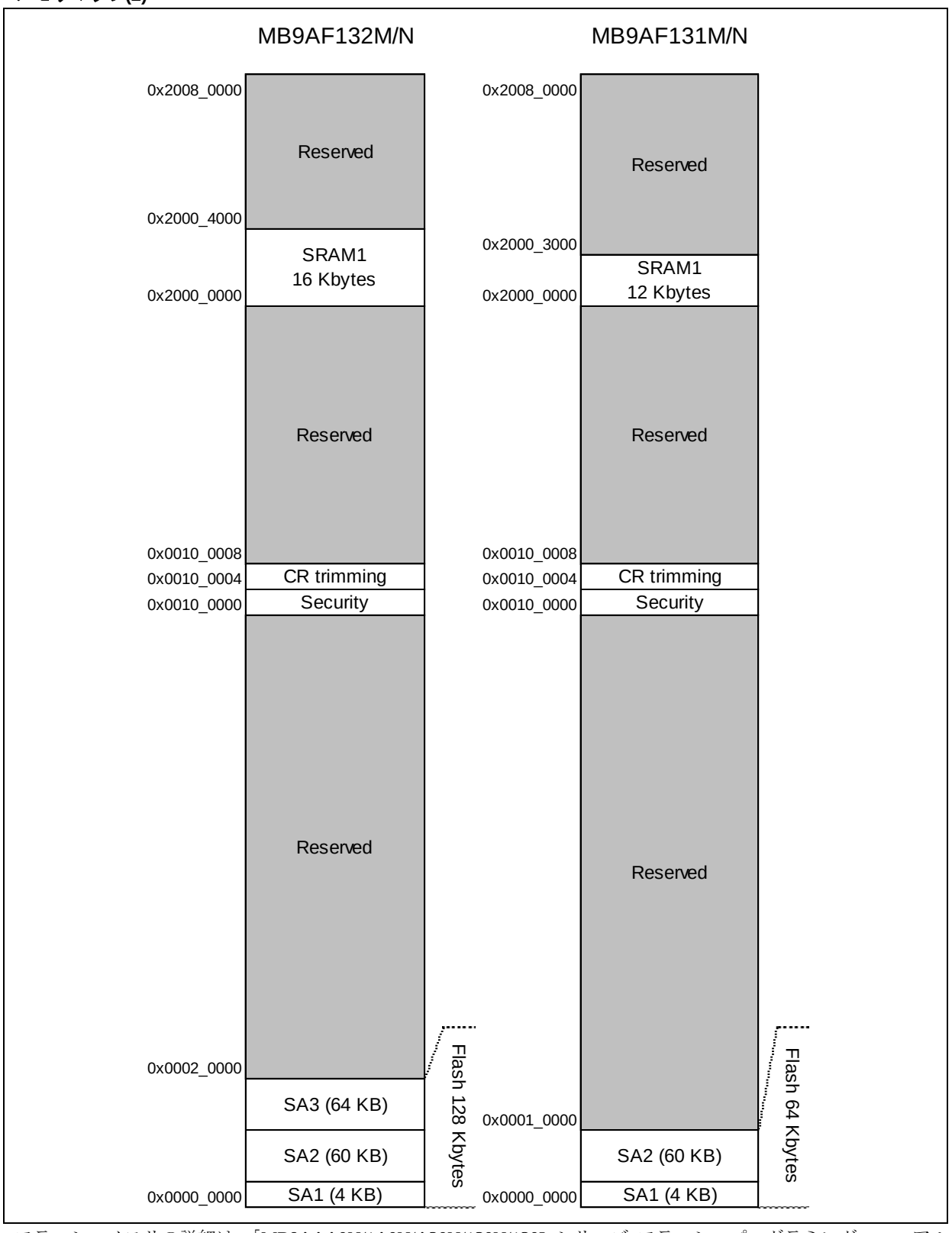
メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

9.1 メモリマップ

メモリマップ(1)



メモリマップ(2)



フラッシュメモリの詳細は、「MB9AAA0N/1A0N/A30N/130N/130L シリーズ フラッシュプログラミングマニュアル」を参照してください。

ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		予約
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ unit0
0x4002_1000	0x4002_1FFF		予約
0x4002_2000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		予約
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_8FFF		D/A コンバータ
0x4002_9000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		HDMI-CEC/リモコン受信
0x4003_5000	0x4003_50FF		低電圧検出
0x4003_5100	0x4003_5FFF		ディープスタンバイ制御部
0x4003_6000	0x4003_6FFF		予約
0x4003_7000	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		予約
0x4003_A000	0x4003_AFFF		予約
0x4003_B000	0x4003_BFFF		リアルタイムクロック
0x4003_C000	0x4003_FFFF		予約

スタートアドレス	エンドアドレス	バス	周辺機能
0x4004_0000	0x4004_FFFF	AHB	予約
0x4005_0000	0x4005_FFFF		予約
0x4006_0000	0x4006_0FFF		予約
0x4006_1000	0x4006_1FFF		予約
0x4006_2000	0x4006_2FFF		予約
0x4006_3000	0x4006_3FFF		予約
0x4006_4000	0x41FF_FFFF		予約

10. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	メイン水晶発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	外部メインクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持/発振停止時*1は出力直前状態保持/内部入力"0"固定	Hi-Z/入力可 発振停止時*1はHi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持
B	メイン水晶発振出力端子	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*1はHi-Z/内部入力"0"固定
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持
C	INITX 入力端子	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	JTAG 選択時	Hi-Z	プルアップ/入力可	プルアップ/入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力"0"固定		Hi-Z/内部入力"0"固定	
F	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	外部割込み許可選択時	設定不可	設定不可	設定不可			直前状態保持	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
H	リソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
I	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定			
	GPIO 選択時									直前状態保持
J	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
K	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
L	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	外部割込み許可選択時						直前状態保持	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
M	サブ水晶発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	外部サブクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持/発振停止時[*2]は出力直前状態保持/内部入力"0"固定	Hi-Z/入力可発振停止時[*2]はHi-Z/内部入力"0"固定	直前状態保持/発振停止時[*2]は出力直前状態保持/内部入力"0"固定	Hi-Z/入力可発振停止時[*2]はHi-Z/内部入力"0"固定	直前状態保持/ディープスタンバイストップモードからの復帰時はGPIO 選択
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
N	サブ水晶発振出力端子	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持
O	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択/内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定	出力直前状態保持/内部入力"0"固定		直前状態保持
P	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/入力可	直前状態保持	Hi-Z/入力可	直前状態保持
Q	CEC 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
R	CEC 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	外部割込み許可選択時						直前状態保持	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
S	アナログ出力選択時	設定不可	設定不可	設定不可	直前状態保持	*3	*4	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	外部割込み許可選択時	設定不可	設定不可	設定不可		直前状態保持	直前状態保持			
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持
T	アナログ出力選択時	設定不可	設定不可	設定不可	直前状態保持	*3	*4	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	リソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可		直前状態保持	Hi-Z/内部入力"0"固定			
	GPIO 選択時							出力直前状態保持/内部入力"0"固定		直前状態保持

*1: サブランモード, 低速 CR ランモード, サブスリープモード, 低速 CR スリープモード, サブタイマモード, 低速 CR タイマモード, RTC モード,ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: ストップモード, ディープスタンバイストップモードは発振が停止します。

*3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力"0"固定です。

*4: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力"0"固定です。

11. 電気的特性

11.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ電源電圧*1,*3	AV_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ基準電圧*1,*3	AVRH	V_{SS} - 0.5	V_{SS} + 6.5	V	
入力電圧*1	V_I	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5 V)	V	
		V_{SS} - 0.5	V_{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V_{IA}	V_{SS} - 0.5	AV_{CC} + 0.5 (≦6.5 V)	V	
出力電圧*1	V_O	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5 V)	V	
"L" レベル最大出力電流*4	I_{OL}	-	10	mA	
"L" レベル平均出力電流*5	I_{OLAV}	-	4	mA	
"L" レベル最大総出力電流	$\sum I_{OL}$	-	100	mA	
"L" レベル平均総出力電流*6	$\sum I_{OLAV}$	-	50	mA	
"H" レベル最大出力電流*4	I_{OH}	-	- 10	mA	
"H" レベル平均出力電流*5	I_{OHAV}	-	- 4	mA	
"H" レベル最大総出力電流	$\sum I_{OH}$	-	- 100	mA	
"H" レベル平均総出力電流*6	$\sum I_{OHAV}$	-	- 50	mA	
消費電力	P_D	-	400	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS} = 0$ V を基準にした値です。
*2: V_{CC} は V_{SS} - 0.5 V より低くなってはいけません。
*3: 電源投入時など V_{CC} + 0.5 V を超えないようにしてください。
*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。
*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。
*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

＜注意事項＞

- *絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。*

11.2 推奨動作条件

(V_{SS} = AV_{SS} = 0.0V)

項目		記号	条件	規格値		単位	備考
				最小	最大		
電源電圧		V_{CC}	-	1.8	5.5	V	
アナログ電源電圧		AV_{CC}	-	1.8	5.5	V	AV_{CC} = V_{CC}
アナログ基準電圧		AVRH	-	2.7	AV_{CC}	V	AV_{CC}≧2.7 V
				AV_{CC}			AV_{CC} < 2.7 V
平滑コンデンサ容量		C_S	-	1	10	µF	内蔵レギュレータ用*
動作温度	LQH080, LQJ080, LQI100, PQH100	T_A	-	- 40	+ 85	°C	

*: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

＜注意事項＞

- *推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。*
  データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。
  記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

11.3 直流規格

11.3.1 電流規格

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件		規格値		単位	備考
					標準*3	最大*4		
電源電流	I_{CC}	VCC	PLL ランモード	CPU: 20 MHz, 周辺: 20 MHz, フラッシュメモリ 0 Wait FRWTR.RWT = 00, FSYNDN.SD = 000	19	24	mA	*1, *5
				CPU: 20 MHz, 周辺: クロック停止, NOP 動作	9.5	12.5	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2 フラッシュメモリ 0 Wait FRWTR.RWT = 00, FSYNDN.SD = 000	4.5	5.5	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz フラッシュメモリ 0 Wait FRWTR.RWT = 00, FSYNDN.SD = 000	0.25	0.55	mA	*1, *6
			低速 CR ランモード	CPU/周辺: 100 kHz フラッシュメモリ 0 Wait FRWTR.RWT = 00, FSYNDN.SD = 000	0.3	0.95	mA	*1
	I_{CCS}		PLL スリープモード	周辺: 20 MHz	8	10.5	mA	*1, *5
			高速 CR スリープモード	周辺: 4 MHz*2	2	2.5	mA	*1
			サブ スリープモード	周辺: 32 kHz	0.2	0.45	mA	*1, *6
			低速 CR スリープモード	周辺: 100 kHz	0.25	0.65	mA	*1

*1: 全ポート固定時
*2: トリミングにて 4 MHz に設定した場合
*3: T_A=+25°C, V_{CC}=3.3 V
*4: T_A=+85°C, V_{CC}=5.5 V
*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)
*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

項目	記号	端子名	条件		規格値		単位	備考
					標準*2	最大*3		
電源電流	I_{CCT}	VCC	メイン タイマモード	T_A = + 25°C, LVD off 時	0.9	3.3	mA	*1, *4
				T_A = + 85°C, LVD off 時	1.5	3.5	mA	*1, *4
	I_{CCT}		サブ タイマモード	T_A = + 25°C, LVD off 時	7.5	60	µA	*1, *5
				T_A = + 85°C, LVD off 時	16	150	µA	*1, *5
	I_{CCR}		RTC モード	T_A = + 25°C, LVD off 時	1.5	6.5	µA	*1, *5
				T_A = + 85°C, LVD off 時	6	89	µA	*1, *5
	I_{CCH}		ストップモード	T_A = + 25°C, LVD off 時	0.6	5	µA	*1
				T_A = + 85°C, LVD off 時	4.2	87	µA	*1
	I_{CCRD}		ディープ スタンバイ RTC モード	T_A = + 25°C, LVD off 時	1.3	4.5	µA	*1, *5
				T_A = + 85°C, LVD off 時	3	32	µA	*1, *5
	I_{CCHD}		ディープ スタンバイ ストップモード	T_A = + 25°C, LVD off 時	0.4	3	µA	*1
				T_A = + 85°C, LVD off 時	1.4	30	µA	*1

*1: 全ポート固定時
*2: V_{CC}=3.3 V
*3: V_{CC}=5.5 V
*4: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)
*5: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準*	最大		
低電圧検出回路(LVD)電源電流	I_{CCLVD}	VCC	リセット発生用動作時または割込み発生用通常モード動作時	10	20	µA	未検出時
			リセット発生用動作時かつ割込み発生用通常モード動作時	14	30	µA	
			割込み発生用ローパワーモード動作時	0.3	2	µA	未検出時

*: V_{CC}=3.3 V 時

フラッシュメモリ電流

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ書込み/消去電流	$I_{CCFLASH}$	VCC	書込み/消去時	10.8	11.9	mA	

A/D コンバータ電流

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I_{CCAD}	AVCC	A/D 1unit 動作時	1.4	2.5	mA	
			A/D 停止時	0.1	0.35	µA	
基準電源電流	I_{CCAVRH}	AVRH	A/D 1unit 動作時 AVRH=5.5 V	0.5	1.5	mA	
			A/D 停止時	0.1	0.3	µA	

D/A コンバータ電流

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I_{DDA}	AVCC	D/A 1ch.動作時 AV_{CC} = 3.3 V	314	440	µA	*1, *2
			D/A 1ch.動作時 AV_{CC} = 5.0 V	476	670	µA	*1, *2
	I_{DSA}		D/A 停止時	-	1.0	µA	*1

*1: 無負荷時

*2: 0x200 設定時に電流最大

11.3.2 端子特性

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル入力電圧 (ヒステリシス入力)	V_{IHS}	MD0, MD1, PE0, PE2, PE3, P46, P47, P3A, P3B, P3C, P3D, P3E, P3F, INITX	-	V_{CC} ×0.8	-	V_{CC} + 0.3	V	
		P0A, P0B, P0C, P4C,P60, P80, P81, P82	-	V_{CC} ×0.7	-	V_{SS} +5.5	V	5V トレラント
		上記以外の CMOS ヒステリシス入力端子	-	V_{CC} ×0.7	-	V_{CC} +0.3	V	
"L"レベル入力電圧 (ヒステリシス入力)	V_{ILS}	MD0, MD1, PE0, PE2, PE3, P46, P47, INITX	-	V_{SS} - 0.3	-	V_{CC} ×0.2	V	
		上記以外の CMOS ヒステリシス入力端子	-	V_{SS} - 0.3	-	V_{CC} ×0.3	V	
"H"レベル出力電圧	V_{OH}	Pxx	V_{CC}≧4.5 V, I_{OH} = - 4 mA	V_{CC} - 0.5	-	V_{CC}	V	
			V_{CC}＜4.5 V, I_{OH} = - 1 mA					
"L"レベル出力電圧	V_{OL}	Pxx	V_{CC}≧4.5 V, I_{OL} = 4 mA	V_{SS}	-	0.4	V	
			V_{CC}＜4.5 V, I_{OL} = 2 mA					
入力リーク電流	I_{IL}	-	-	- 5	-	+ 5	µA	
		CEC0, CEC1	V_{CC} = AV_{CC} = AVRH = V_{SS} = AV_{SS} = 0.0 V	-	-	+1.8	µA	
プルアップ抵抗値	R_{PU}	プルアップ端子	V_{CC}≧4.5 V	25	50	100	kΩ	
			V_{CC}＜4.5 V	40	100	400		
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

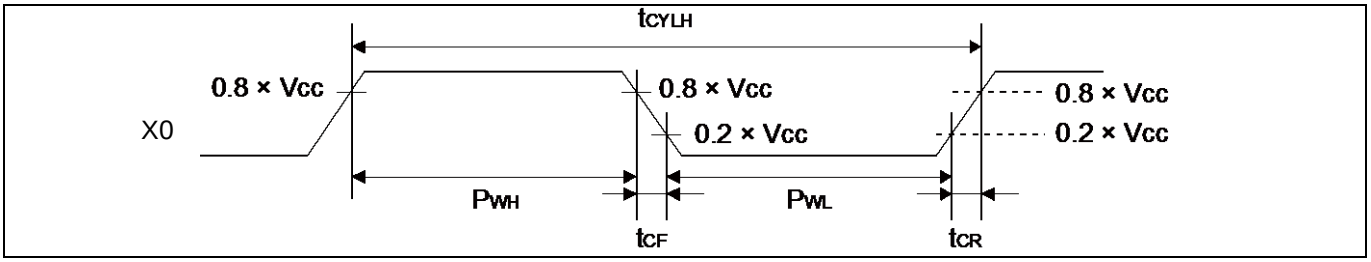
11.4 交流規格

11.4.1 メインクロック入力規格

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CH}	X0, X1	V_{CC}≧2.0 V	4	20	MHz	水晶発振子接続時
			V_{CC}< 2.0 V	4	4	MHz	
			V_{CC}≧4.5 V	4	20	MHz	外部クロック時
			V_{CC}< 4.5 V	4	16	MHz	
入力クロック周期	t_{CYLH}		V_{CC}≧4.5 V	50	250	ns	外部クロック時
			V_{CC}< 4.5 V	62.5	250	ns	
入力クロック パルス幅	-		P_{WH}/t_{CYLH} P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック 立上り，立下り時間	t_{CF}, t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	f_{CM}	-	-	-	20	MHz	マスタクロック
	f_{CC}	-	-	-	20	MHz	ベースクロック (HCLK/FCLK)
	f_{CP0}	-	-	-	20	MHz	APB0 バスクロック*2
	f_{CP1}	-	-	-	20	MHz	APB1 バスクロック*2
	f_{CP2}	-	-	-	20	MHz	APB2 バスクロック*2
内部動作クロック*1 サイクル時間	t_{CYCC}	-	-	50	-	ns	ベースクロック (HCLK/FCLK)
	t_{CYCP0}	-	-	50	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	50	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	50	-	ns	APB2 バスクロック*2

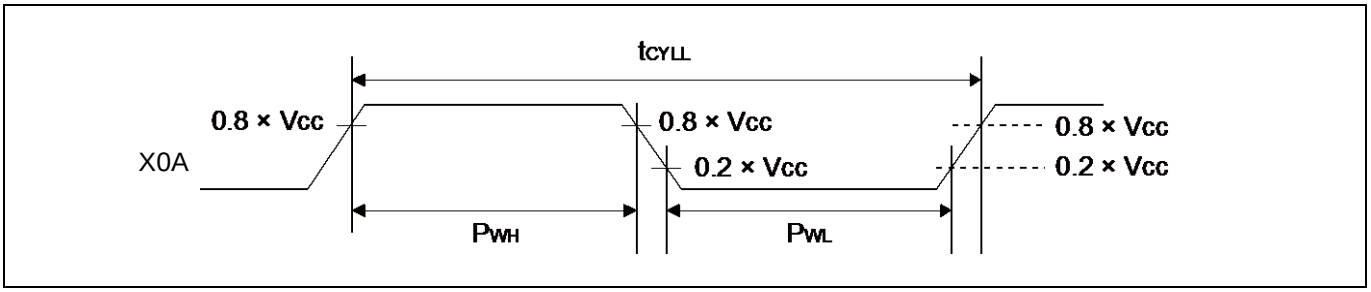
*1: 各内部動作クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。
*2: 各ペリフェラルが接続されている APB バスについては「8. ブロックダイヤグラム」を参照してください。



11.4.2 サブクロック入力規格

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	f_{CL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	µs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL}, P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時



11.4.3 内蔵 CR 発振規格

内蔵高速 CR

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	条件		規格値			単位	備考
				最小	標準	最大		
クロック周波数	f_{CRH}	V_{CC}≧2.2 V	T_A = + 25°C	3.92	4	4.08	MHz	トリミング時*
			T_A = - 40°C～ + 85°C	3.8	4	4.2		
			T_A = - 40°C～ + 85°C	2.3	-	7.03		非トリミング時
		V_{CC} <2.2 V	T_A = + 25°C	3.4	4	4.6	MHz	トリミング時*
			T_A = - 40°C～ + 85°C	3.16	4	4.84		
			T_A = - 40°C～ + 85°C	2.3	-	7.03		非トリミング時

*: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値に使用した場合

内蔵低速 CR

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

11.4.4 メインPLL の使用条件（PLL の入力クロックにメインクロックを使用）

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	200	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	4	-	20	MHz	
PLL 逓倍率	-	1	-	5	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	10	-	20	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	20	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2:メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

11.4.5 メインPLL の使用条件（メインPLL の入力クロックに内蔵高速CR クロックを使用）

(V_{CC} = 2.2V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	200	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	3.8	4	4.2	MHz	
PLL 逓倍率	-	3	-	4	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	11.4	-	16.8	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	16.8	MHz	

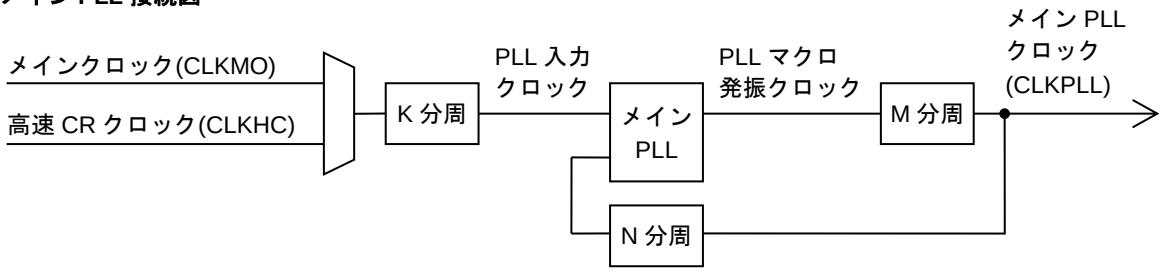
*1: PLL の発振が安定するまでの待ち時間

*2:メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

＜注意事項＞

- *メインPLL のソースクロックには、必ず周波数トリミングを行った高速CR クロック(CLKHC)を入力してください。PLL 逓倍後、内蔵高速CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。*

メイン PLL 接続図



11.4.6 リセット入力規格

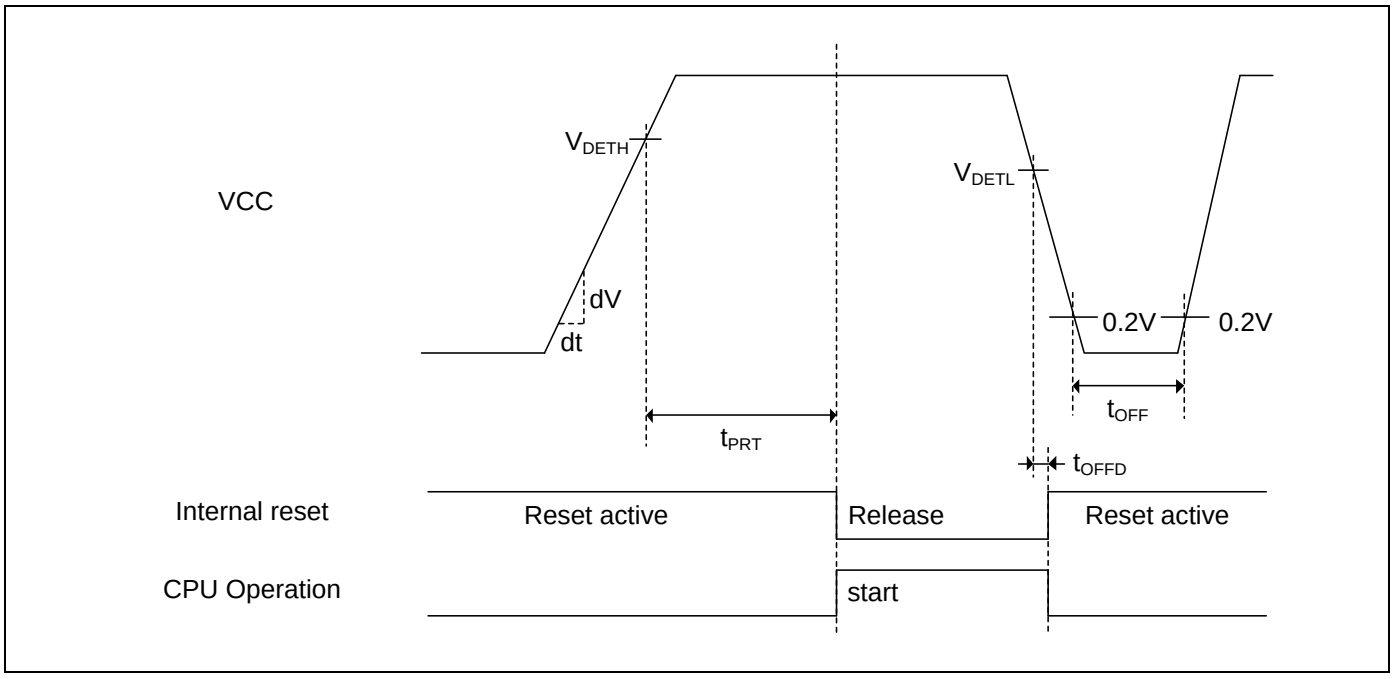
(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	
				1.5	-	ms	RTC モード時 ストップモード時
				1.5	-	ms	ディープスタンバイ モード時

11.4.7 パワーオンリセットタイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
電源立上り時間	dV/dt	VCC	0.1	-	-	V/ms	
電源断時間	t_{OFF}		1	-	-	ms	
リセット解除電圧	V_{DETH}		1.44	1.60	1.76	V	電圧上昇時
リセット検出電圧	V_{DETL}		1.39	1.55	1.71	V	電圧下降時
リセット解除遅延時間	t_{PRT}		0.46	-	11.4	ms	dV/dt≧0.1mV/µs
リセット検出遅延時間	t_{OFFD}		-	-	0.4	ms	dV/dt≧-0.04mV/µs

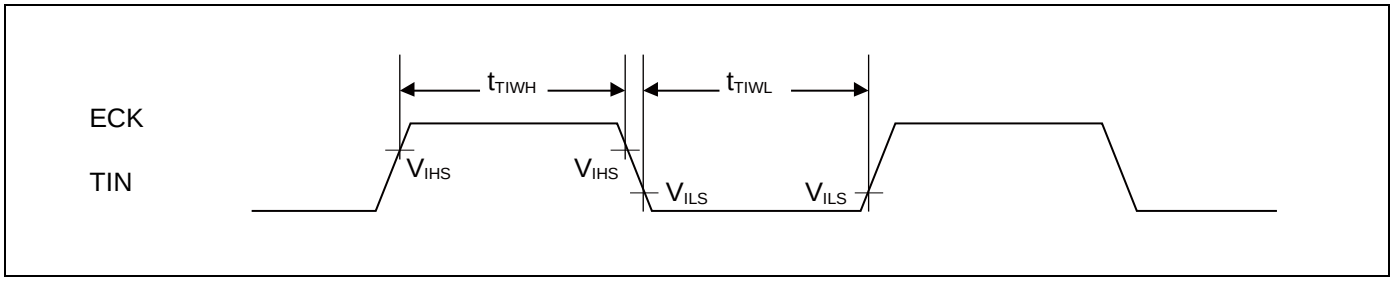


11.4.8　ベースタイマ入力タイミング

タイマ入力タイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

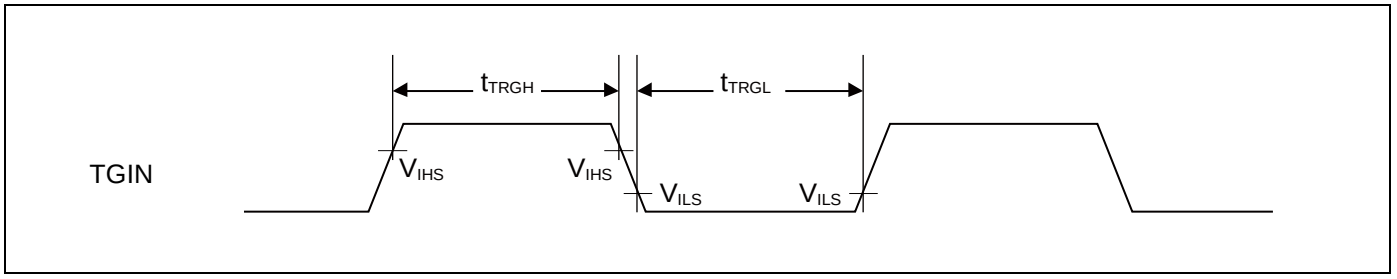
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}, t_{TIWL}	TIOAn/TIOBn (ECK, TIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (TGIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  ベースタイマが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

11.4.9 CSIO/UART タイミング

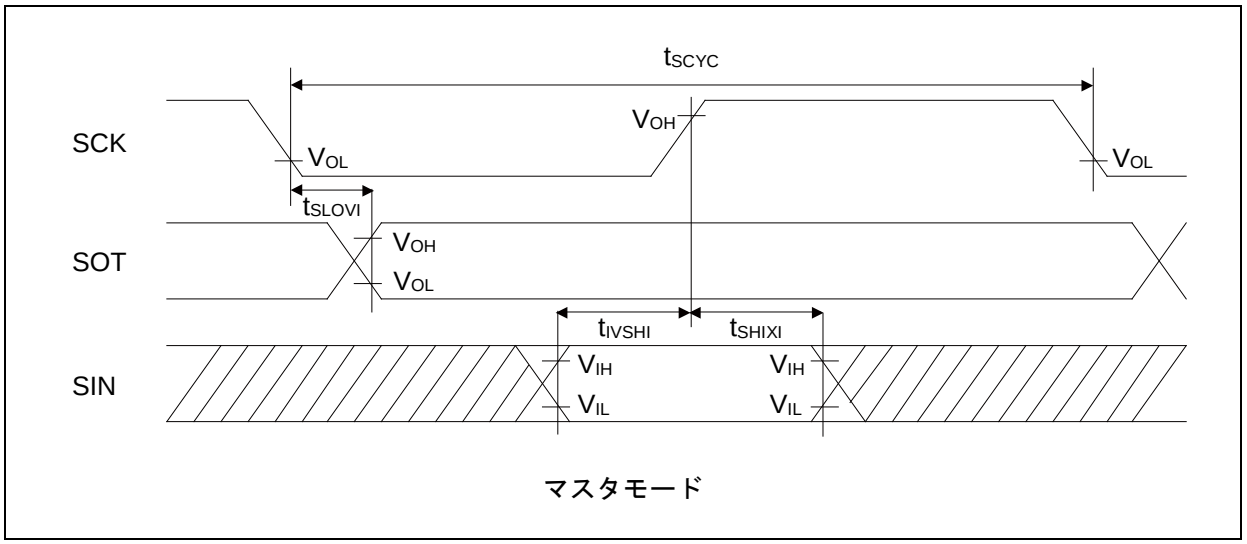
CSIO (SPI = 0, SCINV = 0)

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

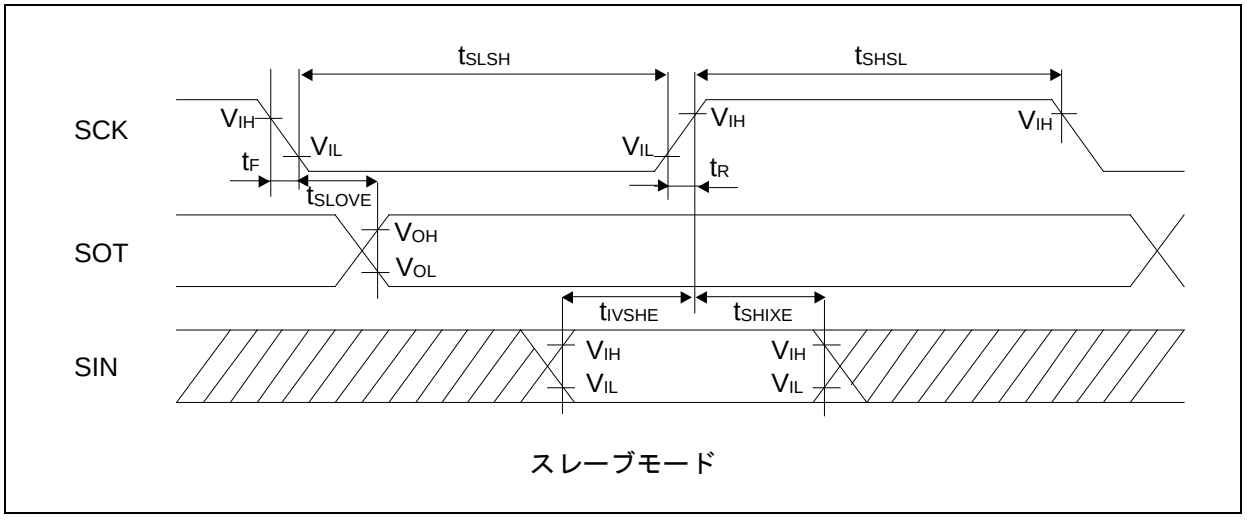
項目	記号	端子名	条件	Vcc＜2.7 V		2.7 V≦ Vcc＜4.5 V		Vcc≧4.5 V		単位
				最小	最大	最小	最大	最小	最大	
ボーレート	-	-	-	-	5	-	5	-	5	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	-	5	ns

＜注意事項＞

- *クロック同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されているAPB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えばSCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 50 pF 時*



マスタモード



スレーブモード

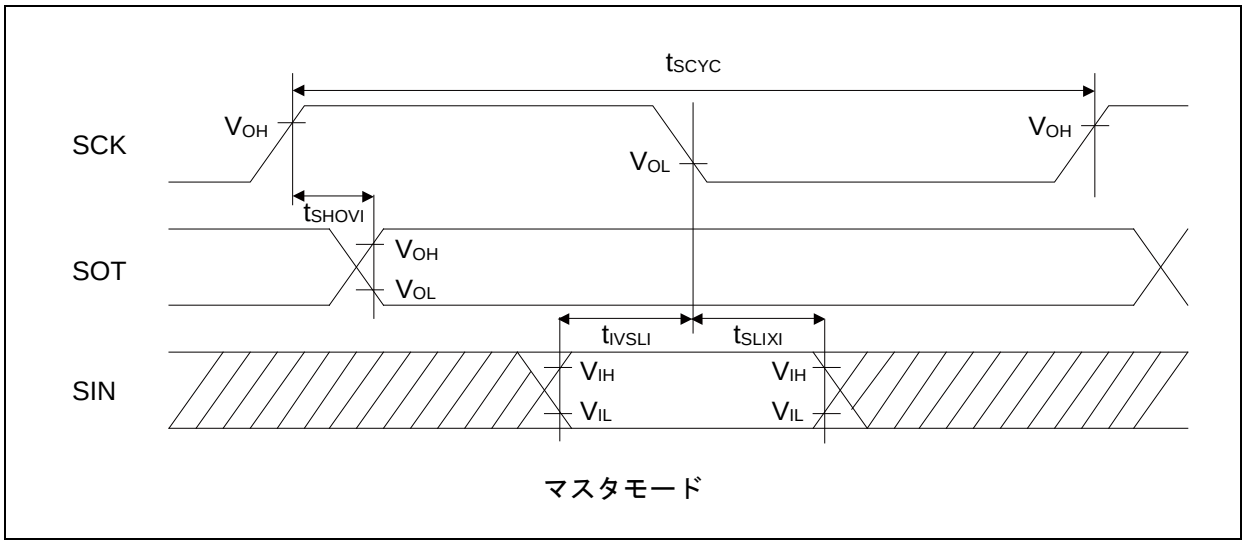
CSIO (SPI = 0, SCINV = 1)

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

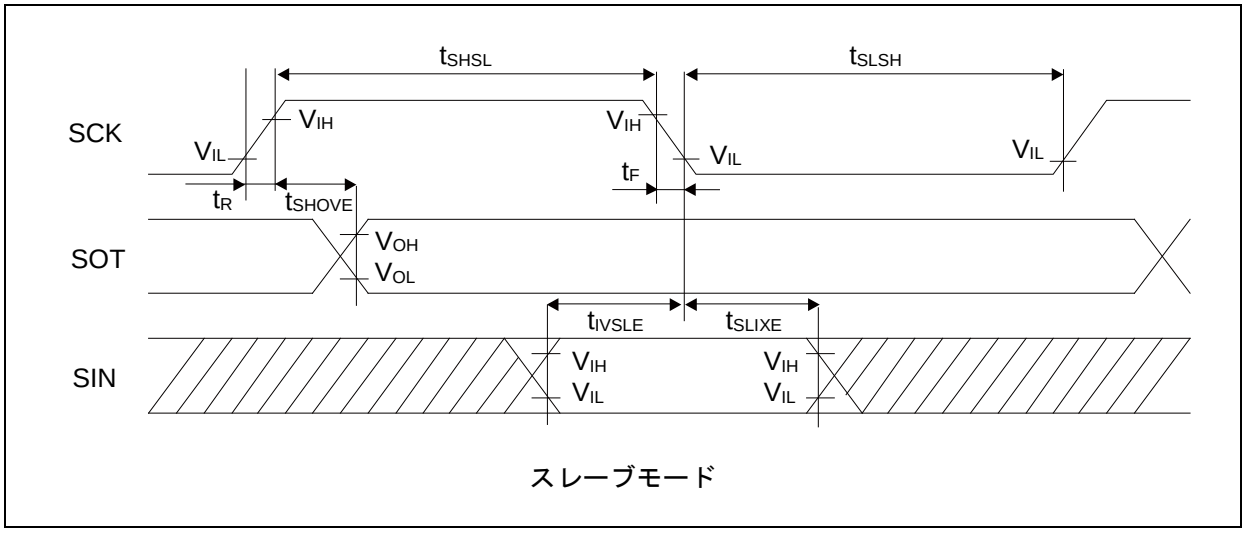
項目	記号	端子名	条件	Vcc＜2.7 V		2.7 V≦Vcc ＜4.5 V		Vcc≧4.5 V		単位
				最小	最大	最小	最大	最小	最大	
ボーレート	-	-	-	-	5	-	5	-	5	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブ モード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	-	5	ns

＜注意事項＞

- *クロック同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されているAPBバス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えばSCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 50pF 時*



マスタモード



スレーブモード

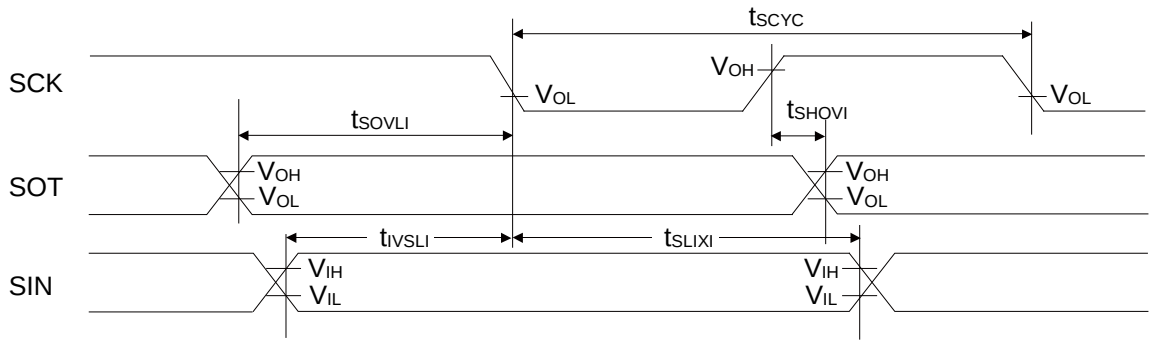
CSIO (SPI = 1, SCINV = 0)

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

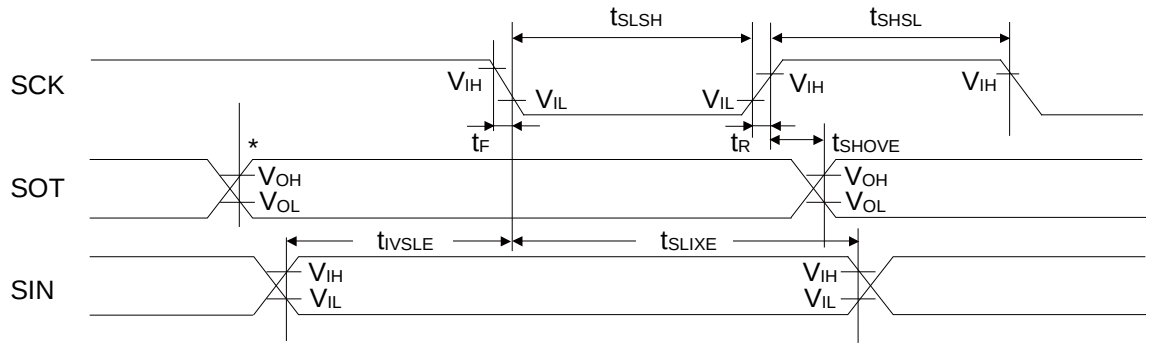
項目	記号	端子名	条件	Vcc＜2.7 V		2.7 V≦Vcc＜4.5 V		Vcc≧4.5 V		単位
				最小	最大	最小	最大	最小	最大	
ボーレート	-	-	-	-	5	-	5	-	5	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	0	-	0	-	ns
SOT→SCK↓ 遅延時間	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	-	5	ns

＜注意事項＞

- *クロック同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されているAPBバス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えばSCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 50 pF 時*



マスタモード



スレーブモード

*: TDR レジスタにライトすると変化

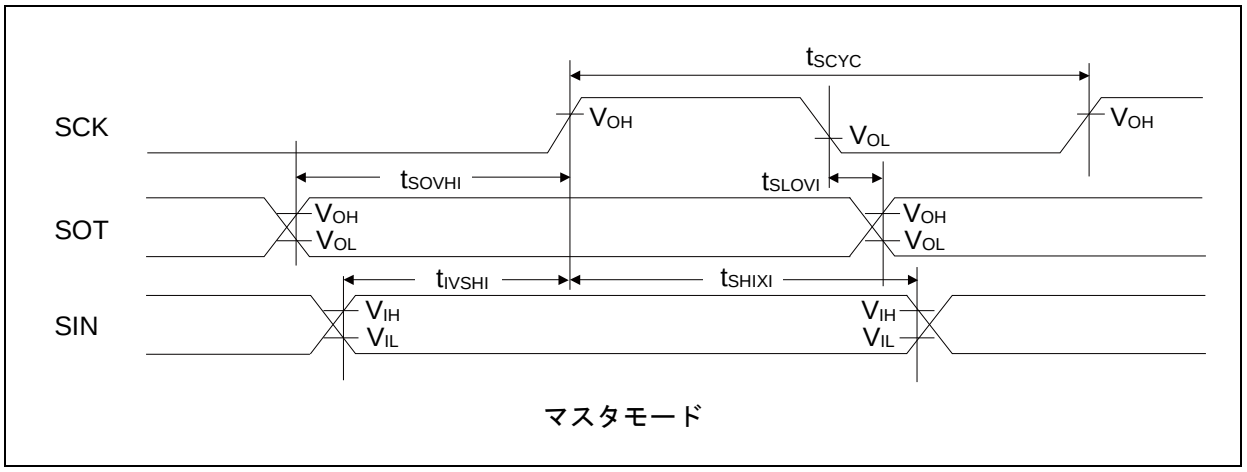
CSIO (SPI = 1, SCINV = 1)

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

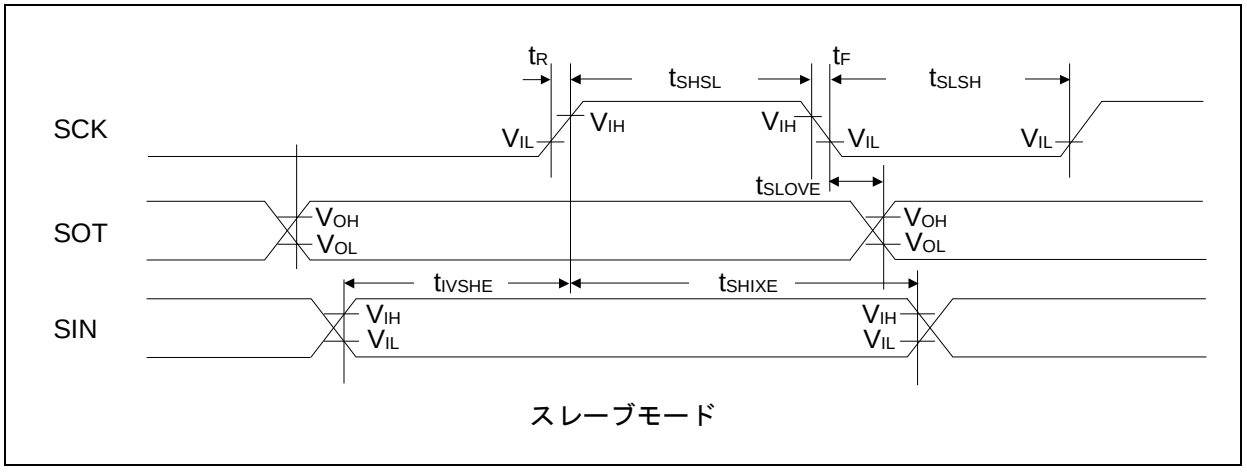
項目	記号	端子名	条件	Vcc＜2.7 V		2.7 V≦ Vcc＜4.5 V		Vcc≧4.5 V		単位
				最小	最大	最小	最大	最小	最大	
ボーレート	-	-	-	-	5	-	5	-	5	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	0	-	0	-	ns
SOT→SCK↑ 遅延時間	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	-	5	ns

＜注意事項＞

- *クロック同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されているAPB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えばSCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 50 pF 時*



マスタモード

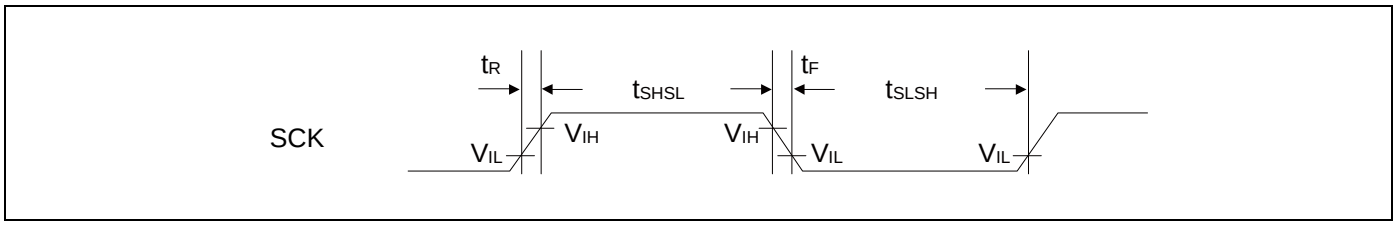


スレーブモード

UART 外部クロック入力(EXT = 1)

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック"L"パルス幅	t_{SLSH}	C_L = 50 pF	t_{CYCP} + 10	-	ns	
シリアルクロック"H"パルス幅	t_{SHSL}		t_{CYCP} + 10	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



11.4.10 外部入力タイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

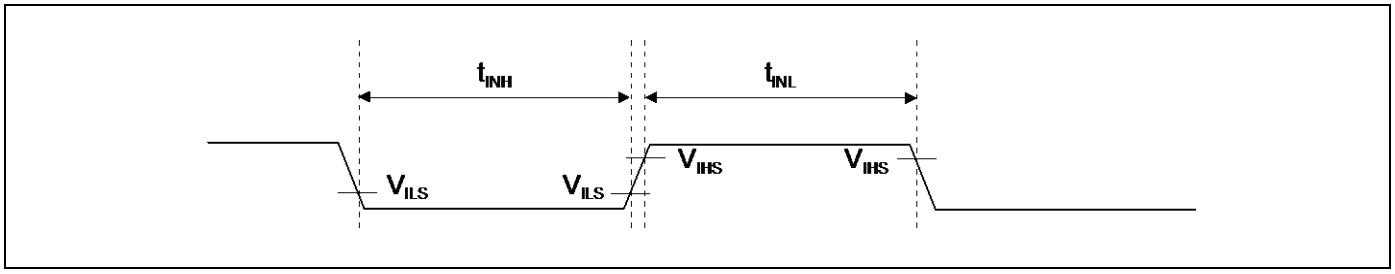
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTG	-	$2t_{CYCP}$*1	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイマ入力クロック
		ICxx					インプット キャプチャ
		DTTIxX	-	$2t_{CYCP}$*1	-	ns	波形ジェネレータ
		IGTRG	-	$2t_{CYCP}$*1	-	ns	PPG IGBT モード
		INTxx, NMIX	*2	$2t_{CYCP}$ + 100*1	-	ns	外部割込み, NMI
			*3	500	-	ns	
		WKUPx	*4	500	-	ns	ディープスタンバイ ウェイクアップ

*1: t_{CYCP} は APB バスクロックのサイクル時間です。
A/D コンバータ, 多機能タイマ, PPG, 外部割込み, ディープスタンバイ制御部が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, RTC モード, ストップモード時

*4: ディープスタンバイ RTC モード, ディープスタンバイストップモード時



11.4.11 I²C タイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

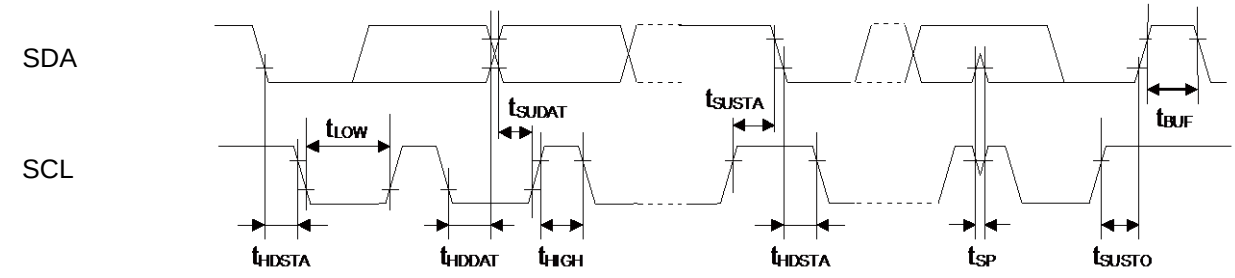
項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f_{SCL}	C_L = 50 pF, R = (V_P/I_{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件ホールド時間 SDA↓→SCL↓	t_{HDSTA}		4.0	-	0.6	-	µs	
SCL クロック"L"幅	t_{LOW}		4.7	-	1.3	-	µs	
SCL クロック"H"幅	t_{HIGH}		4.0	-	0.6	-	µs	
反復「スタート」条件セットアップ時間 SCL↑→SDA↓	t_{SUSTA}		4.7	-	0.6	-	µs	
データホールド時間 SCL↓→SDA↓↑	t_{HDDAT}		0	3.45*2	0	0.9*3	µs	
データセットアップ時間 SDA↓↑→SCL↑	t_{SUDAT}		250	-	100	-	ns	
「ストップ」条件セットアップ時間 SCL↑→SDA↑	t_{SUSTO}		4.0	-	0.6	-	µs	
「ストップ」条件と「スタート」条件との間のバスフリー時間	t_{BUF}		4.7	-	1.3	-	µs	
ノイズフィルタ	t_{SP}	-	2 t_{CYCP}*4	-	2 t_{CYCP}*4	-	ns	

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_P はプルアップ抵抗の電源電圧, I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用することはできますが、要求される条件 t_{SUDAT}≧250ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。
I²C が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。
Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。



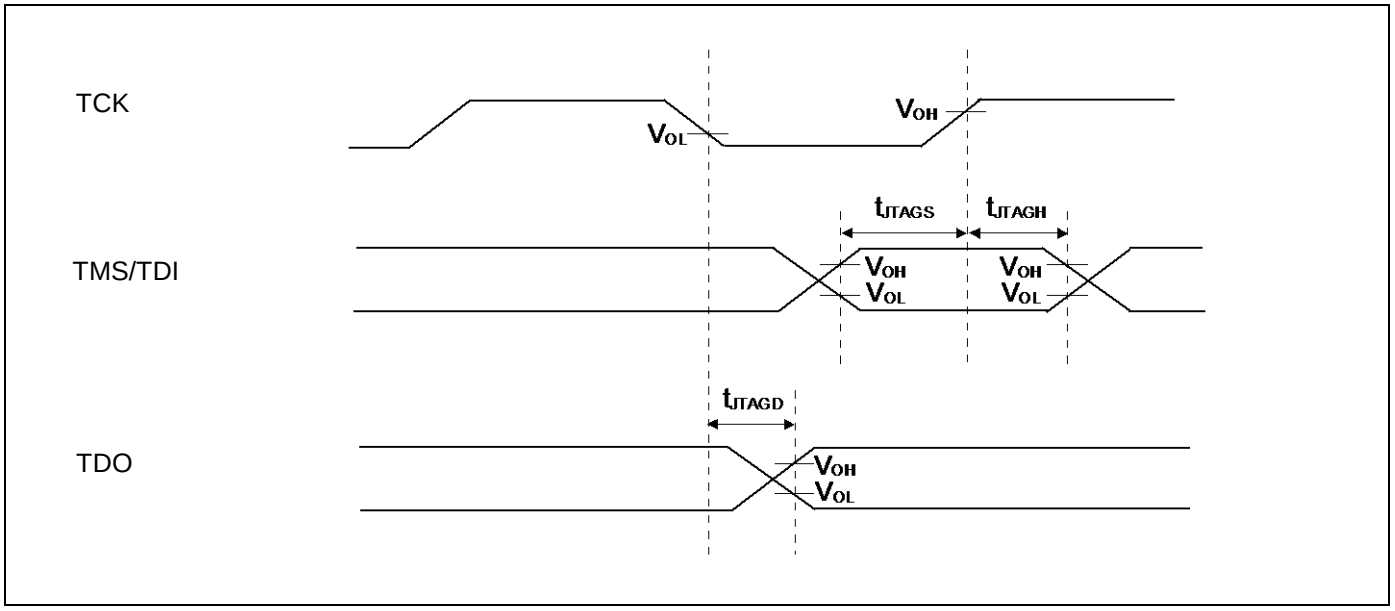
11.4.12 JTAG タイミング

(V_{CC} = 1.8V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{JTAGS}	TCK, TMS, TDI	V_{CC}≧4.5 V	15	-	ns	
			V_{CC}＜4.5 V				
TMS, TDI ホールド時間	t_{JTAGH}	TCK, TMS, TDI	V_{CC}≧4.5 V	15	-	ns	
			V_{CC}＜4.5 V				
TDO 遅延時間	t_{JTAGD}	TCK, TDO	V_{CC}≧4.5 V	-	30	ns	
			2.7 V≦V_{CC}＜4.5 V	-	45		
			V_{CC}＜2.7 V	-	60		

＜注意事項＞

- *外部負荷容量 C_L = 50 pF 時*



11.5 12 ビット A/D コンバータ

A/D 変換部電気的特性

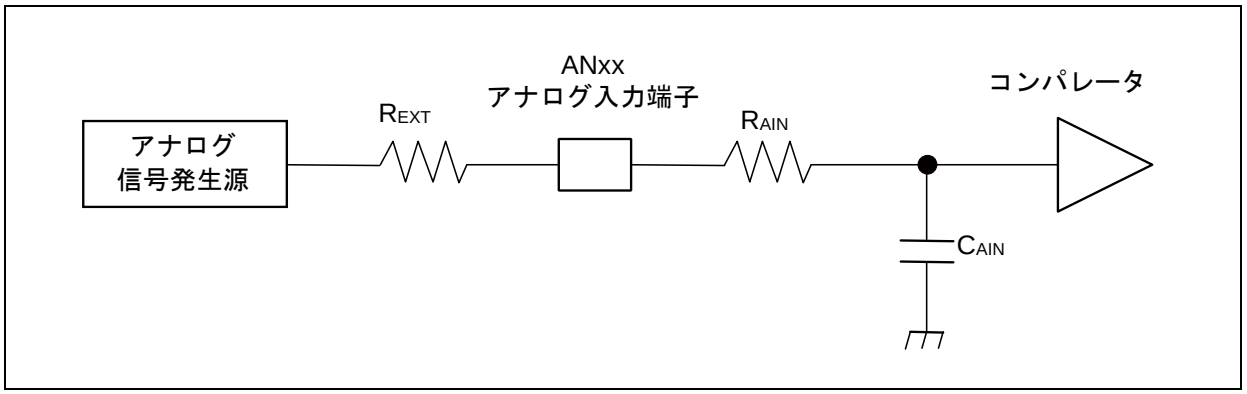
(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	INL	-	-	± 2.5	± 3.0	LSB	AV_{CC}≧2.7 V
			-	± 3.5	± 4.0	LSB	AV_{CC} < 2.7 V
微分直線性誤差	DNL	-	-	± 1.8	± 1.9	LSB	AV_{CC}≧2.7 V
			-	± 2.7	± 2.9	LSB	AV_{CC} < 2.7 V
ゼロトランジション電圧	V_{ZT}	ANxx	-	± 9	± 20	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	-	AVRH ± 9	AVRH ± 20	mV	
変換時間*1	-	-	1.0	-	-	µs	AV_{CC}≧2.7 V
			4.0	-	-		AV_{CC} < 2.7 V
サンプリング時間*2	t_S	-	0.3	-	10	µs	AV_{CC}≧2.7 V
			1.2				AV_{CC} < 2.7 V
コンペアクロック周期*3	t_{CCK}	-	50	-	1000	ns	AV_{CC}≧2.7 V
			200				AV_{CC} < 2.7 V
動作許可状態遷移期間	t_{STT}	-	-	-	1	µs	
アナログ入力容量	C_{AIN}	-	-	-	15	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	0.9	kΩ	AV_{CC}≧4.5 V
					1.6		2.7 V≦AV_{CC} < 4.5 V
					4.0		AV_{CC} < 2.7 V
チャネル間バラツキ	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	0.3	µA	
アナログ入力電圧	-	ANxx	AV_{SS}	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	AV_{CC}≧2.7 V
			AV_{CC}				AV_{CC} < 2.7 V

*1: 変換時間はサンプリング時間(t_S) + コンペア時間(t_C)の値です。
最小変換時間の条件は、以下の通りです。
AV_{CC}≧2.7 V　HCLK=20 MHz サンプリング時間: 0.3 µs, コンペア時間: 0.7 µs
AV_{CC} < 2.7 V　HCLK=20 MHz サンプリング時間: 1.2 µs, コンペア時間: 2.8 µs
必ずサンプリング時間(t_S), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。
サンプリング時間, コンペアクロック周期の設定*4については、『FM3 ファミリ ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。
A/D コンバータのレジスタ設定は APB バスクロックのタイミングで反映されます。
A/D コンバータが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)を元に生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。
必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_C) は (式 2)の値です。



(式 1) $t_S \geqq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_S: サンプリング時間

R_{AIN}: A/D の入力抵抗 = 0.9 kΩ　4.5 V ≦ AV_{CC} ≦ 5.5 V の場合
A/D の入力抵抗 = 1.6 kΩ　2.7 V ≦ AV_{CC} ＜ 4.5 V の場合
A/D の入力抵抗 = 4.0 kΩ　1.8 V ≦ AV_{CC} ＜ 2.7 V の場合

C_{AIN}: A/D の入力容量 = 15 pF　1.8 V ≦ AV_{CC} ≦ 5.5 V の場合

R_{EXT}: 外部回路の出力インピーダンス

(式 2) $t_C = t_{CCK} \times 14$

t_C: コンペア時間

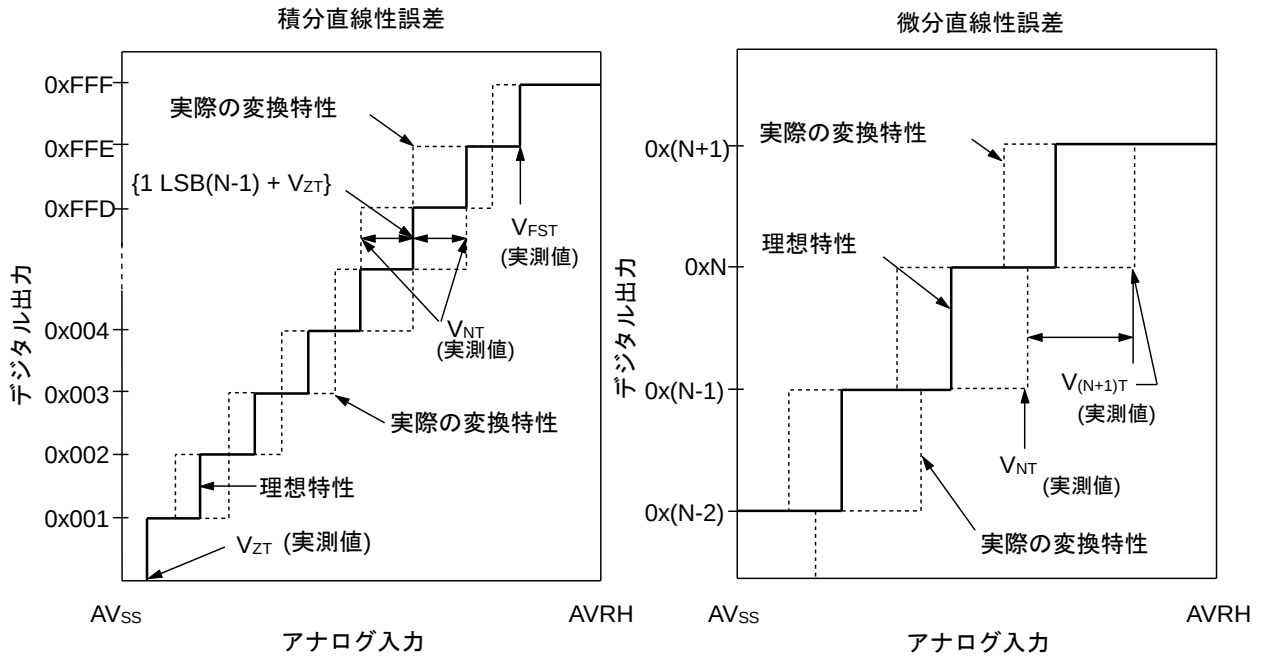
t_{CCK}: コンペアクロック周期

12 ビット A/D コンバータの用語の定義

■ 分解能: A/D コンバータにより識別可能なアナログ変化

■ 積分直線性誤差: ゼロトランジション点(0b000000000000 ⟷ 0b000000000001)とフルスケールトランジション点(0b111111111110 ⟷ 0b111111111111)を結んだ直線と実際の変換特性との偏差

■ 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 N の積分直線性誤差} = \frac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB} \text{ [LSB]}$$

$$\text{デジタル出力 N の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1LSB} - 1 \text{ [LSB]}$$

$$1LSB = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D コンバータデジタル出力値
V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
V_{NT}: デジタル出力が 0x (N - 1)から 0xN に遷移する電圧

11.6 10 ビット D/A コンバータ

D/A 変換部電気的特性

(V_{CC} = AV_{CC} = 1.8V～5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	10	bit	
変換時間	t_{C20}		0.37	0.53	0.69	µs	負荷 20 pF 時
	t_{C100}		1.87	2.67	3.47	µs	負荷 100 pF 時
積分直線性誤差	INL		- 4.0	-	+ 4.0	LSB	*
微分直線性誤差	DNL		- 0.9	-	+ 0.9	LSB	*
出力電圧オフセット	V_{OFF}		-	-	10.0	mV	0x000 設定時
			- 50.0	-	+ 5.5	mV	0x3FF 設定時
アナログ出力インピーダンス	R_O		2.45	3.50	4.55	kΩ	D/A 動作時
			5.0	9.0	-	MΩ	D/A 停止時
出力不定期間	t_R		-	-	250	ns	

*: 無負荷時

11.7 低電圧検出特性

低電圧検出リセット

(T_A = - 40°C～+ 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	V_{DLR}	SVHR = 0001	1.43	1.53	1.63	V	電圧降下時
解除電圧	V_{DHR}		1.53	1.63	1.73	V	電圧上昇時
検出電圧	V_{DLR}	SVHR = 0100	1.80	1.93	2.06	V	電圧降下時
解除電圧	V_{DHR}		1.90	2.03	2.16	V	電圧上昇時
LVD 安定待ち時間	t_{LVDRW}	-	-	-	633×t_{CYCP}*	µs	
検出遅延時間	t_{LVDRD}	dV/dt≧-4mV/µs	-	-	60	µs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

低電圧検出割込み

標準モード

(T_A = - 40°C～ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	V_{DLI}	SVHI = 0000	1.87	2.00	2.13	V	電圧降下時
解除電圧	V_{DHI}		1.97	2.10	2.23	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0001	1.96	2.10	2.24	V	電圧降下時
解除電圧	V_{DHI}		2.06	2.20	2.34	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0010	2.05	2.20	2.35	V	電圧降下時
解除電圧	V_{DHI}		2.15	2.30	2.45	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0011	2.15	2.30	2.45	V	電圧降下時
解除電圧	V_{DHI}		2.25	2.40	2.55	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0100	2.24	2.40	2.56	V	電圧降下時
解除電圧	V_{DHI}		2.34	2.50	2.66	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0101	2.33	2.50	2.67	V	電圧降下時
解除電圧	V_{DHI}		2.43	2.60	2.77	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0110	2.43	2.60	2.77	V	電圧降下時
解除電圧	V_{DHI}		2.53	2.70	2.87	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 0111	2.61	2.80	2.99	V	電圧降下時
解除電圧	V_{DHI}		2.71	2.90	3.09	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1000	2.80	3.00	3.20	V	電圧降下時
解除電圧	V_{DHI}		2.90	3.10	3.30	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1001	2.99	3.20	3.41	V	電圧降下時
解除電圧	V_{DHI}		3.09	3.30	3.51	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1010	3.36	3.60	3.84	V	電圧降下時
解除電圧	V_{DHI}		3.46	3.70	3.94	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1011	3.45	3.70	3.95	V	電圧降下時
解除電圧	V_{DHI}		3.55	3.80	4.05	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1100	3.73	4.00	4.27	V	電圧降下時
解除電圧	V_{DHI}		3.83	4.10	4.37	V	電圧上昇時
検出電圧	V_{DLI}	SVHI = 1101	3.83	4.10	4.37	V	電圧降下時
解除電圧	V_{DHI}		3.93	4.20	4.47	V	電圧上昇時

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	V_{DLI}	SVHI = 1110	3.92	4.20	4.48	V	電圧降下時
解除電圧	V_{DHI}		4.02	4.30	4.58	V	電圧上昇時
LVD 安定待ち時間	t_{LVDIW}	-	-	-	633×t_{CYCP}*	µs	
検出遅延時間	t_{LVDID}	dV/dt≧-4mV/µs	-	-	60	µs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

ローパワーモード時

(T_A = - 40°C～ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	V_{DLIL}	SVHI = 0000	1.80	2.00	2.20	V	電圧降下時
解除電圧	V_{DHIL}		1.90	2.10	2.30	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0001	1.89	2.10	2.31	V	電圧降下時
解除電圧	V_{DHIL}		1.99	2.20	2.41	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0010	1.98	2.20	2.42	V	電圧降下時
解除電圧	V_{DHIL}		2.08	2.30	2.52	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0011	2.07	2.30	2.53	V	電圧降下時
解除電圧	V_{DHIL}		2.17	2.40	2.63	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0100	2.16	2.40	2.64	V	電圧降下時
解除電圧	V_{DHIL}		2.26	2.50	2.74	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0101	2.25	2.50	2.75	V	電圧降下時
解除電圧	V_{DHIL}		2.35	2.60	2.85	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0110	2.34	2.60	2.86	V	電圧降下時
解除電圧	V_{DHIL}		2.44	2.70	2.96	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 0111	2.52	2.80	3.08	V	電圧降下時
解除電圧	V_{DHIL}		2.62	2.90	3.18	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1000	2.70	3.00	3.30	V	電圧降下時
解除電圧	V_{DHIL}		2.80	3.10	3.40	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1001	2.88	3.20	3.52	V	電圧降下時
解除電圧	V_{DHIL}		2.98	3.30	3.62	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1010	3.24	3.60	3.96	V	電圧降下時
解除電圧	V_{DHIL}		3.34	3.70	4.06	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1011	3.33	3.70	4.07	V	電圧降下時
解除電圧	V_{DHIL}		3.43	3.80	4.17	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1100	3.60	4.00	4.40	V	電圧降下時
解除電圧	V_{DHIL}		3.70	4.10	4.50	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1101	3.69	4.10	4.51	V	電圧降下時
解除電圧	V_{DHIL}		3.79	4.20	4.61	V	電圧上昇時
検出電圧	V_{DLIL}	SVHI = 1110	3.78	4.20	4.62	V	電圧降下時
解除電圧	V_{DHIL}		3.88	4.30	4.72	V	電圧上昇時
LVD 安定待ち時間	T_{LVDILW}	-	-	-	8039×t_{CYCP}*	µs	
検出遅延時間	T_{LVDILD}	dV/dt≧-0.4mV/µs	-	-	800	µs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

11.8 フラッシュメモリ書込み/消去特性

書込み/消去時間

(V_{CC} = 2.0V ~ 5.5V, T_A = - 40°C~ + 85°C)

項目		規格値		単位	備考
		標準*	最大*		
セクタ消去時間	Large Sector	1.6	7.5	s	内部での消去前書込み時間を含む
	Small Sector	0.4	2.1		
ハーフワード(16 ビット)書込み時間		25	400	µs	システムレベルのオーバヘッド時間は除く
チップ消去時間		4	19.2	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 10 万回までの保証値です。

書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	
100,000	5 *	

*: 平均温度+85°C 時

11.9 スタンバイ復帰時間

復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

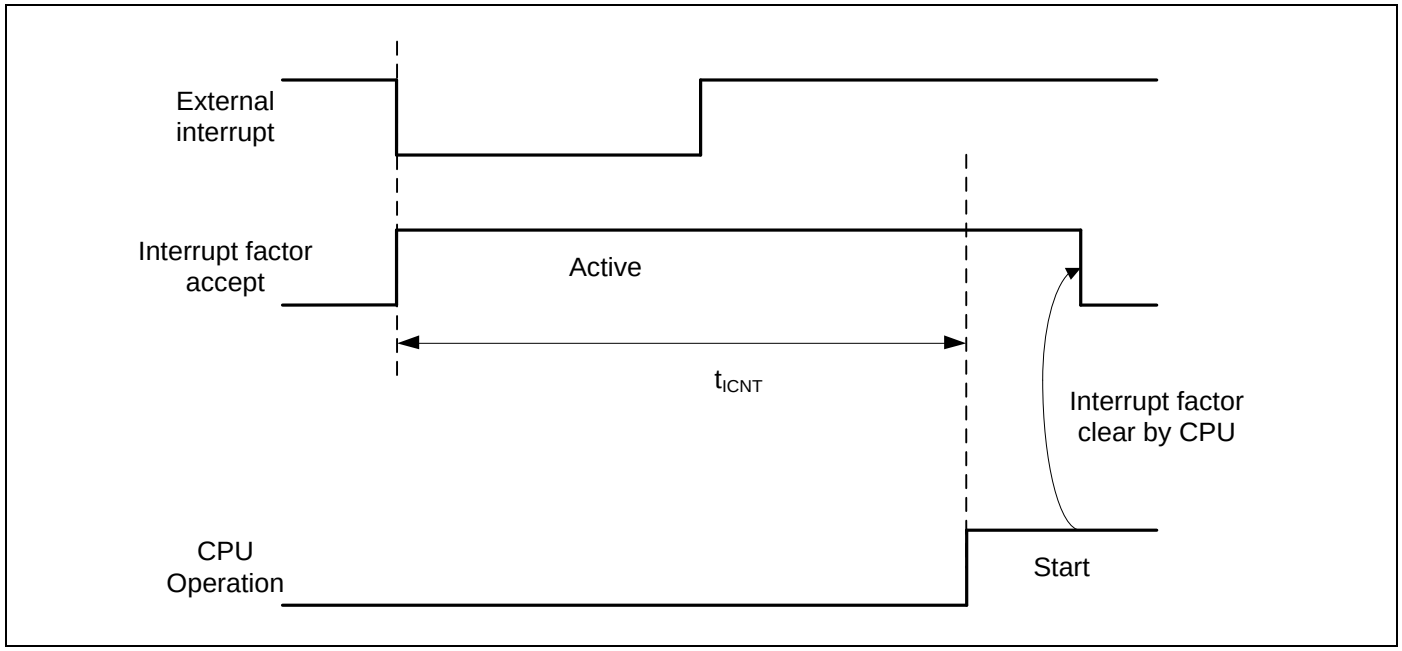
復帰カウント時間

(V_{CC} = 1.8V ~ 5.5V, T_A = - 40°C ~ + 85°C)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{ICNT}	t_{CYCC}		ns	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	µs	
低速 CR タイマモード		630	1260	µs	
サブタイマモード		630	1260	µs	
RTC モード ストップモード		1083	2100	µs	
ディープスタンバイ RTC モード ディープスタンバイストップモード		1099	2127	µs	

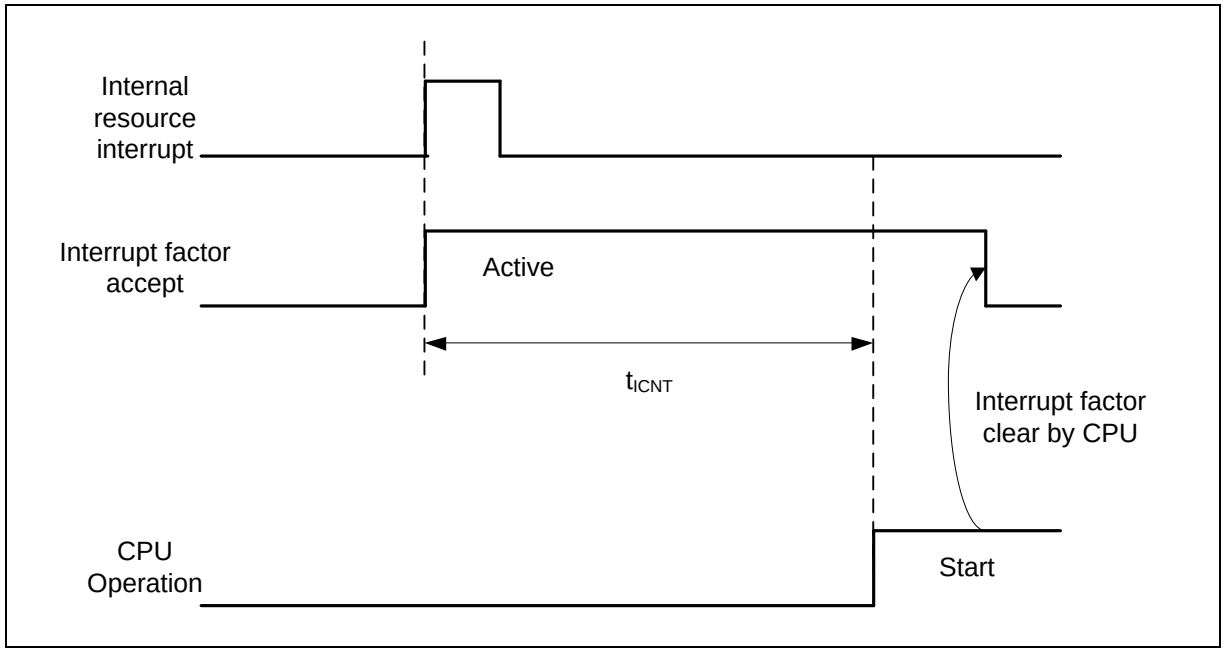
*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項> – *復帰要因は低消費電力モードごとに異なります。*
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。

– *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。*

復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

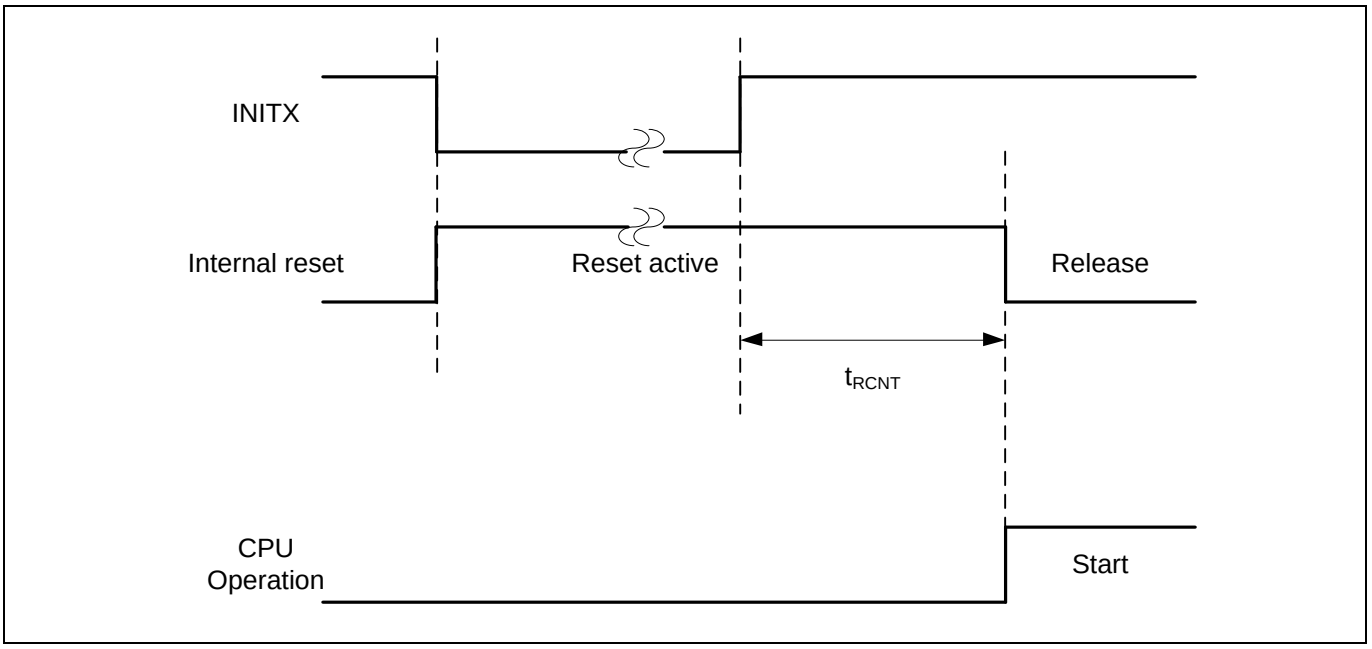
復帰カウント時間

(V_{CC} = 1.8V ~ 5.5V, T_A = - 40°C ~ + 85°C)

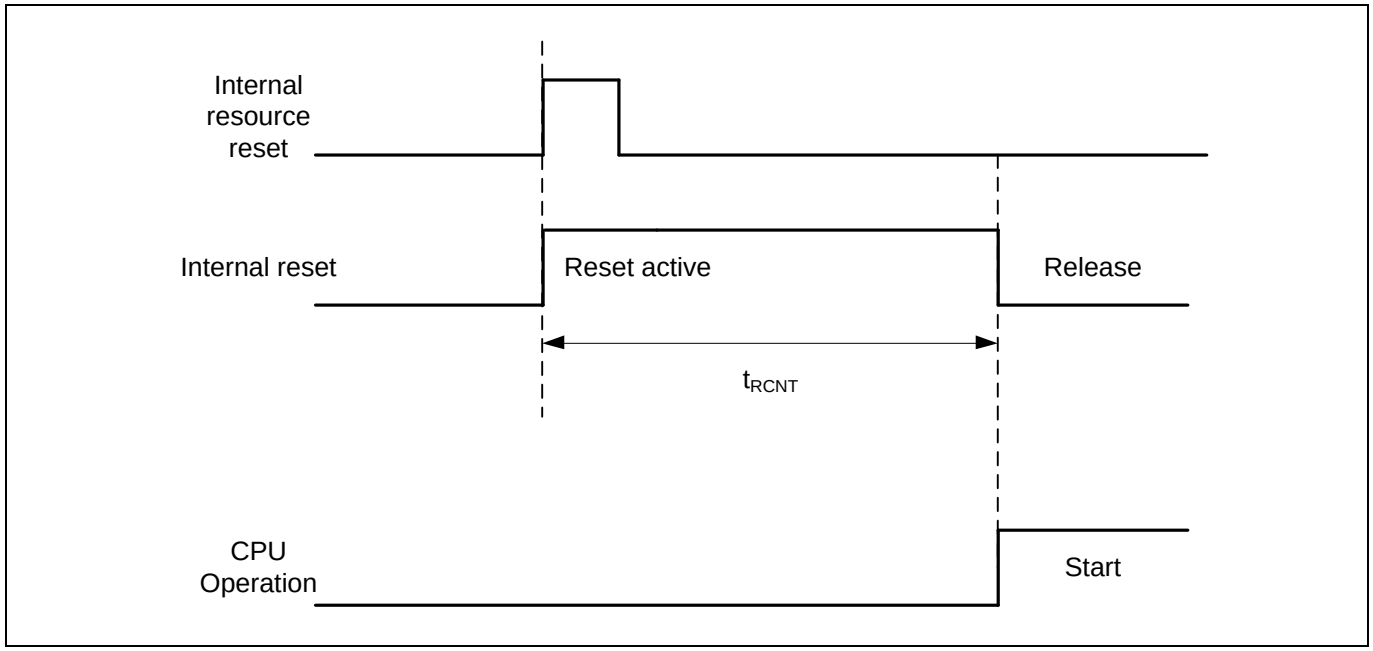
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{RCNT}	359	647	µs	
高速 CR タイマモード メインタイマモード PLL タイマモード		359	647	µs	
低速 CR タイマモード		929	1787	µs	
サブタイマモード		929	1787	µs	
RTC モード ストップモード		1099	2127	µs	
ディープスタンバイ RTC モード ディープスタンバイストップモード		1099	2127	µs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項> −　*復帰要因は低消費電力モードごとに異なります。*
低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。

− *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。*

− *パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「11. 電気的特性 11.4. 交流規格 11.4.7. パワーオンリセットタイミング」を参照してください。*

− *リセットからの復帰時、CPU は高速 CR ランモードに遷移します。*
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。

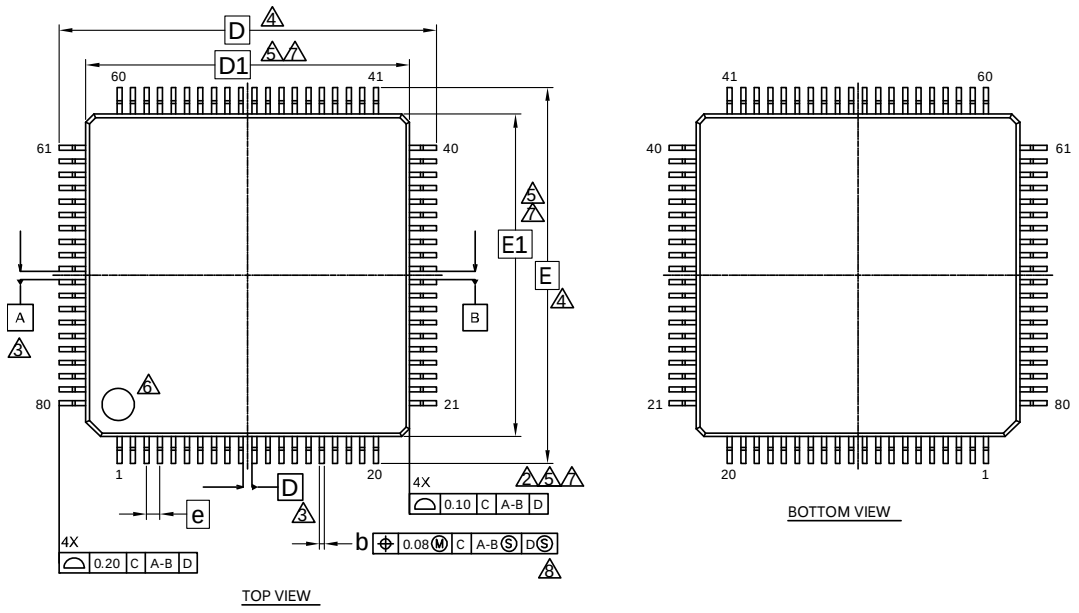
− *内部リソースリセットとはウォッチドッグリセット, CSV リセットを示します。*

12. オーダ型格

型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9AF131MPMC-G-SNE2	64 Kbyte	12 Kbyte	プラスチック・LQFP (0.5mm ピッチ), 80 ピン (LQH080)	トレイ
MB9AF132MPMC-G-SNE2	128 Kbyte	16 Kbyte		
MB9AF131MPMC1-G-SNE2	64 Kbyte	12 Kbyte	プラスチック・LQFP (0.65mm ピッチ), 80 ピン (LQJ080)	
MB9AF132MPMC1-G-SNE2	128 Kbyte	16 Kbyte		
MB9AF131NPMC-G-SNE2	64 Kbyte	12 Kbyte	プラスチック・LQFP (0.5mm ピッチ), 100 ピン (LQI100)	
MB9AF132NPMC-G-SNE2	128 Kbyte	16 Kbyte		
MB9AF131NPF-G-SNE1	64 Kbyte	12 Kbyte	プラスチック・QFP (0.65mm ピッチ), 100 ピン (PQH100)	
MB9AF132NPF-G-SNE1	128 Kbyte	16 Kbyte		

13. パッケージ・外形寸法図

Package Type	Package Code
LQFP 80 (0.5mm pitch)	LQH080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

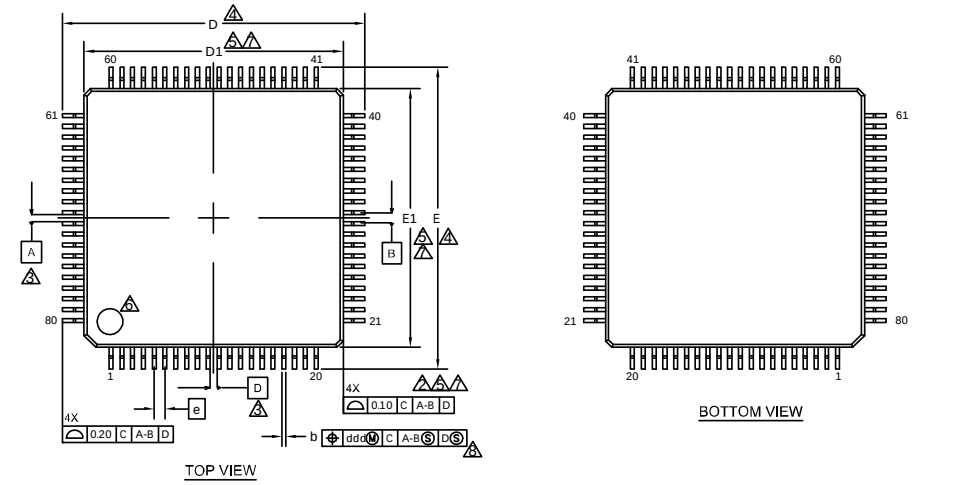
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11501 **

PACKAGE OUTLINE, 80 LEAD LQFP
12.0X12.0X1.7 MM LQH080 Rev **

Package Type	Package Code
LQFP 80 (0.65mm pitch)	LQJ080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.16	0.32	0.38
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.65 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

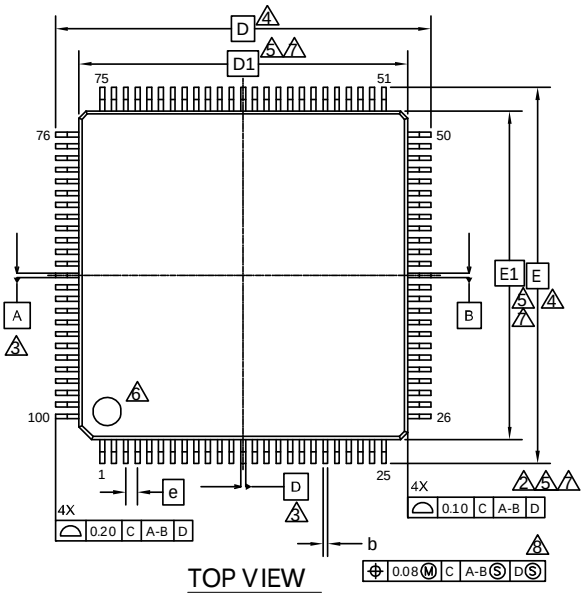
NOTES

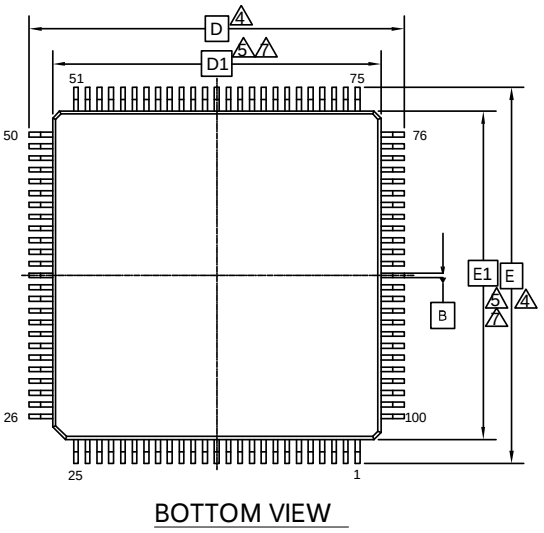
1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

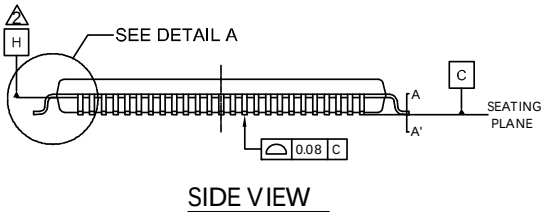
002-14043 **

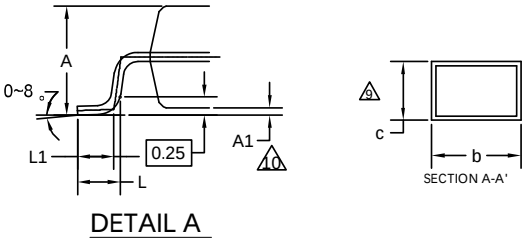
PACKAGE OUTLINE, 80 LEAD LQFP
14.0X14.0X1.7 MM LQJ080 REV**

Package Type	Package Code
LQFP 100	LQI100









SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.50 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

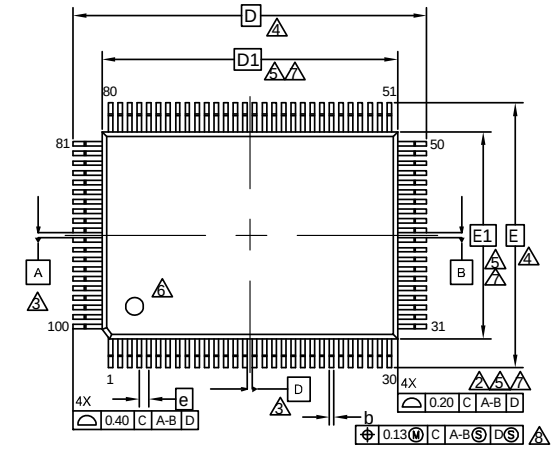
NOTES :

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

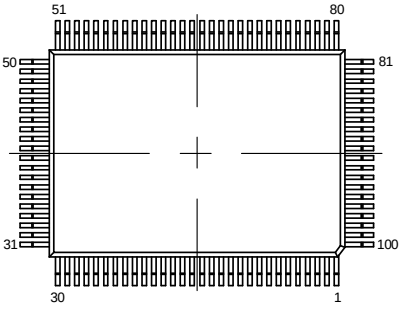
002-11500 *A

PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

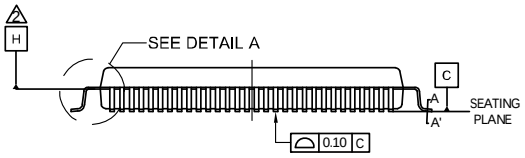
Package Type	Package Code
QFP 100	PQH100



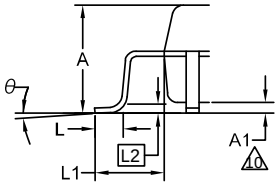
TOP VIEW



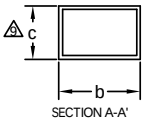
BOTTOM VIEW



SIDE VIEW



DETAIL A



SECTION A-A'

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	3.35
A1	0.05	—	0.45
b	0.27	0.32	0.37
c	0.11	—	0.23
D		23.90 BSC	
D1		20.00 BSC	
e		0.65 BSC	
E		17.90 BSC	
E1		14.00 BSC	
θ	0°	—	8°
L	0.73	0.88	1.03
L1		1.95 REF	
L2		0.25 BSC	

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15156 **

PACKAGE OUTLINE, 100 LEAD QFP
20.00X14.00X3.35 MM PQH100 REV**

14. 主な変更内容

Spansion Publication Number: DS706-00042

ページ	場所	変更箇所
Revision 3.0		
15	■端子機能一覧 ・端子番号別	端子状態形式を変更
22	・端子機能別	「外部割込み」の端子名を訂正 INIT15_1 → INT15_1
41	■ブロックダイヤグラム	「Multi-Function Serial IF」の記述を訂正
50	■各 CPU ステートにおける端子状態 ・端子状態一覧表	・端子状態形式へ「S」,「T」を追加 ・注釈文を追加
Revision 3.1		
-	-	社名変更および記述フォーマットの変換
Revision 4.0		
2	■特長	オンチップ SRAM の説明を変更
7 - 29	■パッケージと品種対応 ■端子配列図 ■端子機能一覧	BGA を削除
38	■デバイス使用上の注意	"・電源電圧の安定化について"を追記
38	■デバイス使用上の注意 ・水晶発振回路について	以下の文を追記 実装基板にて、使用する水晶振動子の発振評価を実施してください。
40	■ブロックダイヤグラム	図を修正
42	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略と、詳細はフラッシュプログラミングマニュアルを参照するよう追記
52 - 54	■電気的特性 3. 直流規格 (1) 電流規格	・表の形式を変更 ・メインタイマモード電流とサブタイマモード電流を追加 ・フラッシュメモリ電流を追加 ・A/D コンバータ電流を移動 ・D/A コンバータ電流を移動
55	■電気的特性 3. 直流規格 (2) 端子特性	電源オフ時の CEC 端子の入力リーク電流を追加
58	■電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件	メイン PLL 接続図を追加
59	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング	・タイミング図を変更 ・リセット解除遅延時間(t_{OND})をパワーオンリセット解除までの時間(t_{PRD})に変更
61 - 68	■電気的特性 4. 交流規格 (7) CSIO/UART タイミング	・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更

ページ	場所	変更箇所
72	■電気的特性 5. 12 ビット A/D コンバータ	・積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加 ・AVcc＜2.7 V 時の変換時間を追加 ・非直線性誤差を積分直線性誤差に変更
75	■電気的特性 6. 10 ビット D/A コンバータ	直線性誤差を積分直線性誤差に変更
76	■電気的特性 6. 低電圧検出特性	図を削除
79	■電気的特性 8. フラッシュメモリ書込み/消去特性 (1) 書込み/消去時間	内部での消去前書込み時間を含む値に変更
80 - 83	■電気的特性 9. スタンバイ復帰時間	スタンバイ復帰時間を追加
84	■オーダ型格	型格の表記を変更
88	■パッケージ・外形寸法図	BGA-112P-M04 を削除

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: **MB9A130N シリーズ 32 ビット ARM® Cortex®-M3 FM3 マイクロコントローラ**
文書番号: **002-05645**

版	ECN 番号	変更者	発行日	変更内容
**	-	EIHA	06/15/2015	サイプレスとしてドキュメントコード 002-05645 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5513884	EIHA	11/08/2016	これは英語版の 002-05644 Rev. *A を翻訳した日本語版です。
*B	5742406	NNAK	05/23/2017	これは英語版の 002-05644 Rev. *B を翻訳した日本語版です。 “特長”のリアルタイムクロック(RTC:Real Time Clock) のカウント年数を 00～に修正。割込み機能の指定条件から「秒/曜日」を削除(2 ページ) パッケージコードを以下の様に変更 FPT-80P-M37 -> LQH080, FPT-80P-M40 -> LQJ080, FPT-100P-M23 -> LQI100, FPT-100P-M06 -> PQH100 <関連ページ> “2. パッケージと品種対応” (7 ページ), “3. 端子配列図” (8～10 ページ), ”11.2 推奨動作条件” (52 ページ), ”12 オーダ型格” (84 ページ), “13 パッケージ・外形寸法図” (85～88 ページ) “4. 端子機能説明”の表記を修正 J-TAG -> JTAG、注意事項を追記(29 ページ) “11.4.9. CSIO/UART タイミング”の項目にボーレートを追加 (62～68 ページ)

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス／RF	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6

サイプレス開発者コミュニティ

フォーラム | WICED IOT Forums | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。