本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

MB91610 Series

32 ビット・マイクロコントローラ
FR80

Hardware Manual

Publication Number MB91610_CM71-10148 **Revision** 3 **Issue Date** January 30, 2014

MB91610 Series

16 ビット・マイクロコントローラ
FR80

Hardware Manual

Spansion のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中 , またはご採用いただいたお客様に有益な情報を公開しています。

http://www.spansion.com/JP/Support/microcontrollers/

はじめに

Spansion 半導体製品につきまして , 平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91610 シリーズをご利用になる前に , 本書および『データシート』をご一読ください。

■ 本書の目的と対象読者

本書は , 実際に MB91610 シリーズを使用して製品を開発される技術者を対象に , MB91610 シリーズの機能や動作 , 使い方について解説しています。

■ 商標

FR は , Spansion Inc. の製品です。

その他の社名および製品名は各社の商標もしくは登録商標です。

■ サンプルプログラムおよび開発環境

FR80ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また , MB91610 シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

- マイコンサポート情報

  http://www.spansion.com/JP/Support/microcontrollers/

* サンプルプログラムは , 予告なしに変更することがあります。また , サンプルプログラムは標準的な動作や使い方を示したものですので,お客様のシステム上でご使用の際は十分評価された上でご使用ください。

また , サンプルプログラムの使用に起因し生じた損害については , 当社は一切その責任を負いません。

マニュアル構成

本シリーズで使用するマニュアルを一覧で示します。状況に応じて必要なマニュアルを参照してください。
本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

■ ハードウェアマニュアル

- **FR80 ファミリ MB91610 シリーズハードウェアマニュアル (CM71-10148)**
  (本書)

■ データシート

- **マイクロコントローラ 32 ビットオリジナル FR80 ファミリ MB91610 シリーズ DATA SHEET (DS07-16907)**

■ プログラミングマニュアル

- **FR80 ファミリプログラミングマニュアル (CM71-00104)**

  FR80 ファミリ CPU のプログラミングモデルと命令について説明しています。

■ ハードウェアツール系マニュアル

- **DSU-FR エミュレータ MB2198-01 ハードウェアマニュアル (CM71-00413)**

  エミュレータの取扱いと仕様 , 接続方法や操作方法について説明しています。

■ ソフトウェアツール系マニュアル

- **SOFTUNE® Workbench 操作マニュアル V6 対応 (CM71-00328)**

  統合開発環境 SOFTUNE の操作方法や開発手順について説明しています。

- **SOFTUNE® Workbench 機能説明書 V6 対応 (CM71-00329)**

  SOFTUNE Workbench の基本機能および依存機能について説明しています。

- **SOFTUNE® Workbench コマンドリファレンスマニュアル V6 対応 (CM71-00330)**

  SOFTUNE Workbench のコマンドおよび組込み変数 / 関数について説明しています。

- **FR ファミリ 32 ビットマイクロコントローラ 機器組み込み用 C プログラミングマニュアル 活用編 (CM71-00324)**

  FR ファミリ用 C コンパイラ fcc911 を使用して組み込みシステムを作成するためのノウハウ集です。FR ファミリのアーキテクチャを利用した効率の良い C プログラムの作成方法および注意事項を説明します

- **FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応 (CM81-00206)**

  SOFTUNE C/C++ コンパイラを使用して C 言語および C++ 言語でアプリケーションプログラムを作成 / 開発する際に参照してください。

- **FR ファミリ SOFTUNE® アセンブラマニュアル V6 対応 (CM71-00203)**

  Windows 98, Windows Me, Windows 2000, Windows XP で動作する Spansion SOFTUNE® アセンブラの機能および使用方法を説明しています。

- **SOFTUNE® リンケージキットマニュアル V6 対応 (CM71-00327)**

  Windows 98, Windows Me, Windows 2000, Windows XP で動作する Spansion SOFTUNE® リンケージキットの機能および使用方法を説明しています。
  応用プログラムを開発する際に参照してください。

- **FR ファミリ 絶対アセンブルリスト作成ツールマニュアル (CM71-00305)**

  絶対アセンブルリストについて説明しています。

- **FR-V/FR ファミリ Softune C/C++ Analyzer マニュアル V5 対応 (CM81-00309)**

  C/C++ Analyzer の機能および使用方法について説明しています。

- **FR-V/FR ファミリ Softune C/C++ Checker マニュアル V5 対応 (CM81-00310)**

  C/C++ Checker の機能および使用方法について説明しています。

■ REALOS 系マニュアル

● REALOS µITRON3.0 系マニュアル

- **FR/F2MC® ファミリ µITRON 仕様準拠 SOFTUNE® REALOS®/FR/907/896 コンフィグレータマニュアル (CM71-00322)**

  Softune REALOS コンフィグレータの機能と操作について説明しています。

- **FR-V/FR/F2MC® ファミリ µITRON 仕様準拠 SOFTUNE® REALOS®/ アナライザマニュアル (CM81-00315)**

  Softune REALOS アナライザが提供する機能とその機能の利用方法について説明しています。

- **FR ファミリ µITRON3.0 仕様準拠 SOFTUNE® REALOS®/FR ユーザーズガイド (CM71-00320)**

  REALOS/FR 応用システムの構築 / 起動について説明しています。
  システム全体のまとめの作業を行う際に参照してください。

- **FR ファミリ µITRON3.0 仕様準拠 SOFTUNE® REALOS®/FR カーネルマニュアル (CM71-00321)**

  Softune REALOS/FR が提供する機能とその機能の利用方法について説明しています
  アプリケーションシステムやユーザプログラムを作成する際に参照してください。

● REALOS µITRON4.0 系マニュアル

- **FR ファミリ µITRON4.0 仕様準拠 SOFTUNE® REALOS®/FR Spec.4 プログラミングマニュアル (CM81-00316)**

  Softune REALOS/FR Spec.4 の提供する機能とその利用方法について説明しています。

- **FR-V/FR ファミリ µITRON4.0 仕様準拠 SOFTUNE® REALOS® カーネルマニュアル (CM81-00312)**

  Softune REALOS/FRV/FR Spec.4 が提供する機能とその機能の利用方法について説明しています。

- **FR-V/FR ファミリ µITRON4.0 仕様準拠SOFTUNE® REALOS® コンフィギュレータ マニュアル (CM81-00311)**

  SOFTUNE REALOS コンフィギュレータ GUI の提供する機能とその利用方法について説明しています。

- **FR-V/FR /F²MC® ファミリ µITRON 仕様準拠 SOFTUNE® REALOS® アナライザマニュアル (CM81-00315)**

  SOFTUNE REALOS アナライザの提供する機能と利用方法について説明しています。

本書の使い方

■ 機能の探し方

本書では次の方法で , 使いたい機能の説明を探すことができます。

- **目次から探す**

  本書の内容を記載順に示します。

- **レジスター一覧から探す**

  本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から , 配置アドレスやレジスタの説明ページを探すことができます。

  本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは , 「付録 A I/O マップ」および「付録 B レジスター一覧」を参照してください。

- **索引から探す**

  周辺機能の名称などのキーワードから機能の説明を探すことができます。

■ 章について

本書では , 基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

目次

第 1 章　概要 1
1.1 MB91610 シリーズの概要 2
1.2 MB91610 シリーズの品種構成 8
1.3 MB91610 シリーズのブロックダイヤグラム 9
1.4 外形寸法図 10

第 2 章　MB91610 シリーズの端子 11
2.1 端子配列図 12
2.2 端子機能一覧 13
2.3 入出力回路形式 20
2.4 端子の設定方法 25

第 3 章　CPU 37
3.1 メモリ空間 38
3.2 内部アーキテクチャの特徴 40
3.3 動作モード 41
3.4 パイプライン 42
3.5 命令概要 44
3.5.1 算術演算 44
3.5.2 ロードとストア 44
3.5.3 分岐 45
3.5.4 論理演算とビット操作 45
3.5.5 ダイレクトアドレッシング 45
3.5.6 ビットサーチ 45
3.5.7 その他 45
3.6 基本プログラミングモデル 46
3.7 レジスタ 47
3.7.1 汎用レジスタ (R0 ～ R15) 47
3.7.2 プログラムステータスレジスタ (PS) 48
3.7.3 プログラムカウンタ (PC) 52
3.7.4 テーブルベースレジスタ (TBR) 53
3.7.5 リターンポインタ (RP) 53
3.7.6 システムスタックポインタ (SSP) 53
3.7.7 ユーザスタックポインタ (USP) 54
3.7.8 乗除算レジスタ (Multiply & Divide register) 55
3.8 データ構造 56
3.8.1 ビットオーダリング 56
3.8.2 バイトオーダリング 56
3.8.3 ワードアライメント 57
3.9 アドレッシング 58
3.9.1 ダイレクトアドレッシング領域 58
3.9.2 20 ビットアドレッシング領域 59
3.9.3 32 ビットアドレッシング領域 59
3.9.4 ベクタテーブル初期領域 59
3.10 分岐命令 60

3.10.1 遅延スロット付き動作 60
3.10.2 遅延スロットなし動作 62
3.11 EIT (例外・割込み・トラップ) 63
3.11.1 EIT 要因 63
3.11.2 EIT からの復帰 63
3.11.3 割込みレベル 64
3.11.4 I フラグ 64
3.11.5 割込みレベルマスクレジスタ (ILM) 66
3.11.6 割込みに対するレベルマスク 66
3.11.7 割込み制御レジスタ (ICR) 67
3.11.8 システムスタックポインタ (SSP) 67
3.11.9 割込みスタック 67
3.11.10 テーブルベースレジスタ (TBR) 68
3.11.11 EIT ベクタテーブル 68
3.11.12 多重 EIT 処理 69
3.11.13 動作 70
3.11.14 INT 命令の動作 71
3.11.15 INTE 命令の動作 72
3.11.16 ステップトレーストラップの動作 72
3.11.17 未定義命令例外の動作 73
3.11.18 RETI 命令の動作 73
3.11.19 遅延スロットと EIT 73

第 4 章 クロック生成部 75
4.1 概要 76
4.2 構成 77
4.2.1 クロック生成部 77
4.2.2 ソースクロック (SRCCLK) 選択部 80
4.3 端子 81
4.4 レジスタ 82
4.4.1 クロックソース設定レジスタ (CSELR) 83
4.4.2 クロックソース監視レジスタ (CMONR) 87
4.4.3 発振安定待ち設定レジスタ (CSTBR) 89
4.4.4 PLL 設定レジスタ (PLLCR) 93
4.5 動作説明 97
4.5.1 クロックソースの動作説明 97
4.5.2 ソースクロック (SRCCLK) の切換え 100
4.5.3 PLL クロック (PLLCLK) 生成のための逓倍率 103

第 5 章 クロック分周制御部 105
5.1 概要 106
5.2 内部クロック 107
5.3 構成 110
5.4 レジスタ 111
5.4.1 分周設定レジスタ 0 (DIVR0) 112
5.4.2 分周設定レジスタ 2 (DIVR2) 114
5.5 分周比 115

第 6 章 メインタイマ 117

6.1 概要 118
6.2 構成 119
6.3 レジスタ 120
6.3.1 メインタイマ制御レジスタ (MTMCR) 121
6.4 割込み 125
6.5 動作説明と設定手順例 126
6.5.1 メインタイマの動作 126
6.5.2 ストップモードへの遷移について 128

第 7 章 サブタイマ 129
7.1 概要 130
7.2 構成 131
7.3 レジスタ 132
7.3.1 サブタイマ制御レジスタ (STMCR) 133
7.4 割込み 136
7.5 動作説明と設定手順例 137
7.5.1 サブタイマの動作 137
7.5.2 ストップモードへの遷移と時計モードについて 139

第 8 章 低消費電力モード 141
8.1 概要 142
8.2 構成 143
8.3 レジスタ 145
8.3.1 スタンバイ制御レジスタ (STBCR) 146
8.3.2 スリープレート設定レジスタ (SLPRR) 149
8.4 動作説明と設定手順例 151
8.4.1 クロック制御時の動作 151
8.4.2 ドーズモード時の動作 153
8.4.3 スリープモード時の動作 154
8.4.4 メインタイマモード時の動作 157
8.4.5 時計モード時の動作 159
8.4.6 ストップモード時の動作 161
8.5 使用上の注意 164

第 9 章 リセット 165
9.1 概要 166
9.2 構成 167
9.3 端子 169
9.4 レジスタ 170
9.4.1 リセット要因レジスタ (RSTRR) 171
9.4.2 リセット制御レジスタ (RSTCR) 174
9.5 動作説明 176
9.5.1 リセットの種類 176
9.5.2 リセット要因 177
9.5.3 リセットの動作 179
9.5.4 イレギュラーリセット 183
9.6 動作状態と遷移 184

第 10 章 割込みコントローラ 189

10.1 概要 190
10.2 構成 191
10.3 レジスタ 192
10.3.1 割込みコントロールレジスタ (ICR00 ～ ICR47) 193
10.4 動作説明と設定手順例 195
10.4.1 割込みコントローラの動作説明 195
10.5 使用上の注意 197

第 11 章 割込み要求一括読出し機能 199
11.1 概要 200
11.2 構成 201
11.3 レジスタ 202
11.3.1 割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H) 203
11.3.2 割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L) 204
11.3.3 割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L) 206
11.3.4 割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H) 207
11.3.5 割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H) 208
11.3.6 割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H) 209
11.3.7 割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L) 210
11.3.8 割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L) 211
11.4 使用上の注意 212

第 12 章 遅延割込み 213
12.1 概要 214
12.2 構成 215
12.3 レジスタ 216
12.3.1 遅延割込み制御レジスタ (DICR) 217
12.4 動作説明と設定手順例 218
12.4.1 遅延割込みの動作説明 218
12.5 使用上の注意 219

第 13 章 I/O ポート 221
13.1 概要 222
13.2 構成 224
13.3 端子 228
13.4 レジスタ 229
13.4.1 ポートデータ方向レジスタ (DDR0 ～ DDRK) 230
13.4.2 ポート機能レジスタ (PFR0 ～ PFR7) 233
13.4.3 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) 235
13.4.4 ポートデータレジスタ (PDR0 ～ PDRK) 244
13.4.5 プルアップ制御レジスタ (PCR0 ～ PCR7) 245
13.4.6 A/D チャネルイネーブルレジスタ (ADCHE) 246
13.5 使用上の注意 247

第 14 章 外部割込み制御部 249
14.1 概要 250
14.2 構成 251
14.3 端子 253
14.4 レジスタ 254

14.4.1 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) 255
14.4.2 外部割込み要因レジスタ (EIRR0, EIRR1) 257
14.4.3 割込み許可レジスタ (ENIR0, ENIR1) 258
14.5 動作説明と設定手順例 259
14.5.1 外部割込み制御部の動作 259
14.5.2 スタンバイモードからの復帰 262
14.5.3 スリープモードからの復帰 264

第 15 章 ウォッチドッグタイマ 265
15.1 概要 266
15.2 構成 267
15.3 レジスタ 269
15.3.1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) 270
15.3.2 ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) 273
15.3.3 ウォッチドッグタイマ 1 制御レジスタ (WDTCR1) 274
15.3.4 ウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1) 275
15.4 動作説明と設定手順例 276
15.4.1 ウォッチドッグタイマ 0 の動作 276
15.4.2 ウォッチドッグタイマ 1 の動作 278

第 16 章 時計カウンタ 281
16.1 概要 282
16.2 構成 283
16.3 レジスタ 285
16.3.1 時計カウンタリロードレジスタ (WCRL) 286
16.3.2 時計カウンタ制御レジスタ (WCCR) 287
16.3.3 時計カウンタリードレジスタ (WCRD) 289
16.4 割込み 290
16.5 動作説明と設定手順例 291
16.5.1 時計カウンタの動作 291
16.6 使用上の注意 293

第 17 章 32 ビットフリーランタイマ 295
17.1 概要 296
17.2 構成 297
17.3 端子 300
17.4 レジスタ 301
17.4.1 コンペアクリアレジスタ (CPCLR0) 302
17.4.2 タイマデータレジスタ (TCDT0) 303
17.4.3 タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0) 304
17.5 割込み 308
17.6 動作説明と設定手順例 309
17.6.1 内部クロック (周辺クロック) 選択時の動作 310
17.6.2 外部クロック選択時の動作 311

第 18 章 32 ビットインプットキャプチャ 313
18.1 概要 314
18.2 構成 315

18.3 端子 317
18.4 レジスタ 318
18.4.1 インプットキャプチャ状態制御レジスタ (ICS01, ICS23) 319
18.4.2 インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) 322
18.5 割込み 323
18.6 動作説明と設定手順例 324
18.6.1 32 ビットインプットキャプチャの動作説明 324

第 19 章 32 ビットアウトプットコンペア 327
19.1 概要 328
19.2 構成 329
19.3 端子 331
19.4 レジスタ 332
19.4.1 アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) 333
19.4.2 コンペア制御レジスタ上位 (OCSH1, OCSH3) 334
19.4.3 コンペア制御レジスタ下位 (OCSL0, OCSL2) 337
19.5 割込み 340
19.6 動作説明と設定手順例 341
19.6.1 独立で使用する場合の動作 341
19.6.2 一対にして使用する場合の動作 343

第 20 章 16 ビットリロードタイマ 345
20.1 概要 346
20.2 構成 347
20.3 端子 349
20.4 レジスタ 350
20.4.1 コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) 351
20.4.2 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) 356
20.4.3 16 ビットタイマレジスタ (TMR0 ～ TMR2) 357
20.5 割込み 358
20.6 動作説明と設定手順例 359
20.6.1 インターバルタイマモード時の動作 360
20.6.2 イベントカウンタモード時の動作 372
20.6.3 カスケードモード時の動作 378
20.7 使用上の注意 380

第 21 章 ベースタイマ入出力選択機能 381
21.1 概要 382
21.2 構成 384
21.3 端子 385
21.4 レジスタ 387
21.4.1 入出力選択レジスタ 0123 (BTSEL0123) 388
21.4.2 入出力選択レジスタ 4567 (BTSEL4567) 390
21.4.3 同時ソフト起動レジスタ (BTSSSR) 392
21.5 入出力モード 395
21.5.1 入出力モード 0 (16 ビットタイマ標準モード) 395
21.5.2 入出力モード 1 (タイマフルモード) 396
21.5.3 入出力モード 2 (外部トリガ共有モード) 398
21.5.4 入出力モード 3 (他チャネルトリガ共有モード) 399

21.5.5 入出力モード 4 (タイマ起動 / 停止モード) 時の動作 401
21.5.6 入出力モード 5 (同時ソフト起動モード) 時の動作 403
21.5.7 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作 404
21.5.8 入出力モード 7 (タイマ起動モード) 時の動作 406
21.5.9 入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) 時の動作 407

第 22 章 ベースタイマ 411
22.1 ベースタイマの概要 412
22.2 ベースタイマのブロックダイヤグラム 414
22.3 ベースタイマのレジスタ 419
22.4 ベースタイマの動作 424
22.5 32 ビットモード動作 426
22.6 ベースタイマの使用上の注意 428
22.7 ベースタイマ割込み 430
22.8 ベースタイマの機能別説明 431
22.8.1 PWM 機能 432
22.8.1.1 PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR) 433
22.8.1.2 PWM 周期設定レジスタ (BTxPCSR) 439
22.8.1.3 PWM デューティ設定レジスタ (BTxPDUT) 440
22.8.1.4 タイマレジスタ (BTxTMR) 441
22.8.1.5 16 ビット PWM タイマ動作 442
22.8.1.6 ワンショット動作 443
22.8.1.7 割込み要因とタイミングチャート 444
22.8.1.8 出力波形 445
22.8.2 PPG 機能 446
22.8.2.1 PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR) 447
22.8.2.2 "L" 幅設定リロードレジスタ (BTxPRLL) 453
22.8.2.3 "H" 幅設定リロードレジスタ (BTxPRLH) 454
22.8.2.4 タイマレジスタ (BTxTMR) 455
22.8.2.5 16 ビット PPG タイマ動作 456
22.8.2.6 連続動作 457
22.8.2.7 ワンショット動作 458
22.8.2.8 割込み要因とタイミングチャート 460
22.8.3 リロードタイマ機能 461
22.8.3.1 リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR) 462
22.8.3.2 周期設定レジスタ (BTxPCSR) 469
22.8.3.3 タイマレジスタ (BTxTMR) 470
22.8.3.4 16 ビットリロードタイマの動作 471
22.8.4 PWC 機能 474
22.8.4.1 PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR) 475
22.8.4.2 データバッファレジスタ (BTxDTBF) 481
22.8.4.3 PWC 動作 482

第 23 章 10 ビット A/D コンバータ 491
23.1 概要 492
23.2 構成 494
23.3 端子 496
23.4 レジスタ 498
23.4.1 A/DC コントロールレジスタ (ADCR0) 499

23.4.2 A/DC ステータスレジスタ (ADSR0) 502
23.4.3 スキャン変換コントロールレジスタ (SCCR0) 505
23.4.4 スキャン変換 FIFO 段数設定レジスタ (SFNS0) 509
23.4.5 スキャン変換 FIFO データレジスタ (SCFD0) 511
23.4.6 スキャン変換入力選択レジスタ (SCIS00) 514
23.4.7 優先変換コントロールレジスタ (PCCR0) 515
23.4.8 優先変換 FIFO 段数設定レジスタ (PFNS0) 518
23.4.9 優先変換 FIFO データレジスタ (PCFD0) 519
23.4.10 優先変換入力選択レジスタ (PCIS0) 523
23.4.11 A/D 比較値設定レジスタ (CMPD0) 525
23.4.12 A/D 比較コントロールレジスタ (CMPCR0) 526
23.4.13 サンプリング時間設定レジスタ (ADST00, ADST10) 529
23.4.14 サンプリング時間選択レジスタ (ADSS00) 532
23.4.15 コンペア時間設定レジスタ (ADCT0) 533
23.5 割込み 535
23.6 動作説明と設定手順例 537
23.6.1 A/D スキャン変換時の動作 544
23.6.2 A/D 優先変換時の動作 547
23.6.3 FIFO の動作 550
23.6.4 DMA コントローラ (DMAC) の起動 556

第 24 章 マルチファンクションシリアルインタフェース 559
24.1 マルチファンクションシリアルインタフェースの特長 560
24.2 UART (非同期シリアルインタフェース) 562
24.3 UART (非同期シリアルインタフェース) の概要 563
24.4 UART (非同期シリアルインタフェース) のレジスタ 564
24.4.1 シリアル制御レジスタ (SCR) 567
24.4.2 シリアルモードレジスタ (SMR) 570
24.4.3 シリアルステータスレジスタ (SSR) 573
24.4.4 拡張通信制御レジスタ (ESCR) 576
24.4.5 受信データレジスタ / 送信データレジスタ (RDR/TDR) 578
24.4.6 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) 582
24.4.7 FIFO 制御レジスタ 1(FCR1) 584
24.4.8 FIFO 制御レジスタ 0(FCR0) 587
24.4.9 FIFO バイトレジスタ (FBYTE1/FBYTE2) 590
24.5 UART の割込み 592
24.5.1 受信割込み発生とフラグセットのタイミング 594
24.5.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 595
24.5.3 送信割込み発生とフラグセットのタイミング 597
24.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 598
24.6 UART の動作 599
24.7 専用ボーレートジェネレータ 605
24.7.1 ボーレート設定 606
24.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー 611
24.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー 613
24.10 UART モードの注意事項 616
24.11 CSIO (クロック同期シリアルインタフェース) 617
24.12 CSIO (クロック同期シリアルインタフェース) の概要 618
24.13 CSIO (クロック同期シリアルインタフェース) のレジスタ 619

24.13.1 シリアル制御レジスタ (SCR) ... 622
24.13.2 シリアルモードレジスタ (SMR) ... 625
24.13.3 シリアルステータスレジスタ (SSR) ... 628
24.13.4 拡張通信制御レジスタ (ESCR) ... 631
24.13.5 受信データレジスタ / 送信データレジスタ (RDR/TDR) ... 633
24.13.6 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) ... 636
24.13.7 FIFO 制御レジスタ 1 (FCR1) ... 638
24.13.8 FIFO 制御レジスタ 0 (FCR0) ... 641
24.13.9 FIFO バイトレジスタ (FBYTE1/FBYTE2) ... 644
24.13.10 シリアルモード選択レジスタ (SSEL0123) ... 646
24.13.11 受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM) ... 648
24.14 CSIO (クロック同期シリアルインタフェース) の割込み ... 649
24.14.1 受信割込み発生とフラグセットのタイミング ... 650
24.14.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 652
24.14.3 送信割込み発生とフラグセットのタイミング ... 654
24.14.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 655
24.15 CSIO (クロック同期シリアルインタフェース) の動作 ... 656
24.16 専用ボーレートジェネレータ ... 675
24.16.1 ボーレート設定 ... 676
24.17 CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー ... 679
24.18 CSIO モードの注意事項 ... 681
24.19 I^2C インタフェース ... 682
24.20 I^2C インタフェースの概要 ... 683
24.21 I^2C インタフェースのレジスタ ... 684
24.21.1 I^2C バス制御レジスタ (IBCR) ... 688
24.21.2 シリアルモードレジスタ (SMR) ... 694
24.21.3 I^2C バスステータスレジスタ (IBSR) ... 696
24.21.4 シリアルステータスレジスタ (SSR) ... 701
24.21.5 受信データレジスタ / 送信データレジスタ (RDR/TDR) ... 704
24.21.6 7 ビットスレーブアドレスマスクレジスタ (ISMK) ... 706
24.21.7 7 ビットスレーブアドレスレジスタ (ISBA) ... 708
24.21.8 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) ... 709
24.21.9 FIFO 制御レジスタ 1(FCR1) ... 710
24.21.10 FIFO 制御レジスタ 0(FCR0) ... 713
24.21.11 FIFO バイトレジスタ (FBYTE1/FBYTE2) ... 718
24.22 I^2C インタフェースの割込み ... 720
24.22.1 I^2C インタフェース通信の動作 ... 722
24.22.2 マスタモード ... 723
24.22.3 スレーブモード ... 741
24.22.4 バスエラー ... 745
24.23 専用ボーレートジェネレータ ... 746
24.23.1 I^2C のフローチャート例 ... 748
24.24 I2C モードの注意事項 ... 762

第 25 章 USB クロック生成部 ... 765
25.1 概要 ... 766
25.2 構成 ... 767
25.3 レジスタ ... 768
25.3.1 USB クロック設定レジスタ (UCCR) ... 769

25.4 動作説明と設定手順例 771

第 26 章 DMA 転送要求セレクタ 773
26.1 概要 774
26.2 構成 775
26.3 レジスタ 776
26.3.1 DREQ 選択レジスタ (DREQSEL) 777

第 27 章 USB ファンクション 779
27.1 概要 780
27.2 構成 781
27.3 レジスタ 782
27.3.1 USB 選択レジスタ (USBSEL) 784
27.3.2 USB 許可レジスタ (USBEN) 785
27.3.3 UDC 制御レジスタ (UDCC) 786
27.3.4 EP0 制御レジスタ (EP0C) 789
27.3.5 EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) 791
27.3.6 タイムスタンプレジスタ (TMSP) 796
27.3.7 UDC ステータスレジスタ (UDCS) 797
27.3.8 UDC 割込み許可レジスタ (UDCIE) 800
27.3.9 EP0I ステータスレジスタ (EP0IS) 802
27.3.10 EP0O ステータスレジスタ (EP0OS) 804
27.3.11 EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) 807
27.3.12 EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) 811
27.4 動作説明と設定手順例 813
27.4.1 接続検出と切断検出 816
27.4.2 コマンド応答時のレジスタ動作 819
27.4.3 STALL 応答と解除 822
27.4.4 サスペンド機能 827
27.4.5 ウェイクアップ機能 828
27.4.6 DMA 転送機能 830
27.4.7 NULL 転送機能 835
27.4.8 ソフトウェア制御例 836

第 28 章 USB ホスト 843
28.1 概要 844
28.2 構成 846
28.3 レジスタ 847
28.3.1 ホストコントロールレジスタ 0,1 (HCNT) 849
28.3.2 ホスト割込みレジスタ (HIRQ) 855
28.3.3 ホストエラーステータスレジスタ (HERR) 859
28.3.4 ホスト状態ステータスレジスタ (HSTATE) 863
28.3.5 SOF 割込み FRAME 比較レジスタ (HFCOMP) 866
28.3.6 リトライタイマ設定レジスタ (HRTIMER) 867
28.3.7 ホストアドレスレジスタ (HADR) 869
28.3.8 EOF 設定レジスタ (HEOF) 870
28.3.9 FRAME 設定レジスタ (HFRAME) 872
28.3.10 ホストトークンエンドポイントレジスタ (HTOKEN) 873
28.4 動作説明と設定手順例 875

28.4.1 USB デバイスの接続 875
28.4.2 USB バスのリセット 877
28.4.3 トークンパケット 879
28.4.4 データパケット 882
28.4.5 ハンドシェークパケットの動作 882
28.4.6 リトライ機能 883
28.4.7 SOF 割込み 884
28.4.8 エラーステータス 886
28.4.9 パケット終了 887
28.4.10 サスペンド・リジューム 888
28.4.11 USB デバイスの切断 891
28.4.12 USB ホストの各トークンフローチャート 892

第 29 章 リモコン受信 897
29.1 リモコン受信の概要 898
29.2 リモコン受信のレジスタ 899
29.2.1 リモコン受信制御レジスタ (RCCR) 900
29.2.2 リモコン受信割込み制御レジスタ (RCST) 902
29.2.3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) 904
29.2.4 スタートビット "H" 幅設定レジスタ (RCSHW) 905
29.2.5 "H" 幅設定レジスタ A (RCDAHW) 906
29.2.6 "H" 幅設定レジスタ B (RCDBHW) 907
29.2.7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) 908
29.2.8 クロック分周設定レジスタ (RCCKD) 909
29.3 リモコン受信の動作説明と設定手順例 910

第 30 章 OSDC 913
30.1 OSDC の仕様 914
30.1.1 特長 915
30.1.2 ブロックダイヤグラム 917
30.2 表示機能 918
30.2.1 画面構成 919
30.2.2 画面表示形式 922
30.2.3 画面出力制御 924
30.2.4 画面表示位置制御 925
30.2.4.1 画面表示位置オフセット 932
30.2.5 フォントメモリ構成 934
30.2.6 表示メモリ (VRAM) 構成 935
30.2.7 表示メモリ (VRAM) 書込み 936
30.2.8 パレット構成 938
30.2.9 文字表示 939
30.2.9.1 文字色 943
30.2.9.2 イタリック表示 944
30.2.9.3 アンダーライン表示 947
30.2.9.4 文字ふちどり 949
30.2.9.5 行拡大表示 958
30.2.9.6 グラフィック文字制御 963
30.2.9.7 ブリンク制御 967
30.2.9.8 透明制御 973

30.2.9.9 アルファブレンド出力制御 974
30.2.10 文字背景表示 984
30.2.10.1 影付背景右文字結合表示 988
30.2.10.2 文字影付背景枠上 / 下消去表示 (文字影付背景) 990
30.2.10.3 文字背景拡張表示 993
30.2.11 行背景表示 995
30.2.11.1 背景下行結合表示例 998
30.2.12 画面背景表示 1003
30.2.12.1 画面背景文字表示 1004
30.2.12.2 画面背景色表示 1007
30.2.12.3 ウィンドウ背景表示 1008
30.2.13 スプライト文字表示 1012
30.3 制御機能 1015
30.3.1 ドットクロック制御 1016
30.3.2 同期信号入力 1020
30.3.2.1 垂直同期制御 1021
30.3.2.2 水平同期制御 1023
30.3.2.3 フィールド制御 1024
30.3.3 表示信号出力 1027
30.3.4 表示期間制御 1029
30.3.5 同期制御 1032
30.3.6 割込み制御 1035
30.3.7 OSDC 動作制御 1038
30.4 表示制御コマンド (MAIN/OSDC 動作) 1043
30.4.1 MAIN 画面表示 /OSDC 動作・制御コマンド一覧 1044
30.4.2 VRAM 書込みアドレス設定 (コマンド 0) 1046
30.4.3 文字データ設定 (コマンド 1・コマンド 2) 1048
30.4.4 行制御データ設定 (コマンド 3・コマンド 4) 1051
30.4.5 画面出力制御 (コマンド 5-0) 1054
30.4.6 画面表示位置制御 (コマンド 5-1) 1056
30.4.7 透明色制御 (コマンド 6-0) 1057
30.4.8 グラフィック色制御 (コマンド 6-1) 1058
30.4.9 画面背景文字制御 (コマンド 7) 1060
30.4.10 画面背景制御 (コマンド 8-0) 1061
30.4.11 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2) 1062
30.4.12 スプライト文字制御 (コマンド 9-0・コマンド 9-1) 1064
30.4.13 同期制御 (コマンド 11) 1066
30.4.14 文字背景文字コード設定 (コマンド 12-0 ～コマンド 12-7) 1067
30.4.15 入出力端子制御 (コマンド 13) 1068
30.4.16 表示期間制御 (コマンド 14-0・コマンド 14-1) 1070
30.4.17 割込み制御 (コマンド 15) 1072
30.4.18 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) 1074
30.4.19 パレット制御 (コマンド 16-0 ～コマンド 16-127) 1076
30.4.20 動作制御 (コマンド 17) 1078
30.4.21 PLL クロック制御 (コマンド 18) 1080
30.5 表示制御コマンド (SUB 動作) 1081
30.5.1 SUB 画面表示・制御コマンド一覧 1082
30.5.2 VRAM 書込みアドレス設定 (コマンド 0) 1083
30.5.3 文字データ設定 (コマンド 1・コマンド 2) 1085

30.5.4 行制御データ設定 (コマンド 3・コマンド 4) 1088
30.5.5 画面出力制御 (コマンド 5-0) 1091
30.5.6 画面表示位置制御 (コマンド 5-1) 1093
30.5.7 透明色制御 (コマンド 6-0) 1094
30.5.8 グラフィック色制御 (コマンド 6-1) 1095
30.5.9 画面背景制御 (コマンド 8-0) 1097
30.5.10 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2) 1098
30.5.11 スプライト文字制御 (コマンド 9-0・コマンド 9-1) 1100
30.5.12 割込み制御 (コマンド 15) 1102
30.5.13 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) 1104
30.6 表示制御コマンドライト条件・反映タイミング 1106
30.6.1 表示制御コマンドライト条件・反映タイミング一覧 1107
30.7 フォントメモリ・CPU リードアクセス 1115

第 31 章 DMA コントローラ (DMAC) 1117
31.1 概要 1118
31.2 構成 1121
31.3 レジスタ 1123
31.3.1 DMA コントロールレジスタ (DMACR) 1125
31.3.2 DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) 1127
31.3.3 DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) 1128
31.3.4 DMA 転送回数レジスタ (DTCR0 ～ DTCR7) 1129
31.3.5 DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) 1130
31.3.6 DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) 1139
31.3.7 DMA 転送抑止割込みレベルレジスタ (DILVR) 1143
31.4 割込み 1145
31.5 動作説明と設定手順例 1146
31.5.1 転送設定 1146
31.5.2 転送動作 1149
31.5.3 転送の中断 1157
31.5.4 転送終了時の動作 1159
31.5.5 転送後の動作 1160
31.5.6 DMA 転送の抑止 1164

第 32 章 周辺機能による DMA 転送要求の発生 / クリア選択機能 1165
32.1 概要 1166
32.2 構成 1167
32.3 レジスタ 1169
32.3.1 IO 転送要求設定レジスタ (IORR0 ～ IORR7) 1171
32.3.2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) 1175
32.3.3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) 1177
32.3.4 周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4) 1179
32.3.5 周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6) 1180
32.3.6 周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7) 1182
32.3.7 周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8) 1183
32.3.8 周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10) 1185
32.3.9 周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11) 1188
32.4 動作説明と設定手順例 1191
32.4.1 DMA 転送時の動作 1191

第 33 章　内蔵プログラムメモリ制御 1193
33.1　内蔵プログラムメモリ制御部の概要 1194
33.2　内蔵プログラムメモリ制御部のレジスタ 1195
33.2.1　FLASH 制御レジスタ (FCTLR) 1196

第 34 章　フラッシュメモリ 1199
34.1　フラッシュメモリの概要 1200
34.2　フラッシュメモリの構成 1201
34.3　フラッシュメモリのレジスタ 1203
34.3.1　FLASH ステータスレジスタ (FSTR) 1204
34.3.2　FLASH 制御レジスタ (FCTLR) 1205
34.4　フラッシュメモリのアクセスモード 1206
34.5　自動プログラムアルゴリズム 1207
34.5.1　コマンドシーケンス 1207
34.5.2　自動プログラムアルゴリズムの実行状態 1210
34.6　フラッシュメモリの動作説明 1216
34.6.1　読出し / リセット動作 1216
34.6.2　書込み動作 1217
34.6.3　チップ消去動作 1220
34.6.4　セクタ消去動作 1220
34.6.5　セクタ消去一時停止動作 1222
34.6.6　セクタ消去再開動作 1224
34.7　フラッシュメモリの使用上の注意 1225

第 35 章　ワイルドレジスタ 1227
35.1　ワイルドレジスタの概要 1228
35.2　ワイルドレジスタの構成 1229
35.3　ワイルドレジスタのレジスタ 1230
35.3.1　ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) 1232
35.3.2　ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15) 1233
35.3.3　ワイルドレジスタデータイネーブルレジスタ (WREN) 1234
35.4　ワイルドレジスタの動作説明と設定手順例 1235
35.4.1　ワイルドレジスタの動作 1235
35.5　ワイルドレジスタの使用上の注意 1236

第 36 章　シリアル書込み接続 1239
36.1　Spansion 製シリアルプログラマ 1240
36.1.1　使用する端子 1247

第 37 章　デバイスの取扱いについて 1249
37.1　デバイス取扱い上の注意 1250

付録 1263

付録 A　I/O マップ 1264

付録 B　レジスター覧 1284

付録 C　割込みベクタ 1299

付録 D　CPU の状態における端子状態 1302

付録 E　ドットクロック生成用 PLL について 1309

付録 F　命令一覧 1310
F.1　命令一覧表の見かた 1310
F.2　命令一覧表 1314
F.3　遅延スロットに配置可能な命令一覧 1323

端子索引 1325

本版での主な変更内容

ページ	変更内容 (詳細は本文を参照してください。)	
8	1.2 MB91610 シリーズの品種構成	「表 1.2-1 MB91610 シリーズの品種構成」を訂正 (内蔵 RAM 容量→内蔵 RAM 容量 (命令実行可能))
9	1.3 MB91610 シリーズのブロックダイヤグラム	「図 1.3-1 MB91610 シリーズのブロックダイヤグラム] を訂正 (RAM →内蔵 RAM(命令実行可能))
39	3.1 メモリ空間 ■ メモリマップ	「図 3.1-1 メモリマップ] をに訂正 (内蔵 RAM 領域→内蔵 RAM 領域 (命令実行可能))
65	3.11.4 I フラグ	以下の説明文を追加 (I フラグを "0" にする命令を実行しているときに割込みを受け付けると , I フラグ , ILM は変更するのに命令実行から 1cycle 遅れがあるため , 割込み処理ルーチンに飛んでいるにもかかわらず I フラグが "0" となります。この際 , 多重割込みが発生しても I フラグは "0" のため受け付けられず , 多重割込みの処理が実行されません。なお , I フラグ自体は命令実行時に更新されます。そのため , スタックには更新後の I フラグの値が退避され , スタックの値が復帰された際には PS レジスタには更新後の I フラグの値が反映されます。割込みルーチン内で新たな割込みを受け付けたい場合は , 割込みルーチンの先頭で I フラグを "1" とするソフトウェア処理を行ってください。)
171	9.4.1 リセット要因レジスタ (RSTRR)	「図 9.4-1 リセット要因レジスタ (RSTRR) のビット構成」内の説明文を訂正 (X : 初期化されません。 → X : 各ビットは , 特定のリセット要因で初期化されます。他の要因では , 初期化されません。)
		以下の説明文を追加 (リセット要因の判定については , 「9.5.2 リセット要因」の「■ リセット要因判定フロー」を参照してください。)
		＜注意事項＞を訂正 (このレジスタを読み出すと , すべてのビットがクリアされます。→ ・このレジスタを読み出すと , すべてのビットがクリアされます。 ・電源投入時は不定です。)

ページ	変更内容 (詳細は本文を参照してください。)	
556	23.6.4 DMA コントローラ (DMAC) の起動	説明文を追加 (・シングル変換モード時 DMA 転送する場合 , DMA ブロックサイズと割込み発生 FIFO 段数を同じ値に設定し , DMA 完了後に次の A/D 起動を行ってください。 ・リピート変換モード時 DMA 転送する場合 , DMA のブロックサイズを 1, 割込み発生 FIFO 段数を 1 段に設定してください。) 「図 23.6-6 DMA 転送動作 (スキャン変換割込み要求の場合)」を訂正 ＜注意事項＞を追加 (DMA のブロックサイズと割込み発生 FIFO 段数は同じ値を設定してください。また , すべての FIFO のデータを DMA 転送したあとに次の A/D 起動を行ってください。)
558		「図 23.6-7 DMA 再転送動作」を訂正 「図 23.6-7 DMA 再転送動作」に以下の＜注意事項＞を追加 (DMA のブロックサイズを 1, 割込み発生 FIFO 段数を 1 に設定してください。)
560	24.1 マルチファンクションシリアルインタフェースの特長	＜注意事項＞を訂正 (・動作モードを変更すると , 同一チャネルの一部のレジスタは初期化されますので動作モードは最初に設定してください。初期化されるレジスタについては , 各動作モードのシリアルモードレジスタ (SMR) の注意事項を参照してください。)
572	24.4.2 UART (非同期シリアルインタフェース),	＜注意事項＞を訂正 (動作モードを変更すると , 同一チャネル内の以下のレジスタは初期化されますので動作モードは最初に設定してください。 ・シリアル制御レジスタ (SCR) ・拡張通信制御レジスタ (ESCR))
616	24.10 UART モードの注意事項	「24.10 UART モードの注意事項」の項目を追加
627	24.13. 2 シリアルモードレジスタ (SMR)	＜注意事項＞を訂正 (動作モードを変更すると , 同一チャネル内の以下のレジスタは初期化されますので動作モードは最初に設定してください。 ・シリアル制御レジスタ (SCR) ・拡張通信制御レジスタ (ESCR))

ページ	変更内容 (詳細は本文を参照してください。)	
676, 677	24.16.1 ボーレート設定 ■ ボーレートの計算	＜注意事項＞を訂正 (SCINV=0 のとき , ……→ - SPI=0, SCINV=0 のとき , シリアルクロックの "H" 幅が周辺クロック (PCLK)1 サイクル分長くなります。 - SPI=0, SCINV=1 のとき , シリアルクロックの "L" 幅が周辺クロック (PCLK)1 サイクル分長くなります。 - SPI=1, SCINV=0 のとき , シリアルクロックの "L" 幅が周辺クロック (PCLK)1 サイクル分長くなります。 - SPI=1, SCINV=1 のとき , シリアルクロックの "H" 幅が周辺クロック (PCLK)1 サイクル分長くなります。)
679	24.18 CSIO モードの注意事項	「24.18 CSIO モードの注意事項」の項目を追加
695	24. 21. 2 シリアルモードレジスタ (SMR)	＜注意事項＞を訂正 (動作モードを変更すると , 同一チャネル内の以下のレジスタが初期化されるので動作モードは最初に設定してください。 ・I^2C バス制御レジスタ (IBCR) ・I^2C バスステータスレジスタ (IBSR) ただし , 16 ビット書込みで IBCR と SMR を同時に書き込んだとき , IBCR には書き込んだ内容が反映されます。)
751, 758	24.23.1 I^2C のフローチャート例	「図 24.23-3 マスタ受信割込み処理」, 「図 24.23-9 マスタ送信割込み処理」を訂正
762 ,763	24.24 I^2C モードの注意事項	「24.24 I^2C モードの注意事項」の項目を追加
772	25.4 動作説明と設定手順例 ■ PLL マクロ発振クロック選択	「表 25.4-1 USB クロック選択と UPDS/UCSEL ビットの関係」を訂正 (PLL マクロ発振クロック 96MHz 設定禁止→ PLL マクロ発振クロック 96MHz 設定)
-	-	社名変更および記述フォーマットの変換

第１章　概要

MB91610 シリーズの特徴と基本的な仕様について説明します。

1.1 MB91610 シリーズの概要
1.2 MB91610 シリーズの品種構成
1.3 MB91610 シリーズのブロックダイヤグラム
1.4 外形寸法図

1.1　MB91610 シリーズの概要

MB91610 シリーズは , 32 ビット RISC CPU を使用し , 高性能 / 高速な CPU 処理を要求される組込み制御用に各種周辺機能を内蔵したマイクロコントローラです。
本シリーズは , FR80 ファミリ CPU をベースにシングルチップ化したシリーズです。

■ FR80 ファミリ CPU

- 32 ビット RISC, ロード / ストアアーキテクチャ , パイプライン 5 段
- 汎用レジスタ 32 ビット　16 本
- 16 ビット固定長命令 (基本命令), 1 命令 /1 サイクル
- 組込み用途に適した命令
  - メモリ－メモリ間転送 , ビット処理 , バレルシフト等の命令
  - 高級言語対応命令
    関数入口 / 出口命令 , レジスタ内容のマルチロードストア命令
  - ビットサーチ命令
    1 検出 , 0 検出 , 変化点検出
  - 遅延スロット付分岐命令
    分岐処理時のオーバヘッドの低減
  - レジスタインターロック機能
    アセンブラ記述の容易化
  - 乗算器の内蔵 / 命令レベルでのサポート
    符号付 32 ビット乗算－ 5 サイクル
    符号付 16 ビット乗算－ 3 サイクル
  - 割込み (PC, PS の退避)
    最小 6 サイクルの高速応答 , 16 レベルの優先順位
  - ハーバードアーキテクチャにより ， プログラムアクセスとデータアクセスを同時に実行可能
  - CPU 内の 4 ワードの命令キューにより , 命令の先取り機能
- FR ファミリ CPU との基本命令互換
  - ビットサーチ命令追加
  - リソース命令 , コプロセッサ命令はありません。

■ 最大動作周波数

CPU	33MHz
周辺	33MHz

■ DMA コントローラ (DMAC)

- チャネル数 : 8 チャネル
- アドレス空間 : 32 ビット (4G バイト)
- 転送モード : ブロック転送 / バースト転送 / デマンド転送
- アドレス更新 : 増加 / 減少 / 固定 (増減値は 1, 2, 4 固定)
- 転送サイズ : 8 ビット , 16 ビット , 32 ビット
- ブロックサイズ : 1 ～ 16
- 転送回数 : 1 ～ 65535 回
- 転送要求 :
  - ソフトウェアによる要求
  - 内蔵周辺機能の割込み要求 (割込み要求を共用 , 外部割込み要求含む)
- リロード機能 : 全チャネルリロード指定可
- 優先順位 : 固定 (ch.0 > ch.1 > ch.2 > ch.3 > …), もしくはラウンドロビン
- 割込み要求 : 正常終了割込み要求 , 異常終了割込み要求 , 転送中断割込み要求を発生可能

■ マルチファンクションシリアルインタフェース

- 16 バイト FIFO 付 4 チャネル , FIFO なし 4 チャネル
- チャネルごとに , 使用方法を次の中から選択可能 (ch.0 は I^2C なし)
  - UART
  - CSIO
  - I^2C

[UART の特長]

- 全二重ダブルバッファ
- パリティあり / なし選択可能
- 専用ボーレートジェネレータを内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能あり (パリティエラー , フレーミングエラー , オーバランエラー)

[CSIO の特長]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータを内蔵
- オーバランエラー検出機能あり

[I^2C の特長]

- 標準モード (最大 100kbps) / 高速モード (最大 400kbps) に対応
- 一部のチャネルは 5V トレラント対応

■ 割込み

- 外部割込みは合計 16 本 (一部の端子は 5V トレラント対応)
- 内部周辺機能からの割込み
- 割込みレベルをプログラマブルに設定可能 (16 レベル)
- ストップモード , スリープモードからの復帰に使用可能

■ A/D コンバータ

- 8 チャネル , 1 ユニット
- 10 ビット分解能
- 逐次比較変換型　変換時間：約 1.2µs (PCLK=33MHz)
- 優先 A/D 変換可能 (2 レベル)
- 変換モード (単発変換モード , スキャン変換モード)
- 起動要因 (ソフトウェア / 外部トリガ / ベースタイマ)
- 変換データ格納用 FIFO を搭載 (スキャン変換用：16 段 , 優先変換用：4 段)

■ ベースタイマ

- チャネル数：8 チャネル内蔵
- チャネルごとに , 使用方法を次の中から選択可能
  - 16/32 ビットリロードタイマ
  - 16 ビット PWM タイマ
  - 16/32 ビット PWC タイマ
  - 16 ビット PPG タイマ
- 2 チャネルをカスケード接続して 32 ビットタイマとして使用可能
- 複数チャネルの同時起動機能あり
- 入出力選択機能あり

■ 16 ビットリロードタイマ

- チャネル数：3 チャネル (REALOS 用 1 チャネル含む)
- インターバルタイマ機能
- カウント用クロック選択機能 (周辺クロック (PCLK) の 2 分周～ 64 分周)

■ コンペアタイマ

- 32 ビットインプットキャプチャ : 4 チャネル内蔵
- 32 ビットアウトプットコンペア : 4 チャネル内蔵
- 32 ビットフリーランタイマ : 1 チャネル内蔵

■ その他のインターバルタイマ

- 時計カウンタ : 1 チャネル内蔵
- ウォッチドッグタイマ : 2 チャネル内蔵

[ウォッチドッグタイマ 0]

- 本デバイスのリセット後 , WDTCPR0 レジスタに任意の値を書き込むとウォッチドッグタイマが起動します。
- ウォッチドッグタイマ 0 の周期は , 周辺クロック (PCLK) × (2^9 ～ 2^{24}) の中から選択できます。

[ウォッチドッグタイマ 1]

- 本デバイスのリセット解除後 , CPU クロック (CCLK) でカウントします。
- HWDE 端子でカウンタ動作の禁止 / 許可を制御できます。
- ウォッチドッグタイマ 1 の周期は , CCLK × 2^{23} サイクル固定です。

■ USB ファンクション / ホスト

- チャネル数 : 1 チャネル
- Full-Speed のみ対応
- USB ファンクションと USB ホストは切換え式 (USB I/O は兼用)
- DMA 転送をサポート

[USB ファンクション]

- 最大 6 本のエンドポイントをサポート
  - エンドポイント 0 はコントロール転送に固定
  - エンドポイント 1 ～エンドポイント 5 は , バルク転送とインタラプト転送を選択可能
- エンドポイント 1 ～エンドポイント 5 はダブルバッファ構成

[USB ホスト]

- コントロール転送 , バルク転送 , インタラプト転送 , アイソクロナス転送をサポート
- USB デバイスの接続 / 切断の自動検出
- IN/OUT トークン時のハンドシェークパケットの自動処理
- 最大パケット長 256 バイトまでのサポート
- ウェイクアップ機能のサポート

■ HDMI-CEC/ リモコン受信

- 1 チャネル搭載
- HDMI-CEC 受信機能 (自動 ACK 応答機能あり)
- リモコン受信機能 (4 バイトの受信バッファ搭載)

■ OSDC 機能

- 16 ビット RGB (65536 色中 256 色表示可能)
- アナログ RGB 出力 : 最大 50 MHz
  デジタル RGB 出力 : 最大 75 MHz
- 32 × 32 ドットのフォントを最大 60 × 32 で表示
- MAIN/SUB の 2 レイヤ表示
- 最大 16384 文字種
- ドットクロック生成用の PLL を 1 個搭載

■ メインタイマ

- チャネル数 : 1 チャネル
- メインクロック (MCLK) の発振安定待ち時間をカウント
- PLL クロック (PLLCLK) の発振安定待ち時間をカウント
- メインクロック (MCLK) の発振が安定状態のときは , インターバルタイマとしても使用可能

■ サブタイマ

- チャネル数 : 1 チャネル
- サブクロック (SBCLK) の発振安定待ち時間をカウント
- サブクロック (SBCLK) の発振が安定状態のときは, インターバルタイマとしても使用可能

■ クロック生成

- メインクロック (MCLK) 発振
- サブクロック (SBCLK) 発振
- PLL クロック (PLLCLK) 発振

■ 低消費電力モード

- ストップモード
- 時計モード
- スリープモード
- ドーズモード
- クロック分周機能

■ その他の特長

- I/O ポート
- リセット端子として $\overline{\text{INIT}}$ 端子を用意
- ウォッチドッグタイマリセット , ソフトウェアリセットあり
- 遅延割込み
- 電源
  - 単一電源 (3.0 V ～ 3.6 V)

1.2　MB91610 シリーズの品種構成

MB91610 シリーズの品種について説明します。

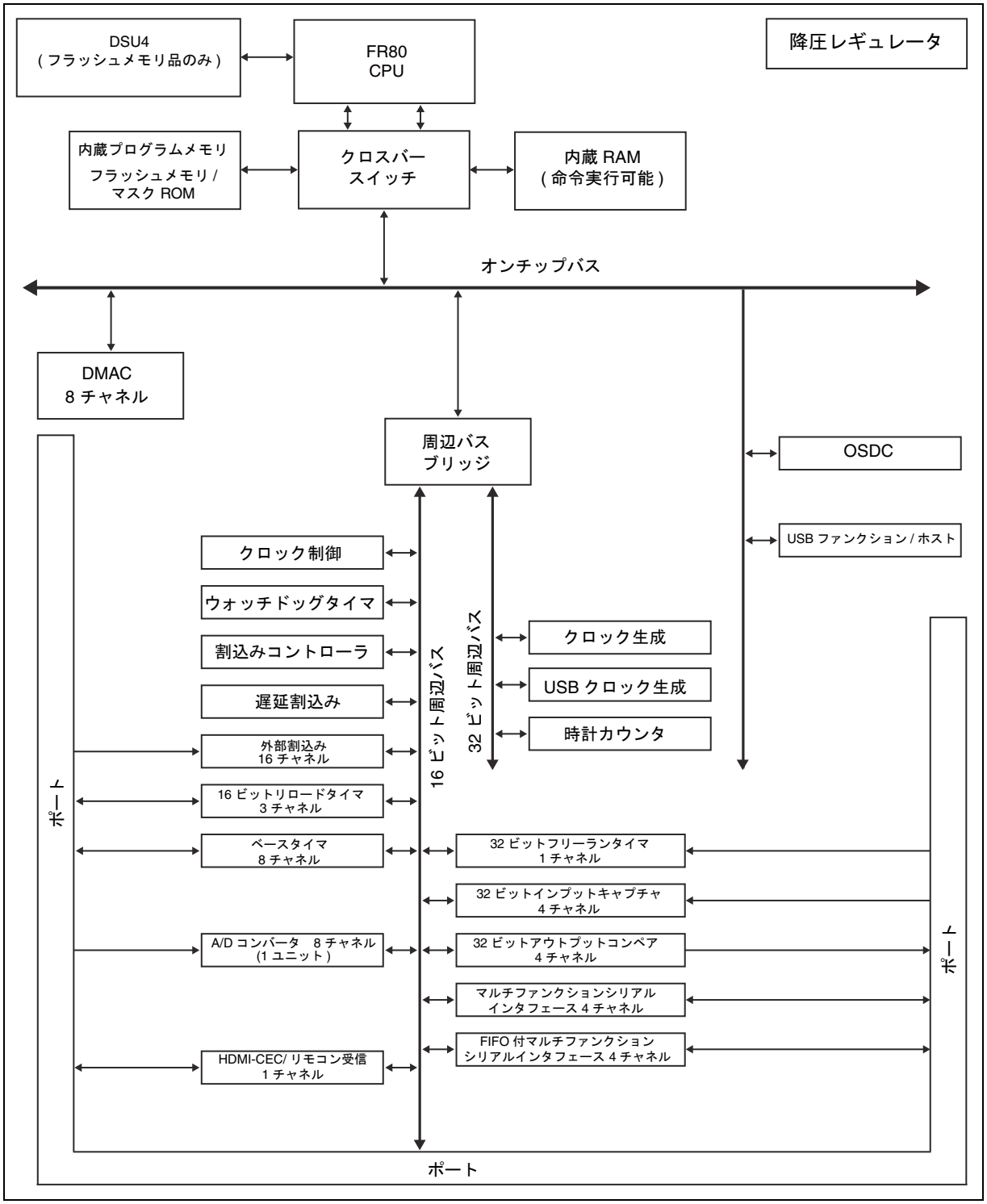
表 1.2-1 MB91610 シリーズの品種構成

項目 \ 品名	MB91F610A	MB91613
分類	フラッシュメモリ品	マスク ROM 品
内蔵プログラムメモリ容量	512KB(フラッシュ)	512KB(ROM)
内蔵 RAM 容量 (命令実行可能)	32KB	
DMA コントローラ (DMAC)	8 チャネル	
ベースタイマ	8 チャネル	
マルチファンクション シリアルインタフェース	FIFO なし : 4 チャネル (ch.0 ～ ch.3) FIFO 付き : 4 チャネル (ch.8 ～ ch.11)	
外部割込み	16 チャネル	
10 ビット A/D コンバータ	8 チャネル (1 ユニット)	
16 ビットリロードタイマ	3 チャネル	
コンペアタイマ	32 ビットインプットキャプチャ : 4 チャネル 32 ビットアウトプットコンペア : 4 チャネル 32 ビットフリーランタイマ : 1 チャネル	
時計カウンタ	1 チャネル	
I/O ポート	50 本 (最大)	
USB ファンクション / ホスト	1 チャネル	
HDMI-CEC/ リモコン受信	1 チャネル	
OSDC	フォント FLASH : 16384 文字種	フォント ROM : 7168 文字種
メインタイマ	1 チャネル	
サブタイマ	1 チャネル	
ワイルドレジスタ	16 チャネル	
デバック機能	DSU4	-
パッケージ	種類 : LQFP-120 パッケージコード : FPT-120P-M21 端子ピッチ : 0.50mm ピッチ サイズ : 16.0mm × 16.0mm	

1.3　MB91610 シリーズのブロックダイヤグラム

MB91610 シリーズのブロックダイヤグラムを図 1.3-1 に示します。

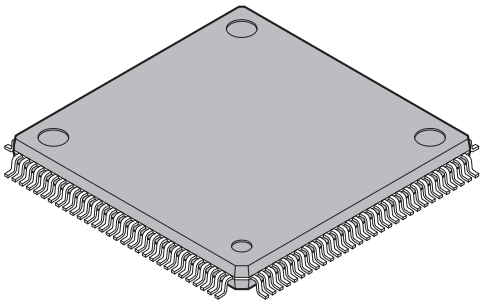
図 1.3-1 MB91610 シリーズのブロックダイヤグラム

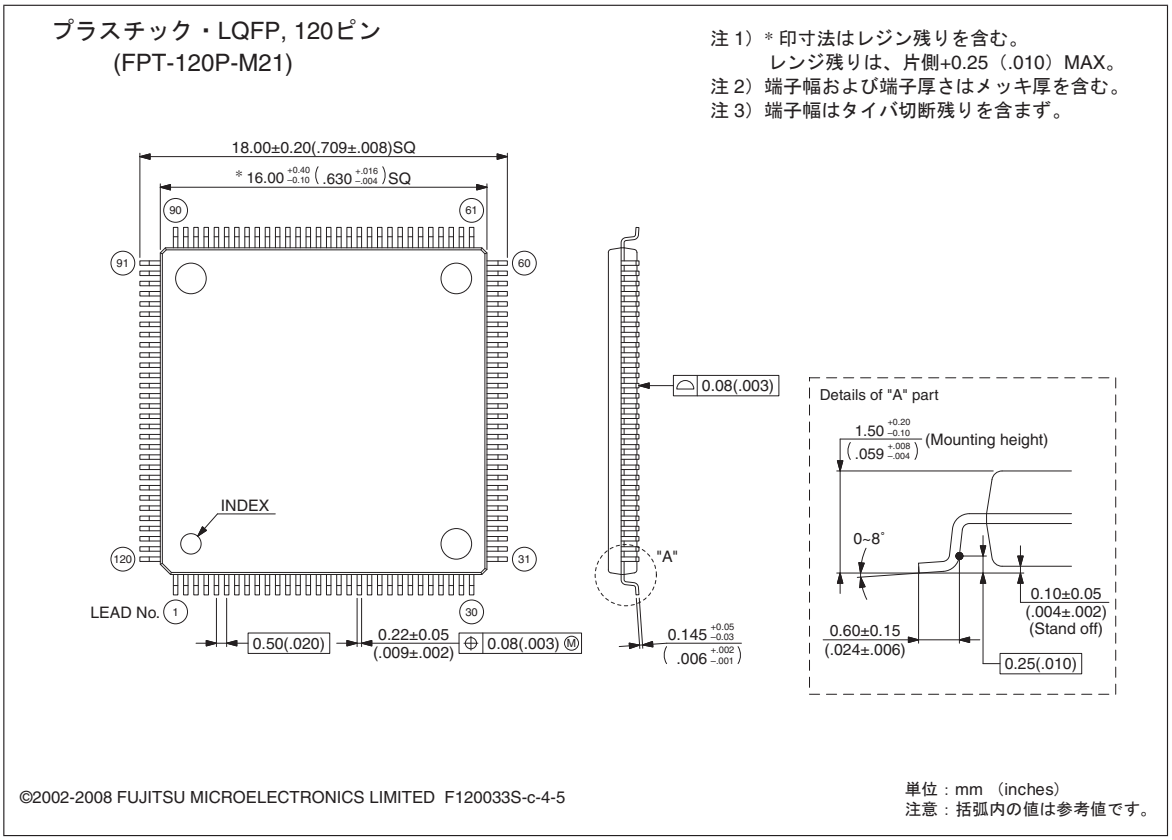


1.4　外形寸法図

MB91610 シリーズで使用する各パッケージの外形寸法図を示します。

図 1.4-1 外形寸法図 (FPT-120P-M21)

プラスチック・LQFP, 120ピン  (FPT-120P-M21)	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	16.0 × 16.0mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	0.88g
	コード（参考）	P-LFQFP120-16×16-0.50



最新の外形寸法図については , 下記の URL にてご確認ください。

http://edevice.fujitsu.com/package/jp-search/

第 2 章　MB91610 シリーズの端子

MB91610シリーズの端子と, 兼用端子の設定について説明します。

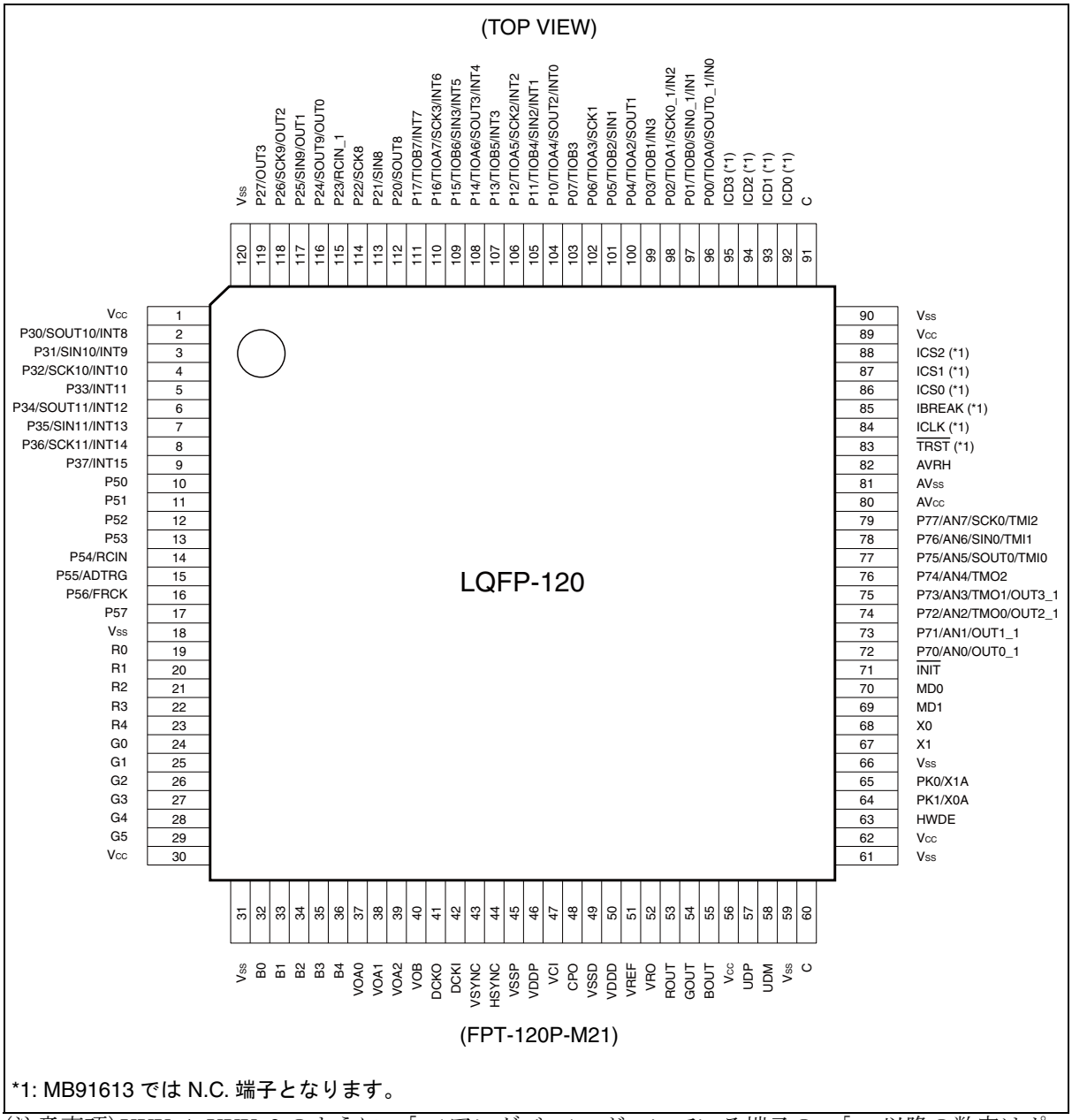
2.1　端子配列図
2.2　端子機能一覧
2.3　入出力回路形式
2.4　端子の設定方法

2.1　端子配列図

MB91610 シリーズには 1 種類のパッケージが用意されています。

■ LQFP-120

図 2.1-1 LQFP-120 端子配列図



(注意事項) XXX_1, XXX_2 のように,「_ (アンダバー) 」がついている端子の ,「_」以降の数字はポート番号を示しています。
これらの端子は 1 つのチャネルに複数の同一機能の端子が用意されていますので, 拡張ポート機能レジスタ (EPFR) で使用する端子を選択してください。

2.2　端子機能一覧

表 2.2-1 に , MB91610 シリーズの端子の機能一覧を示します。
XXX_1, XXX_2 のように ,「_ (アンダバー) 」がついている端子の ,「_」以降の数字はポート番号を示しています。ポート番号については ,「2.4 端子の設定方法」を参照してください。

■ 端子機能一覧表

表 2.2-1 端子機能一覧 (1 / 7)

端子番号	端子名	入出力回路形式 *	機能
1	V_{CC}	—	3.3V 電源
2	P30	C	汎用入出力ポート
	SOUT10		マルチファンクションシリアル ch.10 出力 [動作モード 0 ～ 2]
	(SDA10)		I^2C ch.10 シリアルデータライン [動作モード 4]
	INT8		外部割込み 8 入力
3	P31	C	汎用入出力ポート
	SIN10		マルチファンクションシリアル ch.10 入力
	INT9		外部割込み 9 入力
4	P32	C	汎用入出力ポート
	SCK10		マルチファンクションシリアル ch.10 クロック [動作モード 0 ～ 2]
	(SCL10)		I^2C ch.10 シリアルクロックライン [動作モード 4]
	INT10		外部割込み 10 入力
5	P33	C	汎用入出力ポート
	INT11		外部割込み 11 入力
6	P34	C	汎用入出力ポート
	SOUT11		マルチファンクションシリアル ch.11 出力 [動作モード 0 ～ 2]
	(SDA11)		I^2C ch.11 シリアルデータライン [動作モード 4]
	INT12		外部割込み 12 入力
7	P35	C	汎用入出力ポート
	SIN11		マルチファンクションシリアル ch.11 入力
	INT13		外部割込み 13 入力
8	P36	C	汎用入出力ポート
	SCK11		マルチファンクションシリアル ch.11 クロック [動作モード 0 ～ 2]
	(SCL11)		I^2C ch.11 シリアルクロックライン [動作モード 4]
	INT14		外部割込み 14 入力

表 2.2-1 端子機能一覧 (2 / 7)

端子番号	端子名	入出力回路形式 *	機能
9	P37	C	汎用入出力ポート
	INT15		外部割込み 15 入力
10	P50	B	汎用入出力ポート
11	P51	B	汎用入出力ポート
12	P52	B	汎用入出力ポート
13	P53	B	汎用入出力ポート
14	P54	B	汎用入出力ポート
	RCIN		リモコン入出力
15	P55	B	汎用入出力ポート
	ADTRG		AD コンバータ外部トリガ入力
16	P56	B	汎用入出力ポート
	FRCK		フリーランタイマクロック入力
17	P57	B	汎用入出力ポート
18	V_{SS}	—	GND
19	R0	H	RGB デジタル出力
20	R1	H	RGB デジタル出力
21	R2	H	RGB デジタル出力
22	R3	H	RGB デジタル出力
23	R4	H	RGB デジタル出力
24	G0	H	RGB デジタル出力
25	G1	H	RGB デジタル出力
26	G2	H	RGB デジタル出力
27	G3	H	RGB デジタル出力
28	G4	H	RGB デジタル出力
29	G5	H	RGB デジタル出力
30	V_{CC}	—	3.3V 電源
31	V_{SS}	—	GND
32	B0	H	RGB デジタル出力
33	B1	H	RGB デジタル出力
34	B2	H	RGB デジタル出力
35	B3	H	RGB デジタル出力
36	B4	H	RGB デジタル出力
37	VOA0	H	アルファブレンド出力
38	VOA1	H	アルファブレンド出力
39	VOA2	H	アルファブレンド出力

表 2.2-1 端子機能一覧 (3 / 7)

端子番号	端子名	入出力回路形式 *	機能
40	VOB	H	OSD 表示期間出力
41	DCKO	H	ドットクロック出力
42	DCKI	F	ドットクロック入力
43	VSYNC	F	垂直同期入力
44	HSYNC	F	水平同期入力
45	VSSP	—	ドットクロック PLL 用 GND
46	VDDP	—	ドットクロック PLL 用電源
47	VCI	—	VCO 制御電圧入力
48	CPO	M	チャージポンプ出力
49	VSSD	—	RGB アナログ出力用 GND
50	VDDD	—	RGB アナログ出力用電源
51	VREF	M	RGB アナログ出力用基準電源
52	VRO	M	RGB アナログ出力用抵抗接続端子
53	ROUT	M	R 出力 (アナログ)
54	GOUT	M	G 出力 (アナログ)
55	BOUT	M	B 出力 (アナログ)
56	V_{CC}	—	3.3V 電源
57	UDP	USB	USB 端子
58	UDM	USB	USB 端子
59	V_{SS}	—	GND
60	C	—	レギュレータ用 C 端子
61	V_{SS}	—	GND
62	V_{CC}	—	3.3V 電源
63	HWDE	F	ハードウェアウォッチドッグ許可入力
64	PK1	G	汎用入出力ポート
	X0A		32kHz 発振端子
65	PK0	G	汎用入出力ポート
	X1A		32kHz 発振端子
66	V_{SS}	—	GND
67	X1	A	メイン発振端子
68	X0	A	メイン発振端子
69	MD1	F,L	モード端子
70	MD0	F,L	モード端子
71	$\overline{INIT}$	F,L	イニシャル (リセット) 端子

表 2.2-1 端子機能一覧 (4 / 7)

端子番号	端子名	入出力回路形式 *	機能
72	P70	D	汎用入出力ポート
	AN0		A/D コンバータ ch.0 アナログ入力
	OUT0_1		アウトプットコンペア ch.0 出力 (1 番ポート)
73	P71	D	汎用入出力ポート
	AN1		A/D コンバータ ch.1 アナログ入力
	OUT1_1		アウトプットコンペア ch.1 出力 (1 番ポート)
74	P72	D	汎用入出力ポート
	AN2		A/D コンバータ ch.2 アナログ入力
	TMO0		リロードタイマ ch.0 出力
	OUT2_1		アウトプットコンペア ch.2 出力 (1 番ポート)
75	P73	D	汎用入出力ポート
	AN3		A/D コンバータ ch.3 アナログ入力
	TMO1		リロードタイマ ch.1 出力
	OUT3_1		アウトプットコンペア ch.3 出力 (1 番ポート)
76	P74	D	汎用入出力ポート
	AN4		A/D コンバータ ch.4 アナログ入力
	TMO2		リロードタイマ ch.2 出力
77	P75	D	汎用入出力ポート
	AN5		A/D コンバータ ch.5 アナログ入力
	SOUT0		マルチファンクションシリアル ch.0 出力 [動作モード 0 ～ 2]
	TMI0		リロードタイマ ch.0 入力
78	P76	D	汎用入出力ポート
	AN6		A/D コンバータ ch.6 アナログ入力
	SIN0		マルチファンクションシリアル ch.0 入力
	TMI1		リロードタイマ ch.1 入力
79	P77	D	汎用入出力ポート
	AN7		A/D コンバータ ch.7 アナログ入力
	SCK0		マルチファンクションシリアル ch.0 クロック [動作モード 0 ～ 2]
	TMI2		リロードタイマ ch.2 入力
80	AV_{CC}	—	AD コンバータ用アナログ電源
81	AV_{SS}	—	AD コンバータ用 GND
82	AVRH	—	AD コンバータ用アナログ基準電源
83	$\overline{TRST}$	E	DSU4 用ツールリセット入力 ※ MASK 品では N.C. 端子となります。
84	ICLK	K	DSU4 用クロック端子 ※ MASK 品では N.C. 端子となります。
85	IBREAK	I	DSU4 用ブレーク端子 ※ MASK 品では N.C. 端子となります。

表 2.2-1 端子機能一覧 (5 / 7)

端子番号	端子名	入出力回路形式 *	機能
86	ICS0	H	DSU4 ステータス ※ MASK 品では N.C. 端子となります。
87	ICS1	H	DSU4 ステータス ※ MASK 品では N.C. 端子となります。
88	ICS2	H	DSU4 ステータス ※ MASK 品では N.C. 端子となります。
89	V_{CC}	—	3.3V 電源
90	V_{SS}	—	GND
91	C	—	レギュレータ用 C 端子
92	ICD0	J	DSU4 データ ※ MASK 品では N.C. 端子となります。
93	ICD1	J	DSU4 データ ※ MASK 品では N.C. 端子となります。
94	ICD2	J	DSU4 データ ※ MASK 品では N.C. 端子となります。
95	ICD3	J	DSU4 データ ※ MASK 品では N.C. 端子となります。
96	P00	B	汎用入出力ポート
	TIOA0		ベースタイマ ch.0 の TIOA
	SOUT0_1		マルチファンクションシリアル ch.0出力(1番ポート) [動作モード0～2]
	IN0		インプットキャプチャ ch.0 入力
97	P01	B	汎用入出力ポート
	TIOB0		ベースタイマ ch.0 の TIOB
	SIN0_1		マルチファンクションシリアル ch.0 入力 (1 番ポート)
	IN1		インプットキャプチャ ch.1 入力
98	P02	B	汎用入出力ポート
	TIOA1		ベースタイマ ch.1 の TIOA
	SCK0_1		マルチファンクションシリアル ch.0 クロック (1 番ポート) [動作モード 0 ～ 2]
	IN2		インプットキャプチャ ch.2 入力
99	P03	B	汎用入出力ポート
	TIOB1		ベースタイマ ch.1 の TIOB
	IN3		インプットキャプチャ ch.3 入力
100	P04	B	汎用入出力ポート
	TIOA2		ベースタイマ ch.2 の TIOA
	SOUT1		マルチファンクションシリアル ch.1 出力 [動作モード 0 ～ 2]
	(SDA1)		I^2C ch.1 シリアルデータライン [動作モード 4]
101	P05	B	汎用入出力ポート
	TIOB2		ベースタイマ ch.2 の TIOB
	SIN1		マルチファンクションシリアル ch.1 入力

表 2.2-1 端子機能一覧 (6 / 7)

端子番号	端子名	入出力回路形式 *	機能
102	P06	B	汎用入出力ポート
	TIOA3		ベースタイマ ch.3 の TIOA
	SCK1		マルチファンクションシリアル ch.1 クロック [動作モード 0 ～ 2]
	(SCL1)		I^2C ch.1 シリアルクロックライン [動作モード 4]
103	P07	B	汎用入出力ポート
	TIOB3		ベースタイマ ch.3 の TIOB
104	P10	B	汎用入出力ポート
	TIOA4		ベースタイマ ch.4 の TIOA
	SOUT2		マルチファンクションシリアル ch.2 出力 [動作モード 0 ～ 2]
	(SDA2)		I^2C ch.2 シリアルデータライン [動作モード 4]
	INT0		外部割込み 0 入力
105	P11	B	汎用入出力ポート
	TIOB4		ベースタイマ ch.4 の TIOB
	SIN2		マルチファンクションシリアル ch.2 入力
	INT1		外部割込み 1 入力
106	P12	B	汎用入出力ポート
	TIOA5		ベースタイマ ch.5 の TIOA
	SCK2		マルチファンクションシリアル ch.2 クロック [動作モード 0 ～ 2]
	(SCL2)		I^2C ch.2 シリアルクロックライン [動作モード 4]
	INT2		外部割込み 2 入力
107	P13	B	汎用入出力ポート
	TIOB5		ベースタイマ ch.5 の TIOB
	INT3		外部割込み 3 入力
108	P14	B	汎用入出力ポート
	TIOA6		ベースタイマ ch.6 の TIOA
	SOUT3		マルチファンクションシリアル ch.3 出力 [動作モード 0 ～ 2]
	(SDA3)		I^2C ch.3 シリアルデータライン [動作モード 4]
	INT4		外部割込み 4 入力
109	P15	B	汎用入出力ポート
	TIOB6		ベースタイマ ch.6 の TIOB
	SIN3		マルチファンクションシリアル ch.3 入力
	INT5		外部割込み 5 入力

表 2.2-1 端子機能一覧 (7 / 7)

端子番号	端子名	入出力回路形式 *	機能
110	P16	B	汎用入出力ポート
	TIOA7		ベースタイマ ch.7 の TIOA
	SCK3		マルチファンクションシリアル ch.3 クロック [動作モード 0 ～ 2]
	(SCL3)		I^2C ch.3 シリアルクロックライン [動作モード 4]
	INT6		外部割込み 6 入力
111	P17	B	汎用入出力ポート
	TIOB7		ベースタイマ ch.7 の TIOB
	INT7		外部割込み 7 入力
112	P20	C	汎用入出力ポート
	SOUT8		マルチファンクションシリアル ch.8 出力 [動作モード 0 ～ 2]
	(SDA8)		I^2C ch.8 シリアルデータライン [動作モード 4]
113	P21	C	汎用入出力ポート
	SIN8		マルチファンクションシリアル ch.8 入力
114	P22	C	汎用入出力ポート
	SCK8		マルチファンクションシリアル ch.8 クロック [動作モード 0 ～ 2]
	(SCL8)		I^2C ch.8 シリアルクロックライン [動作モード 4]
115	P23	C	汎用入出力ポート
	RCIN_1		リモコン入出力 (1)
116	P24	C	汎用入出力ポート
	SOUT9		マルチファンクションシリアル ch.9 出力 [動作モード 0 ～ 2]
	(SDA9)		I^2C ch.9 シリアルデータライン [動作モード 4]
	OUT0		アウトプットコンペア ch.0 出力
117	P25	C	汎用入出力ポート
	SIN9		マルチファンクションシリアル ch.9 入力
	OUT1		アウトプットコンペア ch.1 出力
118	P26	C	汎用入出力ポート
	SCK9		マルチファンクションシリアル ch.9 クロック [動作モード 0 ～ 2]
	(SCL9)		I^2C ch.9 シリアルクロックライン [動作モード 4]
	OUT2		アウトプットコンペア ch.2 出力
119	P27	C	汎用入出力ポート
	OUT3		アウトプットコンペア ch.3 出力
120	V_{SS}	—	GND

*: 入出力回路形式については,「2.3 入出力回路形式」を参照してください。

2.3　入出力回路形式

表 2.3-1 に , MB91610 シリーズの入出力回路の形式を示します。

■ 入出力回路形式

表 2.3-1　入出力回路形式 (1 / 5)

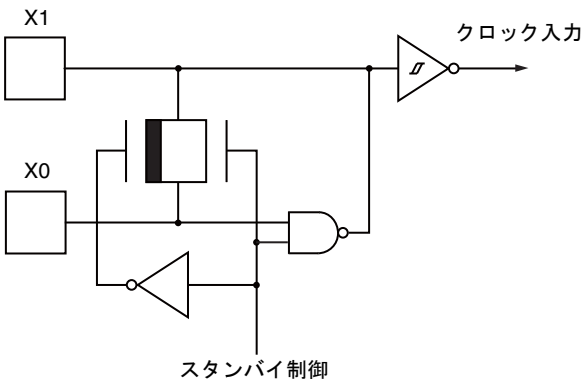
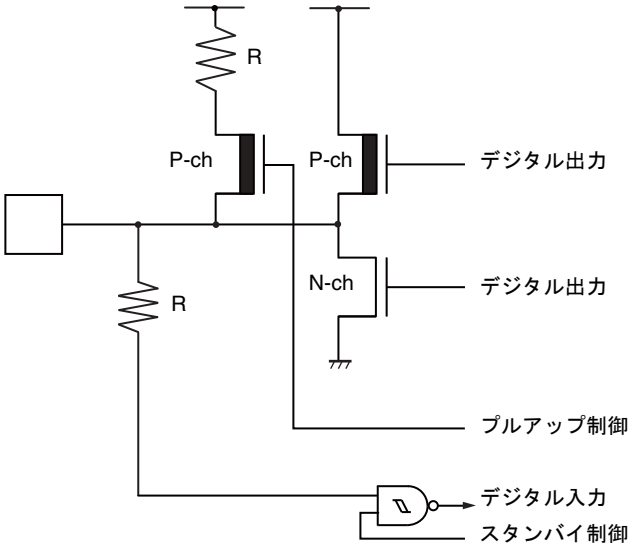
分類	回路	備考
A		・発振帰還抵抗 : 約 1MΩ ・スタンバイ制御あり
B		・CMOS レベル出力 ・CMOS レベルヒステリシス入力 ・プルアップ制御あり ・スタンバイ制御あり * I^2C 端子として使用時 , デジタル出力 P-ch トランジスタは常にオフです。

表 2.3-1 入出力回路形式 (2 / 5)

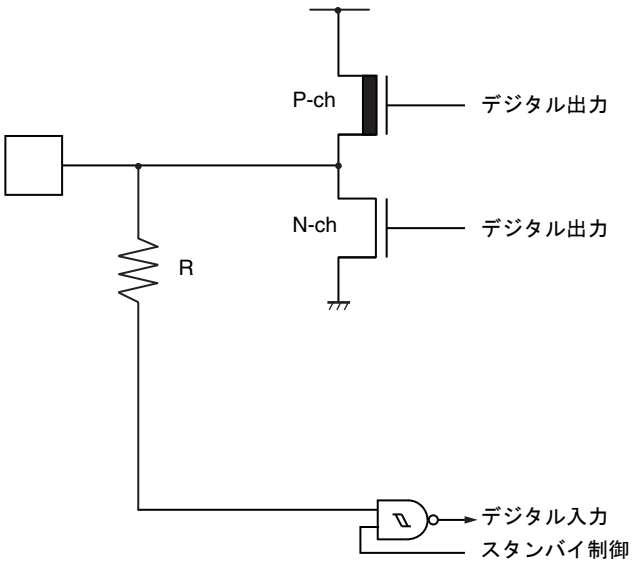
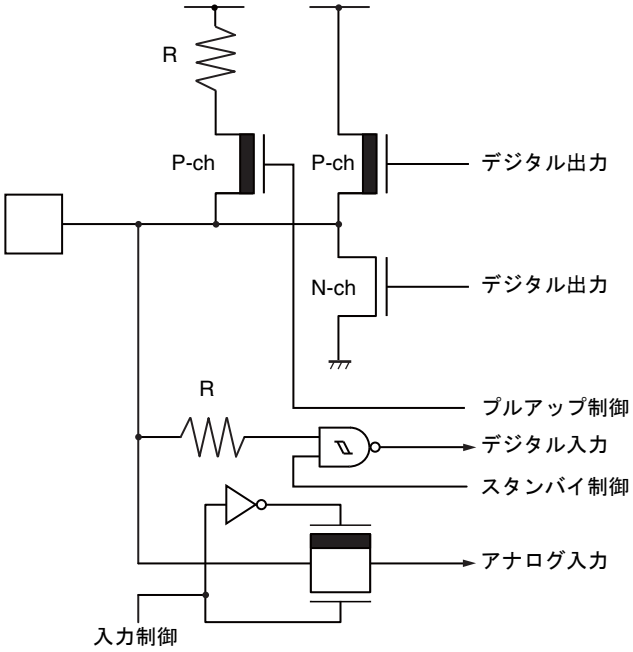
分類	回路	備考
C		・CMOS レベル出力 ・CMOS レベルヒステリシス入力 ・5V トレラント入力 ・スタンバイ制御あり * I^2C 端子として使用時 , デジタル出力 P-ch トランジスタは常にオフです。
D		・CMOS レベル出力 ・CMOS レベルヒステリシス入力 ・入力制御あり ・アナログ入力 ・プルアップ制御あり ・スタンバイ制御あり * I^2C 端子として使用時 , デジタル出力 P-ch トランジスタは常にオフです。

表 2.3-1 入出力回路形式 (3 / 5)

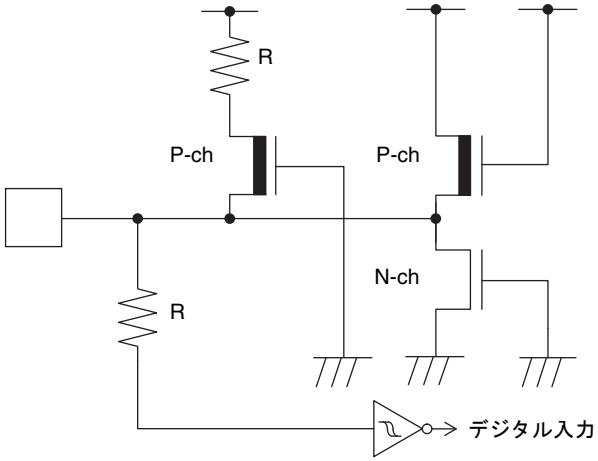
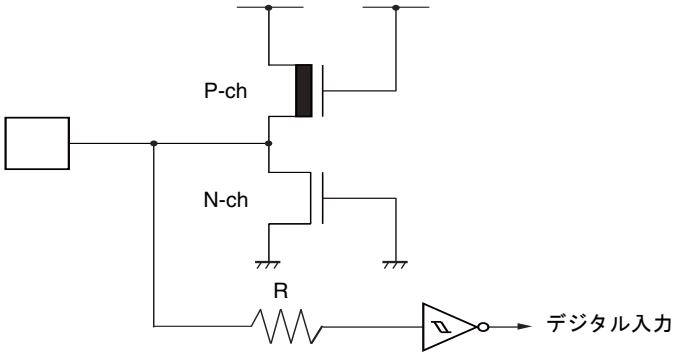
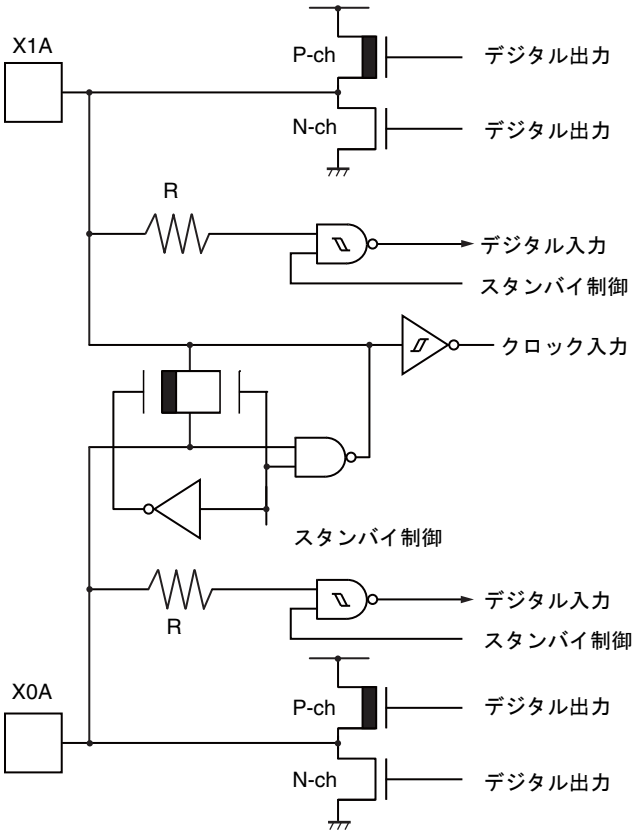
分類	回路	備考
E		・CMOS レベルヒステリシス入力 ・プルアップ付き
F		CMOS レベルヒステリシス入力
G		・発振帰還抵抗 : 約 10MΩ ・CMOS レベル出力 ・CMOS レベルヒステリシス入力 ・スタンバイ制御あり

表 2.3-1 入出力回路形式 (4 / 5)

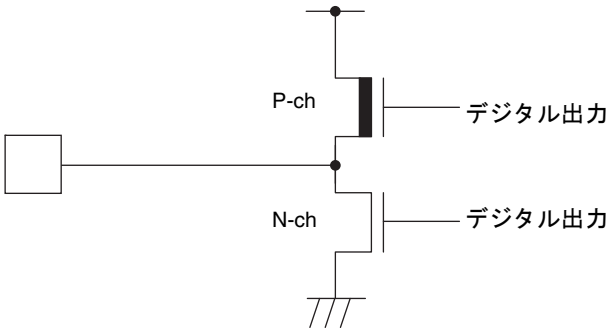
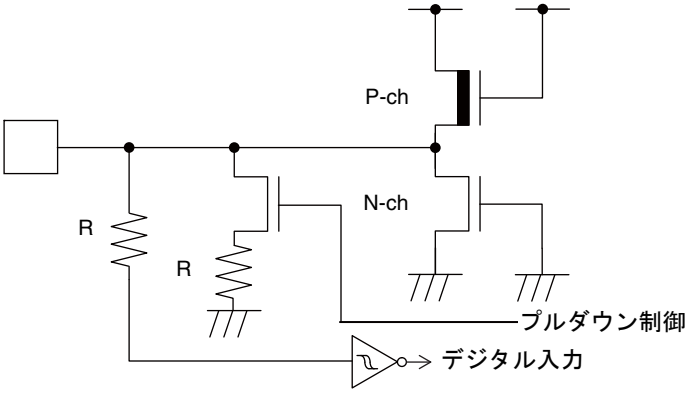
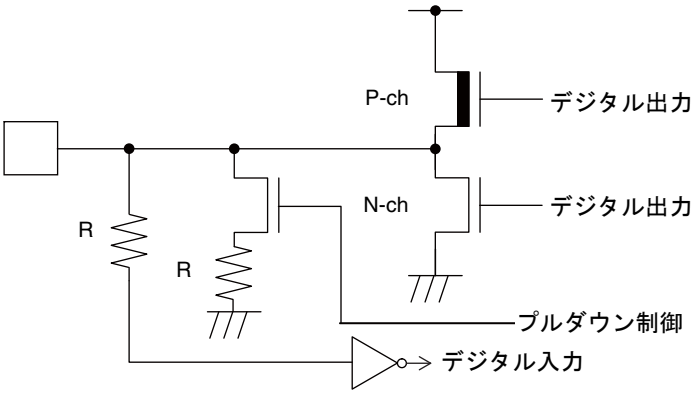
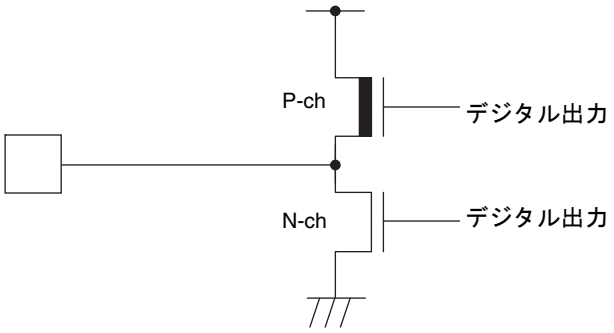
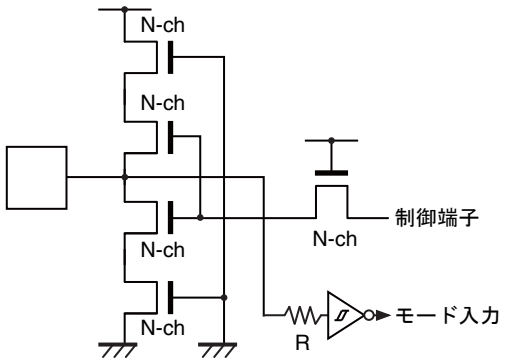
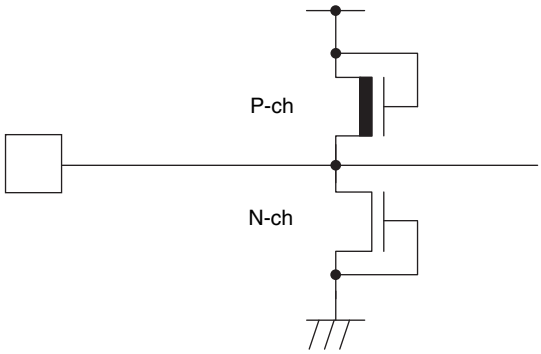
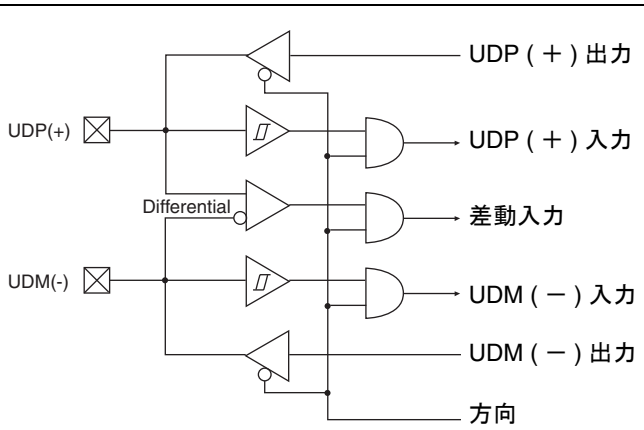
分類	回路	備考
H		CMOS レベル出力
I		・CMOS レベルヒステリシス入力 ・プルダウン制御あり
J		・CMOS レベル出力 ・CMOS レベル入力 ・プルダウン制御あり
K		CMOS レベル出力 (8mA)

表 2.3-1　入出力回路形式 (5 / 5)

分類	回路	備考
L		・フラッシュメモリ品のみ ・CMOS レベルヒステリシス入力 ・フラッシュメモリテスト用の高電圧制御あり
M		アナログ端子
USB		USB 入出力端子

2.4　端子の設定方法

兼用端子のレジスタの設定方法を説明します。

兼用端子には , 複数の機能が割り当てられています。その中からひとつの機能に割り当てるためのレジスタの設定値を周辺機能ごとに示します。

表中のレジスタ名は略称です。

・EPFR：拡張ポート機能レジスタ　　・PFR：ポート機能レジスタ

・DDR：ポートデータ方向レジスタ

これらのレジスタについては , 「第 13 章 I/O ポート」を参照してください。

これ以外のレジスタ略称については , 各表の下に注記してあります。それぞれの章を参照してください。

■ ポート

端子名	レジスタ名	ビット名	書込み値
P00 ～ P07	PFR0	PFR00 ～ PFR07	0
P10 ～ P17	PFR1	PFR10 ～ PFR17	0
P20 ～ P27	PFR2	PFR20 ～ PFR27	0
P30 ～ P37	PFR3	PFR30 ～ PFR37	0
P50 ～ P57	PFR5	PFR50 ～ PFR57	0
P70 ～ P77	PFR7	PFR70 ～ PFR77	0

< 注意事項 >

ポートデータ方向レジスタ (DDR) の設定については , 「第 13 章 I/O ポート」を参照してください。

■ クロック

端子名	レジスタ名	ビット名	書込み値
X0A, X1A	DDRK	DDRK1, DDRK0	00
	EPFR19	XAE	1
	CSELR	SCEN	1

CSELR：クロックソース設定レジスタ

■ 外部割込み制御部

INT 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 外部割込み制御部の動作を許可 (詳細は , 「第 14 章 外部割込み制御部」を参照してください。)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0 ～ 3	0 番ポート	INT0 ～ INT3	DDR1	DDR10 ～ DDR13	0
			PFR1	PFR10 ～ PFR13	0
4 ～ 7	0 番ポート	INT4 ～ INT7	DDR1	DDR14 ～ DDR17	0
			PFR1	PFR14 ～ PFR17	0
8 ～ 15	0 番ポート	INT8 ～ INT15	DDR3	DDR30 ～ DDR37	0
			PFR3	PFR30 ～ PFR37	0

■ 32 ビットフリーランタイマ

FRCK 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 32 ビットフリーランタイマの動作を許可 (詳細は ,「第 17 章 32 ビット フリーランタイマ」を参照してください。)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	FRCK	DDR5	DDR56	0
			PFR5	PFR56	0

■ 32 ビットインプットキャプチャ

IN 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 32 ビットインプットキャプチャの動作を許可 (詳細は , 「第 18 章 32 ビット インプット キャプチャ」を参照してください。)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	IN0	DDR0	DDR00	0
			PFR0	PFR00	0
1	0 番ポート	IN1	DDR0	DDR01	0
			PFR0	PFR01	0
2	0 番ポート	IN2	DDR0	DDR02	0
			PFR0	PFR02	0
3	0 番ポート	IN3	DDR0	DDR03	0
			PFR0	PFR03	0

■ 32 ビットアウトプットコンペア

32 ビットアウトプットコンペアは , チャネルごとに OUT 端子が 2 本用意されています。
チャネルごとに使用する端子を 1 本ずつ選択できます。
OUT 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
   (兼用端子については , 端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	OUT0	PFR2	PFR24	1
			EPFR0	OUT0E1, OUT0E0	01
			EPFR15	SOUT9E0	0
	1 番ポート	OUT0_1	PFR7	PFR70	1
			EPFR0	OUT0E1, OUT0E0	10
			ADCHE	ADE0	0
1	0 番ポート	OUT1	PFR2	PFR25	1
			EPFR0	OUT1E1, OUT1E0	01
	1 番ポート	OUT1_1	PFR7	PFR71	1
			EPFR0	OUT1E1, OUT1E0	10
			ADCHE	ADE1	0
2	0 番ポート	OUT2	PFR2	PFR26	1
			EPFR1	OUT2E1, OUT2E0	01
			EPFR15	SCK9E0	0
	1 番ポート	OUT2_1	PFR7	PFR72	1
			EPFR1	OUT2E1, OUT2E0	10
			EPFR33	TMO0E0	0
			ADCHE	ADE2	0
3	0 番ポート	OUT3	PFR2	PFR27	1
			EPFR1	OUT3E1, OUT3E0	01
	1 番ポート	OUT3_1	PFR7	PFR73	1
			EPFR1	OUT3E1, OUT3E0	10
			EPFR33	TMO1E0	0
			ADCHE	ADE3	0

■ 16 ビットリロードタイマ

16 ビットリロードタイマは , チャネルごとに TMI/TMO 端子が 2 本ずつ用意されています。

TMI 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 16 ビットリロードタイマの動作を許可 (詳細は ,「第 20 章 16 ビットリロードタイマ」を参照してください。)

TMO 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
   (兼用端子については , 端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	TMI0	DDR7	DDR75	0
			PFR7	PFR75	0
			ADCHE	ADE5	0
		TMO0	PFR7	PFR72	1
			EPFR33	TMO0E0	1
			ADCHE	ADE2	0
1	0 番ポート	TMI1	DDR7	DDR76	0
			PFR7	PFR76	0
			ADCHE	ADE6	0
		TMO1	PFR7	PFR73	1
			EPFR33	TMO1E0	1
			ADCHE	ADE3	0
2	0 番ポート	TMI2	DDR7	DDR77	0
			PFR7	PFR77	0
			ADCHE	ADE7	0
		TMO2	PFR7	PFR74	1
			EPFR34	TMO2E0	1
			ADCHE	ADE4	0

■ ベースタイマ

TIOA/TIOB 端子を入力に使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. ベースタイマの動作を許可 (詳細は ,「第 22 章　ベースタイマ」を参照してください。)

TIOA 端子を出力で使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
   (兼用端子については , 端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	TIOA0	PFR0	PFR00	1
			EPFR20	TIOA0E0	1
			EPFR6	SOUT0E1, SOUT0E0	10 以外 *
		TIOB0	PFR0	PFR01	0
			DDR0	DDR01	0
1	0 番ポート	TIOA1	PFR0	PFR02	入力時：0 出力時：1
			DDR0	DDR02	0 (入力時のみ)
			EPFR20	TIOA1E0	1
			EPFR6	SCK0E1, SCK0E0	10 以外 *
		TIOB1	PFR0	PFR03	0
			DDR0	DDR03	0
2	0 番ポート	TIOA2	PFR0	PFR04	1
			EPFR21	TIOA2E0	1
			EPFR7	SOUT1E0	0
		TIOB2	PFR0	PFR05	0
			DDR0	DDR05	0
3	0 番ポート	TIOA3	PFR0	PFR06	入力時：0 出力時：1
			DDR0	DDR06	0 (入力時のみ)
			EPFR21	TIOA3E0	1
			EPFR7	SCK1E0	0
		TIOB3	PFR0	PFR07	0
			DDR0	DDR07	0
4	0 番ポート	TIOA4	PFR1	PFR10	1
			EPFR22	TIOA4E0	1
			EPFR8	SOUT2E0	0
		TIOB4	PFR1	PFR11	0
			DDR1	DDR11	0

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
5	0 番ポート	TIOA5	PFR1	PFR12	入力時：0 出力時：1
			DDR1	DDR12	0 (入力時のみ)
			EPFR22	TIOA5E0	1
			EPFR8	SCK2E0	0
		TIOB5	PFR1	PFR13	0
			DDR1	DDR13	0
6	0 番ポート	TIOA6	PFR1	PFR14	1
			EPFR23	TIOA6E0	1
			EPFR9	SOUT3E0	0
		TIOB6	PFR1	PFR15	0
			DDR1	DDR15	0
7	0 番ポート	TIOA7	PFR1	PFR16	入力時：0 出力時：1
			DDR1	DDR16	0 (入力時のみ)
			EPFR23	TIOA7E0	1
			EPFR9	SCK3E0	0
		TIOB7	PFR1	PFR17	0
			DDR1	DDR17	0

*: 設定禁止値を書込みしないでください。詳細は「第 13 章 I/O ポート」を参照してください。

■ 10 ビット A/D コンバータ

- AN 端子

端子名	レジスタ名	ビット名	書込み値
AN0 ～ AN7	ADCHE	ADE0 ～ ADE7	1

ADCHE：A/D チャネルイネーブルレジスタ

- ADTRG 端子

ADTRG 端子を使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 10 ビット A/D コンバータの動作を許可 (詳細は ,「第 23 章 10 ビット A/D コンバータ」を参照してください。)

基本的な設定については , 下表を参照してください。

ポート番号	端子名	レジスタ名	ビット名	書込み値
0 番ポート	ADTRG	DDR5	DDR55	0
		PFR5	PFR55	0

■ マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースは , 1 チャネルに対し , 複数の SCK 端子 , SIN 端子 , SOUT 端子が用意されています。

チャネルごとに使用する SCK/SIN/SOUT 端子を 1 本ずつ選択できます。ただし , 同じチャネルで使用する端子は , 同じポート番号に割り当てられている端子を選択してください。

SIN/SCK 端子を入力に使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. マルチファンクションシリアルインタフェースの動作を許可 (詳細は ,「第 24 章 マルチファンクションシリアル インタフェース」を参照してください。)

SOUT/SCK 端子を出力で使用する場合は , 次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
   (兼用端子については , 端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については , 下表を参照してください。

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	SCK0	PFR7	PFR77	SCK 入力時：0 SCK 出力時：1
			DDR7	DDR77	0 (SCK 入力時のみ)
			EPFR6	SCK0E1, SCK0E0	01
			SMR0	SCKE	入力許可：0 出力許可：1
			ADCHE	ADE7	0
		SIN0	DDR7	DDR76	0
			PFR7	PFR76	0
			EPFR6	SIN0E0	0
			ADCHE	ADE6	0
		SOUT0	PFR7	PFR75	1
			EPFR6	SOUT0E1, SOUT0E0	01
			SMR0	SOE	1
			ADCHE	ADE5	0
	1 番ポート	SCK0_1	PFR0	PFR02	SCK 入力時：0 SCK 出力時：1
			DDR0	DDR02	0 (SCK 入力時のみ)
			EPFR6	SCK0E1, SCK0E0	10
			SMR0	SCKE	入力許可：0 出力許可：1
		SIN0_1	DDR0	DDR01	0
			PFR0	PFR01	0
			EPFR6	SIN0E0	1
		SOUT0_1	PFR0	PFR00	1
			EPFR6	SOUT0E1, SOUT0E0	10
			SMR0	SOE	1
1	0 番ポート	SCK1 (SCL1)	PFR0	PFR06	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR0	DDR06	0 (SCK 入力時のみ)
			EPFR7	SCK1E0	1
			SMR1	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN1	DDR0	DDR05	0
			PFR0	PFR05	0
		SOUT1 (SDA1)	PFR0	PFR04	1
			EPFR7	SOUT1E0	1
			SMR1	SOE	1

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
2	0 番ポート	SCK2 (SCL2)	PFR1	PFR12	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR1	DDR12	0 (SCK 入力時のみ)
			EPFR8	SCK2E0	1
			SMR2	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN2	DDR1	DDR11	0
			PFR1	PFR11	0
		SOUT2 (SDA2)	PFR1	PFR10	1
			EPFR8	SOUT2E0	1
			SMR2	SOE	1
3	0 番ポート	SCK3 (SCL3)	PFR1	PFR16	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR1	DDR16	0(SCK 入力時のみ)
			EPFR9	SCK3E0	1
			SMR3	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN3	DDR1	DDR15	0
			PFR1	PFR15	0
		SOUT3 (SDA3)	PFR1	PFR14	1
			EPFR9	SOUT3E0	1
			SMR3	SOE	1
8	0 番ポート	SCK8 (SCL8)	PFR2	PFR22	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR2	DDR22	0(SCK 入力時のみ)
			EPFR14	SCK8E0	1
			SMR8	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN8	DDR2	DDR21	0
			PFR2	PFR21	0
		SOUT8 (SDA8)	PFR2	PFR20	1
			EPFR14	SOUT8E0	1
			SMR8	SOE	1

チャネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
9	0 番ポート	SCK9 (SCL9)	PFR2	PFR26	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR2	DDR26	0(SCK 入力時のみ)
			EPFR15	SCK9E0	1
			SMR9	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN9	DDR2	DDR25	0
			PFR2	PFR25	0
		SOUT9 (SDA9)	PFR2	PFR24	1
			EPFR15	SOUT9E0	1
			SMR9	SOE	1
10	0 番ポート	SCK10 (SCL10)	PFR3	PFR32	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR3	DDR32	0(SCK 入力時のみ)
			EPFR16	SCK10E0	1
			SMR10	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN10	DDR3	DDR31	0
			PFR3	PFR31	0
			EPFR16	SIN10E	0
		SOUT10 (SDA10)	PFR3	PFR30	1
			EPFR16	SOUT10E0	1
			SMR10	SOE	1
11	0 番ポート	SCK11 (SCL11)	PFR3	PFR36	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR3	DDR36	0(SCK 入力時のみ)
			EPFR17	SCK11E0	1
			SMR11	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN11	DDR3	DDR35	0
			PFR3	PFR35	0
		SOUT11 (SDA11)	PFR3	PFR34	1
			EPFR17	SOUT11E0	1
			SMR11	SOE	1

SMR：シリアルモードレジスタ

< 注意事項 >

動作モードによって , 有効となる端子が変わります。詳細は「第 24 章 マルチファンクションシリアル インタフェース」を参照してください。

■ リモコン受信

RCIN/RCIN_1 端子を使用する場合 , 以下の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0,PFR=0)
2. EPFR レジスタで , 使用する端子 (ポート番号) を選択
3. リモコン受信部の動作を許可 (詳細は , 「第 29 章 リモコン受信」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については , 下記を参照してください。

端子名	レジスタ名	ビット名	書込み値
RCIN	DDR5	DDR54	0
	PFR5	PFR54	1
	EPFR10	RCIN	1
RCIN_1	DDR2	DDR23	0
	PFR2	PFR23	1
	EPFR10	RCIN	1

< 注意事項 >

RCIN/RCIN_1 端子を使用する場合 , どちらか一方のみを選択してください。
PFR54 と PFR23 を同時に "1" に設定することは禁止です。

第 3 章　CPU

FR80 ファミリ CPU の機能を知るために , アーキテクチャ , 仕様 , 命令などの基本的な事柄について説明します。

3.1　メモリ空間
3.2　内部アーキテクチャの特徴
3.3　動作モード
3.4　パイプライン
3.5　命令概要
3.6　基本プログラミングモデル
3.7　レジスタ
3.8　データ構造
3.9　アドレッシング
3.10　分岐命令
3.11　EIT (例外・割込み・トラップ)

3.1　メモリ空間

FR80 ファミリ CPU の論理アドレスは 4G バイト (2^{32} 番地) あり , CPU はリニアにアクセスを行います。

■ ダイレクトアドレッシング領域

アドレス空間の$0000\ 0000_H$～$0000\ 03FF_H$をダイレクトアドレッシング領域とよびます。

この領域は , 命令中で直接オペランドを指定できます。

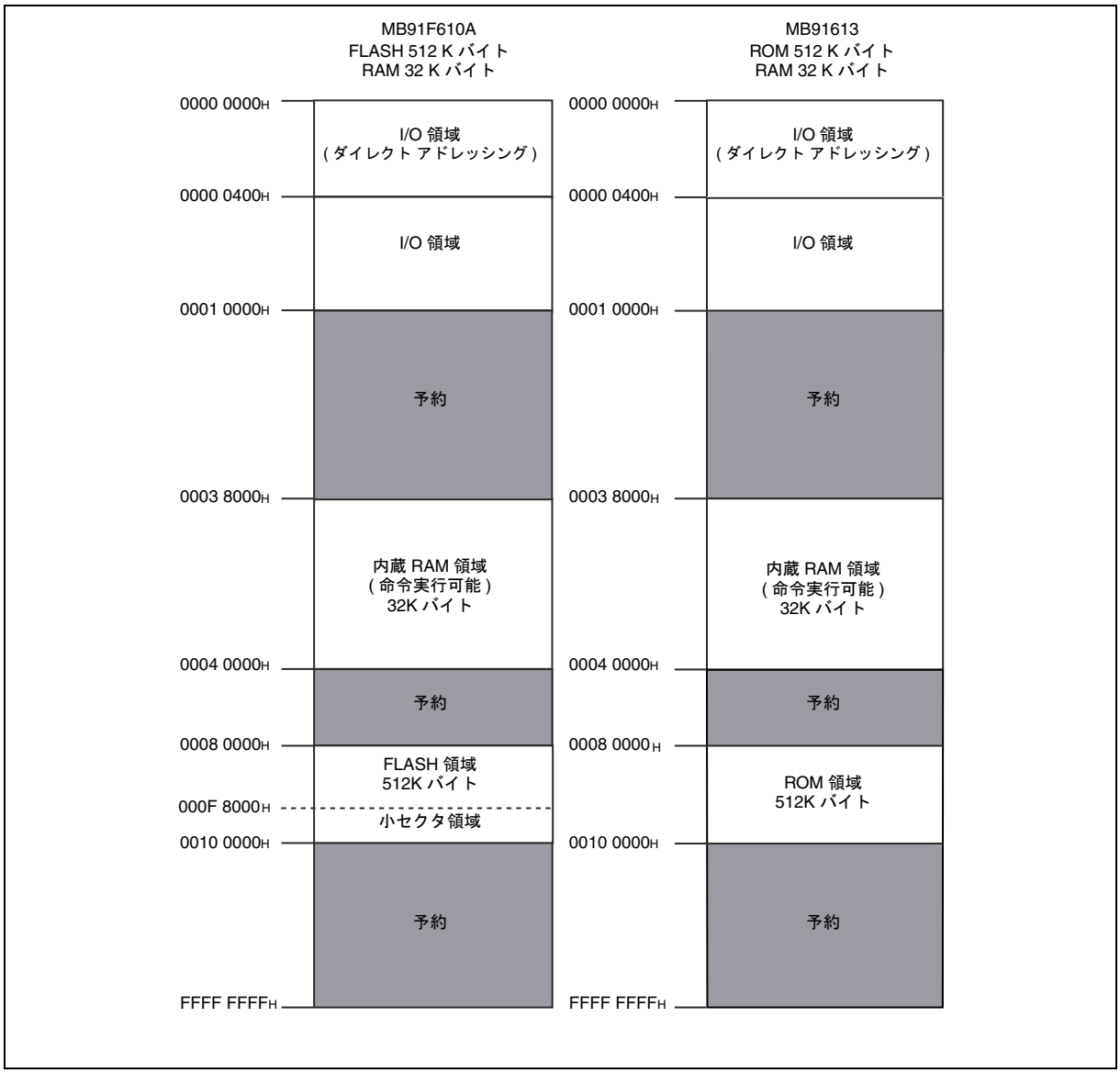
アクセスするデータのサイズによって , ダイレクトアドレッシング領域は次のようになります。

- バイトデータアクセス：$0000\ 0000_H$ ～ $0000\ 00FF_H$
- ハーフワードデータアクセス：$0000\ 0000_H$ ～ $0000\ 01FF_H$
- ワードデータアクセス：$0000\ 0000_H$ ～ $0000\ 03FF_H$

■ メモリマップ

MB91610 シリーズのメモリマップを図 3.1-1 に示します。

図 3.1-1 メモリマップ



< 注意事項 >

- フラッシュメモリの小セクタ領域については , 「第 34 章 フラッシュメモリ」を参照してください。
  小セクタ領域は , フラッシュメモリ品のみ関係します。
- 予約領域にはアクセスしないでください。

3.2　内部アーキテクチャの特徴

FR80 ファミリ CPU は , RISC アーキテクチャを採用すると同時に , 組込み用途に向けた高機能命令を導入した高性能コアです。

- RISC アーキテクチャの採用
  基本命令　1 命令 1 サイクル
- 32 ビットアーキテクチャ
  汎用レジスタ 32 ビット× 16 本
- 4G バイトのリニアなメモリ空間
- 乗算器の内蔵
  - 32 ビット× 32 ビット乗算　5 サイクル
  - 16 ビット× 16 ビット乗算　3 サイクル
- 割込み処理機能の強化
  - 高速応答速度 (6 サイクル)
  - 多重割込みのサポート
  - レベルマスク機能 (16 レベル)
- I/O 操作用命令の強化
  - メモリーメモリ転送命令
  - ビット処理命令
- 高いコード効率
  - 基本命令語長　16 ビット
- FR60 ファミリと基本命令互換
- FR60 ファミリに対し次の命令を追加
  - ビットサーチ命令 (SRCH0, SRCH1, SRCHC)
- FR60 ファミリから次の命令を削除
  - コプロ命令 (COPOP, COPLD, COPST, COPSV)
  - リソース命令 (LDRES, STRES)
- ノンブロッキングロード
  最大で 4 つのロード命令を先行して発行可能

3.3　動作モード

本シリーズの動作モードについて説明します。

本シリーズは以下の動作モードを持ち , デバイス起動時に動作モードを選択できます。

- ユーザシングルチップモード
- シリアル書込みモード

本シリーズの動作モードを表 3.3-1 に示します。

表 3.3-1 動作モード

MD 端子		制御端子	動作モード
MD1	MD0	P75	
0	0	X	ユーザシングルチップモード
	1	1	シリアル書込みモード

3.4　パイプライン

FR80 ファミリ CPU は 32 ビット RISC の FR アーキテクチャをコンパクトにインプリメントしたものです。
通常命令実行パイプラインに加えてメモリロード用パイプラインを追加することにより，ロード命令実行中のパイプラインハザードの低減を行います。

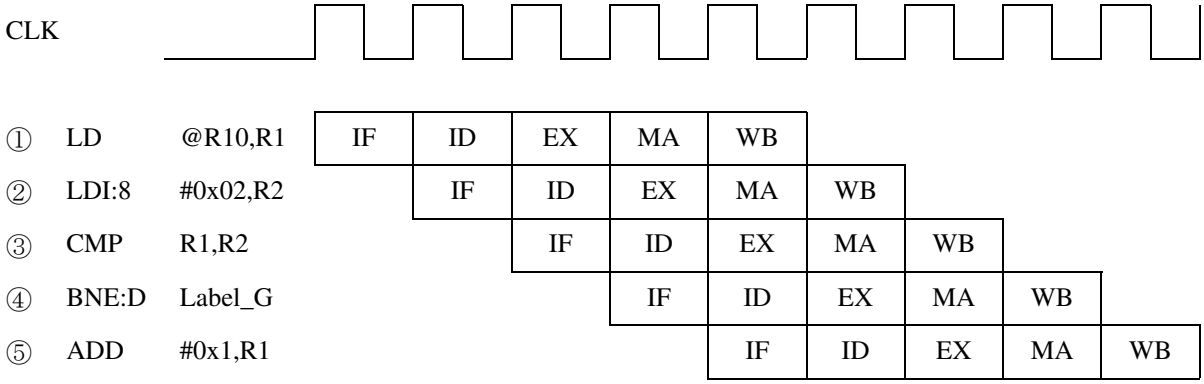
1 サイクルあたり 1 命令の実行を行うため , 5 段階の命令パイプライン方式を採用しています。パイプラインは次のステージから構成されています。

- 命令フェッチステージ (IF) ：出力したアドレスの命令を取得します。
- 命令デコードステージ (ID) ：フェッチした命令をデコードします。レジスタの読出しも行います。
- 実行ステージ (EX) ：デコードした命令を実行します。
- メモリアクセスステージ (MA) ：対象となるメモリにアクセスします。
- レジスタ書込みステージ (WB) :演算結果 (またはロードされたメモリデータ) をレジスタに書き込みます。

メモリロード用のパイプラインを追加しているため , メモリアクセスを行わない命令の MA, WB ステージと LD 命令の MA, WB ステージは重なることができます。

命令の実行は , 原則として 1 サイクルあたり 1 命令の速度で行われます。ただし , メモリウェイトを伴ったロード・ストア命令 , 遅延スロットを持たない分岐命令 , 複数サイクル命令では命令の実行に複数のサイクルが必要となります。また , 命令の供給が遅い場合も命令の実行速度が低下します。

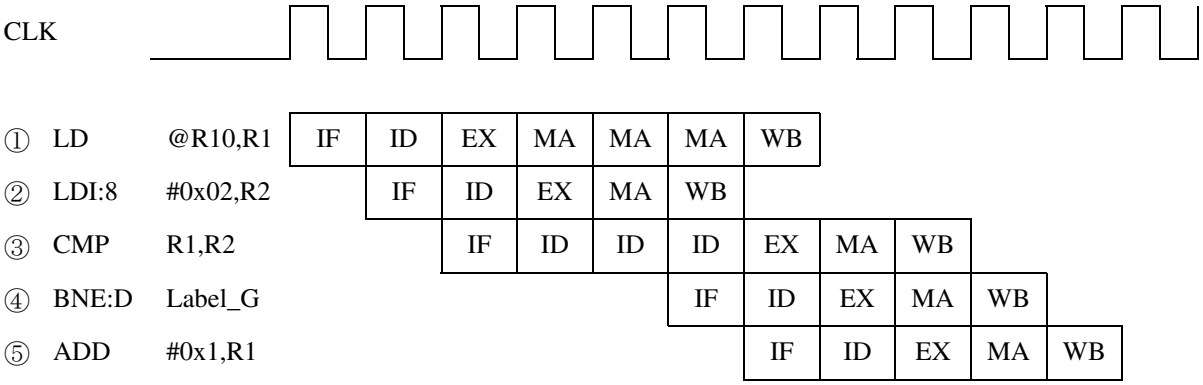
(例 1)



例 1 : ③の CMP 命令で①の LD 命令を書き込む R1 を使用しているがデータが 1 サイクルで返ってきているため , 順番通りに命令を実行します。

ロード系動作では , ロードしたデータの読込みが終了するまで MA ステージが延長されます。
ただし , ロードで使用するレジスタを , 以降の命令で使用しない場合はそのまま命令を実行します。

(例 2)



例 2 : ③の CMP 命令で①の LD 命令を書込む R1 を使用しているがデータが 1 サイクルで返ってこない場合 , ②の LDI:8 命令まで実行し , CMP はレジスタコンフリクトにより ID ステージで待たされます。

3.5　命令概要

FR80 ファミリ CPU は , 一般的な RISC の命令体系に加え , 組み込み用途に最適化された論理演算とビット操作命令およびダイレクトアドレッシング命令をサポートしています。
各命令は 16 ビット長 (一部命令は 32, 48 ビット長) ですので , 優れたメモリ使用効率を持ちます。

命令セットは次の機能グループに分けることができます。

- 算術演算
- ロードとストア
- 分岐
- 論理演算とビット操作
- ダイレクトアドレッシング
- ビットサーチ
- その他

3.5.1　算術演算

標準の算術演算命令 (加算 , 減算 , 比較) およびシフト命令 (論理シフト , 算術演算シフト) があります。加算と減算については , 多ワード長演算 (32 ビット以上のデータの演算) で使用するキャリ付演算や, アドレス計算に便利なフラグ値を変化させない演算も可能です。
さらに , 32 ビット× 32 ビット , 16 ビット× 16 ビットの乗算命令と , 32 ビット÷ 32 ビットのステップ除算命令を持ちます。
また, レジスタに即値をセットする即値転送命令や, レジスタ間転送命令も備えています。
算術演算命令はすべて CPU 内の汎用レジスタおよび乗除算レジスタを用いて演算を行います。

3.5.2　ロードとストア

ロードとストアは外部メモリに対して読出しと書込みを行う命令です。また , チップ内の周辺機能の読出しと書込みにも使用されます。
ロードとストアはバイト , ハーフワード , ワードの 3 種類のアクセス長を持ちます。また一般的なレジスタ間接のメモリアドレッシングに加え , 一部の命令についてはディスプレースメント付レジスタ間接やレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.3 分岐

分岐 , コール , 割込みおよび復帰の命令です。分岐命令は , 遅延スロットを持つものと持たないものがあり , 用途に応じて最適化を行うことができます。分岐命令の詳細については , 「3.10 分岐命令」を参照してください。

3.5.4 論理演算とビット操作

論理演算命令は汎用レジスタ間 , または汎用レジスタとメモリ (および I/O) 間で AND, OR, EOR の論理演算を行うことが可能です。またビット操作命令はメモリ (および I/O) の内容を直接操作することができます。メモリアドレッシングは一般的なレジスタ間接です。

3.5.5 ダイレクトアドレッシング

ダイレクトアドレッシング命令は I/O と汎用レジスタ間 , または I/O とメモリ間のアクセスに使用する命令です。I/O のアドレスをレジスタ間接ではなく命令中で直接指定することにより , 高速 , 高効率なアクセスを行うことができます。一部の命令についてはレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.6 ビットサーチ

ビットサーチ命令は 32 ビットのデータを MSB から探索を行い , 最初に見つかった "1" または "0" のビット位置をレジスタに示すことができます。また , MSB の値と比較を行い , 最初に見つかった MSB と異なる値のビット位置をレジスタに示すことができます。

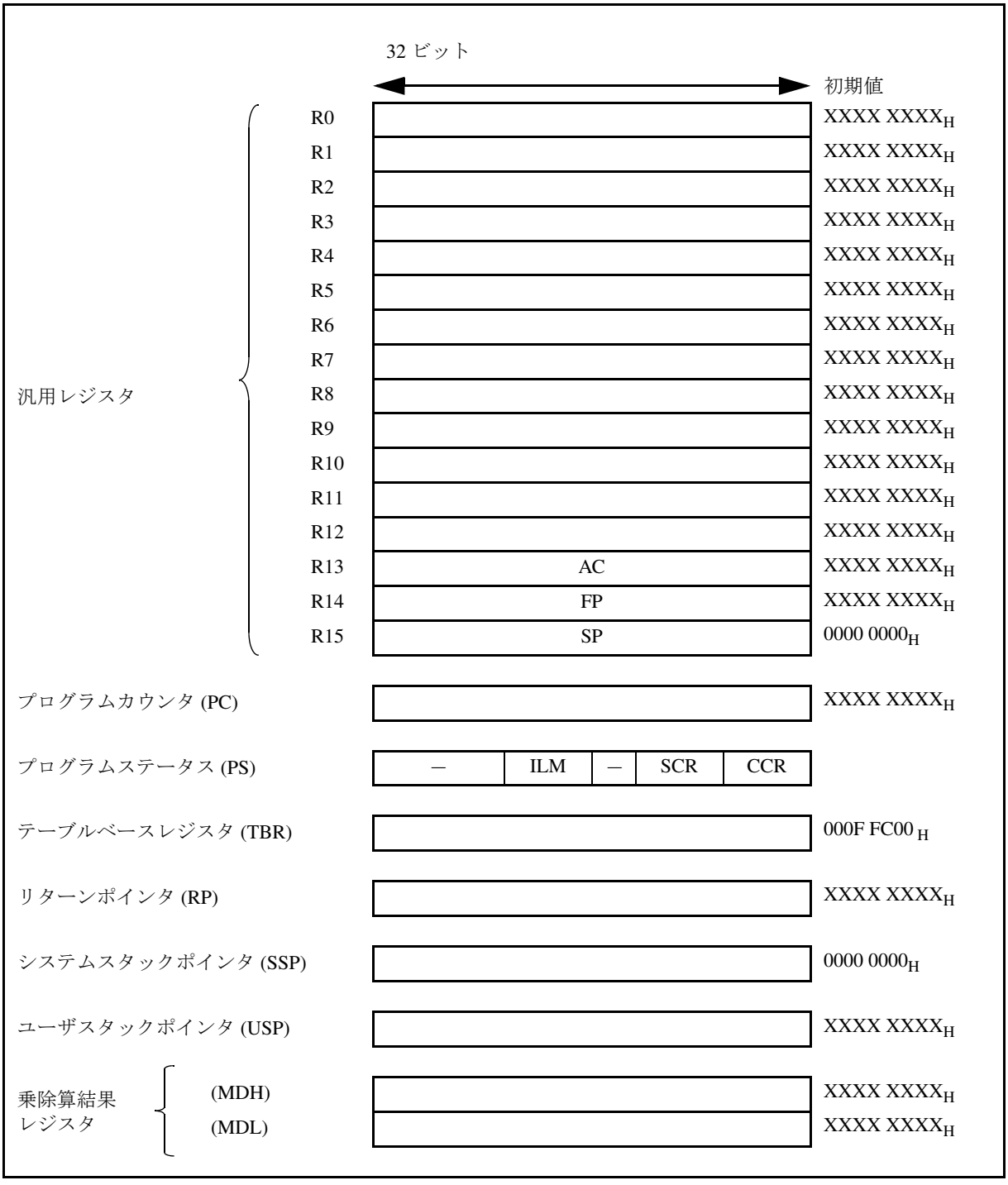
3.5.7 その他

PS レジスタ内のフラグ設定 , スタック操作 , 符号 / ゼロ拡張などを行う命令があります。また高級言語対応の関数入口 / 出口 , レジスタマルチロード / ストア命令も備えています。

3.6 基本プログラミングモデル

基本プログラミングモデルを図 3.6-1 に示します。

図 3.6-1 基本プログラミングモデル



3.7　レジスタ

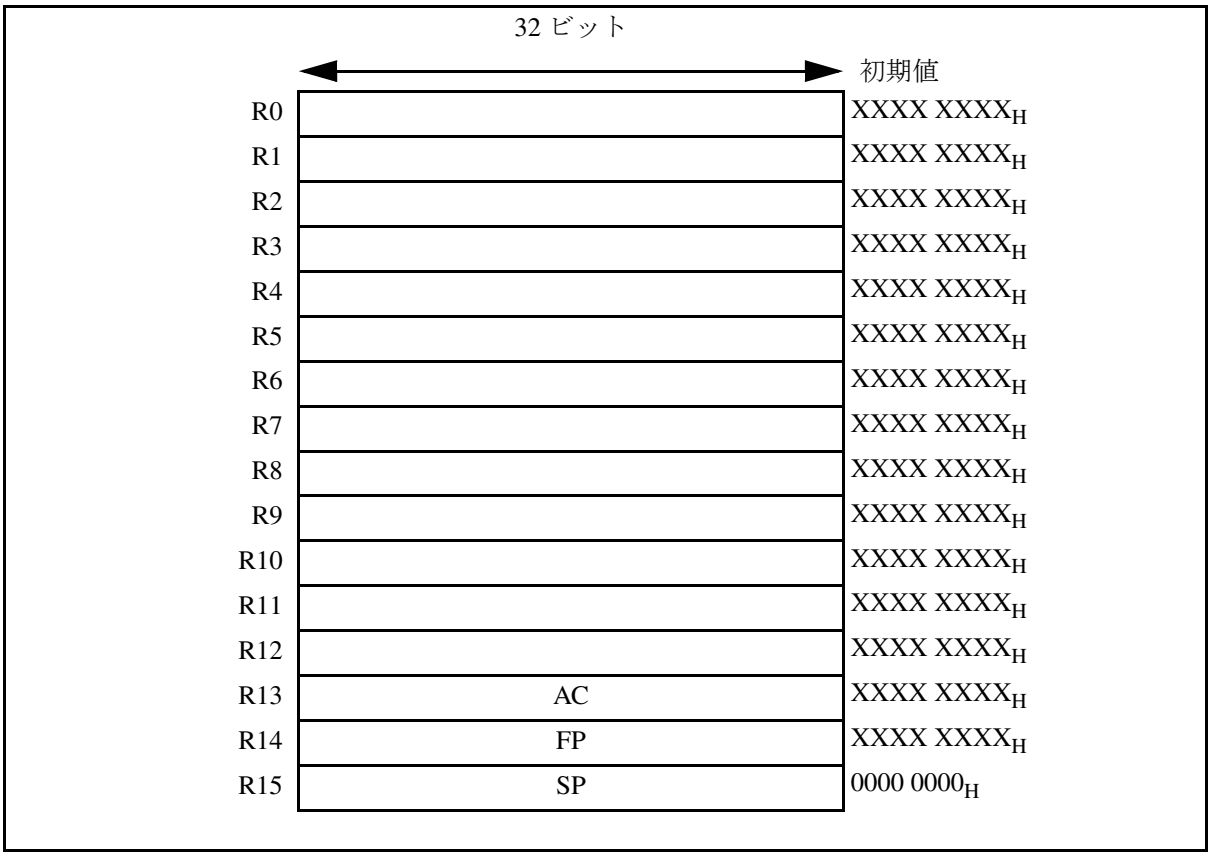
汎用レジスタおよび , 特定の目的のために使用する専用レジスタで構成されています。

3.7.1　汎用レジスタ (R0 ～ R15)

R0 ～ R15 は汎用レジスタです。各種演算におけるアキュムレータ , およびメモリアクセスのポインタとして使用されます。

汎用レジスタ (R0 ～ R15) のビット構成を図 3.7-1 に示します。

図 3.7-1 汎用レジスタ (R0 ～ R15) のビット構成



16本のレジスタのうち , 以下に示すレジスタは特殊な用途を想定しており , そのために一部の命令が強化されています。リセット時の初期値については , 図 3.7-1 を参照してください。

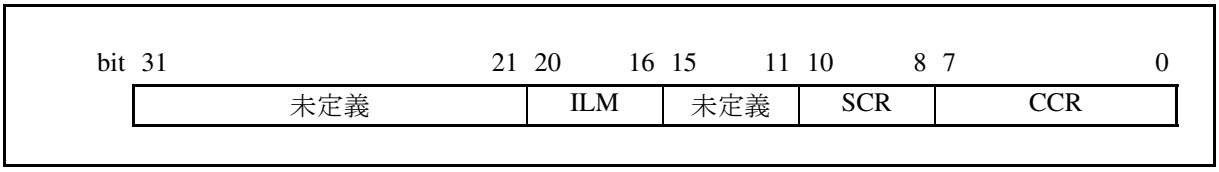
- R13：AC (仮想アキュムレータ)
- R14：FP (フレームポインタ)
- R15：SP (スタックポインタ)

3.7.2 プログラムステータスレジスタ (PS)

プログラムステータスを保持するレジスタで , 割込みレベルマスクレジスタ (ILM), システムコンディションコードレジスタ (SCR) および, コンディションコードレジスタ (CCR) の3つのパートに分かれています。

プログラムステータスレジスタ (PS) のビット構成を図 3.7-2 に示します。

図 3.7-2 プログラムステータスレジスタ (PS) のビット構成



[bit31 ～ bit21, bit15 ～ bit11] 未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit20 ～ bit16] 割込みレベルマスクレジスタ (ILM)

「■割込みレベルマスクレジスタ (ILM)」を参照してください。

[bit10 ～ bit8] システムコンディションコードレジスタ (SCR)

「■システムコンディションレジスタ (SCR)」を参照してください。

[bit7 ～ bit0] コンディションコードレジスタ (CCR)

「■ コンディションコードレジスタ (CCR)」を参照してください。

■ コンディションコードレジスタ (CCR)

コンディションコードレジスタ (CCR) のビット構成を図 3.7-3 に示します。

図 3.7-3 コンディションコードレジスタ (CCR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	S	I	N	Z	V	C
属性	―	―	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	X	X	X	X

R/W：リード / ライト可能
―：未定義
X：不定

[bit7, bit6]：未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit5]：S (スタックフラグ)

汎用レジスタ 15 (R15) として使用されるスタックポインタを指定します。

S	説明
0	システムスタックポインタ (SSP) が汎用レジスタ 15 (R15) として使用されます。 EIT 発生時 , 自動的に "0" にクリアされます。 (ただし , スタックに退避される値は , クリアされる前の値です。)
1	ユーザスタックポインタ (USP) が汎用レジスタ 15 (R15) として使用されます。

このビットはリセットにより "0" にクリアされます。

RETI 命令実行時は "0" を書き込んでください。

[bit4]：I (割込み許可フラグ)

ユーザ割込み要求の許可 / 禁止を制御します。

I	説明
0	ユーザ割込み要求を禁止します。 INT 命令実行時 , 自動的に "0" にクリアされます。 (ただし , スタックに退避される値は , クリアされる前の値です。)
1	ユーザ割込みを許可します。 ユーザ割込み要求のマスク処理は , 割込みレベルマスクレジスタ (ILM) の保持する値により制御されます。

このビットはリセットにより "0" にクリアされます。

[bit3] : N (ネガティブフラグ)

演算結果を 2 の補数で表現された整数とみなしたときの符号を示します。

N	説明
0	演算結果が正の値であったことを示します。
1	演算結果が負の値であったことを示します。

リセットによる初期状態は不定です。

[bit2] : Z (ゼロフラグ)

演算結果が "0" であったかどうかを示します。

Z	説明
0	演算結果が "0" 以外の値であったことを示します。
1	演算結果が "0" であったことを示します。

リセットによる初期状態は不定です。

[bit1] : V (オーバフローフラグ)

演算に用いたオペランドを 2 の補数で表現される整数であるとみなし , 演算の結果 , オーバフローが生じたかどうかを示します。

V	説明
0	演算の結果 , オーバフローは発生していません。
1	演算の結果 , オーバフローが発生しました。

リセットによる初期状態は不定です。

[bit0] : C (キャリフラグ)

演算により , 最上位ビットからのキャリ , またはボローが発生したかどうかを示します。

C	説明
0	キャリ , またはボローは発生していません。
1	キャリ , またはボローが発生しました。

リセットによる初期状態は不定です。

■ システムコンディションレジスタ (SCR)

システムコンディションレジスタ (SCR) のビット構成を図 3.7-4 に示します。

図 3.7-4 システムコンディションレジスタ (SCR) のビット構成

bit	10	9	8
	D1	D0	T
属性	R/W	R/W	R/W
初期値	X	X	0

R/W：リード / ライト可能
X：不定

[bit 10, bit9]：D1, D0 (ステップ除算用フラグ)

ステップ除算実行時の中間データを保持します。

除算処理の実行途中は , このビットを変更しないでください。

ステップ除算実行途中にほかの処理を行う場合は , プログラムステータスレジスタ (PS) の値を退避・復帰することで , ステップ除算の再開が保証されます。

リセットによる初期状態は不定です。

< 注意事項 >

- DIV0S 命令の実行により被除数と除数を参照して設定されます。
- DIV0U 命令の実行により , 強制的にクリアされます。

[bit8]：T (ステップトレーストラップフラグ)

ステップトレーストラップを有効にするかどうかを指定するフラグです。

T	説明
0	ステップトレーストラップは無効です。
1	ステップトレーストラップが有効です。 ユーザ割込み要求がすべて , 禁止されます。

このビットはリセットにより "0" にクリアされます。

ステップトレーストラップの機能はエミュレータが使用します。エミュレータ使用時 , ユーザプログラム中で使用することはできません。

■ 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持するレジスタです。このレジスタの保持する値がレベルマスクに使用されます。

割込みレベルマスクレジスタ (ILM) のビット構成を図 3.7-5 に示します。

図 3.7-5 割込みレベルマスクレジスタ (ILM) のビット構成

bit	20	19	18	17	16
	ILM4	ILM3	ILM2	ILM1	ILM0
属性	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	1

R/W：リード / ライト可能

CPUに入力される割込み要求の中で, 対応する割込みレベルが, このレジスタで示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は , "0" (00000_B) が最強で , "31" (11111_B) が最弱です。

プログラムから設定可能な値には制限があります。

- 元の値が 16 ～ 31 の場合 : 新たな値として設定できるのは 16 ～ 31 です。0 ～ 15 を設定した命令を実行すると , (指定した値＋ 16) という値が転送されます。
- 元の値が 0 ～ 15 の場合 : 0 ～ 31 の任意の値が設定可能です。

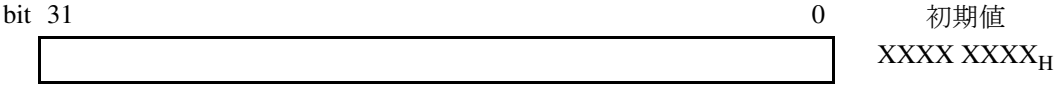
このビットはリセットにより 15 (01111_B) に初期化されます。

3.7.3 プログラムカウンタ (PC)

プログラムカウンタ (PC) で , 実行している命令のアドレスを示すレジスタです。

プログラムカウンタ (PC) のビット構成を図 3.7-6 に示します。

図 3.7-6 プログラムカウンタ (PC) のビット構成



命令の実行を伴う PC の更新時に , bit0 は "0" に設定されます。

分岐先アドレスとして奇数番地を指定して , bit0 を "1" にすることは禁止です。

命令は 2 の倍数のアドレスに置く必要があります。

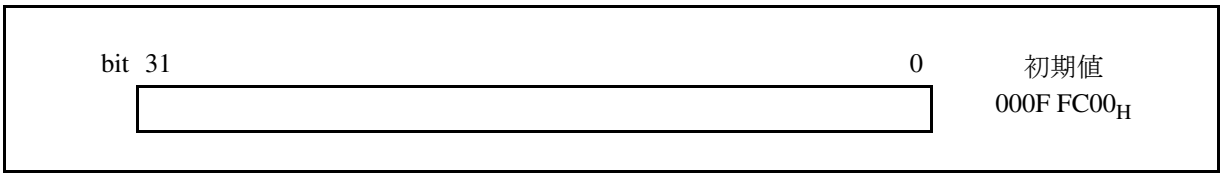
リセットによる初期値は不定で , リセットベクタフェッチによりプログラム開始アドレスが設定されます。

3.7.4　テーブルベースレジスタ (TBR)

EIT 処理の際に使用されるベクタテーブルの先頭アドレスを保持するレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.7-7 に示します。

図 3.7-7 テーブルベースレジスタ (TBR) のビット構成



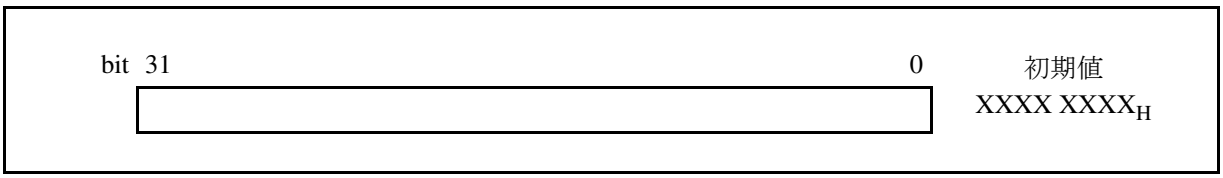
リセットによる初期値は , "000F FC00 $_H$" です。

3.7.5　リターンポインタ (RP)

このポインタで , サブルーチンから復帰するアドレスを保持します。

リターンポインタ (RP) のビット構成を図 3.7-8 に示します。

図 3.7-8 リターンポインタ (RP) のビット構成



CALL 命令実行時 , プログラムカウンタ (PC) の値が , このレジスタに転送されます。

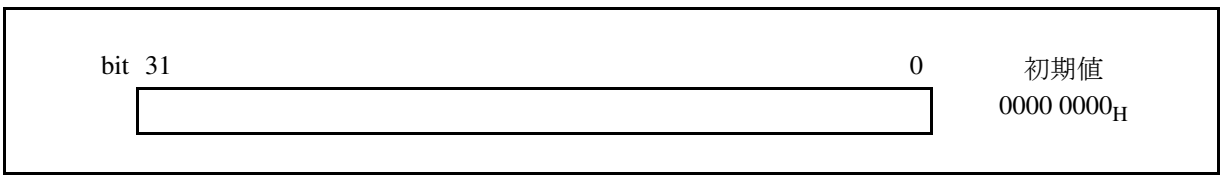
RET 命令実行時 , このレジスタの内容がプログラムカウンタ (PC) に転送されます。

3.7.6　システムスタックポインタ (SSP)

コンディションコードレジスタ (CCR) の S フラグが "0" のとき , R15 として機能します。
システムスタックポインタ (SSP) を明示的に指定することも可能です。
また , EIT 発生時に , プログラムステータスレジスタ (PS) とプログラムカウンタ (PC を退避するスタックを指定するスタックポインタとしても使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.7-9 に示します。

図 3.7-9 システムスタックポインタ (SSP) のビット構成



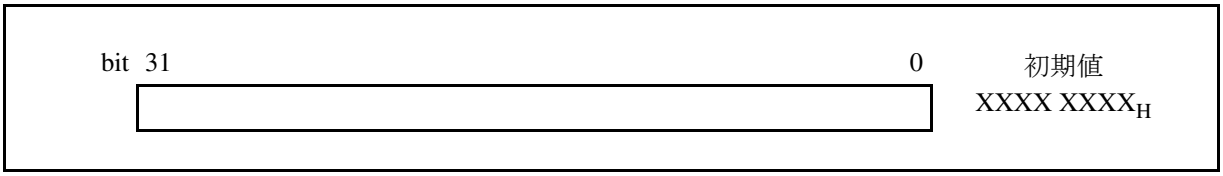
リセットによる初期値は , "0000 0000 $_H$" です。

3.7.7 ユーザスタックポインタ (USP)

コンディションコードレジスタ (CCR) の S フラグが "1" のとき , R15 として機能します。
ユーザスタックポインタ (USP) を明示的に指定することも可能です。

ユーザスタックポインタ (USP) のビット構成を図 3.7-10 に示します。

図 3.7-10 ユーザスタックポインタ (USP) のビット構成



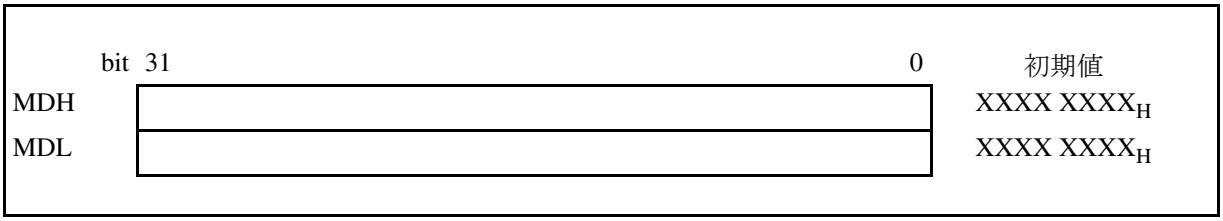
リセットによる初期値は不定です。

RETI 命令で使用することはできません。

3.7.8　乗除算レジスタ (Multiply & Divide register)

乗除算用のレジスタで , それぞれ 32 ビット長です。

図 3.7-11 乗除算レジスタ (Multiply & Divide register) のビット構成



リセットによる初期値は不定です。

● 乗算実行時

32 ビット× 32 ビットの乗算のとき , 64 ビット長の演算結果は , 次の配置で乗除算結果格納レジスタに格納されます。

- MDH：上位 32 ビット
- MDL：下位 32 ビット

16 ビット× 16 ビットの乗算のときは , 次のように結果が格納されます。

- MDH：不定
- MDL：結果 32 ビット

● 除算実行時

計算開始時 , 被除数を MDL に格納します。

DIV0S, DIV0U, DIV1, DIV2, DIV3, DIV4S 命令の実行により除算を実行すると , 結果が MDH と MDL に格納されます。

- MDH：剰余
- MDL：商

3.8 データ構造

FR80 ファミリ CPU のデータ配置には , 次の 2 つがあります。

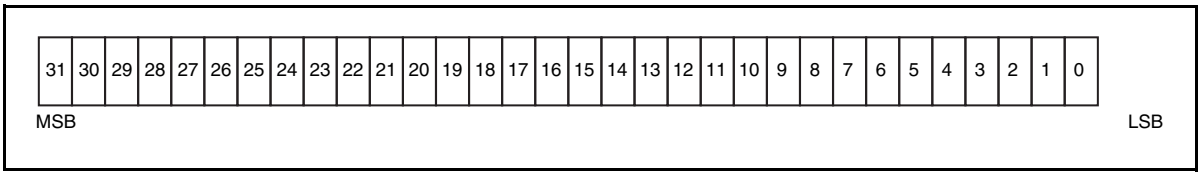
- ビットオーダリング
- バイトオーダリング

3.8.1 ビットオーダリング

FR80ファミリCPUでは, ビットオーダリングとして, リトルエンディアンを採用しています。

ビットオーダリングを図 3.8-1 に示します。

図 3.8-1 ビットオーダリング

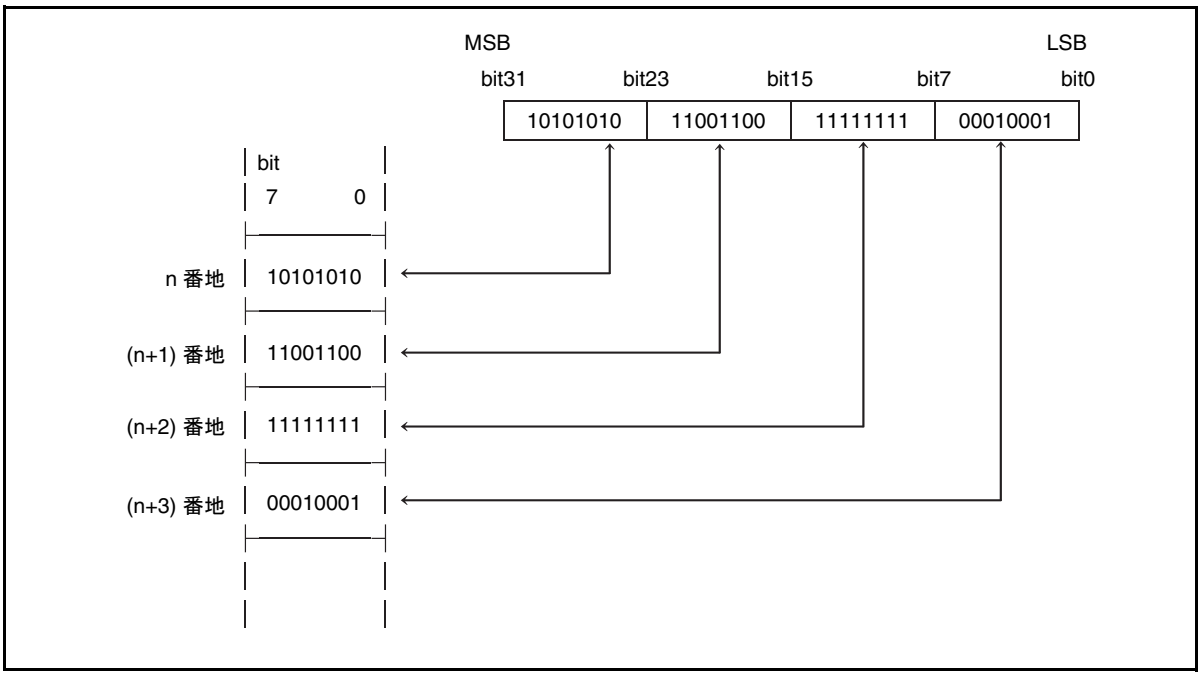


3.8.2 バイトオーダリング

FR80ファミリCPUでは, バイトオーダリングとして, ビッグエンディアンを採用しています。

バイトオーダリングを図 3.8-2 に示します。

図 3.8-2 バイトオーダリング



3.8.3　ワードアライメント

■ プログラムアクセス

FR80 ファミリ CPU のプログラムは , 2 の倍数のアドレスに配置する必要があります。プログラムカウンタ (PC) の bit0 は , 命令の実行に伴うプログラムカウンタ (PC) の更新時に , "0" に設定されます。分岐先アドレスとして奇数番地を指定して , bit0 を "1" にすることは禁止です。

命令は 2 の倍数のアドレスに置かなくてはなりません。

奇数アドレス例外はありません。

■ データアクセス

FR80 ファミリでは , データアクセスを行う際 , アクセスサイズにより以下のとおりのアドレスとしてください。(ハードでアラインメントが行われません。)

ワードアクセス：アドレスは , 4 の倍数 (最下位 2 ビットは "00")

ハーフワードアクセス：アドレスは , 2 の倍数 (最下位 ビットは "0")

バイトアクセス：――

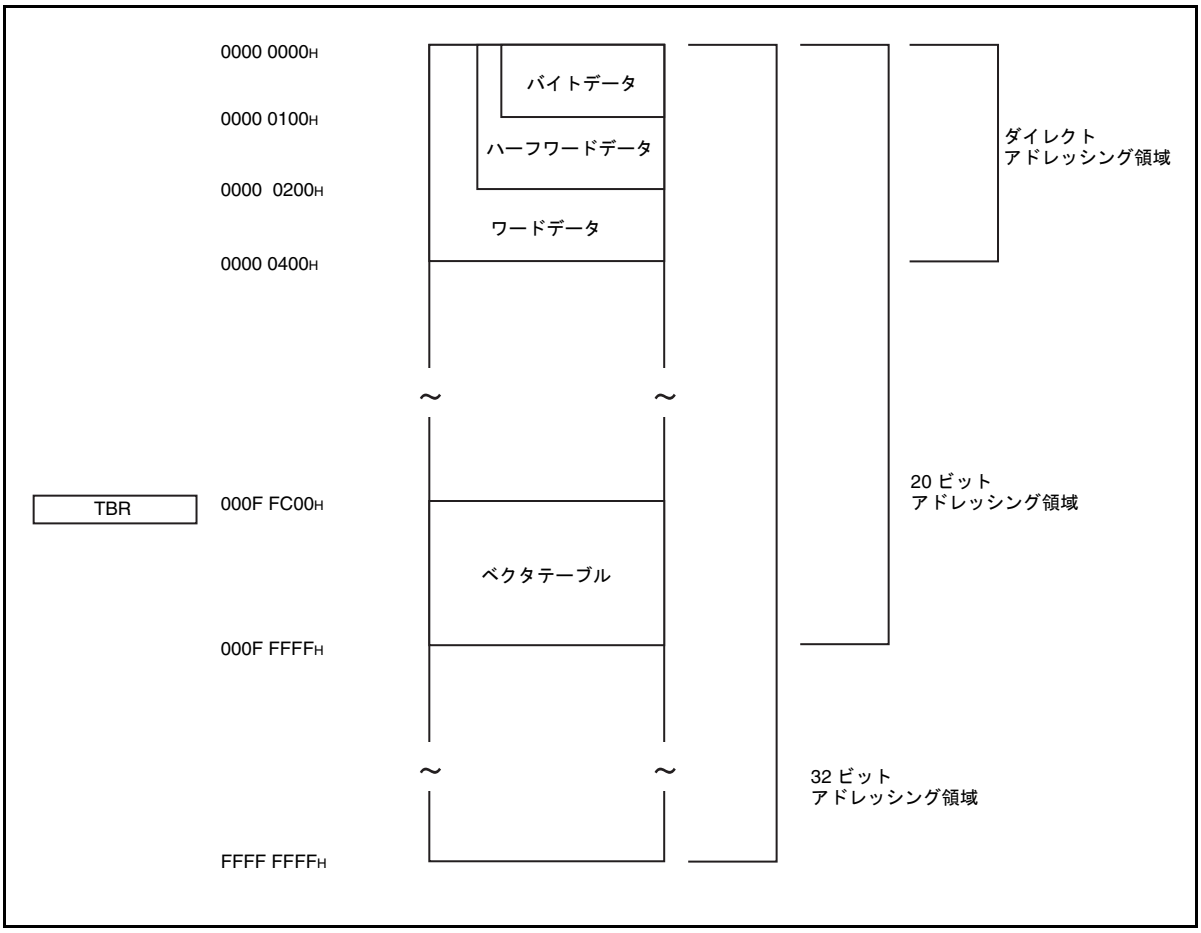
ワードおよびハーフワードデータアクセス時に , 実効アドレスの計算結果に対して上記のアドレスとしてください。

3.9 アドレッシング

メモリ空間は 32 ビットリニアです。

メモリ空間を図 3.9-1 に示します。

図 3.9-1 メモリ空間



3.9.1 ダイレクトアドレッシング領域

メモリ空間の下記の領域は , I/O 用の領域です。この領域は , ダイレクトアドレッシングにより , 命令中で直接オペランドアドレスを指定することができます。

ダイレクトアドレス指定可能なアドレス領域の大きさは , データ長ごとに異なります。

- バイトデータ (8 ビット) …… 0 ～ 0x0FF
- ハーフワードデータ (16 ビット) …… 0 ～ 0x1FF
- ワードデータ (32 ビット) …… 0 ～ 0x3FF

3.9.2　20 ビットアドレッシング領域

20 ビットアドレッシング領域　……　0 ～ 0xFFFFF

20 ビットアドレッシング領域内に, プログラム領域やデータ領域をすべて配置すると , コンパイル時にコンパクトで高速なプログラムが実現できます。

20 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA20	label20,Ri	
	↓	コードサイズ
LDI:20	#label20,Ri	; 4 バイト
JMP	@Ri	; 2 バイト
		計 6 バイト

詳細は ,「FR ファミリ　SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.3　32 ビットアドレッシング領域

32 ビットアドレッシング領域　……　0 ～ 0xFFFFFFFF

20 ビットアドレッシング領域を超える範囲に , プログラム領域やデータ領域を配置すると , 20 ビットアドレッシング領域内で作成したプログラムよりもコードサイズが大きくなります。

32 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA32	label32,Ri	
	↓	コードサイズ
LDI:32	#label32,Ri	; 6 バイト
JMP	@Ri	; 2 バイト
		計 8 バイト

詳細は ,「FR ファミリ　SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.4　ベクタテーブル初期領域

$000F\ FC00_H$ ～ $000F\ FFFF_H$ の領域は EIT ベクタテーブル初期領域です。

EIT処理時に使用されるベクタテーブルは, テーブルベースレジスタ (TBR) を書換えることにより任意のアドレスに配置可能ですが , リセットによる初期化によってこのアドレスに配置されます。

3.10 分岐命令

FR80 ファミリ CPU では , 分岐命令に遅延スロット付きの動作と遅延スロットなしの動作を指定できます。

3.10.1 遅延スロット付き動作

■ 命令

次に示す命令が , 遅延スロット付きの分岐動作を行います。

JMP:D	@Ri	/	CALL:D	label12	/	CALL:D	@Ri	/	RET:D	
BRA:D	label9	/	BNO:D	label9	/	BEQ:D	label9	/	BNE:D	label9
BC:D	label9	/	BNC:D	label9	/	BN:D	label9	/	BP:D	label9
BV:D	label9	/	BNV:D	label9	/	BLT:D	label9	/	BGE:D	label9
BLE:D	label9	/	BGT:D	label9	/	BLS:D	label9	/	BHI:D	label9

■ 動作説明

分岐命令の直後 (「遅延スロット」とよびます) に置かれた命令を実行した後に , 分岐し , その後 , 分岐先の命令を実行します。分岐動作の前に遅延スロットの命令を実行するため , 見掛け上の実行速度が 1 サイクルとなります。その代わり , 遅延スロットに有効な命令を入れることができないときは , NOP 命令を置かなくてはなりません。

[例]

```
;          命令の並び
           ADD       R1, R2;
           BRA:D     LABEL     ; 分岐命令
           MOV       R2, R3    ; 遅延スロット     ……分岐の前に実行される
           …
LABEL:     ST        R3, @R4   ; 分岐先
```

条件分岐命令の場合 , 分岐条件が成立する場合も , しない場合も遅延スロットに置かれた命令は実行されます。

遅延分岐命令では , 一部の命令の実行順序が反転するように見えますが , それはプログラムカウンタ (PC) の更新動作だけです。その他の動作 (レジスタの更新・参照など) はあくまで記述された順番で実行されます。

以下に , 具体的な説明をします。

1. JMP:D @Ri / CALL:D @Ri命令で参照する Ri は, 遅延スロットの中の命令が Riを更新しても影響を受けません。

   [例]

```
LDI:32    #Label, R0
JMP:D     @R0          ; Label に分岐
LDI:8     #0, R0       ; 分岐先アドレスには影響を与えない。
…
```

2. RET:D命令が参照するリターンポインタ (RP) は, 遅延スロットの中の命令がリターンポインタ (RP) を更新しても影響を受けません。

   [例]

```
RET:D                  ; これより前に設定された RP の示すアドレスへ分岐
MOV       R8, RP       ; リターン動作には影響を与えない。
…
```

3. Bcc:D rel 命令が参照するフラグも , 遅延スロットの命令の影響を受けません。

   [例]

```
ADD       #1, R0       ; フラグ変化
BC:D      Overflow     ; 上記の命令の実行結果により分岐
ANDCCR    #0           ; このフラグ更新は上記分岐命令では参照しない。
…
```

4. CALL:D 命令の遅延スロットの中の命令で RP を参照すると , CALL:D 命令により更新された内容が読み出されます。

   [例]

```
CALL:D    Label        ; RP を更新して分岐
MOV       RP, R0       ; 上記 CALL:D の実行結果の RP を転送
…
```

■ 遅延スロットに置くことができる命令

遅延スロット内で実行できるのは , 次の条件を満たす命令のみです。

- 1 サイクル命令
- 分岐命令ではないこと
- 順番が変化した場合でも動作に影響を与えない命令

■ ステップトレーストラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では , ステップトレーストラップは発生しません。

■ 割込み

遅延スロットを持つ分岐命令の実行と遅延スロットの間では , 割込みを受理しません。

■ 未定義命令例外

BNO: D 命令以外の遅延スロットに未定義命令があった場合 , 未定義命令例外は発生しません。このとき , 未定義命令は NOP 命令として動作します。

< 注意事項 >

BNO: D 命令の遅延スロットに未定義命令を配置しないでください。

3.10.2 遅延スロットなし動作

■ 命令

以下に示す命令が , 遅延スロットなしの分岐動作を行います。

JMP	@Ri	/	CALL	label12	/	CALL	@Ri	/	RET	
BRA	label9	/	BNO	label9	/	BEQ	label9	/	BNE	label9
BC	label9	/	BNC	label9	/	BN	label9	/	BP	label9
BV	label9	/	BNV	label9	/	BLT	label9	/	BGE	label9
BLE	label9	/	BGT	label9	/	BLS	label9	/	BHI	label9

■ 動作説明

命令の並び順に実行します。分岐命令直後の命令が分岐前に実行されることはありません。

[例]

```
;           命令の並び
            ADD     R1, R2      ;
            BRA     LABEL       ; 分岐命令 ( 遅延スロットなし )
            MOV     R2, R3      ; 実行されない
            …
LABEL       ST      R3, @R4     ; 分岐先
```

遅延スロットなしの分岐命令の実行サイクル数は , 分岐するとき 2 サイクル , 分岐しないとき 1 サイクルとなります。

遅延スロットに適当な命令を入れることができないために NOP を明記した遅延スロット付き分岐命令に比べ , 命令コード効率を上げることができます。

遅延スロットに有効な命令を設置できるときは遅延スロット付きの動作を選択し , そうでないときは遅延スロットなしの動作を選択することで , 実行速度とコード効率を両立させることが可能となります。

3.11　EIT (例外・割込み・トラップ)

EIT とは , 現プログラム実行時にイベントの発生により , そのプログラムの実行を中断しほかのプログラムを実行することを指し , 例外 (Exception), 割込み (Interrupt), トラップ (Trap) の総称です。
例外とは実行中のコンテキストに関連して発生する事象です。例外を起こした命令から再実行します。
割込みとは実行中のコンテキストに無関係に発生する事象です。イベント要因は , ハードウェアです。
トラップとは実行中のコンテキストに関連して発生する事象です。システムコールのようにプログラムで指示するものがあります。トラップを起こした命令の次の命令から再実行します。

■ 特徴

- 多重 EIT をサポート
- 割込みにレベルマスク機能 (15 レベルをユーザが使用可能)
- トラップ命令 (INT/INTE)
- エミュレータ起動用 EIT (ハードウェア / ソフトウェア)

3.11.1　EIT 要因

EIT 要因として , 次のものがあります。

- リセット
- ユーザ割込み (周辺機能 , 外部割込み)
- 遅延割込み
- 未定義命令例外
- トラップ命令 (INT)
- トラップ命令 (INTE)
- ステップトレーストラップ

3.11.2　EIT からの復帰

RETI 命令により , 各 EIT より復帰します。

3.11.3 割込みレベル

割込みレベルは 0 ～ 31 で , 5 ビットで管理されます。

各レベルの割り当てを表 3.11-1 に示します。

表 3.11-1 割込みレベル割り当て表

レベル		割込みの種類	備考
2 進数	10 進数		
00000	0	(システム予約)	割込みレベルマスクレジスタ (ILM) の元の値が 16 ～ 31 のときは , この範囲の値をプログラムから割込みレベルマスクレジスタ (ILM) に設定することはできません。
・・・	・・・	・・・	
・・・	・・・	・・・	
00011	3	(システム予約)	
00100	4	INTE 命令 ステップトレーストラップ	
00101	5	(システム予約)	
・・・	・・・	・・・	
・・・	・・・	・・・	
01100	14	(システム予約)	
01101	15	(システム予約)	
10000	16	割込み要求	割込みレベルマスクレジスタ (ILM) 設定時は , ユーザ割込み禁止
10001	17	割込み要求	
・・・	・・・	・・・	
・・・	・・・	・・・	
11110	30	割込み要求	
11111	31	—	割込み制御レジスタ (ICR) 設定時 , 割込み禁止

操作が可能なのは , 16 ～ 31 のレベルです。

未定義命令例外 , INT 命令は , 割込みレベルの影響を受けません。また , 割込みレベルマスクレジスタ (ILM) を変化させることもありません。

3.11.4 I フラグ

割込みの許可 / 禁止を指定するフラグです。プログラムステータスレジスタ (PS) のコンディションコードレジスタ (CCR) の bit4 として設けられています。

I	説明
0	INT 命令実行時 , 自動的に "0" にクリアされます。 (ただし , スタックに退避される値は , クリアされる前の値です。)
1	ユーザ割込み要求のマスク処理は , 割込みレベルマスクレジスタ (ILM) の保持する値により制御されます。

< 注意事項 >

I フラグの値を変更したとき , 割込み要求の受付けは I フラグを書き換えた命令の次の次の命令から反映されます。
よって , 割込みを正しく動作させるために I フラグを変更する命令の後には NOP を置いてください。

- 割込み許可 (I フラグ =1) にするとき

命令実行		I フラグ	割込み	
↓	ORCCR #set_iflag	0	禁止	
	NOP	1	禁止	
	命令 A	1	許可	↑ ここから割込み許可

- 割込み禁止 (I フラグ =0) にするとき

命令実行		I フラグ	割込み	
↓	ANDCCR #clear_iflag	1	許可	
	NOP	0	許可	
	命令 A	0	禁止	↑ ここから割込み禁止

I フラグを "0" にする命令を実行しているときに割込みを受け付けると , I フラグ , ILM は変更するのに命令実行から 1cycle 遅れがあるため , 割込み処理ルーチンに飛んでいるにもかかわらず I フラグが "0" となります。この際 , 多重割込みが発生しても I フラグは "0" のため受け付けられず , 多重割込みの処理が実行されません。なお , I フラグ自体は命令実行時に更新されます。そのため , スタックには更新後の I フラグの値が退避され , スタックの値が復帰された際には PS レジスタには更新後の I フラグの値が反映されます。割込みルーチン内で新たな割込みを受け付けたい場合は , 割込みルーチンの先頭で I フラグを "1" とするソフトウェア処理を行ってください。

3.11.5 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持します。プログラムステータスレジスタ (PS) の bit20 ～ bit16 として設けられています。

FR80 ファミリ CPU に入力される割込み要求の中で , 対応する割込みレベルが , この割込みレベルマスクレジスタ (ILM) で示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は , "0" (00000) が最強で , "31" (11111) が最弱です。

プログラムから設定可能な値には制限があります。元の値が 16 ～ 31 のとき , 新たな値として設定できるのは 16 ～ 31 です。0 ～ 15 の値を設定する命令を実行すると , (指定した値＋ 16) が転送されます。

元の値が 0 ～ 15 のときは , 0 ～ 31 の任意の値が設定可能です。設定するには STILM 命令を使用します。

< 注意事項 >

割込みレベルマスクレジスタ (ILM) の値を変更したとき , 割込み要求の受付けは割込みレベルマスクレジスタ (ILM) を書き換えた命令の次の次の命令から反映されます。

よって , 割込みを正しく動作させるために割込みレベルマスクレジスタ (ILM) を変更する命令の後には NOP を置いてください。

命令実行 ↓	ILM	割込み受付け	
SETILM #set_ILM_B	A	A	
NOP	B	A	
命令 C	B	B	↑
命令 D	B	B	**ここから ILM=B が反映**

3.11.6 割込みに対するレベルマスク

割込み要求が発生したときは , 割込み要因の持つ割込みレベルが割込みレベルマスクレジスタ (ILM) の保持するレベルマスク値と比較されます。そして , 次の条件が成立したときはマスクされ , 要求は受理されません。

要因の持つ割込みレベル ≧ レベルマスク値

3.11.7　割込み制御レジスタ (ICR)

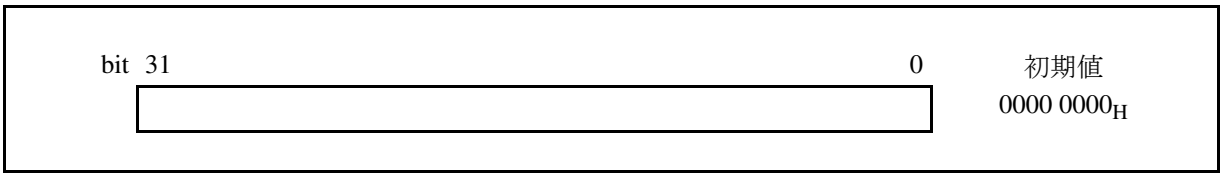
「第 10 章 割込みコントローラ」を参照してください。

3.11.8　システムスタックポインタ (SSP)

EIT の受理および復帰動作時のデータ退避・復帰用スタックを示すポインタとして使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.11-1 に示します。

図 3.11-1 システムスタックポインタ (SSP) のビット構成



EIT 処理時に "8" 減算され , RETI 命令の実行による EIT からの復帰動作時に "8" 加算されます。

リセットによる初期値は 0000 0000_H です。

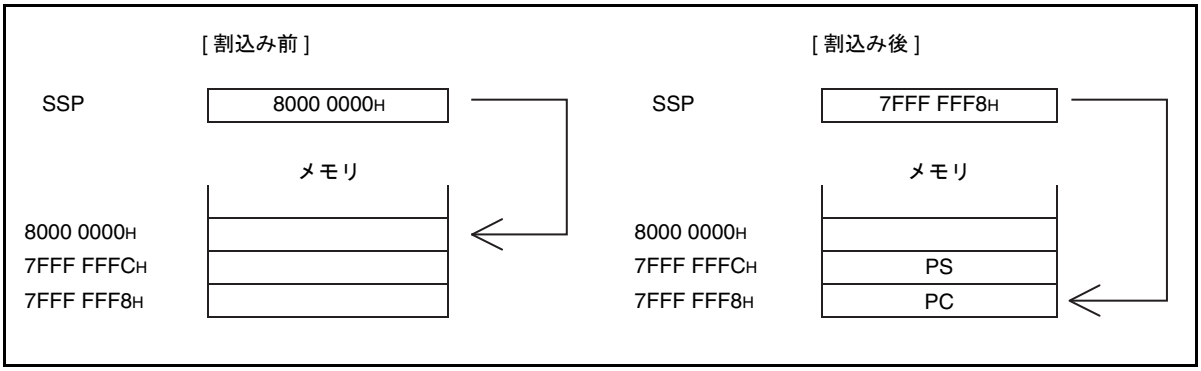
コンディションコードレジスタ (CCR) 中の S フラグが "0" のとき , 汎用レジスタ R15 としても機能します。

3.11.9　割込みスタック

システムスタックポインタ (SSP) により示される領域で , プログラムカウンタ (PC) およびプログラムステータスレジスタ (PS) の値が退避・復帰されます。割込み後はシステムスタックポインタ (SSP) の示すアドレスにプログラムカウンタ (PC), (SSP ＋ 4) のアドレスにプログラムステータスレジスタ (PS) が格納されています。

割込みスタックを図 3.11-2 に示します。

図 3.11-2 割込みスタック

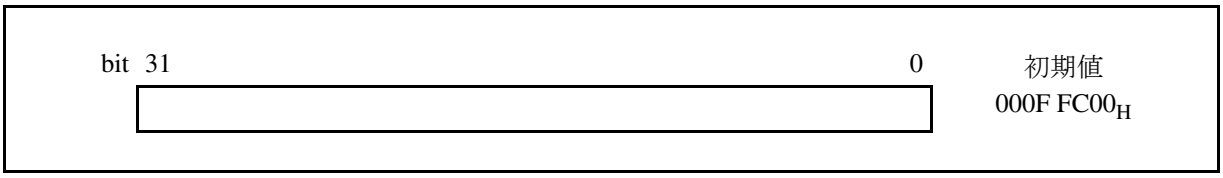


3.11.10 テーブルベースレジスタ (TBR)

EIT 用ベクタテーブルの先頭アドレスを示すレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.11-3 に示します。

図 3.11-3 テーブルベースレジスタ (TBR) のビット構成



テーブルベースレジスタ (TBR) と EIT 要因ごとに決められたオフセット値を加算したアドレスが , ベクタアドレスとなります。

リセットによる初期値は 000F $FC00_H$ です。

3.11.11 EIT ベクタテーブル

テーブルベースレジスタ (TBR) の示すアドレスから 1K バイトの領域が , EIT 用ベクタ領域となっています。

1 ベクタあたりの大きさは 4 バイトで , 割込みベクタ番号とベクタアドレスの関係は下記のように表されます。

vctadr =TBR + vctofs
=TBR + (0x3FC − 4 × vct)

vctadr : ベクタアドレス vctofs : ベクタオフセット vct : 割込みベクタ番号
TBR : テーブルベースレジスタ (TBR))

加算結果の下位 2 ビット は常に "00" として扱われます。

000F $FC00_H$ ～ 000F $FFFF_H$ の領域がリセットによるベクタテーブルの初期領域です。

ベクタの一部には特殊な機能が割り当てられています。

3.11.12　多重 EIT 処理

複数の EIT 要因が同時に発生した場合 , CPU は 1 つの EIT 要因を選択して受理し , EIT シーケンスを実行した後 , 再び EIT 要因の検出を行う , という動作を繰り返します。EIT 要因検出の際に , 受理可能な EIT 要因がなくなったとき , 最後に受理した EIT 要因のハンドラの命令を実行します。

そのため , 複数の EIT 要因が同時に発生した場合の各要因のハンドラの実行順序は ,

1. EIT 要因受理の優先順位
2. 受理した場合にほかの要因をどのようにマスクするか

という 2 つの要素により決まります。

EIT 要因受理の優先度とは , プログラムステータスレジスタ (PS) とプログラムカウンタ (PC) を退避してプログラムカウンタ (PC) を更新し (必要に応じて) ほかの要因のマスク処理を行うという , EIT シーケンスを実行する要因を選ぶときの順番です。必ずしも , 先に受理された要因のハンドラが先に実行されるわけではありません。

EIT 要因受理の優先度を表 3.11-2 に示します。

表 3.11-2 EIT 要因の受理の優先度と他の要因へのマスク

受理の優先順位	要因	ほかの要因によるマスク	ILM
1	リセット	ほかの要因は破棄されます。	15
2	未定義命令以外	これより優先度の低い要因すべて	-
3	INT 命令	I フラグ =0	-
4	INTE 命令	これより優先度の低い要因すべて	4
5	ユーザ割込み	ILM= 受理した要因のレベル	ICR
6	ステップトレーストラップ	これより優先度の低い要因すべて	4

EIT 要因を受理した後のほかの要因に対するマスクの処理を加味すると , 同時に発生した EIT 要因の各ハンドラの実行順序は , 次のようになります。

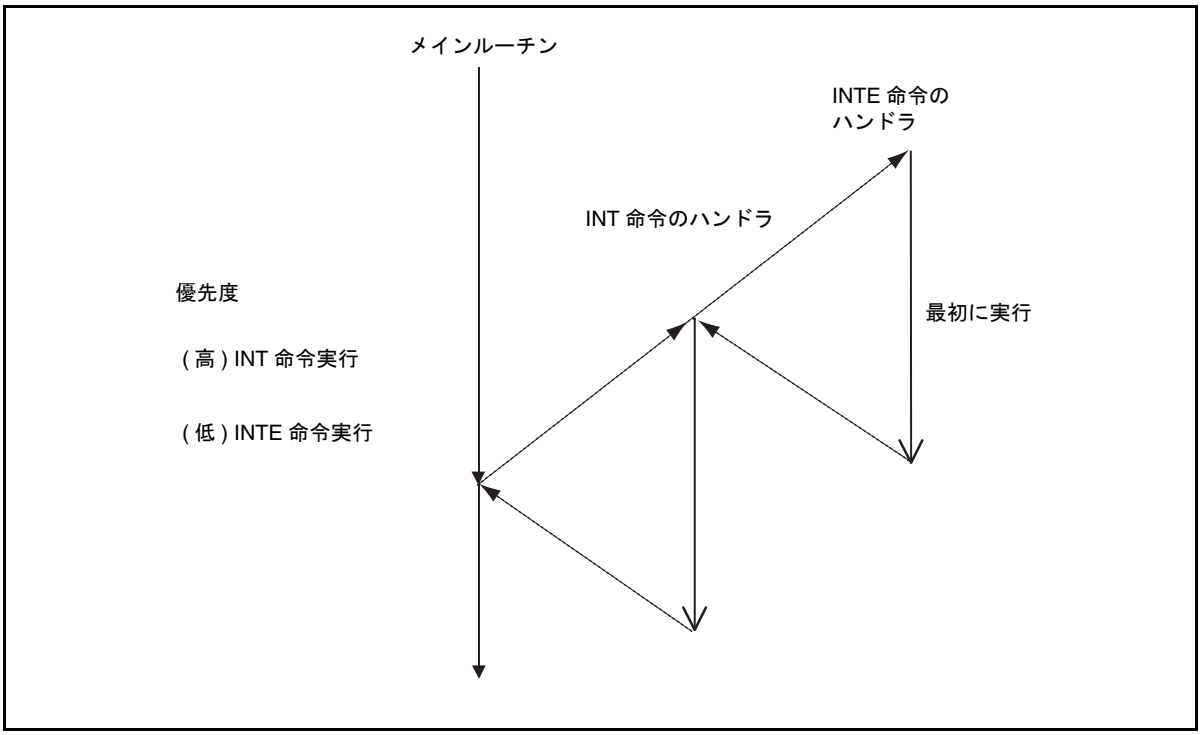
実行順序を表 3.11-3 に示します。

表 3.11-3 EIT ハンドラの実行順序

受理の優先順位	要因
1	リセット
2	未定義命令以外
3	INTE 命令
4	ステップトレーストラップ
5	INT 命令
6	ユーザ割込み

多重 EIT 処理について , 図 3.11-4 に示します。

図 3.11-4 多重 EIT 処理



3.11.13 動作

次の説明で , 転送元の「PC」とは各 EIT 要因を検出した命令のアドレスを示すものとします。

また , 「次の命令のアドレス」とは , EIT を検出した命令が

- LDI:32 のとき : PC ＋ 6
- LDI:20 のとき : PC ＋ 4
- その他の命令のとき : PC ＋ 2

を意味します。

■ ユーザ割込みの動作

ユーザ割込み要求が発生すると , 次の順序で要求受理の可否が判定されます。

ユーザ割込みとは , 各種周辺機能から要求が発生する割込みで , 割込み要求ごとに割込みレベルが設定されています。

● 割込み要求受理の可否判定

1. 同時に発生した要求の割込みレベルを比較し , 最も強いレベル (最も小さい数値) を保持するものが選択されます。

   対応する割込み制御レジスタ (ICR) の保持する値が比較に使用されます。
2. 同じレベルを持つ割込み要求が複数発生しているときは , 最も若い割込み番号を持つ割込み要求が選択されます。
3. 割込みレベル≧レベルマスク値のとき , 割込み要求はマスクされ受理されません。

割込みレベル＜レベルマスク値のとき , 4 へ。

4. 選択された割込み要求がマスク可能割込みであるとき , I フラグが "0" ならば割込み要求はマスクされ , 受理されません。I フラグが "1" ならば割込み要求受理へ。

   上記の条件が成立したとき , 命令処理の切れ目で割込み要求は受理されます。

I フラグや割込みレベルマスクレジスタ (ILM) を変更する命令を実行した場合 , 2 命令後から新しい受付け条件での EIT 制御を行います。

EIT要求検出時にユーザ割込み要求が受理されると , 受理された割込み要求に対応した割込み番号を使用して , CPU は次のように動作します。

※下記の「●動作」における (　) はレジスタの指すアドレスを表します。

● 動作

1	(TBR ＋ 受理した割込み要求のベクタオフセット)	→ TMP
2	SSP － 4	→ SSP
3	PS	→ (SSP)
4	SSP － 4	→ SSP
5	次の命令のアドレス	→ (SSP)
6	受理した要求の割込みレベル	→ ILM
7	"0"	→ S フラグ
8	TMP	→ PC

割込みシーケンス終了後ハンドラの先頭の命令を実行する前に , 新たな EIT の検出を行います。この時点で受理可能な EIT が発生していると , CPU は EIT 処理シーケンスに遷移します。

3.11.14　INT 命令の動作

INT　#u8 命令はソフトウェアでトラップを発生する命令です。
オペランドで指定された割込み番号のトラップを発生します。

● 動作

1	(TBR ＋ 0x3FC － 4 × u8)	→ TMP
2	SSP － 4	→ SSP
3	PS	→ (SSP)
4	SSP － 4	→ SSP
5	PC ＋ 2	→ (SSP)
6	"0"	→ I フラグ
7	"0"	→ S フラグ
8	TMP	→ PC

3.11.15 INTE 命令の動作

INTE 命令は , デバッグ用にソフトウェアでトラップを発生する命令です。

● 動作

1	(TBR ＋ 0x3D8)	→ TMP
2	SSP － 4	→ SSP
3	PS	→ (SSP)
4	SSP － 4	→ SSP
5	PC ＋ 2	→ (SSP)
6	"00100_B"	→ ILM
7	"0"	→ S フラグ
8	TMP	→ PC

3.11.16 ステップトレーストラップの動作

ステップトレーストラップはデバッグ用のトラップでプログラムステータスレジスタ (PS) の T フラグをセットすることにより , 1 命令実行ごとに発生します。ステップトレーストラップは , 遅延分岐命令実行時の分岐命令実行直後には発生しません。遅延スロット内の命令を実行した後に発生します。

● ステップトレーストラップ検出の条件

1. プログラムステータスレジスタ (PS) の T フラグ =1
2. 実行している命令が遅延分岐命令ではないとき。
3. CPU がユーザモードのとき。

   以上の条件が成立すると , 命令動作の切れ目でブレークします。

● 動作

1	(TBR ＋ 0x3C4)	→ TMP
2	SSP － 4	→ SSP
3	PS	→ (SSP)
4	SSP － 4	→ SSP
5	次の命令のアドレス	→ (SSP)
6	"00100_B"	→ ILM
7	"0"	→ S フラグ
8	TMP	→ PC

T フラグ =1 のときは , ユーザ割込みは禁止状態となります。

3.11.17　未定義命令例外の動作

命令のデコード時に未定義命令であることを検出すると , 未定義命令例外が発生します。

● 未定義命令例外の検出条件

1. 命令のデコード時に , 未定義命令であることを検出。
2. 命令が遅延スロット外に置かれている。(＝遅延分岐命令の直後ではない。)

   以上の条件が成立すると , 未定義命令例外が発生しブレークします。

● 動作

1	(TBR ＋ 0x3C4)	→ TMP
2	SSP － 4	→ SSP
3	PS	→ (SSP)
4	SSP － 4	→ SSP
5	PC	→ (SSP)
6	"0"	→ S フラグ
7	TMP	→ PC

プログラムカウンタ (PC) として退避されるのは , 未定義命令例外を検出した命令自身のアドレスです。

3.11.18　RETI 命令の動作

RETI 命令は , EIT 処理ルーチンから復帰する命令です。

● 動作

1	(R15)	→ PC
2	R15 ＋ 4	→ R15
3	(R15)	→ PS
4	R15 ＋ 4	→ R15

RETI 命令は , S フラグが "0" の状態で実行する必要があります。

3.11.19　遅延スロットと EIT

分岐命令の遅延スロットには , EIT に関して次の制約があります。

● 割込み , トラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では , 割込み・トラップは発生しません。

● 例外

遅延スロットに未定義命令があった場合 , 未定義命令例外は発生しません。このとき , 未定義命令は NOP 命令として動作します。

第 4 章　クロック生成部

本デバイスのすべての内部クロックの元となる，ソースクロック (SRCCLK) を生成するクロック生成部について説明します。

4.1　概要
4.2　構成
4.3　端子
4.4　レジスタ
4.5　動作説明

4.1 概要

ソースクロック (SRCCLK) とは , 本デバイスを動作させるために使用する内部クロックの生成元になるクロックです。
ソースクロック (SRCCLK) となるクロックの生成と発振制御 , またどのクロックをソースクロック (SRCCLK) として選択するか , その方法を説明します。

■ 概要

本デバイスは各種内部クロックを利用して動作します。各種内部クロックは , ソースクロック (SRCCLK) を分周して生成します。

ソースクロック (SRCCLK) は , 次の 3 つのクロックから選択できます。

- メインクロック (MCLK)
- PLL クロック (PLLCLK)
- サブクロック (SBCLK)

クロック生成部では次の制御を行います。

- メインクロック (MCLK) の生成
  - メインクロック (MCLK) の発振を制御します。
  - メインクロック (MCLK) の発振安定待ち時間を設定します。
  - メインタイマの制御やメインタイマ割込み要求の発生を制御します。
- サブクロック (SBCLK) の生成
  - サブクロック (SBCLK) の発振を制御します。
  - サブクロック (SBCLK) の発振安定待ち時間を設定します。
  - サブタイマの制御やサブタイマ割込み要求の発生を制御します。
- PLL クロック (PLLCLK) の生成
  - PLL クロック (PLLCLK) の発振を制御します。
  - PLL クロック (PLLCLK) の発振安定待ち時間を設定します。
  - PLL 逓倍率 (PLL クロック (PLLCLK) を生成するためのメインクロック (MCLK) の逓倍率) を設定します。

    メインクロック (MCLK) の逓倍のみです。サブクロック (SBCLK) の逓倍はできません。
- ソースクロック (SRCCLK) の選択

  3 つのクロックの中から , ソースクロック (SRCCLK) として使用するクロックを選択します。

4.2　構成

クロック生成部は , クロック生成部とソースクロック (SRCCLK) 選択部で構成されています。

4.2.1　クロック生成部

3 つのクロック生成部があります。クロック生成部で作成したクロックは , ソースクロック (SRCCLK) として選択できます。

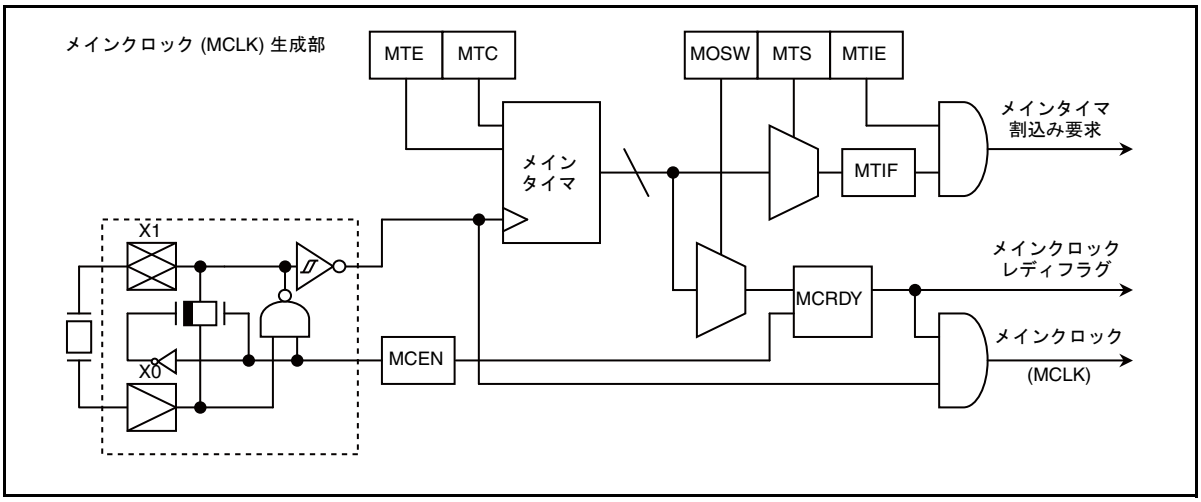
■ メインクロック (MCLK) 生成部

X0 端子 , X1 端子 (メイン発振子) からの入力を使用してメインクロック (MCLK) を生成します。

メインクロック (MCLK) は , PLL クロック (PLLCLK) の生成にも使用します。

メインクロック (MCLK) 生成部のブロックダイヤグラムを図 4.2-1 に示します。

図 4.2-1 メインクロック (MCLK) 生成部のブロックダイヤグラム



- メインタイマ

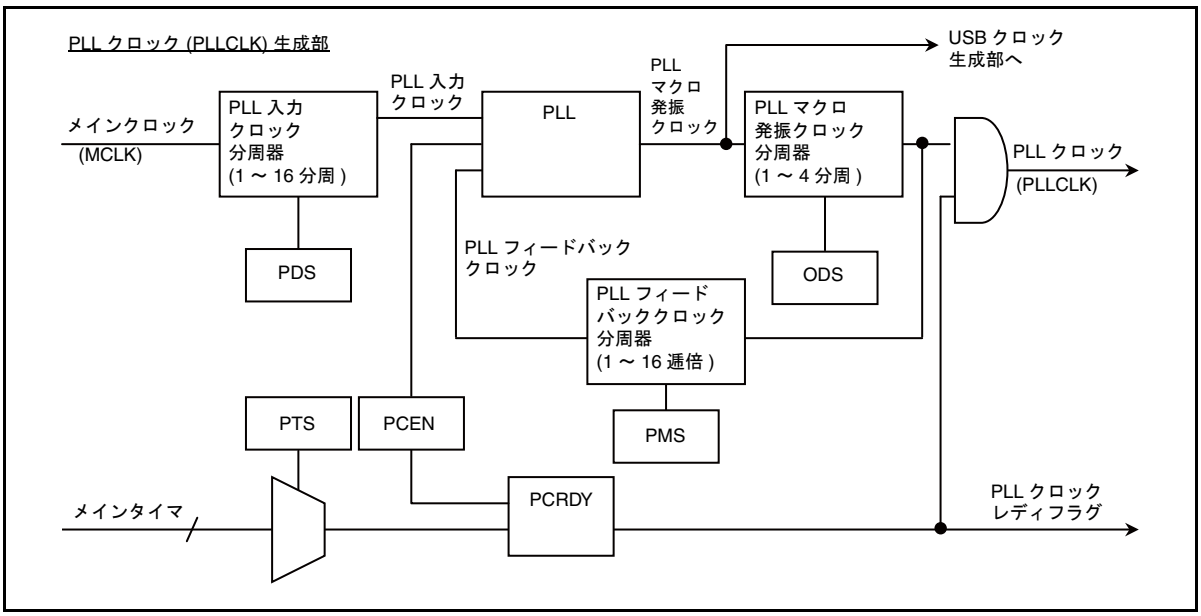
  メインクロック (MCLK) で動作するタイマです。詳細は「第 6 章　メインタイマ」を参照してください。

■ PLL クロック (PLLCLK) 生成部

メインクロック (MCLK) を逓倍して PLL クロック (PLLCLK) を生成します。

PLL クロック (PLLCLK) 生成部のブロックダイヤグラムを図 4.2-2 に示します。

図 4.2-2 PLL クロック (PLLCLK) 生成部のブロックダイヤグラム



- PLL

  クロック逓倍回路です。

- PLL 入力クロック分周器

  メインクロック (MCLK) を分周して PLL 入力クロックを生成します。

- PLL フィードバッククロック分周器

  PLLマクロ発振クロックを分周して生成したPLLクロック (PLLCLK) をさらに分周して , PLL フィードバッククロックを生成します。

- PLL マクロ発振クロック分周器

  PLL マクロ発振クロックを分周して , PLL クロック (PLLCLK) を生成します。

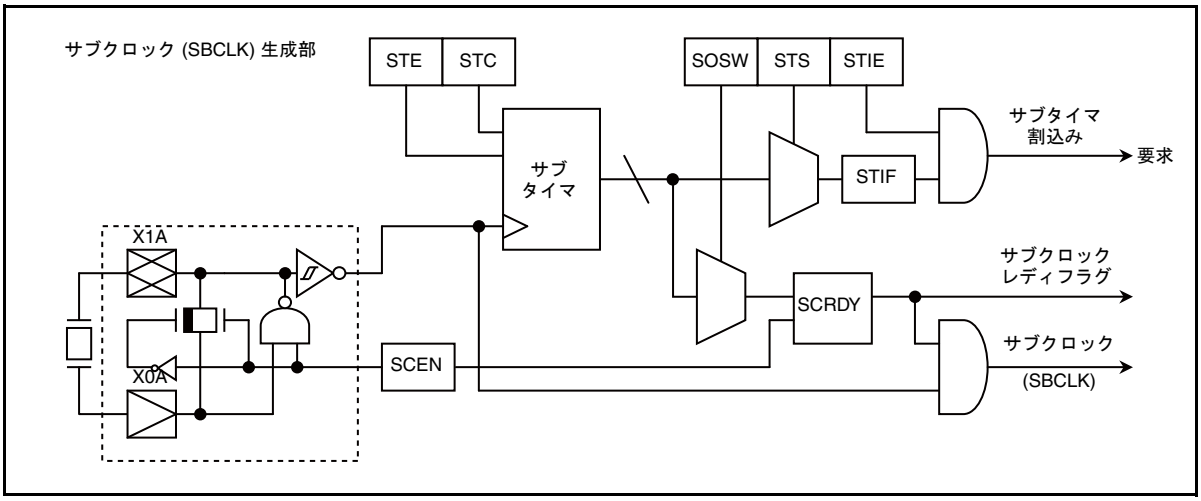
■ サブクロック (SBCLK) 生成部

X0A 端子 , X1A 端子 (サブ発振子) からの入力を使用してサブクロック (SBCLK) を生成します。

発振出力がそのままサブクロック (SBCLK) となります。

サブクロック (SBCLK) 生成部のブロックダイヤグラムを図 4.2-3 に示します。

図 4.2-3 サブクロック (SBCLK) 生成部のブロックダイヤグラム



- サブタイマ

  サブクロック (SBCLK) で動作するタイマです。詳細は「第 7 章 サブタイマ」を参照してください。

4.2.2　ソースクロック (SRCCLK) 選択部

ソースクロック (SRCCLK) の選択について説明します。ソースクロック (SRCCLK) は , 次の 3 つのクロックソースの中から選択します。

- メインクロック (MCLK) の 2 分周
- PLL クロック (PLLCLK)
- サブクロック (SBCLK)

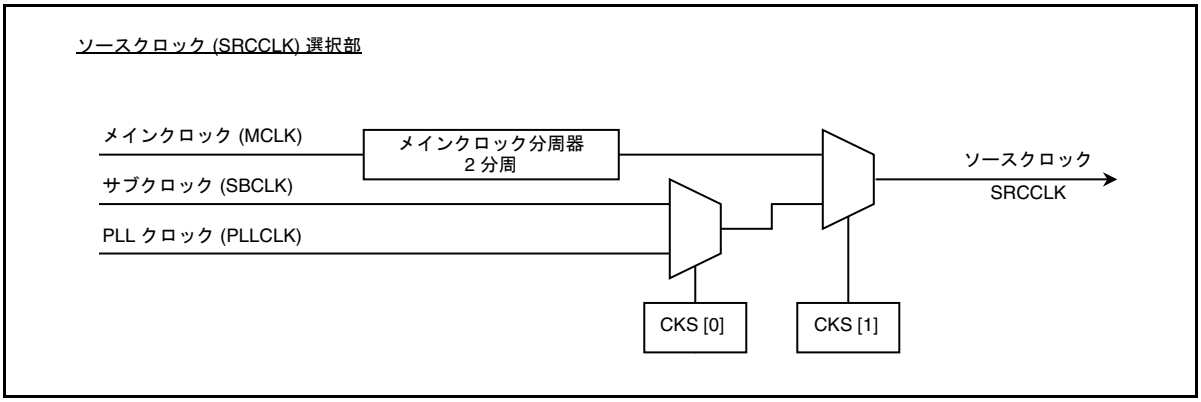
イニシャライズリセット (INIT) が発生した場合 , ソースクロック (SRCCLK) の設定は初期化されて , ソースクロック (SRCCLK) はメインクロック (MCLK) の 2 分周になります。

プログラムの動作開始後は , クロックソース設定レジスタ (CSELR) の設定によって , 任意のソースクロック (SRCCLK) に変更してください。

■ ソースクロック (SRCCLK) 選択部のブロックダイヤグラム

ソースクロック (SRCCLK) 選択部のブロックダイヤグラムを図 4.2-4 に示します。

図 4.2-4 ソースクロック (SRCCLK) 選択部のブロックダイヤグラム



- メインクロック分周器 (2 分周)

  メインクロック (MCLK) は , 2 分周されてからソースクロック (SRCCLK) になります。

- CKS1, CKS0 ビット

  クロックソース設定レジスタ (CSELR) のソースクロック (SRCCLK) 選択ビットです。

4.3　端子

クロック生成部で使用する端子について説明します。

■ 概要

- X0, X1 端子

  メインクロック (MCLK) の生成に使用する端子です。
- X0A, X1A 端子

  サブクロック (SBCLK) の生成に使用する端子です。

  外部に発振子を接続します。

  この端子は兼用端子です。サブクロック (SBCLK) の X0A, X1A 端子として使用するには , 「2.4 端子の設定方法」を参照してください。

4.4　レジスタ

クロック生成部で使用するレジスタの構成と機能について説明します。

■ クロック生成部のレジスター覧

クロック生成部のレジスター覧を表 4.4-1 に示します。

表 4.4-1 クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
CSELR	クロックソース設定レジスタ	4.4.1
CMONR	クロックソース監視レジスタ	4.4.2
CSTBR	発振安定待ち設定レジスタ	4.4.3
PLLCR	PLL 設定レジスタ	4.4.4

4.4.1　クロックソース設定レジスタ (CSELR)

クロックソースの制御とソースクロック (SRCCLK) を選択するレジスタです。

クロックソース設定レジスタ (CSELR) のビット構成を図 4.4-1 に示します。

図 4.4-1 クロックソース設定レジスタ (CSELR) のビット構成

bit	7	6	5	4	3	2	1	0
	SCEN	PCEN	MCEN	予約	予約	予約	CKS1	CKS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	0	0	1	0	0	0	0	0
初期値 (RST 時)	*	*	*	0	0	0	*	*

R/W：リード / ライト可能

*：初期化されないビット

< 注意事項 >

- このレジスタを読み出しても，実際に設定されている値は読み出されません。このレジスタに設定した値が実際に反映されたかどうかは，クロックソース監視レジスタ (CMONR) を読み出して確認してください。
- このレジスタを書き換える場合は，このレジスタに設定した値とクロックソース監視レジスタ (CMONR) の値が同じであることを確認してから , 書き換えてください。
- クロックの切り替え中に (CKS1, CKS0 ≠ CKM1, CKM0) のときに , このレジスタに書込みを行っても , 書込みは無視されます。

[bit7] : SCEN (サブクロック発振許可ビット)

サブクロック (SBCLK) の発振を制御します。

書込み値	説明	備考
0	サブクロック (SBCLK) の発振を停止します。	X0A, X1A 端子はポート (PK0, PK1) として使用できます
1	サブクロック (SBCLK) が発振します。	X0A, X1A 端子はサブクロック (SBCLK) の生成に使用されます。

< 注意事項 >

- CKS1, CKS0 ビットでソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11) している場合は , このビットを書き換えられません。
- このビットに "0" を書き込むと , サブタイマがクリアされます。
- ストップモード時は , このビットの値にかかわらずサブクロック (SBCLK) の発振が停止します。

[bit6] : PCEN (PLL クロック発振許可ビット)

PLL クロック (PLLCLK) の発振を制御します。

書込み値	説明
0	PLL クロック (PLLCLK) の発振を停止します。
1	PLL クロック (PLLCLK) が発振します。

< 注意事項 >

- ストップモードにする前に , このビットに "0" を書き込んで , PLL クロック (PLLCLK) の発振を停止してください。
- 次のいずれかの場合は , このビットは書き換えられません。
  - CKS1, CKS0 ビットでソースクロック (SRCCLK) に PLL クロック (PLLCLK) を選択している (CKS1, CKS0=10)
  - メインクロック (MCLK) の発振が停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MCEN ビットでメインクロック (MCLK) の発振を停止 (MCEN=0) すると , このビットも "0" になります。
- メインタイマのクリア中 (メインタイマ制御レジスタ (MTMCR) のMTCビット=1) は , このビットを "0" から "1" に書き換えないでください。
- このビットを "0" から "1" に書き換えて , PLL クロック (PLLCLK) の発振を許可すると , メインタイマがクリアされます。
  このとき , メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

[bit5] ：MCEN (メインクロック発振許可ビット)

メインクロック (MCLK) の発振を制御します。

書込み値	説明
0	メインクロック (MCLK) の発振を停止します。
1	メインクロック (MCLK) が発振します。

< 注意事項 >

- CKS1, CKS0 ビットでソースクロック (SRCCLK) を次のいずれかにしている場合は , このビットを書き換えられません。
  - メインクロック (MCLK) を選択 (CKS1, CKS0=00 または 01)
  - PLL クロック (PLLCLK) を選択 (CKS1, CKS0=10)
- このビットに "0" を書き込むと , メインタイマがクリアされます。
- ストップモード時は , このビットの値にかかわらずメインクロック (MCLK) の発振が停止します。

[bit4 ～ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : CKS1, CKS0 (ソースクロック選択ビット)

ソースクロック (SRCCLK) を選択します。

CKS1	CKS0	説明
0	0	メインクロック (MCLK) の 2 分周
0	1	
1	0	PLL クロック (PLLCLK)
1	1	サブクロック (SBCLK)

発振が停止中 / 発振安定待ち中のクロックは , ソースクロック (SRCCLK) に選択できません。

また , PLLクロック (PLLCLK) からサブクロック (SBCLK), サブクロック (SBCLK) から PLL クロック (PLLCLK) へ直接切り換えることはできません。

このビットの書換え条件を表 4.4-2 に示します。

表 4.4-2 CKS1, CKS0 ビットの書換え条件

変更前の値		書換え可能な値 [CKS1:CKS0]	書換え条件となるビット クロックソース監視レジスタ (CMONR)	書換え不可能な値 [CKS1:CKS0]
CKS1	CKS0			
0	0	00, 01	MCRDY=1	11
		10	PCRDY=1	
0	1	00, 01	MCRDY=1	10
		11	SCRDY=1	
1	0	00	MCRDY=1	01, 11
		10	PCRDY=1	
1	1	01	MCRDY=1	00, 10
		11	SCRDY=1	

表 4.4-2 の書換え不可能の値は書き込まないでください。ソースクロック (SRCCLK) の切換え手順は , 「4.5.2 ソースクロック (SRCCLK) の切換え」を参照してください。

4.4.2　クロックソース監視レジスタ (CMONR)

クロックソースや , ソースクロック (SRCCLK) の状態を表示するレジスタです。

このレジスタを読み出すと , クロックソース設定レジスタ (CSELR) に設定した値が , 実際に反映されているかどうかを確認できます。

クロックソース監視レジスタ (CMONR) のビット構成を図 4.4-2 に示します。

図 4.4-2 クロックソース監視レジスタ (CMONR) のビット構成

bit	7	6	5	4	3	2	1	0
	SCRDY	PCRDY	MCRDY	予約	予約	予約	CKM1	CKM0
属性	R	R	R	R	R	R	R	R
初期値 (INIT 時)	0	0	1	0	0	0	0	0
初期値 (RST 時)	*	*	*	0	0	0	*	*

R : リードオンリ
* : 初期化されないビット

< 注意事項 >

- クロックソース設定レジスタ (CSELR) の設定値を変更した場合は , 必ずこのレジスタを読み出して , 値がクロックソース設定レジスタ (CSELR) の設定値と同じかどうか確認してください。
- クロックソース設定レジスタ (CSELR) に設定した値とこのレジスタの値が一致するまで , クロックソース設定レジスタ (CSELR) は変更しないでください。

[bit7] : SCRDY (サブクロックレディビット)

サブクロック (SBCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか , 発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは , サブクロック (SBCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の SCEN ビットを "1" から "0" に書き換えた後に , このビットを読み出すと "1" が読み出される場合があります。

[bit6]：PCRDY (PLL クロックレディビット)

PLL クロック (PLLCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか , 発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは , PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の PCEN ビットを "1" から "0" に書き換えた後に , このビットを読み出すと "1" が読み出される場合があります。

[bit5]：MCRDY (メインクロックレディビット)

メインクロック (MCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか , 発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは , メインクロック (MCLK) または PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の MCEN ビットを "1" から "0" に書き換えた後に , このビットを読み出すと "1" が読み出される場合があります。

[bit4 ～ bit2]：予約ビット

読出し時	"0" が読み出されます。

[bit1, bit0]：CKM1, CKM0 (ソースクロック表示ビット)

ソースクロック (SRCCLK) に選択中のクロックを表示します。

CKM1	CKM0	説明
0	0	メインクロック (MCLK) の 2 分周を選択しています。
0	1	
1	0	PLL クロック (PLLCLK) を選択しています。
1	1	サブクロック (SBCLK) を選択しています。

4.4.3　発振安定待ち設定レジスタ (CSTBR)

クロックソースの発振安定待ち時間を設定するレジスタです。

このレジスタで設定した発振安定待ち時間は, 次の場合に, そのクロックのレディビットが "1" になるまでに使用します。

- ストップモードまたは時計モードからの復帰時
- メイン発振停止かつイニシャライズリセット (INIT) 発生時
- 停止していたクロックの発振を許可

  レディビットとは次のビットを指します。

  - サブクロック：SCRDY ビット
  - PLL クロック：PCRDY ビット
  - メインクロック：MCRDY ビット

発振安定待ち設定レジスタ (CSTBR) のビット構成を図 4.4-3 に示します。

図 4.4-3 発振安定待ち設定レジスタ (CSTBR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	SOSW2	SOSW1	SOSW0	MOSW3	MOSW2	MOSW1	MOSW0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
$\overline{\text{INIT}}$ 端子 =L 時	0	0	0	0	0	0	0	0
初期値 (INIT 時)	0	0	0	0	*	*	*	*
初期値 (RST 時)	0	*	*	*	*	*	*	*

R/W：リード / ライト可能
*：初期化されないビット

< 注意事項 >

メイン発振停止時 , イニシャライズリセット (INIT) が発生した場合 , 動作再開後のメイン発振安定待ち時間は , このレジスタの初期値の時間になります。

[bit7]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6 ～ bit4] : SOSW2 ～ SOSW0 (サブクロック発振安定待ち選択ビット)

サブクロック (SBCLK) の発振安定待ち時間を選択します。

SOSW2	SOSW1	SOSW0	サブクロック (SBCLK) 発振安定待ち時間	32.768kHz 時
0	0	0	2^8 ×サブクロック (SBCLK) の周期	約 7.8ms
0	0	1	2^9 ×サブクロック (SBCLK) の周期	約 15.6ms
0	1	0	2^{10} ×サブクロック (SBCLK) の周期	約 31.3ms
0	1	1	2^{11} ×サブクロック (SBCLK) の周期	62.5ms
1	0	0	2^{12} ×サブクロック (SBCLK) の周期	125.0ms
1	0	1	2^{13} ×サブクロック (SBCLK) の周期	250.0ms
1	1	0	2^{14} ×サブクロック (SBCLK) の周期	500.0ms
1	1	1	2^{15} ×サブクロック (SBCLK) の周期	1s

< 注意事項 >

- 表中の時間は , 計算値です。実際の時間は , 発振の状態により , 若干の誤差を含みますので目安としてください。
- 次の条件を満たしたとき (サブクロック (SBCLK) の発振安定待ち時間中) は , このビットへの書込みは無効になります。
  - クロックソース監視レジスタ (CMONR) の SCRDY ビット =0
  - クロックソース設定レジスタ (CSELR) の SCEN ビット =1

[bit3 ～ bit0] : MOSW3 ～ MOSW0 (メインクロック発振安定待ち選択ビット)

メインクロック (MCLK) の発振安定待ち時間を選択します。

MOSW3	MOSW2	MOSW1	MOSW0	メインクロック (MCLK) 発振安定待ち時間	4MHz 時	8MHz 時	48MHz 時
0	0	0	0	2^1 ×メインクロック (MCLK) の周期	500ns	250ns	約 42ns
0	0	0	1	2^5 ×メインクロック (MCLK) の周期	8µs	4µs	約 667ns
0	0	1	0	2^6 ×メインクロック (MCLK) の周期	16µs	8µs	約 1µs
0	0	1	1	2^7 ×メインクロック (MCLK) の周期	32µs	16µs	約 3µs
0	1	0	0	2^8 ×メインクロック (MCLK) の周期	64µs	32µs	約 5µs
0	1	0	1	2^9 ×メインクロック (MCLK) の周期	128µs	64µs	約 11µs
0	1	1	0	2^{10}×メインクロック (MCLK) の周期	256µs	128µs	約 21µs
0	1	1	1	2^{11}×メインクロック (MCLK) の周期	512µs	256µs	約 43µs
1	0	0	0	2^{12}×メインクロック (MCLK) の周期	約 1ms	512µs	約 85µs
1	0	0	1	2^{13}×メインクロック (MCLK) の周期	約 2ms	約 1ms	約 171µs
1	0	1	0	2^{14}×メインクロック (MCLK) の周期	約 4ms	約 2ms	約 341µs
1	0	1	1	2^{15}×メインクロック (MCLK) の周期	約 8ms	約 4ms	約 683µs
1	1	0	0	2^{17}×メインクロック (MCLK) の周期	約 33ms	約 16ms	約 3ms
1	1	0	1	2^{19}×メインクロック (MCLK) の周期	約 131ms	約 66ms	約 11ms
1	1	1	0	2^{21}×メインクロック (MCLK) の周期	約 524ms	約 262ms	約 44ms
1	1	1	1	2^{23}×メインクロック (MCLK) の周期	約 2s	約 1s	約 175ms

< 注意事項 >

- 表中の時間は , 計算値です。実際の時間は , 発振の状態により , 若干の誤差を含みますので目安としてください。
- レギュレータ搭載品では , 発振安定待ち時間を 25μs 以上に設定してください。
- 次の条件を満たしたとき (メインクロック (MCLK) の発振安定待ち時間中) は , このビットへの書込みは無効になります。
  - クロックソース監視レジスタ (CMONR) の MCRDY ビット =0
  - クロックソース設定レジスタ (CSELR) の MCEN ビット =1

4.4.4　PLL 設定レジスタ (PLLCR)

メインクロック (MCLK) から PLL クロック (PLLCLK) を生成するための逓倍率を設定するレジスタです。

PLLクロック (PLLCLK) の生成に関係するクロック周波数と逓倍率の計算方法は「4.5.3 PLL クロック (PLLCLK) 生成のための逓倍率」を参照してください。

PLL 設定レジスタ (PLLCR) のビット構成を図 4.4-4 に示します。

図 4.4-4 PLL 設定レジスタ (PLLCR) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	ODS1	ODS0	PMS3	PMS2	PMS1	PMS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	0	0	0	0	0	0	0	0
初期値 (RST 時)	0	0	*	*	*	*	*	*

bit	7	6	5	4	3	2	1	0
	PTS3	PTS2	PTS1	PTS0	PDS3	PDS2	PDS1	PDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	1	1	1	1	0	0	0	0
初期値 (RST 時)	*	*	*	*	*	*	*	*

R/W：リード / ライト可能

*：初期化されないビット

< 注意事項 >

PLL クロック (PLLCLK) の発振を許可している場合は (クロックソース設定レジスタ (CSELR) の PCEN=1), このレジスタへの書込みは無効です。

[bit15, bit14]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12]：ODS1, ODS0 (PLL マクロ発振クロック分周比選択ビット)

PLL マクロ発振クロックから PLL クロック (PLLCLK) への分周比を選択します。

ODS1	ODS0	説明
0	0	PLL クロック (PLLCLK) ＝ PLL マクロ発振クロック / 1
0	1	PLL クロック (PLLCLK) ＝ PLL マクロ発振クロック / 2
1	0	PLL クロック (PLLCLK) ＝ PLL マクロ発振クロック / 3
1	1	PLL クロック (PLLCLK) ＝ PLL マクロ発振クロック / 4

[bit11 ～ bit8]：PMS3 ～ PMS0 (PLL クロック逓倍率選択ビット)

PLL 入力クロックから PLL クロック (PLLCLK) への逓倍率を選択します。

PMS3	PMS2	PMS1	PMS0	PLL クロック (PLLCLK) 逓倍率
0	0	0	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 1
0	0	0	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 2
0	0	1	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 3
0	0	1	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 4
0	1	0	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 5
0	1	0	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 6
0	1	1	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 7
0	1	1	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 8
1	0	0	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 9
1	0	0	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 10
1	0	1	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 11
1	0	1	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 12
1	1	0	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 13
1	1	0	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 14
1	1	1	0	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 15
1	1	1	1	PLL クロック (PLLCLK) ＝ PLL 入力クロック× 16

[bit7 ～ bit4] : PTS3 ～ PTS0 (PLL クロック発振安定待ち時間選択ビット)

PLL クロック (PLLCLK) の発振安定待ち時間を選択します。

PTS3	PTS2	PTS1	PTS0	PLL クロック (PLLCLK) 発振安定待ち時間	4MHz 時	8MHz 時	48MHz 時
1	0	0	0	2^9 ×メインクロック (MCLK) 周期	128.0µs	64.0µs	約 10.7µs
1	0	0	1	2^{10} ×メインクロック (MCLK) 周期	256.0µs	128.0µs	約 21.3µs
1	0	1	0	2^{11} ×メインクロック (MCLK) 周期	512.0µs	256.0µs	約 42.7µs
1	0	1	1	2^{12} ×メインクロック (MCLK) 周期	約 1ms	512.0µs	約 85.3µs
1	1	0	0	2^{13} ×メインクロック (MCLK) 周期	約 2ms	約 1ms	約 170.7µs
1	1	0	1	2^{14} ×メインクロック (MCLK) 周期	約 4ms	約 2ms	約 341.3µs
1	1	1	0	2^{15} ×メインクロック (MCLK) 周期	約 8ms	約 4ms	約 682.7µs
1	1	1	1	2^{16} ×メインクロック (MCLK) 周期	約 16.4ms	約 8ms	約 1.4ms

< 注意事項 >

- 表中の時間は , 計算値です。実際の時間は , 発振の状態により , 若干の誤差を含みますので目安としてください。
- PTS3 ビットには常に "1" を書き込んでください。

[bit3 ～ bit0] : PDS3 ～ PDS0 (PLL 入力クロック分周選択ビット)

PLL 入力クロックを生成するための , メインクロック (MCLK) の分周比を選択します。

PDS3	PDS2	PDS1	PDS0	PLL 入力クロック分周選択
0	0	0	0	PLL 入力クロック＝メインクロック (MCLK) / 1
0	0	0	1	PLL 入力クロック＝メインクロック (MCLK) / 2
0	0	1	0	PLL 入力クロック＝メインクロック (MCLK) / 3
0	0	1	1	PLL 入力クロック＝メインクロック (MCLK) / 4
0	1	0	0	PLL 入力クロック＝メインクロック (MCLK) / 5
0	1	0	1	PLL 入力クロック＝メインクロック (MCLK) / 6
0	1	1	0	PLL 入力クロック＝メインクロック (MCLK) / 7
0	1	1	1	PLL 入力クロック＝メインクロック (MCLK) / 8
1	0	0	0	PLL 入力クロック＝メインクロック (MCLK) / 9
1	0	0	1	PLL 入力クロック＝メインクロック (MCLK) / 10
1	0	1	0	PLL 入力クロック＝メインクロック (MCLK) / 11
1	0	1	1	PLL 入力クロック＝メインクロック (MCLK) / 12
1	1	0	0	PLL 入力クロック＝メインクロック (MCLK) / 13
1	1	0	1	PLL 入力クロック＝メインクロック (MCLK) / 14
1	1	1	0	PLL 入力クロック＝メインクロック (MCLK) / 15
1	1	1	1	PLL 入力クロック＝メインクロック (MCLK) / 16

4.5　動作説明

クロック生成部の動作について説明します。

各クロックソースの動作説明とソースクロックの切替えについて説明します。

4.5.1　クロックソースの動作説明

各クロックソースについて発振制御を中心に説明します。

■ メインクロック (MCLK)

X0 端子 , X1 端子 (メイン発振子) からの入力を使用して生成するクロックです。PLL クロックの生成にも使用します。

メインクロックを使用して, メインタイマが動作します。(「第6章 メインタイマ」参照)

● 発振停止の条件

次のいずれかの場合にメインクロック (MCLK) の発振が停止します。

- ストップモード中
- ソースクロック (SRCCLK) としてサブクロック (SBCLK) を選択中で, メインクロック (MCLK) の発振が停止 (次の条件が揃った場合)
  - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =11
  - クロックソース設定レジスタ (CSELR) の MCEN ビット =0

上記の発振停止条件がすべて取り下げられた後 , 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ～ MOSW0 ビットに設定された発振安定待ち時間を経過すると , メインクロック (MCLK) の供給を開始します。

● 発振安定待ち時間の選択

メインクロック (MCLK) は発振が許可されると , 発振が安定するのを待ってから , クロックの供給を開始します。

メインクロック (MCLK) の発振安定待ち時間は , 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ～ MOSW0 ビットで設定します。

MOSW3 ～ MOSW0 ビットは , $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 初期化され , 発振安定待ち時間が初期値に戻ります。その場合の初期値は , 2^1 ×メインクロック (MCLK) 周期です。

それ以外のリセットが発生しても , MOSW3 ～ MOSW0 ビットは初期化されません。

< 注意事項 >

レギュレータ搭載品では , 発振安定待ち時間を 25µs 以上に設定してください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると , メインクロック (MCLK) が供給されます。

メインクロック (MCLK) が発振安定待ち時間中かどうかは , メインクロック (MCLK) の動作が許可されているときに , 以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の MCRDY=0	クロックソース監視レジスタ (CMONR) の MCRDY=1

■ PLL クロック (PLLCLK)

メインクロック (MCLK) を逓倍して生成する高速のクロックです。

● 発振停止の条件

次のいずれかの場合に PLL クロック (PLLCLK) の発振が停止します。

- メインクロック (MCLK) の発振が停止中 , または発振安定待ち時間中
  (クロックソース設定レジスタ (CSELR) の PCEN ビット =0)
- ソースクロック (SRCCLK) に PLL クロック (PLLCLK) 以外を選択中に次の条件が揃った場合
  - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =10 以外
  - クロックソース設定レジスタ (CSELR) の PCEN ビット =0

上記の発振停止条件がすべて取り下げられた後 , PLL 設定レジスタ (PLLCR) の PTS3 ～ PTS0 ビットに設定された発振安定待ち時間を経過すると , PLL クロック (PLLCLK) の供給を開始します。

$\overline{\text{INIT}}$端子に"L"が入力された場合 , またはイニシャライズリセット (INIT) から復帰した場合は , クロックソース設定レジスタ (CSELR) の PCEN ビットが "0" に初期化され , PLL クロック (PLLCLK) の発振は停止します。(初期化後 , 発振するにはクロックソース設定レジスタ (CSELR) の PCEN ビットを "1" にしてください。)

● 発振安定待ち時間の選択

PLL クロック (PLLCLK) は発振が許可されると , 発振が安定するのを待ってから , クロックの供給を開始します。

PLL クロック (PLLCLK) の発振安定待ち時間は , PLL 設定レジスタ (PLLCR) の PTS3 ～ PTS0 ビットで設定します。

PTS3 ～ PTS0 ビットは , $\overline{\text{INIT}}$ 端子に "L" が入力された場合 , またはイニシャライズリセット (INIT) から復帰すると初期化され , 発振安定待ち時間が初期値に戻ります。その場合の初期値は , 2^{16} ×メインクロック (MCLK) 周期です。

発振安定待ち時間を変更するには , PTS3 ～ PTS0 ビットを設定後 , クロックソース設定レジスタ (CSELR) の PCEN ビットに "1" を書き込んでください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると , PLL クロック (PLLCLK) が供給されます。

PLL クロック (PLLCLK) が発振安定待ち時間中かどうかは , PLL クロック (PLLCLK) の動作が許可されているときに , 以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の PCRDY=0	クロックソース監視レジスタ (CMONR) の PCRDY=1

■ サブクロック (SBCLK)

X0A 端子 , X1A 端子 (サブ発振子) からの入力を使用して生成するクロックです。発振出力がそのままサブクロック (SBCLK) になります。

サブクロックを使用して , サブタイマが動作します。(「第 7 章　サブタイマ」参照)

● 発振停止の条件

次のいずれかの場合にサブクロック (SBCLK) の発振が停止します。

- $\overline{\text{INIT}}$ 端子に "L" が入力された
- ストップモード中
- ソースクロック (SRCCLK) としてサブクロック (SBCLK) 以外を選択中で , サブクロック (SBCLK) の発振が停止 (次の条件が揃った場合)
  - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =11 以外
  - クロックソース設定レジスタ (CSELR) の SCEN ビット =0
- 端子設定がポート使用になっている (サブクロック (SBCLK) 生成部とポートの端子が兼用のため)。

上記の発振停止条件がすべて取り下げられた後 , 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ～ SOSW0 ビットに設定された発振安定待ち時間を経過すると , サブクロック (SBCLK) の供給を開始します。

$\overline{\text{INIT}}$端子に"L"が入力された場合, またはイニシャライズリセット (INIT) から復帰した場合は , クロックソース設定レジスタ (CSELR) の SCEN ビットが "0" に初期化され , サブクロック (SBCLK) の発振は停止します。(初期化後 , 発振するにはクロックソース設定レジスタ (CSELR) の SCEN ビットを "1" にしてください。)

● 発振安定待ち時間の選択

サブクロック (SBCLK) は発振が許可されると発振が安定するのを待ってから , クロックの供給を開始します。

サブクロック (SBCLK) の発振安定待ち時間は, 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ～ SOSW0 ビットで設定します。

SOSW2 ～ SOSW0 ビットは , $\overline{\text{INIT}}$ 端子に "L" が入力された場合 , またはイニシャライズリセット (INIT) から復帰すると初期化され, 発振安定待ち時間が初期値に戻ります。その場合の初期値は , 2^8 ×サブクロック (SBCLK) 周期です。

発振安定待ち時間を変更するには , SOSW2 ～ SOSW0 ビットを設定してください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると , サブクロック (SBCLK) が供給されます。

サブクロック (SBCLK) が発振安定待ち時間中かどうかは , サブクロックの動作が許可されているときに , 以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の SCRDY=0	クロックソース監視レジスタ (CMONR) の SCRDY=1

4.5.2　ソースクロック (SRCCLK) の切換え

ソースクロック (SRCCLK) の切換えについて説明します。

■ 概要

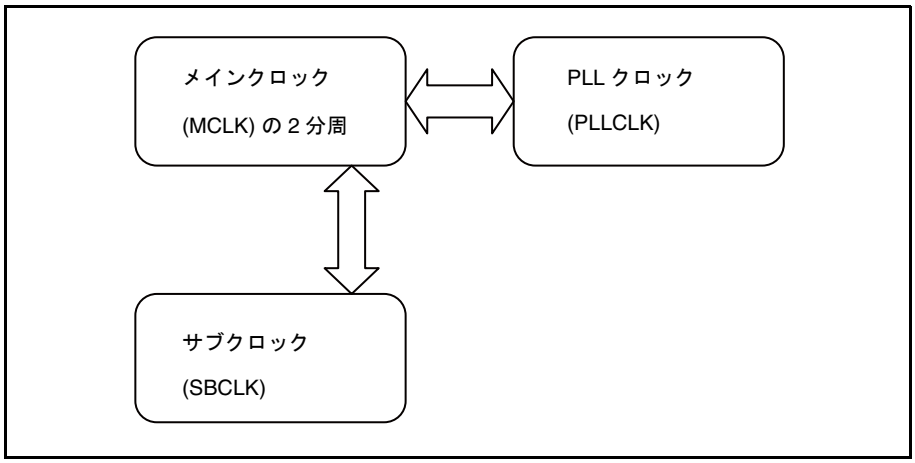
$\overline{\text{INIT}}$ 端子に "L" が入力された場合 , またはイニシャライズリセット (INIT) が発生すると, ソースクロック (SRCCLK) の設定は初期化されて, ソースクロック (SRCCLK) はメインクロック (MCLK) の 2 分周になります。

プログラムの動作開始後は, クロックソース設定レジスタ (CSELR) のCKS1, CKS0ビットでソースクロック (SRCCLK) をクロックソースの中から選択できます。

ソースクロック (SRCCLK) を変更するとき , PLL クロック (PLLCLK) からサブクロック (SBCLK) または, サブクロック (SBCLK) からPLLクロック (PLLCLK) に直接切り換えることはできません。一度 , メインクロック (MCLK) の 2 分周に設定してから切り換えてください。

ソースクロック (SRCCLK) の切換え方法を図 4.5-1 に示します。

図 4.5-1 ソースクロック (SRCCLK) 切換え方法



< 注意事項 >

ソースクロック (SRCCLK) を切り換えても , 各クロックの発振許可設定 (クロックソース設定レジスタ (CSELR) の SCEN ビット , PCEN ビット , MCEN ビットの値) は保持されています。必要に応じて発振を停止してください。

■ 手順

● メインクロック (MCLK) の 2 分周から PLL クロック (PLLCLK) への切換え

ソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周から PLL クロック (PLLCLK) に切り換える場合は , 次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで , メインクロック (MCLK) の 2 分周が選択されていることを確認 (CKM1, CKM0=00 または 01)
2. PLL 設定レジスタ (PLLCR) で , PLL 逓倍率と PLL クロック (PLLCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の PCEN ビットで , PLL クロック (PLLCLK) の発振を開始 (PCEN=1)
4. クロックソース監視レジスタ (CMONR) の PCRDY ビットで , PLL クロック (PLLCLK) の発振が安定したのを確認 (PCRDY=1)
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで , ソースクロック (SRCCLK) を PLL クロック (PLLCLK) に切換え (CKS1, CKS0=10)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで , ソースクロック (SRCCLK) が PLL クロック (PLLCLK) に切り換えられたことを確認 (CKM1, CKM0=10)

< 注意事項 >

PLLクロック (PLLCLK) の発振が有効になっている場合は, 手順2.から4.は省略できます。

● PLL クロック (PLLCLK) からメインクロック (MCLK) の 2 分周への切換え

ソースクロック (SRCCLK) を PLL クロック (PLLCLK) からメインクロック (MCLK) の 2 分周に切り換える場合は , 次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで , PLL クロック (PLLCLK) が選択されていることを確認 (CKM1, CKM0=10)
2. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで , ソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周に切換え (CKS1, CKS0=00)
3. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで, ソースクロック (SRCCLK) がメインクロック (MCLK) の 2 分周に切り換えられたことを確認 (CKM1, CKM0=00)

● メインクロック (MCLK) の 2 分周からサブクロック (SBCLK) への切換え

ソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周からサブクロック (SBCLK) に切り換える場合は , 次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで, メインクロック (MCLK) の 2 分周が選択されていることを確認 (CKM1, CKM0=01)
2. 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ～ SOSW0 ビットで , サブクロック (SBCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の SCEN ビットで, サブクロック (SBCLK) の発振を開始 (SCEN=1)
4. クロックソース監視レジスタ (CMONR) の SCRDY ビットで, サブクロック (SBCLK) の発振が安定したのを確認 (SCRDY=1)
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで , ソースクロック (SRCCLK) をサブクロック (SBCLK) に切換え (CKS1, CKS0=11)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで, ソースクロック (SRCCLK) がサブクロック (SBCLK) に切り換えられたことを確認する。(CKM1, CKM0=11)

< 注意事項 >

サブクロック (SBCLK) の発振が有効になっている場合は , 手順2. から 4. は省略できます。

● サブクロック (SBCLK) からメインクロック (MCLK) の 2 分周への切換え

ソースクロック (SRCCLK) をサブクロック (SBCLK) からメインクロック (MCLK) の 2 分周に切り換える場合は , 次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで , サブクロック (SBCLK) が選択されていることを確認 (CKM1, CKM0=11)
2. 発振安定待ち設定レジスタ (CSTBR) の MOSW2 ～ MOSW0 ビットで , メインクロック (MCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の MCEN ビットで , メインクロック (MCLK) の発振を開始 (MCEN=1)
4. クロックソース監視レジスタ (CMONR) の MCRDY ビットで , メインクロック (MCLK) の発振安定 (MCRDY=1) を確認する。
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで , ソースクロック (SRCCLK) をメインクロック (MCLK) に切り換え (CKS1, CKS0=01)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで , ソースクロック (SRCCLK) がメインクロック (MCLK) に切り換えられたことを確認 (CKM1, CKM0=01)

< 注意事項 >

メインクロック (MCLK) の発振が有効になっている場合は , 手順 2. から 4. は省略できます。

4.5.3　PLL クロック (PLLCLK) 生成のための逓倍率

PLL クロック (PLLCLK) の生成に関係するクロック周波数と逓倍率の計算方法について説明します。

PLL 入力クロック周波数

＝ (メイン発振周波数) / (PLL 設定レジスタ (PLLCR) の PDS ビットで設定した分周比)

PLL 逓倍率

＝ (PLL 設定レジスタ (PLLCR) の ODS ビットで設定した分周比) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した逓倍率)

PLL マクロ発振クロック周波数

＝ (PLL 入力クロック周波数) × PLL 逓倍率

PLL クロック (PLLCLK) 周波数

＝ (PLL 入力クロック周波数) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した逓倍率)

PLL クロック (PLLCLK) の設定例を表 4.5-1 に示します。

表 4.5-1 PLL クロック (PLLCLK) の設定例

メイン発振周波数	PLL 設定レジスタ (PLLCR)			PLL 入力クロック周波数	PLL 逓倍率 ODS × PMS	PLL マクロ発振クロック周波数	PLL クロック周波数
	PDS3 ～ PDS0	ODS1, ODS0	PMS3 ～ PMS0				
48MHz	0010	10	0001	16MHz	6 逓倍	96MHz	32MHz
4MHz	0000	10	0111	4MHz	24 逓倍	96MHz	32MHz
8MHz	0000	10	0011	8MHz	12 逓倍	96MHz	32MHz

< 注意事項 >

- PLL 入力クロック , PLL 逓倍率 , PLL マクロ発振クロック , ソースクロックは , 次の使用条件を満たすように設定してください。

PLL 入力クロック周波数	4MHz ～ 24MHz
PLL 逓倍率	2 逓倍～ 24 逓倍
PLL マクロ発振クロック周波数	96MHz ～ 100MHz
ソースクロック (PLL クロック選択時)	24MHz ～ 33 MHz

- ODS=00 かつ PMS=0000 (PLL 逓倍率 =1) の設定は禁止です。

第5章　クロック分周制御部

内部クロックを生成するクロック分周制御部について説明します。

5.1　概要
5.2　内部クロック
5.3　構成
5.4　レジスタ
5.5　分周比

5.1 概要

クロック生成部から入力したソースクロック (SRCCLK) を分周して内部クロックを生成します。

クロック分周制御部は , ソースクロック (SRCCLK) を分周して , 内部クロックを生成し , CPU やバス , 周辺機能に供給します。

生成する内部クロックを表 5.1-1 に示します。これらのクロックを総称して内部クロックと言います。

表 5.1-1 生成する内部クロック

クロック名	生成元クロック
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ～ 8 分周
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ～ 16 分周
IP バスクロック (IPCLK)	ベースクロック (BCLK) の 1 ～ 8 分周

ソースクロック (SRCCLK) については,「第4章 クロック生成部」を参照してください。

5.2　内部クロック

各内部クロックについて説明します。

■ ベースクロック (BCLK)

すべての内部クロックの生成元になるクロックです。

分周設定レジスタ 0 (DIVR0) の DIVB2 ～ DIVB0 ビットでソースクロック (SRCCLK) を 1 ～ 8 分周して生成します。

デバイス全体の動作周波数を一括して低下させることができます。

次の各低消費電力モード時に停止します。

- メインタイマモード
- 時計モード
- ストップモード

■ CPU クロック (CCLK)

本デバイスの CPU 部に供給するクロックで , ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので , 動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- ドーズモード (停止期間中)
- スリープモード
- メインタイマモード
- 時計モード
- ストップモード

クロック名	代表的な供給先
CPU クロック (CCLK)	CPU (命令実行部) ウォッチドッグタイマ 1

■ オンチップバスクロック (HCLK)

オンチップバスとそれに接続される各回路に供給されるクロックで , ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので , 動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- バススリープモード
- メインタイマモード
- 時計モード
- ストップモード

クロック名	代表的な供給先
オンチップバスクロック (HCLK)	DMA コントローラ (DMAC)

■ 周辺クロック (PCLK)

周辺バスとそれに接続する各周辺機能に供給されるクロックです。

分周設定レジスタ 2 (DIVR2) の DIVP3 ～ DIVP0 ビットでベースクロック (BCLK) を 1 ～ 16 分周して生成します。

次の低消費電力モード時は , 設定にかかわらず停止します。

- メインタイマモード
- 時計モード
- ストップモード

クロック名	代表的な供給先
周辺クロック (PCLK)	周辺バス クロック制御部 リセット制御部 ウォッチドッグタイマ 0 割込みコントローラ 外部割込み 遅延割込み 16 ビットリロードタイマ 各周辺機能

■ IP クロック (IPCLK)

IP バスとそれに接続される各回路に供給されるクロックで , オンチップバスクロック (HCLK) を分周して生成します。

DIVR0 レジスタの bit2-0:DIVIP [2:0] ビットの設定により , 非分周から 2 ～ 8 分周までの分周を行うことができます。

次の各低消費電力モード時に停止します。

- メインタイマモード
- 時計モード
- ストップモード

クロック名	代表的な供給先
IP クロック (IPCLK)	OSDC

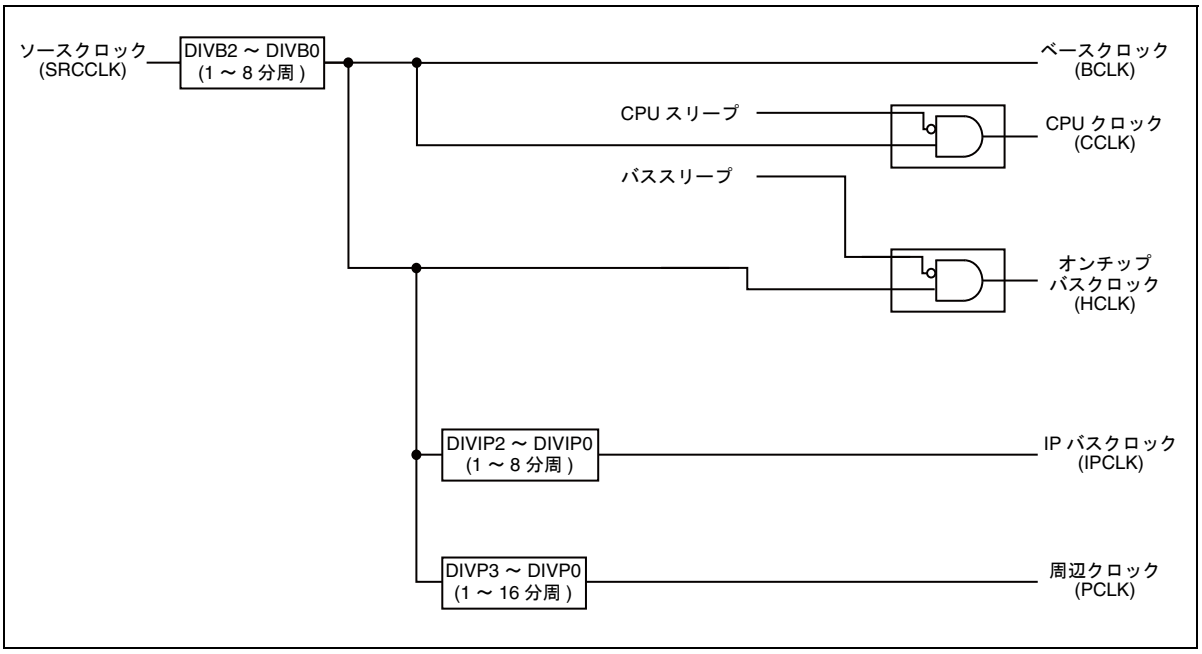
5.3 構成

クロック生成部から入力されたソースクロックを, レジスタに設定した値で分周し, 各回路へ出力します。

■ クロック分周制御部のブロックダイヤグラム

クロック分周制御部のブロックダイヤグラムを図 5.3-1 に示します。

図 5.3-1 クロック分周制御部のブロックダイヤグラム



5.4　レジスタ

クロック分周制御部で使用するレジスタの構成と機能について説明します。

■ クロック分周制御部のレジスター覧

クロック分周制御部のレジスター覧を表 5.4-1 に示します。

表 5.4-1 クロック分周制御のレジスター覧

レジスタ略称	レジスタ名	参照先
DIVR0	分周設定レジスタ 0	5.4.1
DIVR2	分周設定レジスタ 2	5.4.2

5.4.1　分周設定レジスタ 0 (DIVR0)

ベースクロック (BCLK) を生成するときのソースクロック (SRCCLK) の分周比を設定するレジスタです。

分周設定レジスタ 0 (DIVR0) のビット構成を図 5.4-1 に示します。

図 5.4-1 分周設定レジスタ 0 (DIVR0) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVB2	DIVB1	DIVB0	予約	予約	DIVIP2	DIVIP1	DIVIP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

R/W：リード / ライト可能

[bit7 ～ bit5]：DIVB2 ～ DIVB0 (ベースクロック分周設定ビット)

ソースクロック (SRCCLK) からベースクロック (BCLK) を生成するときの分周比を設定します。

CPU クロック (CCLK) とオンチップバスクロック (HCLK) はベースクロック (BCLK) を分周しないで生成するので , ベースクロック (BCLK) と同じ周波数になります。

DIVB2	DIVB1	DIVB0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

[bit4, bit3]：予約ビット

書込み時	必ず "0" を書き込んでください。
読込み時	"0" が読み出されます。

[bit2 ～ bit0] DIVIP2 ～ DIVIP0: IP クロック分周設定

ベースクロック (BCLK) から IP クロック (IPCLK) を生成する部分での分周を以下の様に設定します。

DIVIP2	DIVIP1	DIVIP0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

5.4.2　分周設定レジスタ 2 (DIVR2)

周辺クロック (PCLK) を生成するときのベースクロック (BCLK) の分周比を設定するレジスタです。

分周設定レジスタ 2 (DIVR2) のビット構成を図 5.4-2 に示します。

図 5.4-2 分周設定レジスタ 2 (DIVR2) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVP3	DIVP2	DIVP1	DIVP0	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	0	0	0	0

R/W：リード / ライト可能

[bit7 ～ bit4]：DIVP3 ～ DIVP0 (周辺クロック分周設定ビット)

ベースクロック (BCLK) から周辺クロック (PCLK) を生成するときの分周比を設定します。

DIVP3	DIVP2	DIVP1	DIVP0	説明
0	0	0	0	1 分周 (非分周)
0	0	0	1	2 分周
0	0	1	0	3 分周
0	0	1	1	4 分周
0	1	0	0	5 分周
0	1	0	1	6 分周
0	1	1	0	7 分周
0	1	1	1	8 分周
1	0	0	0	9 分周
1	0	0	1	10 分周
1	0	1	0	11 分周
1	0	1	1	12 分周
1	1	0	0	13 分周
1	1	0	1	14 分周
1	1	1	0	15 分周
1	1	1	1	16 分周

[bit3 ～ bit0]：予約ビット

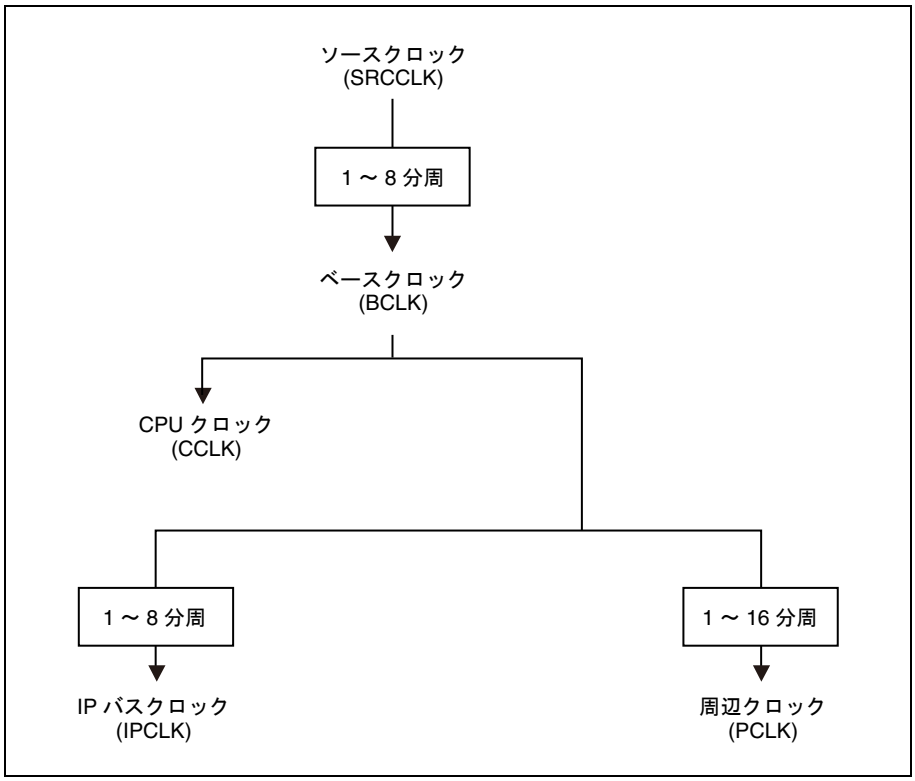
書込み時	必ず "0" を書き込んでください。
読込み時	"0" が読み出されます。

5.5　分周比

クロック分周制御部は , 各内部クロックに対して分周比を設定できます。

各内部クロックに対するソースクロックからの分周比を図 5.5-1 に示します。

図 5.5-1 各内部クロックに対するソースクロックからの分周比



■ 初期化後の分周比

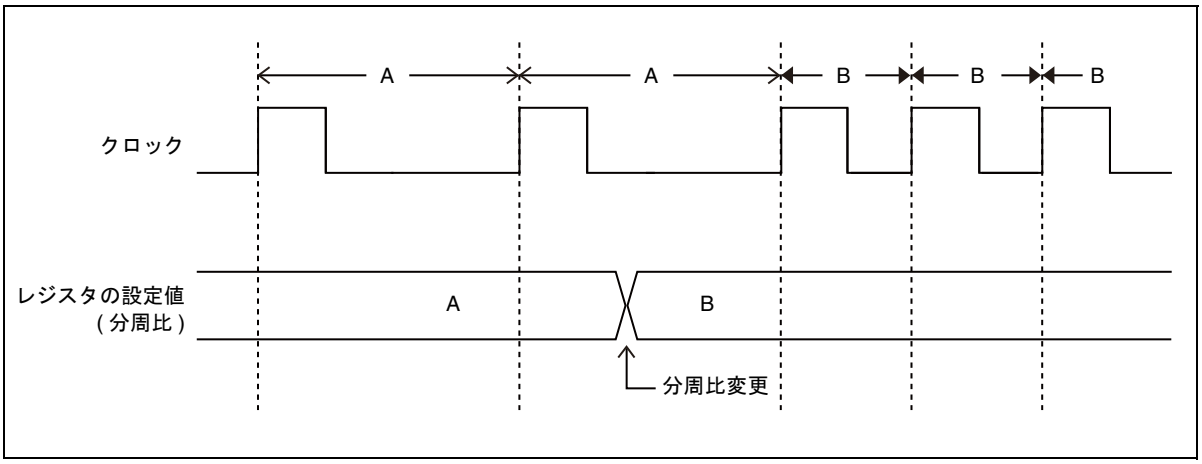
リセット発生後の内部クロックの分周を表 5.5-1 に示します。

表 5.5-1 リセット発生後の分周比

クロック名	初期化後の分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 分周
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 4 分周
IP バスクロック (IPCLK)	ベースクロック (BCLK) の 4 分周

■ 分周比の変更

分周比の設定に変更があった場合は , 設定値を変更した次のクロックの立上りエッジから変更した分周比が有効となります。



第 6 章　メインタイマ

メインタイマの機能と動作について説明します。

6.1　概要
6.2　構成
6.3　レジスタ
6.4　割込み
6.5　動作説明と設定手順例

6.1 概要

メインタイマは , メインクロック (MCLK) で動作するタイマです。
メインクロック (MCLK) とPLLクロック (PLLCLK) の発振安定待ち時間の生成に使用します。

メインタイマは , メインクロック (MCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MCLK) の発振が安定状態のときは , 一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

このタイマは , 次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき

  MTC ビットに "1" を書き込んでから , メインタイマがクリアされるまでは , メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。
- メインクロック (MCLK) の発振が停止しているとき

  (クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

メインタイマの動作が禁止されると , メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は , このタイマは停止します。

6.2　構成

メインタイマの構成を示します。

■ メインタイマのブロックダイヤグラム

メインタイマのブロックダイヤグラムは，「第 4 章 クロック生成部」の「■ メインクロック (MCLK) 生成部」を参照してください。

■ クロック

メインタイマで使用するクロックを表 6.2-1 に示します。

表 6.2-1 メインタイマで使用するクロック

クロック名	内容
動作クロック	メインクロック (MCLK)

6.3　レジスタ

メインタイマで使用するレジスタの構成と機能について説明します。

■ メインタイマのレジスター覧

メインタイマのレジスター覧を表 6.3-1 に示します。

表 6.3-1 メインタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
MTMCR	メインタイマ制御レジスタ	6.3.1

6.3.1　メインタイマ制御レジスタ (MTMCR)

メインタイマを制御するレジスタです。

メインタイマ制御レジスタ (MTMCR) のビット構成を図 6.3-1 に示します。

図 6.3-1 メインタイマ制御レジスタ (MTMCR) のビット構成

bit	7	6	5	4	3	2	1	0
	MTIF	MTIE	MTC	MTE	MTS3	MTS2	MTS1	MTS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

R/W：リード / ライト可能

< 注意事項 >

- このレジスタは, メインクロック (MCLK) が安定発振中のとき (クロックソース監視レジスタ (CMONR) の MCRDY ビット =1) のみ , 書き換えられます。

  ただし , MTIE ビットは , MCRDY ビットが "0" の場合も書き換えることができます。
- ソフトウェアリセットは , MTE ビットと MTC ビットの両方が "0" のときに , 行ってください。ソフトウェアリセットについては ,「第 9 章　リセット」を参照してください。

[bit7]：MTIF (メインタイマ割込みフラグビット)

メインタイマがオーバフローしたことを示すフラグです。

メインタイマは次の場合にオーバフローします。

- MTS3 ～ MTS0 ビットで設定した周期をカウントアップし終わったとき
- クロックソース設定レジスタ (CSELR)のMCENビットを"0"から"1"に書き換えた後, メインクロック (MCLK) の発振安定待ち時間が経過したとき
- ストップモードから復帰後 , メインクロック (MCLK) の発振安定待ち時間が経過したとき

MTIE ビットに "1" が設定されているときに , このビットが "1" になると , メインタイマ割込み要求が発生します。

MTIF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを "0" にクリアします。
1	オーバフローが発生しました。	無視されます。

メインタイマ割込み要求による DMA 転送が発生した場合も , このビットは "0" にクリアされます。

< 注意事項 >

- **MTEビットでメインタイマの動作を禁止 (MTE=0) すると, メインタイマがクリアされます。**
- **MTIE ビットが "0" に設定されていると , メインタイマ割込み要求による DMA 転送が発生した場合でも , このビットはクリアされません。**
- **$\overline{\text{INIT}}$ 端子から "L" レベルの信号を入力して本デバイスをリセット後 , 再度 $\overline{\text{INIT}}$ 端子から "H" レベルの信号を入力した場合は , メインクロック (MCLK) の発振安定待ち時間が経過しても , このビットは "1" に変わりません。**
- **このビットを "0" にクリアするタイミングと , オーバフロー発生のタイミングが重なった場合は , オーバフローの発生が優先され , このビットは "1" のままになります。**
- **リードモディファイライト系命令では "1" が読み出されます。**

[bit6]：MTIE (メインタイマ割込み許可ビット)

メインタイマがオーバフローしたとき (MTIF=1) にメインタイマ割込み要求を発生させるかどうかを設定します。

このビットに "1" が設定されている場合に , MTIF ビットが "1" になると , メインタイマ割込み要求が発生します。

書込み値	説明
0	メインタイマ割込み要求の発生を禁止します。
1	メインタイマ割込み要求の発生を許可します。

[bit5] : MTC (メインタイマクリアビット)

メインタイマをクリアします。

また , このビットを読み出すとメインタイマの動作状態を確認できます。

MTC	書込み時	読出し時
0	無視されます。	通常動作中です。
1	メインタイマをクリアします。	メインタイマのクリア中です。

< 注意事項 >

- リードモディファイライト系命令では "0" が読み出されます。
- PLL クロック (PLLCLK) の発振安定待ち中は , メインタイマをクリアしないでください。
- メインクロック (MCLK) の発振が安定している場合にのみ , このレジスタを書き換えることができます。そのため , 次の条件が揃ったときは , このビットに "1" を書き込んでも , メインタイマをクリアできません。
  - メインクロック (MCLK) の発振中 (クロックソース設定レジスタ (CSELR) のMCEN ビット =1)
  - メインクロック (MCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MTE ビットを "0" から "1" に書き換えるのと同時に , このビットに "1" を書き込むと , メインタイマをクリアしてから , メインタイマの動作が開始されます。
- このビットが "1" のときに , 再度このビットに "1" を書き込まないでください。
- MTC ビットが "0" になるまでは , MTIF ビットが "1" になることがあります。

[bit4] : MTE (メインタイマ動作許可ビット)

メインタイマの動作を許可 / 禁止 (停止) します。

書込み値	説明
0	メインタイマの動作を禁止 (停止) します。
1	メインタイマの動作を許可します。

< 注意事項 >

- メインタイマの動作を禁止 (停止) すると , メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間中以外は , メインタイマは停止します。
- メインタイマの動作を禁止 (停止) すると , メインタイマがクリアされます。メインタイマのクリア中は , MTC ビットから "1" が読み出されます。MTC ビットが "0" になるまでは , MTIF ビットが "1" になることがあります。
- PLL クロック (PLLCLK) の発振安定待ち中は , このビットを "1" から "0" に書き換えないでください。
- MTC ビットが "1" のときは , このビットに "1" を書き込まないでください。

[bit3 ～ bit0] : MTS3 ～ MTS0 (メインタイマ周期選択ビット)

メインタイマのオーバフロー周期を選択します。

このビットで設定した周期をカウントアップし終わると , メインタイマがオーバフローします。

MTS3	MTS2	MTS1	MTS0	オーバフロー周期	4MHz 時	8MHz 時	48MHz 時
1	0	0	0	2^9 ×メインクロックの周期	128.0µs	64.0µs	約 10.7µs
1	0	0	1	2^{10} ×メインクロックの周期	256.0µs	128.0µs	約 21.3µs
1	0	1	0	2^{11} ×メインクロックの周期	512.0µs	256.0µs	約 42.7µs
1	0	1	1	2^{12} ×メインクロックの周期	約 1ms	512.0µs	約 85.3µs
1	1	0	0	2^{13} ×メインクロックの周期	約 2ms	約 1ms	約 170.7µs
1	1	0	1	2^{14} ×メインクロックの周期	約 4ms	約 2ms	約 341.3µs
1	1	1	0	2^{15} ×メインクロックの周期	約 8ms	約 4ms	約 682.7µs
1	1	1	1	2^{16} ×メインクロックの周期	約 16.4ms	約 8ms	約 1.4ms

MTS3 ビットには必ず "1" を書き込んでください。

< 注意事項 >

- このビットは , MTE ビットでメインタイマを停止して (MTE=0) から変更してください。
- MTIE ビットが "1" に設定されていると , メインタイマがオーバフローしたときに , メインタイマ割込み要求が発生します。
  メインタイマのオーバフロー周期が 5T (T : 周辺クロック (PCLK) の周期) 以上になるように設定してください。

6.4　割込み

メインタイマがオーバフローすると , メインタイマ割込み要求が発生します。

メインタイマで使用できる割込みについて表 6.4-1 に示します。

表 6.4-1 メインタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
メインタイマ割込み要求	MTMCR の MTIF=1	MTMCR の MTIE=1	MTMCR の MTIF ビットに "0" を書き込む

MTMCR : メインタイマ制御レジスタ (MTMCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章 割込みコントローラ」を参照してください。

6.5　動作説明と設定手順例

メインタイマの動作について説明します。また , 動作状態を設定するための手順例も示します。

6.5.1　メインタイマの動作

■ 概要

メインタイマは , メインクロック (MCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MCLK) の発振が安定状態のときは , 一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止すると (MTE=0), メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は , このタイマは停止します。

■ 動作

メインタイマは次のように動作します。

1. メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を許可する (MTE=1)
2. メインタイマがメインクロック (MCLK) に同期して , カウントアップを開始する

   メインタイマ制御レジスタ (MTMCR) の MTE ビットが "1" の間 , カウントアップを継続します。
3. メインタイマ制御レジスタ (MTMCR) の MTS3 ～ MTS0 ビットで設定した値までカウントアップする

   メインタイマ制御レジスタ (MTMCR) の MTIF ビットが "1" に変わります。

   このとき , メインタイマ制御レジスタ (MTMCR) の MTIE ビットが "1" だと , メインタイマ割込み要求が発生します。

   メインタイマ割込み要求をクリアするには , MTIF ビットに "0" を書き込んでください。MTIF ビットが "0" にクリアされます。

メインタイマの動作中に , メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止 (MTE=0) すると , メインタイマはカウントを停止し , 値がクリアされます。詳しくは , 「■ タイマクリア」を参照してください。

■ タイマクリア

メインタイマは次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき

  MTC ビットに "1" を書き込んでから , メインタイマがクリアされるまでは , メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

- メインクロック (MCLK) の発振が停止しているとき
  (クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

< 注意事項 >

メインタイマ制御レジスタ (MTMCR) は , メインクロック (MCLK) の発振が安定している場合にのみ書き換えられます。そのため , 次の条件が揃ったときに , メインタイマ制御レジスタ (MTMCR) のMTCビットに"1"を書き込んでも, メインタイマはクリアできません。

- メインクロック (MCLK) の発振中 (クロックソース設定レジスタ (CSELR) の MCEN ビット =1)
- メインクロック (MCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)

■ 割込みの設定手順

メインタイマ制御レジスタ (MTMCR) の設定手順例は次の通りです。

1. MTIE ビットでメインタイマ割込みを禁止 (MTIE=0)
2. MTIF ビットでメインタイマ割込みフラグをクリア (MTIF=0)
3. MTE ビットでメインタイマの動作を禁止 (MTE=0)
4. MTC ビットを読み出して , メインタイマのクリアが完了していることを確認 (MTC=0)
5. MTS3 ～ MTS0 ビットでタイマ周期を設定
6. MTIE ビットでメインタイマ割込みを許可 (MTIE=1)
7. MTE ビットで , メインタイマの動作を許可 (MTE=1)

   MTS3 ～ MTS0 ビットで設定した周期が経過すると , メインタイマ割込み要求が発生し , 割込み処理ルーチンへ移行します。
8. MTIF ビットで , メインタイマ割込みフラグをクリア (MTIF=0)
9. MTIF ビットを 1 回読み出して , メインタイマ割込みフラグのクリアを完了させる。

   RETI 命令で割込み処理ルーチンから , 通常のプログラム処理動作へ復帰します。

< 注意事項 >

MTIF ビットに "0" を書き込んでもメインタイマ割込みフラグはすぐにクリアされません。MTIF ビットを 1 回読み出すことでフラグクリア完了後 , RETI 命令で復帰させることができます。

6.5.2　ストップモードへの遷移について

ストップモードへ遷移する前には，メインタイマ割込み要求の発生を禁止する必要があります。

ストップモードへの遷移は次の手順で行ってください。

1. クロックソース設定レジスタ (CSELR) の PCEN ビットで , PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
2. メインタイマ制御レジスタ (MTMCR) の MTIE ビットで , メインタイマ割込み要求の発生を禁止 (MTIE=0)
3. メインタイマ制御レジスタ (MTMCR) の MTE ビットで, メインタイマの動作を禁止 (MTE=0)
4. メインタイマ制御レジスタ (MTMCR) の MTC ビットを読み出して, メインタイマがクリア中でないことを確認 (MTC=0)
5. メインタイマ制御レジスタ (MTMCR) の MTIF ビットで , メインタイマ割込みフラグをクリア (MTIF=0)
6. 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ～ MOSW0 ビットでメインクロック (MCLK) の発振安定待ち時間を設定
7. ストップモードへ遷移

< 注意事項 >

ストップモードへ遷移する前に，必ず PLL クロック (PLLCLK) の発振を停止してください。

第７章　サブタイマ

サブタイマの機能と動作について説明します。

7.1　概要
7.2　構成
7.3　レジスタ
7.4　割込み
7.5　動作説明と設定手順例

7.1 概要

サブタイマは , サブクロック (SBCLK) で動作するタイマです。
サブクロック (SBCLK) の発振安定待ち時間の生成に使用します。

サブタイマは , サブクロック (SBCLK) の発振安定待ち時間をカウントします。

サブクロック (SBCLK) の発振が安定状態のときは , 一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

このタイマは , 次の場合にクリアされます。

- サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んだとき

  STC ビットに "1" を書き込んでから , サブタイマがクリアされるまでは , サブタイマ制御レジスタ (STMCR) の STC ビットからは "1" が読み出されます。
- サブクロック (SBCLK) の発振が停止しているとき

  (クロックソース設定レジスタ (CSELR) の SCEN ビット =0 のとき)
- ストップモード時
- サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマを停止したとき (STE=0)

サブタイマの動作が禁止されると , サブクロック (SBCLK) の発振安定待ち時間以外は , このタイマは停止します。

7.2　構成

サブタイマの構成を示します。

■ サブタイマのブロックダイヤグラム

サブタイマのブロックダイヤグラムは,「第 4 章 クロック生成部」の「■ サブクロック (SBCLK) 生成部」を参照してください。

■ クロック

サブタイマで使用するクロックを表 7.2-1 に示します。

表 7.2-1 サブタイマで使用するクロック

クロック名	内容
動作クロック	サブクロック (SBCLK)

7.3　レジスタ

サブタイマで使用するレジスタの構成と機能について説明します。

■ サブタイマのレジスター覧

サブタイマのレジスター覧を表 7.3-1 に示します。

表 7.3-1 サブタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
STMCR	サブタイマ制御レジスタ	7.3.1

7.3.1　サブタイマ制御レジスタ (STMCR)

サブタイマを制御するレジスタです。

サブタイマ制御レジスタ (STMCR) のビット構成を図 7.3-1 に示します。

図 7.3-1 サブタイマ制御レジスタ (STMCR) のビット構成

bit	7	6	5	4	3	2	1	0
	STIF	STIE	STC	STE	予約	STS2	STS1	STS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

R/W：リード / ライト可能

< 注意事項 >

- このレジスタは , サブクロック (SBCLK) が安定発振中のとき (クロックソース監視レジスタ (CMONR) の SCRDY ビット =1) のみ , 書き換えられます。
  ただし , STIE ビットは , SCRDY ビットが "0" の場合も書き換えることができます。
- ソフトウェアリセットは , STE ビットと STC ビットの両方が "0" のときに行ってください。ソフトウェアリセットについては , 「第 9 章　リセット」を参照してください。

[bit7]：STIF (サブタイマ割込みフラグビット)

サブタイマがオーバフローしたことを示すフラグです。

サブタイマは次の場合にオーバフローします。

- STS2 ～ STS0 ビットで設定した周期をカウントアップし終わったとき
- クロックソース設定レジスタ (CSELR) の SCEN ビットを "0" から "1" に書き換えた後 , サブクロック (SBCLK) の発振安定待ち時間が経過したとき
- ストップモードから復帰後, サブクロック (SBCLK) の発振安定待ち時間が経過したとき

STIE ビットに "1" が設定されているときに , このビットが "1" になると , サブタイマ割込み要求が発生します。

STIF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを "0" にクリアします。
1	オーバフローが発生しました。	無視されます。

サブタイマ割込み要求による DMA 転送が発生した場合も , このビットは "0" にクリアされます。

< 注意事項 >

- STE ビットでサブタイマの動作を禁止 (STE=0) すると , サブタイマがクリアされます。
- STIE ビットが "0" に設定されていると , サブタイマ割込み要求による DMA 転送が発生した場合でも , このビットはクリアされません。
- このビットを "0" にクリアするタイミングと , オーバフロー発生のタイミングが重なった場合は , オーバフローの発生が優先され , このビットは "1" のままになります。
- リードモディファイライト系命令では "1" が読み出されます。

[bit6] : STIE (サブタイマ割込み許可ビット)

サブタイマがオーバフローしたとき (STIF=1) にサブタイマ割込み要求を発生させるかどうかを設定します。

このビットに "1" が設定されている場合に , STIF ビットが "1" になると , サブタイマ割込み要求が発生します。

書込み値	説明
0	サブタイマ割込み要求の発生を禁止します。
1	サブタイマ割込み要求の発生を許可します。

[bit5] : STC (サブタイマクリアビット)

サブタイマをクリアします。

また , このビットを読み出すとサブタイマの動作状態を確認できます。

STC	書込み時	読出し時
0	無視されます。	通常動作中です。
1	サブタイマをクリアします。	サブタイマのクリア中です。

< 注意事項 >

- リードモディファイライト系命令では "0" が読み出されます。
- サブクロック (SBCLK) の発振が安定している場合にのみ , このレジスタを書き換えることができます。そのため , 次の条件が揃ったときは , このビットに "1" を書き込んでも , サブタイマをクリアできません。
  - サブクロック (SBCLK) の発振中 (クロックソース設定レジスタ (CSELR) の SCEN ビット =1)
  - サブクロック (SBCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の SCRDY ビット =0)
- STE ビットを "0" から "1" に書き換えるのと同時に , このビットに "1" を書き込むと , サブタイマをクリアしてから , サブタイマの動作が開始されます。
- このビットが "1" のときに , 再度このビットに "1" を書き込まないでください。
- STC ビットが "0" になるまでは , STIF ビットが "1" になることがあります。

[bit4]：STE (サブタイマ動作許可ビット)

サブタイマの動作を制御します。

書込み値	説明
0	サブタイマの動作を禁止 (停止) します。
1	サブタイマの動作を許可します。

< 注意事項 >

- サブタイマの動作を禁止 (停止) すると , サブクロック (SBCLK) の発振安定待ち時間中以外は , サブタイマは停止します。
- サブタイマの動作を禁止 (停止) するとサブタイマがクリアされます。サブタイマのクリア中は , STC ビットから "1" が読み出されます。STC ビットが "0" になるまでは , STIF ビットが "1" になることがあります。
- STC ビットが "1" のときは , このビットに "1" を書き込まないでください。

[bit3]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ～ bit0]：STS2 ～ STS0 (サブタイマ周期選択ビット)

サブタイマのオーバフロー周期を選択します。

このビットで設定した周期をカウントアップし終わると , サブタイマがオーバフローします。

STS2	STS1	STS0	オーバフロー周期	32768Hz 時
0	0	0	2^8 ×サブクロック周期	約 7.8ms
0	0	1	2^9 ×サブクロック周期	約 15.6ms
0	1	0	2^{10} ×サブクロック周期	約 31.3ms
0	1	1	2^{11} ×サブクロック周期	62.5ms
1	0	0	2^{12} ×サブクロック周期	125.0ms
1	0	1	2^{13} ×サブクロック周期	250.0ms
1	1	0	2^{14} ×サブクロック周期	500.0ms
1	1	1	2^{15} ×サブクロック周期	1s

< 注意事項 >

- このビットは , STE ビットでサブタイマを停止して (STE=0) から変更してください。
- STIE ビットが "1" に設定されていると , サブタイマがオーバフローしたときに , サブタイマ割込み要求が発生します。
  サブタイマのオーバフロー周期が 5T (T：周辺クロック (PCLK) の周期) 以上になるように設定してください。

7.4　割込み

サブタイマがオーバフローすると , サブタイマ割込み要求が発生します。

サブタイマで使用できる割込みについて表 7.4-1 に示します。

表 7.4-1 サブタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
サブタイマ 割込み要求	STMCR の STIF=1	STMCR の STIE=1	STMCR のSTIF ビットに"0"を書き込む

STMCR : サブタイマ制御レジスタ (STMCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章 割込みコントローラ」を参照してください。

7.5　動作説明と設定手順例

サブタイマの動作について説明します。また , 動作状態を設定するための手順例も示します。

7.5.1　サブタイマの動作

■ 概要

サブタイマは , サブクロック (SBCLK) の発振安定待ち時間をカウントします。

サブクロック (SBCLK) の発振が安定状態のときは , 一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を禁止すると (STE=0), サブクロック (SBCLK) の発振安定待ち時間以外は , このタイマは停止します。

■ 動作

サブタイマは次のように動作します。

1. サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を許可する (STE=1)
2. サブタイマがサブクロック (SBCLK) に同期して , カウントアップを開始する

   サブタイマ制御レジスタ (STMCR) STE ビットが "1" の間 , カウントアップを継続します。
3. サブタイマ制御レジスタ (STMCR) の STS2 ～ STS0 ビットで設定した値までカウントアップする

   サブタイマ制御レジスタ (STMCR) の STIF ビットが "1" に変わります。

   このとき , サブタイマ制御レジスタ (STMCR) の STIE ビットが "1" だと , サブタイマ割込み要求が発生します。

   サブタイマ割込み要求をクリアするには , STIF ビットに "0" を書き込んでください。STIF ビットが "0" にクリアされます。

サブタイマの動作中に , サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を禁止 (STE=0) すると , サブタイマはカウントを停止し , 値がクリアされます。詳しくは , 「■ タイマクリア」を参照してください。

■ タイマクリア

サブタイマは次の場合にクリアされます。

- サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んだとき

  STC ビットに "1" を書き込んでから , サブタイマがクリアされるまでは , サブタイマ制御レジスタ (STMCR) の STC ビットからは "1" が読み出されます。
- サブクロック (SBCLK) の発振が停止しているとき

  (クロックソース設定レジスタ (CSELR) の SCEN ビット =0 のとき)

- ストップモード時
- サブタイマ制御レジスタ　(STMCR)　の STE ビットでサブタイマを停止したとき (STE=0)

  サブクロック (SBCLK) の発振安定待ち時間以外は , このタイマは停止します。

< 注意事項 >

サブタイマ制御レジスタ (STMCR) は , サブクロック (SBCLK) の発振が安定している場合にのみ書き換えられます。そのため , 次の条件が揃ったときに , サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んでも , サブタイマはクリアできません。

- サブクロック (SBCLK) の発振中 (クロックソース設定レジスタ (CSELR) の SCEN ビット =1)
- サブクロック (SBCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の SCRDY ビット =0)

■ 割込みの設定手順

サブタイマ制御レジスタ (STMCR) の設定手順例は次の通りです。

1. STIE ビットでサブタイマ割込みを禁止 (STIE=0)
2. STIF ビットでサブタイマ割込みフラグをクリア (STIF=0)
3. STE ビットでサブタイマの動作を禁止 (STE=0)
4. STC ビットを読み出して , サブタイマが通常動作中であることを確認 (STC=0)
5. STS2 ～ STS0 ビットでタイマ周期を設定
6. STIE ビットで , サブタイマ割込みを許可 (STIE=1)
7. STE ビットで , サブタイマの動作を許可 (STE=1)

   STS2～STS0 ビットで設定した周期が経過すると , サブタイマ割込み要求が発生し , 割込み処理ルーチンへ移行します。
8. STIF ビットで , サブタイマ割込みフラグをクリア (STIF=0)
9. STIF ビットを 1 回読み出して , サブタイマ割込みフラグのクリアを完了させる。

   RETI 命令で割込み処理ルーチンから , 通常のプログラム処理動作へ復帰します。

< 注意事項 >

STIF ビットに "0" を書き込んでもサブタイマ割込みフラグはすぐにクリアされません。STIF ビットを 1 回読み出すことでフラグクリア完了後 , RETI 命令で復帰させることができます。

7.5.2　ストップモードへの遷移と時計モードについて

ストップモードへ遷移する前には , サブタイマによる割込み動作を禁止する必要があります。

ストップモードへの遷移は次の手順で行ってください。

1. クロックソース設定レジスタ (CSELR) の PCEN ビットで , PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
2. サブタイマ制御レジスタ (STMCR) の STIE ビットで , サブタイマ割込みを禁止 (STIE=0)
3. サブタイマ制御レジスタ (STMCR) の STE ビットで , サブタイマの動作を禁止 (STE=0)
4. サブタイマ制御レジスタ (STMCR) の STC ビットを読み出して , サブタイマがクリア中でないことを確認 (STC=0)
5. サブタイマ制御レジスタ (STMCR) の STIF ビットで , サブタイマ割込みフラグをクリア (STIF=0)
6. 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ～ SOSW0 ビットで , サブクロック (SBCLK) の発振安定待ち時間を設定
7. ストップモードへ遷移

< 注意事項 >

ストップモードへ遷移する前に , 必ず PLL 発振を停止してください。

第 8 章　低消費電力モード

低消費電力モードの機能と動作について説明します。

8.1 概要
8.2 構成
8.3 レジスタ
8.4 動作説明と設定手順例
8.5 使用上の注意

8.1 概要

本製品は , 消費電力を低減するために低消費電力モードを利用することができます。

■ 概要

本製品では次のように消費電力を制御することができます。

- クロック制御
  - クロック分周

    各動作クロックの分周比を変更することで , 動作周波数を落とすことができます。
  - クロック停止

    特定のクロックを指定して停止させることができます。
- ドーズモード

  設定した動作率で CPU を繰り返し間欠動作させるモードです。
- スリープモード

  周辺機能のみを動作させるモードです。次の 2 種類の中から選択できます。
  - CPU スリープモード

    CPU の動作を停止させるモードです。
  - バススリープモード

    CPU とオンチップバスの動作を停止させるモードです。
- スタンバイモード

  次の 3 種類の中から選択できます。
  - メインタイマモード

    メインクロック発振以外の動作をすべて停止できるモードです。
    サブクロック発振は任意に設定できます。
  - 時計モード

    サブクロック発振以外の動作をすべて停止できるモードです。
  - ストップモード

    すべてのクロック発振と動作を停止させるモードです。

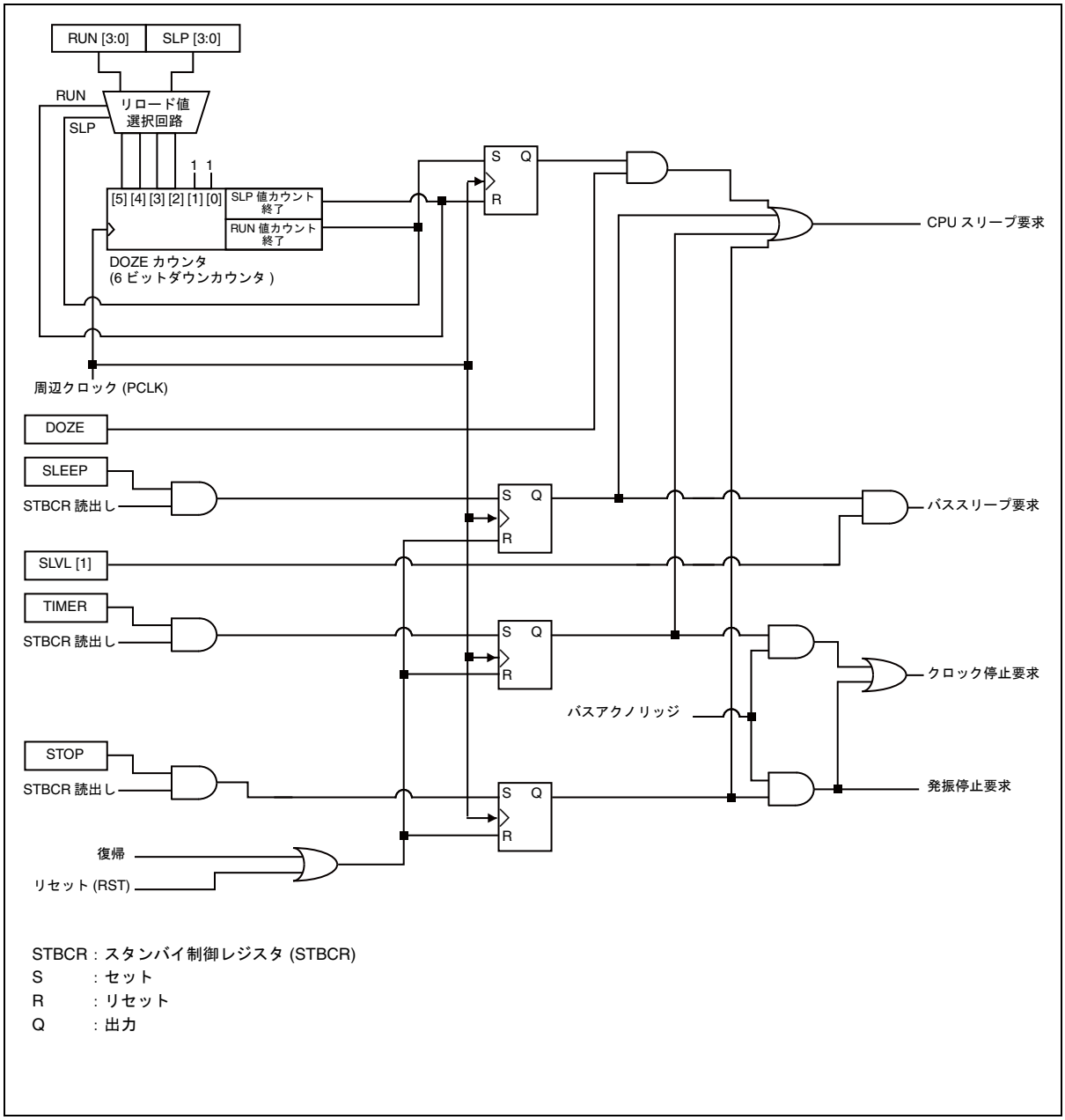
8.2　構成

消費電力制御部の構成を示します。

■ 消費電力制御部のブロックダイヤグラム

消費電力制御部のブロックダイヤグラムを図 8.2-1 に示します。

図 8.2-1 消費電力制御部のブロックダイヤグラム



- スタンバイ制御レジスタ (STBCR)

  低消費電力モードを制御するレジスタです。

- スリープレート設定レジスタ (SLPRR)

  ドーズモード時の, 動作状態 (RUN 状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。

- リロード値選択回路

  スリープレート設定レジスタ (SLPRR) に設定された動作状態 (RUN 状態) の比率とスリープ状態の比率 (スリープレート) のどちらをリロードするか選択する回路です。

■ クロック

消費電力制御部で使用するクロックを表 8.2-1 に示します。

表 8.2-1 消費電力制御部で使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-

8.3　レジスタ

消費電力を制御するために必要なレジスタの構成と機能について説明します。

■ 消費電力を制御するレジスター覧

消費電力を制御するレジスタの一覧を表 8.3-1 に示します。

表 8.3-1 消費電力を制御するレジスター覧

レジスタ略称	レジスタ名	参照先
STBCR	スタンバイ制御レジスタ	8.3.1
SLPRR	スリープレート設定レジスタ	8.3.2

8.3.1　スタンバイ制御レジスタ (STBCR)

低消費電力モードを制御するレジスタです。

スタンバイ制御レジスタ (STBCR) のビット構成を図 8.3-1 に示します。

図 8.3-1 スタンバイ制御レジスタ (STBCR) のビット構成

bit	7	6	5	4	3	2	1	0
	STOP	TIMER	SLEEP	DOZE	予約	予約	SLVL1	SLVL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

R/W：リード / ライト可能

[bit7]：STOP (ストップモード許可ビット)

ストップモードへの移行を許可するビットです。

書込み値	説明
0	ストップモードへ移行しません。
1	ストップモードへ移行します。

このビットで , ストップモードへの移行を許可後 , このレジスタを読み出すとストップモードへ移行します。

ストップモードからの復帰要因が発生すると , このビットは "0" にクリアされます。ストップモードからの復帰要因については , 「8.4.6 ストップモード時の動作」の「■ ストップモードからの復帰」を参照してください。

[bit6]：TIMER (メインタイマモード / 時計モード許可ビット)

メインタイマモード / 時計モードへの移行を許可するビットです。

書込み値	説明
0	メインタイマモード / 時計モードへ移行しません。
1	メインタイマモード / 時計モードへ移行します。

このビットで , メインタイマモード / 時計モードへの移行を許可後 , このレジスタを読み出すとメインタイマモード / 時計モードに移行します。

ただし , STOP ビットでストップモードへの移行を許可 (STOP=1) した場合は , このビットに "1" を書き込んでメインタイマモード / 時計モードへの移行を許可しても , このビットの設定は無視されます。

メインタイマモード / 時計モードからの復帰要因が発生すると , このビットは "0" にクリアされます。メインタイマモードからの復帰要因については , 「8.4.4 メインタイマモード時の動作」の「■ メインタイマモードからの復帰」を参照してください。時計モードからの復帰要因については , 「8.4.5 時計モード時の動作」の「■ 時計モードからの復帰」を参照してください。

[bit5]：SLEEP (スリープモード許可ビット)

スリープモードへの移行を許可するビットです。

書込み値	説明
0	スリープモードへ移行しません。
1	スリープモードへ移行します。

このビットで , スリープモードへの移行を許可後 , このレジスタを読み出すとスリープモードへ移行します。

ただし , STOP ビット /TIMER ビットでストップモード / メインタイマモード / 時計モードへの移行を許可 (STOP/TIMER=1) した場合は , このビットに "1" を書き込んでスリープモードへの移行を許可しても , このビットの設定は無視されます。

スリープモードからの復帰要因が発生すると , このビットは "0" にクリアされます。スリープモードからの復帰要因については , 「8.4.3 スリープモード時の動作」の「■ スリープモードからの復帰」を参照してください。

[bit4]：DOZE (ドーズモード許可ビット)

ドーズモードへの移行を許可するビットです。

書込み値	説明
0	ドーズモード (CPU 間欠スリープ) へ移行しません。
1	CPU がドーズモード (CPU 間欠スリープ) へ移行します。

SLVL1 ビットが "0" に設定されている場合は , ドーズモードからの復帰要因が発生すると , このビットは "0" にクリアされます。ドーズモードからの復帰要因については , 「8.4.2 ドーズモード時の動作」の「■ ドーズモードからの復帰」を参照してください。

[bit3, bit2]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : SLVL1, SLVL0 (スタンバイレベル設定ビット)

このビットは移行する低消費電力モードで書き込む値の意味が異なります。

低消費電力モード	SLVL1	SLVL0	説明
ストップモード / メインタイマモード / 時計モード	0	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にしません。
	0	1	
	1	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にします。
	1	1	
スリープモード	0	0	スリープモード移行時 , CPU スリープモード (CPU の動作のみ停止) に移行します。
	0	1	
	1	0	スリープモード移行時 , バススリープモード (CPU, オンチップバスの動作を停止) に移行します。*
	1	1	
ドーズモード	0	0	割込み要求発生時 , DOZE ビットを "0" にクリアします。
	0	1	
	1	0	割込み要求発生時 , DOZE ビットを "0" にクリアしません。
	1	1	

* DMA 転送中は , オンチップバスは動作します。

< 注意事項 >

- ストップモード / メインタイマモード / 時計モード設定時に出力を Hi-Z にできる端子は ,「付録 D CPU の状態における端子状態」を参照してください。
- SLVL0 ビットの設定値は動作に影響ありません。

8.3.2　スリープレート設定レジスタ (SLPRR)

ドーズモード時の, 動作状態 (RUN状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。

スリープレート設定レジスタ (SLPRR) のビット構成を図 8.3-2 に示します。

図 8.3-2 スリープレート設定レジスタ (SLPRR) のビット構成

bit	7	6	5	4	3	2	1	0
	RUN3	RUN2	RUN1	RUN0	SLP3	SLP2	SLP1	SLP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

ドーズモード中に , このレジスタを書き換えた場合は , 次の停止 / 動作起動タイミングで書き換えた設定が反映されます。

[bit7 ～ bit4] : RUN3 ～ RUN0 (動作周期ビット)

ドーズモード時に CPU が動作する期間を設定します。

このビットに設定した値から CPU の動作期間が次のように算出されます。

(このビットの値 +1) × 4 × t_{CYCP}

t_{CYCP} : 周辺クロック (PCLK) の周期

動作期間についての詳細は , 「8.4.2 ドーズモード時の動作」を参照してください。

[bit3 ～ bit0] : SLP3 ～ SLP0 (スリープ状態周期ビット)

ドーズモード時のスリープ状態の期間を設定します。

このビットに設定した値からスリープ状態の期間が次のように算出されます。

(このビットの値 +1) × 4 × t_{CYCP}

t_{CYCP} : 周辺クロック (PCLK) の周期

スリープ状態の期間についての詳細は , 「8.4.2 ドーズモード時の動作」を参照してください。

< 注意事項 >

- CPU がスリープ要求を受け付けるときに , 遅延が生じる場合があります。その場合は , 上記の計算式で得られた期間よりもスリープ期間が短くなります。
- スリープ状態の期間が短い場合 , CPU の動作状況によっては , スリープ状態にならない場合があります。

8.4　動作説明と設定手順例

低消費電力モードの動作や使用方法と設定手順例について説明します。

■ 概要

動作クロックの分周比を変更したり , 動作クロックを停止させて消費電力を低減したりすることができます。

また , 次の低消費電力モードを使用することができます。

- ドーズモード

  設定した動作率で CPU を繰り返し間欠動作させるモードです。

  設定した期間で CPU の動作と停止を交互に繰り返すことで , CPU の平均消費電力を低減できます。
- スリープモード

  CPU やオンチップバスを停止させ , 周辺機能のみを動作させるモードです。

  次の 2 種類の中から選択できます。

  - CPU スリープモード

    CPU の動作を停止させるモードです。
  - バススリープモード

    CPU とオンチップバスの動作を停止させるモードです。
- スタンバイモード

  デバイス全体を停止させ , 待機状態にするモードです。

  次の 3 種類の中から選択できます。

  - メインタイマモード
  - 時計モード
  - ストップモード

8.4.1　クロック制御時の動作

本製品に内蔵されている各動作クロックを調整することで消費電力とCPUの処理能力の最適化を行うことができます。

■ 概要

クロックを制御して消費電力を低減するには , 次の 2 つの方法があります。

- クロック分周

  各動作クロックの分周比を変更することで , 動作周波数を落とすことができます。
- クロック停止

  特定のクロックを指定して停止させることができます。

■ クロック分周

各動作クロックの分周比を変更することで消費電力を低減できます。動作クロックの分周比は個別に設定することができます。

各動作クロックと設定可能な分周比を表 8.4-1 に示します。

表 8.4-1 動作クロックと設定可能な分周比

動作クロック	分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ～ 8 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ～ 16 分周
IP バスクロック (IPCLK)	ベースクロック (BCLK) の 1 ～ 8 分周

< 注意事項 >

分周方法や条件は動作クロックによって異なります。動作クロックの分周については,「第 5 章　クロック分周制御部」を参照してください。

8.4.2　ドーズモード時の動作

CPU の平均消費電力を低減させるために , CPU を間欠動作させるモードです。

■ 概要

ドーズモードを利用すると , 設定した期間で CPU を動作させたり , 停止させたりできるので , CPU の平均消費電力を低減できます。処理負荷に応じて , スリープレートを変更し , 消費電力を低減させながら処理能力を維持してください。

■ 周期の設定

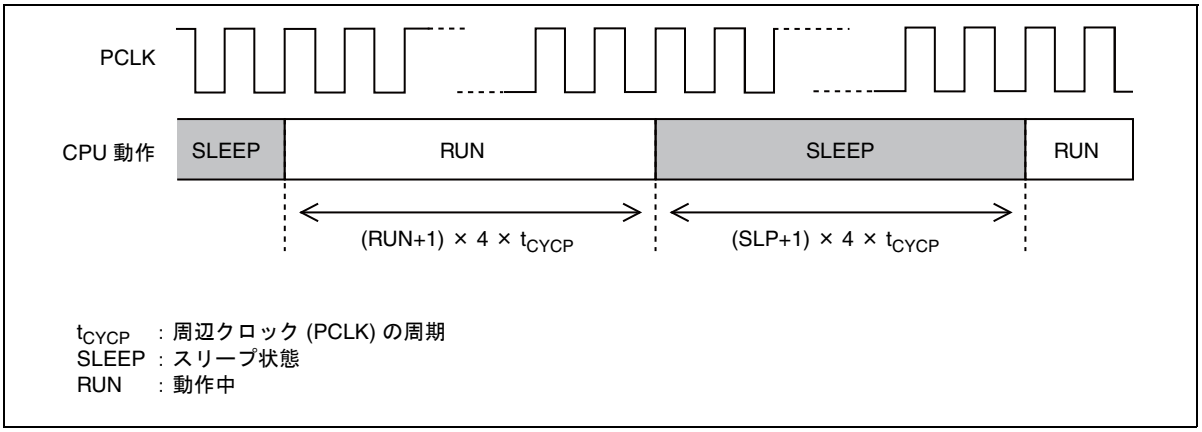
スリープレート設定レジスタ (SLPRR) の RUN3 ～ RUN0 ビットに , CPU の動作期間を , SLP3 ～ SLP0 ビットにスリープ状態の期間を設定すると , 設定した値から次の計算式で周期が算出されます。

$$(RUN+1) \times 4 \times t_{CYCP} + (SLP+1) \times 4 \times t_{CYCP}$$

RUN　: RUN3 ～ RUN0 ビットの値
SLP　: SLP3 ～ SLP0 ビットの値
t_{CYCP} : 周辺クロック (PCLK) の周期

それぞれの期間について図 8.4-1 に示します。

図 8.4-1 動作期間とスリープ状態の期間



< 注意事項 >

- 上記の計算式は , CPU がスリープ要求を受け付けるときの遅延時間を含みません。そのため , 誤差が生じる場合があります。
- スリープ状態の期間が短い場合 , CPU の動作状況によっては , スリープ状態にならない場合があります。

■ 移行

周期を設定後 , スタンバイ制御レジスタ (STBCR) の DOZE ビットに "1" を書き込むと , ドーズモードへ移行し , スリープレート設定レジスタ (SLPRR) の設定にしたがって CPU が動作と停止を繰り返す間欠動作を開始します。

ドーズモードから復帰する場合は , スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" を書き込んでください。

< 注意事項 >

ドーズモード中にスリープレート設定レジスタ (SLPRR) を書き換えた場合は , 次の停止 / 動作移行タイミングで書き換えた設定が反映されます。

■ ドーズモードからの復帰

次のいずれかの場合に CPU がドーズモードから復帰します。

- 本デバイスがリセットされた
- スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" が書き込まれた
- スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" のときに , 割込み要求が発生した

上記以外の場合は , 設定が維持されるためスリープモード , メインタイマモード , 時計モード , ストップモードからの復帰後も , ドーズモードを利用できます。

8.4.3　スリープモード時の動作

イベント待ち状態での消費電力を低減させるために利用するモードです。
スリープモードになると , 復帰要因が発生するまでスリープモードを継続し , 復帰要因が発生すると 2 ～ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

スリープモードを利用すると , CPU とオンチップバスを停止させ周辺機能のみが動作するため , イベント待ち状態での消費電力を大幅に低減することができます。

スリープモードには次の 2 つのモードが用意されています。

- CPU スリープモード

  CPU のみを停止させるモードです。

  DMA コントローラ (DMAC) やオンチップバスへのクロックは供給されているので , 動作を継続できます。

  バススリープモードより電力を消費しますが , DMA 転送要求に早く対応できます。

- バススリープモード

  CPU とオンチップバスの動作を停止させるモードです。

  DMA コントローラ (DMAC) やオンチップバスへのクロック供給も停止します。クロックの停止については , 「第 5 章 クロック分周制御部」を参照してください。

  ただし , DMA 転送要求が受け付けられると , 一時的に DMA コントローラ (DMAC) やオンチップバスへのクロック供給が再開し , DMA 転送を行うことができます。

  DMA 転送が終了すると , クロックの供給が再度停止します。

  CPU スリープモード時より , DMA 転送要求に対する反応が遅れますが , 消費電力を低減できます。

■ 設定

スリープモードへ移行する前に必要な設定を表 8.4-2 に示します。

表 8.4-2 設定レジスタ

レジスタ	ビット	説明
スタンバイ制御レジスタ (STBCR)	SLVL1	CPU スリープモードへ移行するかバススリープモードへ移行するかを設定 0=CPU スリープモード 1= バススリープモード

■ 移行

次の手順を実施するとスリープモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "0", SLEEP ビットに "1" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

スリープモードに移行する前に CPU が次の命令を実行しないよう , 例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI     #value_of_sleep, R0     ; SLEEP ビット =1, SLVL1, SLVL0 ビット設定
LDI     #_STBCR, R12            ;
STB     R0, @R12                ; 書込み
LDUB    @R12, R0                ; 読出し ( スリープモードへ移行 )
MOV     R0, R0                  ; ダミー処理
NOP                             ; ダミー処理
NOP                             ; ダミー処理
```

■ スリープモードからの復帰

次のいずれかの場合に CPU がスリープモードから復帰します。

- 本デバイスがリセットされた
- 割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)

  割込みレベルについては , 「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

- 割込み要求でスリープモードから復帰したときに , CPU が割込み要求を受け付けなかった場合は, スリープモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は , 割込み処理ルーチンへ分岐します。
- バススリープモードでは , DMA 転送要求が発生すると , オンチップバスクロック (HCLK) を一時的に復帰させ , DMA 転送を行います。また , DMA 転送が終了するとオンチップバスクロック (HCLK) を再度停止します。

8.4.4　メインタイマモード時の動作

メインタイマモードは , スタンバイモードの 1 つとして分類されます。スタンバイモードは , デバイス全体を停止させて , 待機状態にするモードです。そのため , 外部イベントの発生待ち状態での消費電力を大幅に低減できます。ただし , 許可されたクロックの発振は動作するため , ストップモードほどは消費電力は低減できません。
メインタイマモード時は , CPU のソースクロック (SRCCLK) としてメインクロック (MCLK) の発振を選択してください。
メインタイマモードになると , 復帰要因が発生するまでメインタイマモードを継続し , 復帰要因が発生すると 2 ～ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

メインタイマモードでは , CPU のソースクロック (SRCCLK) としてメインクロック (MCLK) の発振が許可されているため , メインタイマのカウント動作が実行されます。
サブクロック (SBCLK) の発振は任意に設定可能です。

■ 設定

メインタイマモードへ移行する前に必要な設定を表 8.4-3 に示します。

表 8.4-3 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MCLK) を選択 (CKS1, CKS0=00 または 01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
	SCEN	サブクロック (SBCLK) の発振を設定 0= 発振を停止 1= 発振する
スタンバイ制御レジスタ (STBCR)	SLVL1	メインタイマモード時の端子から出力信号を設定 0= メインタイマモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

メインタイマモードに移行する時点で , ドーズモードを設定しているときに , スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると , メインタイマモードからの復帰時に DOZE ビット "0" にクリアされ , ドーズモードが終了します。

■ 移行

次の手順を実施するとメインタイマモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) のSTOPビットに"0", TIMERビットに"1", SLEEPビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

メインタイマモードに移行する前に CPU が次の命令を実行しないよう , 例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI     #value_of_timer, R0     ; TIMER ビット =1, SLVL1, SLVL0 ビット設定
LDI     #_STBCR, R12            ;
STB     R0, @R12                ; 書込み
LDUB    @R12, R0                ; 読出し ( メインタイマモードへ移行 )
MOV     R0, R0                  ; ダミー処理
NOP                             ; ダミー処理
NOP                             ; ダミー処理
```

■ メインタイマモードからの復帰

次のいずれかの場合に CPU がメインタイマモードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
  - メインタイマ割込み
  - サブタイマ割込み
  - 時計カウンタ割込み
  - 外部割込み
  - USB ファンクションの WKUP ビットによる割込み

割込みレベルについては ,「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求でメインタイマモードから復帰したときに , CPU が割込み要求を受け付けなかった場合は , メインタイマモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は , 割込み処理ルーチンへ分岐します。

8.4.5　時計モード時の動作

時計モードは , スタンバイモードの 1 つとして分類されます。スタンバイモードは , デバイス全体を停止させて , 待機状態にするモードです。そのため , 外部イベントの発生待ち状態での消費電力を大幅に低減できます。ただし , 許可されたクロックの発振は動作するため , ストップモードほどは消費電力は低減できません。
時計モード時は , CPU のソースクロック (SRCCLK) としてサブクロック (SBCLK) の発振を選択してください。
時計モードになると , 復帰要因が発生するまで時計モードを継続し , 復帰要因が発生すると 2 ～ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

時計モードでは , CPU のソースクロック (SRCCLK) としてサブクロック (SBCLK) の発振が許可されているため , サブタイマと時計カウンタのカウント動作が実行されます。

■ 設定

時計モードへ移行する前に必要な設定を表 8.4-4 に示します。

表 8.4-4 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
	MCEN	メインクロック (MCLK) の発振を停止 (MCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	時計モード時の端子から出力信号を設定 0= 時計モードになる前の状態を保持 1=Hi-Z

< 注意事項 >

時計モードに移行する時点で , ドーズモードを設定しているときに , スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると , 時計モードからの復帰時に DOZE ビット "0" にクリアされ , ドーズモードが終了します。

■ 移行

次の手順を実施すると時計モードへ移行します。

1. スタンバイ制御レジスタ (STBCR) のSTOPビットに"0", TIMERビットに"1", SLEEPビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

時計モードに移行する前に CPU が次の命令を実行しないよう , 例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI     #value_of_timer, R0     ; TIMER ビット =1, SLVL1, SLVL0 ビット設定
LDI     #_STBCR, R12            ;
STB     R0, @R12                ; 書込み
LDUB    @R12, R0                ; 読出し ( 時計モードへ移行 )
MOV     R0, R0                  ; ダミー処理
NOP                             ; ダミー処理
NOP                             ; ダミー処理
```

■ 時計モードからの復帰

次のいずれかの場合に CPU が時計モードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
  - サブタイマの割込み要求
  - 時計カウンタの割込み要求
  - 外部割込みの要求
  - USB ファンクションの WKUP ビットによる割込み

割込みレベルについては「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求で時計モードから復帰したときに, CPUが割込み要求を受け付けなかった場合は , 時計モードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は , 割込み処理ルーチンへ分岐します。

8.4.6　ストップモード時の動作

ストップモードは , スタンバイモードの 1 つとして分類されます。スタンバイモードは , デバイス全体を停止させて , 待機状態にするモードです。そのため , 外部イベントの発生待ち状態での消費電力を大幅に低減できます。
ストップモードは , すべてのクロックの発振を停止し , 消費電力を最小にするモードです。

■ 概要

ストップモードを利用すると , すべてのクロックの発振が停止するため消費電力を最小にできます。
ただし , 復帰要求が発生してからプログラム動作へ復帰するまでには発振安定待ち時間を必要とします。

■ 設定

ストップモードになる前とストップモードからの復帰後の CPU のソースクロック (SRCCLK) によって , 設定が異なります。

● ストップモード前後の CPU のソースクロック (SRCCLK) がサブクロック (SBCLK) の場合

ストップモードへ移行する前に必要な設定を表 8.4-5 に示します。

表 8.4-5 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	ストップモード時の端子から出力信号を設定 0= ストップモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

ストップモードに移行する時点で , ドーズモードを設定しているときに , スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると , ストップモードからの復帰時に DOZE ビット "0" にクリアされ , ドーズモードが終了します。

● ストップモード前後のCPUのソースクロック (SRCCLK) がメインクロック (MCLK) の場合

ストップモードへ移行する前に必要な設定を表 8.4-6 に示します。

表 8.4-6 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MCLK) を選択 (CKS1, CKS0=00/01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	ストップモード時の端子から出力信号を設定 0= ストップモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

ストップモードに移行する時点で , ドーズモードを設定しているときに , スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると , ストップモードからの復帰時に DOZE ビット "0" にクリアされ , ドーズモードが終了します。

■ 移行

次の手順を実施するとストップモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) のSTOPビットに"1", TIMERビットに"0", SLEEPビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

ストップモードに移行する前に CPU が次の命令を実行しないよう , 例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI     #value_of_stop, R0      ; STOP ビット =1, SLVL1, SLVL0 ビット設定
LDI     #_STBCR, R12            ;
STB     R0, @R12                ; 書込み
LDUB    @R12, R0                ; 読出し ( ストップモードへ移行 )
MOV     R0, R0                  ; ダミー処理
NOP                             ; ダミー処理
NOP                             ; ダミー処理
```

■ ストップモードからの復帰

次のいずれかの場合に CPU がストップモードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
  - 外部割込み
  - USB ファンクションの WKUP ビットによる割込み

割込みレベルについては , 「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求でストップモードから復帰したときに, CPUが割込み要求を受け付けなかった場合は , ストップモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は , 割込み処理ルーチンへ分岐します。

8.5　使用上の注意

低消費電力モードを使用する際は , 次の点に注意してください。

- 次の低消費電力モードに切り換えるときに , 割込み要求が発生していると低消費電力モードへ移行できません。
  - ドーズモード
  - スリープモード
  - メインタイマモード
  - 時計モード
  - ストップモード
- 例として , 次の場合はスリープモードにはなりません。割込み要求をクリアしてからスリープモードへ移行してください。
  - スリープモード中, CPUが受け付けない割込み要求によりスリープモードから復帰した後で , 割込み要求をクリアせずに再びスリープモードへの移行動作を行なった。

第 9 章　リセット

リセットの機能と動作について説明します。

9.1　概要
9.2　構成
9.3　端子
9.4　レジスタ
9.5　動作説明
9.6　動作状態と遷移

9.1 概要

内部回路を初期化するためのリセットについて説明します。

■ 概要

本デバイスには , 次の 3 種類のリセット要因があります。

- $\overline{\text{INIT}}$ 端子入力
- ウォッチドッグリセット 0
- ウォッチドッグリセット 1
- ソフトウェアリセット

リセット要因が発生すると , すべてのプログラムと内部回路の動作を停止して , 状態を初期化します。

この状態をリセット状態とよびます。

リセット要因が解除されると , プログラムおよびハードウェア動作が開始されます。

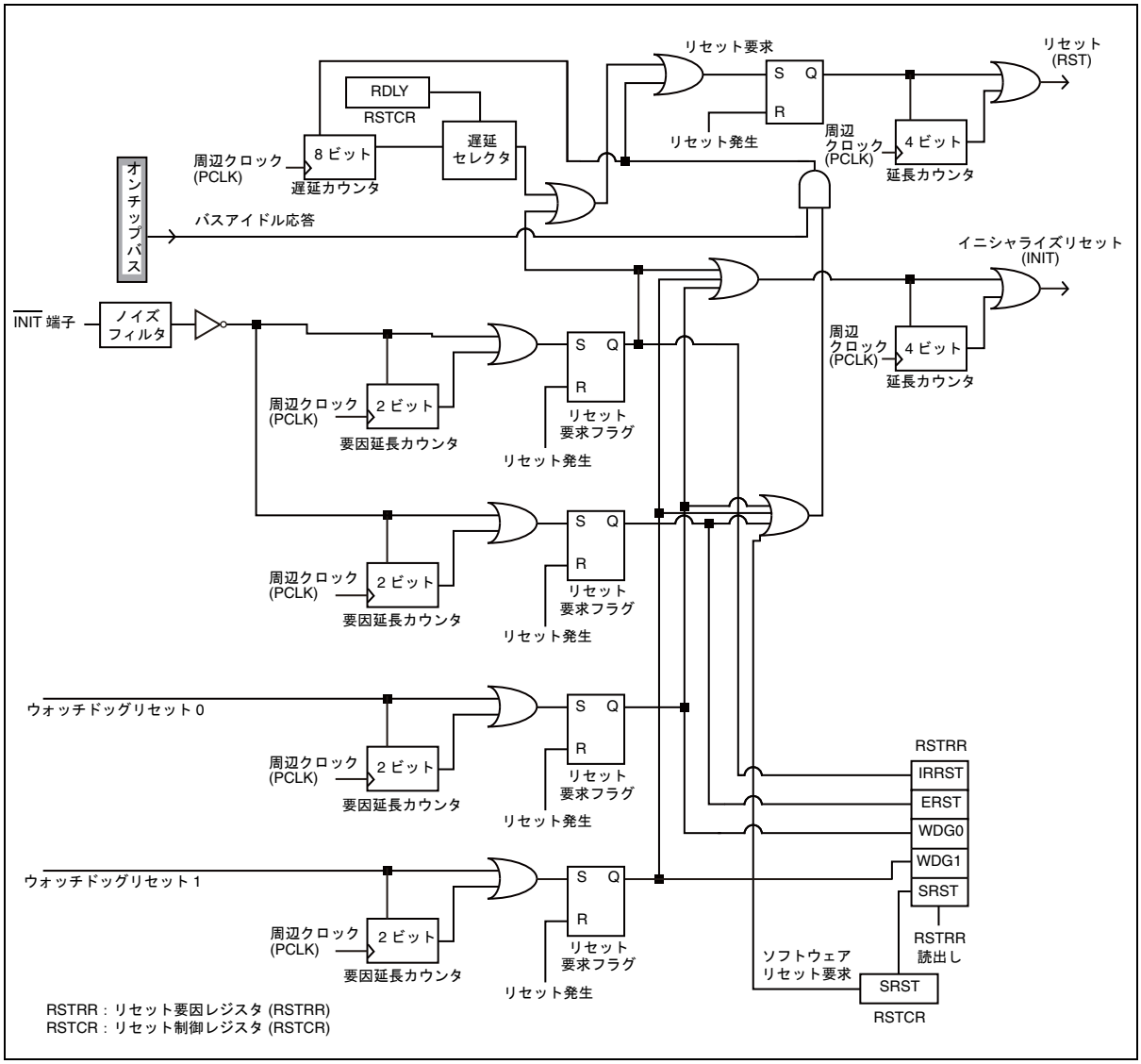
9.2　構成

リセットの構成を示します。

■ リセットのブロックダイヤグラム

リセットのブロックダイヤグラムを図 9.2-1 に示します。

図 9.2-1 リセットのブロックダイヤグラム



- リセット要因レジスタ (RSTRR)

  リセット要因を表示するレジスタです。
- リセット制御レジスタ (RSTCR)

  リセット発行を制御するレジスタです。

- 遅延カウンタ

  リセット要求が発生してから , バスがアイドル状態になるまでの期間をカウントします。

  一定時間内にバスアイドル状態にならない場合は , 強制的にイニシャライズリセット (INIT) が発行されます。

- 要因延長カウンタ

  リセット要因を延長する時間をカウントするカウンタです。各リセット要因は , リセットが発行されるまで保持されます。

■ クロック

リセットで使用するクロックを表 9.2-1 に示します。

表 9.2-1 リセットで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

9.3　端子

リセットで使用する端子について説明します。

■ 概要

リセットには次の端子があります。

- $\overline{\text{INIT}}$ 端子

  リセット要求を入力する , 外部入力端子です。

9.4　レジスタ

リセットで使用するレジスタの構成と機能について説明します。

■ リセットのレジスター一覧

リセットのレジスター一覧を表 9.4-1 に示します。

表 9.4-1 リセットのレジスター一覧

レジスタ略称	レジスタ名	参照先
RSTRR	リセット要因レジスタ	9.4.1
RSTCR	リセット制御レジスタ	9.4.2

9.4.1　リセット要因レジスタ (RSTRR)

リセット要因を記憶するレジスタです。

電源投入後 , このレジスタを読み出すまでの間に発生したリセット要因をすべて記憶します。

リセット要因レジスタ (RSTRR) のビット構成を図 9.4-1 に示します。

図 9.4-1 リセット要因レジスタ (RSTRR) のビット構成

bit	7	6	5	4	3	2	1	0
	IRRST	ERST	WDG1	WDG0	未定義	未定義	未定義	SRST
属性	R	R	R	R	R	R	R	R
初期値 :	* リセット要因により異なる							

R : リードオンリ

* : 初期値は次のとおりです。

リセット要因	初期値
$\overline{\text{INIT}}$ 端子入力	11XXXXXX
ウォッチドッグリセット 0	XXX1XXXX
ウォッチドッグリセット 0 のタイムアウト	1XX1XXXX
ウォッチドッグリセット 1	XX1XXXXX
ウォッチドッグリセット 1 のタイムアウト	1X1XXXXX
ソフトウェアリセット	XXXXXXX1
ソフトウェアリセット時のタイムアウト	1XXXXXX1
このレジスタの読出し	00000000

X : 各ビットは , 特定のリセット要因で初期化されます。
　他の要因では , 初期化されません。

リセット要因の判定については , 「9.5.2 リセット要因」の「■リセット要因判定フロー」を参照してください。

< 注意事項 >

- このレジスタを読み出すと , すべてのビットがクリアされます。
- 電源投入時は不定です。

[bit7] : IRRST (イレギュラーリセットビット)

バスアクセスの完了を待たずにリセットが発行されることを , イレギュラーリセットとよびます。イレギュラーリセットが発生すると , リセット時にメモリ内容が破壊されている可能性があります。

$\overline{\text{INIT}}$ 端子入力によるリセットか , リセットタイムアウトが発生すると , このビットが "1" に変わります。

読出し値	説明
0	イレギュラーリセットは検出されていません。 メモリ内容が破壊されていないことを保証します。
1	イレギュラーリセットが検出されました。 直前のリセットで , メモリ内容が破壊された可能性があります。

イレギュラーリセットについては , 「9.5.3 リセットの動作」の「■ イレギュラーリセット」を参照してください。

[bit6] : ERST (リセット端子入力ビット)

$\overline{\text{INIT}}$ 端子入力のリセットが発生したかどうかを示します。

読出し値	説明
0	$\overline{\text{INIT}}$ 端子入力のリセットは発生していません。
1	$\overline{\text{INIT}}$ 端子入力のリセットが発生しました。

[bit5] : WDG1 (ウォッチドッグリセット 1 ビット)

ウォッチドッグリセット 1 が発生したかどうかを示します。

ウォッチドッグタイマ 1 でリセットタイムアウトが発生した場合は , IRRST ビットも "1" に変わります。

読出し値	説明
0	ウォッチドッグリセット 1 は発生していません。
1	ウォッチドッグリセット 1 が発生しました。

[bit4] : WDG0 (ウォッチドッグリセット 0 ビット)

ウォッチドッグリセット 0 が発生したかどうかを示します。

ウォッチドッグタイマ 0 でリセットタイムアウトが発生した場合は , IRRST ビットも "1" に変わります。

読出し値	説明
0	ウォッチドッグリセット 0 は発生していません。
1	ウォッチドッグリセット 0 が発生しました。

[bit3 ～ bit1] : 未定義ビット

読出し時	値は不定です。

[bit0]：SRST (ソフトウェアリセットビット)

ソフトウェアリセット (RSTCR：SRST) が発生したかどうかを示します。

ソフトウェアリセット (RSTCR：SRST) でリセットタイムアウトが発生していた場合は , IRRST ビットも "1" に変わります。

読出し値	説明
0	ソフトウェアリセット (RSTCR：SRST) は発生していません。
1	ソフトウェアリセット (RSTCR：SRST) が発生しました。

9.4.2　リセット制御レジスタ (RSTCR)

リセットの発行を制御するレジスタです。

リセット制御レジスタ (RSTCR) のビット構成を図 9.4-2 に示します。

図 9.4-2 リセット制御レジスタ (RSTCR) のビット構成

bit	7	6	5	4	3	2	1	0
	RDLY2	RDLY1	RDLY0	予約	予約	予約	予約	SRST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

[bit7 ～ bit5]：RDLY2 ～ RDLY0 (リセット発行遅延ビット)

リセット要求が受け付けられてから, すべてのバスがアイドルになるまで, リセット発行を遅延させる時間を設定します (遅延サイクル)。

RDLY2	RDLY1	RDLY0	説明
0	0	0	周辺クロック (PCLK) × 2 サイクル
0	0	1	周辺クロック (PCLK) × 4 サイクル
0	1	0	周辺クロック (PCLK) × 8 サイクル
0	1	1	周辺クロック (PCLK) × 16 サイクル
1	0	0	周辺クロック (PCLK) × 32 サイクル
1	0	1	周辺クロック (PCLK) × 64 サイクル
1	1	0	周辺クロック (PCLK) × 128 サイクル
1	1	1	周辺クロック (PCLK) × 256 サイクル

< 注意事項 >

- 各ビットの値は , リセットにより初期化されます。リセット後の書込みは 1 回のみ可能です。
- 遅延サイクルの設定が短い場合は , リセットタイムアウトによるイレギュラーリセットが発生する可能性が高くなります。一方 , 遅延サイクルの設定が長い場合は , リセット要因が発生してからリセットが発行されるまでに長時間かかることがあります。
- イレギュラーリセットについては , 「9.5.3 リセットの動作」の「■ イレギュラーリセット」を参照してください。

[bit4 ～ bit1]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : SRST (ソフトウェアリセットビット)

このビットに "1" を書き込んだ後 , リセット制御レジスタ (RSTCR) を読み出すと , ソフトウェアリセット要求が発生します。

書込み値	説明
0	リセット要求を発生しません。
1	本レジスタの読出しによってリセット要求を発生します。

< 注意事項 >

- このビットに "1" を書き込んだ後は , リセットが発生するまで , リセット制御レジスタ (RSTCR) への書込みは無視されます。
- SRST=1 でソフトウェアリセット要求を発生させるまえに , ソースクロックをメインクロック (MCLK) の 2 分周に切り換えてください。

9.5　動作説明

リセットの動作について説明します。

9.5.1　リセットの種類

本デバイスには , 3 種類のリセットがあり , それぞれ発生要因や初期化する内容が異なります。

- 電源投入リセット (SINIT)

  分周回路の不定状態を初期化するために使用します。

  また , 同時にイニシャライズリセット (INIT) とリセット (RST) を発行します。

リセット要因	$\overline{\text{INIT}}$ 端子へ "L" レベルを入力
初期化対象	メインクロック (MCLK) の発振安定待ち時間
同時に発生するリセット	・イニシャライズリセット (INIT) ・リセット (RST)

- イニシャライズリセット (INIT)

  クロック制御の設定をリセットするために , 次のレジスタを初期化します

  ・クロックソース設定レジスタ (CSELR)・クロックソース監視レジスタ (CMONR)

  ・PLL設定レジスタ (PLLCR)　　・発振安定待ち設定レジスタ (CSTBR)

  また , 同時に , リセット (RST) を発行します。

リセット要因	・$\overline{\text{INIT}}$ 端子入力 ・リセットタイムアウト ・ウォッチドッグリセット 0 ・ウォッチドッグリセット 1
初期化対象	・ソースクロック = メインクロック (MCLK) の 2 分周 ・クロック発振 = メイン発振 , サブ /PLL 停止 ・PLL マクロ発振クロックの分周比 ・PLL クロック (PLLCLK) の逓倍率 ・PLL クロックの発振安定待ち時間 ・PLL 入力クロックの分周比 ・サブクロックの発振安定待ち時間
同時に発生するリセット	リセット (RST)

- リセット (RST)

  プログラム動作を初期化するリセットです。

リセット要因	・$\overline{\text{INIT}}$ 端子入力 ・リセットタイムアウト ・ウォッチドッグリセット 0 ・ウォッチドッグリセット 1 ・ソフトウェアリセット
初期化対象	電源投入リセット (SINIT) およびイニシャライズリセット (INIT) で初期化されるレジスタ以外のすべてのレジスタ設定およびハードウェア
同時に発生するリセット	なし

9.5.2　リセット要因

4 種類のリセット要因があります。リセット要因によって , 発行されるリセットのレベルが異なります。

また, バスアクセスの完了を確認せずに, イニシャライズリセット (INIT) を発行するイレギュラーリセットが発生するかどうかもリセット要因によって異なります。

- $\overline{\text{INIT}}$ 端子入力

  $\overline{\text{INIT}}$ 端子に "L" レベルが入力されている間 , イニシャライズリセット (INIT) 要求が発生します。

発生要因	$\overline{\text{INIT}}$ 端子へ "L" レベルを入力
解除要因	$\overline{\text{INIT}}$ 端子へ "H" レベルを入力
リセットレベル	電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) すべてを発行
対応フラグ	リセット要因レジスタ (RSTRR) の ERST ビット =1
動作	バスアクセスの完了を待たずに電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) を発行 (イレギュラーリセット)

- ウォッチドッグリセット 0

  ウォッチドッグタイマ 0 で設定した周期が経過すると , ウォッチドッグリセット 0 要求が発生します。ウォッチドッグリセット 0 要求が発生すると , イニシャライズリセット (INIT) が発行されます。

発生要因	ウォッチドッグタイマ 0 で設定した周期が経過
解除要因	イニシャライズリセット (INIT) の発行後 , 自動的に解除
リセットレベル	イニシャライズリセット (INIT) とリセット (RST) を発行
対応フラグ	リセット要因レジスタ (RSTRR) の WDG0 ビット =1
動作	・バスアクセスの完了を確認してからイニシャライズリセット (INIT) とリセット (RST) を発行 ・バスアクセスが完了せずリセットタイムアウトが発生した場合は , 強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

- ウォッチドッグリセット 1

  ウォッチドッグタイマ 1 で設定した周期が経過すると , ウォッチドッグリセット 1 要求が発生します。ウォッチドッグリセット 1 要求が発生すると , イニシャライズリセット (INIT) が発行されます。

発生要因	ウォッチドッグタイマ 1 で設定した周期が経過
解除要因	イニシャライズリセット (INIT) の発行後 , 自動的に解除
リセットレベル	イニシャライズリセット (INIT) とリセット (RST) を発行
対応フラグ	リセット要因レジスタ (RSTRR) の WDG1 ビット =1
動作	・バスアクセスの完了を確認してからイニシャライズリセット (INIT) とリセット (RST) を発行 ・バスアクセスが完了せずリセットタイムアウトが発生した場合は , 強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

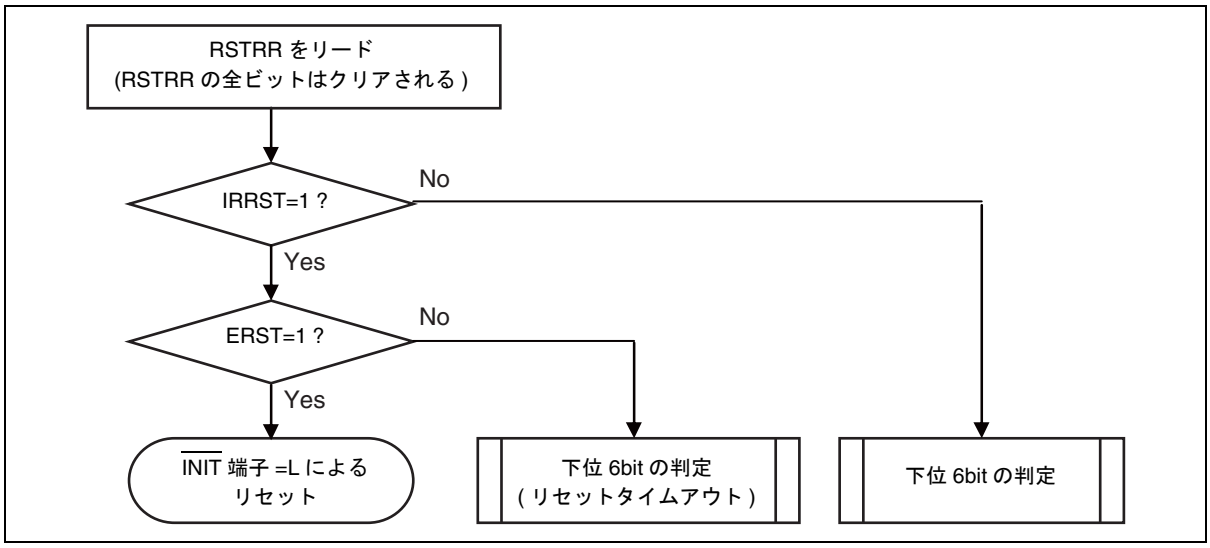
- ソフトウェアリセット (RSTCR : SRST)

  リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に , リセット制御レジスタ (RSTCR) を読み出すと , リセット (RST) 要求が発生します。

発生要因	リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に , リセット制御レジスタ (RSTCR) を読み出す * SRST ビットに "1" を書き込む前にソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周に切り換えてください。
解除要因	リセット (RST) の発行後 , 自動的に解除
リセットレベル	リセット (RST) のみを発行
対応フラグ	リセット要因レジスタ (RSTRR) の SRST ビット =1
動作	・バスアクセスの完了を確認してからリセット (RST) を発行 ・バスアクセスが完了せずリセットタイムアウトが発生した場合は , 強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

■ リセット要因判定フロー

図 9.5-1 リセット要因判定フロー



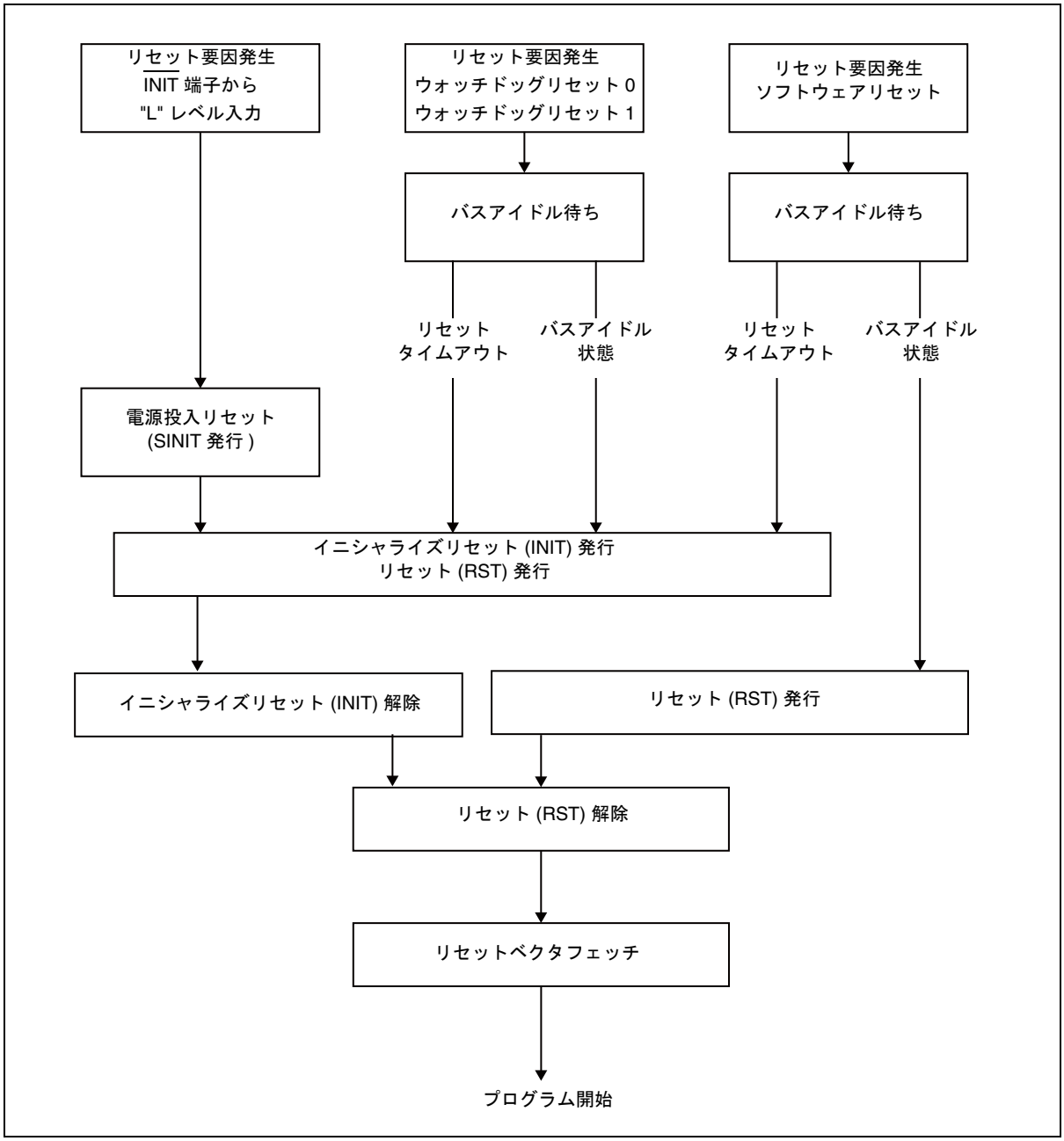
9.5.3　リセットの動作

■ リセット動作の流れ

リセットが発生し, リセット状態に入ってから, CPU が動作を開始するまでの一連の動作をリセットシーケンスとよびます。

リセットシーケンスを図 9.5-2 に示します。

図 9.5-2 リセットシーケンス



1. リセット要因の取り込みと延長

   発生したリセット要因が非同期で取り込まれ , リセットが発行されるまで保持されます。

   2 ビットの要因延長カウンタを持ち , 最小でも 4T (T: 周辺クロック (PCLK) の周期) リセット要因を保持します。

2. リセット要求の発生

   生成したリセット要求を内部バス制御部へ通知し , 次の処理を行います。

   - CPU のプログラム動作の停止 (スリープモードと同一処理。)
   - すべてのバスへアイドル要求が通知されたことの確認

   同時に遅延カウンタがカウントを開始します。

3. リセット要求の受理とリセット発行

   リセット要求に対するすべての処理が完了すると , リセット要求が受理されます。

   バスから完了の応答がある前に , 遅延カウンタがオーバフローしリセットタイムアウトが発生すると , イレギュラーリセットが発行されます。

4. リセットの発行

   - $\overline{\text{INIT}}$ 端子へ "L" レベルを入力

     電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) が発行されます。

   - ウォッチドッグリセット 0

     イニシャライズリセット (INIT), リセット (RST) が発行されます。

   - ウォッチドッグリセット 1

     イニシャライズリセット (INIT), リセット (RST) が発行されます。

   - リセットタイムアウト

     イニシャライズリセット (INIT), リセット (RST) が発行されます。

   - ソフトウェアリセット (RSTCR：SRST)

     リセット (RST) が発行されます。

5. リセット要因の解除

   リセット要因が解除されると , 4T (T: 周辺クロック (PCLK)) の間 , リセット要求が延長されます。その後 , 16T (T: 周辺クロック (PCLK)) リセット周期を維持します。このため , リセットの最小発行周期は 20T になります。

6. リセットの解除

   リセットサイクルが終了すると , リセットが解除されハードウェアが動作を開始します。

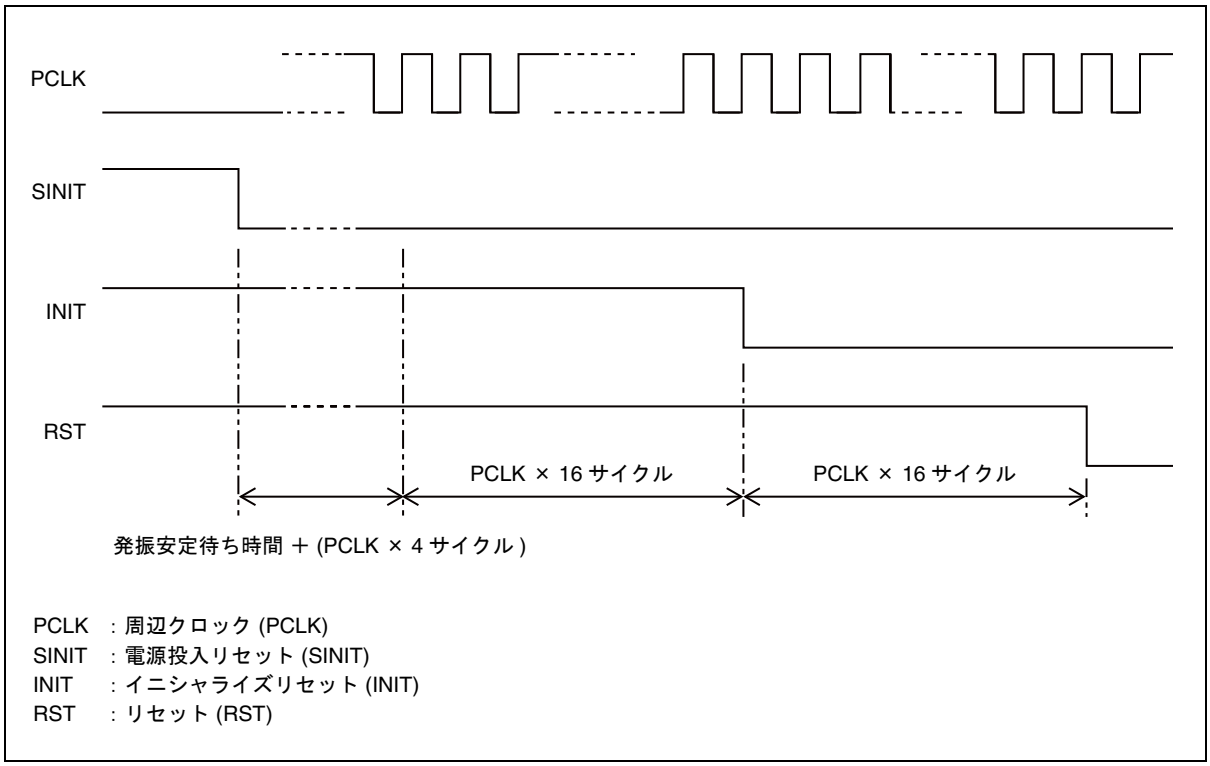
7. リセットベクタの取込み (フェッチ)

   CPU がリセットベクタ (000F FFFC$_H$) の取込み (フェッチ) を開始します。CPU は取得したリセットベクタをプログラムカウンタ (PC) に取り込んで , プログラム動作を開始します。

■ 電源投入リセット (SINIT)

電源リセット (SINIT) が発行されると同時にイニシャライズリセット (INIT), リセット (RST) も発行されます。電源投入リセット (SINIT) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-3 に示します。

図 9.5-3 電源投入リセット (SINIT) のリセット要因解除後の各リセット発行シーケンス

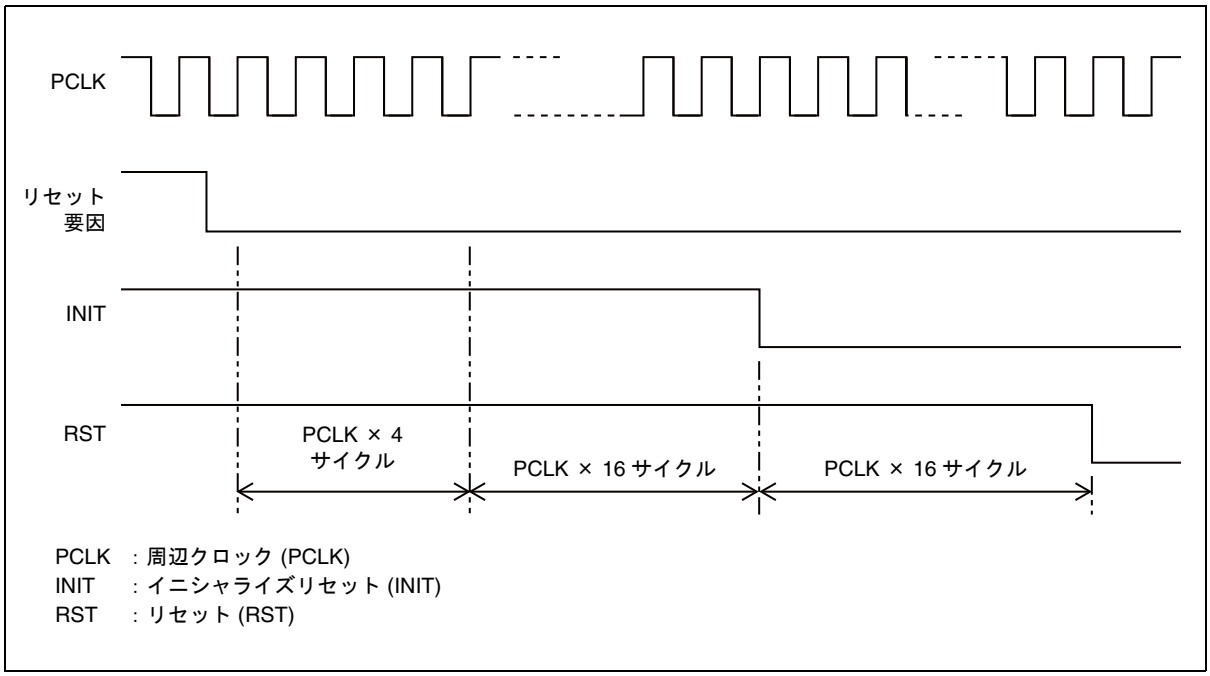


■ イニシャライズリセット (INIT)

イニシャライズリセット (INIT) が発行されると同時にリセット (RST) も発行されます。

イニシャライズリセット (INIT) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-4 に示します。

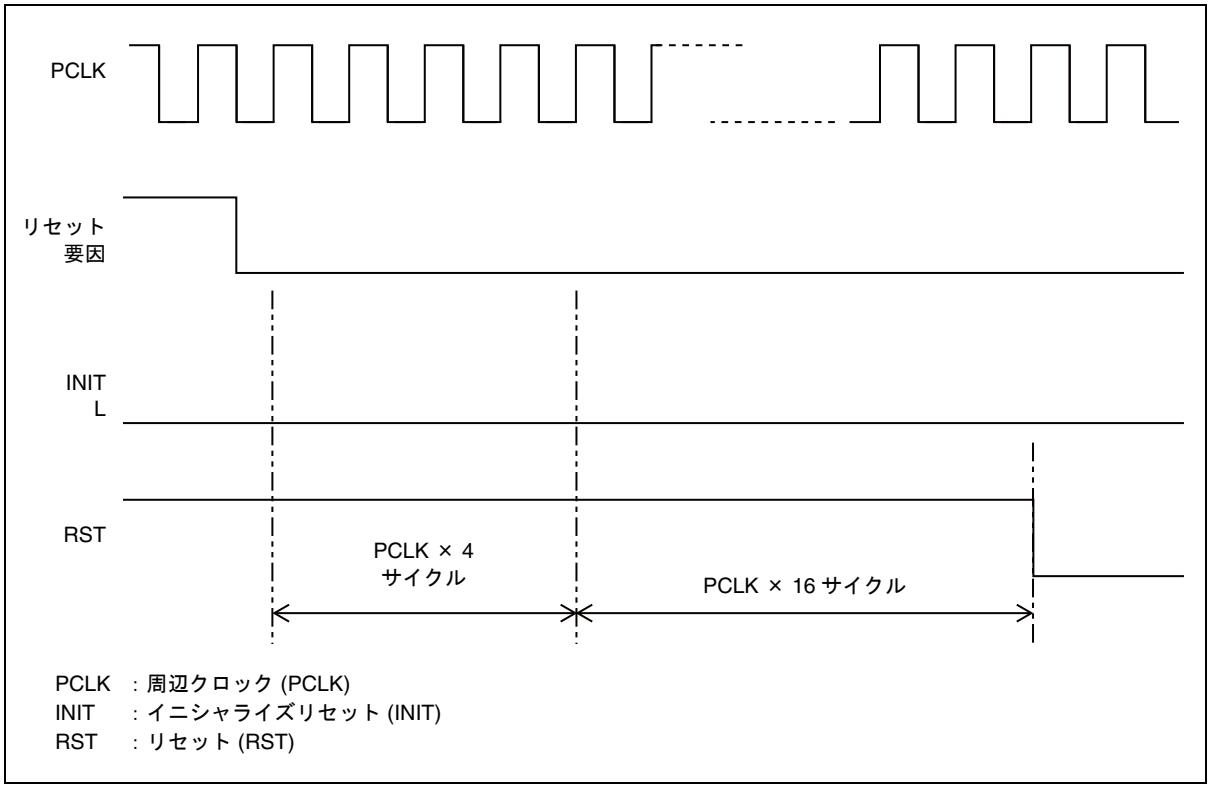
図 9.5-4 イニシャライズリセット (INIT) のリセット要因解除後の各リセット発行シーケンス



■ リセット (RST)

リセット (RST) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-5 に示します。

図 9.5-5 リセット (RST) のリセット要因解除後の各リセット発行シーケンス



9.5.4 イレギュラーリセット

次の場合にイレギュラーリセットが発生します。

- $\overline{\text{INIT}}$ 端子入力 (INIT) 時
- リセットタイムアウト発生時

  (ウォッチドッグリセット 0/ ウォッチドッグリセット 1/ ソフトウェアリセット (RSTCR：SRST) 時 , バスから応答がある前に , 遅延カウンタがオーバフローした)

イレギュラーリセットが発生すると , 次の処理が行われます。

- イニシャライズリセット (INIT) を発行
- リセット要因レジスタ (RSTRR) の IRRST ビットが "1" に変わる

< 注意事項 >

イレギュラーリセット発生時は , リセットが入力される時点でバスアクセスが行われていた可能性があり , メモリ内容が破壊されていることがあります。

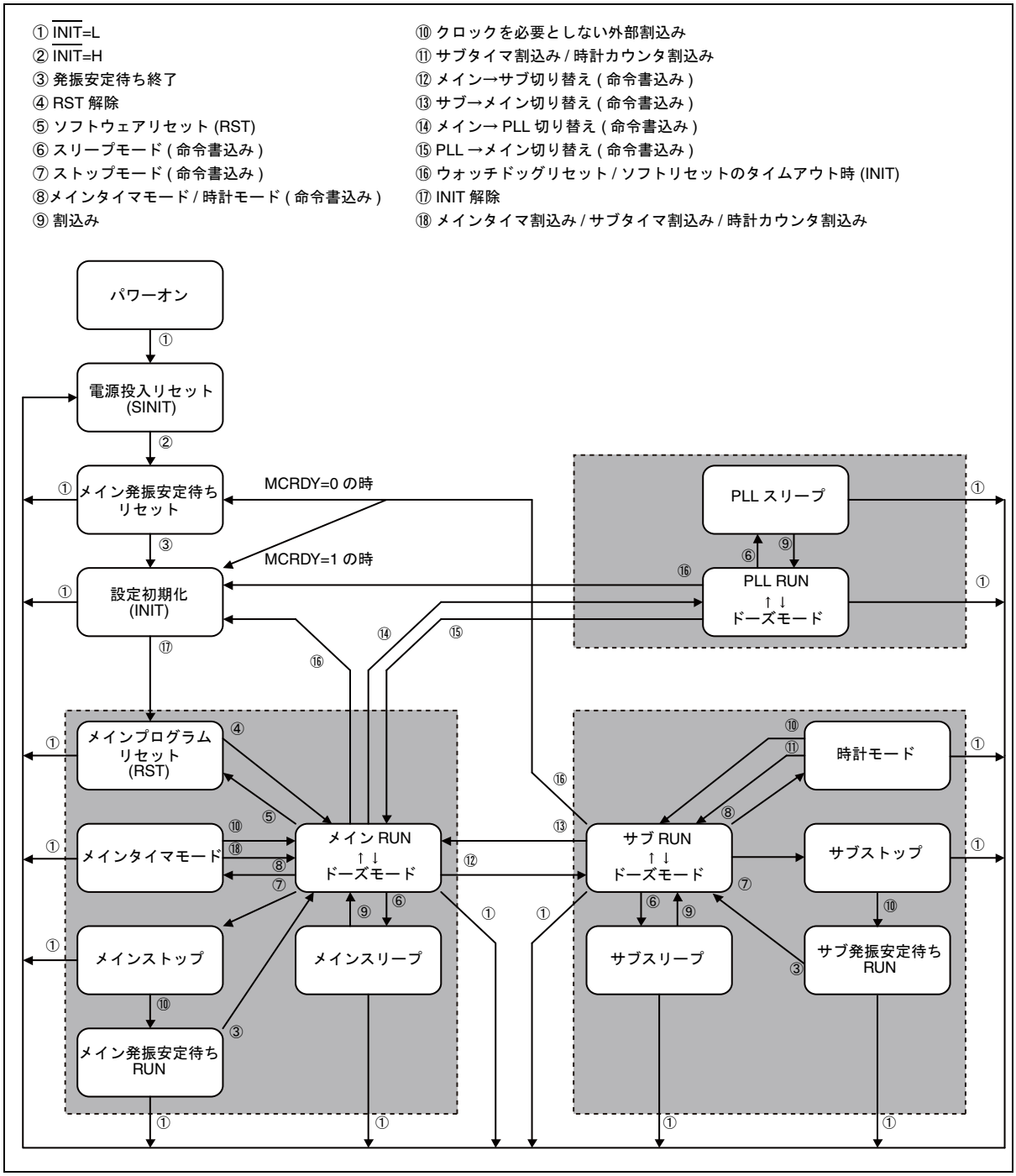
9.6　動作状態と遷移

各種状態と , その制御について説明します。

■ 動作状態

動作状態の遷移を図 9.6-1 に示します。

図 9.6-1 動作状態の遷移



● RUN 状態 (通常動作)

プログラム実行状態です。

すべての内部クロックが供給され , すべての回路が動作可能な状態です。

ストップ状態とメインタイマモード状態と時計モード状態の外部端子の Hi-Z 制御は解除されます。

● スリープ状態

プログラム停止状態です。プログラム動作によって遷移します。

CPU のプログラム実行のみを停止します。周辺回路は動作が可能です。

各種内蔵メモリおよび外部バスは , DMA コントローラ (DMAC) が要求するまで停止します。

内部バスは , バススリープモードの時 , DMA コントローラ (DMAC) が要求するまで停止状態です。

- 有効な割込み要求が発生すると , RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ遷移します。

● 時計モード状態

デバイス停止状態です。プログラム動作によって遷移します。

発振回路 (サブクロック (SBCLK)) 以外の内部回路が停止します。

外部端子を一律 Hi-Z にすることができます。(一部端子を除く)

- 外部割込み要求が発生すると , RUN 状態 (通常動作) へ遷移します。
- サブタイマ割込み , 時計カウンタ割込み要求が発生すると , RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

時計モードに移行する前に , メインクロック (MCLK) と PLL クロック (PLLCLK) の発振を停止してください。

● メインタイマモード状態

デバイス停止状態です。プログラムによって遷移します。発振回路 (メインクロック (MCLK), サブクロック (SBCLK)) 以外の内部回路が停止します。外部端子を一律 Hi-Z にすることができます (一部端子を除く)。

- 外部割込み要求が発生すると , RUN 状態 (通常動作) へ遷移します。
- メインタイマ割込み , サブタイマ割込み , 時計カウンタ割込み要求が発生すると , RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

メインタイマモードに移行する前に PLL クロック (PLLCLK) の発振を停止してください。

● ストップ状態

デバイス停止状態です。プログラム動作によって移行します。

すべての内部回路が停止します。

外部端子を一律 Hi-Z にすることができます。(一部端子を除く)

- 外部割込み要求が発生すると , 発振安定待ち RUN 状態へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

ストップ状態に移行する前に , PLL クロック (PLLCLK) の発振を停止してください。

● 発振安定待ち RUN 状態

デバイス停止状態です。ストップ状態からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが , 動作を許可されていた発振回路は動作しています。

- 発振安定待ち時間が経過すると , RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ移行します。

● 発振安定待ちリセット (RST) 状態

デバイス停止状態です。電源投入リセット (SINIT) からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが , メイン発振回路は動作しています。

- 発振安定待ち時間が経過すると , イニシャライズリセット (INIT) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると , 電源投入リセット (SINIT) 状態へ移行します。

● プログラムリセット (RST) 状態

プログラム初期化状態です。リセット (RST) 要求を受け付けたとき , またはイニシャライズリセット (INIT) 状態の終了後に移行します。

CPU のプログラム実行は停止し , プログラムカウンタは初期化されます。周辺回路は初期化されます。(一部を除く)

すべての内部クロックと動作が許可されていた発振回路と PLL クロック (PLLCLK) は動作しています。

- 内部回路に対してリセット (RST) 要求し , リセット (RST) 要求が消失すると , RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると , 電源投入リセット (SINIT) 状態へ移行します。

● イニシャライズリセット (INIT) 状態

全設定初期化状態です。イニシャライズリセット (INIT) 要求の受付けによって移行します。

CPU のプログラム実行は停止し , プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メインクロック (MCLK) 発振回路は動作します (サブクロック (SBCLK) 発振回路と PLL クロック (PLLCLK) 発振回路は動作を停止します) 。$\overline{\text{INIT}}$ 端子への "L" レベル入力期間は , すべての内部クロックは停止しますが , それ以外では動作します。

内部回路に対し , イニシャライズリセット (INIT) とリセット (RST) を出力します。

- イニシャライズリセット (INIT) 要求が消失すると , この状態は解除されて , プログラムリセット (RST) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると , 電源投入リセット (SINIT) 状態へ移行します。

■ 各状態遷移要求の優先順位

どの状態においても , 各状態遷移要求は以下の優先順位に従います。ただし , 一部要求は特定の状態でしか発生しませんので , その状態でしか有効になりません。



最強	電源投入リセット (SINIT) 要求	
	イニシャライズリセット (INIT) 要求	
	発振安定待ち時間の終了	発振安定待ちリセット状態 , 発振安定待ち RUN 状態のみ発生
	リセット (RST) 要求	
	有効な割込み要求	RUN, スリープ , ストップ , 時計モード状態のみ発生
	ストップモード要求 (レジスタ書込み)	RUN 状態のみ発生
	時計モード要求 (レジスタ書込み)	RUN 状態のみ発生
最弱	スリープモード要求 (レジスタ書込み)	RUN 状態のみ発生

第 10 章 割込みコントローラ

割込みコントローラの機能と動作について説明します。

10.1 概要
10.2 構成
10.3 レジスタ
10.4 動作説明と設定手順例
10.5 使用上の注意

10.1　概要

割込みコントローラは , 割込み要求の優先度を判定して , 要求を CPU へ送ります。

■ 概要

割込みコントローラには次の機能があります。

- 周辺機能からの割込み要求を受け付けます。
- 割込みレベル , および割込みベクタによって , CPU へ送る優先順位を判定します。
- 最も優先度の高い割込み要求を CPU へ送ります。
- 最も優先度の高い割込み要求の割込みベクタ番号を CPU へ送ります。
- 割込みレベルが "1111" 以外の割込み要求で , スリープモードおよびストップモードからの復帰要求を生成します。

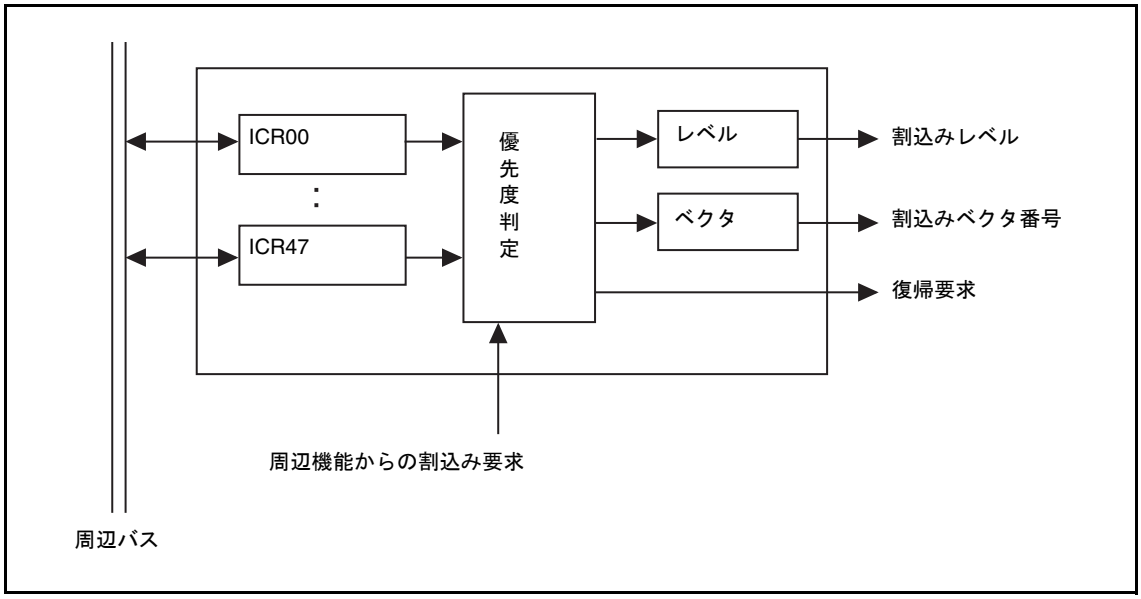
10.2　構成

割込みコントローラの構成を示します。

■ 割込みコントローラのブロックダイヤグラム

割込みコントローラのブロックダイヤグラムを図 10.2-1 に示します。

図 10.2-1 割込みコントローラのブロックダイヤグラム



- 割込み優先度判定回路

  入ってきた割込み要求の優先度を判定します。また , スリープモード / ストップモードのときは復帰要求を生成します。
- 割込みレベル発生回路

  割込み要求の割込みレベルを CPU に送ります。
- 割込みベクタ発生回路

  割込み要求の割込みベクタを CPU に送ります。
- 割込みコントロールレジスタ (ICR00 ～ ICR47)

  割込み要求の割込みレベルを設定するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

10.3　レジスタ

割込みコントローラで使用するレジスタの構成と機能について説明します。

■ 割込みコントローラのレジスター覧

割込みコントローラのレジスター覧を表 10.3-1 に示します。

表 10.3-1 割込みコントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
ICR00 ～ ICR47	割込みコントロールレジスタ 00 ～ 47	10.3.1

10.3.1　割込みコントロールレジスタ (ICR00 ～ ICR47)

割込みレベルを設定するレジスタです。各割込みの入力に対して 1 つずつ設けられています。

割込みコントロールレジスタ (ICR00 ～ ICR47) のビット構成を図 10.3-1 に示します。

図 10.3-1 割込みコントロールレジスタ (ICR00 ～ ICR47) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	IL4	IL3	IL2	IL1	IL0
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

R/W：リード / ライト可能
R　：リードオンリ

[bit7 ～ bit5]：未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit4 ～ bit0] : IL4 ～ IL0 (割込みレベルコントロールビット)

割込み要求の割込みレベルを指定します。

リセットされると IL4 ～ IL0=11111 ("11111_B" は「レベル 31 割込み禁止」) に初期化されます。

IL4	IL3	IL2	IL1	IL0	割込みレベル	
1	0	0	0	0	16	設定可能な最強レベル
1	0	0	0	1	17	(強)
1	0	0	1	0	18	
1	0	0	1	1	19	
1	0	1	0	0	20	
1	0	1	0	1	21	
1	0	1	1	0	22	
1	0	1	1	1	23	
1	1	0	0	0	24	
1	1	0	0	1	25	
1	1	0	1	0	26	
1	1	0	1	1	27	
1	1	1	0	0	28	(弱)
1	1	1	0	1	29	
1	1	1	1	0	30	設定可能な最弱レベル
1	1	1	1	1	31	割込み禁止

< 注意事項 >

- このレジスタに設定した割込みレベルが , CPU の割込みレベルマスクレジスタ (ILM) のマスクレベル値より弱い場合は , CPU 側で割込み要求がマスクされます。
- 周辺機能によって , 割込みレベルを設定する割込み制御レジスタ (ICR00 ～ ICR47) が異なります。周辺機能と割込みコントロールレジスタ (ICR00 ～ ICR47) の対応については , 「付録 C 割込みベクタ」を参照してください。
- IL4 ビットは "1" 固定で , IL3 ～ IL0 のみ設定が可能です。

10.4　動作説明と設定手順例

割込みコントローラの動作について説明します。

10.4.1　割込みコントローラの動作説明

割込みコントローラの 3 つの動作について説明します。

- 割込みコントロールレジスタ (ICR00 ～ ICR47) を使った割込みレベルの指定
- 割込み要求の優先度判定
- スリープモード / ストップモードからの復帰要求の生成

■ 割込みレベルの指定

割込みコントロールレジスタ (ICR00 ～ ICR47) を使った割込みレベルの設定手順を示します。

1. 割込み要求を発生させたい周辺機能に対応する割込みベクタ番号の割込みコントロールレジスタ (ICR00 ～ ICR47) に割込みレベルを設定する。
   割込みベクタ番号と割込み要求の対応については ,「付録 C 割込みベクタ」を参照してください。
2. 割込み要求を発生させたい周辺機能側で , 割込み要求の発生を許可する。
3. 設定した周辺機能を起動する。

■ 割込み要求の優先度判定

割込みコントローラは , 同時に発生している割込み要求の中から , 最も優先度の高い割込み要求の割込みレベルと割込みベクタ番号を CPU へ送ります。

割込み要求の優先順位判定基準を , 判定の順に示します。

1. 割込みレベルが "30" 以下の割込み要求か。(レベル 31 は「割込み禁止」です。)
2. 割込みレベルの数値が最も小さい割込み要求か。
3. 割込みレベルが同じ場合は , その中で割込みベクタ番号が最も小さい割込み要求か。

上記の判定基準にあてはまる割込み要求がなかった場合は , CPU に割込み要求がないことを示す割込みレベル "31" (11111_B) を出力します。

■ スリープモードからの復帰要求の生成

割込みレベルが "31" 以外の割込み要求が発生すると , クロック制御部に対して , スリープモードからの復帰要求を発生します。

■ ストップモードからの復帰要求の生成

外部割込み /USB ファンクションから , 割込みレベルが "31" 以外の割込み要求が発生すると , クロック制御部に対して , ストップモードからの復帰要求を発生します。

ストップから復帰後 , 割込み優先判定回路は , クロックの供給が開始してから動作を再開するので , 割込み優先判定回路の結果が出るまでは , CPU は命令を実行しています。

< 注意事項 >

ストップモードからの復帰要因として使用しない割込みには , 対応する割込みコントロールレジスタ (ICR00 ～ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

10.5　使用上の注意

割込みコントローラを使用する際は , 次の点に注意してください。

■ プログラムに関する注意

- スリープモード/ストップモードからの復帰要求を発生したくない割込み要求には , 対応する割込みコントロールレジスタ (ICR00 ～ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

■ 動作に関する注意

- 割込みコントロールレジスタ (ICR00 ～ ICR47) に設定した割込みレベルが , CPU の割込みレベルマスクレジスタ (ILM) のレベルマスク値より弱い場合は , CPU 側で割込み要求がマスクされます。

第 11 章 割込み要求一括読出し機能

割込み要求一括読出し機能について説明します。

11.1 概要
11.2 構成
11.3 レジスタ
11.4 使用上の注意

11.1 概要

割込み要求一括読出し機能は, 1つの割込みベクタ番号に割り当てられた複数の割込み要求を一括で読み出す機能です。
FR80 ファミリ CPU のビットサーチ命令を使用することで , どの割込み要求が発生しているのかを素早く確認できます。

この機能を使用すると , 1 つの割込みベクタ番号を兼用している割込み要求が発生しているかどうかを一度で確認できます。
ただし , この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは , 各周辺機能のレジスタでクリアしてください。

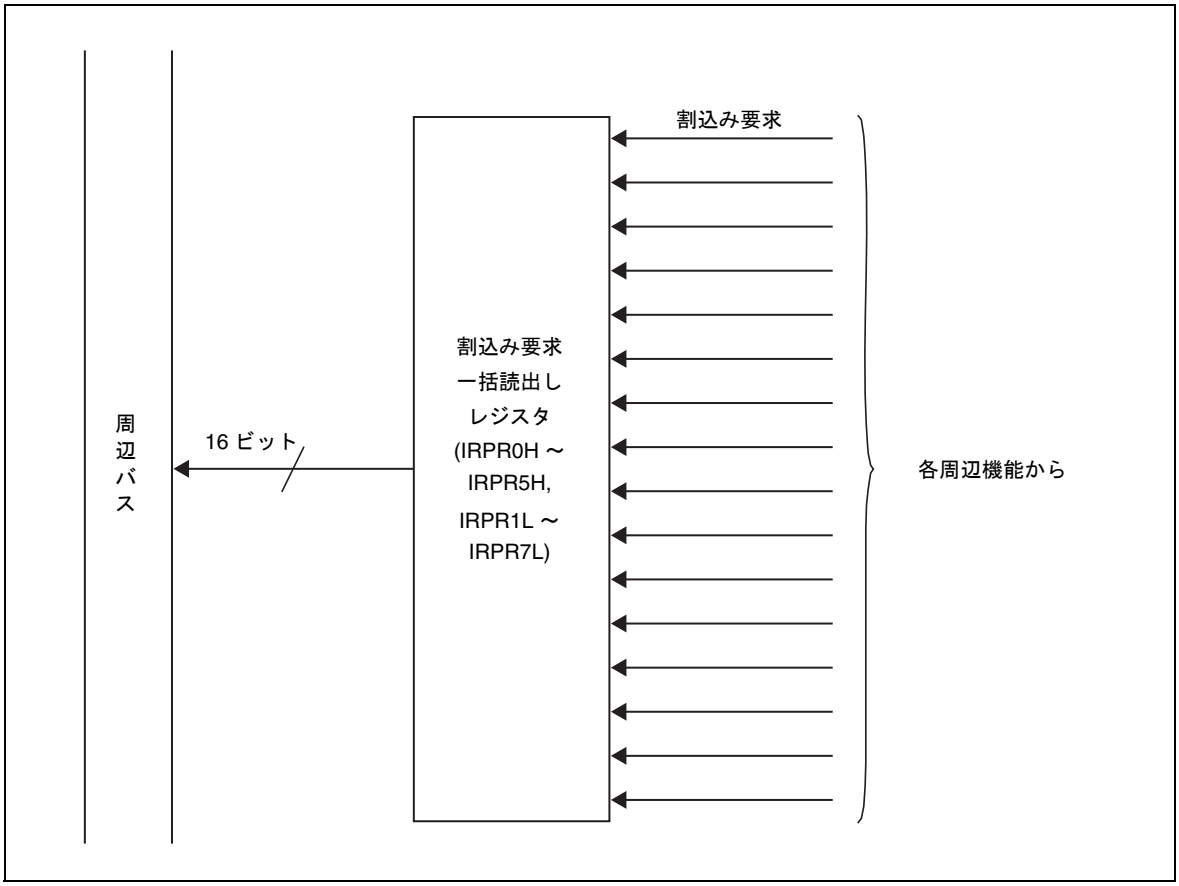
11.2　構成

割込み要求一括読出し機能の構成を示します。

■ 割込み要求一括読出し機能のブロックダイヤグラム

割込み要求一括読出し機能のブロックダイヤグラムを図 11.2-1 に示します。

図 11.2-1 割込み要求一括読出し機能のブロックダイヤグラム



■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

11.3　レジスタ

割込み要求一括読出し機能で使用するレジスタの構成と機能について説明します。

■ 割込み要求一括読出し機能のレジスター覧

割込み要求一括読出し機能のレジスター覧を表 11.3-1 に示します。

表 11.3-1 割込み要求一括読出し機能のレジスター覧

レジスタ略称	レジスタ名	参照先
IRPR0H	割込み要求一括読出しレジスタ 0 上位	11.3.1
IRPR1H/ IRPR1L	割込み要求一括読出しレジスタ 1 上位 / 下位	11.3.2
IRPR2L	割込み要求一括読出しレジスタ 2 下位	11.3.3
IRPR3H	割込み要求一括読出しレジスタ 3 上位	11.3.4
IRPR4H	割込み要求一括読出しレジスタ 4 上位	11.3.5
IRPR5H/ IRPR5L	割込み要求一括読出しレジスタ 5 上位 / 下位	11.3.6, 11.3.7
IRPR7L	割込み要求一括読出しレジスタ 7 下位	11.3.8

11.3.1　割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H)

割込みベクタ番号 20 (10 進) は , 16 ビットリロードタイマ ch.0 ～ ch.2 の割込み要求が割り当てられています。このレジスタを読み出すと , どのチャネルで割込み要求が発生しているのか確認できます。

割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H) のビット構成を図 11.3-1 に示します。

図 11.3-1 割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H) のビット構成

割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H)

bit	15	14	13	12	11	10	9	8
	RTIR0	RTIR1	RTIR2	未定義	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生したチャネルに対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	RTIR0	0	リロードタイマ ch.0 で割込み要求なし
		1	リロードタイマ ch.0 で割込み要求あり
bit14	RTIR1	0	リロードタイマ ch.1 で割込み要求なし
		1	リロードタイマ ch.1 で割込み要求あり
bit13	RTIR2	0	リロードタイマ ch.2 で割込み要求なし
		1	リロードタイマ ch.2 で割込み要求あり
bit12 ～ bit8	未定義	"0" が読み出されます。	

11.3.2　割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L)

割込みベクタ番号39 (10進) は, マルチファンクションシリアルインタフェース ch.8～ch.11 に兼用されています。このレジスタを読み出すと , 割込み要求が発生したチャネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L) のビット構成を図 11.3-2 に示します。

図 11.3-2 割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L) のビット構成

割込み要求一括読出し機能レジスタ 1 上位 (IRPR1H)

bit	15	14	13	12	11	10	9	8
	RXIR8	TXIR8	ISIR8	未定義	RXIR9	TXIR9	ISIR9	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

割込み要求一括読出し機能レジスタ 1 下位 (IRPR1L)

bit	7	6	5	4	3	2	1	0
	RXIR10	TXIR10	ISIR10	未定義	RXIR11	TXIR11	ISIR11	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	RXIR8	0	ch.8 で UART/CSIO/I^{2}C の受信割込み要求なし
		1	ch.8 で UART/CSIO/I^{2}C の受信割込み要求あり
bit14	TXIR8	0	ch.8 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.8 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit13	ISIR8	0	ch.8 で I^{2}C のステータス割込み要求なし
		1	ch.8 で I^{2}C のステータス割込み要求あり
bit12	未定義	"0" が読み出されます。	
bit11	RXIR9	0	ch.9 で UART/CSIO/I^{2}C の受信割込み要求なし
		1	ch.9 で UART/CSIO/I^{2}C の受信割込み要求あり
bit10	TXIR9	0	ch.9 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.9 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit9	ISIR9	0	ch.9 で I^{2}C のステータス割込み要求なし
		1	ch.9 で I^{2}C のステータス割込み要求あり
bit8	未定義	"0" が読み出されます。	
bit7	RXIR10	0	ch.10 で UART/CSIO/I^{2}C の受信割込み要求なし
		1	ch.10 で UART/CSIO/I^{2}C の受信割込み要求あり
bit6	TXIR10	0	ch.10 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.10 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit5	ISIR10	0	ch.10 で I^{2}C のステータス割込み要求なし
		1	ch.10 で I^{2}C のステータス割込み要求あり
bit4	未定義	"0" が読み出されます。	
bit3	RXIR11	0	ch.11 で UART/CSIO/I^{2}C の受信割込み要求なし
		1	ch.11 で UART/CSIO/I^{2}C の受信割込み要求あり
bit2	TXIR11	0	ch.11 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.11 で UART/CSIO/I^{2}C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit1	ISIR11	0	ch.11 で I^{2}C のステータス割込み要求なし
		1	ch.11 で I^{2}C のステータス割込み要求あり
bit0	未定義	"0" が読み出されます。	

11.3.3　割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L)

割込みベクタ番号 41 (10 進) は , 次の周辺機能に兼用されています。

- メインタイマ
- サブタイマ
- 時計カウンタ

このレジスタを読み出すと , 割込み要求が発生した周辺機能を確認できます。

割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L) のビット構成を図 11.3-3 に示します。

図 11.3-3 割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L) のビット構成

bit	7	6	5	4	3	2	1	0
	MCIR	SCIR	TCIR	未定義	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	MCIR	0	メインタイマ割込み要求なし
		1	メインタイマ割込み要求あり
bit6	SCIR	0	サブタイマ割込み要求なし
		1	サブタイマ割込み要求あり
bit5	TCIR	0	時計カウンタ割込み要求なし
		1	時計カウンタ割込み要求あり
bit4 ～ bit0	未定義	"0" が読み出されます。	

11.3.4　割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H)

割込みベクタ番号 44 (10 進) は , 32 ビットインプットキャプチャ ch.0 ～ ch.3 に兼用されています。このレジスタを読み出すと , 割込み要求が発生したチャネルを確認できます。

割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H) のビット構成を図 11.3-4 に示します。

図 11.3-4 割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H) のビット構成

bit	15	14	13	12	11	10	9	8
	ICIR0	ICIR1	ICIR2	ICIR3	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	ICIR0	0	32 ビットインプットキャプチャ ch.0 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.0 で割込み要求あり
bit14	ICIR1	0	32 ビットインプットキャプチャ ch.1 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.1 で割込み要求あり
bit13	ICIR2	0	32 ビットインプットキャプチャ ch.2 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.2 で割込み要求あり
bit12	ICIR3	0	32 ビットインプットキャプチャ ch.3 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.3 で割込み要求あり
bit11 ～ bit8	未定義	"0" が読み出されます。	

11.3.5　割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H)

割込みベクタ番号 45 (10 進) は , 32 ビットアウトプットコンペア ch.0 ～ ch.3 に兼用されています。このレジスタを読み出すと , 割込み要求が発生したチャネルを確認できます。

割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H) のビット構成を図 11.3-5 に示します。

図 11.3-5 割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H) のビット構成

bit	15	14	13	12	11	10	9	8
	OCIR0	OCIR1	OCIR2	OCIR3	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	OCIR0	0	32 ビットアウトプットコンペア ch.0 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.0 で割込み要求あり
bit14	OCIR1	0	32 ビットアウトプットコンペア ch.1 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.1 で割込み要求あり
bit13	OCIR2	0	32 ビットアウトプットコンペア ch.2 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.2 で割込み要求あり
bit12	OCIR3	0	32 ビットアウトプットコンペア ch.3 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.3 で割込み要求あり
bit11 ～ bit8	未定義	"0" が読み出されます。	

11.3.6　割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H)

割込みベクタ番号 50 (10 進) は , ベースタイマ ch.4 と ch.5 に兼用されています。このレジスタを読み出すと , 割込み要求が発生したチャネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H) のビット構成を図 11.3-6に示します。

図 11.3-6 割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H) のビット構成

bit	15	14	13	12	11	10	9	8
	BT0IR4	BT1IR4	BT0IR5	BT1IR5	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	BT0IR4	0	ベースタイマ ch.4 で割込み要求 0 なし
		1	ベースタイマ ch.4 で割込み要求 0 あり
bit14	BT1IR4	0	ベースタイマ ch.4 で割込み要求 1 なし
		1	ベースタイマ ch.4 で割込み要求 1 あり
bit13	BT0IR5	0	ベースタイマ ch.5 で割込み要求 0 なし
		1	ベースタイマ ch.5 で割込み要求 0 あり
bit12	BT1IR5	0	ベースタイマ ch.5 で割込み要求 1 なし
		1	ベースタイマ ch.5 で割込み要求 1 あり
bit11 ～ bit8	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.7　割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L)

割込みベクタ番号 51 (10 進) は , ベースタイマ ch.6 と ch.7 に兼用されています。このレジスタを読み出すと , 割込み要求が発生したチャネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L) のビット構成を図 11.3-7 に示します。

図 11.3-7 割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L) のビット構成

bit	7	6	5	4	3	2	1	0
	BT0IR6	BT1IR6	BT0IR7	BT1IR7	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	BT0IR6	0	ベースタイマ ch.6 で割込み要求 0 なし
		1	ベースタイマ ch.6 で割込み要求 0 あり
bit6	BT1IR6	0	ベースタイマ ch.6 で割込み要求 1 なし
		1	ベースタイマ ch.6 で割込み要求 1 あり
bit5	BT0IR7	0	ベースタイマ ch.7 で割込み要求 0 なし
		1	ベースタイマ ch.7 で割込み要求 0 あり
bit4	BT1IR7	0	ベースタイマ ch.7 で割込み要求 1 なし
		1	ベースタイマ ch.7 で割込み要求 1 あり
bit3 ～ bit0	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.8　割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L)

割込みベクタ番号 61 (10 進) は , DMA コントローラ (DMAC) ch.4 ～ ch.7 に兼用されています。このレジスタを読み出すと , 割込み要求が発生しているチャネルを確認できます。

割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L) のビット構成を図 11.3-8 に示します。

図 11.3-8 割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L) のビット構成

bit	7	6	5	4	3	2	1	0
	DMAC4	DMAC5	DMAC6	DMAC7	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

次のいずれかの割込み要求が DMA コントローラ (DMAC) の ch.4 ～ ch.7 で発生すると , 発生した割込み要求に対応するビットが "1" に変わります。

- 正常終了割込み要求
- 異常終了割込み要求
- 転送中断割込み要求

ビット番号	ビット	値	説明
bit7	DMAC4	0	DMAC ch.4 で割込み要求なし
		1	DMAC ch.4 で割込み要求あり
bit6	DMAC5	0	DMAC ch.5 で割込み要求なし
		1	DMAC ch.5 で割込み要求あり
bit5	DMAC6	0	DMAC ch.6 で割込み要求なし
		1	DMAC ch.6 で割込み要求あり
bit4	DMAC7	0	DMAC ch.7 で割込み要求なし
		1	DMAC ch.7 で割込み要求あり
bit3 ～ bit0	未定義	"0" が読み出されます。	

11.4　使用上の注意

割込み要求一括読出し機能を使用する際は , 次の点に注意してください。

■ 動作に関する注意

割込み要求一括読出しレジスタ (IRPR0 ～ IRPR7) は , 書込みは無効です。割込み要求を取り下げたい場合は , 各機能のレジスタにある割込み要求フラグビットをクリアしてください。

第 12 章 遅延割込み

遅延割込みの機能と動作について説明します。

12.1 概要
12.2 構成
12.3 レジスタ
12.4 動作説明と設定手順例
12.5 使用上の注意

12.1　概要

遅延割込みは , リアルタイム OS で使用するタスク切換え用の割込みを発生するものです。

■ 概要

遅延割込みは , REALOS などのリアルタイム OS でのタスク切換え用の割込み要求を発生するものです。遅延割込みを使用すると , ソフトウェアで CPU に対して割込み要求を発生したり , 取り消したりすることができます。

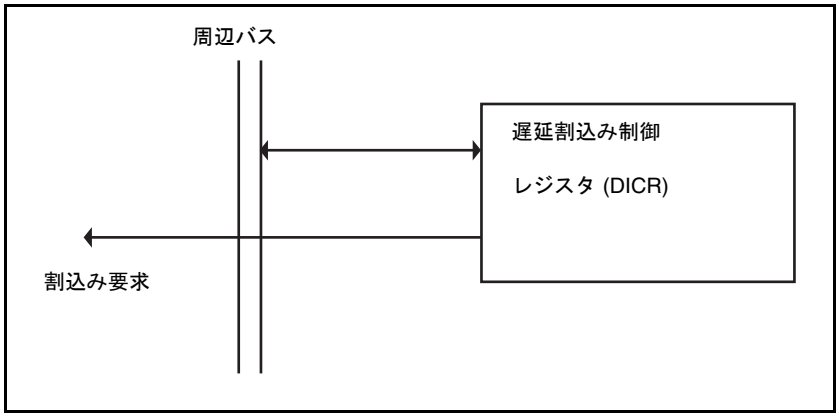
12.2　構成

遅延割込みの構成を示します。

■ 遅延割込みのブロックダイヤグラム

遅延割込みのブロックダイヤグラムを図 12.2-1 に示します。

図 12.2-1 遅延割込みのブロックダイヤグラム



- 遅延割込み制御レジスタ (DICR)
  遅延割込みを制御するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

12.3　レジスタ

遅延割込みで使用するレジスタの構成と機能について説明します。

■ 遅延割込みのレジスター覧

遅延割込みのレジスター覧を表 12.3-1 に示します。

表 12.3-1 遅延割込みのレジスター覧

レジスタ略称	レジスタ名	参照先
DICR	遅延割込み制御レジスタ	12.3.1

12.3.1　遅延割込み制御レジスタ (DICR)

遅延割込みを制御するレジスタです。

遅延割込み制御レジスタ (DICR) のビット構成を図 12.3-1 に示します。

図 12.3-1 遅延割込み制御レジスタ (DICR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	DLYI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	0

R/W：リード / ライト可能

[bit7 ～ bit1]：未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit0]：DLYI (遅延割込み制御ビット)

遅延割込み要求の発生と解除を設定します。

書込み値	説明
0	遅延割込み要因の解除または要求なし
1	遅延割込み要求の発生

< 注意事項 >

このビットは , ほかの割込み要求フラグと同じです。割込み処理ルーチンの中でこのビットをクリアして , 合わせてタスクを切り換えてください。

12.4　動作説明と設定手順例

遅延割込みの動作と設定手順について説明します。

12.4.1　遅延割込みの動作説明

遅延割込みを使用すると , CPUに対してソフトウェアで , タスク切り換え用の割込み要求を発生したり , 取り消したりできます。

遅延割込みが発生する条件を表 12.4-1 に示します。

表 12.4-1 割込み要求発生条件

割込み要求	遅延割込み要求
割込み要求の発生	遅延割込み制御レジスタ (DICR) の DLYI ビットに "1" を書き込む
割込み要求許可	なし (常に許可)
割込み要求のクリア	遅延割込み制御レジスタ (DICR) の DLYI ビットに "0" を書き込む

< 注意事項 >

- 遅延割込みは , DMA 転送要求に使用できません。
- 割込みベクタ番号については , 「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR47) で設定します。割込みレベルの設定については , 「第 10 章 割込みコントローラ」を参照してください。

12.5　使用上の注意

遅延割込みを使用する際は , 次の点に注意してください。

■ プログラムに関する注意

- 遅延割込み制御ビットは , ほかの割込み要求フラグと同じです。割込みルーチンの中でこのビットをクリアして , 合わせてタスクを切り換えてください。
- 遅延割込みは , DMA 転送要求に使用できません。

第 13 章 I/O ポート

I/O ポートの機能と動作について説明します。

13.1 概要
13.2 構成
13.3 端子
13.4 レジスタ
13.5 使用上の注意

13.1 概要

本製品の端子を周辺機能で利用しないときは , I/O ポートとして使用することができます。
本製品では 50 本の I/O ポートが用意されています。

■ 概要

I/O ポートには , 次の特長があります。

- 端子ごとにI/Oポートを入力ポートとして利用するか, 出力ポートとして利用するかを設定できます。
- 端子ごとにI/Oポートとして利用するか, 周辺機能の端子として利用するかを設定できます。

  また , 各レジスタの設定により , 入出力モードを次の中から選択できます。

  入出力モードを表 13.1-1 に示します。

表 13.1-1 入出力モード

入出力モード	PDR へのアクセス	
ポート入力モード	読出し時 (RMW 系命令以外)	外部端子からのレベルが読み出されます。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値が PDR に格納されます。
ポート出力モード	読出し時 (RMW 系命令以外)	PDR の値を読み出します。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値が PDR に書き込まれ, 外部端子へ出力されます。
周辺機能出力モード *	読出し時 (RMW 系命令以外)	周辺機能からの出力レベル / PDR の値が読み出されます。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値が PDR に格納されます。

PDR: ポートデータレジスタ (PDR0 ～ PDRK)
RMW 系命令 : リードモディファイライト系命令
*: レジスタの設定により , 読み出される値が異なります。

- プルアップを端子ごとに設定できます。
- CPU がスタンバイモード (ストップモード / 時計モード / メインタイマモード) 中に , 端子に Hi-Z を設定すると , 入力は "0" に固定されます。ただし , 発生が許可されている外部割込み要求の入力は "0" に固定されず使用できます。

- 周辺機能を割り当てられる端子が複数ある場合に , どの端子に機能を割り当てるかを設定したり , 端子からの周辺機能出力を有効 / 無効にしたりできます。

  ただし , 周辺機能の入出力が複数ある場合 , それぞれの入出力は同じグループのポートに設定してください。

例) ch.0 マルチファンクションシリアルインタフェース設定例

シリアルデータ出力	シリアルクロック入出力	シリアルデータ入力	有効ポート
SOUT0 端子 (0 番ポート)	SCK0 端子 (0 番ポート)	SIN0 端子 (0 番ポート)	0 番ポート
		SIN0_1 端子 (1 番ポート)	設定禁止
	SCK0_1 端子 (1 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	
SOUT0_1 端子 (1 番ポート)	SCK0 端子 (0 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	
	SCK0_1 端子 (1 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	1 番ポート

13.2 構成

本製品には次の 2 種類の I/O ポートが内蔵されています。

- 通常の I/O ポート
- アナログ入力兼用 I/O ポート

■ 概要

本製品に内蔵されている 2 種類の I/O ポートについて説明します。

- 通常の I/O ポート

  周辺機能の入出力機能と兼用されている基本的な構成のI/Oポートです。次のブロックで構成されています。

  - ポート機能レジスタ (PFR0 ～ PFR7)
  - ポートデータ方向レジスタ (DDR0 ～ DDRK)
  - 拡張ポート機能レジスタ (EPFR0 ～ EPFR34)
  - プルアップ制御レジスタ (PCR0 ～ PCR7)
  - ポートデータレジスタ (PDR0 ～ PDRK)

- アナログ入力兼用 I/O ポート

  10 ビット A/D コンバータのアナログ入力と兼用されている I/O ポートです。通常の I/O ポートのブロックとアナログ入力許可部で構成されています。

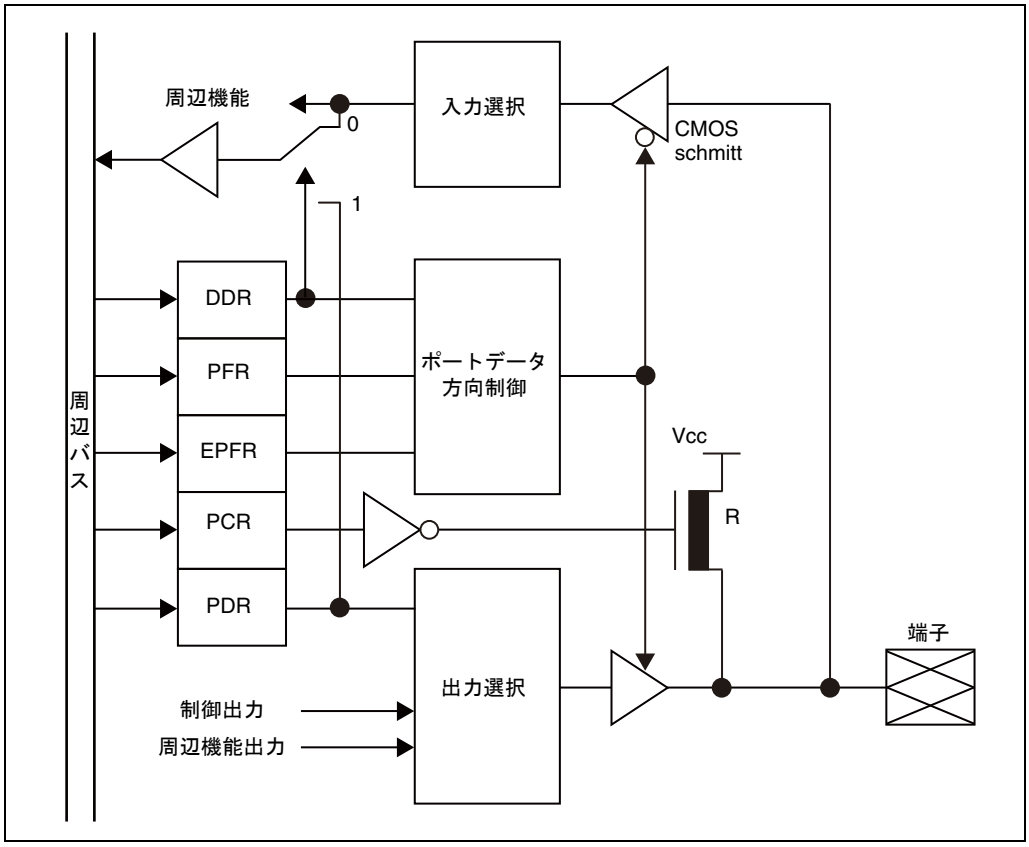
  アナログ入力兼用ポートは P77 ～ P70 になります。

■ ブロックダイヤグラム

● 通常の I/O ポート

通常の I/O ポートのブロックダイヤグラムを図 13.2-1 に示します。

図 13.2-1 通常の I/O ポートのブロックダイヤグラム



- ポートデータ方向レジスタ (DDR0 ～ DDRK)

  端子を汎用ポートとして使用するときは , 入出力方向を設定します。

  周辺機能の端子として使用する場合は , ポートデータレジスタ (PDR0 ～ PDRK) から , 何を読み出すかを設定します。

- ポート機能レジスタ (PFR0 ～ PFR7)

  端子の利用方法を選択するレジスタです。

- 拡張ポート機能レジスタ (EPFR0 ～ EPFR34)

  周辺機能を割り当てられる端子が複数ある場合に , どの端子に機能を割り当てるかを設定するレジスタです。また , 端子からの周辺機能出力を有効 / 無効にします。

- プルアップ制御レジスタ (PCR0 ～ PCR7)

  プルアップを設定するレジスタです。各ポートに用意されているので端子ごとに , プルアップ抵抗を接続できます。

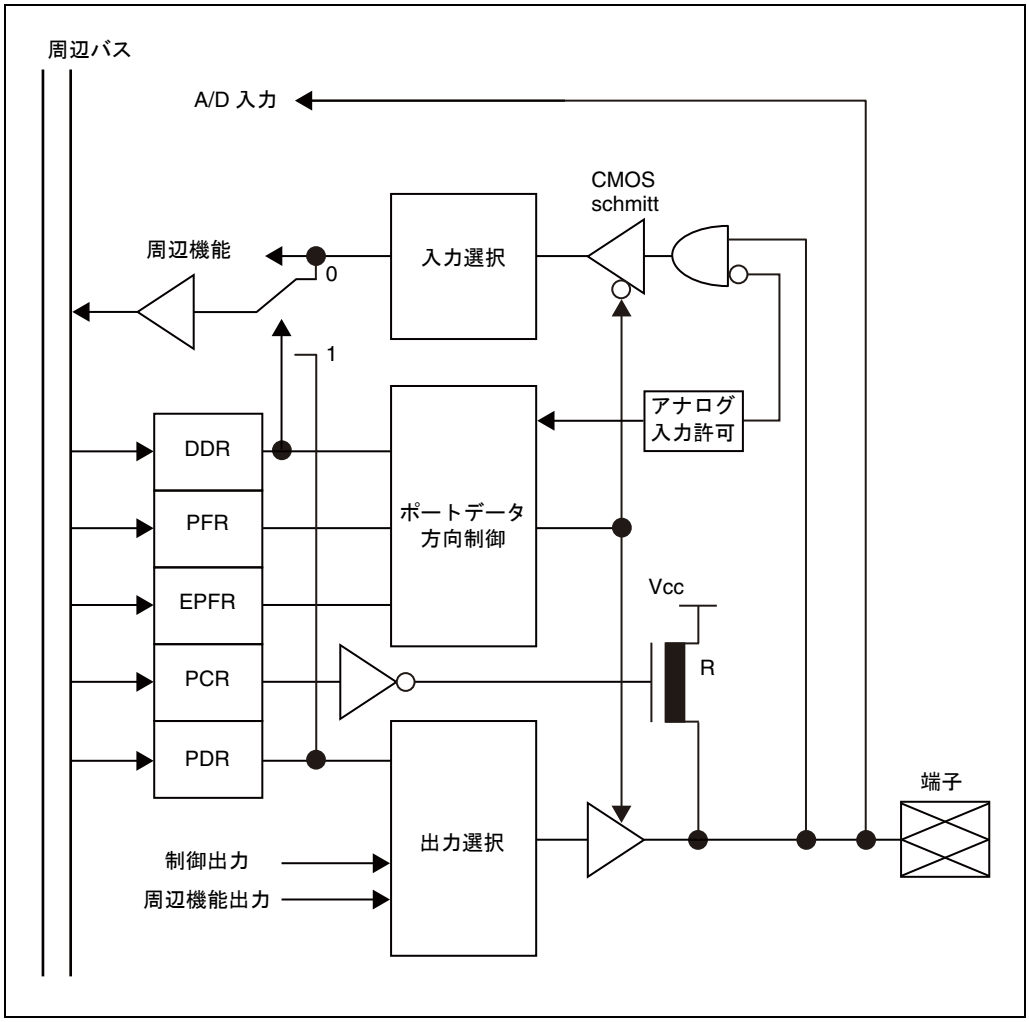
- ポートデータレジスタ (PDR0 ～ PDRK)

  出力データを格納するレジスタです。ポートのモードによって , 読み出される値や書き込む値の意味が異なります。

● アナログ入力兼用 I/O ポート

アナログ入力兼用 I/O ポートのブロックダイヤグラムを図 13.2-2 に示します。

図 13.2-2 アナログ入力兼用 I/O ポートのブロックダイヤグラム



通常の I/O ポートの構成ブロックとアナログ入力許可部で構成されています。

A/D チャネルイネーブルレジスタ (ADCHE) で入力を許可した端子からのアナログ入力を有効にします。

< 注意事項 >

- アナログ入力兼用ポートは P77 ～ P70 です。
- MD1, MD0 端子でシリアル書込みモードを選択した場合 (MD1, MD0= 01), P75 (AN5 端子) のみデジタル入力可 , アナログ入力不可となります。

■ クロック

I/O ポートで使用するクロックを表 13.2-1 に示します。

表 13.2-1 I/O ポートで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

13.3　端子

I/O ポートで使用する端子について説明します。

■ 概要

ポート 0 ～ポート K に分類される I/O ポートが最大で 50 本 用意されています。

同じ番号に分類されたポートは , 同時に読出し / 書込みが可能です。

- P00 ～ P07 (ポート 0)
- P10 ～ P17 (ポート 1)
- P20 ～ P27 (ポート 2)
- P30 ～ P37 (ポート 3)
- P50 ～ P57 (ポート 5)
- P70 ～ P77 (ポート 7)
- PK0, PK1 (ポート K)

13.4　レジスタ

I/O ポートで使用するレジスタの構成と機能について説明します。

■ I/O ポートのレジスター覧

I/O ポートのレジスター覧を表 13.4-1 に示します。

表 13.4-1　I/O ポートのレジスター覧

ポート	レジスタ略称	レジスタ名	参照先
共通	EPFR0 ～ EPFR34	拡張ポート機能レジスタ 0 ～ 34	13.4.3
	ADCHE	A/D チャネルイネーブルレジスタ	13.4.6
0	DDR0	ポートデータ方向レジスタ 0	13.4.1
	PFR0	ポート機能レジスタ 0	13.4.2
	PCR0	プルアップ制御レジスタ 0	13.4.5
	PDR0	ポートデータレジスタ 0	13.4.4
1	DDR1	ポートデータ方向レジスタ 1	13.4.1
	PFR1	ポート機能レジスタ 1	13.4.2
	PCR1	プルアップ制御レジスタ 1	13.4.5
	PDR1	ポートデータレジスタ 1	13.4.4
2	DDR2	ポートデータ方向レジスタ 2	13.4.1
	PFR2	ポート機能レジスタ 2	13.4.2
	PDR2	ポートデータレジスタ 2	13.4.4
3	DDR3	ポートデータ方向レジスタ 3	13.4.1
	PFR3	ポート機能レジスタ 3	13.4.2
	PDR3	ポートデータレジスタ 3	13.4.4
5	DDR5	ポートデータ方向レジスタ 5	13.4.1
	PFR5	ポート機能レジスタ 5	13.4.2
	PCR5	プルアップ制御レジスタ 5	13.4.5
	PDR5	ポートデータレジスタ 5	13.4.4
7	DDR7	ポートデータ方向レジスタ 7	13.4.1
	PFR7	ポート機能レジスタ 7	13.4.2
	PCR7	プルアップ制御レジスタ 7	13.4.5
	PDR7	ポートデータレジスタ 7	13.4.4
K	DDRK	ポートデータ方向レジスタ K	13.4.1
	PDRK	ポートデータレジスタ K	13.4.4

13.4.1　ポートデータ方向レジスタ (DDR0 ～ DDRK)

端子を汎用ポートとして使用するときに , 入出力方向を設定するレジスタです。
周辺機能の端子として使用する場合は , ポートデータレジスタ (PDR0 ～ PDRK) から , 何を読み出すかを設定します。

このビットの設定と , ポート機能レジスタ (PFR0 ～ PFR7) の設定によりポートデータレジスタ (PDR0 ～ PDRK) からの読出し値 / 書込み値の意味が異なります。

ポートデータ方向レジスタ (DDR0 ～ DDRK) のビット構成を図 13.4-1 に示します。

図 13.4-1 ポートデータ方向レジスタ (DDR0 ～ DDRK) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
DDR0	DDR07	DDR06	DDR05	DDR04	DDR03	DDR02	DDR01	DDR00	0000 0000	R/W
DDR1	DDR17	DDR16	DDR15	DDR14	DDR13	DDR12	DDR11	DDR10	0000 0000	R/W
DDR2	DDR27	DDR26	DDR25	DDR24	DDR23	DDR22	DDR21	DDR20	0000 0000	R/W
DDR3	DDR37	DDR36	DDR35	DDR34	DDR33	DDR32	DDR31	DDR30	0000 0000	R/W
DDR5	DDR57	DDR56	DDR55	DDR54	DDR53	DDR52	DDR51	DDR50	0000 0000	R/W
DDR7	DDR77	DDR76	DDR75	DDR74	DDR73	DDR72	DDR71	DDR70	0000 0000	R/W
DDRK	未定義	未定義	未定義	未定義	未定義	未定義	DDRK1	DDRK0	XXXX XX00	R/W

R/W：リード / ライト可能
X：不定

ポートの入出力方向を設定します。

書込み値	説明
0	入力方向
1	出力方向

このビットの設定と , ポート機能レジスタ (PFR0 ～ PFR7) の設定によりポートデータレジスタ (PDR0 ～ PDRK) からの読出し値 / 書込み値の意味が異なります。

レジスタ設定とポートデータレジスタ (PDR0 ～ PDRK) からの読出し値 / 書込み値の関係を表 13.4-2 に示します。

表 13.4-2 レジスタ設定とポートデータレジスタ (PDR0 ～ PDRK) からの読出し値 / 書込み値の関係

モード	DDR	PFR	PDR	
ポート入力モード	0	0	読出し時 (RMW 系命令以外)	外部端子からの出力レベルが読み出されます。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。
ポート出力モード	1	0	読出し時 (RMW 系命令以外)	PDR レジスタの値を読み出します。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに書き込まれ , 外部端子へ出力されます。
周辺機能出力モード *	0	1	読出し時 (RMW 系命令以外)	周辺機能からの出力レベルが読み出されます。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。
	1	1	読出し時 (RMW 系命令以外)	PDR レジスタの値を読み出します。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。

* 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) で , 該当端子に周辺機能の出力端子の機能を割り当て , さらに端子からの出力を有効にする必要があります。

DDR：ポートデータ方向レジスタ (DDR0 ～ DDRK)

PFR：ポート機能レジスタ (PFR0 ～ PFR7)

PDR ：ポートデータレジスタ (PDR0 ～ PDRK)

RMW 系命令：リードモディファイライト系命令

< 注意事項 >

- 周辺機能への入力は , 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の該当ビットで , 割り当てた端子に常に接続されています。周辺機能への入力は , ポート入力モードで行ってください。

  ただし , 10 ビット A/D コンバータからの入力を許可している場合は , 入力は "0" に , ポートからの出力は Hi-Z に固定されます。

  また , MD1, MD0 端子でシリアル書込みモードを選択した場合 (MD1, MD0= 01), P75 (AN5 端子) のみデジタル入力可 , アナログ入力不可となります。
- 本デバイスをリセットすると , このレジスタの設定は初期値 (00_H) に戻り , すべてのポートの入出力方向が入力になります。
- PK0, PK1 を低速発振端子として使用する場合は必ず , ポートデータ方向レジスタ K (DDRK) でポートの入出力方向を入力 (DDRK0=0, DDRK1=0) に設定してください。

  (ポートの入出力方向が出力に設定されているときに , PK0, PK1 を低速発振端子と使用すると , 低速発振不許可時に端子から PDR の値が出力されます。)

13.4.2　ポート機能レジスタ (PFR0 ～ PFR7)

端子の利用方法を選択するレジスタです。

このビットの設定と , ポートデータ方向レジスタ (DDR0 ～ DDRK) の設定によりポートデータレジスタ (PDR0 ～ PDRK) からの読出し値 / 書込み値の意味が異なります。

詳細については ,「13.4.1 ポートデータ方向レジスタ (DDR0 ～ DDRK)」を参照してください。

ポート機能レジスタ (PFR0 ～ PFR7) のビット構成を図 13.4-2 に示します。

図 13.4-2 ポート機能レジスタ (PFR0 ～ PFR7) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PFR0	PFR07	PFR06	PFR05	PFR04	PFR03	PFR02	PFR01	PFR00	0000 0000	R/W
PFR1	PFR17	PFR16	PFR15	PFR14	PFR13	PFR12	PFR11	PFR10	0000 0000	R/W
PFR2	PFR27	PFR26	PFR25	PFR24	PFR23	PFR22	PFR21	PFR20	0000 0000	R/W
PFR3	PFR37	PFR36	PFR35	PFR34	PFR33	PFR32	PFR31	PFR30	0000 0000	R/W
PFR5	PFR57	PFR56	PFR55	PFR54	PFR53	PFR52	PFR51	PFR50	0000 0000	R/W
PFR7	PFR77	PFR76	PFR75	PFR74	PFR73	PFR72	PFR71	PFR70	0000 0000	R/W

R/W：リード / ライト可能
X：不定値

端子ごとに汎用ポートとして使用するか , 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) で指定した周辺機能の端子として使用するかを設定します。

書込み値	説明
0	汎用ポート
1	周辺機能

このレジスタのビットと拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の対応ビットの設定によって , 端子の機能や入出力を次のように設定できます。

PFR	EPFR	対応端子の機能	周辺機能からの出力	周辺機能への入力	ポート出力
0	0	ポート	無効	有効	―
1	周辺機能の出力端子の機能を割り当て設定	周辺機能の出力端子	有効	有効	無効
	周辺機能の出力端子の機能を割り当てない設定	ポート	無効	無効	― (DDR に依存)

PFR：ポート機能レジスタ (PFR0 ～ PFR7) の対応ビット
EPFR：拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の対応ビット

< 注意事項 >

- 本デバイスをリセットすると , このレジスタの設定が初期値 (00_H) に戻り , すべてのポートが入力になります。
- このレジスタで, 端子を汎用ポートとして使用するに設定した場合は, 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) で端子に周辺機能を割り当てても , 端子は汎用ポートとして使用されます。
- A/D チャネルイネーブルレジスタ (ADCHE) で , アナログ入力を許可した場合は , このレジスタの設定にかかわらず , ポートやほかの機能からの入力は "0" に固定されます。
- 周辺機能への入力は , 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の該当ビットにより割り当てた端子に常に接続されています。周辺機能への入力は , ポート入力モードで行ってください。

  ただし , 10 ビット A/D コンバータからの入力を許可している場合は , 入力は "0" に , ポートからの出力は Hi-Z に固定されます。

13.4.3　拡張ポート機能レジスタ (EPFR0 ～ EPFR34)

1 つの機能に対して , その機能を割り当てられる端子が複数ある場合に , どの端子に機能を割り当てるかを設定するレジスタです。また , 端子からの出力を有効 / 無効にします。

拡張ポート機能レジスタ (EPFR0 ～ EPFR34) のビット構成を図 13.4-3 に示します。

図 13.4-3 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) のビット構成

bit	7	6	5	4	3	2	1	0	初期値
EPFR0	未定義	未定義	未定義	OUT1E1	OUT1E0	未定義	OUT0E1	OUT0E0	XXX0 0X00
EPFR1	未定義	未定義	未定義	OUT3E1	OUT3E0	未定義	OUT2E1	OUT2E0	XXX0 0X00
EPFR6	未定義	SOUT0E1	SOUT0E0	未定義	SCK0E1	SCK0E0	未定義	SIN0E0	X00X 00X0
EPFR7	未定義	未定義	未定義	未定義	SOUT1E0	未定義	SCK1E0	未定義	XXXX 0X0X
EPFR8	未定義	未定義	未定義	未定義	SOUT2E0	未定義	SCK2E0	未定義	XXXX 0X0X
EPFR9	未定義	未定義	未定義	未定義	SOUT3E0	未定義	SCK3E0	未定義	XXXX 0X0X
EPFR10	未定義	未定義	未定義	未定義	RCIN	未定義	未定義	未定義	XXXX 0XXX
EPFR14	未定義	未定義	未定義	未定義	SOUT8E0	未定義	SCK8E0	未定義	XXXX 0X0X
EPFR15	未定義	未定義	未定義	未定義	SOUT9E0	未定義	SCK9E0	未定義	XXXX 0X0X
EPFR16	未定義	未定義	未定義	未定義	SOUT10E0	未定義	SCK10E0	未定義	XXXX 0X0X
EPFR17	未定義	未定義	未定義	未定義	SOUT11E0	未定義	SCK11E0	未定義	XXXX 0X0X
EPFR19	未定義	未定義	未定義	未定義	未定義	未定義	未定義	XAE	XXXX XXX1
EPFR20	未定義	未定義	未定義	TIOA1E0	未定義	未定義	TIOA0E0	未定義	XXX0 XX0X
EPFR21	未定義	未定義	未定義	TIOA3E0	未定義	未定義	TIOA2E0	未定義	XXX0 XX0X
EPFR22	未定義	未定義	未定義	TIOA5E0	未定義	未定義	TIOA4E0	未定義	XXX0 XX0X
EPFR23	未定義	未定義	未定義	TIOA7E0	未定義	未定義	TIOA6E0	未定義	XXX0 XX0X
EPFR33	未定義	未定義	未定義	TMO1E0	未定義	未定義	TMO0E0	未定義	XXX0 XX0X
EPFR34	未定義	未定義	TMO2E0	未定義	未定義	未定義	未定義	未定義	XX0X XXXX

属性：すべて R/W (リード / ライト可能)
X：不定値

< 注意事項 >

- ポート機能レジスタ (PFR0 ～ PFR7) で , 汎用ポートに設定した端子は , このレジスタの設定にかかわらず , 汎用 I/O ポートとして扱われます。
- A/D チャネルイネーブルレジスタ (ADCHE) で , アナログ入力を許可した場合は , このレジスタやポート機能レジスタ (PFR0 ～ PFR7) の設定にかかわらず , ポートからの入力は "0" に固定されます。
- 1 つの端子を複数の周辺機能の出力端子として使用することはできません。また , 同一の出力機能を複数の端子に割り当てることもできません。
- 1 つの端子を複数の周辺機能の入力端子として使用することができます。ただし , 同一の入力機能を複数の端子に割り当てることはできません。
- 1 つの端子に複数の機能が割り当てられた場合の優先順位は次のようになります。

  1. X0A/X1A
  2. マルチファンクションシリアルインタフェース
  3. ベースタイマ
  4. 16 ビットリロードタイマ
  5. 32 ビットアウトプットコンペア

- 周辺機能への入力は , 拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の該当ビットで , 割り当てた端子に常に接続されています。周辺機能への入力は , ポート入力モードで行ってください。

  ただし , 10 ビット A/D コンバータからの入力を許可している場合は , 入力は "0" に固定されます。
- このレジスタで周辺機能出力を割り当てる端子を変更する場合は , 次の設定を行ってから端子を変更してください。
  - 変更前割り当て端子と変更後割り当て端子をポート入力モードに設定
  - 割り当てを行う周辺機能を無効にする
- このレジスタで周辺機能入力を割り当てる端子を変更する場合は , 割り当てを行う周辺機能を無効にしてから , 端子を変更してください。

● 拡張ポート機能レジスタ 0 (EPFR0) ～拡張ポート機能レジスタ 1 (EPFR1)

[bit4, bit3, bit1, bit0] : OUTxE1, OUTxE0 (アウトプットコンペア出力端子選択ビット)

32 ビットアウトプットコンペアの出力端子は , チャネルごとにそれぞれ 2 つ用意されています。

32 ビットアウトプットコンペアの ch.0 ～ ch.3 で使用する端子をそれぞれ選択します。OUT0E1 ～ OUT0E0 ビットが ch.0 に , OUT1E1 ～ OUT1E0 ビットが ch.1 に •••OUT3E1 ～ OUT3E0 ビットが ch.3 に対応しています。

OUTxE1	OUTxE0	ポート番号	端子名
0	0	—	出力無効
	1	0 番ポート	OUTx 端子
1	0	1 番ポート	OUTx_1 端子
	1	—	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。

● 拡張ポート機能レジスタ 6 (EPFR6)

[bit6, bit5] : SOUT0E1, SOUT0E0 (シリアルインタフェース ch.0 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルデータ出力機能を割り当てる端子を SOUT0, SOUT0_1 の中から 1 つ選択します。

SOUT0E1	SOUT0E0	ポート番号	端子名
0	0	―	出力無効 (入力 : SOUT0 端子 (0 番ポート))
	1	0 番ポート	SOUT0 端子
1	0	1 番ポート	SOUT0_1 端子
	1	―	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は , この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。
- 次のビットで選択する端子は同じポート番号に割り当ててください。
  - SOUT0E1, SOUT0E0 (シリアルデータ出力端子)
  - SCK0E1, SCK0E0 (シリアルクロック入出力端子)
  - SIN0E0 (シリアルデータ入力端子)
- シリアルデータ端子は周辺機能の設定により , 入力端子として機能します。周辺機能の入力は選択端子に常に接続されており , このビットを "00" に設定したときは SOUT0 端子 (0 番ポート) が入力に接続されています。

[bit3, bit2]：SCK0E1, SCK0E0 (シリアルインタフェース ch.0 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルクロック入出力機能を割り当てる端子を SCK0, SCK0_1 の中から 1 つ選択します。

SCK0E1	SCK0E0	ポート番号	端子名
0	0	―	出力無効 (入力：SCK0 端子 (0 番ポート))
	1	0 番ポート	SCK0 端子
1	0	1 番ポート	SCK0_1 端子
	1	―	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。
- 次のビットで選択する端子は同じポート番号に割り当ててください。
  - SOUT0E1, SOUT0E0 (シリアルデータ出力端子)
  - SCK0E1, SCK0E0 (シリアルクロック入出力端子)
  - SIN0E0 (シリアルデータ入力端子)
- 周辺機能の入力は選択端子に常に接続されており , このビットを "00" に設定したときは SCK0 端子 (0 番ポート) が入力に接続されています。

[bit0]：SIN0E0 (シリアルインタフェース ch.0 シリアルデータ入力選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルデータ入力機能を割り当てる端子を SIN0, SIN0_1 の中から 1 つ選択します。

SIN0E0	ポート番号	端子名
0	0 番ポート	SIN0 端子
1	1 番ポート	SIN0_1 端子

< 注意事項 >

次のビットで選択する端子は同じポート番号に割り当ててください。

- SOUT0E1, SOUT0E0 (シリアルデータ出力端子)
- SCK0E1, SCK0E0 (シリアルクロック入出力端子)
- SIN0E0 (シリアルデータ入力端子)

● 拡張ポート機能レジスタ 7 (EPFR7) ～拡張ポート機能レジスタ 9 (EPFR9)

[bit3] : SOUTxE0 (シリアルインタフェース ch.1 ～ ch.3 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.1 ～ ch.3 のシリアルデータ出力端子を有効にするかどうかをチャネルごとに選択します。SOUT1E0 ビットが ch.1 に , SOUT2E0 ビットが ch.2 に , SOUT3E0 ビットが ch.3 に対応しています。

SOUTxE0	ポート番号	端子名
0	―	出力無効 (入力 : SOUTx 端子 (0 番ポート))
1	0 番ポート	SOUTx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし , ほかの機能の出力端子としても利用しない場合は , これらの端子を汎用ポートとして利用できます。
- シリアルデータ端子は周辺機能の設定により , 入力端子として機能します。周辺機能の入力は選択端子に常に接続されており , このビットが "0" に設定されているときは SOUTx 端子 (0 番ポート) が入力に接続されています。

[bit1] : SCKxE0 (シリアルインタフェース ch.1 ～ ch.3 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.1 ～ ch.3 のシリアルクロック入出力端子を有効にするかどうかをチャネルごとに選択します。SCK1E0 ビットが ch.1 に , SCK2E0 ビットが ch.2 に , SCK3E0 ビットが ch.3 に対応しています。

SCKxE0	ポート番号	端子名
0	―	出力無効 (入力 : SCKx 端子 (0 番ポート))
1	0 番ポート	SCKx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし , ほかの機能の出力端子としても利用しない場合は , これらの端子を汎用ポートとして利用できます。
- シリアルクロックの入力は選択端子に常に接続されており , このビットが "0" に設定されているときは SCKx 端子 (0 番ポート) が入力に接続されています。

● 拡張ポート機能レジスタ 10 (EPFR10)

[bit3]：RCIN (HDMI-CEC/ リモコン入出力 [RCIN/RCIN_1] 機能選択ビット)

リモコン入出力機能を選択します。

RCIN	説明
0	入出力無効
1	RCIN/RCIN_1 入出力

< 注意事項 >

- このビットで入出力を無効にした場合は , これらの端子をほかの機能の出力端子としても利用できます。
- このビットで入出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。
- HDMI-CEC/ リモコン受信を使用する場合には, RCIN/RCIN_1 端子を PFR54/PFR23 のどちらか一方を選択してからこのビットを "1" に設定してください。
  PFR54 と PFR23 を同時に "1" に設定することは禁止です。

● 拡張ポート機能レジスタ 14 (EPFR14) ～拡張ポート機能レジスタ 17 (EPFR17)

[bit3]：SOUTxE0 (シリアルインタフェース ch.8 ～ ch.11 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.8 ～ ch.11 のシリアルデータ出力端子を有効にするかどうかをチャネルごとに選択します。SOUT8E0 ビットが ch.8 に , SOUT9E0 ビットが ch.9 に , •••SOUT11E0 ビットが ch.11 に対応しています。

SOUTxE0	ポート番号	端子名
0	―	出力無効 (入力：SOUTx 端子 (0 番ポート))
1	0 番ポート	SOUTx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。
- シリアルデータ端子は周辺機能の設定により , 入力端子として機能します。周辺機能の入力は選択端子に常に接続されており , このビットが "0" に設定されているときは SOUTx 端子 (0 番ポート) が入力に接続されています。

[bit1]：SCKxE0 (シリアルインタフェース ch.8 ～ ch.11 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.8 ～ ch.11 のシリアルクロック入出力端子を有効にするかどうかをチャネルごとに選択します。SCK8E0 ビットが ch.8 に , SCK9E0 ビットが ch.9 に , •••SCK11E0 ビットが ch.11 に対応しています。

SCKxE0	ポート番号	端子名
0	―	出力無効 (入力：SCKx 端子 (0 番ポート))
1	0 番ポート	SCKx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし , ほかの機能の出力端子としても利用しない場合は , これらの端子を汎用ポートとして利用できます。
- シリアルクロックの入力は選択端子に常に接続されており , このビットが "0" に設定されているときは SCKx 端子 (0 番ポート) が入力に接続されています。

● 拡張ポート機能レジスタ 19 (EPFR19)

[bit0]：XAE (クロック発振入出力端子許可ビット)

低速クロック発振機能を有効にする場合にポート入力を遮断します。低速クロック発振機能を有効にする場合必ず , XAE=1 に設定してください。

書込み値	説明
0	ポート入力を有効にします。
1	ポート入力を無効にします。

< 注意事項 >

このビットで低速発振機能を無効にした場合は , これらの端子を汎用ポートとして利用できます。

● 拡張ポート機能レジスタ 20 (EPFR20) ～拡張ポート機能レジスタ 23 (EPFR23)

[bit4, bit1] : TIOAxE0 (ベースタイマ ch.0 ～ ch.7 端子選択ビット)

ベースタイマの ch.0 ～ ch.7 の出力端子を有効にするかどうかをチャネルごとに選択します。

TIOA0E0 ビットが ch.0 に , TIOA1E0 ビットが ch.1 に , •••TIOA7E0 ビットが ch.7 に対応しています。

TIOAxE0	ポート番号	端子名
0	―	出力無効 (奇数チャネル入力 : TIOAx 端子 (0 番ポート))
1	0 番ポート	TIOAx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。
- 奇数チャネルのベースタイマ出力端子 (TIOAx 端子) は周辺機能の設定により , 入力端子として機能します。周辺機能の入力は選択端子に常に接続されています。このビットが "0" に設定されているときは TIOAx 端子 (0 番ポート) が入力に接続されています。

● 拡張ポート機能レジスタ 33 (EPFR33)

[bit4, bit1] : TMOxE0 (リロードタイマ ch.0 ～ 1 出力端子選択ビット)

16 ビットリロードタイマの ch.0, ch.1 で使用する端子をそれぞれ選択します。TMO0E0 ビットが ch.0 に , TMO1E0 ビットが ch.1 に対応しています。

TMOxE0	ポート番号	端子名
0	―	出力無効
1	0 番ポート	TMOx 端子

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。

● 拡張ポート機能レジスタ 34 (EPFR34)

[bit5] : TMO2E0 (リロードタイマ ch.2 出力端子選択ビット)

16 ビットリロードタイマの ch.2 で使用する端子を選択します。

TMO2E0	ポート番号	端子名
0	−	出力無効
1	0 番ポート	TMO2 端子

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし, ほかの機能の出力端子としても利用しない場合は, これらの端子を汎用ポートとして利用できます。

13.4.4　ポートデータレジスタ (PDR0 ～ PDRK)

入出力データを格納するレジスタです。

このレジスタから読み出す値や書き込む値は , ポートデータ方向レジスタ (DDR0 ～ DDRK) とポート機能レジスタ (PFR0 ～ PFR7) の設定によって異なります。読出し値や書込み値については ,「13.4.1 ポートデータ方向レジスタ (DDR0 ～ DDRK)」を参照してください。

ポートデータレジスタ (PDR0 ～ PDRK) のビット構成を図 13.4-4 に示します。

図 13.4-4 ポートデータレジスタ (PDR0 ～ PDRK) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PDR0	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00	XXXX XXXX	R/W
PDR1	PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	XXXX XXXX	R/W
PDR2	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20	XXXX XXXX	R/W
PDR3	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	XXXX XXXX	R/W
PDR5	PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	XXXX XXXX	R/W
PDR7	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70	XXXX XXXX	R/W
PDRK	未定義	未定義	未定義	未定義	未定義	未定義	PDRK1	PDRK0	XXXX XXXX	R/W

R/W：リード / ライト可能
X：不定値

< 注意事項 >

- リードモディファイライト系命令で , このレジスタを読み出すと , 次のレジスタの設定にかかわらず , このレジスタの値が読み出されます。
  - ポートデータ方向レジスタ (DDR0 ～ DDRK)
  - ポート機能レジスタ (PFR0 ～ PFR7)
- 本デバイスをリセットしても , このレジスタの値は初期化されません。

13.4.5　プルアップ制御レジスタ (PCR0 ～ PCR7)

プルアップを設定するレジスタです。プルアップを設定できる端子に対し , 1 つずつビットが用意されているので , 対応する端子に "1" を書き込むことで , 端子ごとにプルアップを設定することができます。

プルアップ制御レジスタ (PCR0 ～ PCR7) のビット構成を図 13.4-5 に示します。

図 13.4-5 プルアップ制御レジスタ (PCR0 ～ PCR7) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PCR0	PCR07	PCR06	PCR05	PCR04	PCR03	PCR02	PCR01	PCR00	0000 0000	R/W
PCR1	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	0000 0000	R/W
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	0000 0000	R/W
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	0000 0000	R/W

R/W：リード / ライト可能
X：不定値

ビットごとに , 割り当てられた端子にプルアップを設定するかどうかを設定します。
プルアップを設定すると , 端子にプルアップ抵抗が接続されます。

書込み値	説明
0	プルアップを設定しません。
1	プルアップを設定します。

< 注意事項 >

次の場合は , このレジスタの設定にかかわらずプルアップは設定されません。

- ポート出力時 (周辺機能出力時)
- ストップモード時 (Hi-Z 選択時)

13.4.6　A/D チャネルイネーブルレジスタ (ADCHE)

AN0 ～ AN7 端子からアナログ信号を入力するかどうかを設定するレジスタです。
A/D アナログ入力を設定できる端子に対し , 1 つずつビットが用意されているので , 対応する端子に "1" を書き込むことで , 端子ごとに A/D アナログ入力を許可にすることができます。

A/D チャネルイネーブルレジスタ (ADCHE) のビット構成を図 13.4-6 に示します。

図 13.4-6 A/D チャネルイネーブルレジスタ (ADCHE) のビット構成

bit	31 ～ 7	6 ～ 0
	未定義	ADE7 ～ ADE0
属性	―	R/W
初期値	X	1111 1111

R/W : リード / ライト可能
X : 不定値

[bit31 ～ bit8] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit7 ～ bit0] : ADE7 ～ ADE0 (アナログ入力許可ビット)

ビットに対応する端子からのアナログ信号入力を許可 / 禁止します。

書込み値	説明
0	アナログ信号の入力を禁止します。
1	アナログ信号の入力を許可します。

ADE7 ビットが ch.7, ADE6 ビットが ch.6, ADE5 ビットが ch.5•••ADE1 ビットが ch.1, ADE0 ビットが ch.0 に対応します。

< 注意事項 >

- AN0 ～ AN7 端子を 10 ビット A/D コンバータのアナログ信号入力端子として利用する場合は , 必ずチャネルに対応するビットに "1" を書き込んでください。
- このレジスタで , アナログ入力を許可すると , ポート機能レジスタ (PFR0 ～ PFR7) や拡張ポート機能レジスタ (EPFR0 ～ EPFR34) の設定にかかわらず , ポートおよび周辺機能からの入力は "0" に , 出力は Hi-Z に固定されます。

13.5　使用上の注意

I/O ポートを使用する際は次の点に注意してください。

- 各レジスタの優先順位は次のようになります。
  1. A/D チャネルイネーブルレジスタ (ADCHE)
  2. ポート機能レジスタ (PFR0 ～ PFR7)
  3. 拡張ポート機能レジスタ (EPFR0 ～ EPFR34)

  設定が矛盾すると , 優先順位の高い設定が反映されます。
- A/D チャネルイネーブルレジスタ (ADCHE) でアナログ入力を許可すると , ポートからの入力は "0" に , ポートからの出力は Hi-Z に固定されます。
- 1 つの端子に複数の機能が割り当てられた場合の優先順位は次のようになります。
  1. X0A/X1A
  2. マルチファンクションシリアルインタフェース
  3. ベースタイマ
  4. 16 ビットリロードタイマ
  5. 32 ビットアウトプットコンペア
- 1 つの端子を複数の周辺機能の出力端子として使用することはできません。また , 同一の出力機能を複数の端子に割り当てることもできません。
- 1 つの端子を複数の周辺機能の入力端子として使用することができます。ただし , 同一の入力機能を複数の端子に割り当てることはできません。
- スタンバイモード (ストップモード/時計モード/メインタイマモード) 中に , 端子に Hi-Z を設定すると , 入力は "0" に固定されます。ただし , 発生が許可されている外部割込み要求の入力は "0" に固定されず使用できます。
- 周辺機能出力を割り当てる端子を変更するには , 該当端子の (変更前割り当て端子と変更後割り当て端子) をポート入力モードかつ , 割り当てを行う周辺機能を無効にして行ってください。
- 周辺機能入力を割り当てる端子を変更するには , 割り当てを行う周辺機能を無効にして行ってください。
- PK0, PK1 を低速発振端子として使用する場合は , ポートデータ方向レジスタ K (DDRK) で , ポートの入出力方向を入力 (DDRK0=0, DDRK1=0) に設定してください。

- 周辺機能を割り当てられる端子が複数ある場合に , どの端子に機能を割り当てるかを設定したり , 端子からの周辺機能出力を有効 / 無効にしたりできます。

  ただし , 周辺機能の入出力が複数ある場合 , それぞれの入出力は同じグループのポートに設定してください。

  例) ch.0 マルチファンクションシリアルインタフェース設定例

シリアルデータ出力	シリアルクロック入出力	シリアルデータ入力	有効ポート
SOUT0 端子 (0 番ポート)	SCK0 端子 (0 番ポート)	SIN0 端子 (0 番ポート)	0 番ポート
		SIN0_1 端子 (1 番ポート)	設定禁止
	SCK0_1 端子 (1 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	
SOUT0_1 端子 (1 番ポート)	SCK0 端子 (0 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	
	SCK0_1 端子 (1 番ポート)	SIN0 端子 (0 番ポート)	
		SIN0_1 端子 (1 番ポート)	1 番ポート

第 14 章 外部割込み制御部

外部割込み制御部の機能と動作について説明します。

14.1 概要
14.2 構成
14.3 端子
14.4 レジスタ
14.5 動作説明と設定手順例

14.1　概要

外部割込み制御部は , 外部割込み信号のエッジ / レベルを検出し , 外部割込み要求を制御します。
本製品は , 外部割込み信号の入力端子を 16 本内蔵しています。

■ 概要

外部割込み制御部は , 外部割込み信号から , あらかじめ設定したエッジ / レベルを検出すると , 外部割込みを要求します。

検出するエッジ / レベルは , 次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ
- 立下りエッジ

また , 外部割込み要求はスリープモードとスタンバイモード (時計モードまたはストップモード) からの復帰にも利用できます。

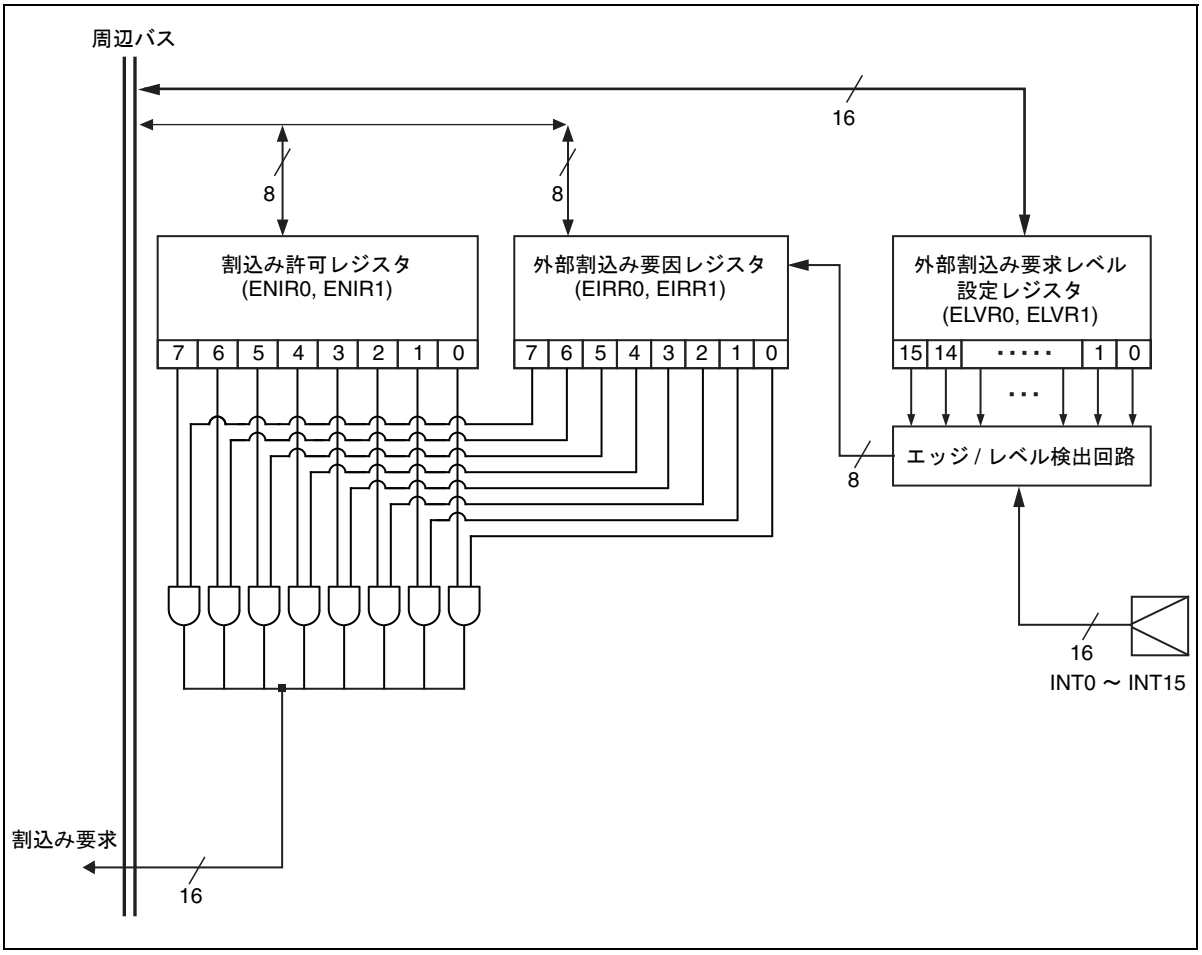
14.2　構成

外部割込み制御部の構成を示します。

■ 外部割込み制御部のブロックダイヤグラム

外部割込み制御部のブロックダイヤグラムを図 14.2-1 に示します。

図 14.2-1 外部割込み制御部のブロックダイヤグラム



- 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1)

  INT0 ～ INT15 端子に入力された信号が, 外部割込み要求であるかどうかを判断するためのエッジ / レベルを設定するレジスタです。

- 外部割込み要因レジスタ (EIRR0, EIRR1)

  割込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。

- 割込み許可レジスタ (ENIR0, ENIR1)

  外部割込み要求の許可 / 禁止を設定するレジスタです。

- エッジ / レベル検出回路

  INT0 ～ INT15 端子に入力された信号のエッジ / レベルを検出する回路です。

■ クロック

外部割込み制御部で使用するクロックを表 14.2-1 に示します。

表 14.2-1 外部割込み制御部で使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

14.3　端子

外部割込み制御部で使用する端子について説明します。

■ 概要

外部割込み制御部には , 次の端子があります。

- INT0 ～ INT15 端子

  外部割込信号入力端子です。

  この端子は兼用端子です。外部割込み制御部の INT0 ～ INT15 端子として使用するには「2.4 端子の設定方法」を参照してください。

14.4　レジスタ

外部割込み制御部で使用するレジスタの構成と機能について説明します。

■ 外部割込み制御部のレジスター覧

外部割込み制御部のレジスター覧を表 14.4-1 に示します。

表 14.4-1 外部割込み制御部のレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
共通	ELVR0	外部割込み要求レベル設定レジスタ 0	14.4.1
	EIRR0	外部割込み要因レジスタ 0	14.4.2
	ENIR0	割込み許可レジスタ 0	14.4.3
	ELVR1	外部割込み要求レベル設定レジスタ 1	14.4.1
	EIRR1	外部割込み要因レジスタ 1	14.4.2
	ENIR1	割込み許可レジスタ 1	14.4.3

14.4.1　外部割込み要求レベル設定レジスタ (ELVR0, ELVR1)

外部割込み要求を検出するためのエッジ / レベルを設定するレジスタです。

外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) のビット構成を図 14.4-1 に示します。

図 14.4-1 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) のビット構成

外部割込み要求レベル設定レジスタ 0 (ELVR0)

bit	15	14	13	12	11	10	9	8
	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

外部割込み要求レベル設定レジスタ 1 (ELVR1)

bit	15	14	13	12	11	10	9	8
	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

LB15 ～ LB0, LA15 ～ LA0 (検出条件選択ビット)

外部割込み要求として検出する信号のエッジ / レベルを選択します。このビットで選択したエッジ / レベルを検出すると , 外部割込み要求として認識されます。

LB0 ～ LB15 ビットおよび LA0 ～ LA15 ビットは , それぞれ INT0 ～ INT15 端子に対応しています。たとえば , INT0 端子は LB0 ビットと LA0 ビットで設定します。

LB15 ～ LB0	LA15 ～ LA0	説明
0	0	"L" レベル検出
0	1	"H" レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

スタンバイモードからの復帰に外部割込み要求を利用するときは ,「14.5.2 スタンバイモードからの復帰」を参照してください。

< 注意事項 >

- このビットで設定したエッジ / レベルを検出するには , 最小 3T (T : 周辺クロック (PCLK) の周期) のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は , 正しく動作しないことがあります。
- 検出条件を "L" レベル検出 /"H" レベル検出に設定しているときは , 外部割込み要求が取り下げられても , 割込み要因が外部割込み要因レジスタ (EIRR0, EIRR1) に保持されます。そのため , 外部割込み要求は割込みコントローラに出力されたままになります。割込みコントローラへの外部割込み要求を取り下げるには , 外部割込み要因レジスタ (EIRR0, EIRR1) の対応するビットを "0" にクリアしてください。

  ただし , INT0 ～ INT15 端子から有効レベルが入力されている間は , 外部割込み要因レジスタ (EIRR0, EIRR1) をクリアしても , 外部割込みが要求されたままになります。

  割込み要因の保持および , 割込み要因のクリア時の動作図は ,「14.5 動作説明と設定手順例」の「■ 外部割込み要求の取下げ」を参照してください。
- このビットを書き換えて検出条件を変更すると , 誤った割込み要因が発生する場合があります。誤った割込み要因の発生を避けるため , 検出条件を変更したら , 次の操作を行ってください。
  1. 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) を読み出す
  2. 外部割込み要因レジスタ (EIRR0, EIRR1) に "0" を書き込み , 割込み要因をクリアする

14.4.2　外部割込み要因レジスタ (EIRR0, EIRR1)

外部割込み要求の割込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。

外部割込み要因レジスタ (EIRR0, EIRR1) のビット構成を図 14.4-2 に示します。

図 14.4-2 外部割込み要因レジスタ (EIRR0, EIRR1) のビット構成

外部割込み要因レジスタ 0 (EIRR0)

bit	7	6	5	4	3	2	1	0
	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

外部割込み要因レジスタ 1 (EIRR1)

bit	7	6	5	4	3	2	1	0
	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

ER15 ～ ER0 (外部割込み要求フラグビット)

外部割込み要求が検出されたことを示します。

ER0 ～ ER15 ビットは , それぞれ INT0 ～ INT15 端子に対応しています。たとえば , ER0 ビットは INT0 端子 , ER15 ビットは INT15 端子から外部割込み要求を検出します。

割込み許可レジスタ (ENIR0, ENIR1) の EN0 ～ EN15 ビットが "1" に設定されているときに , このビットが "1" になると , 外部割込み要求が発生します。

ER15 ～ ER0	読出し時	書込み時
0	外部割込み要求は検出されていません。	割込み要因がクリアされます。
1	外部割込み要求が検出されました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) で , 検出条件を , "L" レベル検出 / "H" レベル検出に設定しているときに , このビットをクリアしても , INT0 ～ INT15 端子から有効レベルが入力されていると , このビットは再び "1" に変わります。

14.4.3　割込み許可レジスタ (ENIR0, ENIR1)

外部割込み要求を許可 / 禁止するレジスタです。

割込み許可レジスタ (ENIR0, ENIR1) のビット構成を図 14.4-3 に示します。

図 14.4-3 割込み許可レジスタ (ENIR0, ENIR1) のビット構成

割込み許可レジスタ 0 (ENIR0)

bit	7	6	5	4	3	2	1	0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 1 (ENIR1)

bit	7	6	5	4	3	2	1	0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

EN15 ～ EN0 (割込み許可ビット)

外部割込みを許可 / 禁止します。

EN0 ～ EN15 ビットは , 外部割込み要因レジスタ (EIRR0, EIRR1) の各ビットに対応しています。

書込み値	説明
0	外部割込み要求の発生を禁止します。 割込み要因を保持するだけで , 外部割込み要求を出力しません。
1	外部割込み要求の発生を許可します。 外部割込み要求を出力します。

14.5　動作説明と設定手順例

外部割込み制御部の動作と設定手順例について説明します。

14.5.1　外部割込み制御部の動作

■ 概要

外部割込み制御部は , 外部信号入力端子に入力された信号から , あらかじめ設定したエッジ / レベルを検出すると , 割込みが許可されているときに , 外部割込み要求を出力します。

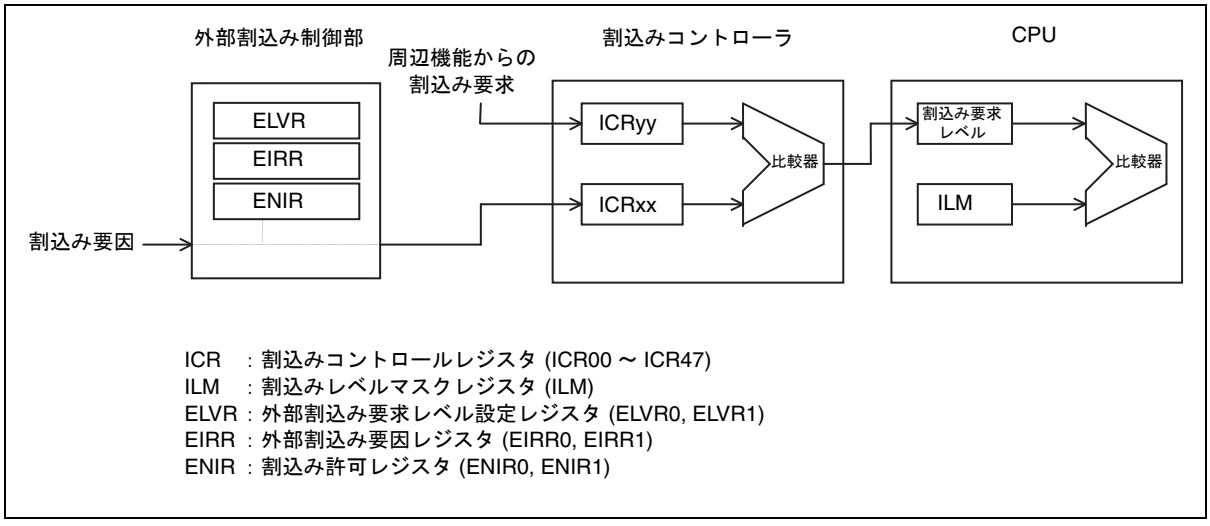
検出するエッジ / レベルは , 次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ (スタンバイモードからの復帰時のみ , INT0 ～ INT7 端子は "L" レベル , INT8 ～ INT15 端子は立上りエッジを検出)
- 立下りエッジ (スタンバイモードからの復帰時のみ , INT0 ～ INT7 端子は "H" レベル , INT8 ～ INT15 端子は立下りエッジを検出)

他の周辺機器から割込み要求が同時に発生した場合は , 割込みコントローラ内で優先順位が決められます。外部割込み要求の優先順位が高い場合は外部割込みが発生します。

外部割込み制御部の動作を図 14.5-1 に示します。

図 14.5-1 外部割込み制御部の動作



ICR　：割込みコントロールレジスタ (ICR00 ～ ICR47)
ILM　：割込みレベルマスクレジスタ (ILM)
ELVR：外部割込み要求レベル設定レジスタ (ELVR0, ELVR1)
EIRR：外部割込み要因レジスタ (EIRR0, EIRR1)
ENIR：割込み許可レジスタ (ENIR0, ENIR1)

■ 設定手順

外部割込みは , 次の手順で設定してください。

1. 割込み許可レジスタ (ENIR0, ENIR1) で外部割込みを禁止する
2. 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) で検出条件 (有効エッジ / レベル) を変更する
3. 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) を読み出す
4. 外部割込み要因レジスタ (EIRR0, EIRR1) で割込み要因をクリアする
5. 割込み許可レジスタ (ENIR0, ENIR1) で外部割込みを許可する

< 注意事項 >

- **外部割込み制御部を設定するときは, 事前に割込み許可レジスタ (ENIR0, ENIR1) で外部割込みを禁止してください。**
- **外部割込み要求の出力を許可するときは , 事前に外部割込み要因レジスタ (EIRR0, EIRR1) で割込み要因をクリアしてください。**

■ 制御動作

外部割込み制御部は , 次の順序で割込みコントローラへ外部割込みを要求します。

1. INT0 ～ INT15 端子に入力された信号が , 外部割込み要求レベル設定レジスタ (ELVR0, ELVR1) で設定したエッジ / レベルを検出する
2. 割込み許可レジスタ (ENIR0, ENIR1) で外部割込みが許可されているかどうかチェックする
3. 外部割込みが許可されている場合は , 割込みコントローラへ外部割込み要求を出力する

■ 外部割込み要求の取下げ

外部割込みの検出条件を "L" レベル検出 /"H" レベル検出に設定しているときは , 外部割込みを取り下げても , 割込み要因が外部割込み要因レジスタ (EIRR0, EIRR1) に保持されます。そのため , 外部割込みは割込みコントローラに出力されたままになります。

割込みコントローラへの外部割込み要求を取り下げるには , 外部割込み要因レジスタ (EIRR0, EIRR1) の対応するビットを "0" にクリアしてください。これによって割込み要因がクリアされ , 外部割込み要求が取り下げられます。

ただし , INT0 ～ INT15 端子から有効レベルが入力されている間は , 外部割込み要因レジスタ (EIRR0, EIRR1) をクリアしても , 外部割込みは割込みコントローラへ出力されたままになります。

割込み要因の保持については図 14.5-2 に , 割込み要因のクリアについては図 14.5-3 に示します。

図 14.5-2 割込み要因の保持

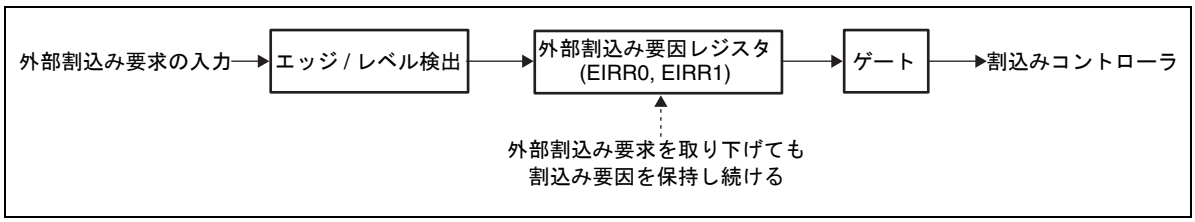
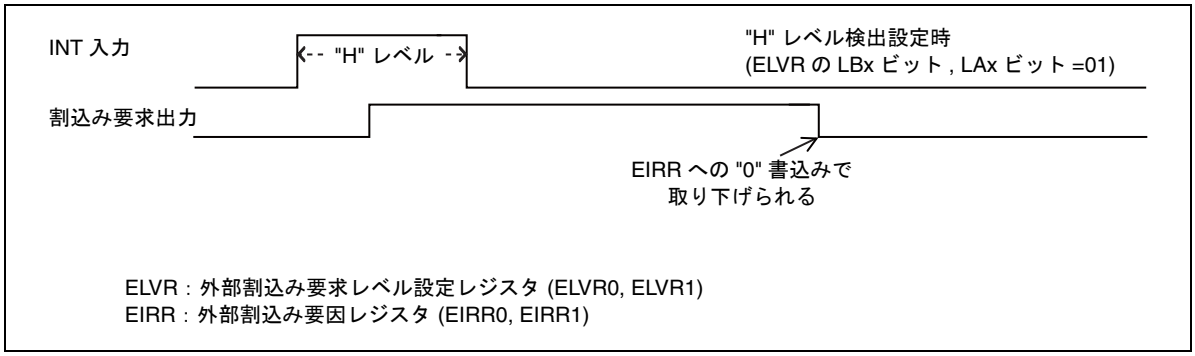


図 14.5-3 割込み要因のクリア



14.5.2　スタンバイモードからの復帰

■ 概要

スタンバイモード (時計モードまたはストップモード) からの復帰に , 外部割込み要求を利用できます。スタンバイモード時に , INT0 ～ INT15 端子に最初に入力された信号は非同期で入力され , スタンバイモードからの復帰に利用できます。

■ 設定

スタンバイモードに移行する前に , 割込み許可レジスタ (ENIR0, ENIR1) で INT0 ～ INT15 端子を次のように設定してください。

- スタンバイモードからの復帰に利用する端子：割込み要求の出力許可
- スタンバイモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スタンバイモード時に , INT0 ～ INT15 端子に入力された信号で有効レベルを検出すると , スタンバイモードから復帰します。

外部割込み要求の検出条件とスタンバイモードからの復帰レベルの対応を表 14.5-1 に示します。

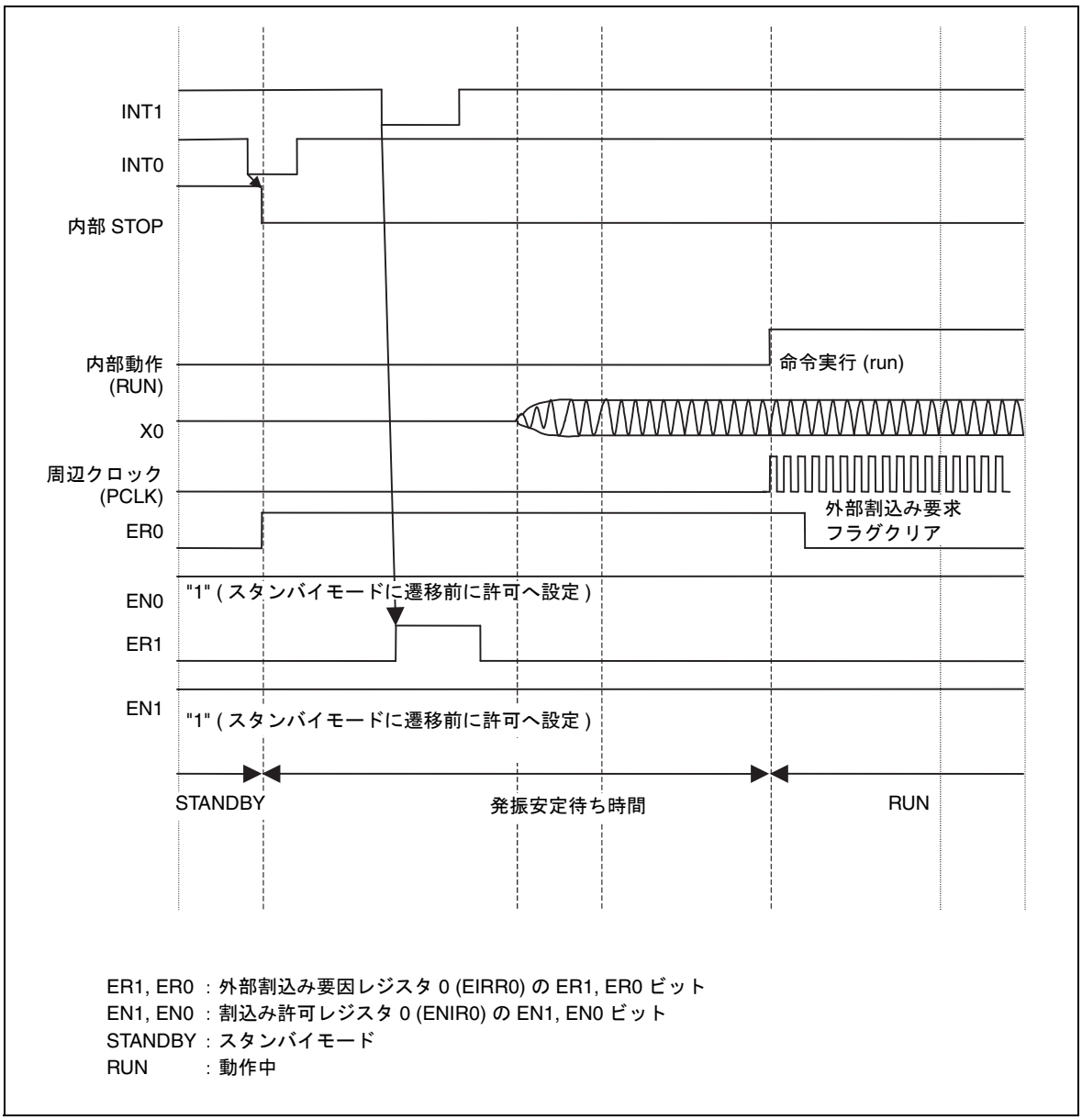
表 14.5-1 外部割込み要求の検出条件とスタンバイモードからの復帰レベル

検出条件	LB15 ～ LB0	LA15 ～ LA0	スタンバイモードからの復帰レベル
"L" レベル検出	0	0	"L" レベル検出
"H" レベル検出	0	1	"H" レベル検出
立上りエッジ検出	1	0	INT0～INT7端子は"L" レベル, INT8 ～ INT15 端子は立上りエッジを検出
立下りエッジ検出	1	1	INT0～INT7端子は"H" レベル, INT8 ～ INT15 端子は立下りエッジを検出

スタンバイモードからの復帰後 , 発振安定待ち時間が経過するまでは , 他の外部割込み要求を認識できません。スタンバイモードから復帰した後に , 外部割込み要求を出力する場合は , 発振安定待ち時間が経過してから , 外部割込み要求の信号を入力してください。

INT0 端子と INT1 端子を例とした , スタンバイモードからの復帰動作を図 14.5-4 に示します。

図 14.5-4 スタンバイモードからの復帰動作



ER1, ER0 ：外部割込み要因レジスタ 0 (EIRR0) の ER1, ER0 ビット
EN1, EN0 ：割込み許可レジスタ 0 (ENIR0) の EN1, EN0 ビット
STANDBY ：スタンバイモード
RUN ：動作中

14.5.3　スリープモードからの復帰

■ 概要

スリープモードからの復帰に , 外部割込み要求を利用できます。

■ 設定

スリープモードに移行する前に , 割込み許可レジスタ (ENIR0, ENIR1) で INT0 ～ INT15 端子を次のように設定してください。

- スリープモードからの復帰に利用する端子：割込み要求の出力許可
- スリープモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スリープモード時に , INT0 ～ INT15 端子に設定したエッジ / レベルが入力されるとスリープモードから復帰します。

第 15 章 ウォッチドッグタイマ

ウォッチドッグタイマの機能と動作について説明します。

15.1 概要
15.2 構成
15.3 レジスタ
15.4 動作説明と設定手順例

15.1 概要

ウォッチドッグタイマは , ソフトウェアが暴走などの異常動作をしていないかどうかを監視するタイマです。
本製品は , ウォッチドッグタイマを 2 チャネル内蔵しています。

■ 概要

ウォッチドッグタイマは , 事前に設定した周期が経過する前にウォッチドッグタイマがクリアされなければ, ソフトウェアの暴走が発生したと判断し, CPUに対してリセット要求を出力します。このリセット要求をウォッチドッグリセット要求とよびます。
ウォッチドッグタイマの動作時は , 事前に設定した周期が経過する前にタイマを定期的にクリアし続ける必要があります。ソフトウェアの暴走などの異常動作が発生して , 定期的なクリアが行われないとウォッチドッグタイマはオーバフローし , ウォッチドッグリセット要求を出力します。

- ウォッチドッグタイマ 0
  - CPU のプログラム動作中に周期をカウントし , CPU 停止中 (スリープモード / ストップモード / 時計モード) はカウントを停止します。
  - スタンバイモード (時計モード/ストップモード) への移行を検出して , CPUに対してウォッチドッグリセット要求を出力できます。
  - ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) に不正な値が書き込まれると , CPU に対してウォッチドッグリセット要求を出力します。
  - ウォッチドッグタイマ0の周期は, 周辺クロック (PCLK) × (2^9～2^{24}) の中から選択できます。
- ウォッチドッグタイマ 1
  - 本デバイスのリセット解除後 , CPU クロック (CCLK) でカウントします。
  - HWDE 端子でカウンタ動作の禁止 / 許可を制御できます。
  - ウォッチドッグタイマ1クリアレジスタ (WDTCPR1) に不正な値が書き込まれると , CPU に対してウォッチドッグリセット要求を出力します。
  - ウォッチドッグタイマ1の周期は, CPUクロック (CCLK) × ($2^{23} \pm 2^{14}$)サイクル固定です。

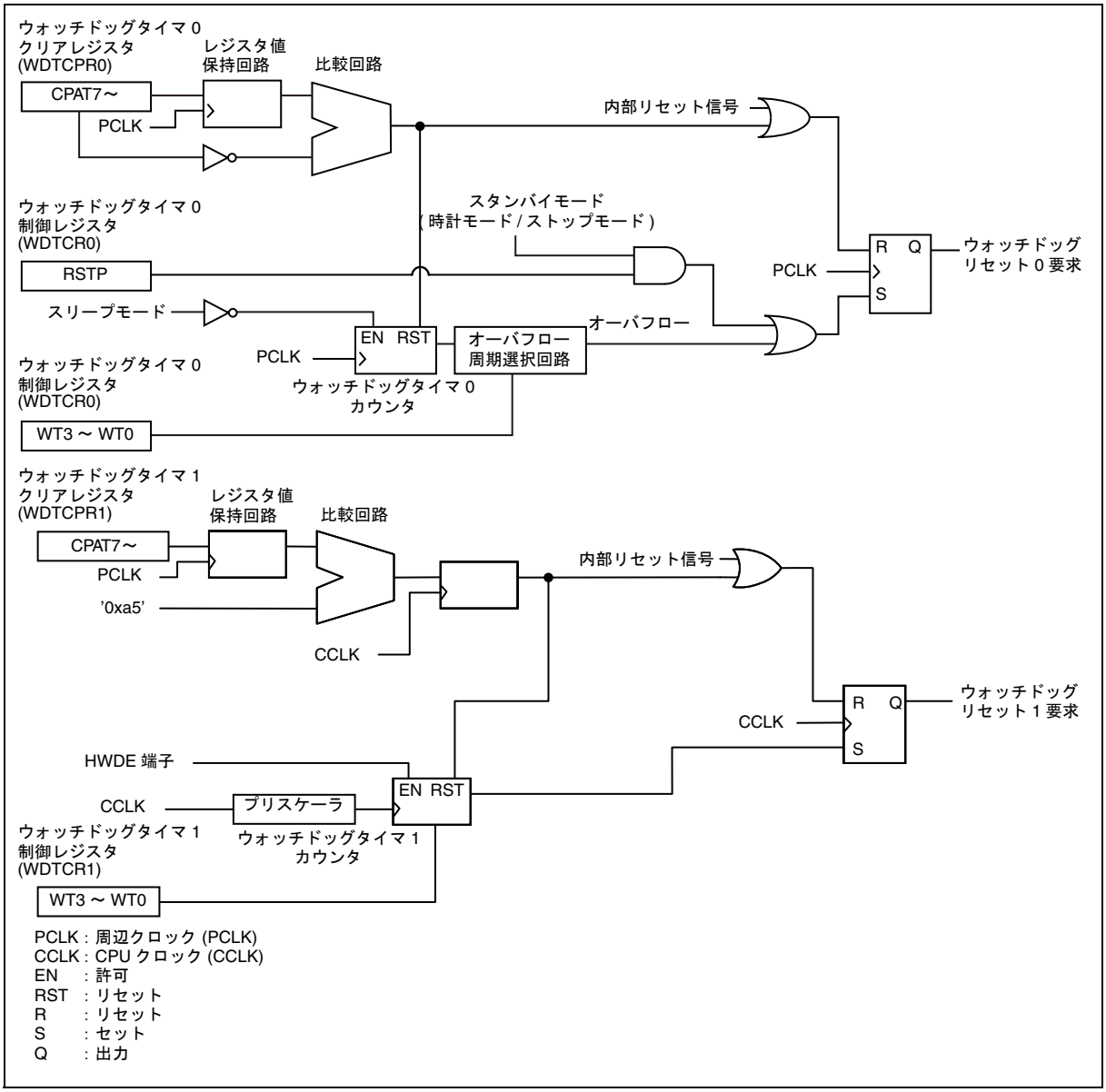
15.2　構成

ウォッチドッグタイマの構成を示します。

■ ウォッチドッグタイマのブロックダイヤグラム

ウォッチドッグタイマのブロックダイヤグラムを図 15.2-1 に示します。

図 15.2-1 ウォッチドッグタイマのブロックダイヤグラム



- ウォッチドッグタイマ制御レジスタ (WDTCR0, WDTCR1)

  ウォッチドッグタイマの動作を制御するレジスタです。
- ウォッチドッグタイマクリアレジスタ (WDTCPR0, WDTCPR1)

  ウォッチドッグタイマを起動 , およびクリアするレジスタです。

- ウォッチドッグタイマ 0

  24 ビットのアップカウンタです。
- ウォッチドッグタイマ 1

  9 ビットのアップカウンタと 14 ビットのプリスケーラで構成されています。
- レジスタ値保持回路

  ウォッチドッグタイマクリアレジスタ (WDTCPR0, WDTCPR1) に書き込まれた値を保持する回路です。
- 比較回路

  ウォッチドッグタイマクリアレジスタ (WDTCPR0, WDTCPR1) に書き込まれた値が , 前回書き込まれた値と一致するかどうか比較する回路です。
- オーバフロー周期選択回路

  ウォッチドッグタイマのオーバフロー周期を選択する回路です。

■ クロック

ウォッチドッグタイマ 0 で使用するクロックを表 15.2-1 に示します。

表 15.2-1 ウォッチドッグタイマ 0 で使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

ウォッチドッグタイマ 1 で使用するクロックを表 15.2-2 に示します。

表 15.2-2 ウォッチドッグタイマ 1 で使用するクロック

クロック名	内容
動作クロック	CPU クロック (CCLK)

15.3　レジスタ

ウォッチドッグタイマで使用するレジスタの構成と機能について説明します。

■ ウォッチドッグタイマのレジスター覧

ウォッチドッグタイマのレジスター覧を表 15.3-1 に示します。

表 15.3-1 ウォッチドッグタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	15.3.1
WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	15.3.2
WDTCR1	ウォッチドッグタイマ 1 制御レジスタ	15.3.3
WDTCPR1	ウォッチドッグタイマ 1 クリアレジスタ	15.3.4

15.3.1　ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)

ウォッチドッグタイマ 0 の動作を制御するレジスタです。

ウォッチドッグタイマ0制御レジスタ (WDTCR0) のビット構成を図 15.3-1に示します。

図 15.3-1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	RSTP	予約	予約	WT3	WT2	WT1	WT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは , ウォッチドッグタイマ 0 を起動する前のみ書き換えられます。

[bit7]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6]：RSTP (ストップモード検出リセット許可ビット)

ウォッチドッグタイマ 0 の動作時 , CPU の状態がスタンバイモード (時計モード / ストップモード) になったとき , ウォッチドッグリセット要求の出力を許可するかどうかを設定します。

書込み値	説明
0	ウォッチドッグリセット要求の出力を禁止します。 スタンバイモード (時計モード / ストップモード) への移行を検出したとき , ウォッチドッグタイマは一時停止し , スタンバイモードから復帰するまでカウントを行いません。
1	ウォッチドッグリセット要求の出力を許可します。 スタンバイモード (時計モード / ストップモード) への移行を検出したとき , ウォッチドッグリセット要求を出力します。

< 注意事項 >

- スタンバイモード (時計モード / ストップモード) を使用するときは , このビットを "0" に設定してください。
- このレジスタは , ウォッチドッグタイマ 0 の起動前しか書き換えられません。そのため , このビットを "1" に設定すると , ウォッチドッグタイマの起動後は , スタンバイモード (時計モード / ストップモード) を検出して , ウォッチドッグリセット要求が出力されるため , スタンバイモードが使用できなくなります。

[bit5, bit 4]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3 ～ bit0] : WT3 ～ WT0 (ウォッチドッグタイマ周期選択ビット)

ウォッチドッグタイマ0がクリアされてから, ウォッチドッグリセット要求を出力するまでの周期を , 次の中から選択します。

WT3 ～ WT0	ウォッチドッグタイマ周期
0000	PCLK × 2^{9}
0001	PCLK × 2^{10}
0010	PCLK × 2^{11}
0011	PCLK × 2^{12}
0100	PCLK × 2^{13}
0101	PCLK × 2^{14}
0110	PCLK × 2^{15}
0111	PCLK × 2^{16}
1000	PCLK × 2^{17}
1001	PCLK × 2^{18}
1010	PCLK × 2^{19}
1011	PCLK × 2^{20}
1100	PCLK × 2^{21}
1101	PCLK × 2^{22}
1110	PCLK × 2^{23}
1111	PCLK × 2^{24}

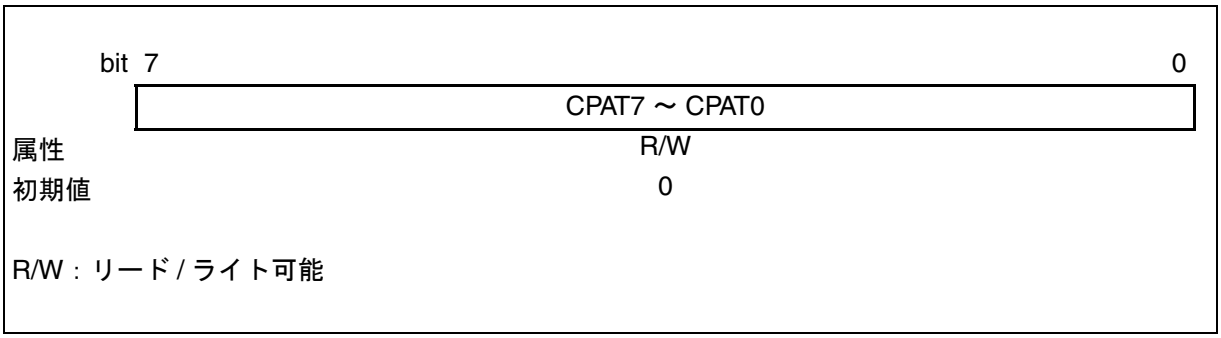
PCLK: 周辺クロック (PCLK) の周期

15.3.2　ウォッチドッグタイマ0クリアレジスタ (WDTCPR0)

ウォッチドッグタイマ 0 を起動 , およびクリアするレジスタです。

ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) のビット構成を図 15.3-2 に示します。

図 15.3-2 ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) のビット構成



[bit7 ～ bit0]：CPAT7 ～ CPAT0 ビット

本デバイスのリセット後 , このレジスタに任意の値を書き込むとウォッチドッグタイマ 0 が起動します。

ウォッチドッグタイマ0を起動後は, ウォッチドッグリセット要求の出力を防ぐためにタイマ周期が経過する前に , ウォッチドッグタイマ 0 をクリアしなければなりません。

ウォッチドッグタイマ0をクリアするには, このビットに前回書き込んだ値の反転値を書き込みます。

ウォッチドッグタイマ 0 のクリアについては ,「15.4.1 ウォッチドッグタイマ 0 の動作」の「■ ウォッチドッグタイマのクリア」を参照してください。

CPAT7 ～ CPAT0	書込み時	読出し時
前回の書込み値の反転値	起動後のウォッチドッグタイマがクリアされます。	"0" が読み出されます。
前回の書込み値の反転値以外	その時点でウォッチドッグリセット要求を出力します。	

15.3.3　ウォッチドッグタイマ 1 制御レジスタ (WDTCR1)

ウォッチドッグタイマ 1 の動作を制御するレジスタです。

ウォッチドッグタイマ1制御レジスタ (WDTCR1) のビット構成を図 15.3-3に示します。

図 15.3-3 ウォッチドッグタイマ 1 制御レジスタ (WDTCR1) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	WT3	WT2	WT1	WT0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	0	0	0	0

R : リードオンリ

< 注意事項 >

このレジスタは書き換えできません。

[bit7 ～ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	値は不定です。

[bit3 ～ bit1] : WT3 ～ WT0 (ウォッチドッグタイマ周期選択ビット)

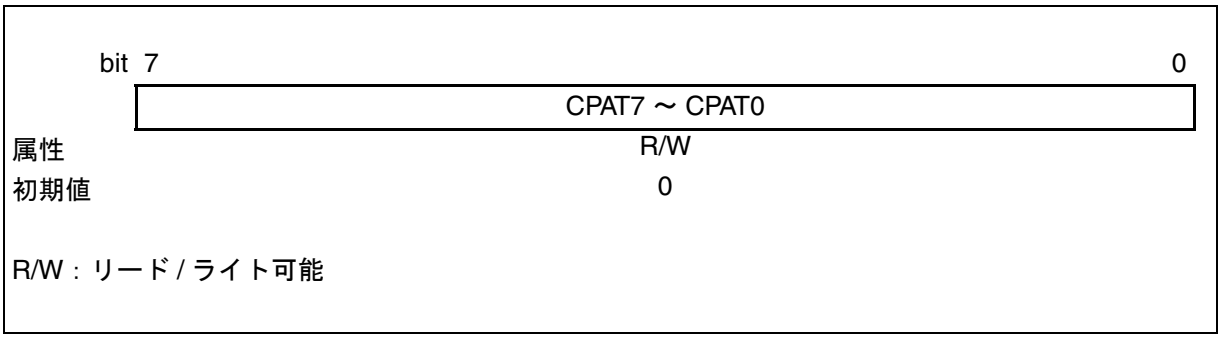
読出し時	"0" が読み出されます。

15.3.4　ウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1)

ウォッチドッグタイマ 1 を起動 , およびクリアするレジスタです。

ウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1) のビット構成を図 15.3-4 に示します。

図 15.3-4 ウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1) のビット構成



[bit7 ～ bit0]：CPAT7 ～ CPAT0 ビット

本デバイスのリセット解除後 , ウォッチドッグタイマ 1 が起動します。

ウォッチドッグタイマ1の起動後は, ウォッチドッグリセット要求の出力を防ぐためにタイマ周期が経過する前に , ウォッチドッグタイマ 1 をクリアしなければなりません。

ウォッチドッグタイマ 1 をクリアするには , このビットに 0xa5 を書き込みます。

ウォッチドッグタイマ 1 のクリアについては ,「15.4.2 ウォッチドッグタイマ 1 の動作」の「■ ウォッチドッグタイマ 1 のクリア」を参照してください。

CPAT7 ～ CPAT0	書込み時	読出し時
0xa5 書込み	起動後のウォッチドッグタイマがクリアされます。	"0" が読み出されます。
0xa5 以外の書込み値	その時点でウォッチドッグリセット要求を出力します。	

15.4　動作説明と設定手順例

ウォッチドッグタイマの動作について説明します。また , 各動作状態を設定するための手順例も示します。

■ 概要

定期的にウォッチドッグタイマのクリアをするようにプログラムを作成しているのに, ウォッチドッグタイマがクリアされなかった場合は , 何らかの誤動作が発生したと判断し , ウォッチドッグタイマは CPU に対してウォッチドッグリセット要求を出力します。

15.4.1　ウォッチドッグタイマ 0 の動作

■ 設定

ウォッチドッグタイマを利用する場合は , ウォッチドッグタイマを起動する前に , ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) で次の設定を行ってください。

- ウォッチドッグタイマがクリアされてから , ウォッチドッグリセット要求を出力するまでの周期 (WT3 ～ WT0 ビット)
- スタンバイモード (時計モード / ストップモード) になったとき , ウォッチドッグリセット要求の出力を許可するかどうか (RSTP)

< 注意事項 >

- ウォッチドッグタイマは , CPU が動作している間だけカウントを行います。そのため , WT3 ～ WT0 ビットは , プログラムステップ数とクロック分周の設定を基準に設定してください。
- スタンバイモード (時計モード / ストップモード) を使用するときは , RSTP ビットを "0" に設定してください。
- RSTP ビットを "1" に設定すると , ウォッチドッグタイマの起動後は , スタンバイモード (時計モード / ストップモード) が使用できなくなります。

■ 動作

本デバイスのリセット後 , ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7～CPAT0ビットに任意の値を書き込むと, ウォッチドッグタイマが起動し, CPU の動作中は周辺クロック (PCLK) の立上りエッジでカウントします。

ウォッチドッグタイマがクリアされずに , ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) の WT3 ～ WT0 ビットで設定した周期が経過すると , CPU に対してウォッチドッグリセット要求を出力します。

また , ウォッチドッグタイマは , ドーズモードやスリープモードなど , CPU が停止しているときはカウントを一時停止します。

カウントを一時停止しても , ウォッチドッグタイマの値はクリアされず , カウントを再開すると停止したときの値から再開します。

< 注意事項 >

- DMA コントローラ (DMAC) による DMA 転送が行われている場合も , CPU が動作している間は , ウォッチドッグタイマはカウント動作を継続します。
- CPUのソースクロック (SRCCLK) の発振安定待ち時間中は周辺クロック (PCLK) が停止するため , ウォッチドッグタイマのカウント動作も停止します。
- CPU 動作状態のサンプリングは , 周辺クロック (PCLK) で行われます。そのため , 周辺クロック (PCLK) の周期に満たない動作状態の変化は無視されます。

■ ウォッチドッグタイマのクリア

ウォッチドッグタイマの起動時にウォッチドッグタイマ0クリアレジスタ (WDTCPR0) の CPAT7 ～ CPAT0 ビットに書き込んだ値の反転値を書き込むことで , ウォッチドッグタイマをクリアできます。

たとえば , ウォッチドッグタイマ起動時 , ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ～ CPAT0 ビットに "55_H" を書き込んだ場合は , 反転値 "AA_H" を書き込むとクリアできます。

以降 , CPAT7 ～ CPAT0 ビットに "55_H" と "AA_H" を交互に書き込むと , ウォッチドッグタイマのクリアを繰り返すことができます。

ただし , CPAT7 ～ CPAT0 ビットに反転値以外の値を書き込んだ場合は , その時点で CPU に対してウォッチドッグリセット要求を出力します。

< 注意事項 >

前回書き込んだ値を憶えておくことが難しい場合は, ウォッチドッグタイマをクリアするときに , "AA_H", "55_H" のように毎回 , 書込み値と反転値の両方を連続で書き込むこともできます。

■ ウォッチドッグリセット要求の出力

ウォッチドッグタイマは , 次のいずれかの場合に CPU に対してウォッチドッグリセット要求を出力します。

- ウォッチドッグタイマ0制御レジスタ (WDTCR0) のWT3～WT0ビットで設定した周期が経過した場合 (オーバフロー)
- ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) のCPAT7～CPAT0ビットに, 前回書き込んだ値の反転値以外の値が書き込まれた場合
- CPUがスタンバイモード (時計モード / ストップモード) に移行した場合 (ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) の RSTP ビットの設定により出力)

ウォッチドッグリセット要求を出力した後の動作については , 「第 9 章　リセット」の「9.5　動作説明」を参照してください。

15.4.2　ウォッチドッグタイマ 1 の動作

■ 設定

ウォッチドッグタイマ 1 を利用する場合は , HWDE 端子でウォッチドッグタイマ 1 動作の禁止／許可の設定を行ってください。HWDE 端子に "L" を入力している場合 , タイマの動作を禁止し , カウントを停止します。

■ 動作

HWDE 端子が "H" の場合 , 本デバイスのリセット解除後ウォッチドッグタイマ 1 は起動し , CPU クロック (CCLK) の立上がりエッジでカウントします。

ウォッチドッグタイマがクリアされずに , ウォッチドッグタイマ 1 制御レジスタ (WDTCR1) の WT3 ～ WT0 ビットで設定した周期が経過すると , CPU に対してウォッチドッグリセット要求を出力します。

< 注意事項 >

周期は CCLK × 2^{23} 固定です。± 2^{14} のバラツキがあります。

■ ウォッチドッグタイマ 1 のクリア

ウォッチドッグタイマ 1 の起動時にウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1) の CPAT7 ～ CPAT0 ビットに "$A5_H$" を書き込むことで , ウォッチドッグタイマ 1 をクリアできます。

ただし , CPAT7 ～ CPAT0 ビットに "$A5_H$" 以外の値を書き込んだ場合は , その時点で CPU に対してウォッチドッグリセット要求を出力します。

■ ウォッチドッグリセット要求の出力

ウォッチドッグタイマ1は, 次のいずれかの場合にCPUに対してウォッチドッグリセット要求を出力します。

- ウォッチドッグタイマ1制御レジスタ(WDTCR1)のWT3～WT0ビットで設定した周期が経過した場合 (オーバーフロー)
- ウォッチドッグタイマ 1 クリアレジスタ (WDTCPR1) の CPAT7 ～ CPAT0 ビットに , "$A5_H$" 以外の値が書き込まれた場合

ウォッチドッグリセット要求を出力した後の動作については , 「第 9 章　リセット」の「9.5　動作説明」を参照してください。

第 16 章 時計カウンタ

時計カウンタの機能と動作について説明します。

16.1 概要
16.2 構成
16.3 レジスタ
16.4 割込み
16.5 動作説明と設定手順例
16.6 使用上の注意

16.1 概要

時計カウンタは , あらかじめ設定した値からカウントダウンを行い , 6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。
125ms ～ 64s の周期で割込み要求を発生できます。
本製品は時計カウンタを 1 チャネル内蔵しています。
※サブクロック (SBCLK) 未使用時は , この機能を使用できません。

■ 概要

- カウント用クロックを4種類から選択でき, 最小125ms, 最大64sの間隔で割込み要求の発生間隔を設定できます。
  カウント用クロックの種類とカウント周期の対応を表 16.1-1 に示します。

表 16.1-1 カウント用クロックとカウント周期の対応

カウント用クロックの周期	カウント周期 (F_{CL}=32.768kHz の場合)
$2^{12}/F_{CL}$	125ms
$2^{13}/F_{CL}$	250ms
$2^{14}/F_{CL}$	500ms
$2^{15}/F_{CL}$	1s

F_{CL}: サブクロック (SBCLK) の周波数

- 6 ビットダウンカウンタでカウントする値を 0 ～ 63 の範囲内で設定できます。
  カウント周期が 1s のときに , カウントする値を "60" にすると 1 分ごとに割込み要求が発生します。また , カウント周期が 1s のときに , カウントする値を "0" に設定すると 64 秒ごとに割込み要求が発生します。
- 6 ビットダウンカウンタがアンダフローすると割込み要求を発生できます。

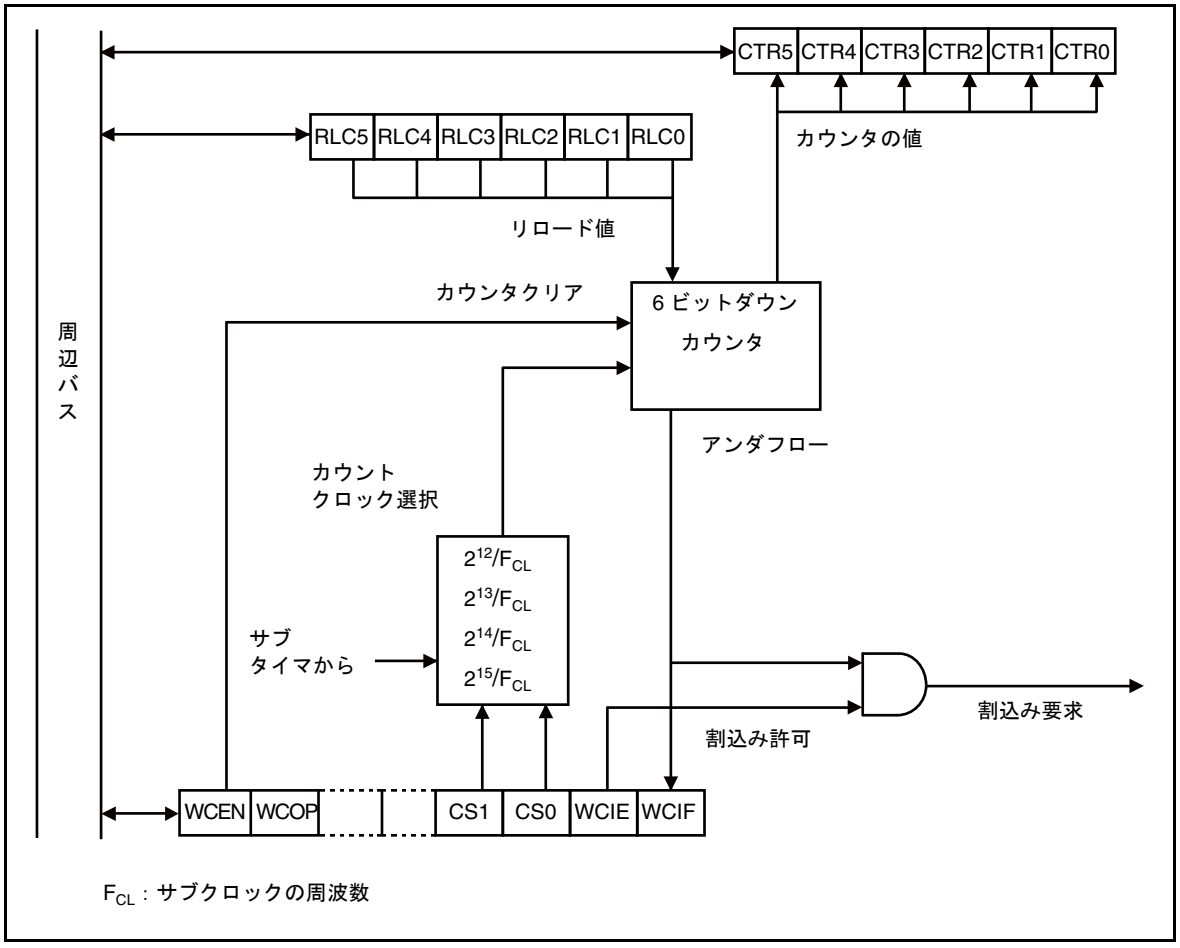
16.2　構成

時計カウンタの構成を示します。

■ 時計カウンタのブロックダイヤグラム

時計カウンタのブロックダイヤグラムを図 16.2-1 に示します。

図 16.2-1 時計カウンタのブロックダイヤグラム



- 6 ビットダウンカウンタ

  時計カウンタの 6 ビットダウンカウンタです。時計カウンタリロードレジスタ (WCRL) に設定された値をリロードしてダウンカウントします。

- 時計カウンタリロードレジスタ (WCRL)

  時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から 6 ビットダウンカウンタがカウントダウンします。

- 時計カウンタリードレジスタ (WCRD)

  6 ビットダウンカウンタの値を読み出すレジスタです。このレジスタを読み出すとカウントの値を確認できます。

- 時計カウンタ制御レジスタ (WCCR)

  時計カウンタの動作を制御するレジスタです。

■ クロック

時計カウンタで使用するクロックを表 16.2-1 に示します。

表 16.2-1 時計カウンタで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	―
カウント用クロック	サブタイマ出力	サブタイマの周期 *

*　サブタイマの周期は , サブタイマ制御レジスタ (STMCR) の STS2 ～ STS0 ビットで設定します。サブタイマについては,「第7章 サブタイマ」を参照してください。

16.3　レジスタ

時計カウンタで使用するレジスタの構成と機能について説明します。

■ 時計カウンタのレジスター覧

時計カウンタのレジスター覧を表 16.3-1 に示します。

表 16.3-1 時計カウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
WCRL	時計カウンタリロードレジスタ	16.3.1
WCCR	時計カウンタ制御レジスタ	16.3.2
WCRD	時計カウンタリードレジスタ	16.3.3

16.3.1　時計カウンタリロードレジスタ (WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から6ビットダウンカウンタがカウントダウンします。

6 ビットダウンカウンタのリロード値を設定します。6 ビットダウンカウンタがアンダフローすると , このレジスタの値が 6 ビットダウンカウンタにリロードされ , 再度カウントします。

時計カウンタリロードレジスタ (WCRL) のビット構成を図 16.3-1 に示します。

図 16.3-1 時計カウンタリロードレジスタ (WCRL) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	RLC5	RLC4	RLC3	RLC2	RLC1	RLC0
属性	ー	ー	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能
ー：未定義

[bit7, bit6]：未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit5 ～ bit0]：RLC5 ～ RLC0 (カウンタリロード値設定ビット)

6 ビットダウンカウンタのリロード値を設定します。

6 ビットダウンカウンタは , リロード値から "1" までカウントダウンして "1" でアンダフローします。このビットで "0" を設定すると , "63" ～ "0" まで 64 カウントします。

< 注意事項 >

- 6 ビットダウンカウンタが動作中にこのビットを書き換えると , アンダフロー発生後に , 変更後の値がリロードされます。
- アンダフロー割込み要求が発生すると同時にこのビットを書き換えると ， 正しい値がリロードされません。必ず時計カウンタの停止中や割込み処理ルーチン内など , 割込み要求が発生する前にこのビットを書き換えてください。
- リロード値が正しく設定されたかどうか ， このレジスタを読み出して確認してください。

16.3.2　時計カウンタ制御レジスタ (WCCR)

時計カウンタのカウント用クロックを選択したり , 割込み要求の発生を許可 / 禁止したりするレジスタです。また , 時計カウンタの動作もこのレジスタで許可 / 禁止します。

時計カウンタ制御レジスタ (WCCR) のビット構成を図 16.3-2 に示します。

図 16.3-2 時計カウンタ制御レジスタ (WCCR) のビット構成

bit	7	6	5	4	3	2	1	0
	WCEN	WCOP	未定義	未定義	CS1	CS0	WCIE	WCIF
属性	R/W	R	—	—	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能
R：リードオンリ
ー：未定義

[bit7]：WCEN (時計カウンタ動作許可ビット)

時計カウンタの動作を許可 / 禁止します。

書込み値	説明
0	時計カウンタを禁止 / 停止します。6 ビットダウンカウンタの値は "000000_B" にクリアされます。
1	時計カウンタの動作を許可 / 開始します。

< 注意事項 >

- 時計カウンタのカウント用クロックはサブタイマからの出力を ，各レジスタの設定は周辺クロック (PCLK) を利用しています。サブタイマと周辺クロック (PCLK) は非同期のため , このビットに "1" を書き込んだタイミングによっては , カウント開始のタイミングに最大で 1T (T : カウント用クロックの周期) 分の誤差が発生する可能性があります。
- このビットに "1" を書き込んで時計カウンタの動作を開始する場合は , WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを確認してから , 時計カウンタの動作を開始してください。

[bit6]：WCOP (時計カウンタ動作状態フラグビット)

時計カウンタの動作状態を示します。

読出し値	説明
0	時計カウンタは停止中です。
1	時計カウンタは動作中です。

[bit5, bit4] : 未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit3, bit2] : CS1, CS0 (カウント用クロック選択ビット)

時計カウンタのカウント用クロックを設定します。

CS1	CS0	カウント用クロック
0	0	$2^{12}/F_{CL}$
0	1	$2^{13}/F_{CL}$
1	0	$2^{14}/F_{CL}$
1	1	$2^{15}/F_{CL}$

F_{CL}: サブクロック (SBCLK) の周波数

< 注意事項 >

このビットは , 次の条件を満たしたときに書き換えてください。

- WCEN ビット =0 (時計カウンタの動作禁止)
- WCOP ビット =0 (時計カウンタ停止中)

[bit1] : WCIE (割込み要求許可ビット)

6 ビットダウンカウンタがアンダフローしたとき (WCIF ビット =1) にアンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit0] : WCIF (割込み要求フラグビット)

6 ビットダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに , WCIE ビットに "1" が設定されていると割込み要求が発生します。

WCIF	読出し時	書込み時
0	ダウンカウンタはアンダフローしていません。	このビットを "0" にクリアします。
1	ダウンカウンタがアンダフローしました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

16.3.3　時計カウンタリードレジスタ (WCRD)

6 ビットダウンカウンタの値を読み出すレジスタです。

時計カウンタリードレジスタ (WCRD) のビット構成を図 16.3-3 に示します。

図 16.3-3 時計カウンタリードレジスタ (WCRD) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	CTR5	CTR4	CTR3	CTR2	CTR1	CTR0
属性	—	—	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R：リードオンリ
ー：未定義

< 注意事項 >

6 ビットダウンカウンタが動作中にカウンタの値を読み出す場合は , このレジスタを 2 度読み出して同じ値が読み出されることを確認してください。

16.4　割込み

6 ビットダウンカウンタの値が "000001_B" になり 6 ビットダウンカウンタがアンダフローするとアンダフロー割込み要求が発生します。

時計カウンタで使用できる割込みについて表 16.4-1 に示します。

表 16.4-1 時計カウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	WCCR の WCIF=1	WCCR の WCIE=1	WCCR の WCIF ビットに "0" を書き込む

WCCR : 時計カウンタ制御レジスタ (WCCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章 割込みコントローラ」を参照してください。

16.5　動作説明と設定手順例

時計カウンタの動作について説明します。また , 動作状態を設定するための手順例も示します。

16.5.1　時計カウンタの動作

時計カウンタは , 時計カウンタリロードレジスタ (WCRL) に設定された値からカウントダウンし , 6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。

次の手順で動作させてください。

1. 時計カウンタ制御レジスタ (WCCR) の CS1, CS0 ビットでカウント用クロックを選択する
2. 時計カウンタリロードレジスタ (WCRL) の RLC5 ～ RLC0 ビットにカウントする値を設定する
3. 時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタの動作を許可 (WCEN=1) する

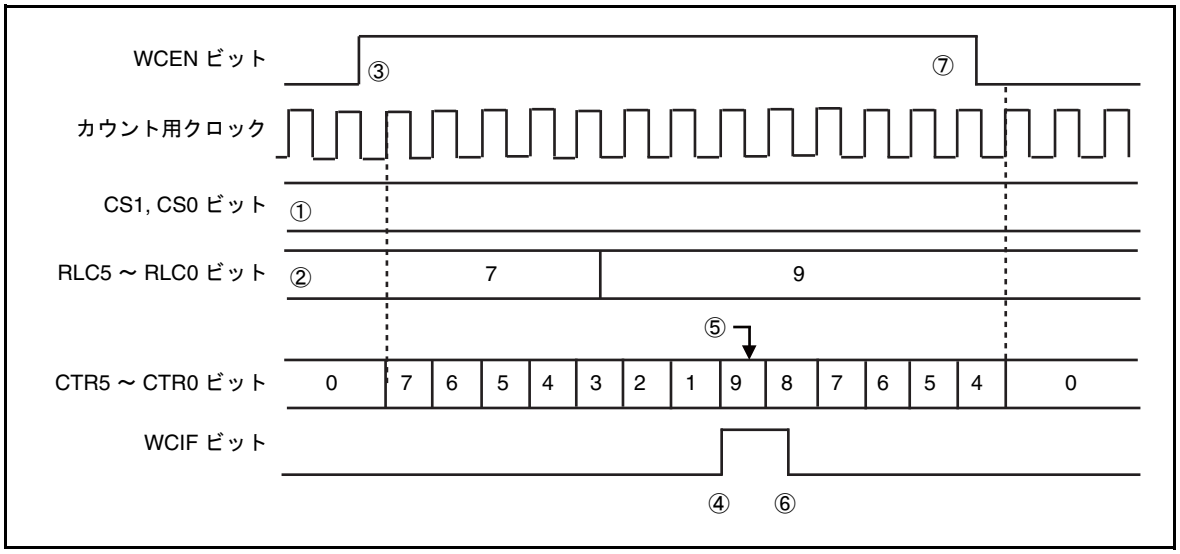
   カウントダウンを開始します。カウント用クロックの立上りエッジでカウントが行われます。
4. 6 ビットダウンカウンタがアンダフローすると , 時計カウンタ制御レジスタ (WCCR) の WCIF ビットが "1" に変わる

   このとき , 時計カウンタ制御レジスタ (WCCR) の WCIE ビットでアンダフロー割込み要求の発生が許可 (WCIE=1) されていると , アンダフロー割込み要求が発生します。

   また , 時計カウンタリロードレジスタ (WCRL) の RLC5 ～ RLC0 ビットに設定した値が 6 ビットダウンカウンタにリロードされ , 再度カウントダウンします。
5. 時計カウンタの動作中に , 時計カウンタリロードレジスタ (WCRL) の RLC5 ～ RLC0 ビットを書き換えると , 次のリロードタイミングで書き換えた値が更新される
6. 時計カウンタ制御レジスタ (WCCR) の WCIF ビットに "0" を書き込むと , アンダフロー割込み要求がクリアされる
7. 時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込むと , 6 ビットダウンカウンタの値が "000000_B" にクリアされ , カウント動作が停止する

時計カウンタの動作を図 16.5-1 に示します。

図 16.5-1 時計カウンタの動作



< 注意事項 >

- 時計カウンタのカウント用クロックはサブタイマからの出力を，各レジスタの設定は周辺クロック (PCLK) を利用しています。サブタイマと周辺クロック (PCLK) は非同期のため , 時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "1" を書き込んだタイミングによっては , カウント開始のタイミングで最大で 1T (T : カウント用クロックの周期) 分の誤差が発生する可能性があります。
- サブクロック (SBCLK) が停止しているときは , サブタイマからのカウント用クロックも停止するため , 6 ビットダウンカウンタも停止します。サブクロック (SBCLK) が動作を再開しても時計カウンタは正しく値をカウントできません。サブクロック (SBCLK) が動作を再開したら , 必ず時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込んで , カウンタの値を "000000_B" にクリアしてから時計カウンタを利用してください。
- CPU が時計モードで動作しているときでも , サブタイマが動作している場合は , 時計カウンタは動作し続けます。時計カウンタの割込み処理ルーチンで , CPU の時計モードを解除することもできます。
- 時計カウンタの動作中にサブタイマをクリアすると，正しい値をカウントできなくなる場合があります。時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) してからサブタイマをクリアしてください。
- 時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込んで , 時計カウンタの動作を停止した後に，WCEN ビットで時計カウンタを再度起動する場合 (WCEN=1) は , 時計カウンタ制御レジスタ (WCCR) の WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを確認してから , 時計カウンタを再起動してください。

16.6　使用上の注意

時計カウンタを使用する際は , 次の点に注意してください。

■ 動作に関する注意

- 時計カウンタの動作中にサブタイマをクリアすると , 正しい値をカウントできなくなる場合があります。時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) してからサブタイマをクリアしてください。
- 時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) した後に , WCEN ビットで時計カウンタを再度起動する (WCEN=1) 場合は , 時計カウンタ制御レジスタ (WCCR) の WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを , 確認してから時計カウンタを再起動してください。
- 時計カウンタはサブタイマの出力をカウント用クロックとして使用していますので , 時計カウンタの動作中はサブタイマの設定を変更しないでください。
- 時計カウンタは"000001_B"からのカウントダウンでアンダフローを発生します。時計カウンタは , リロード値から "1" までカウントします。リロード値に "0" を設定した場合は , 64 カウントします。

第 17 章 32 ビット フリーランタイマ

32 ビットフリーランタイマの機能と動作について説明します。

17.1 概要
17.2 構成
17.3 端子
17.4 レジスタ
17.5 割込み
17.6 動作説明と設定手順例

17.1 概要

32 ビットフリーランタイマは , あらかじめ設定した値までカウントアップするアップカウンタです。
設定した値までカウントすると , 値をクリアして再度カウントを始めたり , 割込み要求を発生したりします。また , カウント値は 32 ビットアウトプットコンペアと 32 ビットインプットキャプチャで基準時間として使用されます。
本製品は 32 ビットフリーランタイマを 1 チャネル内蔵しています。

■ 概要

32 ビットフリーランタイマは , コンペアタイマの一部です。コンペアタイマは , 次の 3 つの周辺機能で構成されています。

- 32 ビットフリーランタイマ (1 チャネル)
- 32 ビットアウトプットコンペア (4 チャネル)

  「第 19 章 32 ビット アウトプット コンペア」を参照してください。
- 32 ビットインプットキャプチャ (4 チャネル)

  「第 18 章 32 ビット インプット キャプチャ」を参照してください。

この章では , 32 ビットフリーランタイマについて説明します。

- カウント用クロック : 次の中から選択できます。
  - 内部クロック (周辺クロック)

    9 種類 (周辺クロック (PCLK) の 1 分周 , 2 分周 , 4 分周 , 8 分周 , 16 分周 , 32 分周 , 64 分周 , 128 分周 , 256 分周) から選択できます。
  - 外部クロック
- 割込み要求 : 次の場合に割込み要求を発生できます。

  32 ビットフリーランタイマのカウント値とあらかじめ設定した値が一致したとき (コンペアクリア割込み)

17.2　構成

32 ビットフリーランタイマは , コンペアタイマの一部です。コンペアタイマおよび 32 ビットフリーランタイマのブロックダイヤグラムを示します。

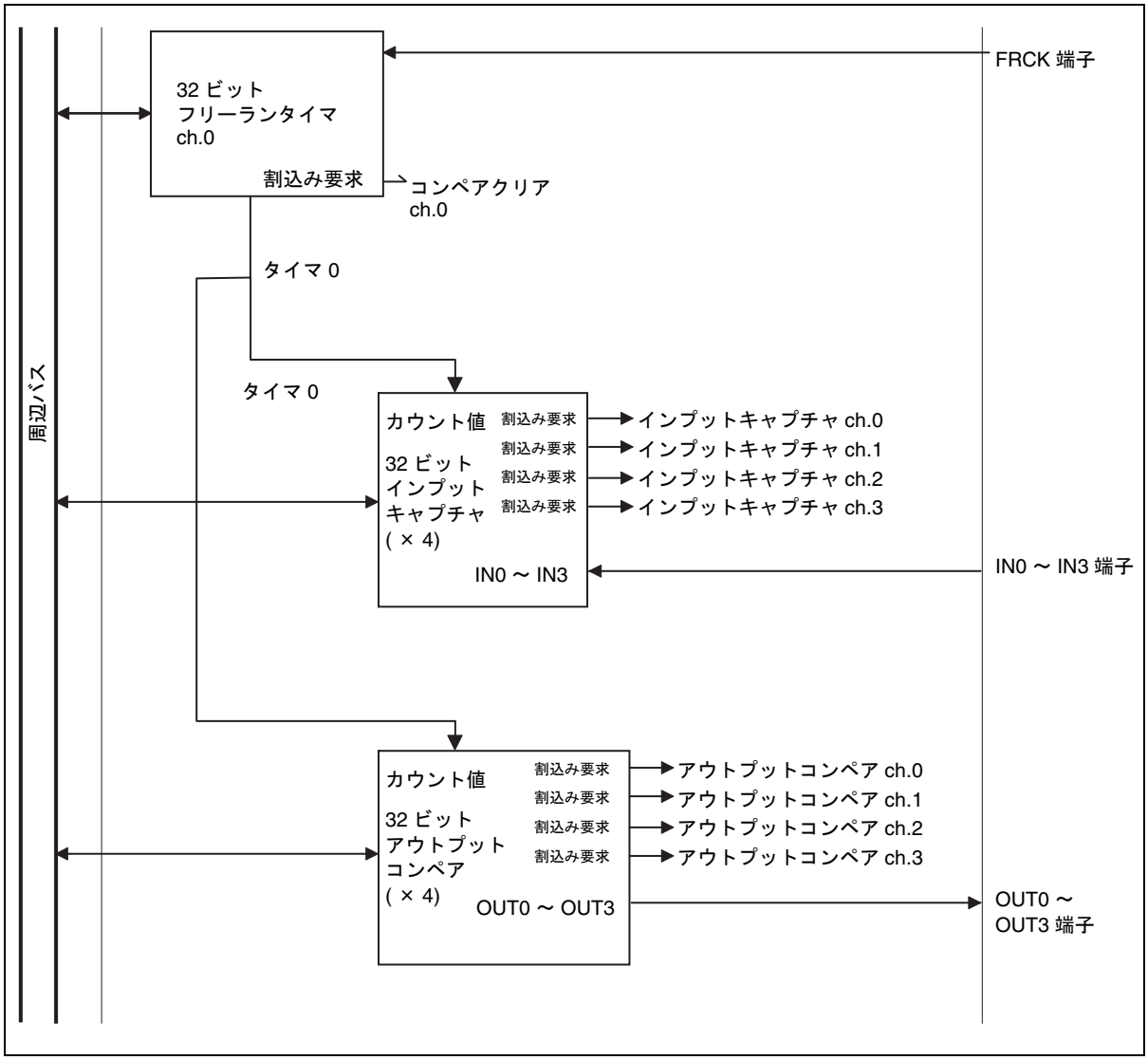
■ コンペアタイマのブロックダイヤグラム

コンペアタイマは次のブロックで構成されています。

- 32 ビットフリーランタイマ (1 チャネル)
- 32 ビットインプットキャプチャ (4 チャネル)
- 32 ビットアウトプットコンペア (4 チャネル)

コンペアタイマのブロックダイヤグラムを図 17.2-1 に示します。

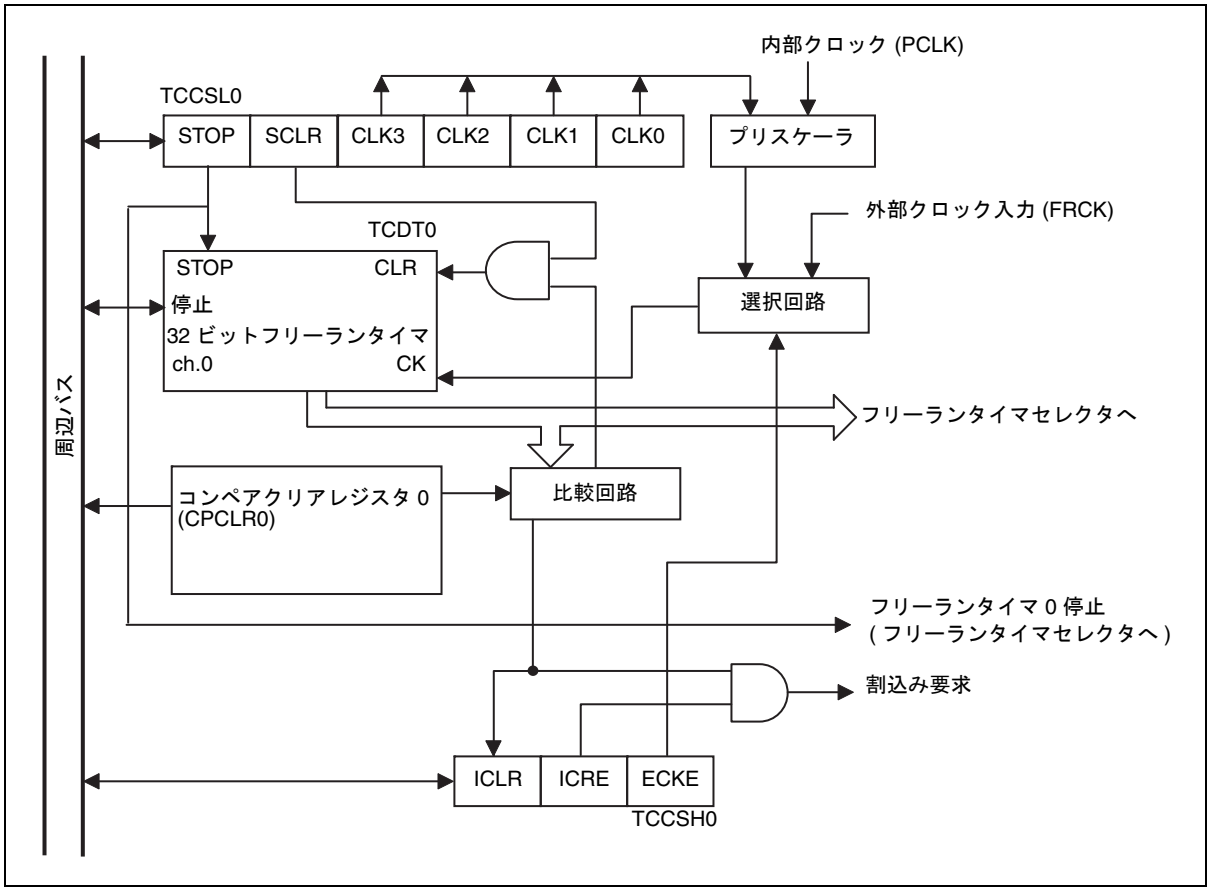
図 17.2-1 コンペアタイマのブロックダイヤグラム



■ 32 ビットフリーランタイマのブロックダイヤグラム

32 ビットフリーランタイマのブロックダイヤグラムを図 17.2-2 に示します。

図 17.2-2 32 ビットフリーランタイマのブロックダイヤグラム



- 32 ビットフリーランタイマ

  コンペアクリアレジスタ (CPCLR0) に設定された値までカウントアップします。
- タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0)

  32 ビットフリーランタイマの動作を制御するレジスタです。
- コンペアクリアレジスタ (CPCLR0)

  32 ビットアップカウンタが , このレジスタに設定した値までカウントアップします。
- タイマデータレジスタ (TCDT0)

  カウントを開始する値を設定したり , 現在のカウント値を読み出したりするためのレジスタです。
- プリスケーラ

  カウント用クロックに内部クロック (周辺クロック) を選択した場合 , 周辺クロック (PCLK) を分周します。
- 選択回路

  カウント用クロックに, 内部クロック (周辺クロック) と外部クロック (FRCK) のどちらを使用するかを選択します。
- 比較回路

  32ビットフリーランタイマのカウント値とコンペアクリアレジスタ (CPCLR0) で設定した値を比較する回路です。

■ クロック

32 ビットフリーランタイマで使用するクロックを表 17.2-1 に示します。

表 17.2-1 32 ビットフリーランタイマで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	―
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部クロック	FRCK 端子から入力

17.3　端子

32 ビットフリーランタイマで使用する端子について説明します。

■ 概要

- FRCK 端子

  32 ビットフリーランタイマの外部クロック入力端子です。この端子は兼用端子です。

  32 ビットフリーランタイマの FRCK 端子として使用するには，「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 17.3-1 に示します。

表 17.3-1 チャネルと端子の対応

チャネル	入力端子
0	FRCK

17.4　レジスタ

32 ビットフリーランタイマで使用するレジスタの構成と機能について説明します。

■ 32 ビットフリーランタイマのレジスター覧

32 ビットフリーランタイマのレジスター覧を表 17.4-1 に示します。

表 17.4-1 32 ビットフリーランタイマのレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
0	CPCLR0	コンペアクリアレジスタ 0	17.4.1
	TCCSH0/TCCSL0	タイマ状態制御レジスタ上位 0/ 下位 0	17.4.3
	TCDT0	タイマデータレジスタ 0	17.4.2

17.4.1　コンペアクリアレジスタ (CPCLR0)

32 ビットフリーランタイマのコンペア値を設定するレジスタです。
32 ビットフリーランタイマが , このレジスタに設定した値までカウントアップし , 値が一致すると , 32 ビットフリーランタイマのカウント値が "0000 0000_H" にクリアされます。

コンペアクリアレジスタ (CPCLR0) のビット構成を図 17.4-1 に示します。

図 17.4-1 コンペアクリアレジスタ (CPCLR0) のビット構成

bit	31 ～ 0
	CL31 ～ CL0
属性	R/W
初期値	1

R/W : リード / ライト可能

< 注意事項 >

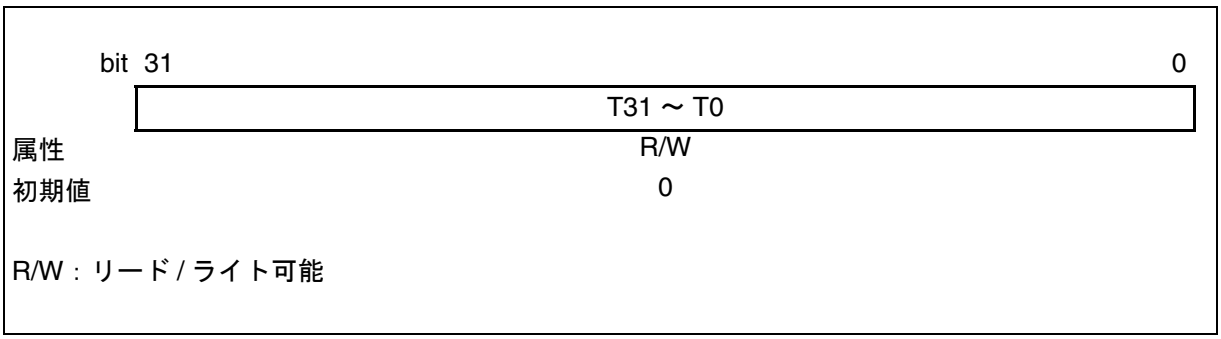
- このレジスタは , 32 ビットフリーランタイマが停止しているときに書き換えてください。
  タイマ状態制御レジスタ下位 (TCCSL0) のSTOPビットが"1"のとき , 32ビットフリーランタイマは停止しています。
- このレジスタは必ずワードでアクセスしてください。

17.4.2　タイマデータレジスタ (TCDT0)

32 ビットフリーランタイマがカウントを開始する値を設定したり , 現在のカウント値を読み出したりするためのレジスタです。

タイマデータレジスタ (TCDT0) のビット構成を図 17.4-2 に示します。

図 17.4-2 タイマデータレジスタ (TCDT0) のビット構成



このレジスタに書き込んだ値から , 32 ビットフリーランタイマがカウントアップを開始します。また , このレジスタを読み出した場合は , 32 ビットフリーランタイマのカウント値が読み出されます。

< 注意事項 >

- このレジスタは , フリーランタイマが停止しているときに書き換えてください。
  タイマ状態制御レジスタ下位 (TCCSL0) のSTOPビットが"1"のとき , 32ビットフリーランタイマは停止しています。
- このレジスタは必ずワードでアクセスしてください。
- このレジスタは , 書込み値と読出し値が異なります。
- 32 ビットフリーランタイマのカウント値 (このレジスタの値) は , 次のいずれかが発生するとただちに "0000 0000_H" にクリアされます。
  - 本デバイスがリセットされた
  - タイマ状態制御レジスタ下位 (TCCSL0) の SCLR ビットに "1" が書き込まれた
  - 32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) の値と一致した

17.4.3　タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0)

32 ビットフリーランタイマの動作を制御するレジスタです。

タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0) のビット構成を図 17.4-3 に示します。

図 17.4-3 タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0) のビット構成

タイマ状態制御レジスタ上位 (TCCSH0)

bit	15	14	13	12	11	10	9	8
	ECKE	未定義	未定義	未定義	未定義	未定義	ICLR	ICRE
属性	R/W	―	―	―	―	―	R/W	R/W
初期値	0	X	X	X	X	X	0	0

タイマ状態制御レジスタ下位 (TCCSL0)

bit	7	6	5	4	3	2	1	0
	未定義	STOP	未定義	SCLR	CLK3	CLK2	CLK1	CLK0
属性	―	R/W	―	R/W	R/W	R/W	R/W	R/W
初期値	X	1	X	0	0	0	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

[bit15]：ECKE (クロック選択ビット)

32 ビットフリーランタイマのカウント用クロックを選択します。

書込み値	説明
0	内部クロック (周辺クロック) を選択します。
1	外部クロックを選択します。

内部クロック (周辺クロック) は , 周辺クロック (PCLK) を分周して生成します。内部クロック (周辺クロック) を選択した場合は , CLK3 ～ CLK0 ビットで周辺クロック (PCLK) の分周比を選択する必要があります。

外部クロックは FRCK 端子から入力されます。外部クロックを選択した場合は , FRCK 端子から入力される信号の両エッジでカウントが行われます。

< 注意事項 >

- このビットを変更すると , ただちにカウント用クロックが変更されます。
- このビットは , 32 ビットフリーランタイマ , 32 ビットインプットキャプチャ , および 32 ビットアウトプットコンペアのすべてが停止しているときに書き換えてください。

[bit14 ～ bit10]：予約ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9]：ICLR (コンペアクリア割込み要求フラグビット)

32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) に設定した値と一致したことを示します。

このビットが "1" のときに , ICRE ビットに "1" が設定されていると , コンペアクリア割込み要求が発生します。

ICLR	読出し時	書込み時
0	カウント値は一致していません。	このビットを "0" にクリアします。
1	カウント値が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit8] : ICRE (コンペアクリア割込み要求許可ビット)

32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) に設定した値と一致したとき (ICLR ビット =1) にコンペアクリア割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	コンペアクリア割込み要求の発生を禁止します。
1	コンペアクリア割込み要求の発生を許可します。

[bit7] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit6] : STOP (タイマ動作許可ビット)

32 ビットフリーランタイマのカウント動作を許可 (開始) / 禁止 (停止) します。

書込み値	説明
0	カウント動作を許可 (開始) します。
1	カウント動作を禁止 (停止) します。

< 注意事項 >

32 ビットフリーランタイマを停止すると , 32 ビットアウトプットコンペアも停止します。

[bit5] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit4] : SCLR (タイマクリアビット)

32 ビットフリーランタイマのカウント値を "0000 0000_H" にクリアします。

SCLR	書込み時	読出し時
0	カウント値をクリアしません。	"0" が読み出されます。
1	カウント値をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと , 次のカウント用クロックのタイミングでカウント値がクリアされます。

[bit3 ～ bit0] : CLK3 ～ CLK0 (クロック周波数選択ビット)

32 ビットフリーランタイマのカウント用クロックに , 内部クロック (周辺クロック) を選択した場合は , 周辺クロック (PCLK) の分周比を選択します。

このビットで選択した分周比と周辺クロック (PCLK) の周波数によってカウントの周期が決定します。

このビットへの書込み値と周辺クロック (PCLK) の関係で設定されるカウント周期例を表 17.4-2 に示します。

表 17.4-2 書込み値とカウント周期例

CLK3	CLK2	CLK1	CLK0	PCLK の分周比	PCLK の周波数				
					32MHz	16MHz	8MHz	4MHz	1MHz
0	0	0	0	1 分周	31.25ns	62.5ns	125ns	0.25µs	1µs
0	0	0	1	2 分周	62.5ns	125ns	0.25µs	0.5µs	2µs
0	0	1	0	4 分周	125ns	0.25µs	0.5µs	1µs	4µs
0	0	1	1	8 分周	0.25µs	0.5µs	1µs	2µs	8µs
0	1	0	0	16 分周	0.5µs	1µs	2µs	4µs	16µs
0	1	0	1	32 分周	1µs	2µs	4µs	8µs	32µs
0	1	1	0	64 分周	2µs	4µs	8µs	16µs	64µs
0	1	1	1	128 分周	4µs	8µs	16µs	32µs	128µs
1	0	0	0	256 分周	8µs	16µs	32µs	64µs	256µs

PCLK：周辺クロック (PCLK)

< 注意事項 >

- 表 17.4-2 に示した以外の設定は使用しないでください。
- このビットを書き換えると , ただちにカウント用クロックが変更されます。
- このビットは , 32 ビットフリーランタイマ , 32 ビットインプットキャプチャ , および 32 ビットアウトプットコンペアの全てが停止しているときに書き換えてください。

17.5　割込み

32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) に設定した値と一致すると , 割込み要求が発生します (コンペアクリア割込み要求) 。

32 ビットフリーランタイマで使用できる割込みについて表 17.5-1 に示します。

表 17.5-1　32 ビットフリーランタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
コンペアクリア割込み要求	TCCSH の ICLR=1	TCCSH の ICRE=1	TCCSH のICLR ビットに"0"を書き込む

TCCSH : タイマ状態制御レジスタ上位 (TCCSH0)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C　割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章　割込みコントローラ」を参照してください。

17.6　動作説明と設定手順例

32 ビットフリーランタイマの動作について説明します。また , 動作状態を設定するための手順例も示します。

■ 概要

32 ビットフリーランタイマは , 内部クロック (周辺クロック) または外部クロックをカウント用クロックとして , タイマデータレジスタ (TCDT0) に設定した値から , コンペアクリアレジスタ (CPCLR0) に設定した値までカウントアップします。

- 内部クロック (周辺クロック)

  9 種類 (周辺クロック (PCLK) の 1 分周 , 2 分周 , 4 分周 , 8 分周 , 16 分周 , 32 分周 , 64 分周 , 128 分周 , 256 分周) から選択できます。

- 外部クロック

  両エッジでカウントアップします。カウント開始のタイミングは , FRCK 端子から入力される外部クロックの初期値によって異なります。

32 ビットフリーランタイマの値は , 32 ビットアウトプットコンペアおよび 32 ビットインプットキャプチャの基準時間として使用されます。

■ タイマクリア動作

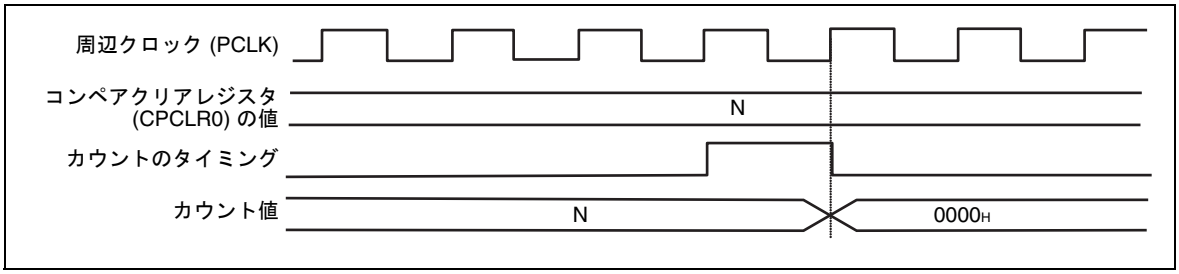
32 ビットフリーランタイマのカウント値は , 次のいずれかの状態になるとただちにクリアされます。

- コンペアクリアレジスタ (CPCLR0) に設定した値と一致した場合
- タイマ状態制御レジスタ下位 (TCCSL0) の SCLR ビットで 32 ビットフリーランタイマのカウント値がクリア (SCLR=1) された場合
- 32 ビットフリーランタイマの停止中に , タイマデータレジスタ (TCDT0) に "0000 0000_H" が書き込まれた場合
- 本デバイスがリセットされた場合

32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) に設定した値と一致した場合は , カウントタイミングに同期してクリアされます。

タイマクリア動作のタイミングを図 17.6-1 に示します。

図 17.6-1 タイマクリア動作のタイミング



17.6.1　内部クロック (周辺クロック) 選択時の動作

分周した周辺クロック (PCLK) をカウント用クロックとして使用します。

■ カウント動作

タイマ状態制御レジスタ下位 (TCCSL0) の STOP ビットで, 32 ビットフリーランタイマの動作を許可 (STOP=0) すると , タイマデータレジスタ (TCDT0) に設定した値から , コンペアクリアレジスタ (CPCLR0) に設定した値までカウントを開始します。

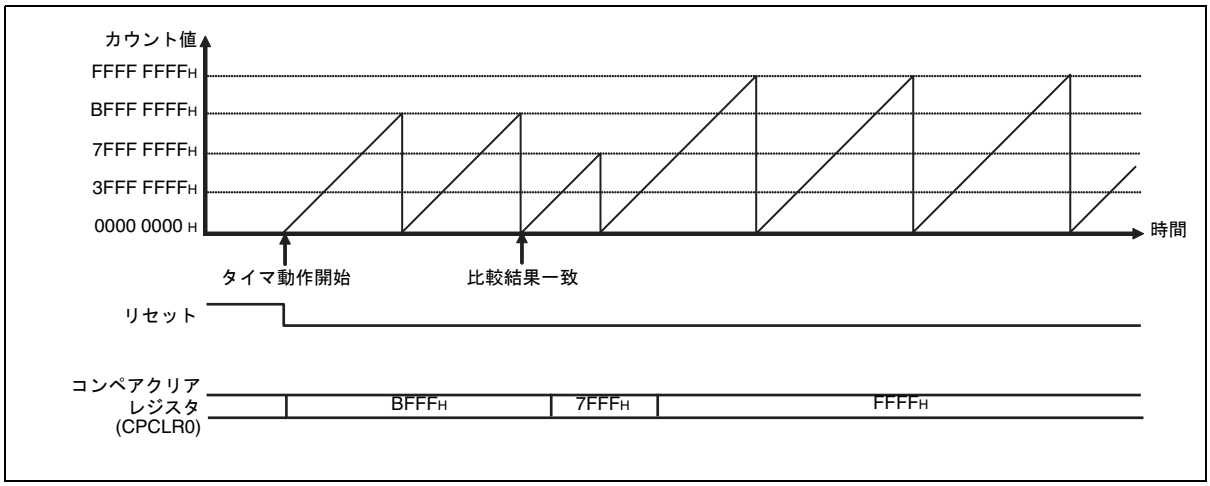
■ コンペアクリア動作

32 ビットフリーランタイマのカウント値が , コンペアクリアレジスタ (CPCLR0) に設定した値と一致すると , カウントのタイミングに同期してクリアされます (コンペアクリア) 。

コンペアクリア後 , 再度カウントアップが開始されます。

コンペアクリア動作のタイミングを図 17.6-2 に示します。

図 17.6-2 コンペアクリア動作のタイミング



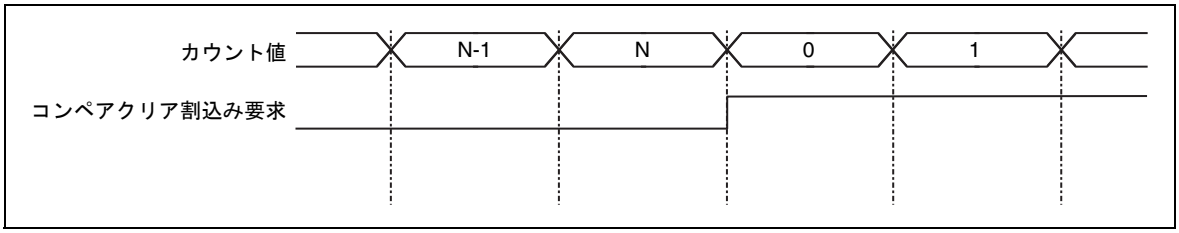
■ 割込み処理動作

32 ビットフリーランタイマは , カウント値がコンペアクリアレジスタ (CPCLR0) に設定した値と一致したときに , 割込み要求を発生できます。

タイマ状態制御レジスタ上位 (TCCSH0) の ICLR ビットに "0" を書き込むと , 割込み要求をクリアできます。

割込み要求の発生タイミングを図 17.6-3 に示します。

図 17.6-3 割込み要求の発生タイミング



17.6.2　外部クロック選択時の動作

FRCK 端子から入力される外部クロックをカウント用クロックとして使用します。

■ カウント動作

タイマ状態制御レジスタ下位 (TCCSL0) の STOP ビットで 32 ビットフリーランタイマの動作を許可 (STOP=0) しているときに , FRCK 端子で有効エッジを検出すると , タイマデータレジスタ (TCDT0) に設定した値から , コンペアクリアレジスタ (CPCLR0) に設定した値までカウントを開始します。

カウントのタイミングは , フリーランタイマの動作を許可した時点で , FRCK 端子から入力されていた信号レベルによって異なります。

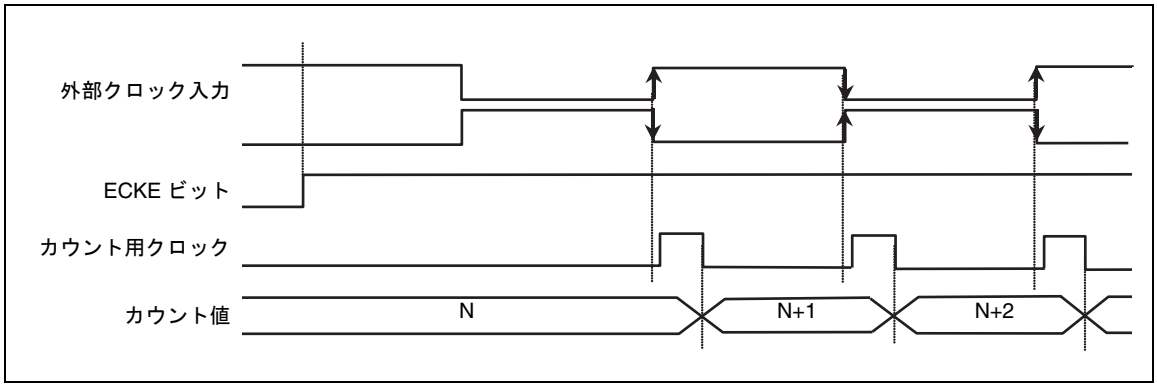
外部クロック選択時のカウントのタイミングを表 17.6-1 に示します。

表 17.6-1 外部クロック選択時のカウントのタイミング

動作許可時の信号レベル	カウントのタイミング
"H" レベル	立上りエッジでカウントを開始し , その後は両エッジでカウントアップします。
"L" レベル	立下りエッジでカウントを開始し , その後は両エッジでカウントアップします。

外部クロック選択時 (ECKE=1) のカウントのタイミングを図 17.6-4 に示します。

図 17.6-4 外部クロック選択時のカウントのタイミング



■ コンペアクリア動作

内部クロック (周辺クロック) 選択時と同様です。「17.6.1 内部クロック (周辺クロック) 選択時の動作」の「■ コンペアクリア動作」を参照してください。

■ 割込み処理動作

内部クロック (周辺クロック) 選択時と同様です。「17.6.1 内部クロック (周辺クロック) 選択時の動作」の「■ 割込み処理動作」を参照してください。

第 18 章 32 ビット インプット キャプチャ

32 ビットインプットキャプチャの機能と動作について説明します。

18.1 概要
18.2 構成
18.3 端子
18.4 レジスタ
18.5 割込み
18.6 動作説明と設定手順例

18.1　概要

32 ビットインプットキャプチャは , あらかじめ設定しておいた入力信号のエッジを検出すると , その時点での 32 ビットフリーランタイマの値を保存します。
本製品はインプットキャプチャを 4 チャネル内蔵しています。

■ 概要

32 ビットインプットキャプチャは , コンペアタイマの一部です。コンペアタイマは , 次の 3 つの機能で構成されています。

- 32 ビットフリーランタイマ (1 チャネル)

  「第 17 章　32 ビット フリーランタイマ」を参照してください。
- 32 ビットアウトプットコンペア (4 チャネル)

  「第 19 章　32 ビット アウトプット コンペア」を参照してください。
- 32 ビットインプットキャプチャ (4 チャネル)

この章では , 32 ビットインプットキャプチャについて説明します。

- 32 ビットフリーランタイマの値を保存するトリガを次の 3 種類から選択できます。
  - 立上りエッジ
  - 立下りエッジ
  - 両エッジ
- あらかじめ設定しておいた入力信号のエッジを検出したときに , 割込み要求を発生できます。

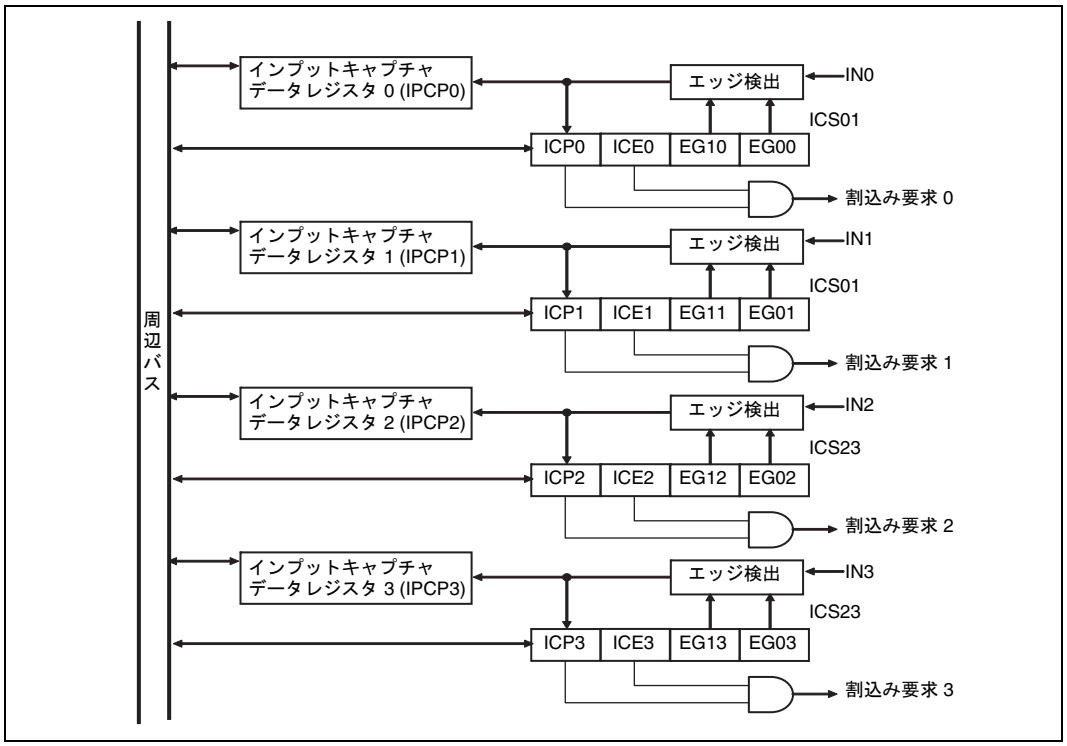
18.2　構成

32 ビットインプットキャプチャの構成を示します。

■ 32 ビットインプットキャプチャのブロックダイヤグラム

32 ビットインプットキャプチャのブロックダイヤグラムを図 18.2-1 に示します。

図 18.2-1　32 ビットインプットキャプチャのブロックダイヤグラム



- インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3)
  フリーランタイマの値が保存されるレジスタです。
- インプットキャプチャ状態制御レジスタ (ICS01, ICS23)
  32 ビットインプットキャプチャの動作や状態を制御するレジスタです。

< 注意事項 >

コンペアタイマのブロックダイヤグラムについては , 「第 17 章　32 ビット フリーランタイマ」の「■ コンペアタイマのブロックダイヤグラム」を参照してください。

■ クロック

32 ビットインプットキャプチャで使用するクロックを表 18.2-1 に示します。

表 18.2-1 32 ビットインプットキャプチャで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

18.3　端子

32 ビットインプットキャプチャで使用する端子について説明します。

■ 概要

- IN0 ～ IN3 端子

  32 ビットインプットキャプチャの入力端子です。この端子は兼用端子です。32 ビットインプットキャプチャの入力端子として使用するには ,「2.4　端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 18.3-1 に示します。

表 18.3-1　チャネルと端子の対応

チャネル	入力端子
0	IN0
1	IN1
2	IN2
3	IN3

18.4　レジスタ

32 ビットインプットキャプチャで使用するレジスタの構成と機能について説明します。

■ 32 ビットインプットキャプチャのレジスター覧

32 ビットインプットキャプチャのレジスター覧を表 18.4-1 に示します。

表 18.4-1　32 ビットインプットキャプチャのレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
0/1 共通	ICS01	インプットキャプチャ状態制御レジスタ 01	18.4.1
2/3 共通	ICS23	インプットキャプチャ状態制御レジスタ 23	18.4.1
0	IPCP0	インプットキャプチャデータレジスタ 0	18.4.2
1	IPCP1	インプットキャプチャデータレジスタ 1	18.4.2
2	IPCP2	インプットキャプチャデータレジスタ 2	18.4.2
3	IPCP3	インプットキャプチャデータレジスタ 3	18.4.2

18.4.1　インプットキャプチャ状態制御レジスタ (ICS01, ICS23)

32 ビットインプットキャプチャの動作や状態を制御するレジスタです。

インプットキャプチャ状態制御レジスタ (ICS01, ICS23) のビット構成を図 18.4-1 に示します。

図 18.4-1 インプットキャプチャ状態制御レジスタ (ICS01, ICS23) のビット構成

bit	7	6	5	4	3	2	1	0
	ICPm	ICPn	ICEm	ICEn	EG1m	EG0m	EG1n	EG0n
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

[bit7, bit6]：ICPm, ICPn (割込み要求フラグビット)

IN0 ～ IN3 端子に有効エッジが検出されたことを示します。このビットが "1" のときに , ICEm, ICEn ビットが "1" に設定されているとエッジ検出割込み要求が発生します。

ICPm ビットが奇数チャネル , ICPn ビットが偶数チャネルに対応します。

ICPm, ICPn	読出し時	書込み時
0	有効エッジは検出されていません。	このビットを "0" にクリアします。
1	有効エッジが検出されました。	無視されます。

ICPm ビット , ICPn ビットとチャネルの対応を表 18.4-2 に示します。

表 18.4-2 ビットとチャネルの対応

インプットキャプチャステータスレジスタ	ICPm ビット	対応チャネル	ICPn ビット	対応チャネル
ICS01	ICP1	ch.1	ICP0	ch.0
ICS23	ICP3	ch.3	ICP2	ch.2

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5, bit4] : ICEm, ICEn (割込み要求許可ビット)

IN0 ～ IN3 端子に有効エッジが検出されたとき (ICPm, ICPn=1) に , エッジ検出割込み要求を発生させるかどうかを設定します。

ICEm ビットが奇数チャネル , ICEn ビットが偶数チャネルに対応します。

書込み値	説明
0	エッジ検出割込み要求の発生を禁止します。
1	エッジ検出割込み要求の発生を許可します。

ICEm ビット , ICEn ビットとチャネルの対応を表 18.4-3 に示します。

表 18.4-3 ビットとチャネルの対応

インプットキャプチャ ステータスレジスタ	ICEm ビット	対応チャネル	ICEn ビット	対応チャネル
ICS01	ICE1	ch.1	ICE0	ch.0
ICS23	ICE3	ch.3	ICE2	ch.2

[bit3, bit2] : EG1m, EG0m (エッジ選択ビット)

奇数チャネルの 32 ビットインプットキャプチャの有効エッジを選択します。

ここで , 選択したエッジが検出されると , 32 ビットフリーランタイマの値をインプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) に保存します。

EG1m	EG0m	説明
0	0	非検出 (インプットキャプチャ停止) 。
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EG1m ビット , EG0m ビットとチャネルの対応を表 18.4-4 に示します。

表 18.4-4 ビットとチャネルの対応

インプットキャプチャ ステータスレジスタ	EG1m, EG0m ビット	対応チャネル
ICS01	EG11, EG01	ch.1
ICS23	EG13, EG03	ch.3

< 注意事項 >

このビットに"00"以外の値を書き込むと , 有効エッジを選択すると同時に対応チャネルの動作が許可されます。

[bit1, bit0] : EG1n, EG0n (エッジ選択ビット)

偶数チャネルの 32 ビットインプットキャプチャの有効エッジを選択します。

ここで, 選択したエッジが検出されると , 32 ビットフリーランタイマの値をインプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) に保存します。

EG1n	EG0n	説明
0	0	非検出 (インプットキャプチャ停止) 。
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EG1n ビット , EG0n ビットのビット名はチャネルごとに異なります。

ビットとチャネルの対応を表 18.4-5 に示します。

表 18.4-5 ビットとチャネルの対応

インプットキャプチャ ステータスレジスタ	EG1n, EG0n ビット	対応チャネル
ICS01	EG10, EG00	ch.0
ICS23	EG12, EG02	ch.2

< 注意事項 >

このビットに"00"以外の値を書き込むと , 有効エッジを選択すると同時に対応チャネルの動作が許可されます。

18.4.2　インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3)

32 ビットフリーランタイマの値を保存するレジスタです。IN0 ～ IN3 端子からの入力信号に有効エッジが検出されると, 32ビットフリーランタイマの値がこのレジスタに保存されます。

インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) のビット構成を図 18.4-2 に示します。

図 18.4-2 インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) のビット構成

bit	31	0
	CP31 ～ CP0	
属性	R	
初期値	X	

R：リードオンリ
X：不定

< 注意事項 >

このレジスタは必ずワードで読み出してください。

18.5　割込み

IN0 ～ IN3 端子からの入力信号に有効エッジが検出されると割込み要求が発生します (エッジ検出割込み要求) 。

32 ビットインプットキャプチャで使用できる割込みについて表 18.5-1 に示します。

表 18.5-1　32 ビットインプットキャプチャの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
エッジ検出割込み要求	偶数チャネル : ICS の ICPn=1 奇数チャネル : ICS の ICPm=1	偶数チャネル : ICS の ICEn=1 奇数チャネル : ICS の ICEm=1	次のビットに "0" を書き込む 偶数チャネル : ICS の ICPn ビット 奇数チャネル : ICS の ICPm ビット

ICS : インプットキャプチャ状態制御レジスタ (ICS01, ICS23)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C　割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章　割込みコントローラ」を参照してください。

18.6　動作説明と設定手順例

32 ビットインプットキャプチャの動作について説明します。また , 動作状態を設定するための手順例も示します。

18.6.1　32 ビットインプットキャプチャの動作説明

32 ビットインプットキャプチャは , あらかじめ設定しておいた入力信号のエッジを検出すると , その時点での 32 ビットフリーランタイマの値を保存します。

■ 動作

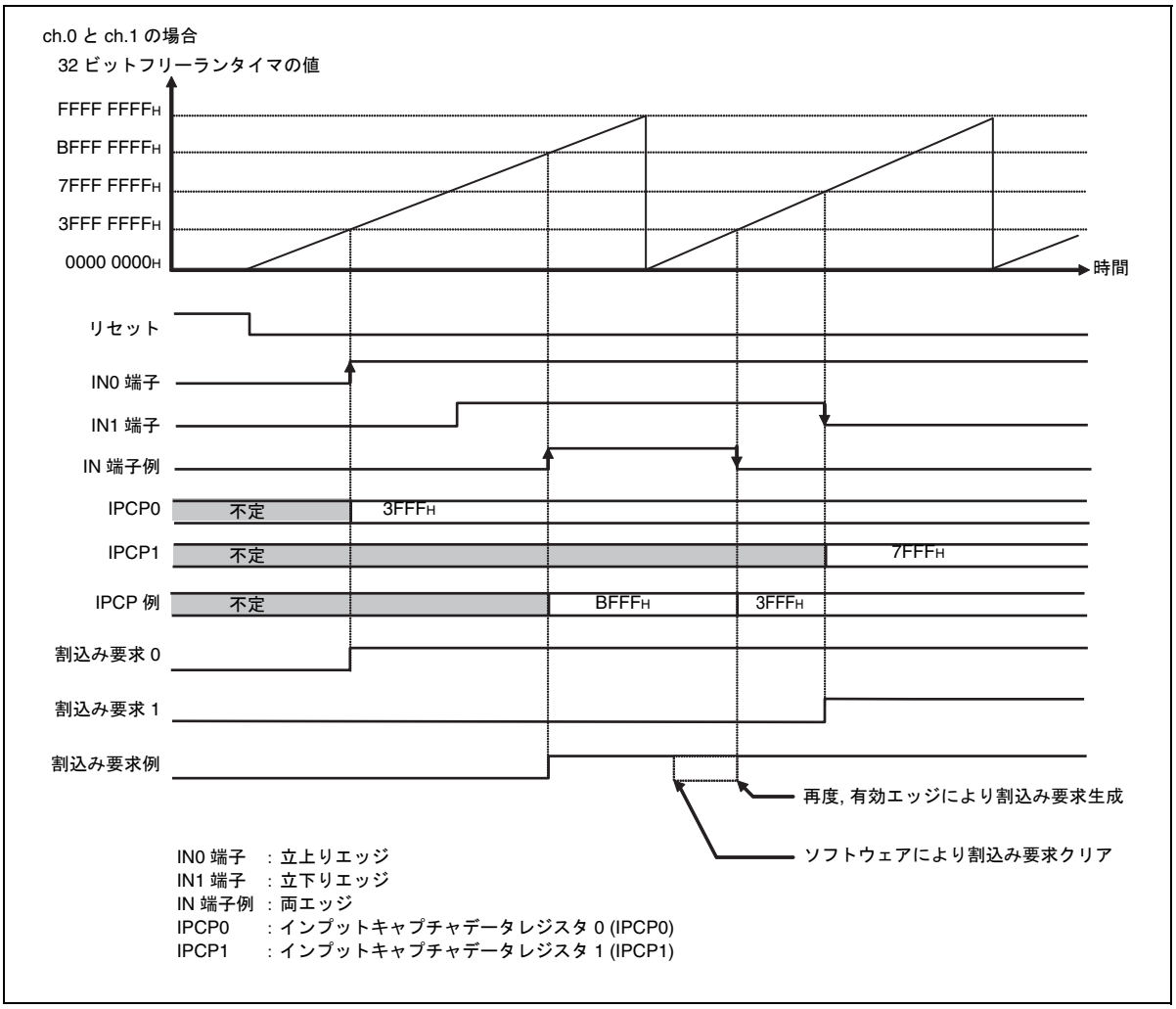
インプットキャプチャ状態制御レジスタ (ICS01, ICS23) の次のビットで有効エッジを選択すると , 32 ビットインプットキャプチャの動作が許可されます。

- 奇数チャネルの有効エッジ選択 / 動作許可：EG1m, EG0m
- 偶数チャネルの有効エッジ選択 / 動作許可：EG1n, EG0n

32 ビットインプットキャプチャの動作が許可されているときに IN0 ～ IN3 端子で有効エッジを検出すると , その時点での32ビットフリーランタイマの値が , インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3) に保存されます。このとき , 割込み要求の発生が許可されているとエッジ検出割込み要求が発生します。

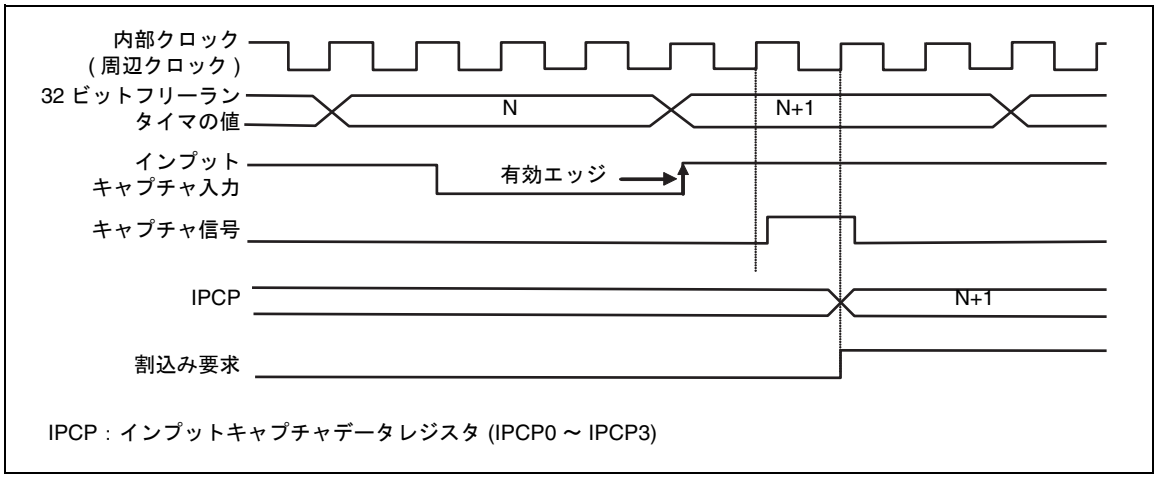
32 ビットインプットキャプチャの動作を図 18.6-1 に示します。

図 18.6-1 32 ビットインプットキャプチャの動作



有効エッジを検出すると内部クロック (周辺クロック) に同期化するためにキャプチャ信号が生成されます。割込み要求の発生や , 32 ビットフリーランタイマの値の保存はこのキャプチャ信号を元に行われます。キャプチャ信号のタイミング例を図 18.6-2 に示します。

図 18.6-2 キャプチャ信号のタイミング例



IPCP : インプットキャプチャデータレジスタ (IPCP0 ～ IPCP3)

第 19 章 32 ビット アウトプット コンペア

32 ビットアウトプットコンペアの機能と動作について説明します。

19.1 概要
19.2 構成
19.3 端子
19.4 レジスタ
19.5 割込み
19.6 動作説明と設定手順例

19.1　概要

32 ビットアウトプットコンペアは , あらかじめ設定した値まで 32 ビットフリーランタイマがカウントアップすると , 端子からの出力レベルを反転させたり , 割込み要求を発生させたりする機能です。
本製品は , 32 ビットアウトプットコンペアを 4 チャネル内蔵しています。

■ 概要

32 ビットアウトプットコンペアは , コンペアタイマの一部です。コンペアタイマは , 次の 3 つの機能で構成されています。

- 32 ビットフリーランタイマ (1 チャネル)

  「第 17 章　32 ビット フリーランタイマ」を参照してください。
- 32 ビットアウトプットコンペア (4 チャネル)
- 32 ビットインプットキャプチャ (4 チャネル)

  「第 18 章　32 ビット インプット キャプチャ」を参照してください。

この章では , 32 ビットアウトプットコンペアについて説明します。

- 32 ビットアウトプットコンペアを 1 チャネルずつ独立で使用することも , 2 チャネルを一対にして使用することもできます。

  2 チャネルの 32 ビットアウトプットコンペアを一対にして使用すると , 一度に 2 チャネル分の比較動作を行えるため , CPU の負荷を軽減できます。

  一対にして使用できるチャネルの組合せは次のとおりです。
  - ch.0 と ch.1
  - ch.2 と ch.3
- 32 ビットアウトプットコンペア起動時の OUT0 ～ OUT3 端子の出力レベルを設定できます。
- 32 ビットフリーランタイマのカウント値とあらかじめ設定した値 (コンペア値) が一致すると , 割込み要求を発生できます。

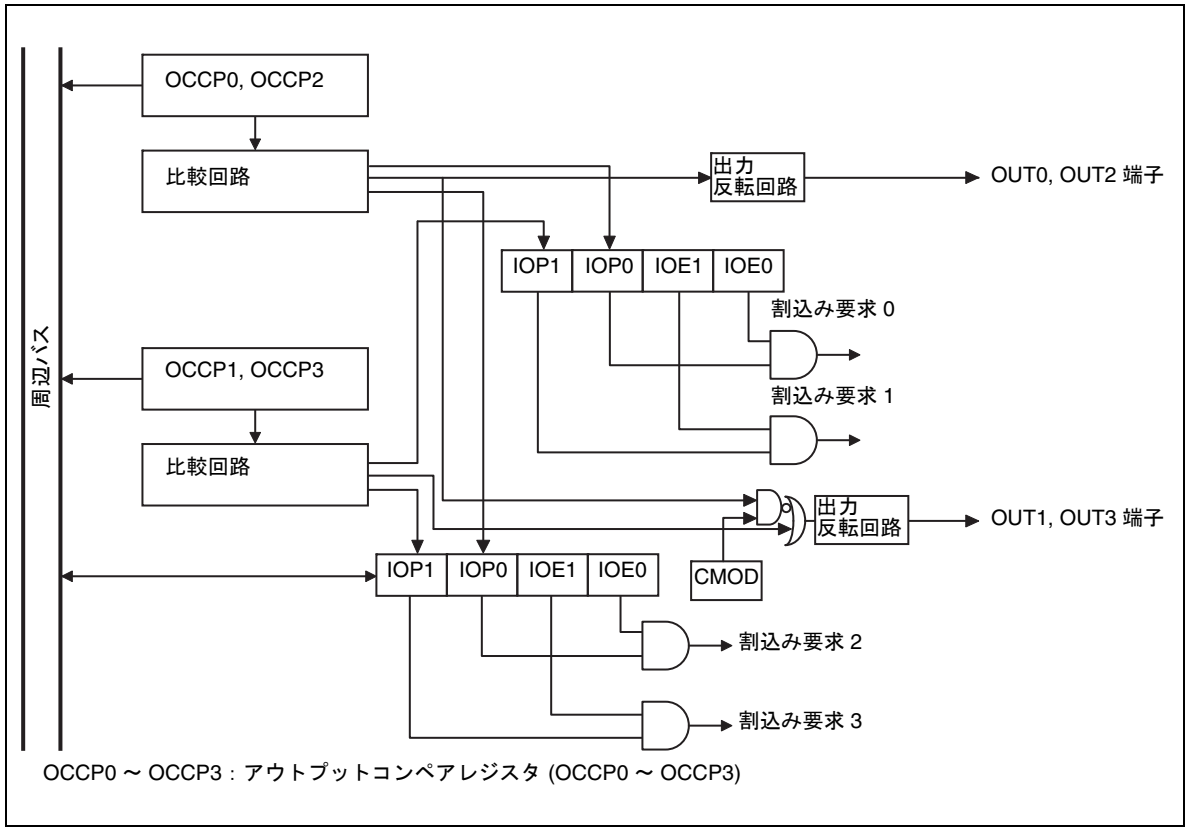
19.2　構成

32 ビットアウトプットコンペアの構成を示します。

■ 32 ビットアウトプットコンペアのブロックダイヤグラム

32 ビットアウトプットコンペアのブロックダイヤグラムを図 19.2-1 に示します。

図 19.2-1　32 ビットアウトプットコンペアのブロックダイヤグラム



- アウトプットコンペアレジスタ (OCCP0 ～ OCCP3)

  32 ビットフリーランタイマのカウント値と比較するための値 (コンペア値) を設定するレジスタです。

- コンペア制御レジスタ

  32 ビットアウトプットコンペアの動作を制御するレジスタです。次の 2 つのレジスタに分かれています。

  - コンペア制御レジスタ上位 (OCSH1, OCSH3)
  - コンペア制御レジスタ下位 (OCSL0, OCSL2)

- 比較回路

  32 ビットフリーランタイマのカウント値とアウトプットコンペアレジスタ (OCCP0 ～ OCCP3) に設定したコンペア値を比較する回路です。

< 注意事項 >

コンペアタイマのブロックダイヤグラムについては ,「第 17 章 32 ビット フリーランタイマ」の「■ コンペアタイマのブロックダイヤグラム」を参照してください。

■ クロック

32 ビットアウトプットコンペアで使用するクロックを表 19.2-1 に示します。

表 19.2-1 32 ビットアウトプットコンペアで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

19.3　端子

32 ビットアウトプットコンペアで使用する端子について説明します。

■ 概要

- OUT0 ～ OUT3 端子

  32 ビットアウトプットコンペアの出力端子です。この端子は兼用端子です。

  32 ビットアウトプットコンペアの OUT0 ～ OUT3 端子として使用するには , 「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 19.3-1 に示します。

表 19.3-1 チャネルと端子の対応

チャネル	出力端子
0	OUT0
1	OUT1
2	OUT2
3	OUT3

19.4　レジスタ

32 ビットアウトプットコンペアで使用するレジスタの構成と機能について説明します。

■ 32 ビットアウトプットコンペアのレジスター覧

32 ビットアウトプットコンペアのレジスター覧を表 19.4-1 に示します。

表 19.4-1 32 ビットアウトプットコンペアのレジスター覧

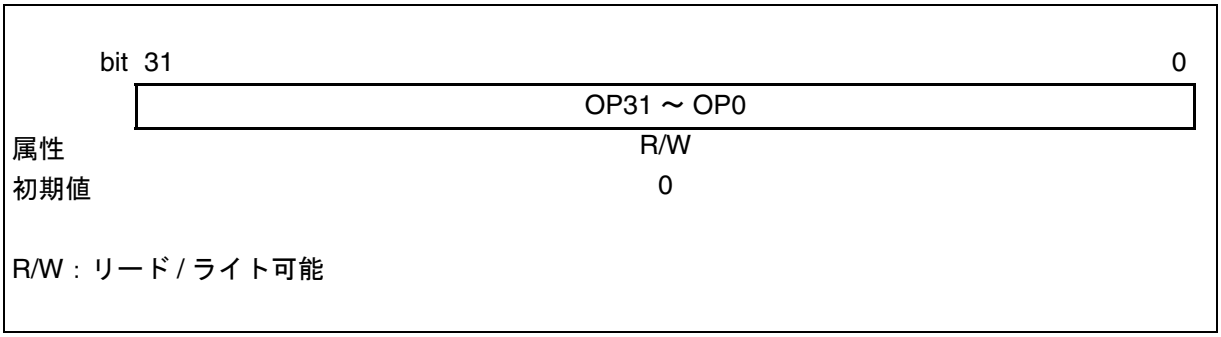
チャネル	レジスタ略称	レジスタ名	参照先
0/1 共通	OCSH1	コンペア制御レジスタ上位 1	19.4.2
	OCSL0	コンペア制御レジスタ下位 0	19.4.3
2/3 共通	OCSH3	コンペア制御レジスタ上位 3	19.4.2
	OCSL2	コンペア制御レジスタ下位 2	19.4.3
0	OCCP0	アウトプットコンペアレジスタ 0	19.4.1
1	OCCP1	アウトプットコンペアレジスタ 1	19.4.1
2	OCCP2	アウトプットコンペアレジスタ 2	19.4.1
3	OCCP3	アウトプットコンペアレジスタ 3	19.4.1

19.4.1　アウトプットコンペアレジスタ (OCCP0 ～ OCCP3)

32 ビットフリーランタイマのカウント値と比較するための値 (コンペア値) を設定するレジスタです。32 ビットフリーランタイマを動作させる前に , このレジスタにコンペア値を設定してください。

アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のビット構成を図 19.4-1 に示します。

図 19.4-1 アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のビット構成



< 注意事項 >

- このレジスタは , 32 ビットフリーランタイマの動作中にも書き換えられます。
- このレジスタに書き込んだ値は , ただちにコンペア値に反映されます。そのため , 32 ビットフリーランタイマの動作中にコンペア値を小さな値から大きな値へ書き換えると , 32 ビットフリーランタイマの 1 回のカウント中に 2 回の割込み要求が発生します。

  これを避けるには , 32 ビットフリーランタイマの割込み処理を利用して , このレジスタを書き換えてください。
- このレジスタは必ずワード (32 ビット単位) でアクセスしてください。

19.4.2　コンペア制御レジスタ上位 (OCSH1, OCSH3)

32 ビットアウトプットコンペアを独立で使用するか , 対にして使用するかを設定するレジスタです。また , 32 ビットアウトプットコンペア起動時に OUT0 ～ OUT3 端子から出力する信号レベルも設定します。

コンペア制御レジスタ上位 (OCSH1, OCSH3) のビット構成を図 19.4-2 に示します。

図 19.4-2 コンペア制御レジスタ上位 (OCSH1, OCSH3) のビット構成

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	CMOD	未定義	未定義	OTD1	OTD0
属性	ー	ー	ー	R/W	ー	ー	R/W	R/W
初期値	X	X	X	0	X	X	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

[bit15 ～ bit13]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit12] : CMOD (出力レベル反転モードビット)

32 ビットアウトプットコンペアを独立で使用するか , 対にして使用するかを設定します。この設定により , 端子から出力する波形の反転モードが変わります。

書込み値	説明
0	32 ビットアウトプットコンペアを独立で使用します。 アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と 32 ビットフリーランタイマのカウント値が一致すると , 対応する端子からの出力レベルが反転します。
1	32 ビットアウトプットコンペアを対にして使用します。 アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と 32 ビットフリーランタイマの値が一致した場合の反転モードは次のようになります。 偶数チャネルのアウトプットコンペアレジスタ (OCCP0, OCCP2) のコンペア値と一致したとき：次の端子からの出力レベルが反転します。 ・チャネルに対応する端子からの出力レベル ・対にして使用している奇数チャネルに対応する端子からの出力レベル 奇数チャネルのアウトプットコンペアレジスタ (OCCP1, OCCP3) のコンペア値と一致したとき：次の端子からの出力レベルが反転します。 ・チャネルに対応する端子からの出力レベル

このビットに "1" を設定した場合の , OUT0 ～ OUT3 端子の出力レベル反転タイミングを表 19.4-2 に示します。

表 19.4-2 出力レベル反転タイミング

32 ビットフリーランタイマの値とコンペア値が一致したレジスタ	出力レベルが反転する端子
アウトプットコンペアレジスタ 0 (OCCP0)	OUT0 端子 , OUT1 端子
アウトプットコンペアレジスタ 1 (OCCP1)	OUT1 端子
アウトプットコンペアレジスタ 2 (OCCP2)	OUT2 端子 , OUT3 端子
アウトプットコンペアレジスタ 3 (OCCP3)	OUT3 端子

< 注意事項 >

- このビットに "1" を設定しても , 偶数チャネルと奇数チャネルのコンペア値が同じ値の場合は , 32 ビットアウトプットコンペアを 1 チャネルずつ独立で使用する場合と同じ動作になります。
- 2 チャネルの 32 ビットアウトプットコンペアを一対にして使用する場合は , このビットに必ず "1" を書き込んでください。

[bit11, bit10]：予約ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9]：OTD1 (出力レベルビット)

奇数チャネルの 32 ビットアウトプットコンペア起動時に端子 (OUT1, OUT3) から出力する信号レベルを設定します。

OTD1	書込み時	読出し時
0	"L" レベルが出力されます。	出力レベルが読み出されます。
1	"H" レベルが出力されます。	

< 注意事項 >

32 ビットアウトプットコンペアの動作中に , このビットを書き換えないでください。

[bit8]：OTD0 (出力レベルビット)

偶数チャネルの 32 ビットアウトプットコンペア起動時に端子 (OUT0, OUT2) から出力する信号レベルを設定します。

OTD0	書込み時	読出し時
0	"L" レベルが出力されます。	出力レベルが読み出されます。
1	"H" レベルが出力されます。	

< 注意事項 >

32 ビットアウトプットコンペアの動作中に , このビットを書き換えないでください。

19.4.3　コンペア制御レジスタ下位 (OCSL0, OCSL2)

32 ビットアウトプットコンペアの動作を許可 / 禁止したり , 割込み要求の制御をしたりするレジスタです。

コンペア制御レジスタ下位 (OCSL0, OCSL2) のビット構成を図 19.4-3 に示します。

図 19.4-3 コンペア制御レジスタ下位 (OCSL0, OCSL2) のビット構成

bit	7	6	5	4	3	2	1	0
	IOP1	IOP0	IOE1	IOE0	未定義	未定義	CST1	CST0
属性	R/W	R/W	R/W	R/W	ー	ー	R/W	R/W
初期値	0	0	0	0	X	X	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

[bit7]：IOP1 (奇数チャネル比較結果一致割込み要求フラグビット)

奇数チャネルのアウトプットコンペアレジスタ (OCCP1, OCCP3) のコンペア値と 32 ビットフリーランタイマのカウント値の比較結果が一致したことを示します。

このビットが "1" のときに , IOE1 ビットに "1" が設定されていると , 比較結果一致割込み要求が発生します。

IOP1	読出し時	書込み時
0	比較結果が一致しません。	このビットを "0" にクリアします。
1	比較結果が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit6]：IOP0 (偶数チャネル比較結果一致割込み要求フラグビット)

偶数チャネルのアウトプットコンペアレジスタ (OCCP0, OCCP2) のコンペア値と 32 ビットフリーランタイマのカウント値の比較結果が一致したことを示します。

このビットが "1" のときに , IOE0 ビットに "1" が設定されていると , 比較結果一致割込み要求が発生します。

IOP0	読出し時	書込み時
0	比較結果が一致しません。	このビットを "0" にクリアします。
1	比較結果が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5] : IOE1 (奇数チャネル比較結果一致割込み許可ビット)

奇数チャネルのアウトプットコンペアレジスタ (OCCP1, OCCP3) の値と 32 ビットフリーランタイマのカウント値との比較結果が一致したとき (IOP1=1) に , 比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit4] : IOE0 (偶数チャネル比較結果一致割込み許可ビット)

偶数チャネルのアウトプットコンペアレジスタ (OCCP0, OCCP2) の値と 32 ビットフリーランタイマのカウント値との比較結果が一致したとき (IOP0=1) に , 比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit3, bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1] : CST1 (奇数チャネル比較動作許可ビット)

32 ビットフリーランタイマのカウント値との奇数チャネルの 32 ビットアウトプットコンペアの比較動作を許可 / 禁止します。

書込み値	説明
0	比較動作を禁止します。
1	比較動作を許可します。

< 注意事項 >

32 ビットフリーランタイマが停止すると , 32 ビットアウトプットコンペアの比較動作も停止します。

[bit0]：CST0 (偶数チャネル比較動作許可ビット)

32 ビットフリーランタイマのカウント値との偶数チャネルの 32 ビットアウトプットコンペアの比較動作を許可 / 禁止します。

書込み値	説明
0	比較動作を禁止します。
1	比較動作を許可します。

< 注意事項 >

32 ビットフリーランタイマが停止すると , 32 ビットアウトプットコンペアの比較動作も停止します。

19.5　割込み

32 ビットフリーランタイマのカウント値が , アウトプットコンペアレジスタ (OCCP0 ～ OCCP3) に設定した値 (コンペア値) と一致すると , 割込み要求が発生します (比較結果一致割込み要求) 。

32 ビットアウトプットコンペアで使用できる割込みについて表 19.5-1 に示します。

表 19.5-1　32 ビットアウトプットコンペアの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
比較結果一致割込み要求	偶数チャネル : OCSL の IOP0=1 奇数チャネル : OCSL の IOP1=1	偶数チャネル : OCSL の IOE0=1 奇数チャネル : OCSL の IOE1=1	次のビットに "0" を書き込む 偶数チャネル : OCSL の IOP0 ビット 奇数チャネル : OCSL の IOP1 ビット

OCSL : コンペア制御レジスタ下位 (OCSL0, OCSL2)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C　割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章　割込みコントローラ」を参照してください。

19.6　動作説明と設定手順例

32 ビットアウトプットコンペアの動作について説明します。また , 動作状態を設定するための手順例も示します。

■ 概要

32 ビットアウトプットコンペアを 1 チャネルずつ独立で使用する場合と , 2 チャネルの 32 ビットアウトプットコンペアを一対にして使用する場合があります。

19.6.1　独立で使用する場合の動作

32 ビットアウトプットコンペアを 1 チャネルずつ独立で使用する場合の動作について説明します。

■ 概要

コンペア制御レジスタ上位 (OCSH1, OCSH3) の CMOD ビットを "0" に設定すると , 32 ビットアウトプットコンペアが 1 チャネルずつ独立で動作します。

32 ビットフリーランタイマのカウント値がアウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と一致すると , チャネルに対応した端子の出力レベルが反転します。

■ 動作

次のビットに "1" を書き込むと , 32 ビットアウトプットコンペアの動作が許可されます。

- 偶数チャネルの動作許可 : コンペア制御レジスタ下位 (OCSL0, OCSL2) の CST0 ビット
- 奇数チャネルの動作許可 : コンペア制御レジスタ下位 (OCSL0, OCSL2) の CST1 ビット

32 ビットアウトプットコンペアの動作が許可されているときに , 32 ビットフリーランタイマのカウント値がアウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と一致すると , 次のビットが "1" に変わります。

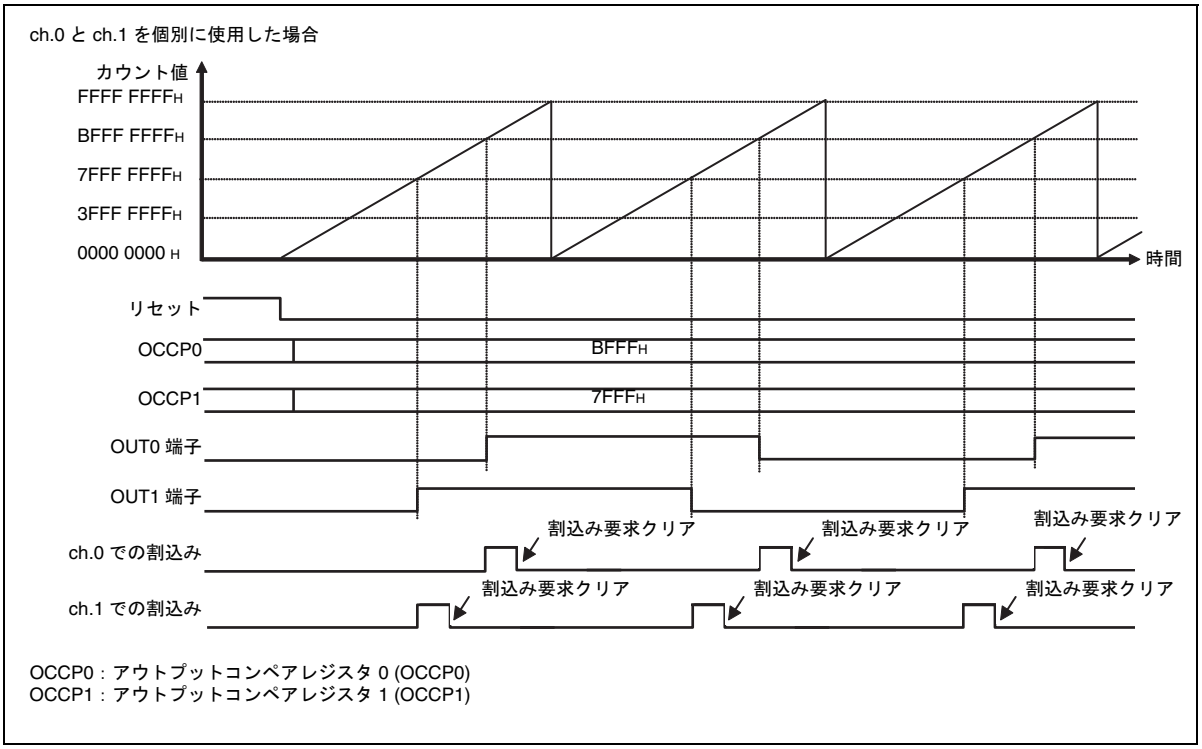
- 偶数チャネル : コンペア制御レジスタ下位 (OCSL0, OCSL2) の IOP0 ビット
- 奇数チャネル : コンペア制御レジスタ下位 (OCSL0, OCSL2) の IOP1 ビット

このとき , 割込み要求の発生が許可されていると比較結果一致割込み要求が発生します。

また , OUT0 ～ OUT3 端子からの出力レベルが反転します。

独立で使用する場合の動作を図 19.6-1 に示します。

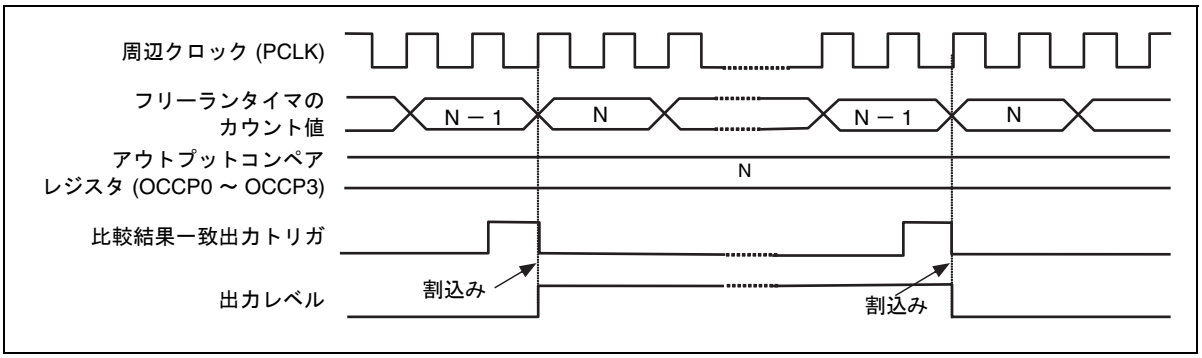
図 19.6-1 独立で使用する場合の動作



比較結果一致割込み要求や端子の出力レベルの変化は，比較結果一致が検出されてから発生します。

比較結果一致割込み要求の発生 / 端子の出力レベルの変化を図 19.6-2 に示します。

図 19.6-2 比較結果一致割込み要求の発生 / 端子の出力レベルの変化



< 注意事項 >

32 ビットアウトプットコンペアを 1 チャネルずつ独立で使用する場合は，コンペア制御レジスタ上位 (OCSH1, OCSH3) の CMOD ビットに必ず "0" を書き込んでください。

19.6.2　一対にして使用する場合の動作

偶数チャネルと奇数チャネルの32ビットアウトプットコンペアを一対にして使用する場合の動作について説明します。

■ 概要

コンペア制御レジスタ上位 (OCSH1, OCSH3) の CMOD ビットを "1" に設定すると , 2 チャネルの 32 ビットアウトプットコンペアが一対で動作します。

偶数チャネルと奇数チャネルの 32 ビットアウトプットコンペアを一対にして使用することにより , 1 回の割込みで 2 チャネル分のコンペア値を更新できます。

一対にして使用できる偶数チャネルと奇数チャネルの組合せは次のとおりです。

- ch.0 と ch.1
- ch.2 と ch.3

■ 動作

次のビットに "1" を書き込むと , 32 ビットアウトプットコンペアの動作が許可されます。

- 偶数チャネルの動作許可 : コンペア制御レジスタ下位 (OCSL0, OCSL2) の CST0 ビット
- 奇数チャネルの動作許可 : コンペア制御レジスタ下位 (OCSL0, OCSL2) の CST1 ビット

32 ビットアウトプットコンペアの動作が許可されているときに , 32 ビットフリーランタイマのカウント値がアウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と一致すると , 次のビットが "1" に変わります。

- 偶数チャネル : コンペア制御レジスタ下位 (OCSL0, OCSL2) の IOP0 ビット
- 奇数チャネル : コンペア制御レジスタ下位 (OCSL0, OCSL2) の IOP1 ビット

このとき , 割込み要求が許可されていると比較結果一致割込み要求が発生します。

また , OUT0 ～ OUT3 端子からの出力レベルが反転します。出力レベルが反転する端子は, 32ビットフリーランタイマのカウント値が, どのチャネルのアウトプットコンペアレジスタ (OCCP0 ～ OCCP3) のコンペア値と一致したかで異なります。

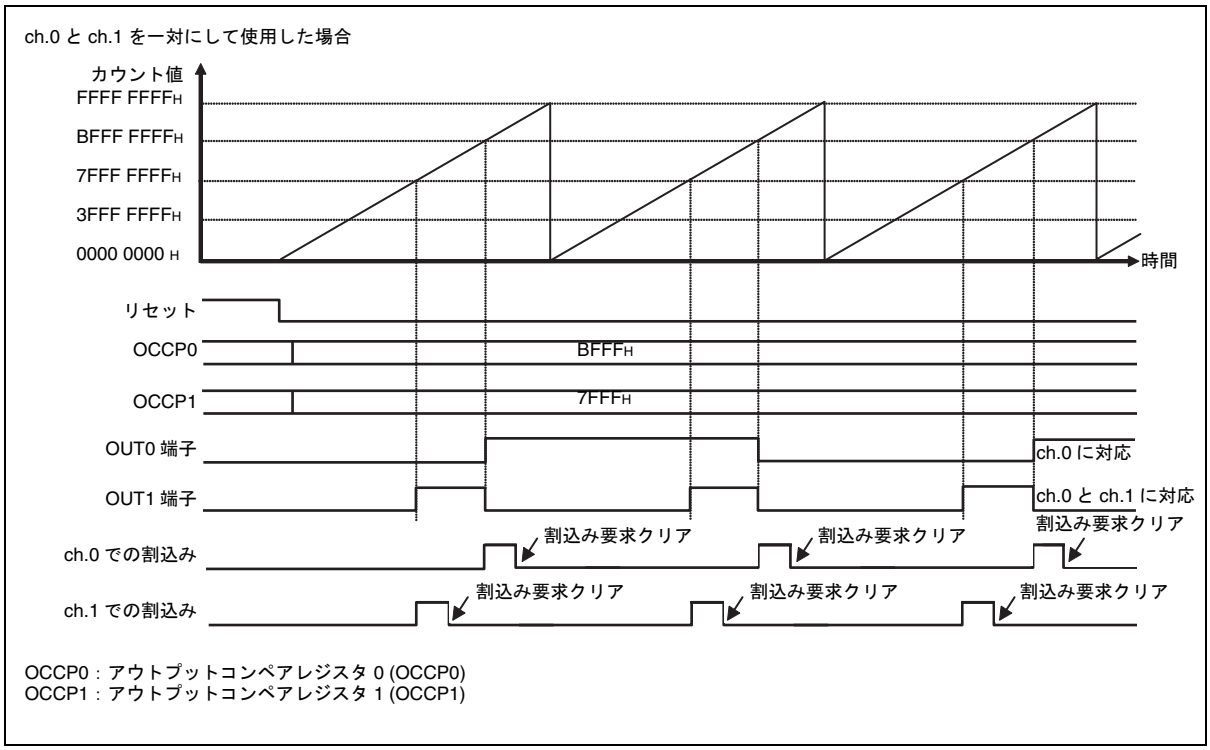
コンペア値が設定されているチャネルと出力レベルが反転する端子の対応を表 19.6-1 に示します。

表 19.6-1 コンペア値が設定されているチャネルと出力レベルが反転する端子の対応

32 ビットフリーランタイマの 値とコンペア値が一致したレジスタ	出力レベルが反転する端子
アウトプットコンペアレジスタ 0 (OCCP0)	OUT0 端子 , OUT1 端子
アウトプットコンペアレジスタ 1 (OCCP1)	OUT1 端子
アウトプットコンペアレジスタ 2 (OCCP2)	OUT2 端子 , OUT3 端子
アウトプットコンペアレジスタ 3 (OCCP3)	OUT3 端子

偶数チャネルと奇数チャネルを一対にして使用する場合の動作を図 19.6-3 に示します。

図 19.6-3 偶数チャネルと奇数チャネルを一対にして使用する場合の動作



比較結果一致割込み要求や端子の出力レベルの変化は , 比較結果一致が検出されてから発生します。

比較結果一致割込み要求の発生 / 端子の出力レベルの変化については ,「19.6.1 独立で使用する場合の動作」を参照してください。

< 注意事項 >

偶数チャネルと奇数チャネルの 32 ビットアウトプットコンペアを一対にして使用する場合は , コンペア制御レジスタ上位 (OCSH1, OCSH3) の CMOD ビットに必ず "1" を書き込んでください。

第 20 章 16 ビットリロードタイマ

16 ビットリロードタイマの機能と動作について説明します。

20.1 概要
20.2 構成
20.3 端子
20.4 レジスタ
20.5 割込み
20.6 動作説明と設定手順例
20.7 使用上の注意

20.1　概要

16 ビットリロードタイマは , あらかじめ設定した値からカウントダウンするダウンカウンタです。このタイマは , 内部クロック (周辺クロック) と同期してカウントダウンするインターバルタイマとして使用できるほか , 外部イベントをカウントするイベントカウンタとしても使用できます。
本製品は , 16 ビットリロードタイマを 3 チャネル内蔵しています。

■ 概要

- タイマモード : インターバルタイマモードまたはイベントカウンタモードとして使用できます。
  - インターバルタイマモード

    内部クロック (周辺クロック) に同期してカウントダウンします。内部クロック (周辺クロック) は , 6 種類 (周辺クロック (PCLK) の 2 分周 , 4 分周 , 8 分周 , 16 分周 , 32 分周 , 64 分周) から選択します。
  - イベントカウンタモード

    外部クロックのエッジ (立下りエッジ / 立上りエッジ / 両エッジ) を検出してカウントします。

    また , ch.0 の出力を ch.1 で , ch.1 の出力を ch.2 でカウントするカスケードモードも利用できます。
- 動作モード : 次の 2 種類から選択できます。
  - リロードモード

    ダウンカウンタがアンダフローすると , リロード値をリロードしてカウント動作を繰り返すモードです。
  - ワンショットモード

    ダウンカウンタがアンダフローすると , カウント動作を停止するモードです。
- 入力端子機能 : インターバルタイマモード時は , 入力端子の機能をトリガ入力機能 / ゲート入力機能の中から選択できます。
  - トリガ入力機能

    入力端子から有効エッジ (立下りエッジ / 立上りエッジ / 両エッジ) を検出すると , カウントを開始します。
  - ゲート入力機能

    入力端子から有効レベルが入力されている間だけカウント動作を続けます。
- 割込み要求 : ダウンカウンタがアンダフローしたときに割込み要求を発生できます。

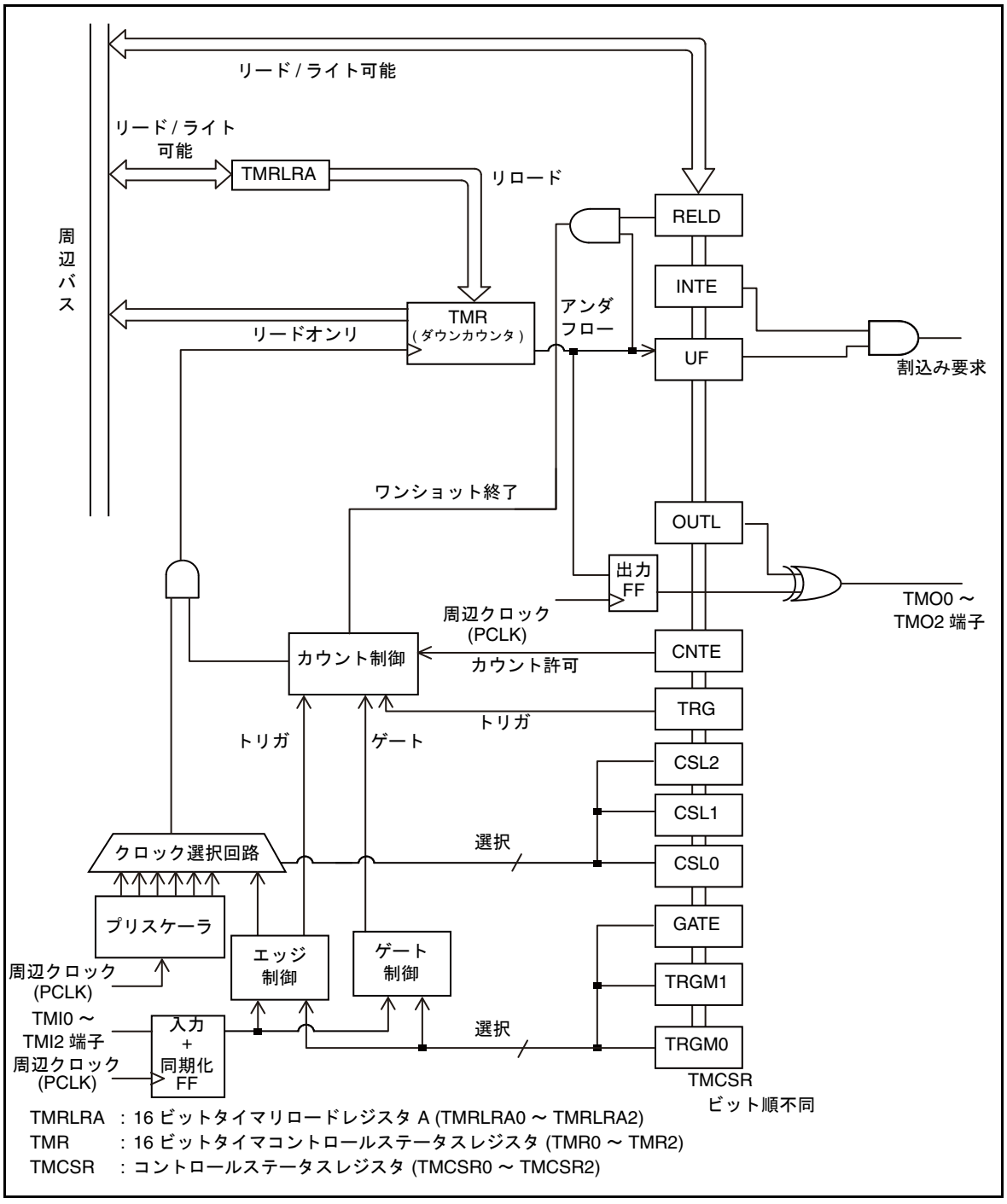
20.2　構成

16 ビットリロードタイマの構成を示します。

■ 16 ビットリロードタイマのブロックダイヤグラム

16 ビットリロードタイマのブロックダイヤグラムを図 20.2-1 に示します。

図 20.2-1 16 ビットリロードタイマのブロックダイヤグラム



- コントロールステータスレジスタ (TMCSR0 ～ TMCSR2)

  16 ビットリロードタイマの動作を制御するレジスタです。
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2)

  リロード値を設定するレジスタです。
- 16 ビットタイマレジスタ (TMR0 ～ TMR2)

  ダウンカウンタとして動作します。このレジスタを読み出すとダウンカウンタの値が読み出せます。
- プリスケーラ

  インターバルタイマモードを選択した場合 , 周辺クロック (PCLK) を分周します。
- クロック選択回路

  カウント用クロックを選択します。
- エッジ制御部

  TMI0 ～ TMI2 端子をトリガ入力端子として使用するときに , 信号の検出エッジを制御します。
- ゲート制御部

  TMI0 ～ TMI2 端子をゲート入力端子として使用するときに , 端子から入力される信号レベルを制御します。
- カウント制御部

  16 ビットリロードタイマのカウントを制御します。

■ クロック

16 ビットリロードタイマで使用するクロックを表 20.2-1 に示します。

表 20.2-1 16 ビットリロードタイマで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	―
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部クロック	TMI0 ～ TMI2 端子から入力

20.3　端子

16 ビットリロードタイマで使用する端子について説明します。

■ 概要

16 ビットリロードタイマには次の 2 種類の端子があります。

- TMO0 ～ TMO2 端子

  16 ビットリロードタイマの波形出力端子です。

  この端子は兼用端子です。16 ビットリロードタイマの波形出力端子として使用するには「2.4 端子の設定方法」を参照してください。

- TMI0 ～ TMI2 端子

  16 ビットリロードタイマの入力端子です。設定によってカウント用クロック , トリガ , ゲートを入力します。

  この端子は兼用端子です。16 ビットリロードタイマの入力端子として使用するには「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 20.3-1 に示します。

表 20.3-1 チャネルと端子の対応

チャネル	波形出力端子	入力端子
0	TMO0	TMI0
1	TMO1	TMI1
2	TMO2	TMI2

20.4　レジスタ

16 ビットリロードタイマで使用するレジスタの構成と機能について説明します。

■ 16 ビットリロードタイマのレジスター覧

16 ビットリロードタイマのレジスター覧を表 20.4-1 に示します。

表 20.4-1 16 ビットリロードタイマのレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
0	TMCSR0	コントロールステータスレジスタ 0	20.4.1
	TMRLRA0	16 ビットタイマリロードレジスタ A0	20.4.2
	TMR0	16 ビットタイマレジスタ 0	20.4.3
1	TMCSR1	コントロールステータスレジスタ 1	20.4.1
	TMRLRA1	16 ビットタイマリロードレジスタ A1	20.4.2
	TMR1	16 ビットタイマレジスタ 1	20.4.3
2	TMCSR2	コントロールステータスレジスタ 2	20.4.1
	TMRLRA2	16 ビットタイマリロードレジスタ A2	20.4.2
	TMR2	16 ビットタイマレジスタ 2	20.4.3

20.4.1　コントロールステータスレジスタ (TMCSR0 ～ TMCSR2)

16 ビットリロードタイマの動作を制御するレジスタです。

コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) のビット構成を図 20.4-1 に示します。

図 20.4-1 コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) のビット構成

	bit	15	14	13	12	11	10	9	8
		予約	予約	TRGM1	TRGM0	CSL2	CSL1	CSL0	GATE
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	7	6	5	4	3	2	1	0
		未定義	未定義	OUTL	RELD	INTE	UF	CNTE	TRG
属性		ー	ー	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	0	0	0	0	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

[bit15, bit14]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12]：TRGM1, TRGM0 (入力端子動作選択ビット)

16 ビットリロードタイマの TMI0 ～ TMI2 端子の動作を選択します。16 ビットリロードタイマをインターバルタイマモードで使用している場合と , イベントカウンタモードで使用している場合でこのビットの意味が異なります。

- インターバルタイマモードの場合 (CSL2 ～ CSL0=000 ～ 101)
  - TMI0 ～ TMI2 端子にトリガ入力機能を選択 (GATE =0)

    有効エッジを選択します。

    TMI0 ～ TMI2 端子から入力される信号に , このビットで設定したエッジが検出されると , ダウンカウンタがカウントダウンを開始します。
  - TMI0 ～ TMI2 端子にゲート機能を選択 (GATE =1)

    有効レベルを選択します。

    TMI0 ～ TMI2 端子からこのビットで設定したレベルの信号が入力されている間のみダウンカウンタがカウントダウンします。

TRGM1	TRGM0	トリガ入力選択時 * (GATE =0)	ゲート機能選択時 (GATE =1)
0	0	エッジ検出禁止	"L" レベル
0	1	立上りエッジ	"H" レベル
1	0	立下りエッジ	"L" レベル
1	1	両エッジ	"H" レベル

* : TRG ビットに "1" を書き込んだ場合は , このビットの設定にかかわらず , ダウンカウンタがカウントダウンを開始します。

- イベントカウンタモードの場合 (CSL2 ～ CSL0=110, 111)

  有効エッジを選択します。

  TMI0 ～ TMI2 端子から入力される信号に , このビットで設定したエッジが検出されると , ダウンカウンタがカウントダウンします。

TRGM1	TRGM0	説明
0	0	設定禁止
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。

[bit11 ～ bit9] : CSL2 ～ CSL0 (カウントソース選択ビット)

16 ビットリロードタイマのタイマモードを選択します。インターバルタイマモード時は周辺クロック (PCLK) の分周比を , イベントカウンタモード時は , カスケードモードで使用するか外部クロックを使用するかも選択します。

CSL2	CSL1	CSL0	説明	
0	0	0	インターバルタイマモード	周辺クロック (PCLK) の 2 分周 (=2^1)
0	0	1		周辺クロック (PCLK) の 4 分周 (=2^2)
0	1	0		周辺クロック (PCLK) の 8 分周 (=2^3)
0	1	1		周辺クロック (PCLK) の 16 分周 (=2^4)
1	0	0		周辺クロック (PCLK) の 32 分周 (=2^5)
1	0	1		周辺クロック (PCLK) の 64 分周 (=2^6)
1	1	0	イベントカウンタモード	カスケードモード *
1	1	1		外部クロック

* : カスケードモードを選択した場合の動作については , 「20.6.3 カスケードモード時の動作」を参照してください。

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
  ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。
- 2チャネルの16ビットリロードタイマをカスケード接続して使用する場合は, このビットの設定を次のようにしてください。
  - 小さい番号のチャネル：インターバルタイマモードまたは外部クロックを選択
  - 大きい番号のチャネル：カスケードモードを設定
- このビットでイベントカウンタモードを設定した場合は , GATE ビットの設定は無視されます。

[bit8]：GATE (ゲート入力許可ビット)

タイマモードをインターバルタイマモードに設定したときにTMI0～TMI2端子に割り当てる機能を選択します。

- トリガ入力機能:TMI0～TMI2端子から有効エッジが入力されると, カウントダウンを開始します。
- ゲート機能:TMI0～TMI2端子から有効レベルが入力されている間だけ, カウントダウンします。

書込み値	説明
0	トリガ入力機能
1	ゲート機能

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
  ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。
- CSL2 ～ CSL0 ビットでイベントカウンタモードを選択 (CSL2 ～ CSL0=110/111) した場合は , このビットの設定は無視されます。

[bit7, bit6]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit5]：OUTL (出力極性指定ビット)

16 ビットリロードタイマ起動時に , TMO0 ～ TMO2 端子から出力する信号レベルを指定します。

書込み値	説明
0	通常極性 ("L" レベル)
1	反転極性 ("H" レベル)

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。

[bit4]：RELD (リロード動作許可ビット)

16 ビットリロードタイマの動作モードを次のいずれかから選択します。

- ワンショットモード

  ダウンカウンタがアンダフローすると , 次に起動トリガが入力されるまでカウント動作を停止するモードです。
- リロードモード

  ダウンカウンタがアンダフローすると , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をダウンカウンタにリロードしてカウント動作を続けるモードです。

書込み値	説明
0	ワンショットモード
1	リロードモード

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。

[bit3]：INTE (割込み要求許可ビット)

ダウンカウンタがアンダフローしたとき (UF ビット =1) に , アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit2] : UF (アンダフロー割込み要求フラグビット)

ダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに INTE ビットに "1" が設定されていると , アンダフロー割込み要求が発生します。

UF	読出し時	書込み時
0	ダウンカウンタはアンダフローしていません。	このビットを"0"にクリアします。
1	ダウンカウンタがアンダフローしました。	無視されます。

[bit1] : CNTE (カウント動作許可ビット)

ダウンカウンタの動作を許可 / 停止します。

書込み値	説明
0	カウント動作を停止します。
1	カウント動作を許可します (起動トリガ待ち) 。

< 注意事項 >

ダウンカウンタの動作中に , このビットに"0" を書き込むとダウンカウンタは停止します。

[bit0] : TRG (ソフトウェアトリガビット)

16 ビットリロードタイマをソフトウェアで起動します。このビットに "1" を書き込むと , ダウンカウンタは 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をロードして , カウント動作を開始します。

TRG	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	16 ビットリロードタイマを起動します。	

< 注意事項 >

- CNTE ビットが "0" のときにこのビットに "1" を書き込んでも , ダウンカウンタは動作しません。
- 16ビットリロードタイマの動作が許可 (CNTE=1) されているときに, このビットに"1" を書き込むと , TRGM1, TRGM0 ビットの設定にかかわらずダウンカウンタが動作を開始します。

20.4.2　16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2)

ダウンカウンタの初期値を設定するレジスタです。
リロードモード時はアンダフローが発生すると , このレジスタの値がダウンカウンタにリロードされます。

16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) のビット構成を図 20.4-2 に示します。

図 20.4-2 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) のビット構成

bit	15															0
	D15 ～ D0															
属性	R/W															
初期値	X															

R/W : リード / ライト可能
X : 不定

このレジスタに設定した値 +1 をカウントダウンし終わると , アンダフローが発生します。また , TMO0 ～ TMO2 端子から出力される信号レベルが反転します。

< 注意事項 >

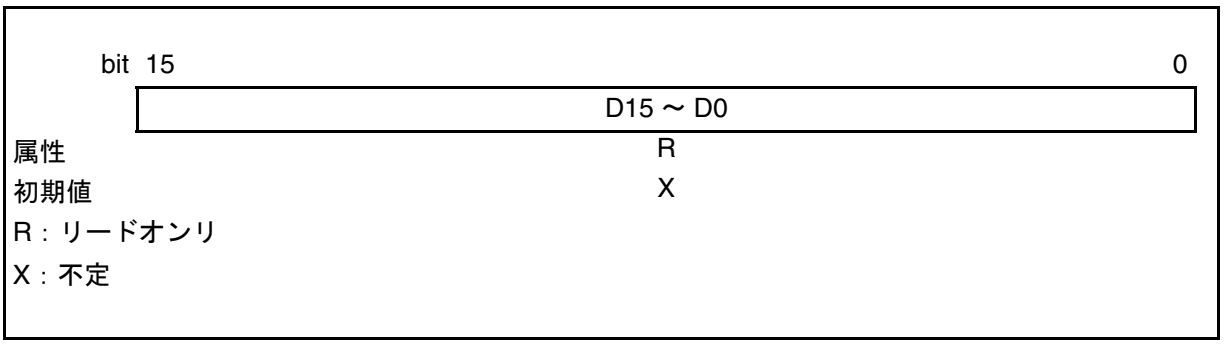
このレジスタは必ずハーフワードでアクセスしてください。

20.4.3　16 ビットタイマレジスタ (TMR0 ～ TMR2)

このレジスタを読み出すとダウンカウンタの値が読み出せます。

16 ビットタイマレジスタ (TMR0 ～ TMR2) のビット構成を図 20.4-3 に示します。

図 20.4-3 16 ビットタイマレジスタ (TMR0 ～ TMR2) のビット構成



< 注意事項 >

このレジスタは必ずハーフワードで読み出してください。

20.5　割込み

ダウンカウンタがアンダフローすると , アンダフロー割込み要求が発生します。

■ 概要

16 ビットリロードタイマで使用できる割込みについて表 20.5-1 に示します。

表 20.5-1　16 ビットリロードタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	TMCSR の UF=1	TMCSR の INTE=1	TMCSR の UF ビットに "0" を書き込む

TMCSR : コントロールステータスレジスタ (TMCSR0 ～ TMCSR2)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C　割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章　割込みコントローラ」を参照してください。

20.6　動作説明と設定手順例

16 ビットリロードタイマの動作について説明します。また , 各動作状態を設定するための手順例も示します。

■ 概要

16 ビットリロードタイマは , あらかじめ設定した値からカウントダウンするダウンカウンタです。コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CSL2 ～ CSL0 ビットでタイマモードを次の中から選択できます。

- インターバルタイマモード (CSL2 ～ CSL0=000 ～ 101)

  周辺クロック (PCLK) を分周したカウント用クロックで動作します。
- イベントカウンタモード (CSL2 ～ CSL0=110, 111)

  TMI0 ～ TMI2 端子から有効エッジが入力されるたびにカウントするモードです。

  また , ch.0 の出力を ch.1 で ch.1 の出力を ch.2 でカウントするカスケードモードも使用できます。

■ TMO0 ～ TMO2 端子から出力される信号レベルの設定方法

TMO0 ～ TMO2 端子から出力される信号レベルはコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の OUTL ビットの設定によって異なります。

● リロードモード時

リロードモード時の TMO0 ～ TMO2 端子から出力される信号レベルを表 20.6-1 に示します。

表 20.6-1　リロードモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
その後	アンダフローが発生するたびに信号レベルが反転	

● ワンショットモード時

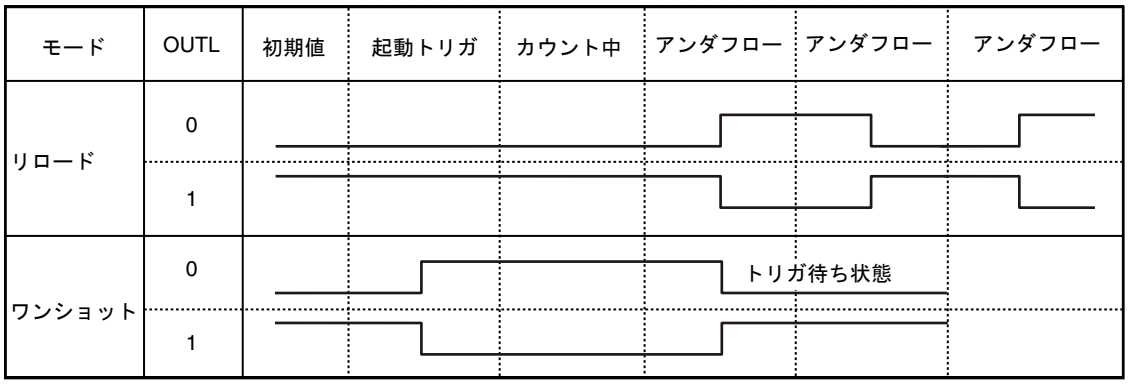
ワンショットモード時の TMO0 ～ TMO2 端子から出力される信号レベルを表 20.6-2 に示します。

表 20.6-2　ワンショットモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
起動トリガ入力時	"H" レベル	"L" レベル
アンダフロー発生時	"L" レベル	"H" レベル

コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の OUTL ビットと出力波形の対応を図 20.6-1 に示します。

図 20.6-1 コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の OUTL ビットと出力波形の対応



20.6.1　インターバルタイマモード時の動作

16 ビットリロードタイマを内部クロック (周辺クロック) に同期してカウントするインターバルタイマモードで使用する場合の動作について説明します。
カウント用クロックは , 周辺クロック (PCLK) を分周して生成されます。

■ 設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合に必要な設定について説明します。

● インターバルタイマモードの設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合は , コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CSL2 ～ CSL0 ビットを次のいずれかに設定し , 周辺クロック (PCLK) の分周比を選択します。

CSL2	CSL1	CSL0	タイマモード	周辺クロックの分周比
0	0	0	インターバルタイマモード	2 分周 (=2^1)
0	0	1		4 分周 (=2^2)
0	1	0		8 分周 (=2^3)
0	1	1		16 分周 (=2^4)
1	0	0		32 分周 (=2^5)
1	0	1		64 分周 (=2^6)

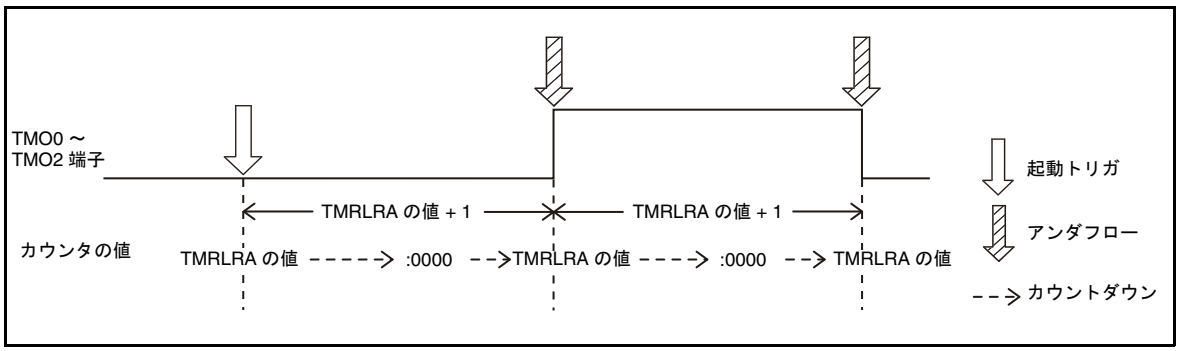
● 動作モードの設定

インターバルタイマモード時, コントロールステータスレジスタ (TMCSR0～TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

  ダウンカウンタがアンダフローすると , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。リロードモードの基本動作を図 20.6-2 に示します。

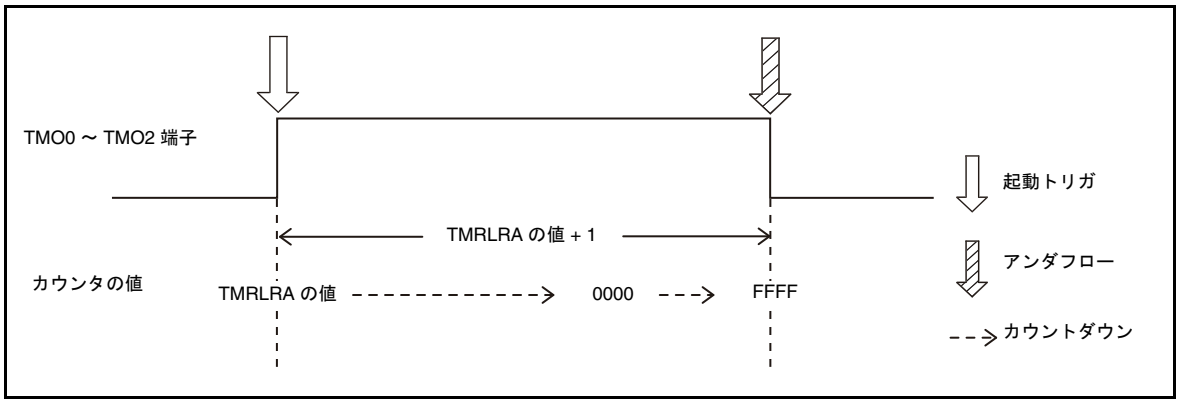
図 20.6-2 リロードモードの基本動作



- ワンショットモード (RELD=0)

  ダウンカウンタがアンダフローすると , カウント動作を停止するモードです。ワンショットモードの基本動作を図 20.6-3 に示します。

図 20.6-3 ワンショットモードの基本動作



● TMI0 ～ TMI2 端子機能の設定

コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRGM1, TRGM0 ビットと GATE ビットで , TMI0 ～ TMI2 端子の機能を次の中から選択できます。

各ビットの組み合わせを表 20.6-3 に示します。

表 20.6-3 各ビットの組み合わせ

TRGM1, TRGM0	GATE	端子の機能
00	0	TMI0 ～ TMI2 端子は機能しません。
01	0	TMI0 ～ TMI2 端子はトリガ入力機能として動作します。 有効エッジは立上りエッジです。
10	0	TMI0 ～ TMI2 端子はトリガ入力機能として動作します。 有効エッジは立下りエッジです。
11	0	TMI0 ～ TMI2 端子はトリガ入力機能として動作します。 有効エッジは両エッジです。
00/10	1	TMI0 ～ TMI2 端子はゲート入力機能として動作します。 有効レベルは "L" レベルです。
01/11	1	TMI0 ～ TMI2 端子はゲート入力機能として動作します。 有効レベルは "H" レベルです。

■ パルス幅の計算方法

インターバルタイマモード時に , TMO0 ～ TMO2 端子から出力される信号のパルス幅の計算方法を説明します。

パルス幅 =T × (L+1)

L　16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) に設定した値
T　カウント用クロックの周期

■ アンダフロー周期の計算方法

ダウンカウンタの値が "0000_H" のときに , さらにカウントダウンしようとすると , アンダフローが発生します。ダウンカウンタがカウントを開始してからアンダフローが発生するまでの周期は , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) に設定します。

アンダフロー周期の計算方法を説明します。

T × (L+1)

T　カウント用クロックの周期
L　16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) に設定した値

■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)

TMI0 ～ TMI2 端子をトリガ入力に使用して , アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウントダウンを継続するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット =01 ～ 11 のいずれか
- GATE ビット =0
- RELD ビット =1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0～TMCSR2) の CNTE ビットで, 16 ビットリロードタイマの動作を許可 (CNTE=1) する

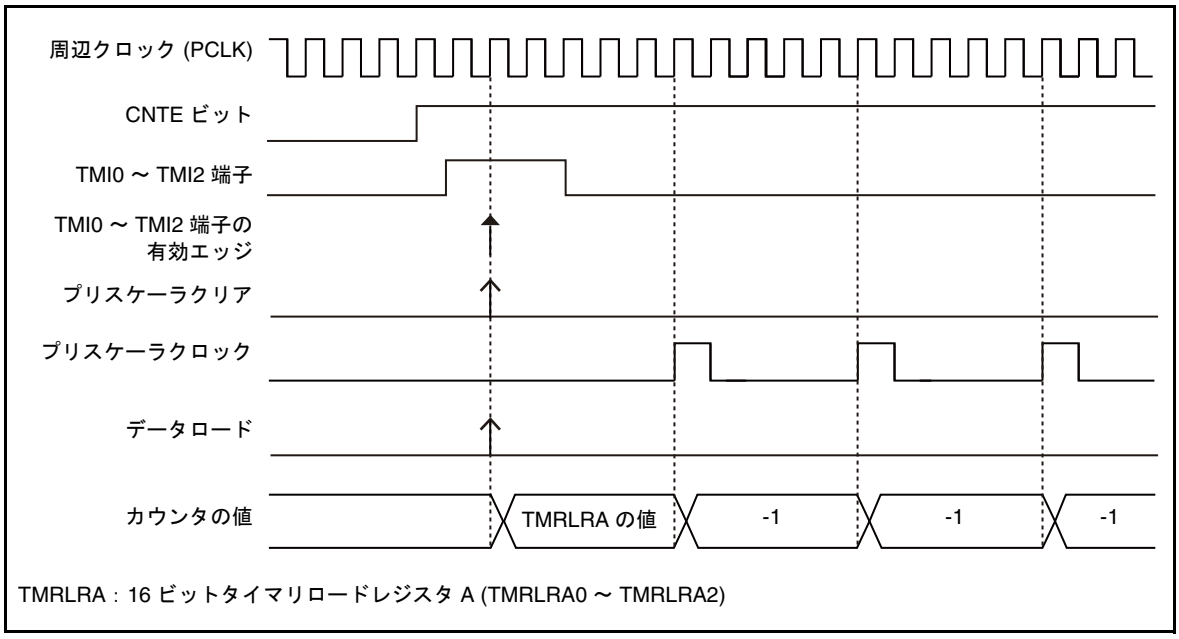
   16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. 次のいずれかの方法で起動トリガを入力する
   - TMI0 ～ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRGM1, TRGM0 ビットで設定したエッジを入力する
   - コントロールステータスレジスタ (TMCSR0～TMCSR2) の TRG ビットに"1"を書き込む

   プリスケーラがクリアされます。また , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値がダウンカウンタにロードされ , カウントが開始されます。

起動動作を図 20.6-4 に示します。

図 20.6-4 起動動作 (TMI0 ～ TMI2 端子で起動時 , 有効エッジ = 立上りエッジの場合)



< 注意事項 >

TMI0 ～ TMI2 端子から入力する起動トリガのパルス幅は , 2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

ダウンカウンタがカウント用クロックに同期して , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値からカウントダウンを開始します。

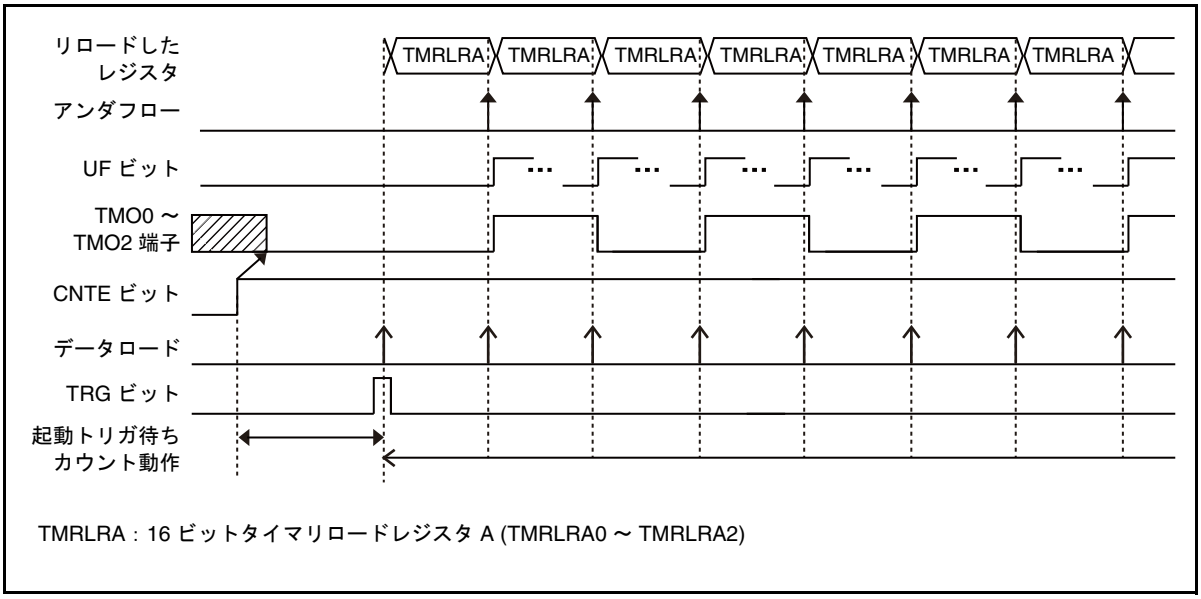
ダウンカウンタの値が "0000_H" からカウントダウンしようとすると , アンダフローが発生し , 次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0～TMCSR2) のUFビットが"1"に変わる
- TMO0 ～ TMO2 端子から出力される信号レベルが反転する
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウントダウンを継続する

このように , アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウント動作を継続します。

カウント動作を図 20.6-5 に示します。

図 20.6-5 カウント動作 (ソフトウェアでの起動時 , 出力極性 = 通常極性の場合)



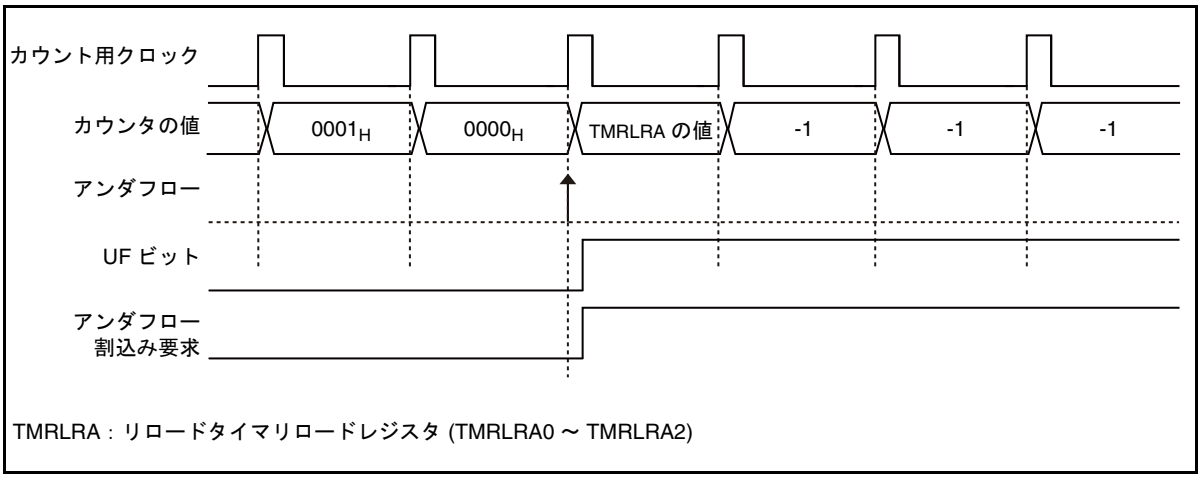
● 割込み処理の動作

ダウンカウンタがアンダフローすると , コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の UF ビットが "1" に変わります。

このとき , コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の INTE ビットが "1" に設定されていると , アンダフロー割込み要求が発生します。

アンダフロー割込み要求が発生するタイミングを図 20.6-6 に示します。

図 20.6-6 アンダフロー割込み要求の発生タイミング



コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の UF ビットに "0" を書き込むと , アンダフロー割込み要求をクリアできます。

< 注意事項 >

アンダフロー割込み要求をクリアしたと同時にアンダフロー割込み要求が発生した場合は , クリア動作は無視され , アンダフロー割込み要求が発生したままになります。

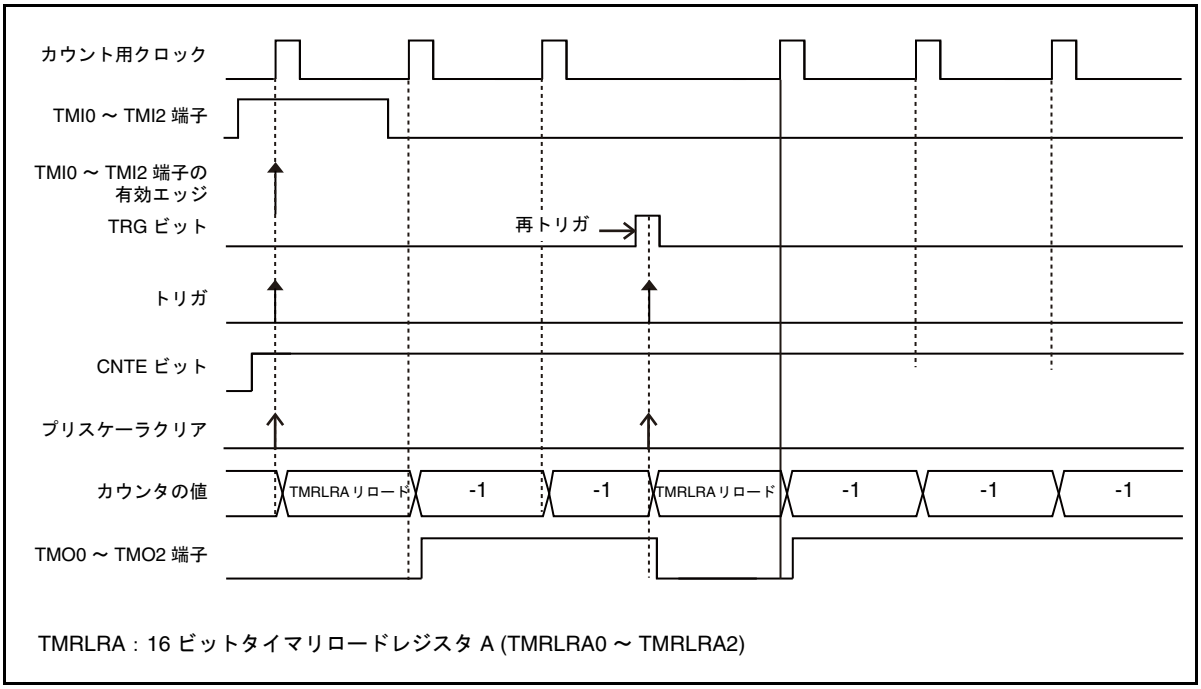
● 再トリガ動作

カウント動作中に , 16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し , 次の動作が行われます。

- TMI0 ～ TMI2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をダウンカウンタにリロード
- プリスケーラのクリア
- カウント動作開始

再トリガ発生時の動作を図 20.6-7 に示します。

図 20.6-7 再トリガ発生時の動作
(TMI0 ～ TMI2 端子で再トリガ時 , 有効エッジ = 立上りエッジの場合)



< 注意事項 >

16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) を書き換えて , リロード値を変更したと同時に再トリガが発生すると , ダウンカウンタには書き換える前の値がロードされます。
書換え後の値は , 次のリロードタイミングでロードされます。

■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = ゲート入力時)

TMI0 ～ TMI2 端子をゲート入力に使用して , アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウントダウンを継続するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM0 ビット =0/1
- GATE ビット =1
- RELD ビット =1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CNTE ビットで , 16 ビットリロードタイマの動作を許可 (CNTE=1) する

   16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)

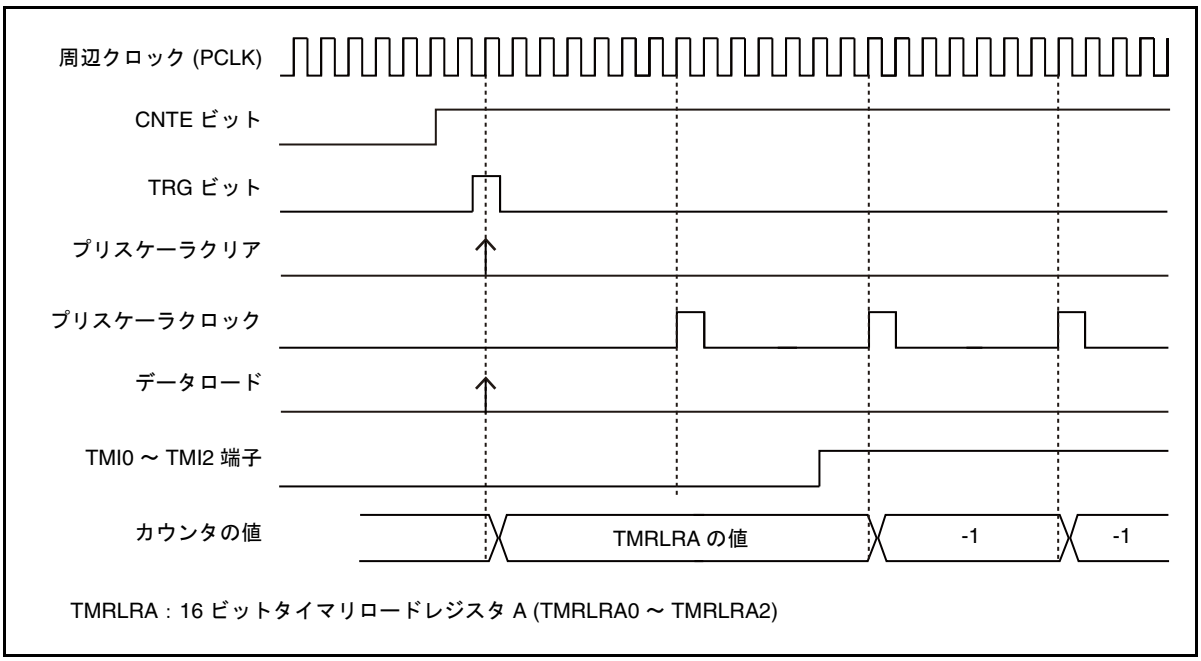
   プリスケーラがクリアされます。また , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値がダウンカウンタにロードされ , 16 ビットリロードタイマは TMI0 ～ TMI2 端子からの有効入力極性待ち状態になります。

3. TMI0 ～ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRGM1, TRGM0 ビットで設定したレベルの信号を入力する

   カウントが開始されます。

起動動作を図 20.6-8 に示します。

図 20.6-8 起動動作



< 注意事項 >

TMI0 ～ TMI2 端子から入力する有効レベルは , 2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

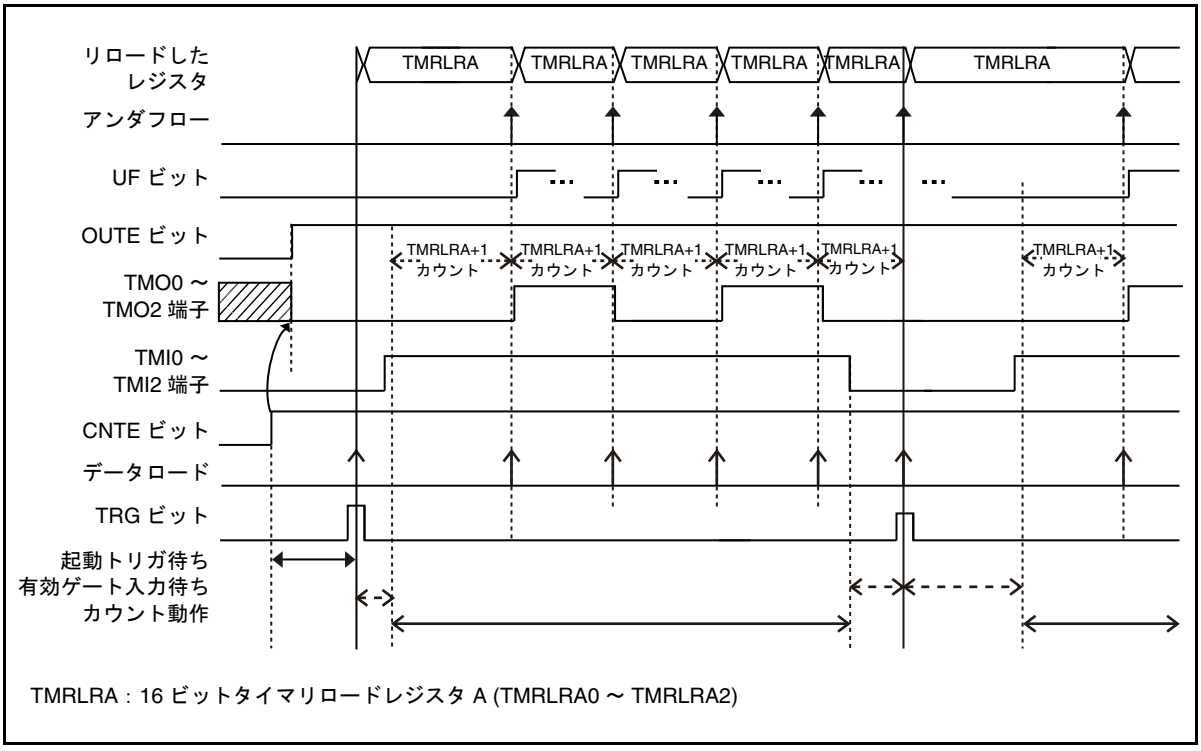
TMI0 ～ TMI2 端子から有効レベルの信号が入力されている間だけ , ダウンカウンタがカウント用クロックに同期して , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値からカウントダウンします。

TMI0 ～ TMI2 端子から有効レベルが入力されないと , ダウンカウンタは動作を停止します。ダウンカウンタの停止中に有効レベルが入力されると , 停止していた値から再度カウントを開始します。

以降の動作は , TMI0 ～ TMI2 端子 = トリガ入力機能時の動作と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

カウント動作を図 20.6-9 に示します。

図 20.6-9 カウント動作 (有効レベル ="H" レベル , 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

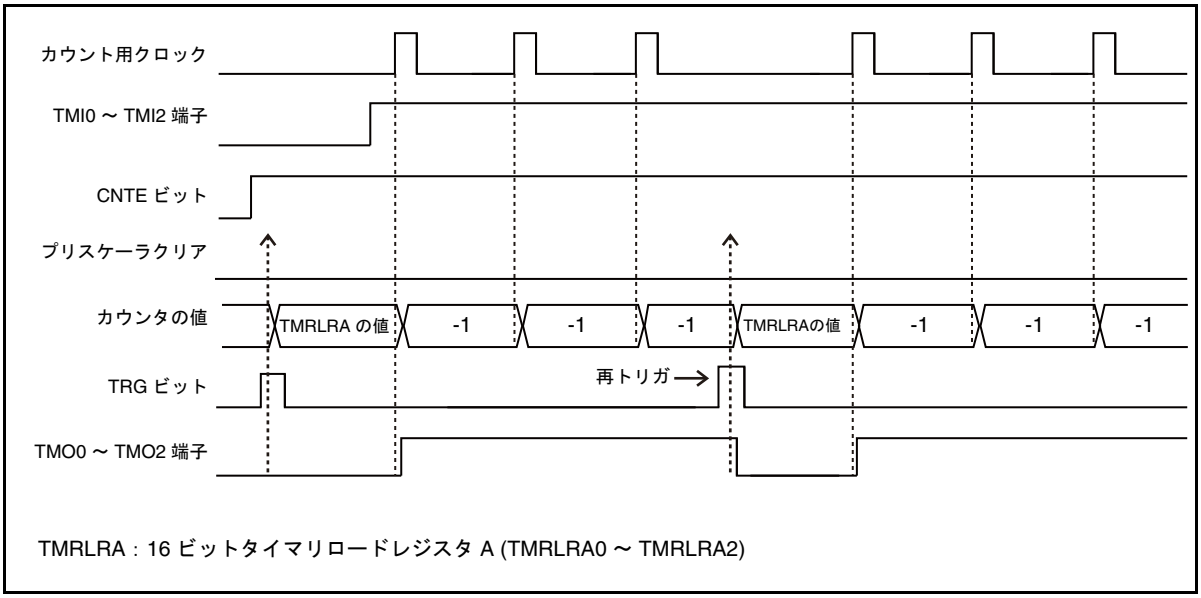
● 再トリガ動作

カウント動作中に , 16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し , 次の動作が行われます。

- TMI0 ～ TMI2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をダウンカウンタにリロード
- プリスケーラのクリア

その状態で TMI0 ～ TMI2 端子から有効レベルが入力されると , カウント動作が開始されます。再トリガ時の動作を図 20.6-10 に示します。

図 20.6-10 再トリガ発生時の動作 (有効レベル ="H" レベルの場合)



■ ワンショットモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)

TMI0 ～ TMI2 端子をトリガ入力に使用して , アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット =01 ～ 11 のいずれか
- GATE ビット =0
- RELD ビット =0

● 起動

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

ただし , ワンショットモード時は起動トリガを検出したら , TMO0 ～ TMO2 端子から出力される信号レベルが反転します。

● カウント動作

ダウンカウンタがカウント用クロックに同期して , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値からカウントダウンを開始します。

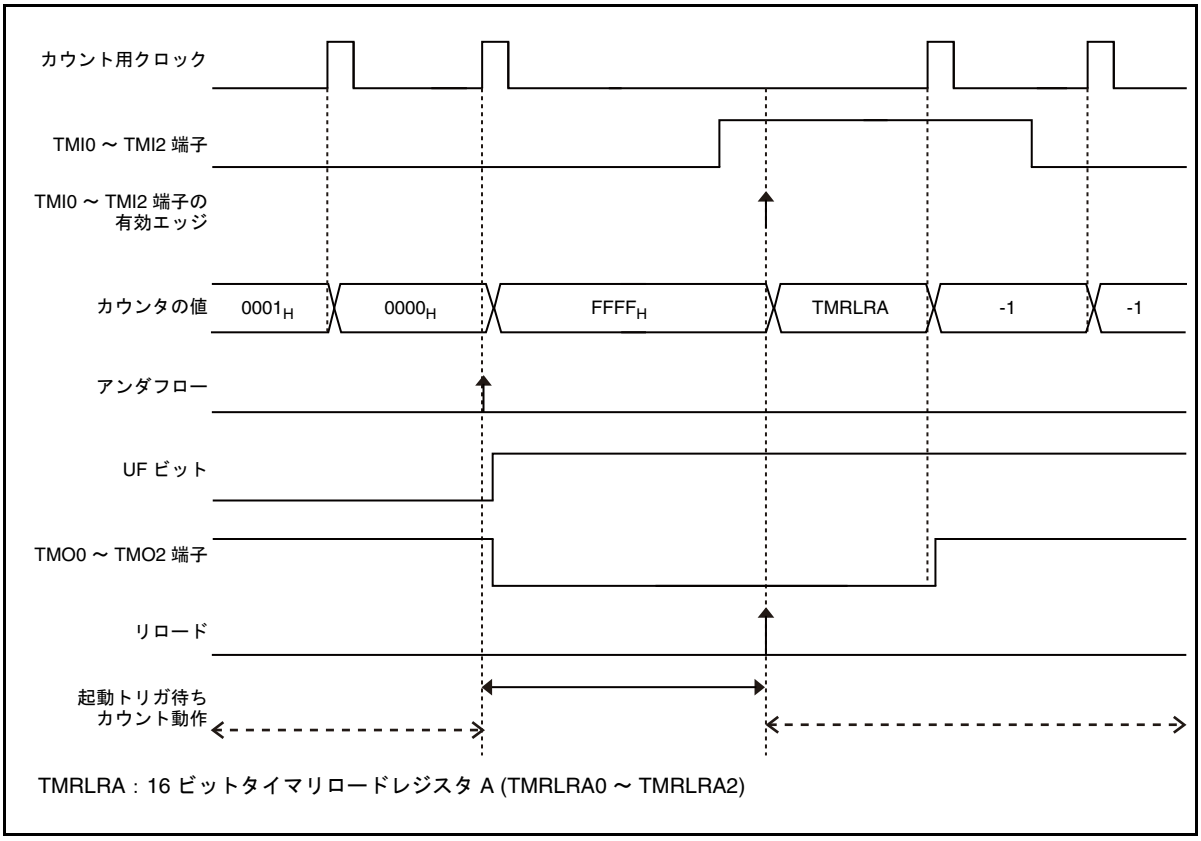
ダウンカウンタの値が "0000_H" からカウントダウンしようとすると , アンダフローが発生し , 次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0～TMCSR2) の UF ビットが "1" に変わる
- TMO0 ～ TMO2 端子から出力される信号レベルを初期化する

- カウント動作を停止し, 起動トリガ待ち状態になる (ダウンカウンタの値が"$FFFF_H$"で止まります)

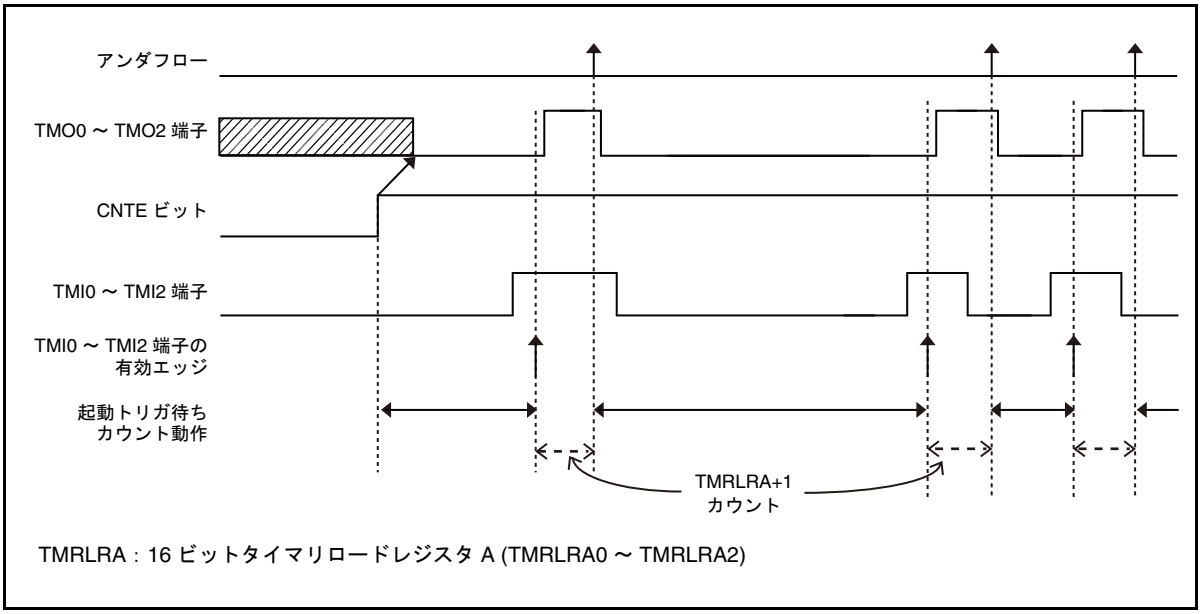
TMI0 ～ TMI2 端子で起動時のカウント動作を図 20.6-11 に示します。

図 20.6-11 カウント動作 (有効エッジ = 立上りエッジ , 出力極性 = 通常極性の場合)



アンダフロー発生時の詳細動作を図 20.6-12 に示します。

図 20.6-12 アンダフロー発生時の詳細動作
(有効エッジ = 立上りエッジ , 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

ただし , ワンショットモード時は再トリガを検出したら , TMO0 ～ TMO2 端子から出力される信号レベルが反転します。

■ ワンショットモード時の動作 (TMI0 ～ TMI2 端子 = ゲート入力時)

TMI0 ～ TMI2 端子をゲート入力に使用して , アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM0 ビット =0/1
- GATE ビット =1
- RELD ビット =0

● 起動

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = ゲート入力時)」を参照してください。

ただし , ワンショットモード時は起動トリガを検出したら , TMO0 ～ TMO2 端子から出力される信号レベルが反転します。

● カウント動作

TMI0 ～ TMI2 端子から有効レベルの信号が入力されている間だけ , ダウンカウンタがカウント用クロックに同期して , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値からカウントダウンします。

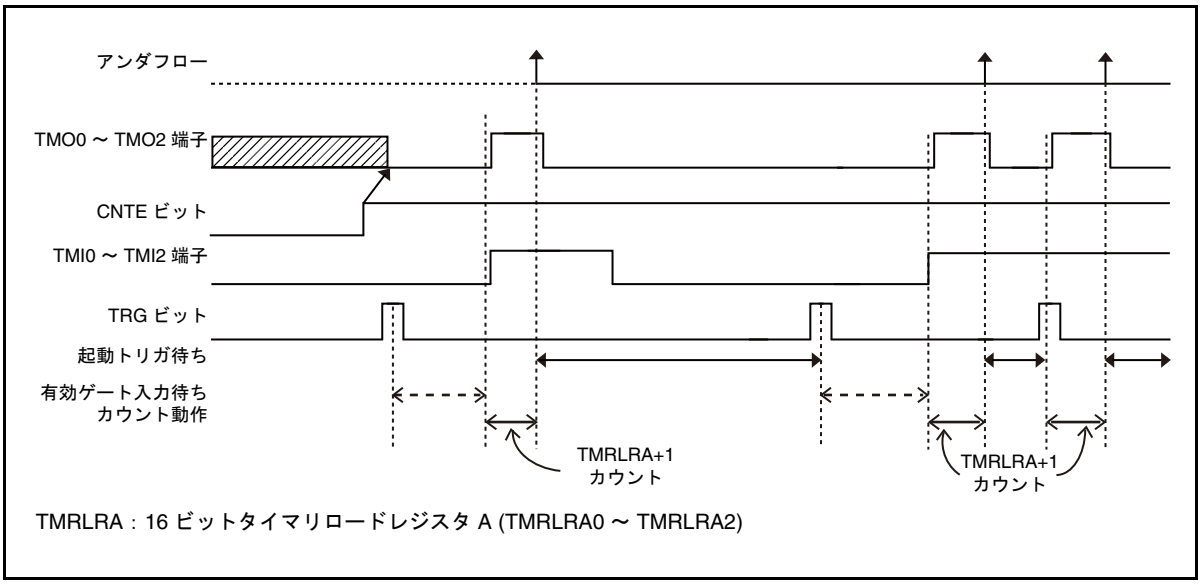
TMI0 ～ TMI2 端子から有効レベルが入力されなくなると , ダウンカウンタは動作を停止します。ダウンカウンタの停止中に有効レベルが入力されると , 停止していた値から再度カウントを開始します。

ダウンカウンタの値が "0000_H" からカウントダウンしようとすると , アンダフローが発生し , 次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0～TMCSR2) の UF ビットが "1" に変わる
- TMO0 ～ TMO2 端子から出力される信号レベルを初期化する
- カウント動作を停止し , 起動トリガ待ち状態になる (ダウンカウンタの値が "$FFFF_H$" で止まります)

カウント動作を図 20.6-13 に示します。

図 20.6-13 カウント動作 (有効レベル ="H" レベル , 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = ゲート入力時)」を参照してください。

ただし , ワンショットモード時は再トリガを検出したら , TMO0 ～ TMO2 端子から出力される信号レベルが反転します。

20.6.2　イベントカウンタモード時の動作

16 ビットリロードタイマをイベントカウンタとして使用する場合の動作について説明します。この節では , 外部イベントをカウントする場合の動作について説明します。

■ 概要

イベントカウンタモードでは TMI0 ～ TMI2 端子に入力された外部イベントをカウントします。TMI0 ～ TMI2 端子から有効エッジが入力されるたびに , カウントダウンを行います。

カスケードモードについては ,「20.6.3 カスケードモード時の動作」を参照してください。

■ 設定

● イベントカウンタモードの設定

16 ビットリロードタイマをイベントカウンタモードで使用する場合は , コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CSL2 ～ CSL0 ビットを次の様に設定します。

CSL2	CSL1	CSL0	モード	カウント用クロック
1	1	1	イベントカウンタモード	外部クロック

● 動作モードの設定

イベントカウンタモード時 , コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

  ダウンカウンタがアンダフローすると , 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。
- ワンショットモード (RELD=0)

  ダウンカウンタがアンダフローすると , カウント動作を停止するモードです。

● 有効エッジの設定

16 ビットリロードタイマは TMI0 ～ TMI2 端子に有効エッジが入力されるたびに , カウントダウンを行います。

有効エッジはコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRGM1, TRGM0 ビットで次の中から選択できます。

TRGM1, TRGM0	端子の機能
00	TMI0 ～ TMI2 端子は機能しません。
01	立上りエッジ
10	立下りエッジ
11	両エッジ

■ リロードモード時の動作

アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウントダウンを継続するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット =01 ～ 11 のいずれか
- RELD ビット =1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CNTE ビットで , 16 ビットリロードタイマの動作を許可 (CNTE=1) する

   16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)

   16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値がダウンカウンタにロードされ , 16 ビットリロードタイマは TMI0 ～ TMI2 端子から出力される信号の有効エッジ検出待ち状態になります。

3. TMI0 ～ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の TRGM1, TRGM0 ビットで設定した有効エッジを入力する

   カウントが開始されます。

● カウント動作

TMI0 ～ TMI2 端子からの入力信号に有効エッジを検出するたびに , カウントダウンします。

カウントのタイミングを図 20.6-14 ～図 20.6-16 に示します。

図 20.6-14 カウントタイミング (有効エッジ = 立上りエッジ)

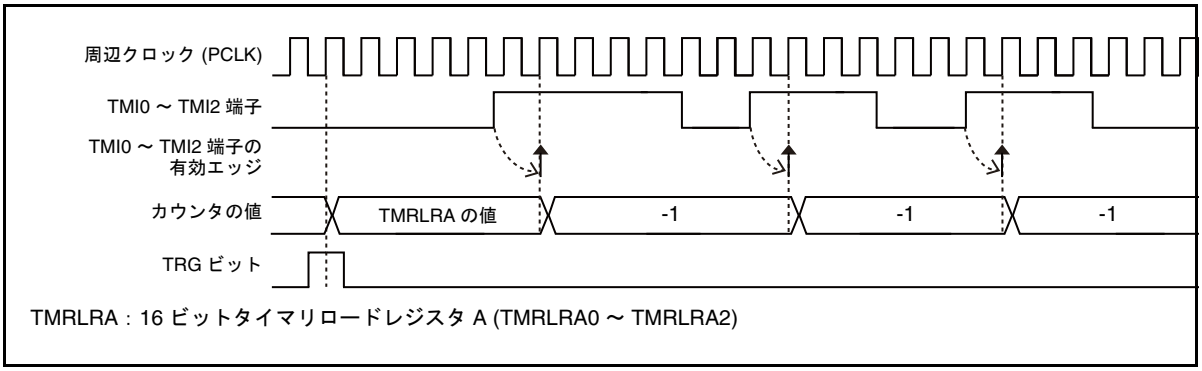


図 20.6-15 カウントタイミング (有効エッジ = 立下りエッジ)

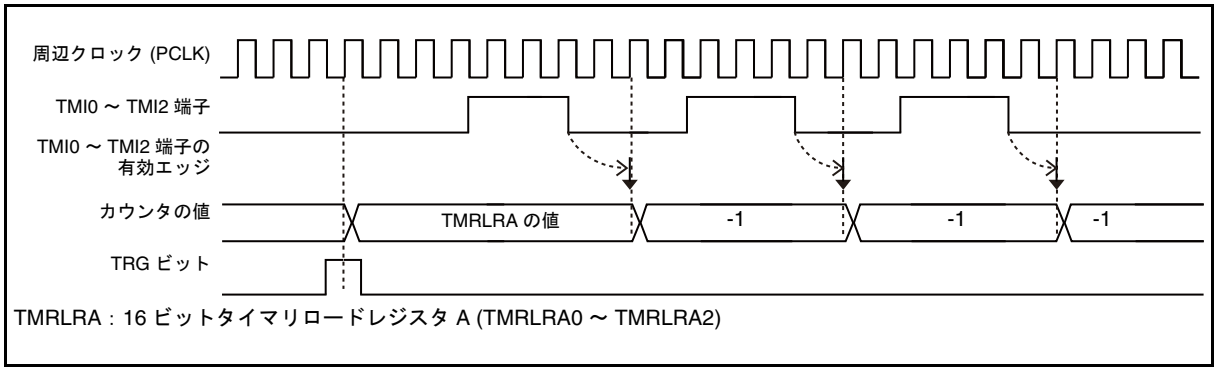
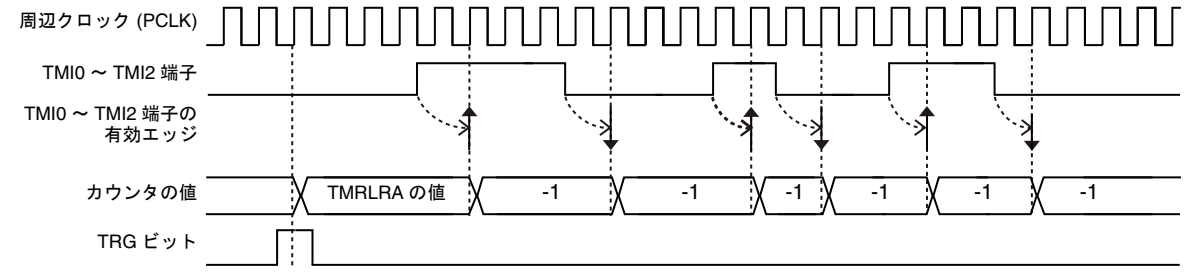


図 20.6-16 カウントタイミング (有効エッジ = 両エッジ)



TMRLRA : 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2)

ダウンカウンタの値が "0000_H" からカウントダウンしようとすると , アンダフローが発生し , 次の動作が行われます。

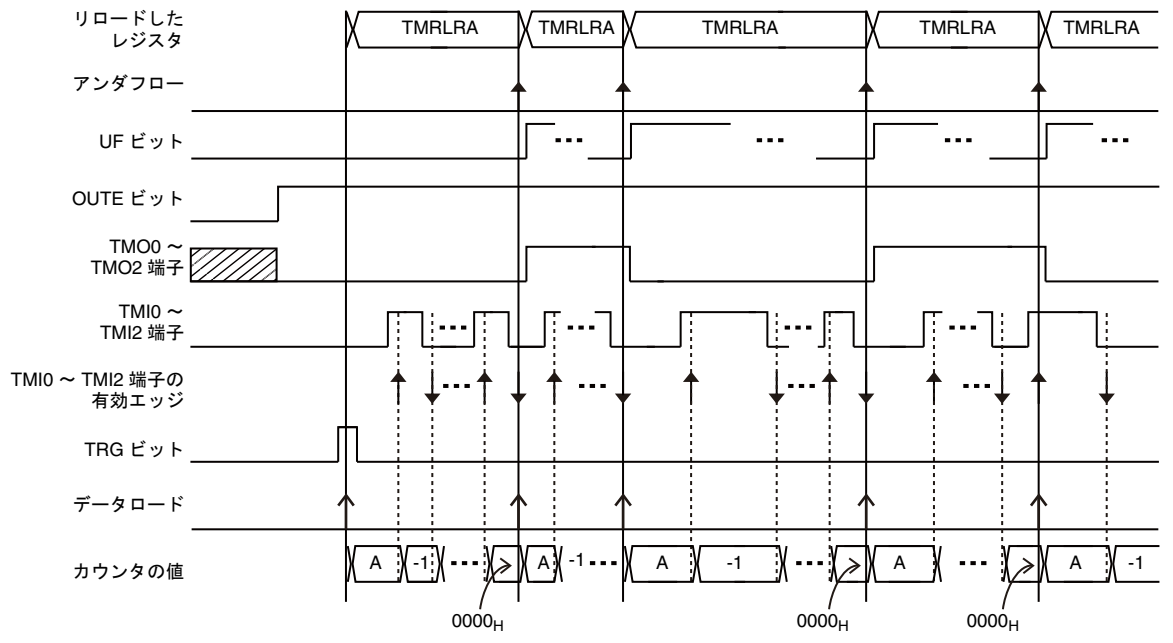
- コントロールステータスレジスタ (TMCSR0～TMCSR2) のUFビットが"1"に変わる
- TMO0 ～ TMO2 端子からの出力信号レベルが反転する
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をダウンカウンタにリロード
- TMI0 ～ TMI2 端子から有効レベルが入力されると , カウントダウンを継続する。

このように , アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をリロードし , カウント動作を継続します。

ただし , アンダフロー発生後 , TMI0 ～ TMI2 端子から入力される信号の有効エッジが検出されるまではカウントは開始しません。

カウント動作を図 20.6-17 に示します。

図 20.6-17 カウント動作 (検出エッジ = 両エッジ , 出力極性 = 通常極性の場合)



TMRLRA : 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2)

● 割込み処理の動作

インターバルタイマモード時と同様です。「20.6.1 インターバルタイマモード時の動作」の「■ リロードモード時の動作 (TMI0 ～ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

カウント動作中に , 16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し , 次の動作が行われます。

- TMO0 ～ TMO2 端子から出力される信号レベルをコントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の OUTL ビットで設定したレベルに初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ～ TMRLRA2) の値をダウンカウンタにリロード

その状態で TMI0 ～ TMI2 端子から有効エッジが入力されると , カウント動作が開始されます。

■ ワンショットモード時の動作

アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は, コントロールステータスレジスタ (TMCSR0～TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット =01 ～ 11 のいずれか
- RELD ビット =0

● 起動

リロードモード時と同様です。「■ リロードモード時の動作」を参照してください。

● カウント動作

TMI0 ～ TMI2 端子で有効エッジを検出するたびに , カウントダウンします。

ダウンカウンタの値が "0000_H" からカウントダウンしようとすると , アンダフローが発生し , 次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0～TMCSR2) の UF ビットが "1" に変わる
- TMO0 ～ TMO2 端子から出力される信号レベルを初期化する
- カウント動作を停止し, 起動トリガ待ち状態になる (ダウンカウンタの値が "$FFFF_H$" で止まります)

カウント動作を図 20.6-18, 図 20.6-19 に示します。

図 20.6-18　カウント動作 (検出エッジ = 両エッジの場合)

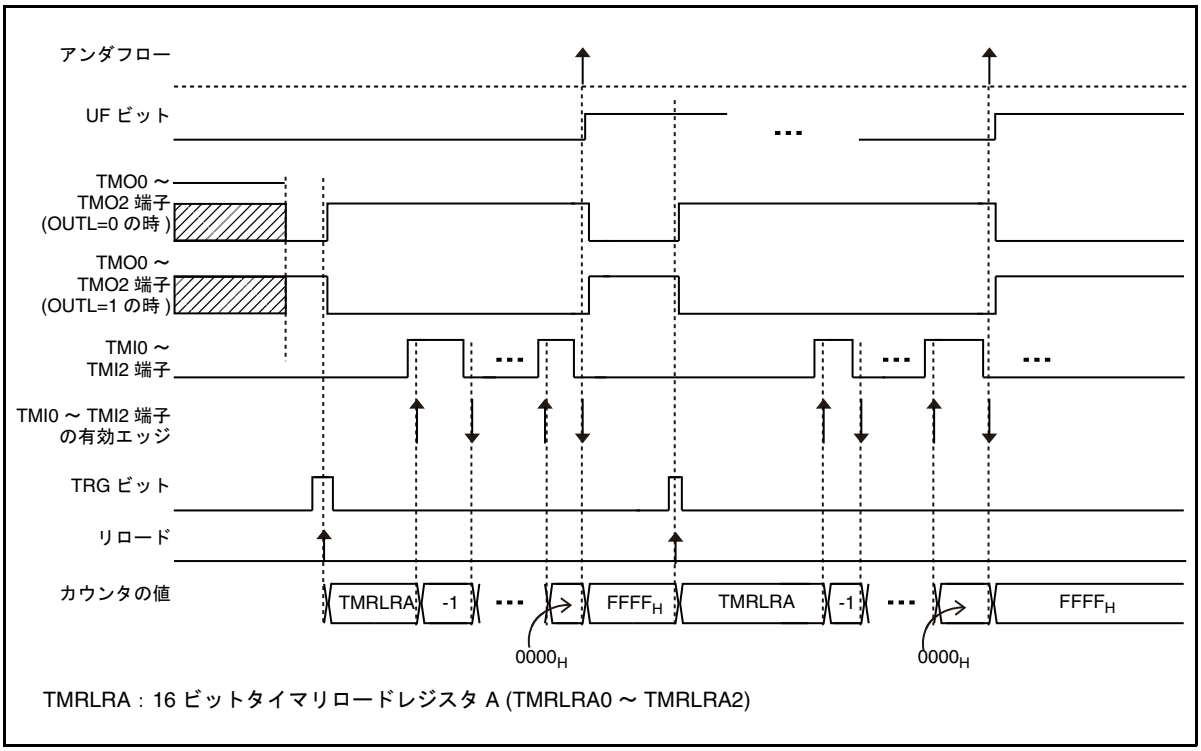
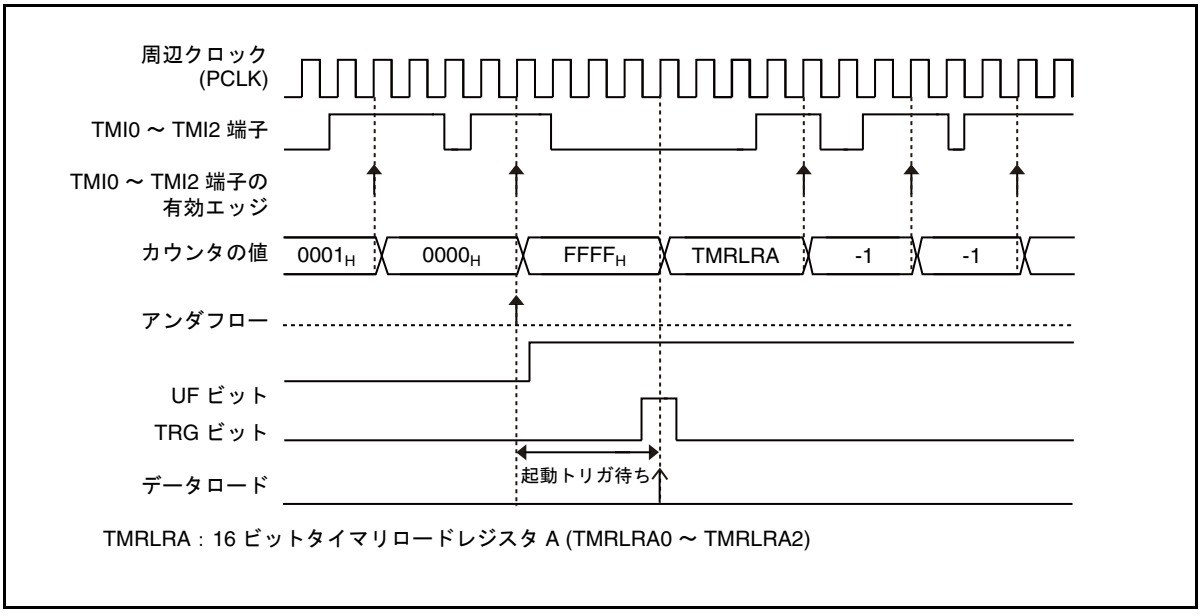


図 20.6-19 カウント動作 (検出エッジ = 立上りエッジの場合)



● 割込み処理の動作

リロードモード時と同様です。「■ リロードモード時の動作」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「■ リロードモード時の動作」を参照してください。

20.6.3　カスケードモード時の動作

カスケードモードを使用すると , 16 ビットリロードタイマの ch.0 からの出力を ch.1 で , ch.1 からの出力を ch.2 でカウントできます。カスケードモード時の動作を説明します。

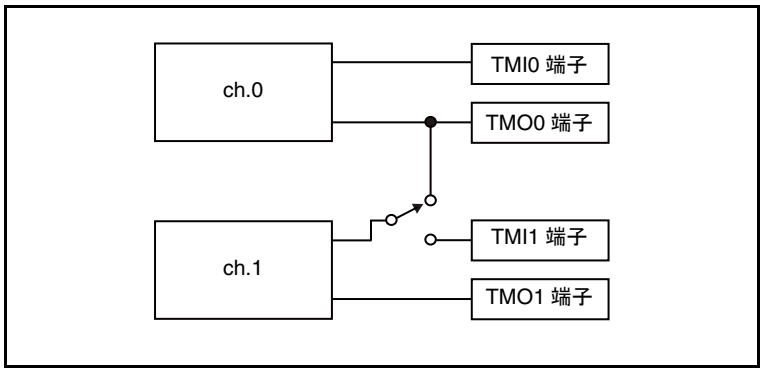
■ 動作

コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CSL2 ～ CSL0 ビットでカスケードモードを選択 (CSL2 ～ CSL0=110) すると , 次のような動作になります。

- ch.1 をカスケードモードで接続した場合

  ch.0 からの出力をカウントします。ch.1 をカスケードモードで使用した場合の入出力を図 20.6-20 に示します。

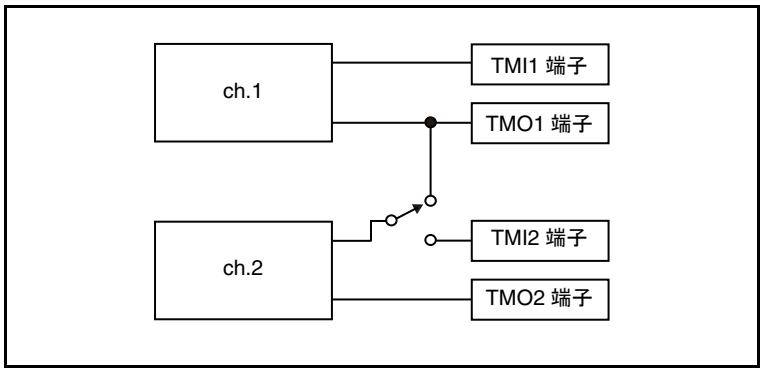
図 20.6-20 ch.1 をカスケードモードで使用した場合の入出力



- ch.2 をカスケードモードで接続した場合

  ch.1 からの出力をカウントします。ch.2 をカスケードモードで使用した場合の入出力を図 20.6-21 に示します。

図 20.6-21 ch.2 をカスケードモードで使用した場合の入出力



< 注意事項 >

カスケードモードを使用する場合は，コントロールステータスレジスタ (TMCSR0 ～ TMCSR2) の CSL2 ～ CSL0 ビットでタイマモードを次のように設定してください。

- 若い番号のチャネル
  インターバルタイマモードまたは外部クロックを選択 (CSL2 ～ CSL0=110 以外)
- 大きい番号のチャネル
  カスケードモードを設定 (CSL2 ～ CSL0=110)

■ アンダフロー周期

ch.1 および ch.2 のアンダフロー周期の計算式を説明します。

- ch.1 をカスケードモードで接続した場合

T × (TMRLRA0 の値 +1) × (TMRLRA1 の値 +1)

T：ch.0 のカウント用クロックの周期
TMRLRA0：16 ビットタイマリロードレジスタ A0 (TMRLRA0)
TMRLRA1：16 ビットタイマリロードレジスタ A1 (TMRLRA1)

- ch.2 をカスケードモードで接続した場合

T × (TMRLRA1 の値 +1) × (TMRLRA2 の値 +1)

T：ch.1 のカウント用クロックの周期
TMRLRA1：16 ビットタイマリロードレジスタ A1 (TMRLRA1)
TMRLRA2：16 ビットタイマリロードレジスタ A2 (TMRLRA2)

20.7　使用上の注意

16 ビットリロードタイマを使用する際は , 次の点に注意してください。

■ 割込みに関する注意

- アンダフロー割込み要求フラグのクリアと , アンダフロー割込み要求フラグが"1"に変わるタイミングが重なった場合は , アンダフロー割込み要求フラグのクリア動作は無視され , アンダフロー割込み要求フラグは "1" のままになります。

■ 同時起動の場合の動作

16 ビットリロードタイマの動作を決定するイベントが同時に発生した場合 , 動作状態を決定する優先順位は次のとおりです。

1. レジスタの読込み
2. トリガ入力
3. アンダフロー
4. カウント用クロック入力

第 21 章 ベースタイマ 入出力選択機能

ベースタイマの入出力選択機能について説明します。

21.1 概要
21.2 構成
21.3 端子
21.4 レジスタ
21.5 入出力モード

21.1 概要

ベースタイマ入出力選択機能は, 入出力モードを設定することにより, ベースタイマへの信号 (外部クロック / 外部起動トリガ / 波形) の入出力方法を決める機能です。
また, ベースタイマはタイマ機能を切り換えることで, チャネルごとに次のいずれかのタイマとして使用します。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

ベースタイマは , 必ず本章と使用するタイマ機能の章両方を一読の上 , 使用してください。

■ 概要

2 チャネルごとに入出力モードを次の 9 種類の中から選択できます。

- 入出力モード 0 : 16 ビットタイマ標準モード

  ベースタイマを 1 チャネルごとに個別に動作させるモードです。
- 入出力モード 1 : タイマフルモード

  ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。
- 入出力モード 2 : 外部トリガ共有モード

  2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると , 2 チャネルのベースタイマを同時に起動できます。
- 入出力モード 3 : 他チャネルトリガ共有モード

  他のチャネルからの外部信号を外部起動トリガにして , 起動するモードです。このモードは ch.0 および ch.1 には設定できません。
- 入出力モード 4 : タイマ起動 / 停止モード

  偶数チャネルで奇数チャネルの起動 / 停止を制御するモードです。奇数チャネルは , 偶数チャネルからの出力信号の立上りエッジで起動し , 立下りエッジで停止します。
- 入出力モード 5 : 同時ソフト起動モード

  ソフトウェアで複数のチャネルを同時に起動するモードです。
- 入出力モード 6 : ソフト起動タイマ起動 / 停止モード

  偶数チャネルで奇数チャネルの起動 / 停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは , 偶数チャネルからの出力信号の立上りエッジで起動し , 立下りエッジで停止します。
- 入出力モード 7 : タイマ起動モード

  偶数チャネルで奇数チャネルの起動を制御するモードです。奇数チャネルは , 偶数チャネルからの出力信号の立上りエッジで起動します。

- 入出力モード 8 ：他チャネルトリガ共有タイマ起動 / 停止モード

  ほかのチャネルからの外部信号を外部起動トリガにして , 起動するモードです。
  このモードは ch.0 および ch.1 には設定できません。

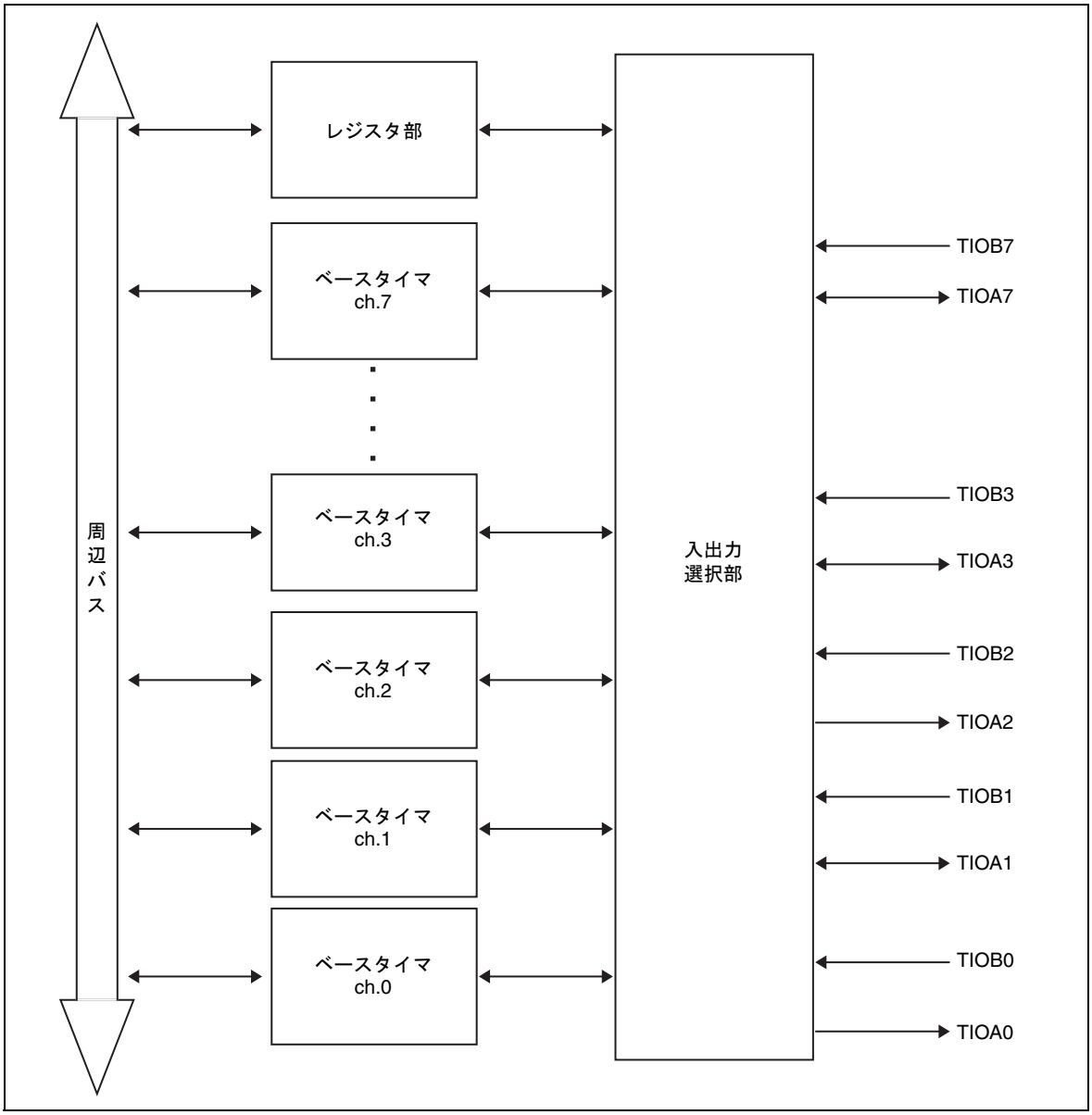
21.2 構成

ベースタイマ入出力選択機能は次のブロックで構成されています。

■ ベースタイマ入出力選択機能のブロックダイヤグラム

ベースタイマ入出力選択機能のブロックダイヤグラムを図 21.2-1 に示します。

図 21.2-1 ベースタイマ入出力選択機能のブロックダイヤグラム



- 入出力選択部

  ベースタイマの入出力モードをチャネルごとに選択する回路です。
- ベースタイマ (ch.0 ～ ch.7)

  ベースタイマの ch.0 ～ ch.7 です。

21.3　端子

ベースタイマ入出力選択機能で入出力モードを設定する端子について説明します。

■ 概要

ベースタイマには , チャネルごとに 2 種類の外部端子と 5 種類の内部信号があります。

外部端子と内部信号を接続することで, ベースタイマへ接続先に対応した信号 (外部クロック (ECK 信号) / 外部起動トリガ (TGIN 信号) / 波形 (TIN 信号)) を入出力します。

外部端子と内部信号は , ベースタイマの入出力モードを設定することで接続されます。使用する端子と入出力する信号は入出力モードによって異なります。

● 外部端子

- TIOA0 ～ TIOA7 端子

  ベースタイマの波形 (TOUT 信号) を出力する , あるいは , 外部起動トリガ (TGIN 信号) を入力する端子です。

  この端子は兼用端子です。ベースタイマの TIOA0 ～ TIOA7 端子として使用するには「2.4 端子の設定方法」を参照してください。

- TIOB0 ～ TIOB7 端子

  外部起動トリガ (TGIN 信号) / 外部クロック (ECK 信号) / 他チャネルの波形 (TIN 信号) を入力する端子です。

  この端子は兼用端子です。ベースタイマの TIOB0 ～ TIOB7 端子として使用するには「2.4 端子の設定方法」を参照してください。

● 内部信号

上記の外部端子と接続する , あるいは , ほかのチャネルからの出力信号を入力することでベースタイマへ信号を入出力します。

- TOUT 信号

  ベースタイマの出力波形です。(16/32 ビット PWC タイマでは使用しません。)

- ECK 信号

  ベースタイマの外部クロックです。(16/32 ビット PWC タイマでは使用しません。)

  カウント用クロックに外部クロックを選択した場合に入力します。

- TGIN 信号

  ベースタイマの外部起動トリガです。(16/32 ビット PWC タイマでは使用しません。)

  外部起動トリガの有効エッジを選択すると , この信号のエッジを検出してベースタイマが起動します。

- TIN 信号

  測定する波形です。(16/32 ビット PWC タイマでのみ使用します。)

- DTRG 信号

  ベースタイマは , この信号の立下りエッジで動作を停止します。

- COUT 信号

  他のチャネルへの出力信号です。

- CIN 信号

  他のチャネルから入力される信号です。

● 外部端子と内部信号の接続

外部端子と内部信号は , ベースタイマの入出力モードを設定することで接続されます。
入出力モードと端子接続の対応を表 21.3-1 に示します。

表 21.3-1 入出力モードと端子接続の対応

入出力モード	TIOAn (偶数チャネル)		TIOBn (偶数チャネル)		TIOAn+1 (奇数チャネル)		TIOBn+1 (奇数チャネル)	
	接続先	入出力	接続先	入出力	接続先	入出力	接続先	入出力
0	ch.n の TOUT	出力	ch.n の ECK/TGIN/TIN	入力	ch.n+1 の TOUT	出力	ch.n+1 の ECK/TGIN/TIN	入力
1	ch.n の TOUT	出力	ch.n の ECK	入力	ch.n の TGIN	入力	ch.n の TIN	入力
2	ch.n の TOUT	出力	ch.n/ch.n+1 の ECK/TGIN/TIN*1	入力	ch.n+1 の TOUT	出力	使用しない	
3	ch.n の TOUT	出力	使用しない		ch.n+1 の TOUT	出力		
4	ch.n の TOUT	出力	ch.n の ECK/TGIN/TIN	入力	ch.n+1 の TOUT	出力		
5	ch.n の TOUT	出力	使用しない		ch.n+1 の TOUT	出力		
6	ch.n の TOUT	出力			ch.n+1 の TOUT	出力		
7	ch.n の TOUT	出力	ch.n の ECK/TGIN/TIN	入力	ch.n+1 の TOUT	出力		
8	ch.n の TOUT	出力	使用しない		ch.n+1 の TOUT	出力		

ch.n　　: 偶数チャネル
ch.n+1 : 奇数チャネル
n=0, 2, 4, 6
*1　　: 周辺クロック (PCLK) で同期化

21.4　レジスタ

ベーストタイマ入出力選択機能で使用するレジスタの構成と機能について説明します。

■ ベーストタイマ入出力選択機能のレジスター覧

ベーストタイマ入出力選択機能のレジスター覧を表 21.4-1 に示します。

表 21.4-1 ベーストタイマ入出力選択機能のレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.3
0 ～ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ～ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2

21.4.1　入出力選択レジスタ 0123 (BTSEL0123)

ベースタイマの ch.0 ～ ch.3 の入出力モードを設定するレジスタです。

入出力選択レジスタ 0123 (BTSEL0123) のビット構成を図 21.4-1 に示します。

図 21.4-1 入出力選択レジスタ 0123 (BTSEL0123) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ～ FMD0 ビットで , ベースタイマをリセットモードに設定 (FMD2 ～ FMD0=000) してから書き換えてください。

[bit7 ～ bit4]：SEL23_3 ～ SEL23_0 (ch.2/ch.3 用入出力選択ビット)

ベースタイマの ch.2 および ch.3 の入出力モードを設定するビットです。

SEL23_3	SEL23_2	SEL23_1	SEL23_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ～ bit0] : SEL01_3 ～ SEL01_0 (ch.0/ch.1 用入出力選択ビット)

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

ch.0 および ch.1 は , ベースタイマの最下位のチャネルになり , 下位側のチャネルの信号を利用するモードは使用できません。そのため , 次のモードは設定禁止です。

- 入出力モード 3 (他チャネルトリガ共有モード)
- 入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

SEL01_3	SEL01_2	SEL01_1	SEL01_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	設定禁止
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	設定禁止

< 注意事項 >

上記以外は設定禁止です。

21.4.2　入出力選択レジスタ 4567 (BTSEL4567)

ベースタイマの ch.4 ～ ch.7 の入出力モードを設定するレジスタです。

入出力選択レジスタ 4567 (BTSEL4567) のビット構成を図 21.4-2 に示します。

図 21.4-2 入出力選択レジスタ 4567 (BTSEL4567) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ～ FMD0 ビットで , ベースタイマをリセットモードに設定 (FMD2 ～ FMD0=000) してから書き換えてください。

[bit7 ～ bit4]：SEL67_3 ～ SEL67_0 (ch.6/ch.7 用入出力選択ビット)

ベースタイマの ch.6 および ch.7 の入出力モードを設定するビットです。

SEL67_3	SEL67_2	SEL67_1	SEL67_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ～ bit0] : SEL45_3 ～ SEL45_0 (ch.4/ch.5 用入出力選択ビット)

ベースタイマの ch.4 および ch.5 の入出力モードを設定するビットです。

SEL45_3	SEL45_2	SEL45_1	SEL45_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

21.4.3　同時ソフト起動レジスタ (BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。
"1" を書き込んだビットに対応する , 複数のチャネルを最大 8 チャネルまで同時に起動できます。

同時ソフト起動レジスタ (BTSSSR) のビット構成を図 21.4-3 に示します。

図 21.4-3 同時ソフト起動レジスタ (BTSSSR) のビット構成

	bit	15	14	13	12	11	10	9	8
		未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
属性		W	W	W	W	W	W	W	W
初期値		X	X	X	X	X	X	X	X

	bit	7	6	5	4	3	2	1	0
		SSSR7	SSSR6	SSSR5	SSSR4	SSSR3	SSSR2	SSSR1	SSSR0
属性		W	W	W	W	W	W	W	W
初期値		X	X	X	X	X	X	X	X

W : ライトオンリ
X : 不定

< 注意事項 >

- 次のモード以外に設定しているときに , 本レジスタに書込みを行わないでください。
  - 入出力モード 5 (同時ソフト起動モード)
  - 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) (偶数チャネルのみ)
- このレジスタを利用して起動するチャネルは , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

[bit15 ～ bit8] : 未定義ビット

書込み時	必ず "0" を書き込んでください。

[bit7]：SSSR7 (ch.7 用同時ソフト起動ビット)

ベースタイマの ch.7 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.7 を起動します。*

*：入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ～ SEL67_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL67_3 ～ SEL67_0=0101) されている場合のみ

[bit6]：SSSR6 (ch.6 用同時ソフト起動ビット)

ベースタイマの ch.6 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.6 を起動します。*

*：入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ～ SEL67_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- "5" (同時ソフト起動モード) (SEL67_3 ～ SEL67_0=0101)
- "6" (ソフト起動タイマ起動 / 停止モード) (SEL67_3 ～ SEL67_0=0110)

[bit5]：SSSR5 (ch.5 用同時ソフト起動ビット)

ベースタイマの ch.5 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.5 を起動します。*

*：入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ～ SEL45_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL45_3 ～ SEL45_0=0101) されている場合のみ

[bit4]：SSSR4 (ch.4 用同時ソフト起動ビット)

ベースタイマの ch.4 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.4 を起動します。*

*：入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ～ SEL45_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- "5" (同時ソフト起動モード) (SEL45_3 ～ SEL45_0=0101)
- "6" (ソフト起動タイマ起動 / 停止モード) (SEL45_3 ～ SEL45_0=0110)

[bit3]：SSSR3 (ch.3 用同時ソフト起動ビット)

ベースタイマの ch.3 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.3 を起動します。*

*：入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ～ SEL23_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL23_3 ～ SEL23_0=0101) されている場合のみ

[bit2]：SSSR2 (ch.2 用同時ソフト起動ビット)

ベースタイマの ch.2 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.2 を起動します。*

*：入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ～ SEL23_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- "5" (同時ソフト起動モード) (SEL23_3 ～ SEL23_0=0101)
- "6" (ソフト起動タイマ起動 / 停止モード) (SEL23_3 ～ SEL23_0=0110)

[bit1]：SSSR1 (ch.1 用同時ソフト起動ビット)

ベースタイマの ch.1 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.1 を起動します。*

*：入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ～ SEL01_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL01_3 ～ SEL01_0=0101) されている場合のみ

[bit0]：SSSR0 (ch.0 用同時ソフト起動ビット)

ベースタイマの ch.0 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.0 を起動します。*

*：入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ～ SEL01_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- "5" (同時ソフト起動モード) (SEL01_3 ～ SEL01_0)
- "6" (ソフト起動タイマ起動 / 停止モード) (SEL01_3 ～ SEL01_0)

21.5　入出力モード

入出力選択レジスタ (BTSEL0123, BTSEL4567) で設定した入出力モードによって , 外部端子の働きやベースタイマの起動 / 停止タイミングなどが異なります。

21.5.1　入出力モード 0 (16 ビットタイマ標準モード)

ベースタイマの各チャネルを個別に利用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-1 に示します。

表 21.5-1 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-2 に示します。

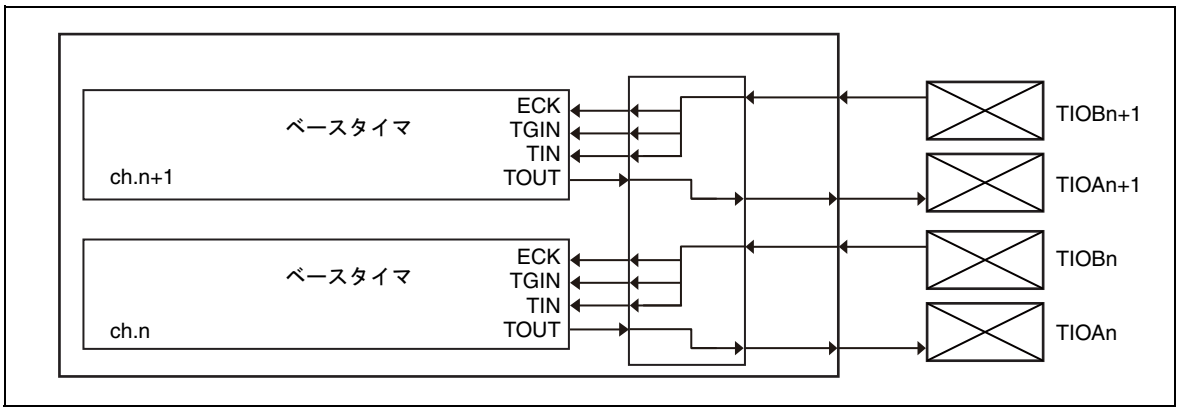
表 21.5-2 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOA0 ～ TIOA7	出力	TOUT	ベースタイマの波形を出力
TIOB0 ～ TIOB7	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 0 (16 ビットタイマ標準モード) のブロックダイヤグラムを ch.0 を例にとって図 21.5-1 に示します。

図 21.5-1 入出力モード 0 (16 ビットタイマ標準モード) のブロックダイヤグラム



入出力モード 0 の接続を表 21.5-3 に示します。

表 21.5-3 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	TIN/TGIN/ECK として ch.n+1 に入力

n=0, 2, 4, 6

21.5.2 入出力モード 1 (タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-4 に示します。

表 21.5-4 使用する外部端子

	偶数チャネル
入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について表 21.5-5 に示します。

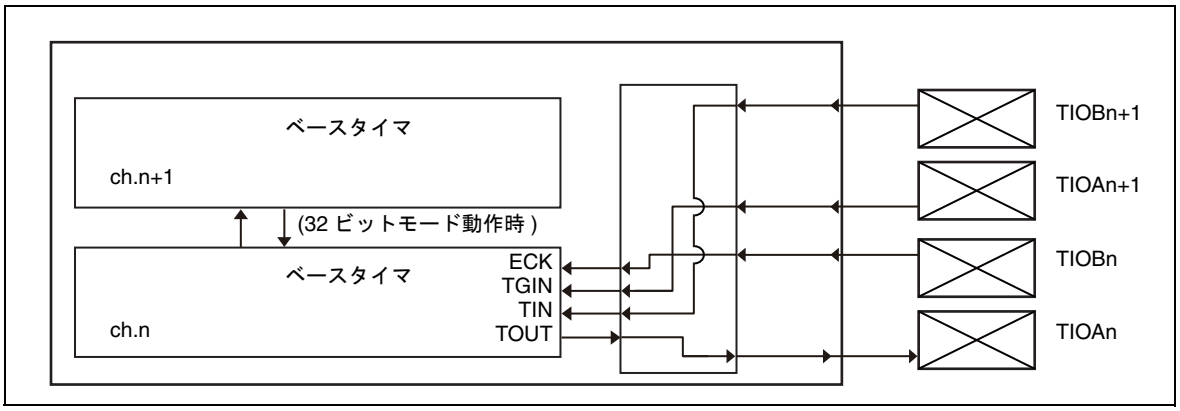
表 21.5-5 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック (ECK 信号) を入力
TIOAn+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ (TGIN 信号) を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形 (TIN 信号) を入力

n=0, 2, 4, 6

入出力モード 1 (タイマフルモード) のブロックダイヤグラムを図 21.5-2 に示します。

図 21.5-2 入出力モード 1 (タイマフルモード) のブロックダイヤグラム例



入出力モード 1 の接続を表 21.5-6 に示します。

表 21.5-6 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK 信号として ch.n に入力
TIOAn+1 端子からの入力信号	TGIN 信号として ch.n に入力
TIOBn+1 端子からの入力信号	TIN 信号として ch.n に入力

n=0, 2, 4, 6

< 注意事項 >

このモードに設定した場合は , ポート機能レジスタ (PFR) で奇数チャネルに対応する TIOAn 端子 (TIOA1, TIOA3, TIOA5, TIOA7) をポート入力モードに設定してください。端子の設定については , 「2.4 端子の設定方法」を参照してください。

21.5.3　入出力モード 2 (外部トリガ共有モード)

ベースタイマの入力信号 (ECK/TGIN/TIN) を 2 チャネルで共有するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-7 に示します。

表 21.5-7 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本 (2 チャネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-8 に示します。

表 21.5-8 外部端子の接続先と入出力信号

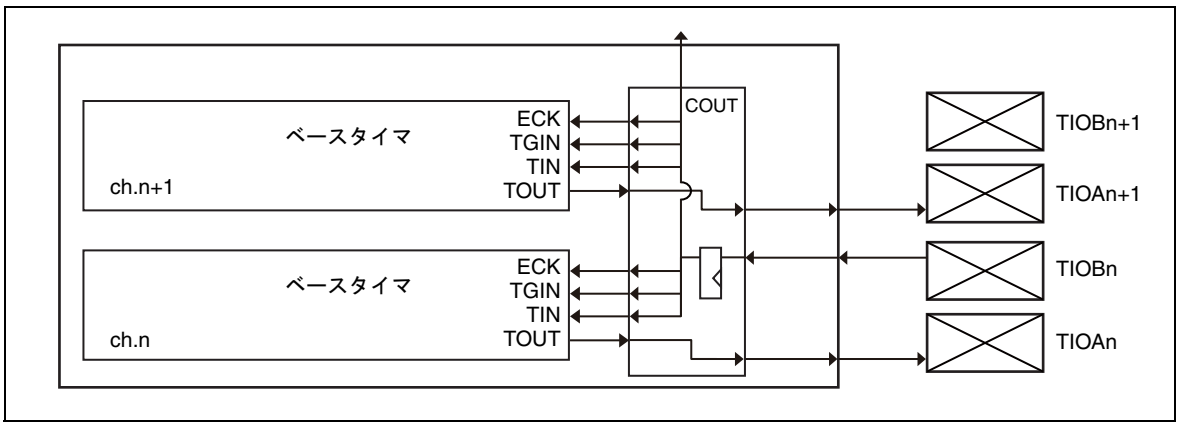
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数 / 奇数チャネルの ECK/TGIN/TIN*	偶数 / 奇数両方のチャネルに入力 (周辺クロック (PCLK) で同期化) し , 次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	—	—	使用しない

n=0, 2, 4, 6

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 2 (外部トリガ共有モード) のブロックダイヤグラムを図 21.5-3 に示します。

図 21.5-3 入出力モード 2 (外部トリガ共有モード) のブロックダイヤグラム



入出力モード 2 の接続を表 21.5-9 に示します。

表 21.5-9 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	・TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・COUT 信号として他のチャネルに出力	周辺クロック (PCLK) で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n=0, 2, 4, 6

< 注意事項 >

このモードに設定したチャネルの上位 2 チャネル (n+2, n+3) を入出力モード 3 (他チャネルトリガ共有モード) に設定すると , 4 チャネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。
(例 : ch.0 と ch.1 をこのモードに設定し , ch.2 と ch.3 を入出力モード 3 に設定すると ch.0 ～ ch.3 の 4 チャネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。)

21.5.4　入出力モード 3 (他チャネルトリガ共有モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し , ECK/TGIN/TIN 信号として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-10 に示します。

表 21.5-10 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-11 に示します。

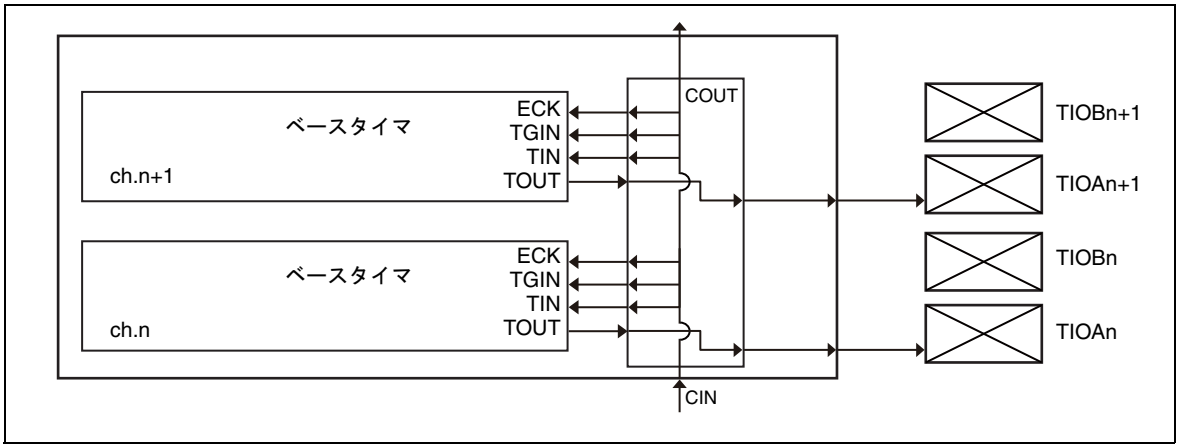
表 21.5-11 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn, TIOBn+1	—	—	使用しない

n=2, 4, 6

入出力モード 3 (他チャネルトリガ共有モード) のブロックダイヤグラムを図 21.5-4 に示します。

図 21.5-4 入出力モード 3 (他チャネルトリガ共有モード) のブロックダイヤグラム



入出力モード 3 の接続を表 21.5-12 に示します。

表 21.5-12 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	・TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・COUT 信号として他のチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=2, 4, 6

* : 他のチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- このモードに設定したチャネルは , 2 チャネル下位側 (n-2, n-1) の COUT 信号を CIN 信号として入力して使用します。
  (例 : ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)
  そのため , ch.0 および ch.1 をこのモードに設定することはできません。

21.5.5　入出力モード 4 (タイマ起動 / 停止モード) 時の動作

偶数チャネルで奇数チャネルの起動 / 停止を制御できるモードです。
奇数チャネルは, 偶数チャネルの出力波形 (TOUT信号) の立上りエッジで起動し, 立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を表 21.5-13 に示します。

表 21.5-13 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

端子の機能について表 21.5-14 に示します。

表 21.5-14 端子の機能

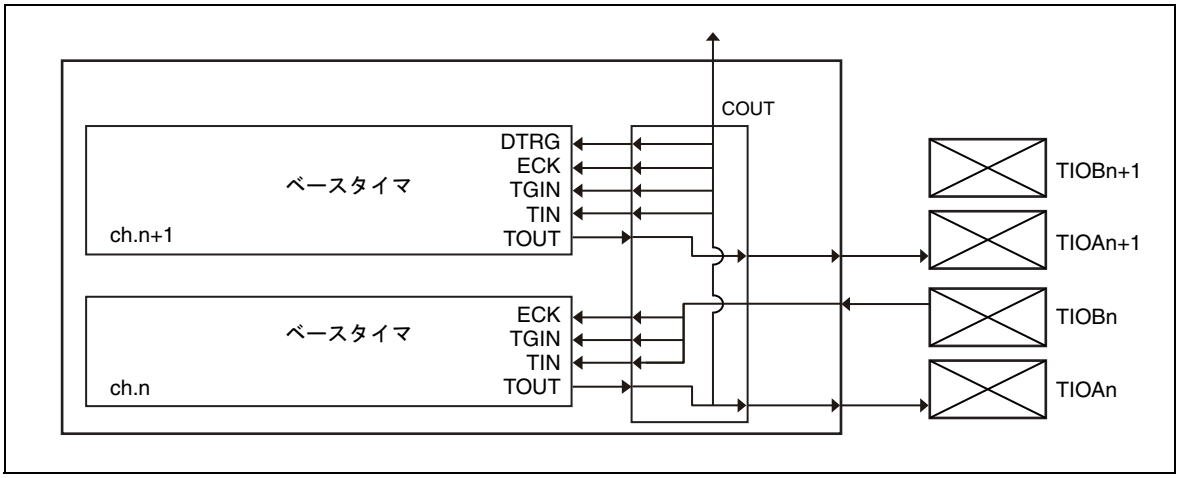
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/TGIN/TIN*	偶数チャネルに入力し , 次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	―	―	使用しない

n=0, 2, 4, 6

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 4 (タイマ起動 / 停止モード) のブロックダイヤグラムを図 21.5-5 に示します。

図 21.5-5 入出力モード 4 (タイマ起動 / 停止モード) のブロックダイヤグラム



入出力モード 4 の接続を表 21.5-15 に示します。

表 21.5-15 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・TIN/TGIN/ECK および DTRG 信号として ch.n+1 に入力 ・COUT 信号として他のチャネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6

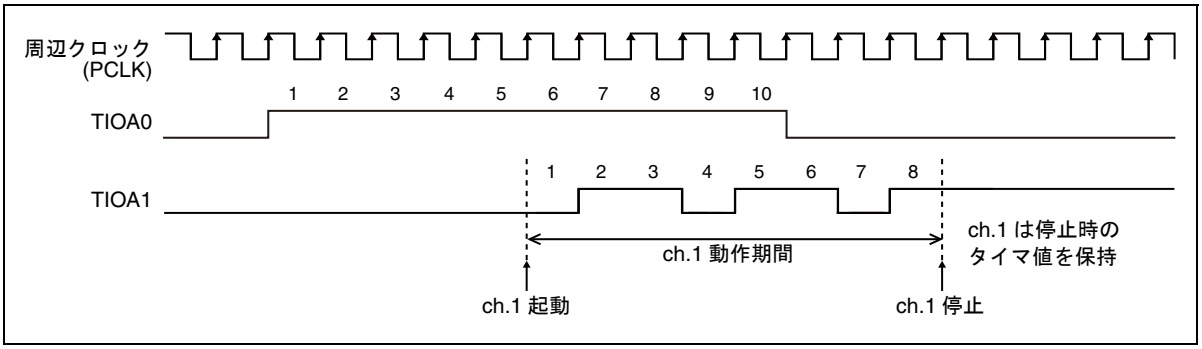
< 注意事項 >

- ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットで奇数チャネルのトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- 奇数チャネルは , DTRG 信号で立下りエッジが検出されると動作を停止します。

入出力モード 4 (タイマ起動 / 停止モード) 設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定を例にとって図 21.5-6 に示します。

レジスタ (ch.0)	設定値	レジスタ (ch.1)	設定値
ベースタイマ 0 周期設定レジスタ (BT0PCSR)	0010_H	ベースタイマ 1 周期設定レジスタ (BT1PCSR)	0002_H
ベースタイマ 0 デューティ設定レジスタ (BT0PDUT)	0009_H	ベースタイマ 1 デューティ設定レジスタ (BT1PDUT)	0001_H
ベースタイマ 0 タイマ制御レジスタ (BT0TMCR)	0013_H	ベースタイマ 1 タイマ制御レジスタ (BT1TMCR)	0112_H

図 21.5-6 入出力モード 4 (タイマ起動 / 停止モード) の動作例



21.5.6　入出力モード 5 (同時ソフト起動モード) 時の動作

同時ソフト起動レジスタ (BTSSSR) で複数のチャネルを同時に起動できるモードです。

同時ソフト起動レジスタ (BTSSSR) で"1"を書き込んだビットに対応するチャネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を表 21.5-16 に示します。

表 21.5-16 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-17 に示します。

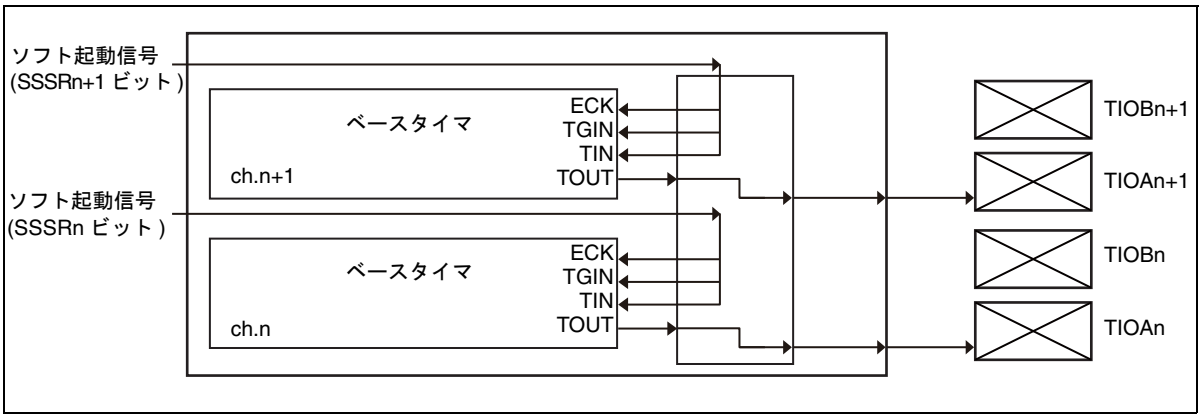
表 21.5-17 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn, TIOBn+1	—	—	使用しない

n=0, 2, 4, 6

入出力モード 5 (同時ソフト起動モード) のブロックダイヤグラムを図 21.5-7 に示します。

図 21.5-7 入出力モード 5 (同時ソフト起動モード) のブロックダイヤグラム



入出力モード 5 の接続を表 21.5-18 に示します。

表 21.5-18 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSRのSSSRn+1ビットへの"1"書込み)	TIN/TGIN/ECK 信号として ch.n+1 に入力

n=0, 2, 4, 6

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で "1" を書き込むと , 書き込んだビットに対応するチャネルに立上りエッジが入力 (ECK/TGIN/TIN 信号) されます。

< 注意事項 >

ベースタイマxタイマ制御レジスタ (BTxTMCR) のEGS1, EGS0ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

21.5.7 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作

偶数チャネルで奇数チャネルの起動 / 停止を制御できるモードです。
偶数チャネルは , 同時ソフト起動レジスタ (BTSSSR) に "1" を書き込んで起動します。
奇数チャネルは , 偶数チャネルの出力波形 (TOUT 信号) で立上りエッジを検出すると起動し , 立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を表 21.5-19 に示します。

表 21.5-19 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-20 に示します。

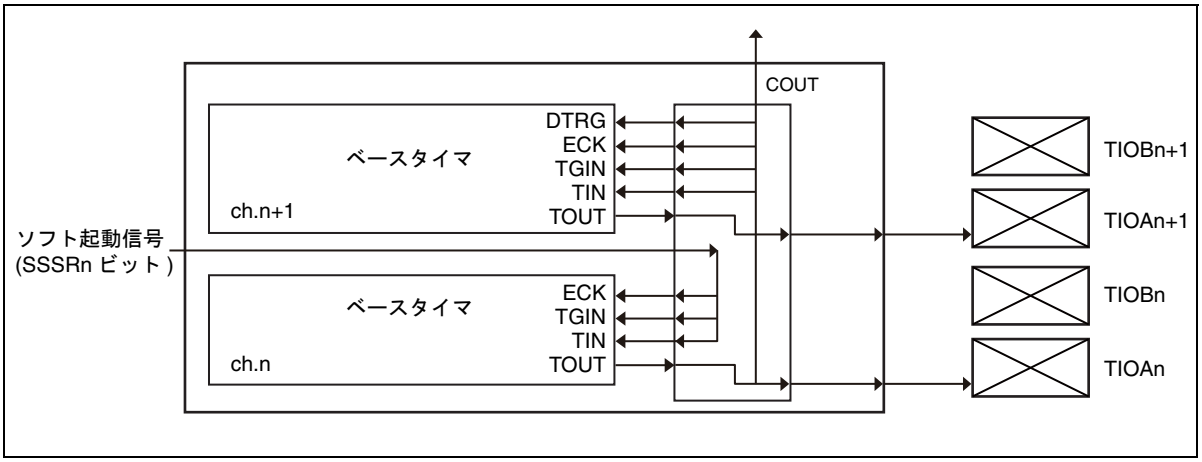
表 21.5-20 外部端子の接続先と入出力信号

端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn, TIOBn+1	—	—	使用しない

n=0, 2, 4, 6

入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイヤグラムを図 21.5-8 に示します。

図 21.5-8 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイヤグラム



入出力モード 6 の接続を表 21.5-21 に示します。

表 21.5-21 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・TIN/TGIN/ECK/DTRG 信号として ch.n+1 に入力 ・COUT 信号として他のチャネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で起動したい偶数チャネルに対応するビットに "1" を書き込むと , 対応チャネルに立上りエッジが入力 (ECK, TGIN, TIN 信号) されます。

ch.n の起動 / 停止タイミングは入出力モード 4 と同じです。

< 注意事項 >

- ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- 奇数チャネルは , DTRG 信号で立下りエッジが検出されると動作を停止します。

21.5.8　入出力モード 7 (タイマ起動モード) 時の動作

偶数チャネルの出力波形 (TOUT 信号) を奇数チャネルの入力信号 (ECK/TGIN/TIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-22 に示します。

表 21.5-22 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-23 に示します。

表 21.5-23 外部端子の接続先と入出力信号

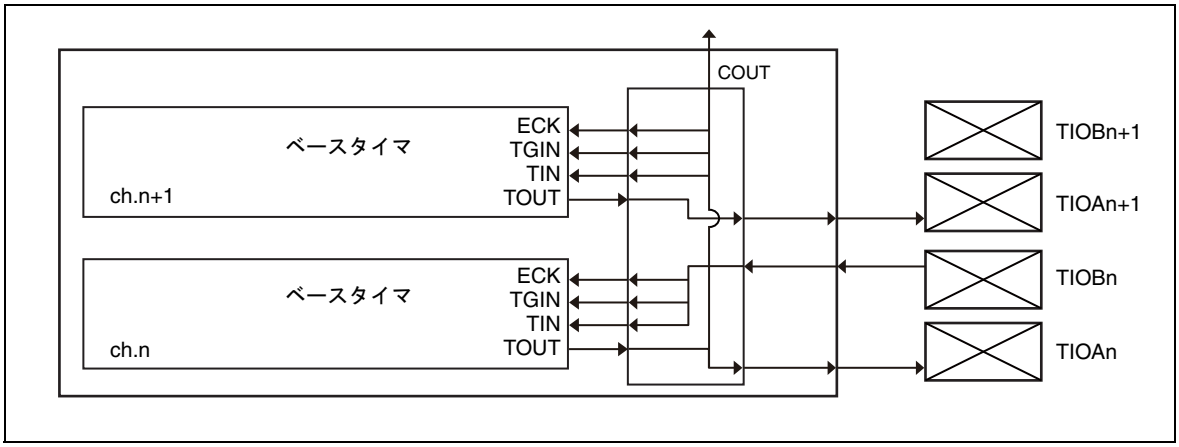
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/TGIN/TIN*	偶数チャネルに入力し , 次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	—	—	使用しない

n=0, 2, 4, 6

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード7 (タイマ起動モード) 時のブロックダイヤグラムを図 21.5-9に示します。

図 21.5-9 入出力モード 7 (タイマ起動モード) 時のブロックダイヤグラム



入出力モード 7 の接続を表 21.5-24 に示します。

表 21.5-24 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・TIN/TGIN/ECK 信号として ch.n+1 に入力 ・COUT 信号として他のチャネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6

ch.n の起動タイミングは入出力モード 4 と同じです。

21.5.9 入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) 時の動作

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し , 外部起動トリガ (TGIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-25 に示します。

表 21.5-25 使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-26 に示します。

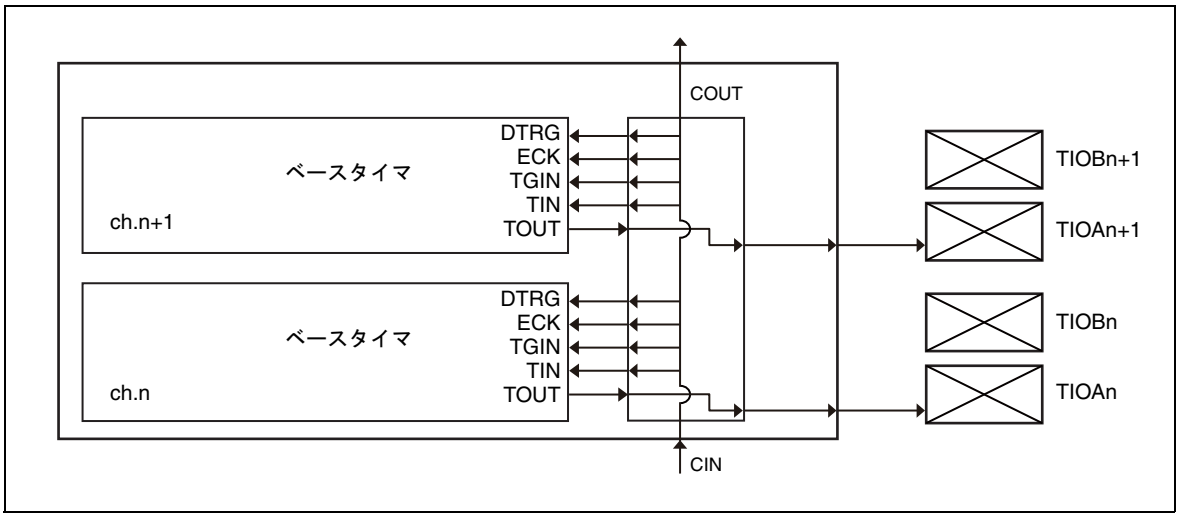
表 21.5-26 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn, TIOBn+1	—	—	使用しない

n=2, 4, 6

入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイヤグラムを図 21.5-10 に示します。

図 21.5-10 入出力モード 8
(他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイヤグラム



入出力モード 8 の接続を表 21.5-27 に示します。

表 21.5-27 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	・TIN/TGIN/ECK 信号および DTRG 信号として ch.n と ch.n+1 に入力 ・COUT 信号として他のチャネルに出力

n=2, 4, 6

* : 他のチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- このモードに設定したチャネルは , 2 チャネル下位側 (n-2, n-1) の COUT 信号を CIN 信号として入力して使用します。
  (例：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)
  そのため , ch.0 および ch.1 をこのモードに設定することはできません。
- このモードに設定したチャネルは , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
  ただし , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ～ FMD0 ビットでタイマ機能を 16/32 ビット PWC タイマに設定 (FMD2 ～ FMD0=100) した場合を除きます。
- 奇数チャネルは , DTRG 信号で立下りエッジが検出されると動作を停止します。

第 22 章　ベースタイマ

ベースタイマの概要 , レジスタの構成 / 機能 , および動作について説明します。

22.1 ベースタイマの概要
22.2 ベースタイマのブロックダイヤグラム
22.3 ベースタイマのレジスタ
22.4 ベースタイマの動作
22.5 32 ビットモード動作
22.6 ベースタイマの使用上の注意
22.7 ベースタイマ割込み
22.8 ベースタイマの機能別説明

22.1 ベースタイマの概要

ベースタイマは , タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により , 16 ビット PWM タイマ , 16 ビット PPG タイマ , 16/32 ビットリロードタイマ , 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。設定可能な各種タイマ機能の概要を以下に示します。本シリーズは 8 チャネル搭載しています。

■ モード設定と各種タイマ機能の関係

FMD2, FMD1, FMD0 ビット設定	機能
000_B	リセットモード
001_B	16 ビット PWM タイマ
010_B	16 ビット PPG タイマ
011_B	16/32 ビットリロードタイマ
100_B	16/32 ビット PWC タイマ

■ リセットモード

このモードの設定時に , ベースタイマのマクロをリセットした状態 (各レジスタは初期値) とします。別のタイマ機能や , T32 ビット設定を切り換えるとき , いったん , このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし , リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。

■ 16 ビット PWM タイマ

16 ビットのダウンカウンタ , 周期設定用バッファ付き 16 ビットのデータレジスタ , デューティ設定用バッファ付き 16 ビットのコンペアレジスタ , 端子制御部で構成されます。

周期 , デューティのデータはバッファ付きレジスタに格納するため , タイマ動作中に書換えが可能です。

16 ビットのダウンカウンタのカウントクロックは , 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と , 外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

■ 16 ビット PPG タイマ

16 ビットのダウンカウンタ , "H" 幅設定用 16 ビットのデータレジスタ , "L" 幅設定用 16 ビットのデータレジスタ , 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは , 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と , 外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

■ 16/32 ビットリロードタイマ

16 ビットのダウンカウンタ , 16 ビットのリロードレジスタ , 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは , 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と , 外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ , 立下りエッジ , 両エッジ検出) から選択できます。

■ 16/32 ビット PWC タイマ

16 ビットのアップカウンタ , 測定入力端子 , 制御レジスタで構成されます。

外部からのパルス入力で , 任意イベント間の時間を測定します。

基準となるカウントクロックは , 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) から選択できます。

各種測定モード　"H" パルス幅 (↑～↓) / "L" パルス幅 (↓～↑)
立上り周期 (↑～↑) / 立下り周期 (↓～↓)
エッジ間測定 (↑または↓～↓または↑)

測定終了時に割込み要求を発生することが可能です。

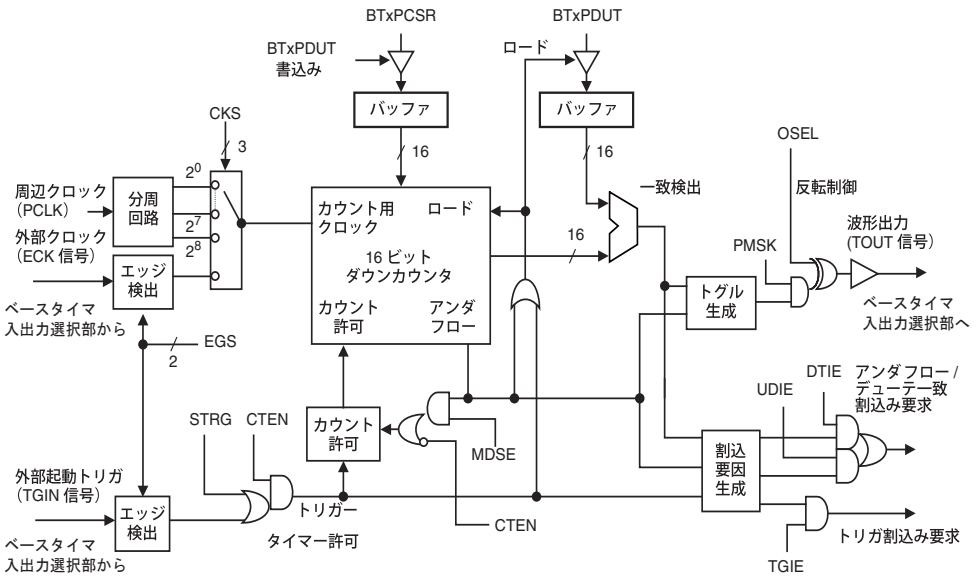
1 回のみの測定か , 連続測定かを選択することが可能です。

22.2 ベースタイマのブロックダイヤグラム

ベースタイマの各モード別にブロックダイヤグラムを示します。

■ 16 ビット PWM タイマのブロックダイヤグラム

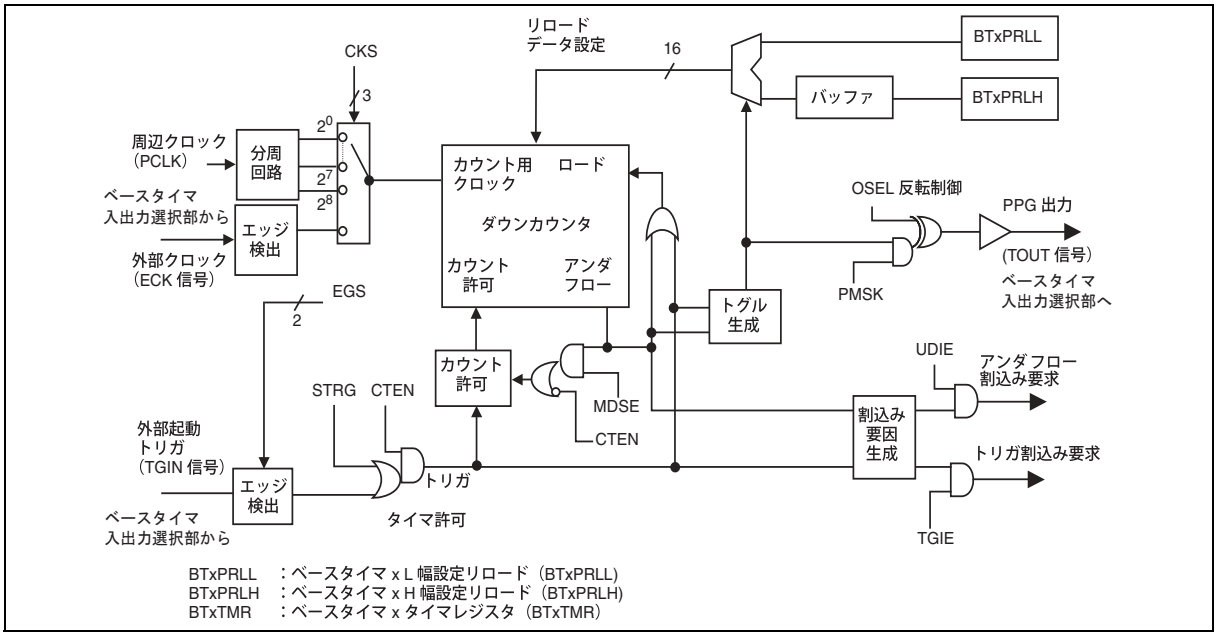
図 22.2-1 16 ビット PWM タイマのブロックダイヤグラム



BTxPCSR：ベースタイマ x 周期設定レジスタ（BTxPCSR）
BTxPDUT：ベースタイマ x デューティ設定レジスタ（BTxPDUT）

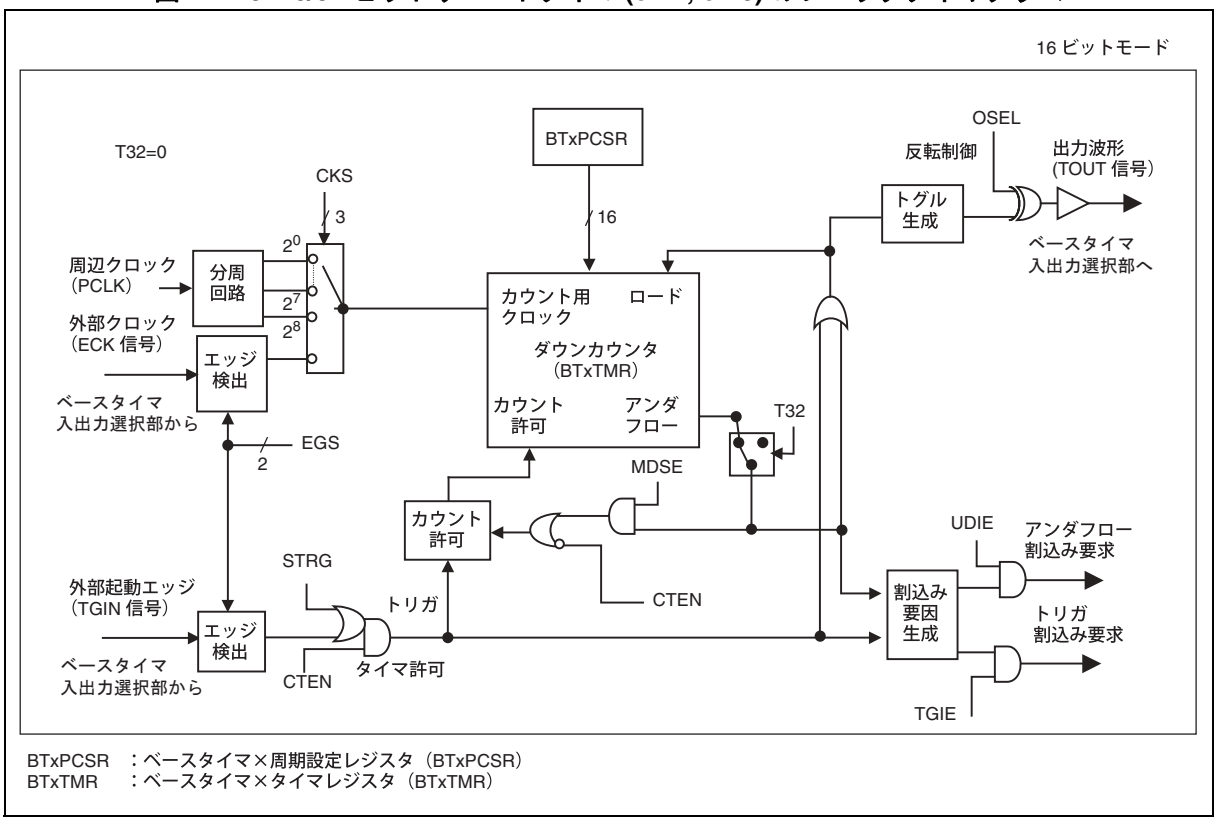
■ 16 ビット PPG タイマのブロックダイヤグラム

図 22.2-2 16 ビット PPG タイマのブロックダイヤグラム



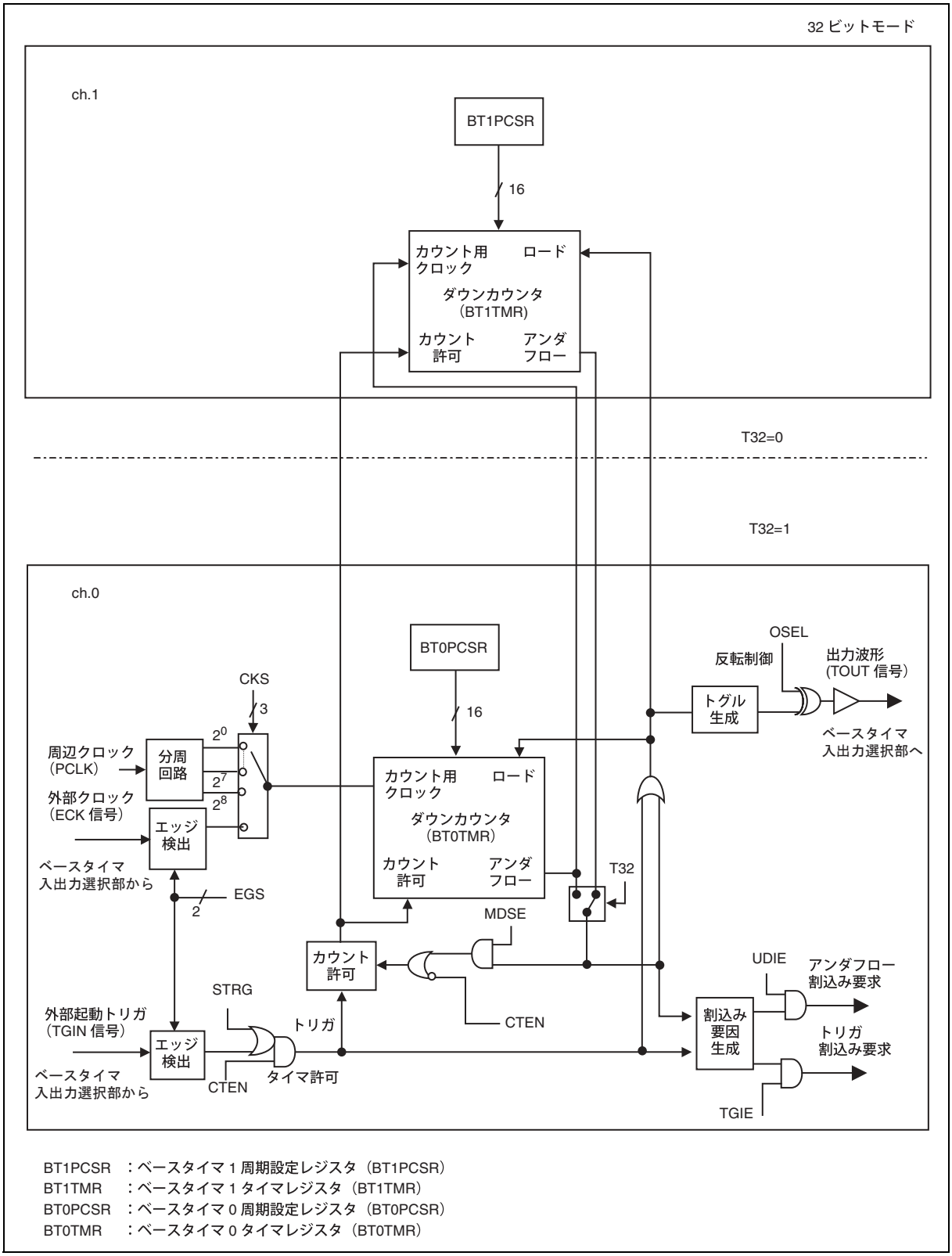
■ 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイヤグラム

図 22.2-3 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイヤグラム



(続く)

(続き)



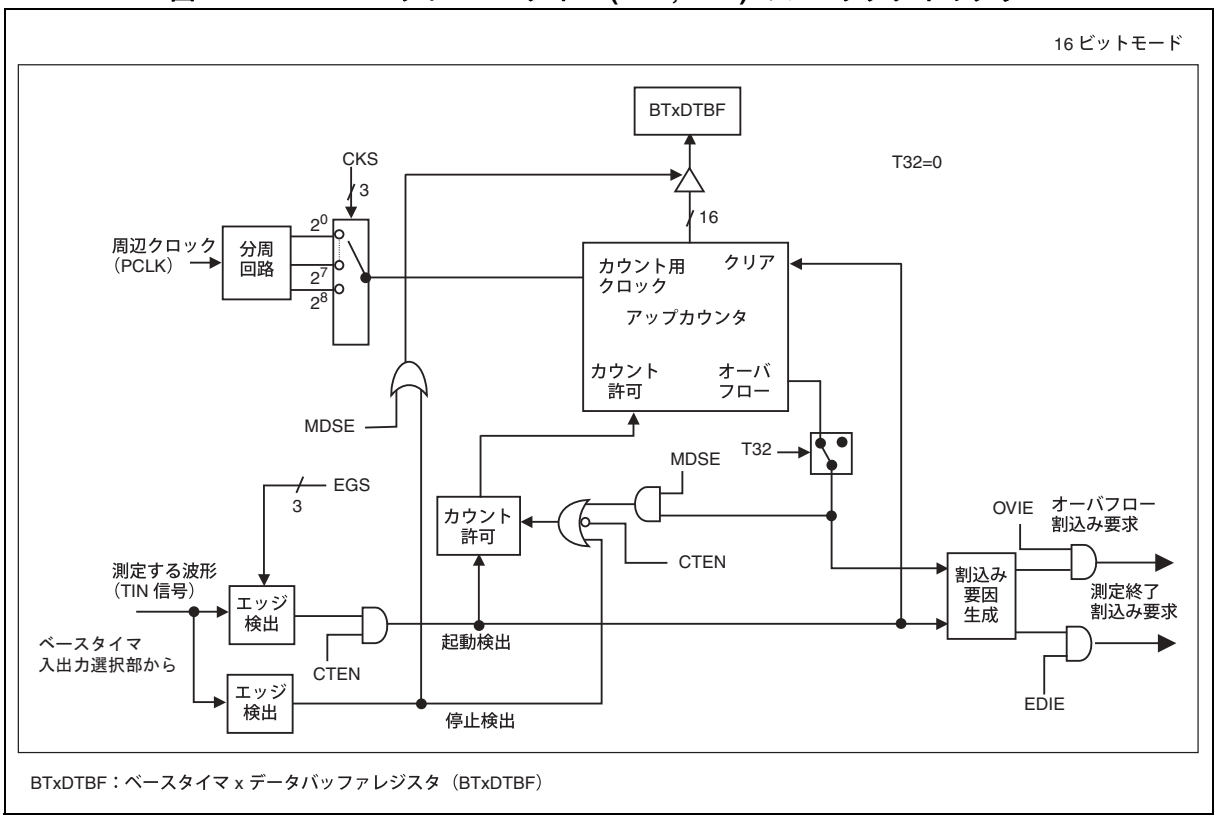
BT1PCSR ：ベースタイマ 1 周期設定レジスタ（BT1PCSR）
BT1TMR ：ベースタイマ 1 タイマレジスタ（BT1TMR）
BT0PCSR ：ベースタイマ 0 周期設定レジスタ（BT0PCSR）
BT0TMR ：ベースタイマ 0 タイマレジスタ（BT0TMR）

＜注意事項＞

- 32 ビット動作は ch.0 と ch.1 との間 , ch.2 と ch.3 との間 , ch.4 と ch.5 との間 , ch.6 と ch.7 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

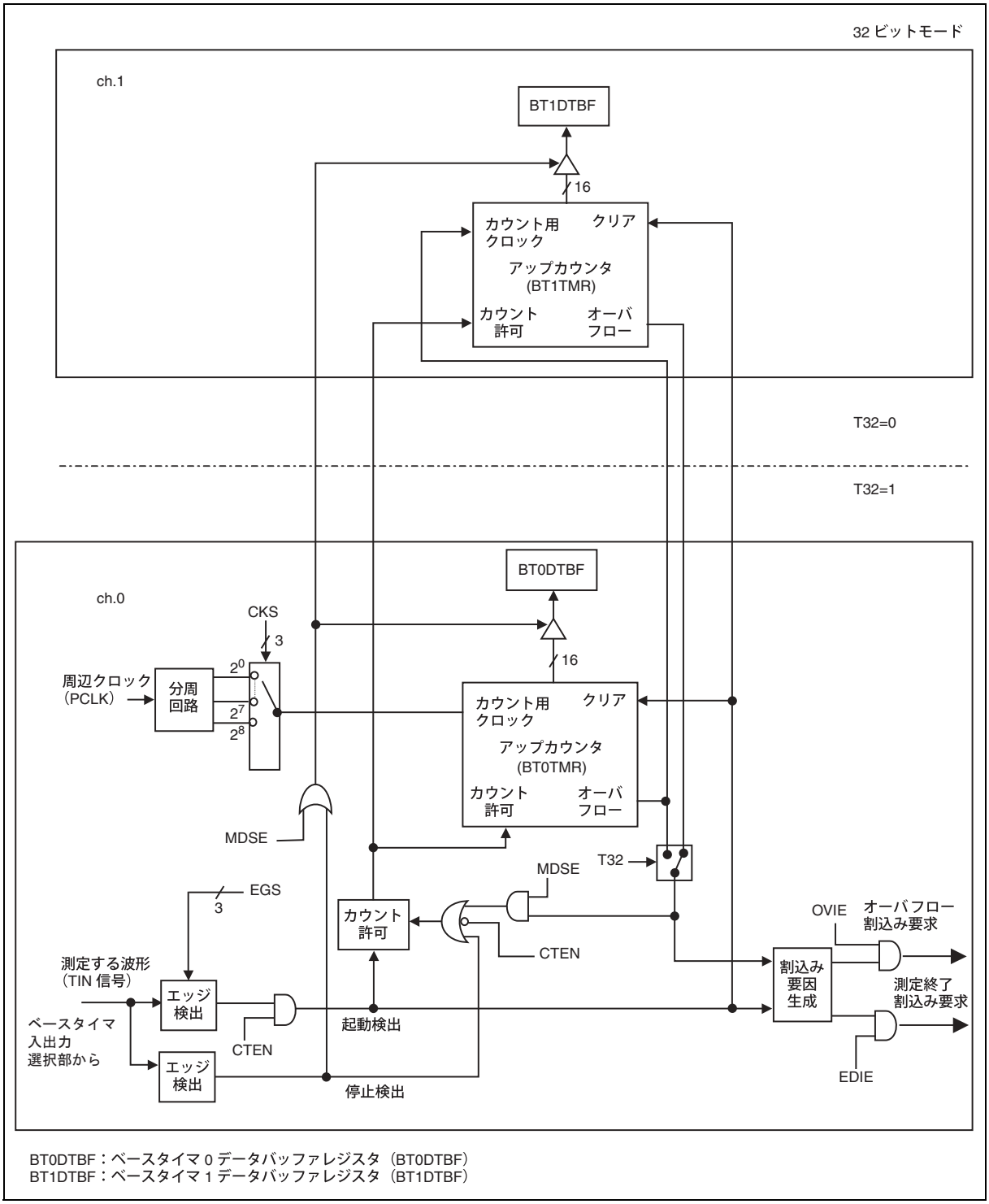
■ 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイヤグラム

図 22.2-4 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイヤグラム



(続く)

(続き)



＜注意事項＞

- 32 ビット動作は ch.0 と ch.1 との間 , ch.2 と ch.3 との間 , ch.4 と ch.5 との間 , ch.6 と ch.7 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

22.3 ベースタイマのレジスタ

ベースタイマのレジスター覧と各モード別のビット構成を示します。

■ ベースタイマのレジスター覧

表 22.3-1 16 ビット PWM タイマのレジスター覧 (1 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.3
0 ～ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ～ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.1.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.1.1
	BT0PCSR	ベースタイマ 0 周期設定レジスタ	22.8.1.2
	BT0PDUT	ベースタイマ 0 デューティ設定レジスタ	22.8.1.3
	BT0TMR	ベースタイマ 0 タイマレジスタ	22.8.1.4
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.1.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.1.1
	BT1PCSR	ベースタイマ 1 周期設定レジスタ	22.8.1.2
	BT1PDUT	ベースタイマ 1 デューティ設定レジスタ	22.8.1.3
	BT1TMR	ベースタイマ 1 タイマレジスタ	22.8.1.4
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.1.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.1.1
	BT2PCSR	ベースタイマ 2 周期設定レジスタ	22.8.1.2
	BT2PDUT	ベースタイマ 2 デューティ設定レジスタ	22.8.1.3
	BT2TMR	ベースタイマ 2 タイマレジスタ	22.8.1.4
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.1.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.1.1
	BT3PCSR	ベースタイマ 3 周期設定レジスタ	22.8.1.2
	BT3PDUT	ベースタイマ 3 デューティ設定レジスタ	22.8.1.3
	BT3TMR	ベースタイマ 3 タイマレジスタ	22.8.1.4
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.1.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.1.1
	BT4PCSR	ベースタイマ 4 周期設定レジスタ	22.8.1.2
	BT4PDUT	ベースタイマ 4 デューティ設定レジスタ	22.8.1.3
	BT4TMR	ベースタイマ 4 タイマレジスタ	22.8.1.4

表 22.3-1 16 ビット PWM タイマのレジスター一覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.1.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.1.1
	BT5PCSR	ベースタイマ 5 周期設定レジスタ	22.8.1.2
	BT5PDUT	ベースタイマ 5 デューティ設定レジスタ	22.8.1.3
	BT5TMR	ベースタイマ 5 タイマレジスタ	22.8.1.4
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.1.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.1.1
	BT6PCSR	ベースタイマ 6 周期設定レジスタ	22.8.1.2
	BT6PDUT	ベースタイマ 6 デューティ設定レジスタ	22.8.1.3
	BT6TMR	ベースタイマ 6 タイマレジスタ	22.8.1.4
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.1.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.1.1
	BT7PCSR	ベースタイマ 7 周期設定レジスタ	22.8.1.2
	BT7PDUT	ベースタイマ 7 デューティ設定レジスタ	22.8.1.3
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.1.4

表 22.3-2 16 ビット PPG タイマのレジスター一覧 (1 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.3
0 ～ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ～ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.2.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.2.1
	BT0PRLL	ベースタイマ 0L 幅設定リロードレジスタ	22.8.2.2
	BT0PRLH	ベースタイマ 0H 幅設定リロードレジスタ	22.8.2.3
	BT0TMR	ベースタイマ 0 タイマレジスタ	22.8.2.4
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.2.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.2.1
	BT1PRLL	ベースタイマ 1L 幅設定リロードレジスタ	22.8.2.2
	BT1PRLH	ベースタイマ 1H 幅設定リロードレジスタ	22.8.2.3
	BT1TMR	ベースタイマ 1 タイマレジスタ	22.8.2.4
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.2.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.2.1
	BT2PRLL	ベースタイマ 2L 幅設定リロードレジスタ	22.8.2.2
	BT2PRLH	ベースタイマ 2H 幅設定リロードレジスタ	22.8.2.3
	BT2TMR	ベースタイマ 2 タイマレジスタ	22.8.2.4

表 22.3-2 16 ビット PPG タイマのレジスター覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.2.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.2.1
	BT3PRLL	ベースタイマ 3L 幅設定リロードレジスタ	22.8.2.2
	BT3PRLH	ベースタイマ 3H 幅設定リロードレジスタ	22.8.2.3
	BT3TMR	ベースタイマ 3 タイマレジスタ	22.8.2.4
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.2.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.2.1
	BT4PRLL	ベースタイマ 4L 幅設定リロードレジスタ	22.8.2.2
	BT4PRLH	ベースタイマ 4H 幅設定リロードレジスタ	22.8.2.3
	BT4TMR	ベースタイマ 4 タイマレジスタ	22.8.2.4
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.2.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.2.1
	BT5PRLL	ベースタイマ 5L 幅設定リロードレジスタ	22.8.2.2
	BT5PRLH	ベースタイマ 5H 幅設定リロードレジスタ	22.8.2.3
	BT5TMR	ベースタイマ 5 タイマレジスタ	22.8.2.4
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.2.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.2.1
	BT6PRLL	ベースタイマ 6L 幅設定リロードレジスタ	22.8.2.2
	BT6PRLH	ベースタイマ 6H 幅設定リロードレジスタ	22.8.2.3
	BT6TMR	ベースタイマ 6 タイマレジスタ	22.8.2.4
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.2.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.2.1
	BT7PRLL	ベースタイマ 7L 幅設定リロードレジスタ	22.8.2.2
	BT7PRLH	ベースタイマ 7H 幅設定リロードレジスタ	22.8.2.3
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.2.4

表 22.3-3 16/32 ビットリロードタイマのレジスター覧 (1 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.3
0 ～ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ～ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.3.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.3.1
	BT0PCSR	ベースタイマ 0 周期設定レジスタ	22.8.3.2
	BT0TMR	ベースタイマ 0 タイマレジスタ	22.8.3.3
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.3.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.3.1
	BT1PCSR	ベースタイマ 1 周期設定レジスタ	22.8.3.2
	BT1TMR	ベースタイマ 1 タイマレジスタ	22.8.3.3

表 22.3-3 16/32 ビットリロードタイマのレジスター覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.3.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.3.1
	BT2PCSR	ベースタイマ 2 周期設定レジスタ	22.8.3.2
	BT2TMR	ベースタイマ 2 タイマレジスタ	22.8.3.3
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.3.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.3.1
	BT3PCSR	ベースタイマ 3 周期設定レジスタ	22.8.3.2
	BT3TMR	ベースタイマ 3 タイマレジスタ	22.8.3.3
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.3.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.3.1
	BT4PCSR	ベースタイマ 4 周期設定レジスタ	22.8.3.2
	BT4TMR	ベースタイマ 4 タイマレジスタ	22.8.3.3
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.3.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.3.1
	BT5PCSR	ベースタイマ 5 周期設定レジスタ	22.8.3.2
	BT5TMR	ベースタイマ 5 タイマレジスタ	22.8.3.3
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.3.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.3.1
	BT6PCSR	ベースタイマ 6 周期設定レジスタ	22.8.3.2
	BT6TMR	ベースタイマ 6 タイマレジスタ	22.8.3.3
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.3.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.3.1
	BT7PCSR	ベースタイマ 7 周期設定レジスタ	22.8.3.2
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.3.3

表 22.3-4 16/32 ビット PWC タイマのレジスター覧 (1 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.3
0 ～ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ～ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.4.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.4.1
	BT0DTBF	ベースタイマ 0 データバッファレジスタ	22.8.4.2
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.4.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.4.1
	BT1DTBF	ベースタイマ 1 データバッファレジスタ	22.8.4.2
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.4.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.4.1
	BT2DTBF	ベースタイマ 2 データバッファレジスタ	22.8.4.2

表 22.3-4 16/32 ビット PWC タイマのレジスター覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.4.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.4.1
	BT3DTBF	ベースタイマ 3 データバッファレジスタ	22.8.4.2
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.4.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.4.1
	BT4DTBF	ベースタイマ 4 データバッファレジスタ	22.8.4.2
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.4.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.4.1
	BT5DTBF	ベースタイマ 5 データバッファレジスタ	22.8.4.2
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.4.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.4.1
	BT6DTBF	ベースタイマ 6 データバッファレジスタ	22.8.4.2
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.4.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.4.1
	BT7DTBF	ベースタイマ 7 データバッファレジスタ	22.8.4.2

22.4 ベースタイマの動作

ベースタイマの動作について説明します。

■ ベースタイマの動作

● リセットモード

このモードの設定時に, ベースタイマのマクロをリセットした状態 (各レジスタは初期値) とします。別のタイマ機能や , T32 ビット設定を切り換えるとき , いったん , このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし , リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。32 ビットモード設定時にこのモードを偶数チャネルに設定した場合 , 奇数チャネルも同時にリセットがかかるようになっていますので , 奇数チャネルに対してリセットモードの設定は必要ありません。

● 16 ビット PWM タイマ

16 ビット PWM タイマは , トリガ起動により周期設定した値をダウンカウント開始します。その際 , まず出力を "L" レベルにし , 16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は "H" レベルに反転出力し , その後カウンタがアンダフローになったときに再度 "L" レベルに反転出力します。これにより , 周期とデューティが任意の波形を生成します。

● 16 ビット PPG タイマ

16 ビット PPG タイマは , トリガ起動により "L" 幅設定リロードレジスタに設定されている値分ダウンカウントします。その際 , まず出力を "L" レベルにし , アンダフローになったときに出力を "H" レベルに反転出力して , 引き続き "H" 幅設定リロードレジスタに設定されている値分ダウンカウント開始し , アンダフローになったときに出力レベルを "L" に反転出力します。これにより , 任意の "L" 幅 , "H" 幅の波形を生成します。

● 16 ビットリロードタイマ

16 ビットリロードタイマは , トリガ起動により周期設定した値をダウンカウント開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって , アンダフローごとに反転するトグル出力か , カウント開始で "H", アンダフローで "L" 出力のパルス出力になります。

● 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが , 偶数チャネルと奇数チャネルの 2 チャネル使用で 32 ビットリロードタイマとして動作します。その際 , 偶数チャネルは下位 16 ビットタイマ動作となり , 奇数チャネルは上位 16 ビットタイマ動作となりますが , 割込み制御 , 出力波形制御は偶数チャネルの設定に従います。周期を設定する場合は , 先に上位レジスタ (奇数チャネル) に書き込んだ後に下位レジスタ (偶数チャネル) に書き込むようにします。

タイマ値を読み出す場合は , 先に下位レジスタ (偶数チャネル) を読み出した後に上位レジスタ (奇数チャネル) を読み出すようにします。

＜注意事項＞

- 32 ビット動作は ch.0 と ch.1 との間 , ch.2 と ch.3 との間 , ch.4 と ch.5 との間 , ch.6 と ch.7 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

● 16 ビット PWC タイマ

PWC タイマは , 設定した測定開始エッジの入力で 16 ビットアップカウンタを起動させ , 測定終了エッジの検出でカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

● 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが , 偶数チャネルと奇数チャネルの 2 チャネル使用で 32 ビット PWC タイマとして動作します。その際 , 偶数チャネルは下位 16 ビットカウント動作となり , 奇数チャネルは上位 16 ビットカウント動作となりますが , 割込み制御は偶数チャネルの設定に従います。測定値 , またはカウント値を読み出す場合は , 先に下位レジスタ (偶数チャネル) を読み出した後に上位レジスタ (奇数チャネル) を読み出すようにします。

＜注意事項＞

- 32 ビット動作は ch.0 と ch.1 との間 , ch.2 と ch.3 との間 , ch.4 と ch.5 との間 , ch.6 と ch.7 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

22.5 32 ビットモード動作

リロードタイマ , PWC タイマは , 2 チャネルを使用して 32 ビットモード動作が可能です。以下に , 32 ビットモード機能における基本機能 / 動作について示します。

■ 32 ビットモード機能

ベースタイマを2チャネル組み合せて32ビットデータのリロードタイマまたは32ビットデータの PWC タイマ動作を実現する機能です。偶数チャネルの下位 16 ビットタイマ・カウンタ値を読み出す際に , 奇数チャネルの上位 16 ビットタイマ・カウンタ値も取り込むので , 動作中のタイマ・カウンタ値も読み出すことが可能です。

■ 32 ビットモード設定

まず , 偶数チャネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして状態をリセットしてから , 16 ビットモード時と同様にリロードタイマ , または PWC タイマ選択と動作の設定を行います。このとき , BTxTMCR レジスタの T32 ビットにも "1" を書き込むことで 32 ビット動作モードに設定します。奇数チャネルの T32 ビットは "0" のままにしてください。リセットモードの設定も必要ありません。次に , リロードタイマの場合は , 奇数チャネルの周期設定レジスタに 32 ビットのうち , 上位 16 ビットのリロード値を設定し , その後に偶数チャネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後 , 直ちに反映されるので , 設定変更は両チャネルともカウント停止状態で行ってください。

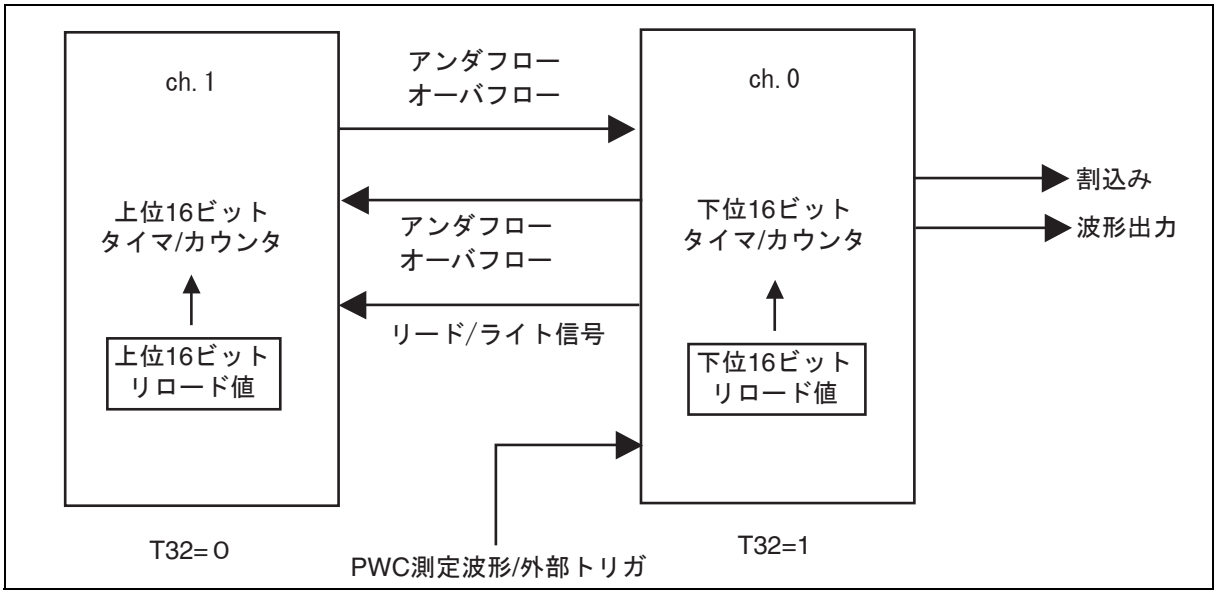
32 ビットモードから 16 ビットモードへの移行は , 偶数チャネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして偶数 , 奇数の両チャネルの状態をリセットし , チャネルごとに 16 ビットモードでの設定を行います。

■ 32 ビットモード動作

32 ビットモード設定の後 , 偶数チャネルの制御によりリロードタイマ , または PWC タイマを起動すると , 偶数チャネルのタイマ / カウンタは下位 16 ビット動作となり , 奇数チャネルのタイマ / カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャネルの設定に従うので , 奇数チャネルの設定は (リロードタイマ時の周期設定レジスタを除き) 無視します。タイマ起動 , 波形出力 , 割込み信号も偶数チャネルのものが有効となります (奇数チャネルは "L" 固定にマスクされます) 。

下記に ch.0, ch.1 の場合の構成を示します。



＜注意事項＞

- 32 ビット動作は ch.0 と ch.1 との間 , ch.2 と ch.3 との間 , ch.4 と ch.5 との間 , ch.6 と ch.7 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

22.6 ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

■ 各タイマの使用上で共通する注意

● プログラムによる設定上の注意

- BTxTMCR レジスタの以下に示すビットは動作中に書き換えることを禁止します。書換えは必ず起動前か停止後に行ってください。

[bit14, bit13, bit12]	CKS2, CKS1, CKS0	: クロック選択ビット
[bit10, bit9, bit8]	EGS2, EGS1, EGS0	: 測定エッジ選択ビット
[bit7]	T32	: 32 ビットタイマ選択ビット (リロードタイマ・PWC 機能選択時)
[bit6, bit5, bit4]	FMD2, FMD1, FMD0	: タイマ機能選択ビット
[bit2]	MDSE	: 測定モード (単発 / 連続) 選択ビット

- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定したときはベースタイマの全レジスタは初期化されますので , すべてのレジスタに対して再設定が必要です。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定するとき , BTxTMCR レジスタの FMD2, FMD1, FMD0 ビット以外のビットへの設定は無視されて初期化されます。

■ 16 ビット PWM/PPG/ リロードタイマの使用上の注意

● プログラムによる設定上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には , フラグセットが優先され , クリア動作は無効となります。
- ダウンカウンタは , ロードとカウントのタイミングが重複した場合にはロード動作を優先します。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットによるタイマ機能の設定後に周期設定 , デューティ設定 , "H" 幅設定 , "L" 幅設定をするようにします。
- ワンショットモードでカウント終了時に再起動を検出した場合はカウント値をリロードして再起動を開始します。

■ PWC タイマの使用上の注意

● プログラムによる設定上の注意

- カウント動作許可ビット (CTEN) に "1" 書込みでカウンタがクリアされますので, 起動許可前にカウンタ中にあったデータは無効になります。
- システムリセット・リセットモードから PWC モードの設定 (FMD=100_B) と測定開始設定 (CTEN=1) を同時にした場合 , その直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて , 再起動を設定したときに同時に測定開始エッジを検出した場合は直ちにカウントを "0001_H" から開始します。
- カウント動作を開始した後に再起動を行う場合は , そのタイミングによっては以下に示すようなことが起こり得ます。
  - パルス幅単発測定モード時 , 測定終了エッジと同時であった場合
    再起動を行って測定開始エッジ待ち状態となりますが, 測定終了フラグ (EDIR) はセットされます。
  - パルス幅連続測定モード時 , 測定終了エッジと同時であった場合
    再起動を行って測定開始エッジ待ち状態となりますが, 測定終了フラグ (EDIR) はセットされ , その時点での測定結果は BTxDTBF に転送されます。

以上のように, 動作中の再起動時には, フラグの動作に注意して割込み制御などを行うようにしてください。

22.7 ベースタイマ割込み

ベースタイマの各機能での割込み要求ビット , 割込み許可ビットと割込み要因をまとめた一覧を示します。

■ 機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 22.7-1 に示します。

表 22.7-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ (BTxSTC)			
	割込み要求ビット	割込み要求許可ビット	割込み要因	IRQ
PWM タイマ機能	UDIR：bit0	UDIE：bit4	アンダフロー検出	IRQ0
	DTIR：bit1	DTIE：bit5	デューティ一致検出	
	TGIR：bit2	TGIE：bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能	UDIR：bit0	UDIE：bit4	アンダフロー検出	IRQ0
	TGIR：bit2	TGIE：bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能	UDIR：bit0	UDIE：bit4	アンダフロー検出	IRQ0
	TGIR：bit2	TGIE：bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能	OVIR：bit0	OVIE：bit4	オーバフロー検出	IRQ0
	EDIR：bit2	EDIE：bit6	測定終了検出	IRQ1

22.8 ベースタイマの機能別説明

ベースタイマの各機能について説明します。

■ ベースタイマの機能

- PWM 機能
- PPG 機能
- リロードタイマ機能
- PWC 機能

22.8.1 PWM 機能

ベースタイマは , タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により , 16 ビット PWM タイマ , 16 ビット PPG タイマ , 16/32 ビットリロードタイマ , 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWM を設定したときのタイマ機能の説明を示します。

- PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- PWM 周期設定レジスタ (BTxPCSR)
- PWM デューティ設定レジスタ (BTxPDUT)
- タイマレジスタ (BTxTMR)
- 16 ビット PWM タイマ動作
- ワンショット動作
- 割込み要因とタイミングチャート
- 出力波形

22.8.1.1 PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は , PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8
—	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

初期値 :
-0000000_B (リセット時)

EGS1	EGS0	トリガ入力エッジ選択ビット
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

PMSK	パルス出力マスクビット
0	通常出力
1	"L" 出力に固定

RTGEN	再起動許可ビット
0	再起動禁止
1	再起動許可

CKS2	CKS1	CKS0	カウントクロック選択ビット
0	0	0	ϕ
0	0	1	ϕ/4
0	1	0	ϕ/16
0	1	1	ϕ/128
1	0	0	ϕ/256
1	0	1	外部クロック (立上りエッジイベント)
1	1	0	外部クロック (立下りエッジイベント)
1	1	1	外部クロック (両エッジイベント)

R/W : リード / ライト可能
: 初期値

表 22.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	• 読出し値は不定です。 • このビットへの書込みは , 動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0: カウントクロック選択ビット	• 16 ビットダウンカウンタのカウントクロックを選択します。 • カウントクロックの変更は設定を変えると直ちに反映します。したがって , CKS2 ～ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN： 再起動許可ビット	ソフトウェアトリガ , またはトリガ入力による再起動を許可するビットです。
bit10	PMSK： パルス出力マスクビット	• PWM 出力波形の出力波形レベルを制御します。 • このビットが "0" のときは PWM 波形をそのまま出力します。 • このビットが "1" のときは , 周期やデューティ設定の値にかかわらず PWM 出力を "L" 出力にマスクします。 (注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。
bit9, bit8	EGS1, EGS0： トリガ入力エッジ選択ビット	• 外部起動要因として入力波形に対する有効エッジを選択し , トリガの条件を設定します。 • 初期値または "00_B" の設定の場合 , 入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 (注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 • EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)

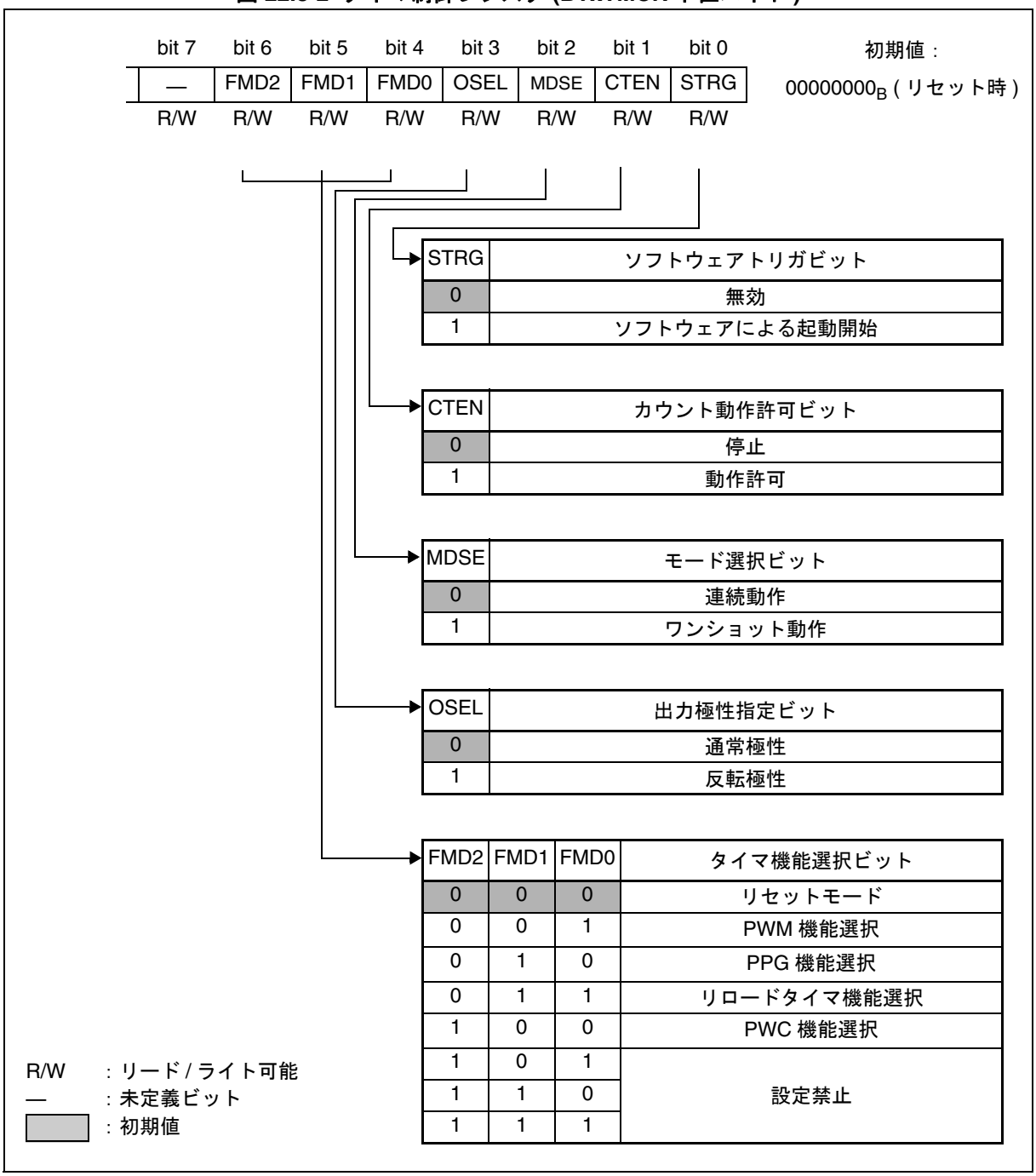


表 22.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)

<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td>bit7</td><td>未定義ビット</td><td>• 読出し値は "0" です。
• このビットには "0" を書き込んでください。</td></tr>
<tr><td>bit6
～
bit4</td><td>FMD2, FMD1, FMD0:
タイマ機能選択ビット</td><td>• タイマ機能を選択するビットです。
• FMD2, FMD1, FMD0 ビットに "001_B" を設定すると PWM 機能が選択されます。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit3</td><td>OSEL :
出力極性指定ビット</td><td>PWM 出力の極性を設定します。
<table>
<tr><th>極性</th><th>リセット後</th><th>デューティー致</th><th>アンダフロー</th></tr>
<tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr>
<tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr>
</table></td></tr>
<tr><td>bit2</td><td>MDSE :
モード選択ビット</td><td>• 連続してパルスを出力する動作か, 単一パルスを出力するワンショット動作かを選択します。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit1</td><td>CTEN :
カウント動作許可ビット</td><td>• ダウンカウンタの動作を許可するビットです。
• カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。</td></tr>
<tr><td>bit0</td><td>STRG :
ソフトウェアトリガビット</td><td>• CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。
(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。
• STRG ビットの読出し値は常に "0" です。
(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</td></tr>
</table>

■ ステータス制御レジスタ (BTxSTC)

図 22.8-3 ステータス制御レジスタ (BTxSTC)

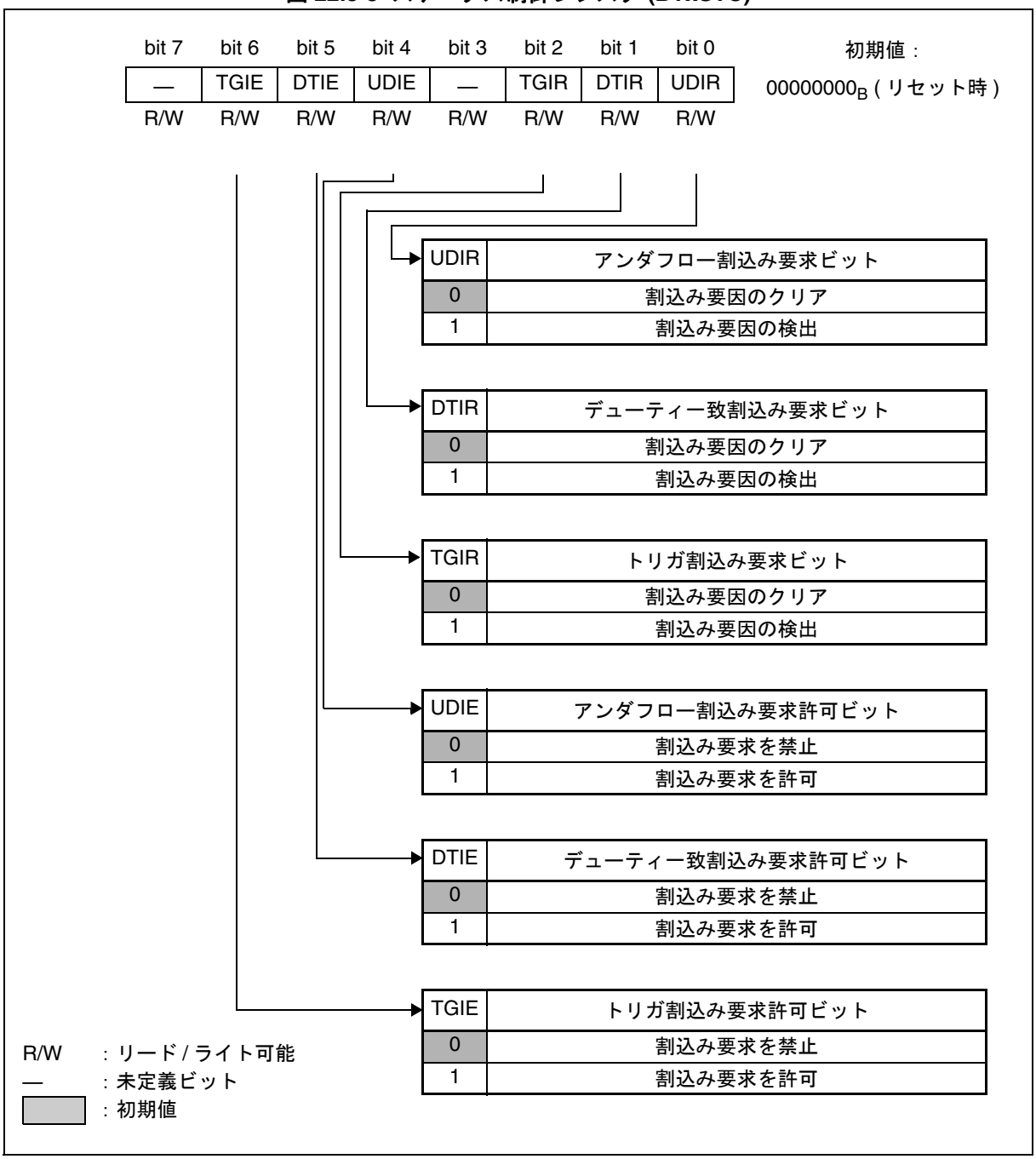


表 22.8-3 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit6	TGIE： トリガ割込み要求許可ビット	• bit2 :TGIR の割込み要求を制御します。 • TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	DTIE： デューティ一致割込み要求許可ビット	• bit1 :DTIR の割込み要求を制御します。 • DTIE ビットが許可されていて bit1: DTIR ビットがセットされると CPU に割込み要求を発生します。
bit4	UDIE： アンダフロー割込み要求許可ビット	• bit0 :UDIR の割込み要求を制御します。 • UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit2	TGIR： トリガ割込み要求ビット	• ソフトウェアトリガ , またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 • TGIR ビットは "0" 書込みによりクリアされます。 • TGIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit1	DTIR： デューティ一致割込み要求ビット	• カウント値がデューティ設定値と一致したときにDTIR ビットが "1" にセットされます。 • DTIR ビットは "0" 書込みによりクリアされます。 • DTIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit0	UDIR： アンダフロー割込み要求ビット	• カウント値が "0000_H" → "$FFFF_H$" へのアンダフロー時に UDIR ビットが "1" にセットされます。 • UDIR ビットは "0" 書込みによりクリアされます。 • UDIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。

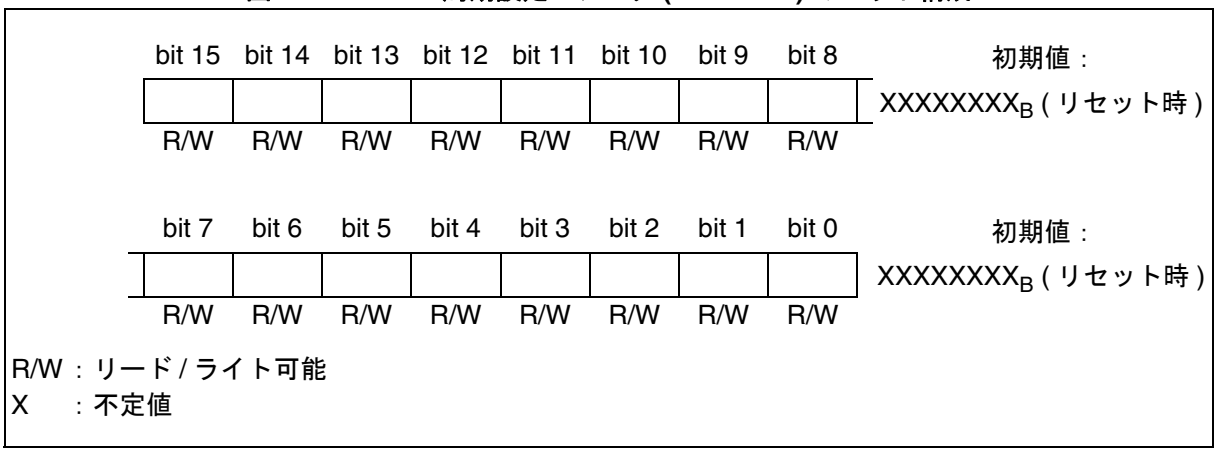
22.8.1.2 PWM 周期設定レジスタ (BTxPCSR)

PWM 周期設定レジスタ (BTxPCSR) は , 周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は , 起動時とアンダフロー時に行われます。

■ PWM 周期設定レジスタ (BTxPCSR) のビット構成

図 22.8-4 に , PWM 周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 22.8-4 PWM 周期設定レジスタ (BTxPCSR) のビット構成



周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は , 周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後に周期設定をしてください。

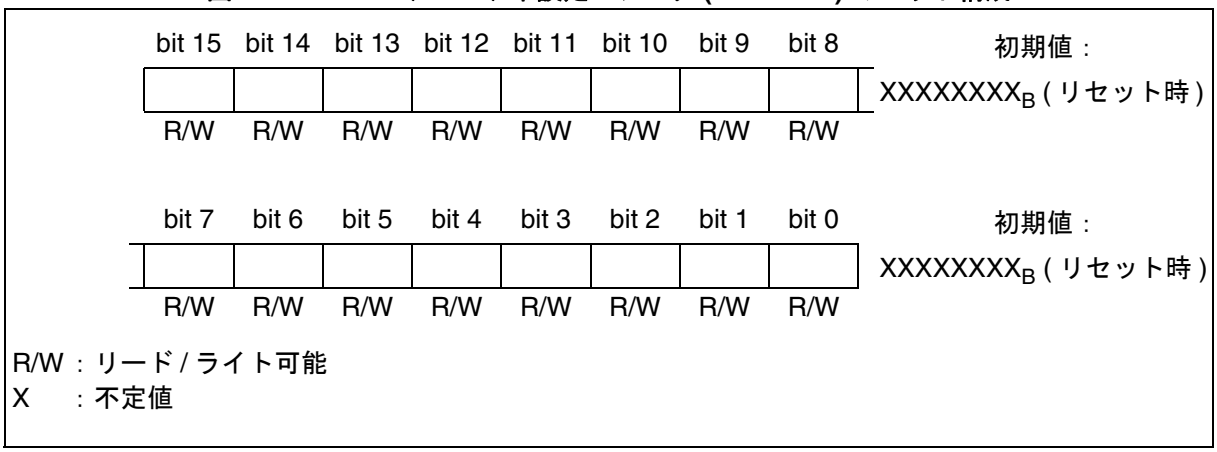
22.8.1.3 PWM デューティ設定レジスタ (BTxPDUT)

PWM デューティ設定レジスタ (BTxPDUT) はデューティを設定するためのバッファ付きレジスタです。バッファからの転送は , アンダフローで行われます。

■ PWM デューティ設定レジスタ (BTxPDUT) のビット構成

図 22.8-5 に , PWM デューティ設定レジスタ (BTxPDUT) のビット構成を示します。

図 22.8-5 PWM デューティ設定レジスタ (BTxPDUT) のビット構成



デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると , 通常極性時にオール "H" を , 反転極性時にオール "L" を出力します。

BTxPSCR ＜ BTxPDUT となるような値を設定しないでください。PWM 出力は不定となります。

- BTxPDUT レジスタは 16 ビットデータでアクセスしてください。
- BTxPDUT レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後にデューティ設定してください。

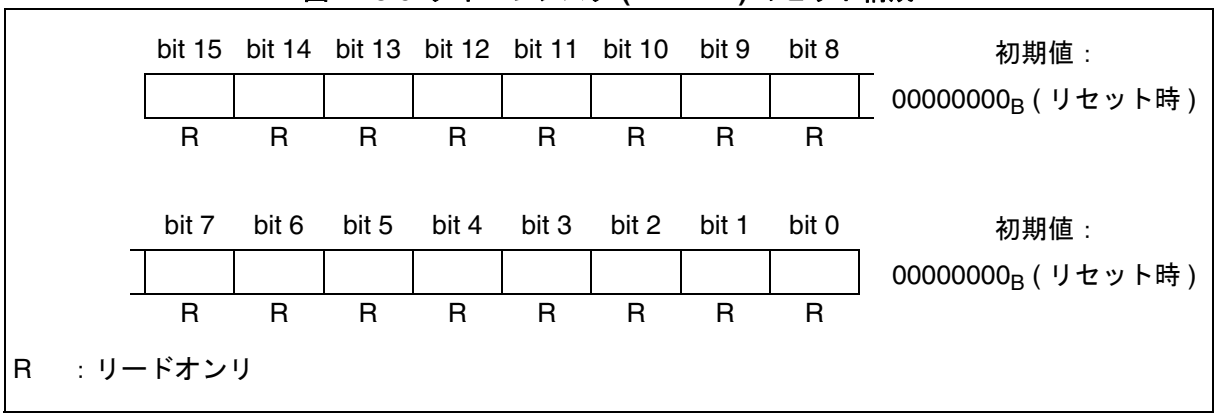
22.8.1.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は , 16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-6 に , PWM タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-6 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

＜注意事項＞

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

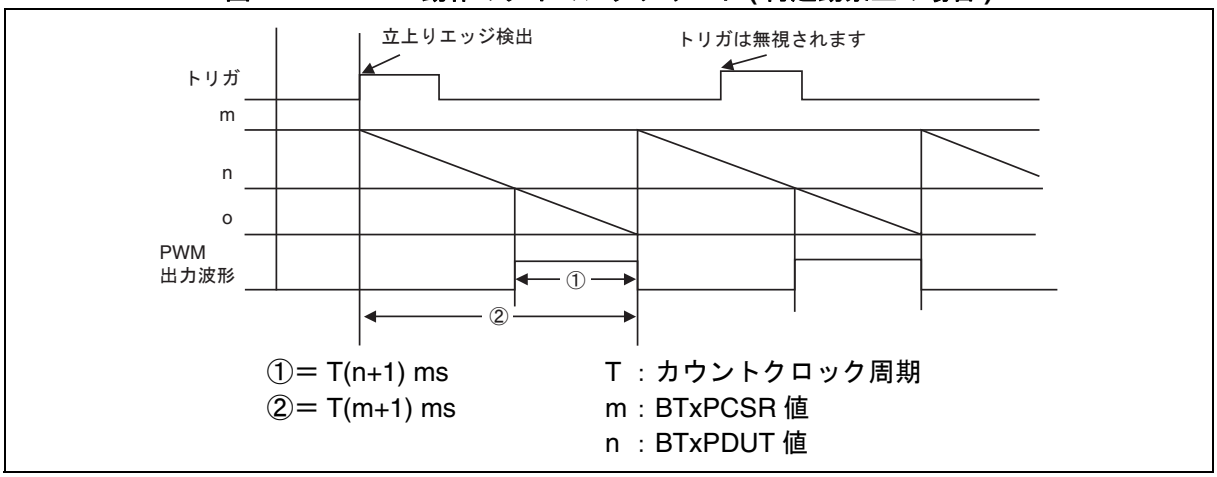
22.8.1.5 16 ビット PWM タイマ動作

PWM タイマ動作では , トリガの検出時より設定周期の波形を単発 , または連続して出力することができます。
出力パルスの周期は , BTxPCSR 値を変えることにより制御することができます。
また , デューティ比は , BTxPDUT 値を変えることにより制御することができます。
BTxPCSR にデータを書き込んだ後は , 必ず BTxPDUT への書込みを行ってください。

■ 連続動作

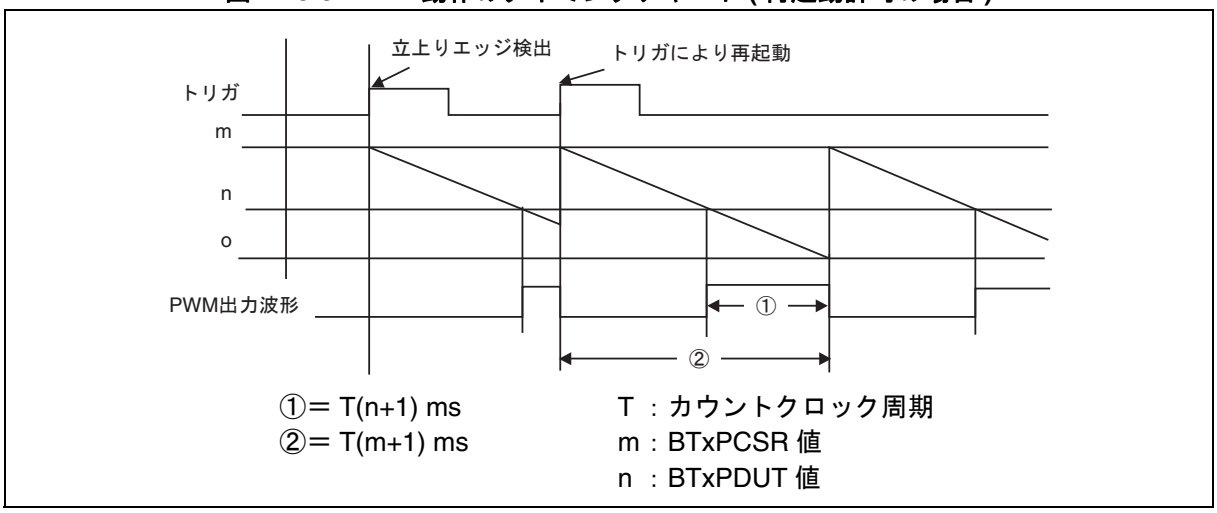
● 再起動禁止の場合 (RTGEN=0)

図 22.8-7 PWM 動作のタイミングチャート (再起動禁止の場合)



● 再起動許可の場合 (RTGEN=1)

図 22.8-8 PWM 動作のタイミングチャート (再起動許可の場合)



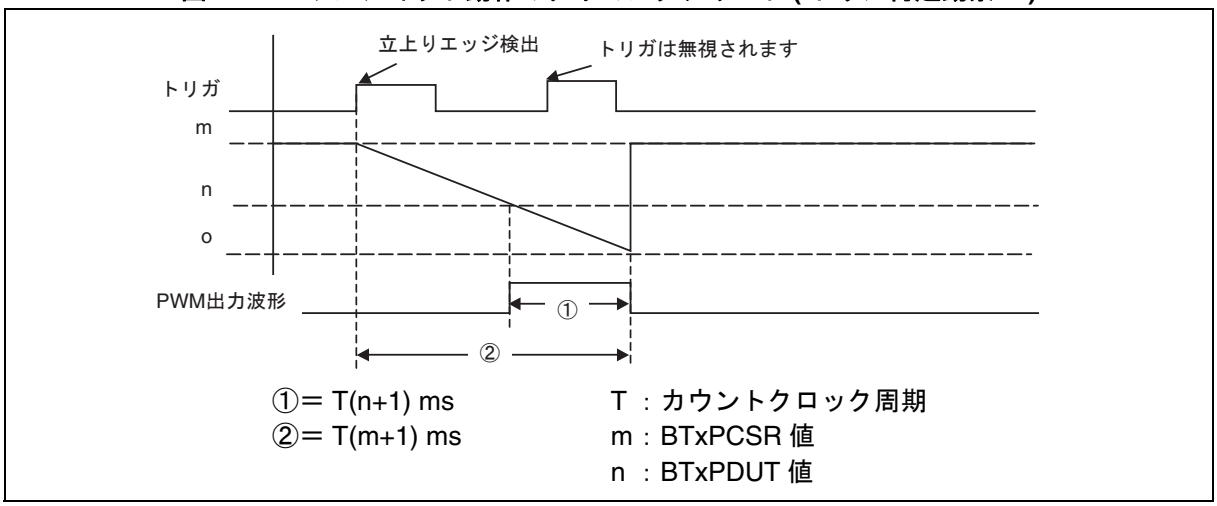
22.8.1.6 ワンショット動作

ワンショット動作では , トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は , 動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

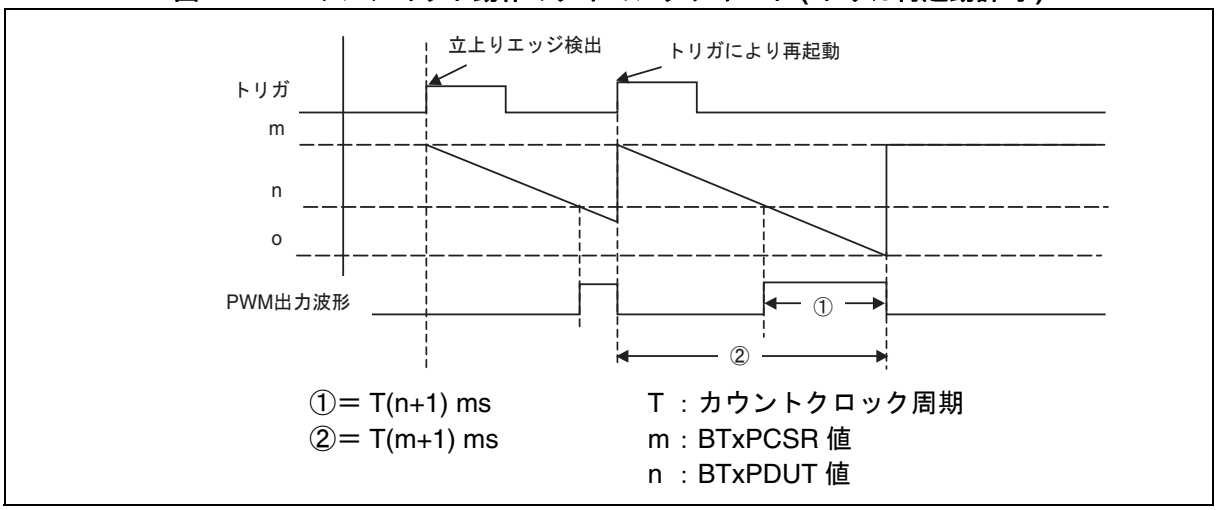
● 再起動禁止の場合 (RTGEN=0)

図 22.8-9 ワンショット動作のタイミングチャート (トリガ再起動禁止)



● 再起動許可の場合 (RTGEN=1)

図 22.8-10 ワンショット動作のタイミングチャート (トリガ再起動許可)



22.8.1.7 割込み要因とタイミングチャート

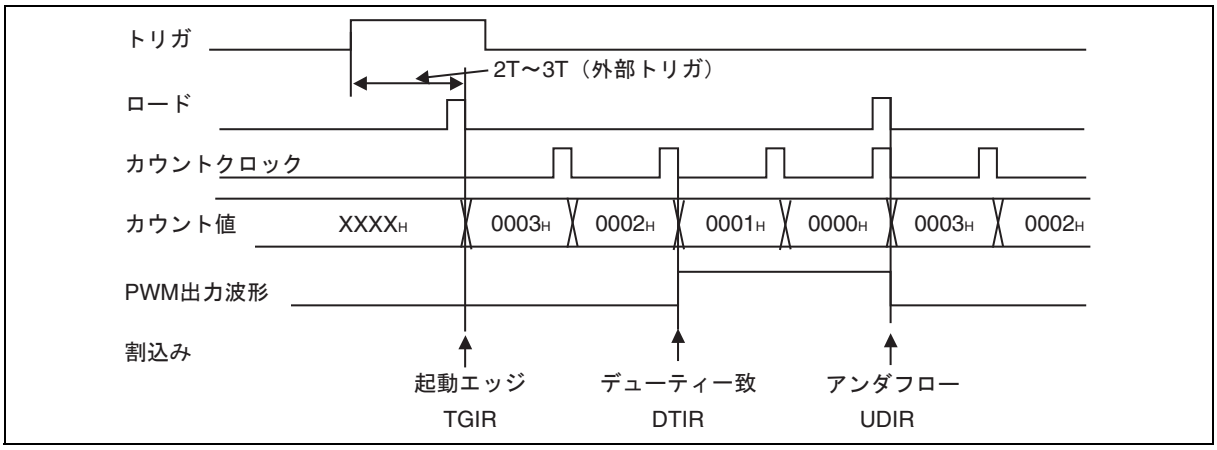
割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート (PWM 出力 : 通常極性)

トリガが入力されてカウンタ値がロードされるまで , ソフトウェアトリガ時は T, 外部トリガ時は 2T ～ 3T (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 22.8-11 に , 周期設定値＝ 3, デューティ値＝ 1 の場合の割込み要因とタイミングチャートを示します。

図 22.8-11 PWM タイマの割込み要因とタイミングチャート



22.8.1.8 出力波形

PWM 出力について示します。

■ PWM 出力オール "L" またはオール "H" の出力方法

図 22.8-12 に PWM 出力をオール "L" に , 図 22.8-13 にオール "H" にする出力方法を示します。

図 22.8-12 PWM 出力をオール "L" レベルにする例

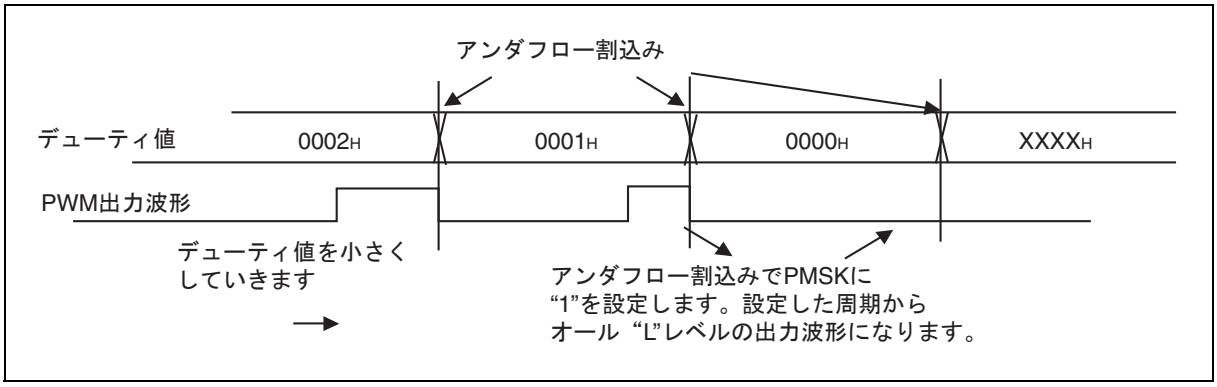
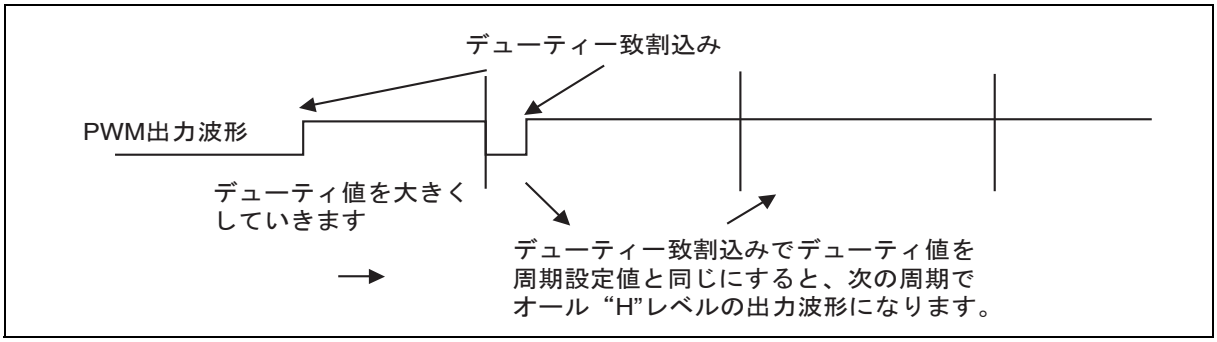


図 22.8-13 PWM 出力をオール "H" レベルにする例



22.8.2 PPG 機能

ベースタイマは , タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により , 16 ビット PWM タイマ , 16 ビット PPG タイマ , 16/32 ビットリロードタイマ , 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PPG を設定したときのタイマ機能の説明を示します。

- PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- "L" 幅設定リロードレジスタ (BTxPRLL)
- "H" 幅設定リロードレジスタ (BTxPRLH)
- タイマレジスタ (BTxTMR)
- 16 ビット PPG タイマ動作
- 連続動作
- ワンショット動作
- 割込み要因とタイミングチャート

22.8.2.1 PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は , PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-14 タイマ制御レジスタ (BTxTMCR 上位バイト)

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8
—	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

初期値 :
-0000000_B (リセット時)

EGS1	EGS0	トリガ入力エッジ選択ビット
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

PMSK	パルス出力マスクビット
0	通常出力
1	"L" 出力に固定

RTGEN	再起動許可ビット
0	再起動禁止
1	再起動許可

CKS2	CKS1	CKS0	カウントクロック選択ビット
0	0	0	ϕ
0	0	1	$\phi/4$
0	1	0	$\phi/16$
0	1	1	$\phi/128$
1	0	0	$\phi/256$
1	0	1	外部クロック (立上りエッジイベント)
1	1	0	外部クロック (立下りエッジイベント)
1	1	1	外部クロック (両エッジイベント)

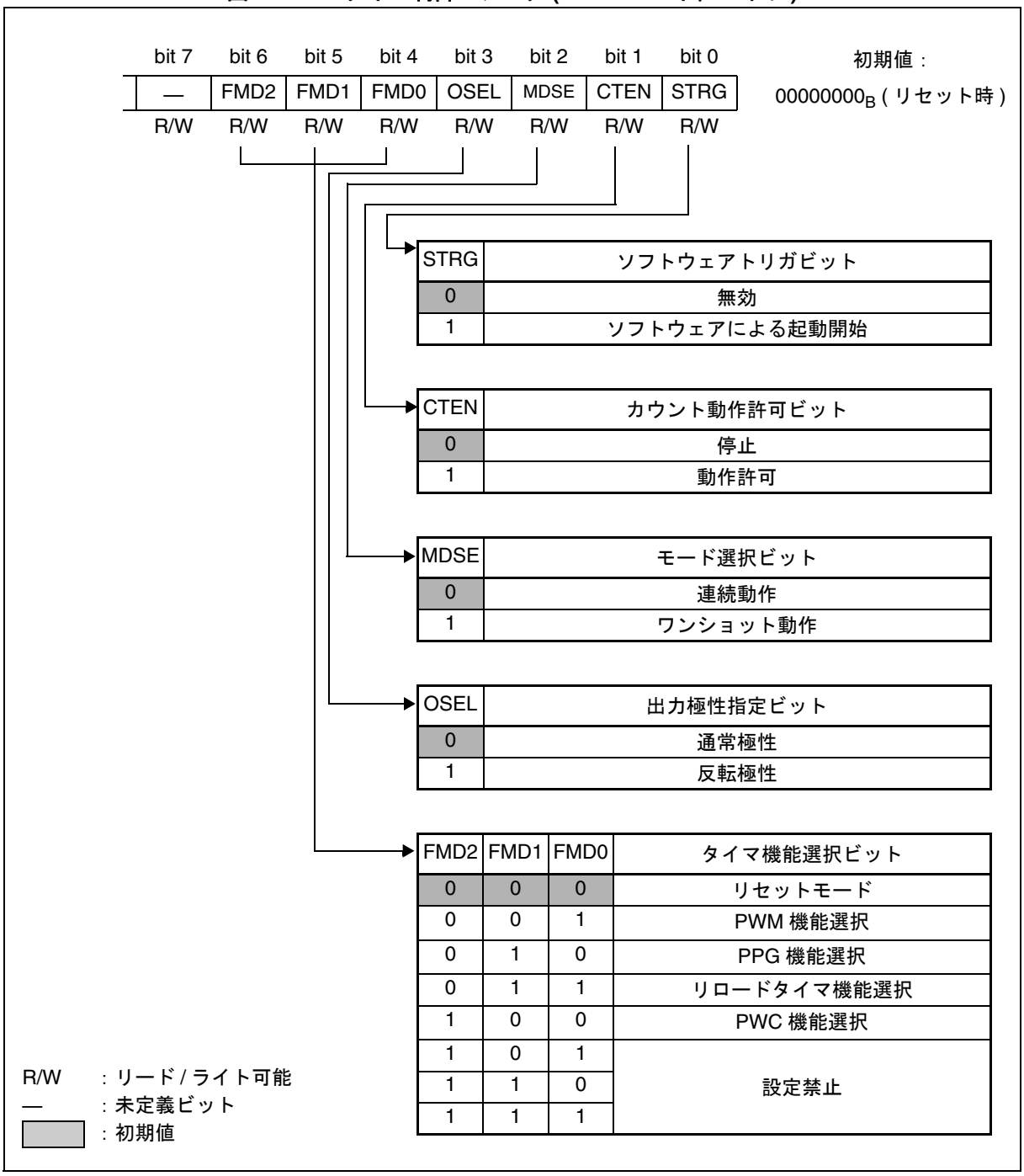
R/W : リード / ライト可能
: 初期値

表 22.8-4 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	• 読出し値は不定です。 • このビットへの書込みは , 動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	• 16 ビットダウンカウンタのカウントクロックを選択します。 • カウントクロックの変更は設定を変えると直ちに反映します。 したがって , CKS2 ～ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可 ビット	ソフトウェアトリガ , またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力 マスクビット	• PPG 出力波形の出力波形レベルを制御します。 • このビットが "0" のときは PPG 波形をそのまま出力します。 • このビットが "1" のときは , "H" 幅や "L" 幅設定の値にかかわらず PPG 出力を "L" 出力にマスクします。 (注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。
bit9, bit8	EGS1, EGS0 : トリガ入力 エッジ選択 ビット	• 外部起動要因として入力波形に対する有効エッジを選択し , トリガの条件を設定します。 • 初期値または "00_B" の設定の場合 , 入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 (注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 • EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-15 タイマ制御レジスタ (BTxTMCR 下位バイト)



STRG	ソフトウェアトリガビット
0	無効
1	ソフトウェアによる起動開始

CTEN	カウント動作許可ビット
0	停止
1	動作許可

MDSE	モード選択ビット
0	連続動作
1	ワンショット動作

OSEL	出力極性指定ビット
0	通常極性
1	反転極性

FMD2	FMD1	FMD0	タイマ機能選択ビット
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

表 22.8-5 タイマ制御レジスタ (BTxTMCR 下位バイト)

<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td>bit7</td><td>未定義ビット</td><td>• 読出し値は "0" です。
• このビットには "0" を書き込んでください。</td></tr>
<tr><td>bit6
～
bit4</td><td>FMD2, FMD1, FMD0:
タイマ機能
選択ビット</td><td>• タイマ機能を選択するビットです。
• FMD2, FMD1, FMD0 ビットに "010_B" を設定すると PPG 機能が選択されます。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit3</td><td>OSEL :
出力極性指定
ビット</td><td>PPG 出力の極性を設定します。
<table>
<tr><th>極性</th><th>リセット後</th><th>"L" 幅カウント終了</th><th>"H" 幅カウント終了</th></tr>
<tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr>
<tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr>
</table></td></tr>
<tr><td>bit2</td><td>MDSE :
モード選択
ビット</td><td>• 連続してパルスを出力する動作か , 単一パルスを出力するワンショット動作かを選択します。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit1</td><td>CTEN :
カウント動作
許可ビット</td><td>• ダウンカウンタの動作を許可するビットです。
• カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。</td></tr>
<tr><td>bit0</td><td>STRG :
ソフトウェア
トリガビット</td><td>• CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。
(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。
• STRG ビットの読出し値は常に "0" です。
(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</td></tr>
</table>

■ ステータス制御レジスタ (BTxSTC)

図 22.8-16 ステータス制御レジスタ (BTxSTC)

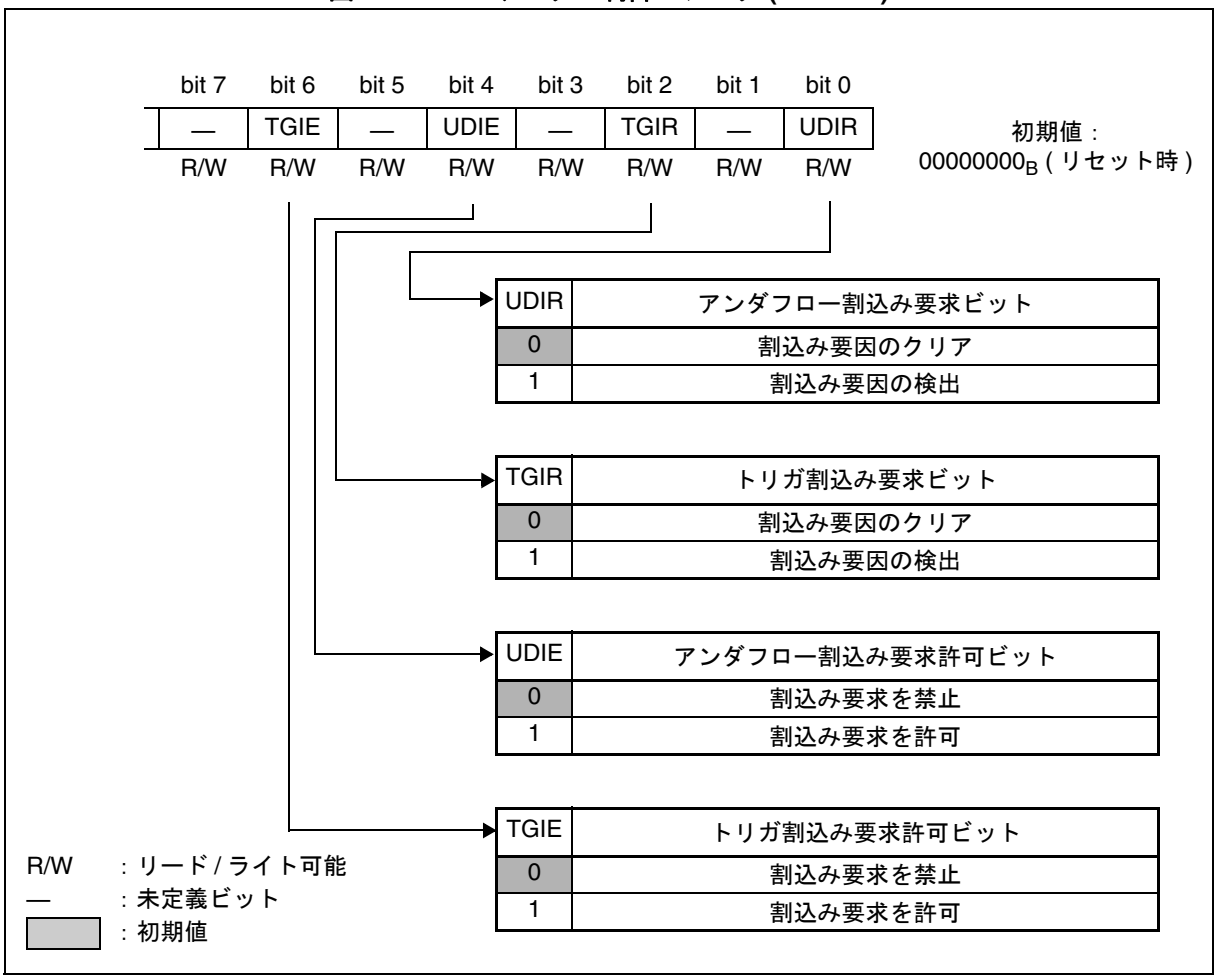


表 22.8-6 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit6	TGIE： トリガ割込み 要求許可ビット	• bit2: TGIR の割込み要求を制御します。 • TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit4	UDIE： アンダフロー 割込み要求許可 ビット	• bit0 :UDIR の割込み要求を制御します。 • UDIEビットが許可されていて bit0 :UDIRビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit2	TGIR： トリガ割込み 要求ビット	• ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 • TGIR ビットは "0" 書込みによりクリアされます。 • TGIR ビットに "1" 書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit0	UDIR： アンダフロー 割込み要求 ビット	• "H" 幅を設定した値からのカウント中でカウント値が "0000_H" → "$FFFF_H$" へアンダフロー変化したときに UDIR ビットが "1" にセットされます。 • UDIR ビットは "0" 書込みによりクリアされます。 • UDIR ビットに "1" 書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

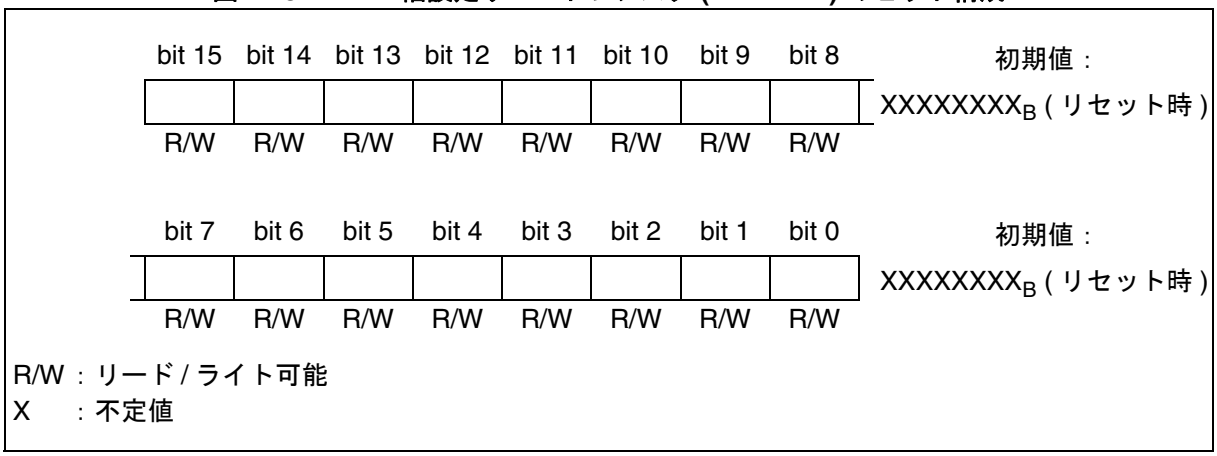
22.8.2.2 "L" 幅設定リロードレジスタ (BTxPRLL)

"L" 幅設定リロードレジスタ (BTxPRLL) は , PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は , 起動トリガ検出時か , "H" 幅カウント終了時のアンダフローで行われます。

■ "L" 幅設定リロードレジスタ (BTxPRLL) のビット構成

図 22.8-17 に , "L" 幅設定リロードレジスタ (BTxPRLL) のビット構成を示します。

図 22.8-17 "L" 幅設定リロードレジスタ (BTxPRLL) のビット構成



PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と "H" 幅カウント終了時のアンダフローで行われます。

- BTxPRLL レジスタは 16 ビットデータでアクセスしてください。
- BTxPRLL レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後に "L" 幅設定してください。

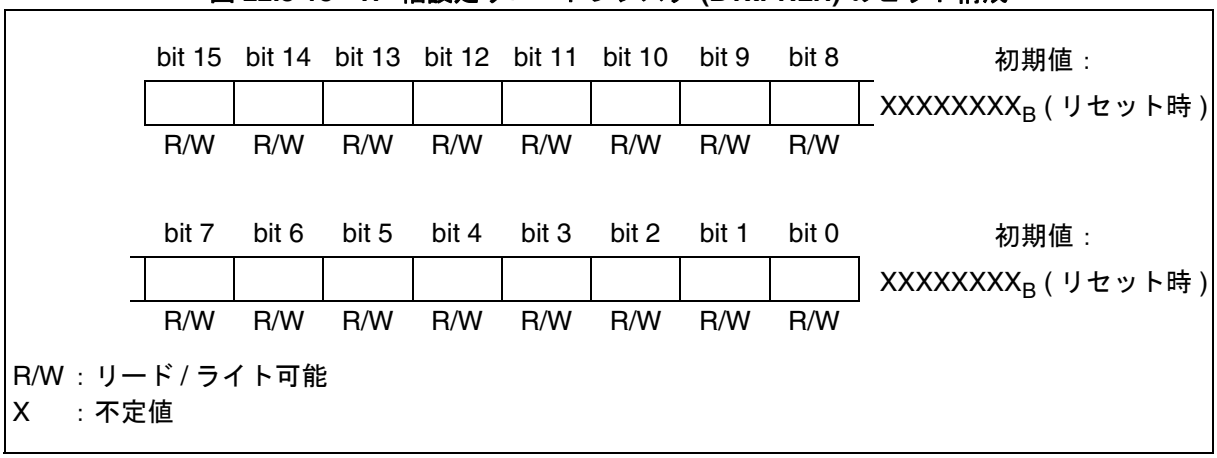
22.8.2.3 "H" 幅設定リロードレジスタ (BTxPRLH)

"H" 幅設定リロードレジスタ (BTxPRLH) は PPG 出力波形の "H" 幅を設定するためのバッファ付きレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウント終了時のアンダフローで行われ , バッファレジスタからタイマレジスタへの転送は "L" 幅カウント終了時のアンダフローで行われます。

■ "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成

図 22.8-18 に , "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成を示します。

図 22.8-18 "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成



PPG 出力波形の "H" 幅を設定するためのレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウント終了時のアンダフローで行われ, バッファレジスタからタイマレジスタへの転送は "L" 幅カウント終了時のアンダフローで行われます。

- BTxPRLH レジスタは 16 ビットデータでアクセスしてください。
- BTxPRLH レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後 , "H" 幅に設定してください。

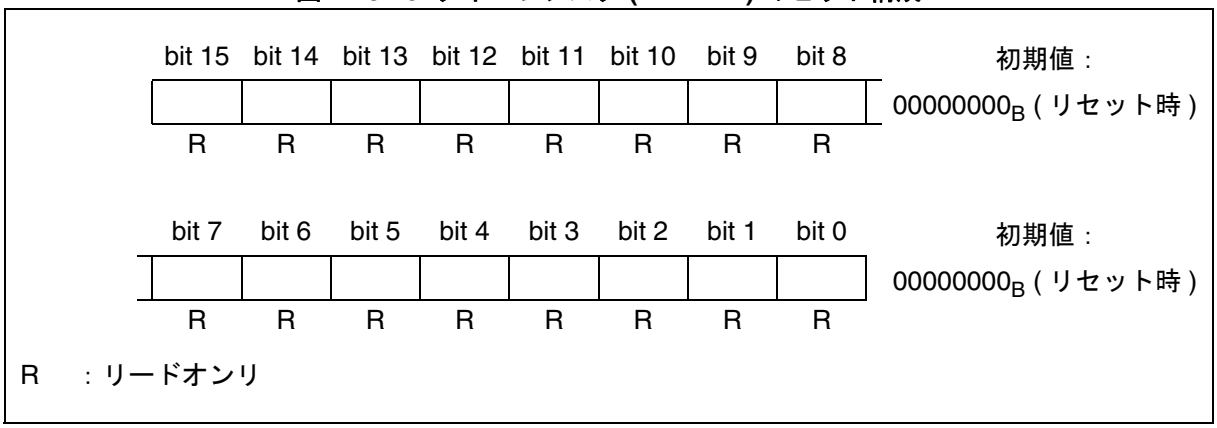
22.8.2.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は , 16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-19 に , PPG タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-19 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

＜注意事項＞

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

22.8.2.5 16 ビット PPG タイマ動作

PPG タイマ動作では , 出力パルスの "L" 幅と "H" 幅をそれぞれのリロードレジスタに設定することで任意の出力パルスを制御することができます。

■ 動作概要

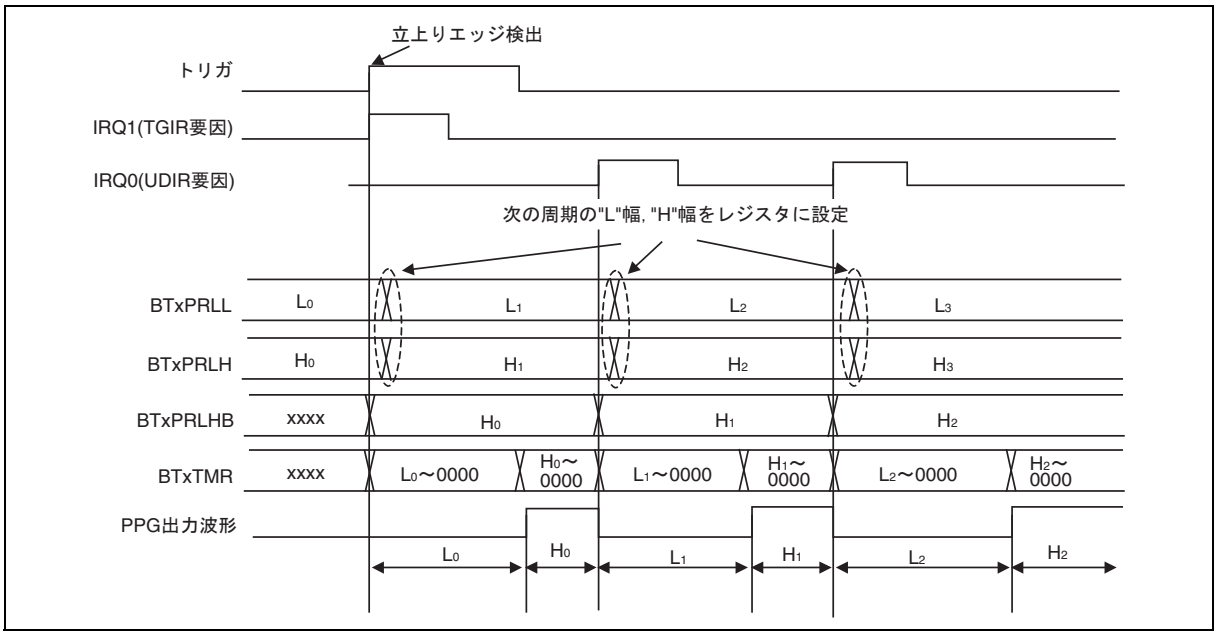
16 ビット長のリロードレジスタが "L" 幅設定用と "H" 幅設定用の 2 本 , "H" 幅設定のバッファが 1 本あります (BTxPRLL, BTxPRLH, BTxPRLHB) 。

起動トリガにより , 16 ビットダウンカウンタに最初は BTxPRLL の設定値がロードされ , 同時に BTxPRLHB に BTxPRLH の設定値が転送されます。PPG 出力はレベルを "L" にして , カウントクロックごとにダウンカウントしていきます。アンダフローの検出により BTxPRLHB の値がカウンタにリロードされ , PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し , BTxPRLL の設定値をカウンタにリロードし , BTxPRLH の設定値を BTxPRLHB に転送します。

この動作によって , 出力波形は各リロードレジスタ値に対応した "L" 幅・"H" 幅のパルス出力となります。

■ リロードレジスタへの書込みタイミング

リロードレジスタ BTxPRLL, BTxPRLH へのデータの書込みは起動トリガ検出時とアンダフロー割込み要因 (UDIR) がセットされてから , 次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。BTxPRLL, BTxPRLH に設定したデータは起動トリガ検出時と "H" 幅カウント終了時のアンダフロー時に BTxTMR と BTxPRLHB にそれぞれ自動転送されます。BTxPRLHB に転送されたデータは "L" 幅カウント終了時のアンダフロー時に BTxTMR に自動でリロードされます。



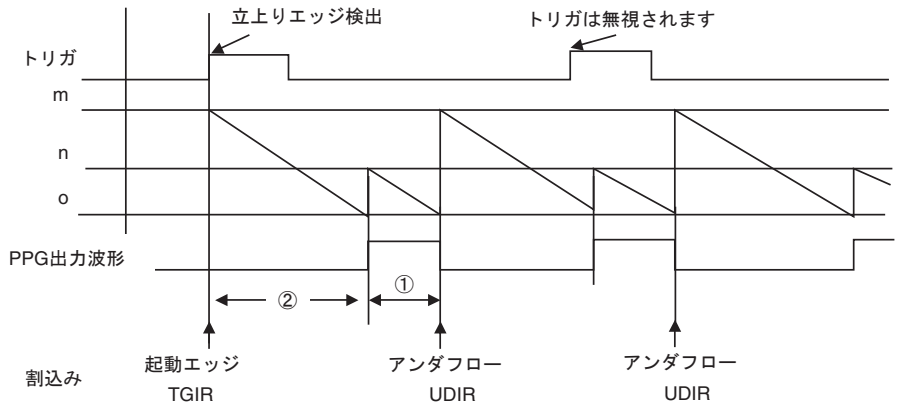
22.8.2.6 連続動作

連続動作では , 各割込み要因のセットタイミングで "L" 幅と "H" 幅を更新することにより , 任意のパルスを連続で出力することができます。再起動許可の場合は , 動作中にエッジを検出するとカウンタをリロードします。

■ 連続動作

● 再起動禁止の場合 (RTGEN=0)

図 22.8-20 PPG 動作のタイミングチャート (再起動禁止の場合)

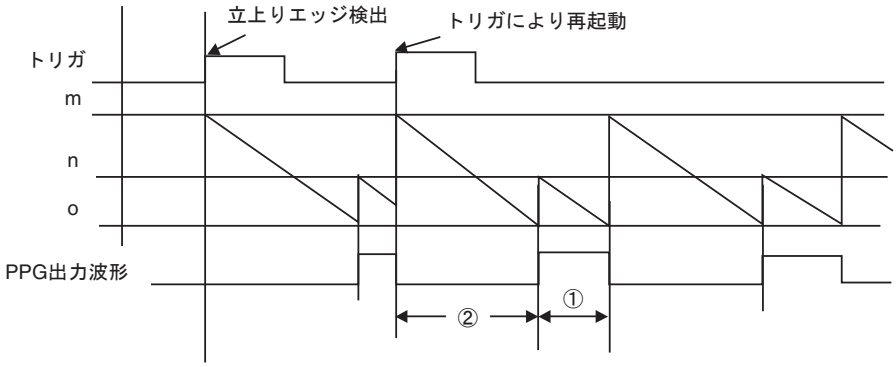


①= T(m+1) ms
②= T(n+1) ms

T ：カウントクロック周期
m：BTxPRLL 値
n ：BTxPRLH 値

● 再起動許可の場合 (RTGEN=1)

図 22.8-21 PPG 動作のタイミングチャート (再起動許可の場合)



①= T(m+1) ms
②= T(n+1) ms

T ：カウントクロック周期
m：BTxPRLL 値
n ：BTxPRLH 値

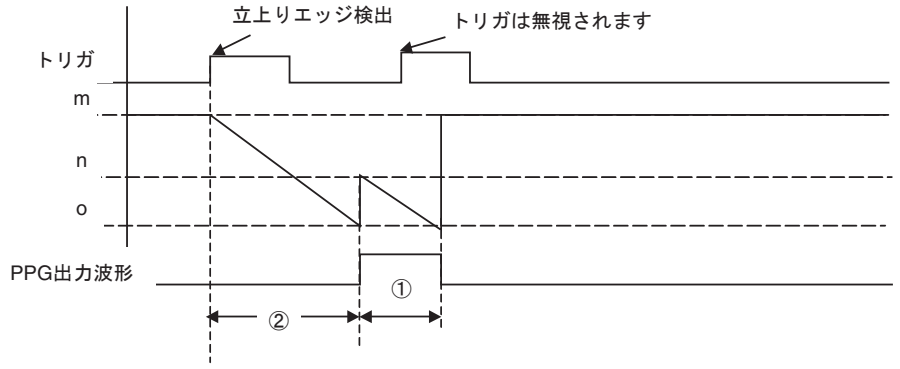
22.8.2.7 ワンショット動作

ワンショット動作では , トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は , 動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

● 再起動禁止の場合 (RTGEN=0)

図 22.8-22 ワンショット動作のタイミングチャート (トリガ再起動禁止)

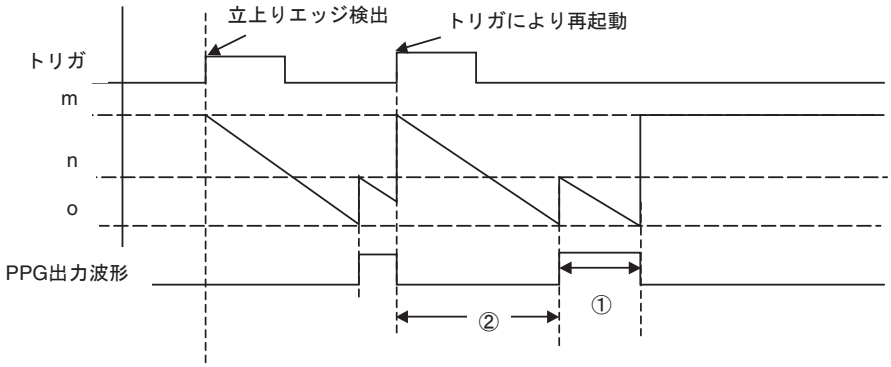


①= T(m+1) ms
②= T(n+1) ms

T ：カウントクロック周期
m：BTxPRLL 値
n ：BTxPRLH 値

● 再起動許可の場合 (RTGEN=1)

図 22.8-23 ワンショット動作のタイミングチャート (トリガ再起動許可)



①= T(m+1) ms
②= T(n+1) ms

T ：カウントクロック周期
m：BTxPRLL 値
n ：BTxPRLH 値

■ リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書かれた値を＋ 1 した値に , カウントクロックの周期を掛けた値が出力されるパルス幅となります。したがって , リロードレジスタ値が "0000_H" のときはカウントクロック 1 周期のパルス幅になります。また , リロードレジスタ値が "$FFFF_H$" のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

PL ＝ T × (L+1)　　PL ："L" パルスの幅

PH ＝ T × (H+1)　　PH ："H" パルスの幅

T ：カウントクロック周期

L ：BTxPRLL 値

H ：BTxPRLH 値

22.8.2.8 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

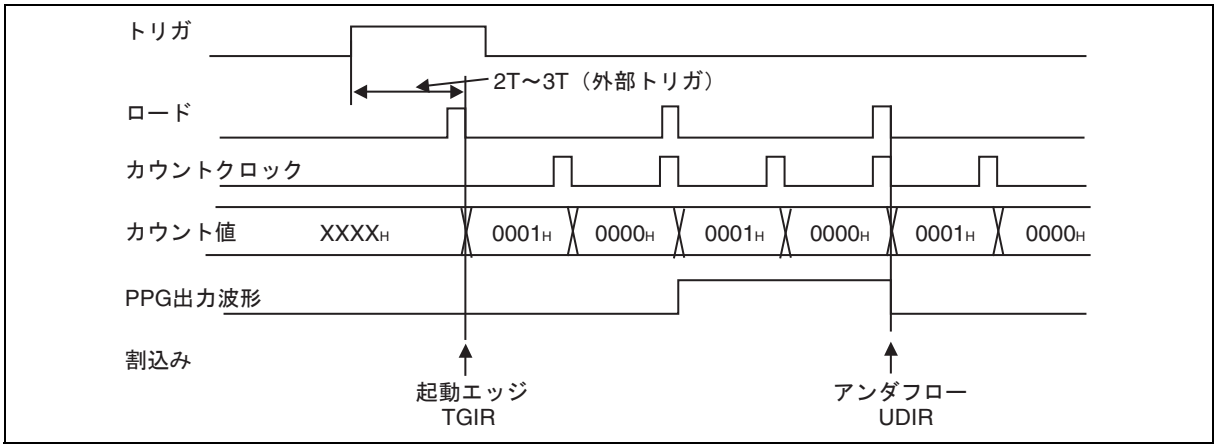
■ 割込み要因とタイミングチャート (PPG 出力 : 通常極性)

トリガがかかってからカウンタ値がロードされるまで , ソフトウェアトリガ時は T, 外部トリガ時は 2T ～ 3T (T: 周辺クロック (PCLK) サイクル) を必要とします。

割込み要因はPPG起動トリガ検出時と , "H" レベル出力時のアンダフロー検出時にセットされます。

図 22.8-24 に , "L" 幅設定値＝ 1, "H" 幅設定値＝ 1 の場合の割込み要因とタイミングチャートを示します。

図 22.8-24 PPG タイマの割込み要因とタイミングチャート



22.8.3 リロードタイマ機能

ベースタイマは , タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により , 16 ビット PWM タイマ , 16 ビット PPG タイマ , 16/32 ビットリロードタイマ , 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。リロードタイマを設定したときのタイマ機能の説明を示します。

- リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)
- 周期設定レジスタ (BTxPCSR)
- タイマレジスタ (BTxTMR)
- 16 ビットリロードタイマの動作

22.8.3.1 リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は , タイマの動作制御をします。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-25 タイマ制御レジスタ (BTxTMCR 上位バイト)

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8
—	CKS2	CKS1	CKS0	—	—	EGS1	EGS0
—	R/W	R/W	R/W	—	—	R/W	R/W

初期値 :
-0000000_B (リセット時)

EGS1	EGS0	トリガエッジ選択ビット
0	0	トリガ入力無効
0	1	外部トリガ (立上りエッジ)
1	0	外部トリガ (立下りエッジ)
1	1	外部トリガ (両エッジ)

CKS2	CKS1	CKS0	カウントクロック選択ビット
0	0	0	ϕ
0	0	1	ϕ/4
0	1	0	ϕ/16
0	1	1	ϕ/128
1	0	0	ϕ/256
1	0	1	外部クロック (立上りエッジイベント)
1	1	0	外部クロック (立下りエッジイベント)
1	1	1	外部クロック (両エッジイベント)

R/W : リード / ライト可能
— : 未定義ビット
□ : 初期値

表 22.8-7 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	• 読出し値は不定です。 • このビットへの書込みは , 動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	• 16 ビットダウンカウンタのカウントクロックを選択します。 • カウントクロックの変更は設定を変えると直ちに反映します。したがって , CKS2 ～ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11, bit10	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit9, bit8	EGS1, EGS0 : トリガエッジ 選択ビット	• 外部起動要因として入力波形に対する有効エッジを選択し , トリガの条件を設定します。 • 初期値または "00_B" の設定の場合 , 入力波形に対する有効エッジが選択されていない状態なので外部波形による起動は行いません。 (注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 • EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-26 タイマ制御レジスタ (BTxTMCR 下位バイト)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
T32	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

初期値 :
00000000_B (リセット時)

STRG	ソフトウェアトリガビット
0	無効
1	ソフトウェアによる起動開始

CTEN	カウント動作許可ビット
0	停止
1	動作許可

MDSE	モード選択ビット
0	リロードモード
1	ワンショットモード

OSEL	出力極性指定ビット
0	通常極性
1	反転極性

FMD2	FMD1	FMD0	タイマ機能選択ビット
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

T32	32 ビットタイマ選択ビット
0	16 ビットタイマモード
1	32 ビットタイマモード

R/W : リード / ライト可能
: 初期値

表 22.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) (1 / 2)

ビット名		機能
bit7	T32: 32 ビット タイマ選択 ビット	• 32 ビットタイマ機能を選択するビットです。 • FMD2, FMD1, FMD0 ビットに "011_B" を設定して , リロードタイマ機能を選択している場合 , T32 ビットを "1" に設定すると 32 ビットタイマモードになります。 • 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です (「22.5 32 ビットモード動作」を参照)。
bit6 ～ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	• タイマ機能を選択するビットです。 • FMD2, FMD1, FMD0 ビットに "011_B" を設定するとリロードタイマ機能が選択されます。 • 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit3	OSEL : 出力極性指定 ビット	• タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。 • bit2:MDSE との組合せにより次のように出力波形を生成します。
bit2	MDSE : モード選択 ビット	• MDSE ビットを "0" に設定するとリロードモードとなり , カウント値が "0000_H" → "$FFFF_H$" へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。 • MDSE ビットを "1" に設定するとワンショットモードとなり , カウント値が"0000_H"→"$FFFF_H$"へのアンダフローにより動作を停止します。 • 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit1	CTEN : カウント動作 許可ビット	• ダウンカウンタの動作を許可するビットです。 • カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。

MDSE	OSEL	出力波形
0	0	カウント開始時 "L" のトグル出力
0	1	カウント開始時 "H" のトグル出力
1	0	カウント中 "H" の矩形波
1	1	カウント中 "L" の矩形波

表 22.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) (2 / 2)

ビット名		機能
bit0	STRG : ソフトウェアトリガビット	• CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。 (注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。 • STRG ビットの読出し値は常に "0" です。 (注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。

■ ステータス制御レジスタ (BTxSTC)

図 22.8-27 ステータス制御レジスタ (BTxSTC)

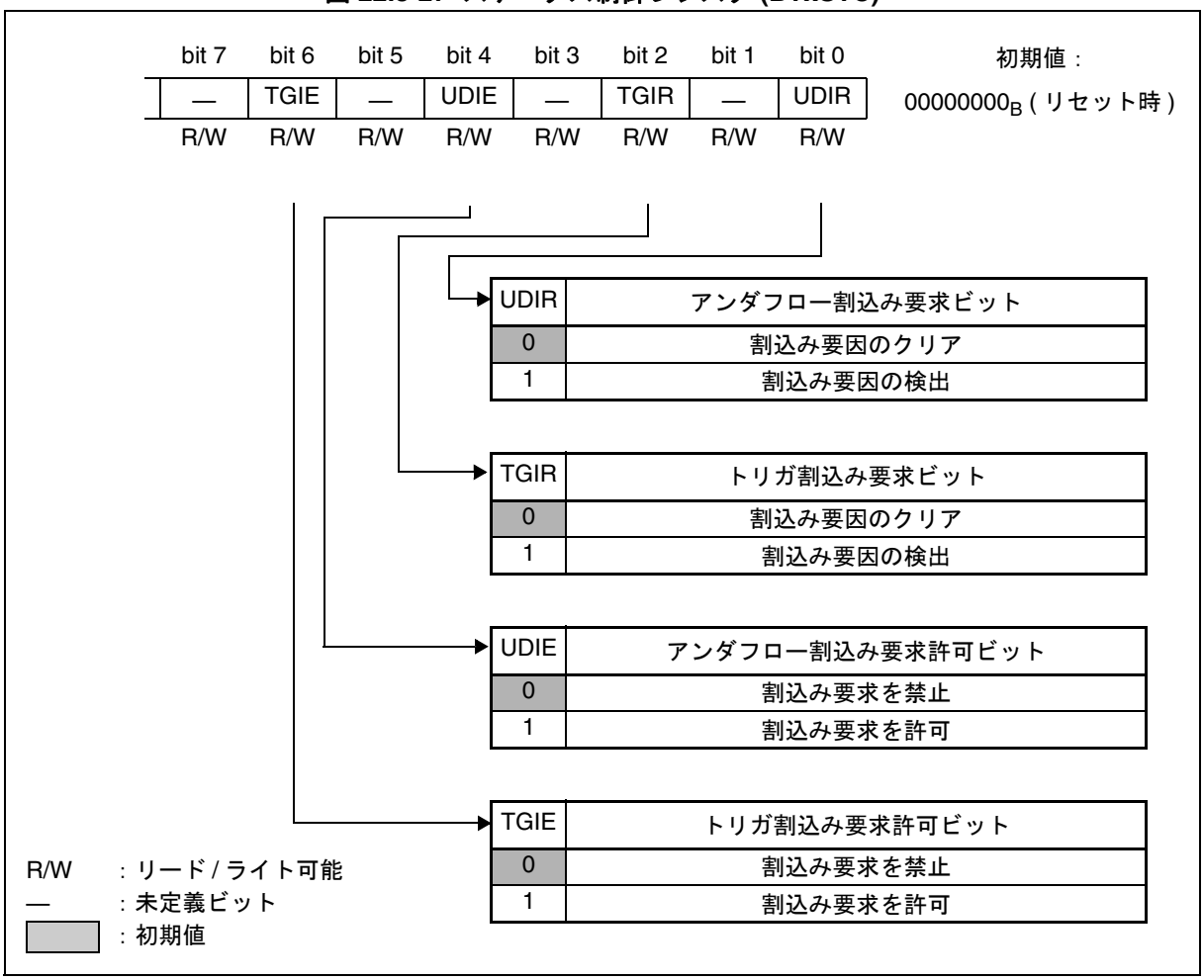


表 22.8-9 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit6	TGIE： トリガ割込み 要求許可ビット	• bit2 :TGIR の割込み要求を制御します。 • TGIEビットが許可されていて bit2 :TGIRビットがセットされるとCPU に割込み要求を発生します。
bit5	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit4	UDIE： アンダフロー 割込み要求許可 ビット	• bit0: UDIR の割込み要求を制御します。 • UDIE ビットが許可されていて bit0: UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit2	TGIR： トリガ割込み 要求ビット	• ソフトウェアトリガ, またはトリガ入力の検出をしたときにTGIRビットが "1" にセットされます。 • TGIR ビットは "0" 書込みによりクリアされます。 • TGIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令における読出し値は，ビット値にかかわらず "1" になります。
bit1	未使用ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit0	UDIR： アンダフロー 割込み要求 ビット	• カウント値が "0000_H" → "$FFFF_H$" へのアンダフロー時にUDIRビットが "1" にセットされます。 • UDIR ビットは "0" 書込みによりクリアされます。 • UDIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令における読出し値は，ビット値にかかわらず "1" になります。

22.8.3.2 周期設定レジスタ (BTxPCSR)

周期設定レジスタ (BTxPCSR) は , カウントの初期値を保持するレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント初期値となり , 奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタへのアクセスは , 必ず 16 ビットデータ転送命令で行ってください。

■ 周期設定レジスタ (BTxPCSR) のビット構成

図 22.8-28 に , 周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 22.8-28 周期設定レジスタ (BTxPCSR) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
								XXXXXXXX_B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
								XXXXXXXX_B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットでリロードタイマ機能の設定後に周期設定をしてください。
- 32 ビットモードで BTxPCSR レジスタにデータを書き込む場合 , 上位 16 ビットデータ (奇数チャネルのデータ) から先にアクセスした後で , 下位 16 ビットデータ (偶数チャネルのデータ) にアクセスしてください。

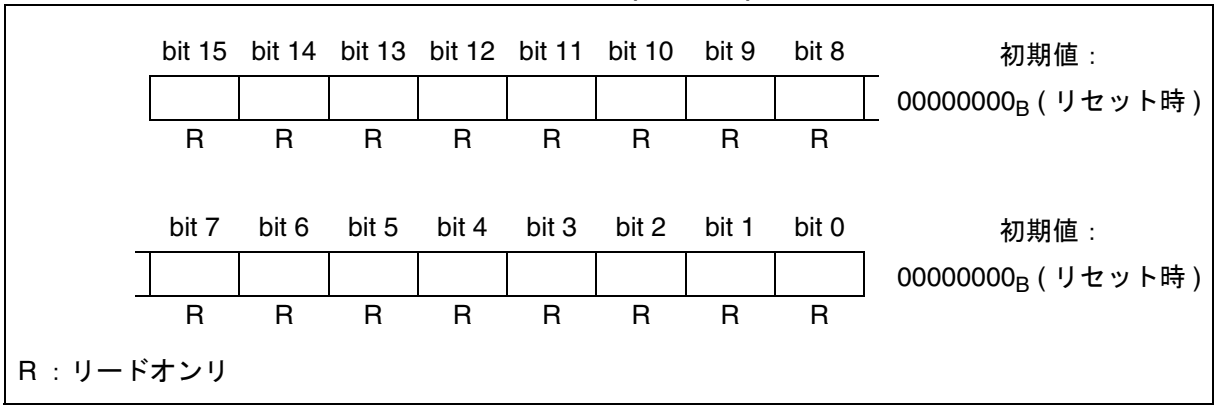
22.8.3.3 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は , タイマのカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント値となり , 奇数チャネルの場合は上位 16 ビットのカウント値となります。初期値は不定です。
このレジスタの読出しは , 必ず 16 ビットデータ転送命令で行ってください。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-29 に , タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-29 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

＜注意事項＞

- BTxTMR レジスタは 16 ビットデータでアクセスしてください。
- 32 ビットモードで BTxTMR レジスタを読み出す場合 , 下位 16 ビットデータ (偶数チャネルのデータ) から先に読み出した後で, 上位16ビットデータ (奇数チャネルのデータ) を読み出してください。

22.8.3.4 16 ビットリロードタイマの動作

リロードタイマ動作では , カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行し , カウント値が "0" となったときにカウントを終了するか , または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

■ 内部クロック選択時のカウント動作

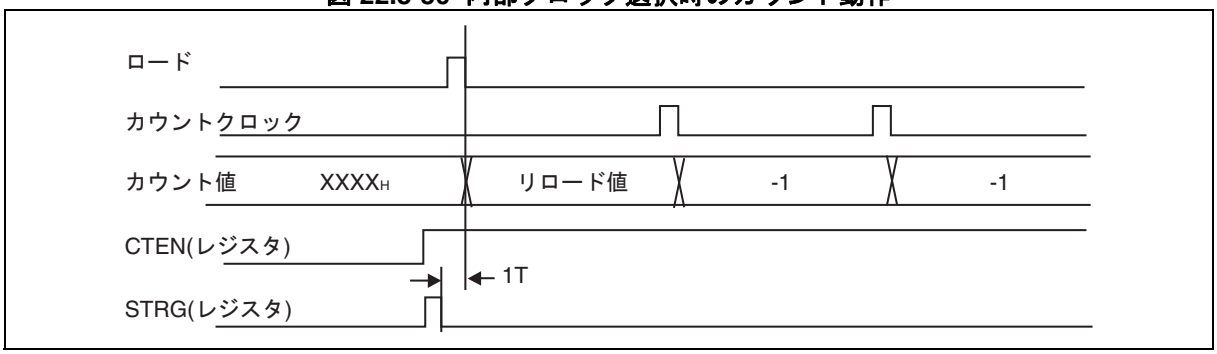
カウント許可と同時にカウント動作を開始したい場合は , タイマ制御レジスタの CTEN ビットと STRG ビットの両方に "1" を書き込んでください。STRG ビットによるトリガ入力は , タイマが起動状態のとき (CNTE=1) は動作モードにかかわらず常に有効です。

カウント動作を許可し , ソフトウェアトリガまたは外部トリガでタイマを起動すると , 周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガがセットされてから周期設定レジスタのデータがカウンタへロードされるまでに , 1T (T: 周辺クロック (PCLK) サイクル) の時間がかかります。

図 22.8-30 に , ソフトウェアトリガによるカウンタの起動および動作を示します。

図 22.8-30 内部クロック選択時のカウント動作



■ アンダフロー動作

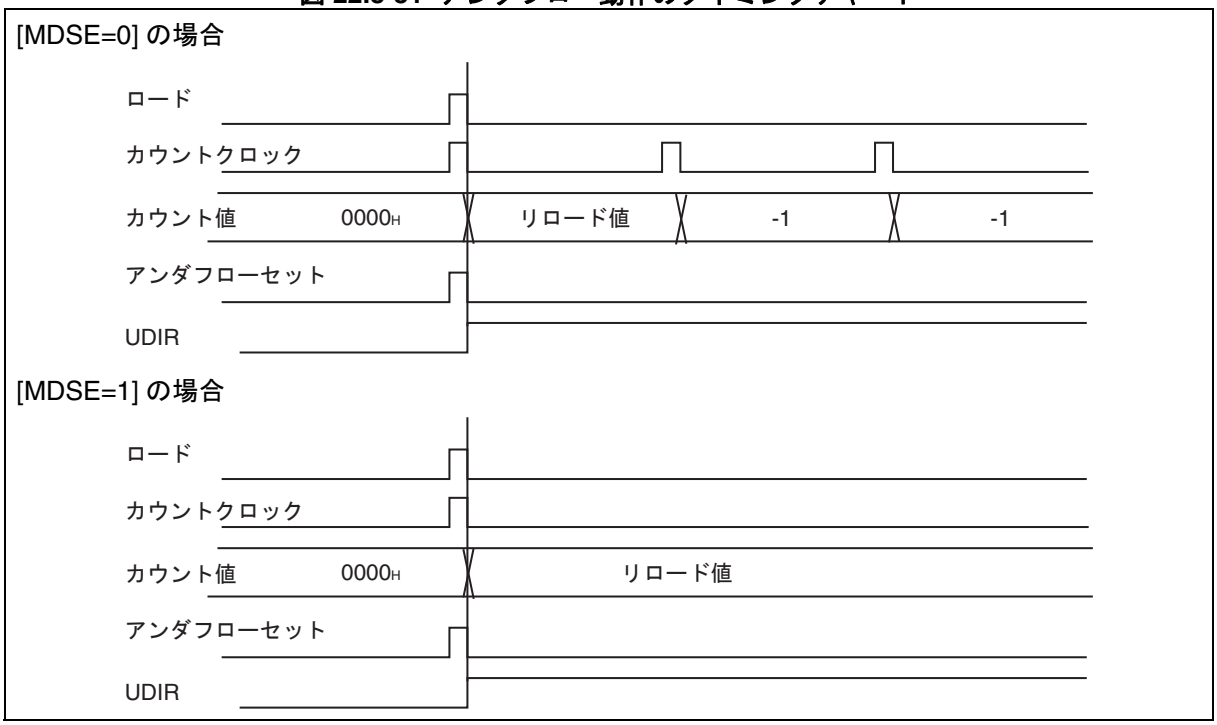
カウンタの値が "0000_H" から "$FFFF_H$" になる場合をアンダフローとしています。したがって , 〔周期設定レジスタの設定値 +1〕カウントでアンダフローが発生します。

アンダフロー発生時に周期設定レジスタ (BTxPCSR) の内容をカウンタへロードして , タイマ制御レジスタ (BTxTMCR) の MDSE ビットが "0" のときはカウント動作を継続します。MDSE ビットが "1" のときは , ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ (BTxSTC) の UDIR ビットがセットされ , UDIE ビットが "1" のときに割込み要求を発生します。

図 22.8-31 に , アンダフロー動作のタイミングチャートを示します。

図 22.8-31 アンダフロー動作のタイミングチャート

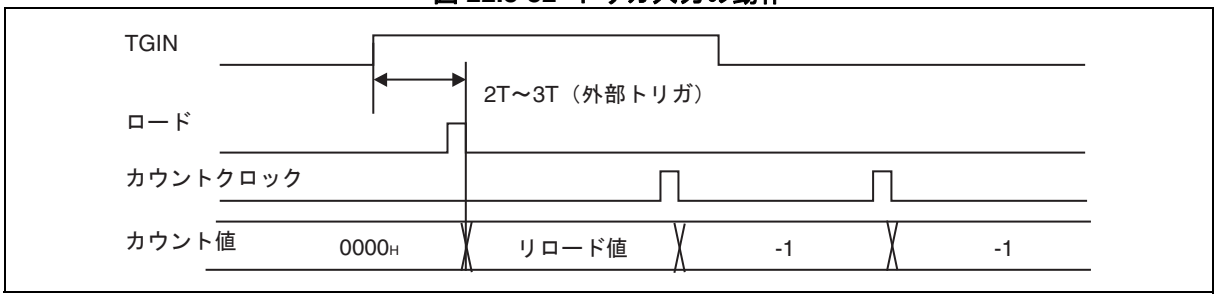


■ 入力端子機能の動作

TGIN 端子はトリガ入力として使用することができます。TGIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから , カウンタ値がロードされるまで , 2T ～ 3T (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 22.8-32 に , 有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

図 22.8-32 トリガ入力の動作

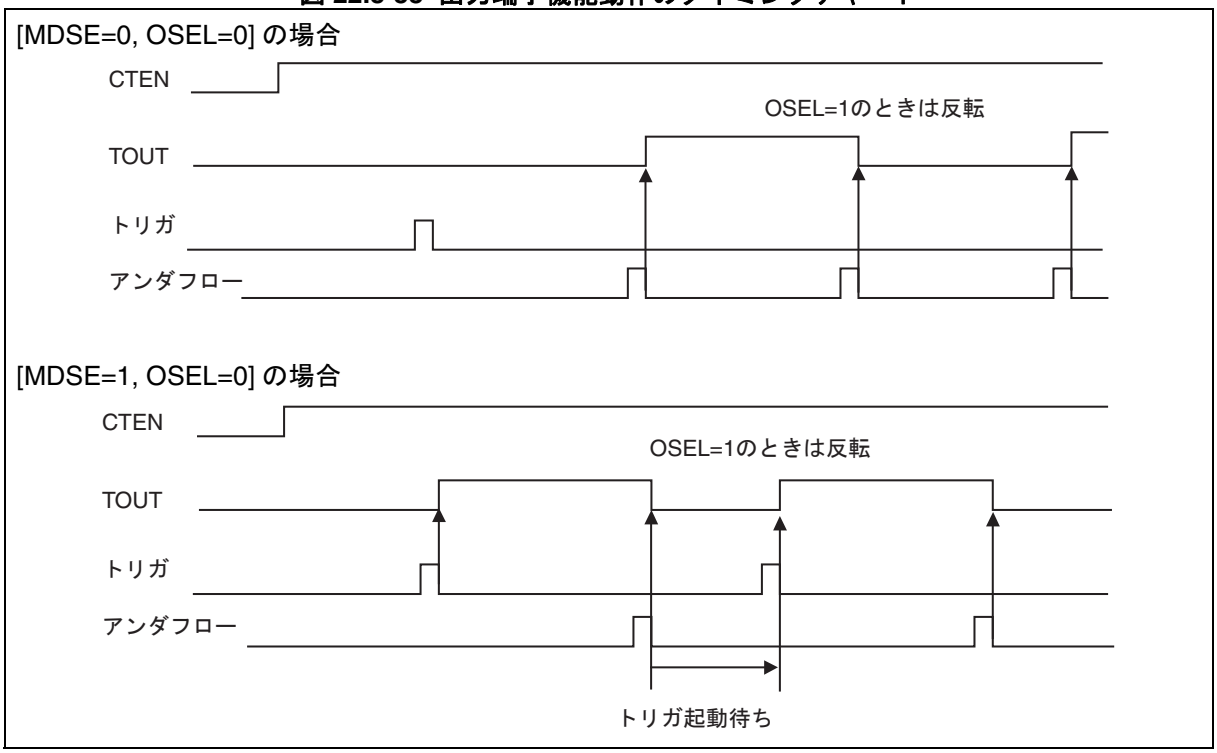


■ 出力端子機能の動作

TOUT 出力端子は , リロードモード時はアンダフローにより反転するトグル出力として , ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は , タイマ制御レジスタ (BTxTMCR) の OSEL ビットにより設定できます。OSEL=0 の場合 , トグル出力は初期値が "0" で , ワンショットパルス出力はカウント中 "1" を出力します。OSEL=1 にすると出力波形は反転します。

図 22.8-33 に , 出力端子機能動作のタイミングチャートを示します。

図 22.8-33 出力端子機能動作のタイミングチャート



22.8.4 PWC 機能

ベースタイマは , タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により , 16 ビット PWM タイマ , 16 ビット PPG タイマ , 16/32 ビットリロードタイマ , 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWC を設定したときのタイマ機能の説明を示します。

- PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- データバッファレジスタ (BTxDTBF)
- PWC 動作

22.8.4.1 PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は , PWC タイマの動作を制御します。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-34 タイマ制御レジスタ (BTxTMCR 上位バイト)

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8
—	CKS2	CKS1	CKS0	—	EGS2	EGS1	EGS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

初期値 :
00000000_B (リセット時)

EGS2	EGS1	EGS0	測定エッジ選択ビット
0	0	0	"H" パルス幅測定 (↑～↓)
0	0	1	立上りエッジ間周期測定 (↑～↑)
0	1	0	立下りエッジ間周期測定 (↓～↓)
0	1	1	全エッジ間パルス幅測定 (↑または↓～↓または↑)
1	0	0	"L" パルス幅測定 (↓～↑)
1	0	1	設定禁止
1	1	0	
1	1	1	

CKS2	CKS1	CKS0	カウントクロック選択ビット
0	0	0	ϕ
0	0	1	ϕ/4
0	1	0	ϕ/16
0	1	1	ϕ/128
1	0	0	ϕ/256
1	0	1	設定禁止
1	1	0	
1	1	1	

R/W : リード / ライト可能
— : 未定義ビット
□ : 初期値

表 22.8-10 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウントクロック選択ビット	• 16 ビットアップカウンタのカウントクロックを選択します。 • カウントクロックの変更は設定を変えると直ちに反映します。したがって, CKS2～CKS0の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit10 ～ bit8	EGS2, EGS1, EGS0 : 測定エッジ選択ビット	• 測定エッジの条件を設定します。 • EGS2, EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-35 タイマ制御レジスタ (BTxTMCR 下位バイト)

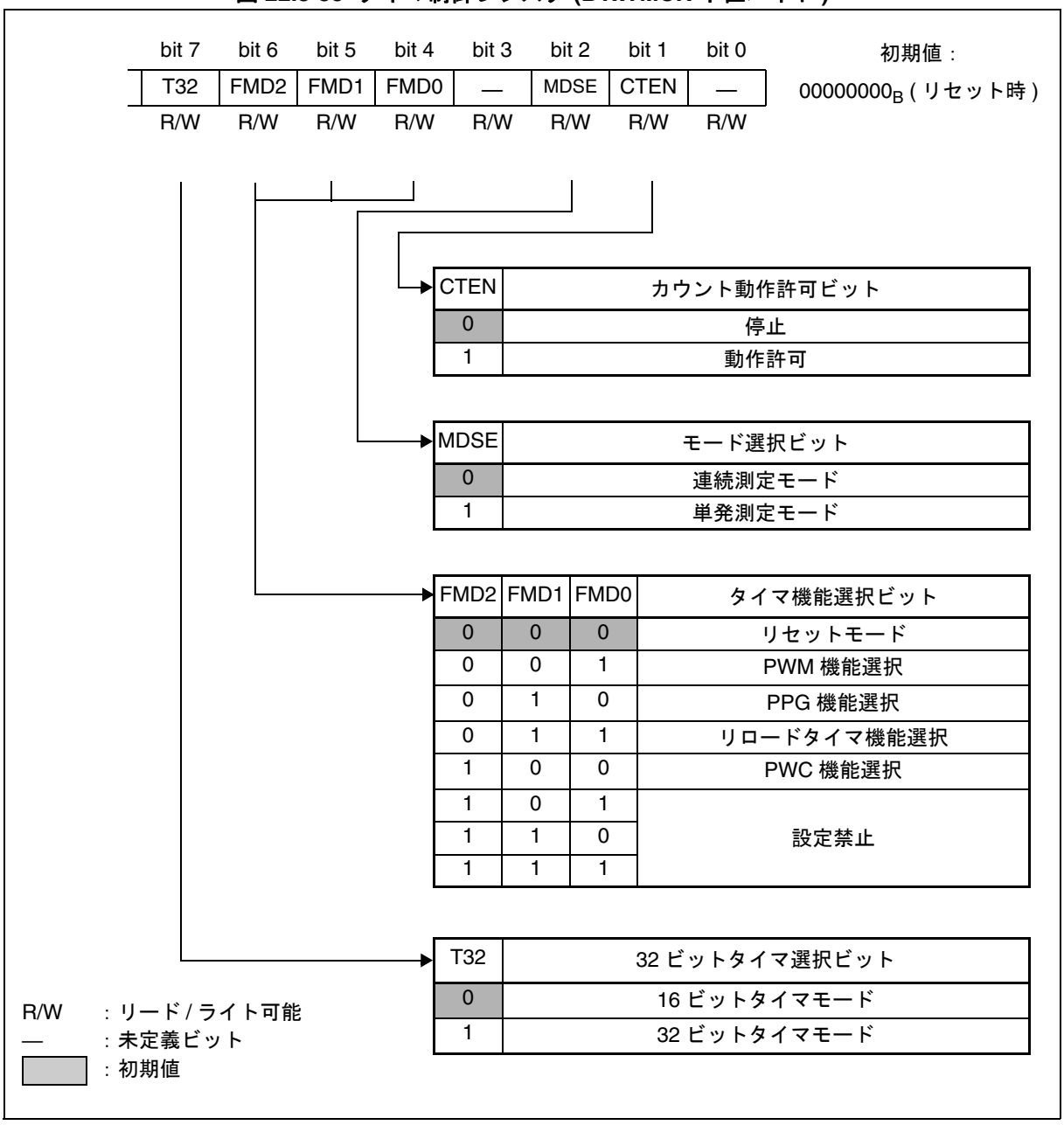


表 22.8-11 タイマ制御レジスタ (BTxTMCR 下位バイト)

<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td>bit7</td><td>T32:
32 ビット
タイマ選択
ビット</td><td>• 32 ビットタイマ機能を選択するビットです。
• FMD2, FMD1, FMD0 ビットに "100_B" を設定して PWC 機能を選択している場合に T32 ビットを "1" に設定すると , 32 ビット PWC モードになります。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です (「22.5 32 ビットモード動作」を参照)。</td></tr>
<tr><td>bit6
～
bit4</td><td>FMD2, FMD1, FMD0:
タイマ機能
選択ビット</td><td>• タイマ機能を選択するビットです。
• FMD2, FMD1, FMD0 ビットに "100_B" を設定すると PWC 機能が選択されます。
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit3</td><td>未定義ビット</td><td>• 読出し値は "0" です。
• このビットには "0" を書き込んでください。</td></tr>
<tr><td>bit2</td><td>MDSE :
モード選択
ビット</td><td>• 測定動作を以下のように選択します
<table>
<tr><th>MDSE</th><th>モード</th><th>動作</th></tr>
<tr><td>0</td><td>連続測定</td><td>連続測定 : バッファレジスタ有効</td></tr>
<tr><td>1</td><td>単発測定</td><td>1 回測定後に停止</td></tr>
</table>
• 変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。</td></tr>
<tr><td>bit1</td><td>CTEN :
カウント動作
許可ビット</td><td>• アップカウンタの起動または再起動を許可するビットです。
• カウンタが動作許可状態 (CTEN ビットが "1") のときに "1" を書き込むと再起動となりカウンタはクリアされ , 測定開始エッジ待ち状態となります。
• カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。</td></tr>
<tr><td>bit0</td><td>未定義ビット</td><td>• 読出し値は "0" です。
• このビットには "0" を書き込んでください。</td></tr>
</table>

■ ステータス制御レジスタ (BTxSTC)

図 22.8-36 ステータス制御レジスタ (BTxSTC)

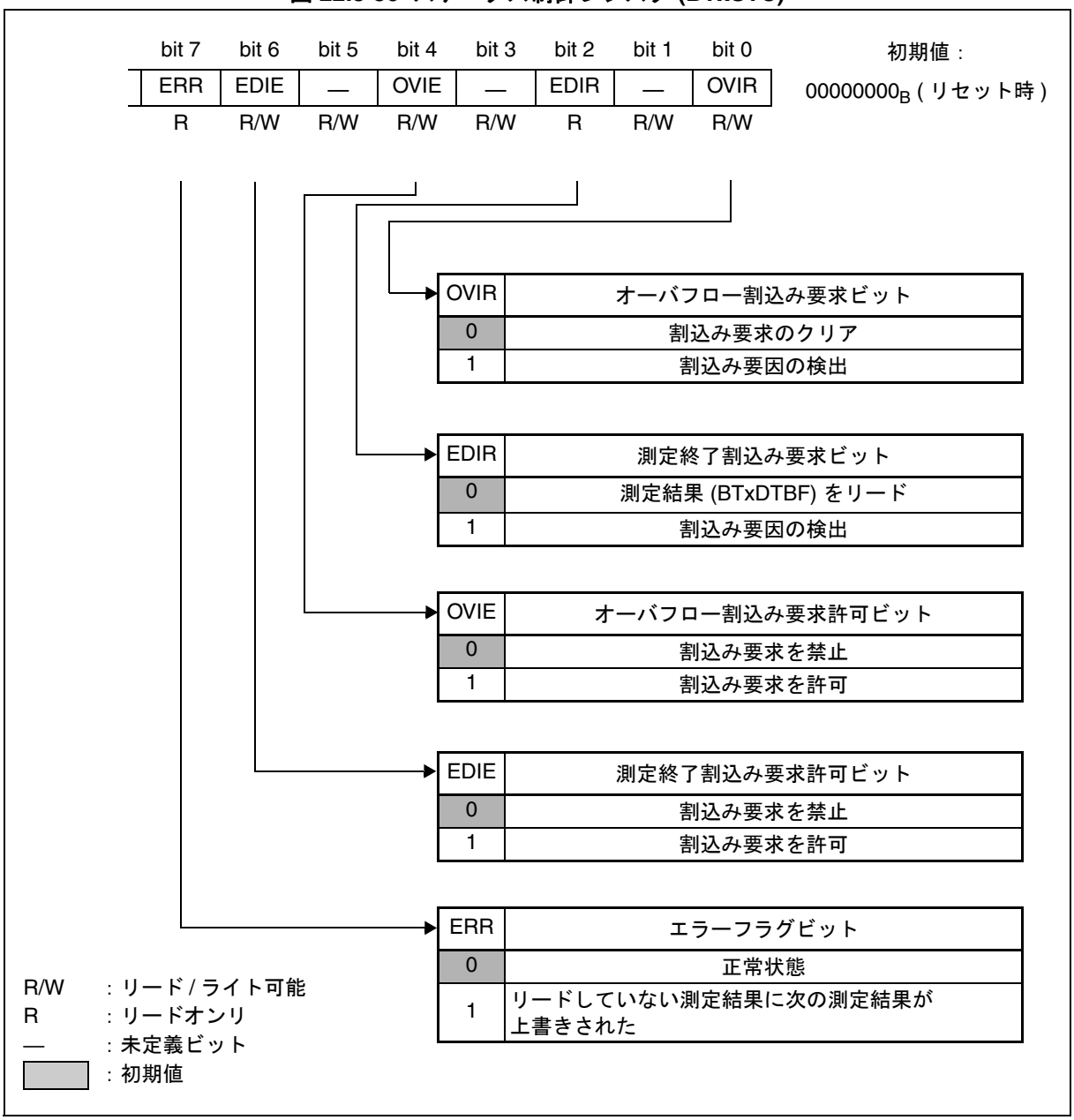


表 22.8-12 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	ERR： エラーフラグビット	• 連続測定モード時において , BTxDTBF レジスタの測定結果を読み出さないうちに , 次の測定が終了してしまったことを示すフラグです。この場合 , BTxDTBF レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。 • 測定は ERR ビット値に関係なく続行されます。 • ERR ビットは読出しのみ可能で , 書込みしてもビット値には影響しません。 • ERR ビットは測定結果 (BTxDTBF) を読出しすることによりクリアされます。
bit6	EDIE： 測定終了割込み要求許可ビット	• bit2 :EDIR の割込み要求を制御します。 • EDIE ビットが許可されていて bit2 :EDIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit4	OVIE： オーバフロー割込み要求許可ビット	• bit0: OVIR の割込み要求を制御します。 • OVIE ビットが許可されていて bit0: OVIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit2	EDIR： 測定終了割込み要求ビット	• 測定終了したことを示し, 終了時にフラグが"1"にセットされます。 • EDIR ビットは測定結果 (BTxDTBF) を読出しすることによりクリアされます。 • EDIR ビットは読出しのみ可能で , 書込みしてもビット値には影響しません。
bit1	未定義ビット	• 読出し値は "0" です。 • このビットには "0" を書き込んでください。
bit0	OVIR： オーバフロー割込み要求ビット	• カウント値が "$FFFF_H$" → "0000_H" へのオーバフロー時にフラグが "1" にセットされます。 • OVIR ビットは "0" 書込みによりクリアされます。 • OVIR ビットに "1" を書き込んでもビット値には影響しません。 • リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

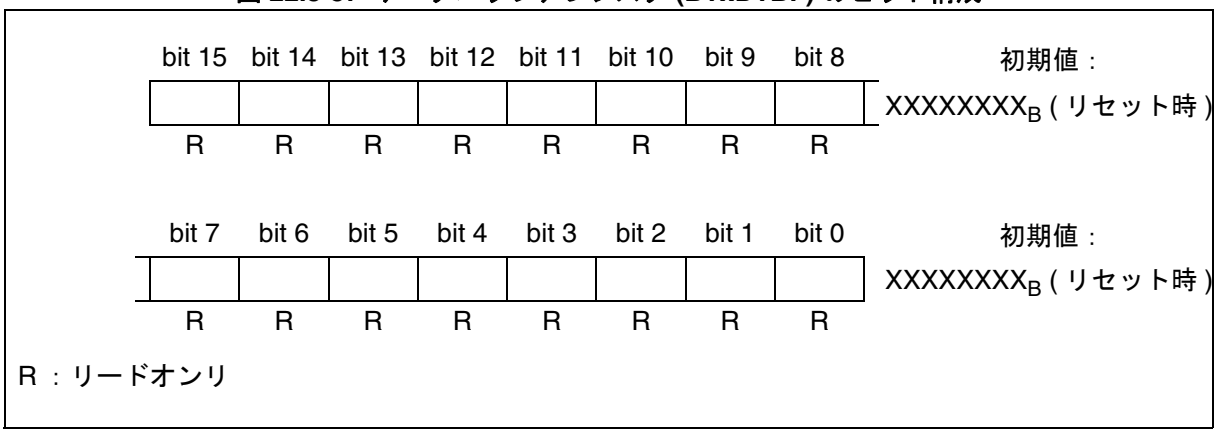
22.8.4.2 データバッファレジスタ (BTxDTBF)

データバッファレジスタ (BTxDTBF) は , PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットの値となり , 奇数チャネルの場合は上位 16 ビットの値となります。このレジスタの読出しは , 必ず 16 ビットデータ転送命令で行ってください。

■ データバッファレジスタ (BTxDTBF) のビット構成

図 22.8-37 に , データバッファレジスタ (BTxDTBF) のビット構成を示します。

図 22.8-37 データバッファレジスタ (BTxDTBF) のビット構成



- BTxDTBF レジスタは連続測定モード, ワンショット測定モードのいずれにおいても読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時 (BTxTMCR:bit3 MDSE=1) は , 前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時 (BTxTMCR: bit3 MDSE=0) は, BTxDTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で , カウント値を読み出せます。測定終了後は測定結果をそのまま保存します。
- BTxDTBF レジスタは 16 ビットデータでアクセスしてください。

22.8.4.3 PWC 動作

PWC タイマには , パルス幅測定機能があり , 5 種類のカウントクロックを選択可能で入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に , パルス幅測定機能における基本機能 / 動作について示します。

■ パルス幅測定機能

起動後 , カウンタを "0000_H" にクリアし , 設定した測定開始エッジが入力されるまでカウント動作は行われません。測定開始エッジを検出すると "0001_H" からカウントアップを開始し , 測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時 , およびオーバフロー発生時に割込み要求を発生できます。

測定終了後は , 測定モードに応じて以下のように動作します。

- 単発測定モード時…動作を停止します。
- 連続測定モード時…カウンタ値をバッファレジスタに転送後 , 再度測定開始エッジが入力されるまでカウントを停止します。

図 22.8-38 パルス幅測定動作 (単発測定モード / "H" 幅測定)

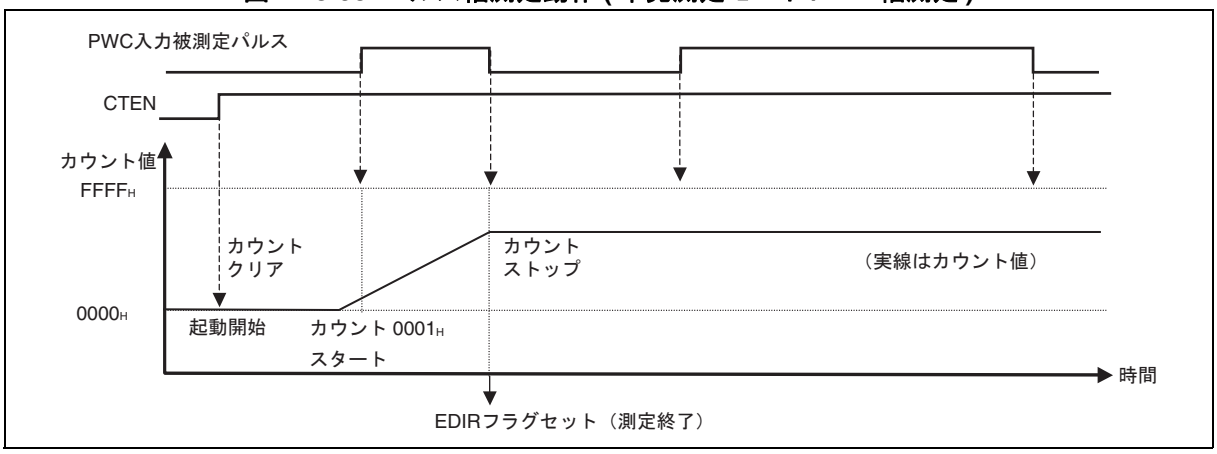
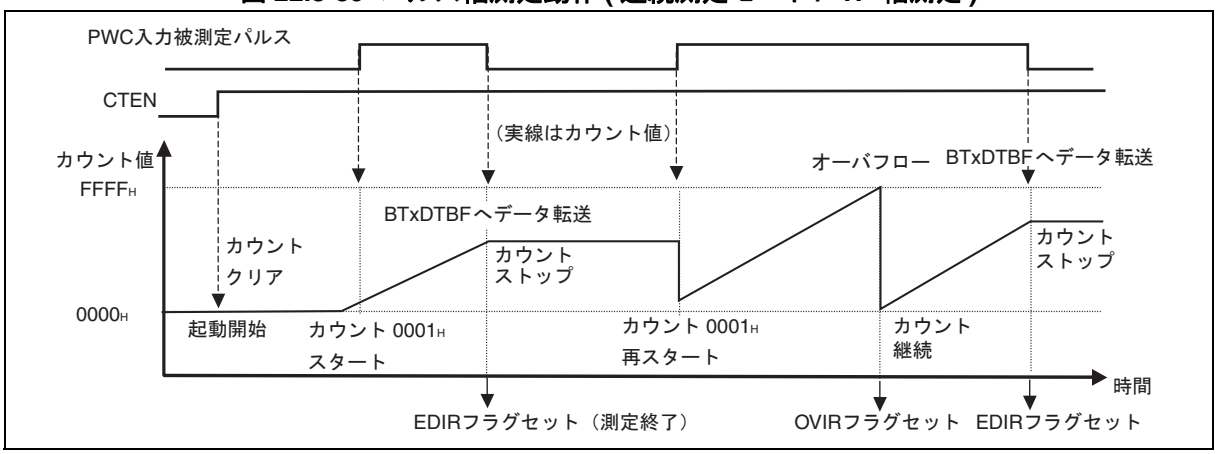


図 22.8-39 パルス幅測定動作 (連続測定モード / "H" 幅測定)



■ カウントクロックの選択

カウンタのカウントクロックは , BTxTMCR レジスタの bit6, bit5, bit4 : CKS2, CKS1, CKS0 の設定によって , 5 種類選択することができます。

選択できるカウントクロックは以下のとおりです。

BTxTMCR レジスタ CKS2, CKS1, CKS0 ビット	選択される内部カウントクロック
000_B	周辺クロック (PCLK) [初期値]
001_B	周辺クロック (PCLK) の 4 分周
010_B	周辺クロック (PCLK) の 16 分周
011_B	周辺クロック (PCLK) の 128 分周
100_B	周辺クロック (PCLK) の 256 分周
101_B	設定禁止
110_B	
111_B	

リセット後の初期値では , 周辺クロック (PCLK) が選択されています。

(注意事項) カウントクロックの選択は , 必ずカウンタ起動前に行ってください。

■ 動作モードの選択

各動作モード / 測定モードの選択は , BTxTMCR の設定により行います。

動作モードの設定… BTxTMCR bit10 ～ bit8 : EGS2, EGS1, EGS0

(測定エッジの選択)

測定モードの設定… BTxTMCR bit2 : MDSE

(単発測定 / 連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
↑～↓ "H" パルス幅測定	連続測定 : バッファ有効	0	0	0	0
	単発測定 : バッファ無効	1	0	0	0
↑～↑ 立上り間周期測定	連続測定 : バッファ有効	0	0	0	1
	単発測定 : バッファ無効	1	0	0	1
↓～↓ 立下り間周期測定	連続測定 : バッファ有効	0	0	1	0
	単発測定 : バッファ無効	1	0	1	0
↑または↓～↑または↓ 全エッジ間測定	連続測定 : バッファ有効	0	0	1	1
	単発測定 : バッファ無効	1	0	1	1
↓～↑ "L" パルス幅測定	連続測定 : バッファ有効	0	1	0	0
	単発測定 : バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では , "H" パルス幅測定ー単発測定モードが選択されています。

動作モードの選択は , 必ずカウンタ起動前に行ってください。

■ パルス幅測定の起動と停止

各動作の起動 / 再起動 / 強制停止は , BTxTMCR の bit1 : CTEN ビットにより行います。

パルス幅測定の起動 / 再起動は CTEN ビットに "1" を書き込むことにより機能し , 強制停止は CTEN ビットに "0" を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定の起動 / 再起動
0	パルス幅測定の強制停止

■ 起動後の動作

パルス幅測定モードの起動後の動作は , 測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後 , 16 ビットアップカウンタは "0001_H" からカウントを開始します。

■ 再起動

起動後 , 動作中に再度起動する (CTEN ビットが "1" の状態で再度 "1" を書き込む) ことを再起動とよびます。再起動すると , 以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合 : 動作に影響はありません。
- 測定中の場合 : カウントを "0000_H" にクリアし , 再度測定開始エッジ待ち状態となります。この際 , 測定終了エッジ検出と再起動が同時になると , 測定終了フラグ (EDIR) がセットされ , 連続測定モード時は測定結果が BTxDTBF に転送されます。

■ 停止について

単発測定モードでは , カウンタのオーバフローまたは測定終了により自動的にカウント動作を停止しますので , 特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は , 強制停止させる必要があります。

■ カウンタのクリアと初期値

16 ビットアップカウンタは , 以下に示す場合に "0000_H" にクリアされます。

- リセット時
- BTxTMCR の bit1 : CTEN ビットに "1" を書き込んだとき (再起動時を含む)

16 ビットアップカウンタは , 測定開始エッジ検出時に "0001_H" に初期化されます。

■ パルス幅測定動作詳細

● 単発測定と連続測定

パルス幅測定には, 1 回のみの測定を行うモードと連続して測定を行うモードがあります。各モードは BTxTMCR の MDSE ビットによって選択します (「22.8.4.3 PWC 動作 ■ 動作モードの選択」を参照)。両モードにおける相違点は以下のとおりです。

単発測定モード:

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し , BTxSTC 中の測定終了フラグ (EDIR) がセットされ , 以降の測定は行われません。ただし , 同時に再起動された場合は測定開始待ち状態となります。

連続測定モード:

測定終了エッジが入力されるとカウンタのカウントは停止し , BTxSTC 中の測定終了フラグ (EDIR) がセットされ, 再度測定開始エッジが入力されるまでカウントを停止します。再度 , 測定開始エッジが入力されるとカウンタを "0001_H" に初期化して測定を開始します。測定終了時 , カウンタの測定結果は BTxDTBF に転送されます。

測定モードの選択 / 変更は , 必ずカウンタ停止中に行ってください。

● 測定結果データ

単発測定モードと連続測定モードでは , 測定結果とカウンタ値の扱いおよび BTxDTBF の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

単発測定モード:

BTxDTBF を動作中に読み出すと測定中のカウント値が得られます。

BTxDTBF を測定終了後に読み出すと測定結果データが得られます。

連続測定モード:

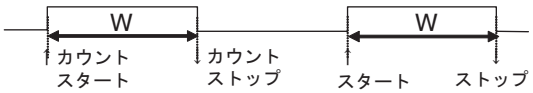
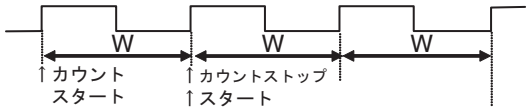
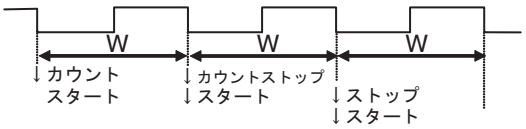
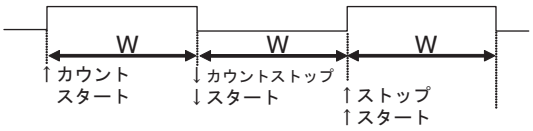
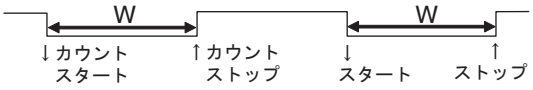
測定終了時 , カウンタ内の測定結果は BTxDTBF に転送されます。

BTxDTBFを読み出すと直前の測定結果が得られ, 測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。

連続測定モードにて , 測定結果を読み出さない内に次の測定が終了してしまった場合 , 前回の測定結果は新しい測定結果に消されてしまいます。この際 , BTxSTC 中のエラーフラグ (ERR) がセットされます。エラーフラグ (ERR) は , BTxDTBF を読み出すと自動的にクリアされます。

■ 測定モードとカウント動作

入力されたパルスのどこを測定するかによって, 測定モードは5種類のうちから選択することができます。以下に, それらについて説明します。

測定モード	EGS2, EGS1, EGS0	測定内容 (W：測定するパルス幅)
"H" パルス幅測定	000_B	 "H" 期間の幅を測定します。 カウント (測定) 開始：立上りエッジ検出時 カウント (測定) 終了：立下りエッジ検出時
立上りエッジ間 周期測定	001_B	 立上りエッジ間の周期を測定します。 カウント (測定) 開始：立上りエッジ検出時 カウント (測定) 終了：立上りエッジ検出時
立下りエッジ間 周期測定	010_B	 立下りエッジ間の周期を測定します。 カウント (測定) 開始：立下りエッジ検出時 カウント (測定) 終了：立下りエッジ検出時
全エッジ間 パルス幅測定	011_B	 連続して入力されるエッジ間の幅を測定します。 カウント (測定) 開始：エッジ検出時 カウント (測定) 終了：エッジ検出時
"L" パルス幅測定	100_B	 "L" 期間の幅を測定します。 カウント (測定) 開始：立下りエッジ検出時 カウント (測定) 終了：立上りエッジ検出時

どの測定モードでも, 測定起動でカウンタは "0000_H" にクリアされた後, 測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジが入力されると, 測定終了エッジが入力されるまでの間, カウントクロックごとにアップカウントを続けます。

連続測定モードの場合で, 全エッジ間パルス幅測定や周期測定などを行った場合, 終了エッジが次の測定開始エッジとなります。

● パルス幅 / 周期算出方法

測定終了後 , BTxDTBF に得られた測定結果データからの被測定パルス幅 / 周期算出方法は以下のように求められます。

$T_W = n \times t$ [ms]	T_W ：被測定パルス幅 / 周期 [ms] n ：BTxDTBF 内の測定結果データ t ：カウントクロックの周期 [ms]

● 割込み要求発生

2 つの割込み要求を発生することが可能です。

- カウンタのオーバフローによる割込み要求

  測定中 , カウントアップによりオーバフローが発生するとオーバフローフラグ (OVIR) がセットされ , オーバフロー割込み要求が許可されていると割込み要求が発生します。

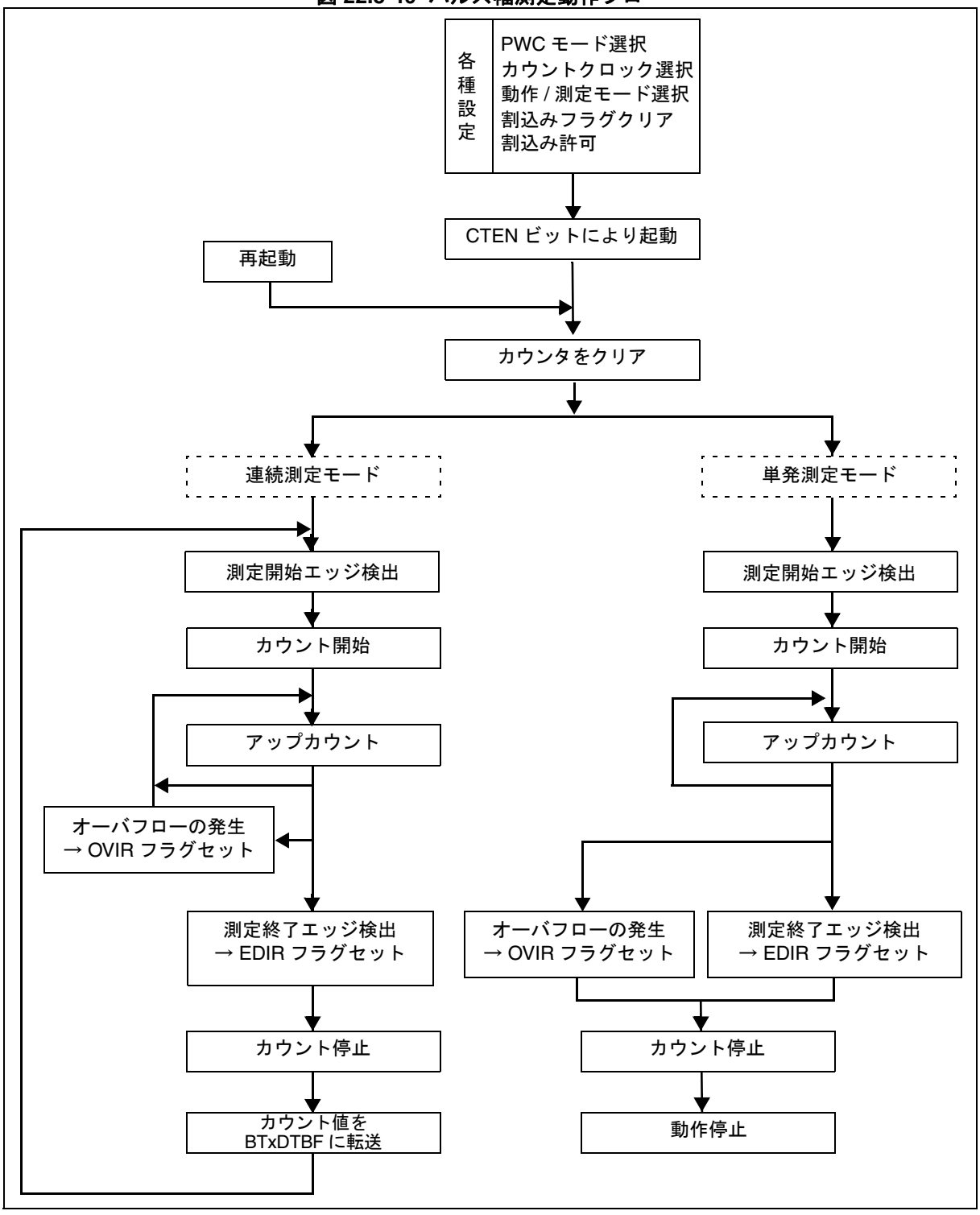
- 測定終了による割込み要求

  測定終了エッジを検出すると , BTxSTC 中の測定終了フラグ (EDIR) がセットされ , 測定終了割込み要求が許可されていると割込み要求が発生します。

  測定終了フラグ (EDIR) は , 測定結果 BTxDTBF を読み出すと自動的にクリアされます。

■ パルス幅測定動作フロー

図 22.8-40 パルス幅測定動作フロー



第 23 章 10 ビット A/D コンバータ

10 ビット A/D コンバータの機能と動作について説明します。

23.1 概要
23.2 構成
23.3 端子
23.4 レジスタ
23.5 割込み
23.6 動作説明と設定手順例

23.1 概要

10 ビット A/D コンバータは , アナログ信号を 10 ビットのデジタル信号に変換する装置です。本製品は 10 ビット A/D コンバータを内蔵しており , 8 チャネルのアナログ入力を割り振って変換できます。

■ 概要

- 変換時間 : 1 チャネルあたり最小 1.2µs で変換できます (33MHz の周辺クロック (PCLK))
- 比較変換方式 : サンプル & ホールド回路付 RC 型逐次比較変換方式を採用しています。
- 変換モード : 次の 2 種類のモードを利用できます。
  - A/D スキャン変換

    8 チャネルから変換するチャネルを任意に選択し , 変換します。

    選択したチャネルを 1 回だけ変換するシングル変換モードと , 選択したチャネルを繰り返して変換するリピート変換モードを利用できます。
  - A/D 優先変換

    優先度の高い A/D 変換の起動要因が発生すると , A/D スキャン変換を中断して優先的に変換します。優先度は 2 レベル用意されています。
- 起動要因 : A/D 変換のモードによって , 起動要因が異なります。
  - A/D スキャン変換

    ソフトウェアまたはベースタイマ ch.0 の TOUT 信号で立上りエッジを検出すると起動します。
  - A/D 優先変換 (優先度 1)

    外部トリガ入力端子から , 立下りエッジが入力されると起動します。
  - A/D 優先変換 (優先度 2)

    ソフトウェアまたはベースタイマ ch.2 の TOUT 信号で立上りエッジを検出すると起動します。
- FIFO機能 : A/Dスキャン変換用に16段, A/D優先変換用に4段のFIFOが用意されています。
- 変換結果比較機能 : A/D 変換の結果を比較できます。
- チャネル独立制御 : チャネルごとにサンプリング時間を 2 種類から設定できます。
- 変換結果 : A/D変換の結果を前詰め (MSB 側) に格納するか後ろ詰め (LSB 側) に格納するかを選択できます。

- 割込み要求：次の場合に割込み要求を発生できます。
  - A/D スキャン変換時にあらかじめ設定した段数の FIFO にデータが格納された
  - A/D 優先変換時にあらかじめ設定した段数の FIFO にデータが格納された
  - FIFO のオーバランが発生した
  - 比較機能利用時に , 変換結果が割込み要求を発生する条件を満たした
- DMA 転送の起動：割込み要求の発生を利用して変換結果を DMA 転送できます。

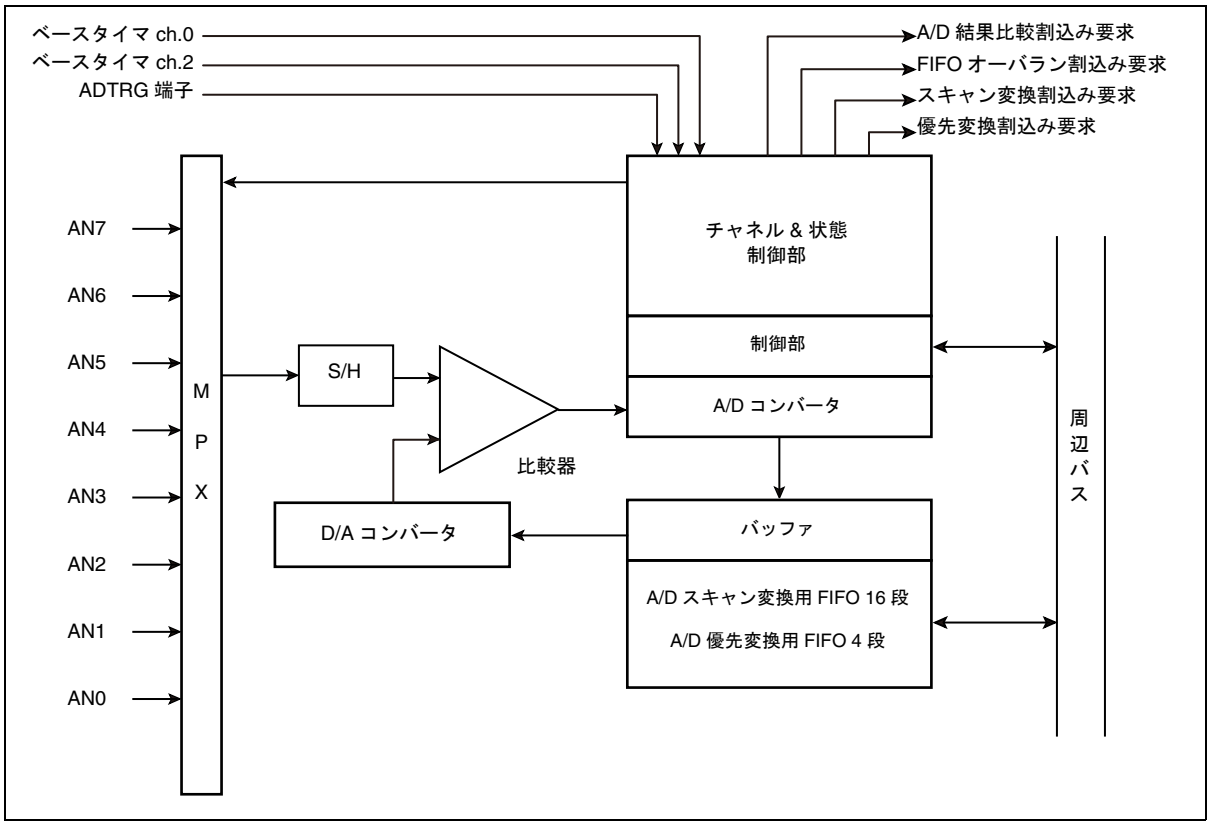
23.2　構成

10 ビット A/D コンバータの構成を示します。

■ 10 ビット A/D コンバータのブロックダイヤグラム

10 ビット A/D コンバータのブロックダイヤグラムを図 23.2-1 に示します。

図 23.2-1　10 ビット A/D コンバータのブロックダイヤグラム



- A/D スキャン変換用 FIFO

  A/D スキャン変換用の FIFO です。16 段用意されています。
- A/D 優先変換用 FIFO

  A/D 優先変換用の FIFO です。4 段用意されています。
- 制御部

  変換動作を制御します。
- チャネル & 状態制御部

  10 ビット A/D コンバータのチャネルや状態を制御します。
- MPX (アナログマルチプレクサ)

  複数のアナログ入力信号から変換するアナログ信号を選択 (切替え) します。

■ クロック

10 ビット A/D コンバータで使用するクロックを表 23.2-1 に示します。

表 23.2-1 10 ビット A/D コンバータで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

23.3　端子

10 ビット A/D コンバータで使用する端子について説明します。

■ 概要

10 ビット A/D コンバータには次の端子があります。

- AV_{CC} 端子

  10 ビット A/D コンバータのアナログ電源入力端子です。

- AVRH 端子

  10 ビット A/D コンバータの基準電圧入力端子です。

- AV_{SS} 端子

  10 ビット A/D コンバータの GND 端子です。

- AN0 ～ AN7 端子

  10 ビット A/D コンバータのアナログ入力端子です。

  この端子は兼用端子です。10 ビット A/D コンバータの AN0 ～ AN7 端子として使用するには「13.4.6 A/D チャネルイネーブルレジスタ (ADCHE)」を参照してください。

- ADTRG 端子

  10 ビット A/D コンバータの外部トリガ入力端子です。

  この端子は兼用端子です。10 ビット A/D コンバータの ADTRG 端子として使用するには「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 23.3-1 に示します。

表 23.3-1 チャネルと端子の対応

チャネル	アナログ電源入力端子	基準電圧入力端子	GND 端子	アナログ入力端子	外部トリガ入力端子
0	AV_{CC}	AVRH	AV_{SS}	AN0	ADTRG
1				AN1	
2				AN2	
3				AN3	
4				AN4	
5				AN5	
6				AN6	
7				AN7	

23.4　レジスタ

10 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

■ 10 ビット A/D コンバータのレジスター覧

10 ビット A/D コンバータのレジスター覧を表 23.4-1 に示します。

表 23.4-1 10 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADCHE	A/D チャネルイネーブルレジスタ	13.4.6
ADCR0	A/DC コントロールレジスタ 0	23.4.1
ADSR0	A/DC ステータスレジスタ 0	23.4.2
SCCR0	スキャン変換コントロールレジスタ 0	23.4.3
SFNS0	スキャン変換 FIFO 段数設定レジスタ 0	23.4.4
SCIS00	スキャン変換入力選択レジスタ 00	23.4.6
SCFD0	スキャン変換 FIFO データレジスタ 0	23.4.5
PCCR0	優先変換コントロールレジスタ 0	23.4.7
PFNS0	優先変換 FIFO 段数設定レジスタ 0	23.4.8
PCIS0	優先変換入力選択レジスタ 0	23.4.10
PCFD0	優先変換 FIFO データレジスタ 0	23.4.9
CMPD0	A/D 比較値設定レジスタ 0	23.4.11
CMPCR0	A/D 比較コントロールレジスタ 0	23.4.12
ADSS00	サンプリング時間選択レジスタ 00	23.4.14
ADST00	サンプリング時間設定レジスタ 00	23.4.13
ADST10	サンプリング時間設定レジスタ 10	23.4.13
ADCT0	コンペア時間設定レジスタ 0	23.4.15

23.4.1　A/DC コントロールレジスタ (ADCR0)

割込み要求を制御するレジスタです。

A/DC コントロールレジスタ (ADCR0) のビット構成を図 23.4-1 に示します。

図 23.4-1 A/DC コントロールレジスタ (ADCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	SCIF	PCIF	CMPIF	未定義	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

[bit7]：SCIF (スキャン変換割込み要求フラグビット)

A/D スキャン変換の変換結果が , スキャン変換 FIFO 段数設定レジスタ (SFNS0) の SFS3 ～ SFS0 ビットで設定した FIFO の段数まで格納されたことを示します。

このビットが "1" のときに SCIE ビットが "1" に設定されているとスキャン変換割込み要求が発生します。

SCIF	読出し時	書込み時
0	変換結果は指定段数まで格納されていません。	このビットを "0" にクリアします。
1	変換結果が指定段数まで格納されました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit6]：PCIF (優先変換割込み要求フラグビット)

A/D 優先変換の変換結果が , 優先変換 FIFO 段数設定レジスタ (PFNS0) の PFS1, PFS0 ビットで設定した FIFO の段数まで格納されたことを示します。

このビットが "1" のときに PCIE ビットが "1" に設定されていると優先変換割込み要求が発生します。

PCIF	読出し時	書込み時
0	変換結果は指定段数まで格納されていません。	このビットを "0" にクリアします。
1	変換結果が指定段数まで格納されました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5]：CMPIF (変換結果比較割込み要求フラグビット)

A/D 変換の変換結果比較機能利用時は , 変換結果が A/D 比較値設定レジスタ (CMPD0) と比較されます。

比較結果が , A/D 比較値設定レジスタ (CMPD0) および A/D 比較コントロールレジスタ (CMPCR0) に設定した条件を満たしたことを示します。

このビットが "1" のときに CMPIE ビットが "1" に設定されていると変換結果比較割込み要求が発生します。

CMPIF	読出し時	書込み時
0	条件を満たしていません。	このビットを "0" にクリアします。
1	条件を満たしました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit4]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit3]：SCIE (スキャン変換割込み許可ビット)

A/D スキャン変換の変換結果が , スキャン変換 FIFO 段数設定レジスタ (SFNS0) の SFS3 ～ SFS0 ビットで設定した FIFO の段数まで格納されたとき (SCIF ビット =1) に , スキャン変換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	スキャン変換割込み要求の発生を禁止します。
1	スキャン変換割込み要求の発生を許可します。

[bit2]：PCIE (優先変換割込み許可ビット)

A/D 優先変換の変換結果が , 優先変換 FIFO 段数設定レジスタ (PFNS0) の PFS1, PFS0 ビットで設定した FIFO の段数まで格納されたとき (PCIF ビット =1) に , 優先変換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	優先変換割込み要求の発生を禁止します。
1	優先変換割込み要求の発生を許可します。

[bit1]：CMPIE (変換結果比較割込み許可ビット)

A/D 変換の変換結果比較機能利用時は , 変換結果が A/D 比較値設定レジスタ (CMPD0) と比較されます。

比較結果が A/D 比較コントロールレジスタ (CMPCR0) に設定した条件を満たしたとき (CMPIF ビット =1) に , 変換結果比較割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	変換結果比較割込み要求の発生を禁止します。
1	変換結果比較割込み要求の発生を許可します。

[bit0]：OVRIE (FIFO オーバラン割込み許可ビット)

スキャン変換コントロールレジスタ (SCCR0) の SOVR ビットまたは優先変換コントロールレジスタ (PCCR0) の POVR ビットが "1" に変わったときに , FIFO オーバラン割込み要求を発生させるかどうかを設定します。

FIFO が満杯 (フル) 時に FIFO への書込みが行われようとすると , スキャン変換コントロールレジスタ (SCCR0) の SOVR ビットまたは優先変換コントロールレジスタ (PCCR0) の POVR ビットが "1" に変わります。

書込み値	説明
0	FIFO オーバラン割込み要求の発生を禁止します。
1	FIFO オーバラン割込み要求の発生を許可します。

23.4.2　A/DC ステータスレジスタ (ADSR0)

A/D 変換の状態を示すレジスタです。

A/DC ステータスレジスタ (ADSR0) のビット構成を図 23.4-2 に示します。

図 23.4-2 A/DC ステータスレジスタ (ADSR0) のビット構成

bit	7	6	5	4	3	2	1	0
	ADSTP	FDAS	未定義	未定義	未定義	PCNS	PCS	SCS
属性	R/W	R/W	―	―	―	R	R	R
初期値	0	0	X	X	X	0	0	0

R/W：リード / ライト可能
R：リードオンリ
ー：未定義
X：不定

[bit7]：ADSTP (A/D 変換強制停止ビット)

A/D 変換を強制停止します。

ADSTP	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D 変換を強制停止します。	

< 注意事項 >

- このビットに "1" を書き込むと , A/D 変換が A/D スキャン変換の場合も , A/D 優先変換の場合も変換動作は停止します。
- このビットに "1" を書き込んで A/D 変換を強制停止すると , PCNS ビット , PCS ビット , SCS ビットが "0" にクリアされます。ただし , 他のレジスタには影響しません。

[bit6] : FDAS (FIFO データ配置選択ビット)

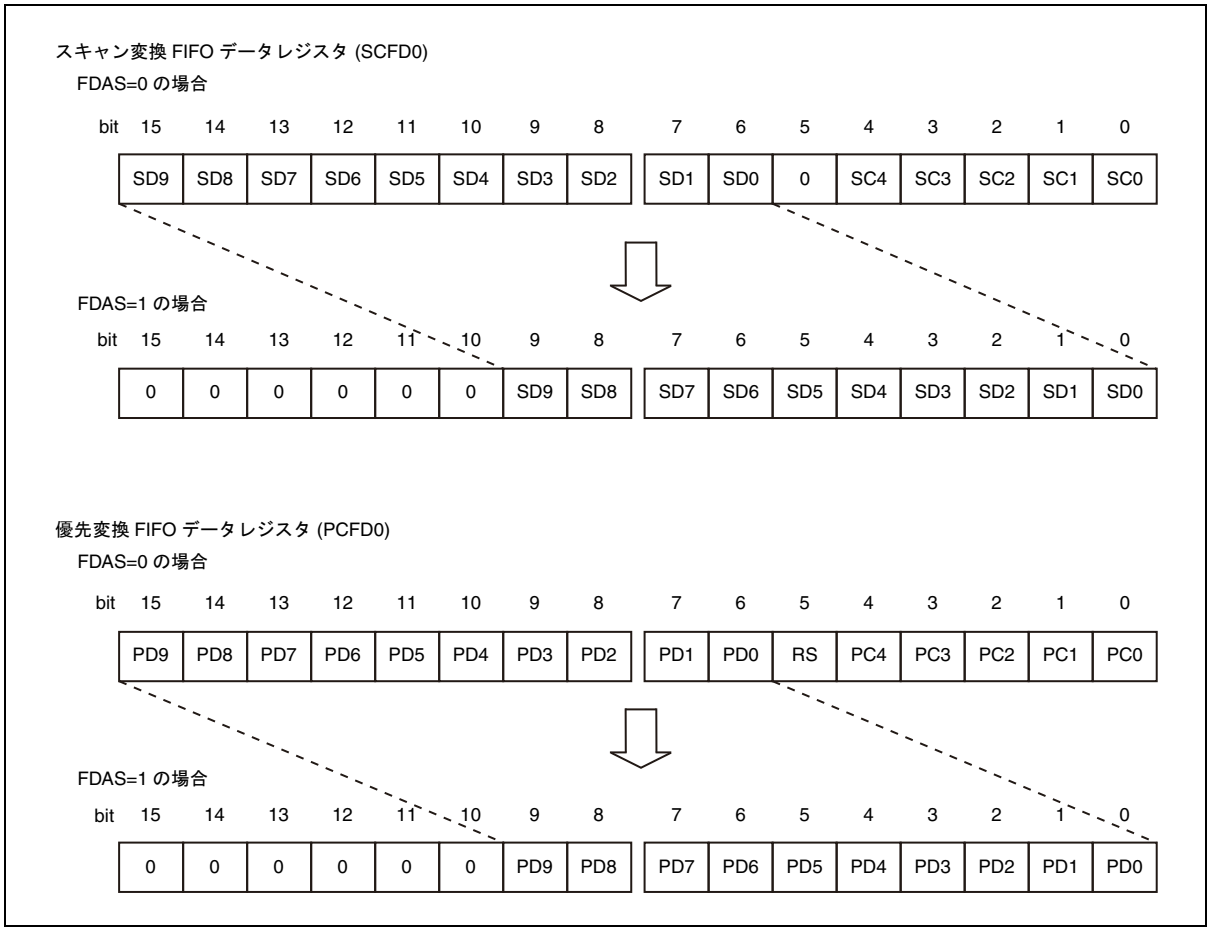
スキャン変換 FIFO データレジスタ (SCFD0) および優先変換 FIFO データレジスタ (PCFD0) のビット配置を設定します。

- 前詰めに配置 : 変換結果を前詰めに配置します (チャネル情報あり , 優先 A/D 起動要因情報あり (優先変換のみ)) 。
- 後ろ詰めに配置 : 変換結果を LSB 側に 6 ビットシフトし , 後ろ詰めに配置します (チャネル情報なし , 優先 A/D 起動要因情報なし (優先変換のみ)) 。変換結果は bit9 ～ bit0 に配置されます。

書込み値	説明
0	変換結果を前詰めに配置します。
1	変換結果を後ろ詰めに配置します

このビットとスキャン変換 FIFO データレジスタ (SCFD0) および優先変換 FIFO データレジスタ (PCFD0) の関係を図 23.4-3 に示します。

図 23.4-3 スキャン変換 FIFO データレジスタ (SCFD0) / 優先変換 FIFO データレジスタ (PCFD0) との関係



< 注意事項 >

- このビットに "1" を書き込んで後ろ詰め配置を選択すると , 変換結果が LSB 側へ 6 ビットシフトするため , 変換したチャネルの情報 (図 23.4-3 の SC4 ビット～ SC0 ビット / PC4 ～ PC0 ビット) が失われます。1 チャネルのみの変換など , 変換結果にチャネル情報が必要ないときにのみ , 後ろ詰め配置を利用してください。
- A/D 優先変換時に , このビットに "1" を書き込んで後ろ詰め配置を選択すると , A/D 優先変換の起動要因情報 (図 23.4-3 の RS ビット) が失われます。優先度 1 または優先度 2 どちらか一方の A/D 優先変換を利用する場合にのみ , 後ろ詰め配置を利用してください。

[bit5 ～ bit3] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit2] : PCNS (優先変換保留フラグビット)

優先度 2 の A/D 優先変換が保留中であることを示します。

優先度 1 の A/D 優先変換中に優先度 2 の A/D 優先変換を起動した場合や , 優先度 2 の A/D優先変換中に優先度1のA/D優先変換を起動すると , このビットが"1"に変わります。

読出し値	説明
0	優先度 2 の A/D 優先変換は保留されていません。
1	優先度 2 の A/D 優先変換が保留されています。

[bit1] : PCS (優先変換ステータスフラグビット)

優先度 1 または優先度 2 の A/D 優先変換中であることを示します。

読出し値	説明
0	A/D 優先変換は停止しています。
1	A/D 優先変換中です。

[bit0] : SCS (スキャン変換ステータスフラグビット)

A/D スキャン変換中であることを示します。

読出し値	説明
0	A/D スキャン変換は停止しています。
1	A/D スキャン変換中です。

23.4.3　スキャン変換コントロールレジスタ (SCCR0)

A/D スキャン変換の動作を制御するレジスタです。

スキャン変換コントロールレジスタ (SCCR0) のビット構成を図 23.4-4 に示します。

図 23.4-4 スキャン変換コントロールレジスタ (SCCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	SEMP	SFUL	SOVR	SFCLR	未定義	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	—	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

R/W：リード / ライト可能
R：リードオンリ
ー：未定義
X：不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。
スキャン変換 FIFO データレジスタ (SCFD0) は , SEMP ビットが "0" のときに読み出す必要があります。

[bit7]：SEMP (スキャン変換用 FIFO エンプティフラグビット)

A/D スキャン変換用の FIFO が空 (エンプティ) になったことを示します。

読出し値	説明
0	A/D スキャン変換用 FIFO にデータがあります。
1	A/D スキャン変換用 FIFO が空 (エンプティ) です。

スキャン変換 FIFO データレジスタ (SCFD0) にデータが格納されると , このビットは "0" にクリアされます。

[bit6]：SFUL (スキャン変換用 FIFO フルビット)

A/D スキャン変換用の FIFO が満杯 (フル) になったことを示します。

読出し値	説明
0	A/D スキャン変換用 FIFO に空きがあります。
1	A/D スキャン変換用 FIFO が満杯 (フル) です。

SFCLR ビットに "1" を書き込むか , スキャン変換 FIFO データレジスタ (SCFD0) を読み出すと , このビットは "0" にクリアされます。

[bit5]：SOVR (スキャン変換オーバランフラグビット)

A/D スキャン変換用の FIFO が満杯 (フル) 時に書込みが行われようとした (オーバランが発生した) ことを示します。

このビットが "1" のときに A/DC コントロールレジスタ (ADCR0) の OVRIE ビットが "1" に設定されていると , FIFO オーバラン割込み要求が発生します。

SOVR	読出し時	書込み時
0	オーバランは発生していません。	このビットを "0" にクリアします。
1	オーバランが発生しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- FIFO 満杯 (フル) 時に , FIFO に対して書込みが行われても FIFO 内の変換データは上書きされません。

[bit4]：SFCLR (スキャン変換用 FIFO クリアビット)

A/D スキャン変換用の FIFO をクリアします。

SFCLR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D スキャン変換用 FIFO をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと , A/D スキャン変換用の FIFO は空 (エンプティ) になります。そのため , SEMP ビットが "1" に変わります。

[bit3]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit2] : RPT (スキャン変換リピートビット)

A/D スキャン変換のモードを設定します。

- シングル変換モード : スキャン変換入力選択レジスタ (SCIS00) に設定したチャネルを 1 回だけ変換するモードです。
- リピート変換モード : スキャン変換入力選択レジスタ (SCIS00) に設定したチャネルを繰り返し変換するモードです。

書込み値	説明
0	シングル変換モード
1	リピート変換モード

< 注意事項 >

- リピート変換モードで変換中にこのビットに "0" を書き込むと , スキャン変換入力選択レジスタ (SCIS00) に設定したチャネルを変換後 , 変換動作が停止します。
- リピート変換モードを設定する場合は , A/DC ステータスレジスタ (ADSR0) の SCS ビットで A/D スキャン変換が停止 (SCS=0) していることを確認してから , このビットに "1" を書き込んでください。

  ただし , リピート変換モードの設定と同時に SSTR ビットで A/D スキャン変換を開始 (SSTR=1) する場合は , このビットと同時に SSTR ビットも書き込めます。

[bit1] : SHEN (スキャン変換タイマ起動許可ビット)

ベースタイマの ch.0 の TOUT 信号で立上りエッジを検出したときに A/D スキャン変換を起動するかどうかを設定します。

書込み値	説明
0	ベースタイマ (ch.0) での A/D スキャン変換の起動を禁止します。
1	ベースタイマ (ch.0) での A/D スキャン変換の起動を許可します。

< 注意事項 >

- SSTR ビットに "1" を書き込んだ場合は , このビットの設定にかかわらず A/D スキャン変換が起動します。
- このビットに "1" を書き込んだ場合でも , ベースタイマ (ch.0) での起動のタイミングと同時に SSTR ビットに "1" が書き込まれると , ソフトウェア起動が優先されベースタイマでの起動は無視されます。
- TOUT 信号については , 「第 22 章　ベースタイマ」を参照してください。

[bit0] : SSTR (スキャン変換スタートビット)

A/D スキャン変換をソフトウェアで起動します。

変換中に "1" を書き込むと , 変換動作を停止し , 再度変換を開始します。

SSTR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D スキャン変換を起動 / 再起動します。	

23.4.4　スキャン変換 FIFO 段数設定レジスタ (SFNS0)

A/D スキャン変換時に , A/D スキャン変換用 FIFO のどの段数まで変換結果が格納されたら , スキャン変換割込み要求を発生させるかを設定するレジスタです。

スキャン変換 FIFO 段数設定レジスタ (SFNS0) のビット構成を図 23.4-5 に示します。

図 23.4-5 スキャン変換 FIFO 段数設定レジスタ (SFNS0) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	SFS3	SFS2	SFS1	SFS0
属性	ー	ー	ー	ー	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。

[bit7 ～ bit4]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit3 ～ bit0] : SFS3 ～ SFS0 (スキャン変換 FIFO 段数設定ビット)

A/D スキャン変換時に , A/D スキャン変換用 FIFO のどの段数まで変換結果が格納されたら , スキャン変換割込み要求を発生させるかを設定します。

このビットで設定した段数まで FIFO にデータが格納されると , A/DC コントロールレジスタ (ADCR0) の SCIF ビットが "1" に変わります。

SFS3	SFS2	SFS1	SFS0	説明
0	0	0	0	1 段目
0	0	0	1	2 段目
0	0	1	0	3 段目
0	0	1	1	4 段目
0	1	0	0	5 段目
0	1	0	1	6 段目
0	1	1	0	7 段目
0	1	1	1	8 段目
1	0	0	0	9 段目
1	0	0	1	10 段目
1	0	1	0	11 段目
1	0	1	1	12 段目
1	1	0	0	13 段目
1	1	0	1	14 段目
1	1	1	0	15 段目
1	1	1	1	16 段目

23.4.5　スキャン変換 FIFO データレジスタ (SCFD0)

A/D スキャン変換の変換結果を格納するレジスタです。16 段の FIFO で構成されています。
このレジスタから FIFO のデータを順番に読み出せます。
このレジスタは A/DC ステータスレジスタ (ADSR0) の FDAS ビットの設定によって , ビット構成が異なります。

< 注意事項 >

- このレジスタは, 必ずスキャン変換コントロールレジスタ (SCCR0) のSEMPビットで A/D スキャン変換用 FIFO にデータがあることを確認してから (SEMP=0) 読み出してください。
  A/D スキャン変換用 FIFO が空 (エンプティ) (SEMP=1) のときに , このレジスタを読み出すと , 読み出したデータが有効なのか無効なのかを判断できません。詳しくは , 「23.6.3 FIFO の動作」の「■ A/D スキャン変換時の動作」を参照してください。
- このレジスタはワードでアクセスしないでください。
- このレジスタにバイトアクセスする場合は , 下位バイト (bit7 ～ bit0) →上位バイト (bit15 ～ bit8) の順番にアクセスしてください。上位バイトを読み出すと , FIFO のデータがシフトします。

■ 前詰め配置の場合 (FDAS=0)

A/DC ステータスレジスタ (ADSR0) の FDAS ビットで前詰め配置 (FDAS=0) に設定している場合のスキャン変換 FIFO データレジスタ (SCFD0) のビット構成を図 23.4-6 に示します。

図 23.4-6 スキャン変換 FIFO データレジスタ (SCFD0) のビット構成

	bit	15	14	13	12	11	10	9	8
		SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

	bit	7	6	5	4	3	2	1	0
		SD1	SD0	未定義	SC4	SC3	SC2	SC1	SC0
属性		R	R	―	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

R：リードオンリ
―：未定義
X：不定

[bit15 ～ bit6] : SD9 ～ SD0 (A/D スキャン変換結果ビット)

A/D スキャン変換の変換結果を格納します。

[bit5] : 未定義ビット

"0" が読み出されます。

[bit4 ～ bit0] : SC4 ～ SC0 (変換チャネルビット)

SD9 ～ SD0 ビットのデータが , どのチャネルのアナログ入力を変換したものなのかを示します。

SC4	SC3	SC2	SC1	SC0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	設定禁止
0	1	0	0	1	
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	
1	0	0	0	0	
1	0	0	0	1	
1	0	0	1	0	
1	0	0	1	1	
1	0	1	0	0	
1	0	1	0	1	
1	0	1	1	0	
1	0	1	1	1	
1	1	0	0	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	0	1	1	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	

■ 後ろ詰め配置の場合 (FDAS=1)

A/DC ステータスレジスタ (ADSR0) の FDAS ビットで後ろ詰め配置 (FDAS=1) に設定している場合のスキャン変換 FIFO データレジスタ (SCFD0) のビット構成を図 23.4-7 に示します。

図 23.4-7 スキャン変換 FIFO データレジスタ (SCFD0) のビット構成

	bit	15	14	13	12	11	10	9	8
		未定義	未定義	未定義	未定義	未定義	未定義	SD9	SD8
属性		ー	ー	ー	ー	ー	ー	R	R
初期値		X	X	X	X	X	X	X	X

	bit	7	6	5	4	3	2	1	0
		SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

R：リードオンリ
ー：未定義
X：不定

[bit15 ～ bit10]：未定義ビット

"0" が読み出されます。

[bit9 ～ bit0]：SD9 ～ SD0 (A/D スキャン変換結果ビット)

A/D スキャン変換の変換結果を格納します。

< 注意事項 >

後ろ詰め配置では，変換したチャネルの情報は保存されていません。後ろ詰め配置は，1 チャネルのみの変換など，変換結果にチャネル情報が必要ないときに使用してください。

23.4.6　スキャン変換入力選択レジスタ (SCIS00)

A/D スキャン変換をするチャネルを選択するレジスタです。

スキャン変換入力選択レジスタ (SCIS00) のビット構成を図 23.4-8 に示します。

図 23.4-8 スキャン変換入力選択レジスタ (SCIS00) のビット構成

スキャン変換入力選択レジスタ 00 (SCIS00)

bit	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

SCIS00 : AN7 ～ AN0 (アナログ入力選択ビット)

"1" を書き込んだビットに対応するチャネルが変換されます。

AN7 ビットが ch.7 (AN7 端子), AN6 ビットが ch.6 (AN6 端子) •••AN1 ビットが ch.1 (AN1 端子), AN0 ビットが ch.0 (AN0 端子) に対応します。

このレジスタで複数のチャネルを選択した場合は , 番号の若いチャネルから順番に変換されます。例えば , AN0 ビット , AN4 ビット , AN5 ビット , AN7 ビットに "1" を書き込むと次の順番で変換されます。

ch.0 → ch.4 → ch.5 → ch.7

< 注意事項 >

このレジスタは A/D 変換が停止中に書き込んでください。

23.4.7　優先変換コントロールレジスタ (PCCR0)

A/D 優先変換の動作を制御するレジスタです。また , 優先度のレベルを 2 レベルから設定できます。

優先変換コントロールレジスタ (PCCR0) のビット構成を図 23.4-9 に示します。

図 23.4-9 優先変換コントロールレジスタ (PCCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	PEMP	PFUL	POVR	PFCLR	予約	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

R/W : リード / ライト可能
R : リードオンリ

< 注意事項 >

このレジスタはワードでアクセスしないでください。
優先変換 FIFO データレジスタ (PCFD0) は , SEMP ビットが "0" のときに読み出す必要があります。

[bit7] : PEMP (優先変換用 FIFO エンプティフラグビット)

A/D 優先変換用の FIFO が空 (エンプティ) になったことを示します。

読出し値	説明
0	A/D 優先変換用 FIFO にデータがあります。
1	A/D 優先変換用 FIFO が空 (エンプティ) です。

優先変換 FIFO データレジスタ (PCFD0) にデータが格納されると , このビットは "0" にクリアされます。

[bit6] : PFUL (優先変換用 FIFO フルビット)

A/D 優先変換用の FIFO が満杯 (フル) になったことを示します。

読出し値	説明
0	A/D 優先変換用 FIFO に空きがあります。
1	A/D 優先変換用 FIFO が満杯 (フル) です。

PFCLR ビットに "1" を書き込むか優先変換 FIFO データレジスタ (PCFD0) を読み出すと , このビットは "0" にクリアされます。

[bit5]：POVR (優先変換オーバランフラグビット)

A/D 優先変換用の FIFO が満杯 (フル) 時に書込みが行われようとした (オーバランが発生した) ことを示します。

このビットが "1" のときに A/DC コントロールレジスタ (ADCR0) の OVRIE ビットが "1" に設定されていると , FIFO オーバラン割込み要求が発生します。

POVR	読出し時	書込み時
0	オーバランは発生していません。	このビットを "0" にクリアします。
1	オーバランが発生しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- FIFO 満杯 (フル) 時に , FIFO に対して書込みが行われても FIFO 内の変換データは上書きされません。

[bit4]：PFCLR (優先変換用 FIFO クリアビット)

A/D 優先変換用の FIFO をクリアします。

PFCLR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D 優先変換用 FIFO をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと , A/D 優先変換用の FIFO は空 (エンプティ) になります。そのため , PEMP ビットが "1" に変わります。

[bit3]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	値は不定です。

[bit2]：PEEN (優先変換外部起動許可ビット)

ADTRG 端子から立下りエッジが検出されたときに , 優先度 1 の A/D 優先変換を起動するかどうかを設定します。優先度 1> 優先度 2 となり , 優先度 1 が最優先になります。

書込み値	説明
0	優先度 1 の A/D 優先変換の起動を禁止します。
1	優先度 1 の A/D 優先変換の起動を許可します。

[bit1]：PHEN (優先変換タイマ起動許可ビット)

ベースタイマの ch.2 の TOUT 信号で立上りエッジを検出したときに , 優先度 2 の A/D 優先変換を起動するかどうかを設定します。優先度 2< 優先度 1 になります。

書込み値	説明
0	優先度 2 の A/D 優先変換の起動を禁止します。
1	優先度 2 の A/D 優先変換の起動を許可します。

< 注意事項 >

- PSTR ビットに "1" を書き込んだ場合は , このビットの設定にかかわらず優先度 2 の A/D 優先変換が起動します。
- TOUT 信号については ,「第 22 章　ベースタイマ」を参照してください。

[bit0]：PSTR (優先変換スタートビット)

優先度 2 の A/D 優先変換をソフトウェアで起動します。優先度 2< 優先度 1 になります。

PSTR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	優先度 2 の A/D 優先変換を起動します。	

< 注意事項 >

A/D 変換中にこのビットに "1" を書き込んでも A/D 変換は再起動できません。

23.4.8　優先変換 FIFO 段数設定レジスタ (PFNS0)

A/D 優先変換時に , A/D 優先変換用 FIFO のどの段数まで変換結果が格納されたら , 優先変換割込み要求を発生させるかを設定するレジスタです。

優先変換 FIFO 段数設定レジスタ (PFNS0) のビット構成を図 23.4-10 に示します。

図 23.4-10 優先変換 FIFO 段数設定レジスタ (PFNS0) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	PFS1	PFS0
属性	ー	ー	ー	ー	ー	ー	R/W	R/W
初期値	X	X	X	X	X	X	0	0

R/W：リード / ライト可能
ー：未定義
X：不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。
優先変換 FIFO データレジスタ (PCFD0) は , PEMP ビットが "0" のときに読み出す必要があります。

[bit7 ～ bit2]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0]：PFS1, PFS0 (優先変換 FIFO 段数設定ビット)

A/D 優先変換時に , A/D 優先用 FIFO のどの段数まで変換結果が格納されたら , 優先変換割込み要求を発生させるかを設定します。

このビットに設定した段数に変換結果が格納されると , A/DC コントロールレジスタ (ADCR0) の PCIF ビットが "1" に変わります。

PFS1	PFS0	説明
0	0	1 段目
0	1	2 段目
1	0	3 段目
1	1	4 段目

23.4.9　優先変換 FIFO データレジスタ (PCFD0)

A/D 優先変換の変換結果を格納するレジスタです。4 段の FIFO で構成されています。このレジスタから FIFO のデータを順番に読み出せます。
このレジスタは A/DC ステータスレジスタ (ADSR0) の FDAS ビットの設定によって , ビット構成が異なります。

< 注意事項 >

- このレジスタは , 必ず優先変換コントロールレジスタ (PCCR0) の PEMP ビットで A/D 優先変換用 FIFO にデータがあることを確認してから (PEMP=0) 読み出してください。
  A/D 優先変換用 FIFO が空 (エンプティ) (PEMP=1) のときに , このレジスタを読み出すと , 読み出したデータが有効なのか無効なのかを判断できません。詳しくは ,「23.6.3 FIFO の動作」の「■ A/D 優先変換時の動作」を参照してください。
- このレジスタにはワードでアクセスしないでください。
- このレジスタにバイトアクセスする場合は , 下位バイト (bit7 ～ bit0) →上位バイト (bit15 ～ bit8) の順番にアクセスしてください。上位バイトを読み出すと , FIFO のデータがシフトします。

■ 前詰め配置の場合 (FDAS=0)

A/DC ステータスレジスタ (ADSR0) の FDAS ビットで前詰め配置 (FDAS=0) に設定している場合の優先変換 FIFO データレジスタ (PCFD0) のビット構成を図 23.4-11 に示します。

図 23.4-11 優先変換 FIFO データレジスタ (PCFD0) のビット構成

	bit	15	14	13	12	11	10	9	8
		PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

	bit	7	6	5	4	3	2	1	0
		PD1	PD0	RS	PC4	PC3	PC2	PC1	PC0
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

R：リードオンリ
X：不定

[bit15 ～ bit6]：PD9 ～ PD0 (A/D 優先変換結果ビット)

A/D 優先変換の変換結果を格納します。

[bit5] : RS (優先 A/D 起動要因ビット)

PD9 ～ PD0 ビットのデータが , 優先度 2 で変換されたデータなのか優先度 1 で変換されたデータなのか (A/D 優先変換の起動要因) を示します。

読出し値	説明
0	優先度 2 (ソフトウェア / ベースタイマでの起動)
1	優先度 1 (外部トリガでの起動)

< 注意事項 >

優先度 2 の A/D 優先変換の起動要因がソフトウェアなのかベースタイマなのかを区別することはできません。

[bit4 ～ bit0] : PC4 ～ PC0 (変換チャネルビット)

PD9 ～ PD0 ビットのデータが , どのチャネルのアナログ入力を変換したものなのかを示します。

PC4	PC3	PC2	PC1	PC0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	設定禁止
0	1	0	0	1	
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	
1	0	0	0	0	
1	0	0	0	1	
1	0	0	1	0	
1	0	0	1	1	
1	0	1	0	0	
1	0	1	0	1	
1	0	1	1	0	
1	0	1	1	1	
1	1	0	0	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	0	1	1	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	

■ 後ろ詰め配置の場合 (FDAS=1)

A/DC ステータスレジスタ (ADSR0) の FDAS ビットで後ろ詰め配置 (FDAS=1) に設定している場合の優先変換 FIFO データレジスタ (PCFD0) のビット構成を図 23.4-12 に示します。

図 23.4-12 優先変換 FIFO データレジスタ (PCFD0) のビット構成

	bit	15	14	13	12	11	10	9	8
		未定義	未定義	未定義	未定義	未定義	未定義	PD9	PD8
属性		—	—	—	—	—	—	R	R
初期値		X	X	X	X	X	X	X	X

	bit	7	6	5	4	3	2	1	0
		PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

R：リードオンリ
ー：未定義
X：不定

[bit15 ～ bit10]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9 ～ bit0]：PD9 ～ PD0 (A/D 優先変換結果ビット)

A/D 優先変換の変換結果を格納します。

< 注意事項 >

後ろ詰め配置では , A/D 優先変換の起動要因 (優先度) と , 変換したチャネルの情報は保存されません。後ろ詰め配置は , 優先度 1 または優先度 2 どちらか一方の A/D 優先変換を利用し , 1 チャネルのみの変換など , 変換結果にチャネル情報が必要ない場合にのみ , 利用してください。

23.4.10　優先変換入力選択レジスタ (PCIS0)

A/D 優先変換をするチャネルを選択するレジスタです。
優先度 2 で変換を行うチャネルと優先度 1 で変換を行うチャネルを 8 チャネルの中から , それぞれ 1 チャネル選択します。

優先変換入力選択レジスタ (PCIS0) のビット構成を図 23.4-13 に示します。

図 23.4-13 優先変換入力選択レジスタ (PCIS0) のビット構成

bit	7	6	5	4	3	2	1	0
	P2A4	P2A3	P2A2	P2A1	P2A0	P1A2	P1A1	P1A0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7 ～ bit3] : P2A4 ～ P2A0 (優先度 2 アナログ入力選択ビット)

優先度 2 の A/D 優先変換を行うチャネルを選択します。優先度 2< 優先度 1 になります。

P2A4	P2A3	P2A2	P2A1	P2A0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	設定禁止
0	1	0	0	1	
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	
1	0	0	0	0	
1	0	0	0	1	
1	0	0	1	0	
1	0	0	1	1	
1	0	1	0	0	
1	0	1	0	1	

P2A4	P2A3	P2A2	P2A1	P2A0	説明
1	0	1	1	0	設定禁止
1	0	1	1	1	
1	1	0	0	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	0	1	1	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	

[bit2 ～ bit0]：P1A2 ～ P1A0 (優先度 1 アナログ入力選択ビット)

優先度 1 の A/D 優先変換を行うチャネルを選択します。優先度 2< 優先度 1 になります。

P1A2	P1A1	P1A0	説明
0	0	0	ch.0 (AN0 端子)
0	0	1	ch.1 (AN1 端子)
0	1	0	ch.2 (AN2 端子)
0	1	1	ch.3 (AN3 端子)
1	0	0	ch.4 (AN4 端子)
1	0	1	ch.5 (AN5 端子)
1	1	0	ch.6 (AN6 端子)
1	1	1	ch.7 (AN7 端子)

23.4.11　A/D 比較値設定レジスタ (CMPD0)

比較機能使用時に , A/D 変換の結果と比較する値を設定するレジスタです。変換結果の上位 8 ビットがこのレジスタに設定した値と比較されます。比較結果が A/D 比較コントロールレジスタ (CMPCR0) に設定された条件を満たしていると , A/DC コントロールレジスタ (ADCR0) の CMPIF ビットが "1" に変わります。

A/D 比較値設定レジスタ (CMPD0) のビット構成を図 23.4-14 に示します。

図 23.4-14 A/D 比較値設定レジスタ (CMPD0) のビット構成

bit	7	6	5	4	3	2	1	0
	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4	CMAD3	CMAD2
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタに設定した値と A/D 変換結果の上位 8 ビット (bit9 ～ bit2) が比較されます。A/D 変換結果の LSB 側 2 ビット (bit1, bit0) は比較されません。

23.4.12　A/D 比較コントロールレジスタ (CMPCR0)

比較機能を制御するレジスタです。比較機能使用時 , A/D 変換結果が A/D 比較値設定レジスタ (CMPD0) に設定した値と比較され, このレジスタに設定した条件を満たしていると, A/DC コントロールレジスタ (ADCR0) の CMPIF ビットが "1" に変わります。

A/D 比較コントロールレジスタ (CMPCR0) のビット構成を図 23.4-15 に示します。

図 23.4-15 A/D 比較コントロールレジスタ (CMPCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	CMPEN	CMD1	CMD0	CCH4	CCH3	CCH2	CCH1	CCH0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7] : CMPEN (比較機能動作許可ビット)

比較機能を使用するかどうかを設定します。

書込み値	説明
0	比較機能を利用しません。
1	比較機能を利用します。

[bit6] : CMD1 (比較モード 1 ビット)

変換割込み要求を発生させる条件を設定します。

書込み値	説明
0	A/D 変換結果が A/D 比較値設定レジスタ (CMPD0) に設定した値より小さい場合に変換結果割込み要求を発生させます。
1	A/D 変換結果が A/D 比較値設定レジスタ (CMPD0) に設定した値と同じか大きい場合に変換結果割込み要求を発生させます。

[bit5] : CMD0 (比較モード 0 ビット)

比較対象を次のいずれかから選択します。

- CCH4 ～ CCH0 ビットで設定したチャネルの変換結果と A/D 比較値設定レジスタ (CMPD0) に設定した値を比較
- すべてのチャネルの変換結果と A/D 比較値設定レジスタ (CMPD0) に設定した値を比較

書込み値	説明
0	CCH4 ～ CCH0 ビットで設定したチャネルの変換結果を比較します。
1	すべてのチャネルの変換結果を比較します。

< 注意事項 >

このビットに "1" を書き込むと , CCH4 ～ CCH0 ビットの設定は無効になります。

[bit4 ～ bit0] : CCH4 ～ CCH0 (比較対象アナログ入力チャネルビット)

CMD0 ビットが "0" のときに , A/D 比較値設定レジスタ (CMPD0) に設定した値と比較するチャネルを設定します。

CCH4	CCH3	CCH2	CCH1	CCH0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	設定禁止
0	1	0	0	1	
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	
1	0	0	0	0	
1	0	0	0	1	
1	0	0	1	0	
1	0	0	1	1	
1	0	1	0	0	
1	0	1	0	1	
1	0	1	1	0	
1	0	1	1	1	
1	1	0	0	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	0	1	1	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	

< 注意事項 >

CMD0ビットで, すべてのチャネルの変換結果を比較する (CMD0=1) 設定にしている場合は , このビットの設定は無視されます。

23.4.13　サンプリング時間設定レジスタ (ADST00, ADST10)

A/D 変換開始後 , 入力電圧がサンプル & ホールド回路でサンプリング (標本化) が開始され保持されるまでの時間 (サンプリング時間) を設定します。A/D 変換時間はサンプリング時間とコンペア時間で構成されています。
サンプリング時間を設定するため , このレジスタが 2 つ用意されています。それぞれのレジスタにサンプリング時間を設定し , サンプリング時間選択レジスタ (ADSS00) でどちらのレジスタに設定したサンプリング時間を使用するかをチャネルごとに選択できます。

サンプリング時間設定レジスタ (ADST00, ADST10) のビット構成を図 23.4-16に示します。

図 23.4-16 サンプリング時間設定レジスタ (ADST00, ADST10) のビット構成

サンプリング時間設定レジスタ 00 (ADST00)

bit	15	14	13	12	11	10	9	8
	STX01	STX00	ST05	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0

サンプリング時間設定レジスタ 10 (ADST10)

bit	7	6	5	4	3	2	1	0
	STX11	STX10	ST15	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

- このレジスタは A/D 変換が停止中に書き込んでください。
- サンプリング時間については , 「23.6 動作説明と設定手順例」の「■ A/D 変換時間」を参照してください。

● サンプリング時間設定レジスタ 00 (ADST00)

1 つ目のサンプリング時間を設定します。

[bit15, bit14] : STX01, STX00 (サンプリング時間 N 倍設定ビット)

ST05 ～ ST00 ビットで設定した値を N 倍します。

STX01	STX00	説明
0	0	設定値× 1 倍
0	1	設定値× 4 倍
1	0	設定値× 8 倍
1	1	設定値× 16 倍

[bit13 ～ bit8] : ST05 ～ ST00 (サンプリング時間設定ビット)

サンプリング時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でサンプリング時間が決定されます。

サンプリング時間 = 周辺クロック (PCLK) の周期× (ST+1) × STX

ST : ST05 ～ ST00 の設定値

STX : STX01, STX00 ビットでの設定倍数

例 : ST05 ～ ST00=9, STX01, STX00=01 (4 倍), 周辺クロック (PCLK) =20MHz (50ns)

サンプリング時間 =50ns × (9+1) × 4=2μs

< 注意事項 >

- STX01, STX00 ビットを "00" (設定値× 1 倍) に設定した場合は , このビットが "3" 以上になるように設定してください。
- サンプリング時間については , 「23.6 動作説明と設定手順例」の「■ A/D 変換時間」を参照してください。
- サンプリング時間設定レジスタ 00 (ADST00) は電気的特性のサンプリング時間を満たすように設定してください。電気的特性については , 『データシート』を参照してください。

● サンプリング時間設定レジスタ 10 (ADST10)

2 つ目のサンプリング時間を設定します。

[bit7, bit6]：STX11, STX10 (サンプリング時間 N 倍設定ビット)

ST15 ～ ST10 ビットで設定した値を N 倍します。

STX11	STX10	説明
0	0	設定値× 1 倍
0	1	設定値× 4 倍
1	0	設定値× 8 倍
1	1	設定値× 16 倍

[bit5 ～ bit0]：ST15 ～ ST10 (サンプリング時間設定ビット)

サンプリング時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でサンプリング時間が決定されます。

サンプリング時間 = 周辺クロック (PCLK) の周期× (ST+1) × STX

ST：ST15 ～ ST10 ビットの設定値
STX：STX11, STX10 ビットでの設定倍数

例：ST15 ～ ST10=9, STX11, STX10=01 (4 倍), 周辺クロック (PCLK) =20MHz (50ns)

サンプリング時間 =50ns × (9+1) × 4=2μs

< 注意事項 >

- STX11, STX10 ビットを "00" (設定値× 1 倍) に設定した場合は , このビットが "3" 以上になるように設定してください。
- サンプリング時間については ,「23.6 動作説明と設定手順例」の「■ A/D 変換時間」を参照してください。
- サンプリング時間設定レジスタ 10 (ADST10) は電気的特性のサンプリング時間を満たすように設定してください。電気的特性については ,『データシート』を参照してください。

23.4.14　サンプリング時間選択レジスタ (ADSS00)

A/D サンプリング時間を選択するレジスタです。
サンプリング時間設定レジスタ 00 (ADST00) に設定したサンプリング時間を使用するか , サンプリング時間設定レジスタ 10 (ADST10) に設定したサンプリング時間を使用するかをチャネルごとに選択できます。

サンプリング時間選択レジスタ (ADSS00) のビット構成を図 23.4-17 に示します。

図 23.4-17 サンプリング時間選択レジスタ (ADSS00) のビット構成

サンプリング時間選択レジスタ 00 (ADSS00)

bit	7	6	5	4	3	2	1	0
	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは A/D 変換が停止中に書き込んでください。

ADSS00：TS7 ～ TS0 (サンプリング時間選択ビット)

サンプリング時間設定レジスタ 00 (ADST00) に設定したサンプリング時間を使用するか , サンプリング時間設定レジスタ 10 (ADST10) に設定したサンプリング時間を使用するかをチャネルごとに設定します。

書込み値	説明
0	サンプリング時間設定レジスタ 00 (ADST00) に設定したサンプリング時間を使用します。
1	サンプリング時間設定レジスタ 10 (ADST10) に設定したサンプリング時間を使用します。

TS7 ビットが ch.7 (AN7 端子), TS6 ビットが ch.6 (AN6 端子) •••TS1 ビットが ch.1 (AN1 端子), TS0 ビットが ch.0 (AN0 端子) に対応します。

23.4.15　コンペア時間設定レジスタ (ADCT0)

A/D 変換時間のコンペア時間を設定するレジスタです。A/D 変換時間はサンプリング時間とコンペア時間で構成されています。

コンペア時間設定レジスタ (ADCT0) のビット構成を図 23.4-18 に示します。

図 23.4-18 コンペア時間設定レジスタ (ADCT0) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	CT2	CT1	CT0
属性	ー	ー	ー	ー	ー	R/W	R/W	R/W
初期値	X	X	X	X	X	1	1	1

R/W：リード / ライト可能
ー：未定義
X：不定

< 注意事項 >

このレジスタは A/D 変換が停止中に書き込んでください。

[bit7 ～ bit3]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit2 ～ bit0] : CT2 ～ CT0 (コンペア時間設定ビット)

コンペア時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でコンペア時間が決定されます。

コンペア時間 ={ (CT+1) × 10+4} ×周辺クロック (PCLK) の周期

CT : このビット設定値

例 : CT=1, 周辺クロック (PCLK) =20MHz (50ns)

コンペア時間 ={ (1+1) × 10+4} × 50ns=1.2μs

< 注意事項 >

コンペア時間については , 「23.6 動作説明と設定手順例」の「■ A/D 変換時間」を参照してください。

23.5　割込み

次の場合に割込み要求を発生できます。

- A/D スキャン変換時に設定した段数の FIFO にデータが格納された (スキャン変換割込み要求)
- A/D 優先変換時に設定した段数の FIFO にデータが格納された (優先変換割込み要求)
- FIFO が満杯 (フル) のときに , 次の変換結果を格納しようとした (FIFO オーバラン割込み要求)
- 比較機能利用時に , 変換結果が割込み要求を発生する条件を満たした (変換結果比較割込み要求)

■ A/D スキャン変換時の割込み要求

A/D スキャン変換時の割込み要求について表 23.5-1 に示します。

表 23.5-1　A/D スキャン変換時の割込み要求

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
スキャン変換割込み要求	ADCR の SCIF=1	ADCR の SCIE=1	ADCR の SCIF ビットに "0" を書き込む
FIFO オーバラン割込み要求	SCCR の SOVR=1	ADCR の OVRIE=1	SCCR の SOVR ビットに "0" を書き込む
変換結果比較割込み要求	ADCR の CMPIF=1	ADCR の CMPIE=1	ADCR の CMPIF ビットに "0" を書き込む

ADCR：A/DC コントロールレジスタ (ADCR0)
SCCR：スキャン変換コントロールレジスタ (SCCR0)

■ A/D 優先変換時の割込み要求

A/D 優先変換時の割込み要求について表 23.5-2 に示します。

表 23.5-2　A/D 優先変換時の割込み要求

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
優先変換割込み要求	ADCR の PCIF=1	ADCR の PCIE=1	ADCR の PCIF ビットに "0" を書き込む
FIFO オーバラン割込み要求	PCCR の POVR=1	ADCR の OVRIE=1	PCCR の POVR ビットに "0" を書き込む
変換結果比較割込み要求	ADCR の CMPIF=1	ADCR の CMPIE=1	ADCR の CMPIF ビットに "0" を書き込む

ADCR：A/DC コントロールレジスタ (ADCR0)
PCCR：優先変換コントロールレジスタ (PCCR0)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で , 割込み要求が発生します。

  割込み要求の発生を許可する場合は , 次のいずれかの処理を行ってください。

  - 割込み要求の発生を許可する前に割込み要求をクリアする。
  - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については , 「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは , 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については , 「第 10 章 割込みコントローラ」を参照してください。

■ 割込みによる DMA 転送の起動

次の割込み要求の発生により DMA 転送を起動できます。

- スキャン変換割込み要求
- 優先変換割込み要求

DMA 転送については「23.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

23.6　動作説明と設定手順例

10 ビット A/D コンバータの動作について説明します。また , 動作状態を設定するための手順例も示します。

■ 概要

10 ビット A/D コンバータは A/D チャネルイネーブルレジスタ (ADCHE) の各ビットに対応する端子からのアナログ信号入力を許可することで A/D 変換が可能になります。

A/D チャネルイネーブルレジスタ (ADCHE) については , 「第 13 章 I/O ポート」の「13.4.6 A/D チャネルイネーブルレジスタ (ADCHE)」を参照してください。

10 ビット A/D コンバータには , 次の 2 種類の変換動作があります。

- A/D スキャン変換

  変換するチャネルを任意に選択して変換します。

  選択したチャネルを 1 回だけ変換するシングル変換モードと , 選択したチャネルを繰り返して変換するリピート変換モードを利用できます。

- A/D 優先変換

  優先度の高い A/D 変換の起動要因が発生すると , A/D スキャン変換を中断して優先的に変換します。優先度 1 と優先度 2 の 2 レベルの優先度が用意されています。優先度 1> 優先度 2 になります。

A/D スキャン変換と A/D 優先変換の違いを表 23.6-1 に示します。

表 23.6-1 A/D スキャン変換と A/D 優先変換の違い

	A/D スキャン変換	A/D 優先変換	
		優先度 1	優先度 2
対応チャネル	8 チャネルすべての中から最大で8チャネルまで任意に選択	8 チャネルの中から 1 チャネル指定	8 チャネルの中から 1 チャネル指定
変換起動要因	ソフトウェア ベースタイマの ch.0 の TOUT信号で立上りエッジ検出	ADTRG 端子で立下りエッジを検出	ソフトウェア ベースタイマの ch.2 の TOUT 信号で立上りエッジ検出
再起動	可能	不可能	
FIFO	16 段	4 段	

■ 優先順位と状態遷移

A/D 変換の優先順位を表 23.6-2 に示します。

表 23.6-2 A/D 変換の優先順位

優先順位	A/D 変換の種類
1	優先度 1 の A/D 優先変換
2	優先度 2 の A/D 優先変換
3	A/D スキャン変換

A/D 動作中に優先順位の異なる A/D 変換が起動された場合の動作は次のとおりです。

- **A/D 変換中に優先順位の高い A/D 変換が起動した場合**

  実行中の A/D 変換動作を中断し , 優先順位の高い A/D 変換を行います。

  優先順位の高い変換動作が終わると , 中断していた A/D 変換を再開します。

  例 : A/D スキャン変換中に A/D 優先変換の起動要因が発生

  A/D スキャン変換を中断し , A/D 優先変換を開始します。A/D 優先変換が終了すると , A/D スキャン変換を中断したチャネルから変換が開始されます。

  例 : 優先度 2 の A/D 優先変換中に優先度 1 の A/D 優先変換の起動要因が発生

  優先度 2 の A/D 優先変換を中断し , 優先度 1 の A/D 優先変換を開始します。優先度 1 の A/D 優先変換が終了すると , 優先度 2 の A/D 優先変換が開始されます。

- **A/D 変換中に優先順位の低い A/D 変換が起動した場合**

  優先順位の低いA/D変換の起動要因を保持し, 実行中のA/D変換動作を継続します。

  実行中の A/D 変換が終了すると , 起動要因を保持していた A/D 変換が自動的に開始されます。

  例 : 優先度 1 の A/D 優先変換中に優先度 2 の A/D 優先変換の起動要因が発生

  優先度 2 の起動要因を保持し , 優先度 1 の A/D 優先変換を継続します。

  優先度 1 の A/D 優先変換が終了すると , 優先度 2 の A/D 優先変換が自動的に開始されます。

  例 : 優先度 1 の A/D 優先変換中に A/D スキャン変換の起動要因が発生

  A/D スキャン変換の起動要因を保持し , 優先度 1 の A/D 優先変換を継続します。

  優先度 1 の A/D 優先変換が終了すると , A/D スキャン優先変換が自動的に開始されます。

  例 : 優先度 2 の A/D 優先変換中に A/D スキャン変換の起動要因が発生

  A/D スキャン変換の起動要因を保持し , 優先度 2 の A/D 優先変換を継続します。

  優先度 2 の A/D 優先変換が終了すると , A/D スキャン優先変換が自動的に開始されます。

- **A/D 優先変換中に優先度が同じ A/D 変換が起動した場合**

  同一優先順位の起動要因は無視されます。(再起動はかかりません。)

10 ビット A/D コンバータの状態遷移を図 23.6-1 に示します。

図 23.6-1 10 ビット A/D コンバータの状態遷移

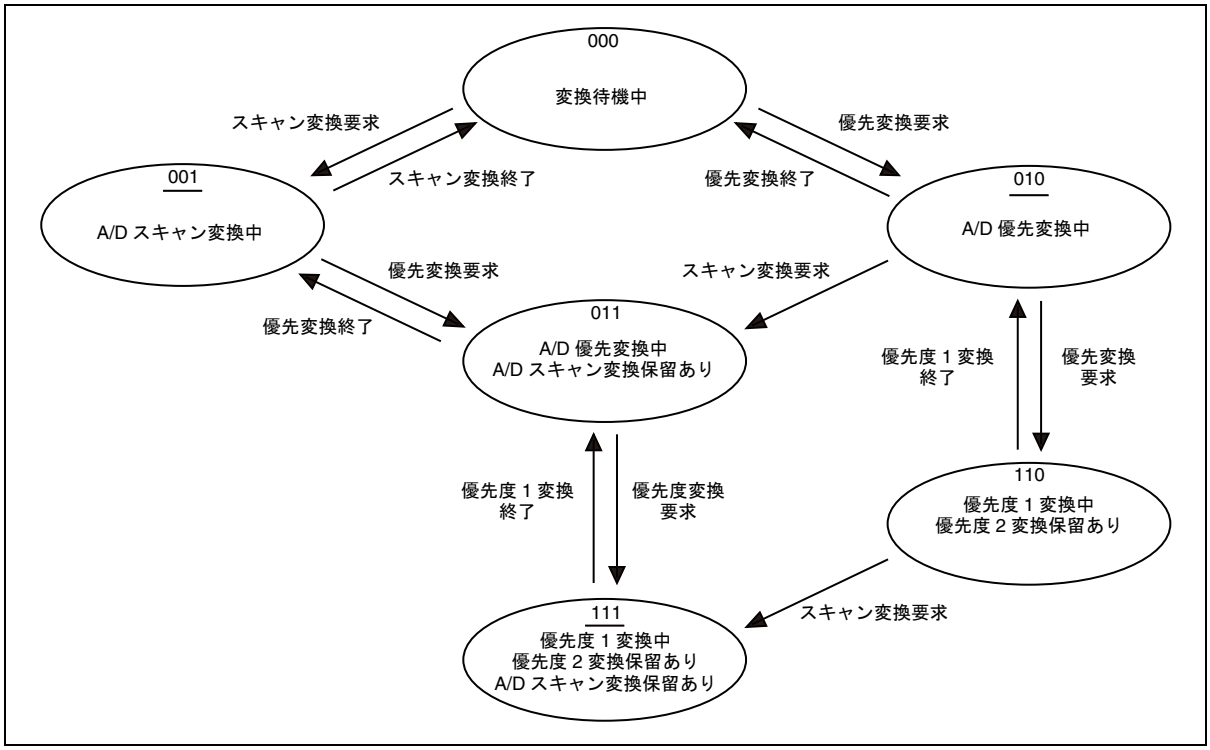


図 23.6-1 に示したように , 10 ビット A/D コンバータの状態は A/DC ステータスレジスタ (ADSR0) の PCNS ビット , PCS ビット , SCS ビットで確認できます。

ビットと動作状態の対応を表 23.6-3 に示します。

表 23.6-3 ビットと動作状態の対応

PCNS	PCS	SCS	説明
0	0	0	変換待機中
0	0	1	A/D スキャン変換中
0	1	0	A/D 優先変換中
0	1	1	A/D 優先変換中 , A/D スキャン変換保留あり
1	1	0	優先度 1 の A/D 優先変換中 , 優先度 2 の変換保留あり
1	1	1	優先度 1 の A/D 優先変換中 , 優先度 2 とスキャン変換保留あり

■ A/D 比較機能利用時の動作

A/D 比較機能とは , A/D 変換の変換結果の上位 8 ビット (bit9 ～ bit2) を A/D 比較値設定レジスタ (CMPD0) に設定した値と比較し , 比較結果が A/D 比較コントロールレジスタ (CMPCR0) で設定した条件を満たしていると , 変換結果比較割込み要求を発生させる機能です。

変換動作を開始する前に , A/D 比較コントロールレジスタ (CMPCR0) の CMPEN ビットで比較機能の動作を許可 (CMPEN=1) してください。

比較動作は A/D 変換結果が FIFO に格納される前に行われますので , FIFO が満杯 (フル) の場合でも比較機能を利用できます。

比較機能については ,「23.4.11 A/D 比較値設定レジスタ (CMPD0)」および「23.4.12 A/D 比較コントロールレジスタ (CMPCR0)」を参照してください。

■ A/D 変換時間

A/D 変換時間は , サンプリング時間とコンペア時間で構成されています。

A/D 変換時間を算出するにはサンプリング時間とコンペア時間を加算してください。

● サンプリング時間

サンプリング時間設定レジスタ (ADST00, ADST10) でそれぞれのレジスタにサンプリング時間を設定します。

サンプリング時間選択レジスタ (ADSS00) で , チャネルごとに , どちらのレジスタに設定したサンプリング時間を利用するかを選択できるので , 異なった外部インピーダンスのチャネルに対し個別にサンプリング時間を設定できます。

サンプリング時間の計算方法は次のとおりです。

サンプリング時間 = 周辺クロック (PCLK) の周期× (ST+1) × STX

ST : サンプリング時間設定レジスタ (ADST00, ADST10) の ST05 ～ ST00/ST15 ～ ST10 ビットの設定値

STX : サンプリング時間設定レジスタ (ADST00, ADST10) の STX01, STX00/STX11, STX10 ビットでの設定倍数

< 注意事項 >

- STX01, STX00 ビットを "00" (設定値 × 1 倍) に設定した場合は , ST05 ～ ST00/ST15 ～ ST10 ビットが "3" 以上になるように設定してください。
- サンプリング時間設定レジスタ 00 (ADST00) は電気的特性のサンプリング時間を満たすように設定してください。電気的特性については ,『データシート』を参照してください。

サンプリング時間の設定例を表 23.6-4 と表 23.6-5 に示します。

表 23.6-4 サンプリング時間の設定例 (STX01, STX00/STX11, STX10 ビット =00 の場合)

レジスタ値 (N) STx5 ～ STx0	サンプリング時間 [µs]			最大外部インピーダンス [KΩ]		
	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz
0	設定禁止	設定禁止	設定禁止	—	—	—
1	設定禁止	設定禁止	設定禁止	—	—	—
2	設定禁止	設定禁止	設定禁止	—	—	—
3	設定禁止	設定禁止	設定禁止	—	—	—
4	設定禁止	設定禁止	設定禁止	—	—	—
5	設定禁止	設定禁止	設定禁止	—	—	—
6	設定禁止	設定禁止	設定禁止	—	—	—
7	設定禁止	設定禁止	設定禁止	—	—	—
8	設定禁止	設定禁止	設定禁止	—	—	—
9	設定禁止	設定禁止	設定禁止	—	—	—
10	設定禁止	設定禁止	設定禁止	—	—	—
11	0.400	設定禁止	設定禁止	1.400	—	—
12	0.433	0.406	設定禁止	1.400	1.400	—
13	0.467	0.438	0.424	1.563	1.400	1.400
14	0.500	0.469	0.455	2.053	1.593	1.400
15	0.533	0.500	0.485	2.543	2.053	1.830
16	0.567	0.531	0.515	3.033	2.513	2.276
17	0.600	0.563	0.545	3.524	2.972	2.721
18	0.633	0.594	0.576	4.014	3.432	3.167
19	0.667	0.625	0.606	4.504	3.891	3.613
20	0.700	0.656	0.636	4.994	4.351	4.058
…	…	…	…	…	…	…
36	1.233	1.156	1.121	12.837	11.704	11.188
37	1.267	1.188	1.152	13.327	12.163	11.634
38	1.300	1.219	1.182	13.818	12.623	12.080
…	…	…	…	…	…	…
42	1.433	1.344	1.303	15.778	14.461	13.862
43	1.467	1.375	1.333	16.269	14.921	14.308
…	…	…	…	…	…	…
52	1.767	1.656	1.606	20.680	19.057	18.319
53	1.800	1.688	1.636	21.171	19.516	18.764
…	…	…	…	…	…	…
62	2.100	1.969	1.909	25.582	23.652	22.775
63	2.133	2.000	1.939	26.073	24.112	23.220

PCLK: 周辺クロック (PCLK) の周波数

表 23.6-5 サンプリング時間の設定例 (STX01, STX00/STX11, STX10 ビット =10 の場合)

レジスタ値 (N) STx5 ～ STx0	サンプリング時間 [µs]			最大外部インピーダンス [KΩ]		
	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz
0	設定禁止	設定禁止	設定禁止	—	—	—
1	0.533	0.500	0.485	2.543	2.053	1.830
2	0.800	0.750	0.727	6.465	5.729	5.395
3	1.067	1.000	0.970	10.386	9.406	8.960
4	1.333	1.250	1.212	14.308	13.082	12.525
5	1.600	1.500	1.455	18.229	16.759	16.090
6	1.867	1.750	1.697	22.151	20.435	19.655
7	2.133	2.000	1.939	26.073	24.112	23.220
8	2.400	2.250	2.182	29.994	27.788	26.786
9	2.667	2.500	2.424	33.916	31.465	30.351
10	2.933	2.750	2.667	37.837	35.141	33.916
11	3.200	3.000	2.909	41.759	38.818	37.481
12	3.467	3.250	3.152	45.680	42.494	41.046
13	3.733	3.500	3.394	49.602	46.171	44.611
14	4.000	3.750	3.636	53.524	49.847	48.176
15	4.267	4.000	3.879	57.445	53.524	51.741
16	4.533	4.250	4.121	61.367	57.200	55.306
17	4.800	4.500	4.364	65.288	60.876	58.871
18	5.067	4.750	4.606	69.210	64.553	62.436
19	5.333	5.000	4.848	73.131	68.229	66.001
20	5.600	5.250	5.091	77.053	71.906	69.566
…	…	…	…	…	…	…
36	9.867	9.250	8.970	139.798	130.729	126.607
37	10.133	9.500	9.212	143.720	134.406	130.172
38	10.400	9.750	9.455	147.641	138.082	133.737
…	…	…	…	…	…	…
42	11.467	10.750	10.424	163.327	152.788	147.998
43	11.733	11.000	10.667	167.249	156.465	151.563
…	…	…	…	…	…	…
52	14.133	13.250	12.848	202.543	189.553	183.648
53	14.400	13.500	13.091	206.465	193.229	187.213
…	…	…	…	…	…	…
62	16.800	15.750	15.273	241.759	226.318	219.299
63	17.067	16.000	15.515	245.680	229.994	222.864

PCLK: 周辺クロック (PCLK) の周波数

● コンペア時間

コンペア時間設定レジスタ (ADCT0) で設定されます。

コンペア時間の計算方法は , 次のとおりです。

コンペア時間 ={ (CT+1) × 10+4} ×周辺クロック (PCLK) の周期

CT : コンペア時間設定レジスタ (ADCT0) の CT2 ～ CT0 ビットの設定値

コンペア時間の設定例を表 23.6-6 に示します。

表 23.6-6 コンペア時間の設定例

レジスタ値 (N) CT2 ～ CT0	コンペア時間		
	PCLK=30MHz	PCLK=32MHz	PCLK=33MHz
0	設定禁止	設定禁止	設定禁止
1	0.80 µs	0.75 µs	0.73 µs
2	1.13 µs	1.06 µs	1.03 µs
3	1.47 µs	1.38 µs	1.33 µs
4	1.80 µs	1.69 µs	1.64 µs
5	2.13 µs	2.00 µs	1.94 µs
6	2.47 µs	2.31 µs	2.24 µs
7(初期値)	2.80 µs	2.63 µs	2.55 µs

PCLK : 周辺クロック (PCLK) の周波数

* この表はコンペア時間のみを示します。

23.6.1　A/D スキャン変換時の動作

スキャン変換入力選択レジスタ (SCIS00) で選択したチャネルを順番に変換します。

■ 概要

A/D スキャン変換は , 次の 2 種類の変換モードがあります。

- シングル変換モード

  スキャン変換入力選択レジスタ (SCIS00) に設定したチャネルを 1 回だけ変換するモードです。

- リピート変換モード

  スキャン変換入力選択レジスタ (SCIS00) に設定したチャネルを繰り返し変換するモードです。

また , スキャン変換入力選択レジスタ (SCIS00) で 1 チャネルだけ選択した場合と複数のチャネルを選択した場合とでも動作が異なります。

変換モードごとの変換順序を表 23.6-7 に示します。

表 23.6-7 変換モードと変換順序

変換モード	選択チャネル	変換順序
シングル変換モード (SCCR の RPT=0)	ch.0	ch.0 →変換停止
	ch.0, ch.4, ch.5, ch.7	ch.0 → ch.4 → ch.5 → ch.7 →変換停止
リピート変換モード (SCCR の RPT=1)	ch.0	ch.0 → ch.0 → ch.0 → ch.0 ↑　　↓ ch.0 ← ch.0 ← ch.0 ← ch.0
	ch.0, ch.4, ch.5, ch.7	ch.0 → ch.4 → ch.5 → ch.7 ↑　　↓ ch.7 ← ch.5 ← ch.4 ← ch.0

SCCR　スキャン変換コントロールレジスタ (SCCR0)

< 注意事項 >

10 ビット A/D コンバータは , 初めに A/D チャネルイネーブルレジスタ (ADCHE) でアナログ信号入力を許可することで A/D 変換が可能になります。

A/D チャネルイネーブルレジスタ (ADCHE) については ,「第 13 章　I/O ポート」の「13.4.6 A/D チャネルイネーブルレジスタ (ADCHE)」を参照してください。

■ シングル変換モード時の動作

スキャン変換コントロールレジスタ (SCCR0) の RPT ビットに "0" を書き込むと , シングル変換モードが設定されます。

このモードでは , スキャン変換入力選択レジスタ (SCIS00) で設定したチャネルを 1 回だけ変換します。

● 起動

スキャン変換入力選択レジスタ (SCIS00) で変換するチャネルを選択し , 10 ビット A/D コンバータを次のいずれかの方法で起動します。

- スキャン変換コントロールレジスタ (SCCR0) の SSTR ビットに "1" を書き込む
- スキャン変換コントロールレジスタ (SCCR0) の SHEN ビットでタイマ起動を許可 (SHEN=1) し , ベースタイマの ch.0 の TOUT 信号で立上りエッジを入力する

A/D スキャン変換中に , 上記の起動動作が行われると A/D スキャン変換を直ちに停止 / 初期化し , 再度 A/D スキャン変換が行われます (再起動動作) 。

● 単一チャネル変換動作

スキャン変換入力選択レジスタ (SCIS00) で変換するチャネルを 1 つだけ選択します。

10 ビット A/D コンバータが起動すると , 選択したチャネルに対して変換動作を開始し , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "1" に変わります。

選択したチャネルの変換が終了すると , 変換結果と変換したチャネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し , 変換動作を停止します。このとき , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "0" にクリアされます。

FIFO に格納された変換結果は , スキャン変換 FIFO データレジスタ (SCFD0) から読み出せます。

● 複数チャネル変換動作

スキャン変換入力選択レジスタ (SCIS00) で変換するチャネルを複数選択します。

10 ビット A/D コンバータが起動すると , 選択したチャネルの中で一番若い番号のチャネルから順番に変換動作を開始します。このとき , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "1" に変わります。

1 チャネル変換が終わると , 変換結果と変換したチャネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し , 次のチャネルの変換を開始します。

(スキャン変換入力選択レジスタ (SCIS00) で選択していないチャネルの変換は行われません。)

変換するチャネルが変わるごとに変換結果と変換したチャネルの情報を保存する A/D スキャン変換用 FIFO の段数も 1 段ずつ変わります。

スキャン変換入力選択レジスタ (SCIS00) で選択したチャネルをすべて変換し終わると , 10 ビット A/D コンバータの動作を停止します。このとき , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "0" にクリアされます。

FIFO に格納された変換結果は , スキャン変換 FIFO データレジスタ (SCFD0) から順番に読み出せます。読出しについては , 「23.6.3 FIFO の動作」の「■ A/D スキャン変換時の動作」を参照してください。

■ リピート変換モード時の動作

スキャン変換コントロールレジスタ (SCCR0) のRPTビットに"1"を書き込むと, リピート変換モードが設定されます。

このモードでは , スキャン変換入力選択レジスタ (SCIS00) で設定したチャネルを繰り返し変換します。

シングル変換モード時と同様に , チャネルを選択し , 10 ビット A/D コンバータを起動してください。

● 単一チャネル変換動作

スキャン変換入力選択レジスタ (SCIS00) で変換するチャネルを 1 つだけ選択します。

10 ビット A/D コンバータが起動すると ,選択したチャネルに対して変換動作を開始し , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "1" に変わります。

変換が終了すると , 変換結果と変換したチャネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し , 再度同じチャネルの変換を開始します。

変換を停止するには, スキャン変換コントロールレジスタ (SCCR0) のRPTビットに"0"を書き込んでください。

FIFO に格納された変換結果は , スキャン変換 FIFO データレジスタ (SCFD0) から順番に読み出せます。読出しについては , 「23.6.3 FIFO の動作」の「■ A/D スキャン変換時の動作」を参照してください。

● 複数チャネル変換動作

スキャン変換入力選択レジスタ (SCIS00) で変換するチャネルを複数選択します。

10 ビット A/D コンバータが起動すると , 選択したチャネルの中で一番若い番号のチャネルから順番に変換動作を開始します。このとき , A/DC ステータスレジスタ (ADSR0) の SCS ビットが "1" に変わります。

1 チャネル変換が終わると , 変換結果と変換したチャネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し , 次のチャネルの変換を開始します。

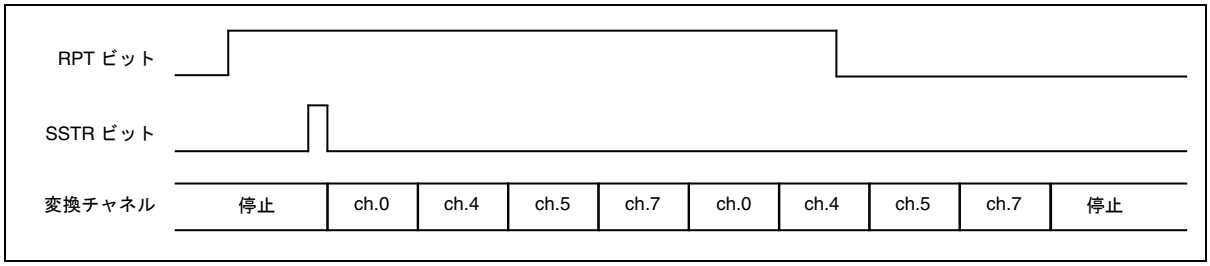
(スキャン変換入力選択レジスタ (SCIS00) で選択していないチャネルの変換は行われません。)

選択したチャネルをすべて変換し終わると , 再度一番若い番号のチャネルから 2 巡目の変換動作を開始します。

変換を停止するには, スキャン変換コントロールレジスタ (SCCR0) のRPTビットに"0"を書き込んでください。スキャン変換入力選択レジスタ (SCIS00) で選択したチャネルをすべて変換し終わった時点で変換動作が停止します。

複数チャネル変換時の停止タイミングを図 23.6-2 に示します。

図 23.6-2 複数チャネル変換時の停止タイミング



FIFO に格納された変換結果は , スキャン変換 FIFO データレジスタ (SCFD0) から順番に読み出せます。読出しについては , 「23.6.3 FIFO の動作」の「■ A/D スキャン変換時の動作」を参照してください。

23.6.2 A/D 優先変換時の動作

優先度の高い A/D 変換の起動要因が発生すると , A/D スキャン変換を中断して優先的に変換します。優先度は 2 レベル用意されています。

■ 概要

起動要因によって優先度を 2 レベルから設定できます。優先度 1 が優先度 2 より優先されます。

設定できるチャネルは優先度によって異なります。

優先度とチャネルや起動要因の対応を表 23.6-8 に示します。

表 23.6-8 優先度とチャネルや起動要因の対応

	優先度 1	優先度 2
優先順位	1	2
対応チャネル	8 チャネルの中から 1 チャネル指定	8 チャネルの中から 1 チャネル指定
起動要因	ADTRG 端子で立下りエッジを検出	ソフトウェア ベースタイマの ch.2 の TOUT 信号で立上りエッジ検出

< 注意事項 >

- 10 ビット A/D コンバータは , 初めに A/D チャネルイネーブルレジスタ (ADCHE) でアナログ信号入力を許可することで A/D 変換が可能になります。

  A/D チャネルイネーブルレジスタ (ADCHE) については , 「第 13 章 I/O ポート」の「13.4.6 A/D チャネルイネーブルレジスタ (ADCHE)」を参照してください。
- A/D 優先変換は優先度にかかわらず , A/D 変換を再起動することはできません。
- A/D 優先変換で変換できるチャネルは 1 チャネルのみです。

■ 優先度 1 の変換動作

最も優先度の高い変換動作です。優先度 1 の起動要因が発生すると A/D スキャン変換や優先度 2 の A/D 優先変換が動作中でも , 変換動作を直ちに中止し , 優先度 1 の変換が開始されます。

● チャネル選択方法

優先変換入力選択レジスタ (PCIS0) の P1A2 ～ P1A0 ビットで , 8 チャネルの中から変換するチャネルを 1 チャネルだけ選択します。

● 変換動作

優先変換コントロールレジスタ (PCCR0) の PEEN ビットで外部起動を許可 (PEEN =1) した状態で , ADTRG 端子で立下りエッジを検出すると , 優先度 1 の A/D 優先変換の起動要因が発生します。

このとき , A/D スキャン変換や優先度 2 の A/D 優先変換が実行されていると , それらの変換を直ちに中断し , 優先度 1 で指定したチャネルの変換が開始されます。また , A/DC ステータスレジスタ (ADSR0) の PCS ビットが "1" に変わります。

変換が終了すると , 変換結果と変換したチャネルの情報が A/D 優先変換用 FIFO に格納され , A/DC ステータスレジスタ (ADSR0) の PCS ビットが "0" にクリアされます。また , 中断していた変換が再度開始されます。

FIFO に格納された A/D 優先変換の変換結果は , 優先変換 FIFO データレジスタ (PCFD0) から読み出せます。読出しについては , 「23.6.3 FIFO の動作」の「■ A/D 優先変換時の動作」を参照してください。

また , 優先度 1 の A/D 優先変換実行中に , 他の優先度の起動要因が発生した場合の動作については , 「23.6 動作説明と設定手順例」の「■ 優先順位と状態遷移」を参照してください。

< 注意事項 >

優先度 1 の A/D 優先変換を実行中に , 同じレベル (優先度 1) の A/D 変換の起動要因が発生した場合は , 実行中の変換動作を継続し , 後から発生した起動要因は無視されます。

■ 優先度 2 の変換動作

2 番目に優先度の高い変換動作です。優先度 2 の起動要因が発生すると A/D スキャン変換が動作中でも , 変換動作を直ちに中止し , 優先度 2 の変換が開始されます。

● チャネル選択方法

優先変換入力選択レジスタ (PCIS0) の P2A4 ～ P2A0 ビットで , 8 チャネルの中から変換するチャネルを 1 チャネルだけ選択します。

● 変換動作

次のいずれかの方法で優先度 2 の起動要因を発生させます。

- 優先変換コントロールレジスタ (PCCR0) の PSTR ビットに "1" を書き込む
- 優先変換コントロールレジスタ (PCCR0) の PHEN ビットでタイマ起動を許可 (PHEN=1) し , ベースタイマの ch.2 の TOUT 信号で立上りエッジ検出

起動要因が発生すると次のように優先度 2 の A/D 優先変換が起動し , A/DC ステータスレジスタ (ADSR0) の PCS ビットが "1" に変わります。

- 10 ビット A/D コンバータ未起動時 : 10 ビット A/D コンバータを起動し , 優先度 2 で指定したチャネルの変換を開始します。
- A/D スキャン変換実行時 : A/D スキャン変換を直ちに中断し , 優先度 2 で指定したチャネルの変換を開始します。
- 優先度 1 の A/D 優先変換実行時 : 優先度 2 の起動要因を保持し , 優先度 1 の A/D 優先変換終了後に優先度 2 の A/D 優先変換を開始します。

優先度 2 の A/D 優先変換が終了すると , 変換結果と変換したチャネルの情報が A/D 優先変換用 FIFO に格納され , A/DC ステータスレジスタ (ADSR0) の PCS ビットが "0" にクリアされます。また , 中断していた変換が再度開始されます。

FIFO に格納された A/D 優先変換の変換結果は , 優先変換 FIFO データレジスタ (PCFD0) から読み出せます。読出しについては , 「23.6.3 FIFO の動作」の「■ A/D 優先変換時の動作」を参照してください。

また , 優先度 2 の A/D 優先変換実行中に , 他の優先度の起動要因が発生した場合の動作については , 「23.6 動作説明と設定手順例」の「■ 優先順位と状態遷移」を参照してください。

< 注意事項 >

A/D 優先変換中は変換動作を再起動することはできません。優先度 2 の A/D 優先変換を実行中に , 同じレベル (優先度 2) の A/D 変換の起動要因が発生した場合は , 実行中の変換動作を継続し , 後から発生した起動要因は無視されます。

例 : ソフトウェアで優先度 2 の A/D 優先変換を起動し , 変換動作中にベースタイマの ch.2 の TOUT 信号で立上りエッジを検出しても , 実行中の変換動作が継続されます。

23.6.3　FIFO の動作

10 ビット A/D コンバータは , A/D スキャン変換用に 16 段 , A/D 優先変換用に 4 段の FIFO が用意されています。あらかじめ , 設定した FIFO の段数にデータが格納されるとスキャン変換割込み要求 / 優先変換割込み要求を発生させることができます。
FIFO の動作と割込み要求の発生について説明します。

■ A/D スキャン変換時の動作

● A/D 変換中の動作

リセット解除後は A/D スキャン変換用 FIFO にはデータがない (エンプティ) ため , スキャン変換コントロールレジスタ (SCCR0) の SEMP ビットは "1" になっています。

A/D スキャン変換が開始され , 1 チャネル分の変換結果が FIFO の 1 段目に格納されると , SEMP ビットが "0" に変わります。

次のデータの変換が終了すると変換結果は FIFO の 2 段目に格納されます。以降 , 1 チャネル分の変換が終了するたびに , 変換結果が FIFO の次の段に格納されます。

16 段すべてに変換結果が書き込まれると , A/D スキャン変換用 FIFO が満杯 (フル) になり , スキャン変換コントロールレジスタ (SCCR0) の SFUL ビットが "1" に変わります。

この状態で , さらに A/D スキャン変換が行われると , オーバランが発生しスキャン変換コントロールレジスタ (SCCR0) の SOVR ビットが "1" に変わります。この場合 , 変換結果は FIFO には格納されず破棄されます。

● 読出し動作

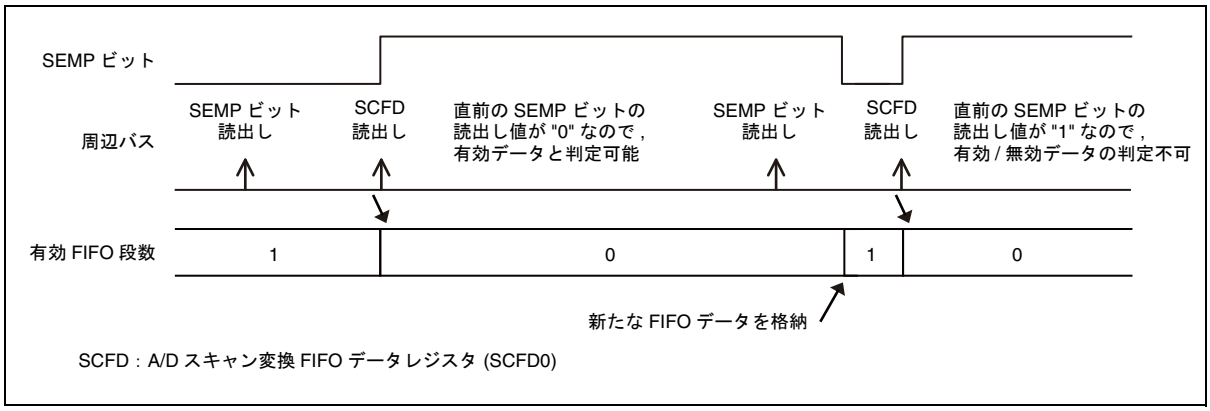
A/D スキャン変換用 FIFO に格納されたデータは , スキャン変換 FIFO データレジスタ (SCFD0) を読み出すことで順番に取り出すことができます。

ただし , スキャン変換 FIFO データレジスタ (SCFD0) は , 必ずスキャン変換コントロールレジスタ (SCCR0) の SEMP ビットで A/D スキャン変換用 FIFO にデータがあることを確認してから (SEMP=0) 読み出してください。

A/D スキャン変換用 FIFO が空 (エンプティ) (SEMP=1) の状態で読出しを行うと , (読出しの直前に変換結果がスキャン変換 FIFO データレジスタ (SCFD0) に格納されることがあるため) 読み出したデータが有効なのか無効なのかが判断できず , 有効なデータを読み捨てる可能性があります。

SEMP ビットと読出しデータの関係を図 23.6-3 に示します。

図 23.6-3 SEMP ビットと読出しデータの関係



< 注意事項 >

- 次のレジスタはアドレスが並んで配置されていますが，これらのレジスタにワードで一度にアクセスすると , スキャン変換コントロールレジスタ (SCCR0) の SEMP ビットの状態にかかわらず , このレジスタを読み出してしまいます。これらのレジスタにはワードでアクセスしないでください。
  - スキャン変換コントロールレジスタ (SCCR0)
  - スキャン変換 FIFO 段数設定レジスタ (SFNS0)
  - スキャン変換 FIFO データレジスタ (SCFD0)
- スキャン変換 FIFO データレジスタ (SCFD0) はバイトアクセスできます。上位バイト (bit15 ～ bit8) 読み出すと , FIFO のデータがシフトします。下位バイト (bit7 ～ bit0) を読み出しても FIFO のデータはシフトしません。

● クリア動作

スキャン変換コントロールレジスタ (SCCR0) の SFCLR ビットに "1" を書き込むと , A/D スキャン変換用 FIFO がクリアされ , スキャン変換コントロールレジスタ (SCCR0) の SEMP ビットが "1" に変わります。

● スキャン変換割込み要求

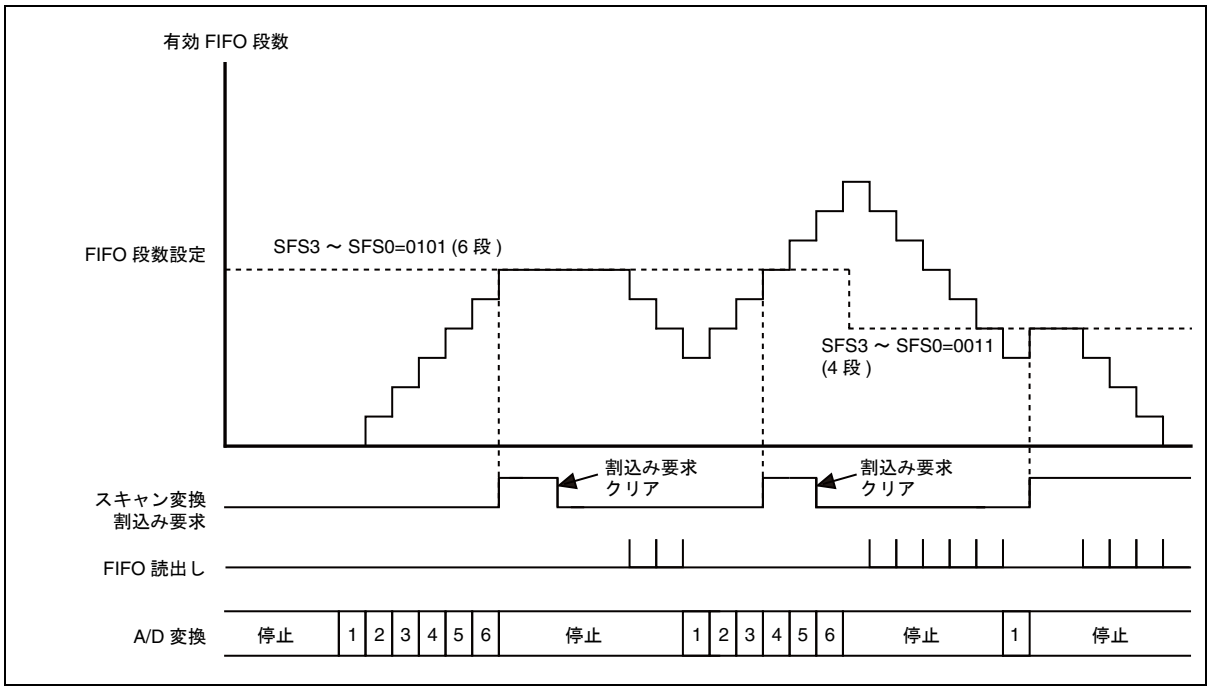
設定した FIFO の段数まで変換結果が格納されたとき (A/DC コントロールレジスタ (ADCR0) の SCIF ビット =1) に , スキャン変換割込み要求が発生させることができます。

A/D スキャン変換割込み要求を発生させるには , 次の処理を行ってください。

- スキャン変換 FIFO 段数設定レジスタ (SFNS0) の SFS3 ～ SFS0 ビットで , 割込み要求を発生させる段数を設定
- A/DC コントロールレジスタ (ADCR0) の SCIE ビットでスキャン変換割込み要求の発生を許可 (SCIE=1)

FIFO の動作を図 23.6-4 に示します。

図 23.6-4 FIFO の動作



変換モードごとに設定する段数と割込み要求の発生例を示します。スキャン変換 FIFO 段数設定レジスタ (SFNS0) の SFS3 ～ SFS0 ビットで段数を設定してください。

- **シングル変換モードで単一チャネル変換時**

  スキャン変換割込み要求を発生させる段数を 1 段に設定 (SFS3 ～ SFS0=0000) すると , 変換終了時にスキャン変換割込み要求が発生します。2 段以上に設定 (SFS3 ～ SFS0=0001 以上) すると , 設定したチャネルの変換が終了しても割込み要求は発生しません。

- **シングル変換モードで複数チャネル変換時**

  変換するチャネル数と同じ段数を設定すると , 変換終了時にスキャン変換割込み要求が発生します。

  例 : 3 チャネル変換後 , スキャン変換割込み要求を発生させるとき

  スキャン変換割込み要求を発生させる段数を 3 段に設定 (SFS3 ～ SFS0=0010)

  また , 変換するチャネル数よりも少ない段数でスキャン変換割込み要求が発生するように設定すると , A/D スキャン変換が終了する前に任意のタイミングでスキャン変換割込み要求を発生できます。

- **リピート変換モードで単一チャネル変換時**

  スキャン変換割込み要求を発生させる段数を 1 段に設定 (SFS3 ～ SFS0=0000) すると , 1 巡目の変換終了時にスキャン変換割込み要求が発生します。

  設定したチャネルを何度か変換してからスキャン変換割込み要求を発生させる場合は , 変換回数と段数の設定を同じにしてください。

  例 : 単一チャネルを 4 回変換後 , スキャン変換割込み要求を発生させるとき

  スキャン変換割込み要求を発生させる段数を 4 段に設定 (SFS3 ～ SFS0=0011)

- **リピート変換モードで複数チャネル変換時**

  スキャン変換割込み要求の発生を次のように任意に選択できます。

  例：リピート変換モードで 8 チャネル変換するとき

  - 1 巡目の変換終了後にスキャン変換割込み要求を発生させる

    スキャン変換割込み要求を発生させる段数を 8 段に設定 (SFS3 ～ SFS0=0111)

  - 2 巡目の変換終了後に割込み要求を発生させる

    スキャン変換割込み要求を発生させる段数を 16 段 (変換するチャネルの 2 倍) に設定 (SFS3 ～ SFS0=1111)

< 注意事項 >

スキャン変換割込み要求の発生時に FIFO 内のデータを DMA 転送することができます。DMA 転送については ,「23.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

● FIFO オーバラン割込み要求

FIFO の 16 段すべてにデータが格納され , FIFO が満杯 (フル) になると , スキャン変換コントロールレジスタ (SCCR0) の SFUL ビットが "1" に変わります。

A/DC コントロールレジスタ (ADCR0) の OVRIE ビットで FIFO オーバラン割込み要求の発生が許可 (OVRIE =1) されていると , SFUL ビットが "1" のときに次の変換結果が FIFO に格納されようとすると , オーバラン割込み要求が発生します。

< 注意事項 >

- FIFO が満杯 (フル) のときに , 次の変換結果を格納しようとしても , FIFO 内のデータは書き換えられません。格納しようとした変換結果は破棄されます。
- スキャン変換コントロールレジスタ (SCCR0) の SFCLR ビットで FIFO をクリア (SFCLR=1) すると FIFO が空になり , スキャン変換コントロールレジスタ (SCCR0) の SEMP ビットが "1" に変わります。

■ A/D 優先変換時の動作

● A/D 変換中の動作

リセット解除後は A/D 優先変換用 FIFO にはデータがない (エンプティ) ため , A /D 優先変換制御レジスタ (PCCR0) の PEMP ビットは "1" になっています。

A/D 優先変換が開始され , 1 チャネル分の変換結果が FIFO の 1 段目に格納されると , PEMP ビットが "0" に変わります。

次の A/D 優先変換が終了すると変換結果は FIFO の 2 段目に格納されます。以降 , A/D 優先変換が終了するたびに , 変換結果が FIFO の次の段に格納されます。

4 段すべてに変換結果が書き込まれると , A/D 優先変換用 FIFO が満杯 (フル) になり , 優先変換コントロールレジスタ (PCCR0) の PFUL ビットが "1" に変わります。

この状態で , さらに A/D 優先変換が行われると , オーバランが発生し優先変換コント

ロールレジスタ (PCCR0) の POVR ビットが "1" に変わります。この場合 , 変換結果は FIFO には格納されず破棄されます。

● 読出し動作

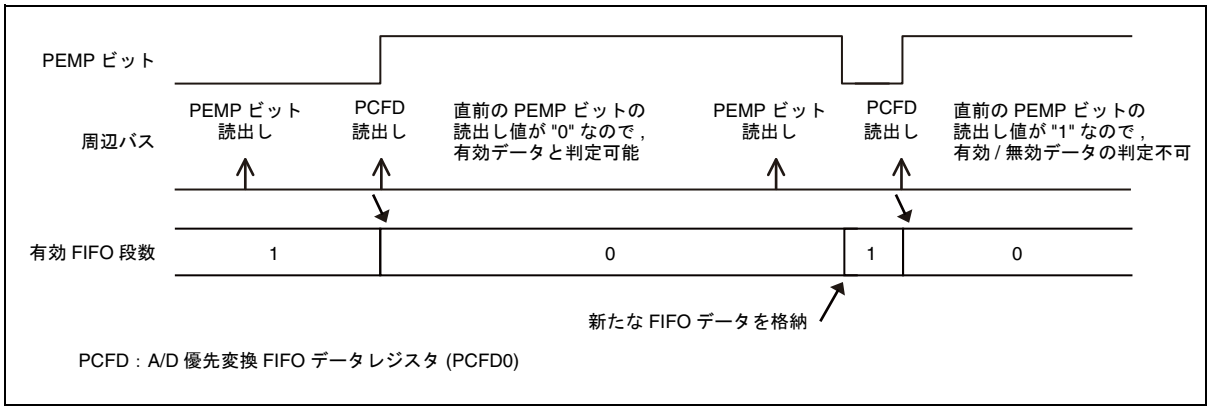
A/D 優先変換用 FIFO に格納されたデータは , 優先変換 FIFO データレジスタ (PCFD0) を読み出すことで順番に取り出すことができます。

ただし , 優先変換 FIFO データレジスタ (PCFD0) は , 必ず優先変換コントロールレジスタ (PCCR0) の PEMP ビットで A/D 優先変換用 FIFO にデータがあることを確認してから (PEMP=0) 読み出してください。

A/D 優先変換用 FIFO が空 (エンプティ) (PEMP=1) の状態で読出しを行うと , (読出しの直前に変換結果が優先変換 FIFO データレジスタ (PCFD0) に格納されることがあるため) 読み出したデータが有効なのか無効なのかが判断できず , 有効なデータを読み捨てる可能性があります。

PEMP ビットと読出しデータの関係を図 23.6-5 に示します。

図 23.6-5 PEMP ビットと読出しデータの関係



< 注意事項 >

- 次のレジスタはアドレスが並んで配置されていますが , これらのレジスタにワードで一度にアクセスすると , 優先変換コントロールレジスタ (PCCR0) の PEMP ビットの状態にかかわらず , このレジスタを読み出してしまいます。これらのレジスタにはワードでアクセスしないでください。
  - 優先変換コントロールレジスタ (PCCR0)
  - 優先変換 FIFO 段数設定レジスタ (PFNS0)
  - 優先変換 FIFO データレジスタ (PCFD0)
- 優先変換 FIFO データレジスタ (PCFD0) はバイトアクセスできます。上位バイト (bit15 ～ bit8) 読み出すと , FIFO のデータがシフトします。下位バイト (bit7 ～ bit0) を読み出しても FIFO のデータはシフトしません。

● クリア動作

優先変換コントロールレジスタ (PCCR0) の PFCLR ビットに "1" を書き込むと , A/D 優先変換用 FIFO がクリアされ , A /D 優先変換制御レジスタ (PCCR0) の PEMP ビットが "1" に変わります。

● 優先変換割込み要求

設定した FIFO の段数まで変換結果が格納されたとき (A/DC コントロールレジスタ (ADCR0) の PCIF ビット =1) に , 優先変換割込み要求が発生させることができます。

A/D 優先変換割込み要求を発生させるには , 次の処理を行ってください。

- 優先変換FIFO段数設定レジスタ (PFNS0) のPFS1, PFS0ビットで, 割込み要求を発生させる段数を設定
- A/DC コントロールレジスタ (ADCR0) の PCIE ビットで優先変換割込み要求の発生を許可 (PCIE=1)

優先変換割込み要求を発生させる段数を 1 段に設定 (PFS1, PFS0=00) すると , 変換終了時に優先変換割込み要求が発生します。

< 注意事項 >

- 優先割込み要求を発生させる段数を 2 段以上に設定 (PFS1, PFS0=01 以上) すると , A/D 優先変換が終了しても , 優先変換割込み要求は発生しません。
- 優先変換割込み要求の発生時に FIFO 内のデータを DMA 転送することができます。DMA 転送については , 「23.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

● FIFO オーバラン割込み要求

FIFO の 4 段すべてにデータが格納され , FIFO が満杯 (フル) になると , 優先変換コントロールレジスタ (PCCR0) の PFUL ビットが "1" に変わります。

A/DC コントロールレジスタ (ADCR0) の OVRIE ビットで FIFO オーバラン割込み要求の発生が許可 (OVRIE =1) されていると , PFUL ビットが "1" のときに次の変換結果が FIFO に格納されようとすると , オーバラン割込み要求が発生します。

< 注意事項 >

- FIFO が満杯 (フル) のときに , 次の変換結果を格納しようとしても , FIFO 内のデータは書き換えられません。格納しようとした変換結果は破棄されます。
- 優先変換コントロールレジスタ (PCCR0) の PFCLR ビットで FIFO をクリア (PFCLR=1) すると FIFO が空になり , 優先変換コントロールレジスタ (PCCR0) の PEMP ビットが "1" に変わります。

23.6.4　DMA コントローラ (DMAC) の起動

10 ビット A/D コンバータのスキャン変換割込み要求と優先変換割込み要求の発生を利用して , FIFO 内のデータを DMA 転送できます。

スキャン変換割込み要求 / 優先変換割込み要求を発生させる段数と DMA 転送させるバイト数を同じに設定すると , A/D スキャン変換と連動して , FIFO のデータを DMA 転送できます。DMA 転送させるバイト数の設定については ,「第 31 章 DMA コントローラ (DMAC)」を参照してください。

- **シングル変換モード時**

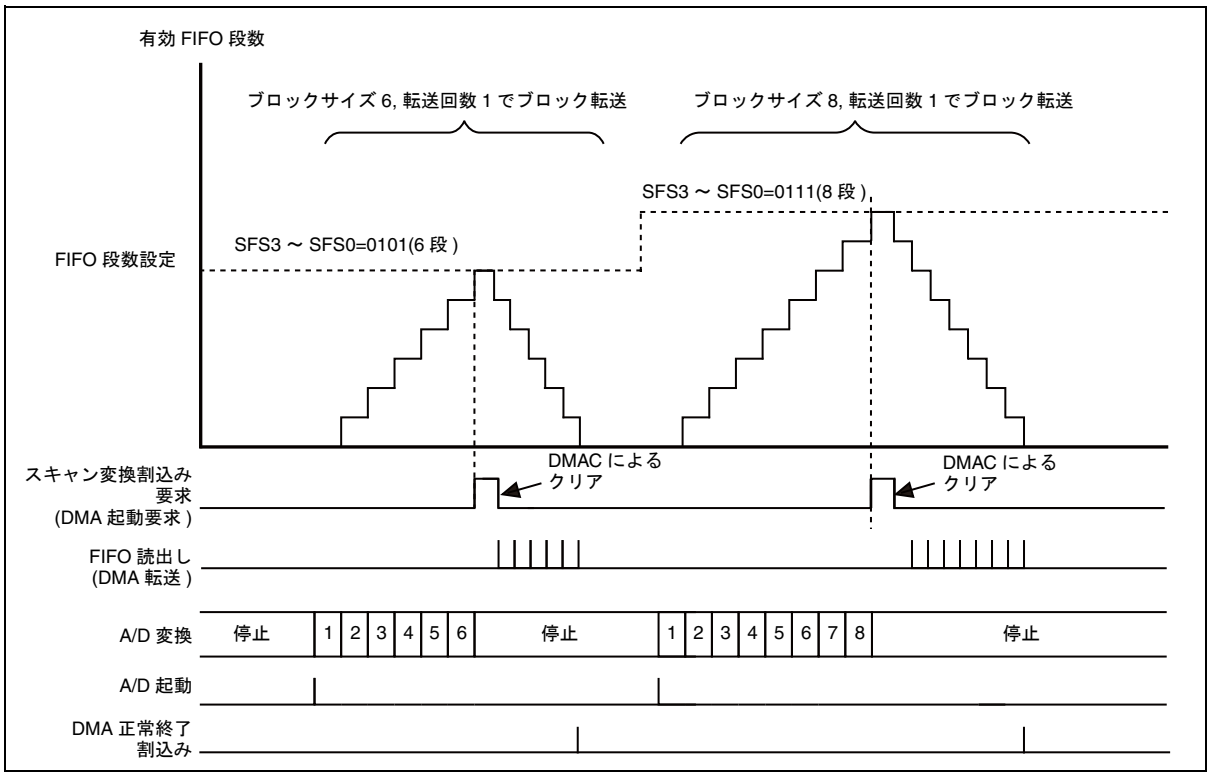
DMA 転送する場合 , DMA ブロックサイズと割込み発生 FIFO 段数を同じ値に設定し , DMA 完了後に次の A/D 起動を行ってください。

- **リピート変換モード時**

DMA 転送する場合 , DMA のブロックサイズを 1, 割込み発生 FIFO 段数を 1 段に設定してください。

DMA 転送動作を図 23.6-6 に示します。

図 23.6-6 DMA 転送動作 (スキャン変換割込み要求の場合)



< 注意事項 >

DMA のブロックサイズと割込み発生 FIFO 段数は同じ値を設定してください。また , すべての FIFO のデータを DMA 転送したあとに次の A/D 起動を行ってください。

ただし , リピート変換モードなど繰り返し A/D 変換行っている場合 , 次の状態が発生す

ると , 設定したバイト数分のデータを DMA 転送後も , スキャン変換割込み要求 / 優先変換割込み要求を発生させる段数以上のデータがFIFO内に格納されている可能性があります。

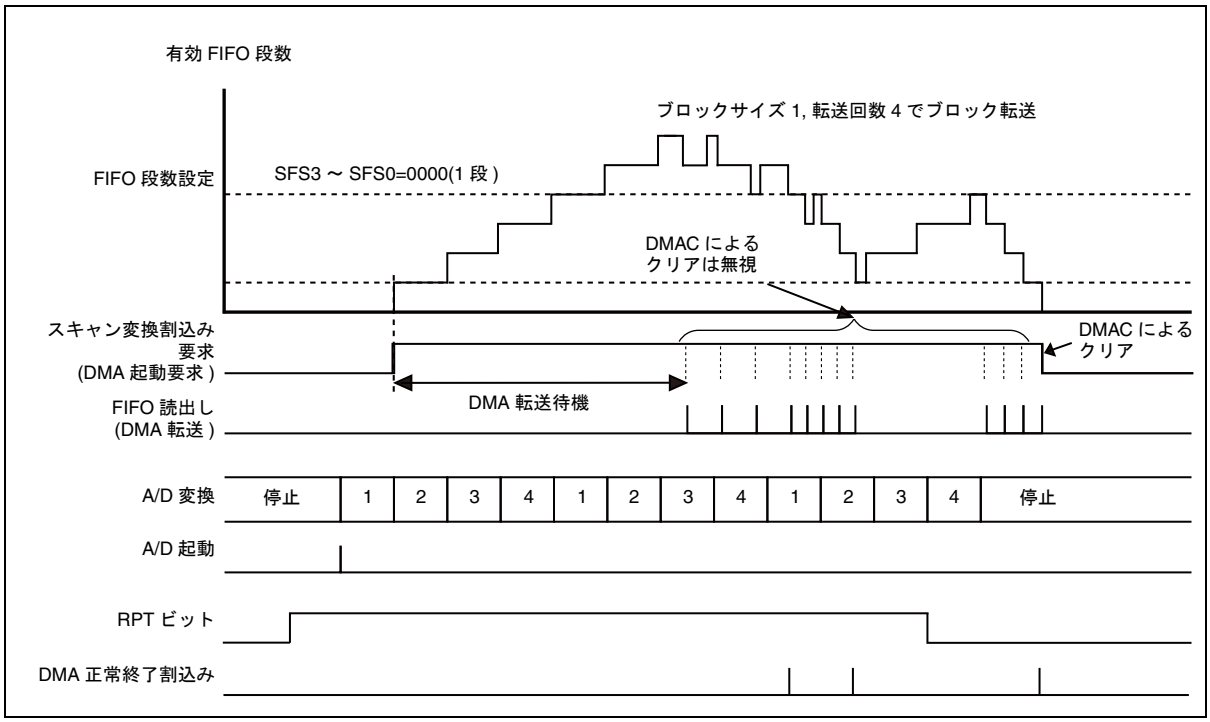
- 変換結果を DMA 転送し終わる前に , 次のチャネルの A/D 変換が開始された

  (他の DMA 転送が起動され , 変換結果の DMA 転送が待機された場合など)

このため , 割込み要求を発生させる段数以上に , データが格納されている場合は , DMA コントローラ (DMAC) によるクリアは無視され , 再度 DMA 転送を行います。

DMA 再転送動作を図 23.6-7 に示します。

図 23.6-7 DMA 再転送動作



< 注意事項 >

DMA のブロックサイズを 1, 割込み発生 FIFO 段数を 1 に設定してください。

第 24 章 マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースの機能と動作について説明します。

24.1 マルチファンクションシリアルインタフェースの特長
24.2 UART (非同期シリアルインタフェース)
24.3 UART (非同期シリアルインタフェース) の概要
24.4 UART (非同期シリアルインタフェース) のレジスタ
24.5 UART の割込み
24.6 UART の動作
24.7 専用ボーレートジェネレータ
24.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー
24.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー
24.10 UART モードの注意事項
24.11 CSIO (クロック同期シリアルインタフェース)
24.12 CSIO (クロック同期シリアルインタフェース) の概要
24.13 CSIO (クロック同期シリアルインタフェース) の レジスタ
24.14 CSIO (クロック同期シリアルインタフェース) の割込み
24.15 CSIO (クロック同期シリアルインタフェース) の動作
24.16 専用ボーレートジェネレータ
24.17 CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー
24.18 CSIO モードの注意事項
24.19 I^2C インタフェース
24.20 I^2C インタフェースの概要
24.21 I^2C インタフェースのレジスタ
24.22 I^2C インタフェースの割込み
24.23 専用ボーレートジェネレータ
24.24 I2C モードの注意事項

24.1　マルチファンクションシリアルインタフェースの特長

マルチファンクションシリアルインタフェースには以下の特長があります。

■ インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により , 以下のインタフェースモードを選択可能です。

- UART0 (非同期ノーマルシリアルインタフェース)
- UART1 (非同期マルチプロセッサシリアルインタフェース)
- CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
- I^2C (I^2C バスインタフェース)

■ インタフェースモードの切換え

各シリアルインタフェースで通信を行う場合には , 表 24.1-1 のシリアルモードレジスタ (SMR) で動作モードを設定してから通信を開始します。

表 24.1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0 (非同期ノーマルシリアルインタフェース)
0	0	1	UART1 (非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
1	0	0	I^2C (I^2C バスインタフェース)

(注意事項) 上記以外は設定禁止です。

＜注意事項＞

- 1つのシリアルインタフェースで送信あるいは受信動作中にモードの切換えを行った場合の送受信に関する動作の保証はできません。
- 動作モードを変更すると ， 同一チャネルの一部のレジスタは初期化されますので動作モードは最初に設定してください。初期化されるレジスタについては , 各動作モードのシリアルモードレジスタ (SMR) の注意事項を参照してください。

■ チャネル数

本製品はマルチファンクションシリアルインタフェースを 8 チャネル内蔵しています。

ch.0 には I^2C 機能はありません。

■ 送受信 FIFO

16 バイトの送信用 FIFO と 16 バイトの受信用 FIFO を搭載しています。以降の説明における FIFO 段数は 16 バイトに読み換えてください。

ch.0 ～ ch.3 には FIFO はありません。

24.2　UART (非同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち , 動作モード 0, 1 でサポートしている UART 機能について説明します。

- UART (非同期シリアルインタフェース)
- UART (非同期シリアルインタフェース) の概要
- UART (非同期シリアルインタフェース) のレジスタ
  - シリアル制御レジスタ (SCR)
  - シリアルモードレジスタ (SMR)
  - シリアルステータスレジスタ (SSR)
  - 拡張通信制御レジスタ (ESCR)
  - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
  - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
  - FIFO 制御レジスタ 1(FCR1)
  - FIFO 制御レジスタ 0(FCR0)
  - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- UART の割込み
  - 受信割込み発生とフラグセットのタイミング
  - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
  - 送信割込み発生とフラグセットのタイミング
  - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- UART の動作
- 専用ボーレートジェネレータ

  ボーレート設定
- 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー
- 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

24.3　UART (非同期シリアルインタフェース) の概要

UART (非同期シリアルインタフェース) は , 外部装置と非同期通信 (調歩同期) をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能 (ノーマルモード) , マスタ / スレーブ型通信機能 (マルチプロセッサモード : マスタ / スレーブ両方サポート) をサポートしています。また , 送信 / 受信用の FIFO を搭載しています。

■ UART (非同期シリアルインタフェース) の機能

		機能
1	データ	• 全二重ダブルバッファ (FIFO 未使用時) • 送信 / 受信 FIFO (サイズ最大各 16 バイト) (FIFO 使用時) *1
2	シリアル入力	3 回オーバサンプリングを行い , サンプリング値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	• 専用ボーレートジェネレータ (15 ビットリロードカウンタ構成) • 外部クロック入力をリロードカウンタで調節可能。
5	データ長	5 ビット ～ 9 ビット (ノーマルモード時), 7 ビット , 8 ビット (マルチプロセッサモード時)
6	信号方式	NRZ (Non Return to Zero) , 反転 NRZ
7	スタートビット検出	• スタートビット立下りエッジに同期 (NRZ 方式の場合) • スタートビット立上りエッジに同期 (反転 NRZ 方式の場合)
8	受信エラー検出	• フレーミングエラー • オーバランエラー • パリティエラー *2
9	割込み要求	• 受信割込み (受信完了 , フレーミングエラー , オーバランエラー , パリティエラー *2) • 送信割込み (送信データエンプティ , 送信バスアイドル) • 送信 FIFO 割込み (送信 FIFO がエンプティのとき) • 送受信 DMA 転送サポート機能あり
10	マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対　n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
11	FIFO オプション	• 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト)*1 • 送信 FIFO と受信 FIFO を選択可能 • 送信データ再送可能 • 受信 FIFO 割込みタイミングをソフトで変更可能 • 独立して FIFO リセットサポート

*1: ch.0 ～ ch.3 には FIFO はありません。

*2 : パリティエラーはノーマルモード時のみ。

24.4　UART (非同期シリアルインタフェース) のレジスタ

UART (非同期シリアルインタフェース) のレジスター覧を示します。

■ UART (非同期シリアルインタフェース) のレジスター覧

表 24.4-1 UART (非同期シリアルインタフェース) のレジスター覧 (1 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
0	SCR0	シリアル制御レジスタ 0	24.4.1
	SMR0	シリアルモードレジスタ 0	24.4.2
	ESCR0	拡張通信制御レジスタ 0	24.4.4
	BGR0	ボーレートジェネレータレジスタ 0	24.4.6
	SSR0	シリアルステータスレジスタ 0	24.4.3
	RDR0	受信データレジスタ 0	24.4.5
	TDR0	送信データレジスタ 0	24.4.5
1	SCR1	シリアル制御レジスタ 1	24.4.1
	SMR1	シリアルモードレジスタ 1	24.4.2
	ESCR1	拡張通信制御レジスタ 1	24.4.4
	BGR1	ボーレートジェネレータレジスタ 1	24.4.6
	SSR1	シリアルステータスレジスタ 1	24.4.3
	RDR1	受信データレジスタ 1	24.4.5
	TDR1	送信データレジスタ 1	24.4.5
2	SCR2	シリアル制御レジスタ 2	24.4.1
	SMR2	シリアルモードレジスタ 2	24.4.2
	ESCR2	拡張通信制御レジスタ 2	24.4.4
	BGR2	ボーレートジェネレータレジスタ 2	24.4.6
	SSR2	シリアルステータスレジスタ 2	24.4.3
	RDR2	受信データレジスタ 2	24.4.5
	TDR2	送信データレジスタ 2	24.4.5
3	SCR3	シリアル制御レジスタ 3	24.4.1
	SMR3	シリアルモードレジスタ 3	24.4.2
	ESCR3	拡張通信制御レジスタ 3	24.4.4
	BGR3	ボーレートジェネレータレジスタ 3	24.4.6
	SSR3	シリアルステータスレジスタ 3	24.4.3
	RDR3	受信データレジスタ 3	24.4.5
	TDR3	送信データレジスタ 3	24.4.5

表 24.4-1 UART (非同期シリアルインタフェース) のレジスター覧 (2 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
8	SCR8	シリアル制御レジスタ 8	24.4.1
	SMR8	シリアルモードレジスタ 8	24.4.2
	ESCR8	拡張通信制御レジスタ 8	24.4.4
	BGR8	ボーレートジェネレータレジスタ 8	24.4.6
	SSR8	シリアルステータスレジスタ 8	24.4.3
	RDR8	受信データレジスタ 8	24.4.5
	TDR8	送信データレジスタ 8	24.4.5
	FCR18	FIFO 制御レジスタ 18	24.4.7
	FCR08	FIFO 制御レジスタ 08	24.4.8
	FBYTE18	FIFO1 バイトレジスタ 8	24.4.9
	FBYTE28	FIFO2 バイトレジスタ 8	24.4.9
9	SCR9	シリアル制御レジスタ 9	24.4.1
	SMR9	シリアルモードレジスタ 9	24.4.2
	ESCR9	拡張通信制御レジスタ 9	24.4.4
	BGR9	ボーレートジェネレータレジスタ 9	24.4.6
	SSR9	シリアルステータスレジスタ 9	24.4.3
	RDR9	受信データレジスタ 9	24.4.5
	TDR9	送信データレジスタ 9	24.4.5
	FCR19	FIFO 制御レジスタ 19	24.4.7
	FCR09	FIFO 制御レジスタ 09	24.4.8
	FBYTE19	FIFO1 バイトレジスタ 9	24.4.9
	FBYTE29	FIFO2 バイトレジスタ 9	24.4.9
10	SCR10	シリアル制御レジスタ 10	24.4.1
	SMR10	シリアルモードレジスタ 10	24.4.2
	ESCR10	拡張通信制御レジスタ 10	24.4.4
	BGR10	ボーレートジェネレータレジスタ 10	24.4.6
	SSR10	シリアルステータスレジスタ 10	24.4.3
	RDR10	受信データレジスタ 10	24.4.5
	TDR10	送信データレジスタ 10	24.4.5
	FCR110	FIFO 制御レジスタ 110	24.4.7
	FCR010	FIFO 制御レジスタ 010	24.4.8
	FBYTE110	FIFO1 バイトレジスタ 10	24.4.9
	FBYTE210	FIFO2 バイトレジスタ 10	24.4.9

表 24.4-1 UART (非同期シリアルインタフェース) のレジスター覧 (3 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
11	SCR11	シリアル制御レジスタ 11	24.4.1
	SMR11	シリアルモードレジスタ 11	24.4.2
	ESCR11	拡張通信制御レジスタ 11	24.4.4
	BGR11	ボーレートジェネレータレジスタ 11	24.4.6
	SSR11	シリアルステータスレジスタ 11	24.4.3
	RDR11	受信データレジスタ 11	24.4.5
	TDR11	送信データレジスタ 11	24.4.5
	FCR111	FIFO 制御レジスタ 111	24.4.7
	FCR011	FIFO 制御レジスタ 011	24.4.8
	FBYTE111	FIFO1 バイトレジスタ 11	24.4.9
	FBYTE211	FIFO2 バイトレジスタ 11	24.4.9

表 24.4-2 UART (非同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/SMR	UPCL	–	–	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	–	SBL	BDS	SCKE	SOE
SSR/ ESCR	REC	–	PE	FRE	ORE	RDRF	TDRE	TBI	–	ESBL	INV	PEN	P	L2	L1	L0
RDR/TDR	–							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
–	–								–							
FCR1/ FCR0	–	–	–	FLSTE	FRIIE	FDRQ	FTIE	FSEL	–	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

■ 動作モード

UART (非同期シリアルインタフェース) は , 2 つの異なるモードで動作します。シリアルモードレジスタ (SMR) の MD2, MD1, MD0 によって決定されます。

表 24.4-3 UART (非同期シリアルインタフェース) の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

24.4.1　シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は , 送受信の許可 / 禁止 , 送受信割込みの許可 / 禁止 , 送信バスアイドル割込みの許可 / 禁止 , UART リセットをすることができます。

■ シリアル制御レジスタ (SCR)

図 24.4-1 にシリアル制御レジスタ (SCR) のビット構成を , 表 24.4-4 に各ビットの機能を示します。

図 24.4-1　シリアル制御レジスタ (SCR) のビット構成

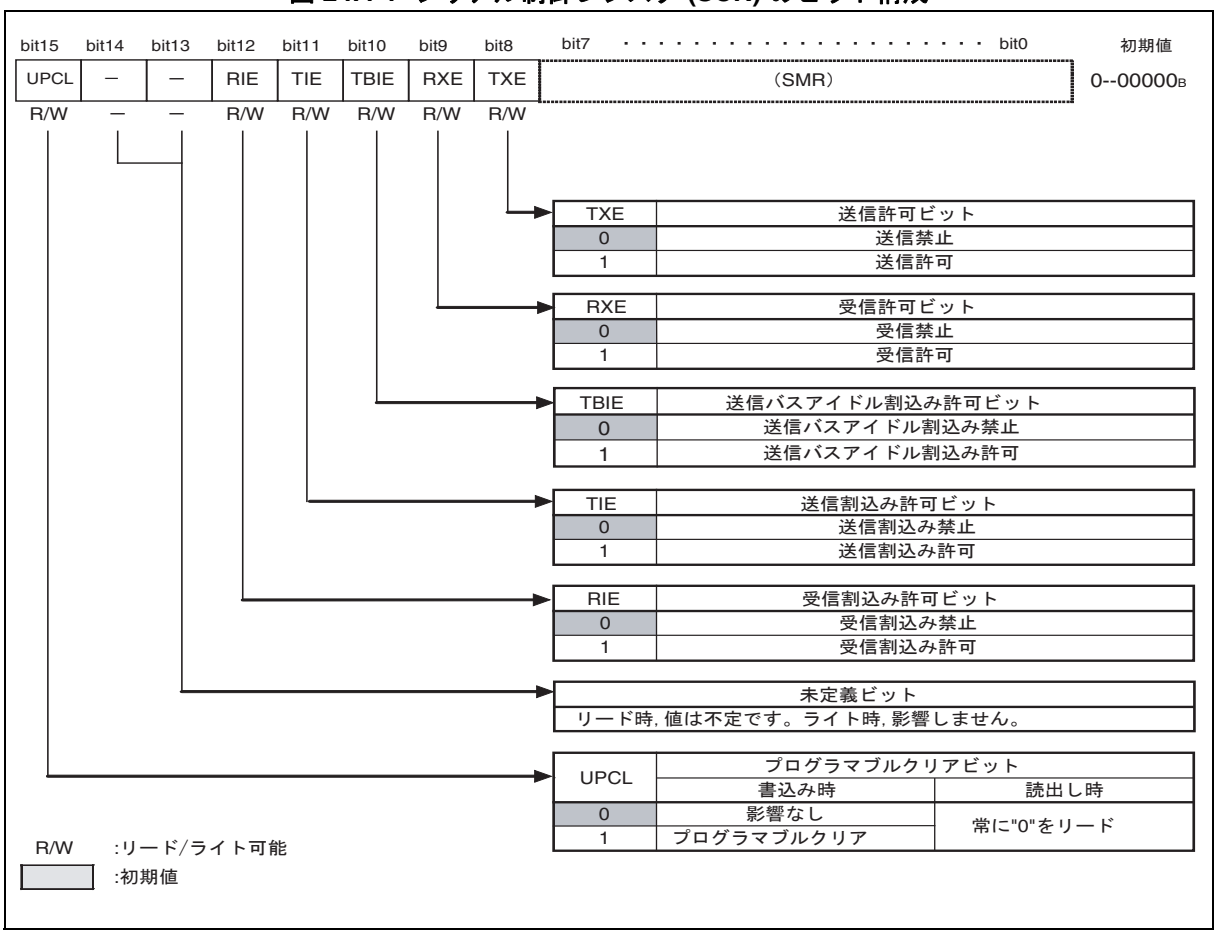


表 24.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL： プログラマブル クリアビット	UART の内部状態を初期化するビットです。 "1" を設定した場合： • UART を直接リセット (ソフトウェアリセット) します。ただし , レジスタの設定は維持されます。その際 , 送受信状態のものは直ちに切断されます。 • ボーレートジェネレータは, BGR1/BGR0 レジスタの設定値をリロードし , 再スタートします。 • すべての送受信割込み要因 (PE, FRE, ORE, RDRF, TDRE, TBI) は初期化 (000011_B) されます。 "0" を設定した場合：影響ありません。 リード時は , 常に "0" が読み出されます。 (注意事項) 割込み禁止に設定した後に , プログラマブルクリアを実行してください。 FIFO 使用時は , FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。
bit14, bit13	未定義ビット	リードした場合　：　値は未定です。 ライトした場合　：　影響しません。
bit12	RIE： 受信割込み 許可ビット	• CPU への受信割込み要求出力を許可 / 禁止するビットです。 • RIE ビットと受信データフラグビット (RDRF) が "1" の場合 , またはエラーフラグビット (PE, ORE, FRE) のいずれかが "1" の場合に受信割込み要求を出力します。
bit11	TIE： 送信割込み 許可ビット	• CPU への送信割込み要求出力を許可 / 禁止するビットです。 • TIE ビットと TDRE ビットが "1" の場合 , 送信割込み要求を出力します。
bit10	TBIE： 送信バス アイドル割込み 許可ビット	• CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 • TBIE ビットと TBI ビットが "1" のとき , 送信バスアイドル割込み要求を出力します。
bit9	RXE： 受信許可ビット	UART の受信動作を許可 / 禁止します。 • "0" に設定した場合：受信動作が禁止されます。 • "1" に設定した場合：受信動作が許可されます。 (注意事項) 受信動作許可 (RXE=1) にしても , スタートビットの立下りエッジ (NRZ フォーマット (INV=0) の場合) が入力されないと受信動作を開始しません (反転 NRZ フォーマット (INV=1) の場合は , 立上りエッジが入力されるまで受信動作を開始しません)。 受信中に受信動作を禁止 (RXE=0) した場合には , 直ちに受信動作を停止します。

表 24.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	TXE： 送信許可ビット	UART の送信動作を許可 / 禁止します。 • "0" に設定した場合：送信動作が禁止されます。 • "1" に設定した場合：送信動作が許可されます。 (注意事項)　送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

24.4.2　シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は , 動作モードの設定 , 転送方向 , データ長 , ストップビット長の選択 , およびシリアルデータとシリアルクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.4-2 にシリアルモードレジスタ (SMR) のビット構成を , 表 24.4-5 に各ビットの機能を示します。

図 24.4-2 シリアルモードレジスタ (SMR) のビット構成

bit15 ・・・・・・・・・・・・・・・・・・・・ bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
(SCR)	MD2	MD1	MD0	予約	SBL	BDS	SCKE	SOE	00000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

SOE	シリアルデータ出力許可ビット
0	SOUT出力禁止
1	SOUT出力許可

SCKE	シリアルクロック出力許可ビット
0	SCK出力禁止 または SCK入力許可
1	SCK出力許可

BDS	転送方向選択ビット
0	LSBファースト(最下位ビットから転送)
1	MSBファースト(最上位ビットから転送)

SBL	ストップビット長選択ビット	
0	ESCR:ESBL=0	1ビット
1	ESCR:ESBL=0	2ビット
0	ESCR:ESBL=1	3ビット
1	ESCR:ESBL=1	4ビット

予約ビット
必ず"0"を設定してください。

MD2	MD1	MD0	動作モード設定ビット
0	0	0	動作モード0(非同期ノーマルモード)
0	0	1	動作モード1(非同期マルチプロセッサモード)
0	1	0	動作モード2(クロック同期モード)
1	0	0	動作モード4(I²Cモード)

R/W　:リード/ライト可能
:初期値

(注意事項) 本章では動作モード0, 動作モード1のレジスタおよび動作について説明します

表 24.4-5 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ～ bit5	MD2, MD1, MD0： 動作モード 設定ビット	非同期シリアルインタフェースの動作モードを設定します。 "000_B"： 動作モード 0(非同期ノーマルモード) に設定されます。 "001_B"： 動作モード 1 (非同期マルチプロセッサモード) に設定されます。 "010_B"： 動作モード 2(クロック同期モード) に設定されます。 "100_B"： 動作モード 4(I^2C モード) に設定されます。 本章では動作モード 0(非同期ノーマルモード), 動作モード 1(非同期マルチプロセッサモード) のレジスタまたは動作について説明します。 (注意事項) 上記の設定以外は禁止です。 動作モードを切り換える場合は , プログラマブルクリア実行 (SCR:UPCL=1) 後 , 動作モードを切り換えてください。動作モード設定後 , 各レジスタを設定してください。
bit4	予約ビット	必ず "0" を設定してください。
bit3	SBL： ストップ ビット長選択 ビット	ストップビット (送信データのフレームエンドマーク) のビット長を設定します。 SBL=0, ESCR:ESBL=0 に設定した場合：ストップビットは 1 ビットに設定されます。 SBL=1, ESCR:ESBL=0 に設定した場合：ストップビットは 2 ビットに設定されます。 SBL=0, ESCR:ESBL=1 に設定した場合：ストップビットは 3 ビットに設定されます。 SBL=1, ESCR:ESBL=1 に設定した場合：ストップビットは 4 ビットに設定されます。 (注意事項) • 受信時は , 常にストップビットの 1 ビット目だけを検出します。 • 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit2	BDS： 転送方向選択 ビット	転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト , BDS=0) 最上位ビット側から先に転送するか (MSB ファースト , BDS=1) を選択するビットです。 (注意事項) 本ビットは , 送受信が禁止 (TXE=RXE=0) のときに設定してください。
bit1	SCKE: シリアル クロック出力 許可ビット	シリアルクロックの入出力ポートを制御するビットです。 "0" に設定した場合： SCK"H" 出力 , または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。また , 外部クロック選択ビットによって外部クロックを選択 (BGR:EXT=1) してください。 "1" に設定した場合：SCK 出力許可となります。
bit0	SOE: シリアル データ出力 許可ビット	シリアルデータの出力を許可 / 禁止するビットです。 "0" に設定した場合：出力禁止です。 "1" に設定した場合：SOUT 出力許可となります。

＜注意事項＞

動作モードを変更すると , 同一チャネル内の以下のレジスタは初期化されますので動作モードは最初に設定してください。

- シリアル制御レジスタ (SCR)
- 拡張通信制御レジスタ (ESCR)

ただし , 16 ビット書込みで SCR と SMR を同時に書き込んだとき , SCR には書き込んだ内容が反映されます。

24.4.3　シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は , 送受信の状態の確認 , 受信エラーフラグの確認 , また , 受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 24.4-3 にシリアルステータスレジスタ (SSR) のビット構成を , 表 24.4-6 に各ビットの機能を示します。

図 24.4-3 シリアルステータスレジスタ (SSR) のビット構成

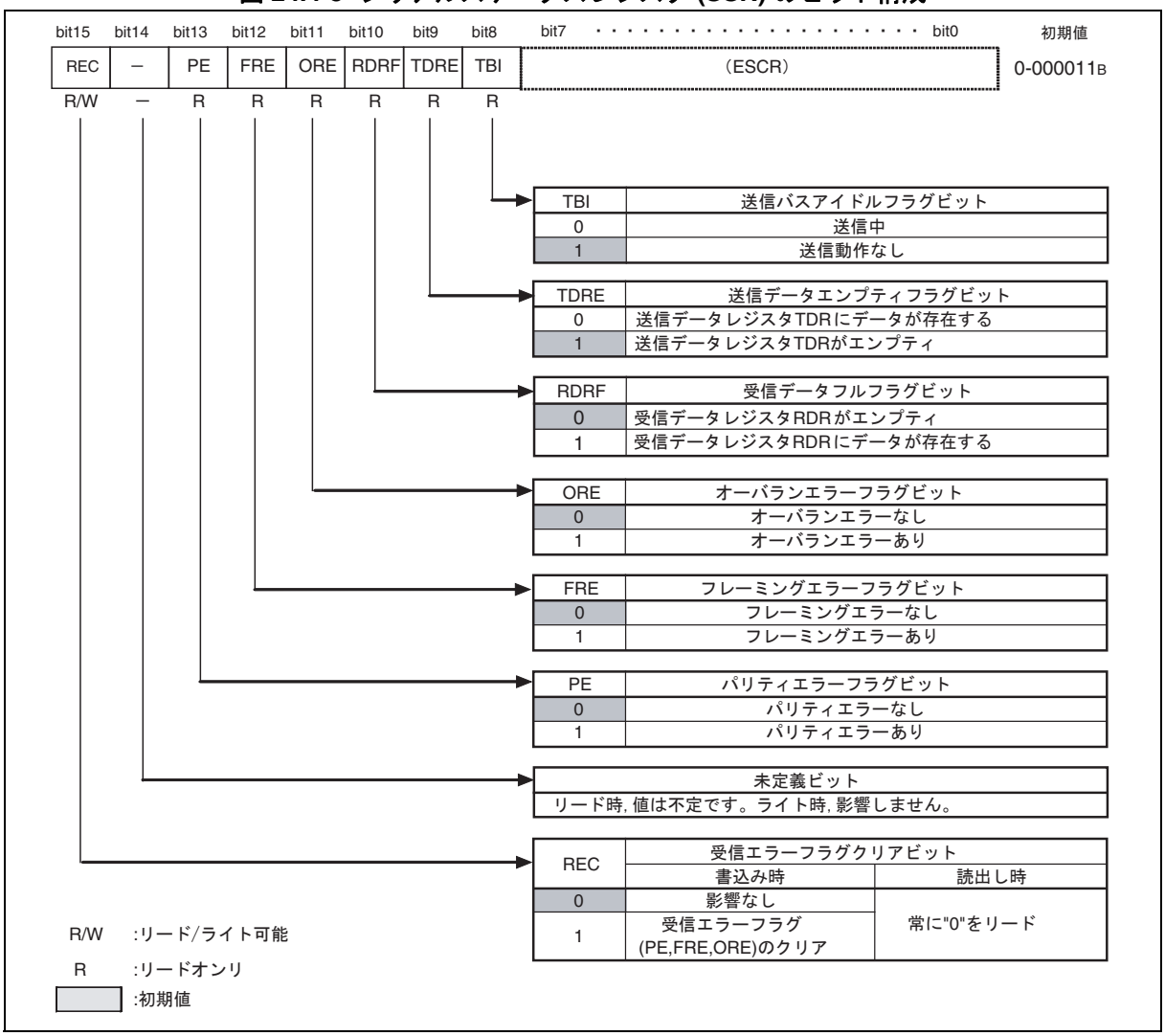


表 24.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC： 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の PE, FRE, ORE フラグをクリアするビットです。 • "1" 書込みで , エラーフラグがクリアされます。 • "0" 書込みは , 影響しません。 リードした場合 , 常に "0" が読み出されます。
bit14	未定義ビット	リードした場合　：　値は不定です。 ライトした場合　：　影響しません。
bit13	PE： パリティエラー フラグビット (動作モード 0 のみ機能)	• ESCR : PEN=1 で受信時にパリティエラーが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • PE ビットと SCR : RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 本フラグがセットされた場合は , 受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は , 受信 FIFO の許可ビットがクリアされ , 受信データは受信 FIFO には格納されません。
bit12	FRE： フレーミング エラーフラグ ビット	• 受信時にフレーミングエラーが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • FRE ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 本フラグがセットされた場合は , 受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は , 受信 FIFO の許可ビットがクリアされ , 受信データは受信 FIFO には格納されません。
bit11	ORE： オーバラン エラーフラグ ビット	• 受信時にオーバランが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 本フラグがセットされた場合は , 受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は , 受信 FIFO の許可ビットがクリアされ , 受信データは受信 FIFO には格納されません。

表 24.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF： 受信データ フルフラグ ビット	• 受信データレジスタ (RDR) の状態を示すフラグです。 • RDR に受信データがロードされると "1" にセットされ , 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 • 受信 FIFO 使用時に , 受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) が "1" で , 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合 , RDRF が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。 • 受信 FIFO 使用時は , 受信 FIFO がエンプティになると "0" にクリアされます。
bit9	TDRE： 送信データ エンプティ フラグビット	• 送信データレジスタ (TDR) の状態を示すフラグです。 • TDR に送信データを書き込むと "0" となり , TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり , TDR に有効なデータが存在していないことを示します。 • TDRE ビットと TIE ビットが "1" の場合 , 送信割込み要求を出力します。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると , TDRE ビットは "1" になります。 • 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは ,「24.5.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
bit8	TBI： 送信バス アイドルフラグ ビット	• UART が送信動作をしていないことを示すビットです。 • 送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" になります。 • 送信データレジスタがエンプティ (TDRE=1) で , 送信動作をしていない場合に本ビットは "1" になります。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TBI ビットは "1" になります。 • 本ビットが "1" で , 送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

24.4.4　拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は , 送受信データ長の設定 , ストップビット長の選択 , パリティビットの許可 / 禁止 , パリティビットの選択 , シリアルデータフォーマットの反転の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 24.4-4 に拡張通信制御レジスタ (ESCR) のビット構成を , 表 24.4-7 に各ビットの機能を示します。

図 24.4-4 拡張通信制御レジスタ (ESCR) のビット構成

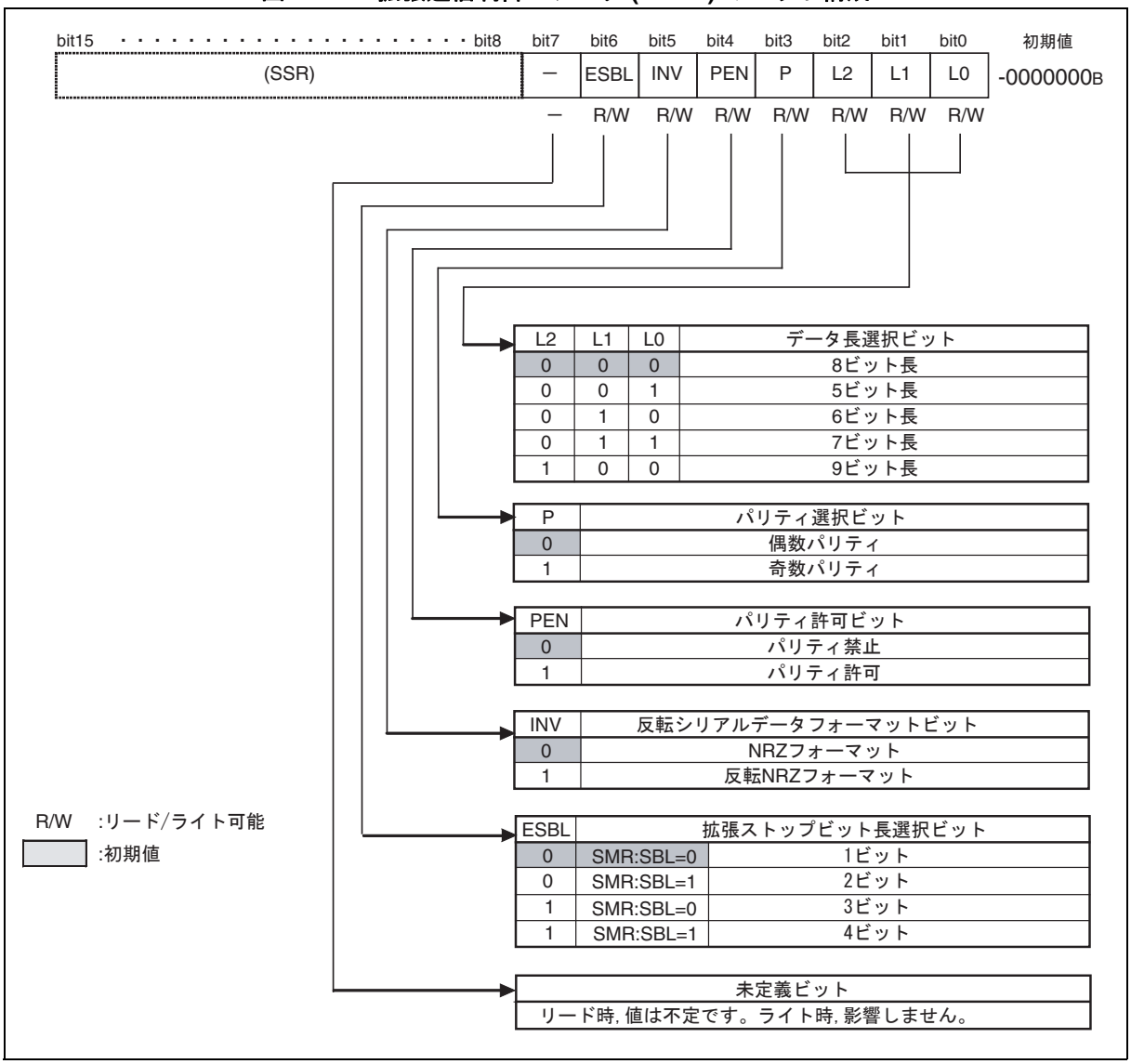


表 24.4-7 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit6	ESBL： 拡張ストップビット長選択ビット	ストップビット (送信データのフレームエンドマーク) のビット長を設定します。 SMR:SBL=0, ESBL=0 に設定した場合： ストップビットは 1 ビットに設定されます。 SMR:SBL=1, ESBL=0 に設定した場合： ストップビットは 2 ビットに設定されます。 SMR:SBL=0, ESBL=1 に設定した場合： ストップビットは 3 ビットに設定されます。 SMR:SBL=1, ESBL=1 に設定した場合： ストップビットは 4 ビットに設定されます。 (注意事項) • 受信時は , 常にストップビットの 1 ビット目だけを検出します。 • 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit5	INV： 反転シリアルデータフォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。
bit4	PEN： パリティ許可ビット (動作モード 0 のみ機能)	パリティビットの付加 (送信時) と検出 (受信時) を行うかどうかを設定します。 • "0" に設定した場合：パリティビットは付加されません。 • "1" に設定した場合：パリティビットは付加されます。 (注意事項) 動作モード 1 のときは , 本ビットは内部で "0" に固定されます。
bit3	P： パリティ選択ビット (動作モード 0 のみ機能)	パリティあり (ESCR：PEN=1) に設定した場合に , 奇数パリティ "1" か偶数パリティ "0" のいずれかに設定します。 • "0" に設定した場合：偶数パリティに設定されます。 • "1" に設定した場合：奇数パリティに設定されます。
bit2 ～ bit0	L2, L1, L0: データ長選択ビット	送受信データのデータ長を指定します。 • "000_B" に設定した場合 : データ長は , 8 ビットに設定されます。 • "001_B" に設定した場合 : データ長は , 5 ビットに設定されます。 • "010_B" に設定した場合 : データ長は , 6 ビットに設定されます。 • "011_B" に設定した場合 : データ長は , 7 ビットに設定されます。 • "100_B" に設定した場合 : データ長は , 9 ビットに設定されます。 (注意事項) 上記以外の設定は禁止です。 動作モード 1 では , データ長を 7, 8 ビットに設定してください。その他の設定は禁止です。

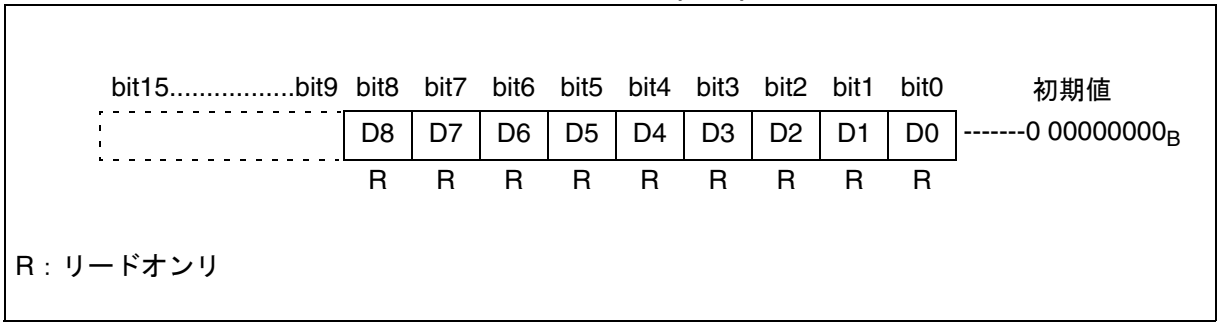
24.4.5　受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し , 書き込んだ場合は送信データレジスタとして機能します。
FIFO 動作許可の場合 , RDR/TDR アドレスは FIFO 読出し , 書込みアドレスとなります。

■ 受信データレジスタ (RDR)

図 24.4-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.4-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は , シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて , 受信データレジスタ (RDR) に格納されます。
- データ長に応じ , 以下のように上位ビットに "0" が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると , 受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合 (SSR : RIE=1) , 受信割込み要求が発生します。
- 受信データレジスタ (RDR) は , 受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は , 受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

- 受信エラーが発生 (SSR：PE, ORE, FRE のいずれかが "1") した場合 , 受信データレジスタ (RDR) のデータは無効となります。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , 受信した AD ビットは , D8 ビットに格納されます。
- 9 ビット長転送 , および動作モード 1 の場合 , RDR の読出しは 16 ビットアクセスで行います。

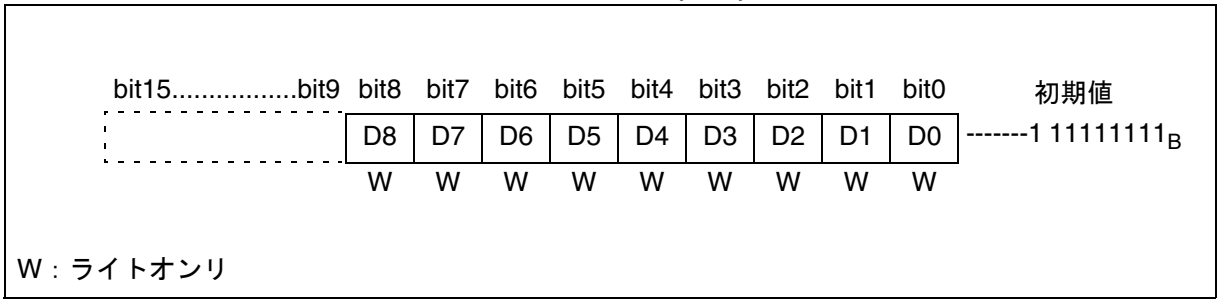
＜注意事項＞

- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
- 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に , 受信エラーが発生 (SSR：PE, ORE, FRE のいずれかが "1") した場合 , 受信 FIFO の許可ビットはクリアされ , 受信データは受信 FIFO には格納されません。

■ 送信データレジスタ (TDR)

図 24.4-6 に送信データレジスタのビット構成を示します。

図 24.4-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は , シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR：TXE=1) , 送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され , シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ , 以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR：TDRE) は , 送信データが送信データレジスタ (TDR) に書き込まれると "0" クリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は , 送信データが送信用シフトレジスタへ転送されて送信が開始されると , 送信 FIFO が禁止または送信 FIFO がエンプティの場合 , "1" にセットされます。
- 送信データエンプティフラグ (SSR : TDRE) が "1" のとき , 送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは , 送信割込みの発生によるか , 送信データエンプティフラグ (SSR：TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR：TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは , 送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , AD ビットの送信は , D8 ビットへの書込みにより行います。
- 9 ビット長転送 , および動作モード 1 の場合 , TDR への書込みは 16 ビットアクセスで行います。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで ， 受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため , 書込み値と読出し値が異なります。したがって , INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは , 「24.5.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。

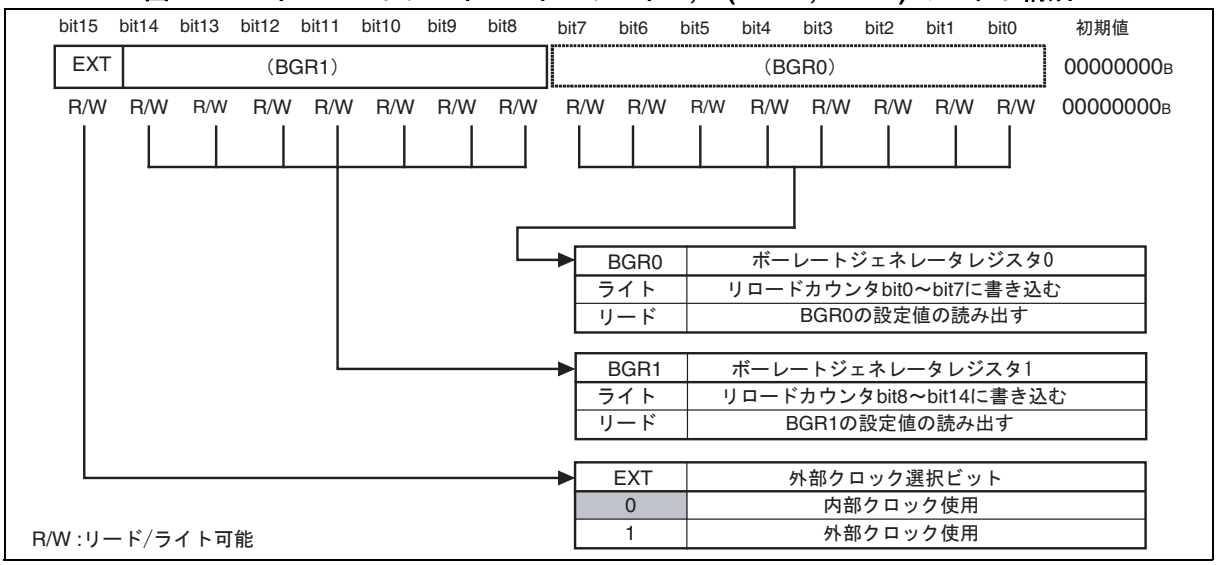
24.4.6　ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は , シリアルクロックの分周比を設定します。また , リロードカウンタのクロックソースとして外部クロックを選択できます。

■ ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.4-7 にボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.4-7 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット , BGR0 は下位ビットに対応し , カウントするリロード値の書込み , BGR1/BGR0 の設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットでリロードカウンタのクロックソースを内部クロックに使用するか , 外部クロックを使用するかを選択します。EXT=0 に設定した場合 , 内部クロックを選択します。EXT=1 に設定した場合 , 外部クロックを選択します。

＜注意事項＞

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは , 16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合 , カウンタ値が "0000_H" になってから , 新しい設定値がリロードされます。したがって , 新しい設定値を即有効にしたい場合は , BGR1/BGR0 の設定値を変更した後 , プログラマブルクリア (UPCL) を実行してください。
- リロード値が偶数の場合 , 受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合 , シリアルクロックの "H" 幅と "L" 幅は同じになります。
- BGR1/BGR0 へは , 4 以上の値を設定してください。ただし , ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定 (EXT=1) に変更する場合 , ボーレートジェネレータ 1, 0 (BGR1, BGR0) に "0" を書き込み , プログラムクリア (UPCL) 実行後 , 外部クロック (EXT=1) に設定してください。

24.4.7　FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は , 送受信 FIFO の選択 , 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 24.4-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を , 表 24.4-8 に各ビットの機能を示します。

図 24.4-8 FIFO 制御レジスタ 1(FCR1) のビット構成

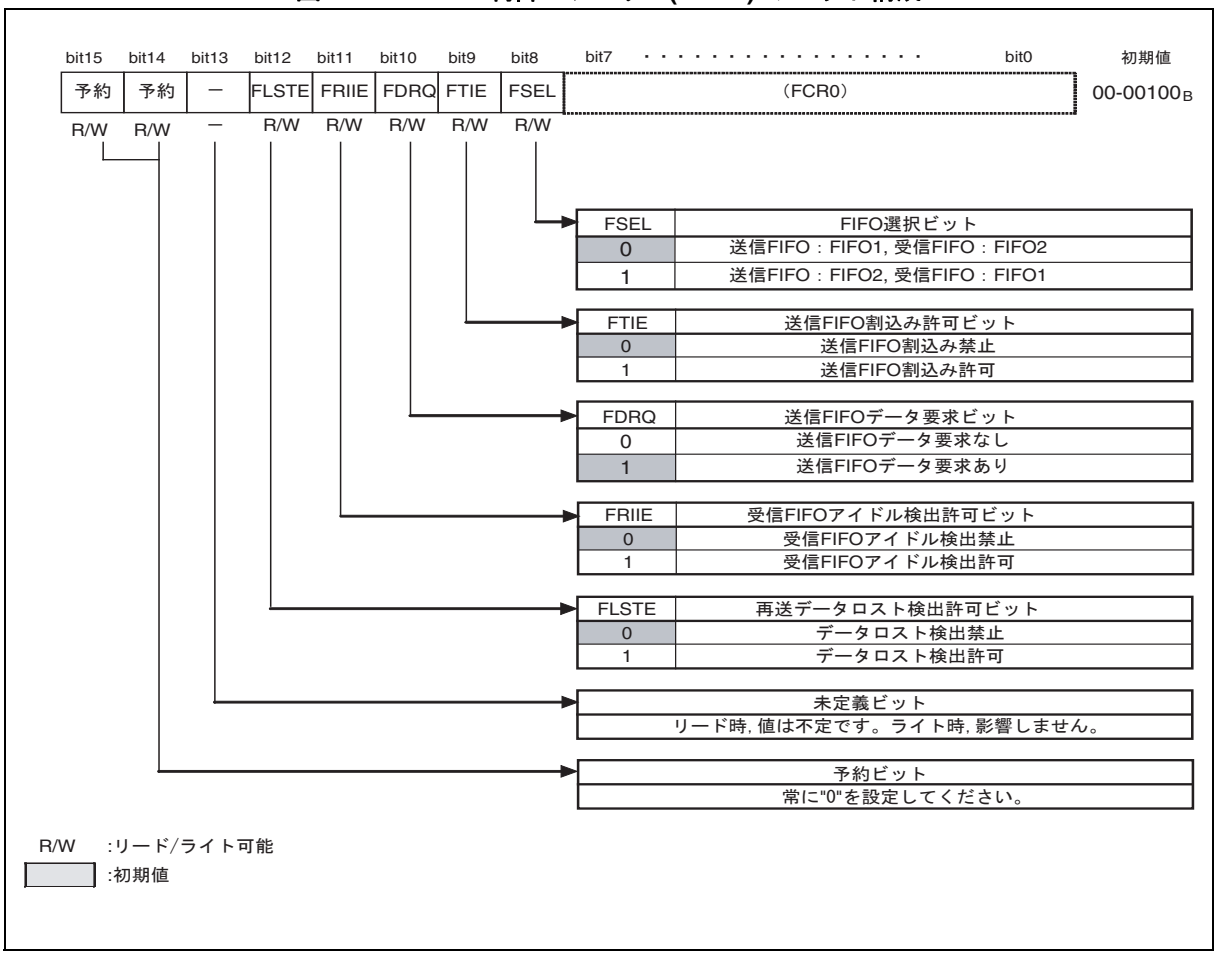


表 24.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "0" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE: 再送データ ロスト検出許可 ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項)　本ビットに "1" を設定する場合 , FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル 検出許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込みが許可 (SCR:RIE=1) されているときに受信アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき , 送信データを要求していることを示します。このとき , 送信 FIFO 割込みが許可 (FTIE=1) されていると , FIFO 送信割込み要求を出力します。 FDRQ セット条件 FBYTE1/FBYTE2(送信用)=0　(送信 FIFO がエンプティ) FDRQ リセット条件 • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項)　送信 FIFO 許可のときに "0" 書込みは有効です。 FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットに "1" を設定した場合 , 動作に影響を与えません。 リードモディファイライト (RMW) 系命令時には , "1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 24.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL： FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は , FIFO 動作禁止 (FCR0 : FE2, FE1=0) にしてから行ってください。

24.4.8　FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は , FIFO 動作の許可 / 禁止 , FIFO リセット , リードポインタの保存 , 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 24.4-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を , 表 24.4-9 に各ビットの機能を示します。

図 24.4-9 FIFO 制御レジスタ 0(FCR0) のビット構成

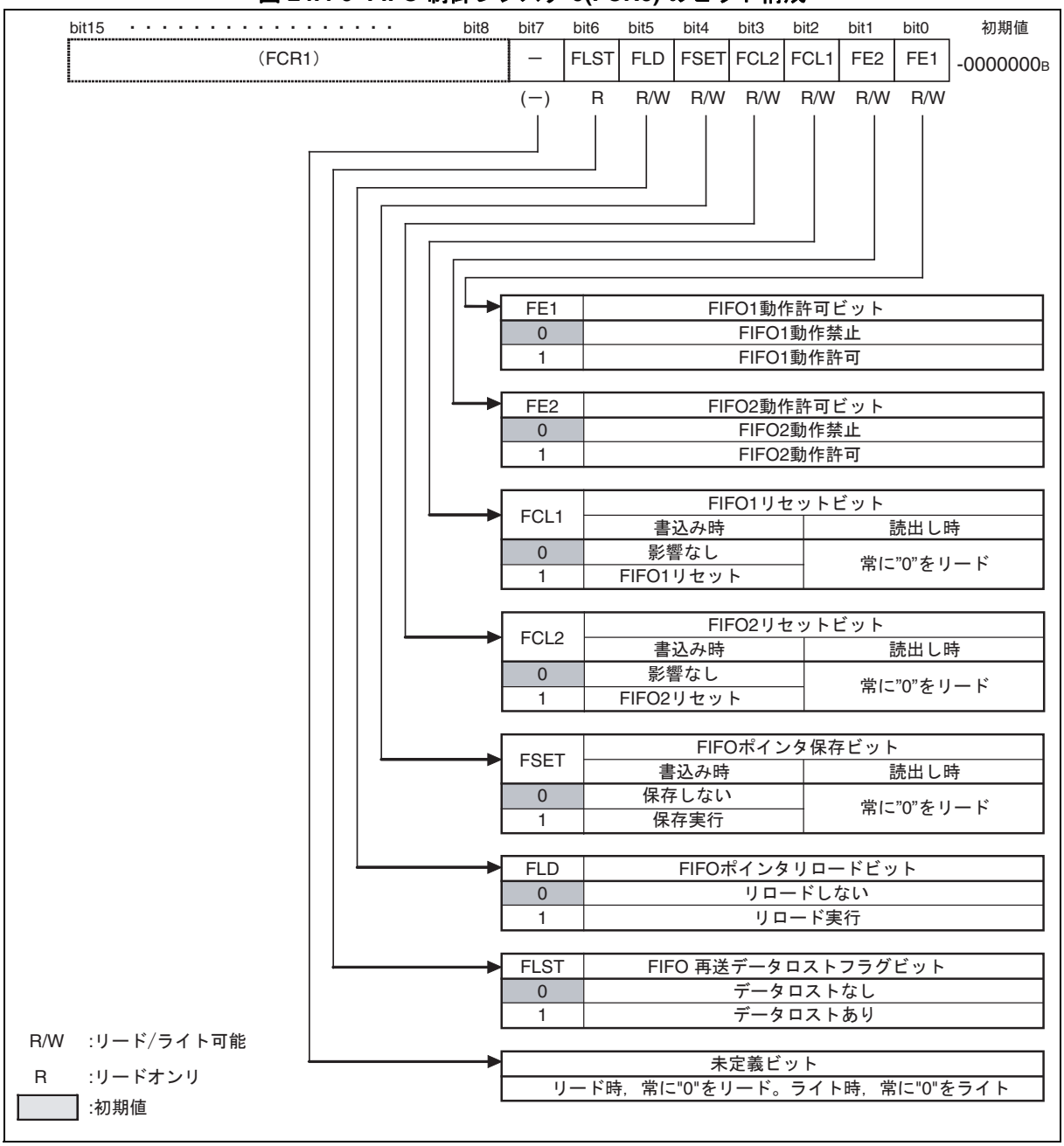


表 24.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST： FIFO 再送 データロスト フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存 したリードポインタが一致しているときに FIFO へ書き込んだ (上書きした) 場合 FLST リセット条件 • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい , エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し , 再度 FIFO にデータを書き込んでください。
bit5	FLD： FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合 , 本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間 , リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中に本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み , 送信 FIFO 許可後 , TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET： FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 通信前にリードポインタを保存すると , 通信エラーなどが発生した場合 , FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2： FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると , FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから , FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	FCL1： FIFO1 リセット ビット	FIFO1 をリセットするビットです。 本ビットを "1" に設定すると , FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項)　送受信を禁止してから , FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。
bit1	FE2： FIFO2 動作許可 ビット	FIFO2 の動作を許可 / 禁止するビットです。 • FIFO2 を使用する場合 , 本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1) , 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し , UART が送信許可 (TXE=1) のとき , 直ちに送信を開始します。このとき , TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1)のとき , 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1： FIFO1 動作許可 ビット	FIFO1 の動作を許可 / 禁止するビットです。 • FIFO1 を使用する場合 , 本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し , UART が送信許可 (TXE=1) のとき , 直ちに送信を開始します。このとき , TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1)のとき , 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

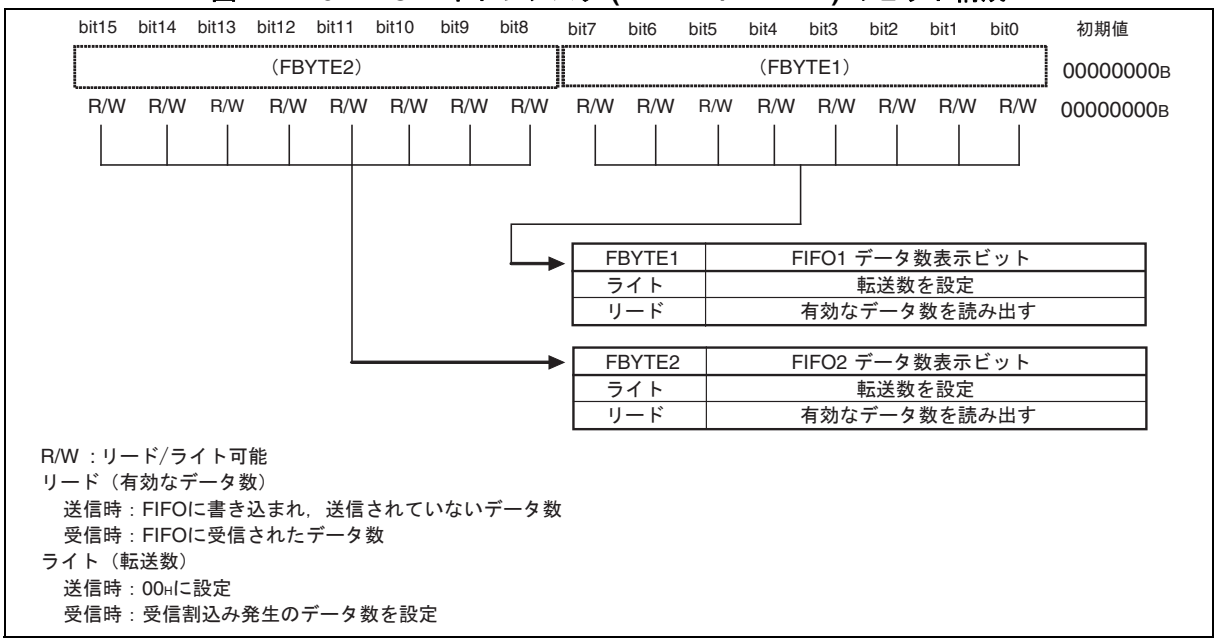
24.4.9　FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は , FIFO の有効なデータ数を示します。また , 受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.4-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.4-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは , FIFO に書込みまたは受信した有効なデータ数を示し , FCR1:FSEL ビットの設定によって以下のようになります。

表 24.4-10 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2：受信 FIFO, FIFO1：送信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1
1	FIFO2：送信 FIFO, FIFO1：受信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1

- FBYTE1/FBYTE2 レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE1/FBYTE2 に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE1/FBYTE2 レジスタのデータ数表示が一致すると割込みフラグ (SSR:RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。

＜注意事項＞

- 送信 FIFO の FBYTE1/FBYTE2 レジスタには "00_H" を設定してください。
- 受信 FIFO の FBYTE1/FBYTE2 は "1" 以上のデータを設定してください。
- 受信を禁止してから本レジスタを変更してください。
- 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
- FIFO 容量を超える設定は禁止です。

24.5　UART の割込み

UART には , 送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

- **受信データが受信データレジスタ (RDR) にセットされた場合 , または受信エラーが発生した場合**
- **送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され , 送信が開始された場合**
- **送信バスアイドル (送信動作なし)**
- **送信 FIFO データ要求**

■ UART の割込み

UART の割込み制御ビットと割込み要因は表 24.5-1 のようになっています。

表 24.5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
					FBYTE1/FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
					FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み , または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み , または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1	○	○	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

24.5.1　受信割込み発生とフラグセットのタイミング

受信時の割込みとしては , 受信完了 (SSR:RDRF) および受信エラーの発生 (SSR : PE, ORE, FRE) があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより , 受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR:PE, ORE, FRE=1) すると各フラグがセットされます。そのとき , 受信割込みが許可 (SSR:RIE=1) されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は , 受信データレジスタ (RDR) のデータは無効となります。

図 24.5-1 RDRF(受信データフル) フラグビットのセットタイミング

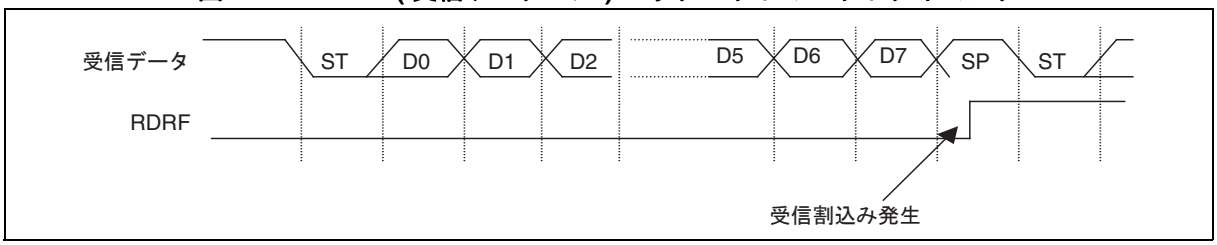
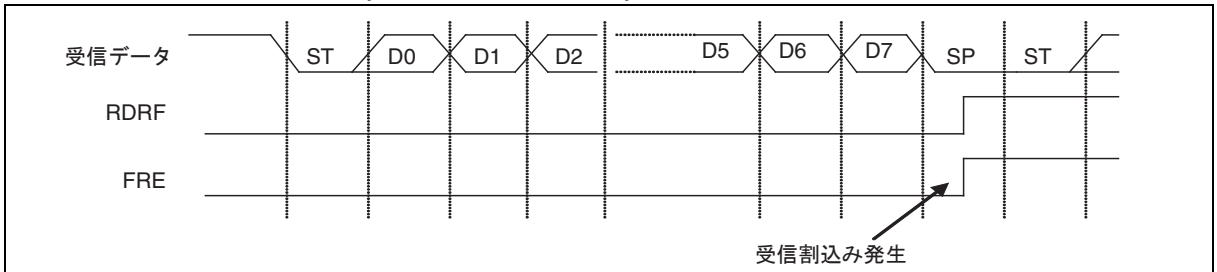
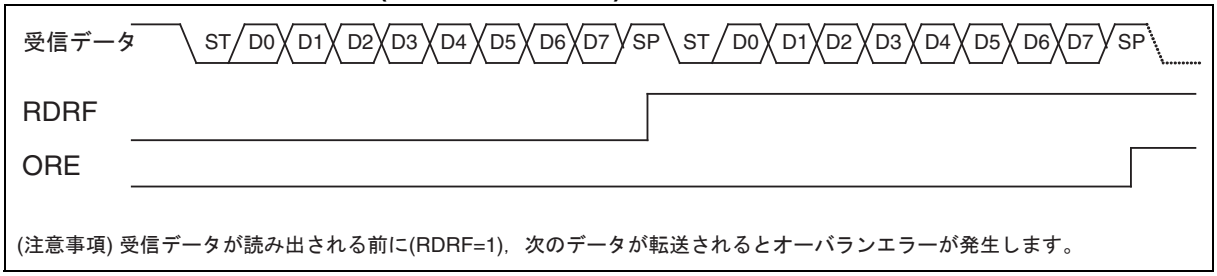


図 24.5-2 FRE (フレーミングエラー) フラグビットのセットタイミング



(注意事項) ・最初のストップビットが"L"レベルのとき，フレーミングエラーが発生します。
・フレーミングエラーが発生しても，RDRFは"1"にセットされデータは受信されますが，受信データは無効です。

図 24.5-3 ORE (オーバランエラー) フラグビットのセットタイミング



(注意事項) 受信データが読み出される前に(RDRF=1)，次のデータが転送されるとオーバランエラーが発生します。

24.5.2　受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは , FBYTE レジスタ (FBYTE1/FBYTE2) の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は , FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき , 受信割込みが許可 (SCR:RIE) されていると受信割込みを発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと , 受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で , 次のデータを受信するとオーバランエラー (SSR:ORE=1) が発生します。

図 24.5-4　受信 FIFO 使用時の受信割込み発生タイミング

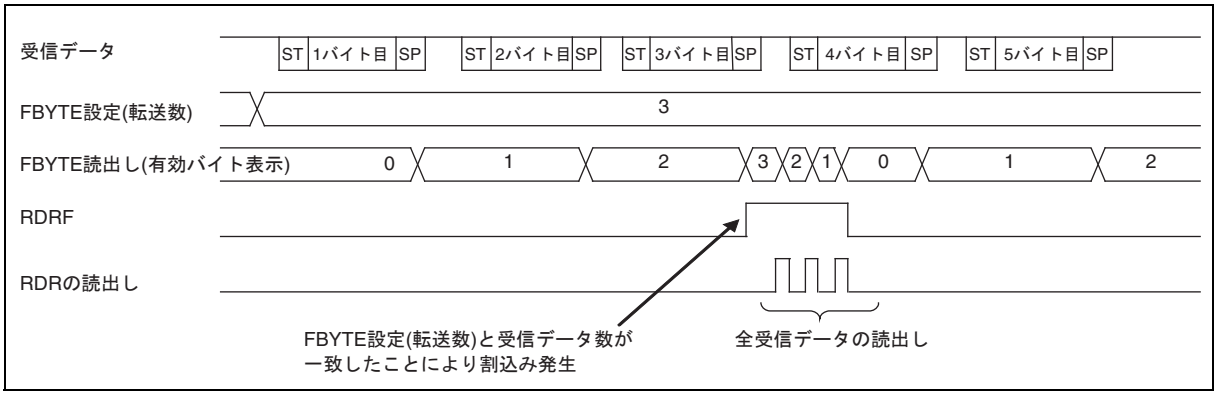
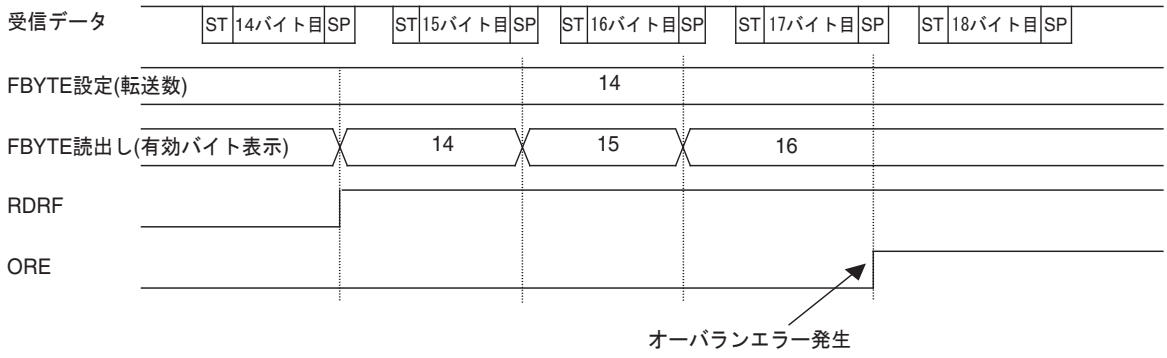


図 24.5-5 ORE (オーバランエラー) フラグビットのセットタイミング



(注意事項) FBYTE読出しがFIFO容量を示した状態で，次のデータを受信するとオーバランエラーが発生します。

24.5.3　送信割込み発生とフラグセットのタイミング

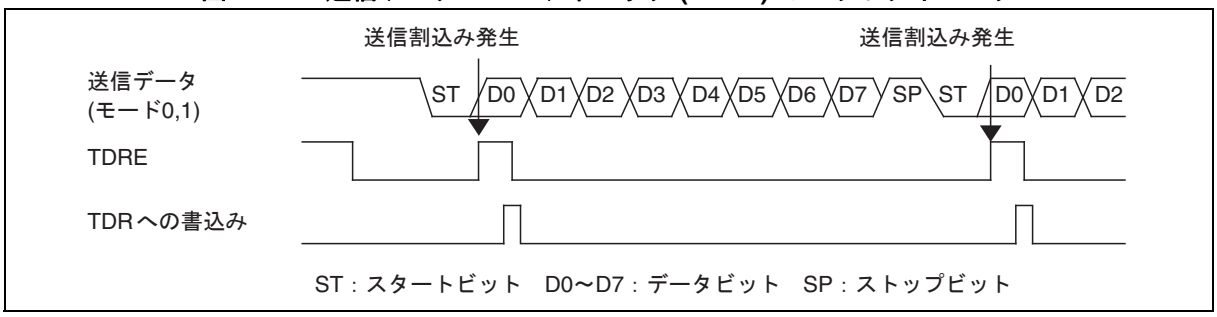
送信時の割込みとしては , 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR：TDRE=1) て送信が開始された場合と送信動作をしていない場合 (SSR：TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると , 次のデータの書込みが可能な状態 (SSR:TDRE=1) になります。そのとき , 送信割込みが許可 (SCR:TIE=1) されていると , 送信割込みが発生します。TDRE ビットはリードオンリビットなので , 送信データレジスタ (TDR) へのデータ書込みにより "0" にクリアされます。

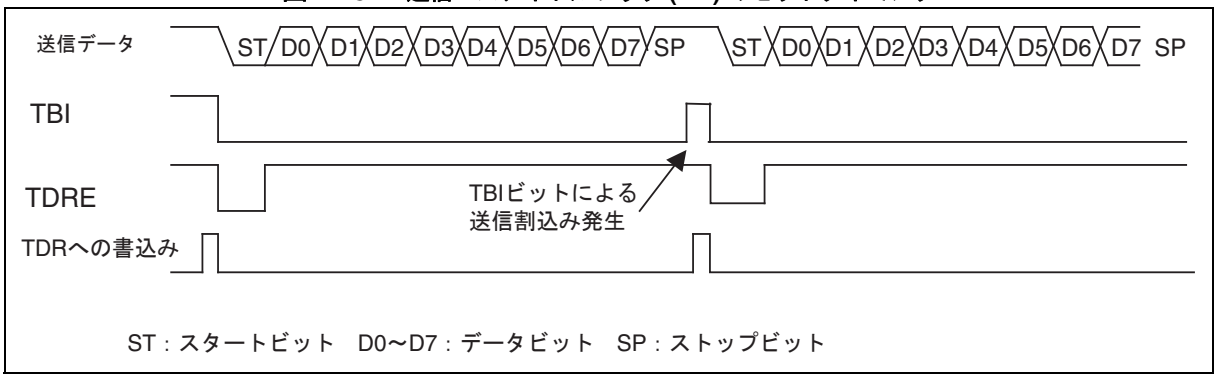
図 24.5-6 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタが空 (TDRE=1) で送信動作をしていないとき , SSR：TBI ビットは "1" にセットされます。このとき , 送信バスアイドル割込みが許可 (SCR：TBIE=1) されていると , 送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 24.5-7 送信バスアイドルフラグ (TBI) のセットタイミング



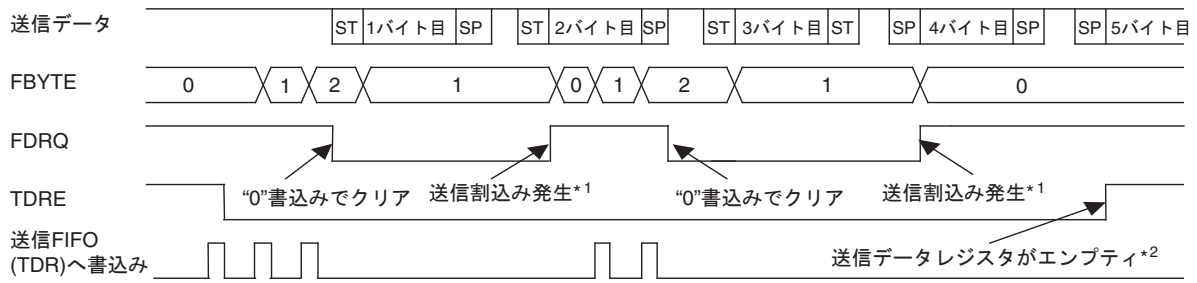
24.5.4　送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは , 送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合 , FIFO 送信データ要求ビット (FCR1：FDRQ) が "1" にセットされます。
  このとき , FIFO 送信割込みが許可 (FCR1：FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら , FIFO 送信データ要求ビット (FCR1：FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在確認は , FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
  FBYTE1/FBYTE2 = 00_H のときは , 送信 FIFO にデータが存在していないことを示します。

図 24.5-8 送信 FIFO 使用時の送信割込み発生タイミング



*1 : 送信FIFOがエンプティのため，FDRQ=1にセットされる。

*2 : 送信シフトレジスタと送信バッファレジスタにデータが存在しないため，TDRE=1にセットされる。

24.6　UART の動作

UART は , モード 0 の双方向シリアル非同期通信 , モード 1 のマスタ / スレーブマルチプロセッサ通信で動作します。

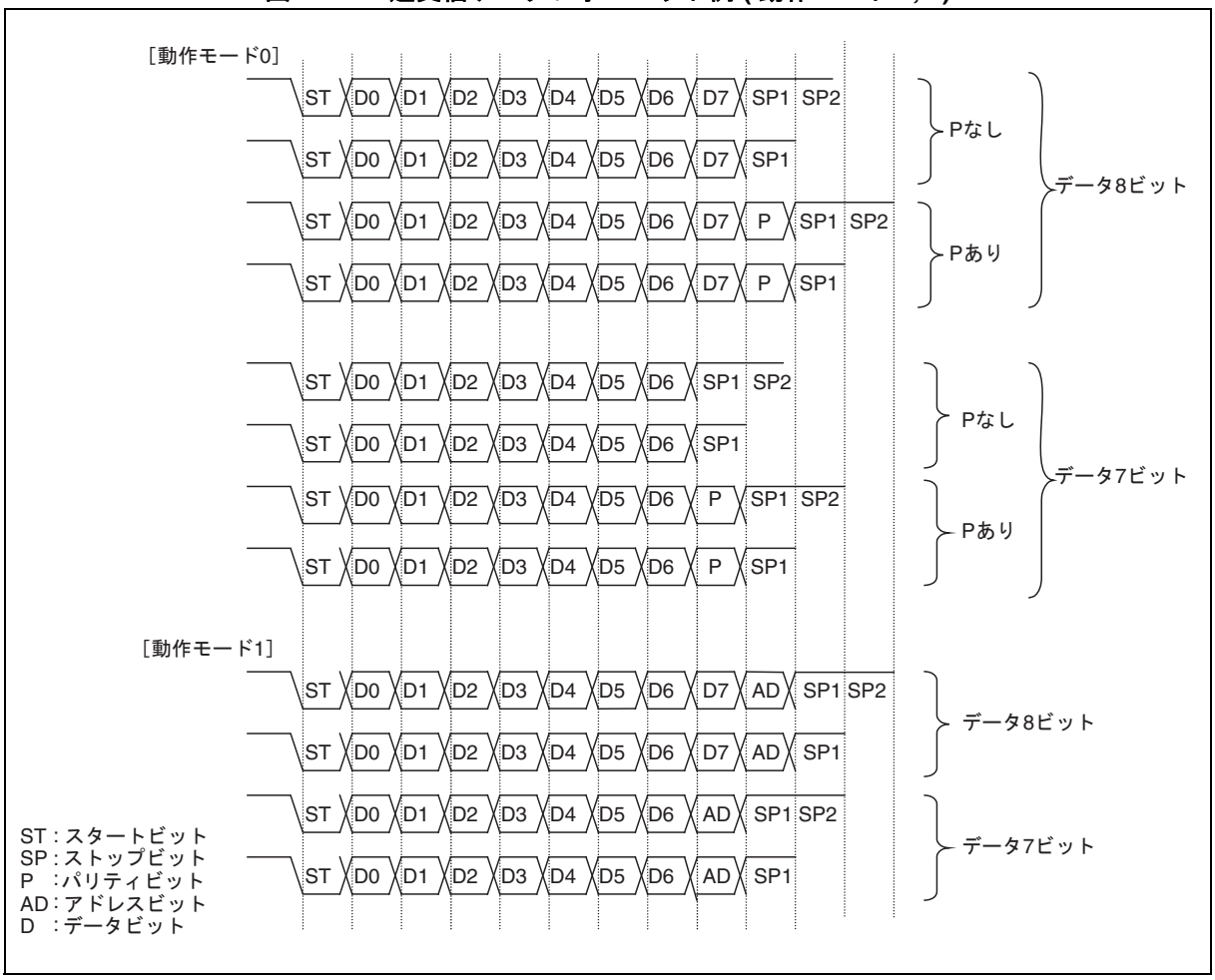
■ UART の動作

● 送受信データフォーマット

- 送受信データは , 必ずスタートビットから始まり , 指定されたデータビット長の送受信が行われ , 少なくとも 1 ビットのストップビットで終了します。
- データ転送方向 (LSB ファーストまたは MSB ファースト) は , シリアルモードレジスタ (SMR) の BDS ビットで決定されます。パリティありの場合 , パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0(通常モード) では , パリティはあり / なしの選択ができます。
- 動作モード 1(マルチプロセッサモード) ではパリティは付加されず , AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 24.6-1 に示します。

図 24.6-1 送受信データフォーマット例 (動作モード 0, 1)



＜注意事項＞

- 図 24.6-1 は , データ長 7 ビット , 8 ビットに設定した場合を示しています (データ長は , 動作モード 0 の場合 , 5 ビット～ 9 ビットまで設定できます)。
- シリアルモードレジスタ (SMR) の BDS ビットを "1" (MSB ファースト) に設定した場合 , ビットは D7, D6, D5, ・・・, D1, D0(P) の順で処理されます。
- データ長をXビット長に設定した場合 , 送受信データレジスタ (RDR/TDR) の下位Xビットが有効になります。

● 送信動作

- シリアルステータスレジスタ (SSR) の送信データエンプティフラグビット (TDRE) が "1" であれば , 送信データレジスタ (TDR) に送信データを書き込むことができます (送信 FIFO が許可されている場合には TDRE=0 でも送信データを書くことは可能)。
- 送信データを送信データレジスタ (TDR) に書き込むと , 送信データエンプティフラグビット (TDRE) は "0" になります。
- シリアル制御レジスタの送信動作許可ビット (SCR : TXE) を "1" に設定すると , 送信データは送信シフトレジスタにロードされてスタートビットから順に送信が開始されます。
- 送信が開始されると , 送信データエンプティフラグビット (TDRE) は再び "1" にセットされます。このとき , 送信割込みが許可 (SCR : TIE=1) されていると送信割込みが発生します。割込み処理において , 次の送信データを送信データレジスタに書き込むことができます。

＜注意事項＞

- 送信データエンプティフラグビット (SSR : TDRE) は初期値が "1" のため , 送信割込みが許可 (SCR : TIE=1) されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット (FCR1 : FDRQ) は初期値が "1" のため , FIFO 送信割込みが許可 (FCR1 : FTIE=1) されると直ちに送信割込みが発生します。

● 受信動作

- 受信動作が許可 (SCR：RXE=1) されると受信動作を行います。
- スタートビットを検出すると , 拡張通信制御レジスタ (ESCR : PEN, P, L2, L1, L0), およびシリアルモードレジスタ (SMR : BDS) に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。
- 1 フレームの受信が完了すると , 受信データフルフラグビット (SSR：RDRF) が "1" にセットされます。このとき , 受信割込みが許可 (SCR : RIE=1) されている場合 , 受信割込みが発生します。
- 受信データを読み出す際には , 1 フレームデータの受信完了後に受信データを読み出し , シリアルステータスレジスタ (SSR) のエラーフラグの状態を確認してください。受信エラーが発生している場合には , エラー処理を行ってください。
- 受信データの読出しで , 受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。
- 受信 FIFO が許可されている場合 , 受信 FBYTE1/FBYTE2 に設定された分のフレームを受信すると受信データフルフラグビット (SSR : RDRF) は "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されると , そのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。
- 受信 FIFO が許可されている場合 , シリアルステータスレジスタ (SSR) のエラーフラグが "1" にセットされると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また , そのとき受信データフルフラグビット (SSR：RDRF) を "1" にセットしません (ただし , オーバランエラーの場合は RDRF フラグは "1" にセットされます)。受信 FBYTE1/FBYTE2 の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ (SSR) のエラーフラグが "0" にクリアされないと受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合 , 受信 FIFO にデータがなくなると受信データフルフラグビット (SSR：RDRF) は "0" にクリアされます。

＜注意事項＞

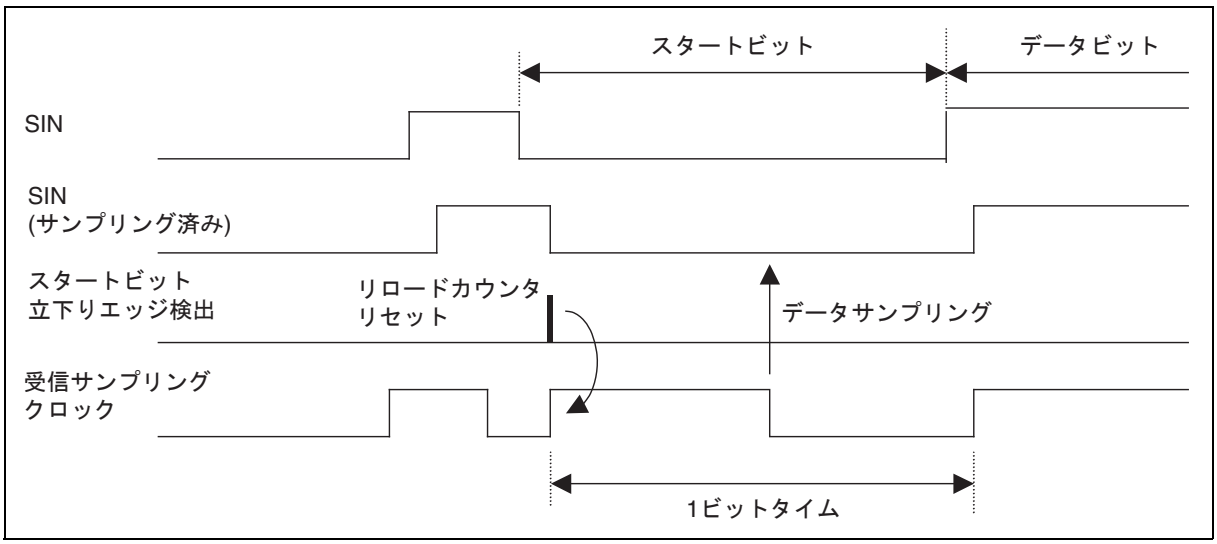
受信データレジスタ (RDR) のデータは , 受信データレジスタフルフラグビット (SSR：RDRF) が "1" にセットされ , 受信エラーが発生しなかった場合 (SSR：PE, ORE, FRE=0) に有効となります。

● クロック選択

- 内部クロック , または外部クロックを使用できます。
- 外部クロックを使用する場合は , BGR:EXT=1 に設定します。この場合 , 外部クロックがボーレートジェネレータで分周されます。

● スタートビット検出

- 非同期モード時は , SIN 信号の立下りエッジによってスタートビットを認識します。このため受信動作を許可 (SCR:RXE=1) しても , SIN 信号の立下りエッジが入力されないと受信動作を開始しません。
- スタートビットの立下りエッジを検出すると , ボーレートジェネレータの受信リロードカウンタはリセットされ , 再リロードしカウントダウンを開始します。これによって , 常にデータの中心でサンプリングします。



● ストップビット

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット (SSR : RDRF) は , 最初のストップビットを検出すると "1" にセットされます。

● エラー検出

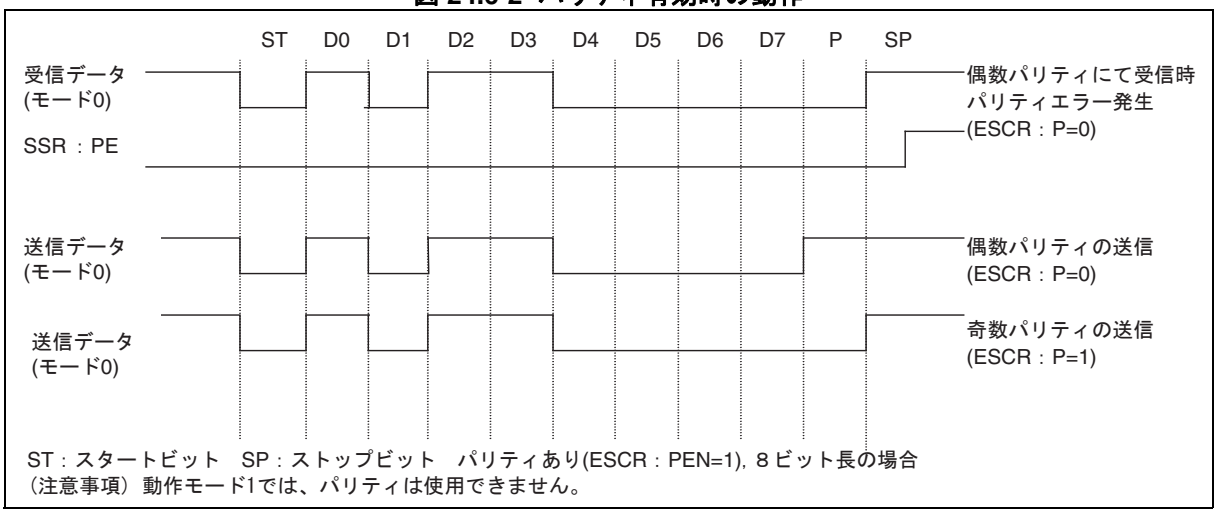
- 動作モード 0 では , パリティエラー , オーバランエラー , フレームエラーを検出できます。
- 動作モード 1 では , オーバランエラー , フレームエラーを検出できます。パリティエラーは検出できません。

● パリティビット

- パリティビットの付加は , 動作モード 0 の場合のみ設定できます。パリティ許可ビット (ESCR：PEN) でパリティの有無を , パリティ選択ビット (ESCR：P) で偶数パリティ / 奇数パリティを設定できます。
- 動作モード 1 では , パリティを使用できません。

パリティ有効時の送受信データを図 24.6-2 に示します。

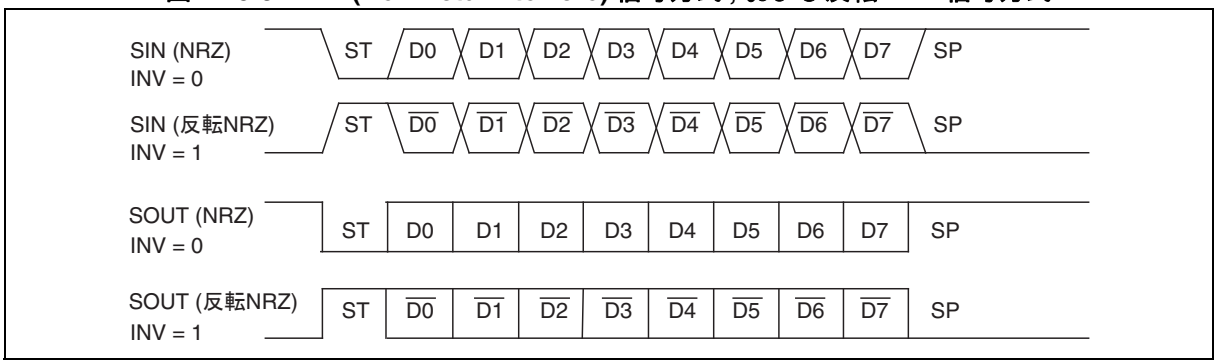
図 24.6-2 パリティ有効時の動作



● データ信号方式

拡張通信制御レジスタの INV ビットの設定によって , NRZ(Non Return to Zero) 信号方式 (ESCR：INV=0), または反転 NRZ 信号方式 (ESCR：INV=1) を選択できます。
NRZ 信号方式および反転 NRZ 信号方式を図 24.6-3 に示します。

図 24.6-3 NRZ (Non Return to zero) 信号方式 , および反転 NRZ 信号方式



● データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストから選択できます。

24.7　専用ボーレートジェネレータ

UART の送受信クロックソースは , 次のいずれかを選択できます。

- **専用ボーレートジェネレータ (リロードカウンタ)**
- **外部クロックをボーレートジェネレータに入力 (リロードカウンタ)**

■ UART ボーレート選択

ボーレートは次の 2 種類の中から 1 種類を選択できます。

● **専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート**

2 つの内部リロードカウンタがあり , それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより , ボーレートを選択できます。

リロードカウンタは , 設定された値で内部クロックを分周します。

クロックソースの設定は , 内部クロックを選択 (BGR:EXT=0) してください。

● **専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート**

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより , ボーレートを選択できます。

リロードカウンタは , 設定された値で外部クロックを分周します。

クロックソースの設定は , 外部クロックとボーレートジェネレータクロックの使用を選択 (BGR:EXT=1) してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

＜注意事項＞

- **外部クロックの設定(EXT=1)は, リロードカウンタが停止した状態(BGR1/BGR0=15'h00)で行ってください。**
- **外部クロックに設定 (EXT=1) した場合 , 外部クロックの "H" 幅 , "L" 幅は 2 周辺クロック (PCLK) 以上必要です。**

24.7.1　ボーレート設定

ボーレートの設定を示します。また , シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは , ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値 :

$V = \phi / b - 1$

V : リロード値
b : ボーレート
ϕ : 周辺クロック (PCLK), 外部クロック周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用 , ボーレート 19200bps に設定する場合のリロード値は , 次のようになります。

リロード値 :

$V = (16 \times 1000000)/19200 - 1 = 832$

よって , ボーレートは ,

$b = (16 \times 1000000)/(832+1) = 19208$ bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差 (%) = (計算値 - 目標値)/ 目標値 × 100

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

リロード値 =(20 × 1000000)/153600 - 1 = 129

ボーレート (計算値) =(20 × 1000000)/(129+1) = 153846 (bps)

誤 差 (%) =(153846 - 153600)/153600 × 100 = 0.16 (%)

＜注意事項＞

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合 , 受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合 , シリアルクロックの "H" 幅と "L" 幅は同じになります。
- リロード値は 4 以上を設定してください。ただし , ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.7-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	—	—	—	—	—	0	4	0	5	0	7	0
2.5M	—	—	—	0	—	—	—	—	—	—	—	—
2M	—	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	—	—	—	—	—	—	—	—	51	− 0.16	—	—
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	—	—	—	—	—	—	—	—	103	− 0.16	—	—
153600	51	− 0.16	64	− 0.16	103	− 0.16	129	− 0.16	155	− 0.16	207	− 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	− 0.64	86	0.22	138	0.08	173	0.22	207	− 0.16	277	0.08
76800	103	− 0.16	129	− 0.16	207	− 0.16	259	− 0.16	311	− 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	− 0.16	416	0.08	555	0.08
38400	207	− 0.16	259	− 0.16	416	0.08	520	0.03	624	0	832	− 0.04
28800	277	0.08	346	< 0.01	554	− 0.01	693	− 0.06	832	− 0.03	1110	− 0.01
19200	416	0.08	520	0.03	832	− 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	− 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	− 0.01
4800	1666	0.02	2082	− 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< − 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	—	—	—	—	—	—
300	26666	< 0.01	—	—	—	—	—	—	—	—	—	—

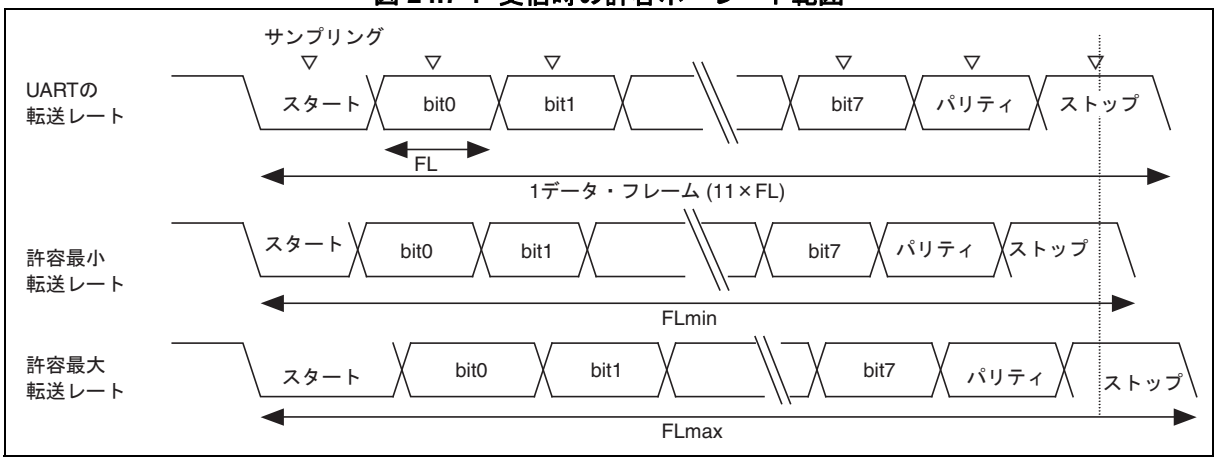
- Value：BGR1/BGR0 レジスタの設定値 (10 進)
- ERR　：ボーレート誤差 (%)

■ 受信時の許容ボーレート範囲

受信の際に , 送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は下記に示す算出式を使用して , 必ず許容誤差範囲内になるように設定してください。

図 24.7-1 受信時の許容ボーレート範囲



図に示すように , スタートビット検出後はBGR1/BGR0 レジスタで設定したカウンタにより , 受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ (ストップビット) までが間に合えば正常に受信できます。

これを 11 ビット受信にあてはめると理論上 , 次のようになります。

サンプリング・タイミングのマージンを周辺クロック (PCLK) (ϕ) の 2 クロック分とすると ,

許容最小転送レート (FLmin) は次のようになります。

FLmin = (11 ビット× (V+1) − (V+1)/2 + 2)/ϕ = (21V+25)/2ϕ (s)

V: リロード値　ϕ : 周辺クロック (PCLK)

したがって , 受信可能な送信先の最大ボーレート (BGmax) は次のようになります。

BGmax = 11/FLmin = 22ϕ/(21V+25) (bps)

V: リロード値　　ϕ : 周辺クロック (PCLK)

同様に , 許容最大転送レート (FLmax) を求めると , 次のようになります。

FLmax = (11 ビット× (V+1) + (V+1)/2 − 2)/ϕ = (23V+19)/2ϕ (s)

V : リロード値　　ϕ : 周辺クロック (PCLK)

したがって , 受信可能な送信先の最小ボーレート (BGmin) は次のようになります。

BGmin = 11/FLmax = 22ϕ/(23V+19) (bps)

V : リロード値　　ϕ : 周辺クロック (PCLK)

前述の最小 / 最大ボーレート値の算出式から , UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 24.7-2 ボーレートの許容誤差

リロード値 (V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-2.81%
50	+4.37%	-4.02%
100	+4.56%	-4.18%
200	+4.66%	-4.26%
32767	+4.76%	-4.35%

＜注意事項＞

受信の精度は , 1 フレームのビット数 , 周辺クロック (PCLK), リロード値に依存します。周辺クロック (PCLK) が高く , 分周比が高くなるほど精度は高くなります。

■ 外部クロック

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の EXT ビットに "1" を書き込むと , ボーレートジェネレータで外部クロックを分周します。

＜注意事項＞

外部クロック信号は UART で内部クロックに同期します。したがって , 同期化不可能な外部クロックの場合には動作が不安定になります

■ リロードカウンタの機能

リロードカウンタには , 送信リロードカウンタと受信リロードカウンタがあり , 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており , 外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと , リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通
  プログラマブルリセット (SCR:UPCL ビット)
- 受信リロードカウンタ
  非同期モードでのスタートビット立下りエッジ検出

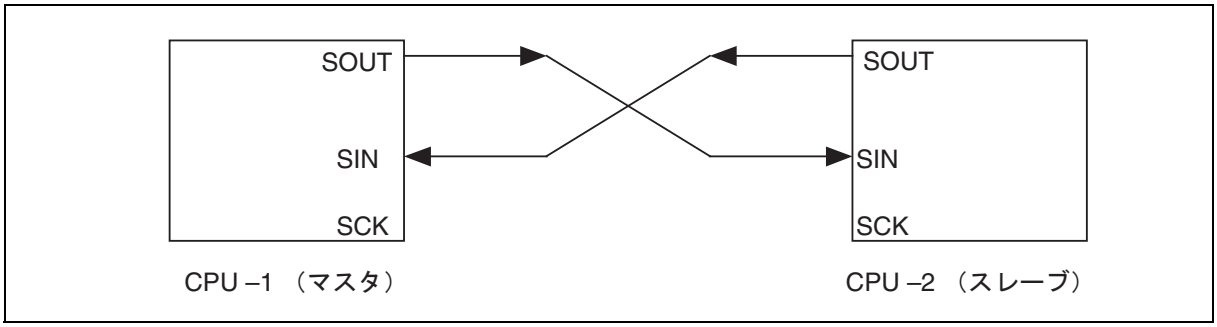
24.8　動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー

動作モード 0 では , 非同期シリアル双方向通信をすることができます。

■ CPU 間接続

動作モード 0(通常モード) では , 双方向通信を選択します。図 24.8-1 に示すように 2 つの CPU を相互に接続します。

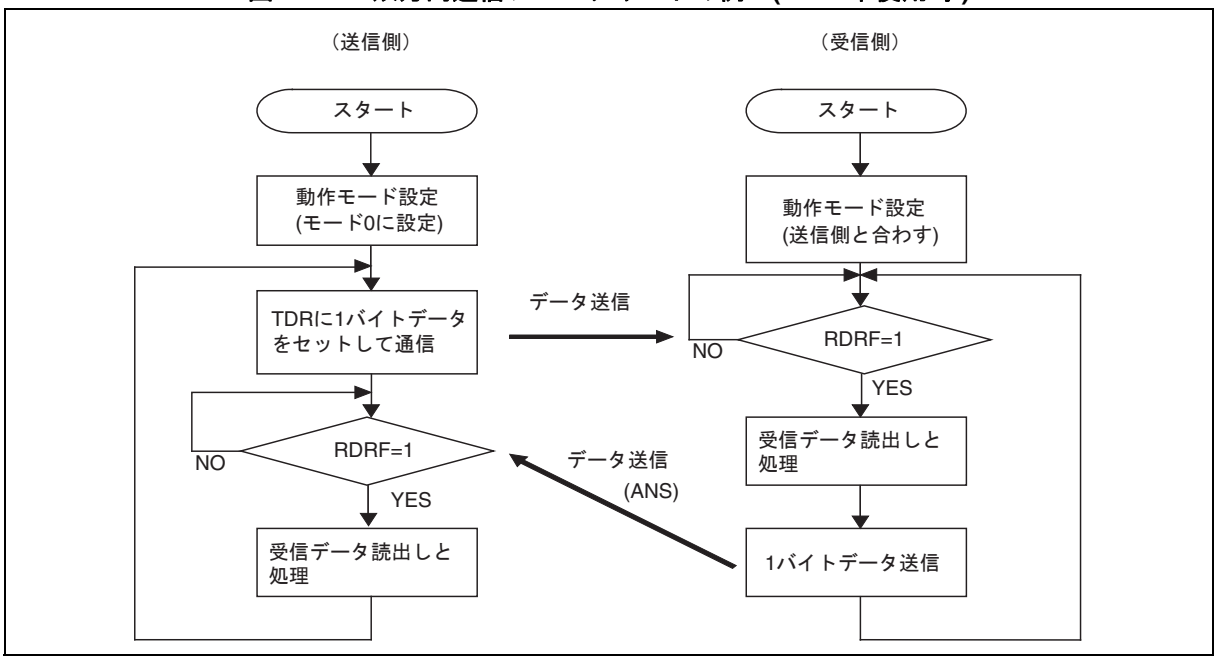
図 24.8-1 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

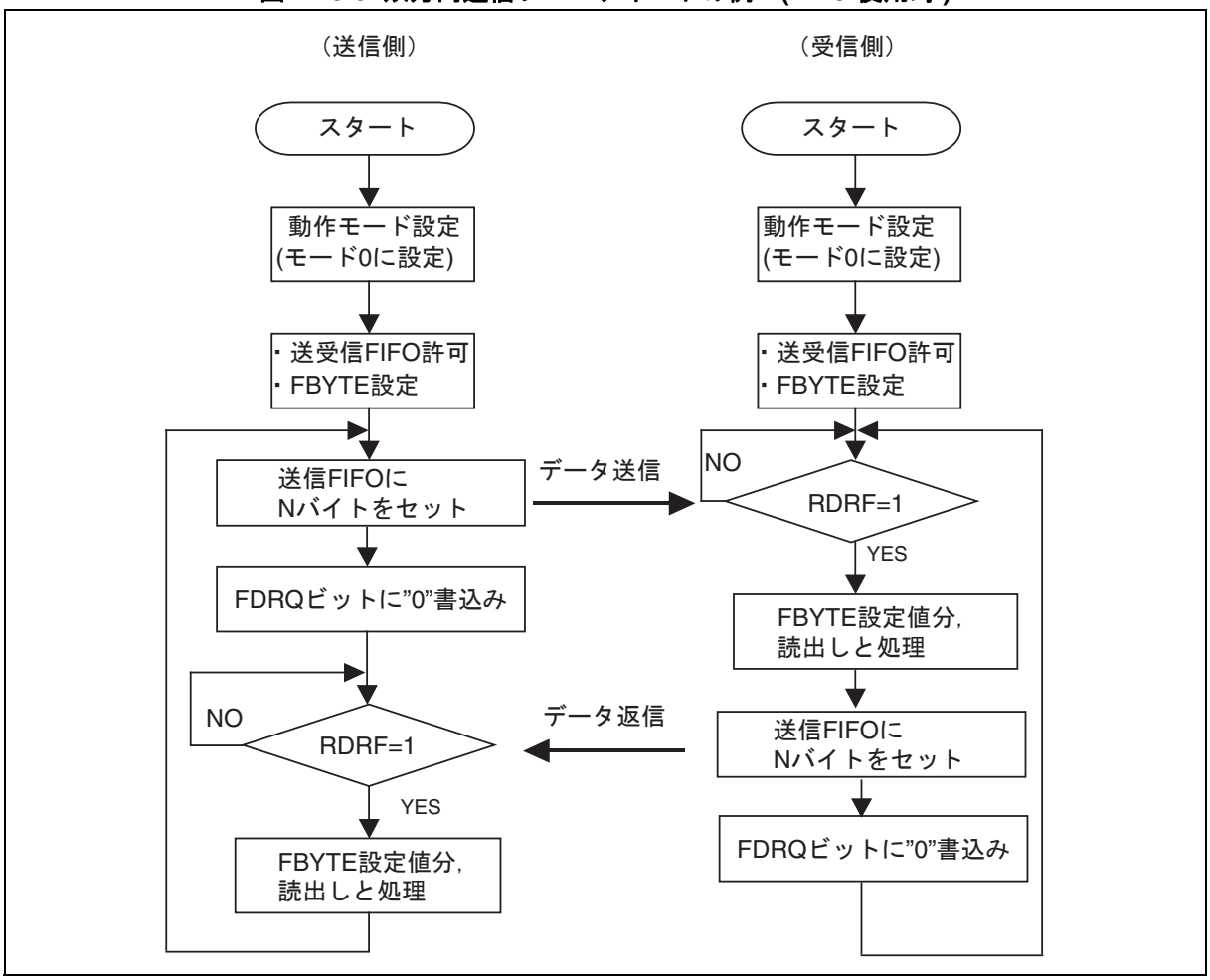
● FIFO 未使用時

図 24.8-2 双方向通信フローチャートの例　(FIFO 未使用時)



● FIFO 使用時

図 24.8-3 双方向通信フローチャートの例　(FIFO 使用時)



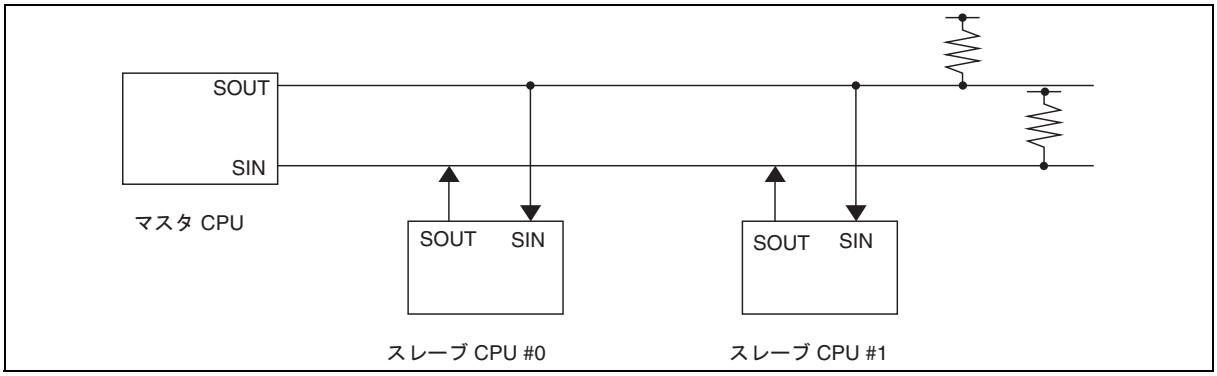
24.9　動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード) では , 複数 CPU のマスタ / スレーブ接続による通信が可能です。マスタ / スレーブとして使用できます。

■ CPU 間接続

マスタ / スレーブ型通信では , 図 24.9-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 24.9-1 UART のマスタ / スレーブ型通信の接続例



■ 機能選択

マスタ / スレーブ型通信では , 表 24.9-1 に示すように動作モードとデータ転送方式を選択してください。

表 24.9-1 マスタ / スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = 1 ＋ 7 ビットまたは 8 ビットアドレス	なし	1 ビット ～ 4 ビット	LSB ファーストまたは , MSB ファースト
データ送受信			AD = 0 ＋ 7 ビットまたは 8 ビットデータ			

＜注意事項＞

動作モード 1 では送受信データ (RDR/TDR) はハーフワードアクセスで行ってください。

● 通信手順

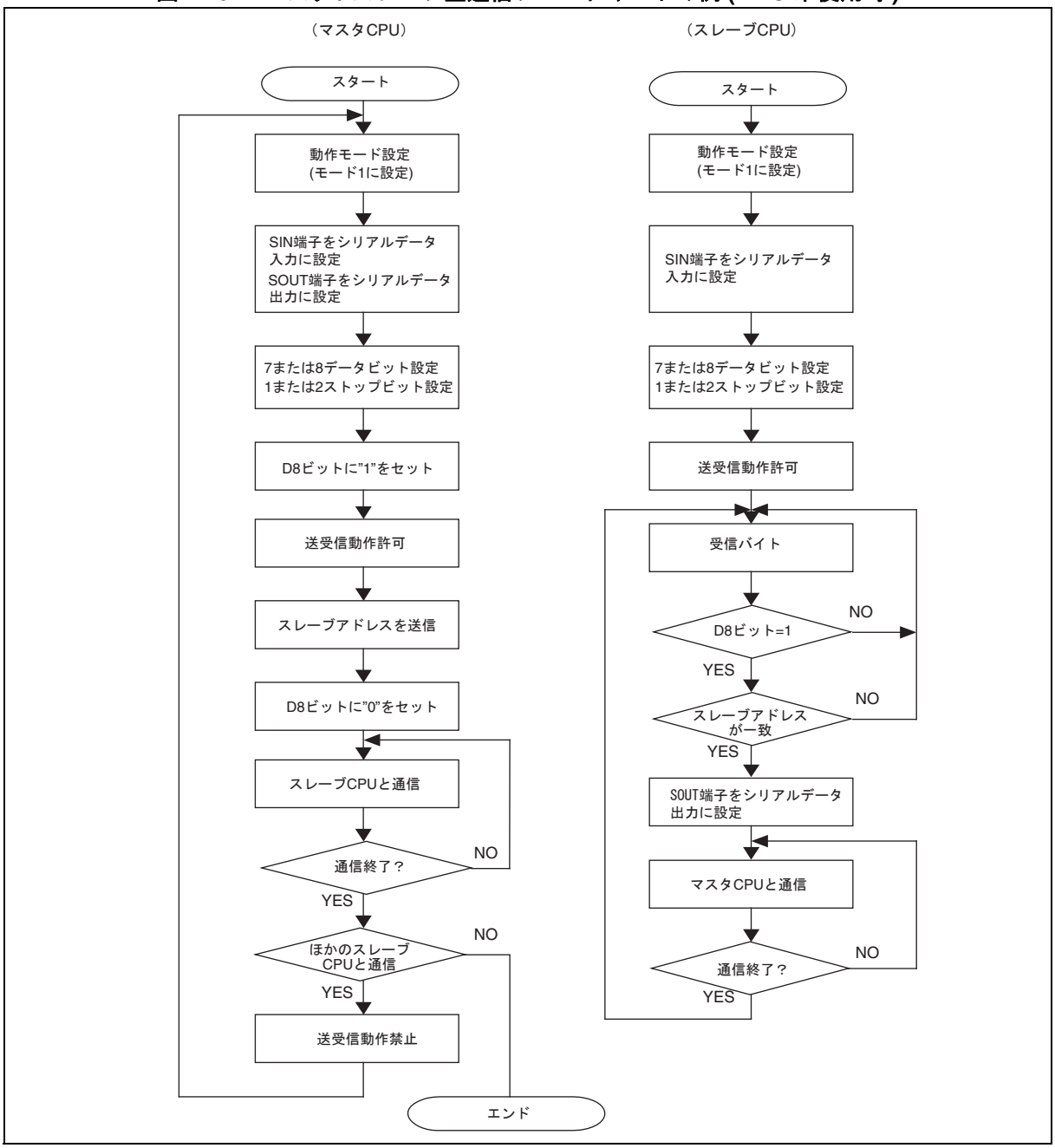
通信は , マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1" としたデータで , 通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し , 割り当てられたアドレスと一致した場合にマスタ CPU との通信 (通常データ) をします。

図 24.9-2 , 図 24.9-3 に , マスタ / スレーブ型通信 (マルチプロセッサモード) のフローチャートを示します。

■ フローチャート

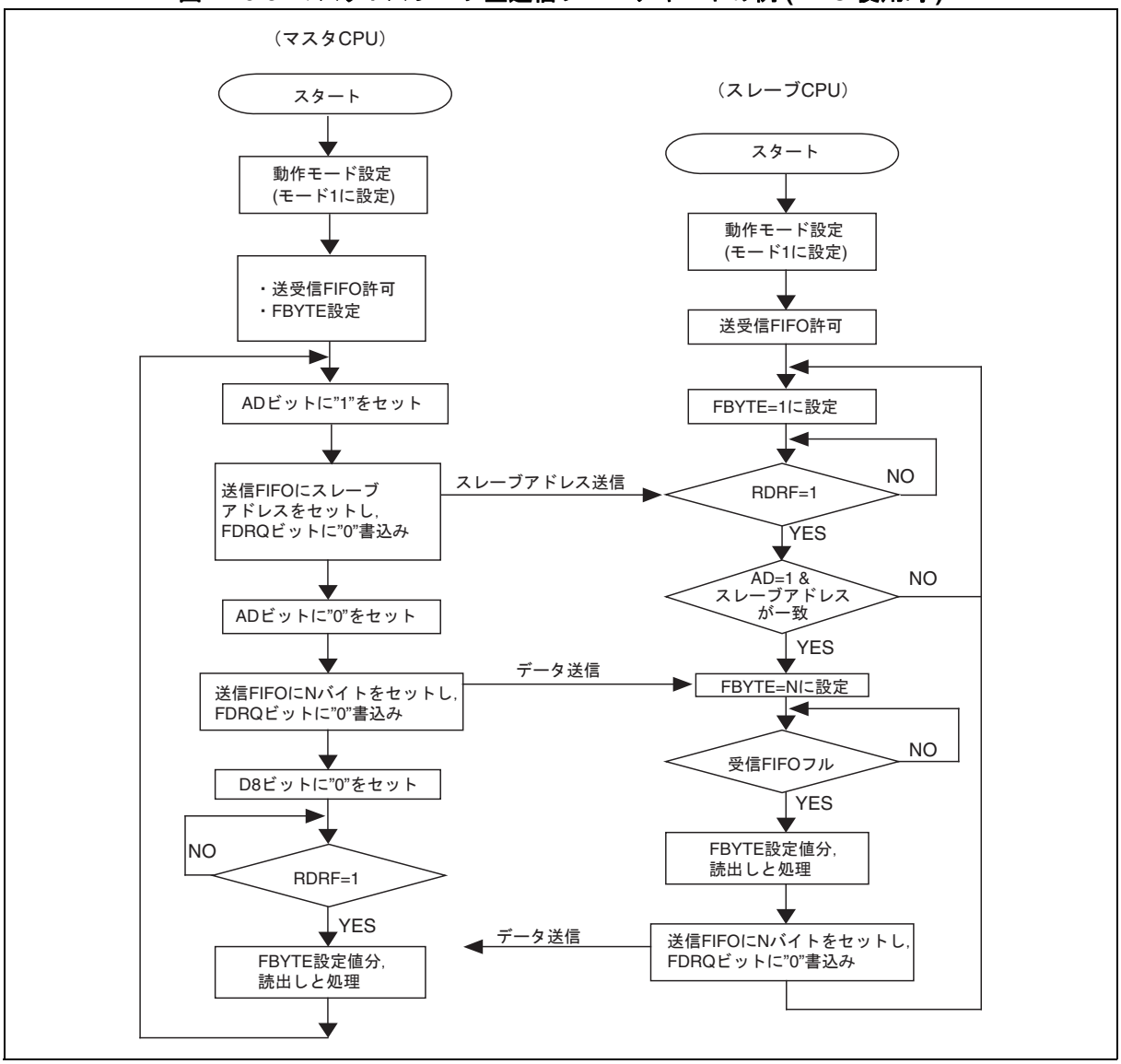
● FIFO 未使用時

図 24.9-2 マスタ / スレーブ型通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 24.9-3 マスタ / スレーブ型通信フローチャートの例 (FIFO 使用時)



24.10　UART モードの注意事項

UART モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。

24.11　CSIO (クロック同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち , 動作モード 2 でサポートしている CSIO 機能について説明します。

- CSIO (クロック同期シリアルインタフェース)
- CSIO (クロック同期シリアルインタフェース) の概要
- CSIO (クロック同期シリアルインタフェース) の レジスタ
  - シリアル制御レジスタ (SCR)
  - シリアルモードレジスタ (SMR)
  - シリアルステータスレジスタ (SSR)
  - 拡張通信制御レジスタ (ESCR)
  - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
  - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
  - FIFO 制御レジスタ 1 (FCR1)
  - FIFO 制御レジスタ 0 (FCR0)
  - FIFO バイトレジスタ (FBYTE1/FBYTE2)
  - シリアルモード選択レジスタ (SSEL0123)
  - 受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)
- CSIO (クロック同期シリアルインタフェース) の割込み
  - 受信割込み発生とフラグセットのタイミング
  - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
  - 送信割込み発生とフラグセットのタイミング
  - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- CSIO (クロック同期シリアルインタフェース) の動作
- 専用ボーレートジェネレータ
  ボーレート設定
- CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー

24.12　CSIO (クロック同期シリアルインタフェース) の概要

CSIO (クロック同期シリアルインタフェース) は , 外部装置と同期通信をするための汎用のシリアルデータ通信インタフェースです (SPI に対応します)。また , 送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。

■ CSIO (クロック同期シリアルインタフェース) の機能

		機能
1	データバッファ	• 全二重ダブルバッファ (FIFO 未使用時) • 送信 / 受信 FIFO (最大各 16 バイト) (FIFO 使用時) *
2	転送形式	• クロック同期 (スタートビット / ストップビットなし) • マスタ / スレーブ機能 • SPI に対応 (マスタ / スレーブ両方サポート)
3	ボーレート	• 専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成 , マスタ動作時) • 外部クロック入力可能 (スレーブ動作時)
4	データ長	5 ビット～ 9 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	• 受信割込み (受信完了 , オーバランエラー) • 送信割込み (送信データエンプティ , 送信バスアイドル) • 送信 FIFO 割込み (送信 FIFO がエンプティのとき) • 送受信 DMA 転送サポート機能あり
7	同期モード	マスタまたはスレーブ機能
8	端子アクセス	シリアルデータ出力端子を "H" に設定可能
9	4 チャネル同時通信	ch.0 ～ ch.3 を 4 チャネル同時通信可能
10	FIFO オプション	• 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) * • 送信 FIFO と受信 FIFO を選択可能 • 送信データ再送可能 • 受信 FIFO 割込みタイミングをソフトで変更可能 • 独立して FIFO リセットサポート

*: ch.0 ～ ch.3 には FIFO はありません。

24.13　CSIO (クロック同期シリアルインタフェース) のレジスタ

CSIO (クロック同期シリアルインタフェース) のレジスター覧を示します。

■ CSIO (クロック同期シリアルインタフェース) のレジスター覧

表 24.13-1 CSIO (クロック同期シリアルインタフェース) のレジスター覧 (1 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
0 ～ 3 共通	SSEL0123	シリアルモード選択レジスタ 0123	24.13.10
0	SCR0	シリアル制御レジスタ 0	24.13.1
	SMR0	シリアルモードレジスタ 0	24.13.2
	ESCR0	拡張通信制御レジスタ 0	24.13.4
	BGR0	ボーレートジェネレータレジスタ 0	24.13.6
	SSR0	シリアルステータスレジスタ 0	24.13.3
	RDR0	受信データレジスタ 0	24.13.5
	TDR0	送信データレジスタ 0	24.13.5
	RDRM0	受信データミラーレジスタ 0	24.13.11
	TDRM0	送信データミラーレジスタ 0	24.13.11
1	SCR1	シリアル制御レジスタ 1	24.13.1
	SMR1	シリアルモードレジスタ 1	24.13.2
	ESCR1	拡張通信制御レジスタ 1	24.13.4
	BGR1	ボーレートジェネレータレジスタ 1	24.13.6
	SSR1	シリアルステータスレジスタ 1	24.13.3
	RDR1	受信データレジスタ 1	24.13.5
	TDR1	送信データレジスタ 1	24.13.5
	RDRM1	受信データミラーレジスタ 1	24.13.11
	TDRM1	送信データミラーレジスタ 1	24.13.11
2	SCR2	シリアル制御レジスタ 2	24.13.1
	SMR2	シリアルモードレジスタ 2	24.13.2
	ESCR2	拡張通信制御レジスタ 2	24.13.4
	BGR2	ボーレートジェネレータレジスタ 2	24.13.6
	SSR2	シリアルステータスレジスタ 2	24.13.3
	RDR2	受信データレジスタ 2	24.13.5
	TDR2	送信データレジスタ 2	24.13.5
	RDRM2	受信データミラーレジスタ 2	24.13.11
	TDRM2	送信データミラーレジスタ 2	24.13.11

表 24.13-1 CSIO (クロック同期シリアルインタフェース) のレジスター覧 (2 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
3	SCR3	シリアル制御レジスタ 3	24.13.1
	SMR3	シリアルモードレジスタ 3	24.13.2
	ESCR3	拡張通信制御レジスタ 3	24.13.4
	BGR3	ボーレートジェネレータレジスタ 3	24.13.6
	SSR3	シリアルステータスレジスタ 3	24.13.3
	RDR3	受信データレジスタ 3	24.13.5
	TDR3	送信データレジスタ 3	24.13.5
	RDRM3	受信データミラーレジスタ 3	24.13.11
	TDRM3	送信データミラーレジスタ 3	24.13.11
8	SCR8	シリアル制御レジスタ 8	24.13.1
	SMR8	シリアルモードレジスタ 8	24.13.2
	ESCR8	拡張通信制御レジスタ 8	24.13.4
	BGR8	ボーレートジェネレータレジスタ 8	24.13.6
	SSR8	シリアルステータスレジスタ 8	24.13.3
	RDR8	受信データレジスタ 8	24.13.5
	TDR8	送信データレジスタ 8	24.13.5
	FCR18	FIFO 制御レジスタ 18	24.13.7
	FCR08	FIFO 制御レジスタ 08	24.13.8
	FBYTE18	FIFO1 バイトレジスタ 8	24.13.9
	FBYTE28	FIFO2 バイトレジスタ 8	24.13.9
9	SCR9	シリアル制御レジスタ 9	24.13.1
	SMR9	シリアルモードレジスタ 9	24.13.2
	ESCR9	拡張通信制御レジスタ 9	24.13.4
	BGR9	ボーレートジェネレータレジスタ 9	24.13.6
	SSR9	シリアルステータスレジスタ 9	24.13.3
	RDR9	受信データレジスタ 9	24.13.5
	TDR9	送信データレジスタ 9	24.13.5
	FCR19	FIFO 制御レジスタ 19	24.13.7
	FCR09	FIFO 制御レジスタ 09	24.13.8
	FBYTE19	FIFO1 バイトレジスタ 9	24.13.9
	FBYTE29	FIFO2 バイトレジスタ 9	24.13.9

表 24.13-1 CSIO (クロック同期シリアルインタフェース) のレジスター覧 (3 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
10	SCR10	シリアル制御レジスタ 10	24.13.1
	SMR10	シリアルモードレジスタ 10	24.13.2
	ESCR10	拡張通信制御レジスタ 10	24.13.4
	BGR10	ボーレートジェネレータレジスタ 10	24.13.6
	SSR10	シリアルステータスレジスタ 10	24.13.3
	RDR10	受信データレジスタ 10	24.13.5
	TDR10	送信データレジスタ 10	24.13.5
	FCR110	FIFO 制御レジスタ 110	24.13.7
	FCR010	FIFO 制御レジスタ 010	24.13.8
	FBYTE110	FIFO1 バイトレジスタ 10	24.13.9
	FBYTE210	FIFO2 バイトレジスタ 10	24.13.9
11	SCR11	シリアル制御レジスタ 11	24.13.1
	SMR11	シリアルモードレジスタ 11	24.13.2
	ESCR11	拡張通信制御レジスタ 11	24.13.4
	BGR11	ボーレートジェネレータレジスタ 11	24.13.6
	SSR11	シリアルステータスレジスタ 11	24.13.3
	RDR11	受信データレジスタ 11	24.13.5
	TDR11	送信データレジスタ 11	24.13.5
	FCR111	FIFO 制御レジスタ 111	24.13.7
	FCR011	FIFO 制御レジスタ 011	24.13.8
	FBYTE111	FIFO1 バイトレジスタ 11	24.13.9
	FBYTE211	FIFO2 バイトレジスタ 11	24.13.9

表 24.13-2 CSIO (クロック同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	–	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	–	–	–	ORE	RDRF	TDRE	TBI	SOP	–	–	WT1	WT0	L2	L1	L0
RDR/ TDR	–							D8	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	–	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
–	–								–							
FCR1/ FCR0	–	–	–	FLSTE	FRIIE	FDRQ	FTIE	FSEL	–	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

24.13.1　シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は , 送受信割込みの許可 / 禁止 , 送信アイドル割込みの許可 / 禁止 , 送受信動作の許可 / 禁止の設定を行います。また , SPI に接続するための設定 , CSIO をリセットすることが可能です。

■ シリアル制御レジスタ (SCR)

図 24.13-1 にシリアル制御レジスタ (SCR) のビット構成を , 表 24.13-3 に各ビットの機能を示します。

図 24.13-1　シリアル制御レジスタ (SCR) のビット構成

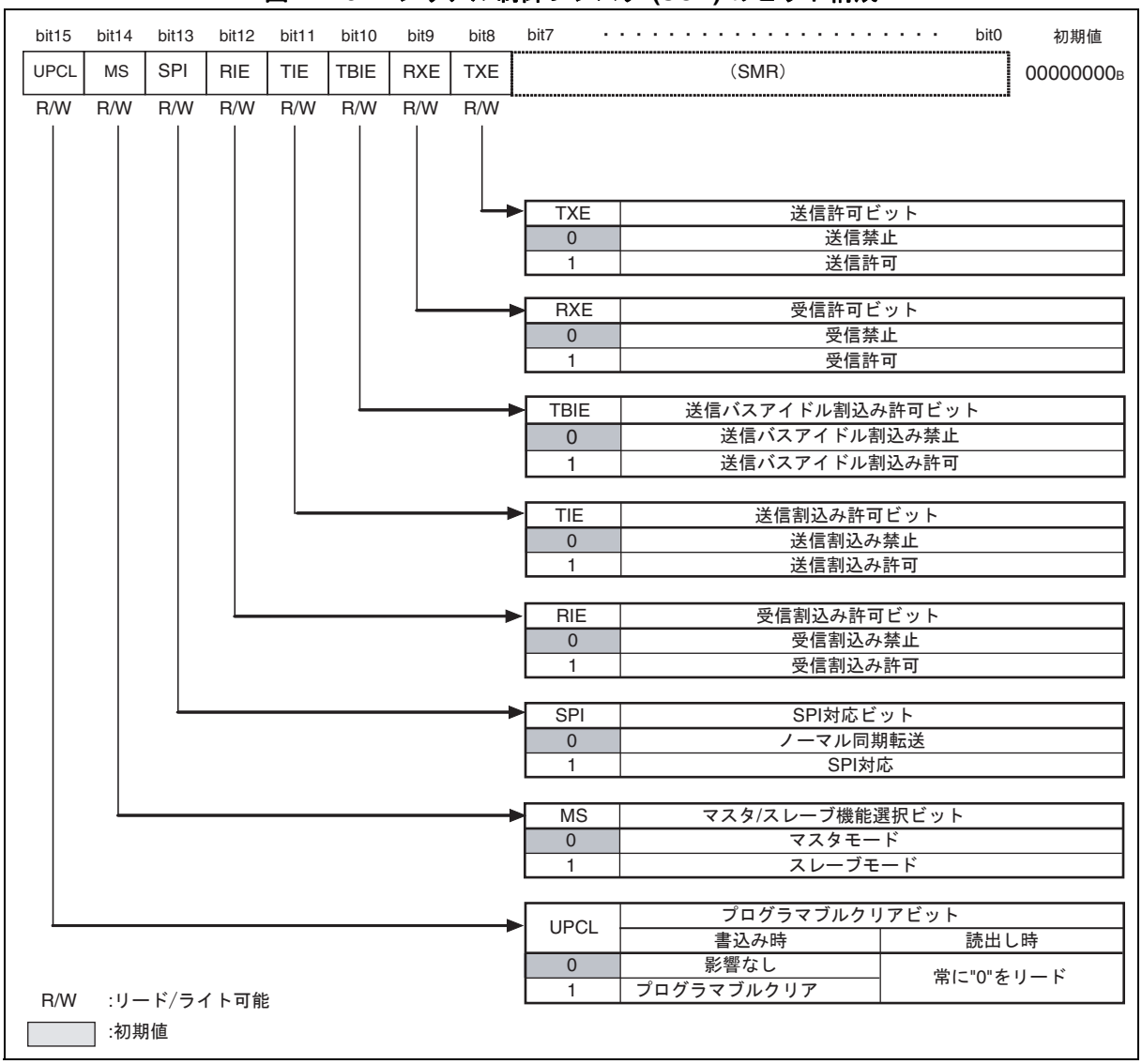


表 24.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL： プログラマブル クリアビット	CSIO の内部状態を初期化するビットです。 "1" を設定した場合： • CSIO を直接リセット (ソフトウェアリセット) します。ただし , レジスタの設定は保持されます。その際 , 送受信状態のものは直ちに切断されます。 • ボーレートジェネレータは , BGR1/BGR0 レジスタの設定値をリロードし , 再スタートします。 • すべての送受信割込み要因 (TDRE, TBI, RDRF, ORE) は初期化 ("1100_B") されます。 • "0" を設定した場合：動作に影響を及ぼしません。 • リード時は , 常に "0" が読み出されます。 (注意事項) 割込み禁止に設定した後に , プログラマブルクリアを実行してください。 FIFO 使用時は , FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。
bit14	MS： マスタ / スレーブ機能 選択ビット	マスタまたはスレーブモードを選択します。 "0" に設定した場合：マスタモードに設定されます。 "1" に設定した場合：スレーブモードに設定されます。 (注意事項) スレーブモードを選択した場合 , SMR:SCKE=0 であれば , 外部クロックが直接入力されます。
bit13	SPI： SPI 対応 ビット	本ビットは , SPI に対応した通信をさせるためのビットです。 "0" に設定した場合：ノーマル同期通信を行います。 "1" に設定した場合：SPI に対応します。
bit12	RIE： 受信割込み 許可ビット	• CPU への受信割込み要求出力を許可 / 禁止するビットです。 • RIE ビットと受信データフラグビット (RDRF) が "1" の場合 , またはエラーフラグビット (ORE) のいずれかが "1" の場合 , 受信割込み要求を出力します。
bit11	TIE： 送信割込み 許可ビット	• CPU への送信割込み要求出力を許可 / 禁止するビットです。 • TIE ビットと TDRE ビットが "1" の場合 , 送信割込み要求を出力します。
bit10	TBIE： 送信バス アイドル 割込み許可 ビット	• CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 • TBIE ビットと TBI ビットが "1" のとき , 送信バスアイドル割込み要求を出力します。

表 24.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	RXE： 受信許可ビット	CSIO の受信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム受信動作が禁止されます。 "1" に設定した場合：データフレーム受信動作が許可されます。 (注意事項)　受信中に受信動作を禁止 (RXE=0) した場合には , 直ちに受信動作を停止します。
bit8	TXE： 送信許可ビット	CSIO の送信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム送信動作が禁止されます。 "1" に設定した場合：データフレーム送信動作が許可されます。 (注意事項)　送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

24.13.2　シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は , 動作モードの設定 , 転送方向 , シリアルクロックの反転 , およびシリアルデータとクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.13-2 にシリアルモードレジスタ (SMR) のビット構成を , 表 24.13-4 に各ビットの機能を示します。

図 24.13-2 シリアルモードレジスタ (SMR) のビット構成

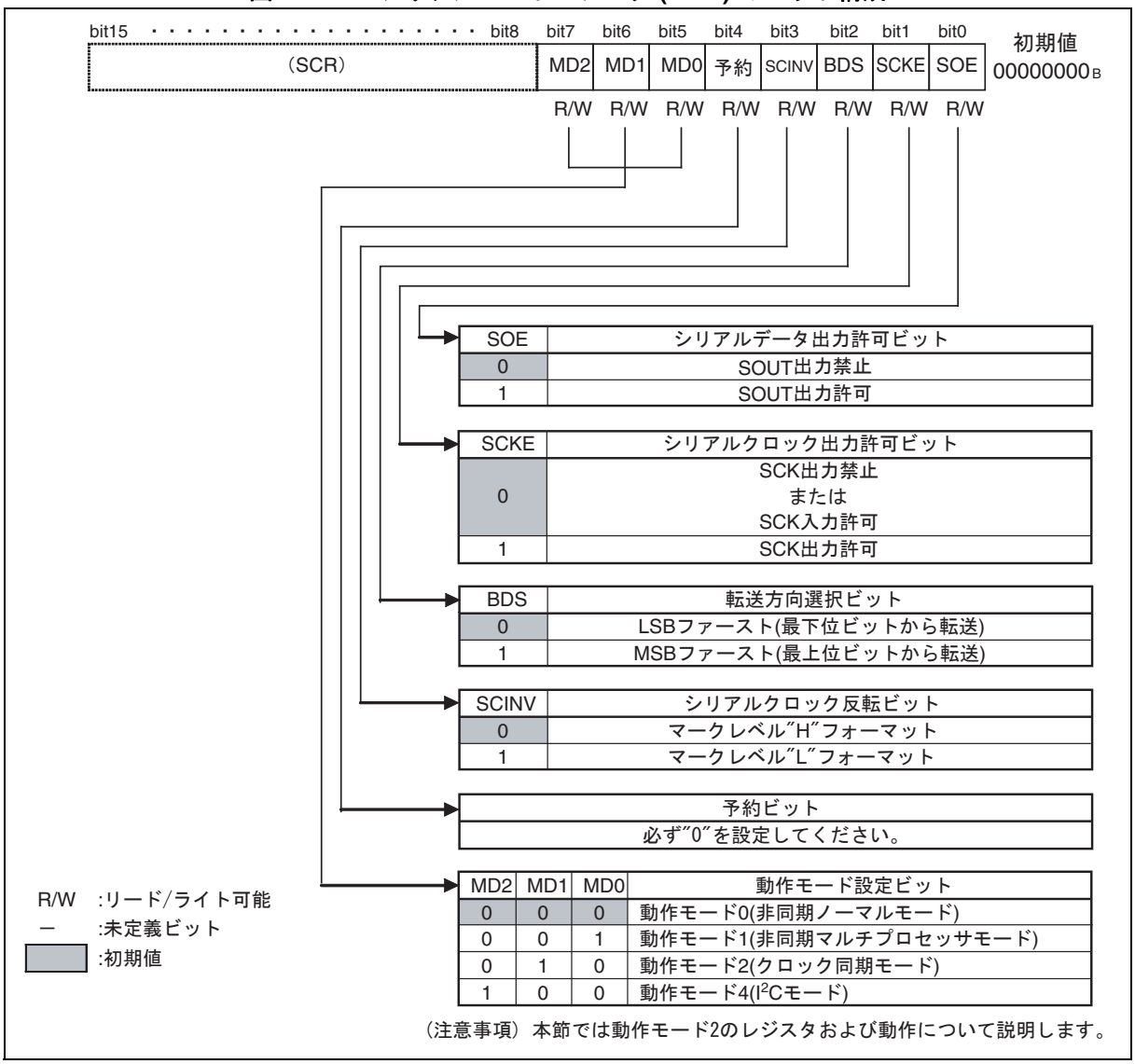


表 24.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7 ～ bit5	MD2 ～ MD0：動作モード設定ビット	動作モードを設定します。 "000_B"：動作モード 0(非同期ノーマルモード) に設定されます。 "001_B"：動作モード 1(非同期マルチプロセッサモード) に設定されます。 "010_B"：動作モード 2(クロック同期モード) に設定されます。 "100_B"：動作モード 4(I^2C モード) に設定されます。 動作モード 2(クロック同期モード) のレジスタおよび動作について説明します。 (注意事項) 上記の設定以外は禁止です。 動作モードを切り換える場合には , プログラマブルクリア実行 (SCR:UPCL=1) 後 , 動作モードを切り換えてください。 動作モード設定後 , 各レジスタを設定してください。
bit4	予約ビット	必ず "0" を設定してください。
bit3	SCINV：シリアルクロック反転ビット	シリアルクロックフォーマットを反転するビットです。 "0" に設定した場合： • シリアルクロック出力のマークレベルを "H" にします。 • 送信データは , ノーマル転送ではシリアルクロックの立下りエッジ , SPI 転送ではシリアルクロックの立上りエッジに同期して出力します。 • 受信データは , ノーマル転送ではシリアルクロックの立上りエッジ , SPI 転送ではシリアルクロックの立下りエッジでサンプリングします。 "1" に設定した場合： • シリアルクロック出力のマークレベルを "L" にします。 • 送信データは , ノーマル転送ではシリアルクロックの立上りエッジ , SPI 転送ではシリアルクロックの立下りエッジに同期して出力します。 • 受信データは , ノーマル転送ではシリアルクロックの立下りエッジ , SPI 転送ではシリアルクロックの立上りエッジでサンプリングします。 (注意事項) 本ビットは , 送受信が禁止 (TXE=RXE=0) のときに設定してください。
bit2	BDS：転送方向選択ビット	転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト , BDS=0) 最上位ビット側から先に転送するか (MSB ファースト , BDS=1) を選択するビットです。 (注意事項) 本ビットは , 送受信が禁止 (TXE=RXE=0) のときに設定してください。

表 24.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit1	SCKE: シリアル クロック出力 許可ビット	シリアルクロックの入出力ポートを制御するビットです。 "0" に設定した場合： SCK"H" 出力 , または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。 "1" に設定した場合：SCK 出力許可となります。
bit0	SOE: シリアル データ出力 許可ビット	シリアルデータの出力を許可 / 禁止するビットです。 "0" に設定した場合：SOUT"H" 出力となります。 "1" に設定した場合：SOUT 出力許可となります。

＜注意事項＞

動作モードを変更すると , 同一チャネル内の以下のレジスタは初期化されますので動作モードは最初に設定してください。

- シリアル制御レジスタ (SCR)
- 拡張通信制御レジスタ (ESCR)

ただし , 16 ビット書込みで SCR と SMR を同時に書き込んだとき , SCR には書き込んだ内容が反映されます。

24.13.3　シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は , 送受信状態の確認 , 受信エラーフラグの確認 , また , 受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 24.13-3 にシリアルステータスレジスタ (SSR) のビット構成を , 表 24.13-5 に各ビットの機能を示します。

図 24.13-3 シリアルステータスレジスタ (SSR) のビット構成

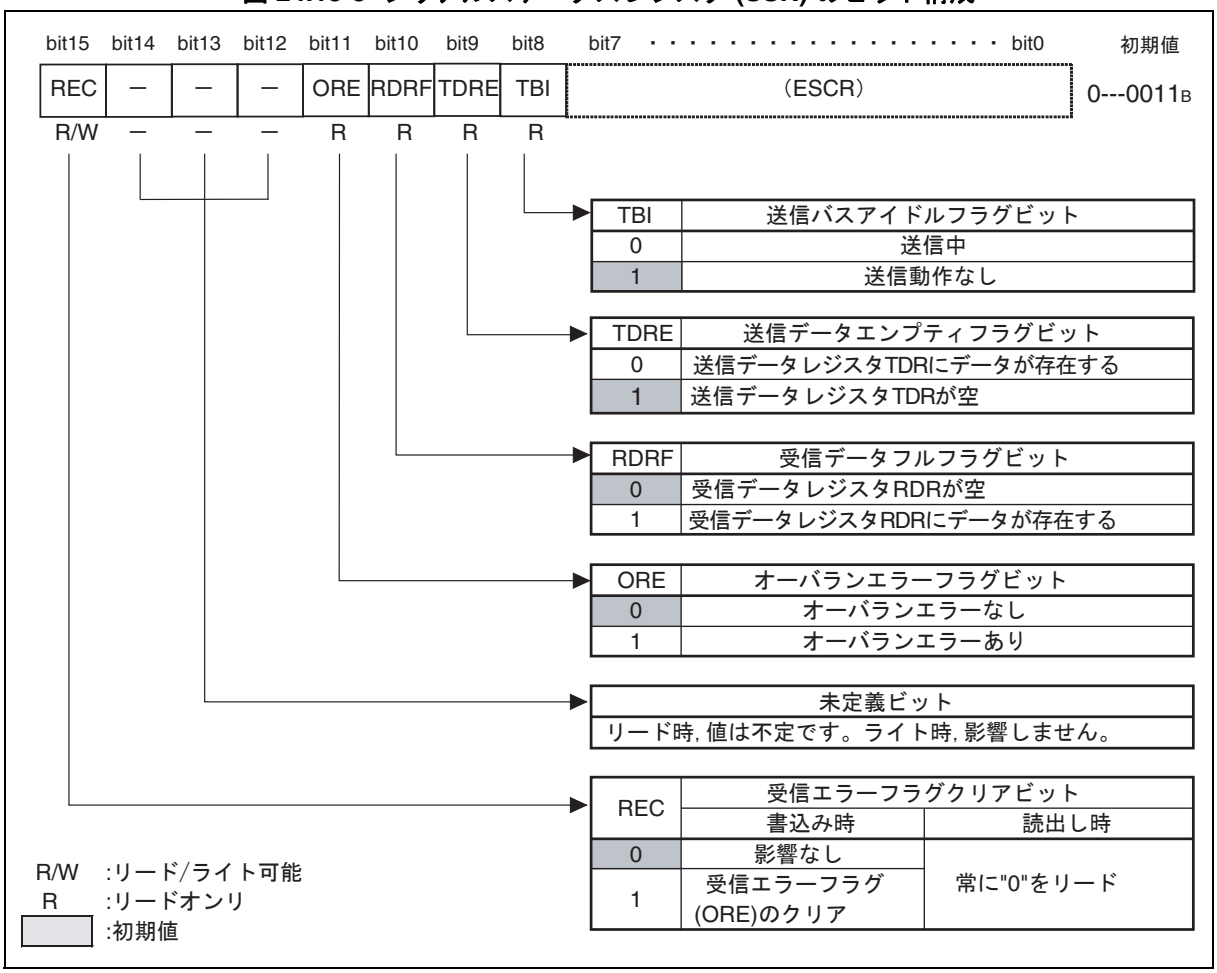


表 24.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC： 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。 • "1" 書込みで , エラーフラグがクリアされます。 • "0" 書込みは , 影響しません。 リードした場合 , 常に "0" が読み出されます。
bit14 ～ bit12	未定義ビット	リードした場合　：　値は不定です。 ライトした場合　：　影響しません。
bit11	ORE： オーバラン エラーフラグ ビット	• 受信時にオーバランが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 本フラグがセットされた場合は , 受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は , 受信 FIFO の許可ビットがクリアされ , 受信データは受信 FIFO には格納されません。
bit10	RDRF： 受信データ フルフラグ ビット	• 受信データレジスタ (RDR) の状態を示すフラグです。 • RDR に受信データがロードされると "1" にセットされ , 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 受信FIFO使用時は, 受信FIFOに所定のデータ数を受信したらRDRFが "1" にセットされます。 • 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合 , RDRF が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。 • 受信 FIFO 使用時は , 受信 FIFO がエンプティになると "0" にクリアされます。

表 24.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	TDRE： 送信データ エンプティ フラグビット	• 送信データレジスタ (TDR) の状態を示すフラグです。 • TDR に送信データを書き込むと "0" となり , TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり , TDR に有効なデータが存在していないことを示します。 • TDRE ビットと TIE ビットが "1" の場合 , 送信割込み要求を出力します。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると , TDRE ビットは "1" になります。 • 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは「24.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
bit8	TBI： 送信バス アイドル フラグビット	• CSIO が送信動作をしていないことを示すビットです。 • 送信データレジスタ (TDR) へデータを書き込んだ場合に本ビットは "0" になります。 • 送信データレジスタ (TDR) がエンプティ (TDRE=1) で , 送信動作をしていない場合に本ビットが "1" になります。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" になります。 • 本ビットが "1" で , 送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

24.13.4　拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は , 送受信データ長の設定 , データ送受信ウェイト選択 , シリアル出力を "H" 固定の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 24.13-4 に拡張通信制御レジスタ (ESCR) のビット構成を , 表 24.13-6 に各ビットの機能を示します。

図 24.13-4 拡張通信制御レジスタ (ESCR) のビット構成

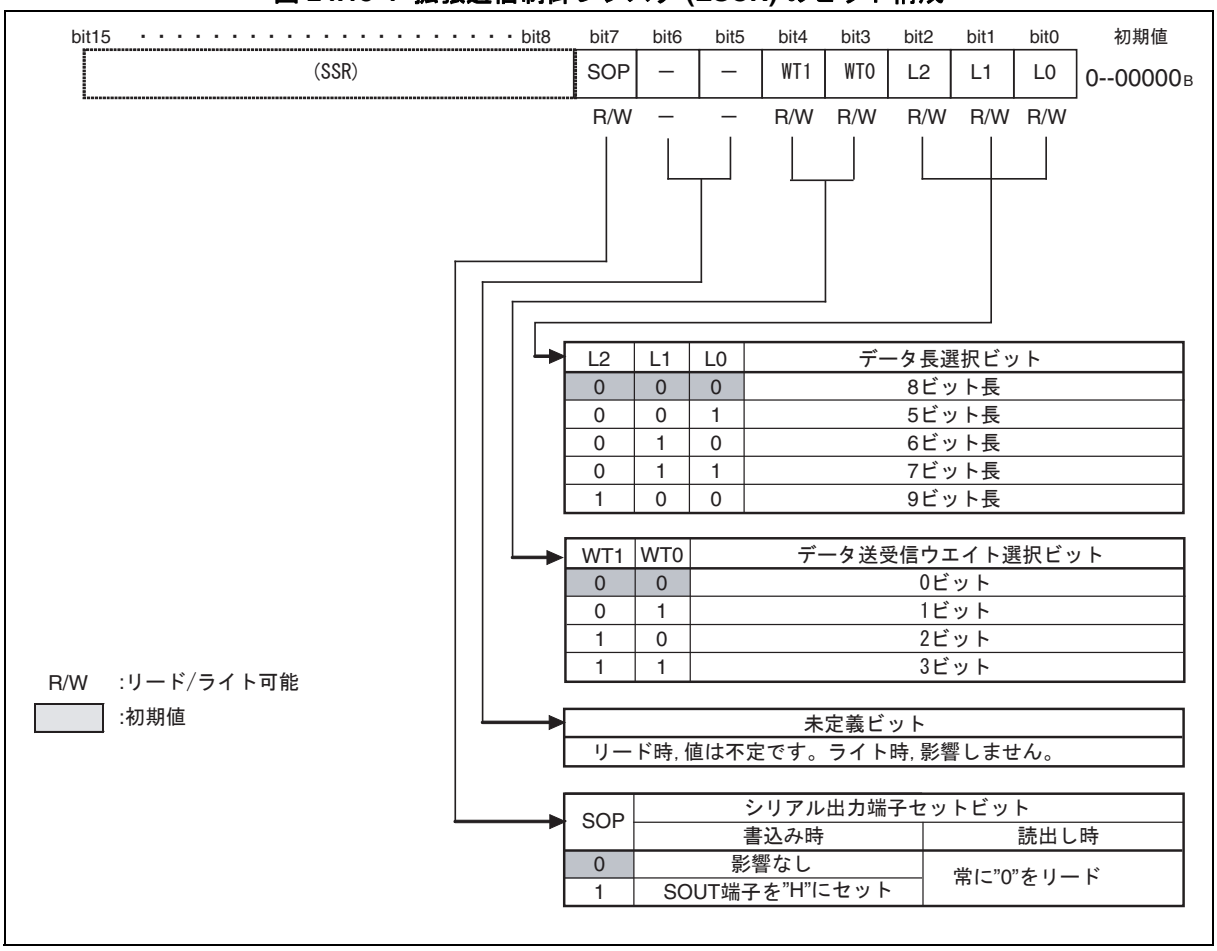


表 24.13-6 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	SOP : シリアル出力端子セットビット	• シリアル出力端子を "H" にセットするビットです。本ビットに "1" を書いたときに SOUT 端子を "H" にしますが , その後 , 本ビットに "0" を書く必要はありません。 • リードした場合 , 常に "0" が読み出されます。 (注意事項)　シリアルデータ送信中に , 本ビットの設定をしないでください。
bit6, bit5	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit4, bit3	WT1, WT0 : データ送受信ウェイト選択ビット	マスタ時 , 連続データの送信または受信に対し , ウェイト数を指定します。 スレーブ時は "00" の動作になります。 ・"00" に設定した場合 : 連続的に SCK が出力されます。 ・"01" に設定した場合 : 1 ビット時間ウェイト後 , SCK が出力されます。 ・"10" に設定した場合 : 2 ビット時間ウェイト後 , SCK が出力されます。 ・"11" に設定した場合 : 3 ビット時間ウェイト後 , SCK が出力されます。
bit2 ～ bit0	L2 ～ L0: データ長選択ビット	送受信データのデータ長を指定します。 "000_B" に設定した場合：データ長は , 8 ビットに設定されます。 "001_B" に設定した場合：データ長は , 5 ビットに設定されます。 "010_B" に設定した場合：データ長は , 6 ビットに設定されます。 "011_B" に設定した場合：データ長は , 7 ビットに設定されます。 "100_B" に設定した場合：データ長は , 9 ビットに設定されます。 (注意事項)　上記の設定以外は禁止です。

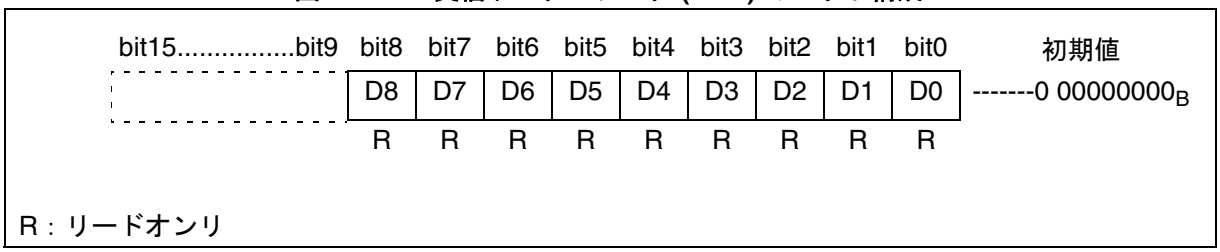
24.13.5　受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し , 書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 24.13-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.13-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は , シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて , 受信データレジスタ (RDR) に格納されます。
- データ長に応じ , 以下のように上位ビットから順に "0" となります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると , 受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合は (SSR：RIE=1) , 受信割込み要求を発生します。
- 受信データレジスタ (RDR) は , 受信データフルフラグビット (SSR：RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR：RDRF) は , シリアル受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR：ORE) した場合 , 受信データレジスタ (RDR) のデータは無効となります。
- 9 ビット長転送の場合の RDR の読出しは 16 ビットアクセスで行います。

＜注意事項＞

- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
- 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に , 受信エラーが発生 (SSR：ORE が "1") した場合 , 受信 FIFO の許可ビットはクリアされ , 受信データを受信 FIFO には格納しません。

■ 送信データレジスタ (TDR)

図 24.13-6 に送信データレジスタのビット構成を示します。

図 24.13-6 送信データレジスタ (TDR) のビット構成

bit15.....bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	D8	D7	D6	D5	D4	D3	D2	D1	D0	-------1 11111111_B
	W	W	W	W	W	W	W	W	W	

W：ライトオンリ

送信データレジスタ (TDR) は , シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR：TXE=1) , 送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され , シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ , 以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR：TDRE) は , 送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR：TDRE) は , 送信データが送信用シフトレジスタへ転送されて送信が開始されると , 送信 FIFO が禁止または送信 FIFO がエンプティの場合 , "1" にセットされます。

- 送信データエンプティフラグ (SSR : TDRE) が "1" の場合は , 次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは , 送信割込みの発生によるか , 送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは , 送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 9 ビット長転送の場合 , TDR への書込みは 16 ビットアクセスで行います。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで , 受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため , 書込み値と読出し値が異なります。したがって , INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは , 「24.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。

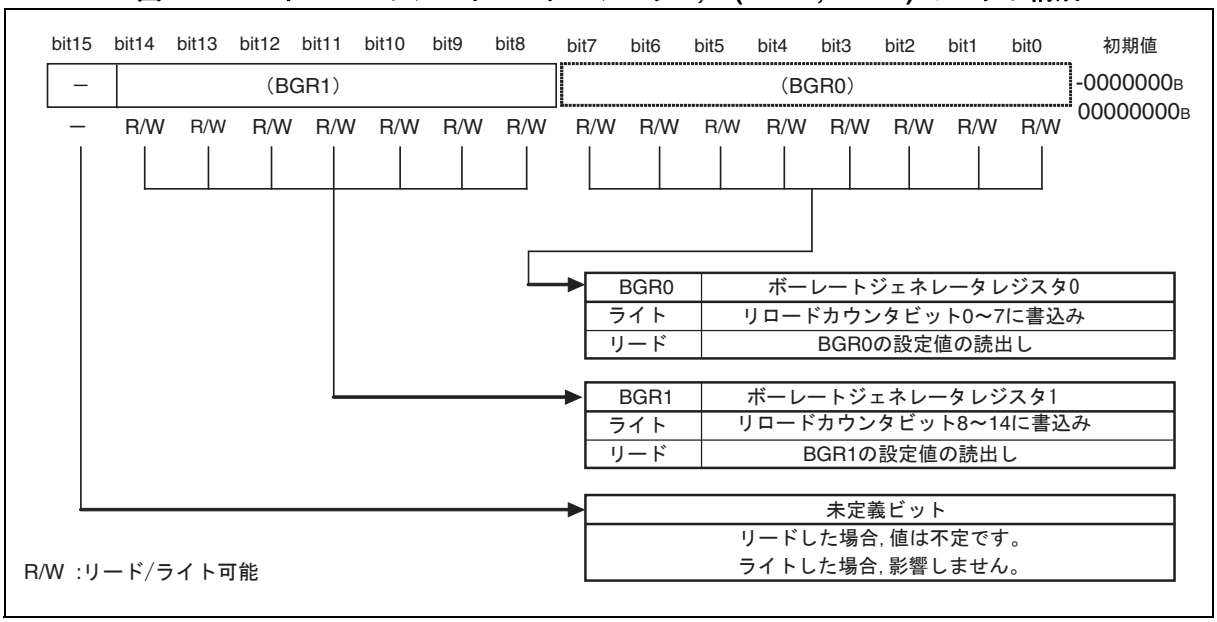
24.13.6　ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は , シリアルクロックの分周比を設定します。

■ ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.13-7 にボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.13-7 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) に値を設定します。
- BGR0 は下位ビット , BGR1 は上位ビットに対応し , カウントするリロード値の書き込み , BGR0/BGR1 の設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは , 16 ビットアクセスで行ってください。
- リロード値が偶数の場合 , シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下のようになります。奇数の場合 , シリアルクロックの "H" 幅と "L" 幅は同じになります。
  - SCINV=0 のとき , シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
  - SCINV=1 のとき , シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
- リロード値は 1 以上を設定してください。ただし , 本 CSIO どうしをマスタとスレーブに使用する場合には , マスタとなる CSIO のリロード値は 3 以上を設定してください。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合 , カウンタ値が "0000_H" になってから , 新しい設定値がリロードされます。したがって , 新しい設定値を即有効にしたい場合は , BGR0/BGR1 の設定値を変更した後 , CSIO リセット (UPCL) を実行してください。
- 受信 FIFO 使用時 , 受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) を "1" に設定してスレーブモードで動作させる場合 , BGR0/BGR1 にボーレートを設定してください。

24.13.7　FIFO 制御レジスタ 1 (FCR1)

FIFO 制御レジスタ 1 (FCR1) は , 送受信 FIFO の選択 , 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1 (FCR1) のビット構成

図 24.13-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を , 表 24.13-7 に各ビットの機能を示します。

図 24.13-8 FIFO 制御レジスタ 1 (FCR1) のビット構成

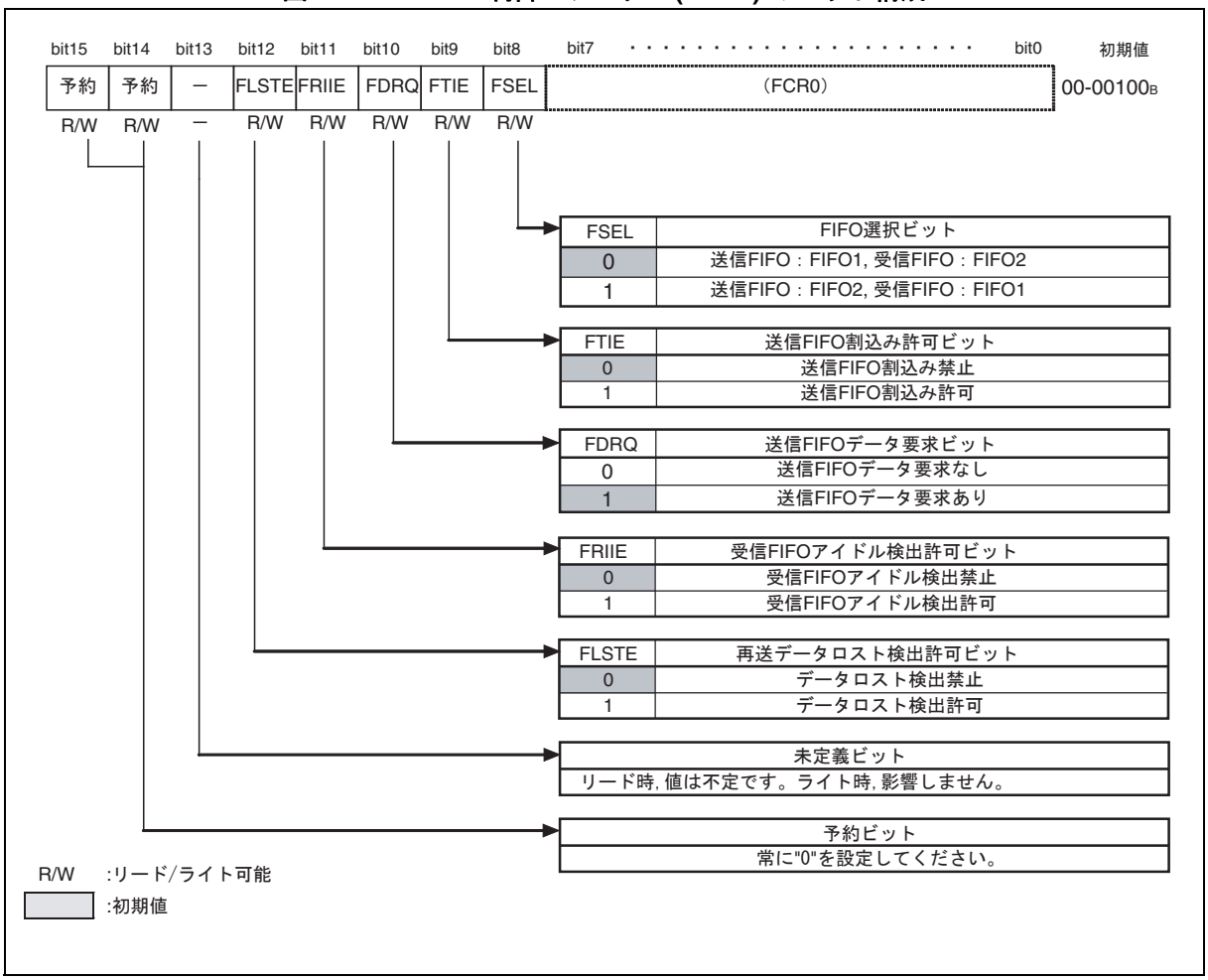


表 24.13-7 FIFO 制御レジスタ 1 (FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "00_B" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項)　本ビットに "1" を設定する場合 , FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込みが許可 (SCR:RIE=1) されていると , 受信アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき , 送信データを要求していることを示します。このとき , 送信 FIFO 割込みが許可 (FTIE=1) されていると , 送信 FIFO 割込み要求を出力されます。 FDRQ セット条件 • FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項)　FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止です。 本ビットに "1" を設定した場合 , 動作に影響を与えません。 リードモディファイライト (RMW) 系命令時 , "1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み 許可ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 24.13-7 FIFO 制御レジスタ 1 (FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL： FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項)　本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。

24.13.8　FIFO 制御レジスタ 0 (FCR0)

FIFO 制御レジスタ 0 (FCR0) は , FIFO 動作の許可 / 禁止 , FIFO リセット , リードポインタの保存 , 再送信設定を行います。

■ FIFO 制御レジスタ 0 (FCR0) のビット構成

図 24.13-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を , 表 24.13-8 に各ビットの機能を示します。

図 24.13-9 FIFO 制御レジスタ 0 (FCR0) のビット構成

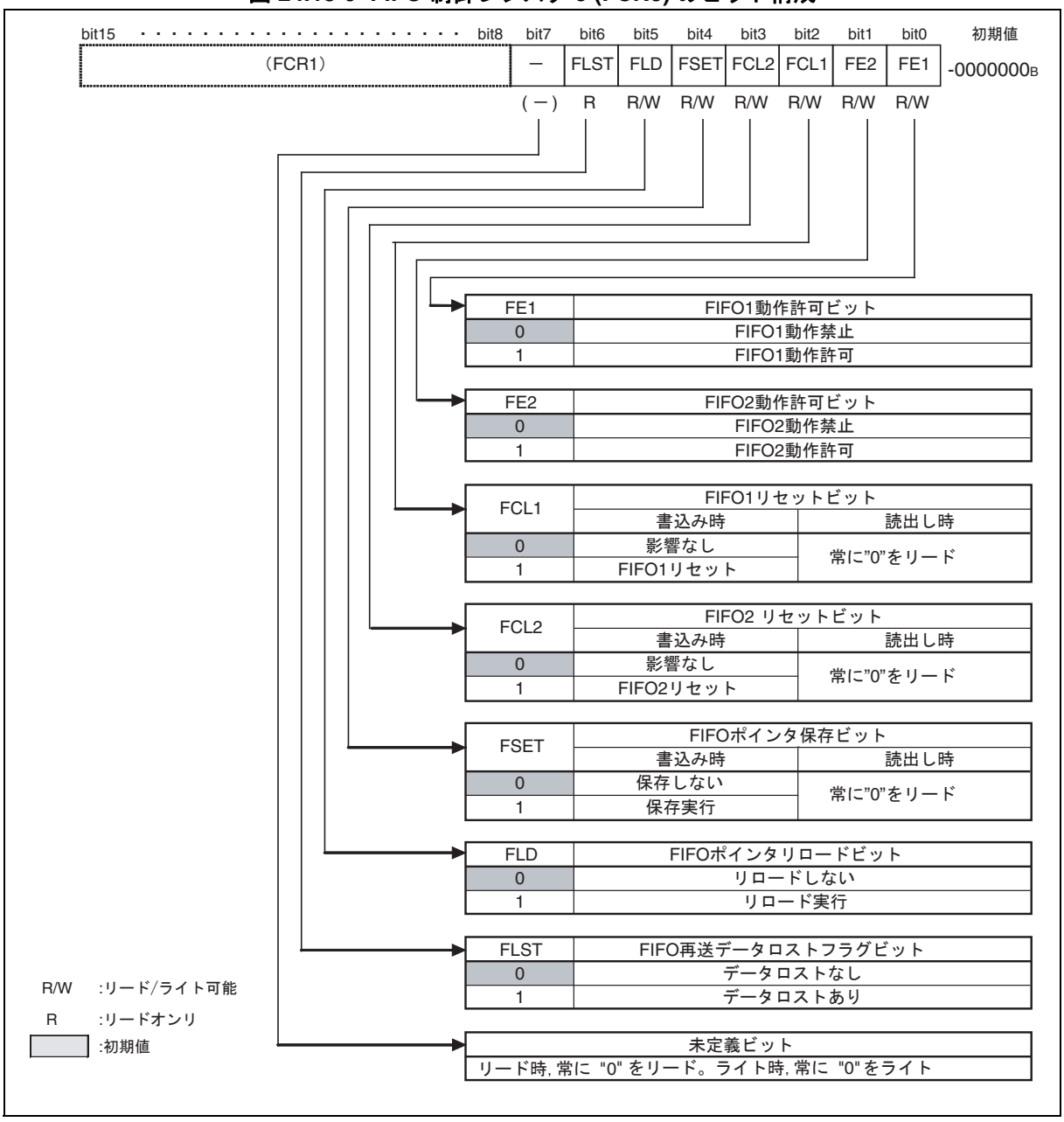


表 24.13-8 FIFO 制御レジスタ 0 (FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST： FIFO 再送 データロスト フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 • FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 • FIFO リセット (FCL への "1" 書込み) • FLST ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい , エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し , 再度 FIFO にデータを書き込んでください。
bit5	FLD： FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生して再送するときに使用します。 再送設定が完了した場合 , 本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間 , リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中 , 本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み , 送信 FIFO 許可後 , TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET： FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 送信前にリードポインタを保存すると , 通信エラーなどが発生した場合 , FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2： FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると , FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから , FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.13-8 FIFO 制御レジスタ 0 (FCR0) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	FCL1： FIFO1 リセット ビット	FIFO1 をリセットするビットです。 本ビットを "1" に設定すると , FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから , FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。
bit1	FE2： FIFO2 動作 許可ビット	FIFO2 の動作を許可 / 禁止するビットです。 • FIFO2 を使用する場合 , 本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1), 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し , UART が送信許可 (TXE=1) のとき , 直ちに送信を開始します。このとき , TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1： FIFO1 動作 許可ビット	FIFO1 の動作を許可 / 禁止するビットです。 • FIFO1 を使用する場合 , 本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し , UART が送信許可 (TXE=1) のとき , 直ちに送信を開始します。このとき , TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

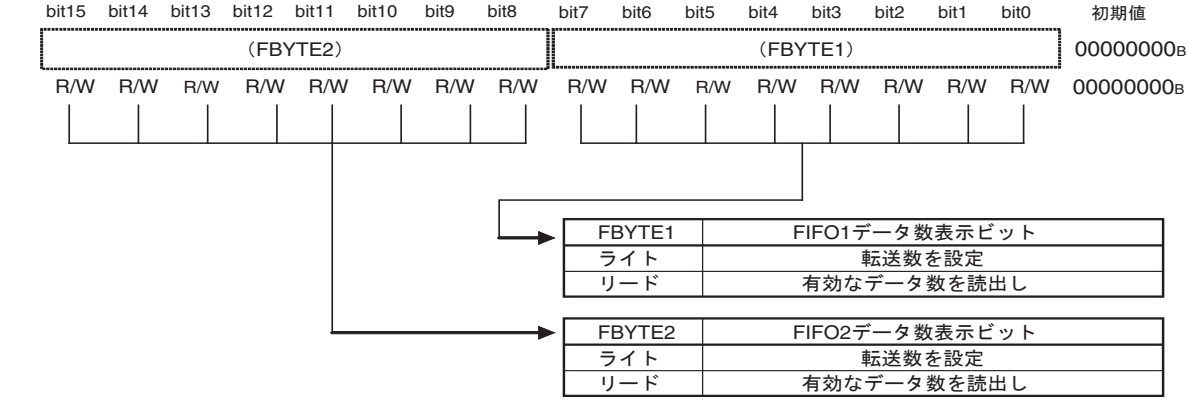
24.13.9　FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は , FIFO の有効なデータ数を示します。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.13-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.13-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



R/W ： リード/ライト可能
リード（有効なデータ数）
　送信時：FIFOに書き込まれ，送信されていないデータ数
　受信時：FIFOに受信されたデータ数
ライト（転送数）
　送信時：00_Hに設定
　受信時：受信割込み発生のデータ数を設定

FBYTE1/FBYTE2 レジスタは , FIFO の有効なデータ数を示し , FCR1:FSEL ビットの設定によって以下のようになります。

表 24.13-9 データ数表示

FSEL	FIFO 選択	バイト数表示
0	FIFO2：受信 FIFO, FIFO1：送信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1
1	FIFO2：送信 FIFO, FIFO1：受信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。

- マスタ動作でデータを受信する場合 (マスタ受信), TIE ビットと TBIE ビットを "0" にして送信 FIFO の FBYTE1/FBYTE2 レジスタに受信データ数を設定し , FDRQ ビットに "0" を書きます。その後 , TXE ビットが "1" のときに設定データ分のシリアルクロックが出力され , 設定値分データを受信することができます。TIE ビット , TBIE ビットに "1" を設定したい場合には FDRQ が "1" になった後に "1" に設定してください。

＜注意事項＞

- マスタ動作で , データを受信するとき以外 , 送信 FIFO の FBYTE1/FBYTE2 には "00_H" を設定してください。
- マスタ動作でデータを受信するときの送信データ数の設定は送信FIFOがエンプティで TIE ビット , TBIE ビットが "0" のときに行ってください。
- マスタ動作でデータを受信中に受信禁止 (RXE=0) にする場合には , 送信 FIFO を禁止にしてから送受信を禁止にしてください。
- 受信 FIFO の FBYTE1/FBYTE2 には "1" 以上のデータを設定してください。
- 受信 FIFO の FBYTE1/FBYTE2 の変更は受信を禁止してから変更してください。
- 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
- FIFO 容量を超えた設定は禁止です。

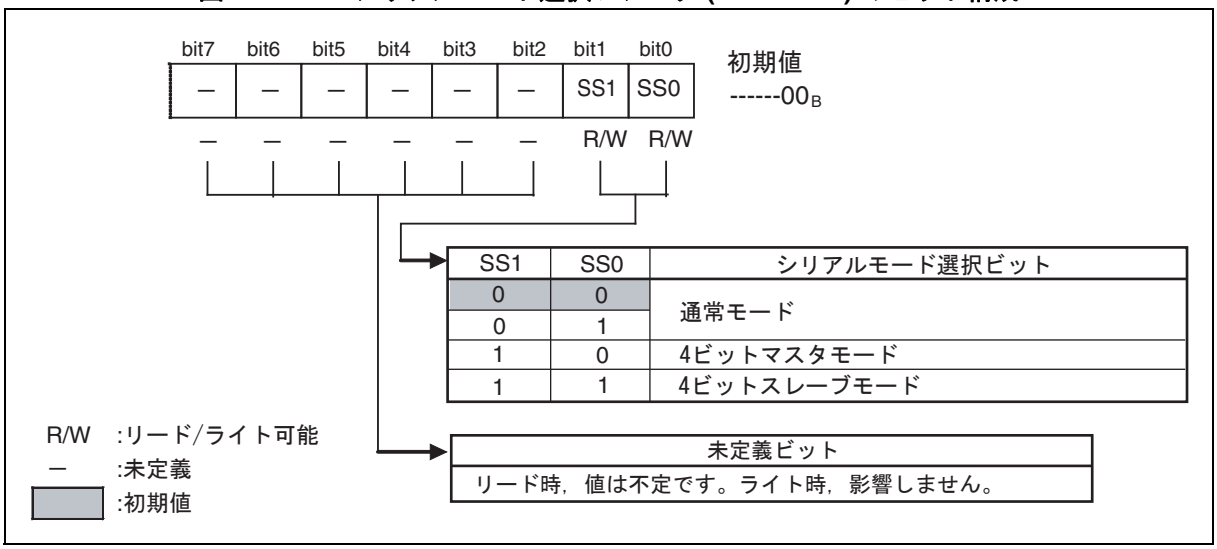
24.13.10 シリアルモード選択レジスタ (SSEL0123)

4 チャネルの CSIO を 1 つのクロックで同時に動作させ , 4 ビットのシリアル通信を行うことができます。
4 チャネル同時通信ができるのは , ch.0 ～ ch.3 の組合せになります。

■ シリアルモード選択レジスタ (SSEL0123) のビット構成

図 24.13-11 にシリアルモード選択レジスタ (SSEL0123) のビット構成を示します。

図 24.13-11 シリアルモード選択レジスタ (SSEL0123) のビット構成



＜注意事項＞

このレジスタは CSIO の動作が停止しているときに設定してください。

[bit7 ～ bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0] : SS1, SS0 (シリアルモード選択ビット)

CSIO を 4 チャネル同時に通信させるかどうかを選択します。また , 4 チャネル同時通信させる場合は , 動作モードも選択します。

動作モードは次の通りです。

- 通常モード　　: 4 チャネル同時通信を利用しないモードです。
- 4 ビットマスタモード　: ch.0 ～ ch.3 をマスタモードで 4 チャネル同時に通信します。
- 4 ビットスレーブモード : ch.0 ～ ch.3 をスレーブモードで 4 チャネル同時に通信します。

SS1	SS0	説明
0	0	通常モードに設定します。
0	1	
1	0	4 ビットマスタモードに設定します。
1	1	4 ビットスレーブモードに設定します。

＜注意事項＞

- 4 ビットマスタモードに設定する場合は , シリアル制御レジスタ (SCR0 ～ SCR3) の MS ビットで次の設定をしてください。
  - ch.0 ～ ch.2 : スレーブモード
  - ch.3 : マスタモード
- 4 ビットスレーブモードに設定する場合は , シリアル制御レジスタ (SCR0 ～ SCR3) の MS ビットで同時通信するすべてのチャネルをスレーブモードにしてください。

24.13.11 受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)

受信データミラーレジスタ (RDRM) は , 受信データレジスタ (RDR) の下位 8 ビットのミラーレジスタです。
送信データミラーレジスタ (TDRM) は , 送信データレジスタ (TDR) の下位 8 ビットのミラーレジスタです。

このレジスタにアクセスすると受信データレジスタ (RDR) の下位 8 ビット / 送信データレジスタ (TDR) の下位 8 ビットにアクセスできます。

4 チャネル同時通信を利用するときに , このレジスタを使用してください。

■ 受信データミラーレジスタ (RDRM)

受信データミラーレジスタ 0 (RDRM0) が受信データレジスタ 0 (RDR0) の下位 8 ビットに , 受信データミラーレジスタ 3 (RDRM3) が受信データレジスタ 3 (RDR3) の下位 8 ビットに対応しています。

ch.0 ～ ch.3 の受信データミラーレジスタ (RDRM0 ～ RDRM3) は並んで配置されているため , ワードアクセスすることで , 一度に読み出すことができます。DMA 転送などに利用してください。

詳しくは , 「24.15 CSIO (クロック同期シリアルインタフェース) の動作」の「■ 4 チャネル同時通信モード時の動作」を参照してください。

＜注意事項＞

4 チャネル同時通信を使用する場合は , 9 ビット長のデータは使用できません。

■ 送信データミラーレジスタ (TDRM)

送信データミラーレジスタ 0 (TDRM0) が送信データレジスタ 0 (TDR0) の下位 8 ビットに , 送信データミラーレジスタ 3 (TDRM3) が送信データレジスタ 3 (TDR3) の下位 8 ビットに対応しています。

ch.0 ～ ch.3 の送信データミラーレジスタ (TDRM0 ～ TDRM3) は並んで配置されているため , ワードアクセスすることで , 一度に書き込むことができます。DMA 転送などに利用してください。

詳しくは , 「24.15 CSIO (クロック同期シリアルインタフェース) の動作」の「■ 4 チャネル同時通信モード時の動作」を参照してください。

＜注意事項＞

4 チャネル同時通信を使用する場合は , 9 ビット長のデータは使用できません。

24.14　CSIO (クロック同期シリアルインタフェース) の割込み

CSIO (クロック同期シリアルインタフェース) の割込みには受信割込みと送信割込みがあり , 次に示す要因で割込み要求を発生させることができます。

- **受信データが受信データレジスタ (RDR) にセットされた場合 , または受信エラーが発生した場合**
- **送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され , 送信が開始された場合**
- **送信バスアイドル (送信動作なし)**
- **送信 FIFO データ要求**

■ CSIO の割込み

CSIO の割込み制御ビットと割込み要因は表 24.14-1 のようになっています。

表 24.14-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
			FBYTE1/FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み , または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み , または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

* : TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

24.14.1　受信割込み発生とフラグセットのタイミング

受信時の割込みとしては , 受信完了 (SSR:RDRF) および受信エラーの発生 (SSR : ORE) があります。

■ 受信割込み発生とフラグセットのタイミング

最終データビットが検出されることにより , 受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR : ORE=1) すると各フラグがセットされます。そのとき , 受信割込みが許可 (SSR : RIE=1) されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は , 受信データレジスタ (RDR) のデータは無効となります。

図 24.14-1 受信動作とフラグセットのタイミング

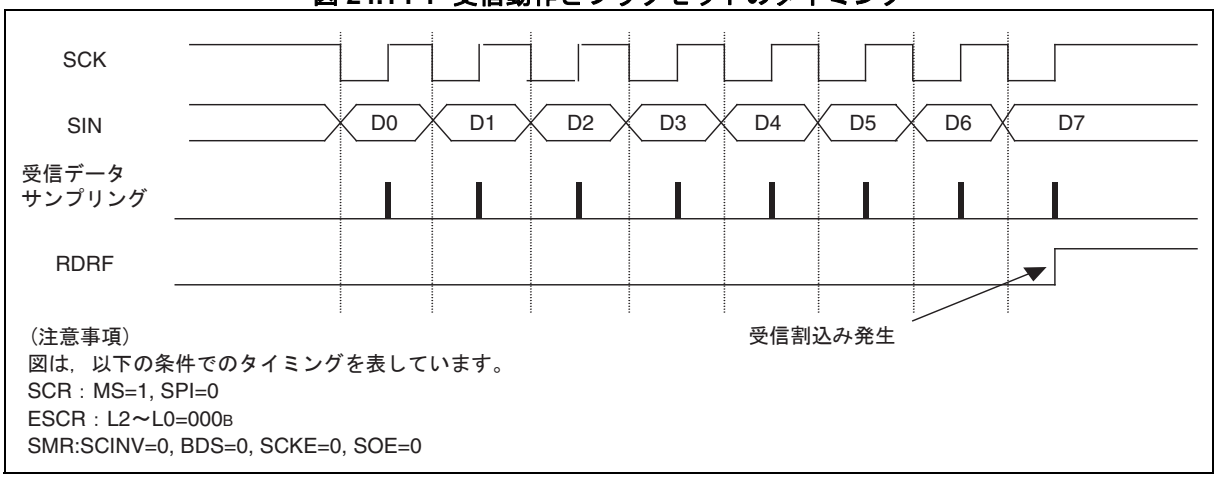
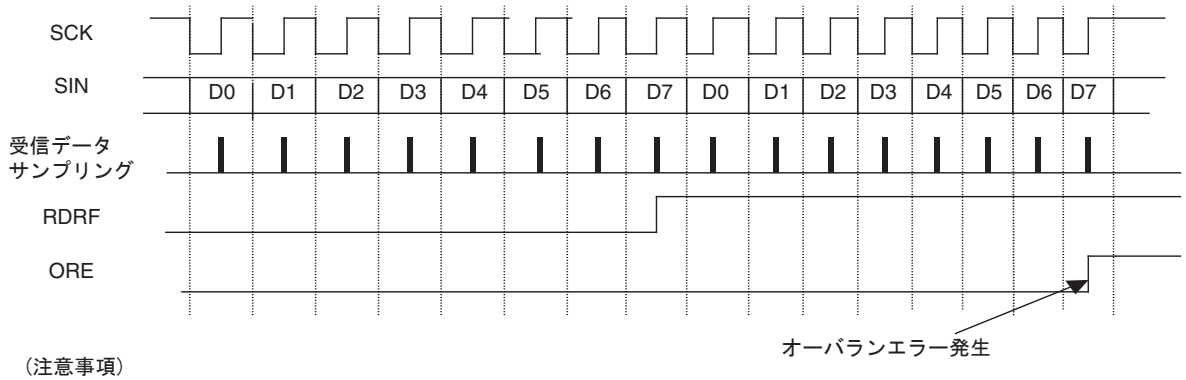


図 24.14-2 ORE (オーバランエラー) フラグセットタイミング



（注意事項）

・図は，以下の条件でのタイミングを表しています。
SCR：MS=1, SPI=0
ESCR：L2～L0=000B
SMR:SCINV=0, BDS=0, SCKE=0, SOE=0

・受信データが読み出される前に(RDRF=1), 次のデータが転送されるとオーバランエラーが発生します。

24.14.2　受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは , FBYTE1/FBYTE2 レジスタ (FBYTE1/FBYTE2) の設定値分のデータを受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は , FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき , 受信割込みが許可 (SCR:RIE) されていると受信割込みを発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと , 受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で , 次のデータを受信するとオーバランエラー (SSR:ORE=1) が発生します。

図 24.14-3 受信 FIFO 使用時の受信割込み発生タイミング

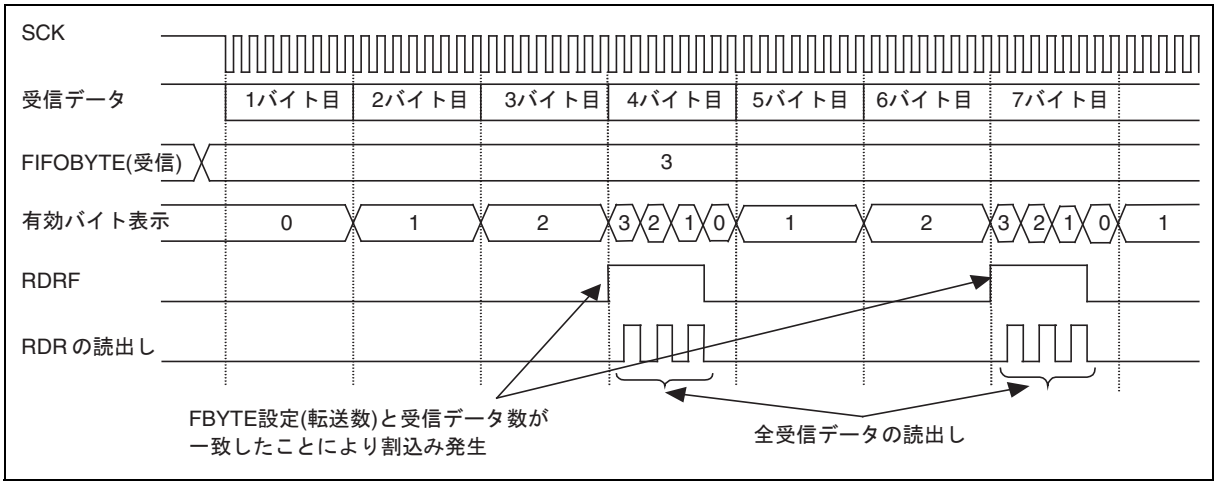
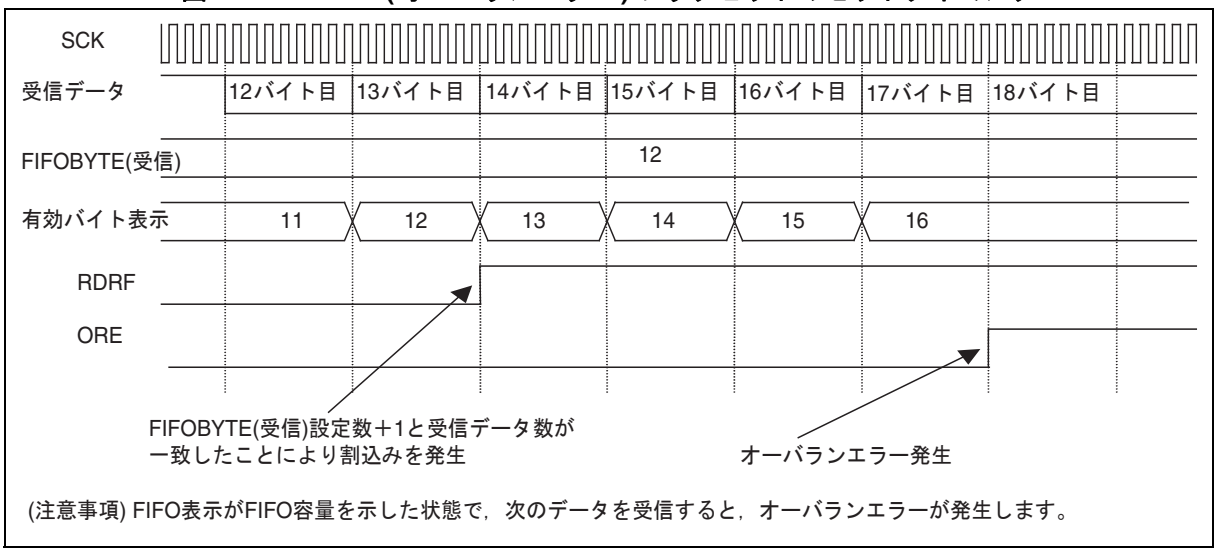


図 24.14-4 ORE (オーバランエラー) フラグビットのセットタイミング



(注意事項) FIFO表示がFIFO容量を示した状態で，次のデータを受信すると，オーバランエラーが発生します。

24.14.3　送信割込み発生とフラグセットのタイミング

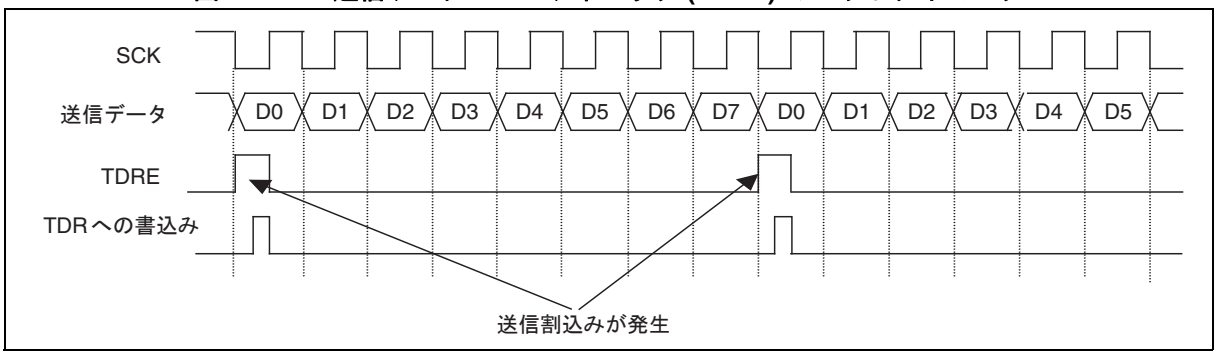
送信時の割込みとしては , 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR：TDRE=1) て送信が開始された場合と , 送信動作をしていないとき (SSR：TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると , 次のデータの書込みが可能な状態 (SSR:TDRE=1) になります。そのとき , 送信割込みが許可 (SCR:TIE=1) されていると送信割込みが発生します。TDRE ビットはリードオンリビットなので , 送信データレジスタ (TDR) へのデータ書込みにより "0" にクリアされます。

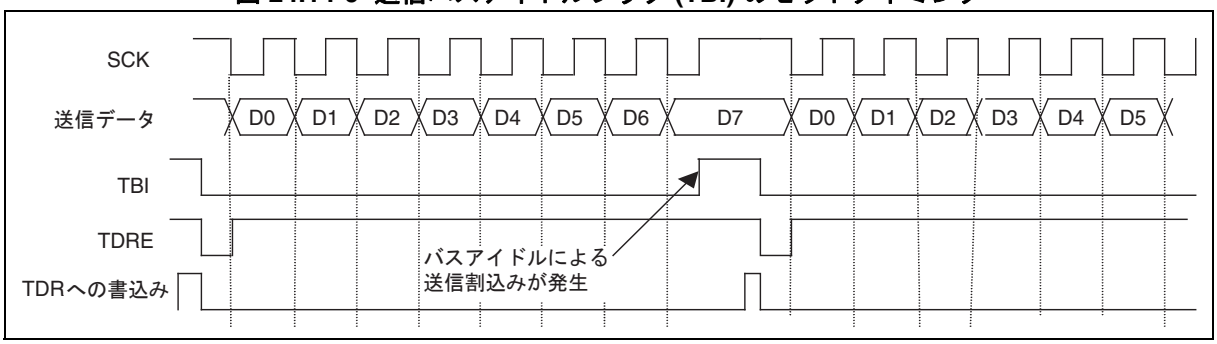
図 24.14-5 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (TDRE=1) で送信動作をしていないとき , SSR：TBI ビットは "1" にセットされます。このとき , 送信バスアイドル割込みが許可 (SCR：TBIE=1) されていると送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると , TBI ビットおよび送信割込み要求はクリアされます。

図 24.14-6 送信バスアイドルフラグ (TBI) のセットタイミング



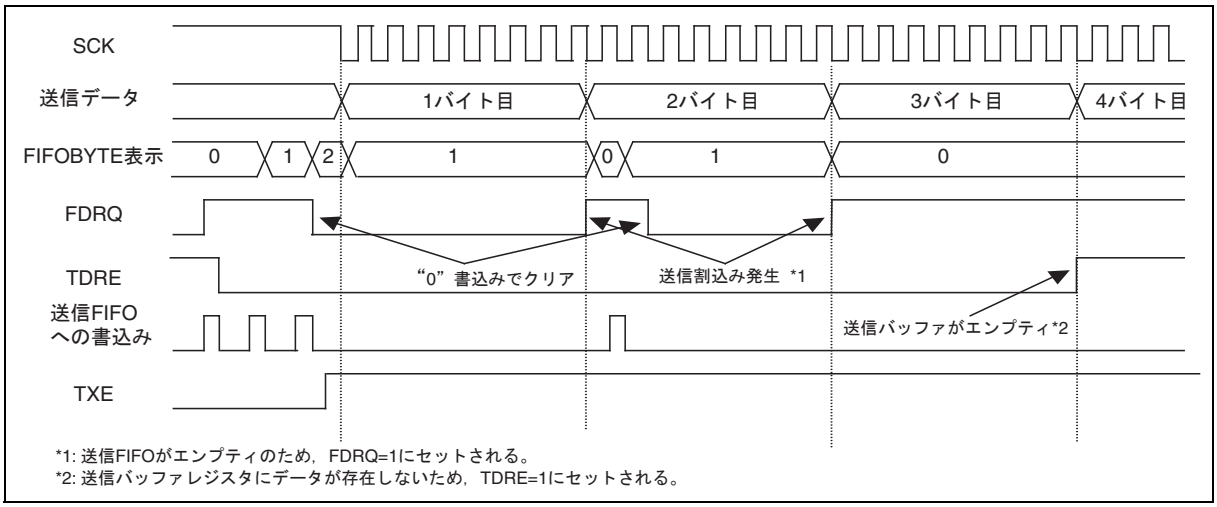
24.14.4　送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは , 送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合 , FIFO 送信データ要求ビット (FCR1：FDRQ) が "1" にセットされます。このとき , FIFO 送信割込みが許可 (FCR1：FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら , FIFO 送信データ要求ビット (FCR1：FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在は , FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
  FBYTE1/FBYTE2 = 00_H のときは , 送信 FIFO にデータが存在していないことを示します。

図 24.14-7 送信 FIFO 使用時の送信割込み発生タイミング



24.15　CSIO (クロック同期シリアルインタフェース) の動作

転送方式はクロック同期式となります。

■ CSIO (クロック同期シリアルインタフェース) の動作

■ ノーマル転送 (I)

● 特長

表 24.15-1 ノーマル転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット～9 ビット

● レジスタ設定

ノーマル転送 (I) に必要なレジスタの設定値を以下に示します。

表 24.15-2 ノーマル転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	—	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	—	—	—	ORE	RDRF	TDRE	TBI	SOP	—	—	WT1	WT0	L2	L1	L0
	0	—	—	—	—	—	—	—	0	—	—	*	*	*	*	*
RDR/ TDR	—							D8	D7	D6	D5	D4	D3	D2	D1	D0
	—							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	—	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	—	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

＜注意事項＞

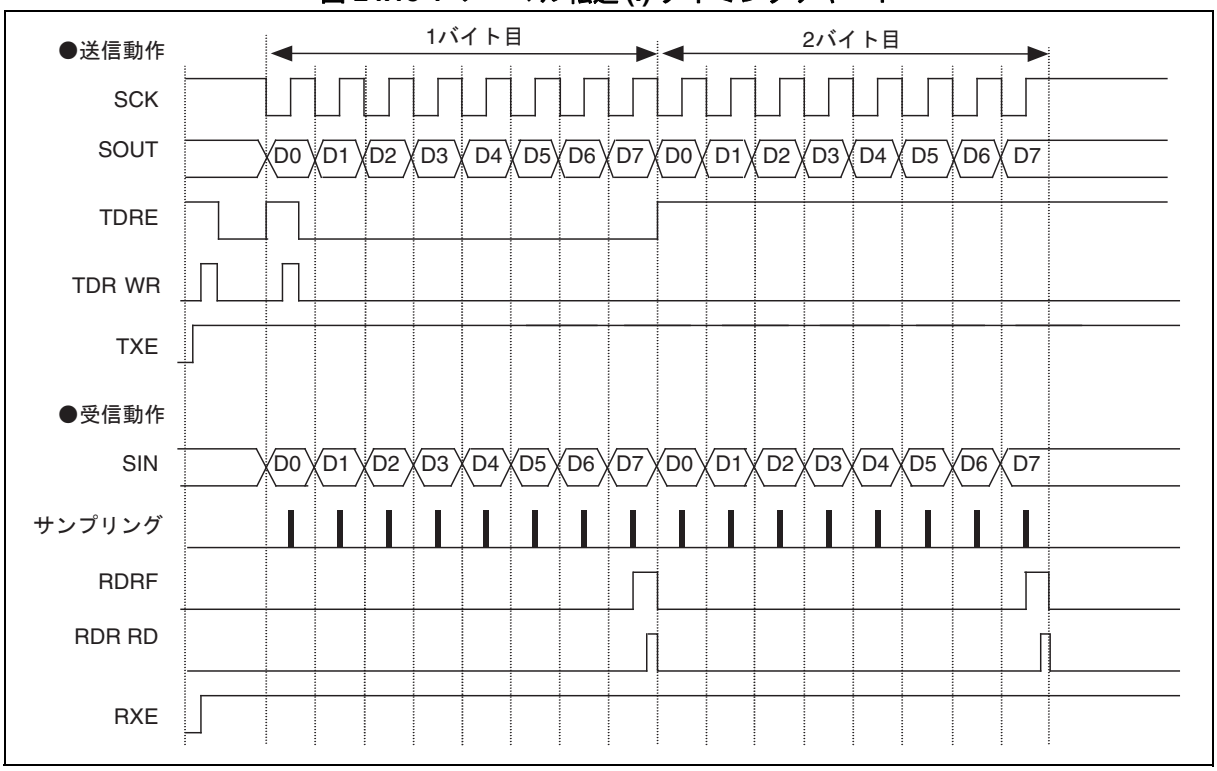
上記ビットの設定値 (1/0) は , マスタ動作 , スレーブ動作で異なります。以下のように設定してください。

マスタ動作時　：SCR:MS=0, SMR:SCKE=1

スレーブ動作時：SCR:MS=1, SMR:SCKE=0

● ノーマル転送 (I) タイミングチャート

図 24.15-1 ノーマル転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作　(SCR:MS=0, SMR:SCKE=1 に設定します)

- 送信動作

① シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止 (SCR:RXE=0) にして TDR に送信データを書き込むと SSR:TDRE=0 となり , シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

② 最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にして TDR にダミーデータを書き込むと , シリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

＜注意事項＞

- **受信動作のみを行う場合 , シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。**
- **送受信 FIFO 許可時は , 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで , 設定値分のフレームのシリアルクロック (SCK) が出力されます。**

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

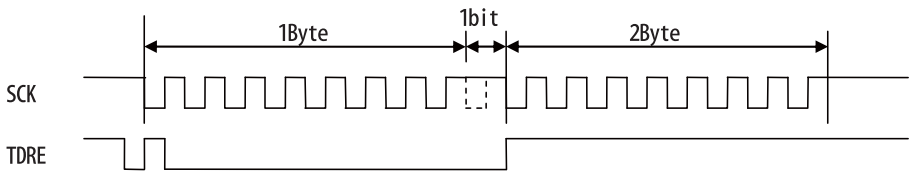
  ② TDR に送信データを書き込むと , SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立下りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

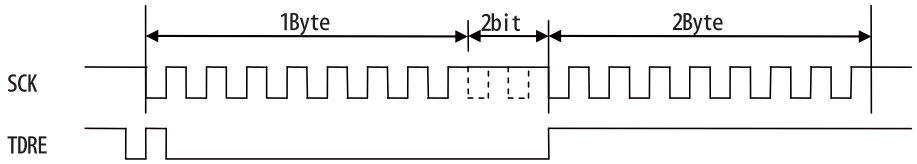
- 連続データ送信または受信ウェイト動作

  ① 連続データ送信または受信に対し , (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

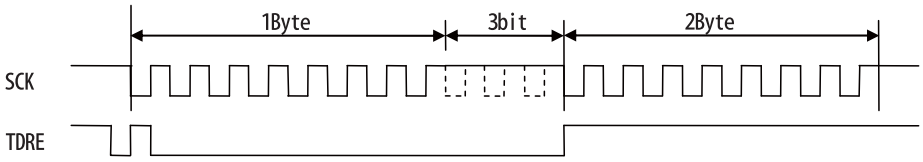
  - ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にして TDR に送信データを書き込むと SSR:TDRE=0 となり , シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

  ② 最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると , シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

  ② TDR に送信データを書き込むと , SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立下りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (II)

● 特長

表 24.15-3 ノーマル転送 (II) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ビット～9 ビット

● レジスタ設定

ノーマル転送 (II) に必要なレジスタの設定値を以下に示します。

表 24.15-4 ノーマル転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit07	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	—	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	—	—	—	ORE	RDRF	TDRE	TBI	SOP	—	—	WT1	WT0	L2	L1	L0
	0	—	—	—	—	—	—	—	0	—	—	*	*	*	*	*
RDR/ TDR	—							D8	D7	D6	D5	D4	D3	D2	D1	D0
	—							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	—	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	—	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

＜注意事項＞

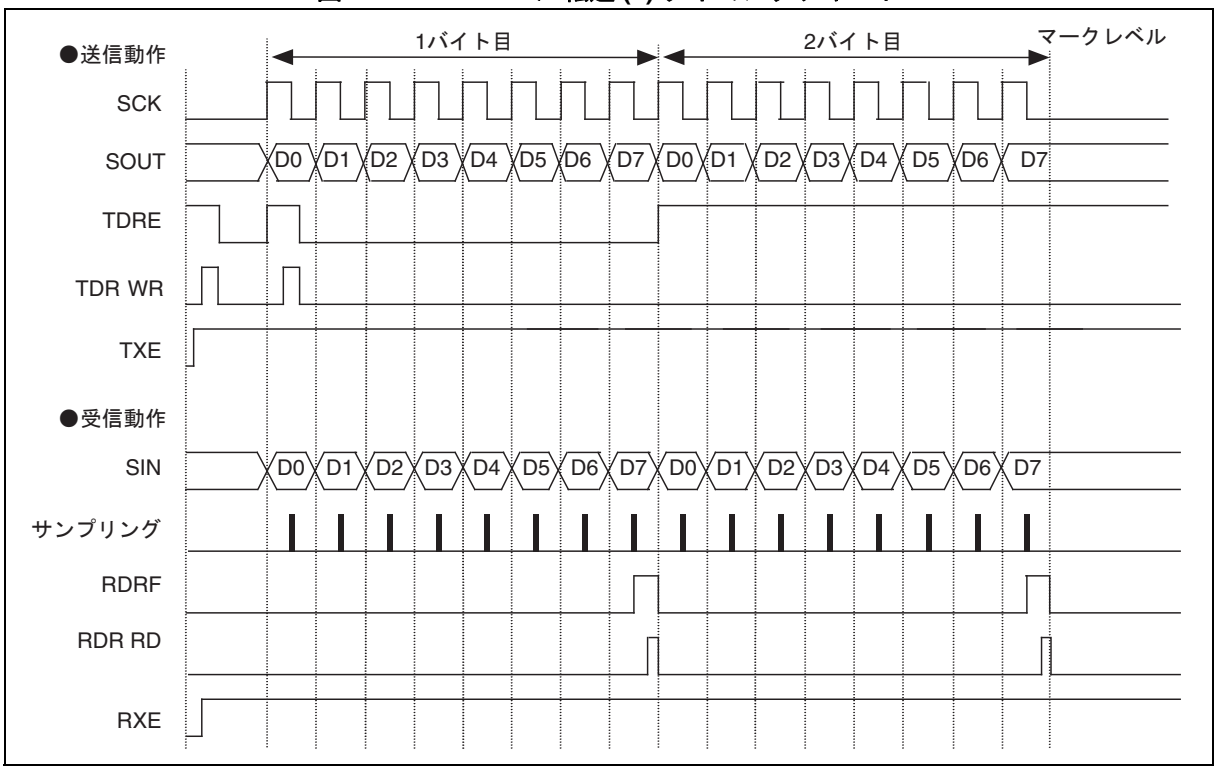
上記ビットの設定値 (1/0) は , マスタ動作 , スレーブ動作で異なります。以下のように設定してください。

マスタ動作時　：SCR:MS=0, SMR:SCKE=1

スレーブ動作時 ：SCR:MS=1, SMR:SCKE=0

■ ノーマル転送 (II) タイミングチャート

図 24.15-2 ノーマル転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作　(SCR:MS=0, SMR:SCKE=1 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

  ② 最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし , TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合 , シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時 , 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで , 設定値分のフレームのシリアルクロック (SCK) が出力されます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

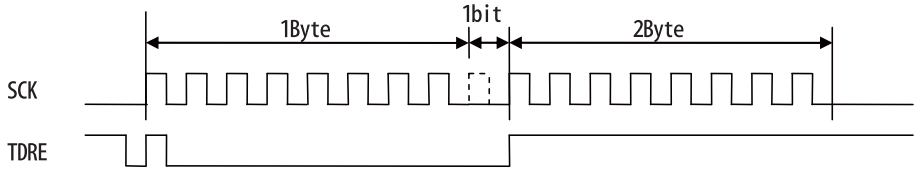
  ② TDR に送信データを書き込むと , SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立上りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

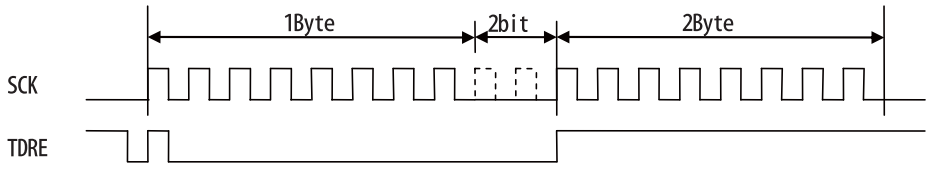
- 連続データ送信または受信ウェイト動作

  ① 連続データ送信または受信に対し , (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

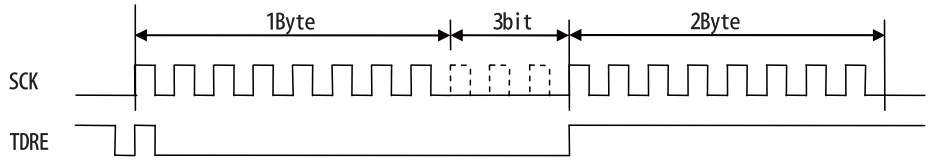
  - ESCR:WT1=0, ESCR:WT0=1(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=0(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , シリアルクロック (SCK) 入力の立上りエッジに同期して送信データを出力します。

  ② 最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると , シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

  ② TDR に送信データを書き込むと , SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立上りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (I)

● 特長

表 24.15-5 SPI 転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ビット～ 9 ビット

● レジスタ設定

SPI 転送 (I) に必要なレジスタの設定値を以下に示します。

表 24.15-6 SPI 転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	—	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	—	—	—	ORE	RDRF	TDRE	TBI	SOP	—	—	WT1	WT0	L2	L1	L0
	0	—	—	—	—	—	—	—	0	—	—	*	*	*	*	*
RDR/ TDR	—							D8	D7	D6	D5	D4	D3	D2	D1	D0
	—							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	—	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	—	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

＜注意事項＞

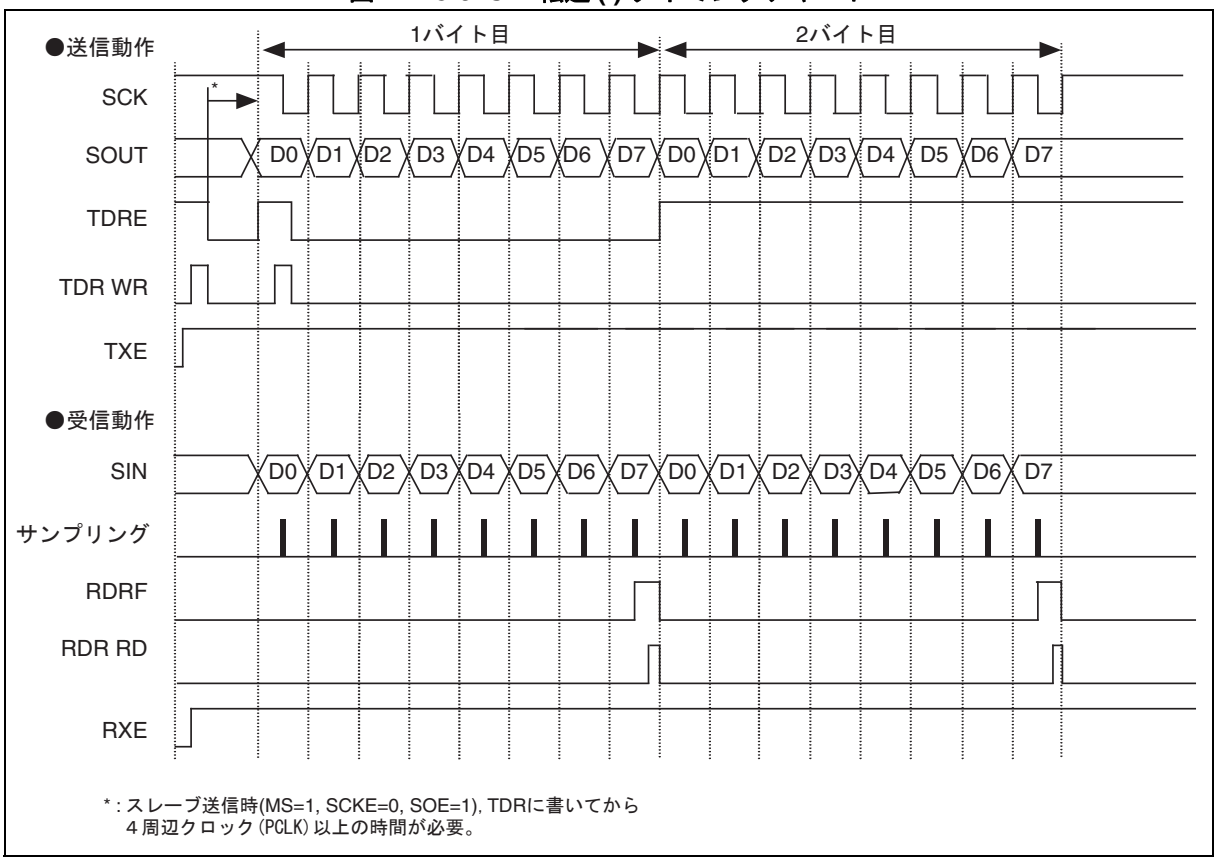
上記ビットの設定値 (1/0) は , マスタ動作 , スレーブ動作で異なります。以下のように設定してください。

マスタ動作時　：SCR:MS=0, SMR:SCKE=1

スレーブ動作時 ：SCR:MS=1, SMR:SCKE=0

● SPI 転送 (I) タイミングチャート

図 24.15-3 SPI 転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

  ② 最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし , TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合 , シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時 , 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで , 設定値分のフレームのシリアルクロック (SCK) が出力されます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

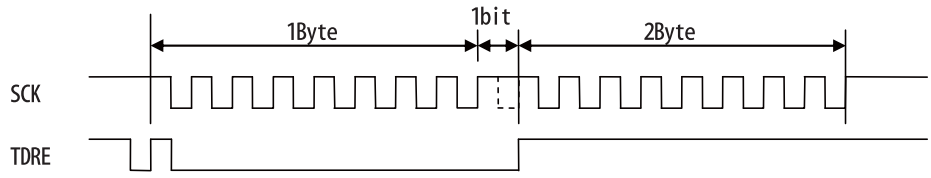
  ② TDR に送信データを書き込むと , SSR:TDRE=0 となり 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 出力の立上りエッジに同期して , 送信データを出力します。最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

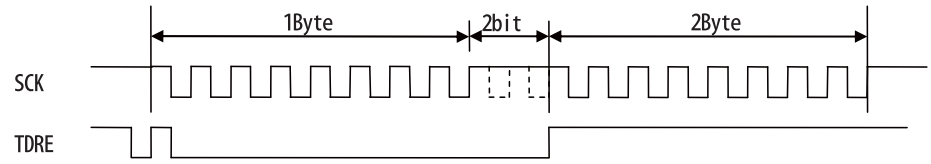
- 連続データ送信または受信ウェイト動作

  ① 連続データ送信または受信に対し , (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

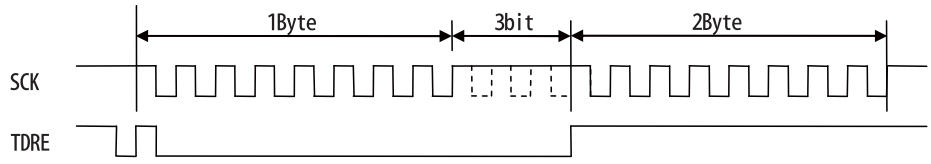
  - ESCR:WT1=0, ESCR:WT0=1(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=0(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

  ② 最初のシリアルクロックの立下りエッジの半サイクル前で SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると , シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

  ② TDR に送信データを書き込むと , SSR:TDRE=0 となり 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 入力の立上りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (II)

● 特長

表 24.15-7 SPI 転送 (II) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット～ 9 ビット

● レジスタ設定

SPI 転送 (II) に必要なレジスタの設定値を以下に示します。

表 24.15-8 SPI 転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	—	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	—	—	—	ORE	RDRF	TDRE	TBI	SOP	—	—	WT1	WT0	L2	L1	L0
	0	—	—	—	—	—	—	—	0	—	—	*	*	*	*	*
RDR/ TDR	—							D8	D7	D6	D5	D4	D3	D2	D1	D0
	—							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	—	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	—	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

＜注意事項＞

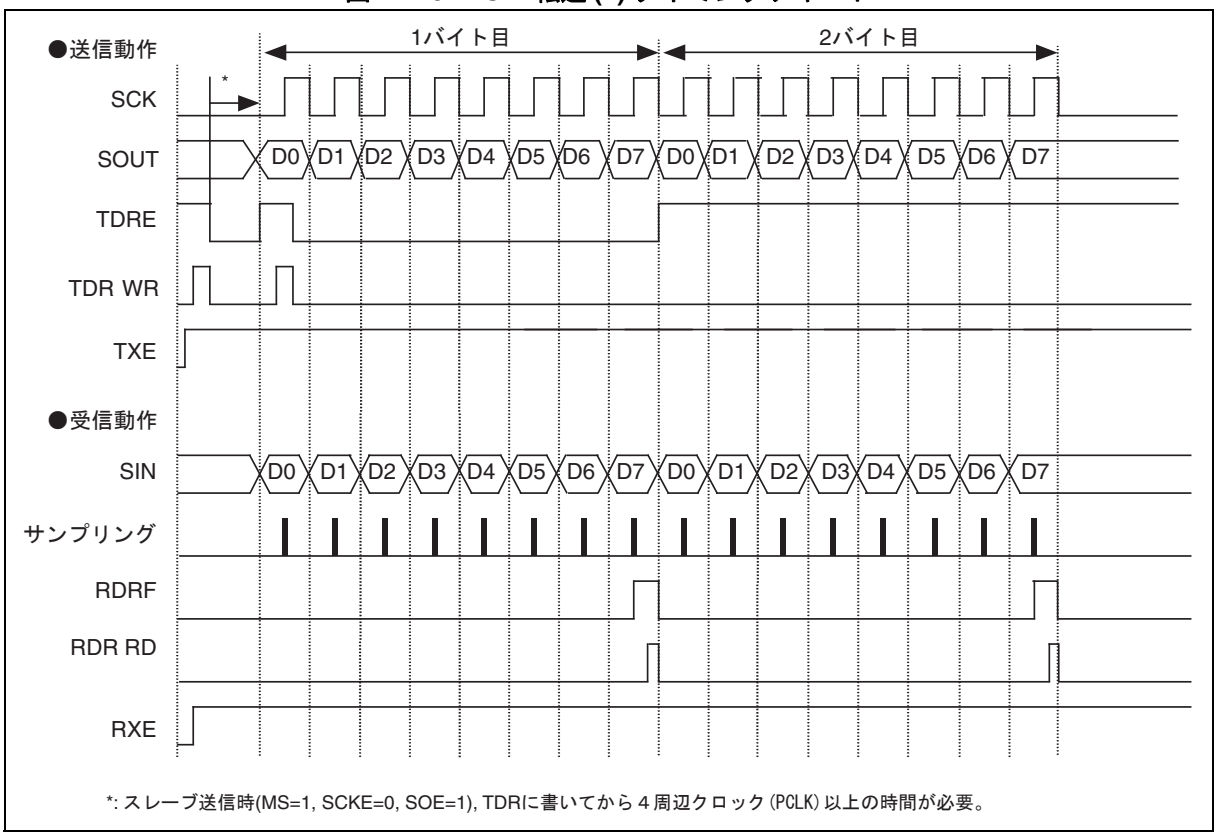
上記ビットの設定値 (1/0) は , マスタ動作 , スレーブ動作で異なります。以下のように設定してください。

マスタ動作時　：SCR:MS=0, SMR:SCKE=1

スレーブ動作時 ：SCR:MS=1, SMR:SCKE=0

● SPI 転送 (II) タイミングチャート

図 24.15-4 SPI 転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作　(SCR:MS=0, SMR:SCKE=1 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

  ② 最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし , TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合 , シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時 , 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで , 設定値分のフレームのシリアルクロック (SCK) が出力されます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

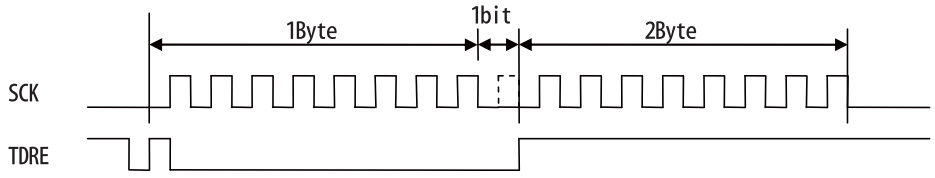
  ② TDR に送信データを書き込むと , SSR:TDRE=0 となり 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 出力の立下りエッジに同期して , 送信データを出力します。最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データを送信クロックの立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

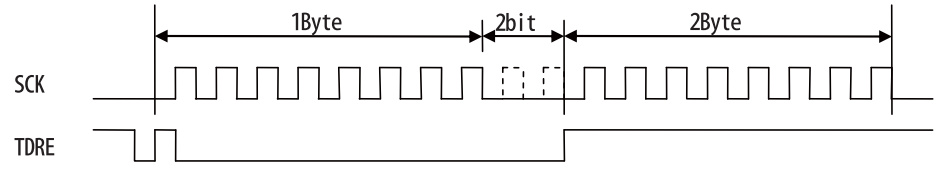
- 連続データ送信または受信ウェイト動作

  ① 連続データ送信または受信に対し , (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

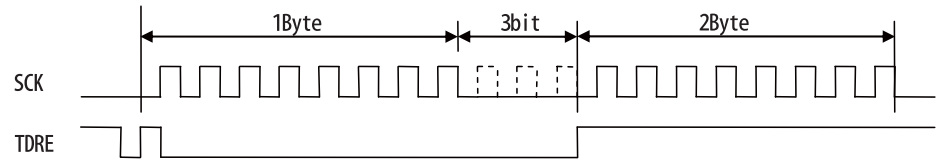
  - ESCR:WT1=0, ESCR:WT0=1(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=0(マスタ時)



  - ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

  ① シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし , TDR に送信データを書き込むと SSR:TDRE=0 となり , 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

  ② 最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき , 2 バイト目の送信データを書き込むことができます。

- 受信動作

  ① シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると , シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

  ② 最後のビットを受信すると SSR:RDRF=1 となり , 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき , 受信データ (RDR) を読み出すことができます。

  ③ 受信データ (RDR) を読み出すと , SSR:RDRF は "0" にクリアされます。

- 送受信動作

  ① 送受信動作を同時に行う場合は , シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

  ② TDR に送信データを書き込むと , SSR:TDRE=0 となり 1 ビット目が出力されます。その後 , シリアルクロック (SCK) 入力の立下りエッジに同期して , 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり , 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時 , 2 バイト目の送信データを書き込むことができます。

  ③ 受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり , 受信割込み許可 (SCR:RIE=1) されていると , 受信割込み要求を出力します。この時 , 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ 4 チャネル同時通信モード時の動作

ch.0~ch.3 の 4 チャネルの CSIO を同時に通信させ , 一度に 4 ビットのデータを送受信できます。

4 チャネルをマスタモードでも , スレーブモードで利用できます。4 チャネル同時通信モード時の動作を説明します。

● 概要

4 チャネル同時に通信するには , シリアルモード選択レジスタ (SSEL0123) の SS1, SS0 ビットで設定します。

また , マスタモードで通信するかスレーブモードで通信するかで必要な設定が異なります。

4 チャネル同時通信モード時に必要な設定を表 24.15-9 に示します。

表 24.15-9 4 チャネル同時通信モード時の設定

モード	設定		ch.0	ch.1	ch.2	ch.3
4 ビットマスタ	SSEL	SS1/SS0 ビット	10	10	10	10
	SCR	MS ビット	1	1	1	0
4 ビットスレーブ	SSEL	SS1/SS0 ビット	11	11	11	11
	SCR	MS ビット	1	1	1	1

SSEL：シリアルモード選択レジスタ (SSEL0123)
SCR ：シリアル制御レジスタ (SCR0 ～ SCR3)

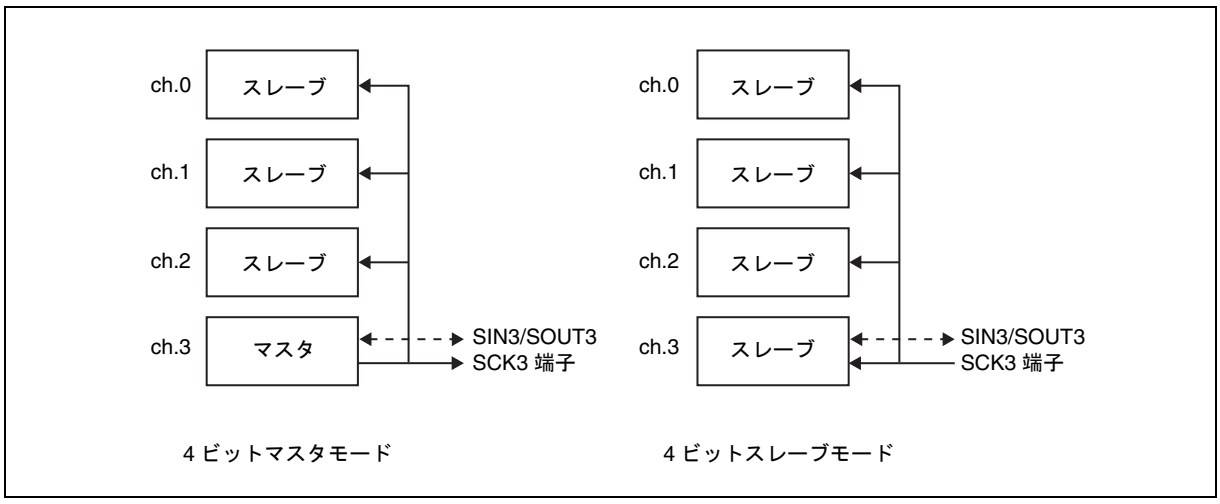
4 ビットマスタモード時と 4 ビットスレーブモード時は, シリアルクロックの入力方法が異なります。
シリアルクロックの入力元を表 24.15-10 に示します。

表 24.15-10 シリアルクロックの入力元

モード	ch.0	ch.1	ch.2	ch.3
4 ビットマスタ (SS1, SS0=10)	ch.3 からの出力	ch.3 からの出力	ch.3 からの出力	SCK3 端子
4 ビットスレーブ (SS1, SS0=11)	SCK3 端子	SCK3 端子	SCK3 端子	SCK3 端子

4 ビットマスタモード時と 4 ビットスレーブモード時のシリアルクロック入力元を図 24.15-5 に示します。

図 24.15-5 シリアルクロックの入力元



4 チャネル同時通信モード時の使用可能端子組合せを , 表 24.15-11 に示します。

表 24.15-11 使用可能端子組合せ

	ch.0	ch.1	ch.2	ch.3
組合せ 1	SCK0_1 SIN0_1 SOUT0_1	SCK1 SIN1 SOUT1	SCK2 SIN2 SOUT2	SCK3 SIN3 SOUT3

● 動作

4 チャネル同時通信モード利用時の受信動作 / 送信動作は , 1 チャネル動作時と同様です。

ただし , 4 ビット同時に送受信するために , 次のレジスタが用意されています。

- 受信データミラーレジスタ (RDRM0 ～ RDRM3)
- 送信データミラーレジスタ (TDRM0 ～ TDRM3)

これらのレジスタにアクセスすると , 受信データレジスタ (RDR) の下位 8 ビットや送信データレジスタ (TDR) の下位 8 ビットにアクセスされます。

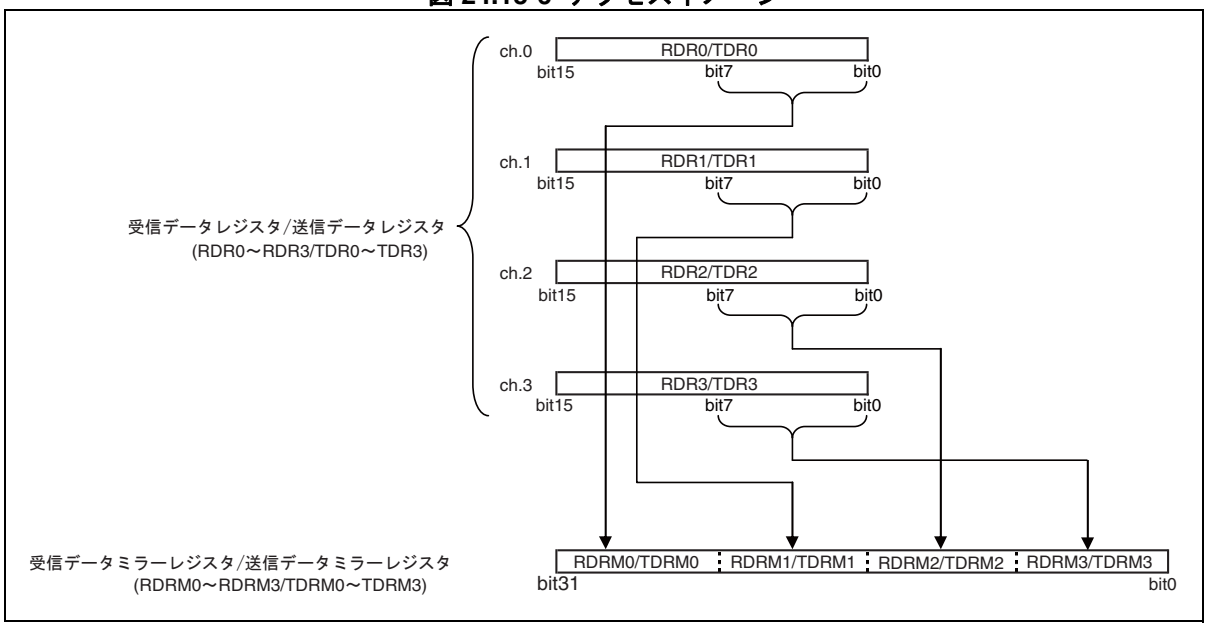
また , ch.0 ～ ch.3 の受信データミラーレジスタ (RDRM0 ～ RDRM3) / 送信データミラーレジスタ (TDRM0 ～ TDRM3) は並んで配置されているため , ワードアクセスすることで , 一度に書き込むことができます。DMA 転送などに利用してください。

< 注意事項 >

4 チャネル同時起動時の割込みは 4ch 中 1ch のみを使用許可することを推奨致します。

受信データミラーレジスタ (RDRM0 ～ RDRM3) / 送信データミラーレジスタ (TDRM0 ～ TDRM3) のイメージを図 24.15-6 に示します。

図 24.15-6 アクセスイメージ



< 注意事項 >

4 チャネル同時通信を使用する場合は , 9 ビット長のデータは使用できません。

24.16　専用ボーレートジェネレータ

専用ボーレートジェネレータは , マスタ動作時のみ機能します。ただし , 受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ CSIO(クロック同期シリアルインタフェース) ボーレート選択

専用ボーレートジェネレータの設定は , マスタ動作時とスレーブ動作時では異なります。

● マスタ動作時

専用ボーレートジェネレータで内部クロックを分周させてボーレートを選択します。

- 2 つの内部リロードカウンタがあり , それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより , ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

● スレーブ動作時

スレーブ動作時 (SCR:MS=1) は , 専用ボーレートジェネレータは機能しません (クロック入力端子 SCK から入力された 外部クロックを直接使用します)。

＜注意事項＞

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

24.16.1　ボーレート設定

ボーレートの設定を示します。また , シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは , ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値 :

$V = \phi / b - 1$

V : リロード値
b : ボーレート
ϕ : 周辺クロック (PCLK) 周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用 , ボーレート 19200bps に設定する場合のリロード値は , 次のようになります。

リロード値 :

$V = (16 \times 1000000)/19200 - 1 = 832$

よって , ボーレートは ,

$b = (16 \times 1000000)/(832+1) = 19208$ bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差 (%) = (計算値 - 目標値)/ 目標値 × 100

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

リロード値 =(20 × 1000000)/153600 - 1 = 129

ボーレート (計算値) =(20 × 1000000)/(129+1) = 153846 (bps)

誤 差 (%) =(153846 - 153600)/153600 × 100 = 0.16 (%)

＜注意事項＞

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合 , シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下のようになります。奇数の場合 , シリアルクロックの "H" 幅と "L" 幅は同じになります。
  - SPI=0, SCINV=0 のとき , シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
  - SPI=0, SCINV=1 のとき , シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
  - SPI=1, SCINV=0 のとき , シリアルクロックの "L" 幅が周辺クロック (PCLK)1 サイクル分長くなります。

- SPI=1, SCINV=1 のとき , シリアルクロックの "H" 幅が周辺クロック (PCLK)1 サイクル分長くなります。

• リロード値は "3" 以上を設定してください。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.16-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	—	—	—	—	—	—	—	—	—	—	3	0
6M	—	—	—	—	—	—	—	—	3	0	—	—
5M	—	—	—	—	—	—	3	0	—	—	—	—
4M	—	—	—	—	3	0	4	0	5	0	7	0
2.5M	—	—	3	0	—	—	—	—	—	—	—	—
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	—	—	—	—	—	—	—	—	51	− 0.16	—	—
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	—	—	—	—	—	—	—	—	103	− 0.16	—	—
153600	51	− 0.16	64	− 0.16	103	− 0.16	129	− 0.16	155	− 0.16	207	− 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	− 0.64	86	0.22	138	0.08	173	0.22	207	− 0.16	277	0.08
76800	103	− 0.16	129	− 0.16	207	− 0.16	259	− 0.16	311	− 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	− 0.16	416	0.08	555	0.08
38400	207	− 0.16	259	− 0.16	416	0.08	520	0.03	624	0	832	− 0.04
28800	277	0.08	346	< 0.01	554	− 0.01	693	− 0.06	832	− 0.03	1110	− 0.01
19200	416	0.08	520	0.03	832	− 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	− 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	− 0.01
4800	1666	0.02	2082	− 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< − 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	—	—	—	—	—	—
300	26666	< 0.01	—	—	—	—	—	—	—	—	—	—

• Value：BGR1/BGR0 レジスタの設定値

• ERR ：ボーレート誤差 (%)

■ リロードカウンタの機能

リロードカウンタには送信リロードカウンタと受信リロードカウンタがあり , 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており , 内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと ,リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信 / 受信リロードカウンタ共通

プログラマブルリセット (SCR:UPCL ビット)

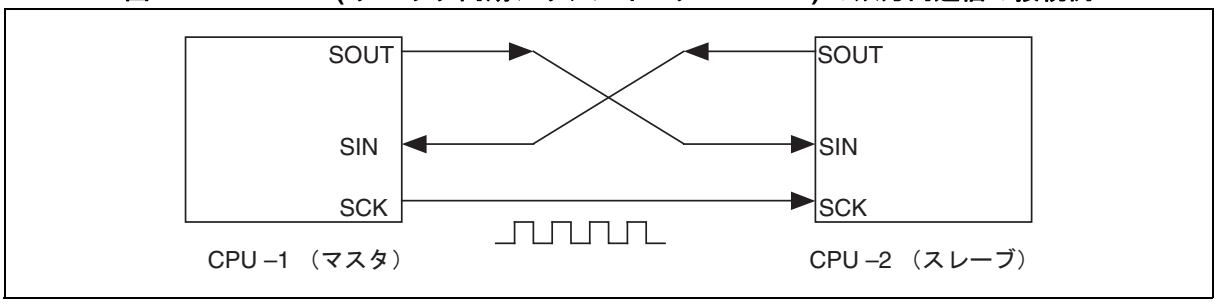
24.17　CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー

CSIO (クロック同期シリアルインタフェース) では , シリアル双方向同期通信をすることができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース) では , 双方向通信を選択します。図 24.17-1 に示すように 2 つの CPU を相互に接続します。

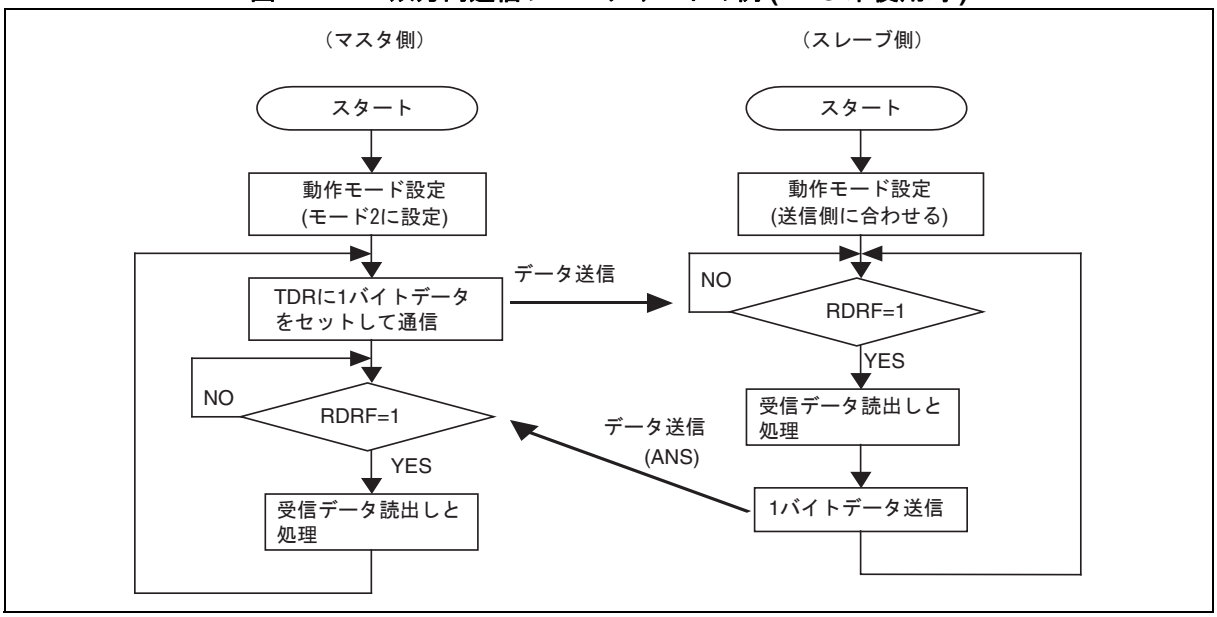
図 24.17-1 CSIO (クロック同期シリアルインタフェース) の双方向通信の接続例



■ フローチャート

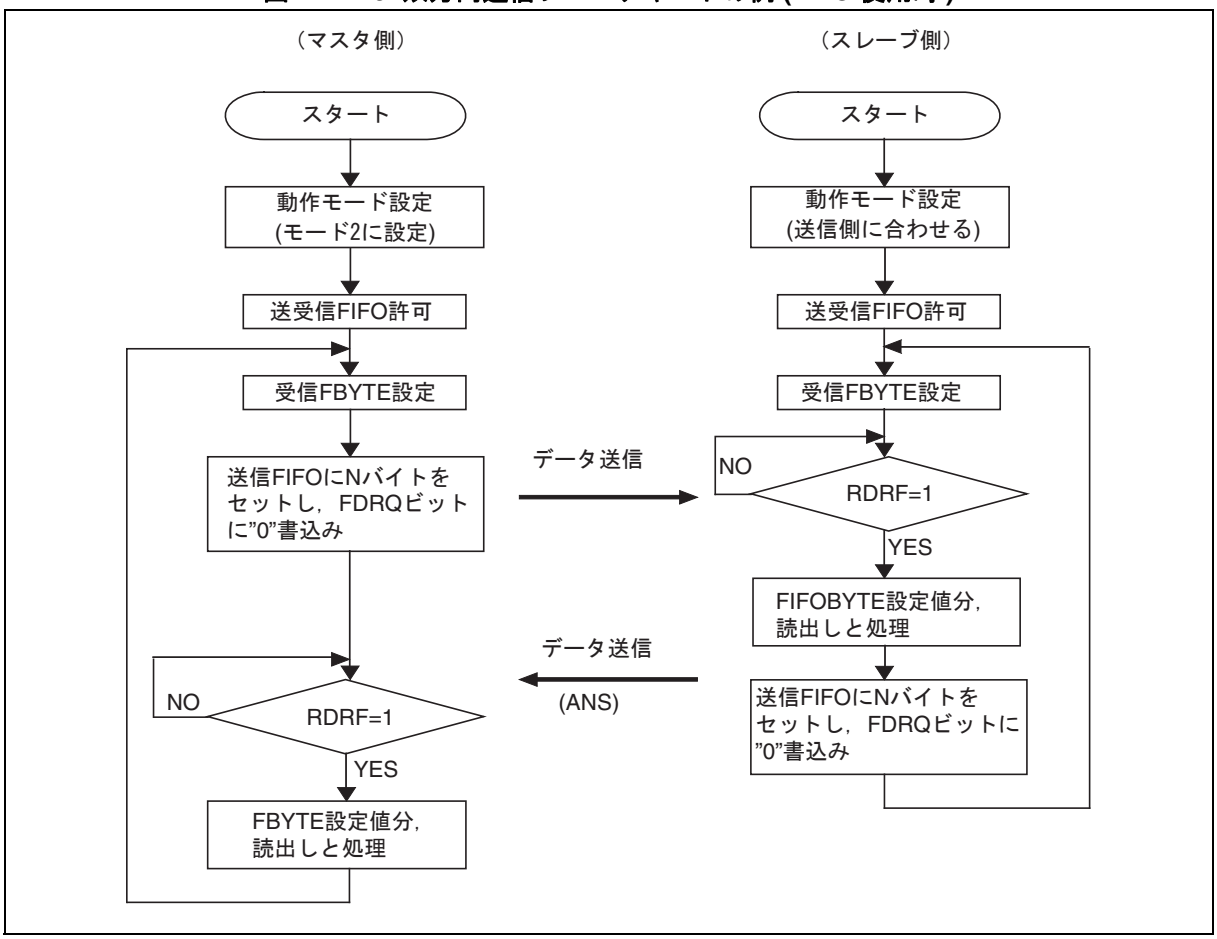
● FIFO 未使用時

図 24.17-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 24.17-3 双方向通信フローチャートの例 (FIFO 使用時)



24.18　CSIO モードの注意事項

CSIO モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には , データ受信用の DMA 転送と , ダミーデータ送信用の DMA 転送が必要なため , DMA を 2 チャネル使用する必要があります。

24.19　I²C インタフェース

マルチファンクションシリアルインタフェースの機能のうち , 動作モード 4 でサポートしている I²C インタフェースについて説明します。

- I²C インタフェース
- I²C インタフェースの概要
- I²C インタフェースのレジスタ
  - I²C バス制御レジスタ (IBCR)
  - シリアルモードレジスタ (SMR)
  - I²C バスステータスレジスタ (IBSR)
  - シリアルステータスレジスタ (SSR)
  - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
  - 7 ビットスレーブアドレスマスクレジスタ (ISMK)
  - 7 ビットスレーブアドレスレジスタ (ISBA)
  - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
  - FIFO 制御レジスタ 1(FCR1)
  - FIFO 制御レジスタ 0(FCR0)
  - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- I²C インタフェースの割込み
  - I²C インタフェース通信の動作
  - マスタモード
  - スレーブモード
  - バスエラー
- 専用ボーレートジェネレータ
  - I²C のフローチャート例

24.20　I²C インタフェースの概要

I²C インタフェースは IC 間バスをサポートし , I²C バス上のマスタ / スレーブデバイスとして動作します。また , 送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。ch.0 には I²C 機能はありません。

■ I²C インタフェースの機能

I²C インタフェースには , 以下の機能があります。

- マスタ / スレーブ送受信機能
- 調停機能
- クロック同期機能
- 転送方向検出機能
- 反復スタート条件の発生と検出機能
- バスエラー検出機能
- ゼネラルコールアドレッシング機能
- マスタおよびスレーブとしての 7 ビットアドレッシング
- 転送およびバスエラー時に割込み発生可能
- 10 ビットアドレッシング機能は , プログラムで対応可能

■ FIFO の機能

FIFO には , 以下の機能があります。

- 送受信 FIFO 搭載 (最大容量：送信 FIFO 16 バイト , 受信 FIFO 16 バイト)*
- 送信 FIFO と受信 FIFO を選択可能
- 送信データの再送信が可能
- 受信 FIFO 割込みタイミングをソフトで変更可能
- 独立して FIFO リセットをサポート

*: ch.0 ～ ch.3 には FIFO はありません。

24.21　I²C インタフェースのレジスタ

I²C インタフェースのレジスター覧を示します。

■ I²C インタフェースのレジスター覧

表 24.21-1 I²C インタフェースのレジスター覧 (1 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
1	IBCR1	I²C バス制御レジスタ 1	24.21.1
	SMR1	シリアルモードレジスタ 1	24.21.2
	IBSR1	I²C バスステータスレジスタ 1	24.21.3
	BGR1	ボーレートジェネレータレジスタ 1	24.21.8
	SSR1	シリアルステータスレジスタ 1	24.21.4
	RDR1	受信データレジスタ 1	24.21.5
	TDR1	送信データレジスタ 1	24.21.5
	ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	24.21.6
	ISBA1	7 ビットスレーブアドレスレジスタ 1	24.21.7
2	IBCR2	I²C バス制御レジスタ 2	24.21.1
	SMR2	シリアルモードレジスタ 2	24.21.2
	IBSR2	I²C バスステータスレジスタ 2	24.21.3
	BGR2	ボーレートジェネレータレジスタ 2	24.21.8
	SSR2	シリアルステータスレジスタ 2	24.21.4
	RDR2	受信データレジスタ 2	24.21.5
	TDR2	送信データレジスタ 2	24.21.5
	ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	24.21.6
	ISBA2	7 ビットスレーブアドレスレジスタ 2	24.21.7
3	IBCR3	I²C バス制御レジスタ 3	24.21.1
	SMR3	シリアルモードレジスタ 3	24.21.2
	IBSR3	I²C バスステータスレジスタ 3	24.21.3
	BGR3	ボーレートジェネレータレジスタ 3	24.21.8
	SSR3	シリアルステータスレジスタ 3	24.21.4
	RDR3	受信データレジスタ 3	24.21.5
	TDR3	送信データレジスタ 3	24.21.5
	ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	24.21.6
	ISBA3	7 ビットスレーブアドレスレジスタ 3	24.21.7

表 24.21-1 I²C インタフェースのレジスター覧 (2 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
8	IBCR8	I²C バス制御レジスタ 8	24.21.1
	SMR8	シリアルモードレジスタ 8	24.21.2
	IBSR8	I²C バスステータスレジスタ 8	24.21.3
	BGR8	ボーレートジェネレータレジスタ 8	24.21.8
	SSR8	シリアルステータスレジスタ 8	24.21.4
	RDR8	受信データレジスタ 8	24.21.5
	TDR8	送信データレジスタ 8	24.21.5
	FCR18	FIFO 制御レジスタ 18	24.21.9
	FCR08	FIFO 制御レジスタ 08	24.21.10
	FBYTE18	FIFO1 バイトレジスタ 8	24.21.11
	FBYTE28	FIFO2 バイトレジスタ 8	24.21.11
	ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	24.21.6
	ISBA8	7 ビットスレーブアドレスレジスタ 8	24.21.7
9	IBCR9	I²C バス制御レジスタ 9	24.21.1
	SMR9	シリアルモードレジスタ 9	24.21.2
	IBSR9	I²C バスステータスレジスタ 9	24.21.3
	BGR9	ボーレートジェネレータレジスタ 9	24.21.8
	SSR9	シリアルステータスレジスタ 9	24.21.4
	RDR9	受信データレジスタ 9	24.21.5
	TDR9	送信データレジスタ 9	24.21.5
	FCR19	FIFO 制御レジスタ 19	24.21.9
	FCR09	FIFO 制御レジスタ 09	24.21.10
	FBYTE19	FIFO1 バイトレジスタ 9	24.21.11
	FBYTE29	FIFO2 バイトレジスタ 9	24.21.11
	ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	24.21.6
	ISBA9	7 ビットスレーブアドレスレジスタ 9	24.21.7
10	IBCR10	I²C バス制御レジスタ 10	24.21.1
	SMR10	シリアルモードレジスタ 10	24.21.2
	IBSR10	I²C バスステータスレジスタ 10	24.21.3
	BGR10	ボーレートジェネレータレジスタ 10	24.21.8
	SSR10	シリアルステータスレジスタ 10	24.21.4
	RDR10	受信データレジスタ 10	24.21.5
	TDR10	送信データレジスタ 10	24.21.5
	FCR110	FIFO 制御レジスタ 110	24.21.9
	FCR010	FIFO 制御レジスタ 010	24.21.10
	FBYTE110	FIFO1 バイトレジスタ 10	24.21.11
	FBYTE210	FIFO2 バイトレジスタ 10	24.21.11
	ISMK10	7 ビットスレーブアドレスマスクレジスタ 10	24.21.6
	ISBA10	7 ビットスレーブアドレスレジスタ 10	24.21.7

表 24.21-1 I²C インタフェースのレジスター覧 (3 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
11	IBCR11	I²C バス制御レジスタ 11	24.21.1
	SMR11	シリアルモードレジスタ 11	24.21.2
	IBSR11	I²C バスステータスレジスタ 11	24.21.3
	BGR11	ボーレートジェネレータレジスタ 11	24.21.8
	SSR11	シリアルステータスレジスタ 11	24.21.4
	RDR11	受信データレジスタ 11	24.21.5
	TDR11	送信データレジスタ 11	24.21.5
	FCR111	FIFO 制御レジスタ 111	24.21.9
	FCR011	FIFO 制御レジスタ 011	24.21.10
	FBYTE111	FIFO1 バイトレジスタ 11	24.21.11
	FBYTE211	FIFO2 バイトレジスタ 11	24.21.11
	ISMK11	7 ビットスレーブアドレスマスクレジスタ 11	24.21.6
	ISBA11	7 ビットスレーブアドレスレジスタ 11	24.21.7

表 24.21-2 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	—	RIE	TIE	—	—
SSR/ IBSR	REC	TSET	—	—	ORE	RDRF	TDRE	—	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
RDR/ TDR	—	—	—	—	—	—	—	—	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	—	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	—	—	—	FLSTE	FRIIE	FDRQ	FTIE	FSEL	—	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

24.21.1　I²C バス制御レジスタ (IBCR)

I²C バス制御レジスタ (IBCR) は , マスタ / スレーブモード選択 , 反復スタート条件の発生 , アクノリッジ許可 , 割込み許可設定 , バスエラー検出 , 割込みフラグを表示します。

■ I²C バス制御レジスタ (IBCR)

図 24.21-1 に I²C バス制御レジスタ (IBCR) のビット構成を , 表 24.21-3 に各ビットの機能を示します。

図 24.21-1 I²C バス制御レジスタ (IBCR) のビット構成

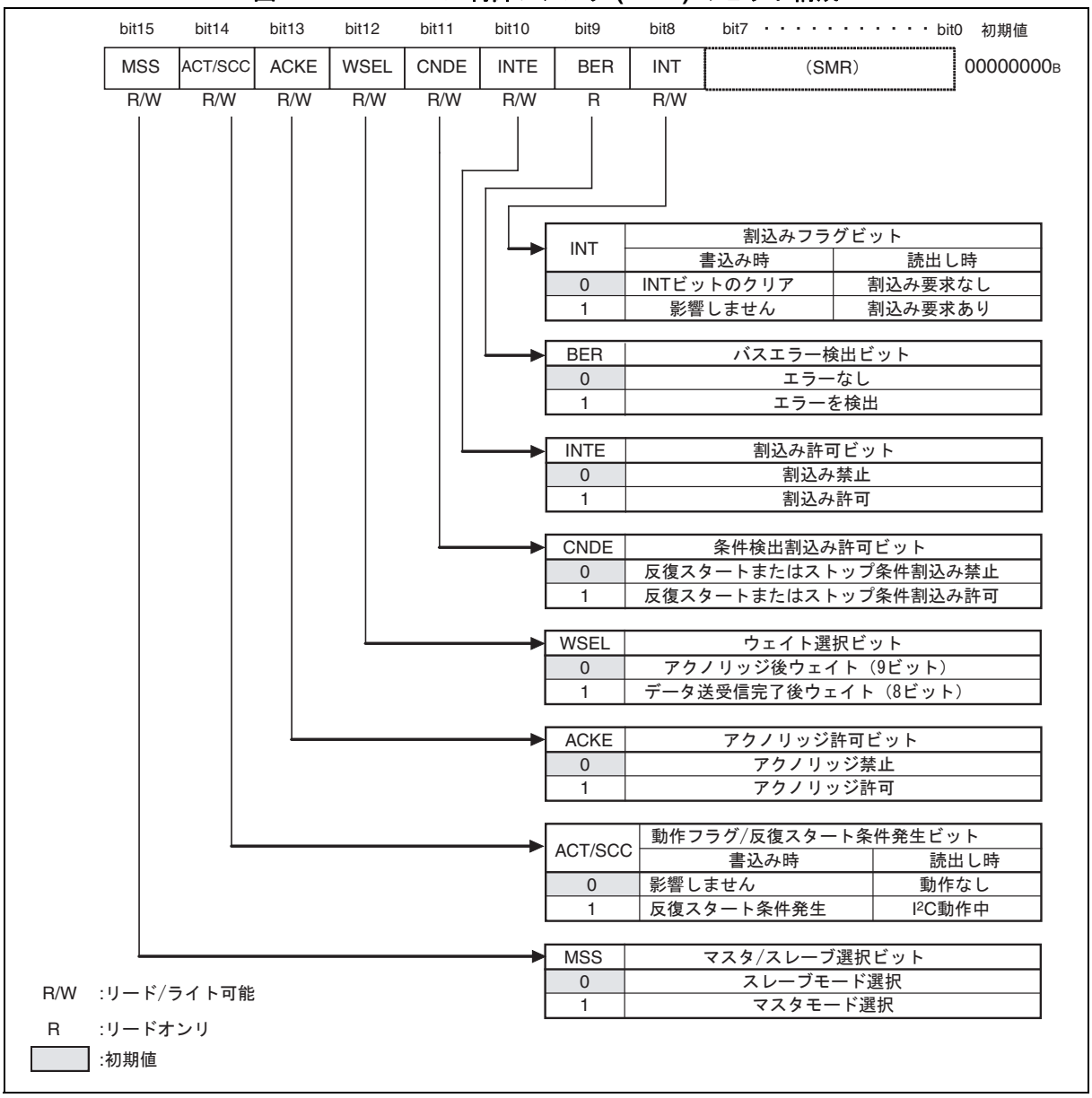


表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (1 / 5)

<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td>bit15</td><td>MSS：
マスタ /
スレーブ
選択
ビット</td><td>

本ビットに "1" を設定すると I²C バスがアイドル状態 (EN=1, BB=0) のとき , マスタモードとなります。
IBSR レジスタの BB ビットが "1" のとき , このビットに "1" を設定すると BB ビットが "0" になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは "0" になり , IBSR レジスタの AL ビットが "1" になります。
マスタ動作中 (MSS=1, ACT=1) で割込みフラグ (INT) が "1" のとき , 本ビットに "0" を書き込むとストップ条件が発生します。

MSS ビットは以下の条件でクリアされます。

I²C インタフェースの禁止 (EN ビット =0)
アービトレーションロスト発生時
バスエラー検出 (BER ビット =1)
INT=1 のとき , MSS ビットへの "0" 書込み

MSS ビットと ACT ビットの関係を以下に示します。
<table>
<tr><th>MSS ビット</th><th>ACT ビット</th><th>状態</th></tr>
<tr><td>0</td><td>0</td><td>アイドル</td></tr>
<tr><td>0</td><td>1</td><td>スレーブアドレス一致または予約アドレスに対し ACK 応答* し , スレーブ動作中 (スレーブモード)</td></tr>
<tr><td>1</td><td>0</td><td>マスタ動作待機中</td></tr>
<tr><td>1</td><td>1</td><td>マスタ動作中 (マスタモード)</td></tr>
</table>
*:ACK 応答：アクノリッジ区間に I²C バスの SDA が "L" であることを指します。
(注意事項) MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合 , MSS ビット =1, INT ビット =1 のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。
マスタ動作中 , MSS ビットに "0" を書き込んでも ACT ビットが "1" の間は "1" が読み出されます。
</td></tr>
</table>

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (2 / 5)

ビット名		機能
bit14	ACT/SCC：動作フラグ / 反復スタート条件発生ビット	このビットは , 読出しと書込みで意味が異なります。 読出し：ACT ビット 書込み：SCC ビット ACT ビットはマスタモードまたはスレーブモードとして動作していることを示します。 ACT ビットのセット条件： • スタート条件を I²C バスに出力したとき (マスタモード) • スレーブアドレスとマスタから送信されたアドレスが一致したとき (スレーブモード) • 予約アドレスを検出し , それに対しアクノリッジ応答したとき (MSS=0 のときスレーブモードとなる) ACT ビットのリセット条件： < マスタモード > • ストップ条件検出 • アービトレーションロスト検出 • バスエラー検出 • I²C インタフェースの禁止 (EN ビット =0) < スレーブモード > • (反復) スタート条件検出 • ストップ条件検出 • 予約アドレス検出状態 (RSA ビット =1) でアクノリッジ応答しなかったとき • I²C インタフェースの禁止 (EN ビット =0) • バスエラーの発生 (BER ビット =1) マスタモード時 , このビットに "1" を書き込むと反復スタートを実行します。"0" 書込みは無効です。 (注意事項) SCC ビットへの "1" 書込みは , マスタモードの割込み中 (MSS=1, ACT=1, INT=1) に行ってください。ACT ビットが "1" のときに SCC ビットに "1" を書き込むと INT ビットは "0" にクリアされます。 スレーブモード (MSS=0, ACT=1) 時 , 本ビットに "1" を書き込むことは禁止です。 SCC ビットに "1", MSS ビットに "0" を書き込んだ場合には , MSS ビットが優先されます。 リードモディファイライト (RMW) 系命令のリード時には SCC ビットが読み出されます。

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (3 / 5)

ビット名		機能
bit13	ACKE： アクノリッジ 許可 ビット	• 本ビットに "1" を設定するとアクノリッジタイミングで "L" を出力します。 • ACT=1 のときに本ビットを変更する場合 , INT ビットが "1" のときに行ってください。 本ビットは以下の条件では無効となります。 • 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成) • データ送信時 (RSA=0, TRX=1, FBT=0) • 受信 FIFO 許可でスレーブ受信時 (FE=1, MSS=0, ACT=1), 常に ACK 応答します。 • 受信FIFO許可, WSELが "0", マスタ受信時(FE=1, MSS=1, ACT=1, WSEL=0), TDRE ビットが "0" のとき ACK 応答し , TDRE ビットが "1" のとき NACK 応答します。受信 FIFO 許可 , WSEL="0", 予約アドレス検出してスレーブ送信時 (RSA=1, TRX=1, FBT=1), 常に ACK 応答します。NACK 応答させる場合 , 予約アドレス検出後の割込み時 , 受信 FIFO を禁止にして ACKE=0 にしてください。 • 受信 FIFO 許可 , WSEL が "1", マスタ受信で送信データレジスタにデータがあるとき (FE=1, MSS=1, ACT=1, WSEL=1, TDRE=0)
bit12	WSEL： ウェイト 選択ビット	• 本ビットはアクノリッジ前か後のどちらに割込み (INT=1) を発生させ , I²C バスをウェイトさせるかを選択するビットです。 • WSEL ビットは以下の条件では無効になります。 • 第一バイト *1 に対する割込み発生時 (INT=1) • 予約アドレス検出時 (FBT=1, RSA=1) • FIFO 使用時のデータ転送途中での NACK 応答 *2 検出時 (FE=1, RACK=1, ACT=1) • 受信 FIFO 使用時 , 受信 FIFO がフルになったとき *1: 第一バイト : (反復) スタート条件後のデータを指します。 *2: NACK 応答：アクノリッジ期間 I²C バスの SDA が "H" であることを指します。
bit11	CNDE： 条件検出 割込み許可 ビット	マスタモードまたはスレーブモード時 (ACT=1), ストップ条件または反復スタート条件が検出された場合 , 割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが "1" で本ビットが "1" のときに割込みが発生します。
bit10	INTE： 割込み許可 ビット	マスタモードまたはスレーブモード時 , データ送受信およびバスエラーに対する割込み (INT=1) を許可するビットです。

表 24.21-3 I^2C バス制御レジスタ (IBCR) の各ビットの機能説明 (4 / 5)

ビット名		機能
bit9	BER: バスエラー 検出ビット	本ビットは I^2C バス上でエラーを検出したことを示します。 BER ビットのセット条件： • 第一バイト * 転送中にスタート条件またはストップ条件を検出 • 第二バイト以降 , データの 2 ビット～ 9(アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出 BER ビットのリセット条件： • BER=1 のときに INT ビットへ "0" 書込みした場合 • I^2C インタフェースの禁止 (EN=0) の場合 *: 第一バイト : (反復) スタート条件後のデータを指します。 (注意事項) 割込みフラグ (INT ビット) が "1" になったときにこのビットを確認し , "1" になっていると正常に送受信ができていませんので再送などの処理を行ってください。

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (5 / 5)

ビット名		機能
bit8	INT： 割込み フラグビット	本ビットはマスタモード , スレーブモード時 , データ送受信の 8 ビット , 9 ビット (ACK) 後 , もしくはバスエラー時にこのフラグを "1" にセットします。 バスエラー時以外は , INT ビットが "1" になると SCL を "L" にし , INT ビットが "0" になると SCL の "L" の状態を解除します。 INT ビットのセット条件： ＜ 8 ビット目＞ • 第一バイトで予約アドレスを検出した場合 • WSEL が "1", 第二バイト以降でアービトレーションロストを検出した場合 • WSEL が "1", マスタ動作中 , 第二バイト以降で TDRE ビットが "1" の場合 • WSEL が "1", スレーブ動作中 , 受信 FIFO 禁止 , 第二バイト以降で TDRE ビットが "1" の場合 • WSELが"1", スレーブ送信中, 第二バイト以降でTDREビットが"1"の場合 ＜ 9 ビット目＞ • 第一バイトでアービトレーションロストを検出した場合 • ストップ条件出力設定 (マスタ動作中の MSS ビットへの "0" 書込み) 時以外に NACK を受信した場合 • 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向 (TRX=1) で TDRE ビットが "1" の場合 • 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 許可時に受信 FIFO にデータがある場合 • 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(TRX=0)で受信FIFO禁止時にTDREビットが"1"の場合 • WSEL=0 設定時 , 第二バイト以降でアービトレーションロストを検出した場合 • WSEL=0 設定時 , マスタモード動作中に第二バイト以降で TDRE ビットが "1" の場合 • WSEL=0 設定時 , スレーブ送信中に第二バイト以降で TDRE ビットが "1" の場合 • WSEL=0 設定時 , 受信 FIFO 禁止でスレーブ受信の場合。ただし , 予約アドレスを検出した第一バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。 • 受信 FIFO 許可 , スレーブ受信のときに受信 FIFO がフルになった場合 ＜その他＞ バスエラー検出 INT ビットのリセット条件： • INT ビットへの "0" 書込み • INT ビットが "1", ACT ビットが "1" のときに MSS ビットへの "0" 書込み • INT ビットが "1", ACT ビットが "1" のときに SCC ビットへの "1" 書込み INT ビットへの "1" 書込みは無効です。 (注意事項) EN ビットを "0" にした場合 , 受信タイミングによっては RDRF ビットと INT ビットが "1" になることがあります。この場合 , 受信データを読み出し , INT ビットをクリアしてください。 リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。 受信 FIFO 許可時 , マスタ受信動作で受信 FIFO がフルになっても INT ビットには "1" がセットされません。

24.21.2　シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は , 動作モードの設定 , 送受信割込みの許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.21-2 にシリアルモードレジスタ (SMR) のビット構成を , 表 24.21-4 に各ビットの機能を示します。

図 24.21-2 シリアルモードレジスタ (SMR) のビット構成

bit15 ・・・・・・・・・・・・・・・・・・・・・・ bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
(IBCR)	MD2	MD1	MD0	予約	RIE	TIE	予約	予約	00000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

予約ビット
常に“00B”を設定してください。

TIE	送信割込み許可ビット
0	送信割込み禁止
1	送信割込み許可

RIE	受信割込み許可ビット
0	受信割込み禁止
1	受信割込み許可

予約ビット
常に"0"を設定してください。

MD2	MD1	MD0	動作モード設定ビット
0	0	0	動作モード0(非同期ノーマルモード)
0	0	1	動作モード1(非同期マルチプロセッサモード)
0	1	0	動作モード2(クロック同期モード)
1	0	0	動作モード4(I^2Cモード)

R/W　:リード/ライト可能
:初期値

(注意事項) 動作モード4のレジスタおよび動作について説明します。

表 24.21-4 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ～ bit5	MD2, MD1, MD0 : 動作モード設定ビット	動作モードを設定します。 "000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。 "001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。 "010_B" : 動作モード 2(クロック同期モード) に設定されます。 "100_B" : 動作モード 4(I^2C モード) に設定されます。 動作モード 4(I^2C モード) のレジスタおよび動作について説明します。 (注意事項)　上記の設定以外は禁止です。 動作モードを切り換える場合は , I^2C 禁止 (ISMK:EN=0) 後 , 動作モードを切り換えてください。 動作モード設定後 , 各レジスタを設定してください。
bit4	予約ビット	本ビットには , 必ず "0" を設定してください。
bit3	RIE : 受信割込み許可ビット	• CPU への受信割込み要求出力を許可 / 禁止するビットです。 • RIE ビットと受信データフラグビット (RDRF) が "1" の場合 , またはエラーフラグビット (ORE) が "1" の場合 , 受信割込み要求を出力します。 (注意事項)　I^2C バス制御レジスタ (IBCR) の INT ビットを使用してデータを受信する場合 , 本ビットを "0" にしてください。
bit2	TIE : 送信割込み許可ビット	• CPU への送信割込み要求出力を許可 / 禁止するビットです。 • TIE ビットと TDRE ビットが "1" の場合 , 送信割込み要求を出力します。 (注意事項)　I^2C バス制御レジスタ (IBCR) の INT ビットを使用してデータを送信する場合 , 本ビットを "0" にしてください。
bit1, bit0	予約ビット	本ビットには , 必ず "00_B" を設定してください。

＜注意事項＞

動作モードを変更すると , 同一チャネル内の以下のレジスタが初期化されるので動作モードは最初に設定してください。

- I^2C バス制御レジスタ (IBCR)
- I^2C バスステータスレジスタ (IBSR)

ただし , 16 ビット書込みで IBCR と SMR を同時に書き込んだとき , IBCR には書き込んだ内容が反映されます。

24.21.3　I²C バスステータスレジスタ (IBSR)

I²C バスステータスレジスタ (IBSR) は , ファーストバイト , 予約アドレス , 反復スタート , アクノリッジ , データ方向 , アービトレーションロスト , ストップ条件 , I²C バス状態を検出したことを示します。

■ I²C バスステータスレジスタ (IBSR)

図 24.21-3 に I²C バスステータスレジスタ (IBSR) のビット構成を , 表 24.21-5 に各ビットの機能を示します。

図 24.21-3 I²C バスステータスレジスタ (IBSR) のビット構成

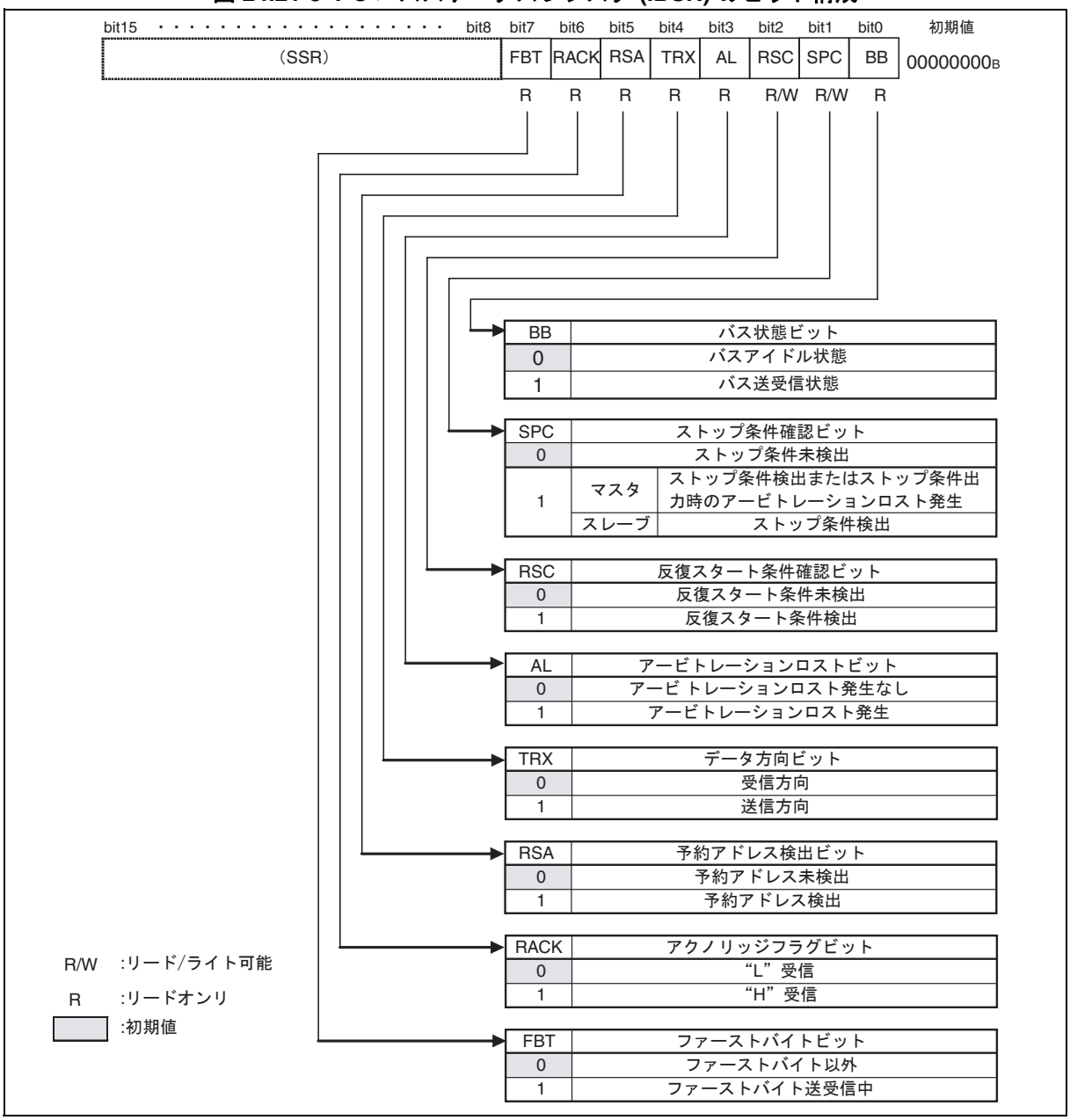


表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (1 / 4)

ビット名		機能
bit7	FBT: ファースト バイトビット	第一バイトを示すビットです。 FBT ビットのセット条件： (反復) スタート条件を検出した場合 FBT ビットのクリア条件： • 2 バイト目の送受信 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)

表 24.21-5 I^2C バスステータスレジスタ (IBSR) の各ビットの機能説明 (2 / 4)

ビット名		機能
bit6	RACK： アクノリッジ フラグビット	第一バイト , マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。 RACK ビットの更新条件 • ファーストバイト時のアクノリッジ • マスタモードまたはスレーブモード時のデータのアクノリッジ RACK ビットのクリア条件 (RACK ビット =0) • (反復) スタート条件検出 • I^2C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)
bit5	RSA： 予約アドレス 検出ビット	本ビットは予約アドレスを検出したことを示すビットです。 RSA ビットのセット条件 (RSA=1) 一バイト目が ($0000XXXX_B$) または ($1111XXXX_B$)。"X" は "0" または "1" を示します。 RSA ビットのリセット条件 (RSA=0) • (反復) スタート条件検出 • ストップ条件検出 • I^2C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) 第一バイトで RSA ビットが "1" になると , その一バイトの 8 ビット目の SCL の立下りで , FIFO 許可 , 禁止に関係なく割込みフラグ (INT) を "1" にして SCL を "L" にします。このとき , 受信データを読み出し , スレーブとして動作させる場合には ACKE を "1" に設定し , 割込みフラグ (INT) を "0" にクリアします。その後 , TRX ビットが "0" であれば , スレーブとしてデータを受信します。途中でデータを受信させない場合には ACKE ビットを "0" にします。それ以降 , データを受信しません。 (注意事項) データ転送中に ACKE を "0" にした場合には , ストップ条件または反復スタート条件を検出するまで ACKE を "1" にすることは禁止です。 予約アドレス検出による割込み時 , スレーブ送信を確認した場合 , 受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし , ACKE=0 にしてください。

表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (3 / 4)

ビット名		機能
bit4	TRX: データ方向ビット	本ビットはデータの方向を示すビットです。 TRX ビットのセット条件： • マスタモードで (反復) スタート条件を送信 • スレーブモードで第一バイトの 8 ビット目が "1" の場合 (スレーブとして送信方向) TRX ビットのリセット条件： • アービトレーションロスト発生 (AL=1) • スレーブモードでファーストバイトの 8 ビット目が "0" の場合 (スレーブとして受信方向) • マスタモードでファーストバイトの 8 ビット目が "1" の場合 (マスタとして受信方向) • ストップ条件検出 • マスタモード以外で (反復) スタート条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)
bit3	AL: アービトレーションロストビット	本ビットはアービトレーションロストを示します。 AL ビットのセット条件： • マスタモード時 , 出力しているデータと受信したデータが異なる場合 • MSS ビットに "1" を設定したが , スレーブとして動作している場合 • マスタモード時 , 第二バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合 • マスタモード時 , 第二バイト目以降のデータの 1 ビット目でストップ条件を検出した場合 • マスタモード時 , 反復スタート条件を発生させようとして発生できない場合 • マスタモード時 , ストップ条件を発生させようとして発生できない場合 AL ビットのリセット条件： • MSS ビットへの "1" 書込み • INT ビットへの "0" 書込み • AL ビット =1, SPC ビット =1 のときに SPC ビットへの "0" 書込み • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)

表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (4 / 4)

ビット名		機能
bit2	RSC： 反復スタート条件確認ビット	マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。 RSC ビットのセット条件： スレーブモードまたはマスタモードで動作中にアクノリッジ後 , 反復スタート条件が検出された場合 RSC ビットのリセット条件： (1) RSC ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0) 本ビットへの "1" 書込みは無効となります。 (注意事項) 予約アドレス検出によってスレーブモードとして受信動作中 , アクノリッジ応答しなかった場合 , スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに "1" はセットされません。 リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。
bit1	SPC： ストップ条件確認ビット	マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。 SPC ビットのセット条件： (1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合 (2) マスタモード時 , ストップ条件発生動作でアービトレーションロストが発生した場合 SPC ビットのリセット条件： (1) 本ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0) 本ビットへの "1" 書込みは無効です。 (注意事項) 予約アドレス検出によってスレーブモードとして受信動作中 , アクノリッジ応答しなかった場合 , スレーブモードを終了しますので次にストップ条件を検出しても本ビットに "1" はセットされません。 リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。
bit0	BB: バス状態ビット	本ビットはバスの状態を示します。 BB ビットのセット条件： I²C バスの SDA または SCL で "L" を検出した場合 BB ビットのリセット条件： (1) ストップ条件を検出した場合 (2) I²C インタフェースの禁止 (EN ビット =0) (3) バスエラー検出 (BER ビット =1)

24.21.4　シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は , 送受信状態の確認を行います。

■ シリアルステータスレジスタ (SSR)

図 24.21-4 にシリアルステータスレジスタ (SSR) のビット構成を , 表 24.21-6 に各ビットの機能を示します。

図 24.21-4 シリアルステータスレジスタ (SSR) のビット構成

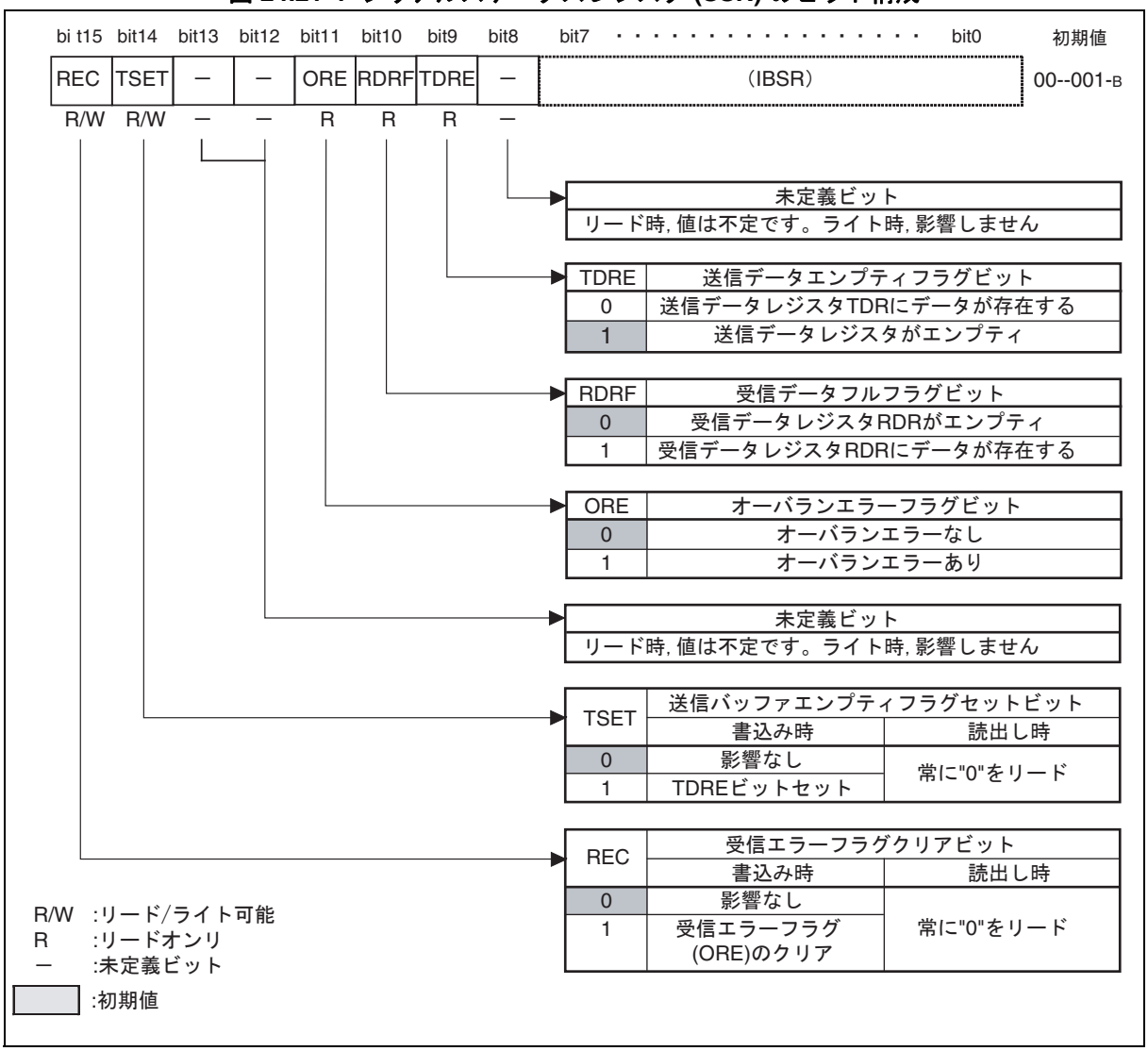


表 24.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC： 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE ビットをクリアするビットです。 • "1" 書込みで , ORE ビットがクリアされます。 • "0" 書込みは , 影響しません。 リードした場合 , 常に "0" が読み出されます。
bit14	TSET： 送信バッファ エンプティ フラグセット ビット	シリアルステータスレジスタ (SSR) の TDRE ビットをセットするビットです。 • "1" 書込みで , TDRE ビットがセットされます。 • "0" 書込みは , 影響しません。 リードした場合 , 常に "0" が読み出されます。
bit13, bit12	未定義ビット	リードした場合　：　値は不定です。 ライトした場合　：　影響しません。
bit11	ORE： オーバラン エラー フラグビット	• 受信時にオーバランが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • OREビットとRIEビットが"1"の場合, 受信割込み要求を出力します。 • 本フラグがセットされた場合 , 受信データレジスタ (RDR) は無効です。 • 受信 FIFO 使用時 , 本フラグがセットされた場合には受信データは受信 FIFO には格納されません。

表 24.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF： 受信データ フルフラグ ビット	• 受信データレジスタ (RDR) の状態を示すフラグです。 • RIE ビットと受信データフラグビット (RDRF) が "1" の場合 , 受信割込み要求を出力します。 • RDR に受信データがロードされると "1" にセットされ , 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 • データの 8 ビット目の SCL 立下りタイミングでセットされます。 • NACK 応答でもセットされます。 • 受信FIFO使用時は, 受信FIFOに所定のデータ数を受信したらRDRFが "1" にセットされます。 • 受信 FIFO 使用時は , 受信 FIFO がエンプティになると "0" にクリアされます。 • 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態が受信ボーレートクロックで 8 クロック以上続き , BER ビットが "0" のとき RDRF が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。 (注意事項) NACK 応答： アクノリッジ期間 , I^2C バスの SDA が "H" であることを指します。
bit9	TDRE： 送信データ エンプティ フラグビット	• 送信データレジスタ (TDR) の状態を示すフラグです。 • TIE ビットと TDRE ビットが "1" の場合 , 送信割込み要求を出力します。 • TDR に送信データを書き込むと "0" となり , TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり , TDR に有効なデータが存在していないことを示します。 • シリアルステータスレジスタ (SSR) の TSET ビットに "1" を書き込むとセットされます。アービトレーションロスト , バスエラーなどを検出した場合 , TDRE ビットを "1" にセットしたいときに使用します。
bit8	未定義ビット	リードした場合　：　値は不定です。 ライトした場合　：　影響しません。

24.21.5　受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し , 書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 24.21-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.21-5 受信データレジスタ (RDR) のビット構成

bit15.....bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
		D7	D6	D5	D4	D3	D2	D1	D0	00000000_B
		R	R	R	R	R	R	R	R	

R : リードオンリ　　I^2C モード時 , bit8 は未使用

受信データレジスタ (RDR) は, シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン (SDA 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて , 受信データレジスタ (RDR) に格納されます。
- 第一バイト * を受信した場合 , 最下位ビット (RDR:D0) がデータ方向ビットとなります。
- 受信データが受信データレジスタ (RDR) に格納されると , 受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。
- 受信データフルフラグビット (SSR : RDRF) は , 受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

* : (反復) スタート条件後のデータを指します。

＜注意事項＞

- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信すると RDRF が "1" にセットされます。
- 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。

■ 送信データレジスタ (TDR)

図 24.21-6 に送信データレジスタのビット構成を示します。

図 24.21-6 送信データレジスタ (TDR) のビット構成

bit15.....bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
		D7	D6	D5	D4	D3	D2	D1	D0	11111111_B
		W	W	W	W	W	W	W	W	

W：ライトオンリ　　I^2C モード時 , bit8 は未使用

送信データレジスタ (TDR) は , シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ (TDR) の値の MSB ファーストでシリアルデータライン (SDA 端子) に出力します。
- 第一バイトを送信する場合 , 最下位ビット (TDR:D0) がデータ方向ビットになります。
- 送信データエンプティフラグ (SSR：TDRE) は , 送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は , 送信用シフトレジスタへ転送されると "1" にセットされます。
- 次の送信データの書込みは , 以下の条件のときに行ってください。
  - 割込みフラグ (INT ビット) が "1"
  - バスエラーが発生していない (BER ビット =0)
  - アクノリッジが ACK 応答 (アクノリッジとして "0" 受信)
- 送信 FIFO 禁止時 , データエンプティフラグ (SSR：TDRE) が "0" のときは送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 送信 FIFO 使用時 , データエンプティフラグ (SSR:TDRE) が "0" であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

＜注意事項＞

送信データレジスタは書込み専用のレジスタで , 受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため , 書込み値と読出し値が異なります。したがって , INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。

24.21.6　7 ビットスレーブアドレスマスクレジスタ (ISMK)

7 ビットスレーブアドレスマスクレジスタ (ISMK) は , スレーブアドレスの各ビットの比較をするか設定するレジスタです。

■ 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.21-7 に 7 ビットスレーブアドレスレジスタ (ISMK) のビット構成を , 表 24.21-7 に各ビットの機能を示します。

図 24.21-7 7 ビットスレーブマスクレジスタ (ISMK) のビット構成

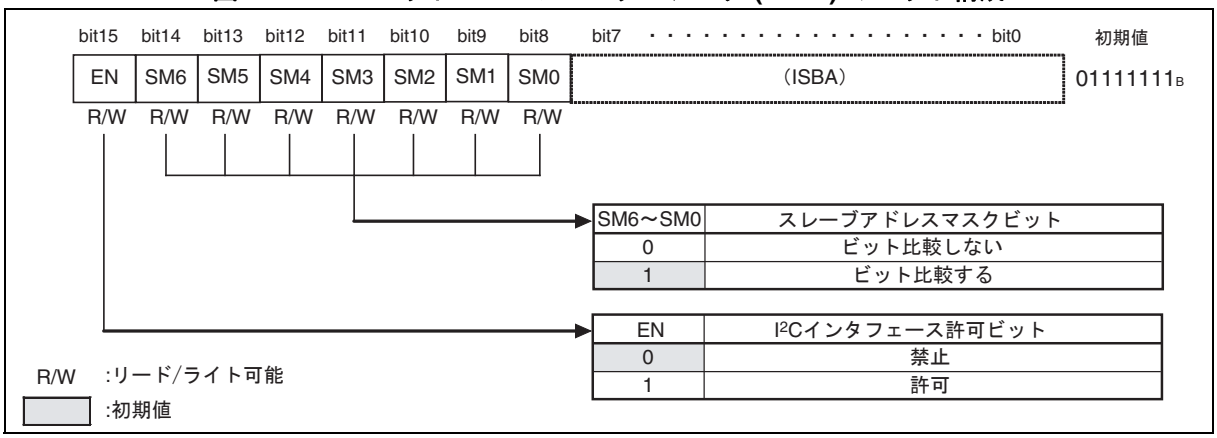


表 24.21-7 7 ビットスレーブマスクレジスタ (ISMK) の各ビットの機能説明

ビット名		機能
bit15	EN： I^2C インタフェース許可ビット	I^2C インタフェースの動作を許可 / 禁止するビットです。 "0" に設定した場合：I^2C インタフェースは動作禁止状態になります。 "1" に設定した場合：I^2C インタフェースが動作可能となります。 (注意事項) IBSR レジスタの BER ビットが "1" にセットされても , 本ビットは "0" にクリアされません。 本ビットが "0" のときにボーレートジェネレータを設定してください。 本ビットが "0" のときに 7 ビットスレーブアドレスおよび 7 ビットスレーブマスクレジスタを設定してください。 送信中に EN ビットを "0" にすると I^2C バスの SDA/SCL にパルスが発生することがあります。 FIFO 許可の場合 , FIFO を禁止にして EN ビットに "0" を書いてください。
bit14 ～ bit8	SM6 ～ SM0： スレーブアドレスマスクビット	7 ビットスレーブアドレスと受信したアドレスに対し , 比較対象外にするかどうかを設定するビットです。 "1" を設定したビット：比較する "0" を設定したビット：一致したものとして処理する (注意事項) EN ビットが "0" のときに本レジスタを設定してください。

24.21.7　7 ビットスレーブアドレスレジスタ (ISBA)

7 ビットスレーブアドレスレジスタ (ISBA) は , スレーブアドレスを設定するレジスタです。

■ 7 ビットスレーブアドレスレジスタ (ISBA)

図 24.21-8 に 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成を , 表 24.21-8 に各ビットの機能を示します。

図 24.21-8 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成

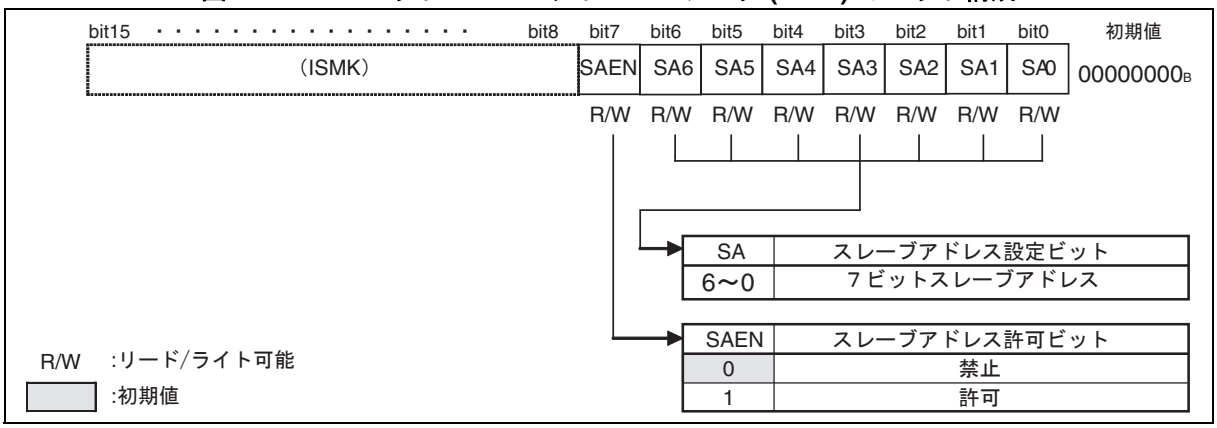


表 24.21-8 7 ビットスレーブアドレスレジスタ (ISBA) の各ビットの機能説明

ビット名		機能
bit7	SAEN : スレーブアドレス許可ビット	スレーブアドレスの検出許可ビットです。 "0" を設定した場合 : スレーブアドレスを検出しません。 "1" を設定した場合 : ISBA, ISMK の設定と受信した第一バイトと比較を行います。
bit6 ～ bit0	SA6 ～ SA0 : スレーブアドレス	7 ビットスレーブアドレスレジスタ (ISBA) は , スレーブアドレス検出が許可 (SAEN=1) されていると , (反復) スタート条件検出後に受信した 7 ビットのデータが本レジスタと比較し , 全ビットが一致するとスレーブモードとして動作し , ACK を出力します。そのとき , 受信したスレーブアドレスは本レジスタにセットされます (SAEN=0 の場合は , ACK を出力しません)。 ISMK レジスタに "0" を設定したアドレスビットは比較対象外となります。 (注意事項)　予約アドレスの設定は禁止です。 本レジスタは ISMK レジスタの EN ビットが "0" のときに設定してください。

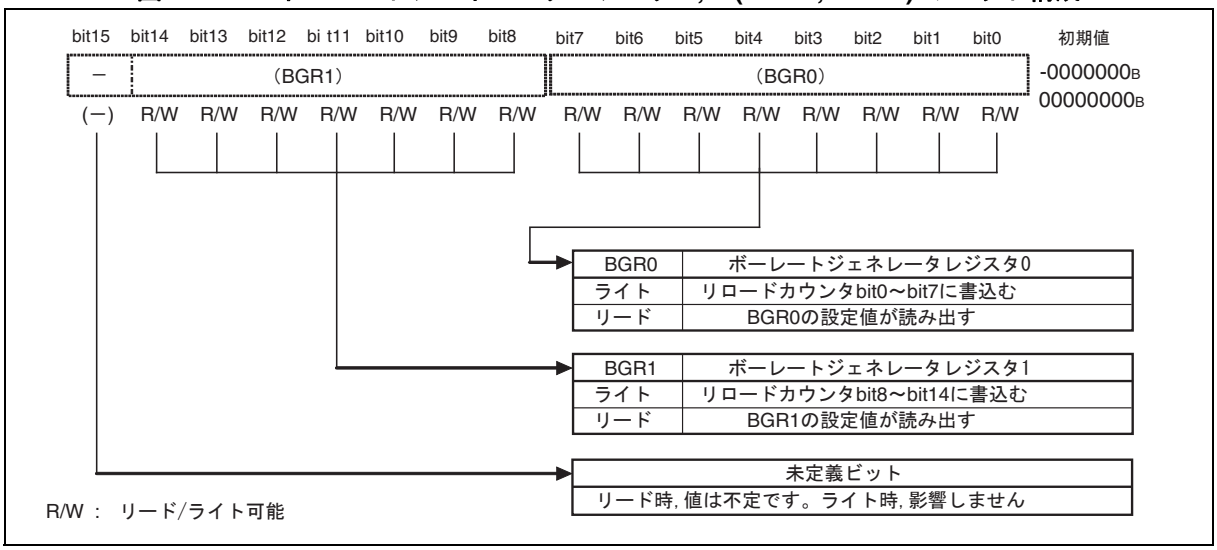
24.21.8　ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は , シリアルクロックの分周比を設定します。

■ ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.21-9 にボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.21-9 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。

BGR1 は上位ビット , BGR0 は下位ビットに対応し , カウントするリロード値の書込み , BGR1/BGR0 の設定値の読出しが可能です。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは , 16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- マスタモード , スレーブモードに関係なくボーレートを設定してください。
- 動作モード 4(I^2C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し , 400kbps を超えるボーレートジェネレータの設定は禁止です。

24.21.9　FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は , 送受信 FIFO の選択 , 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 24.21-10 に FIFO 制御レジスタ 1 (FCR1) のビット構成を , 表 24.21-9 に各ビットの機能を示します。

図 24.21-10 FIFO 制御レジスタ 1(FCR1) のビット構成

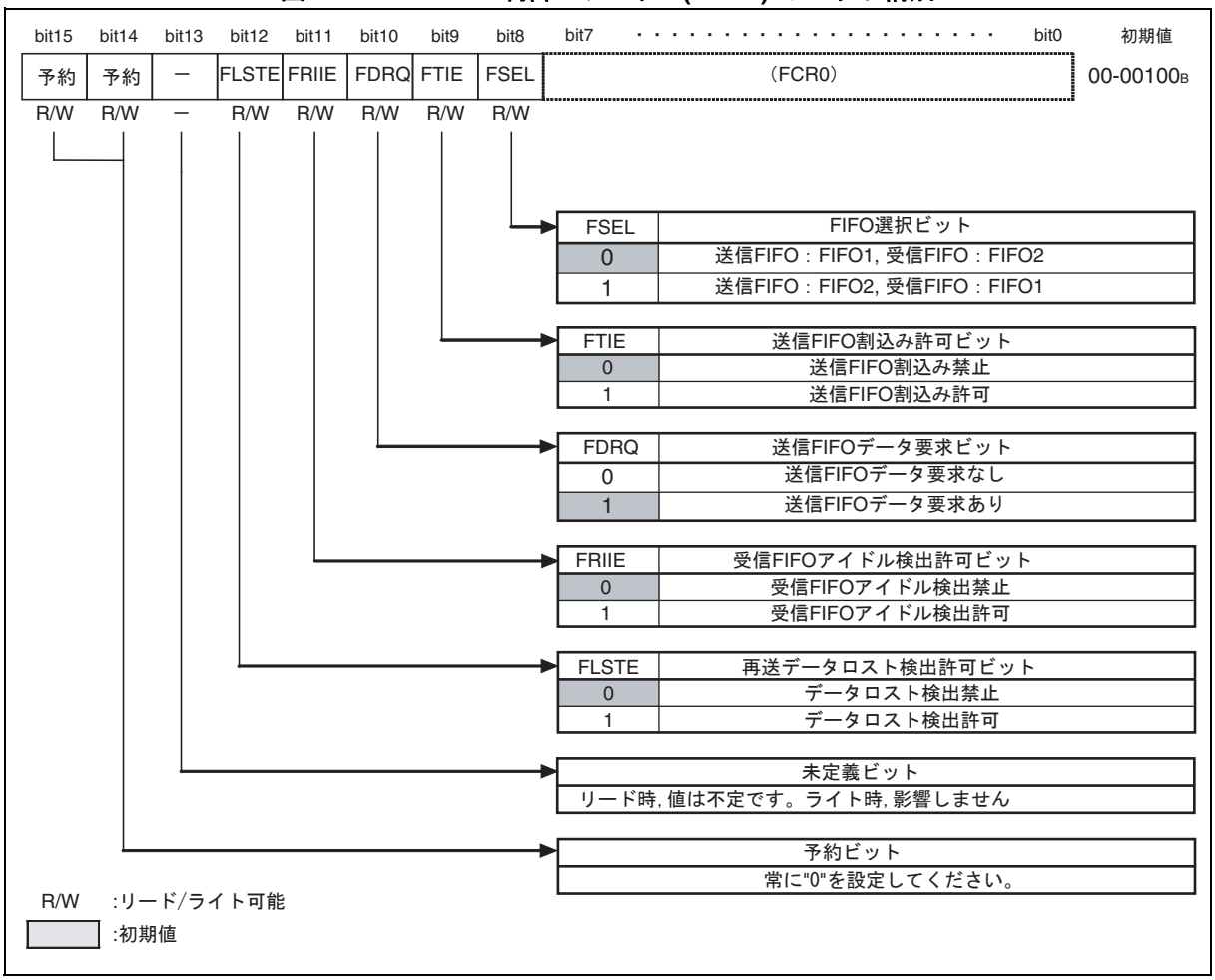


表 24.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	常に "00_B" を書き込んでください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項)　本ビットに "1" を設定する場合 , FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込みが許可 (SCR:RIE=1) されているときに受信アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ 要求ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき , 送信データを要求していることを示します。このとき , 送信割込みが許可 (FTIE=1) されていると送信 FIFO 割込み要求が出力されます。 FDRQ セット条件 • FBYTE(送信用)=0　(送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 • 本ビットへの "0" 書込み • 送信 FIFO が Full になった場合 (注意事項)　FBYTE(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止です。 本ビットに "1" を設定した場合 , 動作に影響を与えません。 リードモディファイライト (RMW) 系命令時には , "1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 24.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL： FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。

24.21.10 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は , FIFO 動作の許可 / 禁止 , FIFO リセット , リードポインタの保存 , 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 24.21-11 に FIFO 制御レジスタ 0 (FCR0) のビット構成を , 表 24.21-10 に各ビットの機能を示します。

図 24.21-11 FIFO 制御レジスタ 0(FCR0) のビット構成

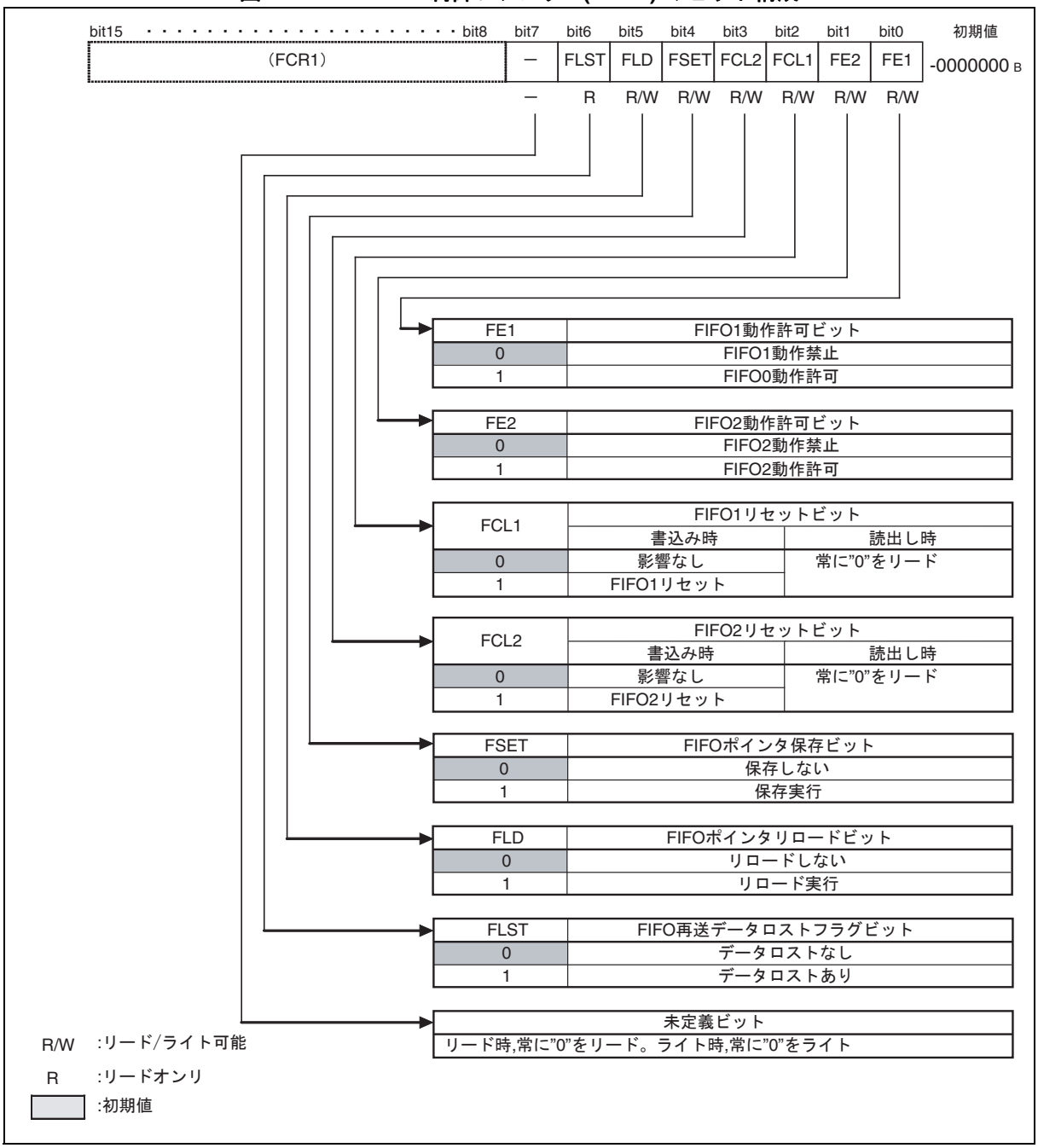


表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 4)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書いてください。

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 4)

ビット名		機能
bit6	FLST： FIFO 再送 データロスト フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存 したリードポインタが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい , エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し , 再度 FIFO にデータを書き込んでください。
bit5	FLD： FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合 , 本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間 , リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中 , 本ビットに "1" を設定することは禁止です。 TIE ビットを "0" にしてから本ビットに "1" を書き込み , 送信 FIFO 許可後 , TIE ビットを "1" にしてください。
bit4	FSET： FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 送信前にリードポインタを保存すると , 通信エラーなどが発生した場合 , FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2： FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると , FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/ FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO2 を禁止してから , FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (3 / 4)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	FIFO1 をリセットするビットです。 本ビットを "1" に設定すると , FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され , FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO1 を禁止してから , FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。
bit1	FE2 : FIFO2 動作 許可ビット	FIFO2 の動作を許可 / 禁止するビットです。 • FIFO2 を使用する場合 , 本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。 (注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し , スレーブ送信として動作する場合 , 予約アドレス検出による割込みで本ビットを "0" にし , ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO2 にデータが存在し , 本ビットを "0" から "1" に変更する場合 , TIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットを "1" にしてください。

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (4 / 4)

ビット名		機能
bit0	FE1： FIFO1 動作許可ビット	FIFO1 の動作を許可 / 禁止するビットです。 • FIFO1 を使用する場合 , 本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合 , 受信エラーが発生すると本ビットは "0" にクリアされ , 受信エラーがクリアされない限り , 本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。 (注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し , スレーブ送信として動作する場合 , 予約アドレス検出による割込みで本ビットを "0" にし , ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO1 にデータが存在し , 本ビットを "0" から "1" に変更する場合 , TIE ビットを "0" にしてから本ビットに "1" を書き込み , TIE ビットを "1" にしてください。

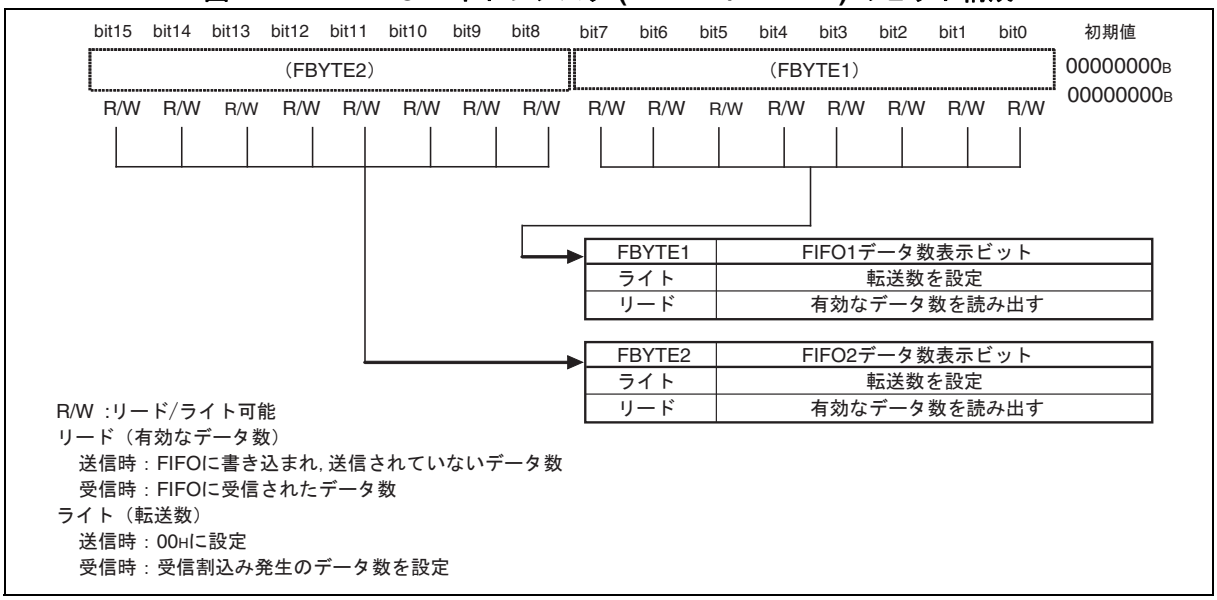
24.21.11 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は , FIFO の有効なデータ数を示します。また , 受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.21-12 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.21-12 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは FIFO の有効なデータ数を示し , FCR1:FSEL ビットの設定によって以下のようになります。

表 24.21-11 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2：受信 FIFO, FIFO1：送信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1
1	FIFO2：送信 FIFO, FIFO1：受信 FIFO	FIFO2：FBYTE2, FIFO1：FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合 , 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中 , RDR を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度 , カウントを開始します。
- マスタ動作でデータを受信する場合 (マスタ受信), TIE ビットを "0" にして送信 FIFO の FBYTE レジスタに受信データ数を設定し , FDRQ ビットに "0" を書きます。設定データ分の SCL のクロックが出力され , その後 , INT ビットが "1" になります。TIE ビットに "1" を設定したい場合には , FDRQ が "1" になった後に "1" に設定してください。

＜注意事項＞

- マスタ動作でデータを受信するとき以外 , 送信 FIFO の FBYTE は "00_H" を設定してください。
- マスタ動作でデータを受信するときの送信データ数の設定は , 送信 FIFO がエンプティで TIE ビットが "0" のときに行ってください。
- マスタ動作でデータを受信中に I^2C インタフェースを禁止 (EN=0) にする場合には , 送受信 FIFO を禁止にしてから禁止してください。
- 受信 FIFO の FBYTE には "1" 以上のデータを設定してください。
- 送受信を禁止してから変更してください。
- 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
- FIFO 容量を超えた設定は禁止です。

24.22　I²C インタフェースの割込み

I²C インタフェースの割込みは , 次に示す要因で割込み要求を発生させることができます。

- **第一バイト送受信後 / データ送受信後**
- **ストップ条件**
- **反復スタート条件**
- **FIFO 送信データ要求**
- **FIFO 受信データ完了**

■ I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因は表 24.22-1 のようになっています。

表 24.22-1 I²C インタフェースの割込み制御ビットと割込み要因 (1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第一バイト送受信後 *1	IBCR:INTE	割込みフラグビット (IBCR:INT) への "0" 書込み
			データ送受信後 *1		
			バスエラー検出		
			アービトレーションロスト検出		
			予約アドレス検出		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し後 , 割込みフラグビット (IBCR:INT) へ "0" 書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	ストップ条件検出ビット (IBSR:SPC) への "0" 書込み
	RSC	IBSR	反復スタート条件		反復スタート検出フラグビット (IBSR:RSC) への "0" 書込み

表 24.22-1 I²C インタフェースの割込み制御ビットと割込み要因 (2 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	予約アドレス受信後	SMR：RIE	受信データ (RDR) の読み出し
			データ受信後		
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読み出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバーランエラー		受信エラーフラグビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SMR：TIE	送信データ (TDR) への書込み , 又は送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの "1" 書込み (送信再送)*2
			送信バッファエンプティフラグセットビット (SSR:TSET) への "1" 書込み		
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの "0" 書込み , 又は送信 FIFO がフル

*1 : 正常なデータを送受信できます。TDRE が "0" の場合 , 割込みは発生しません。これは DMA 転送をサポートするためです。受信で DMA 転送を行う場合は , 1Byte 受信ごとに送信バッファに書込みを行い TDRE を 0 にする必要があるため , DMA の別 ch で TDR にダミーライトを行ってください。受信 / 送信 / ステータス割込みの割込みベクタが別々になっている I²C の ch.1 と ch.2 での DMA 転送を推奨します。
データ送受信時に INT フラグを発生させたい場合には , INT フラグがセットされるタイミングより前に TDRE ビットが "1" である必要があります。

*2 : TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

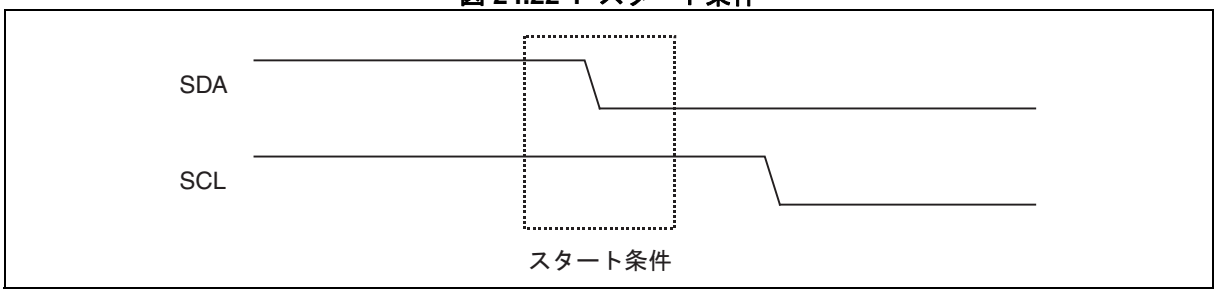
24.22.1　I²C インタフェース通信の動作

I²C インタフェースは , 2 本の双方向バスライン , シリアルデータライン (SDA) およびシリアルクロックライン (SCL) を使用して通信を行います。

■ I²C バススタート条件

I²C バスの起動条件を以下に示します。

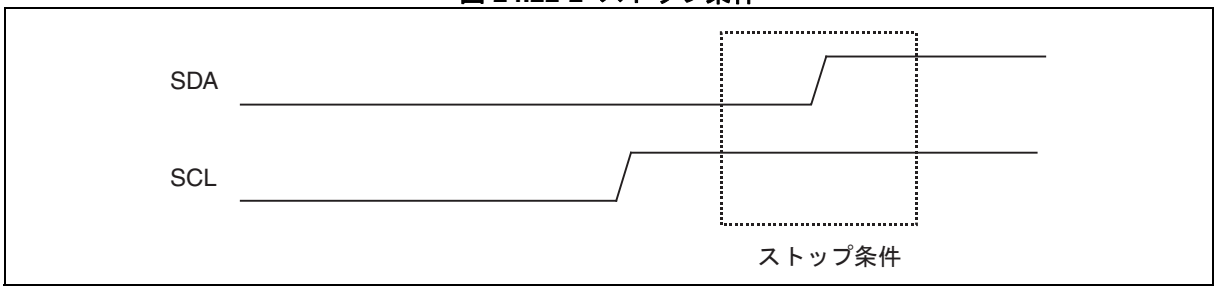
図 24.22-1 スタート条件



■ I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

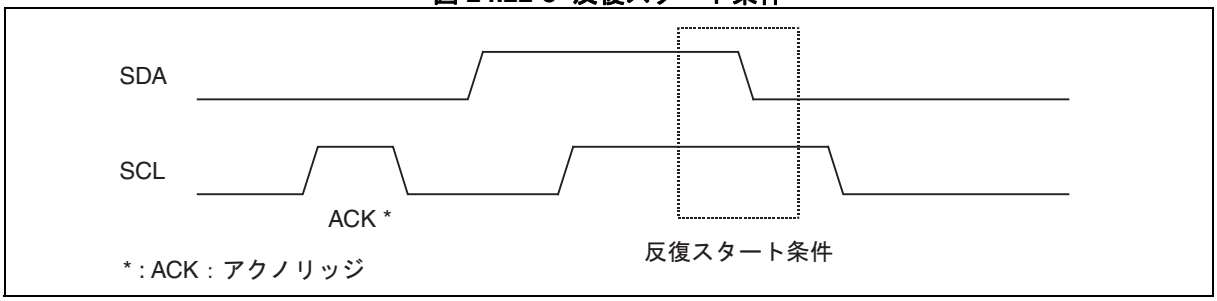
図 24.22-2 ストップ条件



■ I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 24.22-3 反復スタート条件



24.22.2　マスタモード

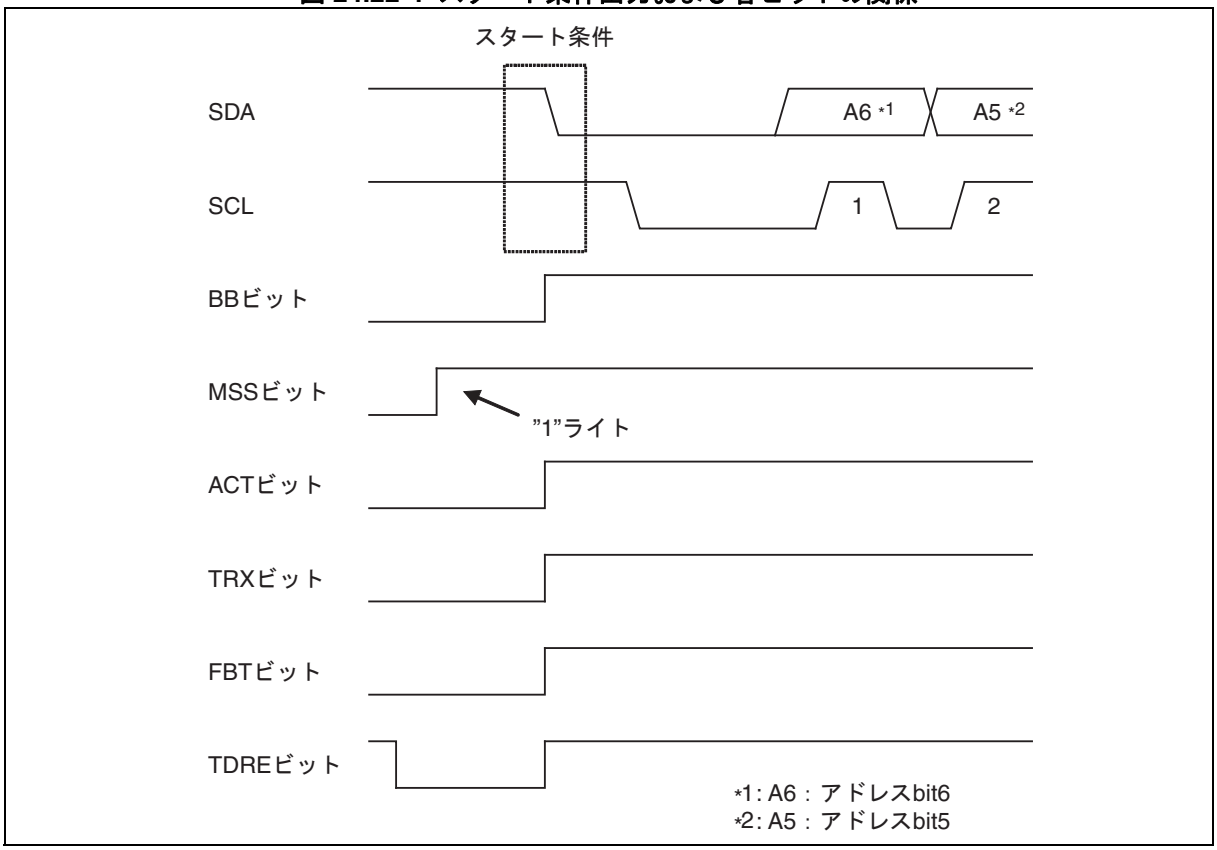
マスタモードは , I²C バスにスタート条件を発生させ , I²C バスにクロックを出力します。I²C バスがアイドル状態 (SCL="H", SDA="H") のとき , IBCR レジスタの MSS ビットに "1" を設定するとマスタモードになり , IBCR レジスタの ACT ビットが "1" になります。

■ スタート条件生成

SDA="H", SCL="H", EN=1, BB=0 のとき , MSS ビットへ "1" を書き込むとスタート条件が出力されます。

I²C バスへスタート条件を出力すると ACT ビットに "1" をセットします。その後 , スタート条件を受信すると BB ビットが "1" にセットされ , I²C バスは通信中であることを示します (図 24.22-4 を参照)。

図 24.22-4 スタート条件出力および各ビットの関係



＜注意事項＞

動作モード 4(I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し , 400kbps を超えるボーレートジェネレータの設定は禁止です。

■ スレーブアドレス出力

スタート条件を出力すると TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合 , 最初に書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット (R/W) として使用され , データ方向ビット (R/W) が "0" のとき , データはライト方向 (マスタ→スレーブ) を示します。TDR レジスタへのアドレス設定は , MSS=1 または SCC=1 を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて図 24.22-5 , 図 24.22-6 に示します。

図 24.22-5 アドレスおよびデータ方向 (FIFO 禁止の場合)

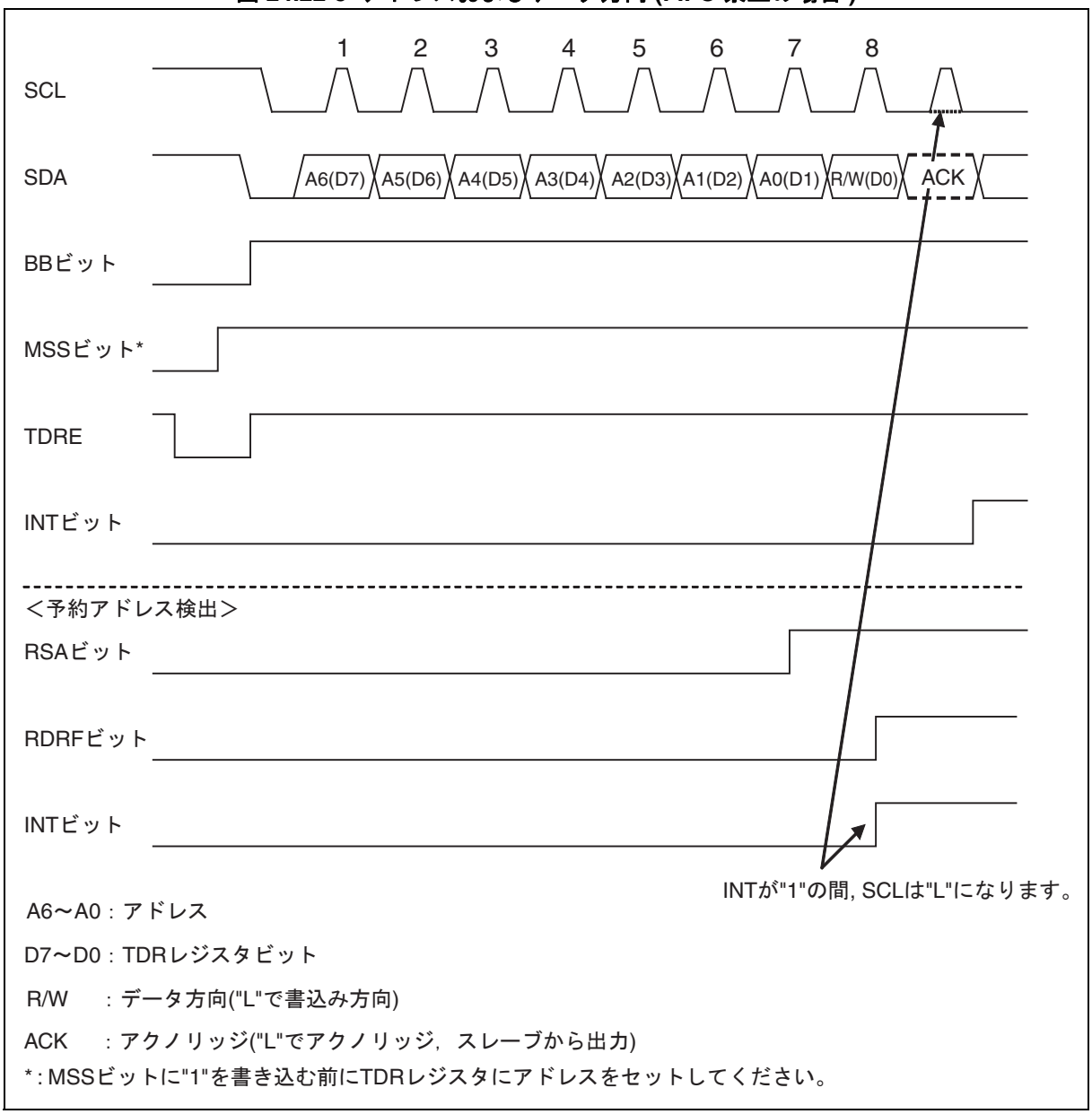
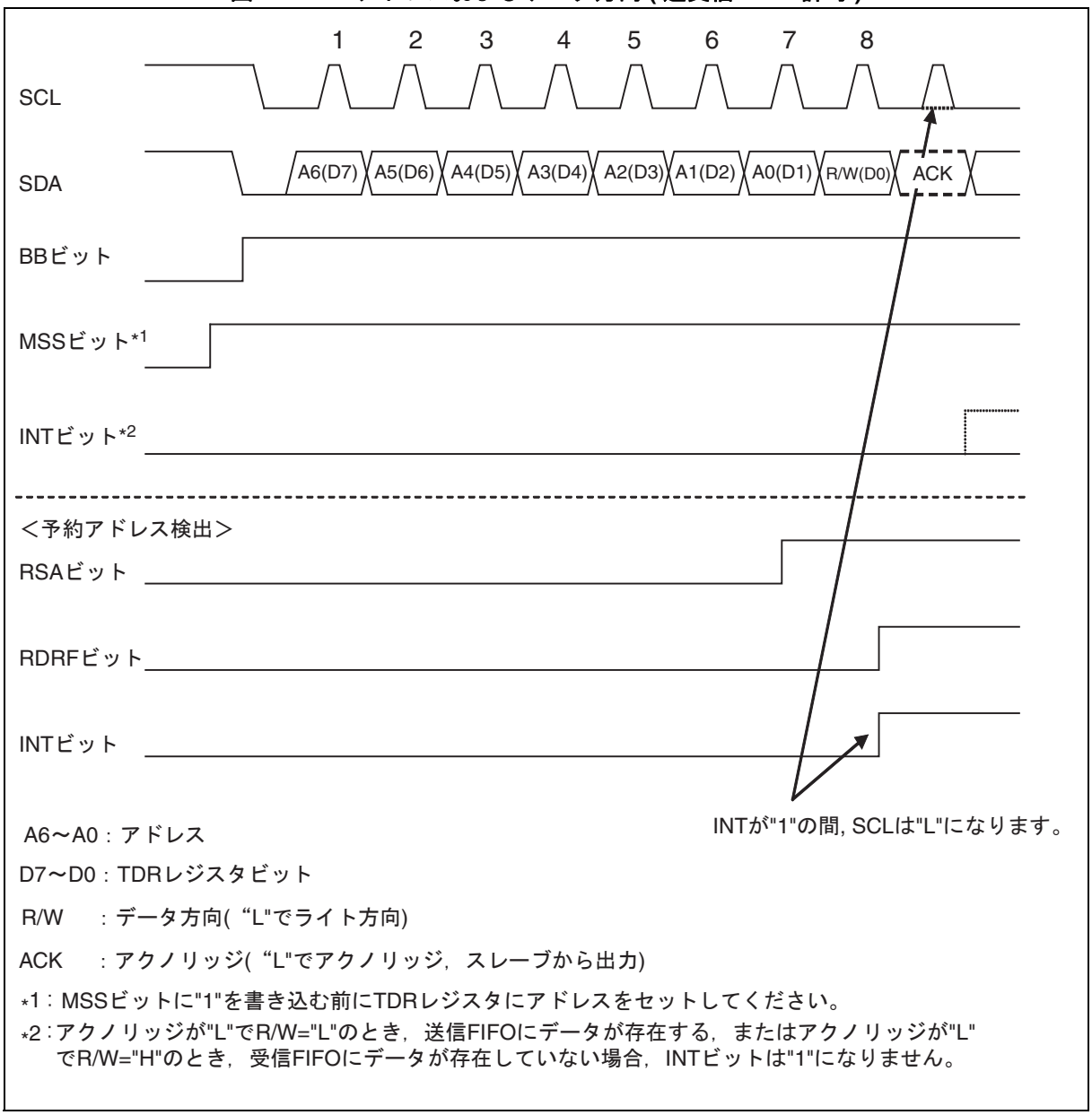


図 24.22-6 アドレスおよびデータ方向 (送受信 FIFO 許可)



A6～A0：アドレス

D7～D0：TDRレジスタビット

R/W　：データ方向(“L"でライト方向)

ACK　：アクノリッジ(“L"でアクノリッジ，スレーブから出力)

*1：MSSビットに"1"を書き込む前にTDRレジスタにアドレスをセットしてください。

*2：アクノリッジが"L"でR/W="L"のとき，送信FIFOにデータが存在する，またはアクノリッジが"L"でR/W="H"のとき，受信FIFOにデータが存在していない場合，INTビットは"1"になりません。

■ 第一バイト送信によるアクノリッジ受信

データ方向ビット (R/W) を出力すると , I^2C インタフェースはスレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では , 以下の動作になります。

表 24.22-2 アクノリッジ受信後の動作 (RSA ビット =0)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	―	―	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
禁止	許可	―	データなし	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			―	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	
許可	禁止	―	―	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
許可	許可	―	データなし	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			―	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	

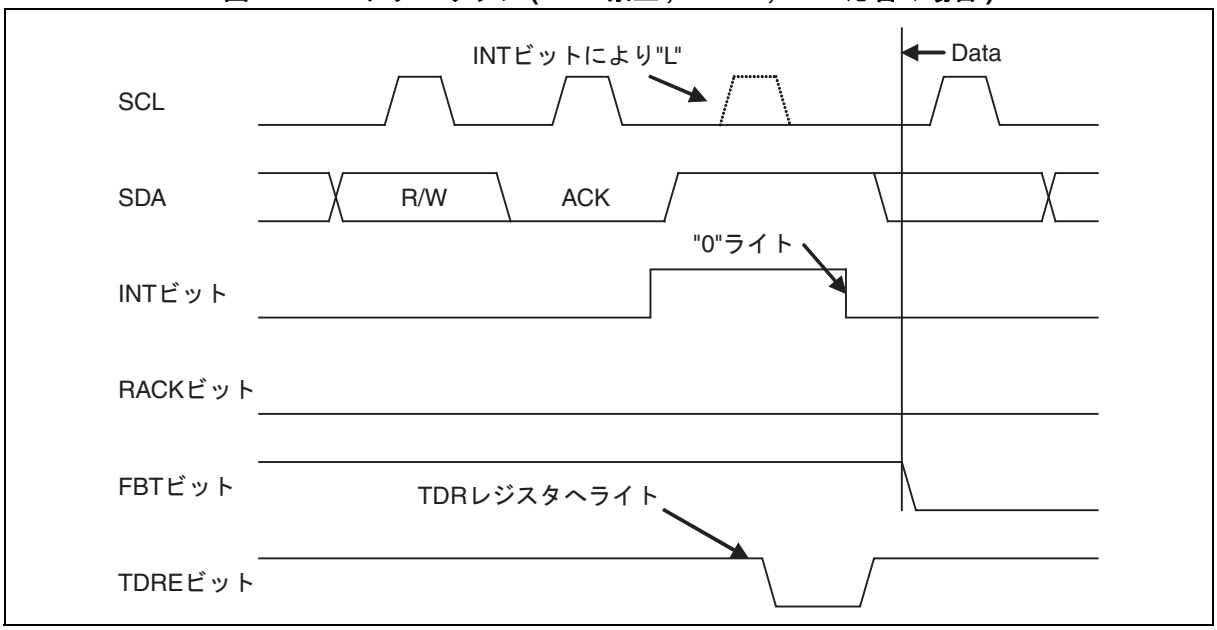
■ FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- RSA ビットが "0" の場合 , アクノリッジ受信後 , TDRE ビットが "1" の場合には , 割込みフラグ (INT) を "1" にセットし , SCL を "L" に保持してウェイトします。ウェイトは割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。TDRE ビットが "0" の場合には , ACK を受信すると割込みフラグを "1" にセットせずに SCL にクロックを発生します。
- RSA ビットが "1" の場合 , 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (INT) を "1" にセットし , SCL を "L" に保持してウェイトします。RDR レジスタ読出し後 , ACKE ビット , 送信データを設定し , 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは RACK ビットにセットされます。ウェイト中に RACK ビットを確認し , NACK の場合には , MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき , INT ビットは自動的に "0" にクリアされます。

■ FIFO 許可

- MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
  - スレーブへ送信する場合 (データ方向ビット =0), スレーブアドレスなどを含むデータを送信 FIFO に設定
  - スレーブからデータを受信する場合 (データ方向ビット =1), FIFO バイト数レジスタに受信数を設定し , スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- RSA ビットが "0" の場合 , アクノリッジ受信後 , ACK の場合には , 割込みフラグ (INT) を "1" にセットせず , データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK の場合には , 割込みフラグ (INT) を "1" にセットし , SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは RACK ビットに格納されます。ウェイト中に RACK ビットを確認し , NACK の場合には , MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき , INT ビットは自動的に "0" にクリアされます。

図 24.22-7 アクノリッジ (FIFO 禁止 , RSA=0, ACK 応答の場合)



アドレスに対するウェイトは

- RSA ビットが "0" の場合 , アクノリッジ受信後
- RSA ビットが "1" の場合 , アクノリッジ受信前

になります。WSEL の設定には依存しません。

図 24.22-8 アクノリッジ (FIFO 禁止 , RSA=0, NACK 応答の場合)

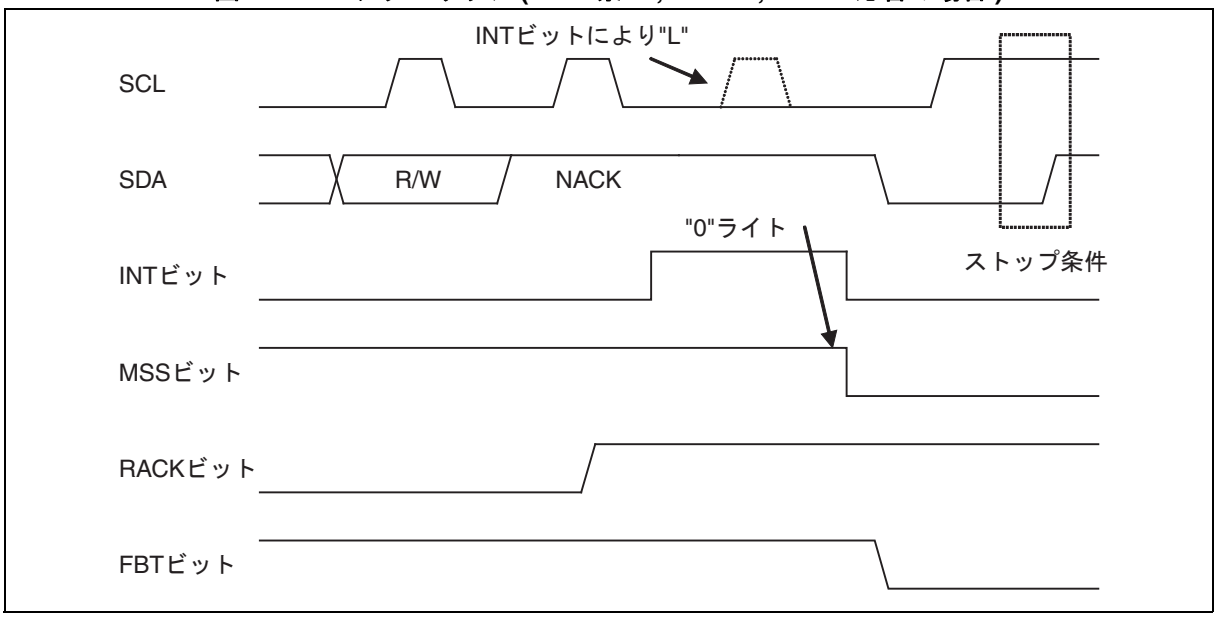


図 24.22-9 アクノリッジ (FIFO 禁止 , RSA=1, ACK 応答の場合)

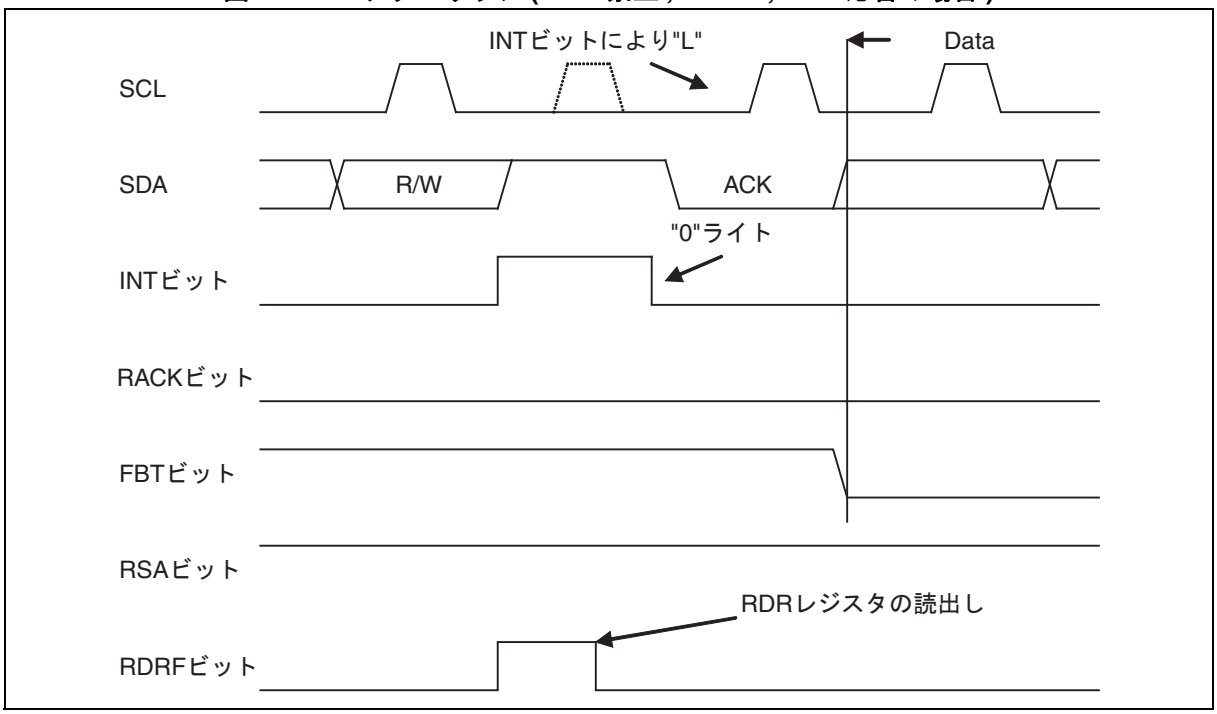


図 24.22-10 アクノリッジ (FIFO 禁止 , RSA=1, NACK 応答の場合)

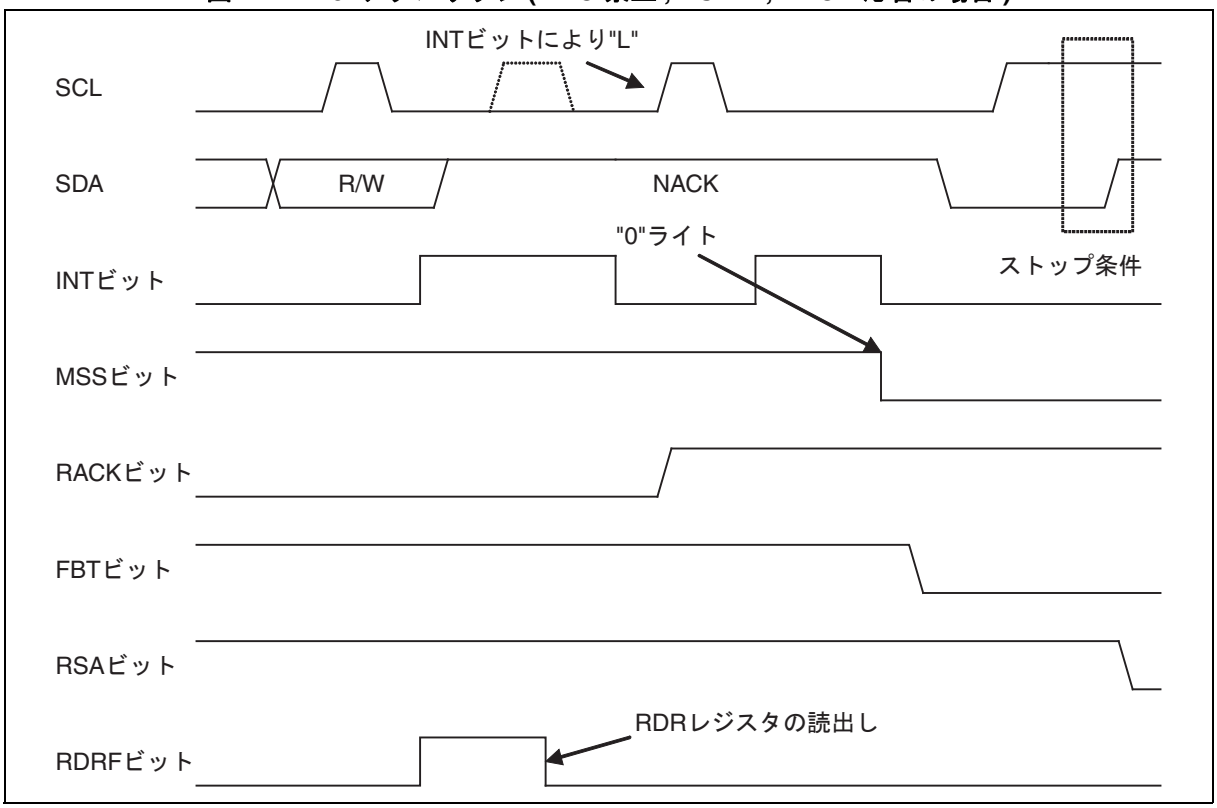
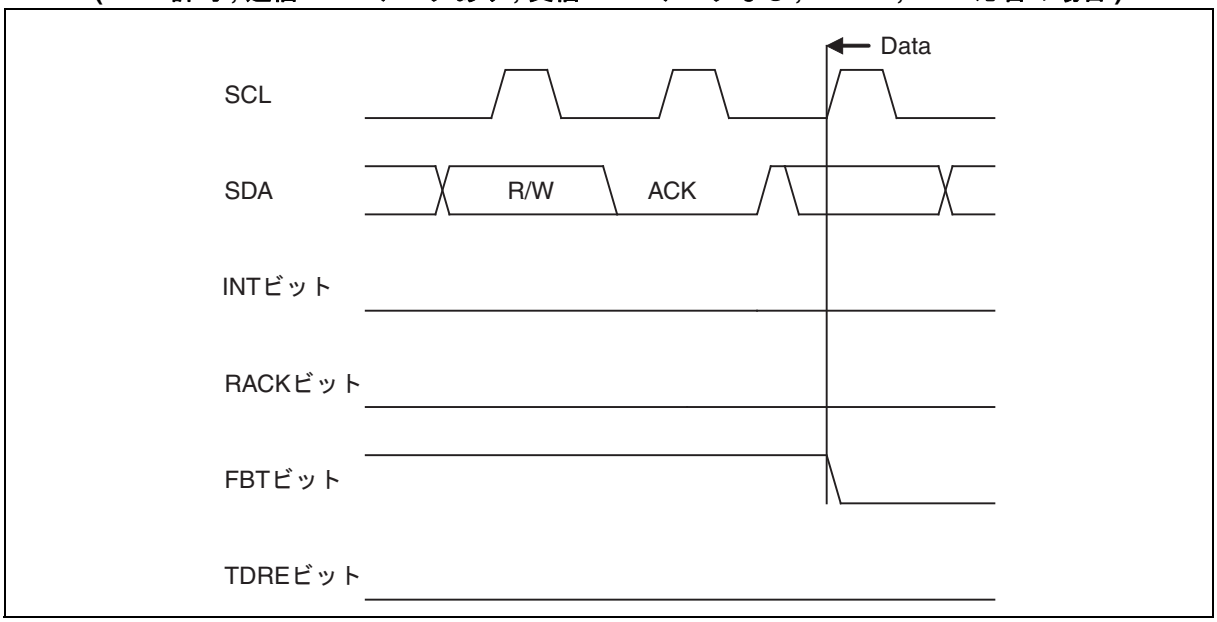


図 24.22-11 アクノリッジ
(FIFO 許可 , 送信 FIFO データあり , 受信 FIFO データなし , RSA=0, ACK 応答の場合)



■ マスタによるデータ送信

データ方向ビット (R/W) が "0" の場合 , データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

WSEL ビットの設定によってウェイトの発生する場所が以下のようになります。

表 24.22-3 マスタデータ送信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降 , TDRE ビットが "1" またはアービトレーションロスト検出でアクノリッジ後 , 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合 , アクノリッジ後 , アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにアクノリッジ後 , 割込みフラグ (INT) を "1" にしてウェイト状態にします。
1	第二バイト以降 , TDRE ビットが "1" またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後 , 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合 , アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにデータ送信後 , 割込みフラグ (INT) を "1" にしてウェイト状態にします。

ただし , ストップ条件設定 (MSS=0, ACT=1) 時以外に NACK を受信した場合 , WSEL の設定に依存せずにアクノリッジ後に割込みフラグ (INT) をセットします。

スレーブへデータを送信する場合の手順の一例を以下に示します。

● 予約アドレス以外への送信の場合

- 送信 FIFO が禁止されている場合

  ① スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし , MSS ビットに "1" を書きます。

  ② スレーブアドレス送信後に ACK を受信し , 割込みフラグ (INT) が "1" になります。

  ③ TDR レジスタに送信するデータを書きます。

  ④ WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み , I^2C バスのウェイトを解除します。

  ⑤ 1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後 , WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I^2C バスをウェイトします。所定のデータ数を送信するまで②～④を繰り返します。ただし , WSEL=1 のとき , ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生し , バスをウェイトします。

  ⑥ MSS ビットに "0" または SCC ビットに "1" を設定し , ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

  ①スレーブアドレス (データ方向ビットも含む), 送信データを TDR レジスタに書きます。

  ② WSEL ビット設定とともに MSS ビットに "1" を書きます。

  ③ 送信中に NACK 受信した場合 , その直後に割込みフラグ (INT) を "1" にして I^2C バスをウェイトします。すべて ACK 応答を受信した場合 , 最終バイト送信後 , WSEL の設定に従って割込みフラグを "1" にして I^2C バスをウェイトします。

  ④ MSS ビットに "0" を書いてストップ条件を生成させます。

● 予約アドレスへの送信の場合

- 送信 FIFO が禁止されている場合

  ① スレーブアドレスとして予約アドレスを TDR レジスタにセットし , MSS ビットに "1" を書きます。

  ② スレーブアドレス送信後 , 割込みフラグ (INT) が "1" になります。

  ③ RDR レジスタを読み出し , 予約アドレスを確認します。*

  ④ TDR レジスタに送信するデータを書きます。

  ⑤ WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み , I^2C バスのウェイトを解除します。

  ⑥ 1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後 , WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I^2C バスをウェイトします。所定のデータ数を送信するまで④～⑥を繰り返します。ただし , WSEL=1 のとき , ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生してバスをウェイトします。

  ⑦ MSS ビットに "0" または SCC ビットに "1" を設定し , ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

  ① スレーブアドレスとして予約アドレスを TDR レジスタにセットし , MSS ビットに "1" を書きます。

  ② スレーブアドレス送信後 , 割込みフラグ (INT) が "1" になります。

  ③ RDR レジスタを読み出し , 予約アドレスを確認します。*

  ④ TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。

  ⑤ 送信中に NACK 受信した場合 , その直後に割込みフラグ (INT) を "1" にして I^2C バスをウェイトします。すべて ACK 応答を受信した場合 , 最終バイト送信後 , WSEL の設定に従って割込みフラグを "1" にして I^2C バスをウェイトします。

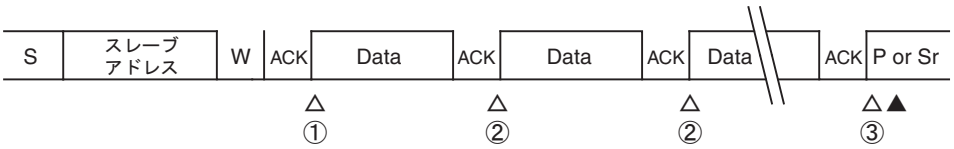
  ⑥ MSS ビットに "0" または SCC ビットに "1" を設定し , ストップ条件または反復スタート条件を発生させます。

  * : マルチマスタで予約アドレスがゼネラルコールの場合 , アービトレーションロストが発生してスレーブとして動作する可能性がある場合 , ACKE ビットを "1", WSEL ビットを "1" にして次のデータでマスタとして動作するのか , スレーブとして動作するのかを確認する必要があります。

＜注意事項＞

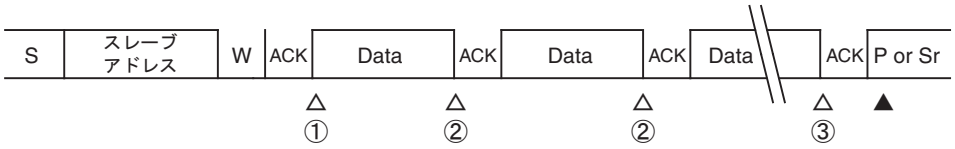
- 送受信中に IBCR レジスタを変更する場合 , 割込みフラグ (INT) が "1" のときに変更してください。
- WSEL ビットを変更した場合 , 次のデータの割込みフラグ (INT) の発生条件に使用されます。
- データ送信中で TDRE が "1" のときに TDR レジスタへ送信データを書き込み , ACK 応答を検出すると割込みフラグ (INT) は "1" にならずにその書き込まれたデータが送信されます。
- データ受信中に TDRE が "1" のときに TDR レジスタへ送信データを書き込み , ACK 応答した場合 , 割込みフラグ (INT) は "1" にならずに RDRF のみ "1" になります (受信 FIFO 許可の場合 , FBYTE レジスタ設定分受信した場合)。

図 24.22-12 FIFO 禁止によるマスタの割込み 1(WSEL=0, RSA=0)



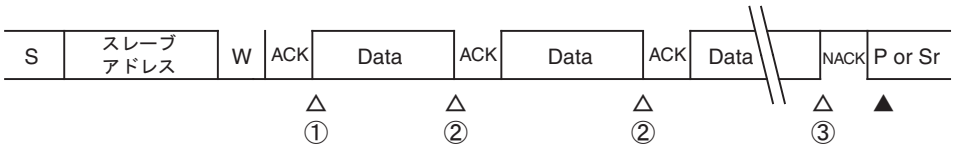
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
② 1バイト送信＋アクノリッジ受信により，割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
③ 1バイト送信＋アクノリッジ受信により，割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時，TDREビットは"1"

図 24.22-13 FIFO 禁止によるマスタ送信の割込み 2(WSEL=1, RSA=0, ACK 応答)



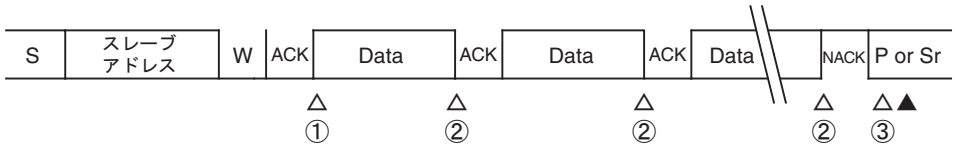
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
② 1バイト送信により，割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
③ 1バイト送信により，割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時，TDREビットは"1"

図 24.22-14 FIFO 禁止によるマスタ送信の割込み 3(WSEL=1, RSA=0, NACK 応答)



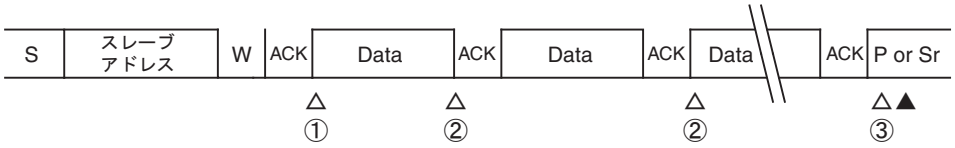
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
② 1バイト送信により，割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
③ 1バイト送信により，割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時，TDREビットは"1"

図 24.22-15 FIFO 禁止によるマスタ送信の割込み 4(WSEL=1, RSA=0, 途中 NACK 応答)



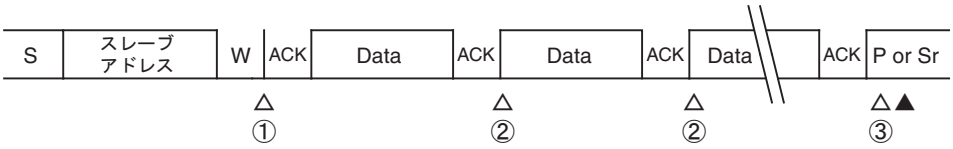
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
② 1バイト送信により ，割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
③ NACK応答により, 割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 24.22-16 FIFO 禁止によるマスタ送信の割込み 5(WSEL=1->0, RSA=0, ACK 応答)



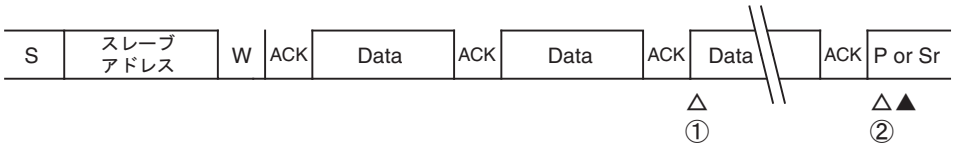
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　送信バッファに送信データを書き込んだ後, INT=0 書込み
② 1バイト送信により, 割込み発生
　送信バッファに送信データを書き込んだ後, WSEL=0,INT=0 書込み
③ 1バイト送信により,割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 24.22-17 FIFO 禁止によるマスタの割込み 6(WSEL=0, RSA=1)



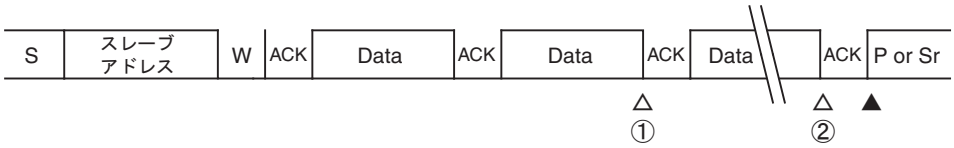
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信
　により割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
② 1バイト送信＋アクノリッジ受信により ，割込み発生
　TDRレジスタに送信データ書き込んだ後，INT=0書込み
③ 1バイト送信＋アクノリッジ受信により ，割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 24.22-18 FIFO 許可によるマスタ送信の割込み 7 (WSEL=0, RSA=0, ACK 応答)



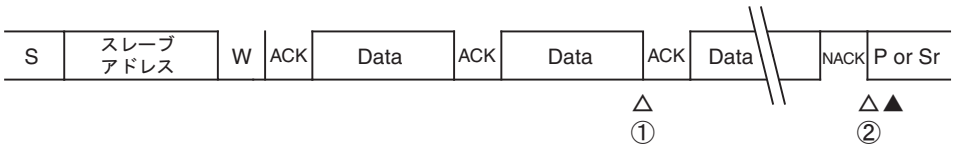
S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① 送信FIFOがエンプティにより割込み発生
　送信FIFOに送信データを書き込んだ後, INT=0書込み
② 最終バイト送信(送信FIFOがエンプティ)＋アクノリッジ受信により, 割込み発生
　MSS=0またはMSS=1, SCC=1を設定

図 24.22-19 FIFO 許可によるマスタ送信の割込み 8 (WSEL=1, RSA=0)



S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① 送信FIFOがエンプティにより, 割込み発生
　送信FIFOに送信データを書き込んだ後, INT=0書込み
② 最終バイト送信(送信FIFOがエンプティ)により, 割込み発生
　MSS=0またはMSS=1, SCC=1を設定

図 24.22-20 FIFO 許可によるマスタ送信の割込み 9 (WSEL=1, RSA=0, NACK 応答)



S ：スタート条件
W：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=1による割込み
▲：CNDE=1による割込み
① 送信FIFOがエンプティにより, 割込み発生
　送信FIFOに送信データを書き込んだ後, INT=0書込み
② NACK応答により, 割込み発生
　MSS=0またはMSS=1, SCC=1を設定

■ マスタによるデータ受信

データ方向ビット (R/W) が "1" の場合 , スレーブから送信されたデータを受信します。

FIFO 禁止の場合 , マスタは TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (INT=1, RDRF=1) し , WSEL ビットに従って IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。TDRE ビットが "0" であれば , IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず (INT=0) に次のデータを受信し , NACK 応答であればウェイトが発生します (INT=1) 。

FIFO 許可の場合 , 受信バイト数設定と同じバイト数分を受信すると RDRF ビットがセットされます。割込みフラグは TDRE ビットが "1" のときにセットし , I^2C バスをウェイトします。WSEL=0 の場合 , TDRE ビットが "1" になると NACK 応答して割込みフラグを "1" にします。WSEL=1 の場合 , 最終バイト受信後にウェイトが発生しますので , そのウェイト中に ACKE ビットを設定し , 割込みフラグを "0" にクリアした後 , ACKE の設定に従って ACK または NACK 応答します。NACK 出力した場合でも受信データとして受信 FIFO に格納します。

割込みによるウェイトは以下を参照してください。

表 24.22-4 マスタデータ受信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降 , TDRE ビットが "1" でアクノリッジ後 , 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。
1	第二バイト以降 , TDRE ビットが "1" でマスタが 1 バイトのデータを受信後 , 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合

  ① スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし , MSS ビットに "1" を書きます。

  ② スレーブアドレス送信後に ACK を受信し , 割込みフラグ (INT) が "1" になります。

  ③ WSEL ビット更新とともに割込みフラグビット (INT) に "0" を書き込み , I^2C バスのウェイトを解除します。

  ④ 1 バイト受信後に WSEL=0 の場合にはアクノリッジ送信後 , WSEL=1 の場合には 1 バイト受信直後 , 割込みフラグを "1" にして I^2C バスをウェイトします。所定のデータ数を受信するまで②～④を繰り返します。

  ⑤ 最終データ受信後 , NACK を出力し , MSS ビットに "0" または SCC ビットに "1" を設定し , ストップ条件または反復スタート条件を発生させます。

- 送受信 FIFO が許可されている場合

  ① FBYTE レジスタに受信数を設定します。

  ② スレーブアドレス (データ方向ビットも含む) と受信数分ダミーのデータを TDR レジスタに書きます。

  ③ MSS ビットに "1" を書きます。

  ④ TDRE ビットが "0" の間 , ACK 応答し , 受信し続けます。その受信中に FBYTE に設定数分受信すると RDRF を "1" にします。RDRF が "1" になったところで RDR レジスタを読み出します。

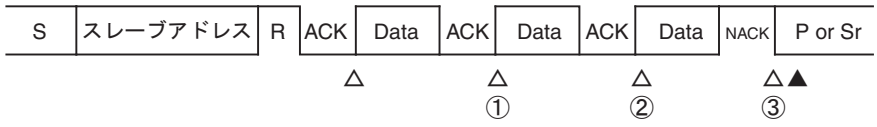
  ⑤ TDRE ビットが "1" になると WSEL=0 の場合には NACK 出力後 , WSEL=1 の場合には 1 バイト受信直後 , 割込みフラグを "1" にして I^2C バスをウェイトします。

  ⑥ WSEL=1 の場合 , ACKE ビットを "0" に設定し , WSEL=0 の場合 , ACKE ビットの設定は必要なく , MSS ビットに "0" または SCC ビットに "1" を設定し , ストップ条件または反復スタート条件を発生させます。

＜注意事項＞

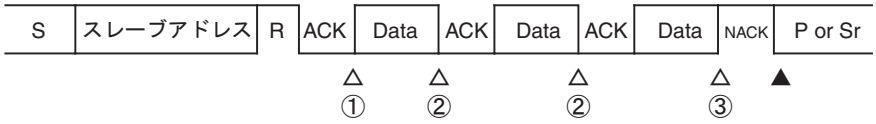
- 7 ビットスレーブアドレスの検出を許可しているとき (ISBA:SAEN=1) に , マスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
- TDRE が "0" のとき , オーバランエラーが発生しても ACKE ビットの設定に従ってアクノリッジを出力し , 次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合 , 割込みフラグ (INT) が "1" のときに変更してください。
- マスタ受信時 , TDR レジスタにダミーデータを書き込み , 割込みフラグ (INT) が "1" になるタイミングで TDRE ビットが "0" の場合 , 割込みフラグ (INT) は "0" のままで次のデータを受信します。
- 受信FIFOが許可, WSEL=0のときにデータを受信する場合, 最終ビット受信後にRDRFビットが "1" となり , ACK 送信後に割込みフラグ (INT) が "1" となります。

図 24.22-21 FIFO 禁止によるマスタ受信の割込み 1 (WSEL=0, RSA=0)



△ : INTE=1による割込み
▲ : CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　INT=0 書込みにより割込みが"0"にクリア
② 1バイト受信＋アクノリッジ送信により割込み発生
　受信データを読み出した後, ACKE=0に設定し, INT=0書込み
③ 1バイト受信＋アクノリッジ送信したことにより割込み発生
　MSS=0またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 24.22-22 FIFO 禁止によるマスタ受信の割込み 2 (WSEL=1, RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　INT=0書込みにより割込みが"0"にクリア
② 1バイト受信により割込み発生
　受信データを読み出した後, INT=0書込み
③ 1バイト受信により割込み発生
　受信データを読み出した後, ACKE=0に設定し, MSS=0
　またはMSS=1, SCC=1を設定
(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 24.22-23 FIFO 許可によるマスタ受信の割込み 3 (WSEL=0, ACKE=0, RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① TDRE=1により割込み発生
　受信FIFOから全データを読み出した後, MSS=0またはMSS=1, SCC=1を設定

図 24.22-24 FIFO 許可によるマスタ受信の割込み 4 (WSEL=1, RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① TDRE=1により割込み発生
　受信FIFOから全データを読み出した後, ACKE=0, MSS=0
　またはMSS=1, SCC=1を設定

■ アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し , 送信したデータと異なるデータを受信した場合 , アービトレーションロストと判断して MSS ビットを "0", AL ビットを "1" にしてスレーブモードとして動作可能となります。

AL ビットは , 以下の条件で "0" にクリアすることができます。

- MSS ビットへの "1" 書込み
- INT ビットへの "0" 書込み
- AL ビット =1, SPC ビット =1 のときに SPC ビットへの "0" 書込み
- I^2C インタフェースの禁止 (EN ビット =0)

アービトレーションロストが発生すると WSEL の設定に従って割込みフラグ (INT) を "1" にし , I^2C バスの SCL を "L" にします。

■ マスタモードのウェイト

BB ビットが "1" のときに MSS ビットに "1" を設定するとスレーブモードとして動作していなければ BB ビットが "1" の間 , マスタモードをウェイトし , BB ビットが "0" になってからスタート条件を送信します。マスタモードがウェイト中かどうかは MSS ビットと ACT ビットで判断できます (MSS=1, ACT=0 であればウェイト状態)。MSS ビットに "1" を設定後 , スレーブモードとして動作する場合 , AL ビットを "1", MSS ビットを "0", ACT ビットを "1" にします。

24.22.3　スレーブモード

スレーブモードは (反復) スタート条件を検出し , ISBA レジスタと ISMK レジスタとの組合せと受信したアドレスが一致すると ACK 応答し , スレーブモードとして動作します。

■ スレーブアドレス一致検出

(反復)スタート条件を検出すると次のデータの7ビットをアドレスとして受信します。ISMK レジスタで "1" がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し , 一致した場合に ACK を出力します。

表 24.22-5 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	—	—	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
禁止	許可	—	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			—	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	
許可	禁止	—	—	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
許可	許可	—	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			—	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	

- 予約アドレス検出

  一バイト目で予約アドレス ("0000XXXX$_B$" または "1111XXXX$_B$") と一致した場合 , 送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後 , INT ビットを "1" にして I^{2}C バスをウェイトします。このとき受信データを読み出し , スレーブとして動作させたい場合には ACKE を "1" にセットして INT ビットをクリアします。その後 , スレーブとして動作します。ACKE を "0" にした場合には , アクノリッジ出力後 , スレーブとして動作を行いません。

■ データ方向ビット

アドレス受信後 , データの送受信を決めるデータ方向ビットを受信します。このビットが "0" のときにマスタからの送信を示し , スレーブとしてはデータを受信します。

■ スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが "0" のとき , スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下のようになります。

- 受信 FIFO が禁止されている場合

  ① ACK 送信後 , 割込みフラグ (INT) を "1" にして I^{2}C バスをウェイトします。MSS ビット , ACT ビットと FBT ビットでスレーブアドレス一致による割込みと判断し , ACKE ビットに "1", 割込みフラグ (INT) に "0" を書いて I^{2}C バスのウェイトを解除します (表 24.22-5 を参照) 。

  ② 1 バイトのデータを受信後 , WSEL の設定に従って割込みフラグ (INT) を "1" にして I^{2}C バスをウェイトします。

  ③ RDR レジスタから受信したデータを読み出し , ACKE ビットを設定後 , 割込みフラグ (INT) に "0" を書いて I^{2}C バスのウェイトを解除します。

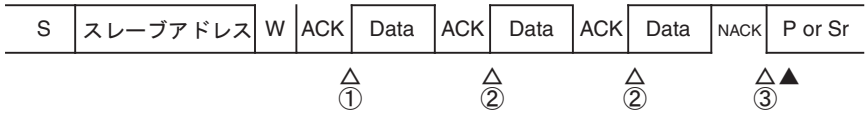
  ④ ストップ条件または反復スタート条件を検出するまで② , ③を繰り返します。

- 受信 FIFO が許可されている場合

  ① NACK の検出または 受信 FIFO がフルになると割込みフラグ (INT) は "1" になり , I^{2}C バスをウェイトします。ストップ条件 , 反復スタート条件を検出した場合 , SPC ビット , RSC ビットを "1" にして割込みフラグ (INT) は "1" になりません (I^{2}C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると RDRF ビットを "1" にします。そのとき , RIE ビットが "1" になっていると受信割込みが発生します。

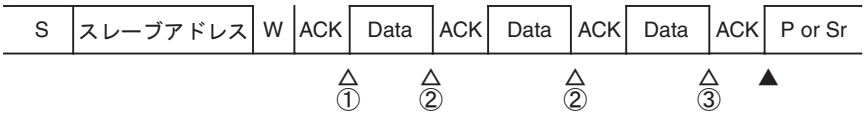
  ② 割込みフラグ (INT) が "1" になった場合 , RDR レジスタから受信したデータを読み出し , すべてのデータを読み出した後に , 割込みフラグに "0" を書いて I^{2}C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合 , 受信したデータを RDR レジスタからすべて読み出し , SPC ビットまたは RSC ビットを "0" にクリアします。

図 24.22-25 FIFO 禁止によるスレーブ受信の割込み 1(WSEL=0, RSA=0)



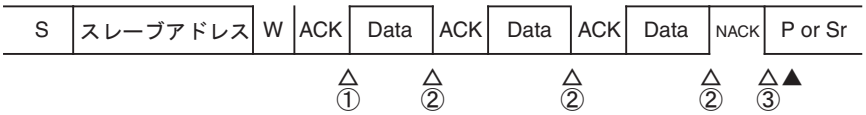
△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレスが一致したのでACK出力し, 割込み発生
　ACKE=1, INT=0書込み
② 1バイト受信＋ACK応答により割込み発生
　受信データを受信バッファから読み出した後, INT=0書込み
③ 1バイト受信＋NACK応答により割込み発生
　受信データを受信バッファから読み出した後, INT=0書込み

図 24.22-26 FIFO 禁止によるスレーブ受信の割込み 2(WSEL=1, RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレスが一致したのでACK出力し, 割込み発生
　ACKE=1, INT=0書込み
② 1バイト受信により割込み発生
　受信データを受信バッファから読み出した後, INT=0書込み
③ 1バイト受信により割込み発生
　受信データを受信バッファから読み出した後, INT=0書込み

図 24.22-27 FIFO 禁止によるスレーブ受信の割込み 3(WSEL=1, RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① スレーブアドレスが一致したのでACK出力し, 割込み発生
　ACKE=1, INT=0書込み
② 1バイト受信により割込み発生
　受信データを受信バッファから読み出した後, INT=0書込み
③ NACK応答により割込み発生
　INT=0書込み

図 24.22-28 受信 FIFO 許可によるスレーブ受信の割込み 4 (RSA=0)



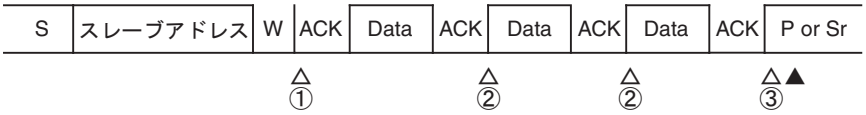
△：INTE=1による割込み
▲：CNDE=1による割込み
① ストップ条件または反復スタート条件検出により割込み発生
　受信FIFOから全データの読出し

図 24.22-29 受信 FIFO 許可によるスレーブ受信の割込み 5 (RSA=0)



△：INTE=1による割込み
▲：CNDE=1による割込み
① 受信FIFOがフルになったことにより割込み発生
　受信FIFOから全データを読み出した後, INT=0書込み

図 24.22-30 FIFO 禁止によるスレーブ受信の割込み 6(WSEL=0, RSA=1)



△：INTE=1による割込み
▲：CNDE=1による割込み
① 予約アドレス("0000XXXXB"または"1111XXXXB")が一致したので割込み発生
　受信データを読み出し, ACKE=1, INT=0書込み
② 1バイト受信＋アクノリッジ出力により割込み発生
　INT=0書込み
③ 1バイト受信＋アクノリッジ出力により割込み発生
　INT=0書込みにより割込み

■ スレーブによる送信

スレーブアドレスが一致してデータ方向ビットが "1" のとき , スレーブによる送信を示します。FIFO 禁止の場合 , WSEL の設定により , 1 バイト送信後またはアクノリッジ応答後に割込みフラグ (INT) を "1" にしてウェイトを発生します (表 24.22-5 を参照) 。

RACK ビットによってマスタから出力されたアクノリッジを確認することができ , マスタから NACK 応答時 , マスタが正しく受信できなかったか , データ受信の終了を示します。WSEL=1 のときに NACK を検出した場合 , 割込みが発生してウェイトします。

24.22.4　バスエラー

I²C バス上でデータの送受信中にストップ条件 , (反復) スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で BER ビットを "1" にします。

- 第一バイト転送中に (反復) スタート条件またはストップ条件を検出
- データの 2 ビット～ 9(アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ (INT) が "1" になったときに BER ビットを確認し , BER ビットが "1" の場合はエラー処理を行ってください。BER ビットは INT ビットに "0" を書くことによってクリアされます。

バスエラーによって INT ビットは "1" にセットされますが , I²C バスの SCL を "L" にしてウェイト状態にはなりません。

24.23　専用ボーレートジェネレータ

専用ボーレートジェネレータは , シリアルクロックの周波数の設定を行います。

■ ボーレート選択

● 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり , それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより , ボーレートを選択できます。

リロードカウンタは , 設定された値で内部クロックを分周します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは , ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値 :

$V = \phi / b - 1$

V : リロード値　　b : ボーレート　　ϕ : 周辺クロック (PCLK) 周波数

ただし , I^2C バスの SCL の立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例 :

周辺クロック (PCLK) 16MHz, ボーレート 400kbps に設定する場合のリロード値は , 次のようになります。

リロード値 :

$V = (16 \times 1000000)/400000 - 1 = 39$
よって , ボーレートは ,
$b = (16 \times 1000000)/(38+2) = 400$ kbps

＜注意事項＞

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは , 16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4(I^2C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し , 400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を "0" に設定するとリロードカウンタは停止します。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.23-1 リロード値とボーレート

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz	32MHz
	リロード値	リロード値	リロード値	リロード値	リロード値	リロード値
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I^2C バスの SCL 立上りが "0" の場合です。I^2C バスの SCL 立上りが遅い場合には上記の数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており , 内部クロックより送受信クロックを生成します。また , 送信リロードカウンタのカウント値をボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ カウントの開始

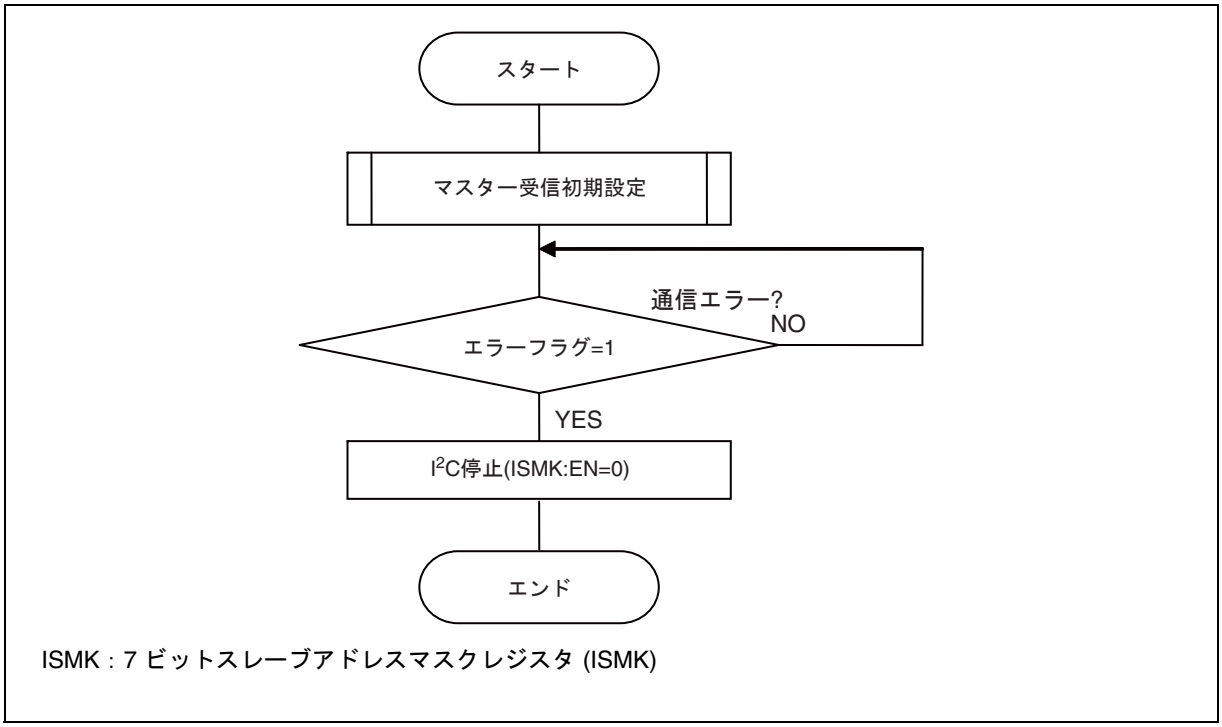
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと , リロードカウンタはカウントを開始します。

24.23.1　I²C のフローチャート例

I²C の通信フローチャート例を示します。

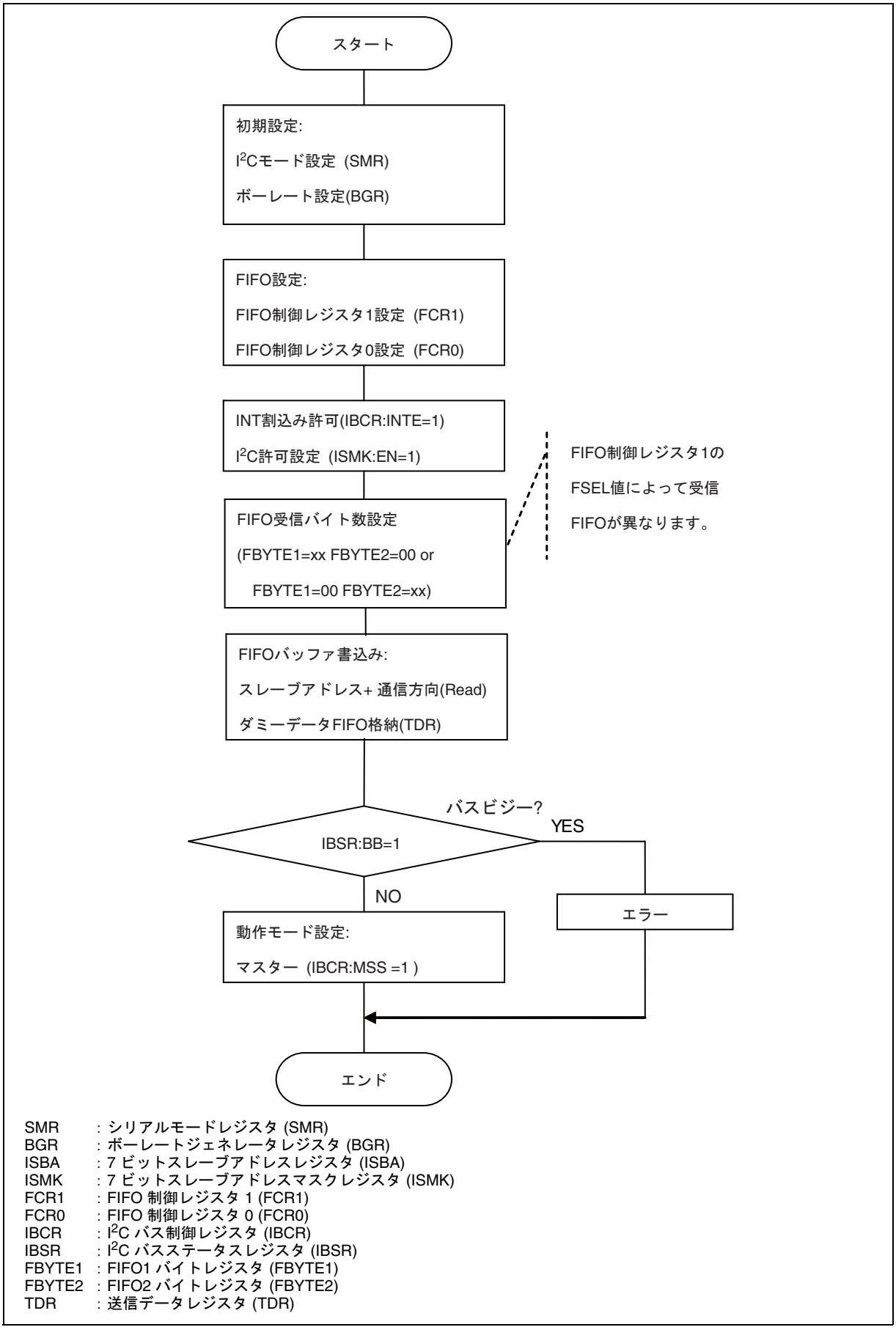
■ I²C マスタ受信 / スレーブ送信 FIFO 通信フロー

図 24.23-1 マスタ受信メイン設定



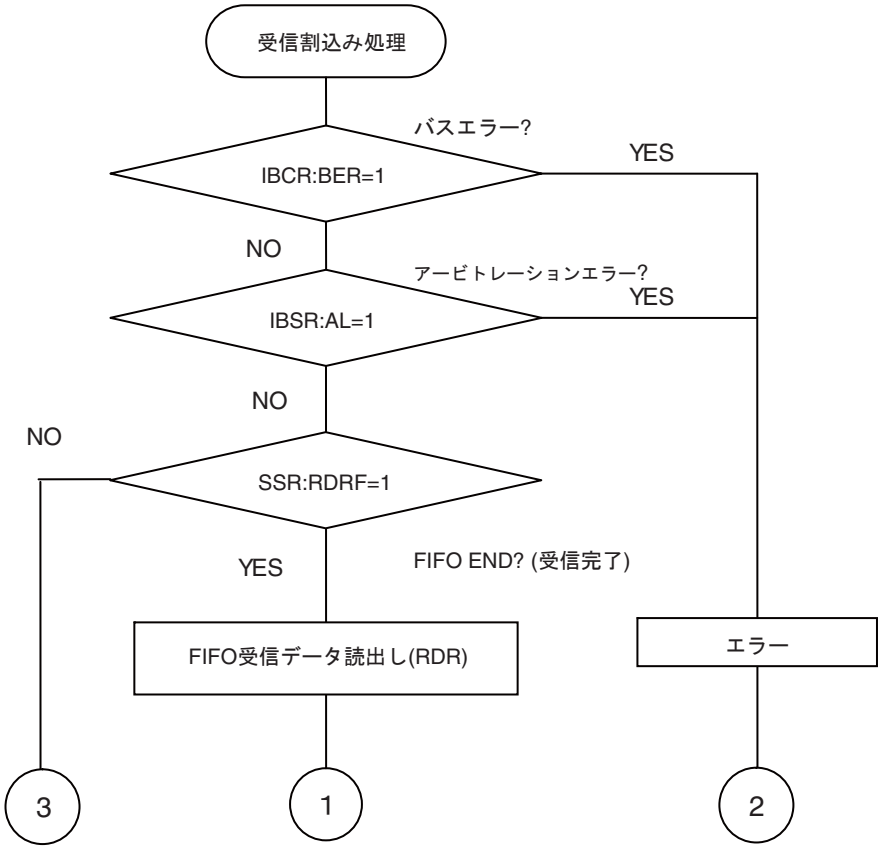
ISMK : 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.23-2 マスタ受信初期設定



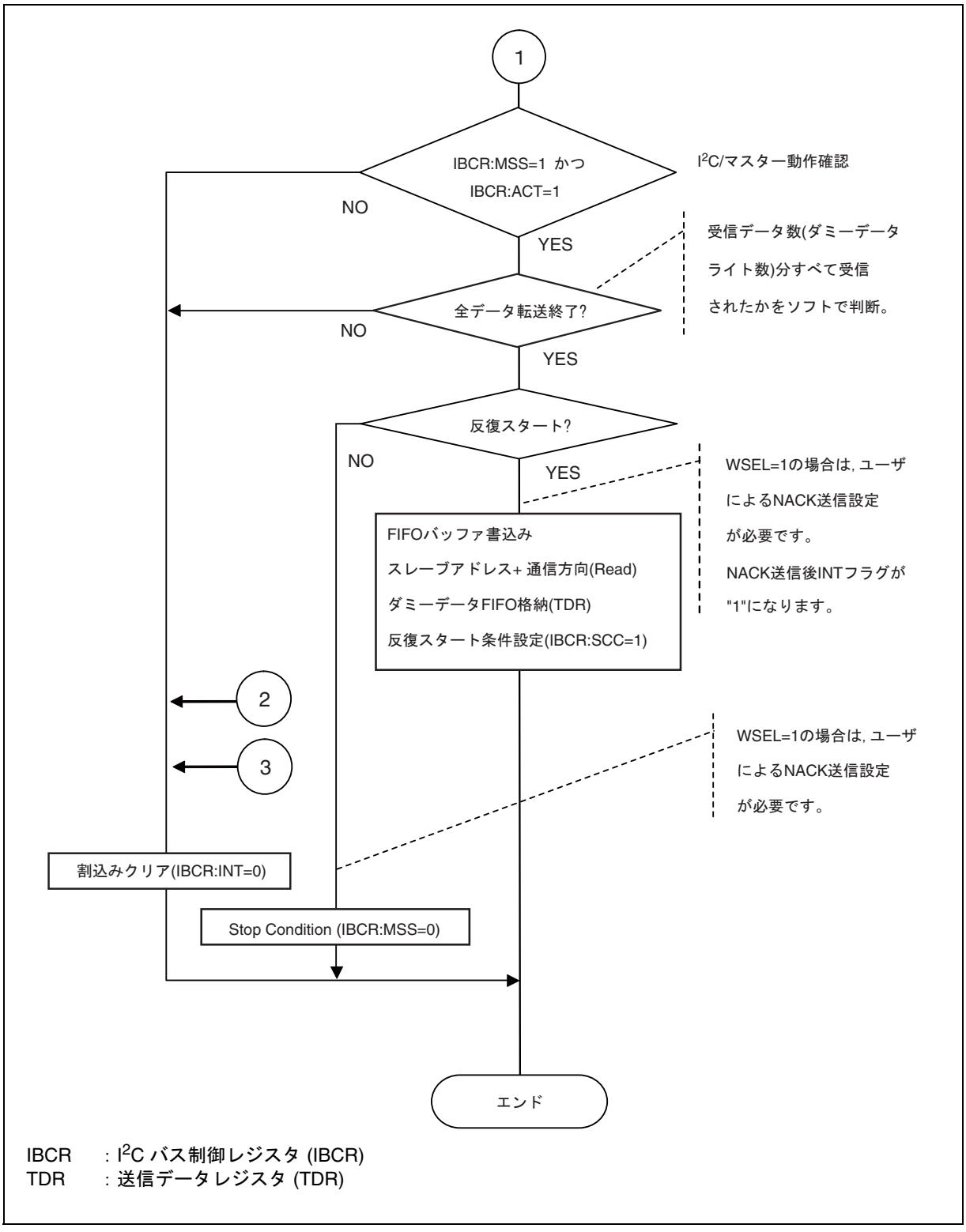
SMR : シリアルモードレジスタ (SMR)
BGR : ボーレートジェネレータレジスタ (BGR)
ISBA : 7 ビットスレーブアドレスレジスタ (ISBA)
ISMK : 7 ビットスレーブアドレスマスクレジスタ (ISMK)
FCR1 : FIFO 制御レジスタ 1 (FCR1)
FCR0 : FIFO 制御レジスタ 0 (FCR0)
IBCR : I2C バス制御レジスタ (IBCR)
IBSR : I2C バスステータスレジスタ (IBSR)
FBYTE1 : FIFO1 バイトレジスタ (FBYTE1)
FBYTE2 : FIFO2 バイトレジスタ (FBYTE2)
TDR : 送信データレジスタ (TDR)

図 24.23-3 マスタ受信割込み処理



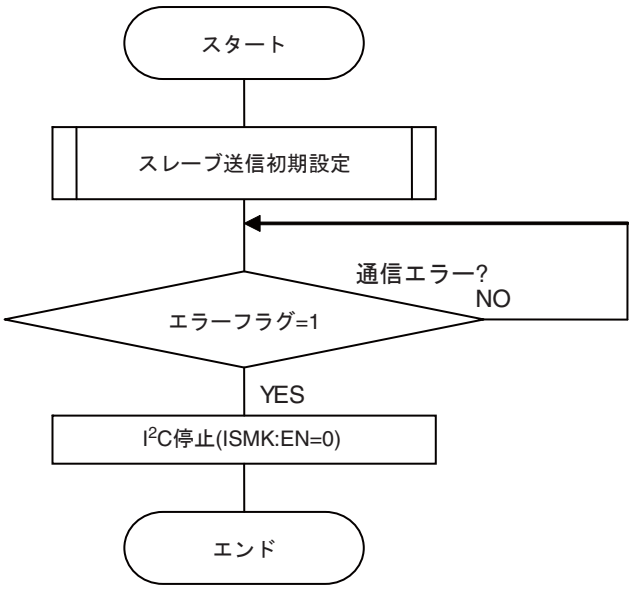
IBCR　：I^2C バス制御レジスタ (IBCR)
IBSR　：I^2C バスステータスレジスタ (IBSR)
SSR　：シリアルステータスレジスタ (SSR)
RDR　：受信データレジスタ (RDR)

* 実際のエラー処理は , 各ステータスエラーフラグの判断および各エラーの処理を , お客様のシステムを考慮して行ってください。
* FIFO 受信を連続して行う場合の最終 ACK 処理について , WSEL=1 に設定した場合 , 最終データ受信後にウェイトが発生します。このウェイト中に IBSR.RACK=1 に設定し , NACK で応答してください。



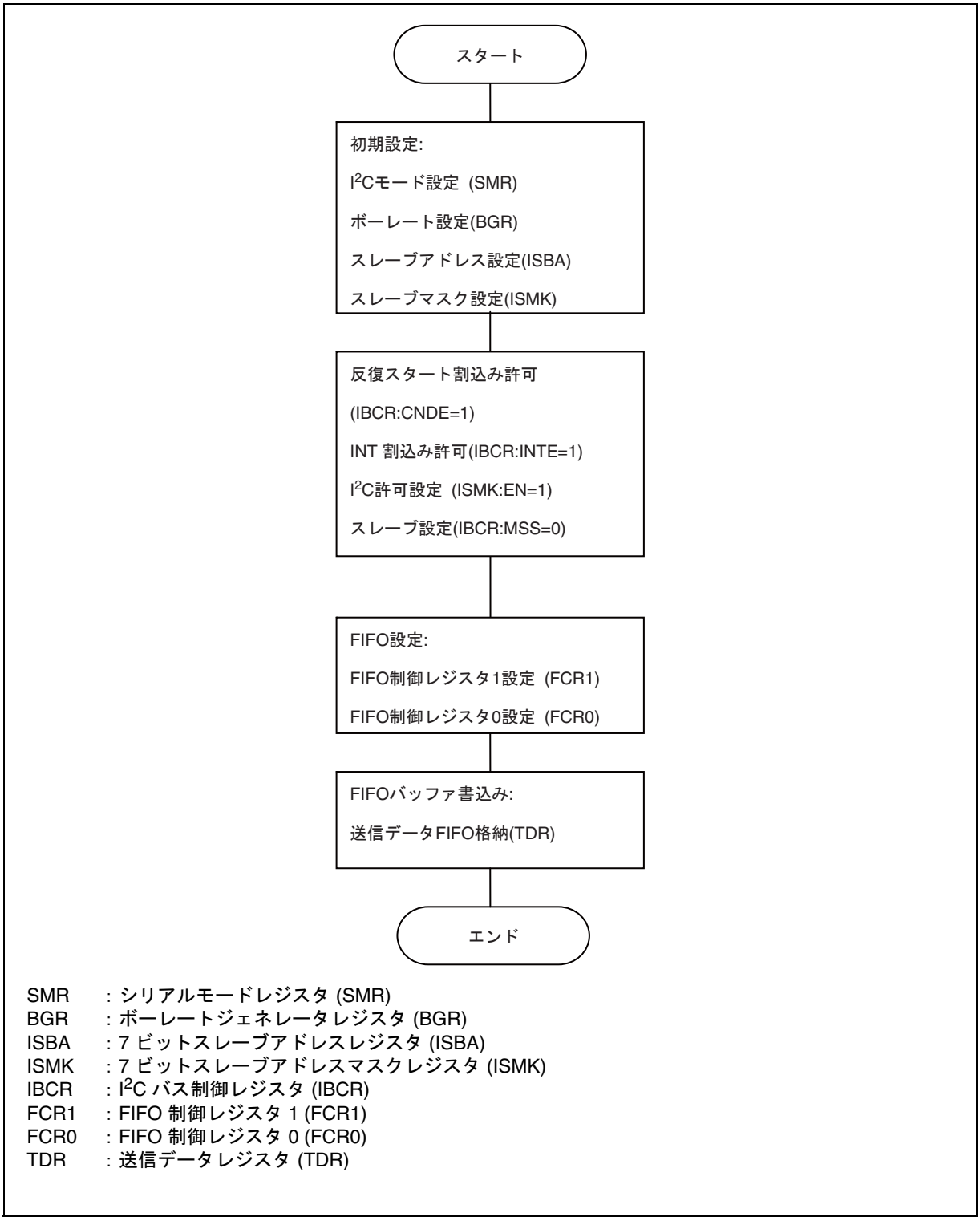
IBCR　：I2C バス制御レジスタ (IBCR)
TDR　：送信データレジスタ (TDR)

図 24.23-4 スレーブ送信メイン設定



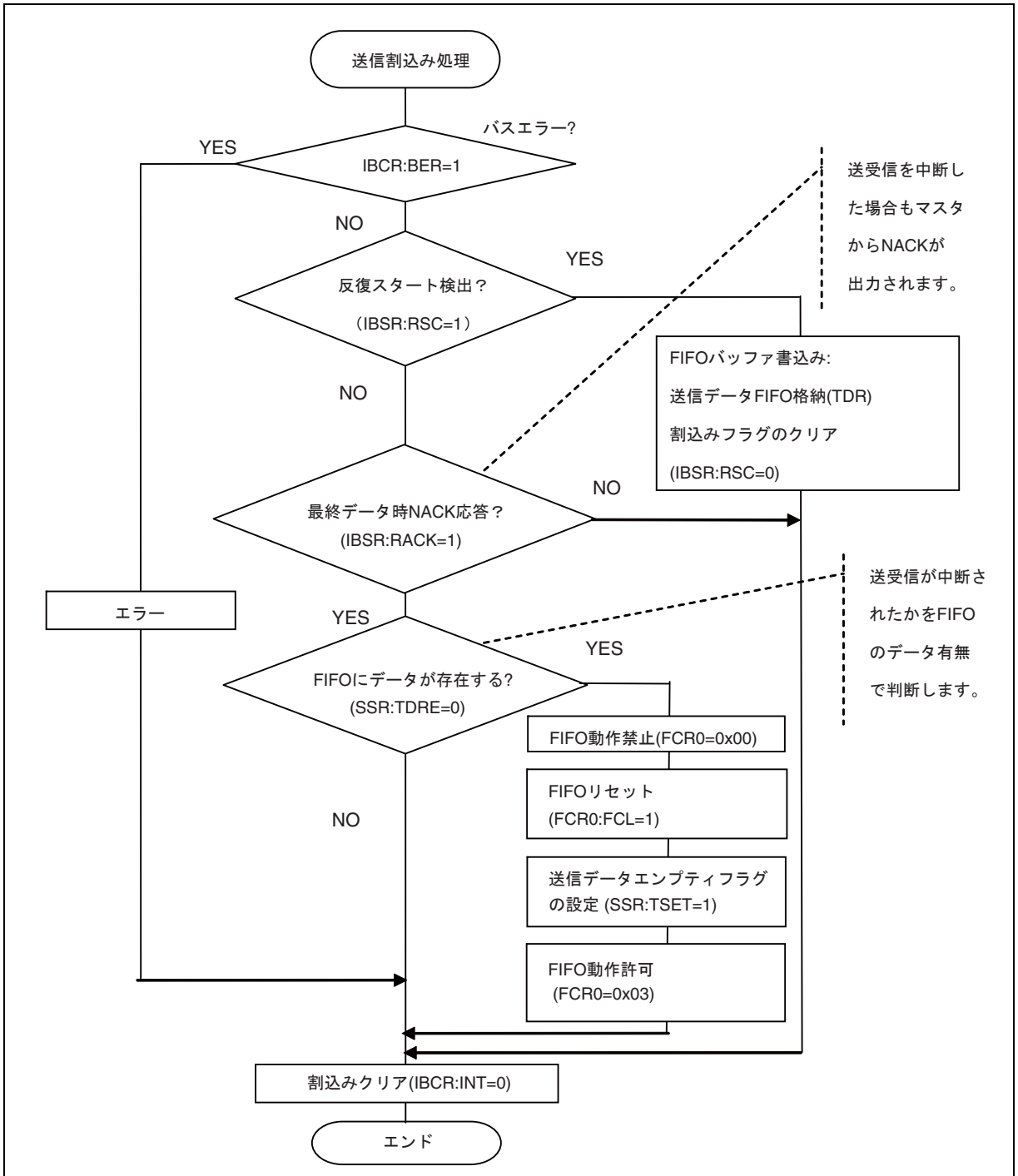
ISMK : 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.23-5 スレーブ送信初期設定



SMR　：シリアルモードレジスタ (SMR)
BGR　：ボーレートジェネレータレジスタ (BGR)
ISBA　：7 ビットスレーブアドレスレジスタ (ISBA)
ISMK　：7 ビットスレーブアドレスマスクレジスタ (ISMK)
IBCR　：I^2C バス制御レジスタ (IBCR)
FCR1　：FIFO 制御レジスタ 1 (FCR1)
FCR0　：FIFO 制御レジスタ 0 (FCR0)
TDR　：送信データレジスタ (TDR)

図 24.23-6 スレーブ送信割込み処理

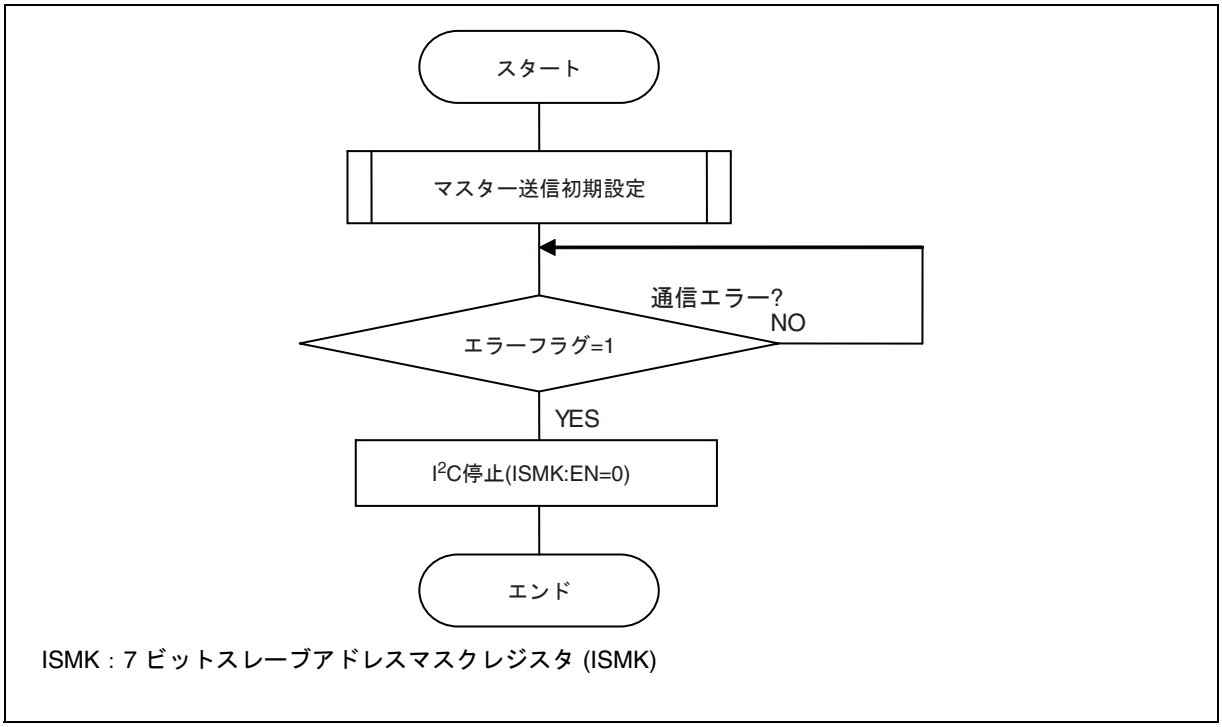


IBSR　：I²C バスステータスレジスタ (IBSR)
TDR　：送信データレジスタ (TDR)
SSR　：シリアルステータスレジスタ (SSR)
FCR0　：FIFO 制御レジスタ 0 (FCR0)
IBCR　：I²C バス制御レジスタ (IBCR)

* 実際のエラー処理は , 各ステータスエラーフラグの判断および各エラーの処理を , お客様のシステムを考慮して行ってください。

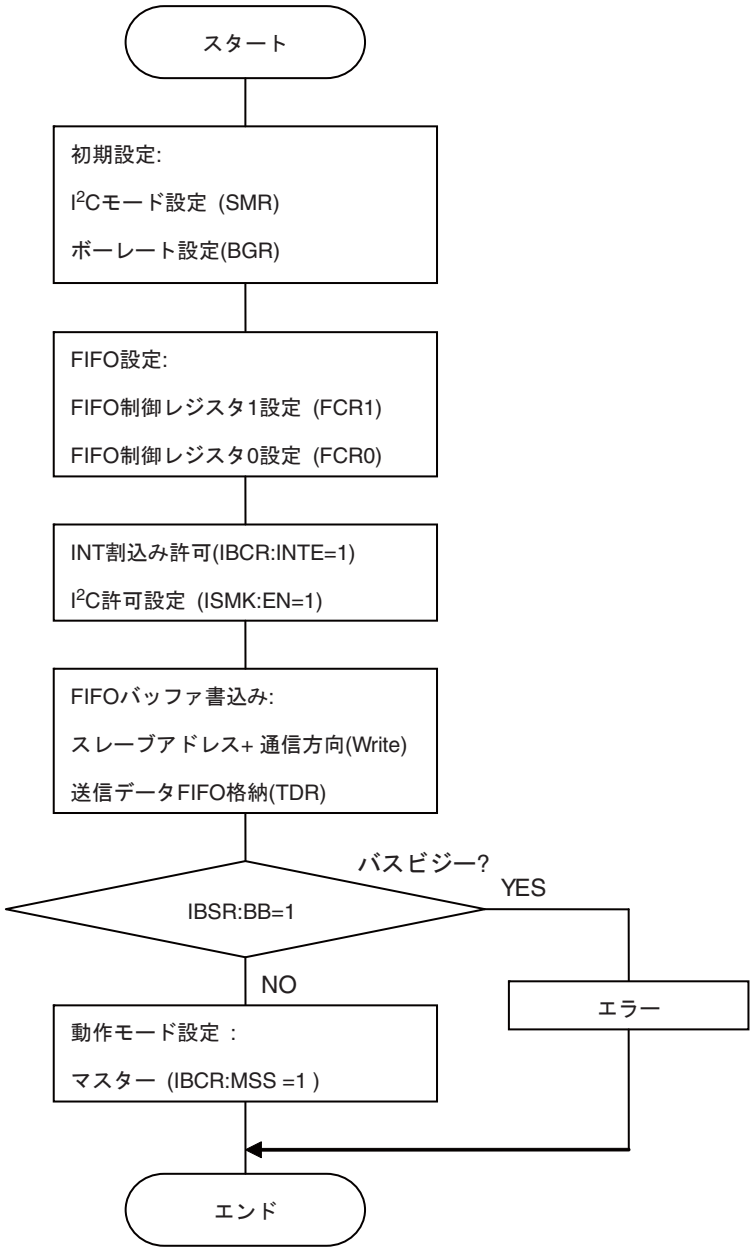
■ I²C マスタ送信 / スレーブ受信　FIFO 通信フロー

図 24.23-7 マスタ送信メイン設定



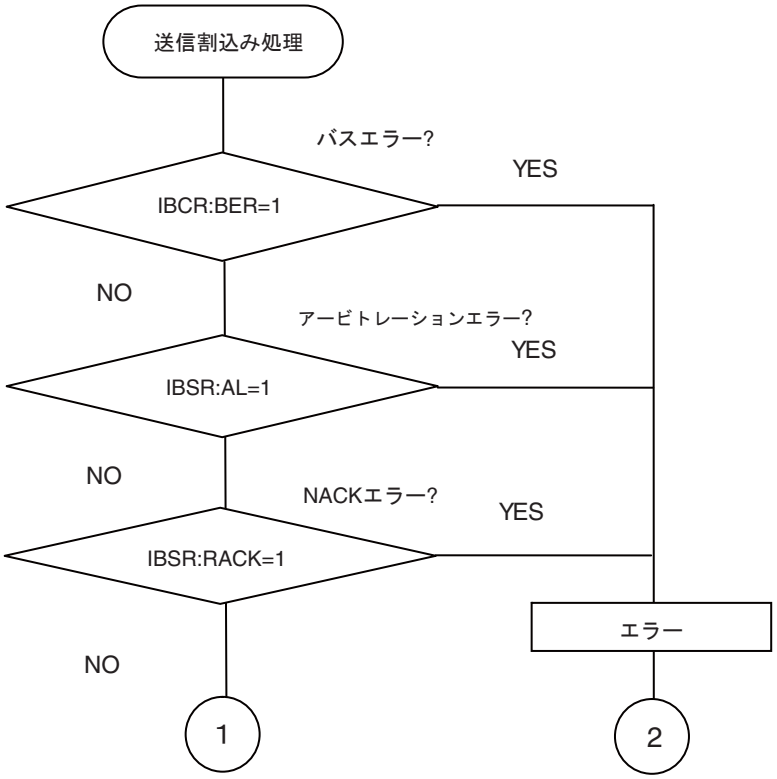
ISMK : 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.23-8 マスタ送信初期設定



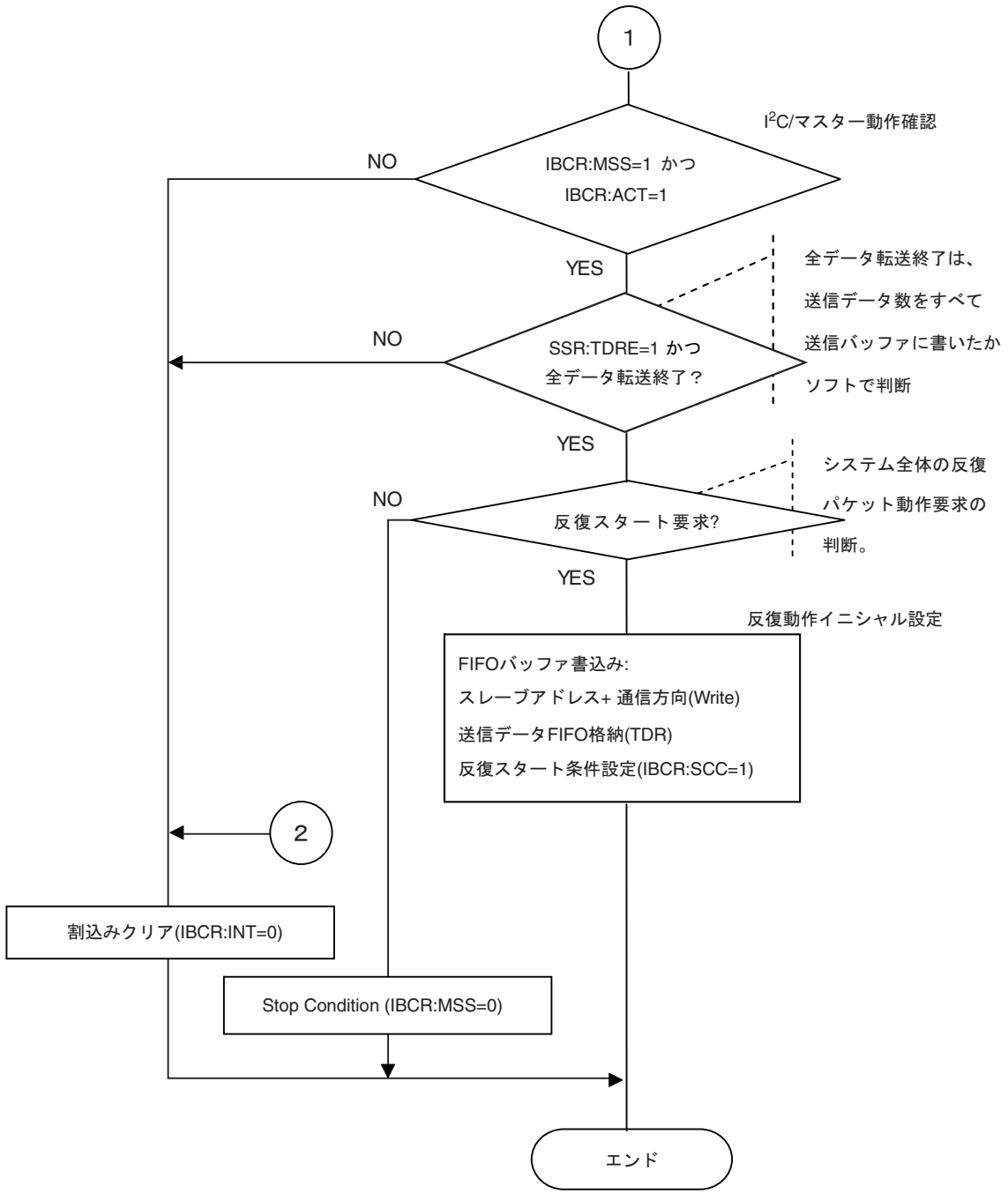
SMR　：シリアルモードレジスタ (SMR)
BGR　：ボーレートジェネレータレジスタ (BGR)
ISBA　：7 ビットスレーブアドレスレジスタ (ISBA)
ISMK　：7 ビットスレーブアドレスマスクレジスタ (ISMK)
FCR1　：FIFO 制御レジスタ 1 (FCR1)
FCR0　：FIFO 制御レジスタ 0 (FCR0)
IBCR　：I2C バス制御レジスタ (IBCR)
IBSR　：I2C バスステータスレジスタ (IBSR)
TDR　：送信データレジスタ (TDR)

図 24.23-9 マスタ送信割込み処理



IBCR：I²C バス制御レジスタ (IBCR)
IBSR：I²C バスステータスレジスタ (IBSR)

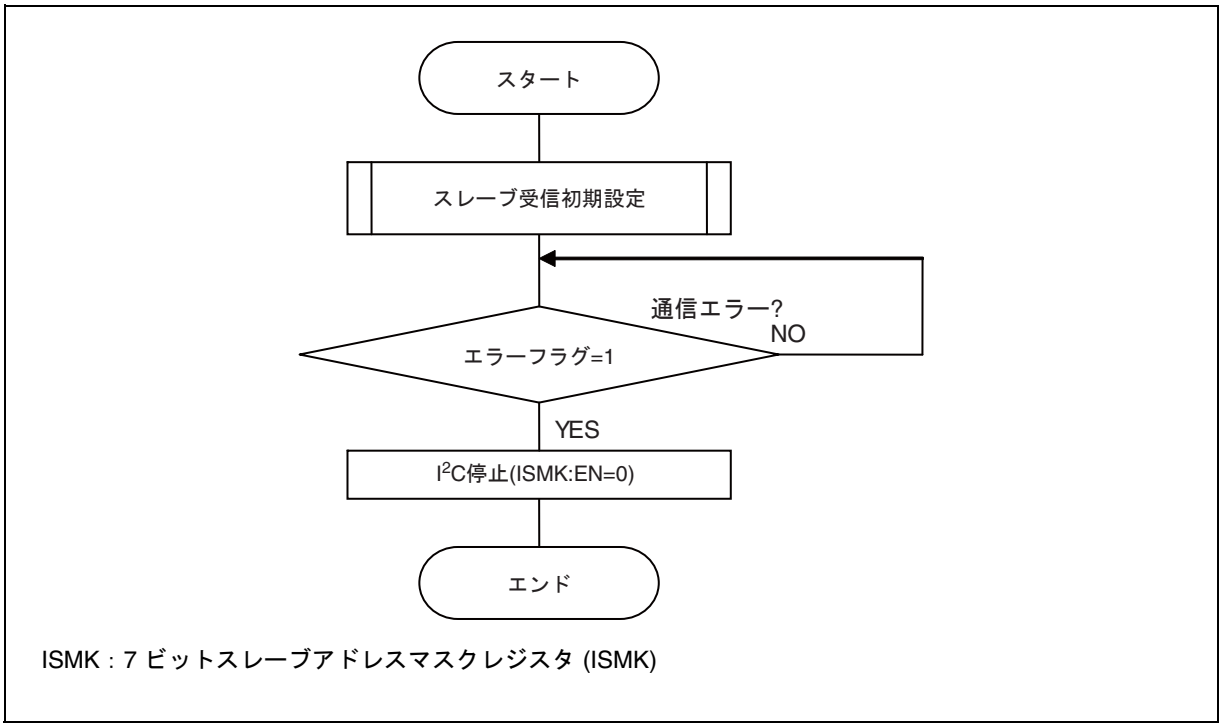
* 実際のエラー処理は , 各ステータスエラーフラグの判断および各エラーの処理を , お客様のシステムを考慮して行ってください。



IBCR　：I2C バス制御レジスタ (IBCR)
TDR　：送信データレジスタ (TDR)
SSR　：シリアルステータスレジスタ (SSR)

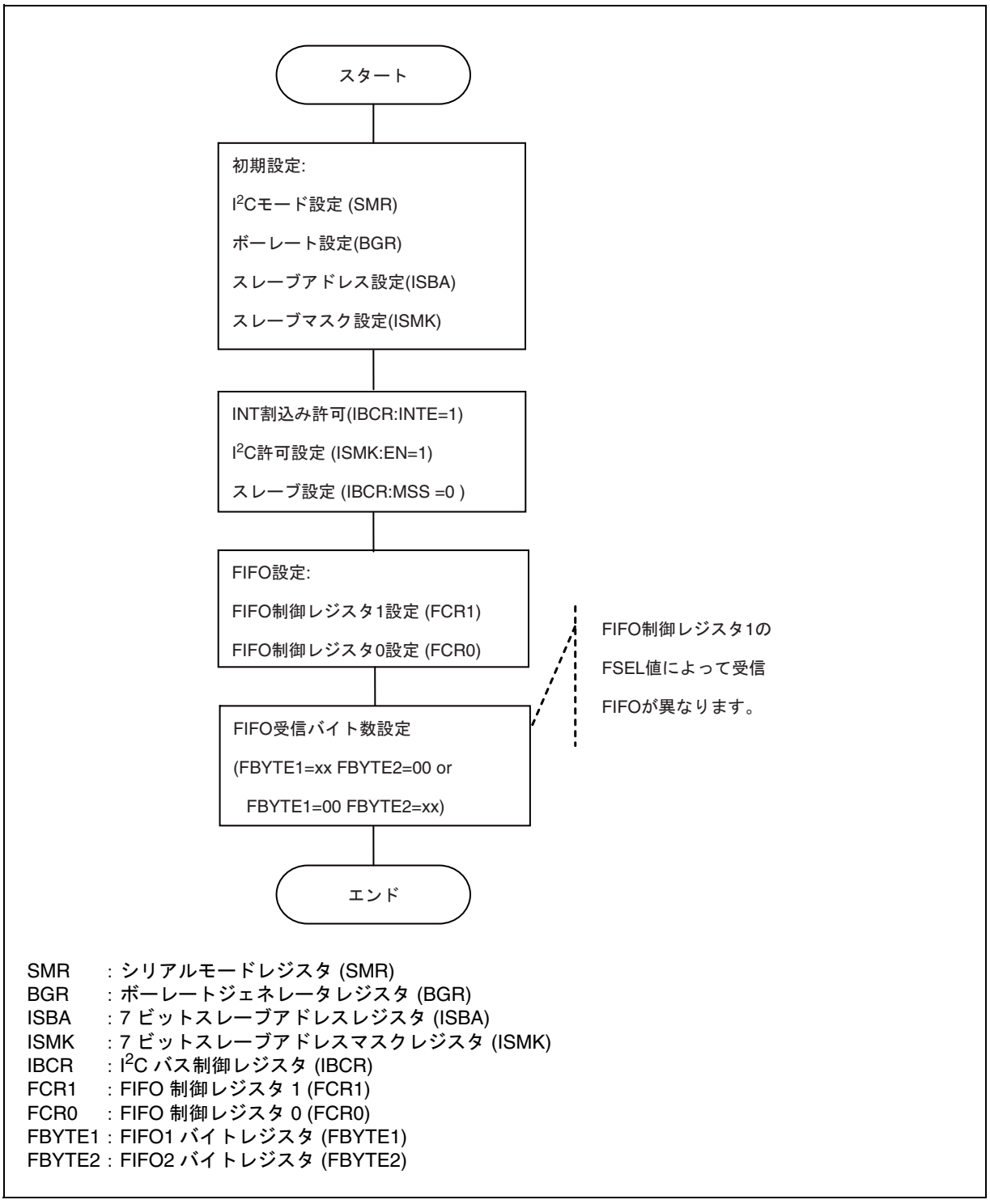
* 実際のエラー処理は , 各ステータスエラーフラグの判断および各エラーの処理を , お客様のシステムを考慮して行ってください。

図 24.23-10 スレーブ受信メイン設定



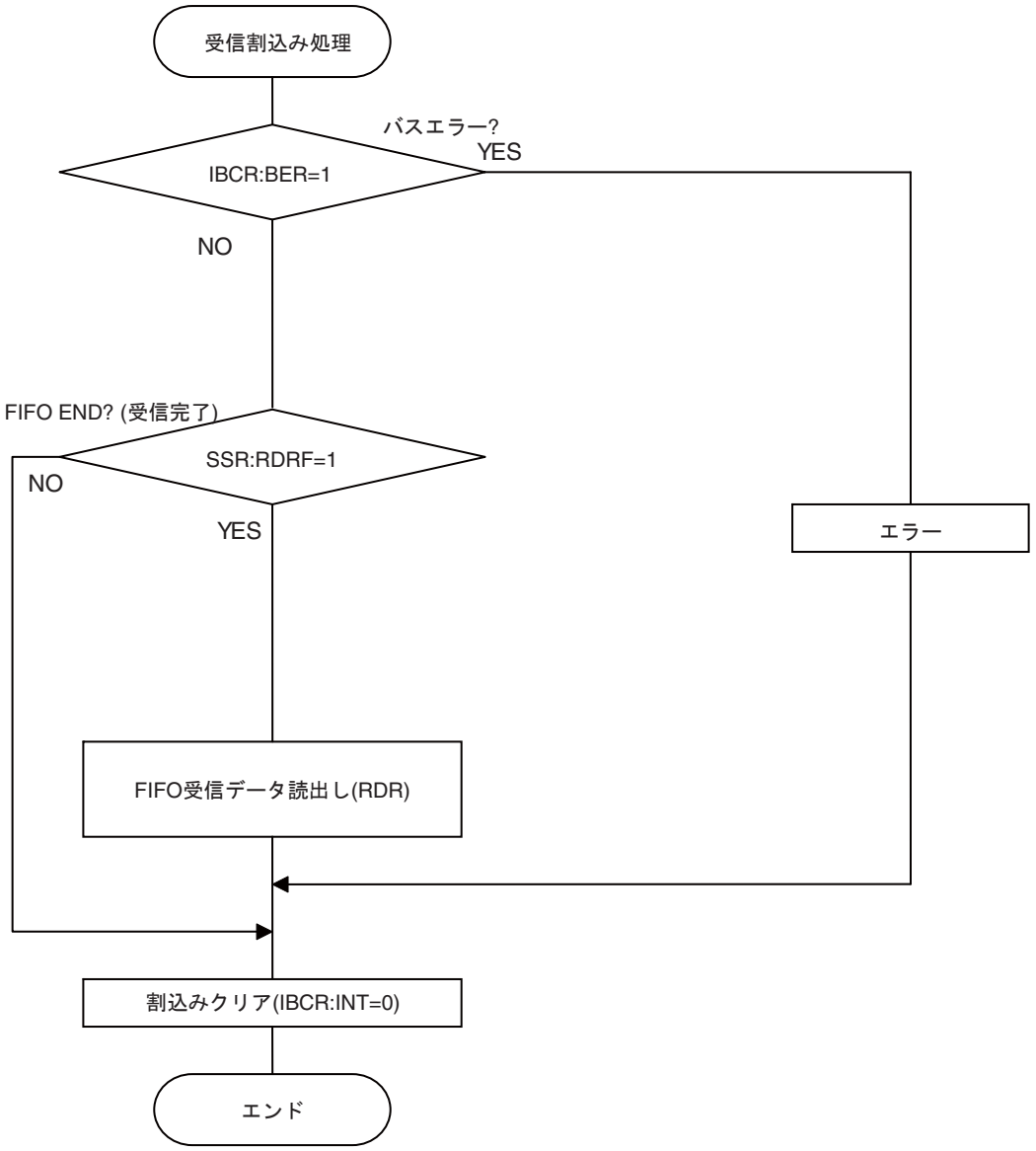
ISMK : 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.23-11 スレーブ受信初期設定



SMR　　：シリアルモードレジスタ (SMR)
BGR　　：ボーレートジェネレータレジスタ (BGR)
ISBA　　：7 ビットスレーブアドレスレジスタ (ISBA)
ISMK　　：7 ビットスレーブアドレスマスクレジスタ (ISMK)
IBCR　　：I^2C バス制御レジスタ (IBCR)
FCR1　　：FIFO 制御レジスタ 1 (FCR1)
FCR0　　：FIFO 制御レジスタ 0 (FCR0)
FBYTE1：FIFO1 バイトレジスタ (FBYTE1)
FBYTE2：FIFO2 バイトレジスタ (FBYTE2)

図 24.23-12 スレーブ受信割込み処理



IBSR　：I²C バスステータスレジスタ (IBSR)
SSR　：シリアルステータスレジスタ (SSR)
RDR　：受信データレジスタ (RDR)
IBCR　：I²C バス制御レジスタ (IBCR)

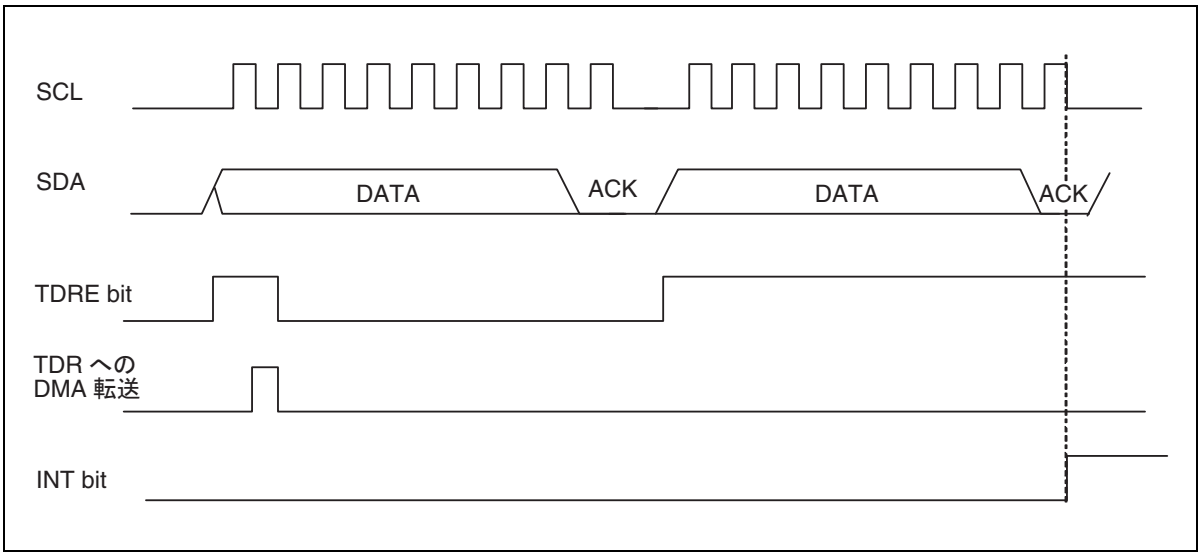
* 実際のエラー処理は , 各ステータスエラーフラグの判断および各エラーの処理を , お客様のシステムを考慮して行ってください。

24.24　I²C モードの注意事項

I²C モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には , データ受信用の DMA 転送と , ダミーデータ送信用の DMA 転送が必要なため , DMA を 2 チャネル使用する必要があります。
- I²C モードでは , 送信レジスタ (TDR) に有効なデータがなく , 送信データエンプティフラグビット (TDRE) が "1" の状態で , I²C バス上のデータが 9 ビット目 (WSEL=0 時) または 8 ビット目 (WSEL=1 時) まで送信された場合 , 図 1 のように割込みフラグ (INT) が "1" となります。DMA 転送中に割込みフラグ (INT) が "1" になると , ソフトで "0" クリアしない限り , DMA 転送が継続できません。(マスタ送信 , スレーブ送信 , マスタ受信 , スレーブ受信共)

図 24.24-1 I²C の INT ビット変化タイミング (WSEL=0 時)



上記のような仕様のため , I²C モードで DMA 転送する場合には , 割込みフラグ (INT) が "1" となる前に , TDR への DMA 転送が行われるように対応してください。I²C の DMA 転送を優先するには , 以下のような対応があります。

- 優先度が高い (チャネル番号が小さい)DMA を使用する。優先順位設定ビットを固定 (AT=0) で使用する場合に有効。
- DMA 転送抑止割込みレベルビット (DILVR レジスタの LVL4-LVL0 ビット) を可能な限り小さい値にする。

- 送信データエンプティフラグ (SSR:TDRE) が "1" になって送信データレジスタ (TDR) に送信データを DMA 転送によって書くか , またはソフトによって送信データエンプティフラグ (SSR:TDRE) を確認して書く場合 , 送信データエンプティフラグ

(SSR:TDRE) が "0" にならない場合があるため , ACK フィールドの SCL が立下がるまでに送信データを書いてください。ソフトによって割込みフラグ (IBCR:INT) が "1" になってから送信データを書く場合は特に制限はありません。

DMA転送時またはソフトにて送信データエンプティフラグ(SSR:TDRE)による送信処理を行うとき , ACKフィールドのSCLが立ち下がるまでに送信データを書くのが遅れる場合には以下の設定および手順にしてください。

- 設定

  割込みフラグ (IBCR:INT) が "1" になるタイミングを 8 ビット目に設定 (WSEL=1) する。

- 手順

  マスタで送受信を行う場合 , 以下の手順で処理してください。スレーブで送受信を行う場合には , 下記手順は必要ありません。

  1. ソフトにて第一バイト (スレーブアドレス) を送信データレジスタに書く。
  2. マスタ起動 (IBCR:MSS="1" ライト) と同時にウエイト選択を 8 ビットに設定 (IBCR:WSEL="1" ライト) する。
  3. 第一バイト送信後 , 割込みフラグ (IBCR:INT) が "1" になるので ACK 応答 (IBSR:RACK="0") を確認後 , 第二バイト目をソフトによって送信データレジスタ (TDR) に書いてから DMAC の設定を行い , DMA 転送を起動し , 割込みフラグ (IBCR:INT) に "0" を書く。
  4. 送受信が終了した場合 , マスタの終了 (IBCR:MSS="0" ライト) または再起動 (IBCR:SCC="1" ライト) を行います。

第 25 章 USB クロック生成部

USB クロック生成部の機能と動作について説明します。

25.1 概要
25.2 構成
25.3 レジスタ
25.4 動作説明と設定手順例

25.1 概要

USB クロックとは , USB デバイスを動作させるために使用するクロックの生成元になるクロックです。

■ 概要

USB クロック生成部は , 次の機能を持ちます。

- USB クロックの出力許可 / 停止の設定
- PLL マクロ発振クロックの分周
- USB クロックの選択
- スタンバイモード (メインタイマモード , 時計モードまたはストップモード) 時の USB クロックの停止

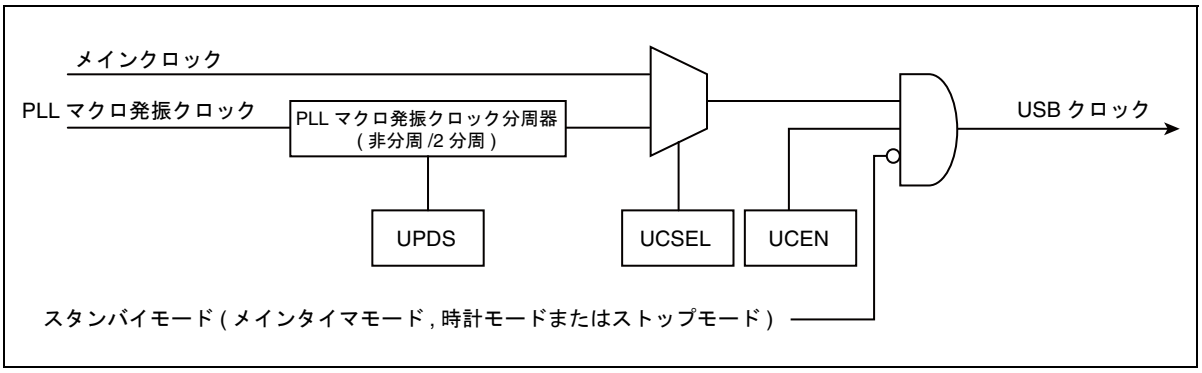
25.2　構成

USB クロック生成部の構成を示します。

■ USB クロック生成部のブロックダイヤグラム

USB クロック生成部のブロックダイヤグラムを図 25.2-1 に示します。

図 25.2-1 USB クロック生成部のブロックダイヤグラム



25.3　レジスタ

USB クロック生成部で使用するレジスタの構成と機能について説明します。

■ USB クロック生成部のレジスター一覧

USB クロック生成部のレジスター一覧を表 25.3-1 に示します。

表 25.3-1 USB クロック生成部のレジスター一覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック設定レジスタ	25.3.1

25.3.1　USB クロック設定レジスタ (UCCR)

USB クロックを制御するレジスタです。

USB クロック設定レジスタ (UCCR) のビット構成を図 25.3-1 に示します。

図 25.3-1 USB クロック設定レジスタ (UCCR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	UPDS	UCSEL	UCEN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	0	0	1

R/W：リード / ライト可能
X：不定値

[bit7 ～ bit3]：予約ビット

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2]：UPDS (PLL マクロ発振クロック分周選択ビット)

PLL マクロ発振クロックの非分周 / 分周を選択します。

書込み値	説明
0	非分周に設定します。
1	2 分周に設定します。

< 注意事項 >

- USB クロックの出力が有効 (UCEN=1) のときは , このビットは書き換えできません。
- このビットは , UCEN ビットと同時に書き換えないでください。

[bit1] : UCSEL (USB クロック選択ビット)

USB クロックがメインクロックか PLL マクロ発振クロックかを選択します。

書込み値	説明
0	メインクロックです。
1	PLL マクロ発振クロックです。

< 注意事項 >

- USB クロックの出力が有効 (UCEN=1) のときは , このビットは書き換えできません。
- このビットは , UCEN ビットと同時に書き換えないでください。

[bit0] : UCEN (USB クロック出力許可ビット)

USB クロック出力を制御します。

書込み値	説明
0	USB クロック出力を許可しません。
1	USB クロック出力を許可します。

< 注意事項 >

このビットは , UPDS ビットまたは UCSEL ビットと同時に書き換えないでください。

25.4　動作説明と設定手順例

USB クロックの生成制御動作について説明します。また , 設定するための手順例も示します。

■ 概要

USB クロックの生成制御部では , 次の操作が必要です。

- レジスタ設定
- メインクロック選択
- PLL マクロ発振クロック選択

■ レジスタ設定

USBクロック出力を有効にするときは, 次の順番でUSBクロック設定レジスタ (UCCR) を設定してください。

1. USB クロック出力を無効 (UCEN=0) にする
2. UPDS ビット (PLL マクロ発振クロック分周選択ビット) と UCSEL ビット (USB クロック選択ビット) を設定する
3. USB クロック出力を有効 (UCEN=1) にする

< 注意事項 >

- 手順 1 と 2, 2 と 3 は , 同時に行わないでください。
- この設定は , USB 許可レジスタ (USBEN) の USBEN ビットが "0" のときに行ってください。

■ メインクロック選択

UCSEL ビットに "0" を書き込むと , USB クロックにはメインクロックが選択されます。メインクロックを選択するときは , メインクロックが 48MHz で発振しているときにしてください。

■ PLL マクロ発振クロック選択

UCSEL ビットに "1" を書き込むと , USB クロックには PLL マクロ発振クロックが選択されます。PLL マクロ発振クロックを選択するときは , PLL マクロ発振クロックが 96MHz のときにしてください。PLL マクロ発振クロック =96MHz のときは , PLL マクロ発振クロック 2 分周 (UPDS=1) に設定してください。これらの関係を表 25.4-1 に示します。

表 25.4-1 USB クロック選択と UPDS/UCSEL ビットの関係

	UPDS	UCSEL
メインクロック 48MHz 使用時	—	0
設定禁止	0	1
PLL マクロ発振クロック 96MHz 設定	1	1

< 注意事項 >

- スタンバイモード (メインタイマモード,時計モードまたはストップモード) 時は, USB クロックは停止します。
- PLL マクロ発振クロックが 96MHz ～ 100MHz のため UCSEL=1 かつ UPDS=0 は設定禁止です。

第 26 章 DMA 転送要求セレクタ

DMA 転送要求セレクタの機能と動作について説明します。

26.1 概要
26.2 構成
26.3 レジスタ

26.1 概要

DMA 転送要求セレクタは DMA 転送要求として DREQ を使用する場合 , USB ファンクション / ホストからの DREQ を DMA コントローラ (DMAC) に伝えます。また , DMA コントローラ (DMAC) からの DACK を該当するマクロへ返します。

■ 概要

DMA 転送要求セレクタは , USB ファンクション / ホストからの DREQ を , DMA コントローラ (DMAC) の該当するチャネルに伝えます。

また , DMA コントローラ (DMAC) からの DACK を , 使用チャネル信号から判定して該当するマクロへ返し , 対応する DACK 端子に接続します。USB ファンクション / ホスト使用時は , 最終転送に対応するアクノリッジを DMA 転送終結信号として接続します。

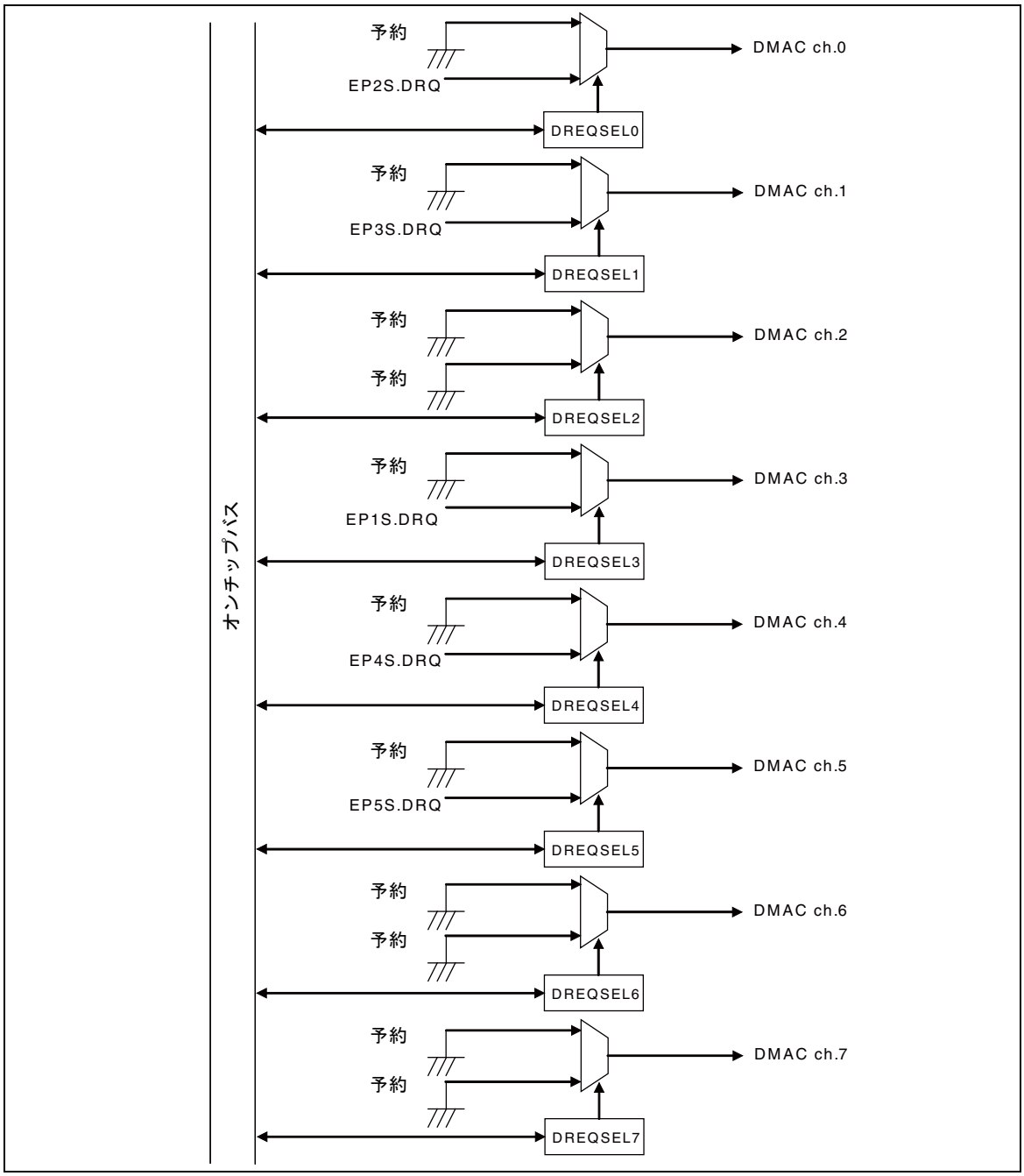
26.2　構成

DMA 転送要求セレクタの構成を示します。

■ DMA 転送要求セレクタのブロックダイヤグラム

DMA 転送要求セレクタのブロックダイヤグラムを図 26.2-1 に示します。

図 26.2-1 DMA 転送要求セレクタのブロックダイヤグラム



26.3　レジスタ

DMA 転送要求セレクタで使用するレジスタの構成と機能について説明します。

■ DMA 転送要求セレクタのレジスター覧

DMA 転送要求セレクタのレジスター覧を表 26.3-1 に示します。

表 26.3-1 DMA 転送要求セレクタのレジスター覧

レジスタ略称	レジスタ名	参照先
DREQSEL	DREQ 選択レジスタ	26.3.1

26.3.1　DREQ 選択レジスタ (DREQSEL)

DREQ を選択するレジスタです。

DREQ 選択レジスタ (DREQSEL) のビット構成を図 26.3-1 に示します。

図 26.3-1 DREQ 選択レジスタ (DREQSEL) のビット構成

bit	7	6	5	4	3	2	1	0
	DREQSEL7	DREQSEL6	DREQSEL5	DREQSEL4	DREQSEL3	DREQSEL2	DREQSEL1	DREQSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	1	0	1	1

R/W：リード / ライト可能

< 注意事項 >

このレジスタは , 必ずバイトまたはハーフワードでアクセスしてください。

[bit7 ～ bit0] : DREQSEL7 ～ DREQSEL0 (DREQ 選択ビット)

DREQSEL7 ～ DREQSEL0 のビット番号は , DMA コントローラ (DMAC) のチャネル番号に対応します。チャネルごとに DREQ を設定します。

チャネル	DREQ 選択ビット	書込み値	説明
0	DREQSEL0	0	予約
		1	EP2S.DRQ (64 バイト) (インタラプト , バルク転送)
1	DREQSEL1	0	予約
		1	EP3S.DRQ (64 バイト) (インタラプト , バルク転送)
2	DREQSEL2	0	予約
		1	予約
3	DREQSEL3	0	予約
		1	EP1S.DRQ (256 バイト) (インタラプト , バルク転送)
4	DREQSEL4	0	予約
		1	EP4S.DRQ (64 バイト) (インタラプト , バルク転送)
5	DREQSEL5	0	予約
		1	EP5S.DRQ (64 バイト) (インタラプト , バルク転送)
6	DREQSEL6	0	予約
		1	予約
7	DREQSEL7	0	予約
		1	予約

< 注意事項 >

予約値を書き込んだ場合は , "0" が出力されます。

第 27 章 USB ファンクション

USB ファンクションの機能と動作について説明します。

27.1 概要
27.2 構成
27.3 レジスタ
27.4 動作説明と設定手順例

27.1　概要

USB ファンクションは , USB (Universal Serial Bus) 通信プロトコルをサポートするインタフェースです。転送スピードは Full Speed (12Mbps) に対応して動作します。

■ 概要

USB ファンクションは USB 通信プロトコルに対応しています。基本的なプロトコル動作 (ハンドシェーク) はハードウェアがサポートしているため , 通信データの処理だけで USB 通信を実現できます。

USB ファンクションには , 次の特長があります。

- Full Speed (12Mbps) をサポート
- デバイスステータスは自動応答
- Bit Stripping, Bit Stuffing, CRC5, CRC16 の自動生成とチェック
- データ同期ビットでトグルチェック
- Get/SetDescriptor, SynchFrame コマンド以外のすべての標準コマンドに自動応答 (Get/SetDescriptor, SynchFrame コマンドは , クラス・ベンダーコマンドと同様の処理が可能)
- クラス・ベンダーコマンドはデータとして受信し , ファームによる応答が可能
- 最大 6 本のエンドポイントをサポート (エンドポイント 0 はコントロール転送に固定)
- 転送データバッファには , エンドポイントごとに 2 本のバッファを内蔵 (エンドポイント 0 の場合は IN と OUT それぞれ専用に 1 本ずつ内蔵)
- DMA による転送データの自動転送モードをサポート (エンドポイント 0 のバッファ以外)

< 注意事項 >

USB ファンクションを使用する場合 , オンチップバスクロック (HCLK) は 13MHz 以上で使用してください。

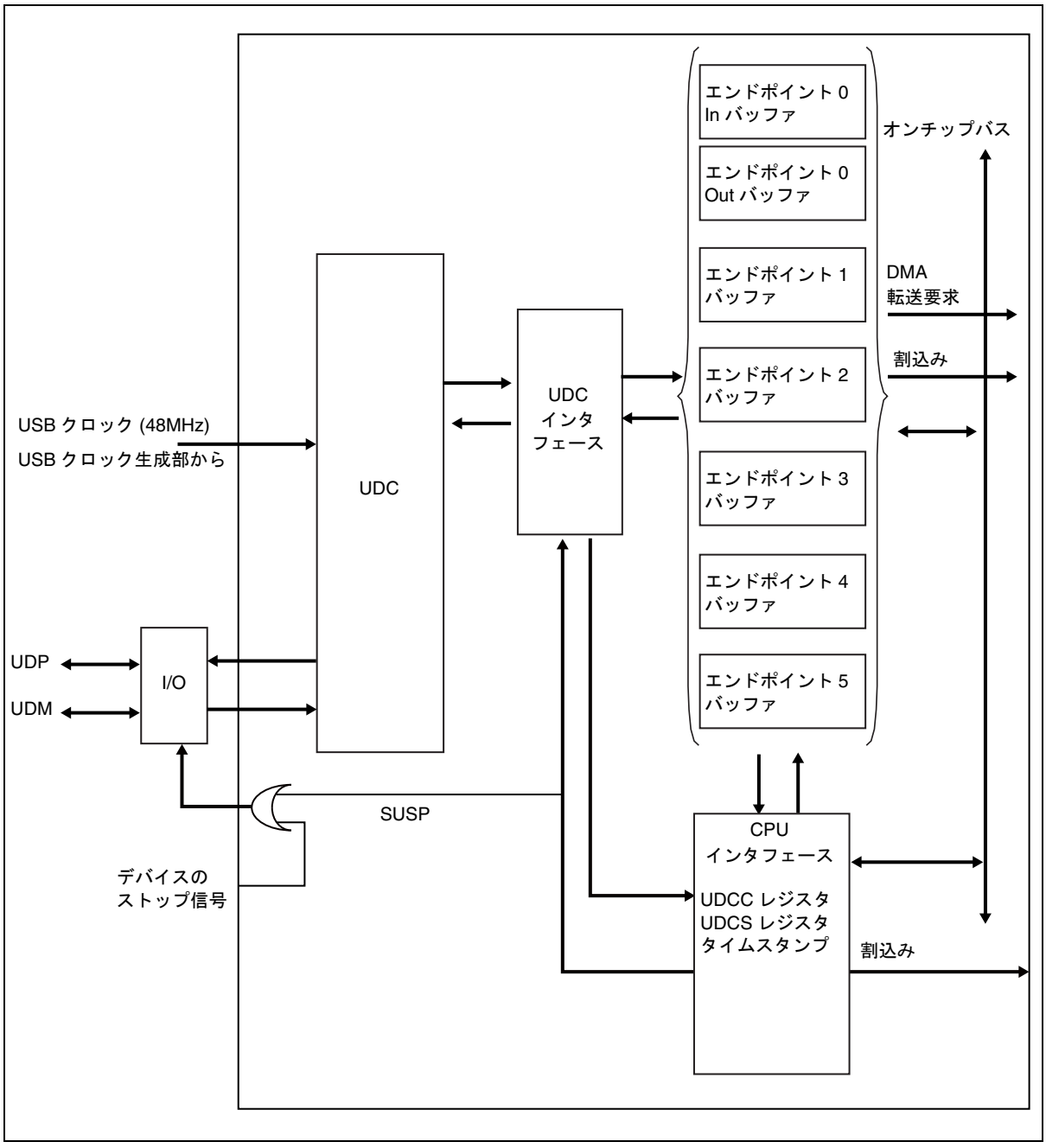
27.2　構成

USB ファンクションの構成を示します。

■ USB ファンクションのブロックダイヤグラム

USB ファンクションのブロックダイヤグラムを図 27.2-1 に示します。

図 27.2-1 USB ファンクションのブロックダイヤグラム



27.3　レジスタ

USB ファンクションで使用するレジスタの構成と機能について説明します。

■ USB ファンクションのレジスター覧

USB ファンクションのレジスター覧を表 27.3-1 に示します。

表 27.3-1 USB ファンクションのレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック設定レジスタ	25.3.1
USBSEL	USB 選択レジスタ	27.3.1
USBEN	USB 許可レジスタ	27.3.2
UDCC	UDC 制御レジスタ	27.3.3
EP0C	EP0 制御レジスタ	27.3.4
EP1C	EP1 制御レジスタ	27.3.5
EP2C	EP2 制御レジスタ	27.3.5
EP3C	EP3 制御レジスタ	27.3.5
EP4C	EP4 制御レジスタ	27.3.5
EP5C	EP5 制御レジスタ	27.3.5
TMSP	タイムスタンプレジスタ	27.3.6
UDCS	UDC ステータスレジスタ	27.3.7
UDCIE	UDC 割込み許可レジスタ	27.3.8
EP0IS	EP0I ステータスレジスタ	27.3.9
EP0OS	EP0O ステータレジスタ	27.3.10
EP1S	EP1 ステータスレジスタ	27.3.11
EP2S	EP2 ステータスレジスタ	27.3.11
EP3S	EP3 ステータスレジスタ	27.3.11
EP4S	EP4 ステータスレジスタ	27.3.11
EP5S	EP5 ステータスレジスタ	27.3.11
EP0DTH	EP0 データレジスタ上位	27.3.12
EP0DTL	EP0 データレジスタ下位	27.3.12
EP1DTH	EP1 データレジスタ上位	27.3.12
EP1DTL	EP1 データレジスタ下位	27.3.12
EP2DTH	EP2 データレジスタ上位	27.3.12
EP2DTL	EP2 データレジスタ下位	27.3.12
EP3DTH	EP3 データレジスタ上位	27.3.12
EP3DTL	EP3 データレジスタ下位	27.3.12
EP4DTH	EP4 データレジスタ上位	27.3.12
EP4DTL	EP4 データレジスタ下位	27.3.12
EP5DTH	EP5 データレジスタ上位	27.3.12
EP5DTL	EP5 データレジスタ下位	27.3.12

■ レジスタビット更新タイミングの UDCC.RST 依存性一覧

	レジスタ	ビット
UDCC.RST=1のときに更新しないといけないレジスタビット	UDCC	HCONX, RFBK, PWC
	EP0C	PKS0
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
	EP3C	EPEN, TYPE, DIR, PKS3
	EP4C	EPEN, TYPE, DIR, PKS4
	EP5C	EPEN, TYPE, DIR, PKS5
UDCC.RST=1のときに初期化されるレジスタビット (UDCC.RST=0 のときに更新してください。)	EP0IS	BFINI, DRQI
	EP0OS	BFINI, DRQO, SPK
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
	EP3S	BFINI, DRQ, SPK
	EP4S	BFINI, DRQ, SPK
	EP5S	BFINI, DRQ, SPK
	TMSP	TMSP
	UDCS	SUSP, SOF, BRST, WKUP, SETP, CONF
	UDCIE	SUSPIE, SOFIE, BRSTIE, WKUPIE, CONFN, CONFIE
UDCC.RSTに影響されないレジスタビット	UDCC	RESUME, USTP
	EP0C	STAL
	EP1C	DMAE, NULE, STAL
	EP2C	DMAE, NULE, STAL
	EP3C	DMAE, NULE, STAL
	EP4C	DMAE, NULE, STAL
	EP5C	DMAE, NULE, STAL
	EP1DTH/L	BFDT
	EP2DTH/L	BFDT
	EP3DTH/L	BFDT
	EP4DTH/L	BFDT
	EP5DTH/L	BFDT

27.3.1　USB 選択レジスタ (USBSEL)

USB を選択するレジスタです。

USB 選択レジスタ (USBSEL) のビット構成を図 27.3-1 に示します。

図 27.3-1 USB 選択レジスタ (USBSEL) のビット構成

bit	7	1	0
	予約		USBSEL
属性	R/W		R/W
初期値	0		0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは必ず , バイトまたはハーフワードでアクセスしてください。

[bit7 ～ bit1]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	常に "0" が読み出されます。

[bit0]：USBSEL (USB 選択ビット）

USB を選択します。

書込み値	説明
0	USB ファンクション / ホストを使用します。
1	設定は禁止です。

27.3.2　USB 許可レジスタ (USBEN)

USB の使用を許可するレジスタです。

USB 許可レジスタ (USBEN) のビット構成を図 27.3-2 に示します。

図 27.3-2 USB 許可レジスタ (USBEN) のビット構成

bit	7	...	1	0
	予約			USBEN
属性	R/W			R/W
初期値	0			0

R/W：リード / ライト可能

< 注意事項 >

このレジスタは必ず , バイトでアクセスしてください。

[bit7 ～ bit1]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	常に "0" が読み出されます。

[bit0]：USBEN (USB 許可ビット）

USB ファンクション / ホストの使用を許可します。

書込み値	説明
0	USB ファンクション / ホストの使用を禁止します。
1	USB ファンクション / ホストの使用を許可します。

< 注意事項 >

USB ファンクション / ホストを使用するときは , 必ずこのビットに "1" を書き込んでから使用してください。

27.3.3　UDC 制御レジスタ (UDCC)

UDC コア回路を制御するレジスタです。

UDC 制御レジスタ (UDCC) のビット構成を図 27.3-3 に示します。

図 27.3-3 UDC 制御レジスタ (UDCC) のビット構成

bit	7	6	5	4	3	2	1	0
	RST	RESUM	HCONX	USTP	予約	予約	RFBK	PWC
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	1	0	0	0	0	0

R/W：リード / ライト可能

[bit7]：RST (function ReSeT ビット)

USB ファンクションにチップのシステムリセット相当の個別リセットをかけます。ホストとケーブルで接続しているときに , このビットで USB ファンクションにリセットをかけます。初期値は "1" でリセット状態なため , "0" 書込みで解除を行ってください。

書込み値	説明
0	USB ファンクションのリセットを解除します。
1	USB ファンクションをリセットします。

< 注意事項 >

このビットは , タイムスタンプレジスタ (TMSP) , UDC ステータスレジスタ (UDCS) , UDC 割込み許可レジスタ (UDCIE) の該当ビットを同時に初期化します。また , 各ステータスレジスタ (EP0IS, EO0OS, EP1S ～ EP5S) の BFINI ビットも同時に初期化します。初期設定の後 , このビットをクリアしてから (BFINI ビットはクリアされません),
使用するエンドポイントの BFINI ビットをクリアしてください。

[bit6]：RESUM (RESUMe set ビット)

リモートウェイクアップ許可状態 (ホストから SET_FEATURE コマンドで DEVICE_REMOTE_WAKEUP ビットが設定されている) で , かつサスペンド状態のとき , このビットに "1" を書き込むと , リジュームの開始となります。リジュームを解除するときは , このビットに "0" を書き込んでください。

書込み値	説明
0	USB デバイスからのリジューム開始指示を解除します。
1	USB デバイスからリジュームの開始指示を出します。

< 注意事項 >

このビットには, USBデバイスがサスペンド状態でリモートウェイクアップ許可状態のときのみ , "1" を書き込んでください。

[bit5]：HCONX (Host CONnection ビット)

ホストまたは HUB との接続を認識させます。

書込み値	説明
0	ホストまたは HUB と接続します。
1	ホストまたは HUB を切断します。

< 注意事項 >

- 外付けプルアップ抵抗が ON 状態で , ホストまたは HUB から接続を認識された場合でも , このビットが "1" の間は USB バスのバスリセット , コマンドは無視されます。
- このビットの書き換えは , UDC 制御レジスタ (UDCC) の bit7 の RST が "1" のときに行ってください。

[bit4]：USTP (Udc SToP ビット)

USB 動作部のクロックを停止させます。USB を動作させない場合に , このビットに "1" を書き込んで USB 動作部のクロックを停止させると , 消費電力を低減できます。

書込み値	説明
0	通常モードにします。
1	USB 動作部のクロックを停止させます。

< 注意事項 >

- ストップモード時は , ストップモード状態に入る前に , このビットに "1" を書き込んでください。ストップモードを解除するときは , UDC ステータスレジスタ (UDCS) の SUSP ビットに "0" を書き込んでから , このビットに "0" を書き込んでください。
- ストップモードにしない場合は , このビットのセットは , RST ビットに "1" を書き込んだ後 , リセットが確実にかかるように Full Speed 時には 3 サイクル後に行ってください。このビットと RST ビットのクリアは , 同時でもかまいません。

[bit3, bit2] : 予約ビット

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1] : RFBK (Rate Feed BacK mode ビット)

USB デバイスのインタラプト転送時のデータトグルモードを指定します。

書込み値	説明
0	交代データトグルモードを選択します。 転送が問題なく完了したときにデータ PID をトグルします。
1	データトグルモードを選択します。 無条件にデータ PID をトグルします。

< 注意事項 >

このビットの書き換えは , UDC 制御レジスタ (UDCC) の bit7 の RST が "1" のときに行ってください

[bit0] : PWC (PoWer Control ビット)

USB ファンクションの動作電源モード (自己電源またはバス電源) を指定します。この情報は , 標準コマンド GetStatus に反映されます。

書込み値	説明
0	動作電源をバス電源にします。
1	動作電源を自己電源にします。

< 注意事項 >

このビットの書き換えは , UDC 制御レジスタ (UDCC) の bit7 の RST が "1" のときに行ってください

27.3.4　EP0 制御レジスタ (EP0C)

エンドポイント 0 を制御するレジスタです。

EP0 制御レジスタ (EP0C) のビット構成を図 27.3-4 に示します。

図 27.3-4 EP0 制御レジスタ (EP0C) のビット構成

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	予約	予約	STAL	予約
属性	ー	ー	ー	ー	ー	ー	R/W	ー
初期値	X	X	X	X	0	0	0	0

bit	7	6						0
	予約	PKS0						
属性	ー	R/W						
初期値	0	1000000						

R/W：リードライト可能
ー：未定義
X：不定値

[bit15 ～ bit12]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit11, bit10]：予約ビット

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit9]：STAL (STALl ep0 set ビット)

エンドポイント 0 を STALL 状態 (STALL 応答) に指定します。

書込み値	説明
0	STALL 状態を解除します。
1	STALL 状態に設定します。

< 注意事項 >

このビットが "1" の間は , ホストに対して STALL 応答を続けます。このビットに "0" を書き込んだ後 , 正常な SETUP パケットを受信したときに STALL 状態から復帰します。

[bit8, bit7] : 予約ビット

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6 ～ bit0] : PKS0 (PacKet Size ep0 set ビット)

1 パケットの最大転送バイト数を指定します。エンドポイント 0 で指定できるパケットの最大転送バイトは , IN/OUT 共通で 64 バイトです。

"08_H" を書き込むと 8 バイト , "40_H" を書き込むと 64 バイトの転送バイトになります。

< 注意事項 >

- このビットは , UDC 制御レジスタ (UDCC) の RST ビットと EP0I/O ステータスレジスタ (EP0I/OS) の BFINI ビットが共に "1" のときに設定してください。USB 動作中は , 書き換えないでください。
- このビットには , "40_H" 以上または "00_H" は書き込まないでください。

27.3.5　EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C)

エンドポイント 1 ～エンドポイント 5 を制御するレジスタです。

EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) のビット構成を図 27.3-5 に示します。

図 27.3-5 EP1 ～ 5 制御レジスタ (EP1C ～ EP5C) のビット構成

EP1 制御レジスタ (EP1C)

bit	15	14	13	12	11	10	9	8
	EPEN	TYPE		DIR	DMAE	NULE	STAL	PSK1
属性	R/W	R/W		R/W	R/W	R/W	R/W	R/W
初期値	0	11		0	0	0	0	1

bit	7	0
	PSK1	
属性	R/W	
初期値	00000000	

EP2 ～ EP5 制御レジスタ (EP2C ～ EP5C)

bit	15	14	13	12	11	10	9	8
	EPEN	TYPE		DIR	DMAE	NULE	STAL	予約
属性	R/W	R/W		R/W	R/W	R/W	R/W	―
初期値	0	11		0	0	0	0	0

bit	7	6	0
	予約	PSK2 ～ PSK5	
属性	―	R/W	
初期値	0	1000000	

R/W：リードライト可能
―：未定義

[bit15] : EPEN (EndPoint1 ～ 5 ENable ビット)

エンドポイントを有効または無効にします。エンドポイントを有効にすると , USB ファンクションで使用するエンドポイントとしてホストから構成され , このレジスタの TYPE ビット , DIR ビット , PKS ビットが構成情報として有効になります。

書込み値	説明
0	エンドポイントを無効にします。
1	エンドポイントを有効にします。

< 注意事項 >

このビットは , UDC 制御レジスタ (UDCC) の RST ビットと EP0 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットが共に "1" のときに設定してください。USB 動作中は , 書き換えないでください。

[bit14, bit13] : TYPE (endpoint TYPE ビット)

エンドポイントがサポートする転送タイプを指定します。

書込み値	説明
00	指定を禁止します。
01	指定を禁止します。
10	バルク転送にします。
11	インタラプト転送にします。

< 注意事項 >

このビットは , UDC 制御レジスタ (UDCC) の RST ビットと EP0 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットが共に "1" のときに設定してください。USB 動作中は , 書き換えないでください。

[bit12] : DIR (endpoint DIRection ビット)

エンドポイントがサポートする転送方向を指定します。

書込み値	USB ファンクション動作モード時	ホスト動作モード時 (EP1 または EP2 のみ)
0	OUT エンドポイントにします。	IN エンドポイントにします。
1	IN エンドポイントにします。	OUT エンドポイントにします。

< 注意事項 >

このビットは , UDC 制御レジスタ (UDCC) の RST ビットと EP0 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットが共に "1" のときに設定してください。USB 動作中は , 書き換えないでください。

[bit11] : DMAE (DMA Enable ビット)

自動バッファ転送モードを設定または解除します。自動バッファ転送モードとは , 転送データの送受信バッファへの書込み / 読出しに DMA を使用し , ホストからの IN/OUT データ要求に同期して送受信データを DMA に設定したデータ転送数まで自動で転送するモードです。

書込み値	説明
0	自動バッファ転送モードを解除します。
1	自動バッファ転送モードに設定します。

< 注意事項 >

このビットに "1" を書き込んで自動バッファ転送モードにしているときは , CPU から送受信バッファへアクセスしないでください。また OUT 方向のデータ転送時には , DMA の転送数は , このレジスタの PKS ビットに指定した数の倍数で設定してください。

[bit10] : NULE (NULI Enable set ビット)

NULL 自動転送モードを設定または解除します。NULL 自動転送モードとは , 自動バッファ転送モードが設定されている (DMAE=1) 状態で , IN 方向のデータ転送要求がきたときに , 最後のパケット転送の検出時に 0 バイトのデータを自動で送信するモードです。

書込み値	説明
0	NULL 自動転送モードを解除します。
1	NULL 自動転送モードに設定します。

< 注意事項 >

OUT方向のデータ転送時や自動バッファ転送モードの解除時には, このビットの値は通信に影響しません。

[bit9] : STAL (STALI set ビット)

エンドポイントの STALL 状態 (STALL 応答) を設定または解除します。

書込み値	説明
0	STALL 状態を解除します。
1	STALL 状態に設定します。

< 注意事項 >

このビットが "1" の間は , ホストに対して STALL 応答を続けます。このビットに "0" を書き込んだ後に , ホストから ClearFeature コマンドが発行されると , STALL 状態から復帰します。

[bit8, bit7] : EP2 ～ EP5 予約ビット

EP2 ～ EP5 制御レジスタ (EP2C ～ EP5C) の場合は , 予約ビットです。

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit8 ～ bit0] : PKS1 (PacKet Size ep1 set ビット)

[bit6 ～ bit0] : PKS2 ～ PKS5 (PacKet Size ep2 ～ ep5 set ビット)

1 パケットでの最大転送数を指定します。エンドポイント 1 ～エンドポイント 5 に設定できるパケットの最大転送数を次に示します。

エンドポイント	最大転送数	設定可能範囲
1	256 バイト (奇数設定可能)	001_H ～ 100_H
2 ～ 5	64 バイト (奇数設定可能)	01_H ～ 40_H

< 注意事項 >

- このビットは , UDC 制御レジスタ (UDCC) の RST ビットと EP0 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットが共に "1" のときに設定してください。USB 動作中は , 書き換えないでください。
- このビットには , 最大転送数 ("100_H" または "40_H") 以上の値と "00" は書き込まないでください。
- エンドポイント2～エンドポイント5の場合は, bit8とbit7に"00"を書き込んでください。
- 自動バッファ転送モード (DMAE=1) を使用する場合は , 該当するエンドポイントで 0_H ～ 2_H の設定はしないでください。

27.3.6　タイムスタンプレジスタ (TMSP)

SOF パケット受信時のフレーム番号を表示するレジスタです。

タイムスタンプレジスタ (TMSP) のビット構成を図 27.3-6 に示します。

図 27.3-6 タイムスタンプレジスタ (TMSP) のビット構成

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	TMSP		
属性	ー	ー	ー	ー	ー	R		
初期値	X	X	X	X	X	000		

bit	7	6	5	4	3	2	1	0
	TMSP							
属性	R							
初期値	00000000							

R/W：リード / ライト可能
R：リードオンリ
ー：未定義
X：不定値

[bit15 ～ bit11]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit10 ～ bit0]：TMSP (TiMe StamP ビット)

SOF パケット受信時のフレーム番号を示します。フレーム番号は , SOF パケットを受信すると更新されます

27.3.7　UDC ステータスレジスタ (UDCS)

USB 通信上のバスの状態や , 特定のコマンド受信状態を示すレジスタです。SETP ビット以外のビットは割込み要因になっています。対応する割込み許可ビットを有効にすると , CPU に割込み要求が発生します。

UDC ステータスレジスタ (UDCS) のビット構成を図 27.3-7 に示します。

図 27.3-7 UDC ステータスレジスタ (UDCS) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	SUSP	SOF	BRST	WKUP	SETP	CONF
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

R/W：リード / ライト可能
—：未定義
X：不定値

[bit7, bit6]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit5]：SUSP (SUSPend ビット)

USB ファンクションがサスペンド状態に移行したかどうかを示します。このビットは割込み要因です。

SUSP	読出し時	書込み時
0	サスペンドは未検出です。	割込み要因をクリアします。
1	サスペンド状態に移行しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit4]：SOF (Start Of Freame ビット)

SOFパケットを受信したかどうかを示し, タイムスタンプレジスタ (TMSP) の値が更新されます。このビットは割込み要因です。

SOF	読出し時	書込み時
0	SOF パケットは受信していません。	割込み要因をクリアします。
1	SOF パケットを受信しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit3]：BRST (Bus ReSeT ビット)

USB バスリセットを検出したかどうかを示します。このビットは割込み要因です。

BRST	読出し時	書込み時
0	USB バスリセットは未検出です。	割込み要因をクリアします。
1	USB バスリセットを検出しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- このビットで USB バスリセットを検出したときは , EP0I ステータスレジスタ (EP0IS) の BFINI ビットと , EP0O ステータスレジスタ (EP0OS) の BFINI ビット , および EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットでバッファを初期化してください。

[bit2]：WKUP (WaKe UP ビット)

USB ファンクションがサスペンド状態から復帰したかどうかを示します。復帰要因には , UDC 制御レジスタ (UDCC) の RESUM ビットの "1" 書込みによるリモートウェイクアップと , ホストからの要求によるウェイクアップがありますが , このビットは , ホストからの復帰要求時に自動的に設定されます。このビットは割込み要因です。

WKUP	読出し時	書込み時
0	ホストからの復帰要求 (リジューム) は未検出です。	割込み要因をクリアします。
1	ホストからの復帰要求 (リジューム) を検出しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- ホストからの復帰要求を検出しても , UDC 制御レジスタ (UDCC) の RESUM ビットに "1" が書き込まれている場合は , このビットは設定されません。

[bit1] : SETP (SETuP ビット)

受信したデータが USB コントロール転送のセットアップステージであるかどうかを示します。

SETP	読出し時	書込み時
0	コントロール転送のセットアップステージは受信していません。	要因をクリアします。
1	コントロール転送のセットアップステージを受信しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- このビットは , 標準コマンドの自動応答時には設定されません。また , 割込み要因ではありません。

[bit0] : CONF (CONFigration ビット)

USB ファンクションがコンフィグレーション済みであるかどうかを示します。このビットは USB コマンドの SetConfig を正常に受信したときに設定されます。このビットは割込み要因です。

CONF	読出し時	書込み時
0	SetConfig は未検出です。	割込み要因をクリアします。
1	SetConfig を検出しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

27.3.8　UDC 割込み許可レジスタ (UDCIE)

UDC ステータスレジスタ (UDCS) の割込み要因による割込みを , ビットごとに許可するレジスタです (CONFN ビットは除きます) 。

UDC 割込み許可レジスタ (UDCIE) のビット構成を図 27.3-8 に示します。

図 27.3-8 UDC 割込み許可レジスタ (UDCIE) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	SUSPIE	SOFIE	BRSTIE	WKUPIE	CONFN	CONFIE
属性	—	—	R/W	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能
R：リードオンリ
ー：未定義

[bit7, bit6]：予約ビット

書込み時	"0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit5]：SUSPIE (SUSP Interrupt Enable ビット)

UDC ステータスレジスタ (UDCS) の SUSP ビットの割込み要因による割込みを許可します。

書込み値	説明
0	SUSP 要因の割込みを禁止します。
1	SUSP 要因の割込みを許可します。

[bit4]：SOFIE (SOF Interrupt Enable ビット)

UDC ステータスレジスタ (UDCS) の SOF ビットの割込み要因による割込みを許可します。

書込み値	説明
0	SOF 要因の割込みを禁止します。
1	SOF 要因の割込みを許可します。

[bit3]：BRSTIE (BRST Interrupt Enable ビット)

UDC ステータスレジスタ (UDCS) の BRST ビットの割込み要因による割込みを許可します。

書込み値	説明
0	BRST 要因の割込みを禁止します。
1	BRST 要因の割込みを許可します。

[bit2]：WKUPIE (WKUP Interrupt Enable ビット)

UDC ステータスレジスタ (UDCS) の WKUP ビットの割込み要因による割込みを許可します。

書込み値	説明
0	WKUP 要因の割込みを禁止します。
1	WKUP 要因の割込みを許可します。

[bit1]：CONFN (CONFigration Number ビット)

コンフィグレーション番号を示します。UDC ステータスレジスタ (UDCS) の CONF ビットの割込み要因の設定時に更新されます。

読出し値	説明
0	コンフィグレーション番号 0 です。
1	コンフィグレーション番号 1 です。

[bit0]：CONFIE (CONF Interrupt Enable ビット)

UDC ステータスレジスタ (UDCS) の CONF ビットの割込み要因による割込みを許可します。

書込み値	説明
0	CONF 要因の割込みを禁止します。
1	CONF 要因の割込みを許可します。

27.3.9　EP0I ステータスレジスタ (EP0IS)

エンドポイント 0 の IN 方向転送に関するステータスを表示するレジスタです。

EP0I ステータスレジスタ (EP0IS) のビット構成を図 27.3-9 に示します。

図 27.3-9 EP0I ステータスレジスタ (EP0IS) のビット構成

	bit	15	14	13	12	11	10	9	8
		BFINI	DRQIIE	未定義	未定義	未定義	DRQI	未定義	未定義
属性		R/W	R/W	―	―	―	R/W	―	―
初期値		1	0	X	X	X	1	X	X
	bit	7	6	5	4	3	2	1	0
		未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
属性		―	―	―	―	―	―	―	―
初期値		X	X	X	X	X	X	X	X

R/W：リードライト可能
―：未定義
X：不定値

[bit15]：BFINI (BuFfer INItial ビット)

転送データの送信バッファを初期化します。このビットは , UDC 制御レジスタ (UDCC) の RST ビットに "1" を書き込むと , 自動的に "1" に変わります。RST ビットが "1" の場合は , RST ビットに "0" を書き込んでから , このビットに "0" を書き込んでください。

書込み値	説明
0	送信バッファの初期化を解除します。
1	送信バッファを初期化します。

< 注意事項 >

このビットに "1" を書き込むと , 送信バッファと DRQI ビットが初期化されます。送信バッファを初期化するときは , 最初に DRQI ビットまたは EP0O ステータスレジスタ (EP0OS) の DRQO ビットに "1" が書き込まれてホストからのアクセスがないことを確認し , 必要に応じて EP0 制御レジスタ (EP0C) の STAL ビットに "1" を書き込んでから行ってください。

[bit14] : DRQIIE (Data ReQuest In Interrupt Enable ビット)

DRQI ビットの割込み要因による割込みを許可します。

書込み値	説明
0	DRQI 要因の割込みを禁止します。
1	DRQI 要因の割込みを許可します。

[bit13 ～ bit11] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit10] : DRQI (Data ReQuest In ビット)

エンドポイント 0 のホストからの IN パケット転送が正常に終了し , 送信バッファからデータが読み出され , 次の送信データを書き込めるかどうかを示します。このビットは割込み要因です。

DRQI	読出し時	書込み時
0	送信データを書き込めません。	割込み要因をクリアします。
1	送信データを書き込めます。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

送信バッファのデータ書込み処理が済んだら , このビットに "0" を書き込んでクリアしてください。ただし , このビットに "1" が書き込まれていない場合は , "0" は書き込まないでください。

このビットが "1" の状態で IN パケット要求があった場合は , 自動でホストに NAK 応答します。

[bit9 ～ bit0] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

27.3.10　EP0O ステータスレジスタ (EP0OS)

エンドポイント 0 の OUT 方向転送に関するステータスを表示するレジスタです。

EP0O ステータスレジスタ (EP0OS) のビット構成を図 27.3-10 に示します。

図 27.3-10 EP0O ステータスレジスタ (EP0OS) のビット構成

bit	15	14	13	12	11	10	9	8
	BFINI	DRQOIE	SPKIE	未定義	未定義	DRQO	SPK	予約
属性	R/W	R/W	R/W	—	—	R/W	R/W	—
初期値	1	0	0	X	X	0	0	0

bit	7	6					0
	予約	SIZE					
属性	—	R					
初期値	0	X					

R/W：リードライト可能
R：リードオンリ
ー：未定義
X：不定値

[bit15]：BFINI (BuFfer INItial ビット)

転送データの受信バッファを初期化します。このビットは , UDC 制御レジスタ (UDCC) の RST ビットに "1" を書き込むと , 自動的に "1" に変わります。RST ビットが "1" の場合は , RST ビットに "0" を書き込んでから , このビットに "0" を書き込んでください。

書込み値	説明
0	受信バッファの初期化を解除します。
1	受信バッファを初期化します。

< 注意事項 >

このビットに "1" を書き込むと , 受信バッファと DRQO ビットと SPK ビットを初期化します。受信バッファを初期化するときは , 最初に DRQO ビットまたは EP0I ステータスレジスタ (EP0IS) の DRQI ビットに "1" が書き込まれてホストからのアクセスがないことを確認し , 必要に応じて EP0 制御レジスタ (EP0C) の STAL ビットに "1" を書き込んでから行ってください。

[bit14] : DRQOIE (Data ReQuest Out Interrupt Enable ビット)

DRQO ビットの割込み要因による割込みを許可します。

書込み値	説明
0	DRQO 要因の割込みを禁止します。
1	DRQO 要因の割込みを許可します。

[bit13] : SPKIE (SPK Interrupt Enable ビット)

SPK ビットの割込み要因による割込みを許可します。

書込み値	説明
0	SPK 要因の割込みを禁止します。
1	SPK 要因の割込みを許可します。

[bit12, bit11] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit10] : DRQO (Data ReQuest Out ビット)

エンドポイント 0 のホストからの OUT パケット転送が正常に終了し , 受信バッファにデータが書き込まれ , 受信データを読み出せるかどうかを示します。このビットは割込み要因です。

DRQO	読出し時	書込み時
0	受信データは読み出せません。	割込み要因をクリアします。
1	受信データを読み出せます。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- 受信バッファのデータを読み出したら , このビットに "0" を書き込んでクリアしてください。ただし , このビットに "1" が書き込まれていない場合は , "0" は書き込まないでください。
- このビットが "1" のときは , 受信バッファは更新されません。"0" が書き込まれた時点で更新が許可されます。このビットが "1" の状態で OUT パケット要求があった場合は , 自動でホストに NAK 応答します。

[bit9]：SPK (Short PaKet ビット)

ホストからの転送データが , 正常受信時に EP0 制御レジスタ (EP0C) の PKS ビットに指定したマックスパケットに満たない場合 (0 バイトを含みます) を示します。このビットは割込み要因です。

SPK	読出し時	書込み時
0	マックスパケット転送数分を受信しました。	割込み要因をクリアします。
1	マックスパケット転送数未満を受信しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit8, bit7]：予約ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit6 ～ bit0]：SIZE (packet SIZE ビット)

エンドポイント 0 の OUT パケット転送終了後に受信バッファに書き込まれたデータバイト数を示します。このビットは , EP0O ステータスレジスタ (EP0OS) の DRQO ビットの割込み要因が設定されたときに , 有効な値に更新されます。たとえば 8 バイトのデータが書き込まれた場合は "08_H", 64 バイトのデータが書き込まれた場合は "40_H" を示します。

27.3.11　EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S)

エンドポイント 1 ～エンドポイント 5 に関するステータスを表示するレジスタです。

EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) のビット構成を図 27.3-11 に示します。

図 27.3-11 EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) のビット構成

EP1 ステータスレジスタ (EP1S)

bit	15	14	13	12	11	10	9	8
	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	SIZE1
属性	R/W	R/W	R/W	—	R	R/W	R/W	R
初期値	1	0	0	X	0	0	0	X

bit	7	0
	SIZE1	
属性	R	
初期値	X	

EP2 ～ EP5 ステータスレジスタ (EP2S ～ EP5S)

bit	15	14	13	12	11	10	9	8
	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	予約
属性	R/W	R/W	R/W	—	R	R/W	R/W	—
初期値	1	0	0	X	0	0	0	0

bit	7	6	0
	予約	SIZE2 ～ SIZE 5	
属性	—	R	
初期値	0	X	

R/W：リードライト可能
R：リードオンリ
ー：未定義
X：不定値

[bit15] : BFINI (EndPoint1 ～ EndPoint5 ENable ビット)

転送データの送受信バッファを初期化します。このビットは , UDC 制御レジスタ (UDCC) の RST ビットに "1" を書き込むと , 自動的に "1" に変わります。RST ビットが "1" の場合は , RST ビットに "0" を書き込んでから , このビットに "0" を書き込んでください。

書込み値	説明
0	送受信バッファの初期化を解除します。
1	送受信バッファを初期化します。

< 注意事項 >

エンドポイント 1 ～エンドポイント 5 の送受信バッファは , ダブルバッファ構成です。このビットに "1" を書き込むと , ダブルバッファと DRQ ビット , SPK ビットを同時に初期化します。送受信バッファを初期化するときは , DRQ ビットが "1" に変わり , BUSY ビットが "0" に変わってホストからのアクセスがないことを確認してから , 必要に応じて EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の STAL ビットに "1" を書き込んでから行ってください。

[bit14] : DRQIE (Data ReQuest Interrupt Enable ビット)

DRQ ビットの割込み要因による割込みを許可します。

書込み値	説明
0	DRQ 要因の割込みを禁止します。
1	DRQ 要因の割込みを許可します。

< 注意事項 >

自動バッファ転送モードを使用する場合は , DMA の設定をして , 転送を許可してから , このビットに "1" を書き込んでください。

[bit13] : SPKIE (SPK Interrupt Enable ビット)

SPK ビットの割込み要因による割込みを許可します。

書込み値	説明
0	SPK 要因の割込みを禁止します。
1	SPK 要因の割込みを許可します。

[bit12] : 予約ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit11] : BUSY (BUSY flag ビット)

ホストから送受信バッファへの書込み中 , または読出し中であることを示します。このビットは自動で書き換えられます。

読出し値	説明
0	ホストからのアクセスはありません。
1	ホストから書込み中または読出し中です。

< 注意事項 >

このビットと DRQ ビットが "1" の場合は , ダブルバッファのうち , CPU または DMA アクセスしているバッファとは別のバッファが , ホストからアクセスされていることを意味します。通常このビットによる制御は必要ありませんが , 送受信バッファを BFINI ビットで初期化する場合は , DRQ ビットが "1" でこのビットが "0" で , ホストからのアクセスがないことを確認した後に , EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の該当する STAL ビットに "1" を書き込んでから行ってください。

[bit10] : DRQ (Data ReQuest ビット)

エンドポイント 1 ～エンドポイント 5 のパケット転送が正常に終了し , データ処理が必要であることを示します。このビットは割込み要因です。

DRQ	読出し時	書込み時
0	受送信バッファへのデータ書込みまたは読出しができません。	割込み要因をクリアします。
1	パケット転送が正常に終了しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- 自動バッファ転送モードを使用しない場合は , 送受信バッファへのデータの書込みまたは読出し処理が終了したら , このビットに "0" を書き込んでクリアしてください。このビットをクリアすると , アクセスバッファが切り換わります。DRQ ビットをクリア後に , DRQ=0 が読み出せない場合があります。転送方向を IN 方向に設定している場合 , このビットが "1" の状態でバッファ内のデータを書き込まないでクリアすると , 0 バイトのデータを設定したことになります。初期設定において EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の DIR ビットに "1" を書き込んだ場合 , 対応するエンドポイントの DRQ ビットも同時に "1" に変わります。また , このビットが "0" のときは , "0" を書き込まないでください。

[bit9] : SPK (Short PaKet ビット)

ホストからの転送データが , 正常受信時に EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の PKS ビットで指定したマックスパケット数に満たない場合 (0 バイトを含みます) を示します。このビットは割込み要因です。

SPK	読出し時	書込み時
0	マックスパケット転送数分を受信しました。	割込み要因をクリアします。
1	マックスパケット転送数未満を受信しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- IN 方向のデータ転送時には , このビットは変化しません。

[bit8, bit7] : EP2 ～ EP5 予約ビット

EP2 ～ EP5 ステータスレジスタ (EP2S ～ EP5S) の場合は , 予約ビットです。

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit8 ～ bit0] : SIZE1 (packet SIZE ビット)

[bit6 ～ bit0] : SIZE2 ～ SIZE 5 (packet SIZE ビット)

エンドポイント 1 ～エンドポイント 5 の OUT パケット転送終了時に , 受信バッファに書き込まれたデータバイト数を示します。このビットは , 該当する DRQ の割込み要因の発生時に有効な値に更新されます。

エンドポイント 1 ～エンドポイント 5 の最大転送数を次に示します。

エンドポイント	最大転送数	表示範囲
1	256 バイト	000_H ～ 100_H
2 ～ 5	64 バイト	00_H ～ 40_H

< 注意事項 >

このビットは , OUT 方向転送時のホストからのバッファ書込みデータ数を示します。IN 方向時に読み出された値は , 意味をもちません。

27.3.12　EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL)

エンドポイント 0 ～エンドポイント 5 に関する転送データの送受信バッファへのリードアクセスレジスタおよびライトアクセスレジスタです。

EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) のビット構成を図 27.3-12 に示します。

図 27.3-12 EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) のビット構成

(EP0DTH ～ EP5DTH)

bit	15							8
	BFDT							
属性	R/W							
初期値	X							

(EP0DTL ～ EP5DTL)

bit	7							0
	BFDT							
属性	R/W							
初期値	X							

R/W：リード / ライト可能
X：不定値

[bit15 ～ bit0]：BFDT (BuFfer DaTa ビット)

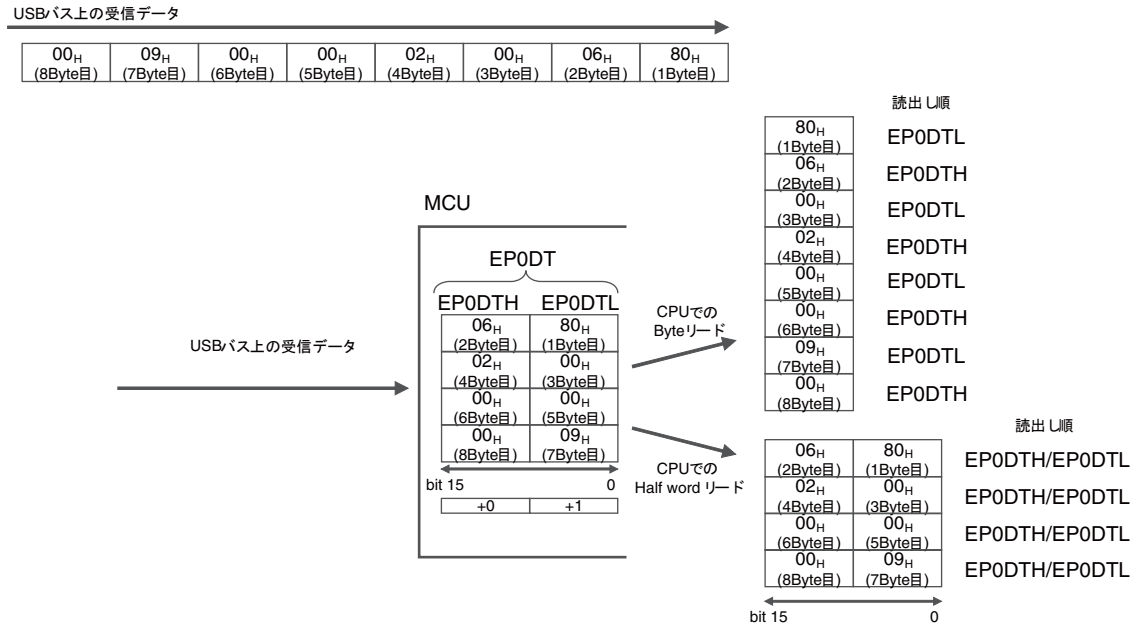
各エンドポイント用の送受信バッファへのデータリードレジスタおよびデータライトレジスタです。

< 注意事項 >

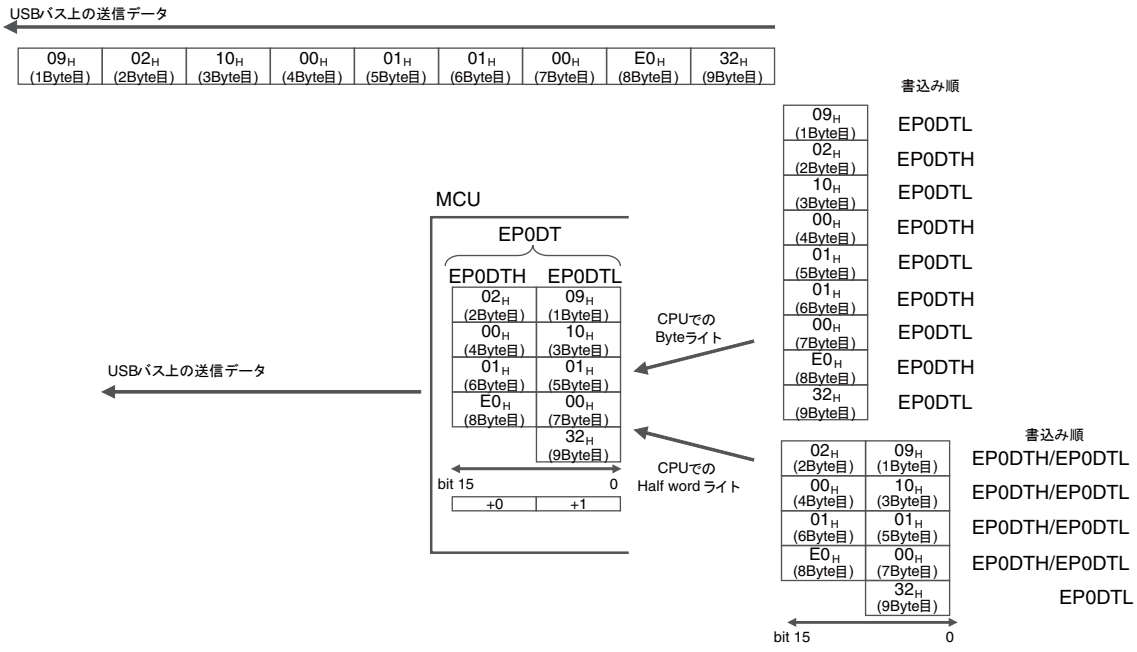
EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) はリトルエンディアンです。本レジスタへのデータ格納順は下位 (EPxDTL) →上位 (EPxDTH) の順になります (x=0 ～ 5)。

EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) への CPU アクセスはバイト , ハーフワード共に可能で , バイトの場合は最初に下位 (EPxDTL) へのアクセスとし , 次は上位 (EPxDTH) へのアクセスとして , 以後下位 (EPxDTL), 上位 (EPxDTH) を交互にアクセスしていってください。ハーフワードの場合は転送データはエンディアン変換を行ってください。ビット操作命令による本レジスタへのアクセスは禁止です。

(例) Get descriptor の SETUP 転送時



(例) Get descriptor の IN 転送時



DMA 転送による EP0 ～ EP5 データレジスタ (EP0DTH ～ EP5DTH/EP0DTL ～ EP5DTL) へのアクセスはハーフワードアクセスのみ対応しています。転送データはエンディアン変換を行ってください (27.4.6 DMA 転送機能の「自動バッファ転送モード」を参照)。

27.4　動作説明と設定手順例

USB ファンクションの動作について説明します。また , 動作状態を設定するための手順例も示します。

■ 概要

USB ファンクションは , USB 通信プロトコルをサポートするホストコントローラと双方向のパケット転送を行います。ホストと USB デバイスの接続と構成は , エニュメレーションで実施され , そのあとにデバイスドライバを使用した各種の転送タイプで通信が行われます。

< 注意事項 >

USB ファンクションを使用するためには , USB 許可レジスタ (USBEN) で USB の動作を禁止している (USBEN=0) 状態で USB クロック生成部の設定を行い USB クロック出力を有効にした後に , USB の動作を許可 (USBEN=1) してください。

ここではエニュメレーションを例に , ホストと USB デバイスの USB 通信の動作について説明し , 全体の処理内容を理解するためのレジスタと USB パケットの動きを示します。

● エニュメレーション処理

USB が動作するときに , 最初にホストと USB デバイスの接続を確立する処理です。USB のバス上にどのようなデバイスが接続されているかを , ホストが USB コントロール転送 (USB の転送タイプ) を使って調査します (USB 仕様で規定されています)。これは 6 本あるエンドポイントのうちのエンドポイント 0 を使用します (USB 仕様です)。

エンドポイント 1 ～エンドポイント 5 を使用するためには , USB バス上で以下の処理を受信する必要があります。

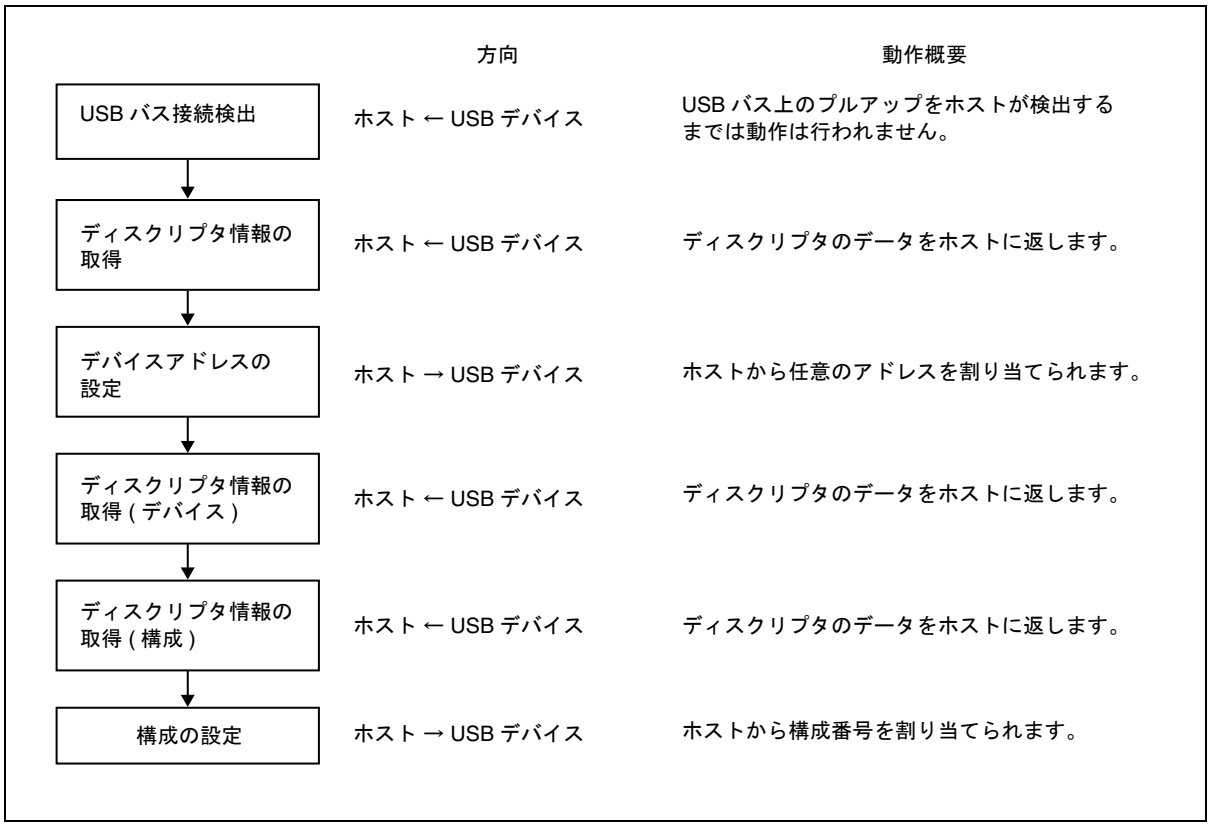
① USB バスリセット

② SET_Address によるアドレスセット

③ SET_Config による構成セット

USB ケーブル端子の接続例を図 27.4-1 に示します。

図 27.4-1 USB ケーブル端子の接続例



- 接続検出

  USB デバイスからホストに通知します。

  ホストは USB バスの 2 本の信号線 (D+, D-) を監視し , どちらかの信号が "H" レベルになると , デバイスが接続されたと認識します。

  USB デバイスを自己電源デバイスとして使用する場合の詳細な手順については , 「27.4.1 接続検出と切断検出」を参照してください。USB デバイスをバス電源デバイスとして使用する場合は , 次の「レジスタ初期設定と動作開始手順」に沿って処理してください。

- レジスタ初期設定と動作開始手順

  USB ファンクションのレジスタ初期設定例を示します。

  1. EP0制御レジスタ (EP0C) で, エンドポイント0を設定する (パケットサイズなど)
  2. EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) で , エンドポイント 1 ～エンドポイント 5 の EPEN ビット , DIR ビット , TYPE ビットなどを設定する
  3. UDC 制御レジスタ (UDCC) の RST ビットをクリアする
  4. EP0I ステータスレジスタ (EP0IS) , EP0O ステータスレジスタ (EP0OS) , EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットをクリアする
  5. UDC 制御レジスタ (UDCC) の HCONX ビットをクリアする

- USB バスリセット

  ホストから USB デバイスにバスリセットがかかると , USB デバイスコアが初期化されますが , レジスタおよびバッファの状態は初期化されません。

  USB デバイスでは次の順序で処理してください (USB 接続後の最初のバスリセットでは処理の必要はありません)。

  1. EP0I ステータスレジスタ (EP0IS) の BFINI ビットと , EP0O ステータスレジスタ (EP0OS) の BFINI ビット , および EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の BFINI ビットでバッファを初期化する。
  2. ファームの制御をエニュメレーション前に戻す。

- ディスクリプタ情報の取得

  ホストから USB デバイスに要求があると , データをホストに通知します。セットアップステージ , データステージ , ステータスステージの 3 つのステージに別れて通信されます。

  - セットアップステージ

    ホストから正常にパケットが受信されたかどうかを確認し , そのコマンドが何かをデコードします。また次のデータステージで返すディスクリプタの情報を送信バッファに用意します。

  - データステージ

    ホストからデータが正常に送信されたかどうかを確認します。

  - ステータスステージ

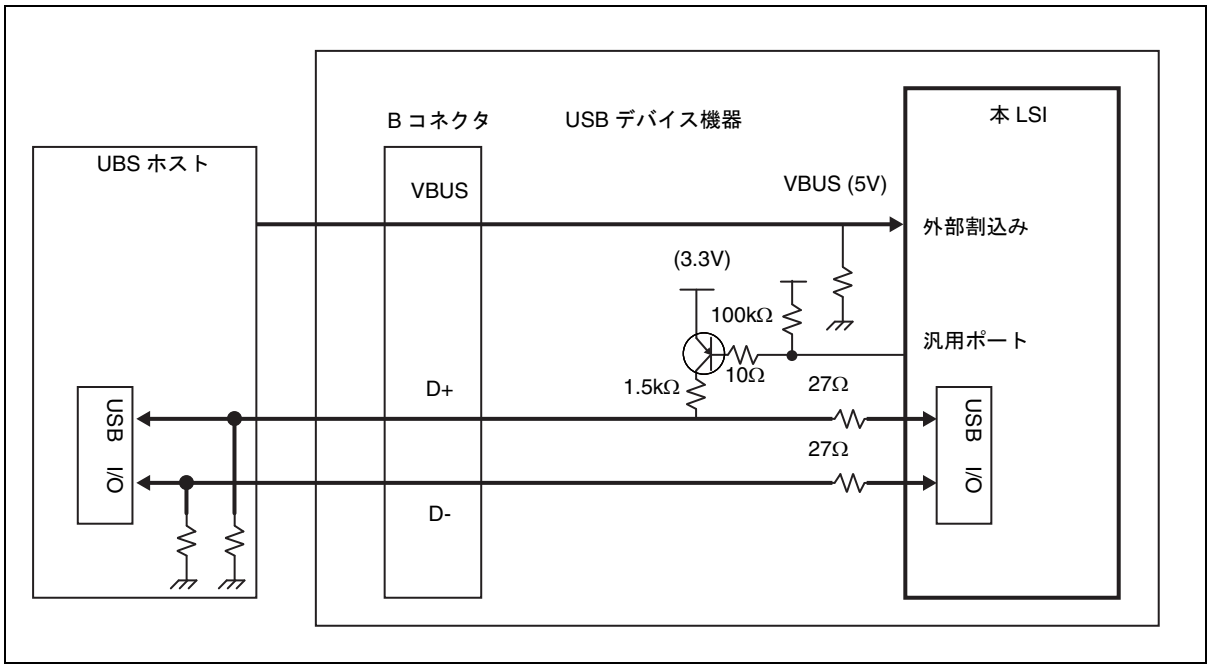
    ホストがデータなしパケットを転送して , 終了処理を行います。

27.4.1　接続検出と切断検出

USB ホストとの接続検出と切断検出について説明します

外部割込み端子を USB コネクタの VBUS 端子に接続してプルダウン抵抗を接続すると , USB ホストとの切断を検出できます。USB コネクタの D+, D-, VBUS との接続例を図 27.4-2 に示します。

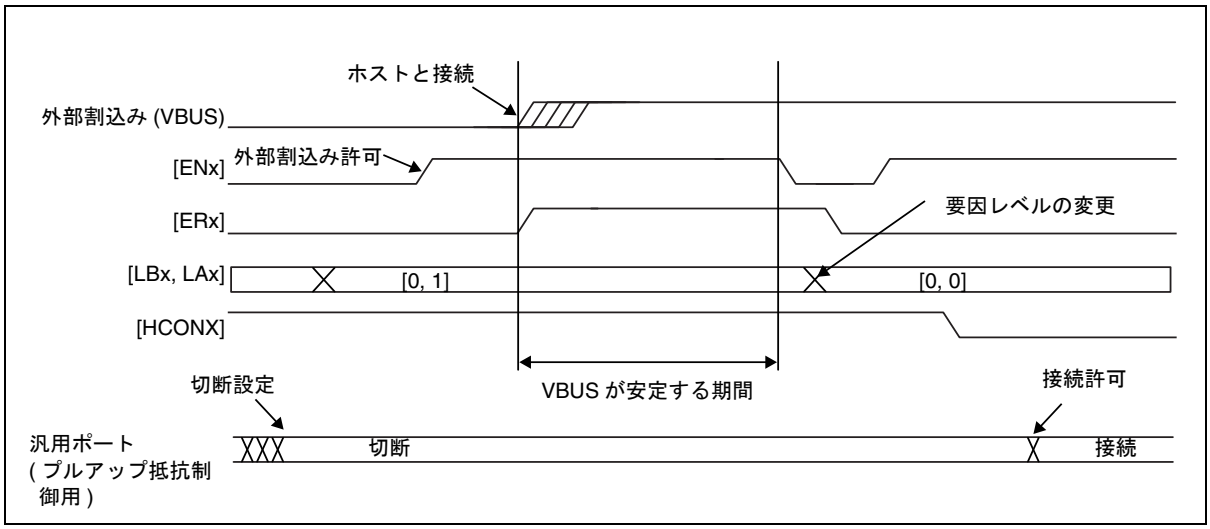
図 27.4-2 USB システム構成例



■ 接続検出動作

接続検出時の動作を図 27.4-3 に示します。

図 27.4-3 接続検出時の動作



USB デバイスは , 次の順序でホストとの接続を認識して処理します。

1. プルアップ抵抗制御用の汎用ポートを , プルアップ抵抗切断側に設定します。
2. VBUS に接続した外部割込みの要因レベルを "H" レベル検出に設定し , 割込みを許可します。
3. 外部割込み端子の "H" レベル検出で USB ホストが接続されたことを認識し , VBUS が安定する期間を待ちます。
4. 外部割込みをいったん禁止にします。
   外部割込み要因レベルを "L" レベル検出に書き換え , 割込み要因をクリアして再び外部割込みを許可します。
5. 初期設定 (USB ファンクションレジスタを含む , すべての初期化) をします。
   この節の「概要」の「レジスタ初期設定と動作開始手順」を参照してください。
6. UDC 制御レジスタ (UDCC) の HCONX ビットをクリア後 , プルアップ抵抗制御用の汎用ポートを , プルアップ抵抗接続側に設定することで , D+ のプルアップ抵抗を接続します。
   プルアップ抵抗を制御していない場合でも , HCONX ビットをクリアしてください。

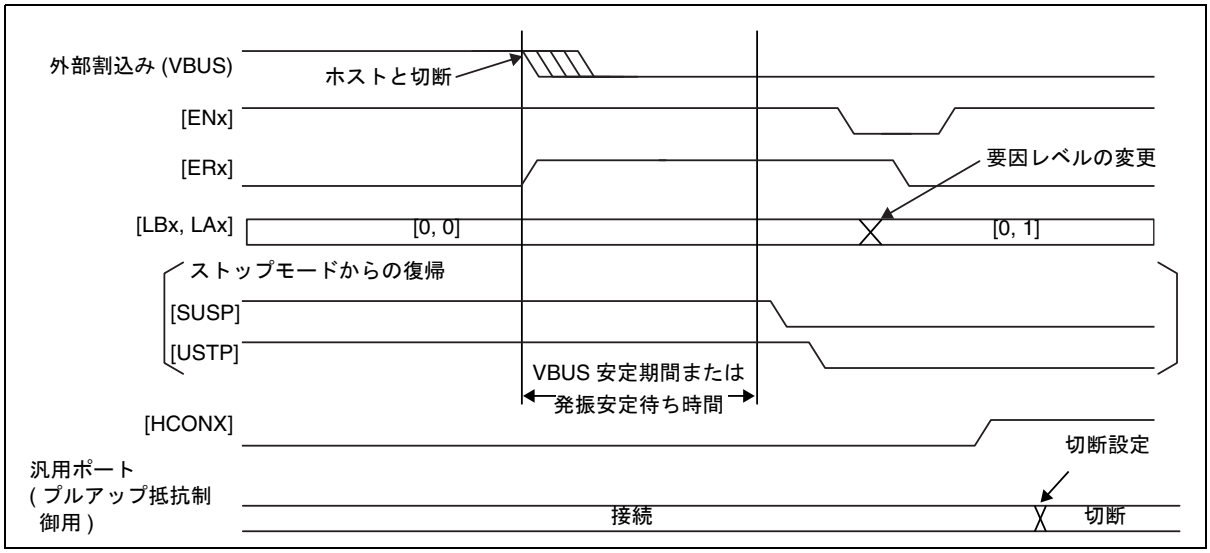
< 注意事項 >

外部割込み端子にノイズフィルタを外付けした場合は , 上記の VBUS 安定期間をプログラムで待つ必要はありません。

■ 切断検出動作

切断検出時の動作を図 27.4-4 に示します。

図 27.4-4 切断検出時の動作



USB デバイスは , 次の順序でホストとの切断を認識して処理します。

1. VBUS に接続した外部割込み端子の "L" レベルを検出し , USB ホストが切断されたことを認識する

2. ストップモードからの復帰時に , 発振安定待ち時間後に UDC ステータスレジスタ (UDCS) の SUSP ビット , UDC 制御レジスタ (UDCC) の USTP ビットの順にクリアする

   ストップモード以外のときは , VBUS が安定する期間を待ちます。

3. いったん外部割込みを禁止する

   外部割込み要因レベルを "H" レベル検出に書き換え , 外部割込み要因をクリアして再び外部割込みを許可します。

4. UDC 制御レジスタ (UDCC) の HCONX ビットに "1" を書き込んだ後 , プルアップ抵抗制御用の汎用ポートを , プルアップ抵抗切断側に設定することで , D+ のプルアップ抵抗を切断する

   プルアップ抵抗を制御していない場合でも , HCONX ビットに "1" を書き込んでください。

< 注意事項 >

外部割込み端子にノイズフィルタを外付けした場合は , 上記の VBUS 安定期間をプログラムで待つ必要はありません。

27.4.2　コマンド応答時のレジスタ動作

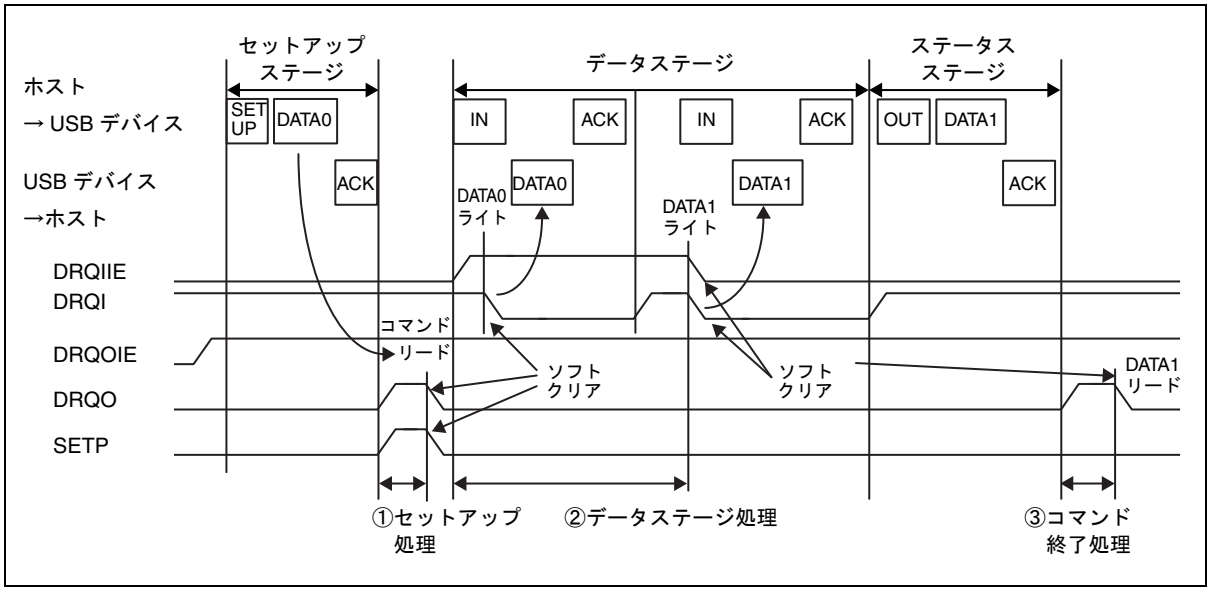
基本となるレジスタの動作と制御による USB パケットの処理方法 (アーキテクチャ) について説明します

CPU 割込みによるファームウェアの処理は , ハンドシェークごとに処理します。これは , 各パケットのステージ単位に処理することと同じになります。

■ リードコマンド応答時のレジスタ動作

GetDescripter, SynchFrame, クラスベンダーコマンドの場合の , リードコマンド応答時のレジスタ動作を図 27.4-5 に示します。

図 27.4-5 リードコマンド応答時のレジスタ動作



- セットアップ処理

  セットアップステージの受信時に EP0O ステータスレジスタ (EP0OS) の DRQO ビットが "1" に変わります。DRQO ビットが "1" に変わった時点で , CPU 割込みに入ります。UDC ステータスレジスタ (UDCS) の SETP ビットを確認し , "1" の場合は受信バッファにあるコマンドを必要なだけ読み出して (必ずしも 8 バイトすべてを読み出す必要はありません) デコードし , 各種設定処理をし , SETP ビットと割込み要因の DRQO ビットをクリアしてから戻ります。

- データステージ後処理

  コマンドをデコードした結果 , データステージが IN 方向の場合 , EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQIE ビットに "1" を書き込んで割込みを許可し (割込み要因の EP0I ステータスレジスタ (EP0IS) の DRQI ビットの初期値が "1" であるため , DRQIE ビットに "1" を書き込むだけです) , CPU 割込みで送信データを送信バッファに転送します。転送終了後 , 割込み要因の DRQI ビットをクリアしてから戻ります。

IN 方向のデータパケット処理が終了すると , DRQI ビットが "1" に変わります。DRQI ビットが "1" に変わった時点で CPU 割込みに入り , 次のデータパケットに備えて送信データを送信バッファに転送します。転送終了後 , 割込み要因の DRQI ビットをクリアして戻ります。

< 注意事項 >

このUSB ファンクションは , USB2.0 で新たに追加されたコマンドには対応していないため , GetDescripter コマンドに対して USB リビジョンは 1.1 で応答してください。

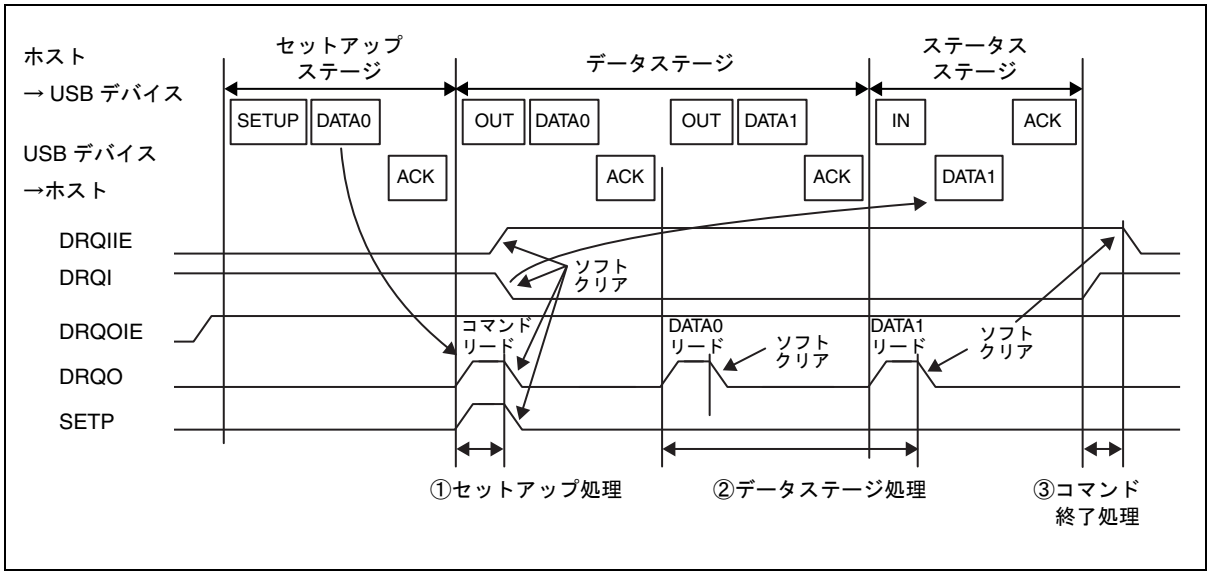
- コマンド終了処理

  OUT 方向のステータスステージが終了すると , EP0O ステータスレジスタ (EP0OS) の DRQO ビットが "1" に変わります。DRQO ビットが 1" に変わった時点で CPU 割込みに入り , 受信データ数 0 を確認し , 次のセットアップステージに備えて割込み要因の DRQO ビットをクリアして戻ります。

■ ライトコマンド応答時のレジスタ動作

SetDescripter, クラスベンダーコマンドの場合の , ライトコマンド応答時のレジスタ動作を図 27.4-6 に示します。

図 27.4-6 ライトコマンド応答時のレジスタ動作



- セットアップ処理

  セットアップステージの受信時に EP0O ステータスレジスタ (EP0OS) の DRQO ビットが "1" に変わります。DRQO ビットが "1" に変わった時点で , CPU 割込みに入ります。UDC ステータスレジスタ (UDCS) の SETP ビットを確認し , "1" の場合は受信バッファにあるコマンドを必要なだけ読み出して (必ずしも 8 バイトすべてを読み出す必要はありません) デコードし , 各種設定処理をします。

  ステータスステージの0バイト応答に備え, 送信バッファにデータを書き込まずに , EP0I ステータスレジスタ (EP0IS) の DRQI ビット (割込み要因の DRQI は初期値 "1" のため) に "0" を書き込んでクリアします。ステータスステージの正常終了確認用に , EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQIIE に "1" を書き込みます。また , SETP ビットと割込み要因の DRQO ビットをクリアし , 割込みから復帰します。

- データステージ後処理

  OUT 方向のデータステージが終了すると , EP0O ステータスレジスタ (EP0OS) の DRQO ビットが "1" に変わります。DRQO ビットが "1" に変わった時点で , CPU 割込みに入ります。まず , EP0O ステータスレジスタ (EP0OS) の SIZE ビットを確認し , 受信したデータ数だけ DMA を起動するか , CPU リードで受信バッファからデータを読み出します。その後 , 割込み要因の DRQO ビットをクリアして割込みから復帰します。

- コマンド終了処理

  IN 方向のステータスステージが終了すると , EP0I ステータスレジスタ (EP0IS) の DRQI ビットは "1" に変わります。DRQI ビットが "1" に変わった時点で , CPU 割込みに入り , ステータスステージが正常終了したことを確認できます。その後 , 割込み要因の DRQI ビットをクリアして戻ります。

27.4.3　STALL 応答と解除

エンドポイント 0 の場合と , エンドポイント 1 ～エンドポイント 5 の場合それぞれに対して STALL 応答と解除方法について説明します。

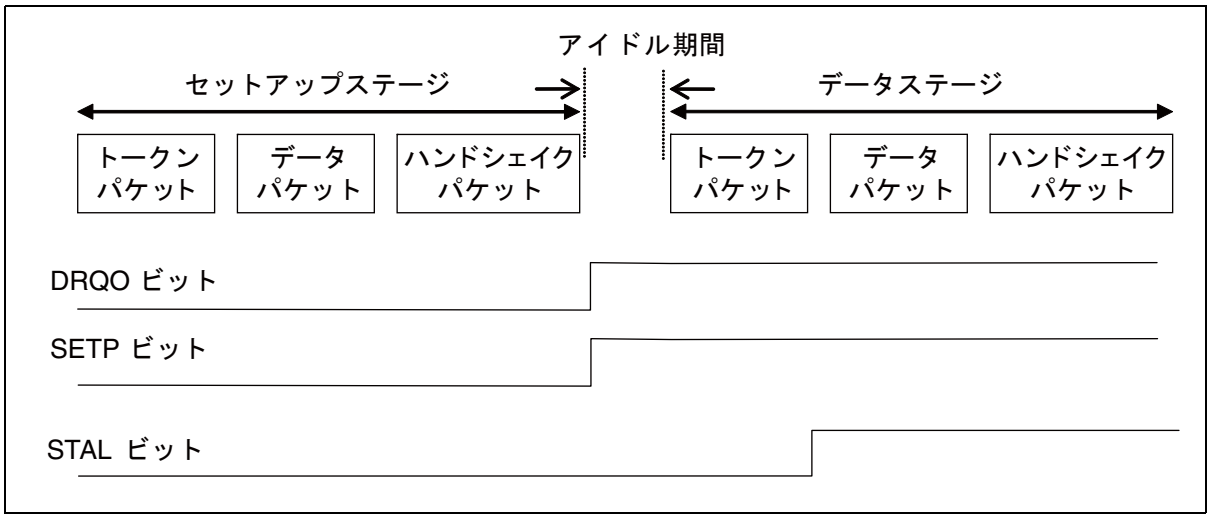
■ エンドポイント 0 の STALL 応答 / 解除について

エンドポイント 0 の STALL 応答 / 解除制御は , EP0 制御レジスタ (EP0C) の STAL ビットにて行います。

- STAL ビットのセットタイミング

  STALL 応答は , コントロール転送のセットアップステージである事を示す SETP ビット =1 検出 (DRQO ビット =1 割込み) にてコマンドを解釈し , STALL 応答が必要な場合に STAL ビットをセットします (図 27.4-7 参照)。STAL ビットセット後に割込み要因 (DRQO ビット) をクリアしてください。

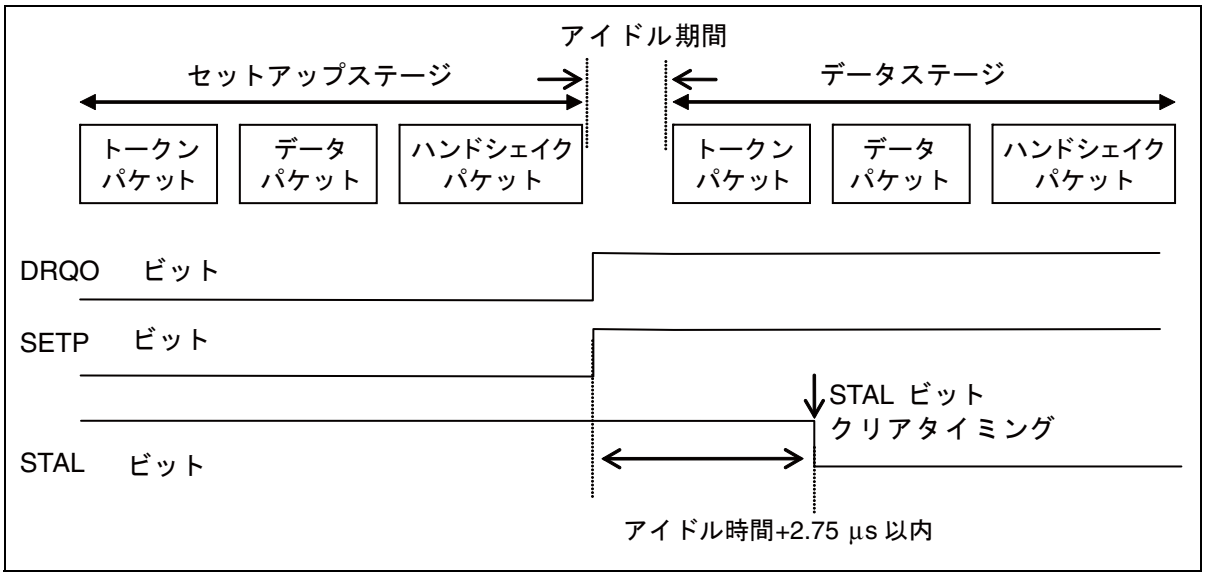
図 27.4-7 STAL ビットセットのタイミング



- STAL ビットのクリアタイミング

  STALL 解除は , コントロール転送のセットアップステージであることを示す SETP ビット =1 検出 (DRQO ビット =1 割込み) にて STAL ビットクリアします (図 27.4-8 参照)。

図 27.4-8 STAL ビットクリアのタイミング



STALL 応答解除 (STAL ビットクリア) は , SETP ビット =1 (DRQO ビット =1 割込み) を検出してから , 次のデータステージのデータパケット送受信開始前に , STAL ビットクリアしてください。DRQO ビット =1 から , STAL ビットクリアまでの時間は下記のとおりです (転送速度：Full Speed 12Mbps 時)。下記時間内に STAL ビットがクリアされない場合 , データステージのハンドシェイクパケットにて STAL 応答します。

DRQOビット=1検出からSTALビットクリアまでの時間：アイドル時間+2.75µs以内

※アイドル期間が最小の 2 ビット転送時間である場合は約 2.9µs 以内となります。

STAL ビットクリアが , 上記時間内で対応できない場合には , USB ホスト側のドライバソフトでアイドル時間を長くする等の対応を行ってください。

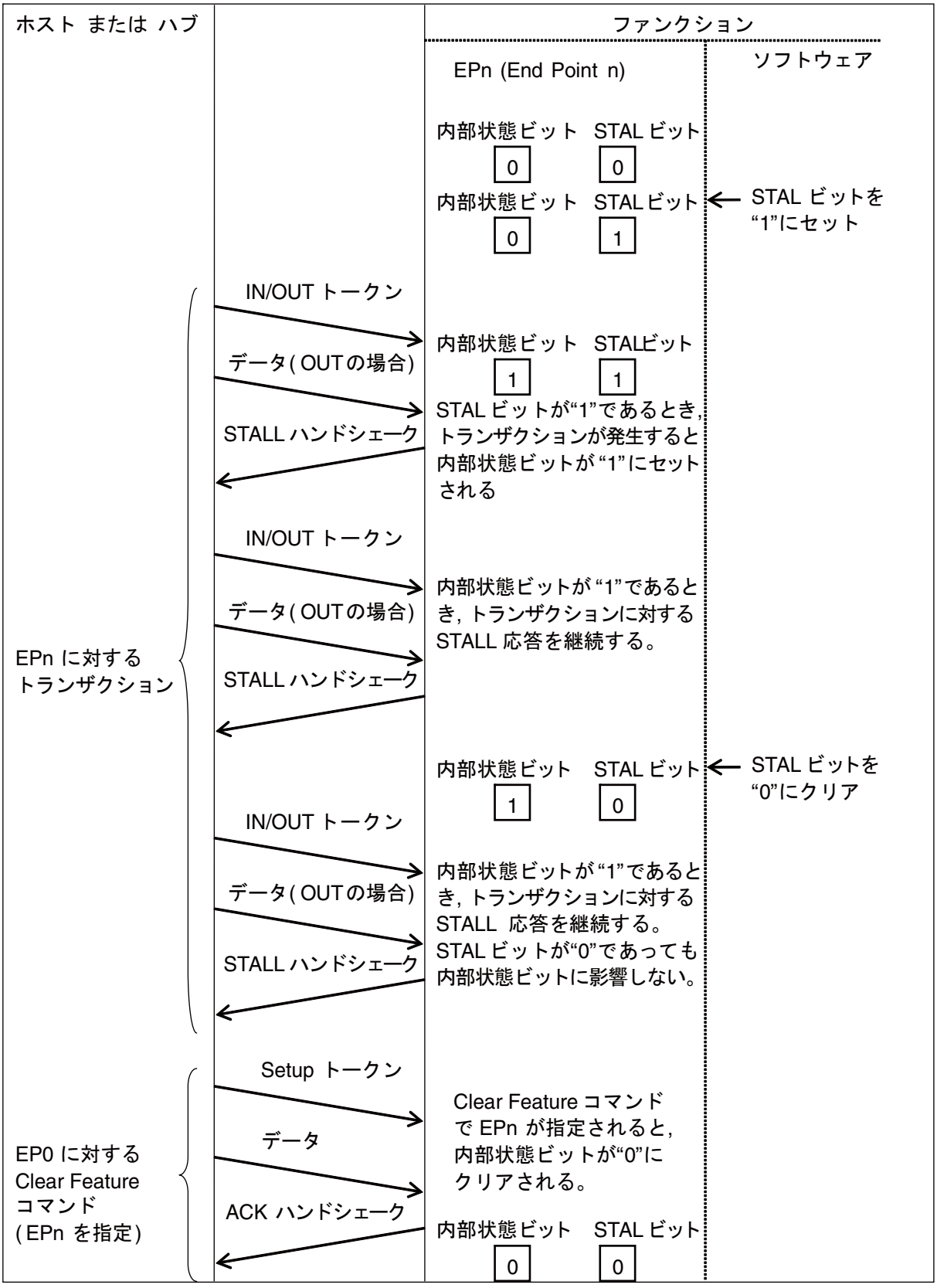
■ エンドポイント 1 ～エンドポイント 5 の STALL 応答 / 解除について

エンドポイント 1 ～エンドポイント 5 の STALL 応答 / 解除制御は , EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の STAL ビットと内部状態ビットで行われます。

- ソフト処理にて STALL 応答したい場合

  ソフト処理で STALL 応答する場合の手順を図 27.4-9 に示します。STALL 応答する場合 , 該当するエンドポイントの STAL ビットをソフトでセットします。このとき , 内部状態ビットは変化しません。次に , ホストから STAL ビットがセットされているエンドポイントに対してトランザクションが発生したとき , ハードが自動的に該当エンドポイントの内部状態ビットをセットし , ホストに対して STALL 応答します。一度 , 内部状態ビットがセットされた後は , STAL ビットをクリアしても , ホストから Clear Feature コマンドが発行されるまで , 内部状態ビットはセットされたままとなり , STALL 応答を継続します。また , Clear Feature コマンドで内部状態ビットがクリアされても , STAL ビットがセットされている場合は , 該当するエンドポイントに対するトランザクションが発生するたびに内部状態ビットがセットされるため STALL 応答を継続します。したがって , STALL 応答を解除するためには , STAL ビットをクリアし , さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります。

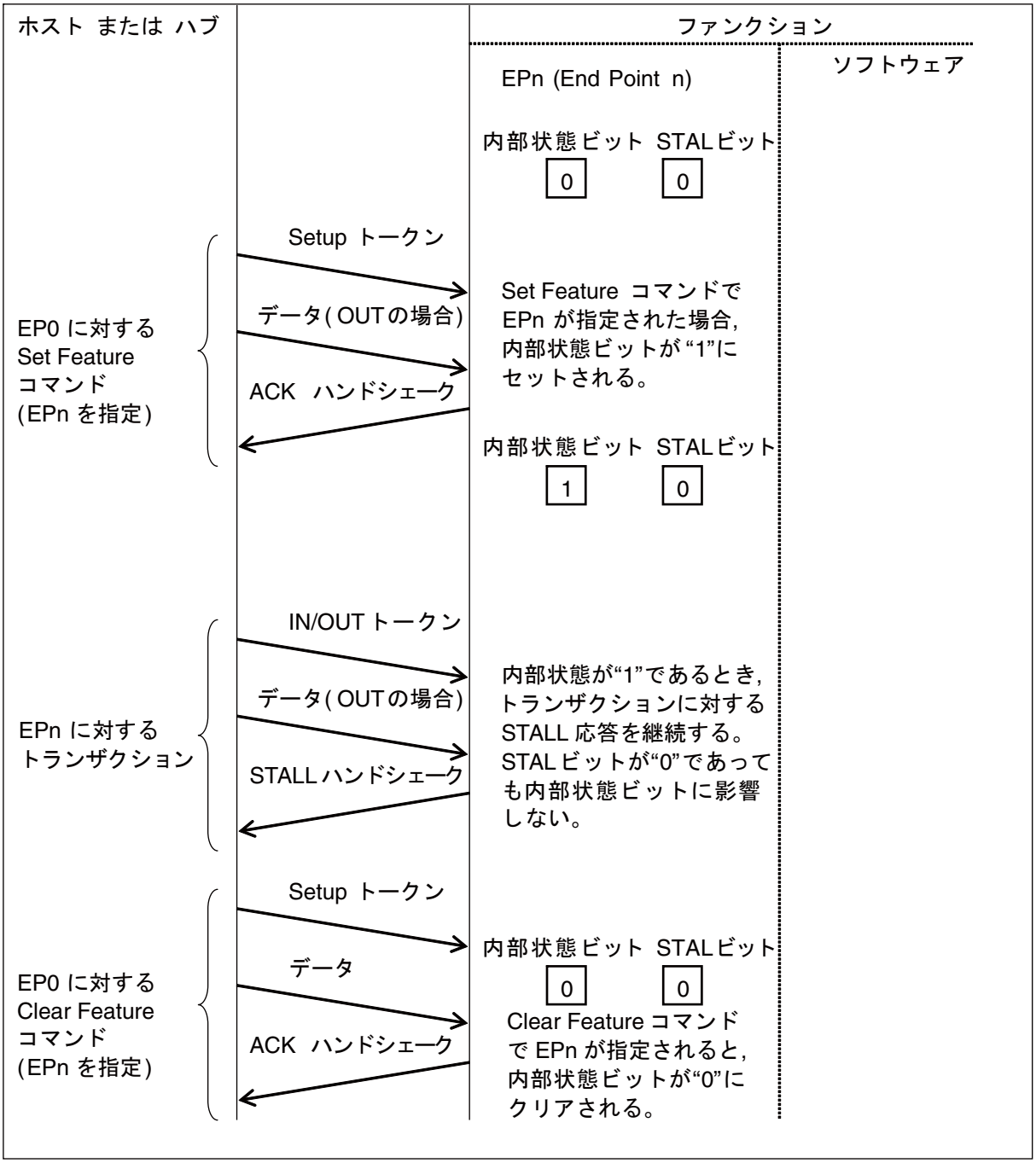
図 27.4-9 ソフト処理にて STALL 応答したい場合



- ハードが自動で STALL 応答する場合

  ハードが自動で STALL 応答する場合の手順を図 27.4-10 に示します。Set Feature コマンドで STALL 応答設定された場合 , STAL ビットに関係なく , ハードが自動的に該当エンドポイントの内部状態ビットをセットし , STALL 応答します。一度 , 内部状態ビットがセットされた後は , STAL ビットに関係なく , ホストから Clear Feature コマンドでクリアされるまで , 内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされた後は , STAL ビットを参照するようになります。したがって , STALL 応答を解除するには , Clear Feature コマンドで内部状態ビットをクリアする必要があります。

図 27.4-10 ハードが自動で STALL 応答する場合



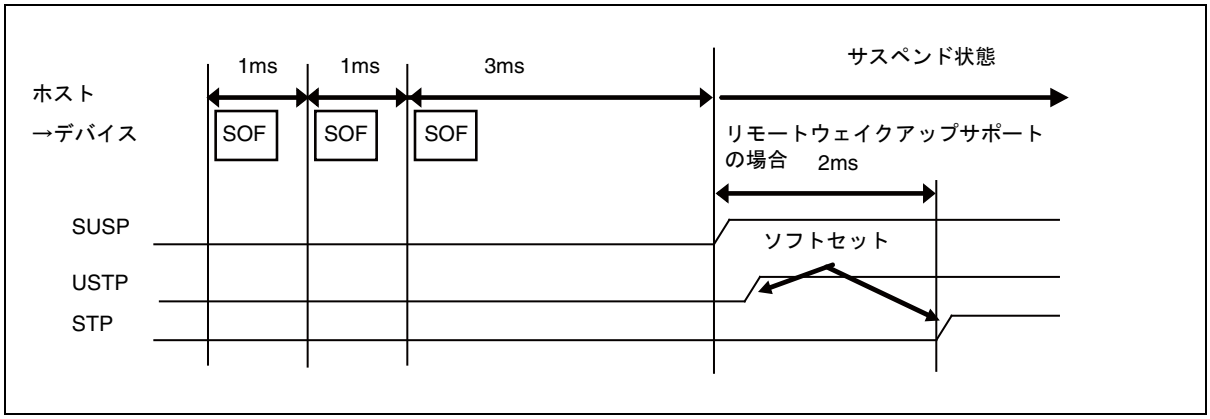
27.4.4　サスペンド機能

バス電源の構成では , サスペンド状態での USB デバイスの消費電力は 500μA 以下にする必要があります。
USBデバイスがサスペンド状態に移行し, スタンバイモード (時計モードまたはストップモード) に入るまでの動作について説明します。

USB デバイスコアがサスペンド状態を検出すると , UDC ステータスレジスタ (UDCS) の SUSP ビットが "1" に変わります。

サスペンド動作例を図 27.4-11 に示します。

図 27.4-11 サスペンド動作



- サスペンド処理

  USB バス上に 3ms 以上動作がない場合 , USB ファンクションはサスペンドを検出し , UDC ステータスレジスタ (UDCS) の SUSP ビットが "1" に変わり , 割込み要因が設定されます。リモートウェイクアップをサポートするデバイスの場合は , ここからさらに 2ms 待ち (この時間内はリモートウェイクアップさせないためです) , スタンバイモード (時計モードまたはストップモード) に設定します。

27.4.5　ウェイクアップ機能

USB プロトコルでは , 次の 2 つの手段で USB デバイスをサスペンド状態からウェイクアップ状態にできます。

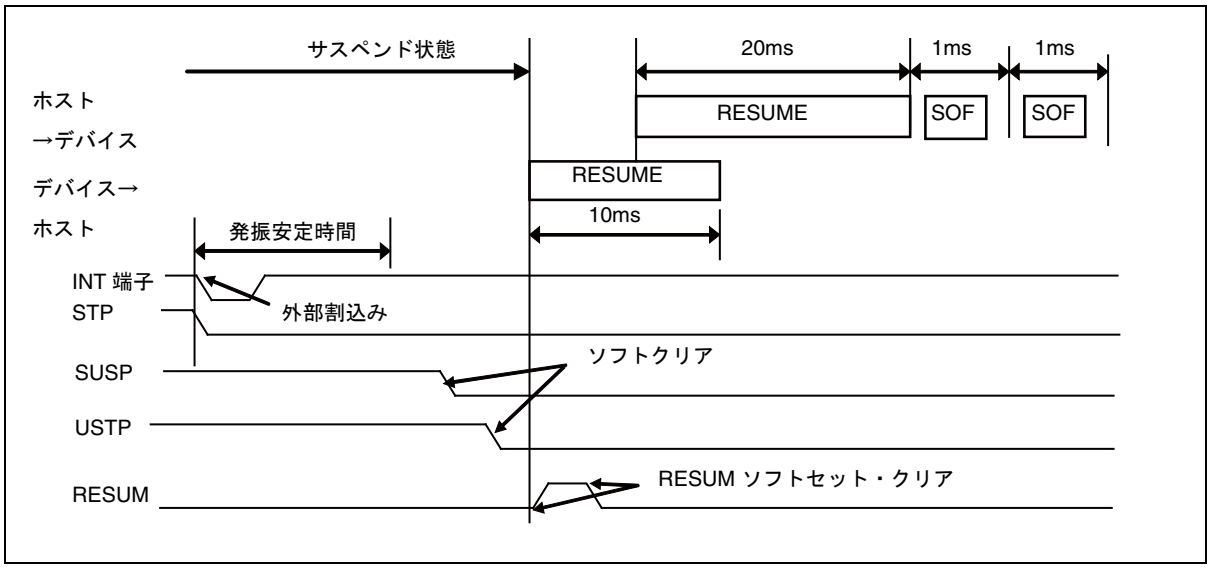
- USB デバイスからリモートウェイクアップ
- ホストからウェイクアップ

ここでは , これらの動作について説明します。

■ リモートウェイクアップ動作

リモートウェイクアップ動作を図 27.4-12 に示します。

図 27.4-12 リモートウェイクアップ動作



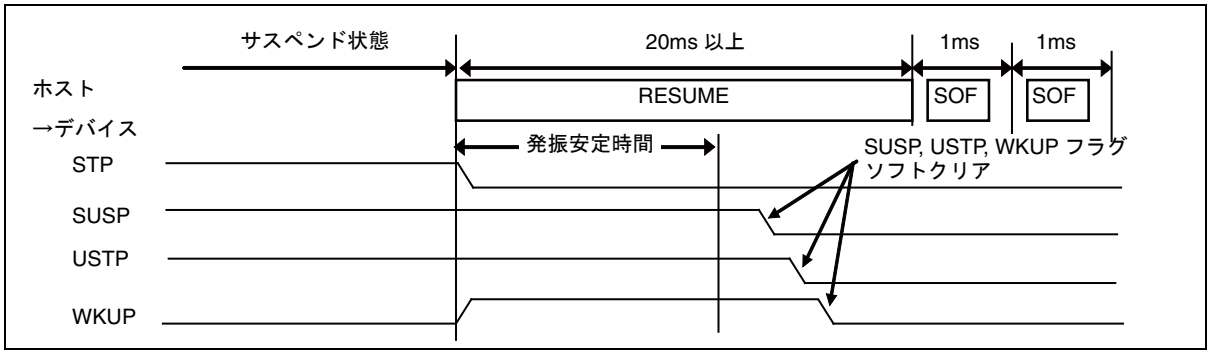
USB デバイスでは , 次の順序で処理してください。

1. 外部割込みで USB デバイスをストップモードから復帰させる
2. UDC ステータスレジスタ (UDCS) の SUSP ビットに "0" を書き込んでクリアする
3. UDC 制御レジスタ (UDCC) の USTP ビットに "0" を書き込んでクリアする
4. UDC 制御レジスタ (UDCC) の RESUM ビットに "1" を書き込む
5. UDC 制御レジスタ (UDCC) の RESUM ビットに "0" を書き込んでクリアする

■ ホストからのウェイクアップ動作

ホストからのウェイクアップ動作を図 27.4-13 に示します。

図 27.4-13 ホスト からのウェイクアップ動作



USB デバイスでは , 次の順序で処理してください。

1. 発振安定時間が 10ms を超えないように設定する
2. UDC ステータスレジスタ (UDCS) の SUSP ビットに "0" を書き込んでクリアする
3. UDC 制御レジスタ (UDCC) の USTP ビットに "0" を書き込んでクリアする
4. 割込み要因である UDC ステータスレジスタ (UDCS) の WKUP ビットに "0" を書き込んでクリアする

27.4.6 DMA 転送機能

USB ファンクションで通信するデータは , 送受信バッファと内蔵 RAM の間で DMA 転送できます。DMA 転送は , 次の 2 つのモードから選択できます。

- パケット転送モード
- 自動バッファ転送モード

ここでは , この 2 つの DMA 転送モードについて説明します。

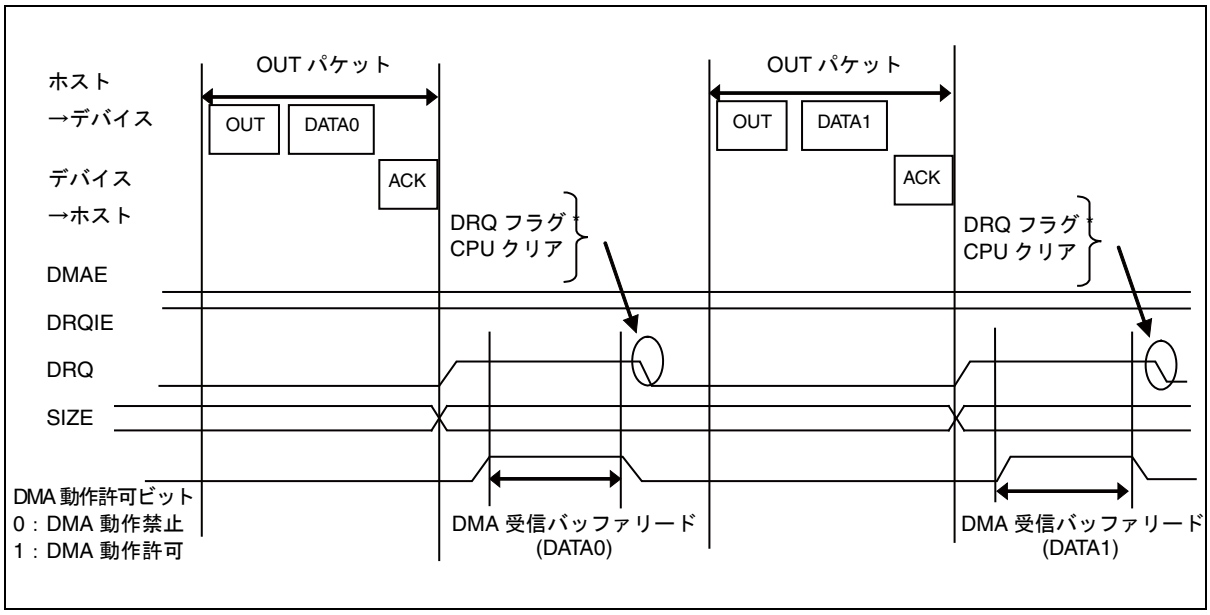
■ パケット転送モード

1 パケットずつ転送数を DMA に設定して転送し , 転送終了後に割込み要因をクリアするモードです。このモードでは , エンドポイント 1 からエンドポイント 5 に対するバッファにアクセスできます。DMA を使用する前に , DREQ 選択レジスタ (DREQSEL) により , DREQ の設定を行ってください。

● OUT 方向の動作

ホストから USB デバイスへの OUT 方向でバッファをアクセスするタイミングを図 27.4-14 に示します。

図 27.4-14 OUT パケット転送



OUT 方向の転送では , USB デバイスは次の順序で処理してください。

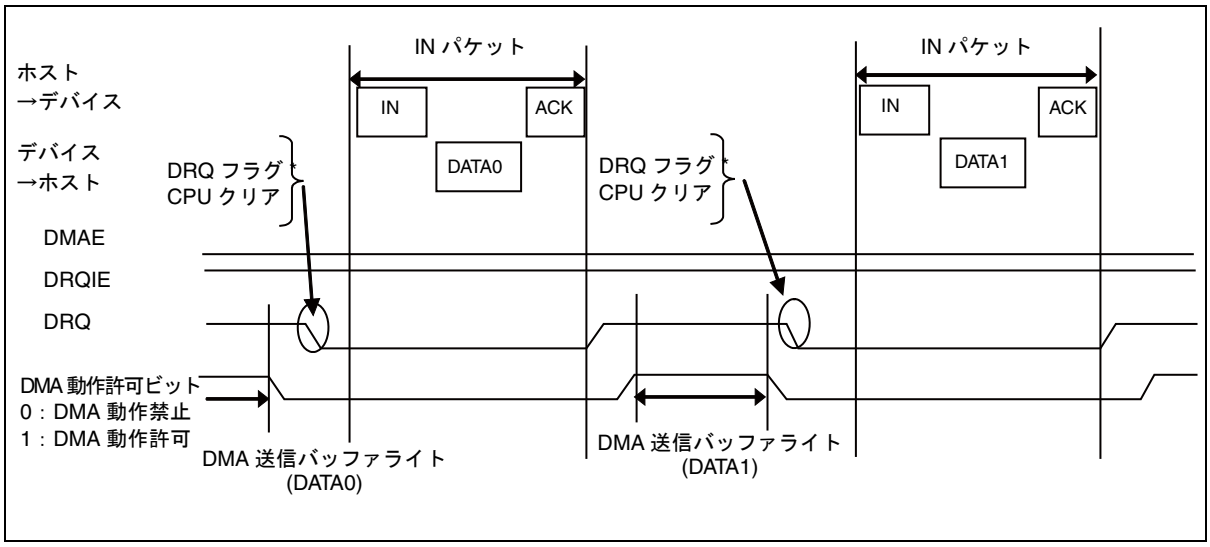
1. DRQ フラグが "1" に変わって割込み処理に入ったら , 転送データ数を確認する
2. 転送データ数分の転送回数とブロックサイズに関するDMAのレジスタ設定を行い , DMA を許可して転送を開始する
3. 転送後 , 次のレジスタの該当するフラグ (ビット) をクリアする
   - EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQ ビット
   - DMA コントローラ (DMAC) の DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の該当する割込み要因フラグ

   割込み処理から復帰します。

● IN 方向の動作

USB デバイスからホストへの IN 方向でバッファをアクセスするタイミングを図 27.4-15 に示します。

図 27.4-15 IN パケット転送



IN 方向の転送では , USB デバイスは次の順序で処理してください。

1. DRQ フラグが "1" に変わって割込み処理に入ったら , 次の IN パケットで転送する転送データ数分の転送回数とブロックサイズに関するDMAのレジスタ設定を行い , DMA を許可して転送を開始する
2. 転送後 , 次のレジスタの該当するフラグ (ビット) をクリアする
   - EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQ ビット
   - DMA コントローラ (DMAC) の DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の該当する割込み要因フラグ

   割込み処理から復帰します。

■ 自動バッファ転送モード

設定した転送データ数分を , 1 回の設定で転送するモードです。

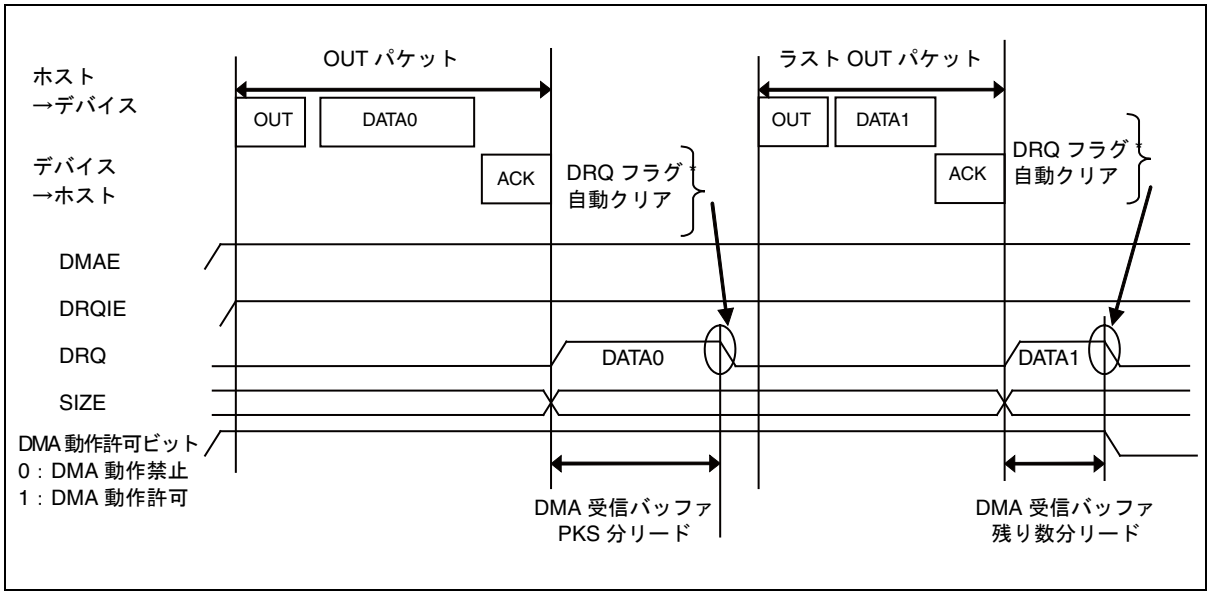
本転送モードでは , 偶数バイトの転送が可能です。奇数バイトを転送する場合は , CPU 転送の処理が必要となります。DMA を使用する前に , DREQ 選択レジスタ (DREQSEL) により DREQ の設定を行ってください。

あらかじめ転送する総データ数を DMA に設定し , 転送許可ビットもセットしておきます。自動バッファ転送モードが許可されていて (DMAE=1) , ホストからの転送後に DRQ フラグがセットされると , EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の PKS ビットに指定したデータ数を転送した後に , 自動で割込み要因がクリアされます。以後 , ホストからの転送後に同様の処理を , あらかじめ DMA に設定した転送データ数分まで繰り返します。この間 CPU からの設定は必要なく , 1 回の設定で転送するのがこのモードです。次の転送を行う場合は , 最後のデータ転送後に CPU 割込みに入るので , そこで DMA コントローラ (DMAC) の再設定を行い , DMA を許可して割込み処理から復帰します。このモードでは DMAE=1 として使用するので , エンドポイント 1 ～エンドポイント 5 に対するバッファアクセスだけが有効です。

● OUT 方向の動作

ホストから USB デバイスへの OUT 方向でバッファをアクセスするタイミングを図 27.4-16 に示します。

図 27.4-16 OUT 方向転送



USB デバイスでは , OUT 方向転送時 , 次の順序で処理してください。

1. 転送する総転送データ数分の転送回数とブロックサイズに関する DMA のレジスタ設定を行い , DMA を許可して転送を開始する
2. EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の DMAE ビットに "1" を書き込んで自動バッファ転送モードに設定し , EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQIE ビットに "1" を書き込んで割込みを許可する

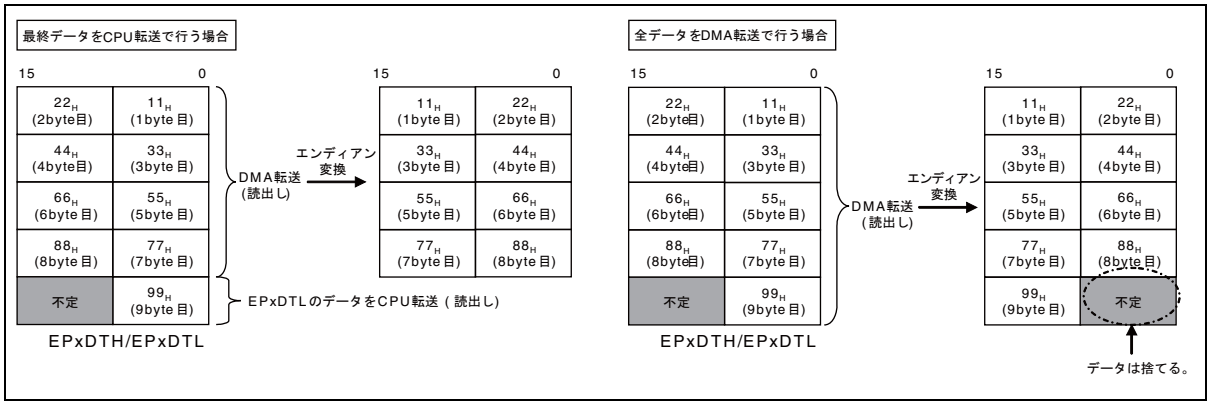
3. 転送後, DMAコントローラ(DMAC)のDMAチャネルステータスレジスタ (DCSR0 ～ DCSR7) の該当する割込み要因フラグをクリアし, 必要に応じてDMA コントローラ (DMAC) を再設定する

   割込み処理から復帰します。

奇数バイト分のデータ数を DMA 転送する場合 , 以下のいずれかの方法があります。

- 最後のデータ転送のみ CPU 転送で行い , 下位バイト (EPxDTL) を読み出す。
- 全データ＋ 1 バイトをまとめて DMA 転送してエンディアン変換後に最終データを捨てる。

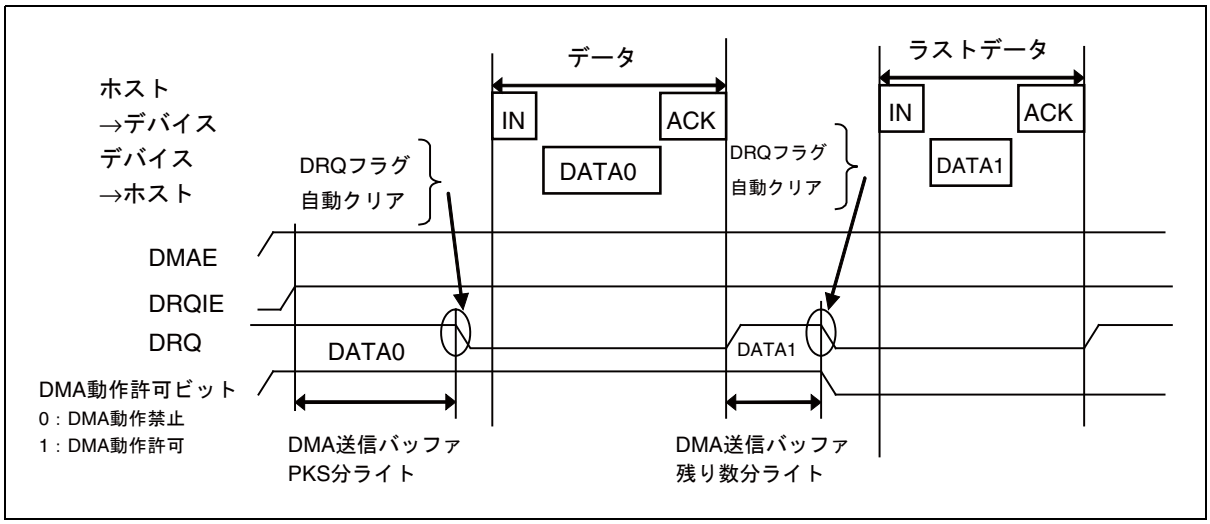
図 27.4-17 OUT 方向 奇数バイトの転送例



● IN 方向の動作

USB デバイスからホスト への IN 方向でバッファをアクセスするタイミングを図 27.4-18 に示します。

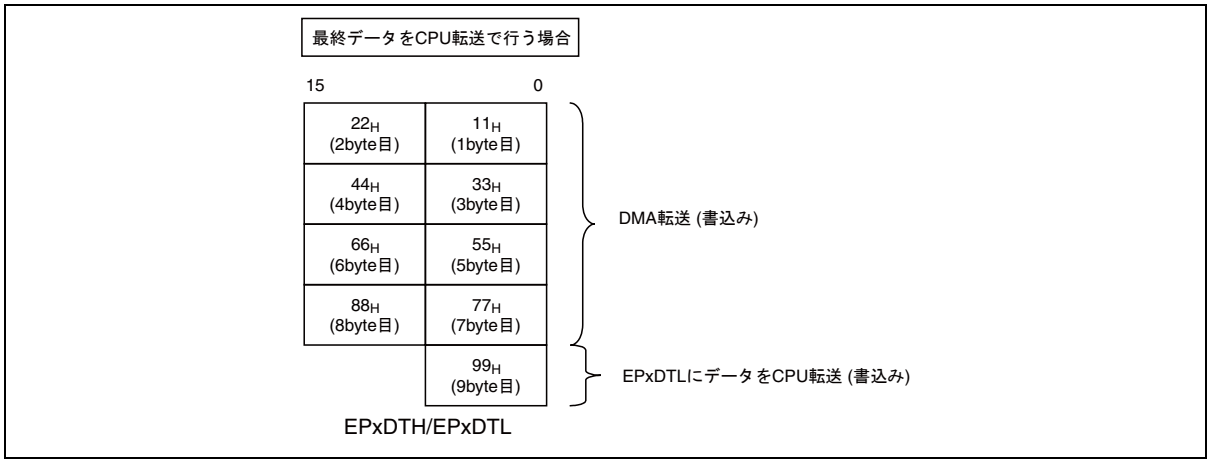
図 27.4-18 IN 方向転送



USB デバイスでは , IN 方向転送の動作は OUT 方向転送の動作と同じです。「OUT 方向の動作」を参照して , 同じ順序で処理してください。

奇数バイト分のデータ数を DMA 転送する場合 , 最後のデータ転送のみ CPU 転送で , 下位バイト (EPxDTL) に書き込みます。

図 27.4-19 IN 方向 奇数バイトの転送例

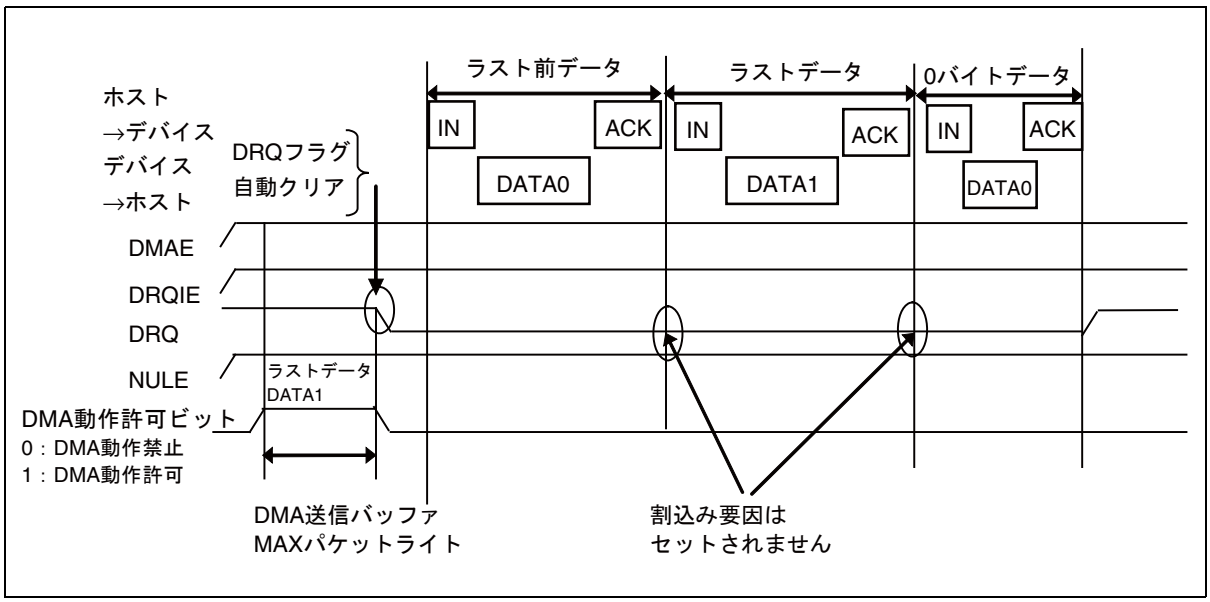


27.4.7　NULL 転送機能

USB ファンクションから送信するデータがラストパケットでマックスパケット数のとき , 次パケットの転送で 0 バイトの転送を自動送信する , NULL 転送モードについて説明します。

自動バッファ転送モードが設定されている状態 (EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の DMAE=1) で , IN 方向のデータ転送要求がきたときに , マックスパケット数の DMA 書込みが行われ , かつ最後のデータ書き込みで DMA カウントデータ数が 0 になる場合 , ホストから IN 方向の最後のデータ転送要求がきたときに 0 バイトのデータ転送を自動で設定し , 次のIN方向のデータ転送要求で0バイト送信するモードです。DMA で最後のデータがバッファに書き込まれた後 , ホストから0バイトのデータが読み出されるまで , DRQ の割込み要求フラグは設定されません。バッファをアクセスするタイミングを図 27.4-20 に示します。

図 27.4-20 NULL データ転送動作



< 注意事項 >

NULL 転送機能は , USB デバイスからホストへの IN 転送時にのみ有効な機能です

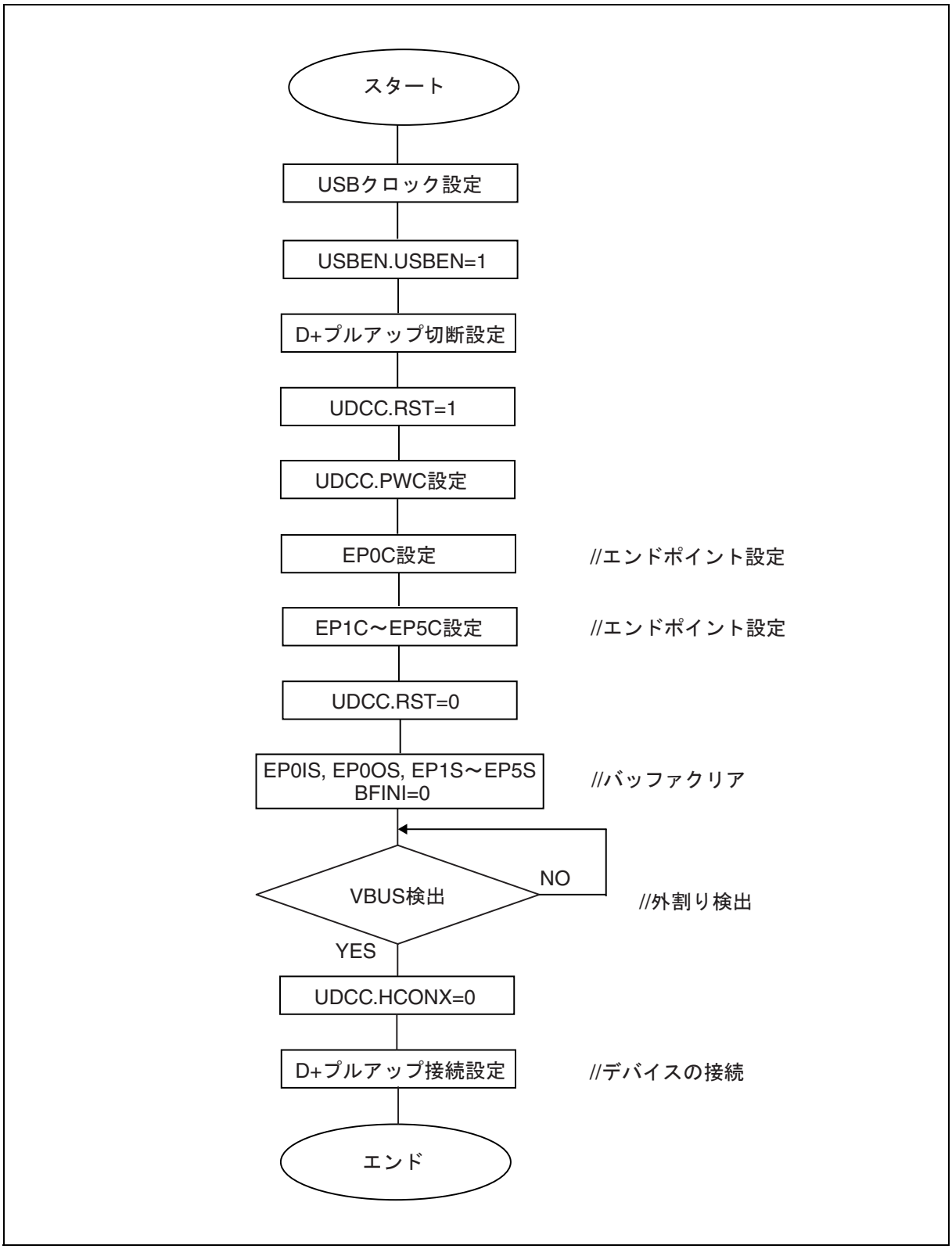
USB デバイスでは , 次の処理をしてください。

1. EP1 ～ EP5 制御レジスタ (EP1C ～ EP5C) の DMAE ビットに "1" を書き込む
   自動バッファ転送モードに設定されます。
2. EP1 ～ EP5 ステータスレジスタ (EP1S ～ EP5S) の DRQIE ビットと NULE ビットに "1" を書き込む
   割込みが許可され , NULL 自動転送モードに設定されます。

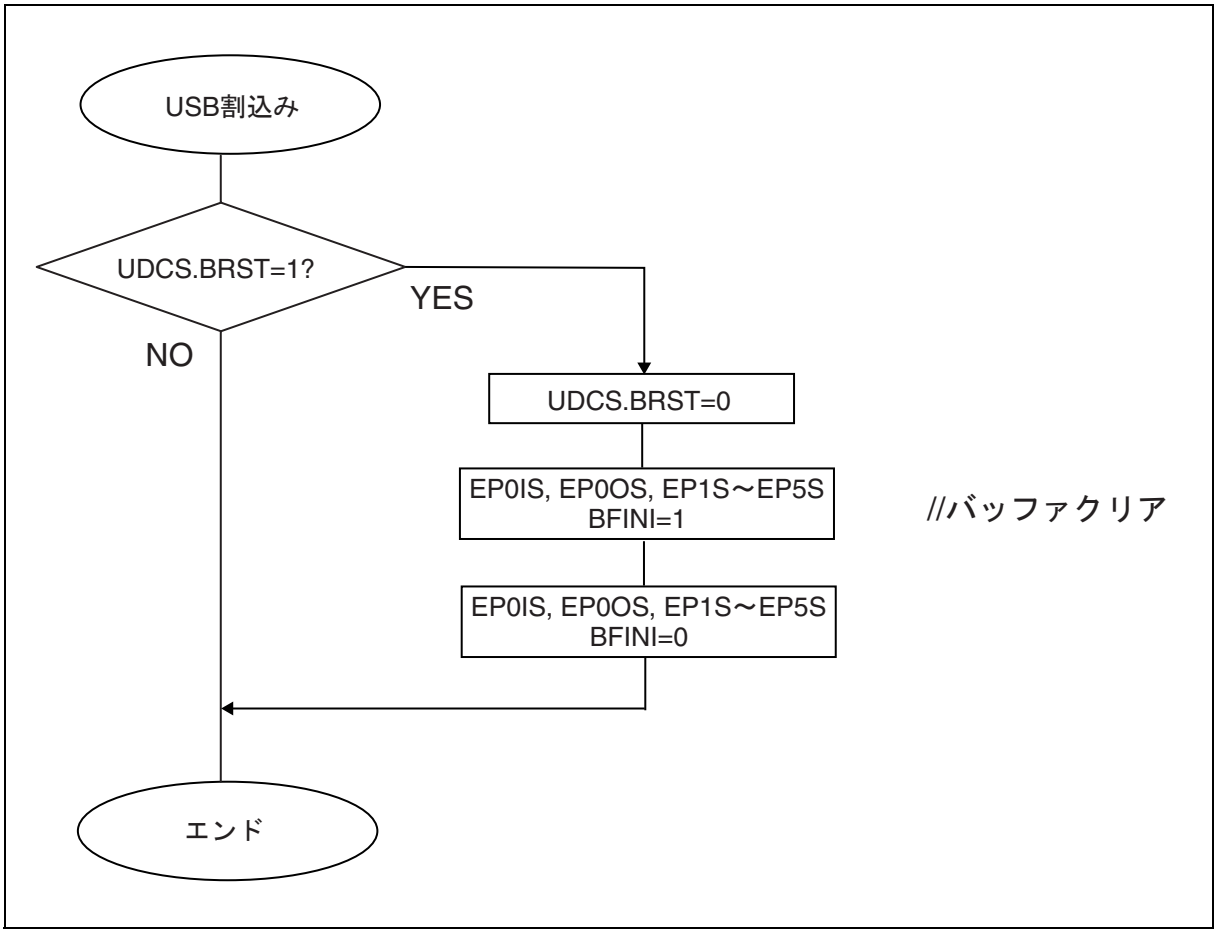
27.4.8　ソフトウェア制御例

初期化 , バスリセット , CPU 転送 , パケット転送 (IN/OUT) , データ数自動転送 (IN/OUT) 時におけるフローチャートを示します。

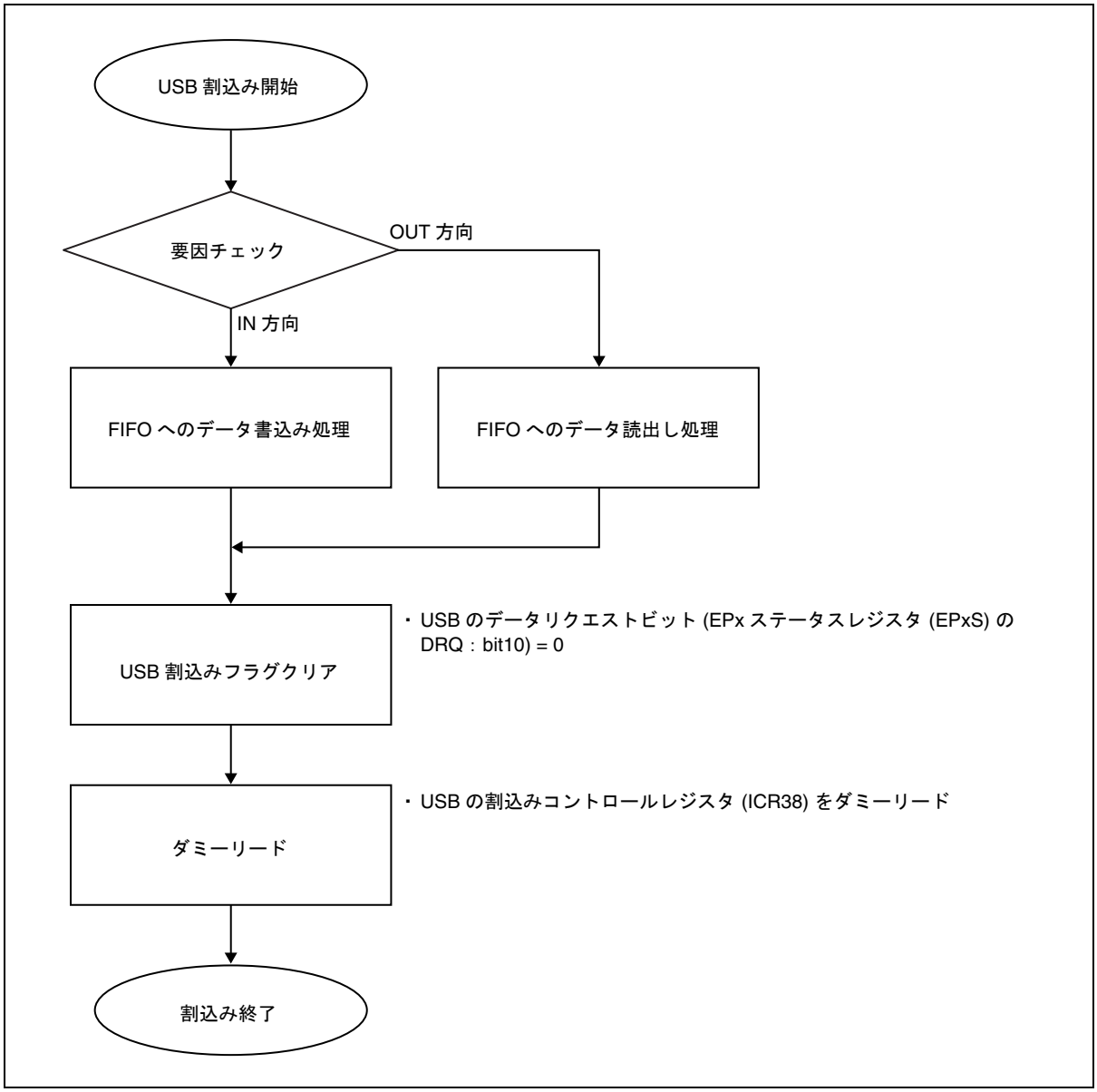
■ 初期化



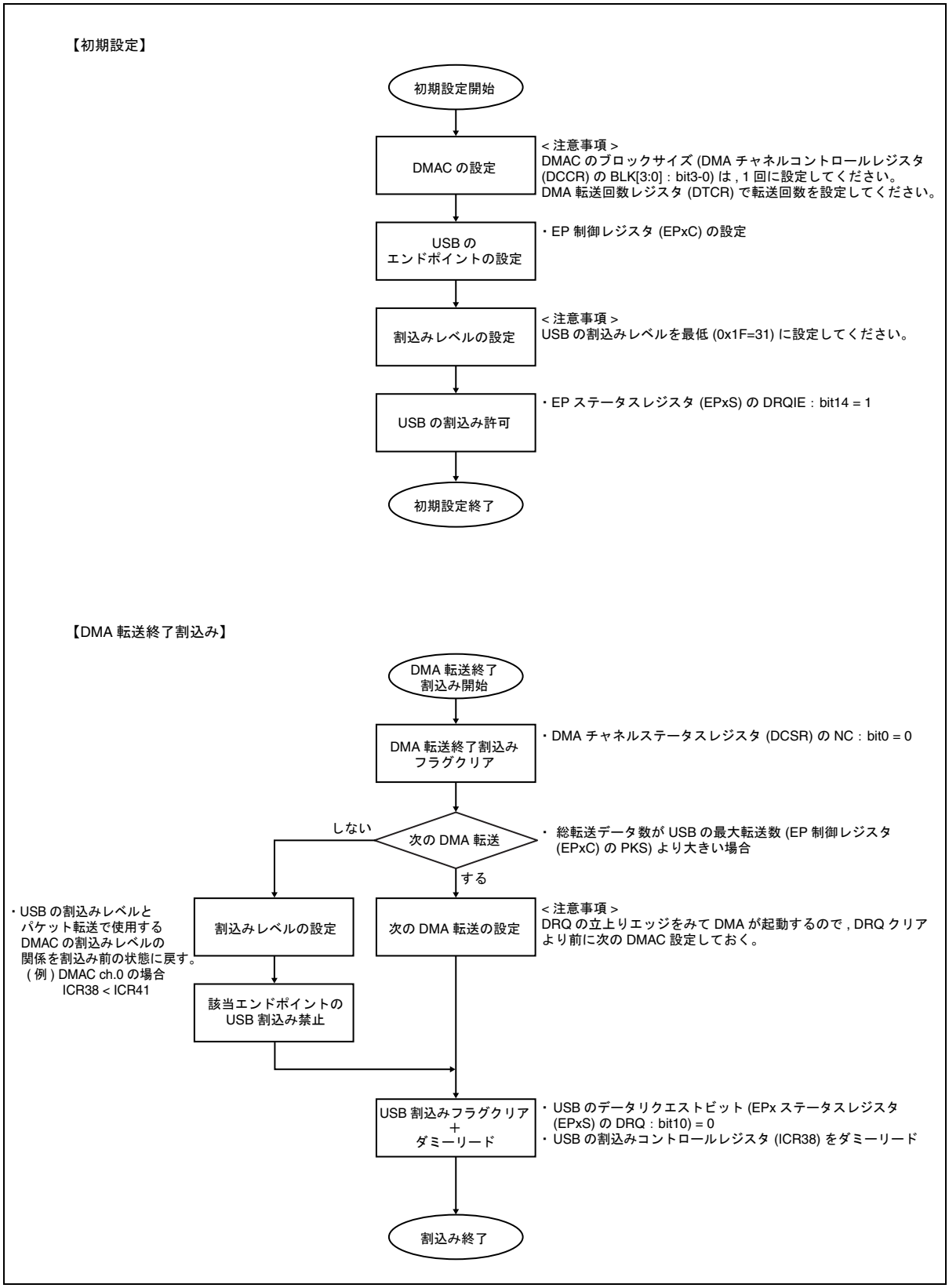
■ バスリセット


USB割込み
UDCS.BRST=1?
YES
NO
UDCS.BRST=0
EP0IS, EP0OS, EP1S～EP5S
BFINI=1
//バッファクリア
EP0IS, EP0OS, EP1S～EP5S
BFINI=0
エンド

■ CPU 転送時の制御例


USB 割込み開始
要因チェック
OUT 方向
IN 方向
FIFO へのデータ書込み処理
FIFO へのデータ読出し処理
USB 割込みフラグクリア
・USB のデータリクエストビット (EPx ステータスレジスタ (EPxS) の DRQ：bit10) = 0
ダミーリード
・USB の割込みコントロールレジスタ (ICR38) をダミーリード
割込み終了

■ パケット IN 転送時の制御例

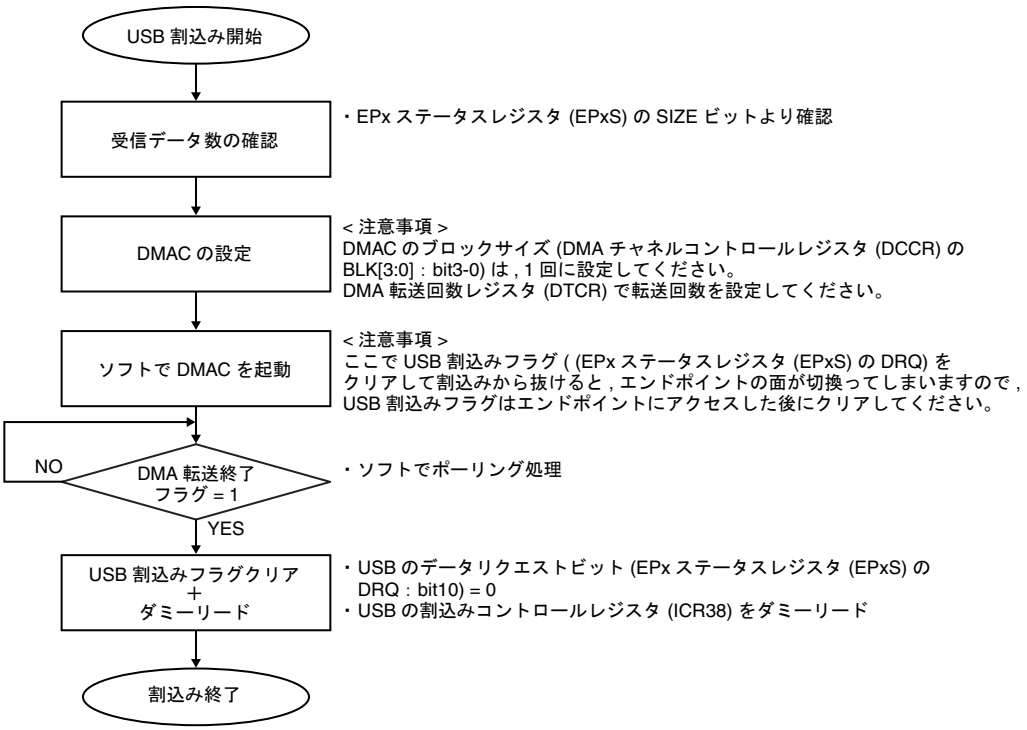


■ パケット OUT 転送時の制御例

【初期設定】

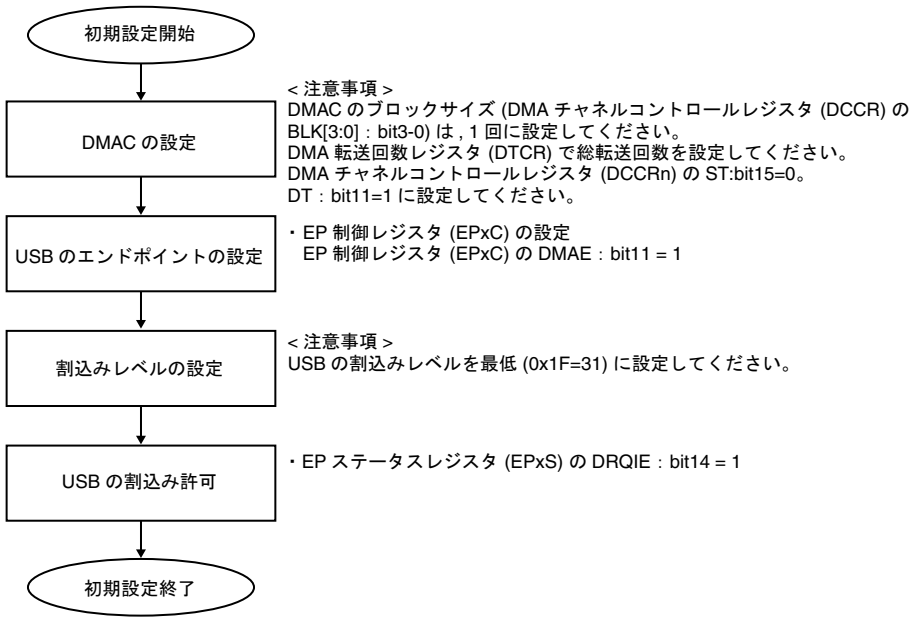


【USB 割込み】

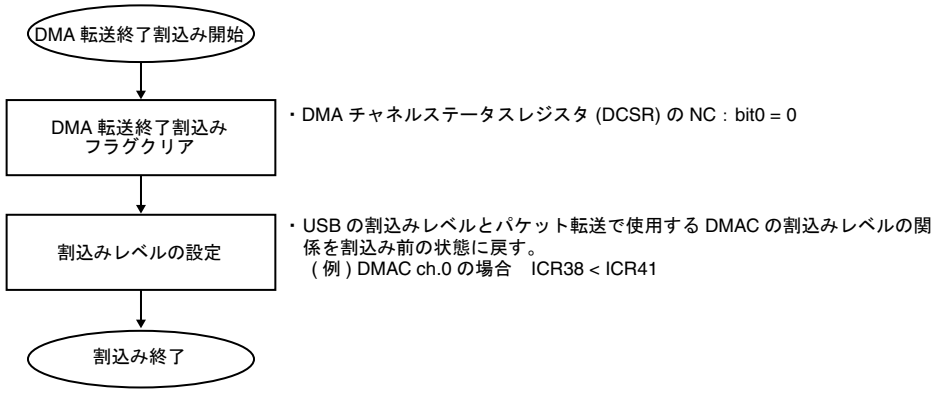


■ データ数自動 IN 転送時の制御例

【初期設定】

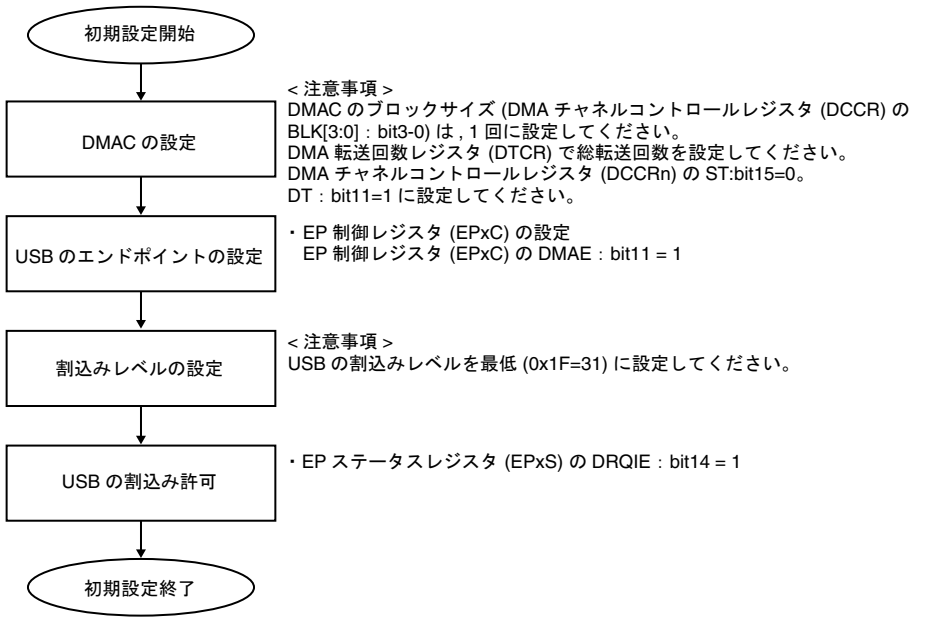


【DMA 転送終了割込み】

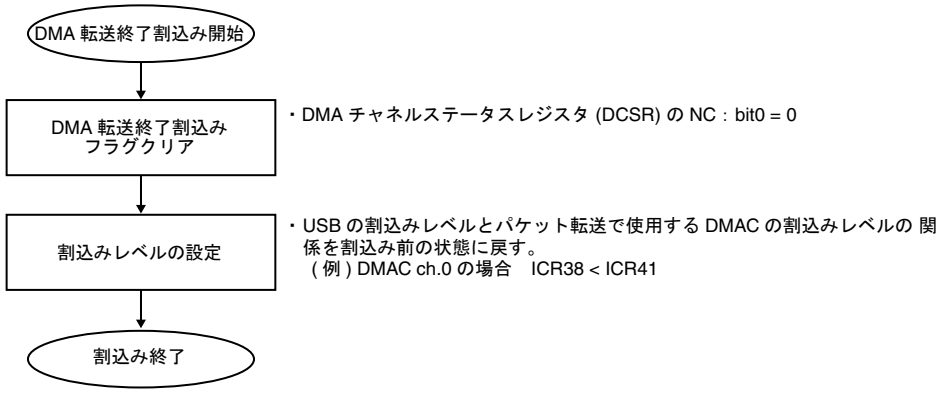


■ データ数自動 OUT 転送時の制御例

【初期設定】



【DMA 転送終了割込み】



第 28 章　USB ホスト

USB ホストの機能と動作について説明します。

28.1　概要
28.2　構成
28.3　レジスタ
28.4　動作説明と設定手順例

28.1　概要

USB ホストは , 必要最低限のホスト動作を実現し , USB デバイスとデータ転送できる機能です。

■ 概要

USB ホストには次の特長があります。

- Full Speed 転送の自動検出 / サポート
- USB デバイスの接続 / 切断の自動検出
- USB バスへのリセット送出機能のサポート
- IN/OUT/SETUP/SOF トークンのサポート
- IN トークン時のハンドシェークパケットの自動送出 (STALL 以外)
- OUT トークン時のハンドシェークパケットの自動検出
- 最大パケット長 256 バイトまでのサポート
- 各種エラー (CRC エラー / トグルエラー / タイムアウトエラー) のサポート
- ウェイクアップ機能のサポート
- Spansion オリジナルの USB ホスト機能です。動作モードを切り換えることで USB ファンクションとしても動作可能です。

＜注意事項＞

USB ホストを使用する場合 , オンチップバスクロック (HCLK) は 13MHz 以上で使用してください。

● USB ホストの仕様概要

USB ホストの仕様概要を表 28.1-1 に示します。

表 28.1-1 USB ホストの仕様概要

		ホスト
HUB のサポート		○ *
転送	バルク転送	○
	コントロール転送	○
	インタラプト転送	○
	アイソクロナス転送	○
転送スピード	Low Speed	×
	Full Speed	○
PRE パケットのサポート		×
SOF パケットのサポート		○
エラー	CRC エラー	○
	トグルエラー	○
	タイムアウト	○
	最大パケット＜受信データ	○
USB デバイスの接続 / 切断の検出		○
転送スピードの検出		○

○ : サポート

× : 未サポート

* : Full Speed のみ対応し , HUB 1 段までサポート

28.2 構成

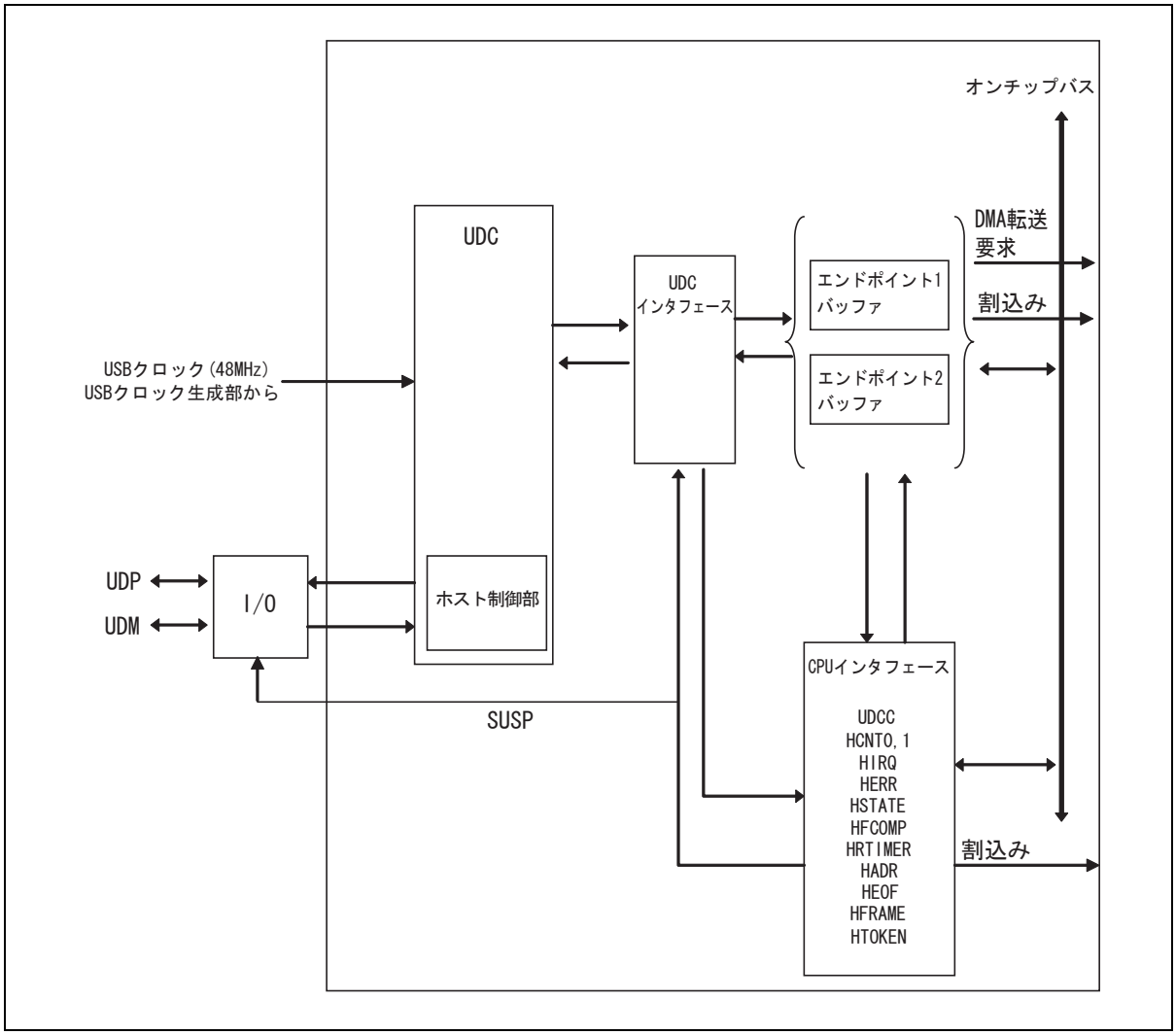
USB ホストは , 次のブロックで構成されています。

- CPU I/F
- バッファ
- UDC I/F
- USB バスリセット制御部
- 受信制御部
- 送信制御部
- ホスト送信制御部

■ USB ホストのブロックダイヤグラム

USB ホストのブロックダイヤグラムを図 28.2-1 に示します。

図 28.2-1 USB ホストのブロックダイヤグラム



28.3　レジスタ

USB ホストで使用するレジスタの構成と機能について説明します。

■ USB ホストのレジスター覧

USB ホストのレジスター覧を表 28.3-1 に示します。

表 28.3-1 USB ホストのレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック設定レジスタ	25.3.1
USBSEL	USB 選択レジスタ	27.3.1
USBEN	USB 許可レジスタ	27.3.2
UDCC	UDC 制御レジスタ	27.3.3
EP1C	EP1 制御レジスタ	27.3.5
EP2C	EP2 制御レジスタ	27.3.5
EP1S	EP1 ステータスレジスタ	27.3.11
EP2S	EP2 ステータスレジスタ	27.3.11
EP1DTH	EP1 データレジスタ上位	27.3.12
EP1DTL	EP1 データレジスタ下位	27.3.12
EP2DTH	EP2 データレジスタ上位	27.3.12
EP2DTL	EP2 データレジスタ下位	27.3.12
HCNT0	ホストコントロールレジスタ 0	28.3.1
HCNT1	ホストコントロールレジスタ 1	28.3.1
HIRQ	ホスト割込みレジスタ	28.3.2
HERR	ホストエラーステータスレジスタ	28.3.3
HSTATE	ホスト状態ステータスレジスタ	28.3.4
HFCOMP	SOF 割込み FRAME 比較レジスタ	28.3.5
HRTIMER	リトライタイマ設定レジスタ	28.3.6
HADR	ホストアドレスレジスタ	28.3.7
HEOF	EOF 設定レジスタ	28.3.8
HFRAME	FRAME 設定レジスタ	28.3.9
HTOKEN	ホストトークンエンドポイントレジスタ	28.3.10

■ レジスタビット更新タイミングの UDCC.RST 依存性一覧

表 28.3-2 レジスタビット更新タイミングの UDCC.RST 依存性一覧

	レジスタ	ビット
UDCC.RST=1 のときに更新しないといけないレジスタビット	HCNT0	HOST
	HSTATE	CLKSEL
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
UDCC.RST=1 のときに初期化されるレジスタビット (UDCC.RST=0 のときに更新してください。)	HCNT0	URST
	HIRQ	TCAN, RWKIRQ, URIRQ, CMPIRQ, CNNIRQ, DIRQ, SOFIRQ
	HERR (全ビット)	LSTSOF, RERR, TOUT, CRC, TGERR, STUFF, HS
	HSTATE	SOFBUSY, SUSP
	HFRAME	FRAME0, FRAME1
	HTOKEN (全ビット)	TGGL, TKNEN, ENDPT
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
UDCC.RST に影響されないレジスタビット	HCNT0	RWKIRE, URIRE, CMPIRE, CNNIRE, DIRE, SOFIRE
	HCNT1	SOFSTEP, CANSEL, RETRY
	HIRQ	CNNIRQ, DIRQ
	HFCOMP	HFRAMECOMP
	HSTATE	TMODE, CSTAT
	HRTIMER0, HRTIMER1, HRTIMER2	RTIMER0, RTIMER1, RTIMER2
	HADR	Address
	HEOF	EOF0, EOF1

28.3.1　ホストコントロールレジスタ 0,1 (HCNT)

ホストコントロールレジスタ 0,1 (HCNT) は , USB の動作モードおよび割込みの設定を指定します。

■ ホストコントロールレジスタ 0,1 (HCNT)

図 28.3-1 ホストコントロールレジスタ 0,1 (HCNT) のビット構成

ホストコントロールレジスタ 1 (HCNT1)

bit	15	14	13	12	11	10	9	8	
	予約	予約	予約	予約	予約	SOFSTEP	CANCEL	RETRY	
属性	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(1)	
UDCC RST ビットでのリセット可否	(×)	(×)	(×)	(×)	(×)	(×)	(×)	(×)	× : リセット対象外 ○ : リセット対象

ホストコントロールレジスタ 0 (HCNT0)

bit	7	6	5	4	3	2	1	0	
	RWKIRE	URIRE	CMPIRE	CNNIRE	DIRE	SOFIRE	URST	HOST	
属性	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	
UDCC RST ビットでのリセット可否	(×)	(×)	(×)	(×)	(×)	(×)	(○)	(×)	× : リセット対象外 ○ : リセット対象

R/W : リードライト可能

[bit 15 ～ bit 11] : 予約ビット

予約ビットです。必ず "0" を設定してください。

[bit 10] : SOFSTEP (SOF STEP)

SOF 割込み発生選択ビットです。

本ビットに"1"を設定した場合, SOFを実行するごとにSOFによる割込みフラグ (HIRQ.SOFIRQ) が "1" にセットされます。

本ビットに "0" を設定した場合 , SOF 割込み FRAME 比較レジスタ (HFCOMP) の設定値と SOF の FRAME Number の下位 8 ビットとを比較し , 一致した場合 , SOF による割込みフラグ (HIRQ.SOFIRQ) が "1" にセットされます。

書込み値	説明
0	HFCOMP の設定により割込み発生
1	SOF を実行するごとに割込み発生

＜注意事項＞

- ホストトークンエンドポイントレジスタ (HTOKEN) によりSOF トークン (TKNEN="001_B") を実行した場合 , 本ビットの設定に関係なく , SOF による割込みフラグ (HIRQ.SOFIRQ) は "1" になりません。
- 本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

［bit 9］: CANCEL (token CANCEL enable)

トークン中止許可ビットです。

本ビットに"1"を設定した場合, EOF領域 (EOF設定レジスタで領域設定) でホストトークンエンドポイントレジスタ (HTOKEN) に実行するトークンが書き込まれるとそのトークンの実行を中止します。本ビットに "0" を設定した場合 , 実行するトークンが書き込まれても実行を中止しません。トークンの実行を中止したことはホスト割込みレジスタ (HIRQ) の TCAN ビットを読み出すことによってわかります。

書込み値	説明
0	トークン継続
1	トークン中止

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

［bit 8］: RETRY (RETRY enable)

リトライ許可ビットです。

本ビットに "1" を設定した場合 , NAK および各種エラー (HERR.RERR=1, HERR.TOUT=1, HERR.CRC=1, HERR.TGERR=1, HERR.STUFF=1) が発生すると , そのトークンのリトライを実行します。リトライはリトライタイマ設定レジスタ (HRTIMER) で設定された時間だけ実行します。

書込み値	説明
0	リトライしない
1	リトライする

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 7]：RWKIRE (Remote WaKe up Interrupt Request Enable)

リジューム割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の RWKIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定した場合 , ホスト割込みレジスタ (HIRQ) の RWIRQ ビットが "1" になっても割込みは発生しません。

書込み値	説明
0	再起動後割込み禁止
1	再起動後割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 6]：URIRE (Usb bus Rest Interrupt Request Enable)

バスリセット割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の URIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定した場合 , ホスト割込みレジスタ (HIRQ) の URIRQ ビットが "1" になっても割込みは発生しません。

書込み値	説明
0	USB バスリセット後割込み禁止
1	USB バスリセット後割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 5]：CMPIRE (CoMPletion Interrupt Request Enable)

トークン完了割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定した場合 , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットが "1" になっても割込みは発生しません。

書込み値	説明
0	完了時割込み禁止
1	完了時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 4]：CNNIRE (CoNNection Interrupt Request Enable)

Device 接続検出割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の CNNIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定するとホスト割込みレジスタ (HIRQ) の CNNIRQ ビットが "1" になっても割込みは発生しません。

書込み値	説明
0	デバイス接続時割込み禁止
1	デバイス接続時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 3]：DIRE (Disconnection Interrupt Request Enable)

Device 切断検出割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の DIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定した場合 , ホスト割込みレジスタ (HIRQ) の DIRQ ビットが "1" になっても割込みが発生しません。

書込み値	説明
0	デバイス切断時割込み禁止
1	デバイス切断時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 2]：SOFIRE (Start Of Frame Interrupt Request Enable)

SOF 割込み許可ビットです。

本ビットに "1" を設定した場合 , ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" になると割込みが発生します。本ビットに "0" を設定した場合 , ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" になっても割込みは発生しません。

書込み値	説明
0	SOF 送信時に割込み禁止
1	SOF 送信時に割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

[bit 1]：URST (Usb bus ReSeT)

バスリセットビットです。

本ビットに "1" を設定するとバスリセットを実行します。バスリセット実行中 , 本ビットは "1" を示し , バスリセットが終了すると本ビットは "0" となります。本ビットに "0" を設定した場合には , 何も行いません。

書込み値	説明
0	USB バス状態保持
1	バスリセット

＜注意事項＞

- 本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" の状態で本ビットに "1" を設定しても何も実行しません。
- ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットが "1" またはトークン実行中に本ビットに "1" を設定することは禁止です。
- 本ビットが "1" の間 , ホストコントロールレジスタ (HCNT0, HCNT1) への書込みは禁止です。

[bit 0]：HOST (HOST mode)

ホストモードビットです。

本ビットに "1" を設定するとホストとして動作します。本ビットに "0" を設定した場合ファンクションとして動作します。

書込み値	説明
0	ファンクションモード
1	ホストモード

＜注意事項＞

- 本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。
- 本ビットの変更は UDC 制御レジスタ (UDCC) の RST ビットが "1" のときに行ってください。
- 本ビットによって動作モードを変更した場合 , すぐにその動作モードに切り換わりません。本ビットを読み出し , 動作モードが切り換わったことを確認してください。
- ホストモードからファンクションモードに変更する場合 , 以下の条件を満たしていることを確認し , UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定してから変更してください。
  - ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "0" である。
  - ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットが "000_B" である。
  - ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットが "0" である。
- ファンクションモードからホストモードに変更する場合 , UDC 制御レジスタ (UDCC) の HCONX ビットに "1" を設定して , かつプルアップ抵抗制御用の汎用ポートをプルアップ切断側に設定し , ホストまたは HUB を切断状態にして変更してください。

28.3.2　ホスト割込みレジスタ (HIRQ)

ホスト割込みレジスタ (HIRQ) は , USB ホストの割込み要求フラグを示します。TCAN ビットを除いてホストコントロールレジスタ (HCNT0, HCNT1) の割込み許可ビットの設定により割込みを発生させることができます。

■ ホスト割込みレジスタ (HIRQ)

図 28.3-2 ホスト割込みレジスタ (HIRQ) のビット構成

ホスト割込みレジスタ (HIRQ)

bit	7	6	5	4	3	2	1	0	
	TCAN	予約	RWKIRQ	URIRQ	CMPIRQ	CNNIRQ	DIRQ	SOFIRQ	
属性	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	
UDCC RST ビットでのリセット可否	(○)	(○)	(○)	(○)	(○)	(×)	(×)	(○)	×：リセット対象外 ○：リセット対象

R/W：リードライト可能

[bit 7]：TCAN (Token CANcel flag)

トークン中止フラグです。

本ビットが "1" になるとホストコントロールレジスタ 1 (HCNT1) の CANCEL ビットに従ってトークンの実行が中止されたことを示します。本ビットが "0" のときは , トークンの実行が中止されなかったことを示します。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

TCAN	読出し時	書込み時
0	トークン中止なし。	本ビットをクリアします。
1	トークン中止あり。	無視されます。

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき , 初期値になります。
- 本ビットによる割込みは発生しません。したがって , 割込みで処理したい場合 , SOF による割込み処理の中でトークンが中止されたか確認してください。

[bit 6]：予約ビット

予約ビットです。必ず "0" を設定してください。

[bit 5]：RWKIRQ (Remote WaKe up Interrupt ReQuest)

リモートウェークアップ終了フラグです。

本ビットが "1" になるとリモートウェークアップが終了したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の RWKIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

RWKIRQ	読出し時	書込み時
0	再起動による割込み要求なし。	割込み要因をクリアします。
1	再起動による割込み要求あり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 4]：URIRQ　(Usb bus Reset Interrupt ReQuest)

バスリセット終了フラグです。

本ビットが "1" になると USB バスへのリセットが終了したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の URIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

URIRQ	読出し時	書込み時
0	USB バスリセットによる割込み要求なし。	割込み要因をクリアします。
1	USB バスリセットによる割込み要求あり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ　(UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 3]：CMPIRQ　(CoMPletion Interrupt ReQuest)

トークン完了フラグです。

本ビットが "1" になるとトークンが完了したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の CMPIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

CMPIRQ	読出し時	書込み時
0	トークン完了による割込み要求なし。	割込み要因をクリアします。
1	トークン完了による割込み要求あり。	無視されます。

＜注意事項＞

- 本ビットはUDC制御レジスタ　(UDCC) のRSTビットが"1"のとき, 初期値になります。
- ホスト割込みレジスタ　(HIRQ) の TCAN ビットが "1" になっても本ビットは "1" になりません。

[bit 2]：CNNIRQ　(CoNNection Interrupt ReQuest)

Device 接続検出フラグです。

本ビットが "1" になると Device の接続を検出したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の CNNIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

CNNIRQ	読出し時	書込み時
0	デバイス接続検出による割込み要求なし。	割込み要因をクリアします。
1	デバイス接続検出による割込み要求あり。	無視されます。

＜注意事項＞

- 本ビットはUDC制御レジスタ　(UDCC) のRSTビットが"1"のとき, 初期値になります。
- ファンクションモードでも Device の接続を検出します。

[bit 1]：DIRQ　(Disconnection Interrupt ReQuest)

Device 切断検出フラグです。

本ビットが "1" になると Device の切断を検出したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の DIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

DIRQ	読出し時	書込み時
0	デバイス切断検出による割込み要求なし。	割込み要因をクリアします。
1	デバイス切断検出による割込み要求あり。	無視されます。

＜注意事項＞

- 本ビットはUDC制御レジスタ　(UDCC) のRSTビットが"1"のとき, 初期値になります。
- ファンクションモードでも Device の切断を検出します。

[bit 0]：SOFIRQ (Start Of Frame Interrupt ReQuest)

SOF 開始フラグです。

本ビットが "1" になると SOF トークンの実行を開始したことを示します。本ビットが "0" の場合 , 何も意味を持ちません。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0　(HCNT0) の SOFIRE ビットが "1" の場合 , 本ビットが "1" になると割込みが発生します。

SOFIRQ	読出し時	書込み時
0	SOF トークン開始による割込み要求なし。	割込み要因をクリアします。
1	SOF トークン開始による割込み要求あり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ　(UDCC) の RST ビットが "1" のとき , 初期値になります。

28.3.3　ホストエラーステータスレジスタ (HERR)

ホストエラーステータスレジスタ (HERR) は，ホストモード時のデータ送信および受信中にエラーが発生したかどうかを示すレジスタです。

■ ホストエラーステータスレジスタ (HERR)

図 28.3-3 ホストエラーステータスレジスタ (HERR) のビット構成

ホストエラーステータスレジスタ (HERR)

bit	15	14	13	12	11	10	9	8
	LSTSOF	RERR	TOUT	CRC	TGERR	STUFF	HS	
属性	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(11)	
UDCC RST ビットでのリセット可否	(○)	(○)	(○)	(○)	(○)	(○)	(○)	

×：リセット対象外
○：リセット対象

R/W：リードライト可能

[bit 15]：LSTSOF (LoST SOF)

ロスト SOF フラグです。

本ビットが "1" になると , ホストモードで SOF トークンを実行しようとしたとき , 他のトークンを実行していて SOF トークンが実行できなかったことを示します。本ビットが "0" のときはロスト SOF エラーが検出されていないことを示します。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

LSTSOF	読出し時	書込み時
0	SOF 実行エラーなし。	本ビットをクリアします。
1	SOF 実行エラーあり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 14]：RERR (Receive Error)

受信エラーフラグです。

本ビットが "1" になると , ホストモード時 , 設定された最大パケット数より多いデータが受信されたことを示します。受信エラーが検出された場合には , 本レジスタの TOUT ビットも "1" にセットされます。本ビットが "0" のときはエラーが発生していないことを示します。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

RERR	読出し時	書込み時
0	受信エラーなし。	本ビットをクリアします。
1	最大パケット受信エラー。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 13] : TOUT (Time OUT)

タイムアウトエラーフラグです。

本ビットが "1" になると , ホストモード時 , トークンに対し , 所定時間内に Device から応答がなかったことを示します。本ビットが "0" のとき , タイムアウトエラーが検出されていないことを示します。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

TOUT	読出し時	書込み時
0	タイムアウトエラーなし。	本ビットをクリアします。
1	タイムアウトエラーあり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 12] : CRC (CRC error)

CRC エラーフラグです。

本ビットが "1" になるとホストモード時 , CRC エラーが検出されたことを示します。本ビットが "0" のとき , CRC エラーが検出されていないことを示します。CRC エラーが発生した場合には , 本レジスタの TOUT ビットも "1" にセットされます。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

CRC	読出し時	書込み時
0	CRC エラーなし。	本ビットをクリアします。
1	CRC エラーあり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 11]：TGERR (ToGgle ERRor)

トグルエラーフラグです。

本ビットが "1" になると , ホストモード時 , 受信したトグルとの不一致を示します。本ビットが "0" のとき , トグルエラーが検出されていないことを示します。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

TGERR	読出し時	書込み時
0	トグルエラーなし。	本ビットをクリアします。
1	トグルエラーあり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 10]：STUFF (STUFFing error)

スタッフィングエラーフラグです。

本ビットが "1" になるとビットスタッフィングでエラーが検出されたことを示します。本ビットが "0" のとき , スタッフィングエラーが検出されていないことを示します。スタッフィングエラーが検出された場合には , 本レジスタの TOUT ビットも "1" にセットされます。本ビットに "0" が書き込まれると本ビットは "0" になります。本ビットに "1" が書き込まれてもその書込みは無視されます。

STUFF	読出し時	書込み時
0	スタッフィングエラーなし。	本ビットをクリアします。
1	スタッフィングエラーあり。	無視されます。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

[bit 9, bit 8]：HS (Hand Shake status)

ハンドシェークステータスフラグです。

本フラグによって送受信のハンドシェーク状態を示します。

Error でハンドシェークが発生しない場合およびホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットでの SOF トークンを終了した場合には NULL を示します。

本ビットは送受信終了時に更新します。

表 28.3-3 ハンドシェーク

bit9	bit8	ハンドシェーク
0	0	ACK
0	1	NAK
1	0	STALL
1	1	NULL

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

28.3.4　ホスト状態ステータスレジスタ (HSTATE)

ホスト状態ステータスレジスタ (HSTATE) は , デバイスの接続, 転送モード等の USB 回路の状態を示すレジスタです。CLKSEL ビットは , ファンクションモードでも有効ですので注意してください。

■ ホスト状態ステータスレジスタ (HSTATE)

図 28.3-4 ホスト状態ステータスレジスタ (HSTATE) のビット構成

ホスト状態ステータスレジスタ (HSTATE)

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	CLKSEL	SOFBUSY	SUSP	TMODE	CSTAT
属性	(-)		(R/W)	(R/W)	(R/W)	(R/W)	(R)	(R)
初期値	(X)		(0)	(1)	(0)	(0)	(1)	(0)
UDCC RST ビットでのリセット可否	(-)		(×)	(×)	(○)	(○)	(×)	(×)

×：リセット対象外
○：リセット対象

R/W：リードライト可能
R：リードオンリ
ー：未定義
X ：不定値

[bit 7, bit 6]：予約ビット

予約ビットです。リード時は不定です。ライト時は "0" または "1" どちらを書いても動作に影響しません。

[bit 5]：予約ビット

予約ビットです。ライト時は必ず "0" を書いてください。リード時は "0" が読み出されます。

[bit 4]：CLKSEL (CLocK SELect)

USB 動作クロック選択ビットです。

書込み値	説明
0	設定禁止
1	Full Speed 用 Clock

＜注意事項＞

- 本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。
- 本ビットの変更は UDC 制御レジスタ (UDCC) の RST ビットが "1" のときに行ってください。
- 本ビットには必ず "1" を設定してください。"0" を設定することは禁止です。
- オンチップバスクロック (HCLK) は 13MHz 以上で使用してください。

[bit 3]：SOFBUSY (SOF BUSY)

SOF ビジィフラグです。

本ビットは , ホストトークンエンドポイントレジスタ (HTOKEN) で SOF トークンを実行すると本ビットが "1" になり , SOF Timer が動作中を示します。本ビットが "0" のとき , SOF Timer が停止中であることを示します。SOF Timer が動作中のとき , SOF Timer を停止させたい場合 , 本ビットに "0" を書くことによって停止します。本ビットに "1" が書き込まれてもその書込みは無視されます。

SOFBUSY	読出し時	書込み時
0	SOF タイマ停止。	SOF タイマを停止させます。
1	SOF タイマ動作中。	無視されます。

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき, 初期値になります。
- SOF Timer を停止させるために本ビットに "0" を書いてもすぐに SOF Timer は停止しませんので本ビットを読み出すことによって停止したことを確認できます。

[bit 2]：SUSP (SUSPend)

サスペンド設定ビットです。

本ビットに "1" を設定するとサスペンド状態になります。本ビットに "1" を設定した状態で本ビットに "0" を設定する , または USB バスが k-state 状態になったことを検出するとサスペンド状態が解除され, ホスト割込みレジスタ (HIRQ) のRWIRQビットは"1"になります。

表 28.3-4 Suspend 設定

SUSP	動作
"1" ライト	Suspend
"1" 状態で "0" ライト	Resume
その他	状態保持

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき, 初期値になります。
- USB が動作中 (USB バスへのリセット , データの送受信 , SOF Timer 動作中) , 本ビットに "1" を設定しないでください。
- サスペンド状態でも USB 用クロックを停止することは禁止です。
- 本ビットの設定を変更した場合 , すぐにその状態に変更されるわけではありませんので本ビットを読み出すことによって変更されたことを確認できます。

[bit 1]：TMODE (Transmission MODE)

転送モードフラグです。

本ビットが "1" のとき , Full Speed Device が接続されたことを示し , 本ビットが "0" のとき , Low Speed Device が接続されたことを示します。ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットが "1" のとき有効です。

読出し値	説明
0	Low Speed (本シリーズは Low Speed には対応していません。)
1	Full Speed

＜注意事項＞

- 本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。
- オンチップバスクロック (HCLK) は 13MHz 以上で使用してください。
- 本シリーズは Low Speed には対応していません。

[bit 0]：CSTAT (Connect STATus)

接続状態フラグです。

本ビットが "1" のとき , Device が接続されていることを示し , 本ビットが "0" のとき , Device が切断されていることを示します。

読出し値	説明
0	デバイス切断
1	デバイス接続

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

28.3.5　SOF 割込み FRAME 比較レジスタ (HFCOMP)

SOF 割込み FRAME 比較レジスタ (HFCOMP) は , SOF トークン時の FRAME Number の下位 8 ビットと比較するデータを設定するレジスタです。ホストコントロールレジスタ 0 (HCNT0) の SOFSTEP ビットが "0" の場合 , 本レジスタと FRAME Number の下位 8 ビットとを比較し , 比較結果が一致した場合には , SOF 送信開始時にホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" になり , ホストコントロールレジスタ 0 (HCNT0) の SOFIRE ビットが "1" の場合 , 割込みが発生します。

■ SOF 割込み FRAME 比較レジスタ (HFCOMP)

図 28.3-5 SOF 割込み FRAME 比較レジスタ (HFCOMP) のビット構成

SOF 割込み FRAME 比較レジスタ (HFCOMP)

bit	15	14	13	12	11	10	9	8
	FRAMECOMP							
属性	(R/W)							
初期値	(00000000)							
UDCC RST ビットでのリセット可否	(×)							

× : リセット対象外
○ : リセット対象

R/W : リードライト可能

[bit 15 ～ bit 8] : FRAMECOMP

FRAME 比較データです。

SOF トークン時の Frame Number の下位 8 ビットと比較するデータを設定します。

ホストコントロールレジスタ 0 (HCNT0) の SOFSTEP ビットが "0" の場合 , SOF トークン時 , SOF の Frame Number と本レジスタ値を比較し , 一致すればホスト割込みレジスタ (HIRQ) の SOFIRQ ビットに "1" がセットされます。

ホストコントロールレジスタ 0 (HCNT0) の SOFSTEP ビットが "0" の場合 , 本レジスタの設定は無効です。

＜注意事項＞

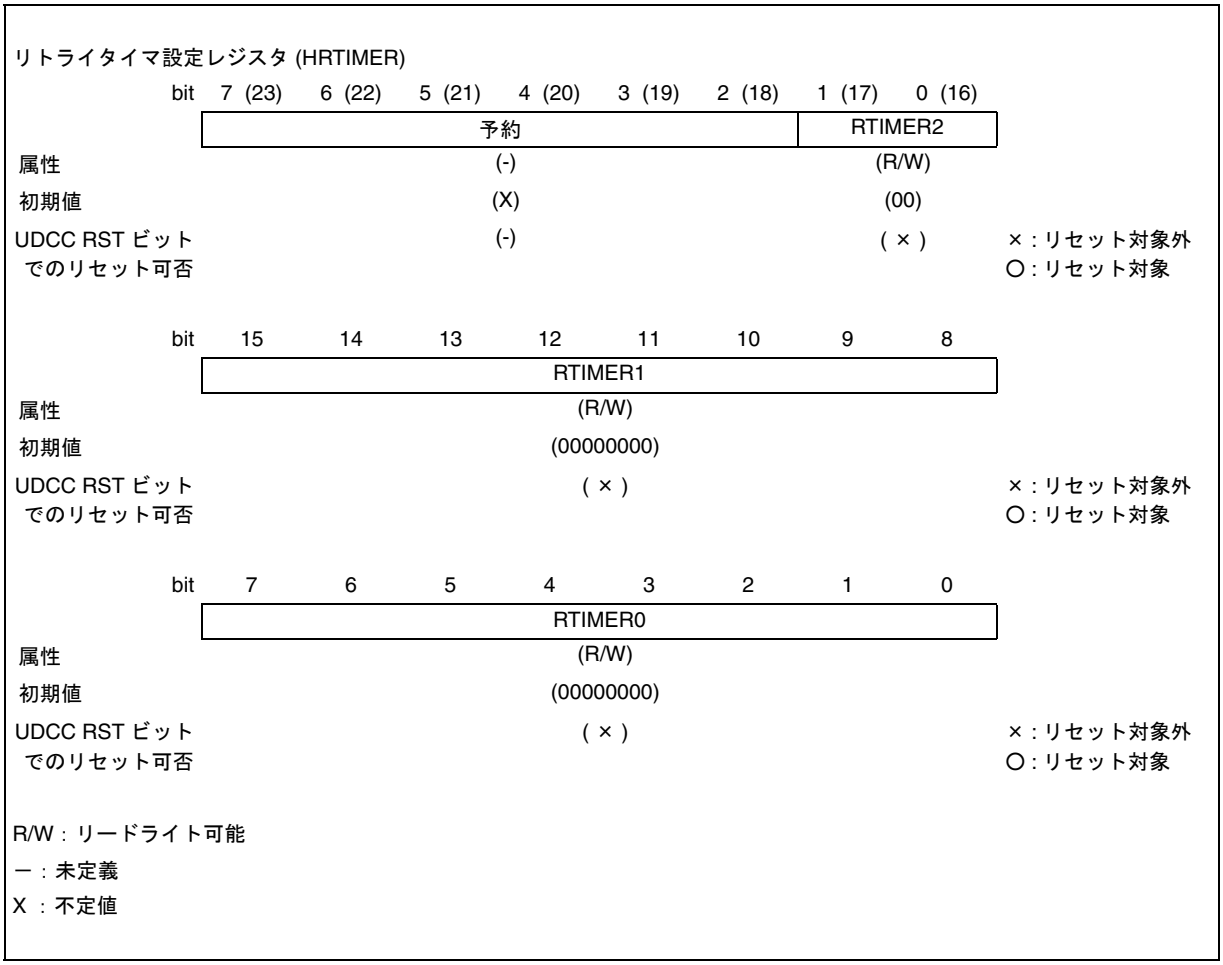
本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

28.3.6　リトライタイマ設定レジスタ (HRTIMER)

リトライタイマ設定レジスタ (HRTIMER) は，トークンのリトライ時間を設定するレジスタです。

■ リトライタイマ設定レジスタ (HRTIMER)

図 28.3-6 リトライタイマ設定レジスタ (HRTIMER) のビット構成



[bit 23 ～ bit 18] : 予約ビット

予約ビットです。リード時は不定です。ライト時は "0" または "1" どちらを書いても動作に影響しません。

[bit 17 ～ bit 0] : RTIMER2 ～ RTIMER0

リトライタイマ設定ビットです。

本レジスタにリトライする時間を設定します。ホストコントロールレジスタ (HCNT1) の RETRY ビットが "1" のとき , トークンが開始されるとリトライタイマが起動され , 1 ビットの転送クロック (Full Speed の場合 , 12MHz) によりタイマが -1 されます。リトライタイマが 0 になった場合 , そのときのトークンを実行して終了します。

トークンのリトライが EOF 領域で発生した場合には SOF の実行が終了するまでリトライタイマは停止します。SOF の実行終了後 , 停止したタイマ値から開始します。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

28.3.7　ホストアドレスレジスタ (HADR)

ホストアドレスレジスタ (HADR) は，トークンを送信する際のアドレスフィールドに使用されるレジスタです。

■ ホストアドレスレジスタ (HADR)

図 28.3-7 ホストアドレスレジスタ (HADR) のビット構成

ホストアドレスレジスタ (HADR)

bit	15	14	13	12	11	10	9	8
	予約	Address						
属性	(-)	(R/W)						
初期値	(X)	(0000000)						
UDCC RST ビットでのリセット可否	(-)	(×)						

× : リセット対象外
○ : リセット対象

R/W : リードライト可能
ー : 未定義
X : 不定値

[bit 15] : 予約ビット

予約ビットです。リード時は不定です。ライト時は "0" または "1" どちらを書いても動作に影響しません。

[bit 14 ～ bit 8] : Address

アドレスビットです。
トークンのアドレスを設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

28.3.8　EOF 設定レジスタ (HEOF)

EOF 設定レジスタ (HEOF) は, SOF トークン実行前のトークン禁止時間を設定するレジスタです。SOF 用タイマと本レジスタのデータとを比較し , 本レジスタのデータより SOF タイマが小さいときに IN トークン , OUT トークン , SETUP トークンのいずれか実行要求があった場合 , SOF トークン実行後に要求トークンを実行します。これは , ハードウェアで生成する SOF トークンと他のトークンが同時に実行しないようにしています。本レジスタの時間単位は 1 ビット転送時間です。

■ EOF 設定レジスタ (HEOF)

図 28.3-8 EOF 設定レジスタ (HEOF) のビット構成

EOF 設定レジスタ (HEOF)

bit	15	14	13	12	11	10	9	8	
	予約		EOF1						
属性	(-)		(R/W)						
初期値	(X)		(000000)						
UDCC RST ビットでのリセット可否	(-)		(×)						× : リセット対象外 ○ : リセット対象

bit	7	6	5	4	3	2	1	0	
	EOF0								
属性	(R/W)								
初期値	(00000000)								
UDCC RST ビットでのリセット可否	(×)								× : リセット対象外 ○ : リセット対象

R/W : リードライト可能
ー : 未定義
X : 不定値

[bit 15, bit 14] : 予約ビット

予約ビットです。リード時は不定です。ライト時は "0" または "1" どちらを書いても動作に影響しません。

[bit 13 ～ bit 0] : EOF1,EOF0 (End Of Frame)

EOF ビットです。

SOF 実行前のトークン実行禁止時間を設定します。1 パケット長よりマージンを持って設定してください。単位は , 1 ビット転送時間です。

- 設定例) MAXPKT=64 バイト，Full Speed の場合,
  (Token_length + packet_length + header + CRC) × 7/6 + Turn_around_time
  = (34bit + 546bit) × 7/6 + 36bit = 712.7bit となり，"$2C9_H$" を設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定しても初期化されません。

28.3.9　FRAME 設定レジスタ (HFRAME)

FRAME 設定レジスタ (HFRAME) は , SOF トークン時の FRAME Number を設定するレジスタです。ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットに SOF 起動をセットすると SOF タイマが起動され , その後 1ms ごとに自動的に SOF が送信されます。SOF が終了するごとに FRAME 設定レジスタは自動的に +1 されます。

■ FRAME 設定レジスタ (HFRAME)

図 28.3-9 FRAME 設定レジスタ (HFRAME) のビット構成

FRAME 設定レジスタ (HFRAME)

bit	15	14	13	12	11	10	9	8	
	予約						FRAME1		
属性			(-)				(R/W)		
初期値			(X)				(000)		
UDCC RST ビットでのリセット可否			(-)				(○)		×：リセット対象外 ○：リセット対象

bit	7	6	5	4	3	2	1	0	
	FRAME0								
属性	(R/W)								
初期値	(00000000)								
UDCC RST ビットでのリセット可否	(○)								×：リセット対象外 ○：リセット対象

R/W：リードライト可能
ー：未定義

[bit 15 ～ bit 11]：予約ビット

予約ビットです。リード時は不定です。ライト時は "0" または "1" どちらを書いても動作に影響しません。

[bit 10 ～ bit 0]：FRAME1, FRAME0

フレーム設定ビットです。

SOF の Frame Number を設定します。

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき, 初期値になります。
- ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットに SOF を設定する前に本レジスタに Frame Number を設定してください。
- ホストステータスレジスタ (HSTATE) の SOFBUSY ビットが "1" および SOF トークン実行中は本レジスタへの書込みは禁止です。

28.3.10　ホストトークンエンドポイントレジスタ (HTOKEN)

ホストトークンエンドポイントレジスタ (HTOKEN) は , トグル , エンドポイント , トークンを設定するレジスタです。

■ ホストトークンエンドポイントレジスタ (HTOKEN)

図 28.3-10 ホストトークンエンドポイントレジスタ (HTOKEN) のビット構成

ホストトークンエンドポイントレジスタ (HTOKEN)

bit	7	6	5	4	3	2	1	0
	TGGL	TKNEN			ENDPT			
属性	(R/W)	(R/W)			(R/W)			
初期値	(0)	(000)			(0000)			
UDCC RST ビットでのリセット可否	(○)	(○)			(○)			

×：リセット対象外
○：リセット対象

R/W：リードライト可能

［bit 7］：TGGL (ToGGLe)

トグルビットです。

Data のトグルを設定します。送信時は本ビットに従ってトグルデータを送出し , 受信時は受信したトグルデータと本ビットが示すトグルデータとを比較し , エラー検出に使用します。

書込み値	説明
0	DATA0
1	DATA1

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき, 初期値になります。
- ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットが "000_B" のときに設定してください。

［bit 6 ～ bit 4］：TKNEN (ToKeN ENable)

トークン許可ビットです。

本ビットの設定に従ってトークンを送出します。動作終了後 TKNEN ビットが "000_B" になり , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットが "1" になります。ホストコントロールレジスタ 0 (HCNT0) の CMPIRE ビットが "1" に設定されていると , 割込みが発生します。

SOF トークン時 , TGGL ビット , ENDPT ビットの設定は無視されます。

表 28.3-5 トークン設定

bit6	bit5	bit4	動作
0	0	0	送出しない
0	0	1	SETUP を送出
0	1	0	IN を送出
0	1	1	OUT を送出
1	0	0	SOF を送出
1	0	1	Isochronous IN を送出
1	1	0	Isochronous OUT を送出
1	1	1	予約 (設定禁止)

＜注意事項＞

- 本ビットはUDC制御レジスタ (UDCC) のRSTビットが"1"のとき, 初期値になります。
- PRE パケットはサポートしていません。
- ホスト状態ステータスレジスタ (HSTATE) のSOFBUSYビットが"1"のときにTKNENビットに "100_B" を設定しないでください。
- 本ビットへの書込みはホストモードにしてから書込みを行ってください。
- トークンによる割込みフラグ (CMPIRQ) が "1" になった後 , 再度トークンを発行する場合には USB 転送クロック (Full Speed 時：12MHz) で 3 サイクル以上待って本ビットに書き込んでください。
- 切断状態 (HSTATEのCSTAT="0") では, 本ビットに書き込んでもトークンは実行されません。

［bit 3 ～ bit 0］：ENDPT (ENDPoinT)

エンドポイントビットです。

Device への送受信するエンドポイントを設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ (UDCC) の RST ビットが "1" のとき , 初期値になります。

28.4　動作説明と設定手順例

USB ホストの動作について説明します。また , 動作状態を設定するための手順例も示します。

28.4.1　USB デバイスの接続

外部の USB デバイスが接続されたことをソフトウェアで検出する方法について説明します。

■ ホスト機能の設定

USB ホストを動作させるためには , USB 許可レジスタ (USBEN) で USB の動作を禁止 (USBEN=0) した状態で , USB クロック生成部の設定で USB クロック出力を有効にした後に , USB の動作を許可 (USBEN=1) してください。

その後にホストとして動作させるために , ホストコントロールレジスタ 0 (HCNT0) の HOST ビットに "1" を書き込みます。

■ 外部 USB デバイスが非接続 / 接続の状態

外部 USB デバイスが接続されていないときは , プルダウン抵抗で UDP/UDM 端子は "L" レベルになっています。このとき , ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットは "0", TMODE ビットは不定となります。外部 USB デバイスが接続されると , ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットは "1" に変わります。

■ 外部 USB デバイスの接続検出

外部 USB デバイスが接続されたことを検出すると , ホスト割込みレジスタ (HIRQ) の CNNIRQ ビットが "1" に変わり , ホストコントロールレジスタ 0 (HCNT0) の CNNIRE ビットに "1" が設定されていると , デバイス接続割込み要求が発生します。この割込み要求をクリアする場合は , ホスト割込みレジスタ (HIRQ) の CNNIRQ ビットに "0" を書き込んでください。割込みではなくポーリングで USB デバイスの接続を検出する場合は , ホストコントロールレジスタ 0 (HCNT0) の CNNIRE ビットに "0" を書き込み , ホスト割込みレジスタ (HIRQ) の CNNIRQ が "1" に変わることを確認するプログラムを作成してください。

■ 相手先 USB デバイスの転送速度の取得とクロック選択

接続が検出された後 , 相手先 USB デバイスの転送可能速度を取得するには , ホスト状態ステータスレジスタ (HSTATE) の TMODE ビットの値を参照します。転送速度とホスト状態ステータスレジスタ (HSTATE) の TMODE ビットの関係を表 28.4-1 に示します。

表 28.4-1 接続先の転送速度と TMODE の関係

接続先の転送速度	TMODE
Full Speed	1
Low Speed	0

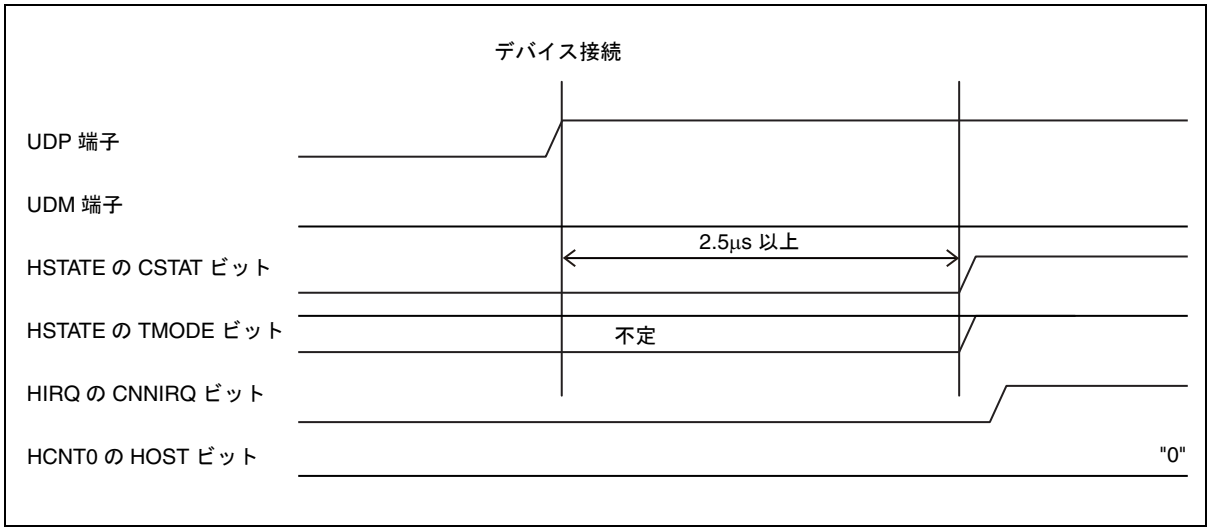
< 注意事項 >

本シリーズは Low Speed には対応していません。

外部 USB デバイスの転送速度を取得した後 , UDC 制御レジスタ (UDCC) の RST ビットが "1" のときは , 取得した転送速度に従ってホスト状態ステータスレジスタ (HSTATE) の CLKSEL ビットを更新してください。

Full Speed デバイスの接続検出タイミング例を図 28.4-1 に示します。

図 28.4-1 Full Speed デバイスの接続検出タイミング例 (HCNT0 の HOST ビット ="0")



< 注意事項 >

- 外部USBデバイスが接続されてから2.5µs後に, ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットは "1" に変わります。
- ホスト状態ステータスレジスタ (HSTATE) の TMODE ビットと CSTAT ビットは , ホストコントロールレジスタ 0 (HCNT0) の HOST ビットの値にかかわらず更新され , ホスト割込みレジスタ (HIRQ) の CNNIRQ ビット , DIRQ ビットは条件が成立すれば "1" になります。

28.4.2　USB バスのリセット

ホストモード時の USB バスをリセットする方法について説明します。

■ USB バスのリセット

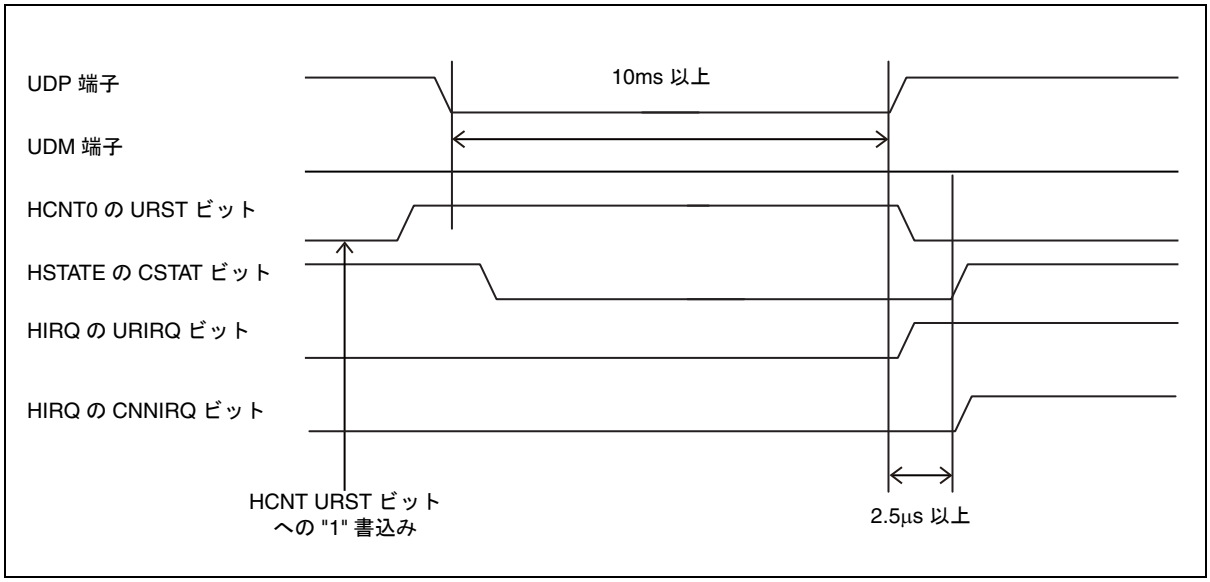
ホストモード時, ホストコントロールレジスタ 0 (HCNT0) の URST ビットに "1" を書き込むと , 10ms 以上の SE0 が送出され , USB バスがリセットされます。USB バスのリセットが完了すると , ホストコントロールレジスタ 0 (HCNT0) の URST ビットは "0" に変わり , ホスト割込みレジスタ (HIRQ) の URIRQ ビットが "1" に変わります。そのとき , ホストコントロールレジスタ 0 (HCNT0) の URIRE ビットが "1" に設定されていると割込みが発生します。割込み要求をクリアする場合は , ホスト割込みレジスタ (HIRQ) の URIRQ ビットに "0" を書き込んでください。

USB バスをリセットするときは , 次の点に注意してください。

1. USBバスをリセットする前に, ホスト状態ステータスレジスタ (HSTATE) のCSTAT ビットが "1" になっていて , USB デバイスが接続されていることを確認します。
2. USB バスのリセットを実行すると , ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットは "0" に変わり , 切断状態になります。このとき , ホスト割込みレジスタ (HIRQ) の DIRQ ビットは "1" に変わりません。
3. USBバスのリセットの終了後, ホスト状態ステータスレジスタ(HSTATE)のCLKSEL ビットと TMODE ビットを比較します。不一致の場合は , 一致するように CLKSEL ビットを更新してください。更新するときは , UDC 制御レジスタ (UDCC) の RST ビットが "1" のときに実施してください。
4. USB バスのリセットが終了後 , ホスト割込みレジスタ (HIRQ) の CNNIRQ ビットまたはホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットで USB デバイスが接続されていることを確認してからトークンを実行してください。

USB デバイスへのリセットタイミング例を図 28.4-2 に示します。

図 28.4-2 USB デバイスへのリセットタイミング例



< 注意事項 >

USB バスのリセット終了後 , USB デバイスの接続が検出されないと , トークンは発行できません。

28.4.3 トークンパケット

トークンパケットを設定する方法について説明します。
各種レジスタ (HADR, EP1C, EP2C, HFRAME, HEOF) に変更がない場合には , 設定は不要です。

■ トークンパケットの設定方法

ホストモード時 , 送受信のバッファとしてエンドポイント 1 とエンドポイント 2 のバッファを使用します。IN トークン , OUT トークン , SETUP トークンのいずれかを実行する場合 , 目的のアドレスをホストアドレスレジスタ (HADR) に設定し , 1 パケットの最大バイト数と , 転送方向を EP1 制御レジスタ (EP1C) または EP2 制御レジスタ (EP2C) の PKS ビットと DIR ビットに設定します。

EP1 制御レジスタ (EP1C) の DIR ビットが "1" の場合は , エンドポイント 1 のバッファが OUT 方向のバッファとして使用され , エンドポイント 2 のバッファが IN 方向のバッファとして使用されます。このとき , EP2 制御レジスタ (EP2C) の DIR ビットに "0" を書き込んでください。

EP1 制御レジスタ (EP1C) の DIR ビットが "0" のときは , エンドポイント 1 のバッファが IN 方向のバッファとして使用され , エンドポイント 2 のバッファが OUT 方向のバッファとして使用されます。このとき , EP2 制御レジスタ (EP2C) の DIR ビットに "1" を書き込んでください。

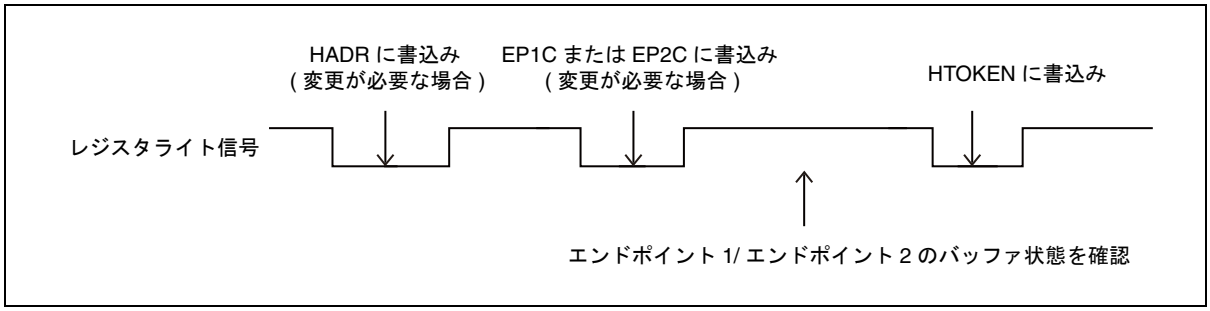
トークンを実行する場合 , 以下の手順で設定します。

1. EP1 制御レジスタ (EP1C) と EP2 制御レジスタ (EP2C) の DIR ビットと PKS ビットを設定します。
2. 使用するエンドポイント n (n は 1 または 2) が OUT 方向であれば , 送信データをエンドポイント n (n は 1 または 2) のバッファに送信データを書き込み , EPn ステータスレジスタ (EPnS：n は 1 または 2) の DRQ ビットに "0" を設定します。IN 方向であれば , EPn ステータスレジスタ (EPnS：n は 1 または 2) の DRQ ビットを読み出し , "0" であることを確認します。
3. ホストトークンエンドポイントレジスタ (HTOKEN) に目的のエンドポイント , トークンおよびトグルデータを設定します。

USB 回路は , その設定されたトークンに従って Sync, トークン , アドレス , エンドポイント , CRC5, EOP の順でトークンパケットを送出します (Sync, CRC5, EOP は自動で送出されます)。1 パケット終了後 , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットが "1" に変わり , ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN が "000_B" になります。そのとき , ホストコントロールレジスタ 0 (HCNT0) の CMPIRE ビットが "1" であれば , 割込みが発生します。割込み要求をクリアするには , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットに "0" を書き込んでください。

IN/OUT/SETUP トークン実行までのレジスタ設定例を図 28.4-3 に示します。

図 28.4-3 IN/OUT/SETUP トークン実行までのレジスタ設定例



SOF トークンの場合 , EOF 設定レジスタ (HEOF) と FRAME 設定レジスタ (HFRAME) に EOF 時間とフレーム番号を書き込み , ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットに SOF トークンのコードを書き込むと , Sync, SOF トークン , フレーム番号 , CRC5 および EOP が送出され , ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "1" に変わり , FRAME 設定レジスタ (HFRAME) が 1 加算されます。このとき , ホスト割込みレジスタ (HIRQ) の CMPIRQ も "1" に変わり , ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットが "000_B" にクリアされます。そのとき , ホストコントロールレジスタ 0 (HCNT0) の CMPIRE ビットが "1" であれば , 割込みが発生します。その後 , 自動的に発生する SOF の場合は , CMPIRQ による割込み要求は発生しません。トークン完了の割込み要求をクリアするには , ホスト割込みレジスタ (HIRQ) の CMPIRQ に "0" を書き込んでください。

ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "1" の間は , SOF は 1ms ごとに自動的に送出されます。ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "0" に変わる条件 (SOF の停止条件) を次に示します。

- ホスト状態レジスタ (HSTATE) の SOFBUSY ビットへの "0" の書込み
- USB バスのリセット (ホストコントロールレジスタ 0 (HCNT0) の URST ビットへの "1" の書込み)
- ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットへの "1" の書込み
- USB デバイスの切断 (HSTATE の CSTAT ビットが "0" の場合)

ホストモードからファンクションモードへ切り換える場合は , ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットに "0" を書き込み , ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "0" に変わったことと , ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットが "000_B" になっていることおよび , ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットが "0" になっていることを確認し , UDC 制御レジスタ (UDCC) の RST ビットに "1" を設定してから切り換えてください。

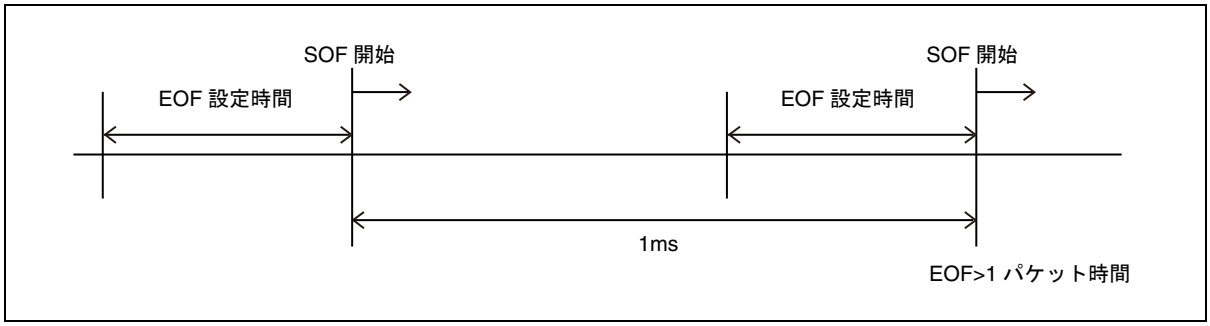
ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットを再び "1" に変えるには , SOF トークンをもう 1 度実行してください。

EOF 設定レジスタ (HEOF) は , SOF と他のトークンの同時実行を防止します。EOF 設定時間から SOF 開始時間までの間にホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットに書き込んだ場合 , 設定したトークンはウェイトされ SOF 実行後にウェイトしているトークンが実行されます。EOF 設定レジスタ (HEOF) の時間単位は 1 ビット時間で , たとえば EOF 設定レジスタ (HEOF) の End Of Frame ビットに "10_H" を書き込んだ場合 , Full Speed モードで 16×1/12MHz=1333.3ns になります。設定した EOF 設定時間が 1 パケット時間より短い場合 , 他のトークン実行中に SOF 実行

が重なることがあります。この場合 , ホストエラーステータスレジスタ (HERR) の LSTSOF ビットが "1" に変わり , SOF は実行されません。ホストエラーステータスレジスタ (HERR) の LSTSOF が "1" に変わった場合は , EOF 設定レジスタ (HEOF) のデータを大きくしてください (「28.3.8 EOF 設定レジスタ (HEOF)」を参照)。

SOF タイミングを図 28.4-4 に示します。

図 28.4-4 SOF タイミング



28.4.4 データパケット

データパケットを実行する方法について説明します。

データパケットは , トークンパケット送出後に次の手順で実行します。

- 送信の場合
  1. Sync を自動送出する
  2. ホストトークンエンドポイントレジスタ (HTOKEN) の TGGL ビットが "0" の場合は DATA0, TGGL ビットが "1" の場合は DATA1 を送出する
  3. EP1 制御レジスタ (EP1C) の DIR ビットが "1" の場合はエンドポイント 1 のバッファ , DIR ビットが "0" の場合はエンドポイント 2 のバッファを選択し , 送信データをすべて送出する
  4. CRC 16 ビットを送出する
  5. EOP 2 ビットを送出する
  6. J State 1 ビットを送出する
- 受信の場合
  1. Sync を受信する
  2. トグルデータを受信し , ホストトークンエンドポイントレジスタ (HTOKEN) の TGGL ビットと比較する
  3. トグルデータと TGGL ビットが一致した場合 , EP1 制御レジスタ (EP1C) の DIR ビットが "1" であればエンドポイント 2 のバッファ , DIR ビットが "0" であればエンドポイント 1 のバッファを選択し , 受信データを振り分けていく
  4. EOF の受信時に , CRC 16 ビットを検査する

ホストコントロールレジスタ 0 (HCNT0) の HOST ビットが "1" のときは , EP1 制御レジスタ (EP1C) の DIR ビットと EP2 制御レジスタ (EP2C) の DIR ビットには , 反転させたデータを書き込んでください。例えば EP1 制御レジスタ (EP1C) の DIR ビットが "0" のときは , EP2 制御レジスタ (EP2C) の DIR ビットには "1" を書き込みます。

28.4.5 ハンドシェークパケットの動作

送受信相手に自分の状態を通知する , ハンドシェークパケットの動作について説明します。

ハンドシェークパケットは , データ受信側が正常に受信できる状態にあるかを判断して , 受信側が ACK, NAK, STALL のいずれかを送出します。USB 回路がハンドシェークパケットを受信した場合は , 受信したハンドシェークパケットの種類がホストエラーステータスレジスタ (HERR) の HS ビットに書き込まれます。ハンドシェークパケットを送信した場合は , 送信したハンドシェークパケットの種類がホストエラーステータスレジスタ (HERR) の HS ビットに書き込まれます。

28.4.6　リトライ機能

パケット終了時 , NAK エラーや CRC エラーなどのエラーが発生し , ホストコントロールレジスタ 1 (HCNT1) の RETRY ビットが "1" の場合 , リトライタイマレジスタ (HRTIMER) に設定された時間だけ , リトライを続けます。
このリトライ機能の動作について説明します。

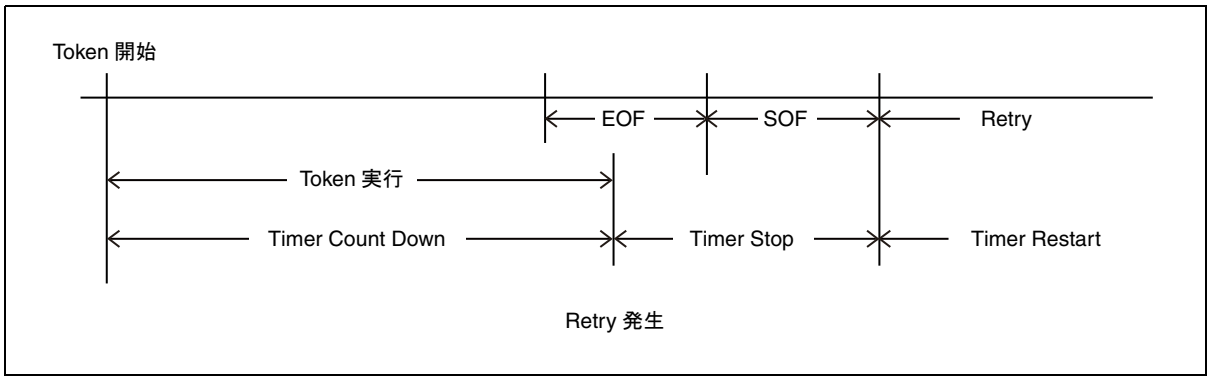
STALL またはデバイスの切断以外のエラー (ホストエラーステータスレジスタ (HERR) の HS ビットが "01_B", RERR ビットが "1", TOUT ビットが "1", CRC ビットが "1", STUFF ビットが "1") が発生した場合 , ホストコントロールレジスタ 1 (HCNT1) の RETRY ビットが "1" であれば , そのトークンはリトライされます。リトライの終了条件を次に示します。

- ホストコントロールレジスタ 1 (HCNT1) の RETRY ビットに "0" を書き込む
- リトライタイマの 0 を検出
- SOF によりホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" となる。
- ACK を検出
- デバイスが切断されたことを検出

リトライタイマはトークン開始時に起動され , 1 ビットの転送クロックでカウントダウンされますが , EOF 領域内でリトライが発生した場合は , カウントは停止します。ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "0" で SOF トークンが終了した場合は , 停止したタイマ値からリスタートされます。リトライタイマが "0" に変わり , パケットが終了した時点でパケットは終了し , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットに "1" がセットされます。

ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "0" のときのリトライタイマ動作を図 28.4-5 に示します。

図 28.4-5 リトライタイマ動作 (ホスト割込みレジスタ (HIRQ) の SOFIRQ=0)



リトライが終了すると , その終了パケットの終了情報が各レジスタに書き込まれます。

28.4.7　SOF 割込み

SOF 割込みの動作について説明します。

ホストコントロールレジスタ 1 (HCNT1) の SOFSTEP ビットが "0" の場合 , SOF 割込み FRAME 比較レジスタ (HFCOMP) と , SOF トークンのフレーム番号の下位 8 ビットが比較され, 一致するとSOFを送出するときに, ホスト割込みレジスタ (HIRQ) のSOFIRQ ビットが "1" にセットされます。

ホストコントロールレジスタ 1 (HCNT1) の SOFSTEP ビットが "1" の場合 , SOF を送出するごとにホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" にセットされます。

ホストコントロールレジスタ 0 (HCNT0) の SOFIRE ビットが "1" のときに , ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" になると割込みが発生します。ホストトークンエンドポイントレジスタ (HTOKEN) による SOF 実行では , ホスト割込みレジスタ (HIRQ) の SOFIRQ ビットは "1" になりません。

SOF 割込み動作例を図 28.4-6, 図 28.4-7 に示します。

図 28.4-6 SOF 割込み動作例 (ホストコントロールレジスタ 1 (HCNT1) の SOFSTEP=1 の場合)

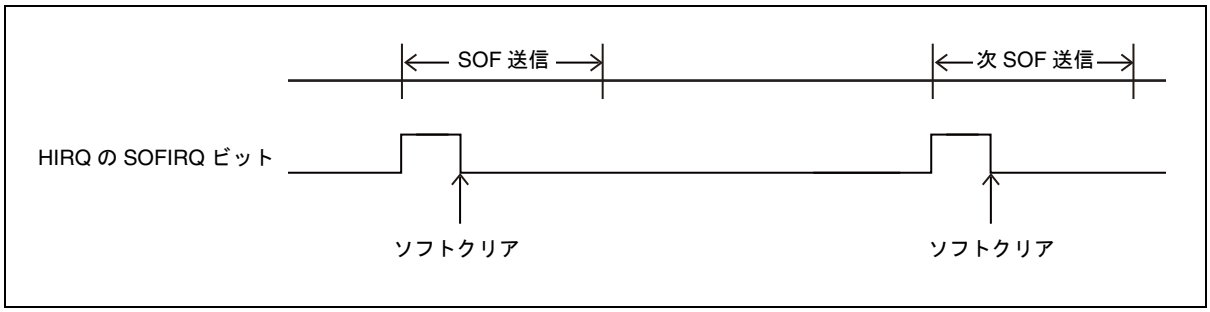
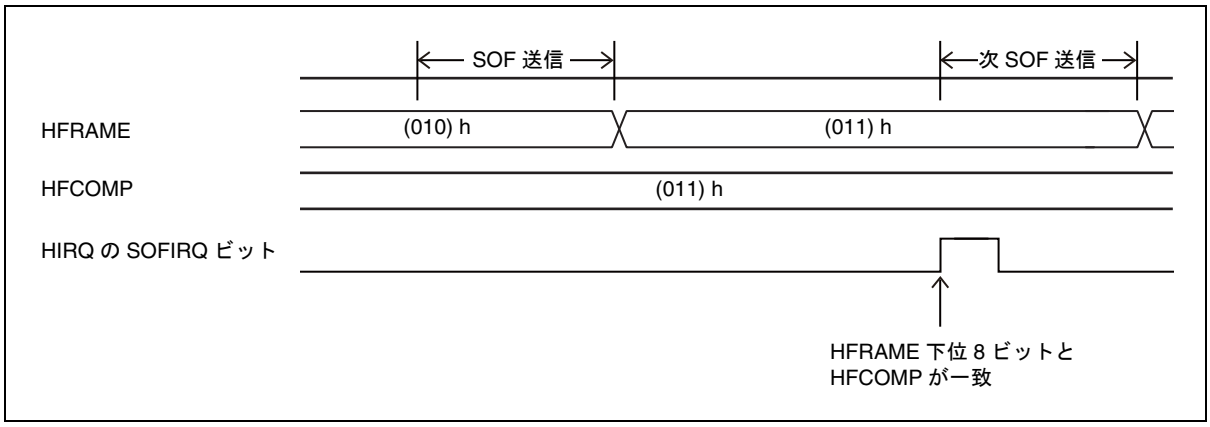


図 28.4-7 SOF 割込み動作例 (ホストコントロールレジスタ 1 (HCNT1) の SOFSTEP=0 の場合)



ホストコントロールレジスタ 1 (HCNT1) の CANCEL ビットに "1" を書き込むと , EOF 領域内でホストトークンエンドポイントレジスタ (HTOKEN) に SOF トークン以外のトークンを設定して , 次の SOF でホスト割込みレジスタ (HIRQ) の SOFIRQ ビットが "1" に変わる場合 , そのトークンは実行されずにホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットは "000_B" にクリアされます。このとき , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットは "1" に変わりません。トークンがキャンセルされたことは , SOFIRQ ビットが "1" に変わったときにホスト割込みレジスタ (HIRQ) の TCAN ビットでわかります。再度トークンを実行したい場合は , ホスト割込みレジスタ

(HIRQ) の TCAN ビットに "0" を書き込み , ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットに実行させたいトークンを書き込んでください。

ホストコントロールレジスタ 1 (HCNT1) の CANCEL ビットに "0" を書き込んだ場合は , SOF 送信後 , ホストトークンエンドポイントレジスタ (HTOKEN) に設定されたトークンが実行されます。

トークンキャンセル動作例を図 28.4-8, トークン動作例を図 28.4-9 に示します。

図 28.4-8 トークンキャンセル動作例
(ホストコントロールレジスタ 1 (HCNT1) の CANCEL=1 の場合)

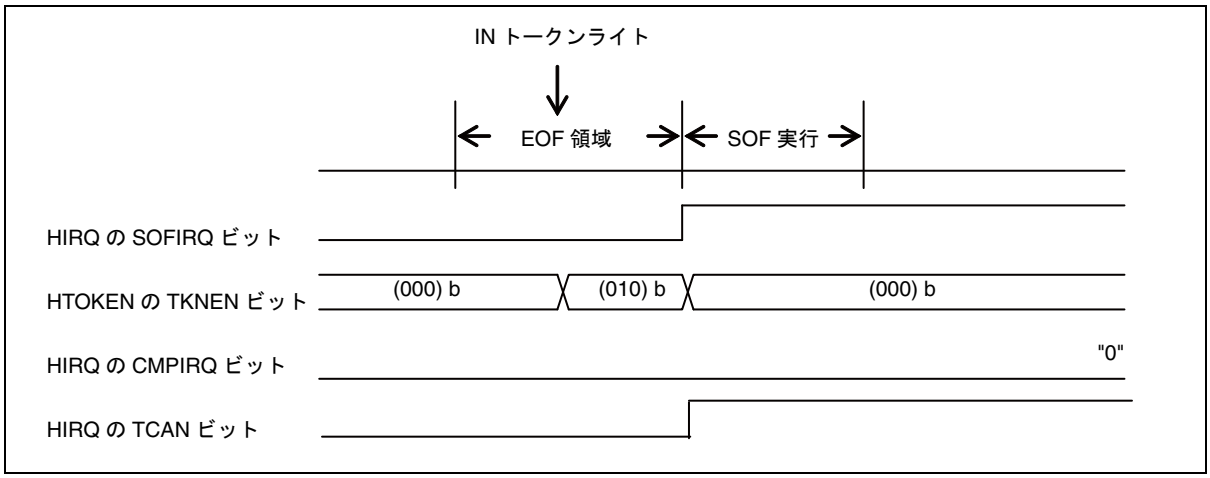
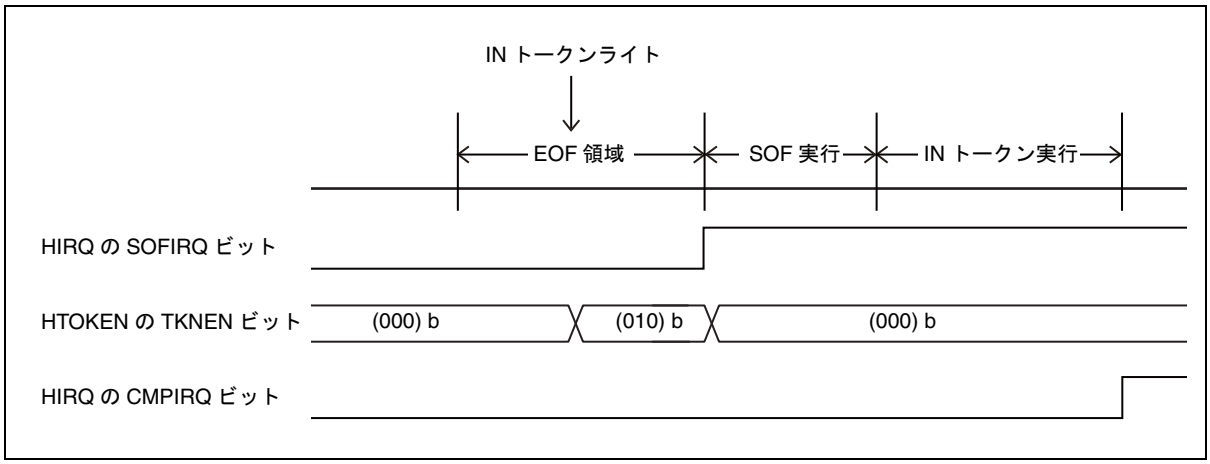


図 28.4-9 トークン動作例 (ホストコントロールレジスタ 1 (HCNT1) の CANCEL =0 の場合)



28.4.8　エラーステータス

USB ホストは各種エラー情報をサポートしています。
ここではエラーステータスについて説明します。

■ Stuffing Error

6 ビットが連続して "1" の場合は , "0" を 1 ビット挿入することになっていますが , 7 ビット連続して "1" を検出すると Stuffing Error となり , ホストエラーステータスレジスタ (HERR) の STUFF ビットが "1" に変わります。STUFF ビットをクリアするには , STUFF ビットに "0" を書き込んでください。STUFF ビットをクリアしないで次のトークンを実行した場合は , 次のトークンの終了時に更新されます。

■ Toggle Error

IN トークン時 , データパケットのトグルデータとホストトークンエンドポイントレジスタ (HTOKEN) の TGGL ビットを比較し , 一致しなかった場合は Toggle Error となり , ホストエラーレジスタ (HERR) の TGERR ビットが "1" に変わります。TGERR ビットをクリアするには , ホストエラーレジスタ (HERR) の TGERR ビットに "0" を書き込んでください。TGERR ビットをクリアしないで次のトークンを実行した場合は , 次のトークンの終了時に更新されます。

■ CRC Error

IN トークン時 , 受信したデータパケットのデータと CRC を CRC の多項式
$G(X)=X^{16}+X^{15}+X^{2}+1$ で計算し , 剰余が "$800d_H$" でなければ CRC error が発生したことになり , ホストエラーレジスタ (HERR) の CRC ビットが "1" に変わります。CRC ビットをクリアするには , ホストエラーレジスタ (HERR) の CRC ビットに "0" を書き込んでください。CRC ビットをクリアせずに次のトークンを実行した場合は , 次のトークンの終了時に更新されます。

■ Time Out Error

所定時間内にデータパケットやハンドシェークが入力されなかった場合や , 受信データ中に SE0 が検出された場合 , Stuffing Error が検出された場合は , ホストエラーステータスレジスタ (HERR) の TOUT ビットが "1" に変わります。TOUT ビットをクリアするには , ホストエラーレジスタ (HERR) の TOUT ビットに "0" を書き込んでください。TOUT ビットをクリアせずに次のトークンを実行した場合は , 次のトークンの終了時に更新されます。

■ Receive Error

受信バッファとして EP1 が使用されている場合は EP1 制御レジスタ (EP1C) の PKS ビットの数値が , EP2 が使用されている場合は EP2 制御レジスタ (EP2C) の PKS ビットの数値が , 受信パケットサイズとなります。その受信パケットサイズよりも多くのデータを受信した場合 , ホストエラーステータスレジスタ (HERR) の RERR ビットが "1" に変わります。RERR ビットをクリアするには , ホストエラーレジスタ (HERR) の RERR ビットに "0" を書き込んでください。RERR ビットをクリアせずに次のトークンを実行した場合は , 次のトークンの終了時に更新されます。

28.4.9 パケット終了

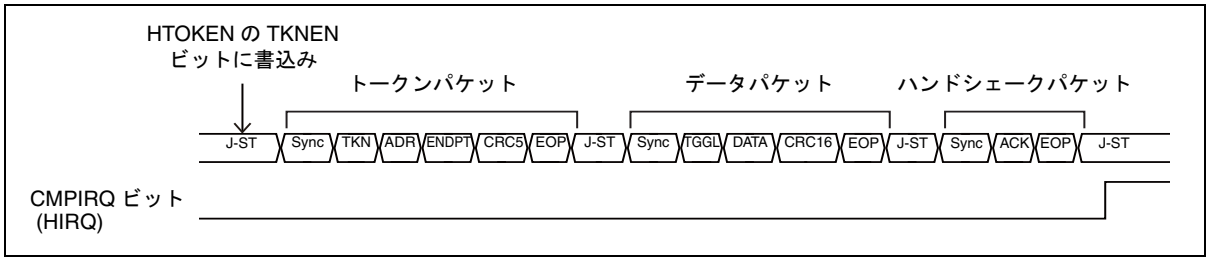
パケット終了時の動作について説明します。

USB ホストで 1 パケット終了すると , ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットが "1" に変わります。そのとき , ホストコントロールレジスタ 0 (HCNT0) の CMPIRE ビットが "1" のときに割込み要求が発生します。

1 パケット終了すると以下のタイミングで割込みフラグが発生します。

ホストトークンエンドポイントレジスタ (HTOKEN) のTKNENビットが"001_B", "010_B", または "011_B" (SETUP トークン , IN トークン , または OUT トークン) のときのパケット終了タイミング例を図 28.4-10 に示します。

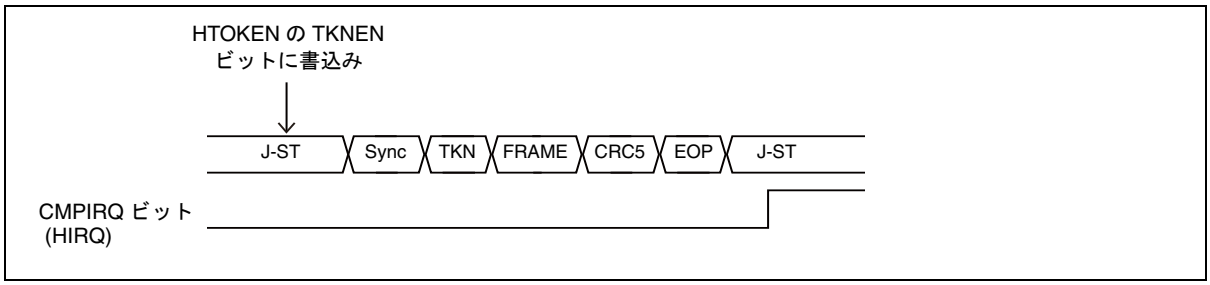
図 28.4-10 ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットセットタイミング例 1



J-ST：J State
TKN：トークン
ADR：アドレス
ENDPT：エンドポイント
TGGL：トグル

ホストトークンエンドポイントレジスタ (HTOKEN) の TKNEN ビットが "100_B" (SOF トークン) のときのパケット終了タイミング例を図 28.4-11 に示します。

図 28.4-11 ホスト割込みレジスタ (HIRQ) の CMPIRQ ビットセットタイミング例 2



J-ST：J State
TKN：トークン
FRAME：フレーム番号

28.4.10　サスペンド・リジューム

USB ホストではサスペンドとリジュームをサポートしています。
サスペンドとリジュームの動作について説明します。

■ サスペンド動作

ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットに "1" を書き込むと , USB バスがハイインピーダンス状態になり , クロックが必要ない回路ブロックは停止し , USB 回路はサスペンド状態になります。サスペンド状態になると , ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットは "1" に変わります。

USB バスのリセット中 , ホスト状態ステータスレジスタ (HSTATE) の SOFBUSY ビットが "1" のとき , データの送受信中はサスペンドに設定しないでください。また , サスペンド中に USB へ供給しているクロックを停止させないでください。クロックを停止させる動作には , 次の動作があります。

- ストップモードまたは時計モードへの遷移
- USB クロック設定レジスタ (UCCR) の UCEN ビットに "0" を書き込む

■ リジューム動作

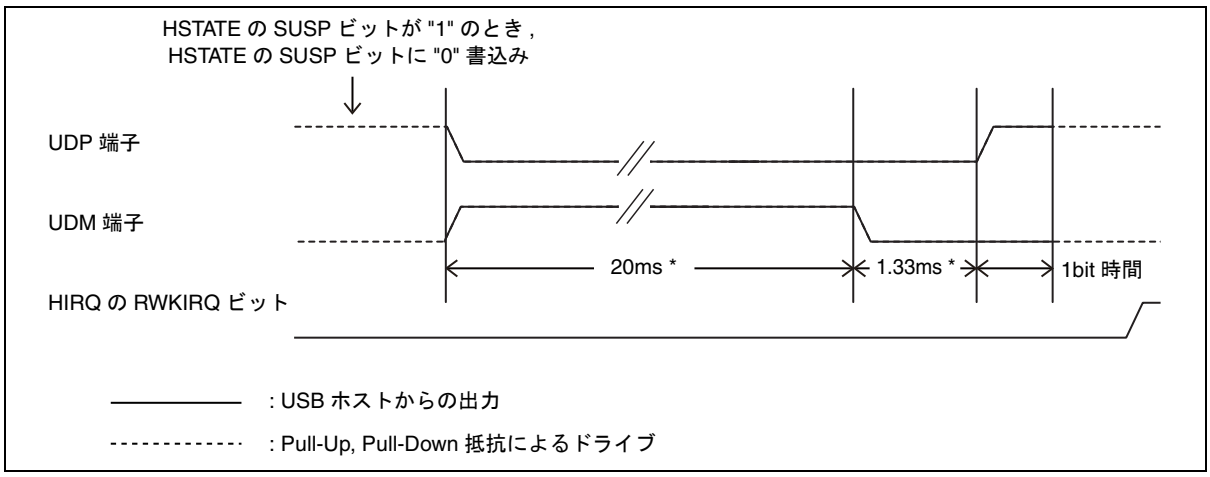
次のいずれかの条件が成立したときに , サスペンド状態からリジュームの動作が開始されます。

1. ホスト状態ステータスレジスタ (HSTATE) の SUSP ビットに "0" の書込み
2. UDP/UDM 端子が K State になったことを検出
3. デバイスが切断されたことを検出
4. デバイスが接続されたことを検出

ホスト割込みレジスタ (HIRQ) の RWKIRQ ビットが "1" に変わると , トークンの発行が可能になります。

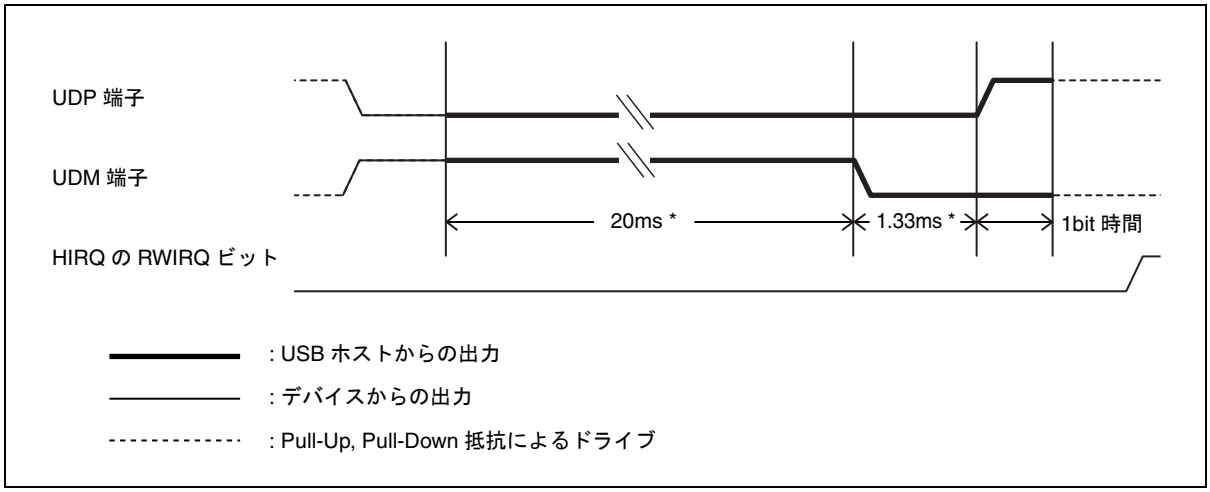
条件 1, 2, 3, 4 によるリジューム動作を図 28.4-12, 図 28.4-13, 図 28.4-14, 図 28.4-15 に示します。

図 28.4-12　レジスタによるリジューム動作 (Full Speed モード時)



*：数値は保証するものではありません。

図 28.4-13 UDP/UDM 端子が K State を検出したことによる リジューム動作 (Full Speed モード)



*：数値は保証するものではありません。

図 28.4-14 デバイス切断によるリジューム動作

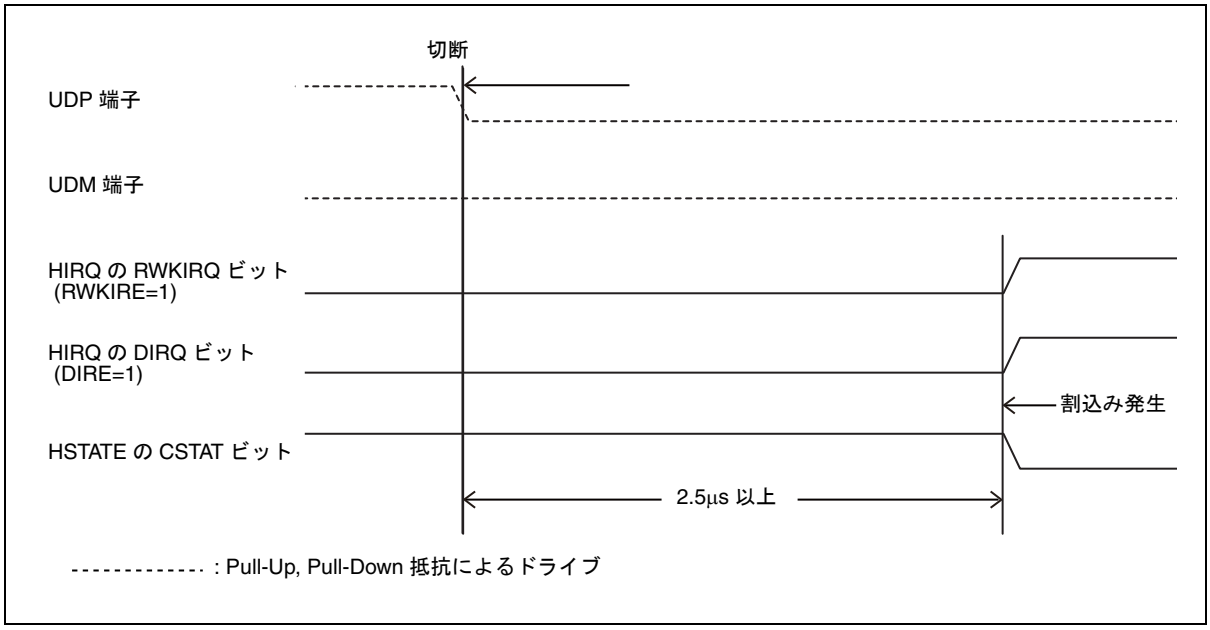
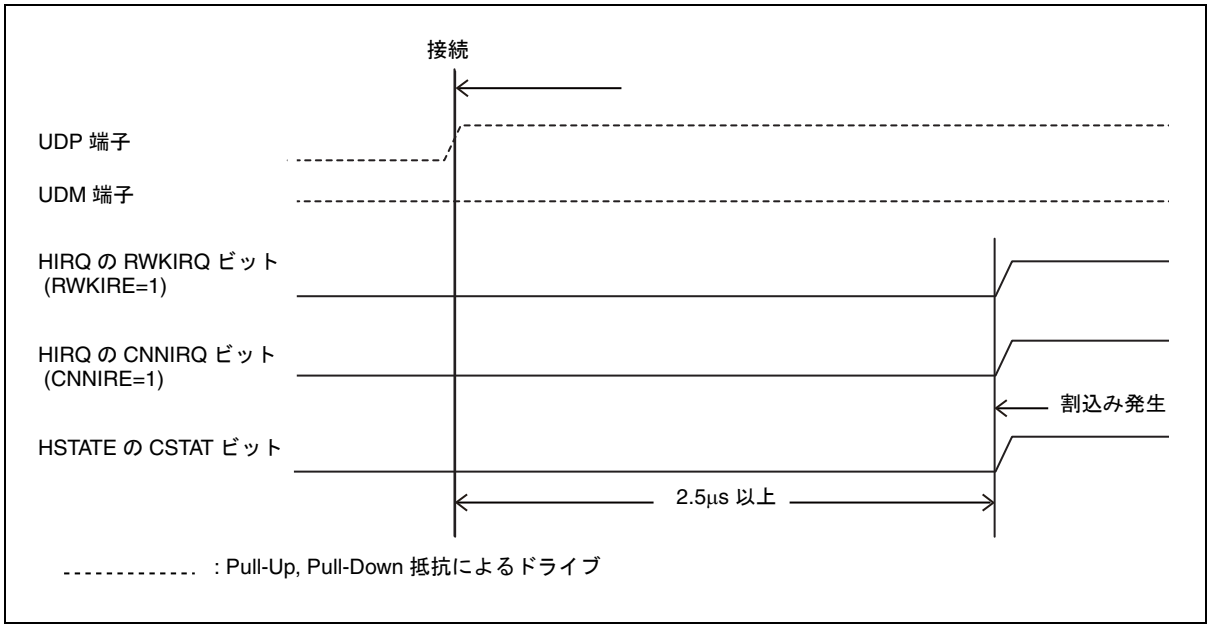


図 28.4-15 デバイス接続によるリジューム動作



28.4.11　USB デバイスの切断

USB デバイスの切断動作について説明します。

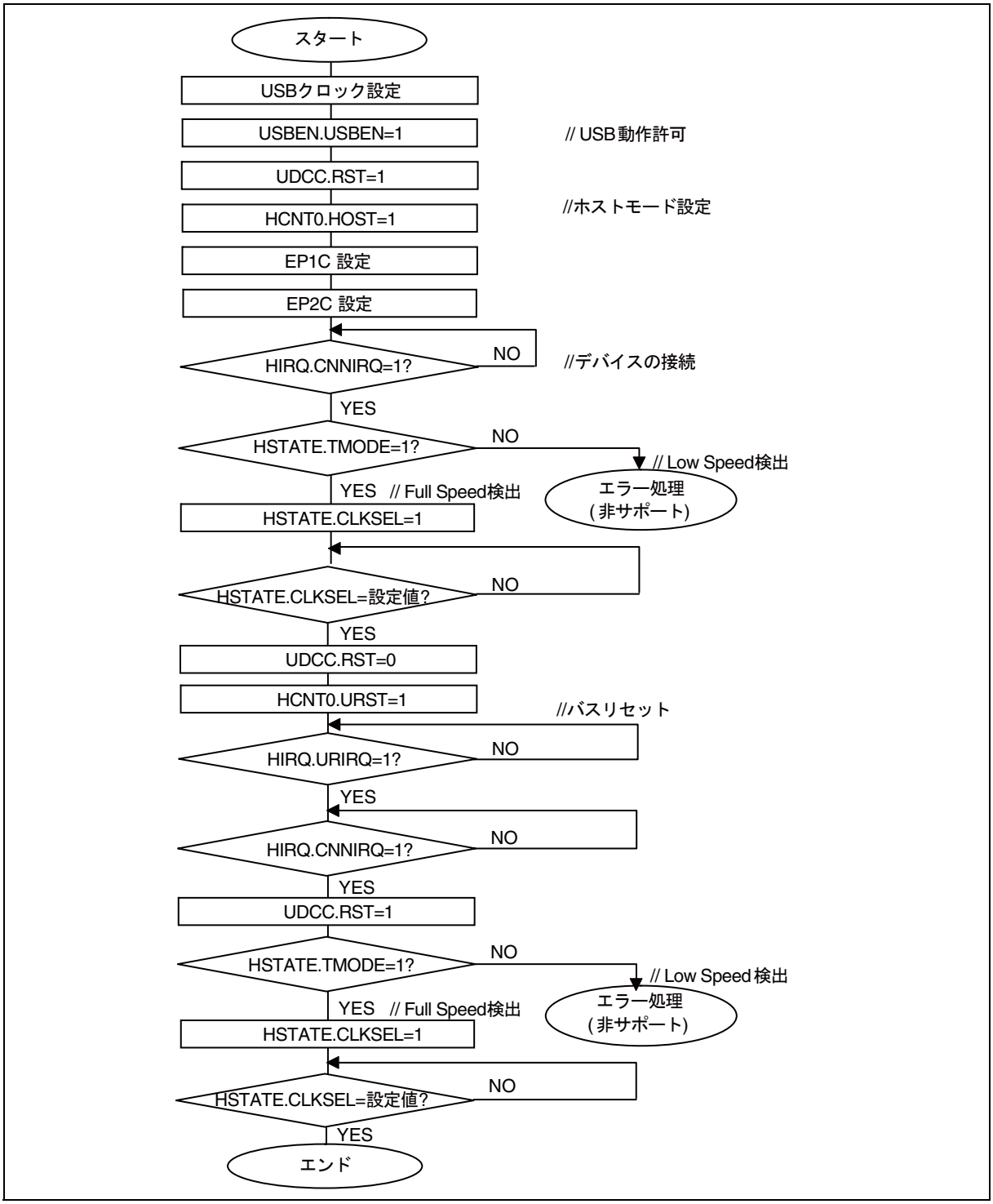
UDP/UDM 端子がともに 2.5µs 以上 "L" レベルになると , USB デバイスが切断されたと判断され , ホスト状態ステータスレジスタ (HSTATE) の CSTAT ビットが "0" に変わり , ホスト割込みレジスタ (HIRQ) の DIRQ ビットは "1" に変わります。そのとき , ホストコントロールレジスタ 0 (HCNT0) の DIRE ビットが "1" であれば , 割込みが発生します。この割込み要求をクリアしたい場合は, ホスト割込みレジスタ (HIRQ) のDIRQビットに "0" を書き込んでください。

USB バスのリセットを実行すると , USB デバイスが切断されたと判断され , ホスト状態レジスタ (HSTATE) の CSTAT ビットは "0" に変わりますが , ホスト割込みレジスタ (HIRQ) の DIRQ ビットは "1" に変わりません。

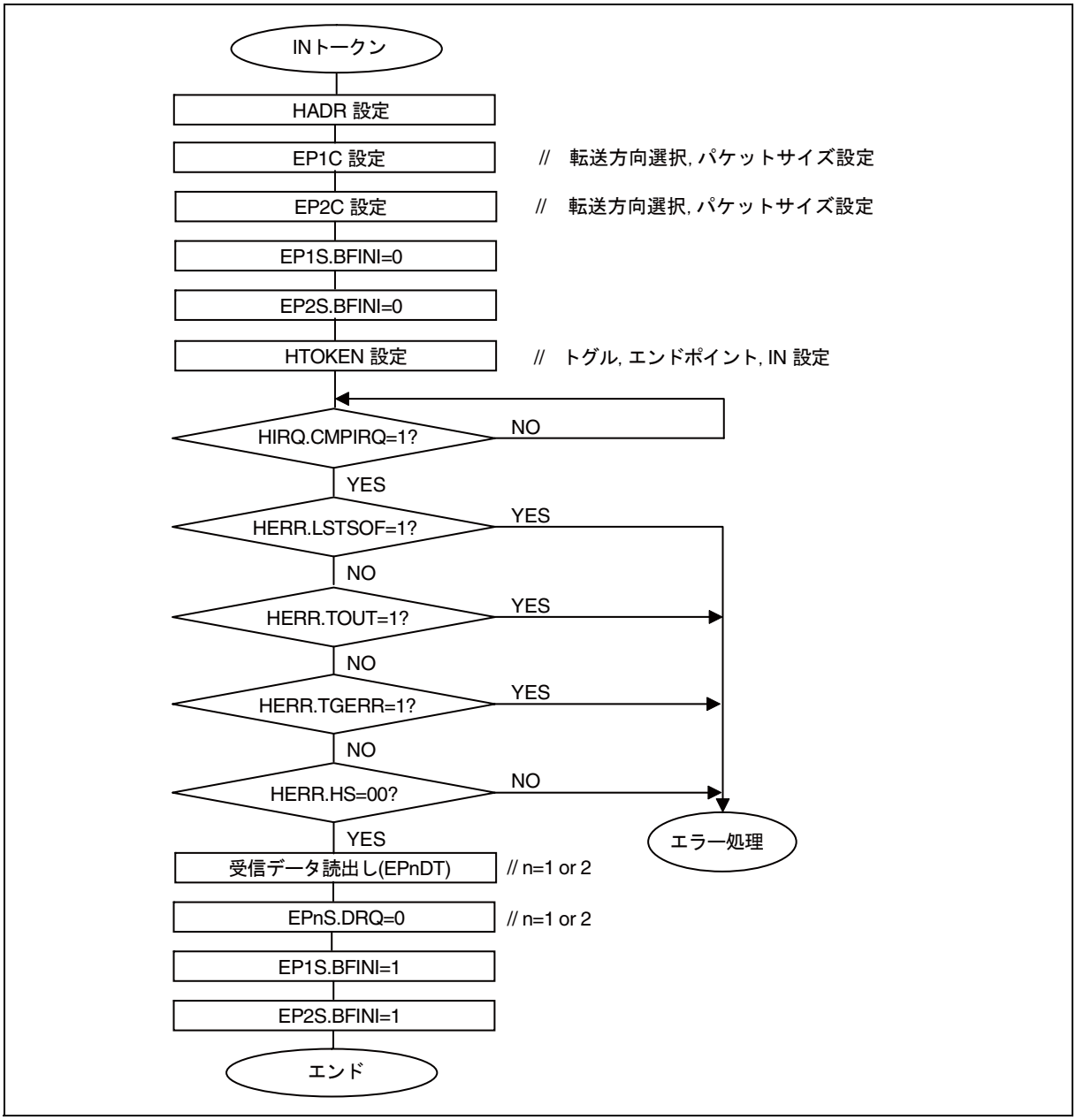
28.4.12　USB ホストの各トークンフローチャート

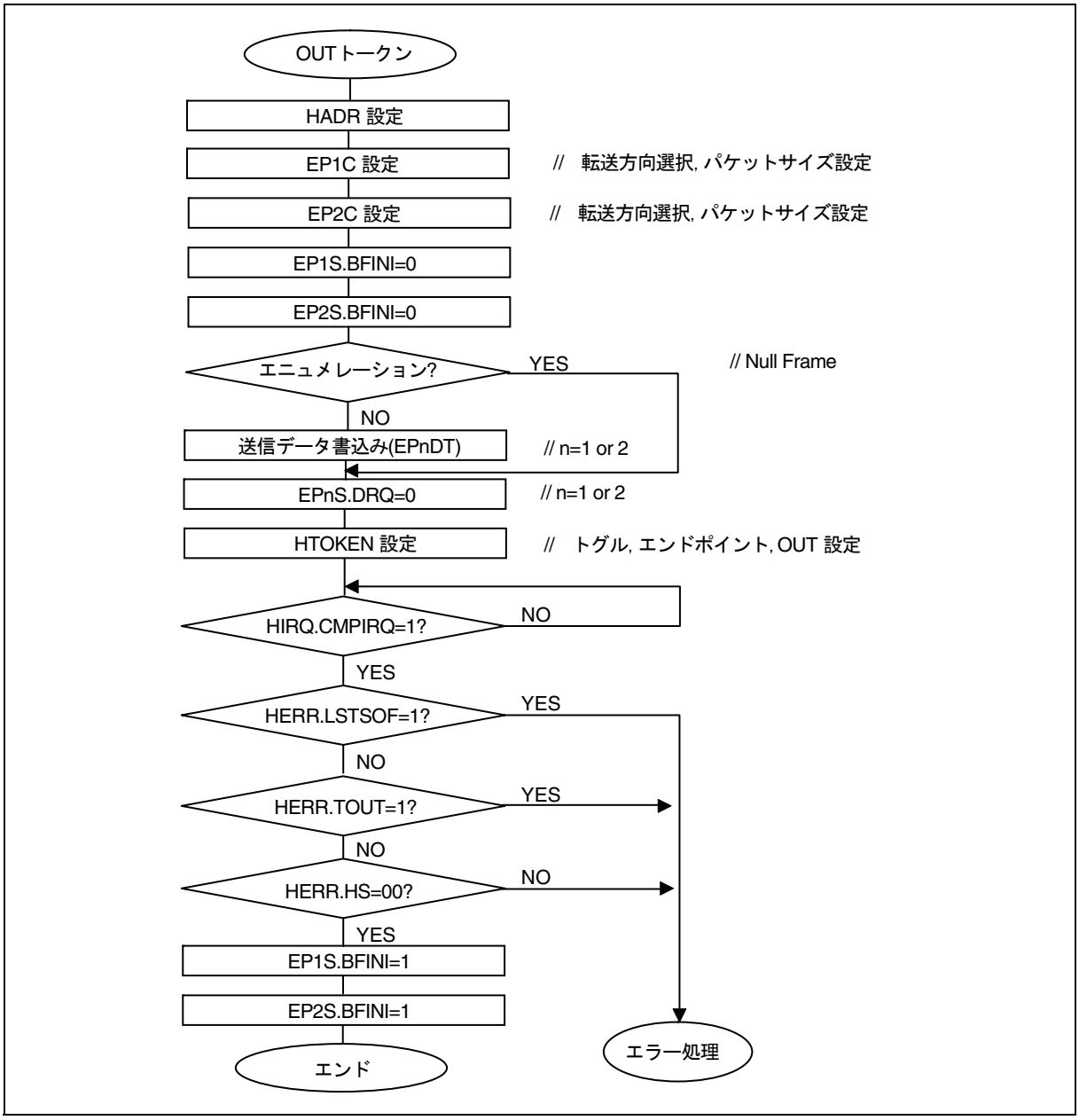
USB ホストの各トークンのフローチャートは以下のとおりです。

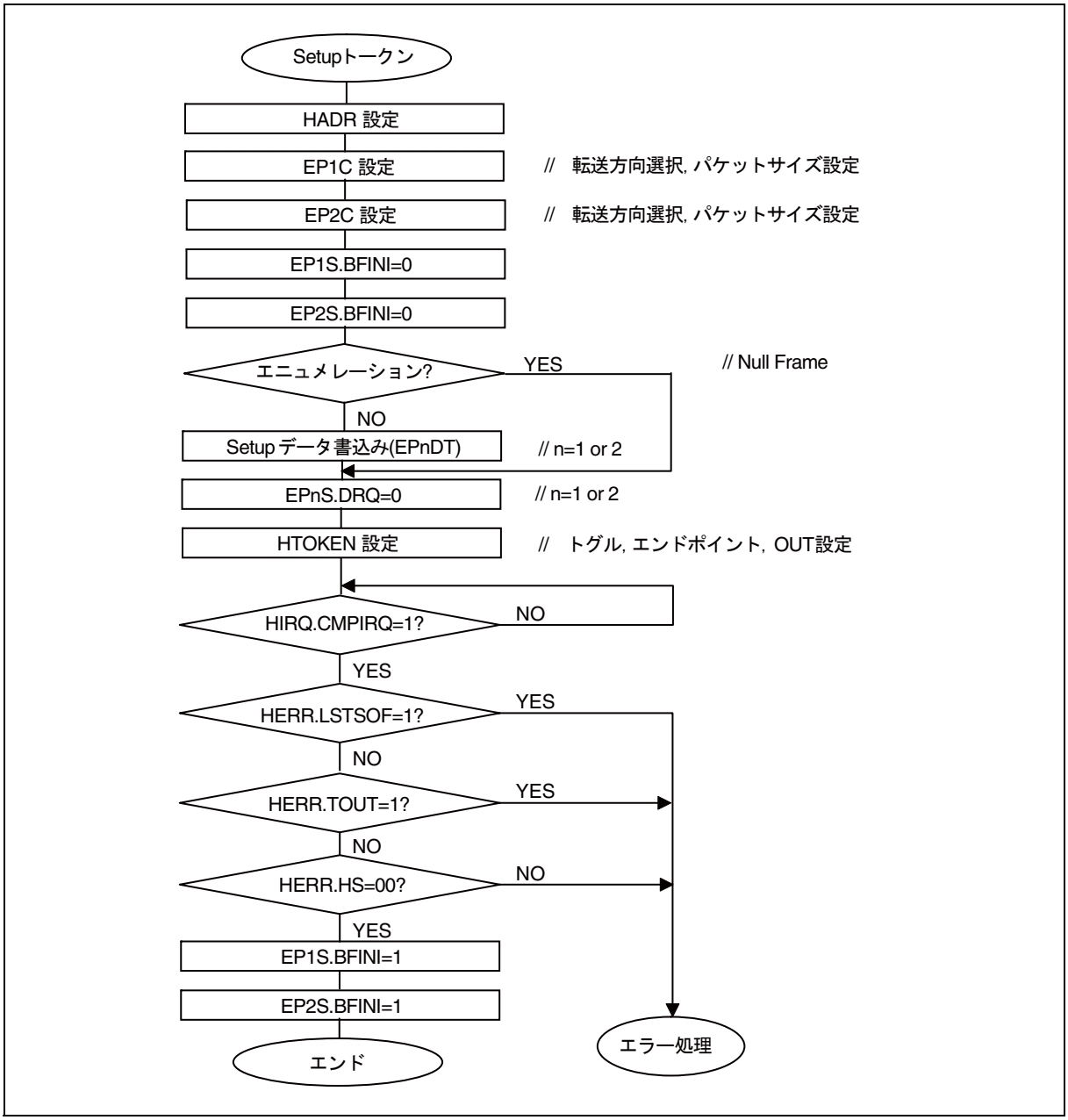
■ 初期化 , デバイス検出



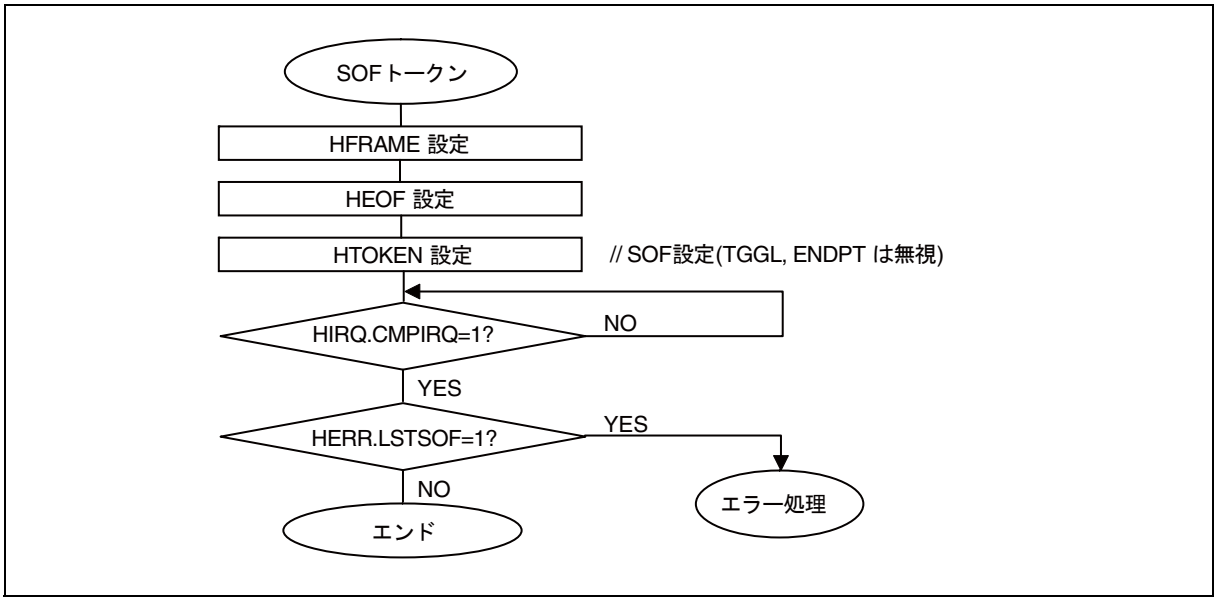
■ IN, OUT, SETUP トークン




OUT トークン
HADR 設定
EP1C 設定
// 転送方向選択, パケットサイズ設定
EP2C 設定
// 転送方向選択, パケットサイズ設定
EP1S.BFINI=0
EP2S.BFINI=0
エニュメレーション?
YES
// Null Frame
NO
送信データ書込み(EPnDT)
// n=1 or 2
EPnS.DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル, エンドポイント, OUT 設定
HIRQ.CMPIRQ=1?
NO
YES
HERR.LSTSOF=1?
YES
NO
HERR.TOUT=1?
YES
NO
HERR.HS=00?
NO
YES
EP1S.BFINI=1
EP2S.BFINI=1
エンド
エラー処理


Setupトークン
HADR 設定
EP1C 設定
// 転送方向選択, パケットサイズ設定
EP2C 設定
// 転送方向選択, パケットサイズ設定
EP1S.BFINI=0
EP2S.BFINI=0
エニュメレーション?
YES
// Null Frame
NO
Setup データ書込み(EPnDT)
// n=1 or 2
EPnS.DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル, エンドポイント, OUT設定
HIRQ.CMPIRQ=1?
NO
YES
HERR.LSTSOF=1?
YES
NO
HERR.TOUT=1?
YES
NO
HERR.HS=00?
NO
YES
EP1S.BFINI=1
EP2S.BFINI=1
エンド
エラー処理

■ SOF トークン


SOF トークン
HFRAME 設定
HEOF 設定
HTOKEN 設定
// SOF設定(TGGL, ENDPT は無視)
HIRQ.CMPIRQ=1?
NO
YES
HERR.LSTSOF=1?
YES
NO
エラー処理
エンド

第 29 章　リモコン受信

HDMI-CEC 受信・ACK 自動応答 , リモコン受信の機能と動作について説明します。

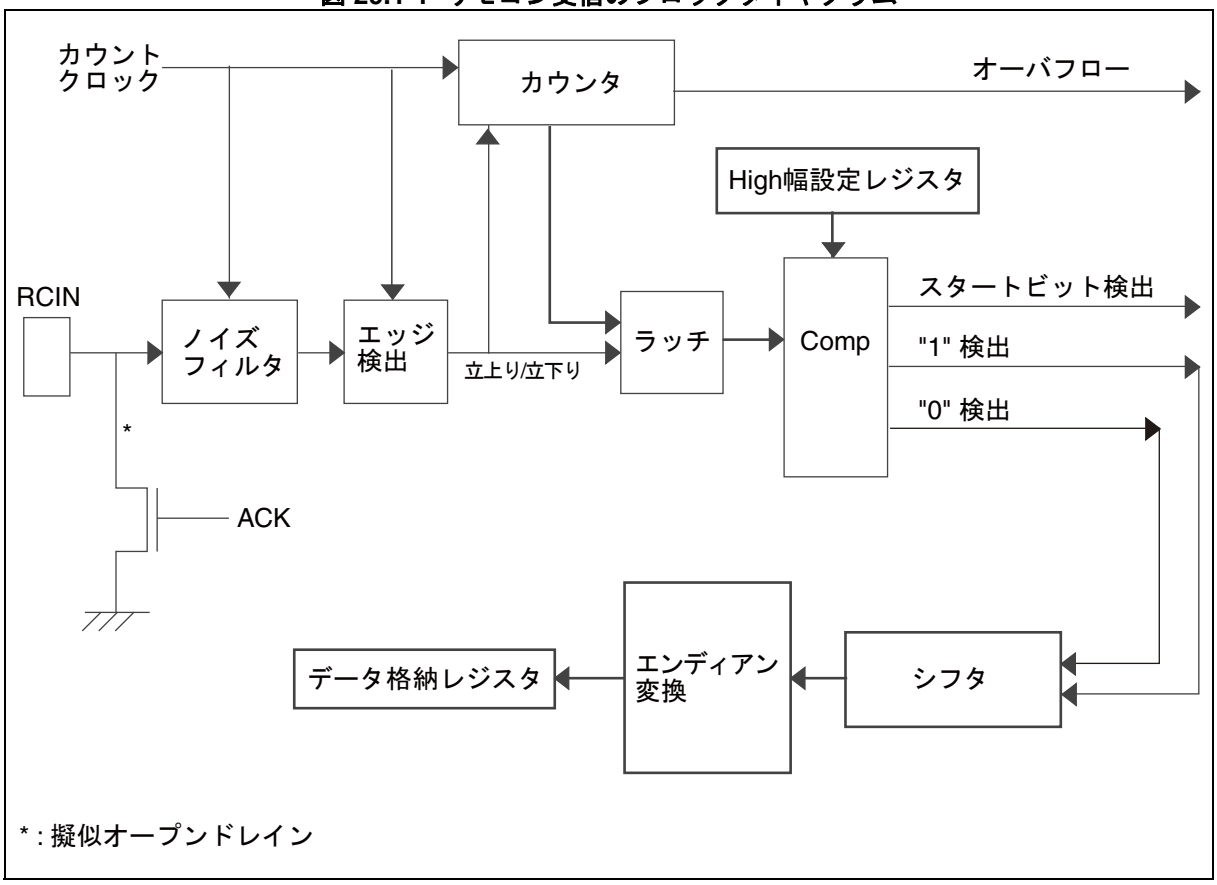
29.1 リモコン受信の概要
29.2 リモコン受信のレジスタ
29.3 リモコン受信の動作説明と設定手順例

29.1　リモコン受信の概要

本製品には , HDMI-CEC 受信・ACK 自動応答 , リモコン受信の機能が搭載されています。

■ リモコン受信のブロックダイヤグラム

図 29.1-1 リモコン受信のブロックダイヤグラム



29.2　リモコン受信のレジスタ

リモコン受信で使用するレジスタの構成と機能について説明します。

■ リモコン受信のレジスタ構成

リモコン受信のレジスター一覧を表 29.2-1 に示します。

表 29.2-1 リモコン受信のレジスター一覧

アドレス	レジスタ略称	レジスタ名
000020_H	RCCR	リモコン受信制御レジスタ *1
000021_H	RCST	リモコン受信割込み制御レジスタ *1
000022_H	RCSHW	スタートビット "H" 幅設定レジスタ *1
000023_H	RCDAHW	"H" 幅設定レジスタ A *1
000024_H	RCDBHW	"H" 幅設定レジスタ B *1
000025_H	予約	
000026_H	RCADR1	デバイスアドレス設定レジスタ 1 *1
000027_H	RCADR2	デバイスアドレス設定レジスタ 2 *1
000028_H	RCDTHH	データ格納レジスタ HH
000029_H	RCDTHL	データ格納レジスタ HL
$00002A_H$	RCDTLH	データ格納レジスタ LH
$00002B_H$	RCDTLL	データ格納レジスタ LL
$00002C_H$	RCCKD	クロック分周レジスタ *2
$00002D_H$		

*1 : 8 ビットアクセスのみ可能
*2 : 16 ビットアクセスのみ可能

29.2.1　リモコン受信制御レジスタ (RCCR)

リモコン受信制御レジスタ (RCCR) のビット構成を図 29.2-1 に示します。

■ リモコン受信制御レジスタ (RCCR)

図 29.2-1 リモコン受信制御レジスタ (RCCR) のビット構成

bit	7	6	5	4	3	2	1	0
	THSEL	予約	予約	予約	ADRCE	MOD1	MOD0	EN
属性	R/W							
初期値	0	—	—	—	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7]：THSEL

しきい値選択ビットです。
初期値は "0" です。
"H" 幅設定レジスタ A/B によって "0", "1" を判定する基準を設定します。

状態	THSEL	
	0	1
W ＞ 幅 A W ＜ 幅 B	"0" データ	"1" データ
W ＞ 幅 A W ≧ 幅 B	"1" データ	"0" データ

[bit 6 ～ bit 4]：予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 3]：ADRCE

アドレス比較許可ビットです。
初期値は "0"(比較禁止) で , "1" にすると受信アドレスとデバイスアドレスの比較が許可されます。
比較許可の場合 , アドレスが一致したときのみ ACK/OVF 割込みが発生します。
CEC モードの場合 , アドレス一致を検出すると ACK 応答を返します。ブロードキャストアドレスの場合は一致とみなしますが , ACK 応答は行いません。
SIRCS モード・HDMI-CEC モード以外のときは "0" に設定してください。

[bit 2, bit 1]：**MOD1, MOD0**

リモコン受信の動作モードを設定します。

MOD1	MOD0	機能
0	0	SIRCS モード [初期値]
0	1	設定禁止
1	0	NEC/ 家電協モード (リピート信号未対応)
1	1	HDMI-CEC モード

SIRCS モード以外 (MOD1=1 のとき) は , 入力信号を内部で反転して処理しています。
High 幅比較は Low 幅に対して適用されます。

[bit 0]：**EN**

動作許可ビットです。
本ビットを "1" にすると , リモコン受信動作が開始されます。
初期値は "0"(停止) です。
本ビットが"1"のとき(動作中)は,下記の設定レジスタ・ビットは変更しないでください。

RCCR レジスタの THSEL ビット , ADRCE ビット , MOD ビット
RCST レジスタの OVFSEL ビット
RCSHW, RCDAHW, RCDBHW, RCADR1, RCADR2, RCCKD レジスタ

29.2.2　リモコン受信割込み制御レジスタ (RCST)

リモコン受信割込み制御レジスタ (RCST) のビット構成を図 29.2-2 に示します。

■ リモコン受信割込み制御レジスタ (RCST)

図 29.2-2 リモコン受信割込み制御レジスタ (RCST) のビット構成

bit	7	6	5	4	3	2	1	0
	STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性	R/W							
初期値	0							

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7]：STIE

スタートビット割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit 6]：ACKIE

ACK 割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

CEC モードのみ有効です。

[bit 5]：OVFIE

カウンタオーバフロー割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

本割込みは,スタートビットが検出された後にオーバフローが発生した場合のみ発生します。
スタートビット未検出の状態では割込みは発生しません。

[bit 4]：**OVFSEL**

オーバフロー検出の条件を設定するビットです。

値	説明
0	カウンタが 128 クロックカウントするとオーバフローが発生します。
1	カウンタが 256 クロックカウントするとオーバフローが発生します。

[bit 3]：**ST**

スタートビット検出を示すビットです。

値	説明
0	スタートビット未検出
1	スタートビット検出

"0" 書込みでクリアされます。
STIE ビットが "1" のとき , スタートビットを検出すると割込みが発生します。

[bit 2]：**ACK**

ACK 検出を示すビットです。

値	説明
0	ACK 未検出
1	ACK 検出

"0" 書込みでクリアされます。
ACKIE ビットが "1" のとき , ACK を検出すると割込みが発生します。
アドレス比較許可の場合は , アドレス一致した場合のみ割込みが発生します。
CEC モードのみ有効です。

[bit 1]：**EOM**

EOM 検出を示すビットです。

値	説明
0	EOM 未検出
1	EOM 検出

"0" 書込みでクリアされます。
CEC モードのみ有効です。

[bit 0]：**OVF**

カウンタオーバフローの検出を示すビットです。

値	説明
0	カウンタオーバフロー未検出
1	カウンタオーバフロー検出

アドレス比較許可の場合は , アドレス一致した場合のみ割込みが発生します。
"0" 書込みでクリアされます。
SIRCS モード時は , 2 バイト目を受信するまでは OVF フラグはセットされません。

29.2.3　デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)

デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) のビット構成を図 29.2-3 に示します。

■ デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)

図 29.2-3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) のビット構成

bit	7	6	5	4	3	2	1	0
	予約			RCADR1, 2				
属性				R/W				
初期値	—	—	—	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7 ～ bit 5]：予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 4 ～ bit 0]：**RCADR1, 2**

デバイス側 (受信側) のアドレスを設定するレジスタです。
本レジスタに設定したアドレスが , リモコン受信したデバイスアドレスや HDMI-CEC のデスティネーションと比較されます。
HDMI-CEC モード時は , 本レジスタに $0F_H$(ブロードキャストアドレス) を設定しないでください。

29.2.4　スタートビット "H" 幅設定レジスタ (RCSHW)

スタートビット "H" 幅設定レジスタ (RCSHW) のビット構成を図 29.2-4 に示します。

■ スタートビット "H" 幅設定レジスタ (RCSHW)

図 29.2-4 スタートビット "H" 幅設定レジスタ (RCSHW) のビット構成

bit	7	0
	RCSHW	
属性	R/W	
初期値	0	

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

スタートビットの "H" 期間を設定するレジスタです。
設定値を超える幅の "H" が受信されると , スタートビットと認識します。
受信した信号の "H" 幅が設定値未満の場合 , スタートビット未検出となり , 再度スタートビット "H" の検出待ち状態となります。
OVFSEL=0のときは RCSHW ≦ 127(オーバフロー検出を超えない値) としてください。

29.2.5　"H" 幅設定レジスタ A (RCDAHW)

"H" 幅設定レジスタ A (RCDAHW) のビット構成を図 29.2-5 に示します。

■ "H" 幅設定レジスタ A (RCDAHW)

図 29.2-5 "H" 幅設定レジスタ A (RCDAHW) のビット構成

bit	7	0
	RCDAHW	
属性	R/W	
初期値	0	

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

"H" 期間を設定するレジスタ A です。
本レジスタに設定する値は , 2 ≦ RCDAHW ＜ RCDBHW となるようにしてください。
また , CEC モード時は , RCDAHW ＜ 46 となるようにしてください (ACK 応答パルス幅未満)。

29.2.6　"H" 幅設定レジスタ B (RCDBHW)

"H" 幅設定レジスタ B (RCDBHW) のビット構成を図 29.2-6 に示します。

■ "H" 幅設定レジスタ B (RCDBHW)

図 29.2-6 "H" 幅設定レジスタ B (RCDBHW) のビット構成

bit	7	0
	RCDBHW	
属性	R/W	
初期値	0	

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

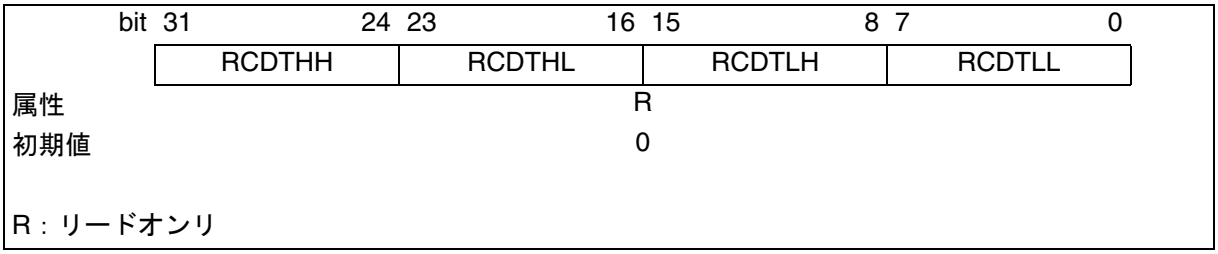
"H" 期間を設定するレジスタ B です。
RCCDAHW より小さい値は設定しないでください。
必ず RCCDAHW ＜ RCCDBHW ＜ RCSHW となるように設定してください。

29.2.7　データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)

データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) のビット構成を図 29.2-7 に示します。

■ データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)

図 29.2-7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) のビット構成



受信したデータを格納するレジスタです。
CEC モードの場合は RCDTHH に受信データが格納されます。
リモコンモードの場合は , 8 ビット受信するごとに RCDTHH から順に格納されます。
カウンタオーバフロー割込み発生時は , それまで受信されたビットが MSB 詰めで格納されます。
RCCR レジスタの EN ビットが "0" のときは , 本レジスタからは不定が読み出されます。
4 バイト分を超える信号が入力された場合 , 超過分は無視され , レジスタには反映されません。

29.2.8　クロック分周設定レジスタ (RCCKD)

クロック分周設定レジスタ (RCCKD) のビット構成を図 29.2-8 に示します。

■ クロック分周設定レジスタ (RCCKD)

図 29.2-8 クロック分周設定レジスタ (RCCKD) のビット構成

bit	15 … 13	12	11 … 0
	予約	CKSEL	CKDIV
属性	R/W	R/W	R/W
初期値	―	0	0

R/W：リード / ライト可能

< 注意事項 >

本レジスタは , 16 ビットアクセスのみ可能です。

[bit 15 ～ bit 13]：予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 12]：**CKSEL**

動作クロックを選択します。

値	説明
0	リソースクロックを分周したクロックが選択されます。
1	原発振クロック (32kHz) が選択されます。

クロック分周レジスタ (RCCKD) の CKSEL ビットでサブクロックを選択する場合 , クロックソース設定レジスタ (CSELR) の SCEN ビットに "1" を書き込んでサブクロックを発振させてください。

[bit 11 ～ bit 0]：**CKDIV**

リソースクロックの分周比を設定します。
分周比は CKDIV ＋ 1 となります。
1 分周 (非分周) ～ 4096 分周まで設定できます (CKSEL=1 の時は分周されません)。

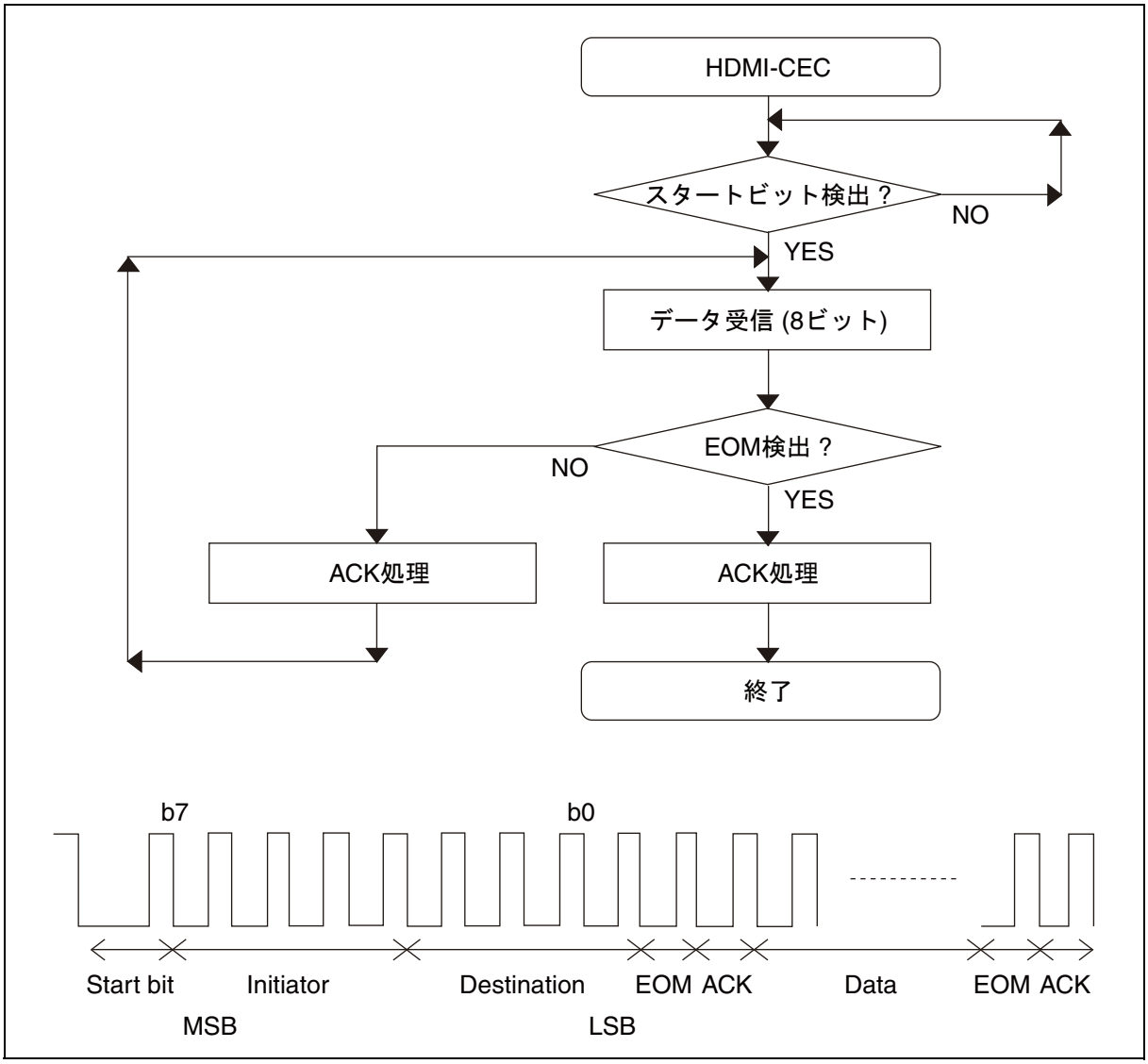
29.3　リモコン受信の動作説明と設定手順例

リモコン受信の動作について説明します。また , 各動作状態を設定するための設定例も示します。

■ リモコン受信の動作フローチャート

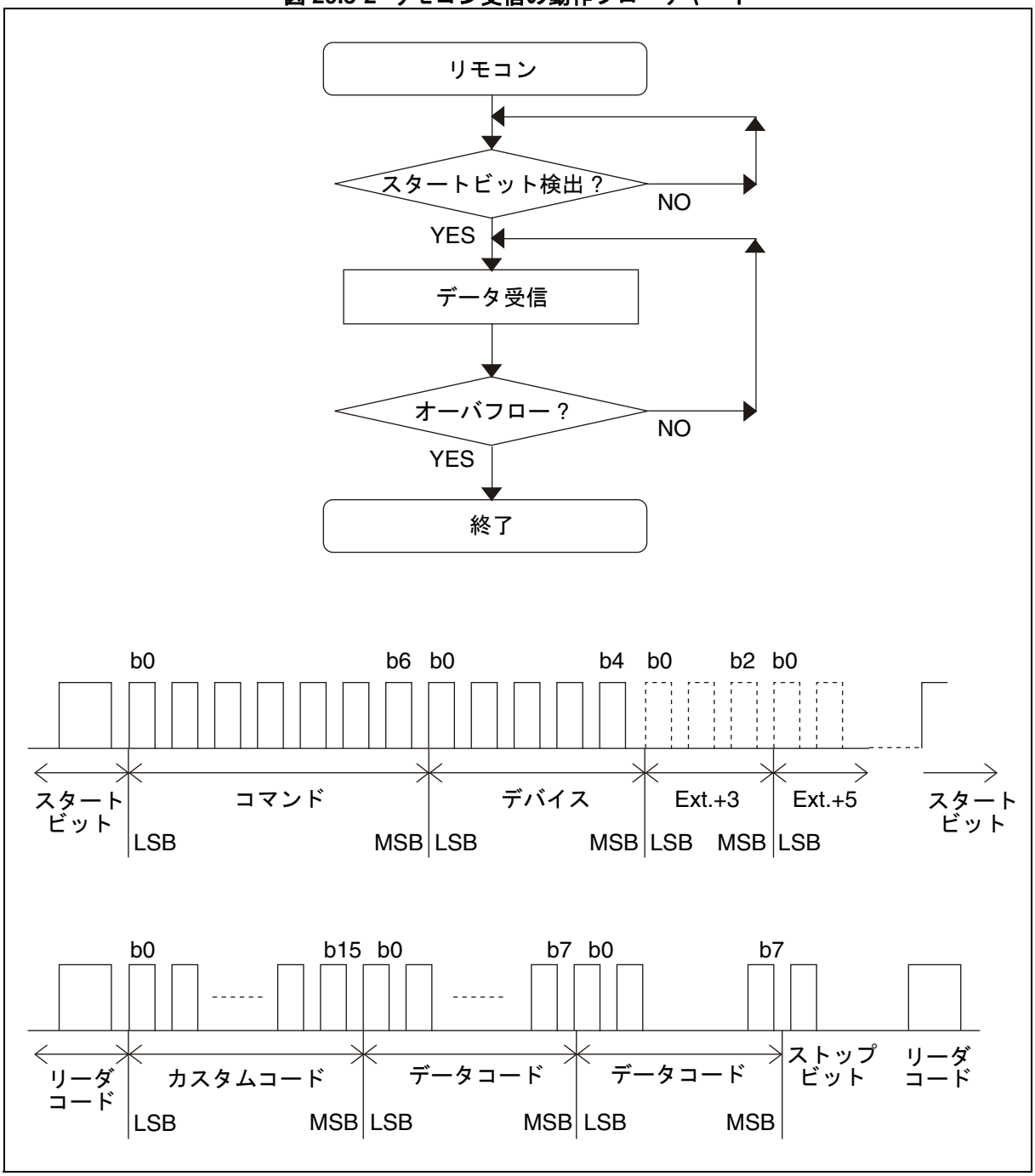
● HDMI-CEC 受信

図 29.3-1 HDMI-CEC 受信の動作フローチャート



● リモコン受信

図 29.3-2 リモコン受信の動作フローチャート



■ リモコン受信の設定例

表 29.3-1 HDMI-CEC 時の設定例

レジスタ	設定値	備考
リモコン受信制御レジスタ	MOD=11, THSEL=1, ADRCE=1	
リモコン受信割込み制御レジスタ	ACKIE=1, OVFSEL=1, OVFIE=1	(7.8 ms)
スタートビット "H" 幅設定レジスタ	114	3.5 ms
"H" 幅設定レジスタ A	13	0.4 ms
"H" 幅設定レジスタ B	42	1.3 ms

表 29.3-2 リモコン (SIRCS) 時の設定例

レジスタ	設定値	備考
リモコン受信制御レジスタ	MOD=00, THSEL=0, ADRCE=1	
リモコン受信割込み制御レジスタ	ACKIE=0, OVFSEL=0, OVFIE=1	3.9 ms
スタートビット "H" 幅設定レジスタ	76	2.3 ms
"H" 幅設定レジスタ A	17	0.52 ms
"H" 幅設定レジスタ B	37	1.1 ms

表 29.3-3 リモコン (NEC) 時の設定例

レジスタ	設定値	備考
リモコン受信制御レジスタ	MOD=10, THSEL=0	
リモコン受信割込み制御レジスタ	ACKIE=0, OVFSEL=1, OVFIE=1	7.8 ms
スタートビット "H" 幅設定レジスタ	144	4.4 ms
"H" 幅設定レジスタ A	15	0.46 ms
"H" 幅設定レジスタ B	52	1.6 ms

第 30 章 OSDC

OSDC について説明します。

30.1 OSDC の仕様
30.2 表示機能
30.3 制御機能
30.4 表示制御コマンド (MAIN/OSDC 動作)
30.5 表示制御コマンド (SUB 動作)
30.6 表示制御コマンドライト条件・反映タイミング

30.1 OSDC の仕様

OSDC の仕様について説明します。

■ OSDC の仕様

30.1.1 特長
30.1.2 ブロックダイヤグラム

30.1.1 特長

OSDC は , 表示画面構成は最大 60 桁× 32 行 , 1 文字の構成は最大 32 ドット× 32 ドットの高精度表示可能なオンスクリーン・ディスプレイ・コントローラです。内蔵のパレット回路により 65536 色中 256 色の色表示設定が可能です。
また , MAIN 画面および SUB 画面表示 , スプライト機能 , 文字・画面背景文字機能 , グラフィック機能などにより , 多彩な表示が可能となっております。

■ 特長

OSDC の特長を , 以下に示します。

● 画面表示容量

MAIN 画面 ：最大 60 桁× 32 行 (最大 1920 文字)
SUB 画面 ：最大 60 桁× 32 行 (最大 1920 文字)

● 文字構成

L サイズ ：[横] 32 ドット × [縦] 2 ～ 32 (2 ドット単位設定)
M サイズ ：[横] 24 ドット × [縦] 2 ～ 32 (2 ドット単位設定)
S サイズ ：[横] 16 ドット × [縦] 2 ～ 32 (2 ドット単位設定)

- L, M, S サイズは文字単位に設定可能です。
- 縦の値は行単位に設定可能です。

● 文字種類

最大 16384 文字種内蔵可能 *
*: グラフィック文字は , 連続する 8 文字分を使用します。

● 表示モード

通常文字／グラフィック文字	(文字単位設定)
ふちどり表示 (全周囲ふちどり／右ふちどり／影ふちどり)	(行単位設定)
文字背景 (ベタ／影付背景／背景文字)	(文字単位設定)
イタリック表示	(文字単位設定)
アンダーライン表示	(文字単位設定)
行背景 (ベタ／影付背景)	(行単位設定)
拡大 (標準 , 横 2 倍 , 縦 2 倍 , 縦 2 倍×横 2 倍 , 横 4 倍 , 縦 4 倍 , 縦 4 倍×横 4 倍等)	(行単位設定)
ブリンク	
ブリンク文字指定	(文字単位設定)
ブリンクモード設定	(文字単位設定)
ブリンク周期 , デューティー比	(画面単位設定)

●スプライト文字表示 (グラフィック文字のみ使用可)

MAIN/SUB 画面上に 2 ブロック (最大 , 横 2 文字×縦 2 文字構成) 表示が可能です。
(縦横 1 ドット単位の表示位置移動が可能)

● 画面背景文字表示 (グラフィック文字のみ使用可)

MAIN/SUB画面下に繰返しパターン(最大, 横2文字×縦2文字構成)表示が可能です。

● 表示色

文字色／文字背景色	: 各 65536 色中 256 色 (文字単位設定)
行背景色／文字ふちどり色	: 各 65536 色中 256 色 (行単位設定)
画面背景色	: 65536 色中 256 色 (画面単位設定)
グラフィック文字ドット色	: 65536 色中 256 色 (ドット単位設定)
影付背景枠色 (ハイライト／シャドウ)	: 8 種 65536 色中 256 色 (文字単位設定)

● 表示位置制御

MAIN 画面水平表示位置	: 1 ドット単位に設定可能
MAIN 画面垂直表示位置	: 1 ドット単位に設定可能
SUB 画面水平表示位置	: 1 ドット単位に設定可能
SUB 画面垂直表示位置	: 1 ドット単位に設定可能
スプライト画面水平表示位置	: 1 ドット単位に設定可能
スプライト画面垂直表示位置	: 1 ドット単位に設定可能
行間隔制御	: 2 ドット単位に設定可能 (行単位設定)

● 文字／色信号出力

R[4:0], G[5:0], B[4:0]	: OSD 色デジタル出力信号
ROUT, GOUT, BOUT	: OSD 色アナログ出力信号
VOB	: OSD 表示期間信号 *
VOA[2:0]	: OSD アルファブレンド表示期間信号 *

*: VOB,VOA[2:0] はデジタル / アナログ共通です。
また , VOA[2:0] は VOB アサート時に有効データを出力します。

● 割込み機能

行表示終了検出割込み
垂直同期信号検出割込み
VRAM フィル終了検出割込み

● クロック周波数

デジタル最大周波数：75MHz
アナログ最大周波数：50MHz

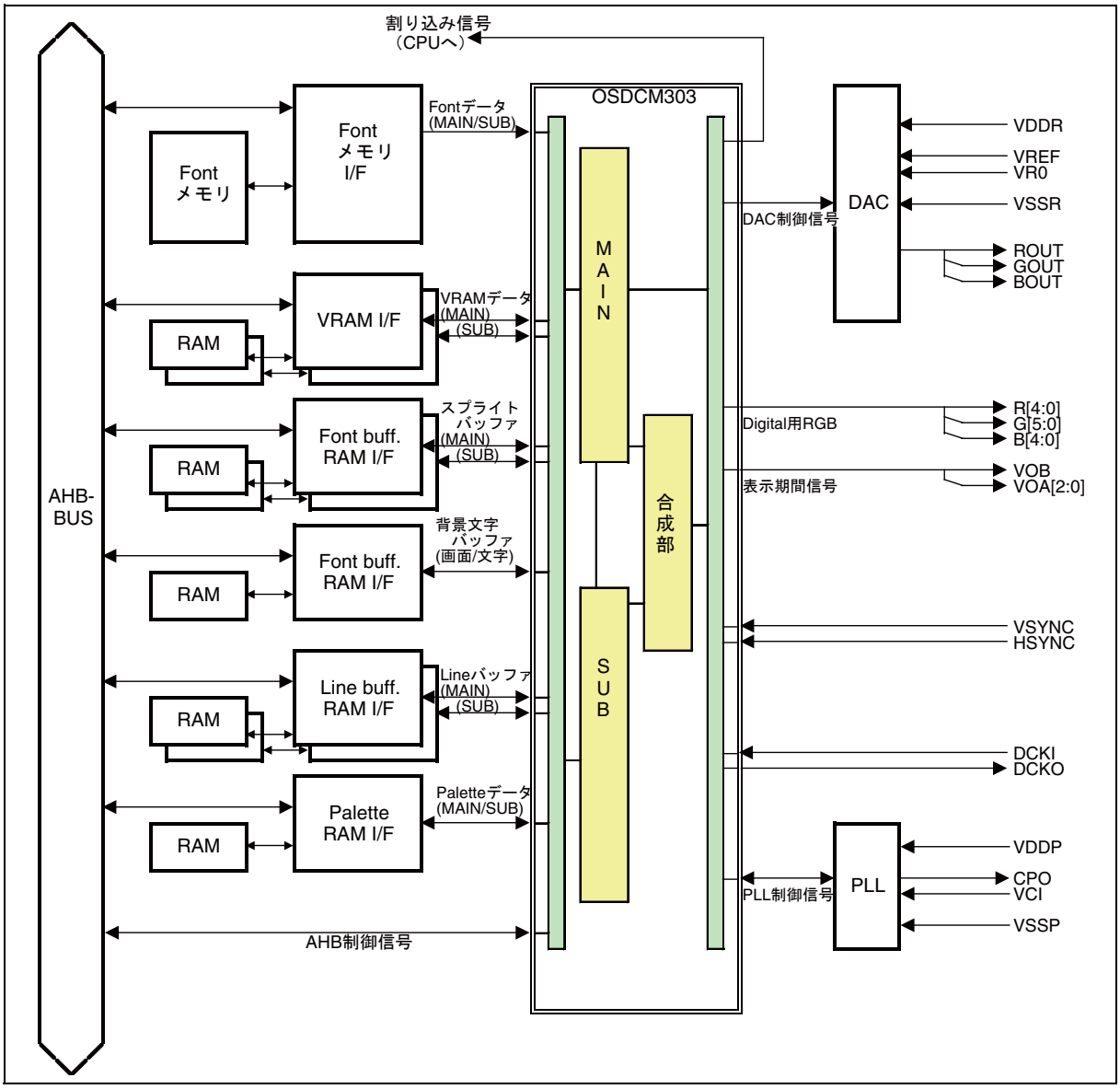
30.1.2 ブロックダイヤグラム

OSDC および周辺のブロックダイヤグラムを以下に示します。

■ ブロックダイヤグラム

図 30.1-1 に , OSDC および周辺のブロックダイヤグラムを示します。

図 30.1-1 OSDC および周辺のブロックダイヤグラム



30.2 表示機能

OSDC の表示機能について説明します。

■ 表示機能

30.2.1 画面構成
30.2.2 画面表示形式
30.2.3 画面出力制御
30.2.4 画面表示位置制御
30.2.5 フォントメモリ構成
30.2.6 表示メモリ (VRAM) 構成
30.2.7 表示メモリ (VRAM) 書込み
30.2.8 パレット構成
30.2.9 文字表示
30.2.10 文字背景表示
30.2.11 行背景表示
30.2.12 画面背景表示
30.2.13 スプライト文字表示

30.2.1 画面構成

表示画面は , 各画面要素を組み合わせて構成されます。

■ 画面構成

MAIN 画面優先 (SUB 動作：画面出力制御 (コマンド 5-0), MCC=0) 設定時における表示画面は , 表 30.2-1 に示す優先順位にて各画面要素を組み合わせて構成されます。

表 30.2-1 表示画面の画面要素 (MAIN 画面優先設定時)

	表示画面名		画面構成	表示位置制御
上位層	スプライト文字 (MAIN)		1 個 (最大 2 × 2 文字構成)	水平 / 垂直：1dot
	スプライト文字 (SUB)		1 個 (最大 2 × 2 文字構成)	水平 / 垂直：1dot
	MAIN 画面	文字 (＋ふちどり)	60 桁 × 32 行	水平 / 垂直：1dot
		文字背景	60 桁 × 32 行	(MAIN 文字と同じ)
		行背景	32 行	水平：固定 垂直：(MAIN 文字と同じ)
	SUB 画面	文字 (＋ふちどり)	60 桁 × 32 行	水平 / 垂直：1dot
		文字背景	60 桁 × 32 行	(SUB 文字と同じ)
		行背景	32 行	水平：固定 垂直：(SUB 文字と同じ)
	MAIN 画面背景文字		1 種 (最大 2 × 2 文字構成)・ 全画面またはウィンドウ	固定
	MAIN 画面背景		単色・全画面またはウィンドウ	固定
下位層	SUB 画面背景		単色・全画面またはウィンドウ	固定

SUB 画面優先 (SUB 動作：画面出力制御 (コマンド 5-0), MCC=1) 設定時における表示画面は , 表 30.2-2 に示す優先順位にて各画面要素を組み合わせて構成されます。

表 30.2-2 表示画面の画面要素 (SUB 画面優先設定時)

	表示画面名		画面構成	表示位置制御
上位層	スプライト文字 (SUB)		1 個 (最大 2 × 2 文字構成)	水平 / 垂直：1dot
	スプライト文字 (MAIN)		1 個 (最大 2 × 2 文字構成)	水平 / 垂直：1dot
	SUB 画面	文字 (＋ふちどり)	60 桁 × 32 行	水平 / 垂直：1dot
		文字背景	60 桁 × 32 行	(SUB 文字と同じ)
		行背景	32 行	水平：固定 垂直：(SUB 文字と同じ)
	MAIN 画面	文字 (＋ふちどり)	60 桁 × 32 行	水平 / 垂直：1dot
		文字背景	60 桁 × 32 行	(MAIN 文字と同じ)
		行背景	32 行	水平：固定 垂直：(MAIN 文字と同じ)
	SUB 画面背景		単色・全画面またはウィンドウ	固定
	MAIN 画面背景文字		1 種 (最大 2 × 2 文字構成)・ 全画面またはウィンドウ	固定
下位層	MAIN 画面背景		単色・全画面またはウィンドウ	固定

■ 画面構成図 1

図 30.2-1 に MAIN 画面優先設定時の画面構成図 (全体), また図 30.2-2 に SUB 画面優先設定時の画面構成図 (全体) を示します。

図 30.2-1 画面の構成図 (全体・MAIN 画面優先設定時)

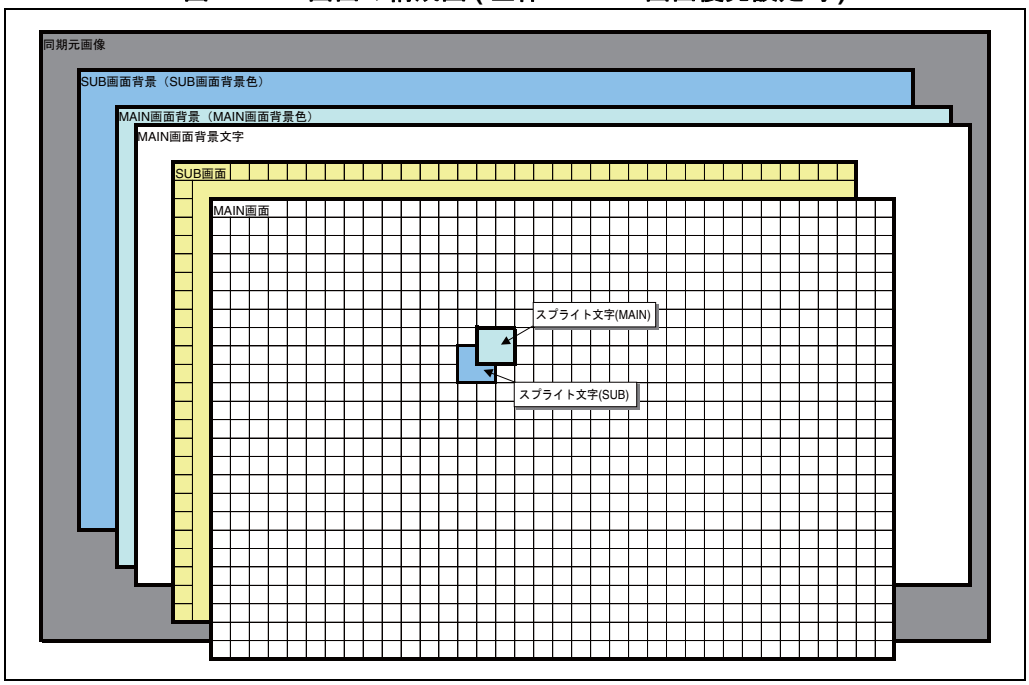
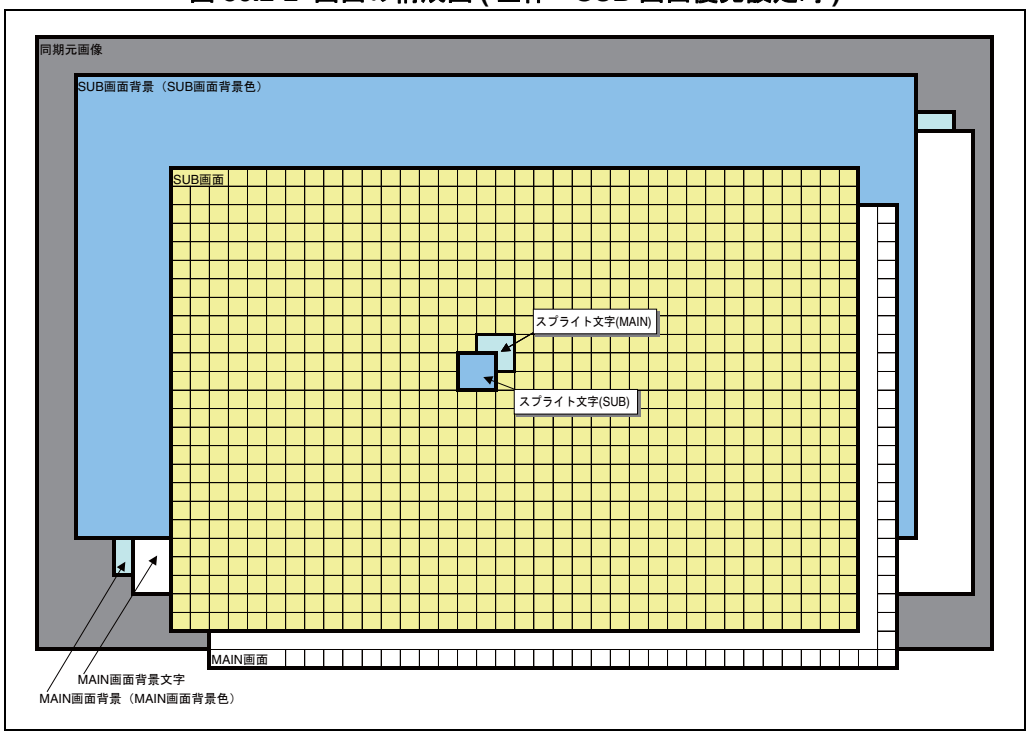


図 30.2-2 画面の構成図 (全体・SUB 画面優先設定時)

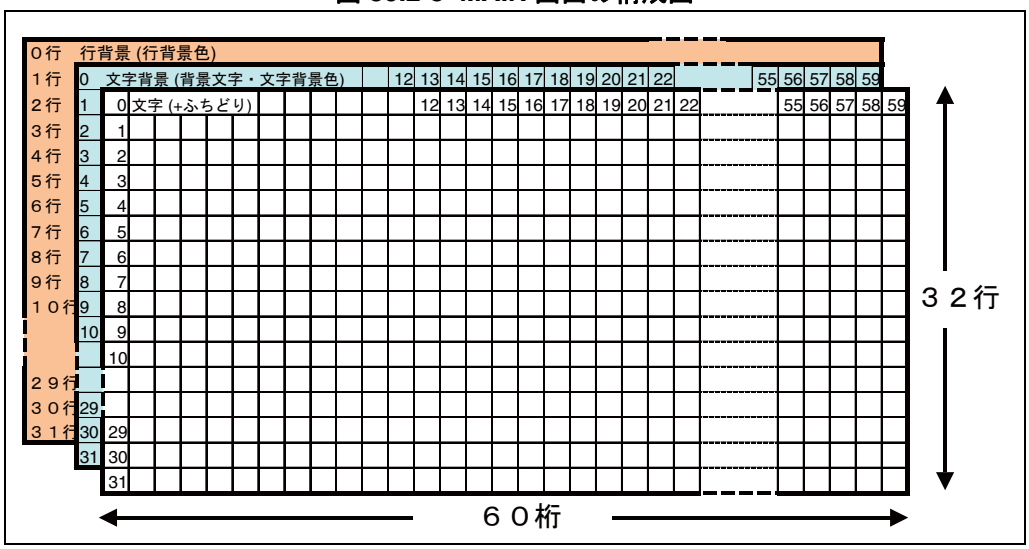


■ 画面構成図 2

図 30.2-3 に , MAIN 画面の構成図を示します。

(注) 影付背景 (行背景 , 文字背景) の影枠部分およびアンダーラインは , 文字より優先表示します。行背景の影枠と文字背景の影枠が重なった場合には , 文字背景の影枠を優先表示します。また , 影枠とアンダーラインが重なった場合には影枠を優先表示します。

図 30.2-3 MAIN 画面の構成図

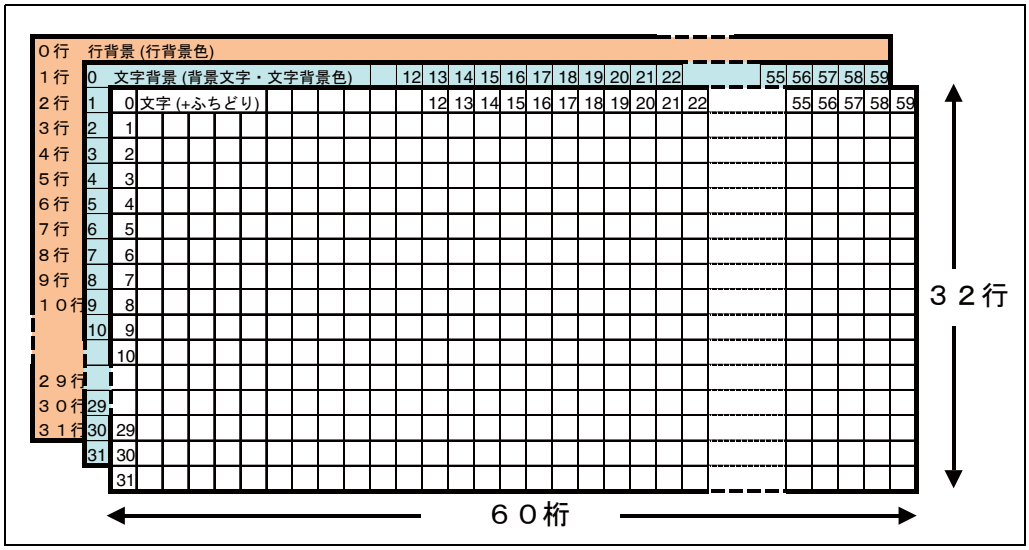


■ 画面構成図 3

図 30.2-4 に , SUB 画面の構成図を示します。

(注) 影付背景 (行背景 , 文字背景) の影枠部分およびアンダーラインは , 文字より優先表示します。行背景の影枠と文字背景の影枠が重なった場合には , 文字背景の影枠を優先表示します。また , 影枠とアンダーラインが重なった場合には影枠を優先表示します。

図 30.2-4 SUB 画面の構成図



30.2.2 画面表示形式

表 30.2-3 に , 各表示画面の要素について表示形式を示します。

■ 画面表示形式

表 30.2-3 画面表示形式 (1 / 2)

<table>
<tr><th>表示画面名</th><th colspan="11">表示形式</th></tr>
<tr><td colspan="2">MAIN
画面背景</td><td colspan="11">非表示</td></tr>
<tr><td colspan="2"></td><td colspan="11">表示 (全画面または MAIN 画面ウィンドウ内・外側)</td></tr>
<tr><td colspan="2">MAIN
画面背景
文字</td><td colspan="11">非表示</td></tr>
<tr><td colspan="2"></td><td colspan="2">表示
(全画面または
MAIN 画面ウィンドウ内・外側)
※ グラフィック文字のみ使用可</td><td>文字構成</td><td colspan="8">1 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="8">横 2 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="8">縦 2 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="8">縦 2 × 横 2 文字構成 [文字背景・背景文字表示は無効]</td></tr>
<tr><td rowspan="15">MAIN 画面</td><td rowspan="4">行
背景</td><td colspan="7">非表示</td><td colspan="2">行間隔</td><td rowspan="4">0 ～ 14 ドット
(上のみ or 下のみ or 上下)</td></tr>
<tr><td colspan="7">ベタ背景表示</td><td colspan="2" rowspan="3"></td></tr>
<tr><td colspan="3">影付背景凹表示 (2 ドット)</td><td colspan="3" rowspan="2">影付背景枠上 / 下表示制御</td><td>非表示</td></tr>
<tr><td colspan="3">影付背景凸表示 (2 ドット)</td><td>表示</td></tr>
<tr><td rowspan="4">文字
背景</td><td colspan="11">非表示</td></tr>
<tr><td colspan="7">ベタ背景表示</td><td colspan="2" rowspan="3">文字背景拡張
(行間隔設定が "0" 以外のとき有意)</td><td>通常</td></tr>
<tr><td rowspan="2">影付背景凹表示
(1 ～ 4 ドット)</td><td rowspan="2">影付背景
右文字結合</td><td rowspan="2">独立</td><td rowspan="2">影付背景枠上 / 下
消去制御</td><td rowspan="2">表示</td><td rowspan="2">拡張</td></tr>
<tr><td rowspan="2">影付背景凸表示
(1 ～ 4 ドット)</td><td rowspan="2">結合</td><td rowspan="2">非表示</td></tr>
<tr><td colspan="11">背景文字表示 [MAIN 画面背景文字縦 2 × 横 2 文字構成時では使用できません] *1</td></tr>
<tr><td>文字</td><td colspan="11">グラフィック文字</td></tr>
<tr><td rowspan="11">通常文字
表示 *2</td><td colspan="10">非表示 (空白文字)</td></tr>
<tr><td rowspan="4">ふちどり
出力制御</td><td>非表示</td></tr>
<tr><td>文字背景無のみ表示</td><td rowspan="3">ふちどり形式</td><td colspan="2">全周囲ふちどり</td><td rowspan="4">ふちどり種</td><td>1 ドット幅</td></tr>
<tr><td>影付背景以外で表示</td><td colspan="2">右ふちどり</td></tr>
<tr><td>全表示</td><td>影ふちどり</td><td>右下</td><td>2 ドット幅</td></tr>
<tr><td>右下 + 右</td></tr>
<tr><td rowspan="2">イタリック出力制御</td><td>非表示</td></tr>
<tr><td colspan="9">イタリック表示</td></tr>
<tr><td rowspan="2">アンダーライン出力制御</td><td>非表示</td></tr>
<tr><td colspan="9">アンダーライン表示</td></tr>
<tr><td colspan="2">スプライト文字
(MAIN)</td><td colspan="11">非表示</td></tr>
<tr><td colspan="2"></td><td colspan="3">表示
※ グラフィック文字のみ使用可</td><td colspan="2">文字構成</td><td colspan="6">1 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="6">横 2 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="6">縦 2 文字構成</td></tr>
<tr><td colspan="5"></td><td colspan="6">縦 2 × 横 2 文字構成</td></tr>
</table>

表 30.2-3 画面表示形式 (2 / 2)

<table>
<tr><th colspan="4">表示画面名</th><th colspan="8">表示形式</th></tr>
<tr><td colspan="4">SUB 画面背景</td><td colspan="8">非表示</td></tr>
<tr><td colspan="4"></td><td colspan="8">表示 (全画面または MAIN 画面ウィンドウ内・外側)</td></tr>
<tr><td rowspan="12">SUB 画面</td><td rowspan="4">行背景</td><td colspan="7">非表示</td><td rowspan="4">行間隔</td><td rowspan="4">0 ～ 14 ドット (上のみ or 下のみ or 上下)</td></tr>
<tr><td colspan="7">ベタ背景表示</td></tr>
<tr><td colspan="3">影付背景凹表示 (2 ドット)</td><td colspan="2" rowspan="2">影付背景枠上 / 下表示制御</td><td>非表示</td></tr>
<tr><td colspan="3">影付背景凸表示 (2 ドット)</td><td>表示</td></tr>
<tr><td rowspan="4">文字背景</td><td colspan="8">非表示</td></tr>
<tr><td colspan="8">ベタ背景表示</td><td rowspan="3">文字背景拡張 (行間隔設定が "0" 以外のとき有意)</td><td>通常</td></tr>
<tr><td>影付背景凹表示 (1 ～ 4 ドット)</td><td>影付背景右文字結合</td><td>独立</td><td>影付背景枠上 / 下消去制御</td><td>表示</td><td rowspan="2">拡張</td></tr>
<tr><td>影付背景凸表示 (1 ～ 4 ドット)</td><td>結合</td><td>非表示</td></tr>
<tr><td colspan="9">背景文字表示 [MAIN 画面背景文字縦 2 × 横 2 文字構成時では使用できません] *1</td></tr>
<tr><td rowspan="8">文字</td><td colspan="9">グラフィック文字</td></tr>
<tr><td rowspan="7">通常文字</td><td colspan="8">非表示 (空白文字)</td></tr>
<tr><td rowspan="6">表示 *2</td><td rowspan="4">ふちどり出力制御</td><td colspan="7">非表示</td></tr>
<tr><td rowspan="2">文字背景無のみ表示</td><td rowspan="4">ふちどり形式</td><td>全周囲ふちどり</td><td rowspan="3">ふちどり種</td><td>1 ドット幅</td></tr>
<tr><td>右ふちどり</td></tr>
<tr><td rowspan="2">影付背景以外で表示</td><td rowspan="3">影ふちどり</td><td>右下</td><td rowspan="2">2 ドット幅</td></tr>
<tr><td>全表示</td><td>右下 + 右</td></tr>
<tr><td rowspan="2">イタリック出力制御</td><td colspan="7">非表示</td></tr>
<tr><td colspan="7">イタリック表示</td></tr>
<tr><td rowspan="2">アンダーライン出力制御</td><td colspan="7">非表示</td></tr>
<tr><td colspan="7">アンダーライン表示</td></tr>
<tr><td colspan="4" rowspan="4">スプライト文字 (SUB)</td><td colspan="8">非表示</td></tr>
<tr><td colspan="3" rowspan="4">表示
※ グラフィック文字のみ使用可</td><td colspan="2" rowspan="4">文字構成</td><td colspan="3">1 文字構成</td></tr>
<tr><td colspan="3">横 2 文字構成</td></tr>
<tr><td colspan="3">縦 2 文字構成</td></tr>
<tr><td colspan="3">縦 2 × 横 2 文字構成</td></tr>
</table>

*1 : 文字背景での背景文字表示 (文字背景文字表示) は , MAIN 画面での画面背景文字設定が縦 2 ×横 2 文字構成時においては MAIN 画面 , SUB 画面に関わらず正しく表示できませんので , 文字背景文字表示を行う場合には MAIN 画面背景文字表示を非表示とするか , 使用する場合には縦 2 ×横 2 文字構成以外の設定としてください。
(SUB 画面での文字背景文字表示についても MAIN 画面背景文字表示・構成に影響しますので注意してください。)

*2 : 表示において「ふちどり出力制御」,「イタリック出力制御」,「アンダーライン出力制御」は , それぞれ独立にて制御可能です。

30.2.3 画面出力制御

表 30.2-4 に , 画面出力制御の制御対象と制御ビットとの関係を示します。

■ 画面出力制御

表 30.2-4 画面出力制御

表示画面制御	
制御対象	制御ビット名 (制御単位)
MAIN, SUB 文字 + ふちどり + 文字背景 + 行背景	DSP (画面単位)
MAIN, SUB 文字 + ふちどり + 文字背景	LDS (行単位)
MAIN 画面背景文字	PDS (画面単位)
MAIN, SUB 画面背景色	UDS (画面単位)
MAIN, SUB スプライト文字	SDS (画面単位)

30.2.4 画面表示位置制御

OSDC では , MAIN, SUB 画面・MAIN 画面背景文字・MAIN, SUB 画面背景色・スプライト文字 (MAIN, SUB) の各表示位置は , それぞれ独立での開始または制御となります。

■ MAIN/SUB 画面の表示位置制御

垂直表示位置　：画面表示位置制御 (コマンド 5-1)Y10-Y0 ビット

垂直同期信号 (VSYNC 端子入力信号) 同期パルスを基準とした相対位置を設定します。(文字 , 文字背景 , 行背景の表示位置が同時に制御されます。)

0 ～ 2047 ドット , 1 ドット単位設定。

水平表示位置　：画面表示位置制御 (コマンド 5-1)X10-X0 ビット

水平同期信号 (HSYNC 端子入力信号) 同期パルスを基準とした相対位置を設定します。(文字 , 文字背景の表示位置が同時に制御されます。)
0 ～ 2047 ドット , 1 ドット単位設定。

行間隔　：行制御データ設定 1(コマンド 3)LW2-LW0 ビット
：行制御データ設定 2(コマンド 4)LWUEN, LWDEN ビット

文字の行間隔領域を LW2-LW0 で設定します。さらに文字の上部側 , 下部側の行間隔制御を有効とするために , LWUEN, LWDEN を以下のように設定します。

- LWUEN=1 の場合 , 文字上部に行間隔設定値 (LW2-LW0) 分の間隔を確保します。
- LWDEN=1 の場合 , 文字下部の行間隔設定値 (LW2-LW0) 分の間隔を確保します。
- LWUEN, LWDEN 共に 1 の場合 , 文字上下部に行間隔設定値 (LW2-LW0) 分の行間隔を確保し , LWUEN, LWDEN 共に 0 の場合 , 行間隔設定値 (LW2-LW0) は無効となります。

0 ～ 14 ドット , 2 ドット単位 , 上のみ or 下のみ or 上下間隔 各行独立設定。

(注) 行縦拡大指定時の行間隔は拡大表示されます。

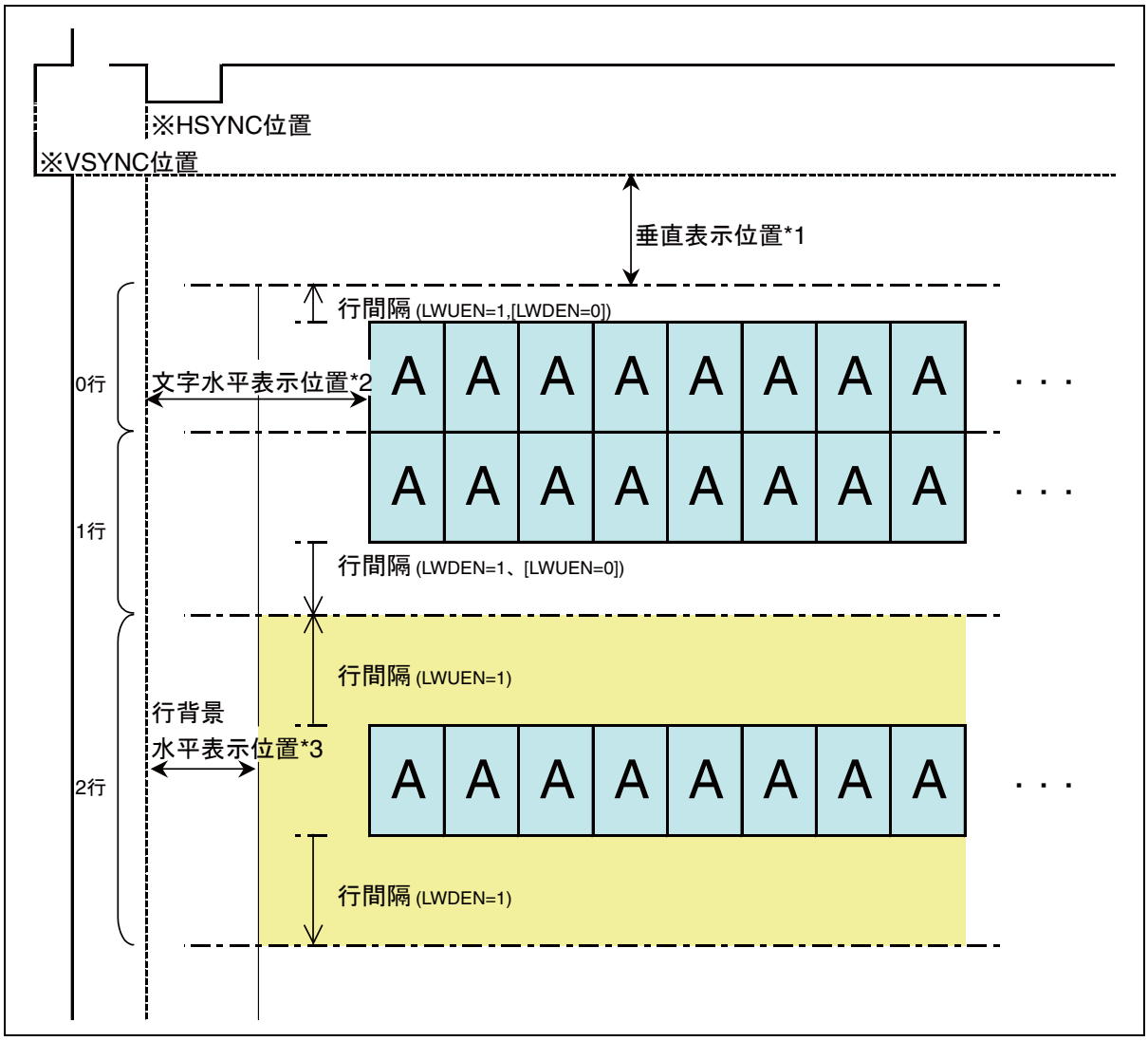
＜注意事項＞

文字垂直サイズ 2 ドット設定行に対する , 行間設定 (および LE 設定) は禁止です。またふちどり , 影枠 , イタリック , アンダーラインのアトリビュート表示も設定禁止です。

各アトリビュートを使用する場合には , 文字垂直サイズ 4 ドット以上のフォントデザインとしてください。

図 30.2-5 に , MAIN/SUB 画面の表示位置を示します。

図 30.2-5 MAIN/SUB 画面の表示位置

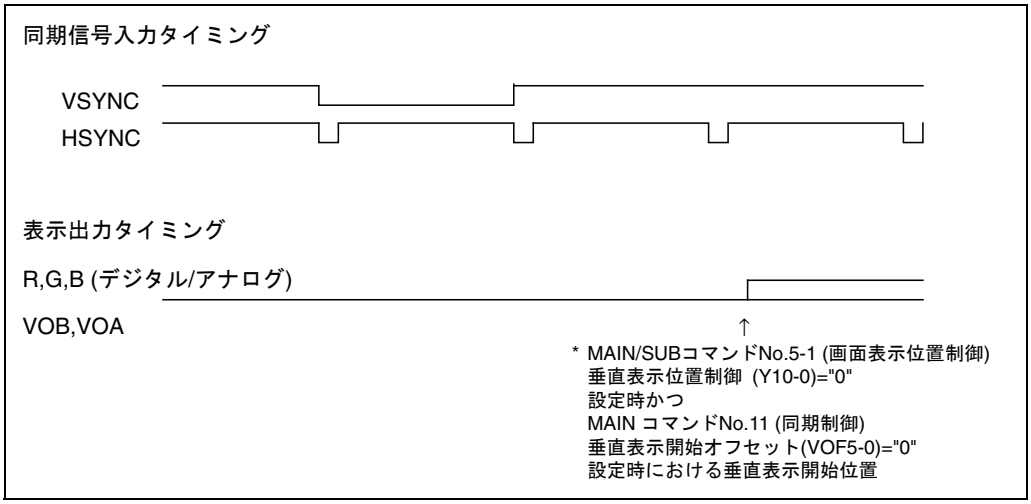


● 垂直表示位置について (図 30.2-5 の垂直表示位置 *1 を参照)

垂直表示位置の内部カウントは , 以下の図に示すように , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス後の 1Hsync 周期後からカウント開始します。

図 30.2-6 に , MAIN/SUB 画面垂直表示位置のカウントタイミングを示します。

図 30.2-6 MAIN/SUB 画面垂直表示位置のカウントタイミング



MAIN/SUB 画面垂直表示位置は , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス後の 1Hsync 周期後から , 垂直表示開始オフセット (MAIN : コマンド 11 VOF5-0 ビットにて制御 , 「30.2.4.1 画面表示位置オフセット」参照) 設定値＋垂直表示位置制御 (コマンド 5-1 Y10-0 ビットにて制御) 設定値により開始します。

MAIN/SUB 画面の文字における垂直表示位置の設定値計算は以下のようになります。

文字垂直表示位置＝ 垂直表示開始オフセット ＋垂直表示位置制御 [ドット]

● 文字水平表示位置について (図 30.2-5 の文字水平表示位置 *2 を参照)

文字水平表示位置は , 水平同期信号 (HSYNC 端子入力信号) 同期パルス有意エッジ (コマンド 13 HE ビットにより制御) から文字の表示位置オフセット値 (「30.2.4.1 画面表示位置オフセット」参照) ＋水平表示位置制御の設定値となります。

MAIN/SUB 画面の文字における文字水平表示位置の設定値計算は以下のようになります。

文字水平表示位置＝ 文字表示位置オフセット ＋水平表示位置制御 [ドット]

● 行背景水平表示位置について (図 30.2-5 の行背景水平表示位置 *3 を参照)

行背景の水平表示位置は , 水平同期パルス有意エッジ (コマンド 13 HE ビットにより制御) から行背景の表示位置オフセット後 (「30.2.4.1 画面表示位置オフセット」参照) の位置となります。

参考 :

行背景の垂直表示位置については , 文字の表示位置制御と同じ制御となり , MAIN 画面または SUB 画面の文字と同時に表示位置が移動します。

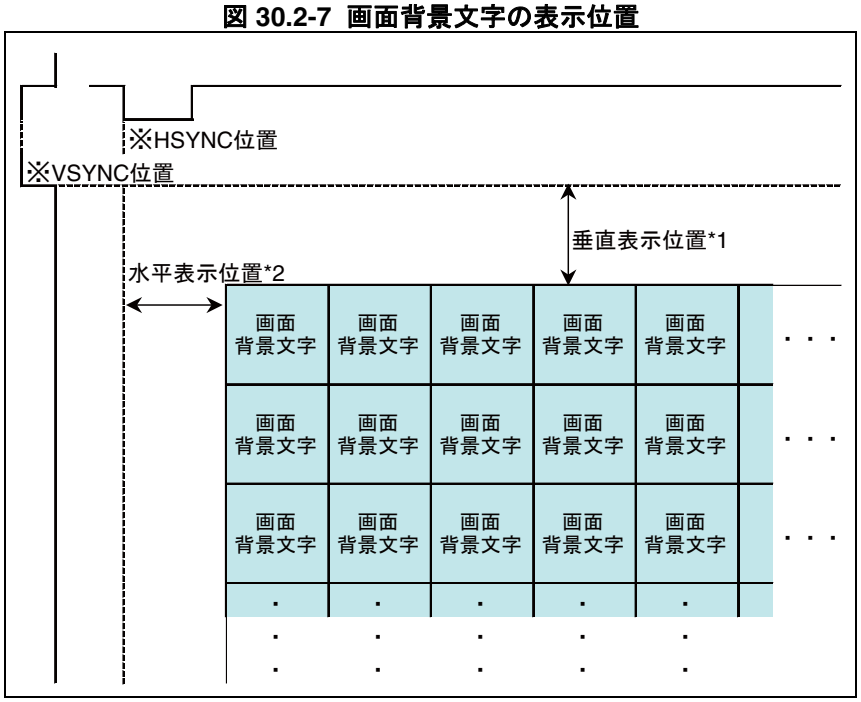
＜注意事項＞

垂直同期信号 (VSYNC 端子入力信号) 同期パルスおよび水平同期信号 (HSYNC 端子入力信号) 同期パルス入力後の表示開始前期間では , 表示信号出力は表示出力 OFF 状態となります。

■ 画面背景文字の表示位置制御

図 30.2-7 に , 画面背景文字の表示位置を示します。

図 30.2-7 画面背景文字の表示位置



● 垂直表示位置について (図 30.2-7 の垂直表示位置 *1 を参照)

垂直表示位置は , 垂直同期信号 (VSYNC 端子入力信号) 同期パルスの 1Hsync 周期後から , 垂直表示開始オフセット (MAIN：コマンド 11 VOF5-0 ビットにて制御 , 「30.2.4.1 画面表示位置オフセット」参照) 設定値となります。

● 水平表示位置について (図 30.2-7 の水平表示位置 *2 を参照)

水平表示位置は , 水平同期信号 (HSYNC 端子入力信号) 同期パルス有意エッジ (コマンド 13 HE ビットにより制御) から画面背景文字の表示位置オフセット後 (「30.2.4.1 画面表示位置オフセット」参照) の位置となります。

＜注意事項＞

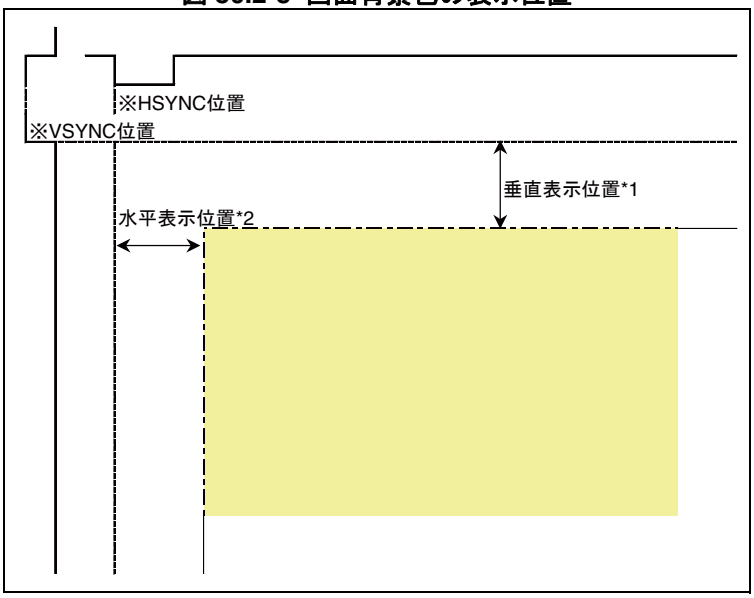
画面背景文字表示は MAIN 画面表示のみでの機能となります。

垂直同期信号 (VSYNC 端子入力信号) 同期パルスおよび水平同期信号 (HSYNC 端子入力信号) 同期パルス入力後の表示開始前期間では , 表示信号出力は表示出力 OFF 状態となります。

■ 画面背景色の表示位置制御

図 30.2-8 に , 画面背景色の表示位置を示します。

図 30.2-8 画面背景色の表示位置

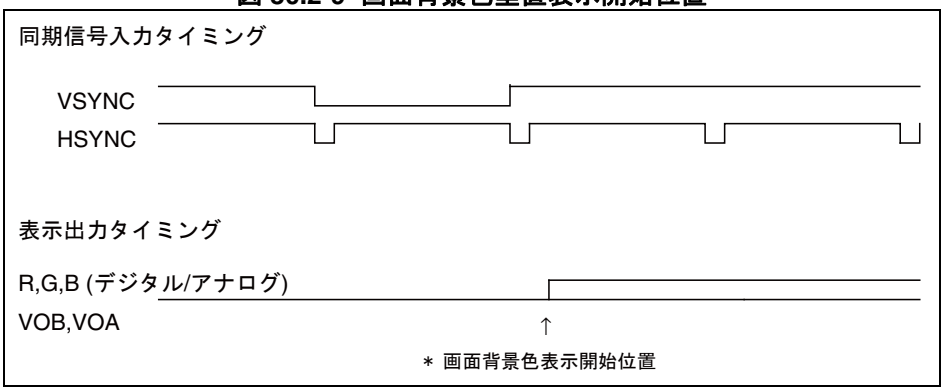


● 垂直表示位置について (図 30.2-8 の垂直表示位置 *1 を参照)

垂直表示位置は , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス後縁直後です。

図 30.2-9 に , 画面背景色の垂直表示位置を示します。

図 30.2-9 画面背景色垂直表示開始位置



● 水平表示位置について (図 30.2-8 の水平表示位置 *2 を参照)

水平表示位置は , 水平同期信号 (HSYNC 端子入力信号) 同期パルス有意エッジ (コマンド 13 HE ビットにより制御) から画面背景色の表示位置オフセット後 (「30.2.4.1 画面表示位置オフセット」参照) の位置となります。

＜注意事項＞

垂直同期信号 (VSYNC 端子入力信号) 同期パルスおよび水平同期信号 (HSYNC 端子入力信号) 同期パルス入力後の表示開始前期間では , 表示信号出力は表示出力 OFF 状態となります。

■ スプライト文字の表示位置制御

スプライト文字の表示位置を制御します。

● 垂直表示位置：スプライト文字制御 2(コマンド 9-1)SY10-SY0 ビット

垂直同期信号 (VSYNC 端子入力信号) 同期パルスを基準とした相対位置を設定します。

0 ～ 2047 ドット , 1 ドット単位設定。

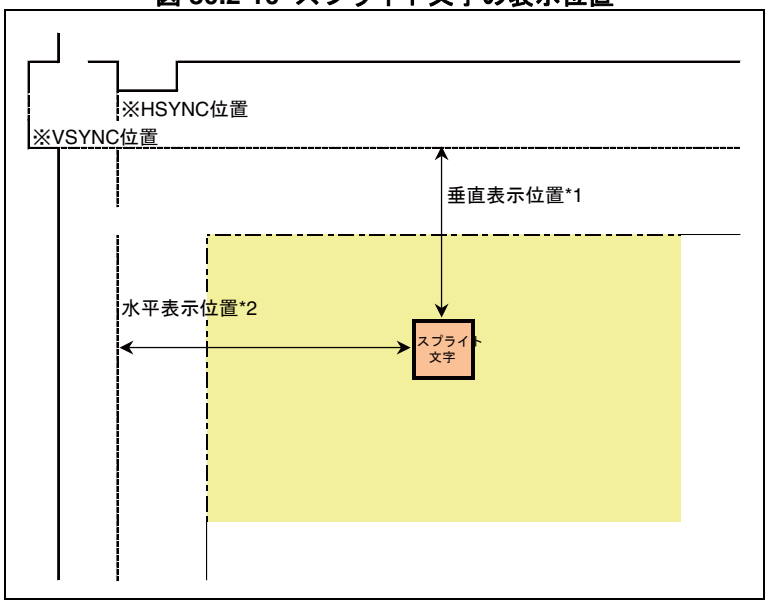
● 水平表示位置：スプライト文字制御 2(コマンド 9-1)SX11-SX0 ビット

水平同期信号 (HSYNC 端子入力信号) 同期パルスを基準とした相対位置を設定します。

0 ～ 4095 ドット , 1 ドット単位設定。

図 30.2-10 に , スプライト文字の表示位置を示します。

図 30.2-10 スプライト文字の表示位置



● 垂直表示位置について (図 30.2-10 の垂直表示位置 *1 を参照)

スプライト垂直表示位置は , MAIN/SUB 画面の垂直表示位置と同じく , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス信号の 1Hsync 周期後 (図 30.2-6 参照) から , 垂直表示開始オフセット (MAIN : コマンド 11 VOF5-0 ビットにて制御 , 「30.2.4.1 画面表示位置オフセット」参照) 設定値＋スプライト文字垂直表示位置 (コマンド 9-1 SY10-0 ビットにて制御) 設定値により開始します。

スプライト文字における垂直表示位置の設定値計算は以下のようになります。

スプライト垂直表示位置＝ 垂直表示開始オフセット ＋
スプライト垂直表示位置制御 [ドット]

● 水平表示位置について (図 30.2-10 の水平表示位置 *2 を参照)

スプライト文字水平表示位置は , 水平同期信号 (HSYNC 端子入力信号) 同期パルス有意エッジ (コマンド 13 HE ビットにより制御) から , スプライトの表示位置オフセット値 (「30.2.4.1 画面表示位置オフセット」参照) ＋スプライト水平表示開始位置設定値となります。

スプライト文字における水平表示位置の設定値計算は以下のようになります。

スプライト水平表示位置 ＝ スプライト水平表示位置オフセット ＋
スプライト水平表示開始位置 [ドット]

＜注意事項＞

垂直同期信号 (VSYNC 端子入力信号) 同期パルスおよび水平同期信号 (HSYNC 端子入力信号) 同期パルス入力後の表示開始前期間では , 表示信号出力は表示出力 OFF 状態となります。

30.2.4.1 画面表示位置オフセット

MAIN, SUB 画面・MAIN 画面背景文字・MAIN, SUB 画面背景色・スプライト文字 (MAIN, SUB) の各表示位置について , それぞれ表示位置オフセットがあります。また , MAIN, SUB 画面・MAIN 画面背景文字・スプライト文字 (MAIN, SUB) については , 垂直表示位置のオフセット設定がコマンドにて制御可能です。

■ 水平表示位置オフセット

表 30.2-5 に水平表示位置オフセット値を示します。

表示位置オフセットは , 水平同期信号 (HSYNC 端子入力信号) 同期パルスの有意エッジ (コマンド 13 HE ビットにより制御) からのドットクロック数となります。

- MAIN/SUB 画面 , スプライト文字および画面背景文字を表示する場合のオフセット値は以下のとおりです。また , 相互の関係はなく , それぞれ固定のオフセット値となります。

表 30.2-5 水平表示位置オフセット値

表示画面	オフセット値
MAIN/SUB スプライト文字	63
MAIN/SUB 画面 (文字)	
画面背景文字	
MAIN/SUB 画面 (行背景)	50
画面背景色	

* : オフセット値の単位は , ドットクロック数です。

■ 垂直表示位置オフセット

表 30.2-6 に垂直表示開始オフセット値を示します。

垂直表示位置オフセットは , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス後の 1Hsync 周期後からの縦方向への Hsync 数となります。この値を 0 以外に設定した場合 , MAIN/SUB 画面 , ウィンドウ , スプライトの垂直位置制御 , および MAIN での画面背景文字の垂直表示位置は , 垂直表示開始位置オフセット設定値を基点として動作します。

- MAIN/SUB の垂直オフセット値は以下のとおりです。

表 30.2-6 垂直表示開始オフセット設定

VOF5-VOF0	垂直表示開始オフセット値
00_H ～ $3F_H$	0 ～ 63

* : オフセット値の単位は Hsync です。

垂直表示開始位置オフセットが有効となる設定値 (コマンド) は

垂直表示位置制御 [コマンド 5-1](Y10-Y0)

ウィンドウ垂直期間終了制御 [コマンド 8-1](WYE10-WYE0)

ウィンドウ垂直期間開始制御 [コマンド 8-1](WYS10-WYS0)

スプライト文字垂直表示位置制御 [コマンド 9-1](SY10-SY0)

となります。

30.2.5 フォントメモリ構成

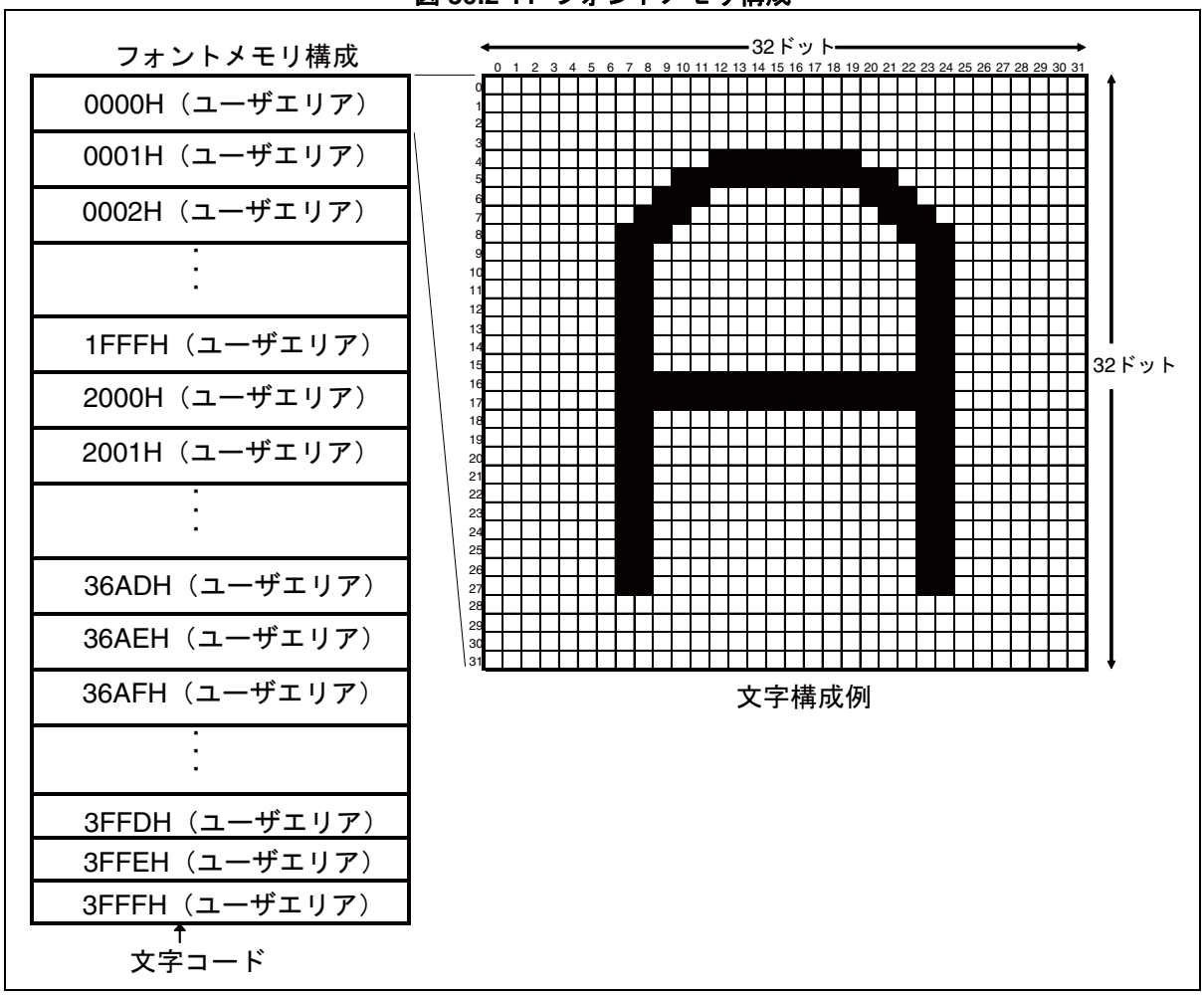
フォントは , 1 文字を 32 ドット× 32 ドットで構成し , 全 16384 文字分の容量をもっています。

- **16384 文字を任意にユーザが設定できます。**
  ＜注意＞空白文字は予約設定されていません。必要な場合は , 任意の文字コードに設定してください。
- **任意にグラフィック文字／通常文字の設定が可能です。**
  (ただし , グラフィック文字 1 文字は通常文字 8 文字分のデータを使用し , 0000_H からの 8 の倍数での文字コードとなります。)

■ フォントメモリ構成

図 30.2-11 に , フォントメモリ構成を示します。

図 30.2-11 フォントメモリ構成



30.2.6 表示メモリ (VRAM) 構成

表示メモリは , 文字単位の設定を行う文字 RAM と , 行単位の設定を行う行 RAM とで構成されています。(MAIN 画面と SUB 画面はそれぞれ独立で VRAM を構成しています。)

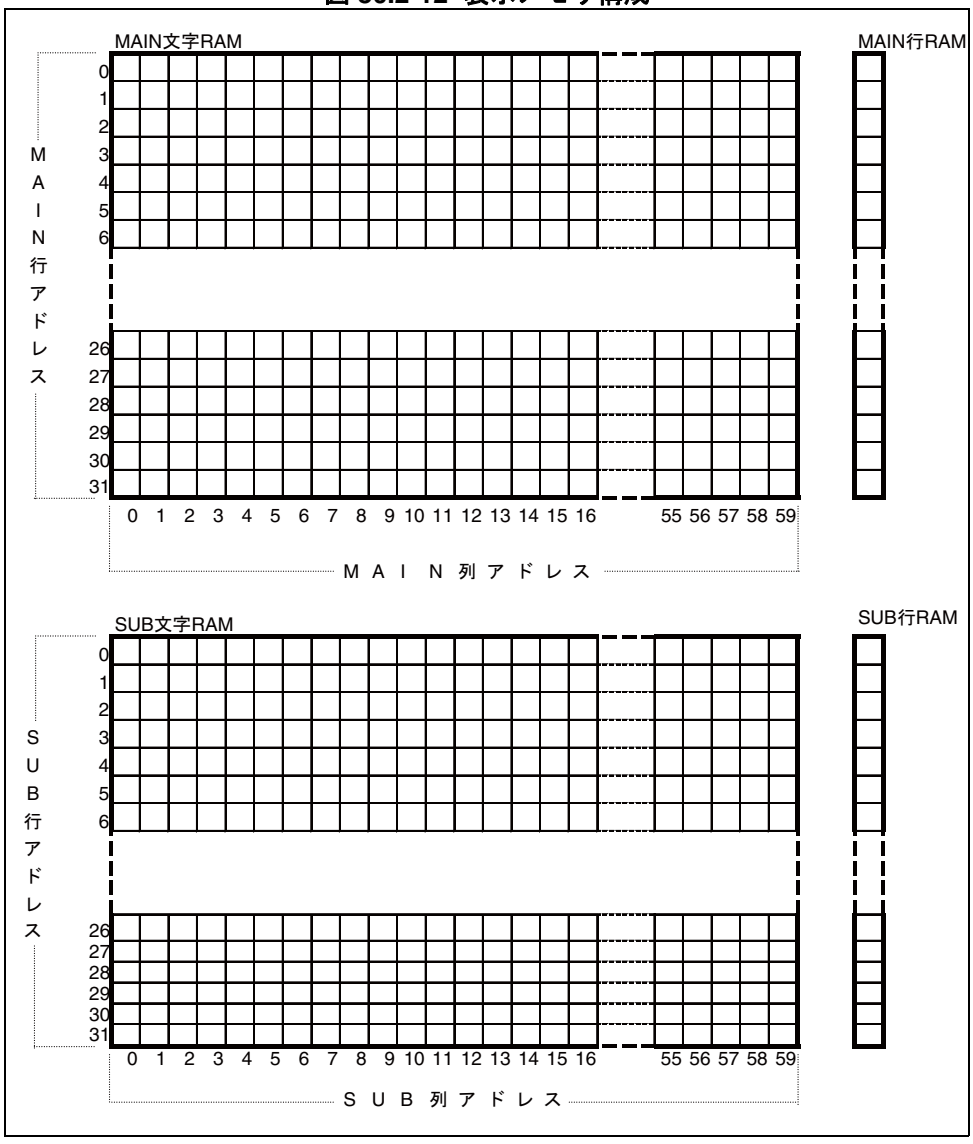
- **文字 RAM ：MAIN [60 桁× 32 行 (全 1920 文字)], SUB [60 桁× 32 行 (全 1920 文字)]**
- **行 RAM ：MAIN [32 行], SUB [32 行]**

■ 表示メモリと表示画面

文字 RAM は , 表示文字に 1 対 1 に対応しています。行 RAM は , 表示行に 1 対 1 に対応しています。

図 30.2-12 に , 表示メモリの構成を示します。

図 30.2-12 表示メモリ構成



30.2.7 表示メモリ (VRAM) 書込み

表示メモリの書込みは , コマンド 0 ～ 4 に OSDC コマンドを設定して行います。

- **文字 RAM 1 文字書込み**
- **文字 RAM 複数文字一括書込み**
- **行 RAM 書込み**

■ 表示メモリ書込み

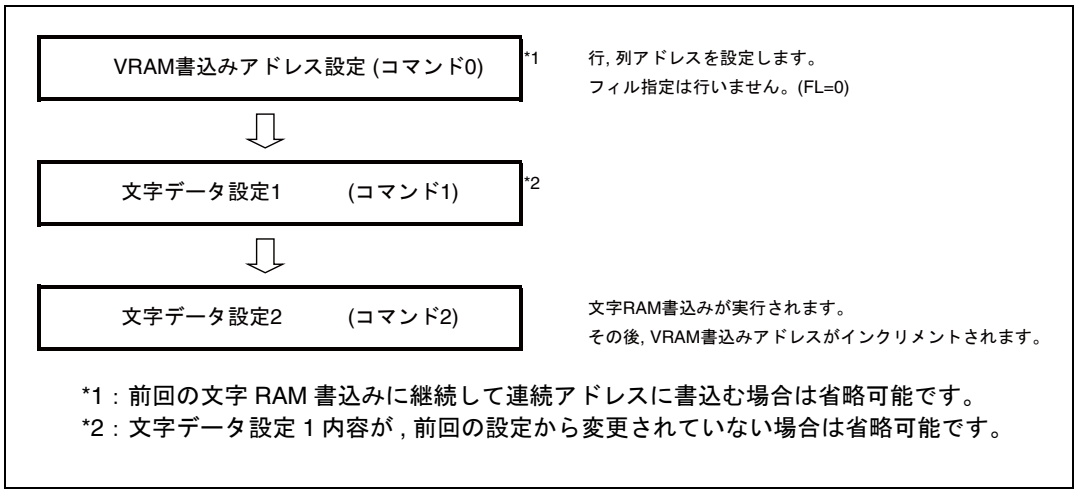
OSDC 制御コマンド 0 ～ 4 に対して OSDC コマンドを発行することにより表示メモリ書込みを行います。

■ 文字 RAM 1 文字書込み

任意の文字データを , 文字 RAM 内の任意のアドレスに書込みます。

図 30.2-13 に , 文字 RAM の書込み手順を示します。

図 30.2-13 文字 RAM 書込み手順

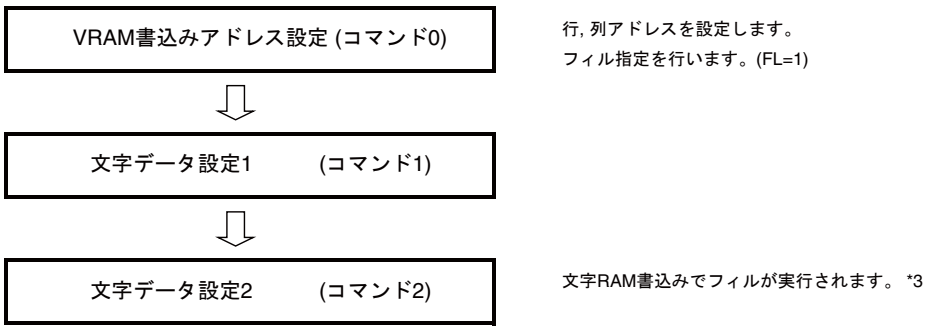


■ 文字 RAM 複数文字一括書込み (VRAM フィル)

任意の文字データを , 文字 RAM 内の任意のアドレスから最終アドレスまで書込みます。

図 30.2-14 に , 同一文字・複数一括書込み (VRAM フィル) の , 文字 RAM 書込みの手順を示します。

図 30.2-14 文字 RAM 書込み 複数文字一括書込み (VRAM フィル) 手順



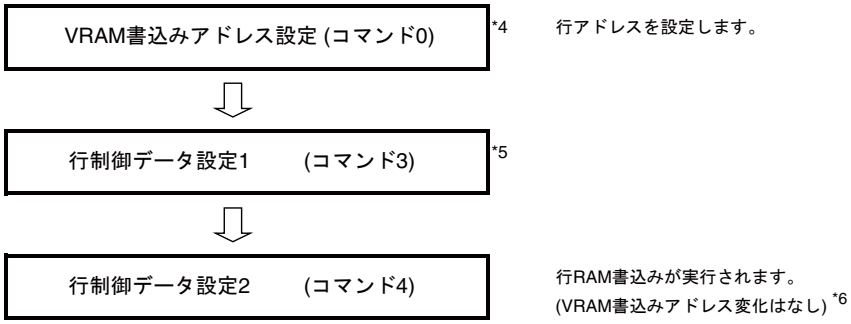
*3 : VRAM フィル終了時は , VRAM フィル終了割込み要因が設定されます。
VRAM フィル実行時間は , ドットクロック周波数に依存します。1 画面全体の設定での目安値を示します。
ドットクロック75MHz 時 MAIN : 約 0.2 ms , SUB : 約 0.2ms
VRAM フィル実行中は , コマンド 1 ～ 4 の発行は禁止です。
VRAM フィル実行中にコマンド 0 (FL=0) の発行が行われると , VRAM フィルは強制終了します。
通常終了または強制終了後 , VRAM 書込みアドレス設定には , コマンド 0 の再発行が必要です。

■ 行 RAM 書込み

任意の行データを , 行 RAM 内の任意のアドレスに書込みます。

図 30.2-15 に , 行 RAM の書込み手順を示します。

図 30.2-15 行 RAM 書込み手順



*4 : 行 RAM フィル機能はありません (フィル指定は禁止)。
*5 : 行データ設定 1 内容が , 前回の設定から変更されていない場合は省略可能です。
*6 : 行 RAM 書込みによるアドレスインクリメントは行われません。
従って , 行単位に行アドレス設定を行う必要があります。

30.2.8 パレット構成

パレットは , OSDC が出力する 8 ビットの色コードを 16 ビットの色コードに変換します。

■ パレット RAM 構成

パレットにより , OSDC に設定する 8bit の色コードから RGB それぞれ 5bit, 6bit, 5bit(合計 16bit) の色コードに変換します。

図 30.2-16 に , パレットの設定アドレスおよびOSDC設定色コードとの対応構成を示します。

図 30.2-16 パレット構成

OSDC制御パレット書き込みアドレス (下位16bit)		OSDC読み出しパレットアドレス (OSDC設定色コード*1) 上位	下位	上位・パレットデータ (16bit)			下位・パレットデータ (16bit)		
			Bit	[31:24]		[23:16]	[15:8]		[7:0]
			バイトアドレス*2	+0		+1	+2		+3
			Bit	[31:27]	[26:21]	[20:16]	[15:11]	[10:5]	[4:0]
4200_H	→	01_H	00_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
4204_H	→	03_H	02_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
4208_H	→	05_H	04_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
$420C_H$	→	07	06_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
4210_H	→	09_H	08_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
・		・	・	・	・	・	・	・	・
・		・	・	・	・	・	・	・	・
・		・	・	・	・	・	・	・	・
$43EC_H$	→	$F7_H$	$F6_H$	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
$43F0_H$	→	$F9_H$	$F8_H$	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
$43F4_H$	→	FB_H	FA_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
$43F8_H$	→	FD_H	FC_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)
$43FC_H$	→	FF_H	FE_H	R(5bit)	G(6bit)	B(5bit)	R(5bit)	G(6bit)	B(5bit)

*1：パレットの色コード変換に適用されるOSDC設定色コードは，以下の設定値です。
文字(MC7-MC0),文字背景色(MB7-MB0),ふちどり色(LF7-LF0),行背景色(LB7-LB0),影付背景枠色(BH7-BH0,BS7-BS0),
グラフィック色制御(GF7-GF0,GC7-GC0),画面背景色(U7-U0)およびグラフィック文字色を示します。

*2：OSDC制御パレット書き込みアドレスはバイトアドレスも記載しておりますが、ワードライトのみとなっております。
（必ずアドレスがxxx0H,xxx4H,xxx8H・・・からのワードライトを行ってください。）

30.2.9 文字表示

表示文字のサイズは , 水平 , 垂直の設定が可能です。
フォント ROM 中の指定文字データの左上端ドットから指定サイズのデータを切り出して表示します。

■ 文字水平サイズ制御 (文字単位設定)

表 30.2-7 に , 文字データ設定 1 (コマンド 1) : MS1, MS0 ビットの , 文字水平サイズを示します。

表 30.2-7 文字水平サイズ制御

MS1	MS0	文字水平サイズ
0	0	S サイズ : 16 ドット
0	1	M サイズ : 24 ドット
1	0	L サイズ : 32 ドット
1	1	(設定禁止)

■ 行文字垂直サイズ制御 (行単位設定)

表 30.2-8 に , 行制御データ設定 1 (コマンド 3) : LHS3, LHS2, LHS1, LHS0 ビットの , 文字垂直サイズを示します。

表 30.2-8 文字垂直サイズ制御 (1 / 2)

LHS3	LHS2	LHS1	LHS0	文字垂直サイズ
0	0	0	0	2 ドット
0	0	0	1	4 ドット
0	0	1	0	6 ドット
0	0	1	1	8 ドット
0	1	0	0	10 ドット
0	1	0	1	12 ドット
0	1	1	0	14 ドット
0	1	1	1	16 ドット
1	0	0	0	18 ドット
1	0	0	1	20 ドット
1	0	1	0	22 ドット
1	0	1	1	24 ドット
1	1	0	0	26 ドット

表 30.2-8 文字垂直サイズ制御 (2 / 2)

LHS3	LHS2	LHS1	LHS0	文字垂直サイズ
1	1	0	1	28 ドット
1	1	1	0	30 ドット
1	1	1	1	32 ドット

＜注意事項＞

文字垂直サイズ 2 ドット設定行に対する , 行間設定 (および LE 設定) は禁止です。またふちどり , 影枠 , イタリック , アンダーラインのアトリビュート表示も設定禁止です。

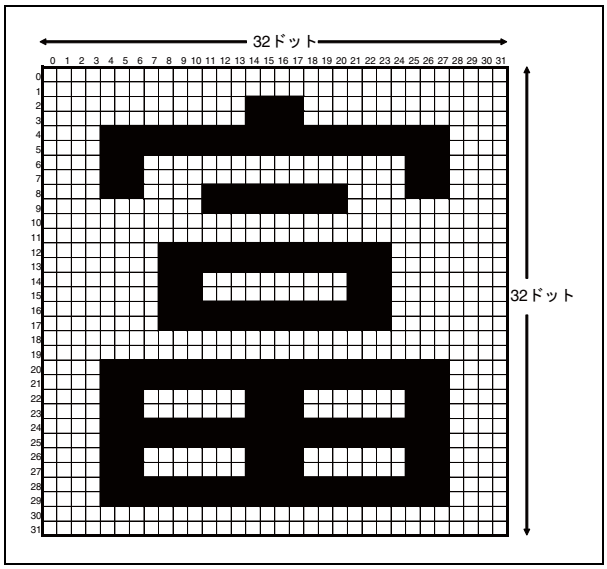
各アトリビュートを使用する場合には , 文字垂直サイズ 4 ドット以上のフォントデザインとしてください。

■ 表示例

● フォント ROM 内容

図 30.2-17 に , フォント ROM 内容の表示例を示します。

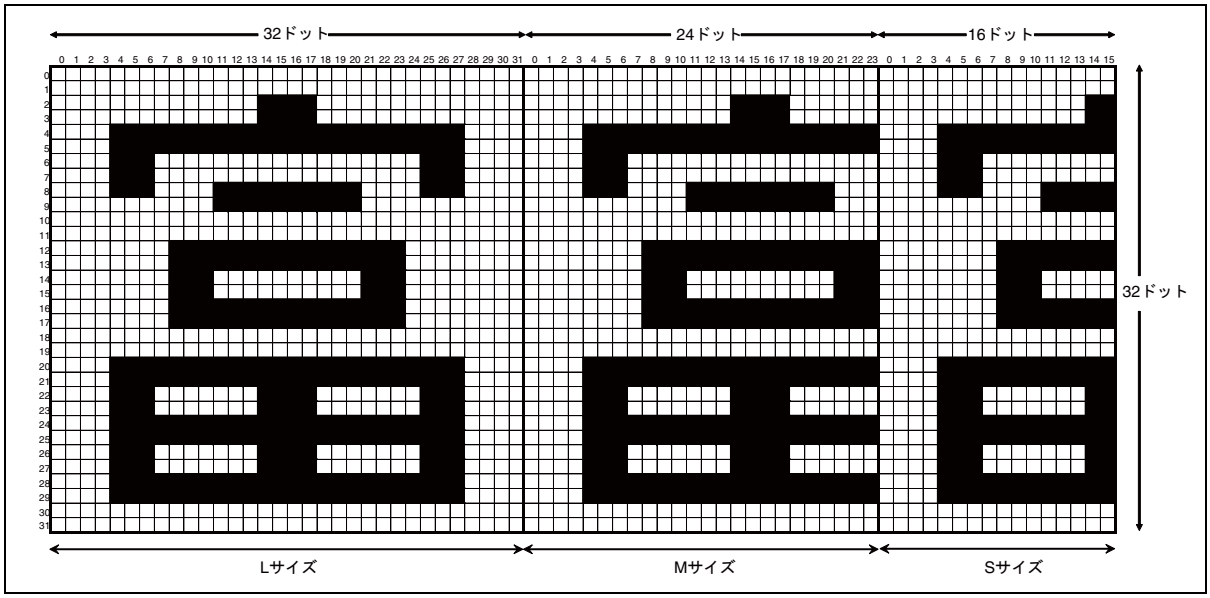
図 30.2-17 フォント ROM 内容の表示例



● 表示例 1(文字垂直サイズ＝ 32 ドット)

図 30.2-18 に , 文字垂直サイズ＝ 32 ドットの場合の表示例を示します。

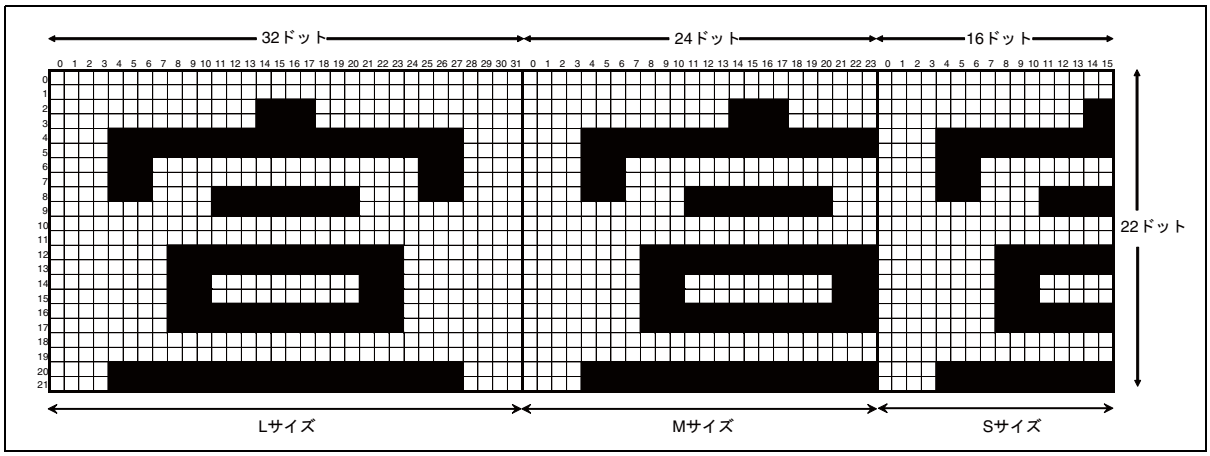
図 30.2-18 文字垂直サイズ＝ 32 ドットの場合の表示例



● 表示例 2(文字垂直サイズ＝ 22 ドット)

図 30.2-19 に , 文字垂直サイズ＝ 22 ドットの場合の表示例を示します。

図 30.2-19 文字垂直サイズ＝ 22 ドットの場合の表示例

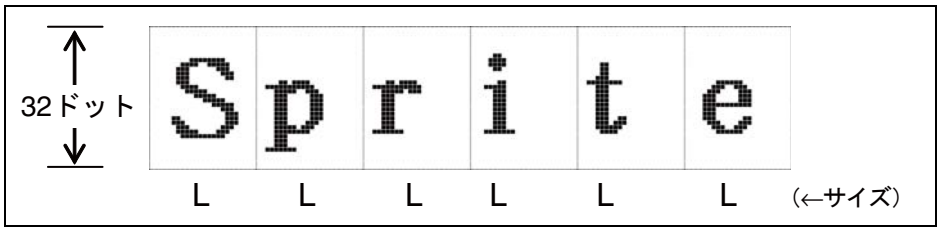


■ 応用表示例

● L サイズのみ使用時の表示例

図 30.2-20 に , L サイズのみ使用時の表示例を示します。

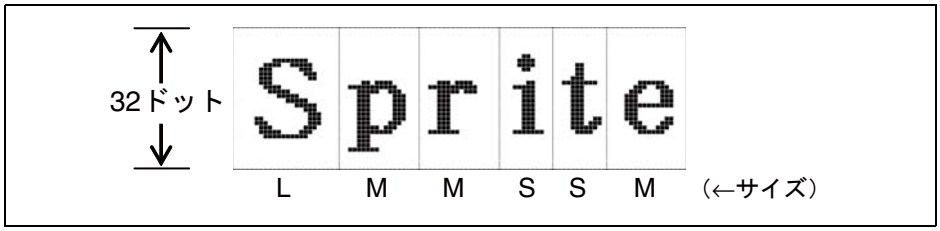
図 30.2-20 L サイズのみ使用時の表示例



● LMS サイズ混在使用による表示例

図 30.2-21 に , LMS サイズ混在使用による表示例を示します。

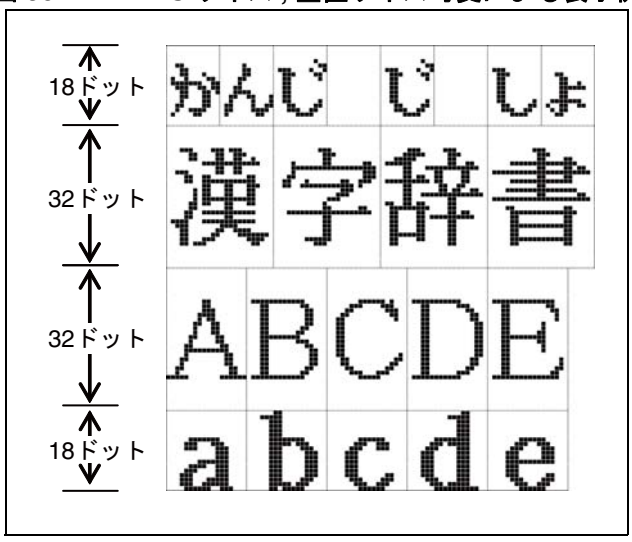
図 30.2-21 LMS サイズ混在使用による表示例



● LMS サイズ , 垂直サイズ可変による表示例

図 30.2-22 に , LMS サイズ , 垂直サイズ可変による表示例を示します。

図 30.2-22 LMS サイズ , 垂直サイズ可変による表示例



30.2.9.1 文字色

256 色の文字色を , 文字単位で設定できます。

■ 文字色 (256 色 , 文字単位設定)

文字データ設定 1 (コマンド 1) MC7 ～ MC0 に , 色コードを設定することにより文字単位に文字色の設定が可能です。

30.2.9.2 イタリック表示

イタリック表示は , 文字ドットを傾けて表示する機能です。文字単位の設定が可能です。

■ イタリック表示制御

文字データ設定 1 (コマンド 1) MIT ビットにより文字単位にイタリック属性の設定が可能です。

表 30.2-9 イタリック文字制御 (文字単位設定)

MIT	イタリック文字制御
0	通常文字
1	イタリック文字

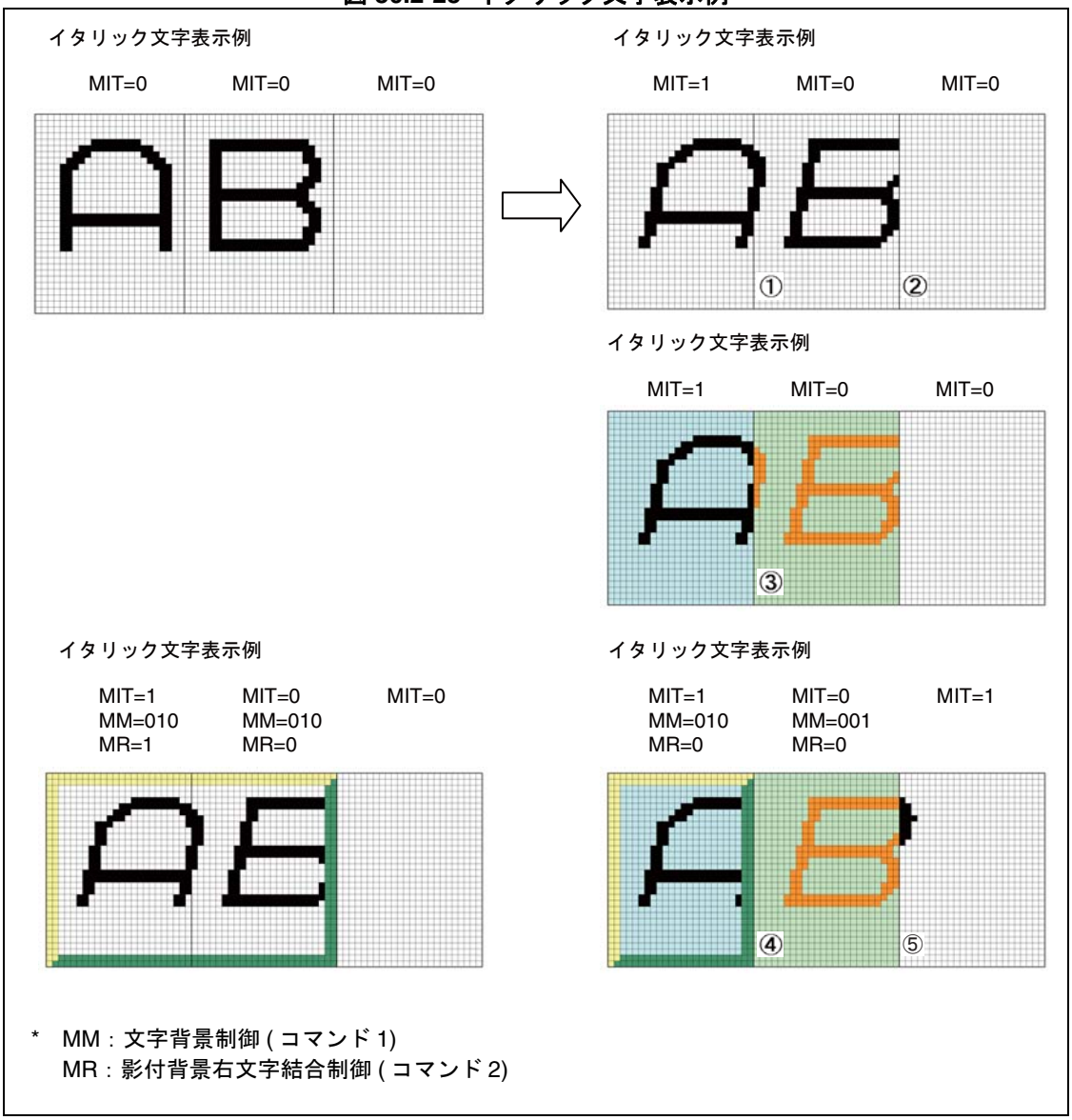
■ イタリック表示ルール

- イタリック指定文字のすぐ右側の文字は , 非イタリック指定であっても , その文字はイタリック表示となります。(図 30.2-23 - ①)
  また , さらに右側の文字属性が非イタリック指定であった場合 , その領域にイタリック文字ドットは , はみ出しません。(図 30.2-23 - ②)
- イタリック表示にて , 本来の文字領域をはみ出した文字ドットの色は , はみ出した文字領域の色設定に依存します。(図 30.2-23 - ③)
- イタリック表示の文字ドットは , 文字影付背景の右影枠がある場合 , それを超えて右には , はみ出しません。(図 30.2-23 - ④)
- イタリック表示は通常文字ドットのみ有効であり , その文字のアトリビュート (文字データ設定) やグラフィック文字 , 背景文字部分 , 影枠部分に対しては反映されません。
- イタリック指定文字のすぐ右側の文字が非イタリック指定でかつ , さらにその右側の文字がイタリック指定であった場合 , その文字はイタリック表示となります。(図 図 30.2-23 - ⑤)

■ 表示例

図 30.2-23 に , イタリック表示例を示します。

図 30.2-23 イタリック文字表示例



* MM : 文字背景制御 (コマンド 1)
MR : 影付背景右文字結合制御 (コマンド 2)

＜注意事項＞

60 桁目におけるイタリック表示が , 図 30.2-23 の④の例の場合 , ⑤のように右領域にイタリック文字ドットがはみ出しますが , ⑤の文字色は "00_H" となります。

■ イタリック文字起点

イタリック文字の傾き起点は , 文字の垂直サイズ制御に依存し , 最下位ドットから 5 ドット目の左下となり , 4 ドット毎に右に 1 ドットシフトします。

図 30.2-24 , 図 30.2-25 にイタリック状態について示します。

図 30.2-24 縦 32 ドット表示時のイタリック状態

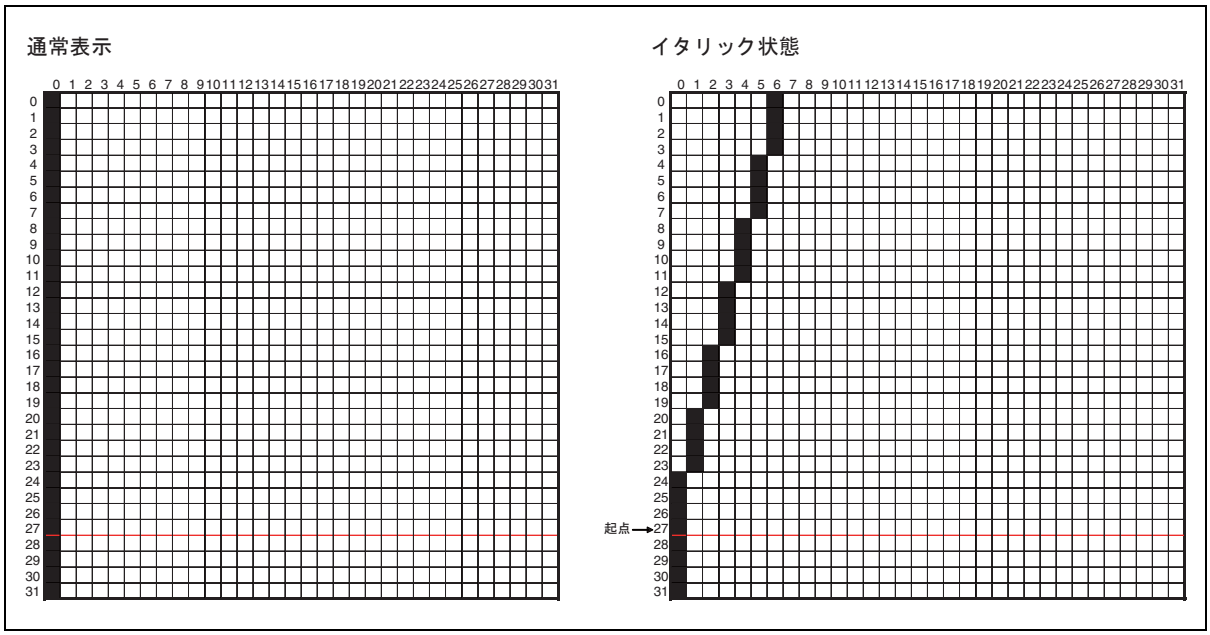
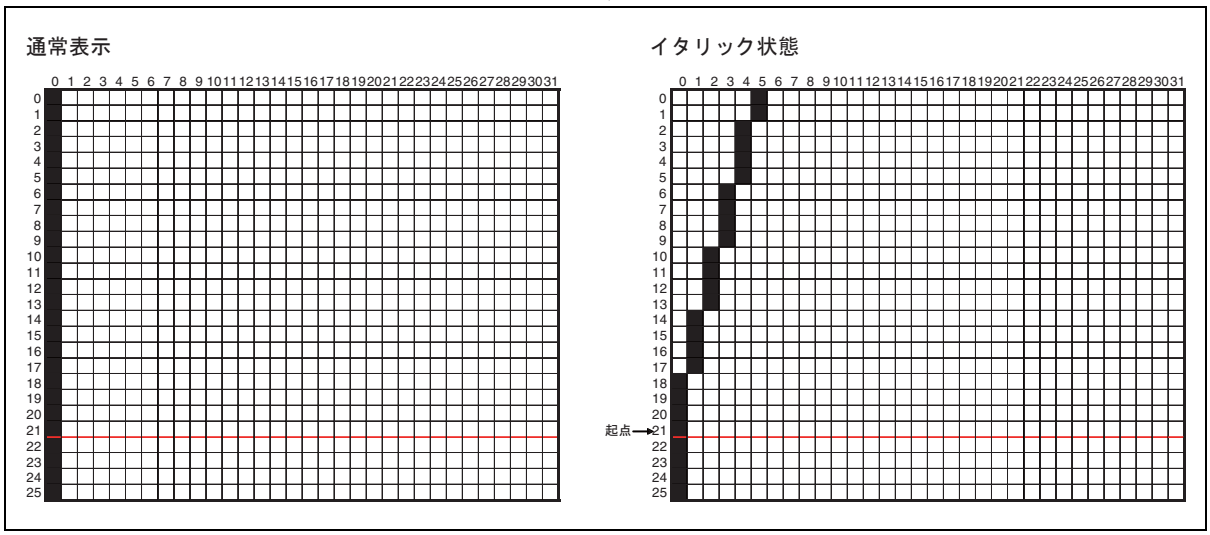


図 30.2-25 縦 26 ドット表示時のイタリック状態



＜注意事項＞

文字拡大時のイタリック表示は , 拡大文字ドットに対しイタリック表示を行います。

30.2.9.3 アンダーライン表示

アンダーライン表示は , 文字下方に横線を表示する機能です。文字単位の設定が可能です。

■ アンダーライン表示制御

文字データ設定 1 (コマンド 1) MUL 設定により文字単位にアンダーライン属性の設定が可能です。

表 30.2-10 アンダーライン制御 (文字単位設定)

MUL	アンダーライン制御
0	通常文字
1	アンダーライン表示

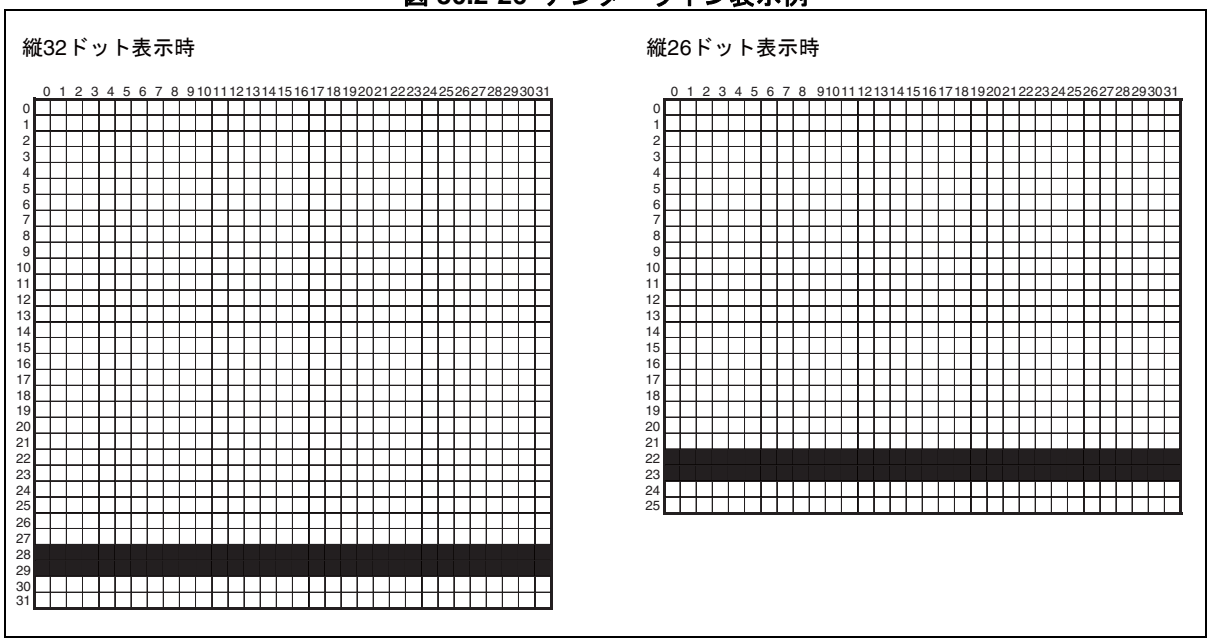
■ アンダーライン表示ルール

アンダーラインは , 文字の垂直サイズ制御に依存し , 最下位ドットから垂直上方向の 3, 4 ドット目に , 文字データとして表示されます。

■ 表示例

図 30.2-26 に , アンダーライン表示例を示します。

図 30.2-26 アンダーライン表示例



＜注意事項＞

アンダーライン表示は影付背景の影枠よりも下位に表示されます。また , アンダーラインにふちどり表示は行いません。その他は文字ドットデータと同じ扱いとなりますので , 拡大表示時にはアンダーライン部分もあわせて拡大表示し , 文字としてのブリンク表示も可能です。

30.2.9.4 文字ふちどり

文字ふちどりは , 文字ドットの周囲にふちどりを表示する機能です。

■ ふちどり出力制御

文字背景種により , ふちどりの有無を制御できます。

4 種を行単位に設定できます。

表 30.2-11 に , 行制御データ設定 1 (コマンド 3) : LFD, LFC ビットの , ふちどり出力制御を示します。

表 30.2-11 ふちどり出力制御 (行単位設定) (1 / 2)

ふちどり出力制御 (行単位設定)		文字背景種 (文字単位設定)				ふちどり出力
LFD	LFC	MM2	MM1	MM0	表示内容	
0	0	0	0	0	非表示	×
		0	0	1	ベタ背景	×
		0	1	0	影付背景凹 (ベタ)	×
		0	1	1	影付背景凸 (ベタ)	×
		1	0	0	背景文字	×
		1	0	1	(設定禁止)	−
		1	1	0	影付背景凹 (背景文字)	×
		1	1	1	影付背景凸 (背景文字)	×
0	1	0	0	0	非表示	○
		0	0	1	ベタ背景	×
		0	1	0	影付背景凹 (ベタ)	×
		0	1	1	影付背景凸 (ベタ)	×
		1	0	0	背景文字	×
		1	0	1	(設定禁止)	−
		1	1	0	影付背景凹 (背景文字)	×
		1	1	1	影付背景凸 (背景文字)	×

表 30.2-11 ふちどり出力制御 (行単位設定) (2 / 2)

ふちどり出力制御 (行単位設定)		文字背景種 (文字単位設定)				ふちどり出力
LFD	LFC	MM2	MM1	MM0	表示内容	
1	0	0	0	0	非表示	○
		0	0	1	ベタ背景	○
		0	1	0	影付背景凹 (ベタ)	×
		0	1	1	影付背景凸 (ベタ)	×
		1	0	0	背景文字	○
		1	0	1	(設定禁止)	−
		1	1	0	影付背景凹 (背景文字)	×
		1	1	1	影付背景凸 (背景文字)	×
1	1	0	0	0	非表示	○
		0	0	1	ベタ背景	○
		0	1	0	影付背景凹 (ベタ)	○
		0	1	1	影付背景凸 (ベタ)	○
		1	0	0	背景文字	○
		1	0	1	(設定禁止)	−
		1	1	0	影付背景凹 (背景文字)	○
		1	1	1	影付背景凸 (背景文字)	○

×：非表示
○：表示

■ ふちどり形式制御

ふちどりは , 画面単位で設定を行う 4 種類の形式と , 行単位の設定で行う 4 種類の制御の組合せで表示されます。

● ふちどりドット制御 (画面単位設定)

画面単位でのふちどりドット制御により , ふちどりドット数 (1 ドット , 2 ドット) の表示形式を選択して使用できます。

表 30.2-12 に , 画面出力制御 (コマンド 5-0) : FM0 ビットの , ふちどりドット制御を示します。

表 30.2-12 ふちどりドット制御 (画面単位設定)

ふちどりドット制御	ふちどりドット数
FM0	
0	1 ドットふちどり
1	2 ドットふちどり

- 1 ドットふちどり
  ふちどりドット数を 1 ドットで構成し表示します。
- 2 ドットふちどり
  ふちどりドット数を 2 ドットで構成し表示します。

● 影ふちどり制御 (画面単位設定)

画面単位での影ふちどり制御により , 影ふちどり A 形式 (右下) または影ふちどり B (右下＋右) の表示形式を選択して使用できます。

尚 , 影ふちどり制御が有効となるためには , 行制御データ設定 1 (コマンド 3) のふちどり制御が影ふちどり設定になっていることが前提となります。

表 30.2-13 に, 画面出力制御 (コマンド5-1) :FM1 ビットの, 影ふちどり制御を示します。

表 30.2-13 影ふちどり制御 (画面単位設定)

影ふちどり制御	影ふちどり形式
FM1	
0	影ふちどり A (右下)
1	影ふちどり B (右下＋右)

- 影ふちどり A (右下)
  文字ドットの右下方向に , ふちどりを付加して表示します。
- 影ふちどり B (右下＋右)
  文字ドットの右下と右方向に , ふちどりを付加して表示します。

● ふちどり制御 (行単位設定)

行単位でのふちどり制御により , 全周囲 , 右 , 影ふちどりを選択して表示できます。

表 30.2-14 に , 行制御データ設定 1 (コマンド 3) : LFB, LFA ビットの , ふちどり制御を示します。

表 30.2-14 ふちどり制御 (行単位設定)

ふちどり制御		ふちどり出力
LFB	LFA	
0	0	非表示
0	1	全周囲ふちどり
1	0	右ふちどり
1	1	影ふちどり

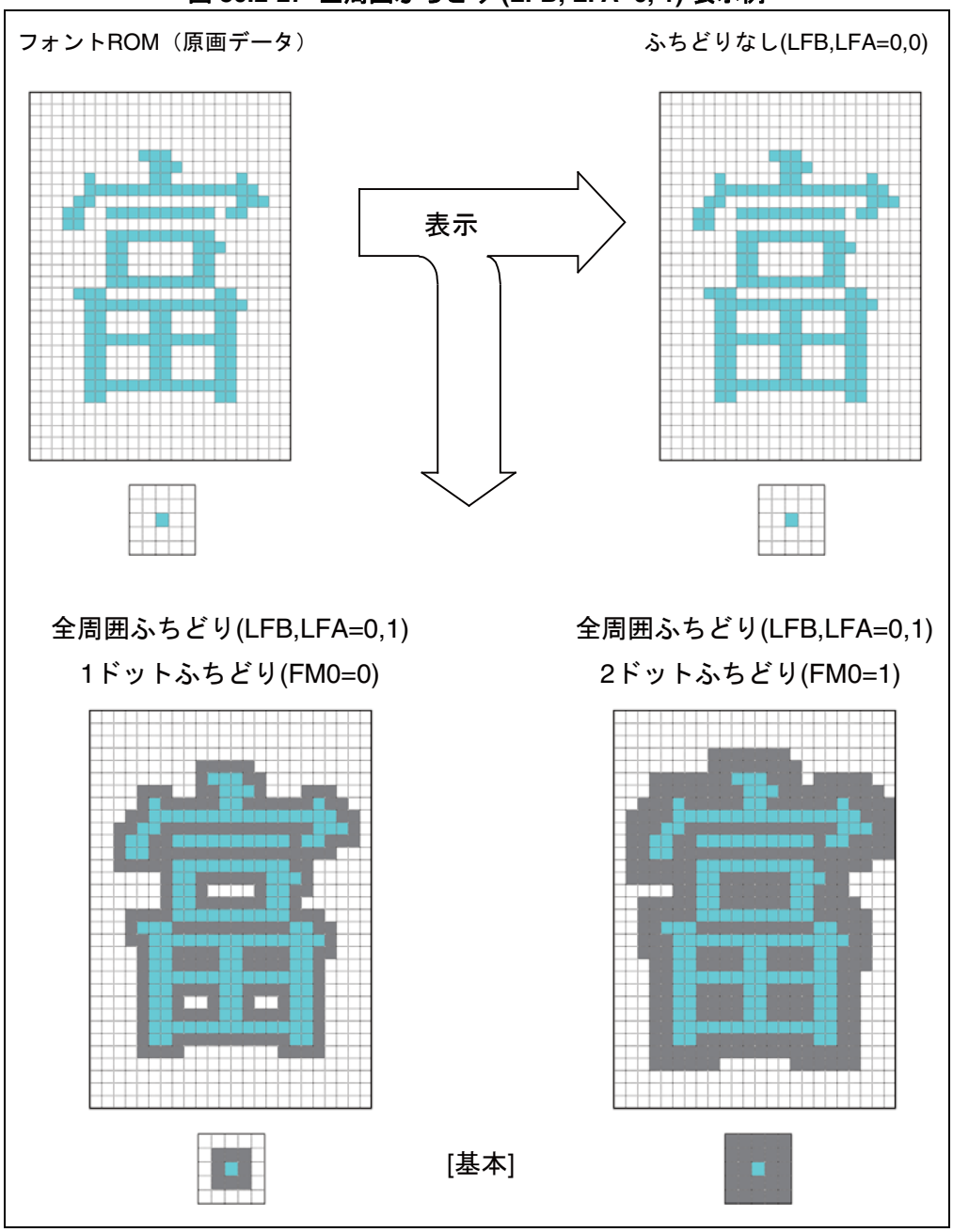
- 全周囲ふちどり
  文字ドットの全周囲に , ふちどりを付加して表示します。
- 右ふちどり
  文字ドットの右方向に , ふちどりを付加して表示します。
- 影ふちどり
  文字ドットに , 影ふちどりを付加して表示します。尚 , 影ふちどりの形式には , 影ふちどり A (右下) , 影ふちどり B (右下＋右) があり , 画面出力制御 (コマンド 5-1) : FM1 ビットにて選択することができます。

■ 表示例

● 全周囲ふちどり (FMB, FMA=0, 1) 表示例

図 30.2-27 に , 全周囲ふちどり設定時における , 1 ドットふちどりおよび 2 ドットふちどりの表示例 (24 × 32 ドット) を示します。

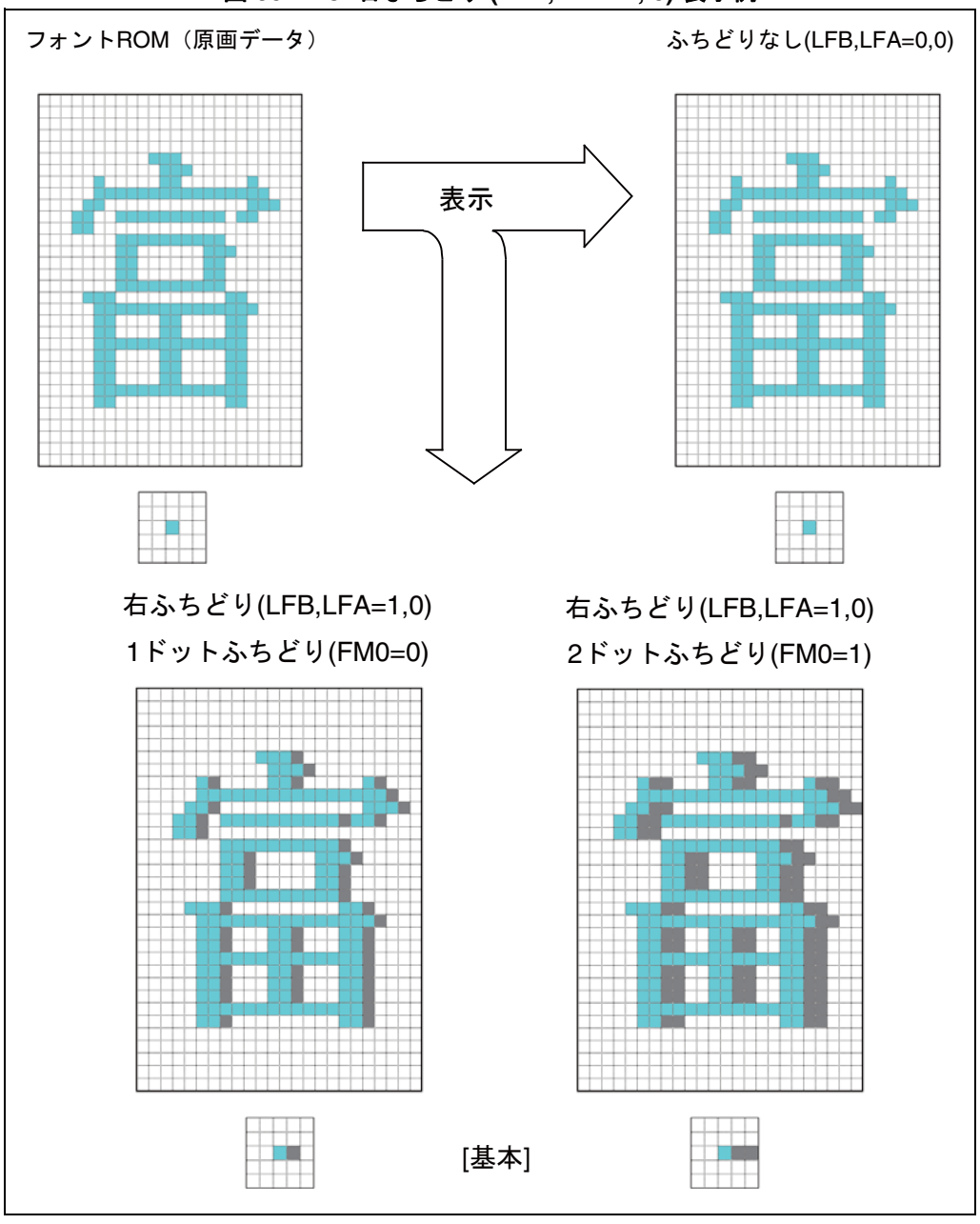
図 30.2-27 全周囲ふちどり (LFB, LFA=0, 1) 表示例



● 右ふちどり (FMB, FMA=1, 0) 表示例

図 30.2-28 に , 右ふちどり設定時における , 1 ドットふちどりおよび 2 ドットふちどりの表示例 (24 × 32 ドット) を示します。

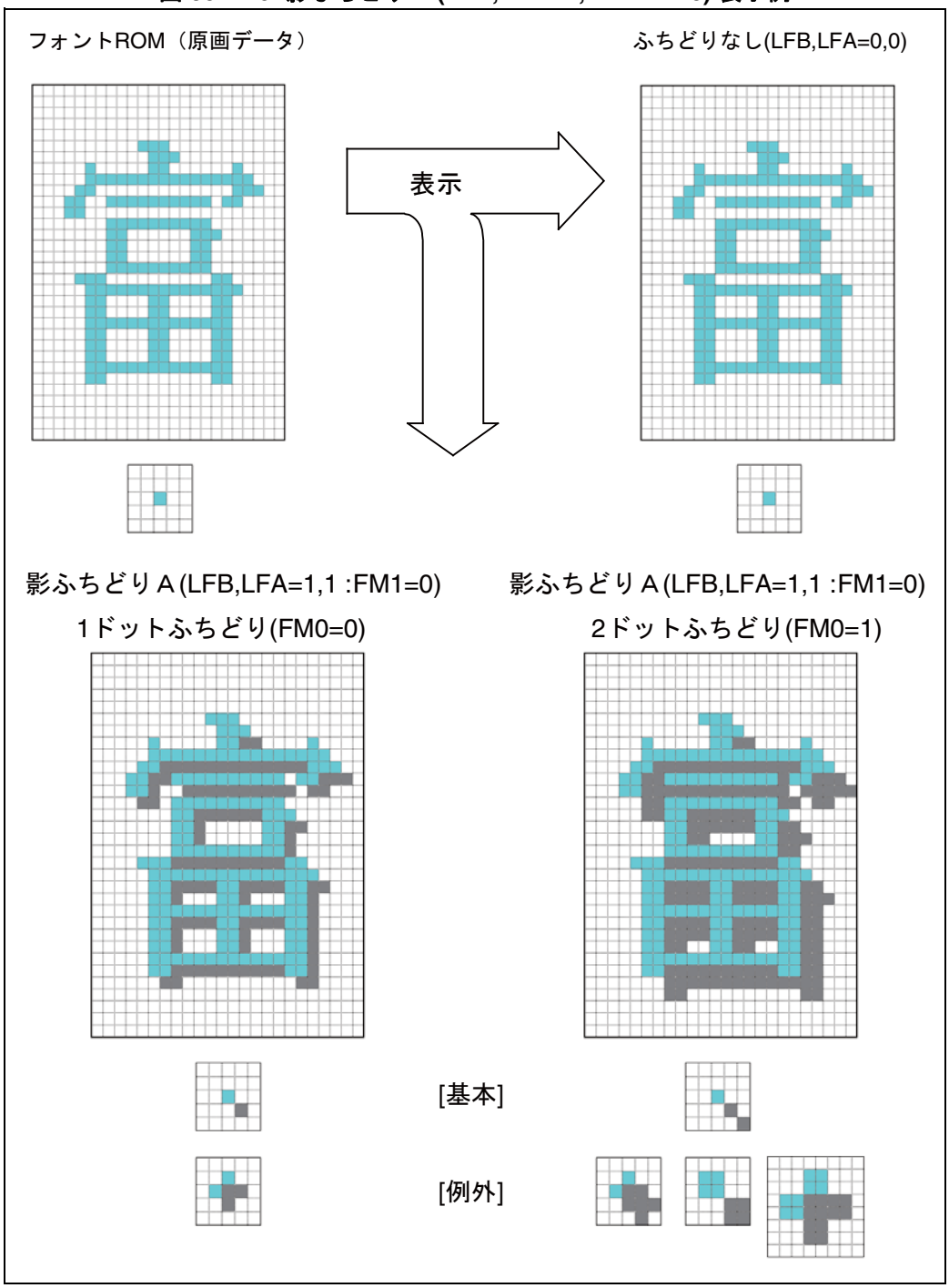
図 30.2-28 右ふちどり (LFB, LFA=1, 0) 表示例



● 影ふちどり A (FMB, FMA=1, 1 : FM1=0) 表示例

図 30.2-29 に , 影ふちどり A (右下) 設定時における , 1 ドットふちどりおよび 2 ドットふちどりの表示例 (24 × 32 ドット) を示します。

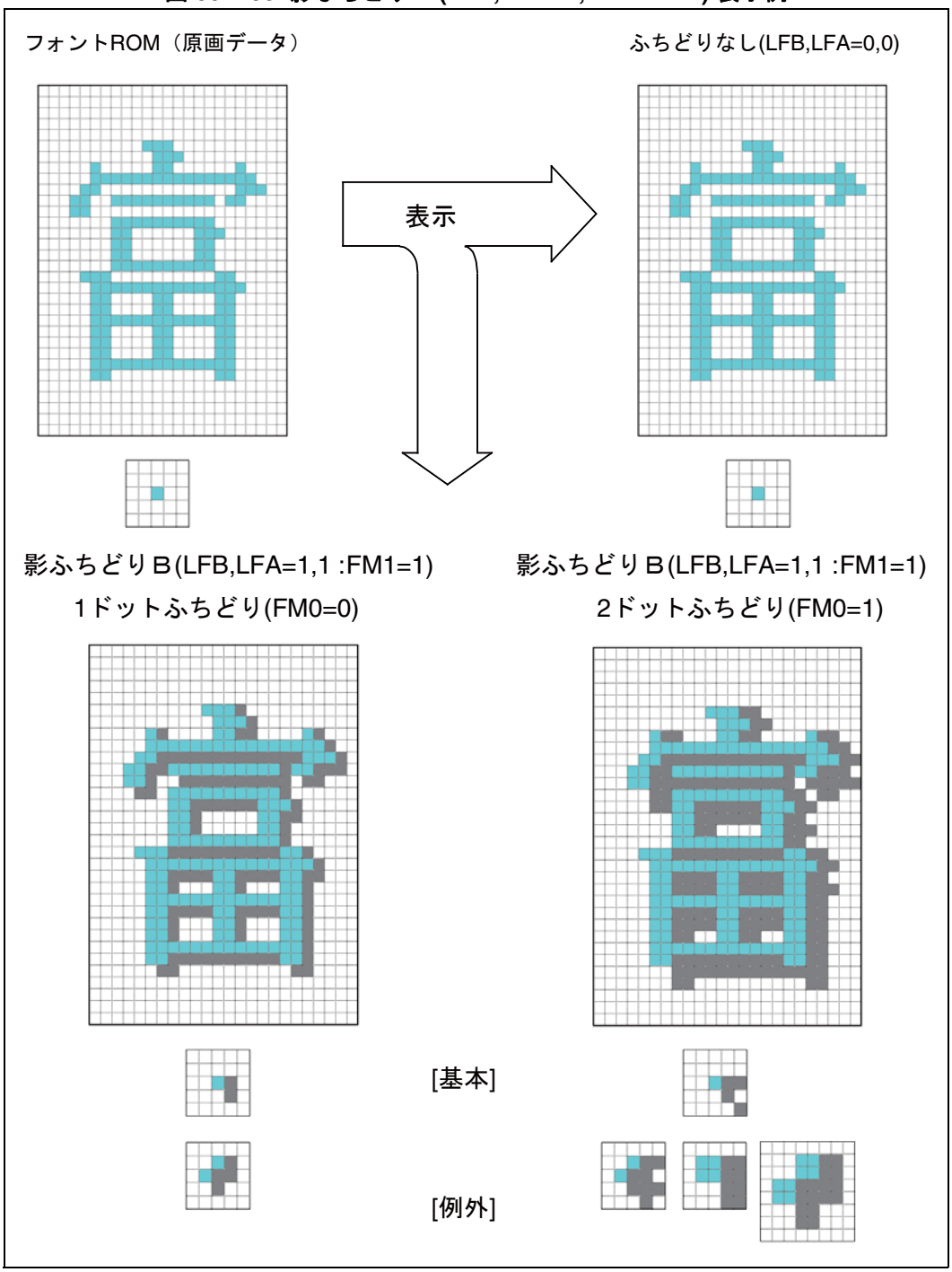
図 30.2-29 影ふちどり A (LFB, LFA=1, 1 : FM1=0) 表示例



● 影ふちどり B (FMB, FMA=1, 1 : FM1=1) 表示例

図 30.2-30 に , 影ふちどり B (右下＋右) 設定時における , 1 ドットふちどりおよび 2 ドットふちどりの表示例 (24 × 32 ドット) を示します。

図 30.2-30 影ふちどり B (LFB, LFA=1, 1 : FM1=1) 表示例



■ ふちどり色

行制御データ設定 1 (コマンド 3) LF7 ～ LF0 に , 色コードを設定することにより行単位にふちどり色を設定できます。

■ ふちどり表示ルール

- ふちどりドットの上下文字領域へのはみ出し表示は , 行間隔設定を行っている領域のみに行います。(行間隔がない場合 , 行を超える範囲へのふちどりドット処理は行いません。また , 影付背景表示における上下影枠を越えてのふちどりドットのはみ出し表示は行いません。)
- ふちどりドットの左右隣接文字領域への表示は , 自文字と隣接文字の文字背景種が同一の場合にのみ可能となります。(ただし , 影付背景の凹表示と凸表示は同じ背景種として扱います。)
- ふちどりドットの行左端または行右端の文字領域外への表示は , 行端文字の文字背景種が文字背景なしの場合にのみ可能となります。
- 行拡大制御時 (行制御データ設定 2 (コマンド 4) の LGY1, LGY0, LGX1, LGX0 ビット設定が "0, 0, 0, 0" 以外の場合) は , 拡大表示処理を行った文字データに対しふちどりドットを表示します。(ふちどりドットそのものに対し , 拡大表示は行いません。)
- グラフィック文字にふちどりドットはつきません。
- 文字背景文字部にふちどりドットはつきません。
- アンダーラインにふちどりドットはつきません。
- 縦横方向へのふちどり表示は , 文字水平サイズ (L, M, S) または行文字垂直サイズ (2 ～ 32 ドット) に応じた文字ドットデータにて処理を行います。(例えば , 行文字垂直サイズを 18 ドット指定時において , 縦 19 ドット目のラインに文字ドットが存在するようなフォントデザインの場合 , そのドットは縦 18 ライン目のふちどり処理時には参照されません。)

＜注意事項＞

各フォントに対するふちどり表示 (全周囲 , 右 , 影ふちどり) 具合は , 対応する OSDC パターンエディタ (PEDWIN2) を使用し , フォントデザインをご確認ください。

30.2.9.5 行拡大表示

行拡大表示は , 文字／文字背景／行背景 (行間隔部を含む) の表示サイズを制御する機能です。縦横方向に個別 , および同時設定が可能です。
影付背景の文字影枠部分は拡大制御されますが , ふちどり表示部分に関しては拡大制御は行いません。また , 行縦拡大表示指定行以降の行は表示位置が下方に移動します。

■ 行拡大制御 (行単位設定)

表 30.2-15 , 表 30.2-16 に , 行制御データ設定 2 (コマンド 4) : LGX1, LGX0, LGY1, LGY0 ビットの行拡大制御を示します。

表 30.2-15 行拡大制御 (行単位設定)

LGY1	LGY0	表示サイズ
0	0	標準サイズ
0	1	縦 2 倍サイズ
1	0	(設定禁止)
1	1	縦 4 倍サイズ

表 30.2-16 行拡大制御 (行単位設定)

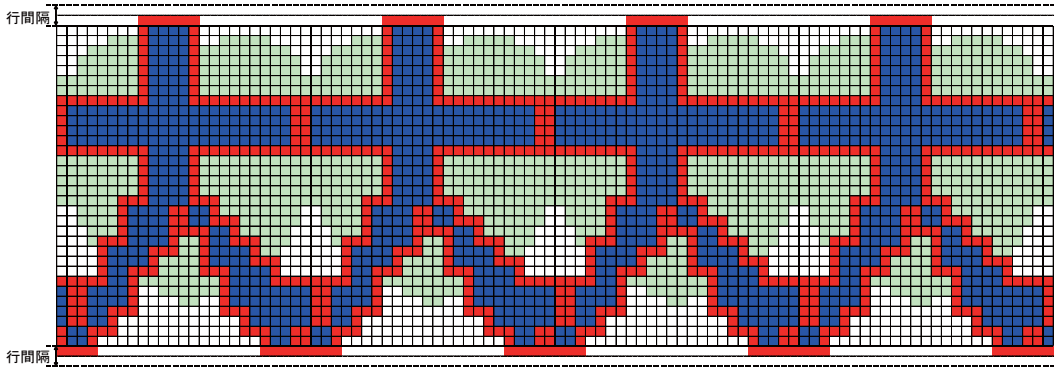
LGX1	LGX0	表示サイズ
0	0	標準サイズ
0	1	横 2 倍サイズ
1	0	(設定禁止)
1	1	横 4 倍サイズ

■ 行拡大表示例

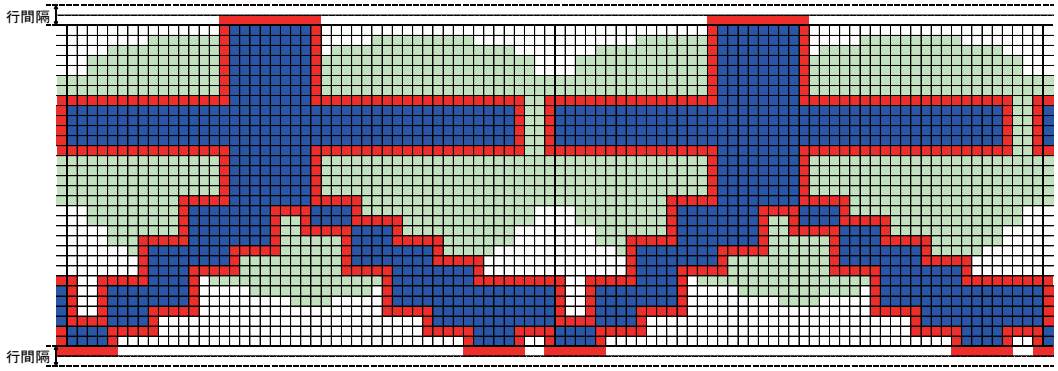
図 30.2-31 から図 30.2-34 に , 標準 , 横 2 倍 , 横 4 倍 , 縦 2 倍 , 縦 4 倍 , 縦横 2 倍 , 縦 2 倍横 4 倍の各サイズの行拡大表示例を示します。

図 30.2-31 行拡大表示例 (続く)

標準サイズ（行間設定あり：LWUEN=1, LWDEN=1, LW2,1,0=0,0,1）



横2倍サイズ（行間設定あり：LWUEN=1, LWDEN=1, LW2,1,0=0,0,1）



横4倍サイズ（行間設定あり：LWUEN=1, LWDEN=1, LW2,1,0=0,0,1）

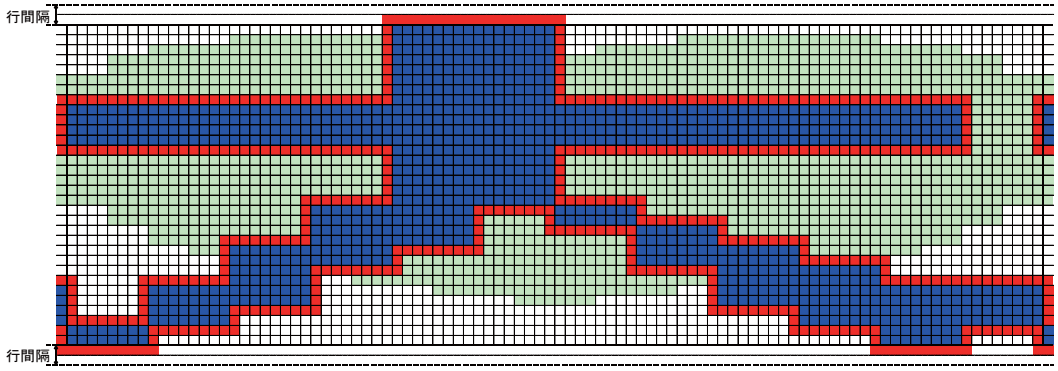


図 30.2-32 行拡大表示例 (続く)

縦 2 倍サイズ（行間設定あり：LWUEN=1, LWDEN=1, LW2,1,0=0,0,1）

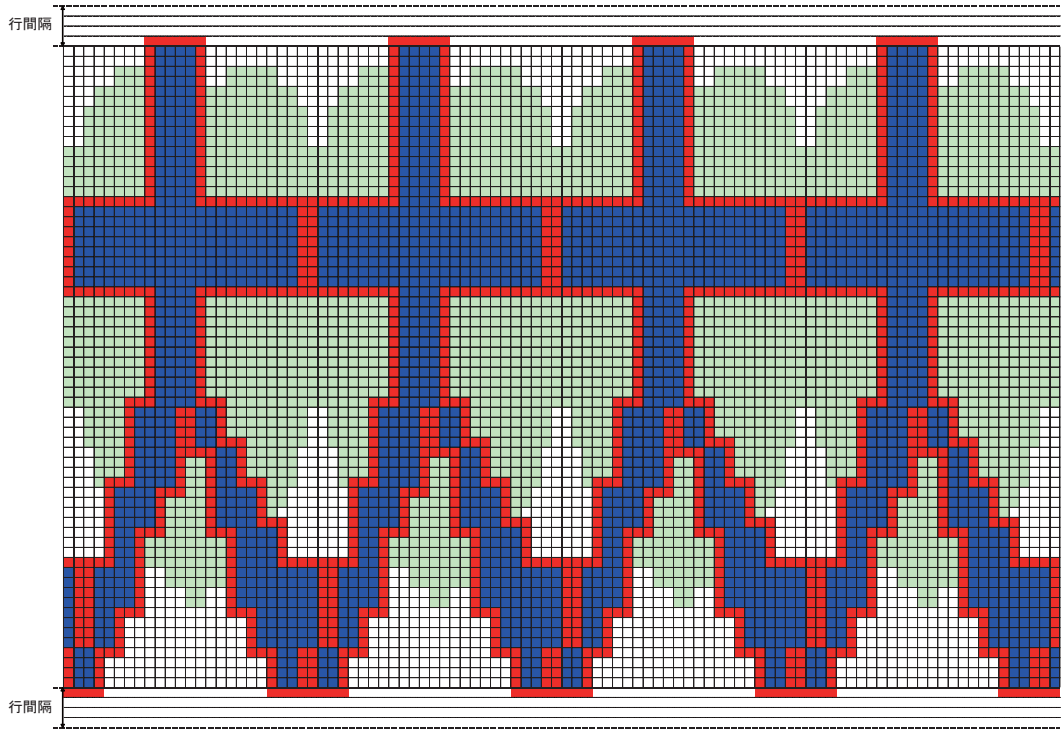


図 30.2-33 行拡大表示例 (続く)

縦4倍サイズ（行間設定あり：LWUEN=1, LWDEN=1, LW2,1,0=0,0,1）

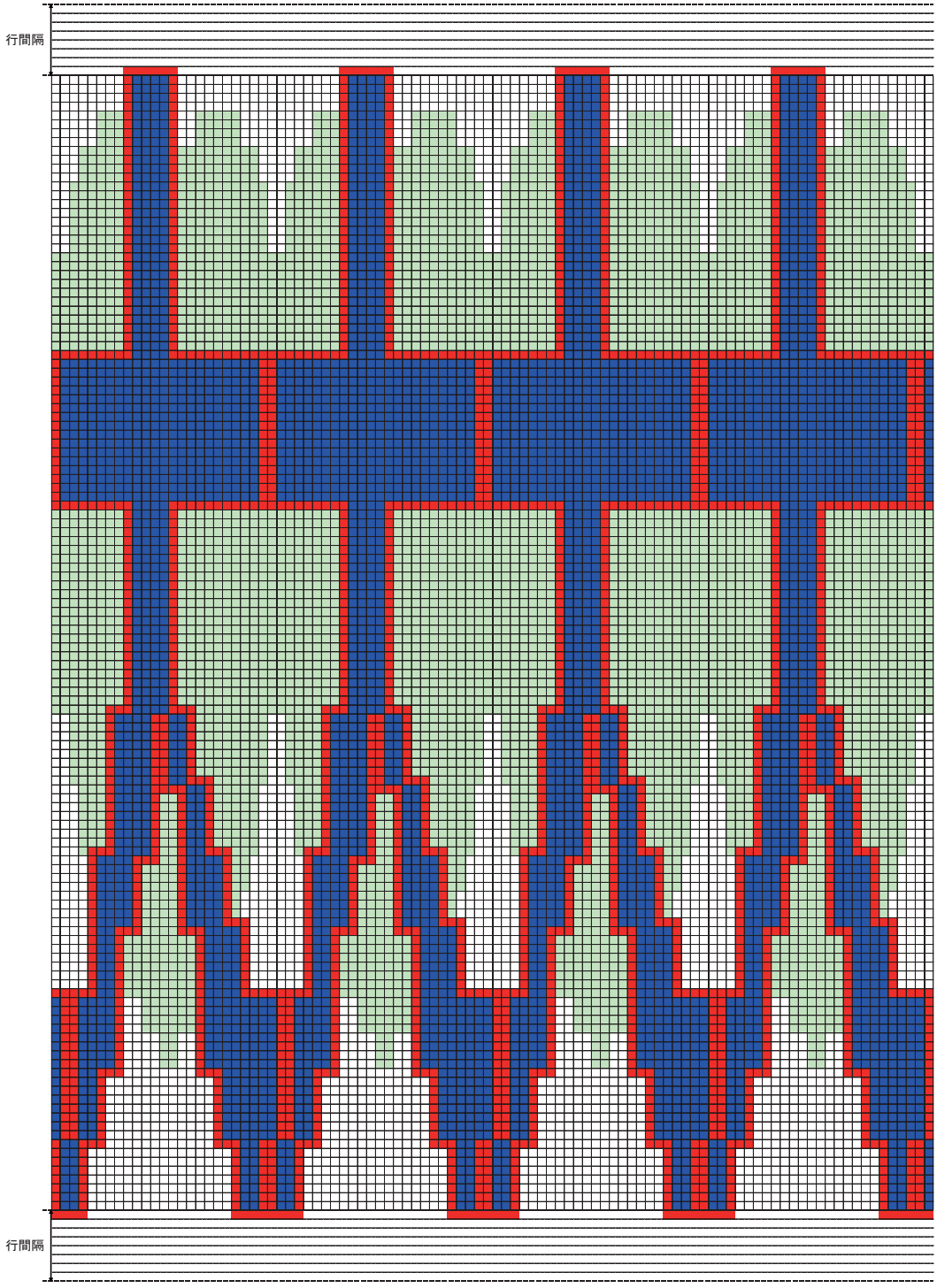
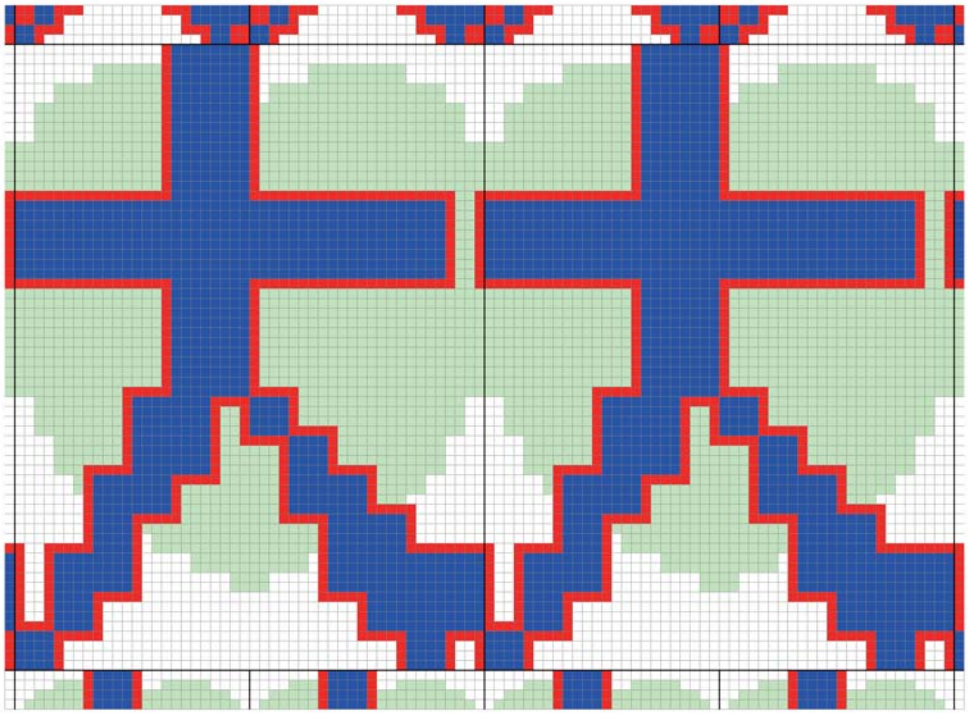
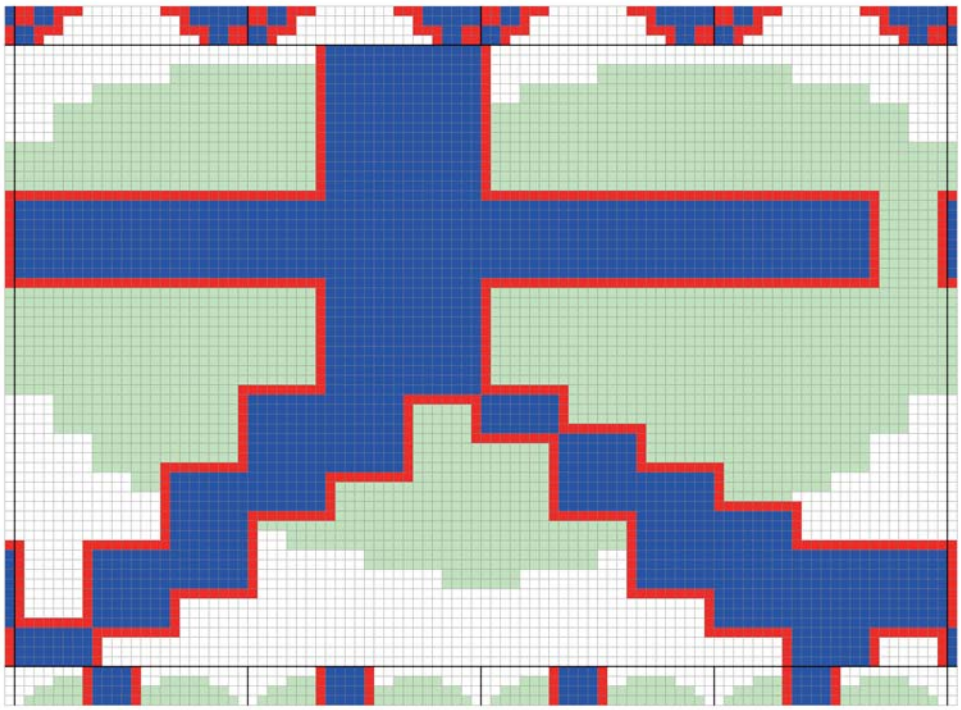


図 30.2-34 行拡大表示例 (続き)

縦横2倍サイズ（行間設定なし：LWUEN=0,LWDEN=0, LW2,1,0=0,0,1）



縦2倍横4倍サイズ（行間設定なし：LWUEN=1,LWDEN=1, LW2,1,0=0,0,0）



30.2.9.6 グラフィック文字制御

グラフィック文字表示は , フォントメモリに設定してある 8 文字分のドットパターンをもとに , 32 ドット× 32 ドットのグラフィックとして表示する機能です。1 ドット単位に 256 色の表示が可能です。

■ 文字／グラフィック文字制御 (文字単位設定)

グラフィック文字は , フォント ROM 内の連続する 8 文字使用します。グラフィック文字表示を行う場合は文字コードの下位 3bit を 0 に設定してください。

表 30.2-17 に , 各文字コード設定を示します。

表 30.2-17 グラフィック文字指定コード

表示層	文字コード	
	任意設定 bit	固定設定 bit "0" を設定してください。
メイン画面	M13-M3	M2-M0
画面背景文字	PM13-PM3	PM2-PM0
スプライト	SM13-SM3	SM2-SM0

＜注意事項＞

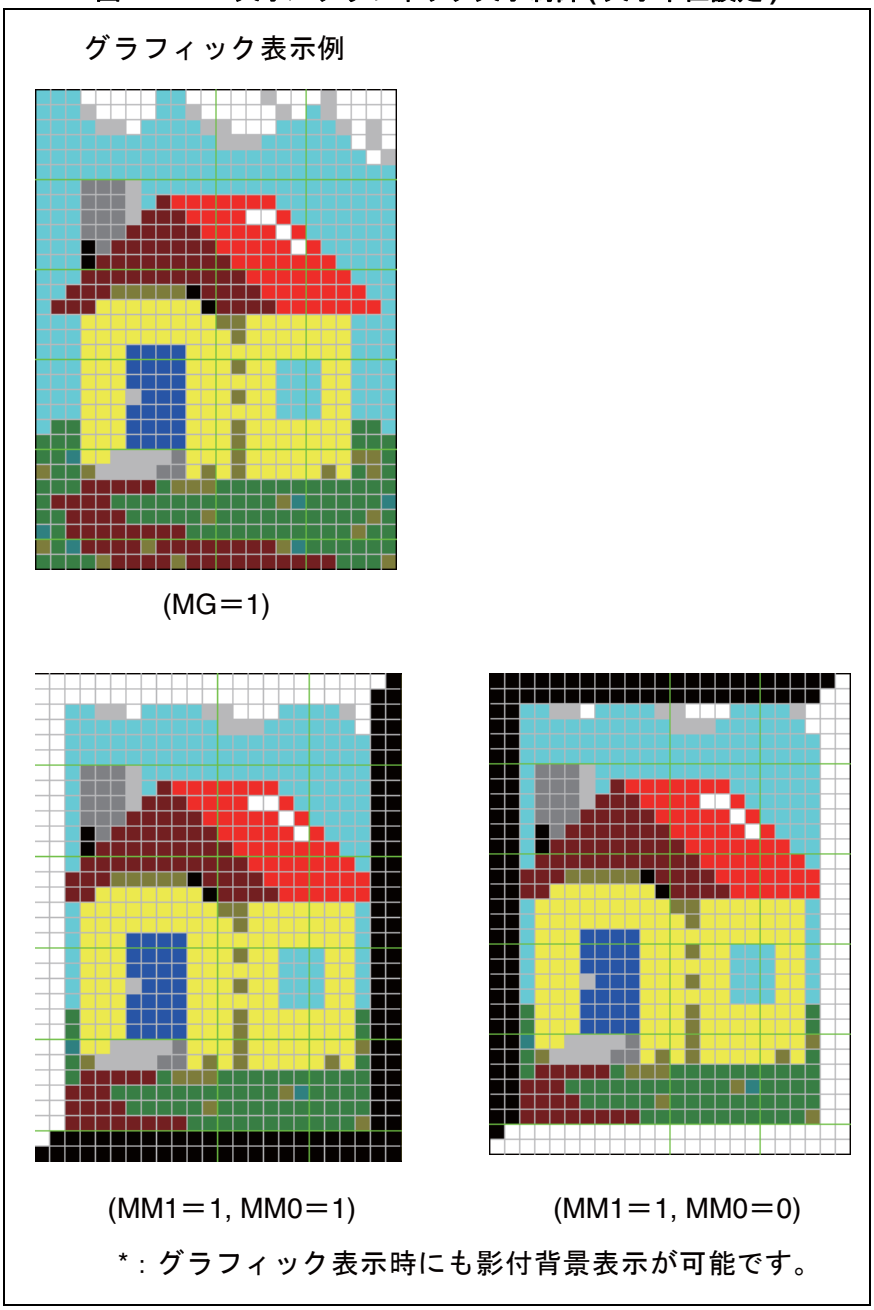
グラフィック文字は対応する OSDC パターンエディタ (PEDWIN2) を使用して作成してください。

表 30.2-18 , および図 30.2-35 に , 文字データ設定 2 (コマンド 2) : MG ビットの , 文字／グラフィック文字制御を示します。

表 30.2-18 文字／グラフィック文字制御 (文字単位設定)

MG	文字／グラフィック文字制御
0	通常文字
1	グラフィック文字

図 30.2-35 文字／グラフィック文字制御 (文字単位設定)



■ グラフィック色ふちどり色置換制御 (画面単位設定)

表 30.2-19 にグラフィック色制御 (コマンド 6-1) : GFC ビットの , グラフィック色ふちどり色置換制御を示します。

この制御では , グラフィック文字内の任意色 (GF7-GF0 ビット指定色) を行制御データ設定 1 (コマンド 3) で設定したふちどり色 (LF7-LF0) 内容に置換します。

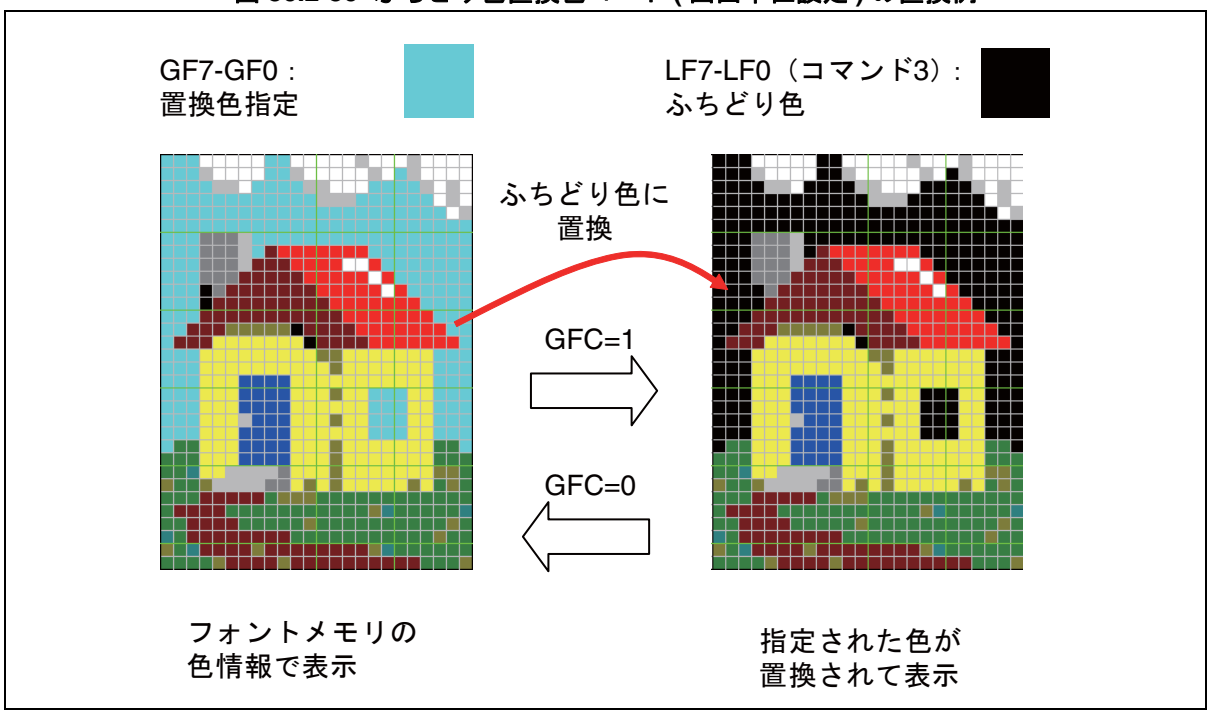
表 30.2-19 グラフィック色ふちどり色置換制御 (画面単位設定)

GFC	グラフィック色ふちどり色置換制御
0	指定色の置換をしない。
1	指定色をふちどり色で置換する。

■ ふちどり色置換色コード (画面単位設定)

図 30.2-36 に, グラフィック色制御(コマンド6-1):GF7-GF0ビットの置換例を示します。

図 30.2-36 ふちどり色置換色コード (画面単位設定) の置換例



＜注意事項＞

- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色ふちどり色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , ふちどり色置換が優先されます。
- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換するふちどり色コード (行制御データ設定 1 (コマンド 3) のふちどり色 (LF7 ～ LF0)) と透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 透明色となり , 下位層色が表示されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつグラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) の場合 , 文字色置換色 (GC7-GC0 ビット) 設定内容とふちどり色置換色コード (GF7-GF0 ビット) 設定内容は , 異なる色コードを設定してください。

■ グラフィック色文字色置換制御 (画面単位設定)

表 30.2-20 に , グラフィック色制御 (コマンド 6-1) : GCC ビットの , グラフィック色文字色置換制御を示します。

この制御では , グラフィック文字内の任意色 (GC7-GC0 ビット指定色) を文字データ設定 1 (コマンド 1) で設定した文字色 (MC7-MC0) 内容に置換します。

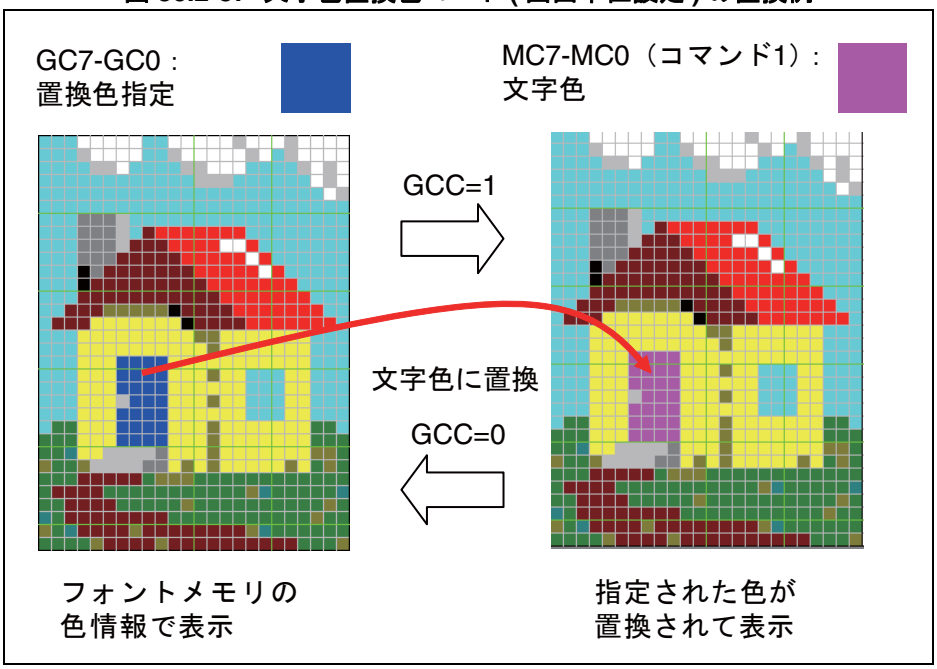
表 30.2-20 グラフィック色文字色置換制御 (画面単位設定)

GCC	グラフィック色文字色置換制御
0	指定色の置換をしない。
1	指定色を文字色で置換する。

■ 文字色置換色 (画面単位設定)

図 30.2-37 に, グラフィック色制御(コマンド6-1):GC7-GC0ビットの置換例を示します。

図 30.2-37 文字色置換色コード (画面単位設定) の置換例



＜注意事項＞

- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色文字色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 文字色置換が優先されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換する文字色コード (文字データ設定 1 (コマンド 1) の文字色 (MC7 ～ MC0)) と透明色制御 (コマンド 6-0) の透明色コード(TC7-TC0)が同一設定の場合は, 透明色となり, 下位層色が表示されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつグラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) の場合 , 文字色置換色コード (GC7-GC0 ビット) 設定内容とふちどり色置換色コード (GF7-GF0 ビット) 設定内容は , 異なる色コードを設定してください。

30.2.9.7 ブリンク制御

OSDC では , 文字単位にブリンク (点滅) 表示の設定が可能です。また , ブリンク表示では , 周期の設定 , デューティ比の設定も可能です。

■ ブリンク制御 (文字単位設定)

表 30.2-21 に , 文字データ設定 1 (コマンド 1) : MBL ビット , MBB ビットの , ブリンク制御を示します。

表 30.2-21 ブリンク制御 (文字単位設定)

MBL	MBB	ブリンク制御
0	0	ブリンク OFF (通常の表示)
1	0	文字ブリンク ON
0	1	文字背景ブリンク ON
1	1	文字＋文字背景ブリンク ON

■ 表示例

図 30.2-38 から図 30.2-46 に背景の違いによる , ブリンク表示例を示します。

図 30.2-38 背景なし (MM2, MM1, MM0 = 0, 0, 0) のブリンク表示例

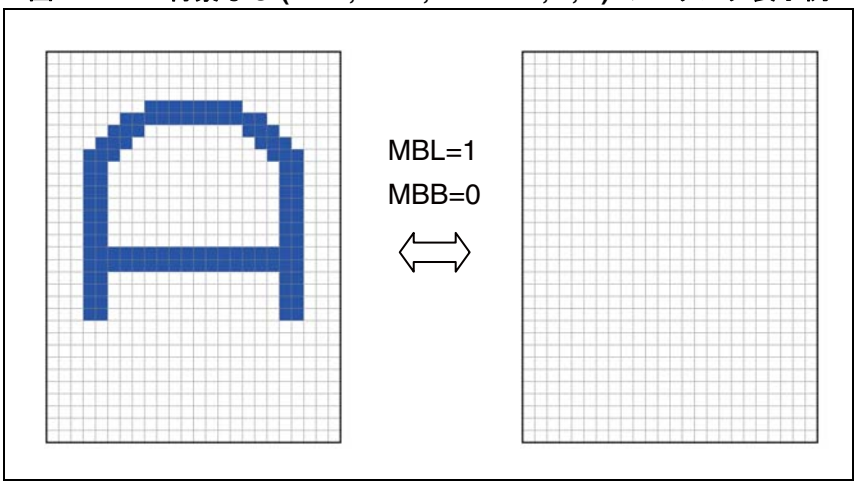


図 30.2-39 ベタ表示 (MM2, MM1, MM0 = 0, 0, 1) のブリンク表示例 1

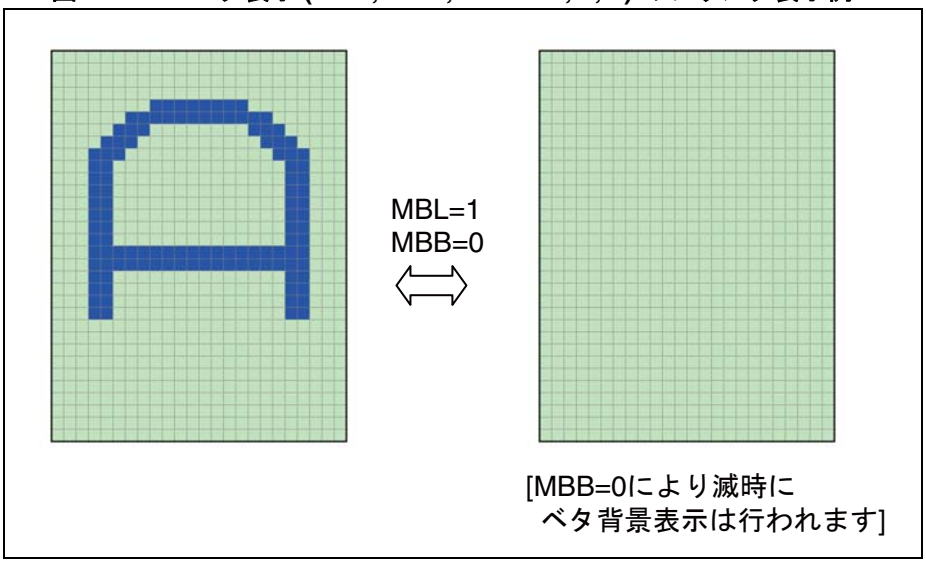


図 30.2-40 ベタ表示 (MM2, MM1, MM0 = 0, 0, 1) のブリンク表示例 2

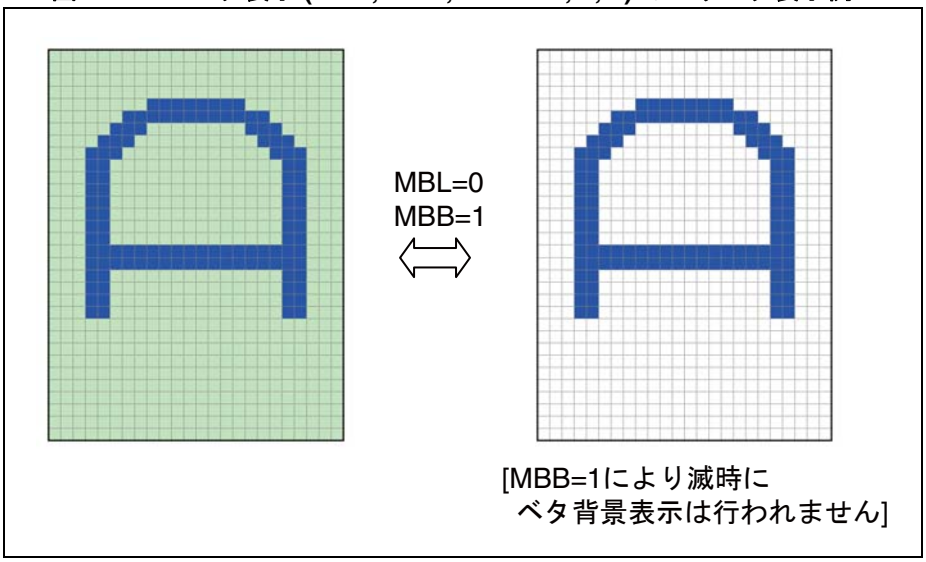


図 30.2-41 ベタ表示 (MM2, MM1, MM0 = 0, 0, 1) のブリンク表示例 3

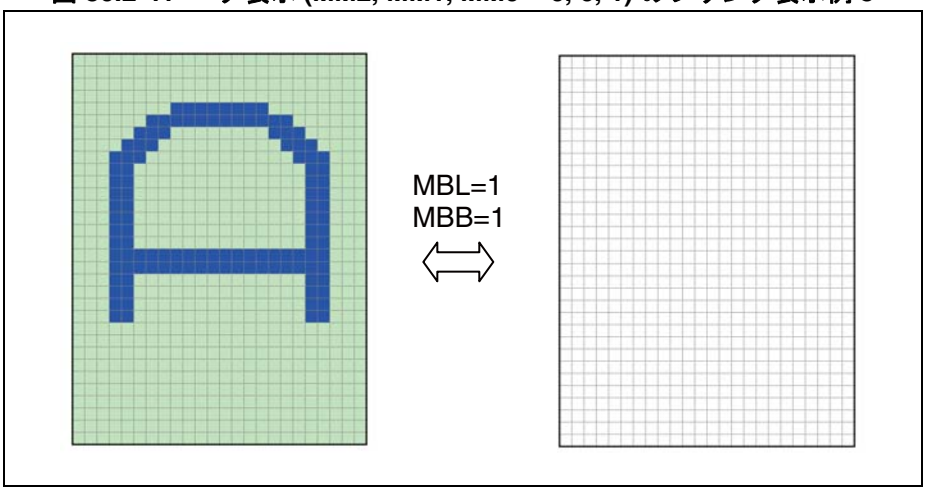


図 30.2-42 背景文字表示 (MM2, MM1, MM0 = 1, 0, 0) のブリンク表示例

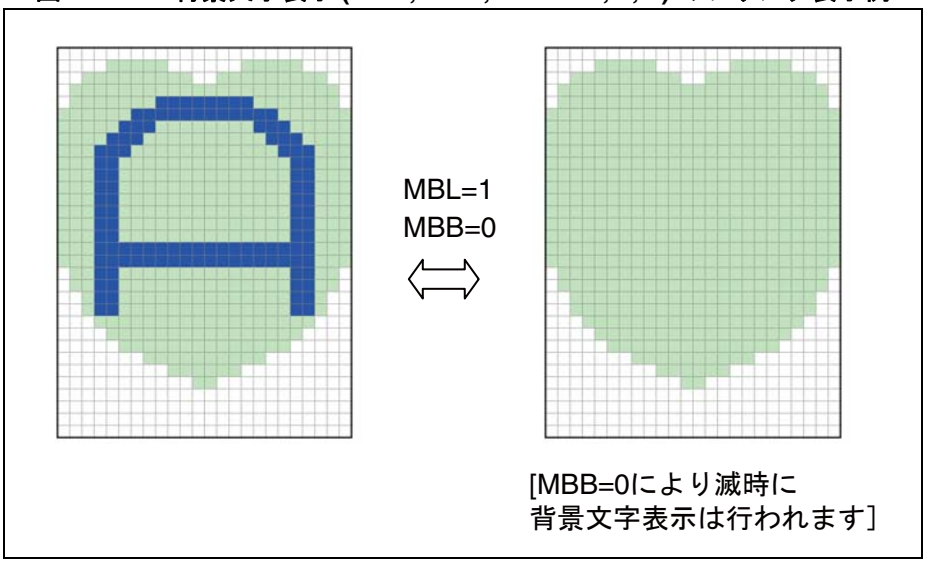


図 30.2-43 影付表示 (MM2, MM1, MM0 = 0, 1, 1) のブリンク表示例 1

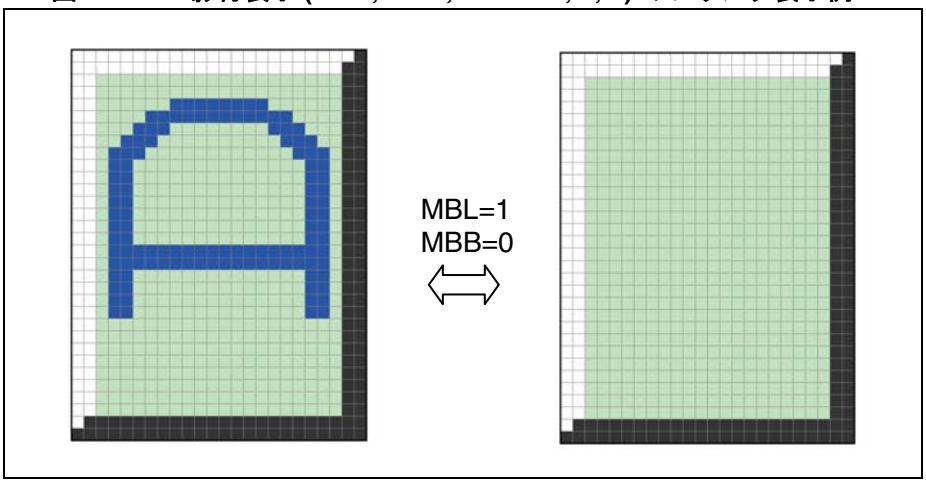


図 30.2-44 影付表示 (MM2, MM1, MM0 = 0, 1, 1) のブリンク表示例 2

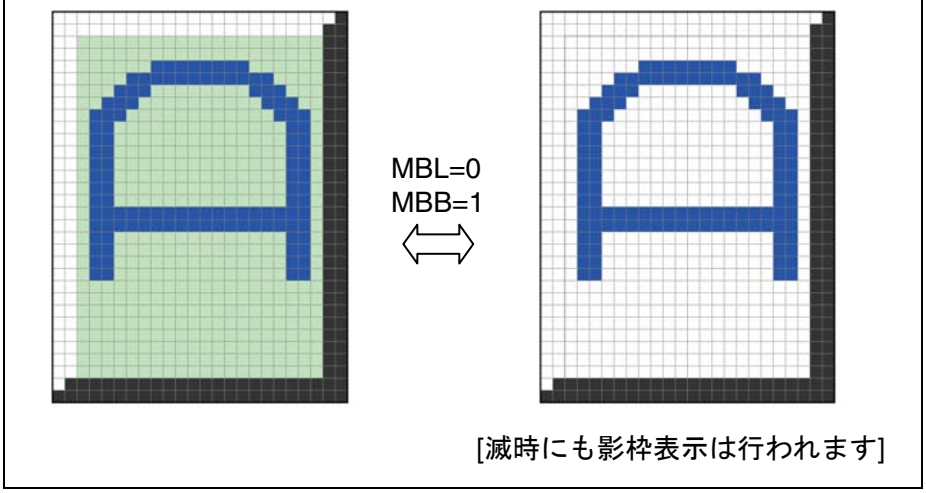


図 30.2-45 影付表示 (MM2, MM1, MM0 = 0, 1, 1) のブリンク表示例 3

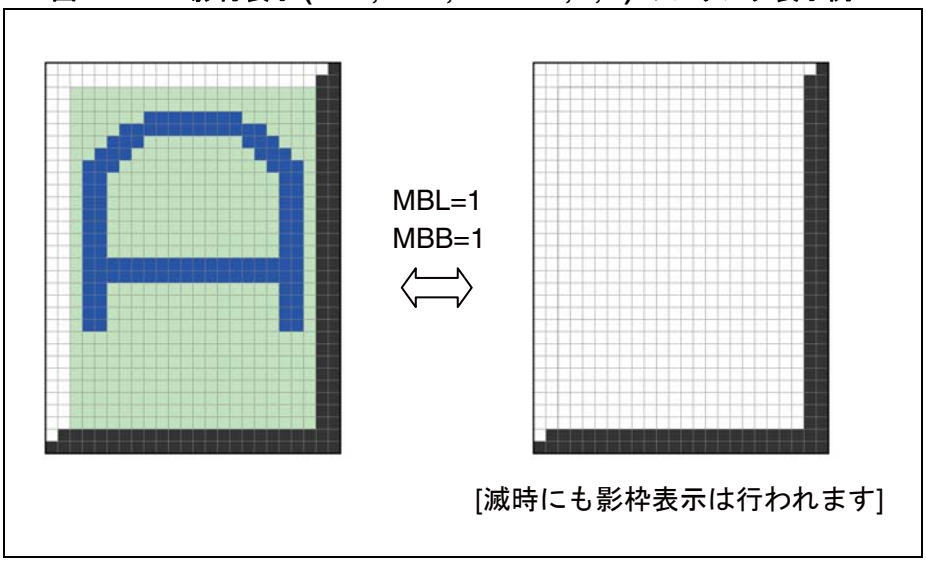
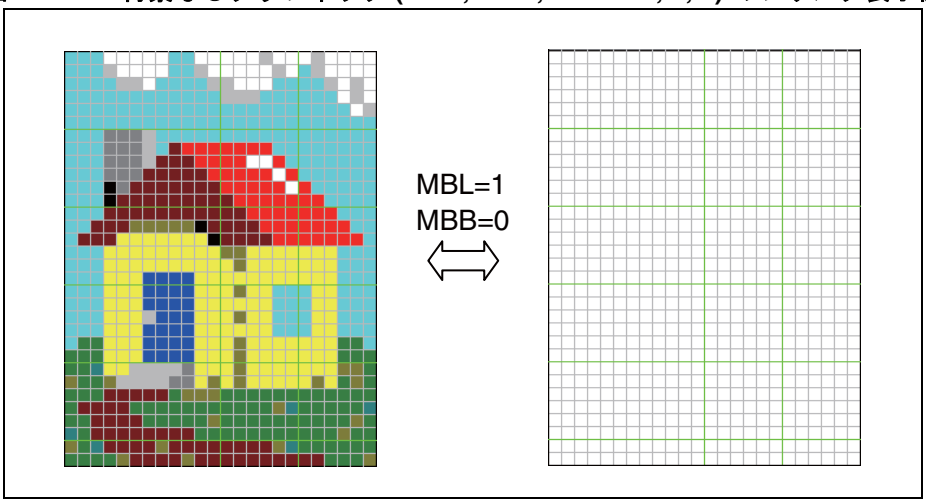


図 30.2-46 背景なしグラフィック (MM2, MM1, MM0 = 0, 0, 0) のブリンク表示例



＜注意事項＞

グラフィック表示時のブリンクにおいて背景あり設定の場合，文字表示時と同様に，MBB=0 設定の場合，滅時には背景を表示します。

影付表示での影枠はブリンク滅時にも影枠表示は行われます。(影枠はブリンクしません。)

文字背景文字表示 (MM2, MM1, MM0=1, 0, 0) 設定文字の背景文字に対するブリンク設定 [(MBL, MBB=0, 1) または (MBL, MBB=1, 1)] は禁止となります。

■ ブリンク表示の周期

表 30.2-22 に , 画面出力制御 (コマンド 5-0) : BT1, BT0 ビットの , ブリンク表示の周期を示します。

表 30.2-22 ブリンク周期制御 (画面単位設定)

BT1	BT0	ブリンク周期
0	0	16 × Vsync
0	1	32 × Vsync
1	0	48 × Vsync
1	1	64 × Vsync

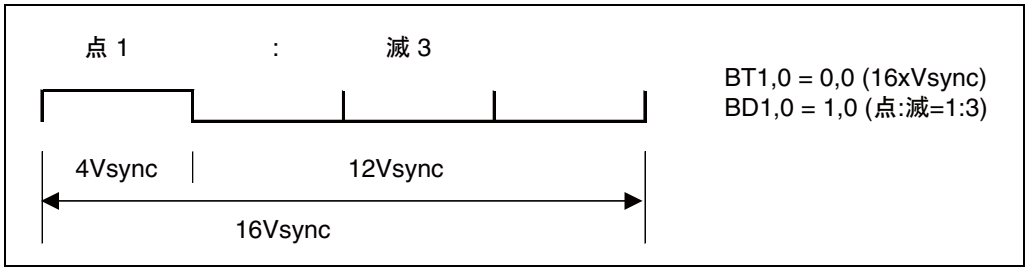
■ デューティ比の設定

表 30.2-23 に , 画面出力制御 (コマンド 5-0) : BD1, BD0 ビットの , ブリンクデューティ制御を示します。

表 30.2-23 ブリンクデューティ 制御 (画面単位設定)

BD1	BD0	(点 : 滅) ブリンクデューティ
0	0	1 : 0 (常に表示)
0	1	1 : 1
1	0	1 : 3
1	1	3 : 1

※ブリンク表示の周期とデューティ比の関係は以下のような例となります。



30.2.9.8 透明制御

任意の表示色を透明制御により , その下位層色を表示することができます。

■ 透明制御 (画面単位設定)

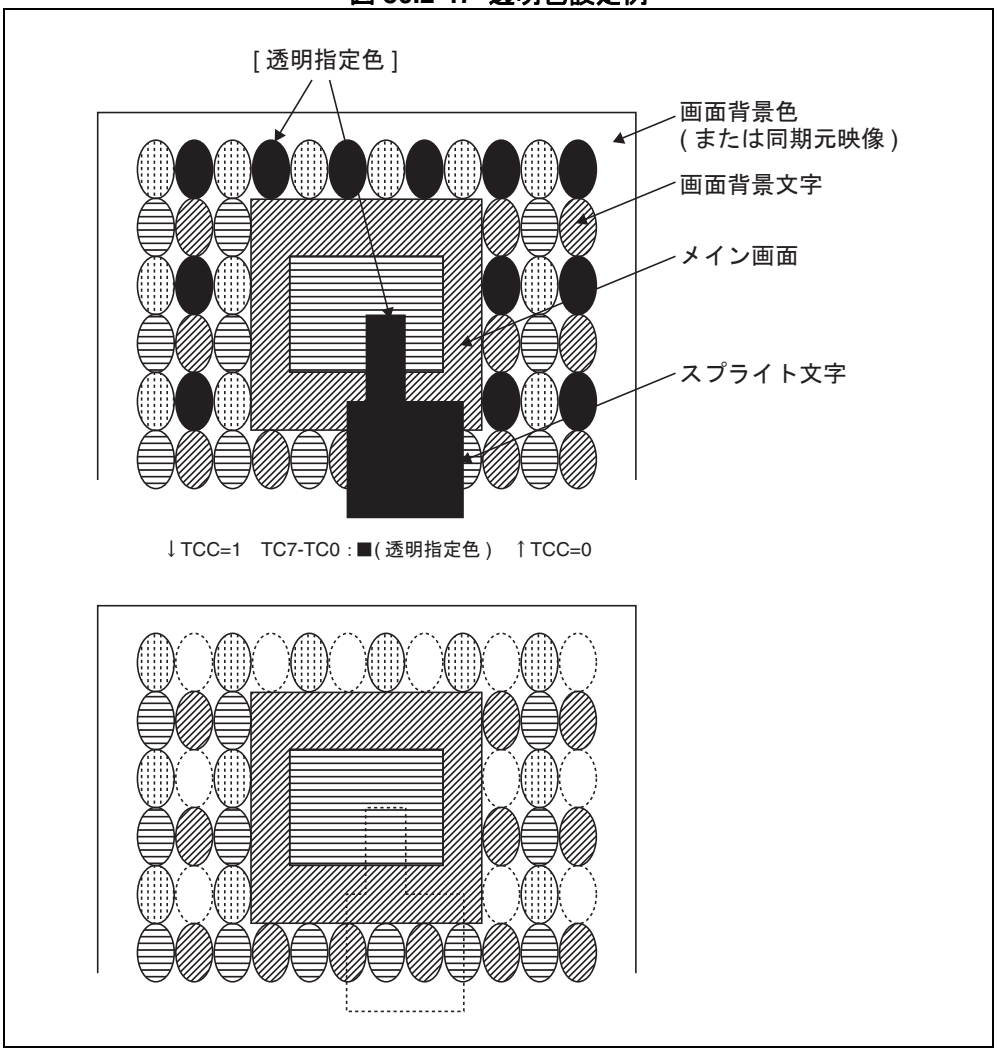
表 30.2-24 に , 透明色制御 (コマンド 6-0) : TCC ビットの透明色制御を示します。

表 30.2-24 透明色制御 (画面単位設定)

TCC	透明色制御
0	透明色制御を行わない。
1	透明色制御を行う。

図 30.2-47 に , 透明色制御 (コマンド 6-0) : TC7-TC0 ビットの透明色コードの設定例を示します (図中の■部分を透明色に設定した場合)。

図 30.2-47 透明色設定例



30.2.9.9 アルファブレンド出力制御

アルファブレンド出力制御では , アルファブレンド期間・量を出力します。これにより , 外部回路にてアルファブレンド合成処理を行うことが可能です。

■ アルファブレンド出力制御 1 (行単位設定)

表 30.2-25 に , 行制御データ設定 1 (コマンド 3) : 行アルファブレンド設定に関するコマンドを示します。

表 30.2-25 行アルファブレンド設定 (行単位設定)

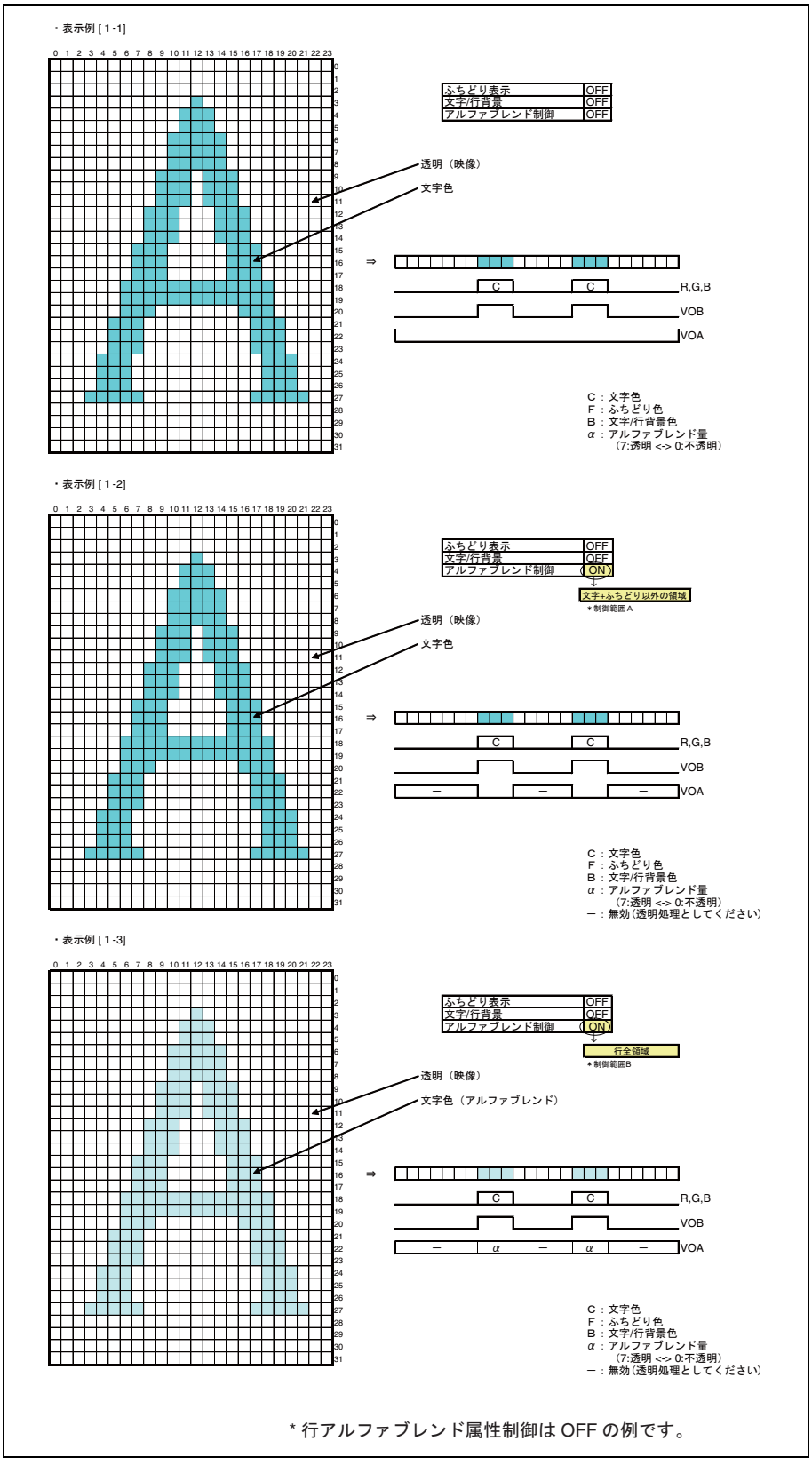
LALEN	行アルファブレンド出力制御
0	OFF
1	ON

LALCM	行アルファブレンド制御範囲制御
0	制御範囲 A[文字 + ふちどり領域以外]
1	制御範囲 B[行全領域]

LAL2, LAL1, LAL0	行アルファブレンド量
1, 1, 1	7 [透明]
1, 1, 0	6 ↑
1, 0, 1	5
1, 0, 0	4
0, 1, 1	3
0, 1, 0	2
0, 0, 1	1 ↓
0, 0, 0	0 [不透明]

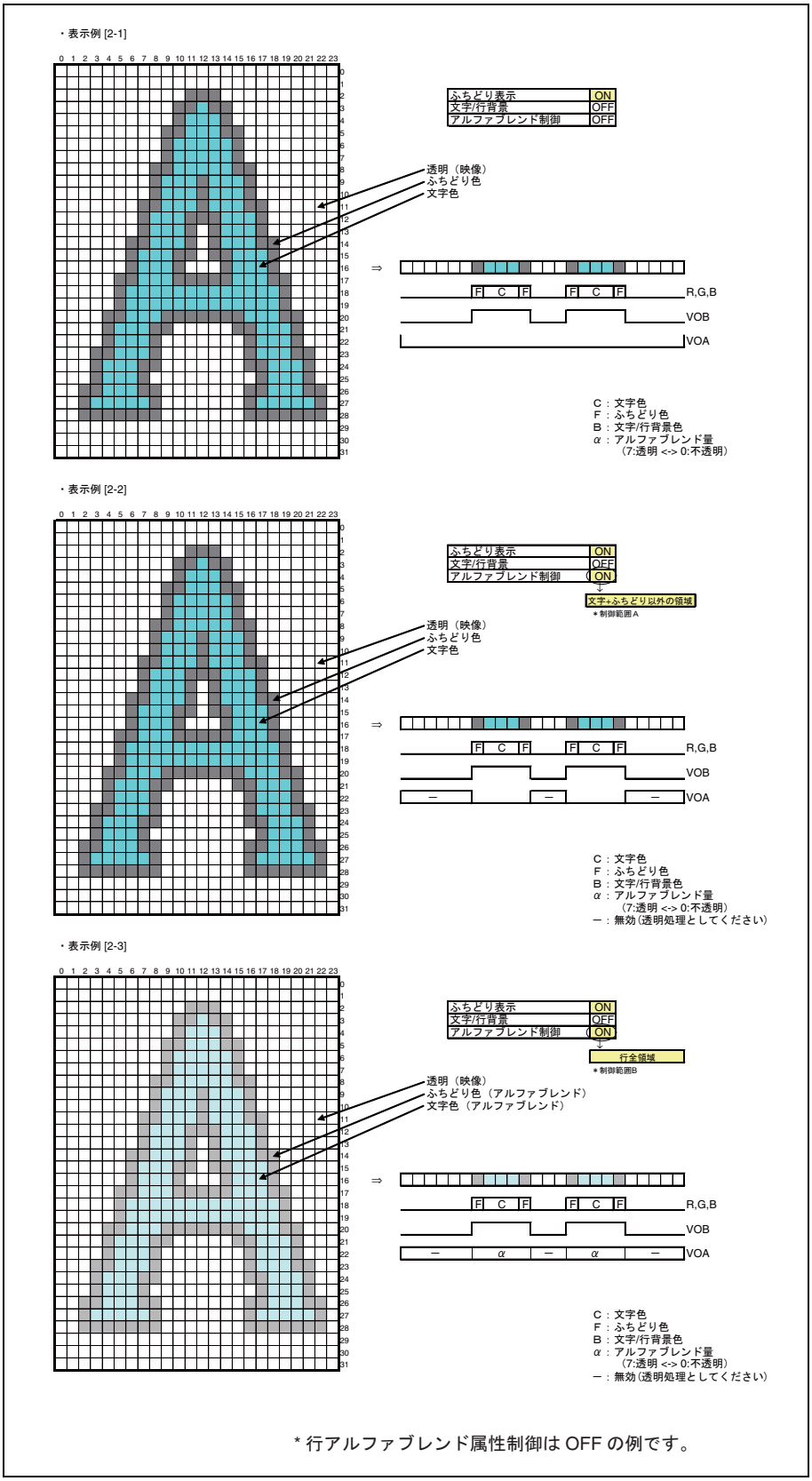
図 30.2-48 ～図 30.2-51 に , 行アルファブレンド制御例を示します。

図 30.2-48 行アルファブレンド制御例 1



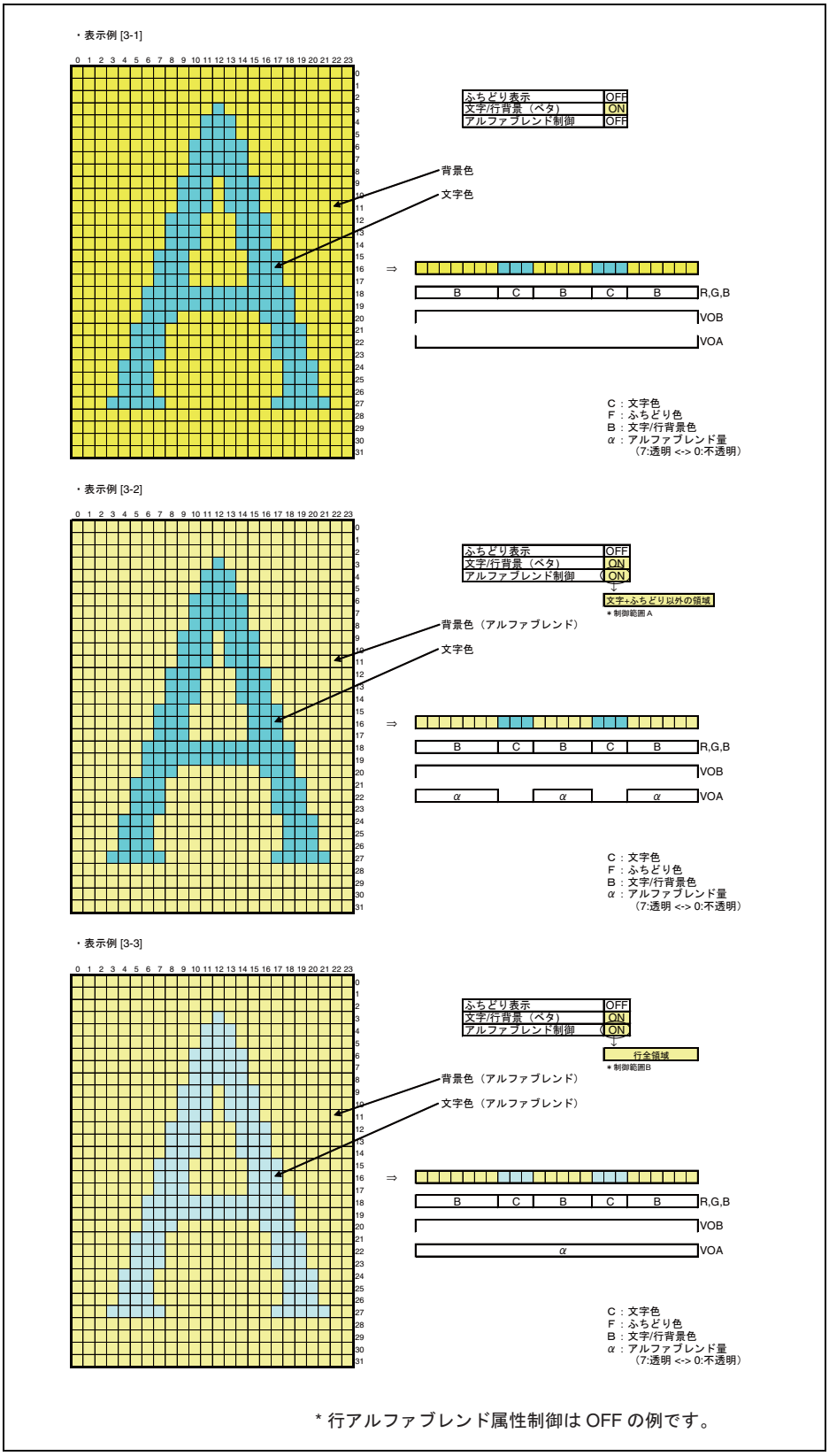
＊行アルファブレンド属性制御は OFF の例です。

図 30.2-49 行アルファブレンド制御例 2



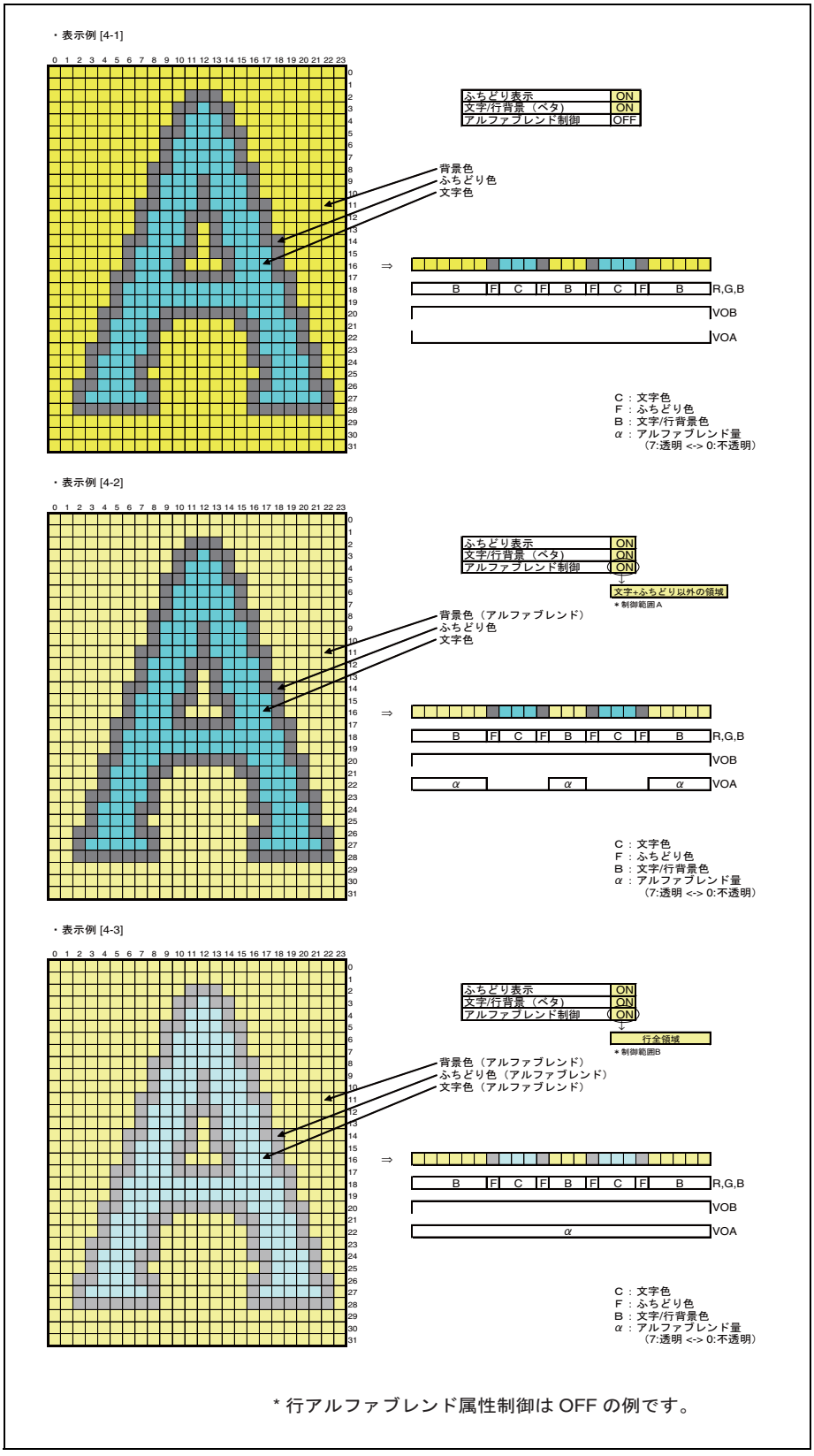
＊行アルファブレンド属性制御は OFF の例です。

図 30.2-50 行アルファブレンド制御例 3



＊ 行アルファブレンド属性制御は OFF の例です。

図 30.2-51 行アルファブレンド制御例 4



＊行アルファブレンド属性制御は OFF の例です。

■ アルファブレンド出力制御 2 (行単位設定 , 画面単位設定)

表 30.2-26 に , 行制御データ設定 1 (コマンド 3) : 行アルファブレンド属性制御に関するコマンドを示します。

表 30.2-26 行アルファブレンド属性制御 (行単位設定)

LALCA1	LALCA0	行アルファブレンド属性制御
0	0	OFF
0	1	文字アルファブレンド A 属性 * のみ有効
1	0	文字アルファブレンド B 属性 * のみ有効
1	1	文字アルファブレンド A/B 属性 * 両方有効

* : 文字アルファブレンド A 属性および B 属性は , 文字データ設定 2 (コマンド 2) の MA ビットにて設定を行います。

表 30.2-27 に , 画面出力制御 (コマンド 5-0) : アルファブレンド属性無効量設定に関するコマンドを示します。

表 30.2-27 アルファブレンド属性無効量設定 (画面単位設定)

SALCC	アルファブレンド属性無効量設定 *
0	アルファブレンド量 0 (不透明) 固定
1	アルファブレンド量 7 (透明) 固定

* : アルファブレンド属性無効量設定は , 行アルファブレンド属性制御 (LALCA1, LALCA0) の設定にて , 文字アルファブレンド A 属性のみ有効あるいは B 属性のみ有効な場合にのみ , この SALCC 設定が有効となります。

図 30.2-52 , 図 30.2-53 に , 行アルファブレンド属性制御例を示します。

図 30.2-52 行アルファブレンド属性制御例 1

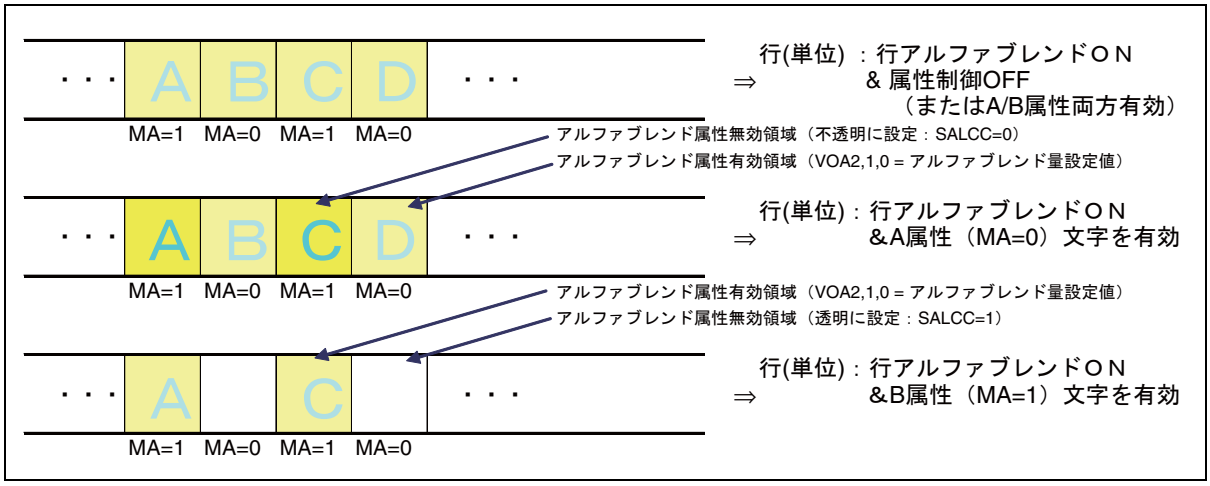
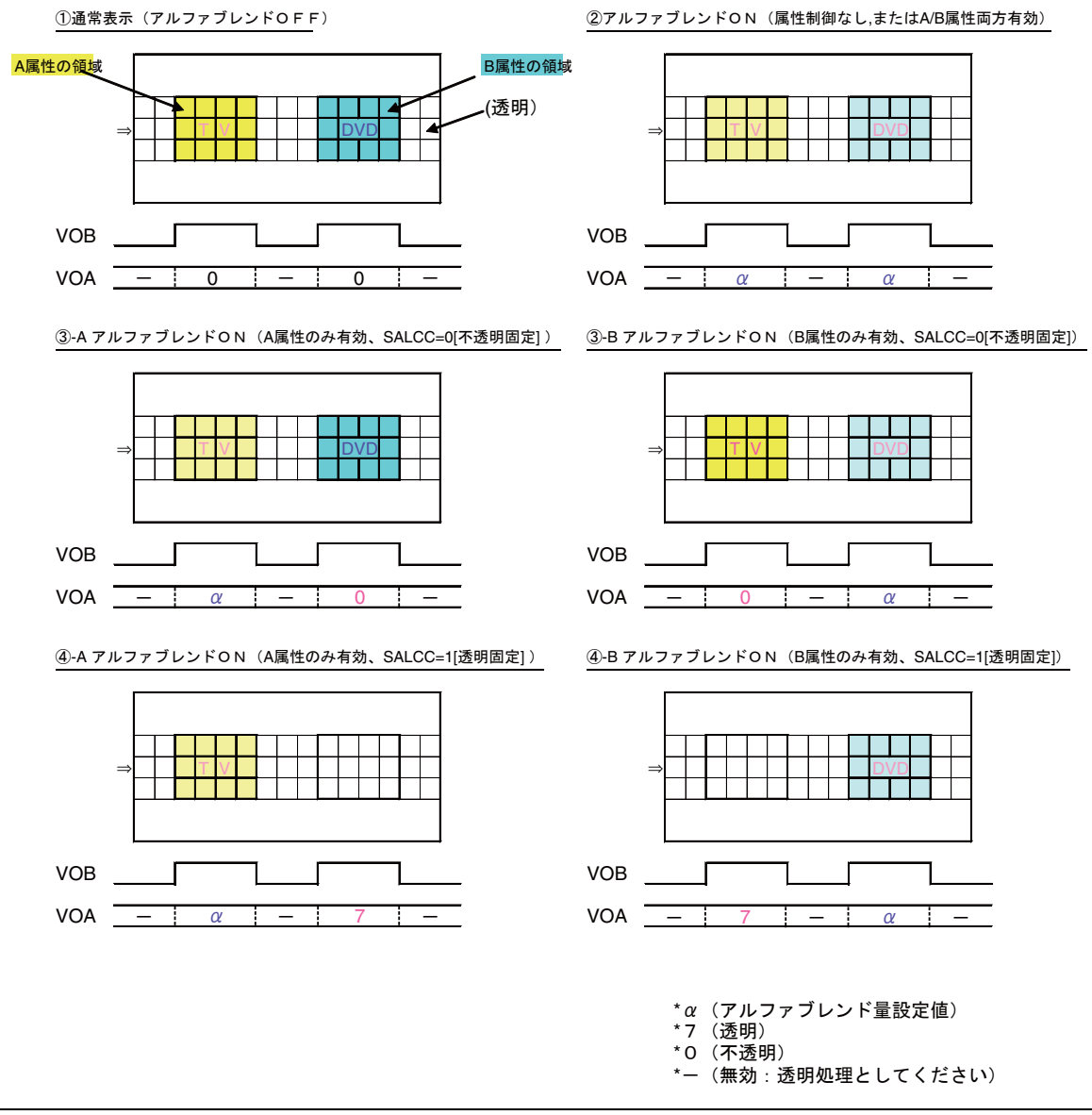


図 30.2-53 行アルファブレンド属性制御例 2



＜注意事項＞

行アルファブレンド属性制御は，文字属性（文字＋ふちどり，文字背景）のドット部分に対してのみ有効となります。

■ アルファブレンド出力制御 3 (画面単位設定)

表 30.2-28 に , 画面背景制御 (コマンド 8-0) : 画面背景アルファブレンド制御に関するコマンドを示します。

表 30.2-28 画面背景アルファブレンド制御 (画面単位設定)

UALEN	画面背景アルファブレンド制御
0	OFF
1	ON

UAL2, UAL1, UAL0	画面背景アルファブレンド量
1, 1, 1 1, 1, 0 1, 0, 1 1, 0, 0 0, 1, 1 0, 1, 0 0, 0, 1 0, 0, 0	7 [透明] 6 ↑ 5 4 3 2 1 ↓ 0 [不透明]

* : 画面背景アルファブレンドは , 画面出力制御 (コマンド 5-0) の UDS=1 の場合有効となります。
また , MAIN 画面では PDS=1 の場合も有効となります。

＜注意事項＞

MAIN 画面での画面背景文字の領域におけるアルファブレンド量出力制御においても , 画面背景アルファブレンド制御は有効となります。

■ 画面の表示期間および表示ドットの優先度によるアルファブレンド出力について

表 30.2-29 に , 画面の表示期間および表示ドットの優先度に対するアルファブレンド出力を示します。

表 30.2-29 表示期間および表示ドットの優先度に対するアルファブレンド出力

表示期間 *1	ウィンドウ期間 *2		MAIN, SUB 画面優先制御 *3 (MCC)	表示ドットの優先度						VOA2,1,0 アルファブレンド出力
				スプライト文字		通常画面		画面背景		
	MAIN	SUB		MAIN	SUB	MAIN	SUB	MAIN	SUB	
内	外	内	-	0	0	-	0	-	1	SUB 画面背景 α
				0	0	-	1	-	-	SUB 行 α
				0	1	-	-	-	-	不透明
				1	-	-	-	-	-	不透明
	内	外	-	0	0	0	-	1	-	MAIN 画面背景 α
				0	0	1	-	-	-	MAIN 行 α
				0	1	-	-	-	-	不透明
				1	-	-	-	-	-	不透明
	内	内	0	0	0	0	0	0	1	SUB 画面背景 α
				0	0	0	0	1	-	MAIN 画面背景 α
				0	0	0	1	-	-	SUB 行 α
				0	0	1	-	-	-	MAIN 行 α
				0	1	-	-	-	-	不透明
				1	-	-	-	-	-	不透明
			1	0	0	0	0	-	1	SUB 画面背景 α
				0	0	0	0	1	0	MAIN 画面背景 α
				0	0	-	1	-	-	SUB 行 α
				0	0	1	0	-	-	MAIN 行 α
				-	1	-	-	-	-	不透明
				1	0	-	-	-	-	不透明
外	-	-	-	0	0	0	0	0	0	不透明

*1 表示期間 : コマンド 14-0 (表示期間制御 1), コマンド 14-1 (表示期間制御 2)

*2 ウィンドウ期間 : コマンド 8-1 (ウィンドウ期間制御 1), コマンド 8-2 (ウィンドウ期間制御 2)

*3 MAIN,SUB 画面優先制御 : [SUB 動作] コマンド 5-0 (画面出力制御) MCC ビット

＜注意事項＞

アルファブレンド出力信号 (VOA2,1,0) は , OSDC のドットがある期間 (VOB=High 期間) にて有効となるように外部回路を構成してください。VOB=Low 時は透明 (映像) となるように外部回路を構成してください。

アルファブレンド出力は , MAIN 画面 , SUB 画面の表示順位での上位層の画像データに対応したものを出力します。また , スプライト文字領域では , アルファブレンド出力は不透明 (VOA2,1,0=0,0,0) となります。

アルファブレンド制御 OFF 時には , アルファブレンド出力信号 (VOA2,1,0) は全て Low (正論理時) 出力となります。

30.2.10 文字背景表示

文字背景は 7 種 , 文字背景色は 256 色 , それぞれ文字単位で設定可能です。

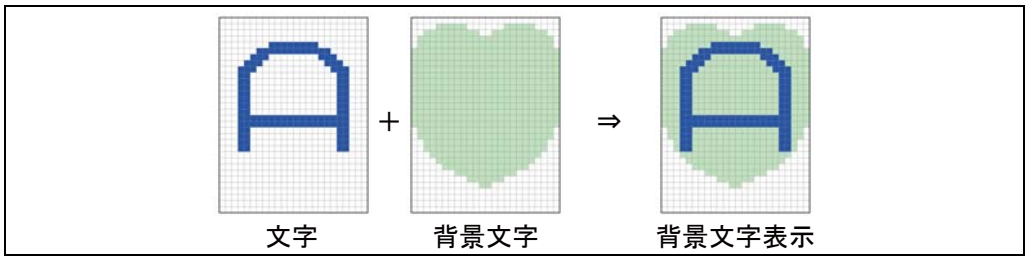
■ 文字背景制御 (文字単位設定)

表 30.2-30 に , 文字データ設定 1 (コマンド 1) : MM2, MM1, MM0 ビットの文字背景制御を示します。

表 30.2-30 文字背景制御 (文字単位設定)

MM2	MM1	MM0	文字背景
0	0	0	背景なし (非表示)
0	0	1	ベタ背景
0	1	0	影付背景凹 (ベタ)
0	1	1	影付背景凸 (ベタ)
1	0	0	背景文字 *
1	0	1	(設定禁止)
1	1	0	影付背景凹 (背景文字 *)
1	1	1	影付背景凸 (背景文字 *)

* : 背景文字は任意の文字を背景として表示します。
(背景文字にグラフック文字を指定しないでください。)



■ 影付背景枠ハイライト色 (8 種 , 256 色 , 文字単位設定)

影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) BxH7-BxH0 (x=0 ～ 7) に , 色コードを設定し , 文字影付背景枠色種選択制御 (コマンド 1) MSC2, MSC1, MSC0 にて 8 枠色種 (0～7) の中から 1 種選択設定することにより影付背景ハイライト色を設定できます。

■ 影付背景枠シャドウ色 (8 種 , 256 色 , 文字単位設定)

影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) BxS7-BxS0 (x=0 ～ 7) に , 色コードを設定し , 文字影付背景枠色種選択制御 (コマンド 1) MSC2, MSC1, MSC0 にて 8 枠色種 (0 ～ 7) の中から 1 種選択設定することにより影付背景シャドウ色を設定できます。

■ 文字背景色 [ベタ / 背景文字] (256 色 , 文字単位設定)

文字データ設定 1 (コマンド 1) MB7-MB0 に , 色コードを設定することにより文字背景色を設定できます。

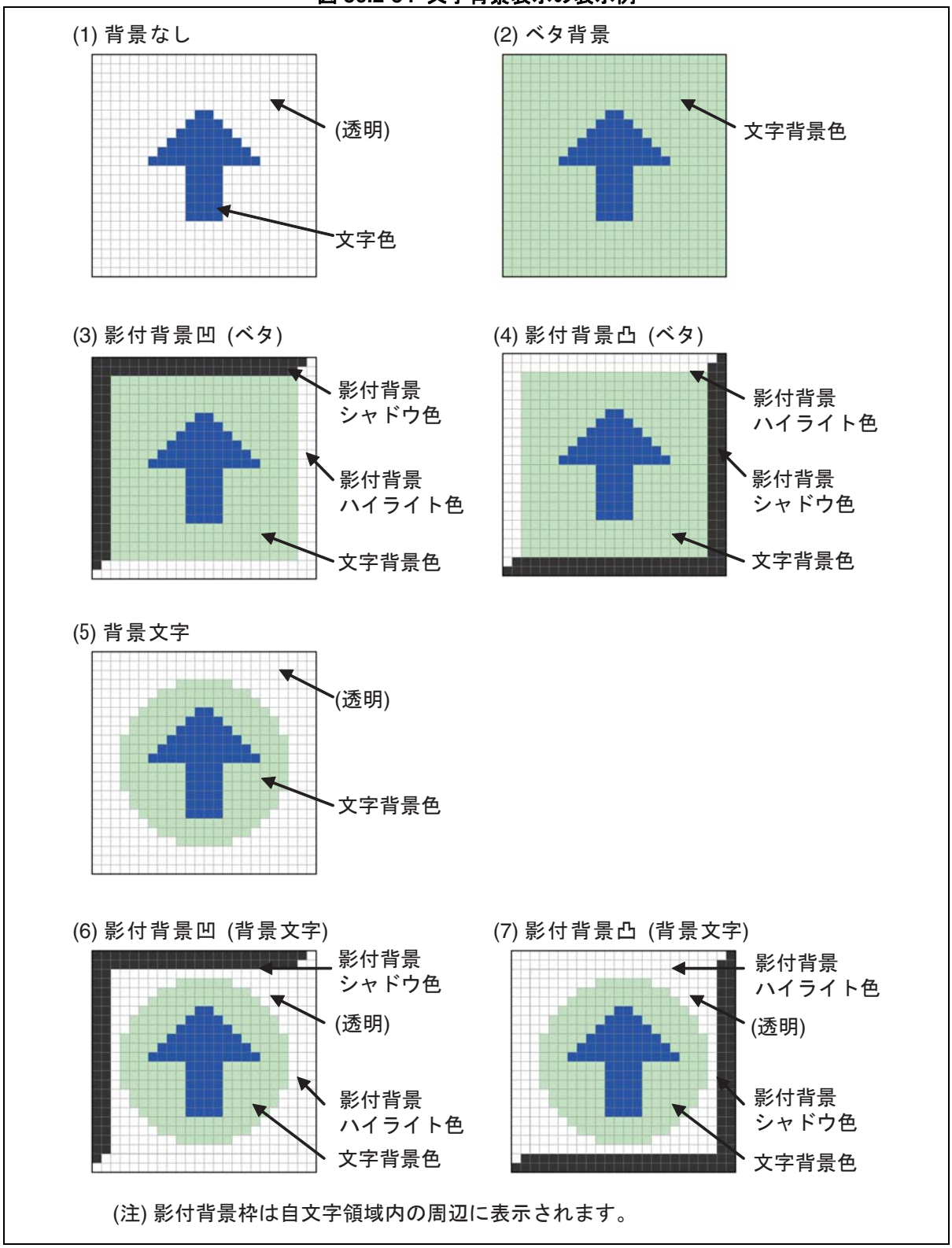
＜注意事項＞

文字影付背景枠色種選択は , 影付背景枠ハイライト色 / シャドウ色・セットで 8 種 (0 ～ 7) 選択となります。

■ 表示例

図 30.2-54 に各背景制御時の表示例を示します。

図 30.2-54 文字背景表示の表示例



(注) 影付背景枠は自文字領域内の周辺に表示されます。

■ 文字影付背景枠幅制御 (行単位設定)

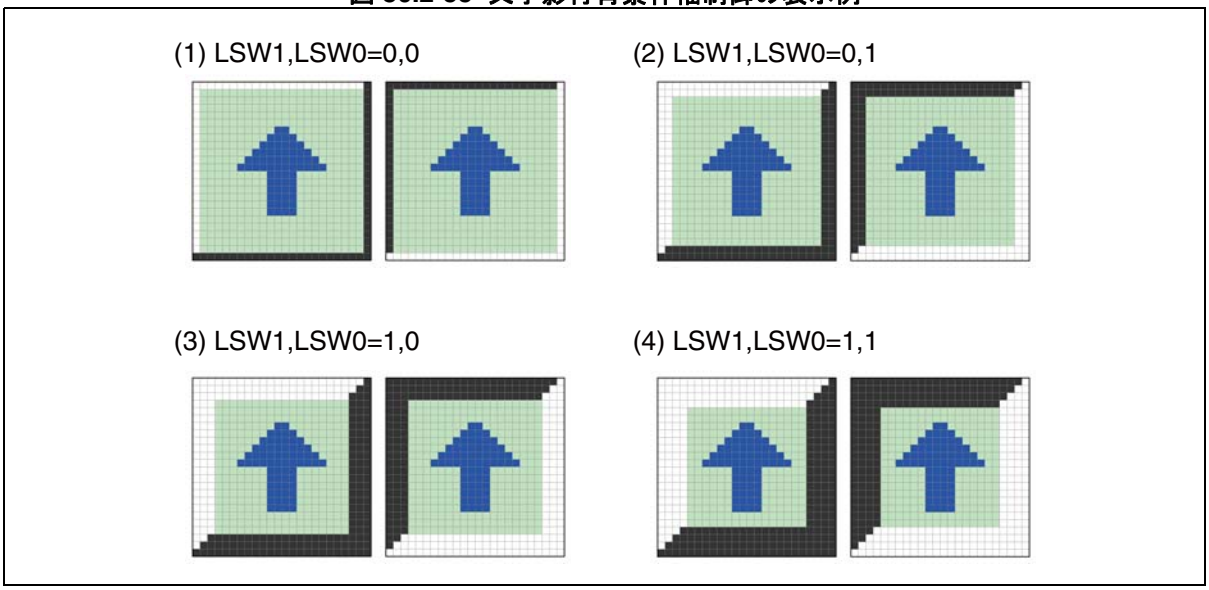
表 30.2-31 に , 行制御データ設定 2(コマンド 4) : LSW1, LSW0 ビットの文字影付背景枠幅制御を示します。

表 30.2-31 文字影付背景枠幅制御 (行単位設定)

LSW1	LSW0	文字影付背景枠幅
0	0	1 ドット
0	1	2 ドット
1	0	3 ドット
1	1	4 ドット

図 30.2-55 に , 文字影付背景枠幅制御時の表示例を示します。

図 30.2-55 文字影付背景枠幅制御の表示例



＜注意事項＞

影付背景凹凸表示において , 垂直方向の文字影枠幅合計が行文字垂直サイズと同じかそれを越えるような設定

LHS[3:0] (行文字垂直サイズ設定ドット数) ≦ LSW[1:0] (文字影付背景枠幅設定ドット数) × 2の場合 , 正しく影枠表示ができませんので , 影付背景凹凸の設定はしないでください。

30.2.10.1 影付背景右文字結合表示

影付背景右文字結合表示は , 自文字の影枠の右辺と次 (右隣接) 文字の左辺を非表示とする機能です。これにより , 水平方向の複数文字単位の影付背景表示が可能となります。

■ 影付背景右文字結合制御 (文字単位設定)

表 30.2-32 に , 文字データ設定 2 (コマンド 2) : MR ビットの影付背景右文字結合制御を示します。

表 30.2-32 影付背景右文字結合制御 (文字単位設定)

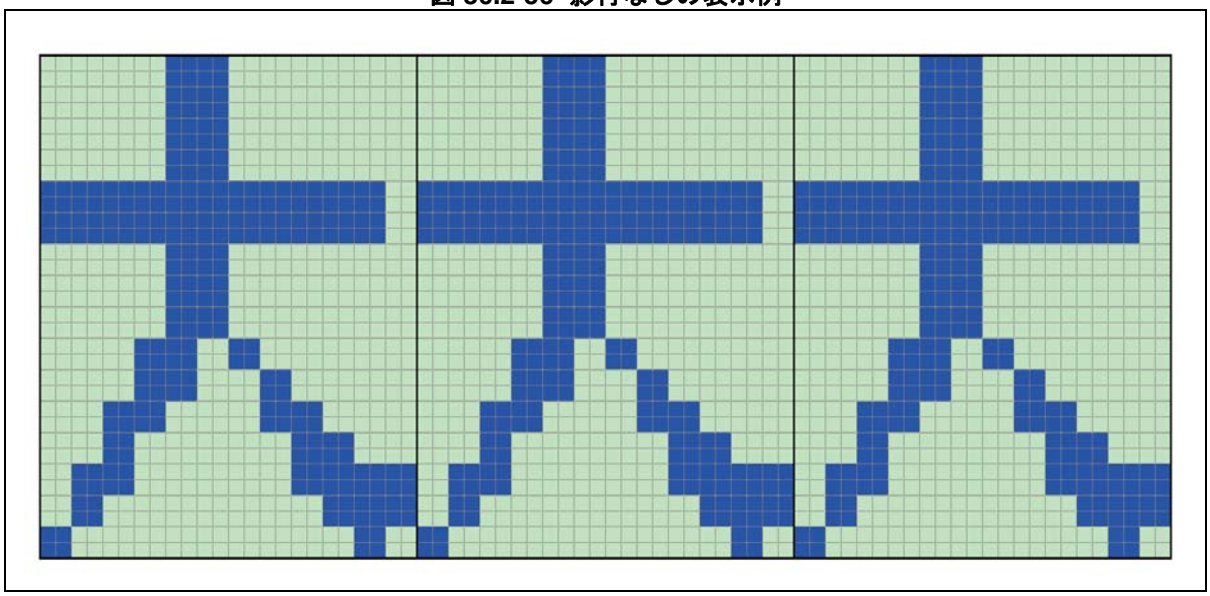
MR	影付背景右文字結合制御
0	OFF
1	ON

■ 表示例

[影付なし]

図 30.2-56 に , 影付なし (ベタ背景) の表示例を示します。

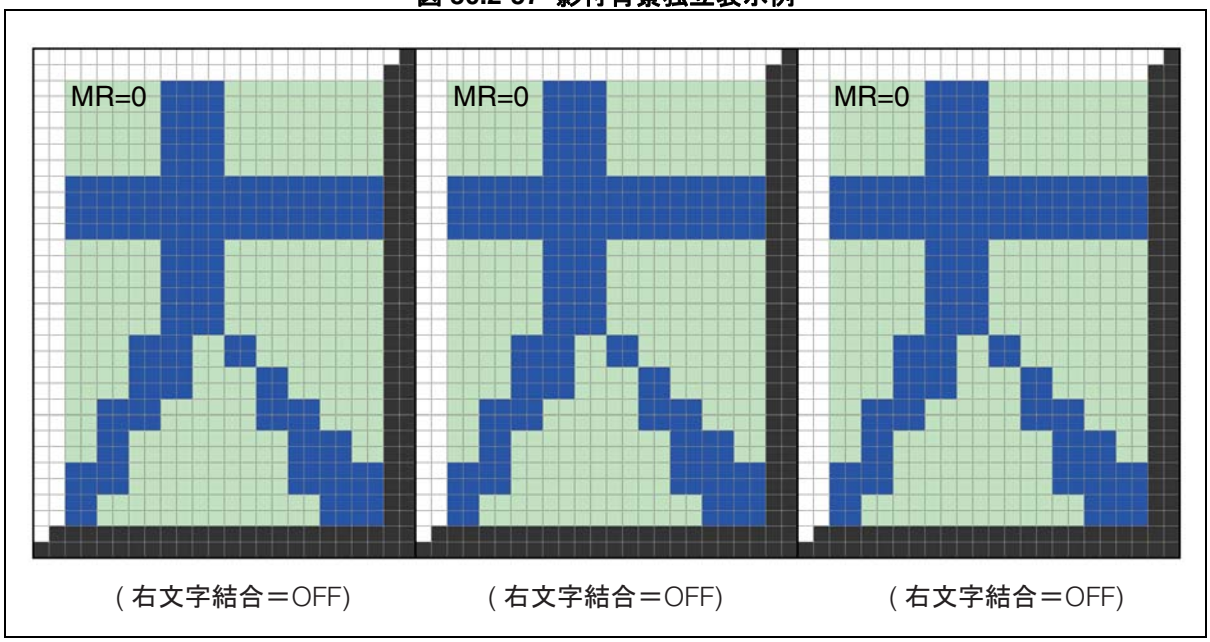
図 30.2-56 影付なしの表示例



[影付背景独立]

図 30.2-57 に , 影付背景独立の表示例を示します。

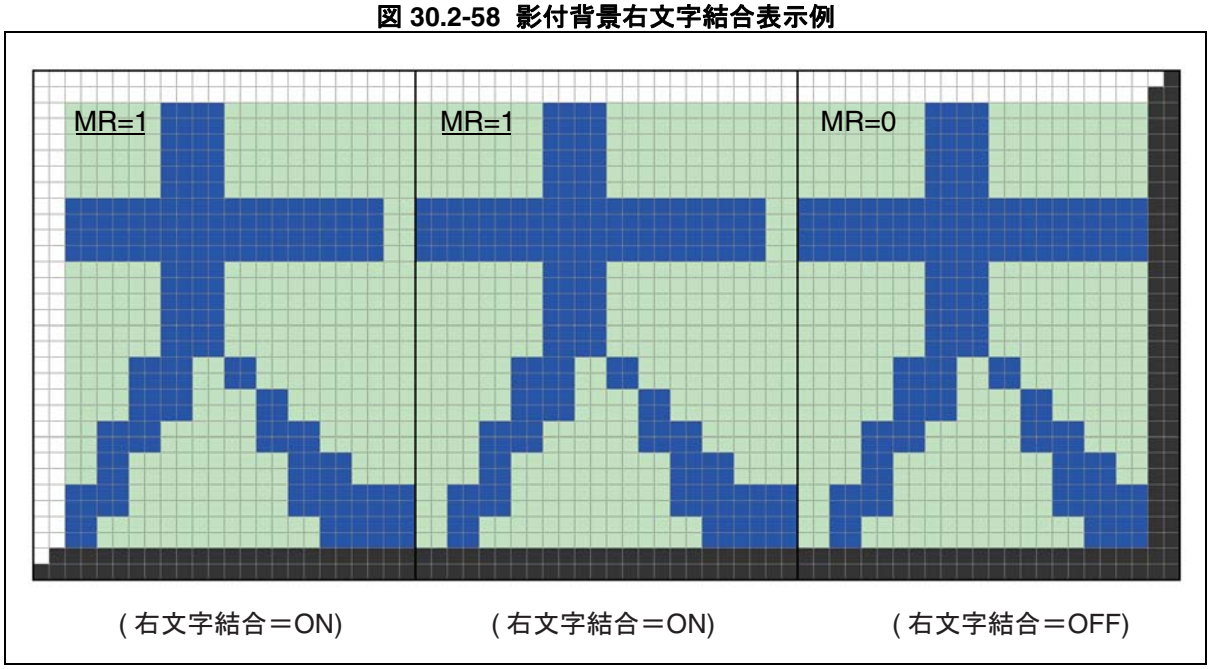
図 30.2-57 影付背景独立表示例



[影付背景右文字結合]

図 30.2-58 に , 影付背景右文字結合の表示例を示します。

図 30.2-58 影付背景右文字結合表示例



30.2.10.2 文字影付背景枠上 / 下消去表示 (文字影付背景)

文字影付背景枠上 / 下消去制御を行うことにより , 例えば , 自行の文字影枠下辺と次 (直下) 行文字の影枠上辺を非表示 (消去) の設定を行い , かつ自行と次 (直下) の行間隔設定を無効に設定した場合 , 垂直方向の複数文字単位の連結表示が可能となります。

■ 文字影付背景枠上消去制御 (文字単位設定)

表 30.2-33 に , 文字データ設定 1 (コマンド 1) : MU ビットの文字影付背景枠上消去制御を示します。

表 30.2-33 文字影付背景枠上消去制御 (文字単位設定)

MU	文字影付背景枠上消去制御
0	文字影付背景枠上 ON
1	文字影付背景枠上 OFF

■ 文字影付背景枠下消去制御 (文字単位設定)

表 30.2-34 に , 文字データ設定 1 (コマンド 1) : MD ビットの文字影付背景枠下消去制御を示します。

表 30.2-34 文字影付背景枠下消去制御 (文字単位設定)

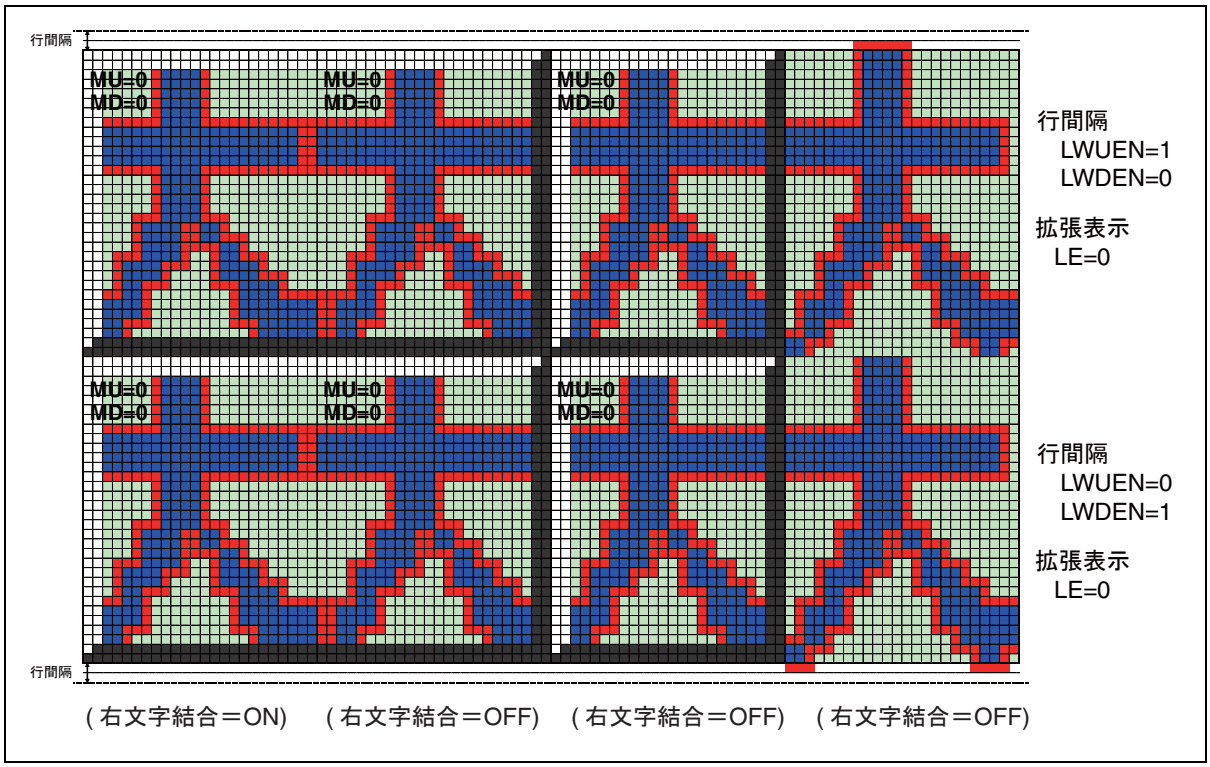
MD	文字影付背景枠下消去制御
0	文字影付背景枠下 ON
1	文字影付背景枠下 OFF

■ 表示例 (文字背景)

[文字影付背景枠上 / 下消去制御 =OFF]

図 30.2-59 に , 文字影付背景枠上 / 下消去制御 =OFF の場合の表示例を示します。

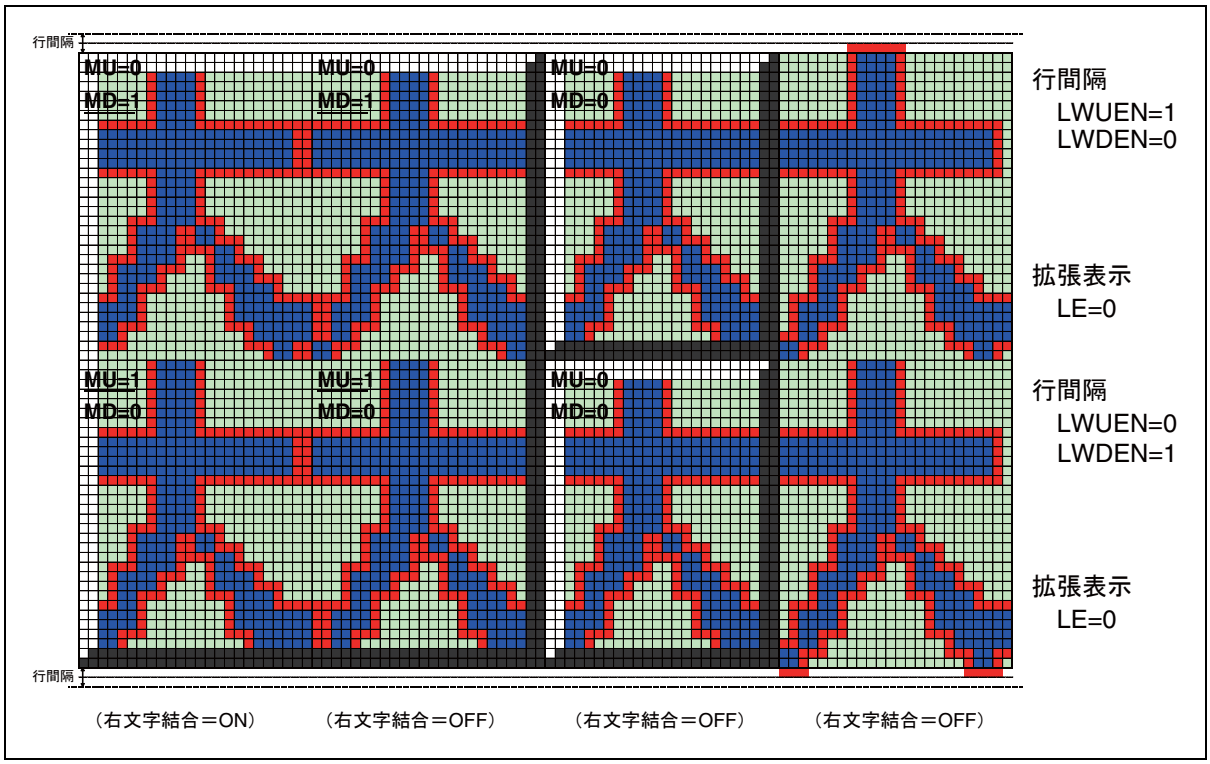
図 30.2-59 文字影付背景枠上 / 下消去制御 =OFF 表示例



[文字影付背景枠上 / 下消去制御 =ON]

図 30.2-60 に , 文字影付背景枠上 / 下消去制御 =ON の場合の表示例を示します。

図 30.2-60 文字影付背景枠上 / 下消去制御 =ON 表示例



＜注意事項＞

文字ふちどりは , 行間隔設定が無効の場合 , 上下行の文字領域を超えての表示は行いません。また , 行間領域であっても影枠がある場合 , それを超えて上下領域へのふちどり表示は行いません。

文字サイズ , 行拡大制御 , 行間隔制御 , 文字背景制御 , 文字ふちどり制御 , イタリック制御 , アンダーライン制御 , 各色コード設定は , 各文字および各行のアトリビュートで動作しますので , 自行と次行は結合を前提とした場合 , 同じ設定を行ってください。(イタリック制御 , アンダーライン制御については , 各行独立で制御することになりますので , 実使用上においては設定不可となります。)

30.2.10.3 文字背景拡張表示

文字背景拡張表示は , 文字背景を行間隔部に拡張して表示する機能です。

■ 文字背景拡張制御 (行単位設定)

表 30.2-35 に , 行制御データ設定 2 (コマンド 4) : LE ビットの , 文字背景拡張制御を示します。

表 30.2-35 文字背景拡張制御 (行単位設定)

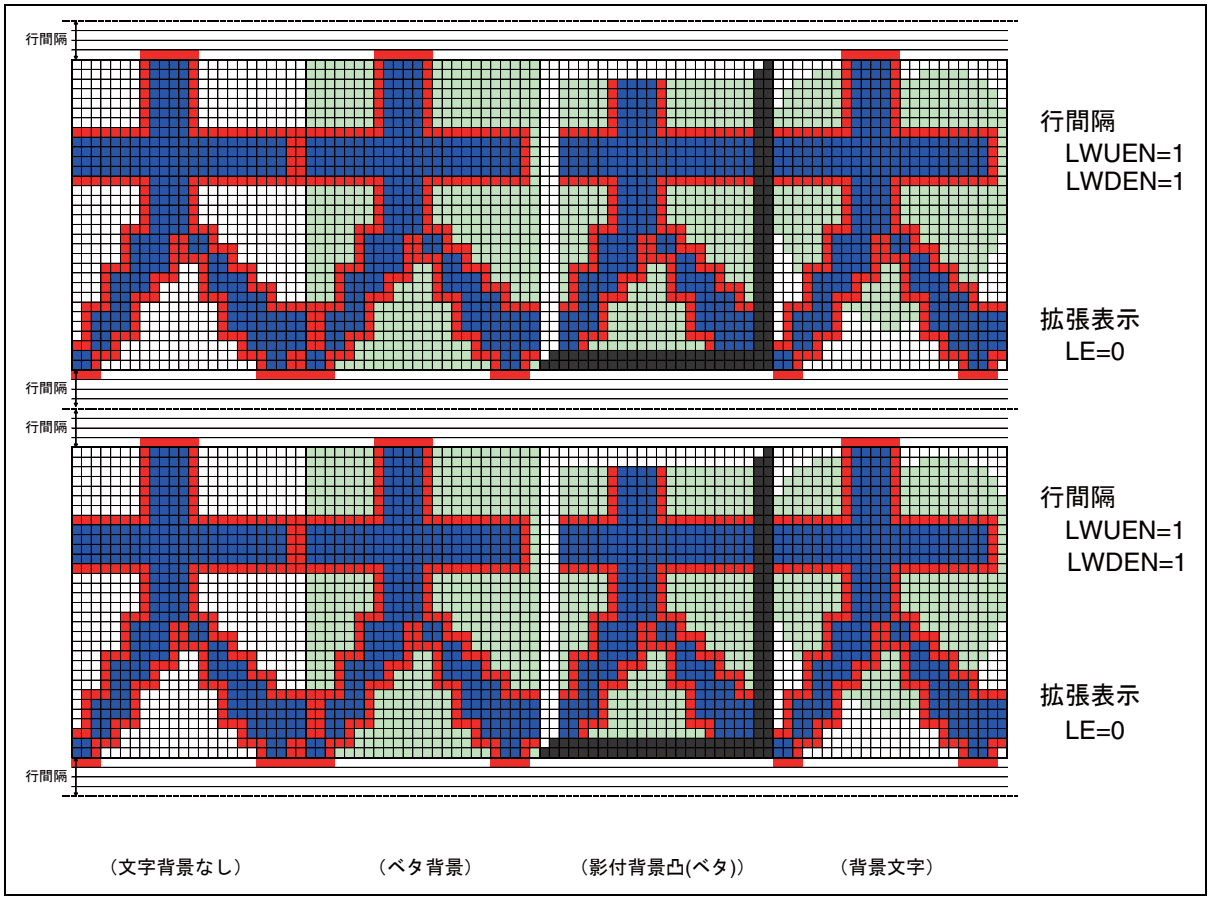
LE	文字背景拡張制御
0	OFF (通常表示)
1	ON (拡張表示)

■ 表示例

[文字背景拡張 =OFF]

図 30.2-61 に文字背景拡張＝ OFF の場合の表示例を示します。

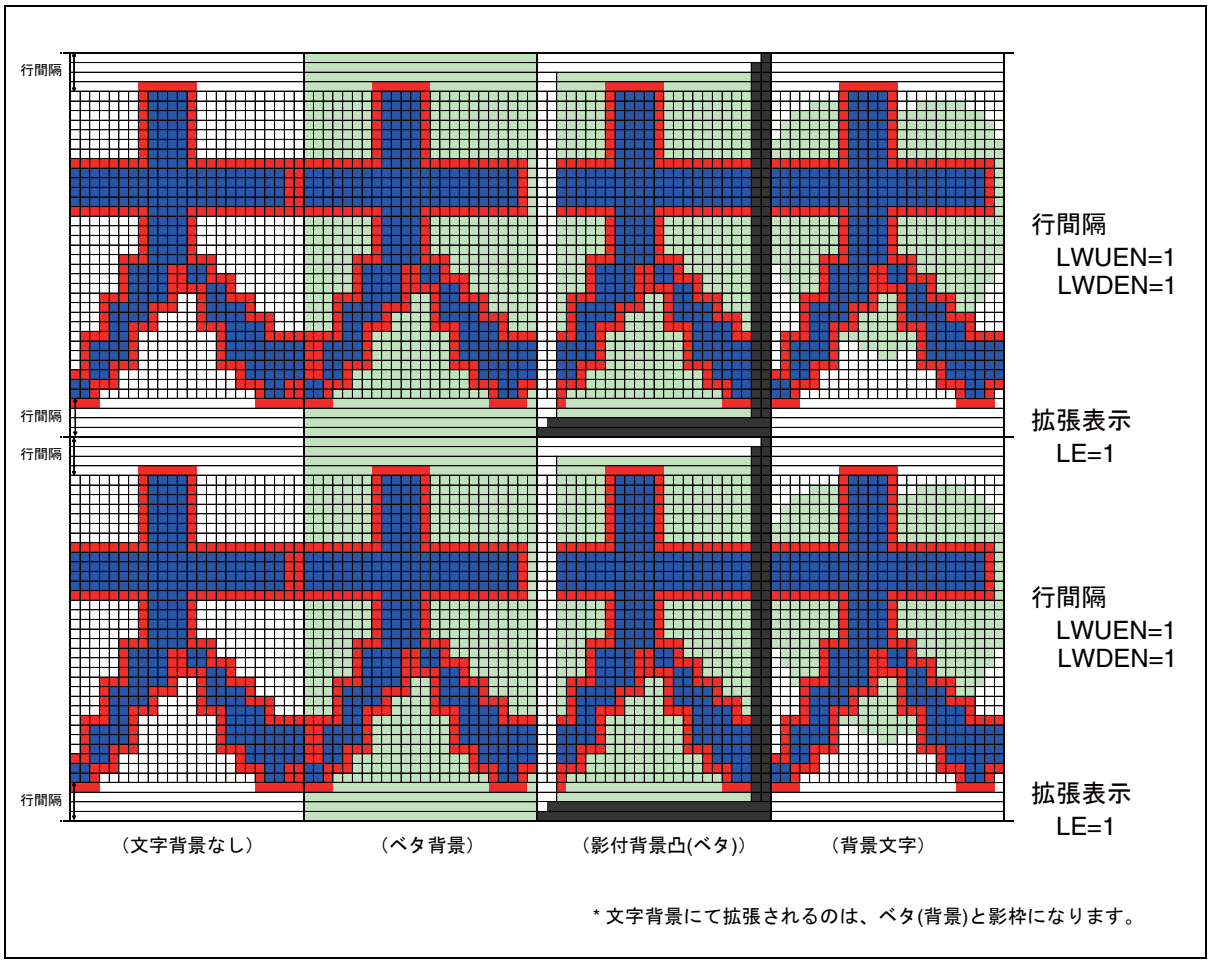
図 30.2-61 文字背景拡張＝ OFF 表示例



[文字背景拡張 =ON]

図 30.2-62 に文字背景拡張＝ ON の場合の表示例を示します。

図 30.2-62 文字背景拡張＝ ON 表示例



30.2.11 行背景表示

行背景は , 文字の行領域とその左右への領域 , およびその上下の行間隔領域への背景表示を行う機能です。

■ 行背景制御 (行単位設定)

表 30.2-36 に , 行制御データ設定 2 (コマンド 4):LM1, LM0 ビットの行背景制御を示します。

表 30.2-36 行背景制御 (行単位設定)

LM1	LM0	行背景
0	0	背景なし (非表示)
0	1	ベタ背景
1	0	影付背景凹 (ベタ)*1
1	1	影付背景凸 (ベタ)*2

*1： 影付背景凹表示は , 自行領域内の上辺 2 ドットにシャドウ色を表示し , 下辺 2 ドットにハイライト色を表示するものです。
*2： 影付背景凸表示は , 自行領域内の上辺 2 ドットにハイライト色を表示し , 下辺 2 ドットにシャドウ色を表示するものです。

■ 行影付背景枠上表示制御 (行単位設定)

表 30.2-37 に , 行制御データ設定 2 (コマンド 4) : LMUEN ビットの行影付背景枠上表示制御を示します。

表 30.2-37 行影付背景枠上表示制御 (行単位設定)

LMUEN	行影付背景枠上表示制御
0	行影付背景枠上 OFF
1	行影付背景枠上 ON

* : LM1, LM0=1, 0/1, 1 設定時に LMUEN=1 に設定すると , 上辺 2 ドットの影枠を表示します。

■ 行影付背景枠下表示制御 (行単位設定)

表 30.2-38 に , 行制御データ設定 2 (コマンド 4) : LMDEN ビットの , 行影付背景枠下表示制御を示します。

表 30.2-38 行影付背景枠下表示制御 (行単位設定)

LMDEN	行影付背景枠下表示制御
0	行影付背景枠下 OFF
1	行影付背景枠下 ON

* : LM1, LM0=1, 0/1, 1 設定時に LMDEN=1 に設定すると , 下辺 2 ドットの影枠を表示します。

■ 行背景色 (256 色 , 行単位設定)

行制御データ設定 2 (コマンド 4) LB7 ～ LB0 に , 色コードを設定することにより行単位に行背景色を設定できます。

■ 影付背景枠ハイライト色 (256 色 , 画面単位設定)

影付背景枠色制御 (コマンド 15-0) : B0H7 ～ B0H0 に , 色コードを設定することにより , 画面単位に行背景ハイライト (シャドウ) 色を設定できます。

＜注意事項＞

文字背景の文字影付背景枠色種選択制御 0 (種) と共用になります。

■ 影付背景枠シャドウ色 (256 色 , 画面単位設定)

影付背景枠色制御 (コマンド 15-0) : B0S7 ～ B0S0 に , 色コードを設定することにより , 画面単位に行背景ハイライト (シャドウ) 色を設定できます。

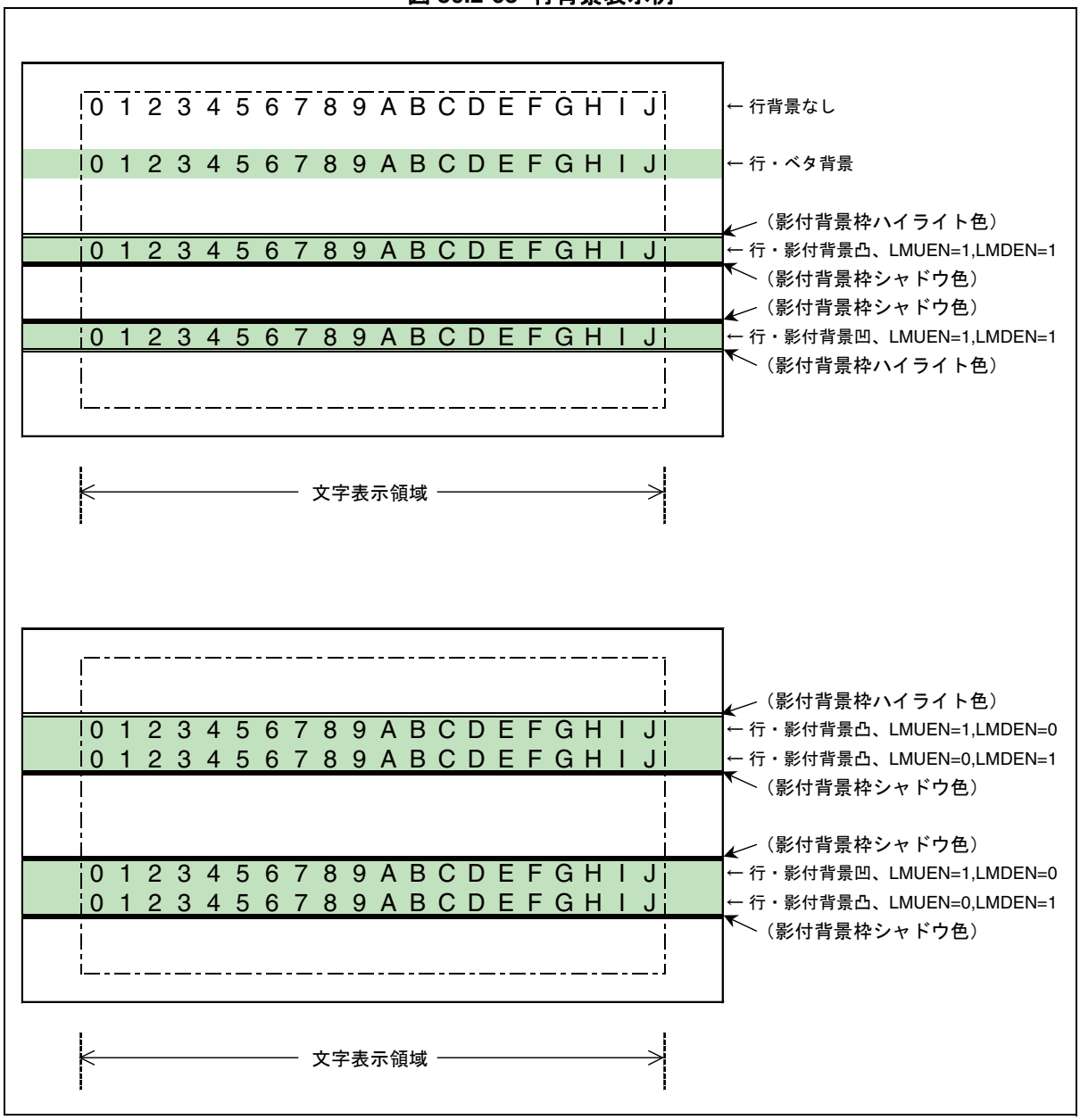
＜注意事項＞

文字背景の文字影付背景枠色種選択制御 0 (種) と共用になります。

■ 表示例

図 30.2-63 に , 行背景の表示例を示します。

図 30.2-63 行背景表示例



＜注意事項＞

影付背景凹凸表示において , 行文字垂直サイズが 2 ドット設定の場合 , 正しく影枠表示ができませんので , 影付背景凹凸の設定はしないでください。

30.2.11.1 背景下行結合表示例

背景下行結合表示例を示します。

■ 背景下行結合表示例

図 30.2-64 から 図 30.2-68 に , 文字影付背景表示と行影付背景表示の組合せによる表示例を示します。

図 30.2-64 文字影付背景表示と行影付背景表示の組合せによる表示例 (その 1)

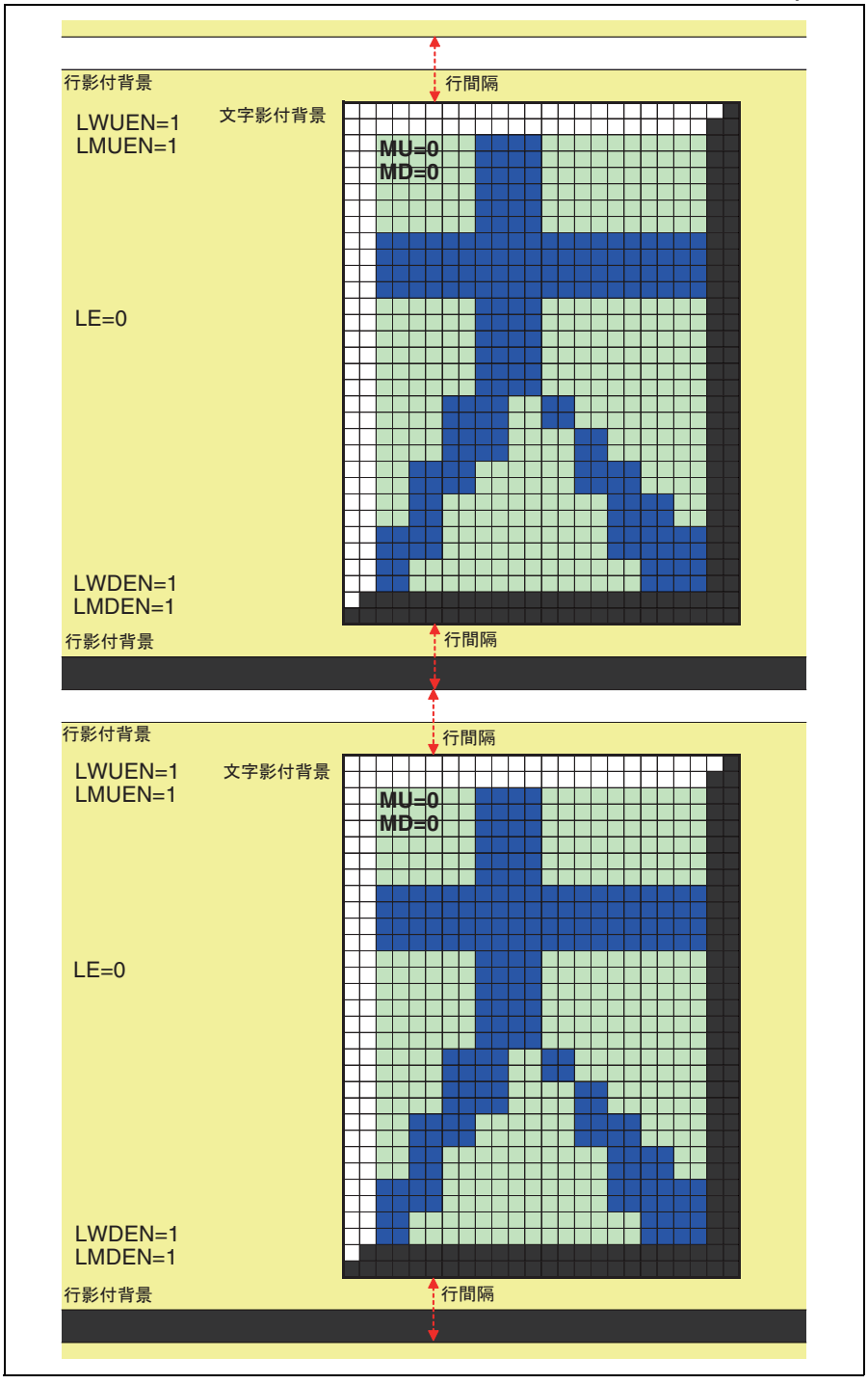


図 30.2-65 文字影付背景表示と行影付背景表示の組合せによる表示例 (その 2)

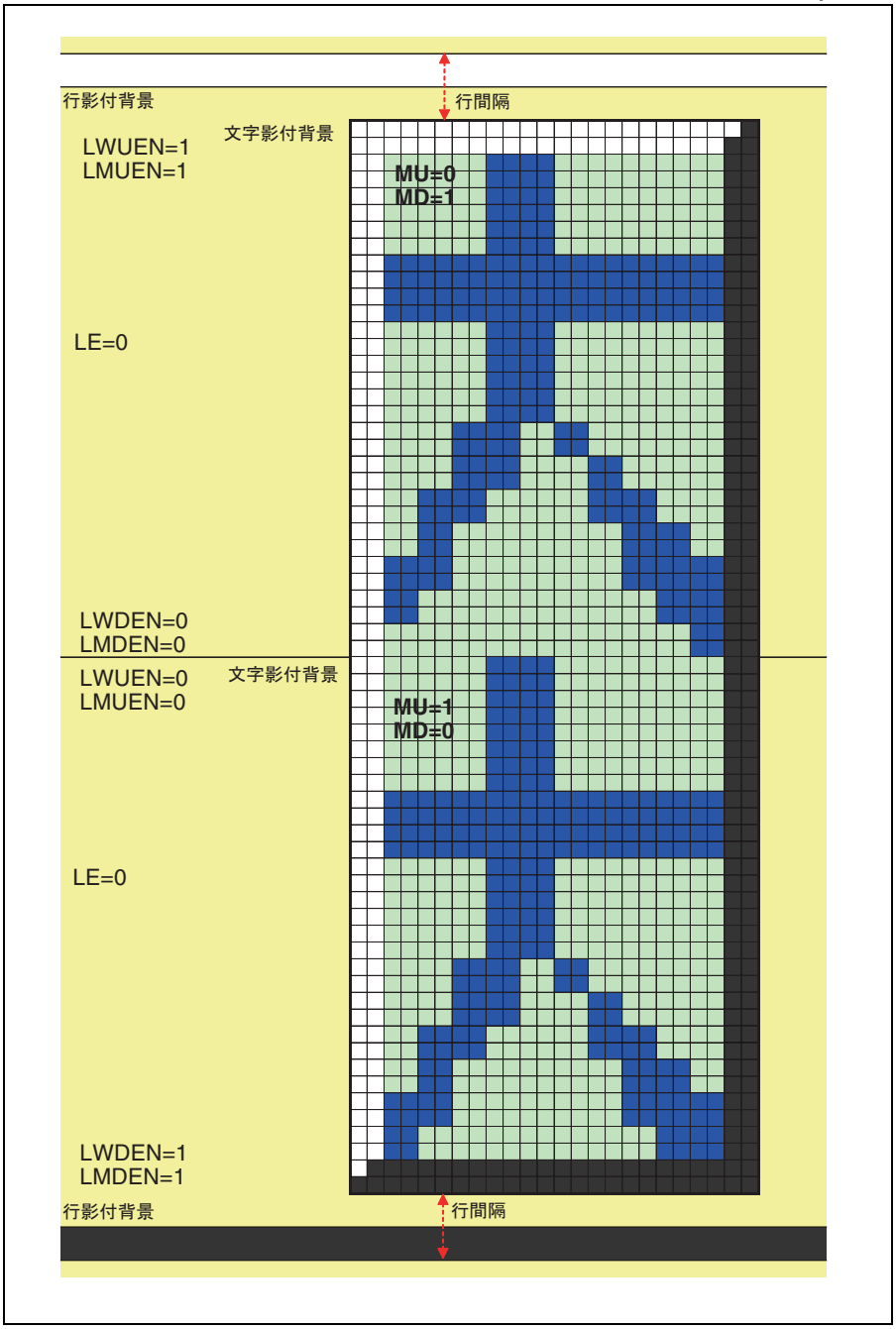


図 30.2-66 文字影付背景表示と行影付背景表示の組合せによる表示例 (その 3)

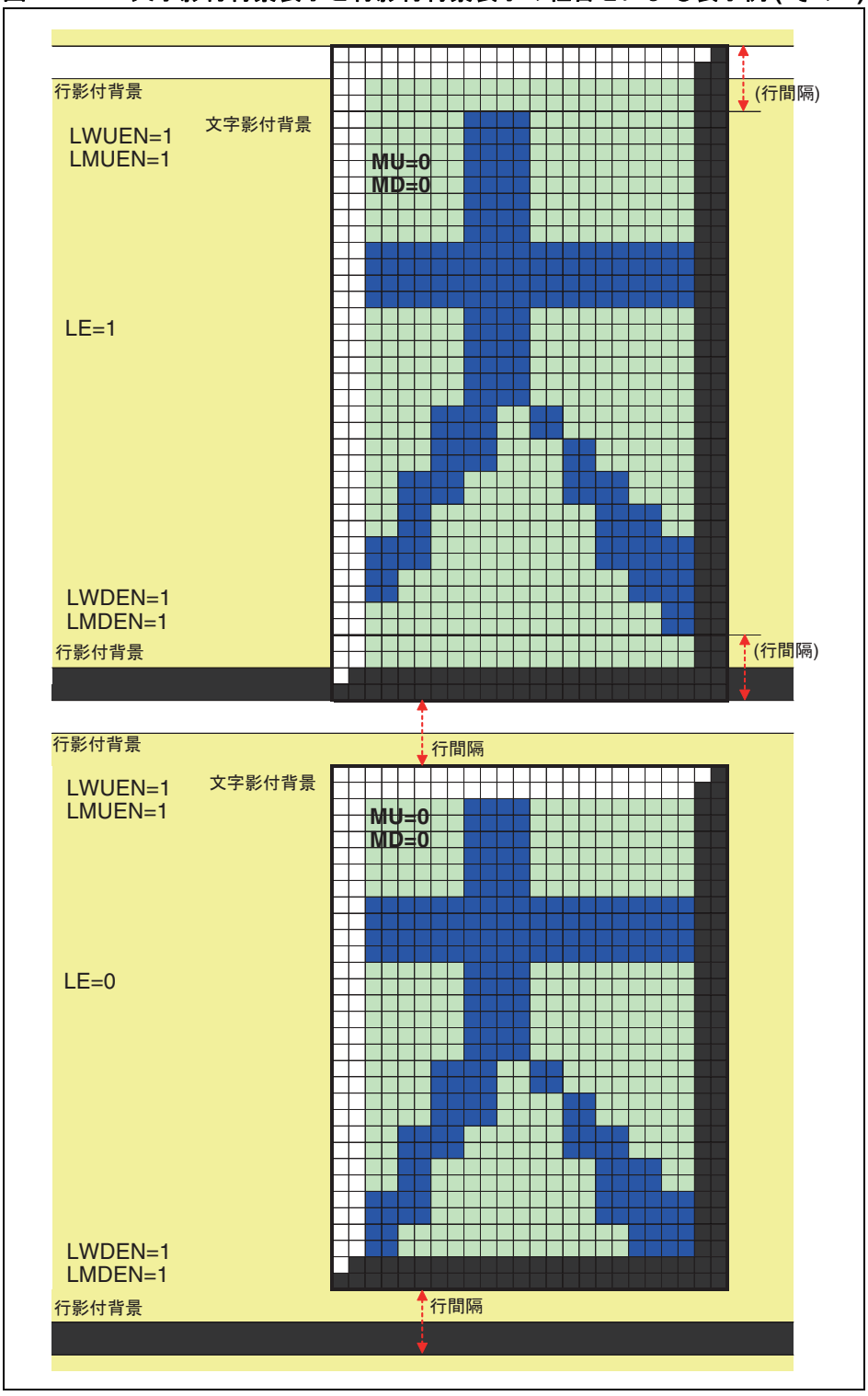


図 30.2-67 文字影付背景表示と行影付背景表示の組合せによる表示例 (その 4)

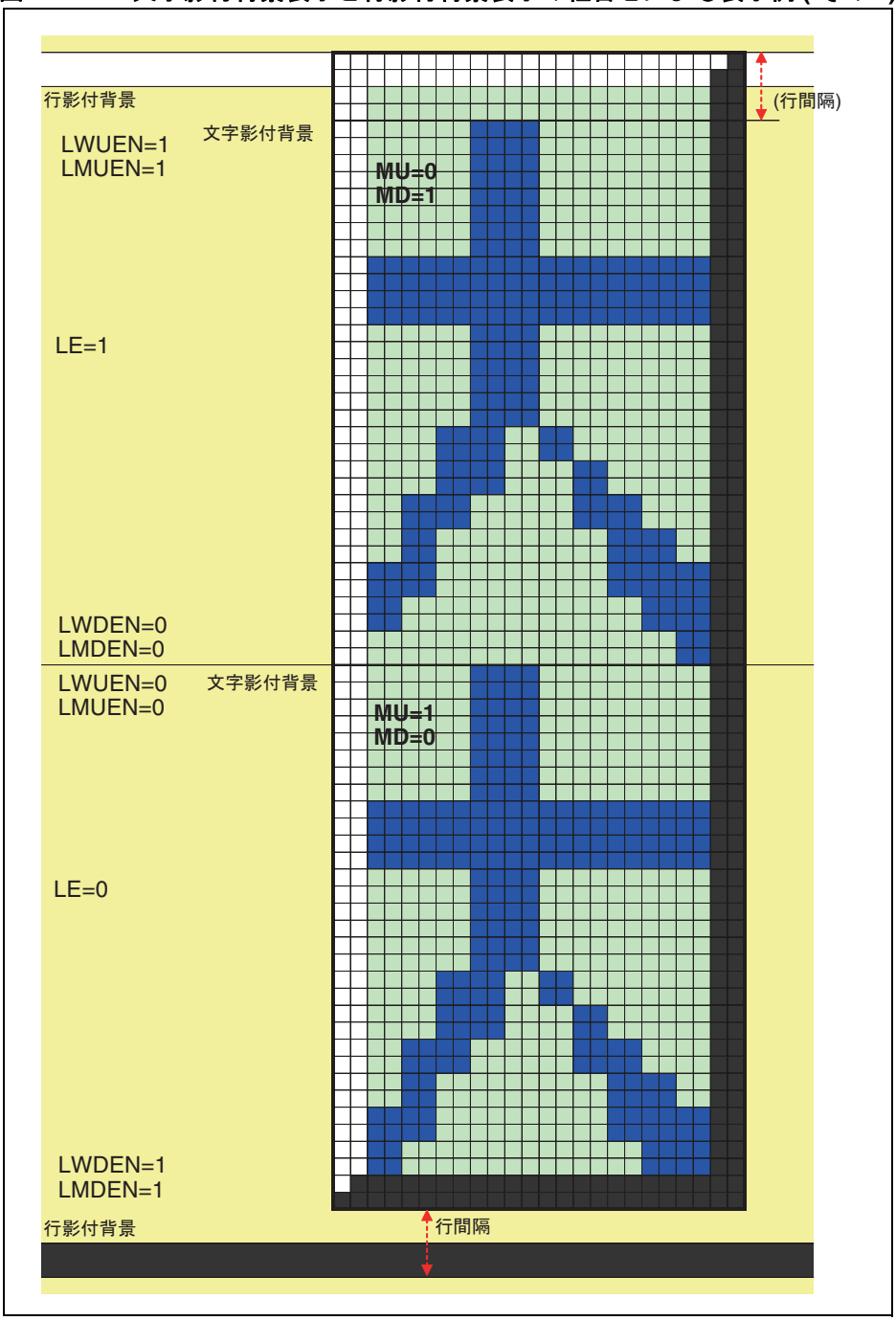
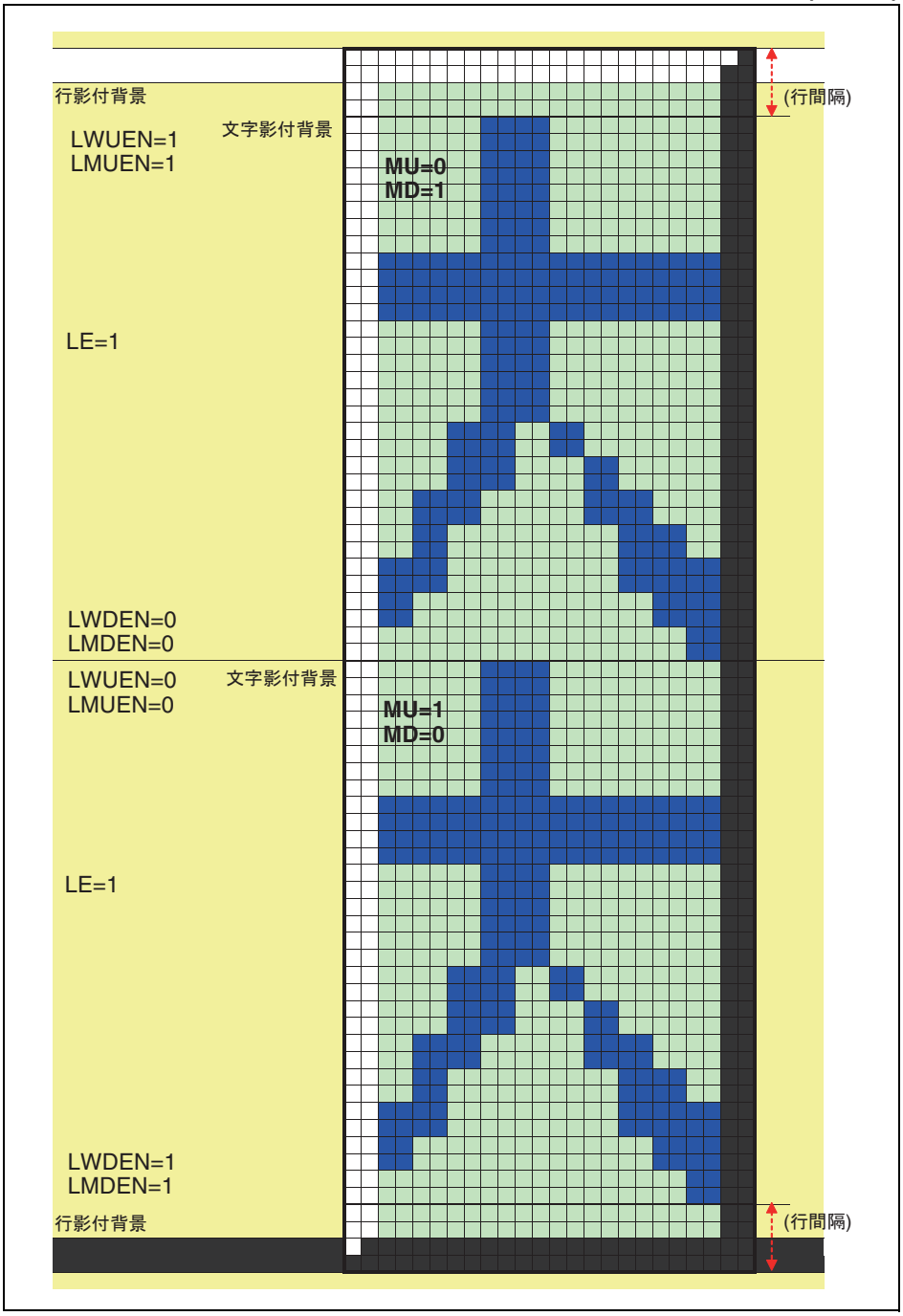


図 30.2-68 文字影付背景表示と行影付背景表示の組合せによる表示例 (その 5)



＜注意事項＞

行影付背景の影枠は文字領域の上に付加しますが, 文字影付背景の影枠と重なった場合には文字影付背景の影枠表示を優先します。

30.2.12 画面背景表示

画面背景表示には , 画面背景文字表示と画面背景色表示の 2 つの機能があります。

■ 画面背景表示

● 画面背景文字表示 (MAIN 画面のみ)

同一構成の文字ブロックを , 最大横 2 文字×縦 2 文字の 4 文字で繰返し表示することによって , 画面全体にグラフィック文字を表示します。

● 画面背景色表示 (MAIN, SUB 画面)

最下層出力として , 画面全体に背景色を表示します。

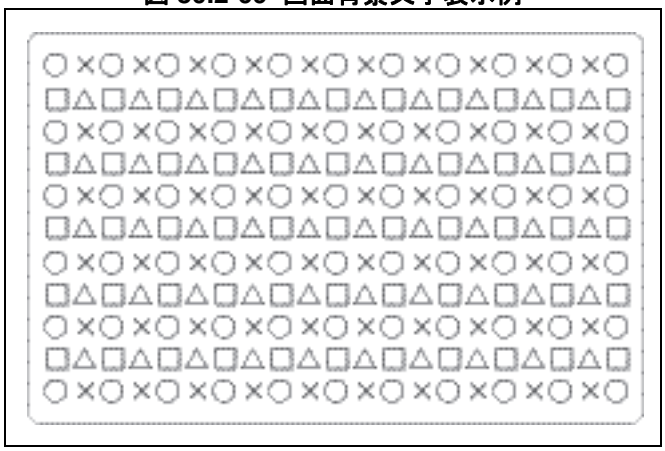
30.2.12.1 画面背景文字表示

画面背景文字表示は , 最大横 2 文字×縦 2 文字ブロックを , 画面全体に繰返し表示する機能です。画面背景文字表示はグラフィック文字のみ可能です。また , 対象画面は MAIN 画面のみとなります。

■ 画面背景文字表示の構成

図 30.2-69 に , 画面背景文字の表示例を示します。

図 30.2-69 画面背景文字表示例



■ 画面背景文字表示の制御

● 画面背景文字出力制御

表 30.2-39 に , 画面出力制御 (コマンド 5-0) : PDS ビットの , 画面背景文字出力制御を示します。

表 30.2-39 画面背景文字出力制御

PDS	画面背景文字出力
0	OFF
1	ON

● 画面背景文字コード

画面背景文字制御 1 (コマンド 7) : PM13-PM0 ビット

* : PM2, PM1, PM0=0, 0, 0 を設定してください。

＜注意事項＞

画面背景文字は , グラフィック文字の L サイズ表示のみ使用可能です。

● 画面背景文字垂直サイズ制御

表 30.2-40 に , 画面背景文字制御 (コマンド 7) : PH2 ～ PH0 ビットの画面背景文字垂直サイズ制御を示します。

表 30.2-40 画面背景文字垂直サイズ制御

PH2	PH1	PH0	画面背景文字垂直サイズ
0	0	0	18 ドット
0	0	1	20 ドット
0	1	0	22 ドット
0	1	1	24 ドット
1	0	0	26 ドット
1	0	1	28 ドット
1	1	0	30 ドット
1	1	1	32 ドット

● 画面背景文字構成制御

表 30.2-41 に , 画面背景文字制御 (コマンド 7) : PD1, PD0 ビットの画面背景文字構成を示します。

表 30.2-41 画面背景文字構成制御

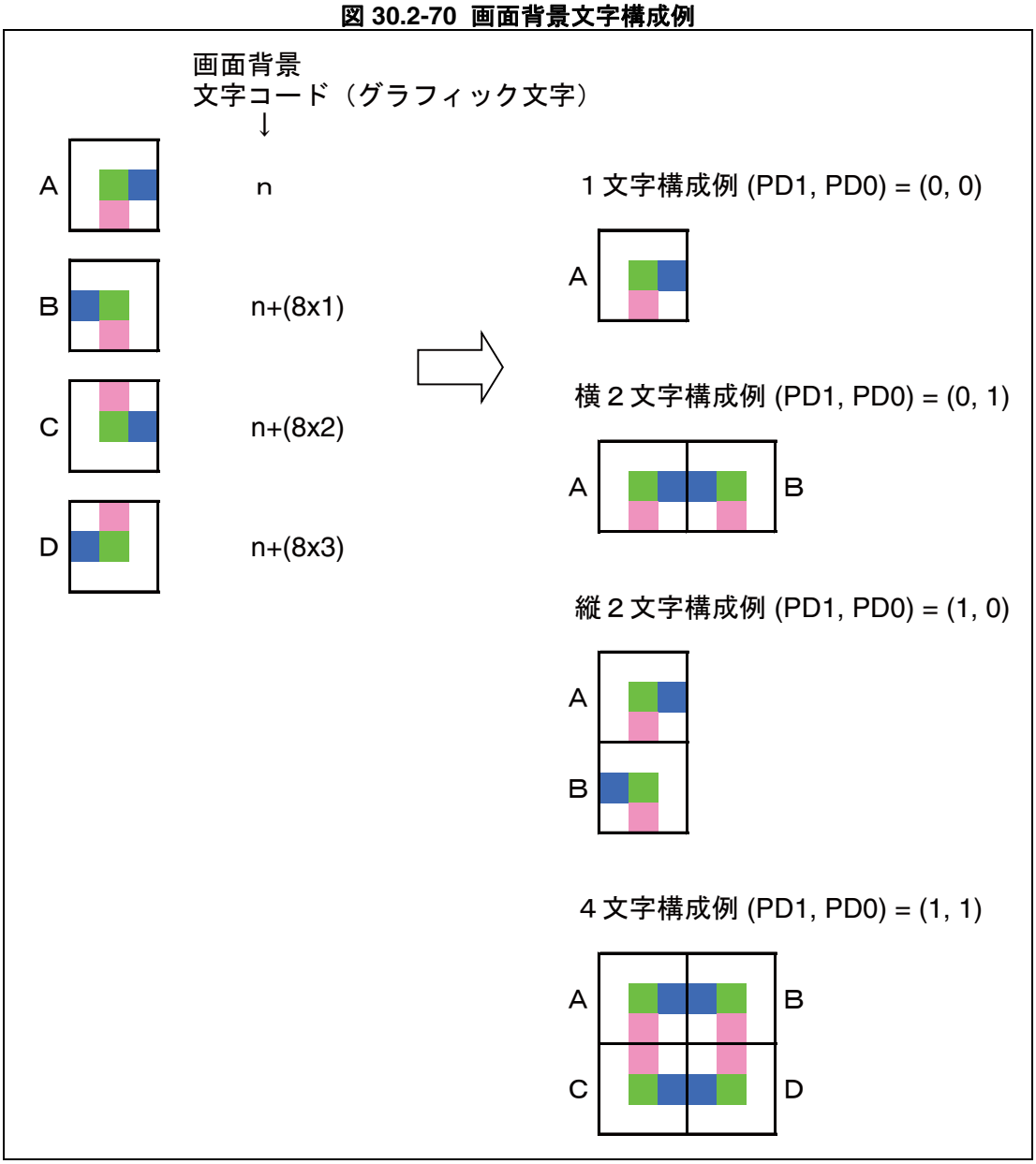
PD1	PD0	画面背景文字構成
0	0	1 文字構成
0	1	横 2 文字構成
1	0	縦 2 文字構成
1	1	縦 2 文字×横 2 文字構成

＜注意事項＞

PD1, PD0=1, 1 設定 (縦 2 文字×横 2 文字構成) 時には , MAIN 画面 , SUB 画面に関わらず , 文字背景文字機能は使用しないでください。(正しく表示できません。)

図 30.2-70 に画面背景文字の構成例を示します。

図 30.2-70 画面背景文字構成例



＜注意事項＞

画面背景に使用するグラフィックキャラクタの文字コードは , 横 2 文字 , 縦 2 文字 , 4 文字構成で使用する場合 , 連続して配置しておく必要があります。(グラフィックキャラクタは通常文字の 8 文字分に相当し , グラフィックキャラクタの文字コードは 0000_H からの 8 文字単位とする必要があります。)

30.2.12.2 画面背景色表示

画面背景色は , 表示画面の最下位層出力として , 画面全体に背景色を表示する機能です。

■ 画面背景出力制御

表 30.2-42 に, 画面出力制御(コマンド5-0):UDS ビットの画面背景出力制御を示します。

表 30.2-42 画面背景出力制御

UDS	画面背景色出力
0	OFF
1	ON

■ 画面背景色制御

画面背景文字制御 4 (コマンド 8-0) U7 ～ U0 に , 色コードを設定することにより画面背景色を設定できます。

30.2.12.3 ウィンドウ背景表示

ウィンドウ背景表示は , 画面表示領域の制御を行います。

■ ウィンドウ背景表示

表 30.2-43 に , 画面出力制御 (コマンド 5-0) のウィンドウ機能制御に関するコマンドを示します。

表 30.2-43 ウィンドウ機能制御

WE	ウィンドウ機能制御
0	OFF
1	ON

ウィンドウの垂直表示期間の開始および終了タイミングは , 下記のコマンドで設定できます。

- 垂直表示開始タイミング

  ウィンドウ期間制御 1 (コマンド 8-1) : WYS10 - 0 ビット

  0-2047 ドット数 1 ドット単位の設定です。

- 垂直表示終了タイミング

  ウィンドウ期間制御 1 (コマンド 8-1) : WYE10 - 0 ビット

  0-2047 ドット数 1 ドット単位の設定です。

  ウィンドウの垂直表示期間の開始および終了における , 垂直位置の設定値計算は以下のようになります。

  ウィンドウ垂直表示開始 / 終了位置＝ 垂直表示開始オフセット※
  ＋ ウィンドウ期間制御 1(垂直表示開始 / 終了タイミング) [ドット]

※ : 垂直開始および終了タイミング設定の起点は , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス後の 1Hsync 周期後からの , 垂直表示開始オフセット (MAIN : コマンド 11 VOF5-0 ビットにて制御 ,「30.2.4.1 画面表示位置オフセット」参照) 設定値からとなります。

ウィンドウの水平表示期間の開始および終了タイミングは , 下記のコマンドで設定できます。

- 水平表示開始タイミング

  ウィンドウ期間制御 2 (コマンド 8-2) ：WXS11 - 0 ビット

  0-4095 ドット数 1 ドット単位の設定です。

- 水平表示終了タイミング

  ウィンドウ期間制御 2 (コマンド 8-2) ：WXE11 - 0 ビット

  0-4095 ドット数 1 ドット単位の設定です。

  ウィンドウの水平表示期間の開始および終了における , 水平位置の設定値計算は , MAIN 画面と SUB 画面にてそれぞれ以下のようになります。

  [MAIN 画面]

  ウィンドウ水平表示開始位置 ＝ WXS ＋ 17 [ドット]

  ウィンドウ水平表示終了位置 ＝ WXE ＋ 17 [ドット]

  [SUB 画面]

  ウィンドウ水平表示開始位置 ＝ WXS + 13 [ドット]

  ウィンドウ水平表示終了位置 ＝ WXE + 13 [ドット]

※ : 水平開始および終了タイミング設定の起点は , 水平同期信号 (HSYNC 端子入力信号) 同期パルス有意エッジ (コマンド 13 HE ビットにより制御) からとなります。

＜注意事項＞

- ウィンドウの水平表示期間の開始および終了における設定値は , MAIN 画面と SUB 画面にて相対的に 4 ドットの差があります。
- 次の設定を行った場合には , 表示終了タイミング設定は無効となりますので設定しないでください。

  WYS [10:0] (垂直表示開始タイミング)＋[垂直ウィンドウ・ボーダー幅]* ≧ WYE[10:0] (垂直表示終了タイミング)

  WXS [11:0] (水平表示開始タイミング)＋[水平ウィンドウ・ボーダー幅]* ≧ WXE[11:0] (水平表示終了タイミング)

  * : [水平 / 垂直ウィンドウ・ボーダー幅] の値は , ウィンドウ・ボーダー背景設定時の場合です。その他の場合 "0" です。

表 30.2-44 に, 画面背景制御 (コマンド8-0) のウィンドウ背景モードおよびウィンドウ・ボーダー幅制御に関するコマンドを示します。

表 30.2-44 ウィンドウ背景モード制御およびウィンドウ・ボーダー幅制御

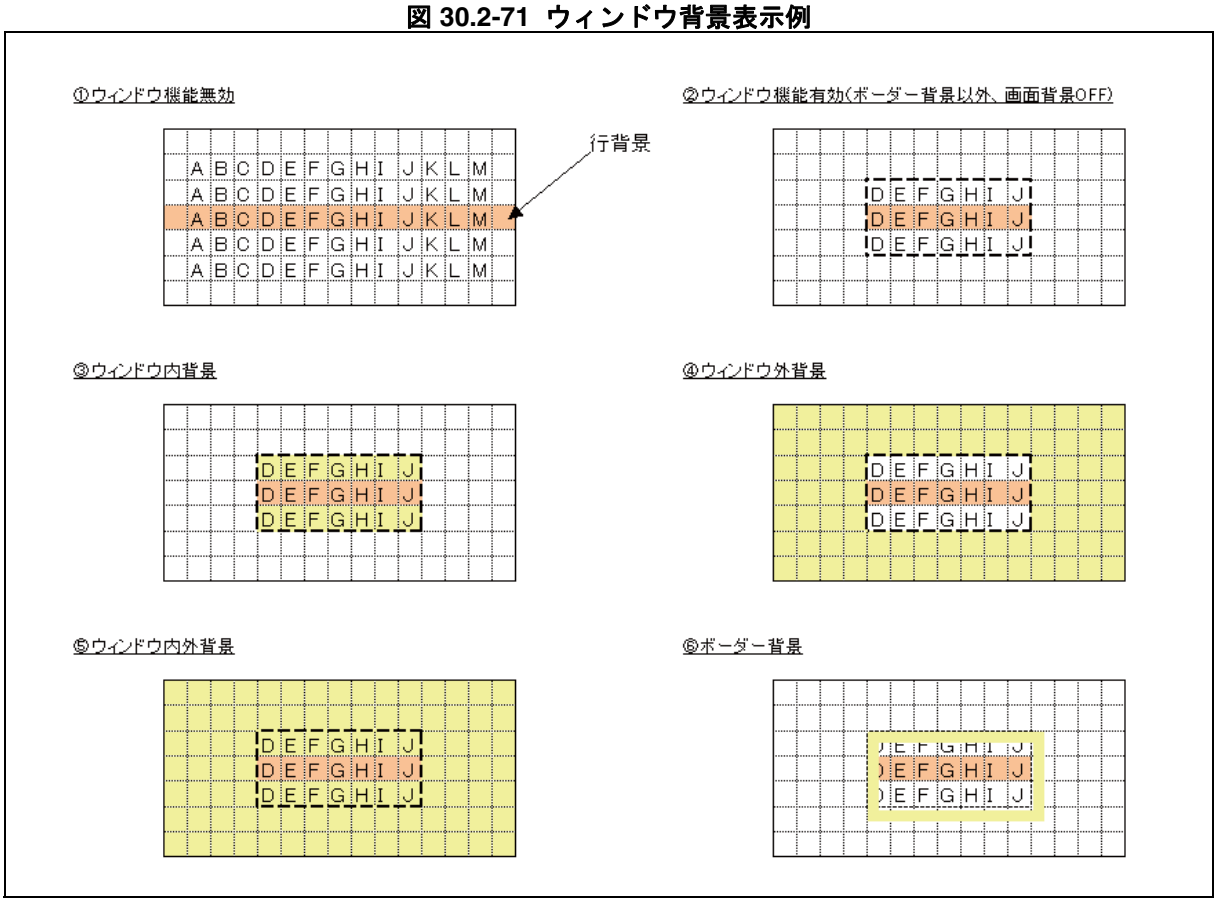
UW1	UW0	ウィンドウ背景モード制御
0	0	ウィンドウ内背景
0	1	ウィンドウ外背景
1	0	ウィンドウ内外背景
1	1	ウィンドウ・ボーダー背景

UWBV	UWBH	ウィンドウ・ボーダー幅制御 *
0	0	垂直 2 ドット , 水平 2 ドット
0	1	垂直 2 ドット , 水平 4 ドット
1	0	垂直 4 ドット , 水平 2 ドット
1	1	垂直 4 ドット , 水平 4 ドット

*：ウィンドウ・ボーダー幅制御は , ウィンドウ背景モード制御にてウィンドウ・ボーダー背景設定 (UW1, 0=1, 1) 設定時に有効となります。また , ウィンドウ・ボーダー表示は , ウィンドウ期間制御 (コマンド 8-1, 2) 設定値のそれぞれプラス方向に付加します。

図 30.2-71 にウィンドウ背景の表示例を示します。

図 30.2-71 ウィンドウ背景表示例



＜注意事項＞

ウィンドウ表示においても , MAIN 画面 , SUB 画面での画面構成における優先順位はかわりません。

ボーダー背景のボーダー部分は , 画面背景 (または画面背景文字 :MAIN のみ) に相当します。

スプライト文字はウィンドウ背景表示には影響しません。

画面優先順位においての構成は ,「30.2 表示機能」の「30.2.1 画面構成」を参照ください。

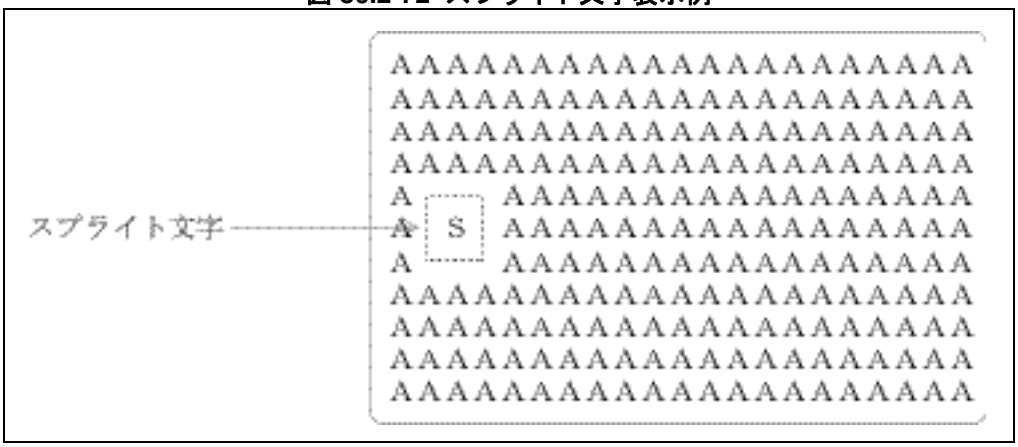
30.2.13 スプライト文字表示

スプライト文字は , 表示画面の最上位層に文字を表示する機能です。スプライト文字表示は , グラフィック文字のみ表示可能です。

■ スプライト文字の構成

図 30.2-72 に , スプライト文字の表示例を示します。

図 30.2-72 スプライト文字表示例



■ スプライト文字表示制御

● スプライト文字出力制御

表 30.2-45 に , 画面出力制御 (コマンド 5-0) : SDS ビットのスプライト文字出力制御を示します。

表 30.2-45 スプライト文字出力制御

SDS	スプライト文字出力
0	OFF
1	ON

● スプライト文字コード

スプライト文字制御 1 (コマンド 9-0) : SM13 ～ SM0 ビット。

*SM2, SM1, SM0=0, 0, 0 を設定してください。

＜注意事項＞

スプライト文字表示は , グラフィック文字 L サイズでの組み合わせ表示となります。

● スプライト文字垂直表示位置制御

スプライト文字制御 2 (コマンド 9-1) : SY10 ～ SY0 ビット

0 ～ 2047 ドット , 1 ドット単位設定。

● スプライト文字水平表示位置制御

スプライト文字制御 2 (コマンド 9-1) ：SX11 ～ SX0 ビット

0 ～ 4095 ドット , 1 ドット単位設定。

● スプライト文字垂直サイズ制御

表 30.2-46 に , スプライト文字制御 1 (コマンド 9-0) ：SH2-SH0 ビットのスプライト文字垂直サイズ制御を示します。

表 30.2-46 スプライト文字垂直サイズ制御

SH2	SH1	SH0	スプライト文字垂直サイズ
0	0	0	18 ドット
0	0	1	20 ドット
0	1	0	22 ドット
0	1	1	24 ドット
1	0	0	26 ドット
1	0	1	28 ドット
1	1	0	30 ドット
1	1	1	32 ドット

● スプライト文字構成制御

表 30.2-47 に , スプライト文字制御 1 (コマンド 9-0) ：SD1, SD0 ビットのスプライト文字構成制御を示します。

表 30.2-47 スプライト文字構成制御

SD1	SD0	スプライト文字構成
0	0	1 文字構成
0	1	横 2 文字構成
1	0	縦 2 文字構成
1	1	縦 2 文字×横 2 文字構成

● スプライト文字ブリンク制御

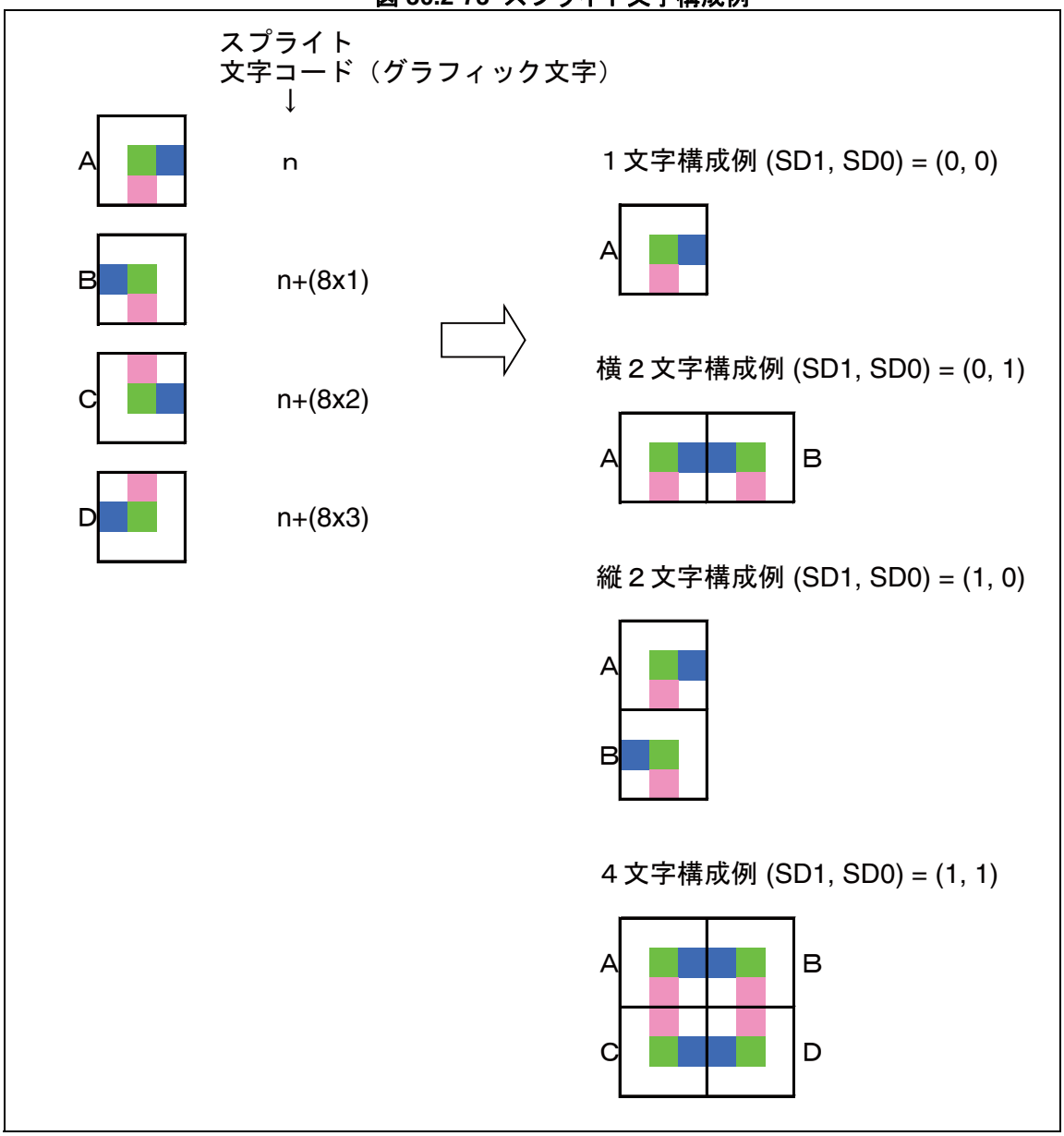
表 30.2-48 に , スプライト文字制御 1 (コマンド 9-0) ：SBL ビットのスプライト文字ブリンク制御を示します。

表 30.2-48 スプライト文字ブリンク制御

SBL	スプライト文字ブリンク
0	OFF
1	ON

図 30.2-73 に , スプライト文字の構成例を示します。

図 30.2-73 スプライト文字構成例



＜注意事項＞

スプライトに使用するグラフィックキャラクタの文字コードは , 横 2 文字 , 縦 2 文字 , 4 文字構成で使用する場合, 連続して配置しておく必要があります。(グラフィックキャラクタは通常文字の 8 文字分に相当し , グラフィックキャラクタの文字コードは 0000_H からの 8 文字単位とする必要があります。)

30.3 制御機能

OSDC の制御機能について説明します。

■ 制御機能

30.3.1 ドットクロック制御
30.3.2 同期信号入力
30.3.3 表示信号出力
30.3.4 表示期間制御
30.3.5 同期制御
30.3.6 割込み制御
30.3.7 OSDC 動作制御

30.3.1 ドットクロック制御

ドットクロック制御は , 外部ドットクロック入力 , または内部 VCO 生成ドットクロック入力を選択可能です。コマンド 17, 18 によりドットクロック制御が可能です。

■ 入力ドットクロック選択制御

表 30.3-1 に , ドットクロック制御 1(コマンド 17):DCK ビットのドットクロック選択制御を示します。内部 VCO 生成ドットクロックを使用する場合には , コマンド 18 の VCO 関連制御を設定後に本コマンドにより , 入力ドットクロックの選択を行ってください。

表 30.3-1 ドットクロック選択制御

DCK	ドットクロック制御
0	外部ドットクロック入力 (初期状態)
1	内部 VCO 生成ドットクロック入力

■ 外部ドットクロック入力

外部発振によるクロックを入力します。

このクロックは入力される水平同期信号に同期していることが前提となります。

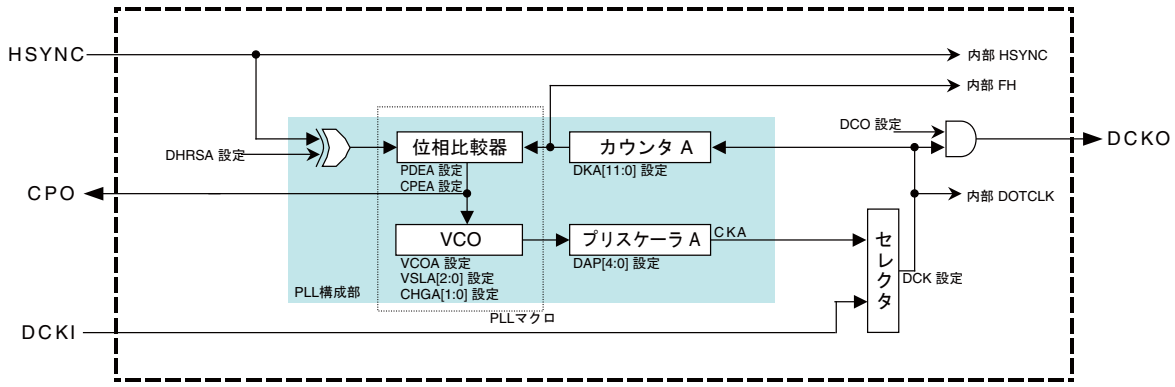
■ 内部 VCO 生成ドットクロック入力

● ドットクロック回路構成

OSDC 用の VCO 発生クロックを内部プリスケーラ等の制御によりドットクロックとして使用します。

図 30.3-1 にドットクロックの回路構成概略図を示します。

図 30.3-1 ドットクロック回路構成概略図



● ドットクロックプリスケーラ制御

表 30.3-2 に , PLL クロック制御 (コマンド 18):DAP4-DAP0 ビットのドットクロックプリスケーラ制御を示します。

表 30.3-2 ドットクロックプリスケーラ制御

DAP4-DAP0	ドットクロックプリスケーラ構成
00000	VCO 発振クロック
00001	VCO 発振クロック× 1/2
00010	VCO 発振クロック× 1/4
00011	VCO 発振クロック× 1/6
00100	VCO 発振クロック× 1/8
・ ・ ・	・ ・ ・
11110	VCO 発振クロック× 1/60
11111	VCO 発振クロック× 1/62

● 位相比較エッジ選択制御

表 30.3-3 に , クロック選択制御 (コマンド 18):DHRSA ビットの位相比較エッジ選択制御を示します。

表 30.3-3 位相比較エッジ選択制御

DHRSA	位相比較エッジ選択制御
0	HSYNC 立上りエッジ
1	HSYNC 立下りエッジ

● クロック分周数制御

PLL クロック制御 (コマンド 18):DKA11-DKA0 ビットに , 水平同期幅に必要なドットクロック分周数を設定することにより , 内部の水平同期信号を生成します。(入力する外部水平同期信号 HSYNC と同じ周期に設定を行います。)

表 30.3-4 に , PLL クロック制御 (コマンド 18):DKA11-DKA0 ビットのクロック分周数制御を示します。

表 30.3-4 クロック分周数制御

DKA11-DKA0	クロック分周数
000_H	129 クロック
・ ・ ・	・ ・ ・
080_H	129 クロック
081_H	130 クロック
・ ・ ・	・ ・ ・
FFE_H	4095 クロック
FFF_H	4096 クロック

● VCO 発振制御

表 30.3-5 に, PLLクロック制御(コマンド18):VCOAビットのVCO発振制御を示します。

表 30.3-5 VCO 発振制御

VCOA	VCO 発振制御
0	VCO 発振停止状態
1	VCO 発振状態

● 発振 VCO 選択制御

表 30.3-6 に , PLL クロック制御 (コマンド 18):VSLA2-VSLA0 ビットの VCO 選択制御を示します。

表 30.3-6 発振 VCO 選択制御

VSLA2	VSLA1	VSLA0	VCO 選択構成	VCO 発振保証周波数帯域
0	0	0	VCO0	25 ～ 50MHz
0	0	1		
0	1	0	VCO1	40 ～ 70MHz
0	1	1		
1	0	0	-	設定禁止
1	0	1	-	設定禁止
1	1	0	-	設定禁止
1	1	1	-	設定禁止

※ VCO の発振保証帯域は OSDC の動作保証周波数とは異なります。

● PLL チャージポンプ制御

表 30.3-7 に , PLL クロック制御 (コマンド 18):CPEA ビットのチャージポンプ制御を示します。

表 30.3-7 チャージポンプ制御

CPEA	チャージポンプ制御
0	停止
1	通常動作

■ 出力ドットクロック制御

DCKO 端子のドットクロック出力を制御します。

表 30.3-8 に , PLL クロック制御 (コマンド 18):DCO ビットの出力ドットクロック選択制御を示します。

表 30.3-8 出力ドットクロック制御

DCO	出力ドットクロック制御
0	ドットクロック出力 OFF
1	ドットクロック出力 ON

30.3.2 同期信号入力

ここでは , 同期信号入力における , 垂直同期検出 , および水平同期動作について示します。

■ 同期信号入力

● 垂直同期制御

水平同期パルスの前縁または後縁時に垂直同期信号のレベルを検知し , その変化を検出します。

● 水平同期制御

水平同期動作には , 前縁動作および後縁動作があり , 選択可能です。

● フィールド制御

インタレース表示を行う際のフィールド状態を , 垂直同期信号の立下りを監視することでフィールド状態を検出します。

30.3.2.1 垂直同期制御

垂直同期検出は , 水平同期パルスの前縁または後縁時に垂直同期信号のレベルを検知し , その変化を検出する機能です。画面の垂直表示位置はこの検出位置に依存します。

■ 垂直同期検出

垂直同期動作は , 入出力端子制御 (コマンド 13) の垂直同期検出 HSYNC エッジ選択制御 , および垂直同期信号入力論理制御の設定が必要です。

垂直同期検出 HSYNC エッジ選択制御は入力する水平同期信号と垂直同期信号の位相を考慮して設定します。また , 垂直同期信号入力論理制御は , 入力垂直同期信号の論理に合わせて設定します。

表 30.3-9 , 表 30.3-10 に , 各制御を示します。

表 30.3-9 垂直同期検出 HSYNC エッジ選択

VHE	垂直同期検出 HSYNC エッジ
0	HSYNC 前縁にて垂直同期を検出
1	HSYNC 後縁にて垂直同期を検出

表 30.3-10 垂直同期信号入力論理制御

IVX	垂直同期信号入力論理
0	VSYNC 端子は負論理信号入力
1	VSYNC 端子は正論理信号入力

■ 垂直同期検出動作例

図 30.3-2 , 図 30.3-3 に , 垂直同期検出の動作例を示します。

図 30.3-2 垂直同期信号を水平同期前縁にて検出 (VHE=0, IVX=0, IHX=0)

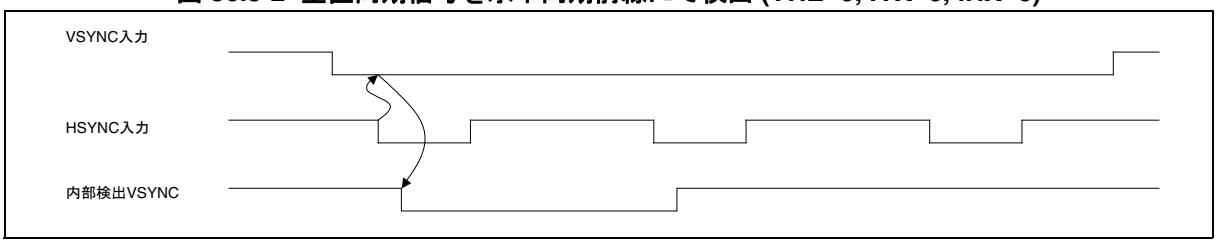
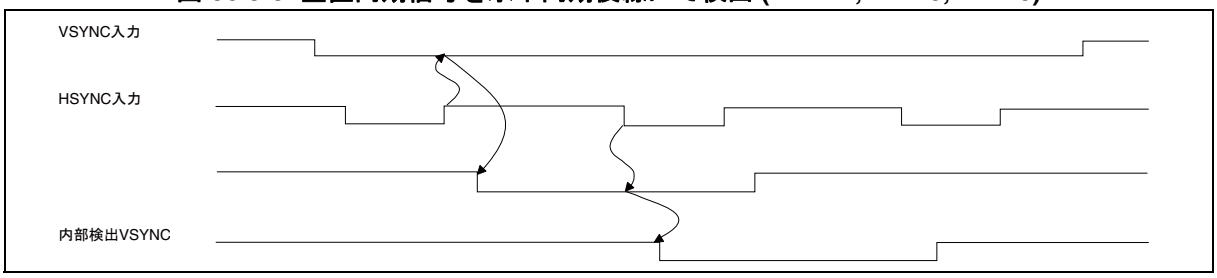


図 30.3-3 垂直同期信号を水平同期後縁にて検出 (VHE=1, IVX=0, IHX=0)



30.3.2.2 水平同期制御

水平同期動作では , 水平同期前縁動作または後縁動作を選択可能です。

■ 水平同期動作

水平同期動作は , 入出力端子制御 2(コマンド 13) の水平同期動作エッジ選択 , および水平同期信号入力論理制御の設定が必要です。

表 30.3-11 , 表 30.3-12 に水平同期動作エッジ選択を示します。

表 30.3-11 水平同期動作エッジ選択

HE	水平同期動作エッジ
0	後縁動作
1	前縁動作

表 30.3-12 水平同期信号入力論理制御

IHX	水平同期信号入力論理
0	HSYNC 端子は負論理信号入力
1	HSYNC 端子は正論理信号入力

■ 水平同期動作例

図 30.3-4 , 図 30.3-5 に , 水平同期の動作例を示します。

図 30.3-4 水平同期後縁動作 (HE=0, IHX=0)

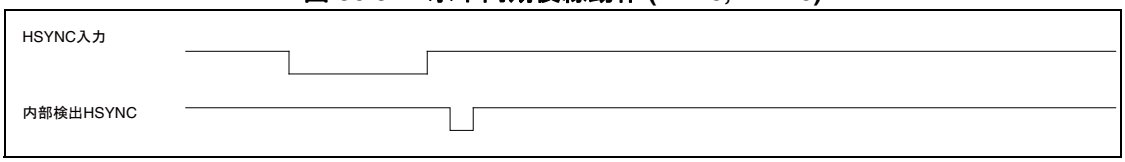
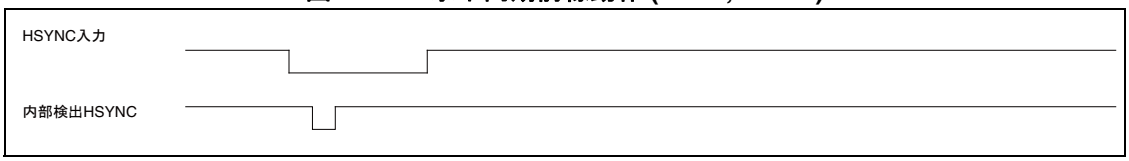


図 30.3-5 水平同期前縁動作 (HE=1, IHX=0)



＜注意事項＞

基本的に水平同期動作エッジ選択は , 前縁動作 (HE=1) に設定してください。

後縁動作 (HE=0) に設定した場合 , スプライト文字 , 画面背景文字 , 文字背景文字が使用できません。

30.3.2.3 フィールド制御

インタレース表示 (入力同期信号がインタレースタイミングの表示) を行う場合に , 入力垂直同期信号と入力水平同期信号の位相タイミングからフィールド判別が可能です。このフィールド判別結果により , フォントの表示ラスタ (偶数 / 奇数) を選択出力制御します。
ドットクロック外部入力動作でインタレース表示を行う場合には , コマンド 18(DKA11-DKA0 ビット) に水平同期信号期間のクロック数を設定する必要があります。ノンインタレース表示を行う場合は , 制御の必要はありません。

■ フィールド検出制御

同期制御 (コマンド 11):IN ビットのインタレース設定時に , 入力される水平同期信号および垂直同期信号の位相状態から , インタレース表示を行うためのフィールドを検出します。

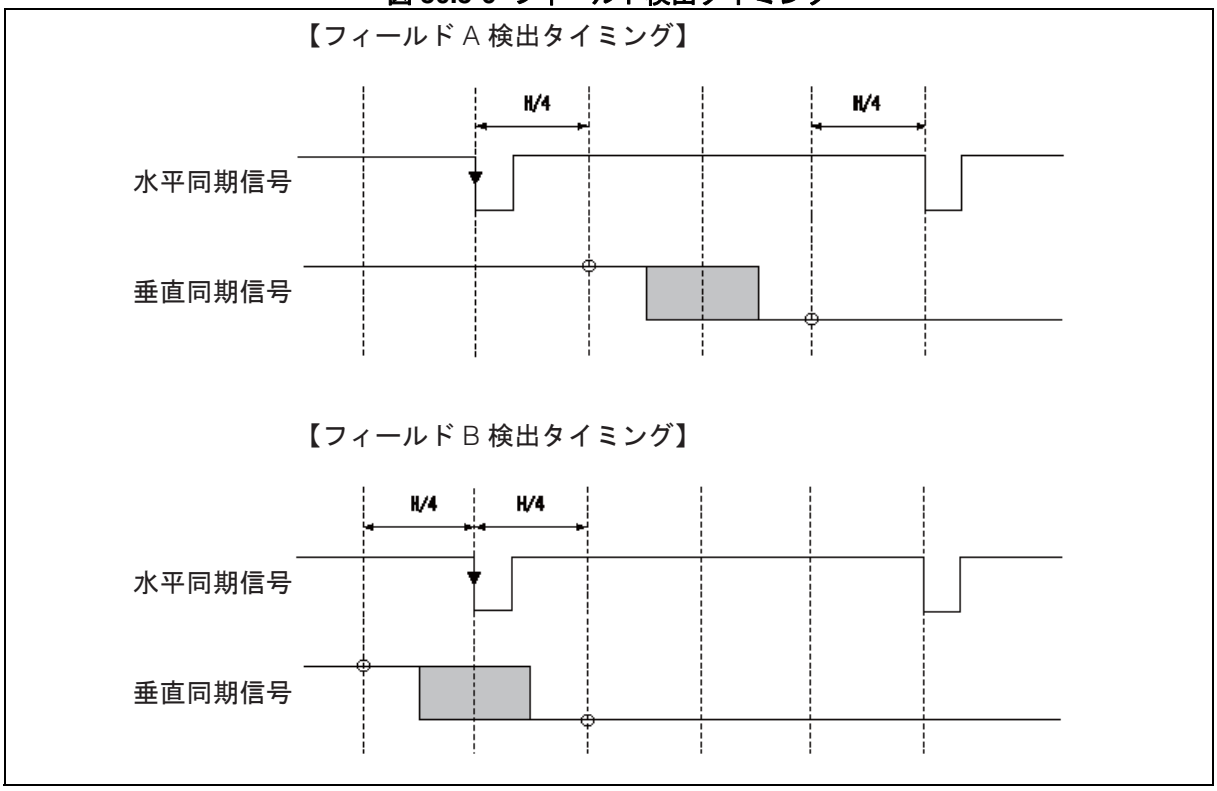
- フィールド判別制御は , 水平同期信号の同期パルス前縁から前後の H/4 の位置において , 垂直同期信号のレベルを観測し , 垂直同期パルス前縁を検出して行います。この検出位置近傍に垂直同期信号のレベル変化がありますと , フィールド判別が正しくできない場合があります。また , 垂直同期信号の同期パルス近傍に水平同期信号の周期変化がありますと , 正しくフィールド判別できないことがあります。このような場合は , 外部回路にて水平同期信号を安定させてから入力してください。
- フィールド検出タイミング "H/4" は , PLL クロック制御 (コマンド 18):DKA11-DKA0 ビットに設定する , 水平同期周期のクロック数を 1Hsync として算出します。

＜注意事項＞

インタレースを行う場合 , 各フィールドに表示されるフォントの表示ラスタについては「30.3.5 同期制御」を参照ください。

● 図 30.3-6 に, インタレース表示を行うための垂直同期信号(VSYNC端子入力信号)と水平同期信号 (HSYNC 端子入力信号) の入力タイミングを示します。

図 30.3-6 フィールド検出タイミング



＜注意事項＞

インタレースを行う場合 , 各フィールドに表示されるフォントの表示ラスタについては , 「30.3.5 同期制御」を参照ください。

■ フィールド補正制御

● フィールド補正制御

フィールド補正制御は , フィールド検出制御により生成したフィールド状態において表示されるフォントの偶数ラスタ表示フィールドと奇数ラスタ表示フィールドの表示状態を変換する機能です。インタレース表示出力にて , 各フィールドへの表示出力が正しく行われない (出力フィールドが異なる) 場合に , 表示出力を補正します。

同期制御 (コマンド 11) : FC ビットのフィールド補正制御により , 各フィールド出力の交換が可能です。

表 30.3-13 に , 同期制御 (コマンド 11) のフィールド補正制御 (FC) を示します。

表 30.3-13 フィールド補正制御

FC	フィールド補正制御
0	補正なし
1	補正あり

30.3.3 表示信号出力

以下に表示信号の出力タイミングを示します。

■ 表示信号出力タイミング

表示信号出力

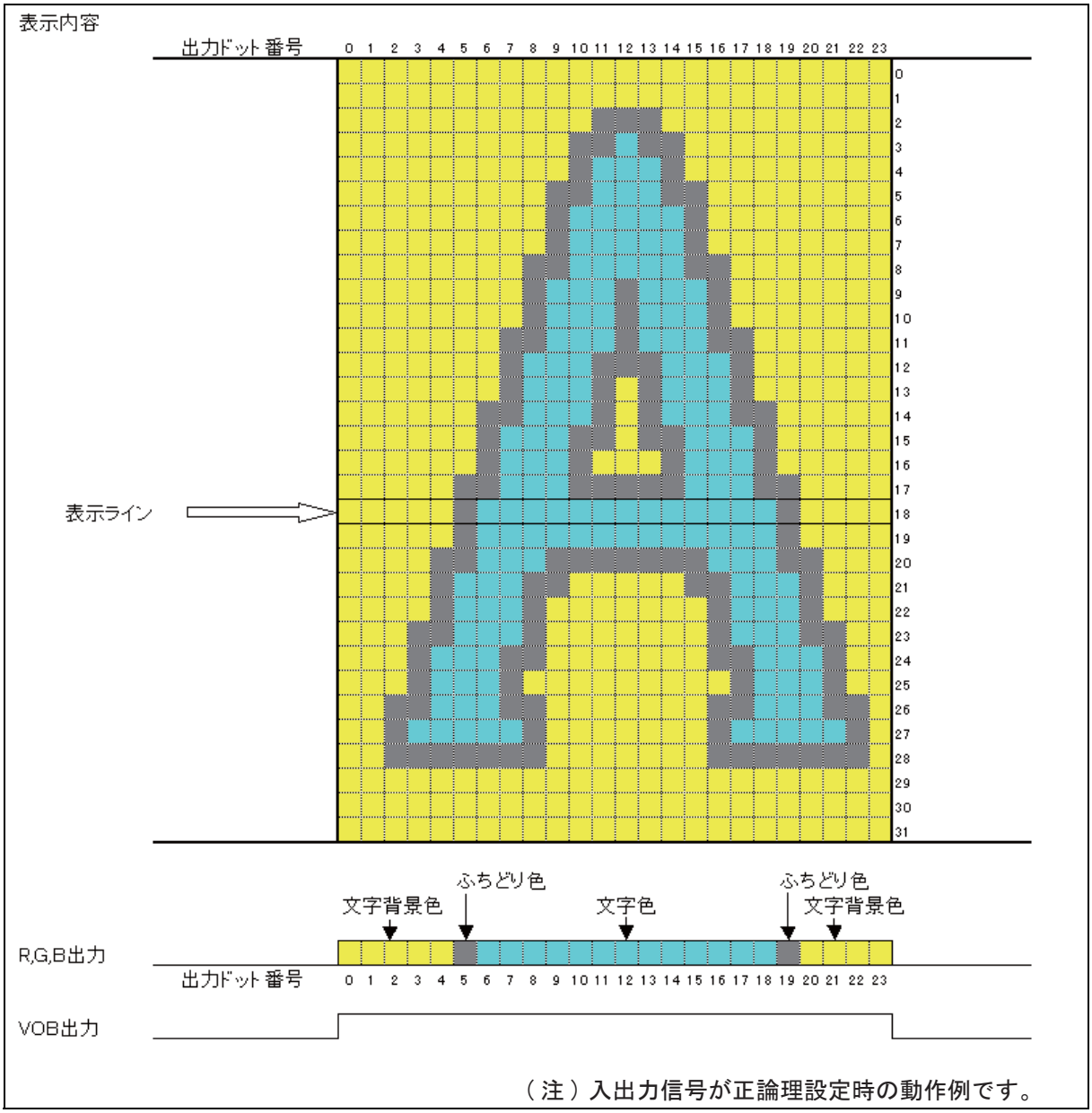
表示期間信号 ：VOB

表示色コード ：R, G, B

■ 表示信号出力例 1

図 30.3-7 に , 文字表示 , 文字背景表示 , ふちどり表示時の出力例を示します。

図 30.3-7 文字色表示 , 文字背景表示 , ふちどり色表示時の出力例



（注）入出力信号が正論理設定時の動作例です。

＜注意事項＞

VOB 出力が非アクティブ期間は , OSDC マクロの R, B, G 出力 (R, B, G) は , 入出力信号が正論理設定時では Low を出力します。

■ 表示信号出力例 2

水平同期信号 (HSYNC), 垂直同期信号 (VSYNC) の入力による , 表示不可期間を示します。

図 30.3-8 , 図 30.3-9 に , 同期信号入力時の表示不可期間を示します。

図 30.3-8 HSYNC 入力信号による表示出力マスク動作例

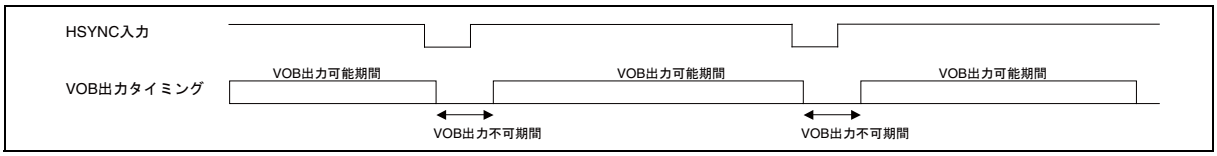
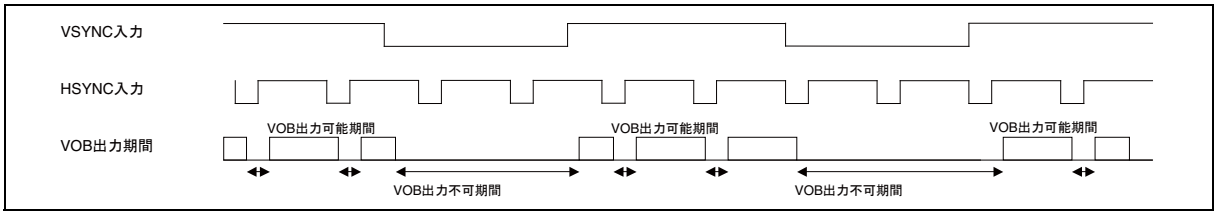


図 30.3-9 VSYNC 入力信号による表示出力マスク動作例



30.3.4 表示期間制御

表示期間制御には , 次の 2 つがあります。

- **垂直表示期間制御**
- **水平表示期間制御**

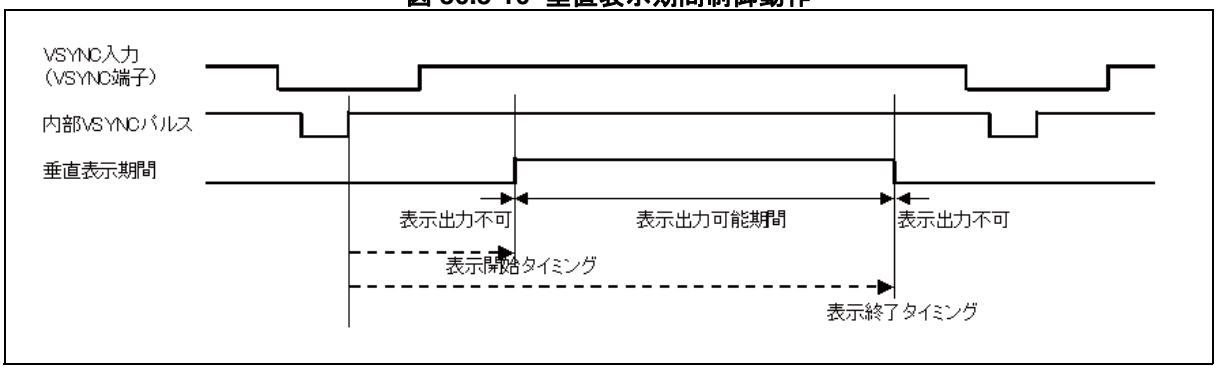
また , この機能により水平 , および垂直ブランキング制御が可能です。

■ 垂直表示期間制御

垂直表示期間制御は , 垂直表示期間を内部生成し , 表示信号出力制御を行うものです。垂直表示期間では , 垂直方向の表示出力を行います。コマンド設定により表示期間の設定が可能です。

図 30.3-10 に垂直表示期間制御動作を示します。

図 30.3-10 垂直表示期間制御動作



垂直表示期間の開始および終了タイミングは , 下記のとおり設定できます。

- 垂直表示開始タイミング
  表示期間制御 1 (コマンド 14-0) : DYS10-0 ビット
  0-2047 Hsync 数 , 1Hsync 単位の設定です。
- 垂直表示終了タイミング
  表示期間制御 1 (コマンド 14-0) : DYE10-0 ビット
  0-2047 Hsync 数 , 1Hsync 単位の設定です。

＜注意事項＞

次の設定を行った場合には , 表示終了タイミング設定は無効となりますので設定しないでください。

DYS[10:0](垂直表示開始タイミング) ≧ DYE[10:0](垂直表示終了タイミング)

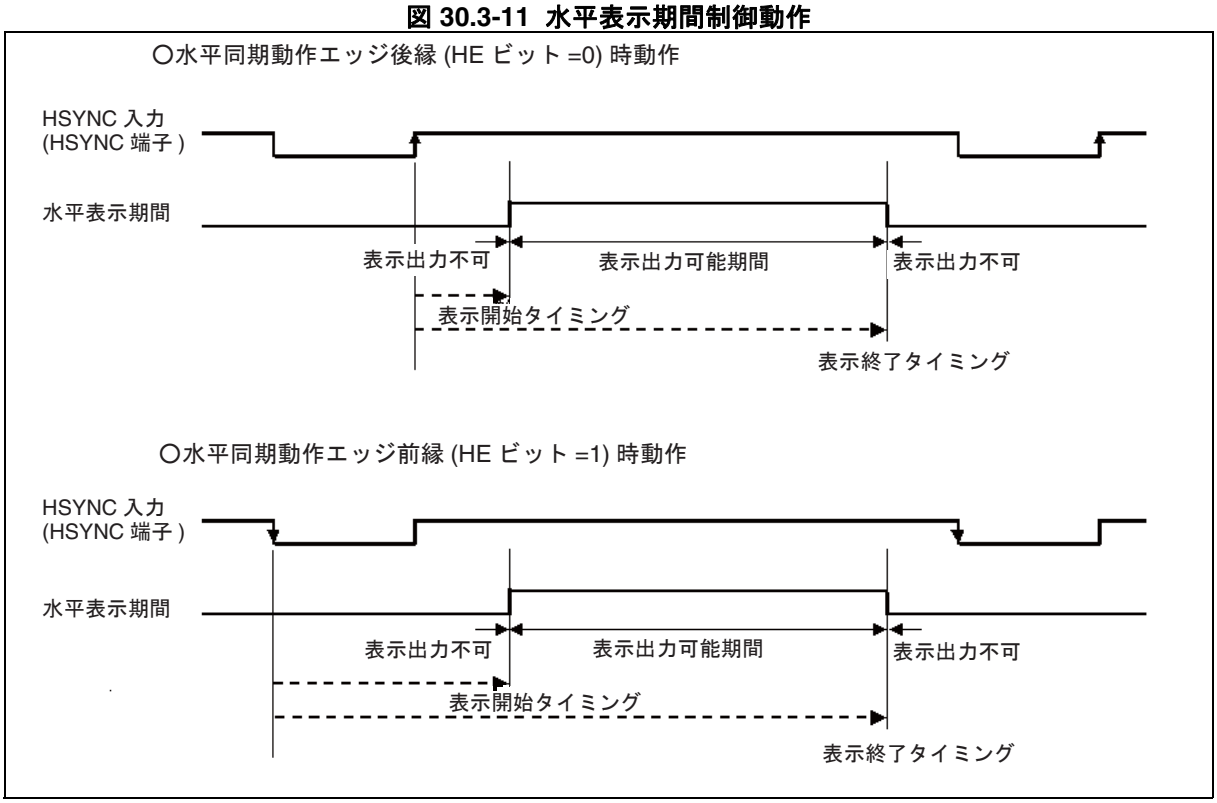
■ 水平表示期間制御

水平表示期間制御は , 水平表示期間を内部生成し , 表示信号出力制御を行うものです。水平表示期間では , 水平方向の表示出力を行います。コマンド設定により表示期間の設定が可能です。入出力端子制御 (コマンド 13) の水平同期動作エッジ選択 (HE ビット) 制御により , 次の 2 種の動作を行います。

- 水平同期動作エッジ後縁 (HE ビット =0) 時動作
- 水平同期動作エッジ前縁 (HE ビット =1) 時動作

図 30.3-11 に , 水平表示期間制御動作を示します。

図 30.3-11 水平表示期間制御動作



水平表示期間の開始および終了タイミングは , 下記のコマンドで設定できます。

- 水平表示開始タイミング
  表示期間制御 2 (コマンド 14-1) : DXS11-0 ビット
  0-4095 ドットクロック数 , 1 ドットクロック単位の設定です。
- 水平表示終了タイミング
  表示期間制御 2 (コマンド 14-1) : DXE11-0 ビット
  0-4095 ドットクロック数 , 1 ドットクロック単位の設定です。

水平表示期間の開始および終了における , 水平位置の設定値計算は , 以下のようになります。

水平表示期間開始位置 = DXS + 7 [ドット]

水平表示期間終了位置 = DXE + 7 [ドット]

＜注意事項＞

次の設定を行った場合には, 表示終了タイミング設定は無効となりますので設定しないでください。

DXS[11:0](水平表示開始タイミング) ≧ DXE[11:0](水平表示終了タイミング)

30.3.5 同期制御

同期制御 (コマンド 11) のインタレース / ノンインタレース制御 (IN ビット) 設定により , インタレースおよびノンインタレース (プログレッシブ) 表示が可能です。

■ 同期制御

表 30.3-14 に , 同期制御を示します。

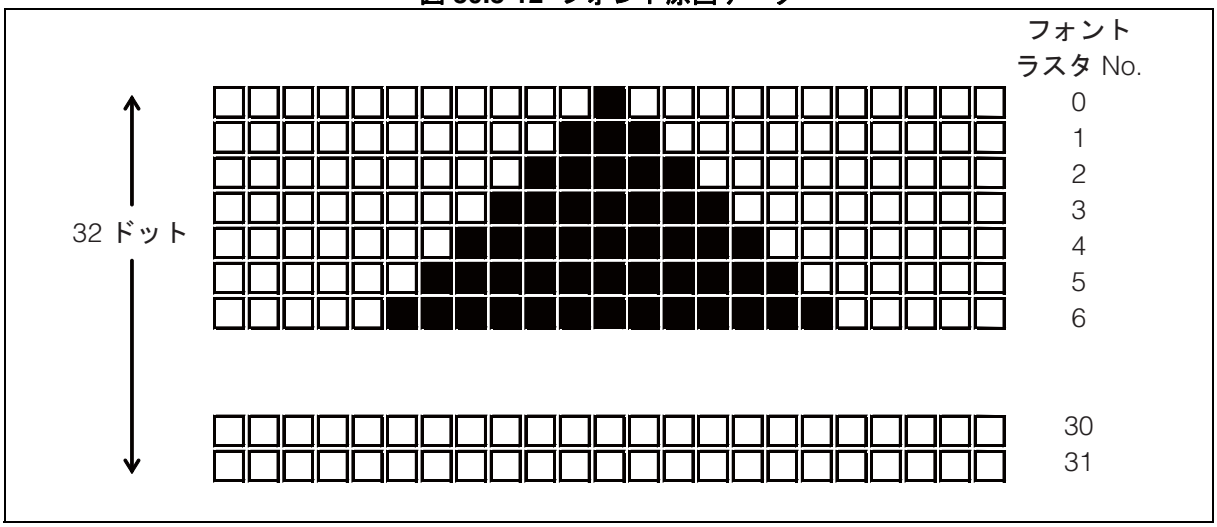
表 30.3-14 同期制御

IN	同期制御
0	インタレース動作
1	ノンインタレース動作 (プログレッシブ動作)

■ 表示例

図 30.3-12 に , フォント原画データを示します。

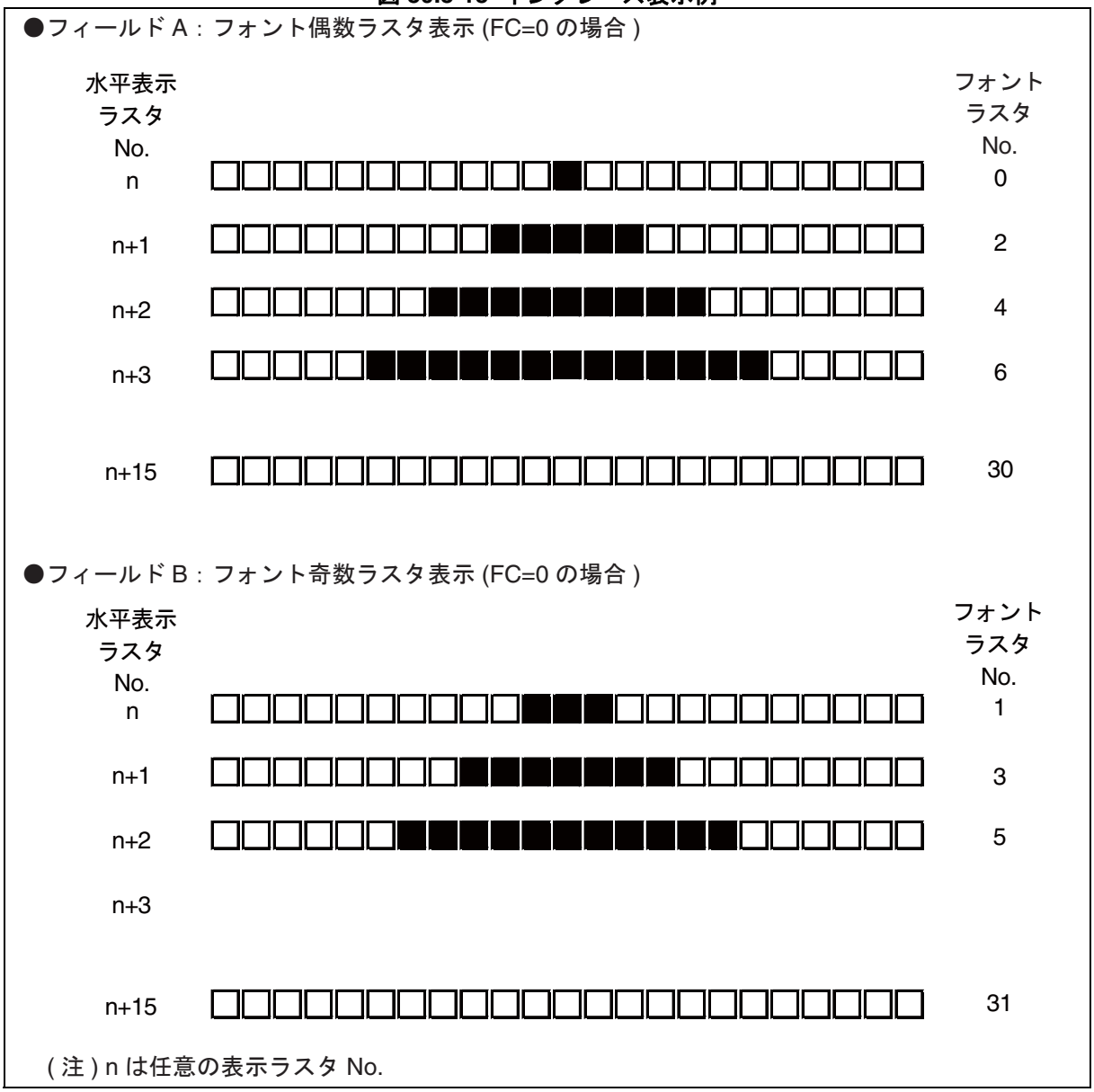
図 30.3-12 フォント原画データ



● インタレース表示例 (IN=0 設定) を図 30.3-13 に示します。

インタレース表示は , 「30.3.2.3 フィールド制御」により検出されるフィールド A およびフィールド B に , フォント原画データの異なるドットを表示することにより表示画像を構成します。

図 30.3-13 インタレース表示例



(注) n は任意の表示ラスタ No.

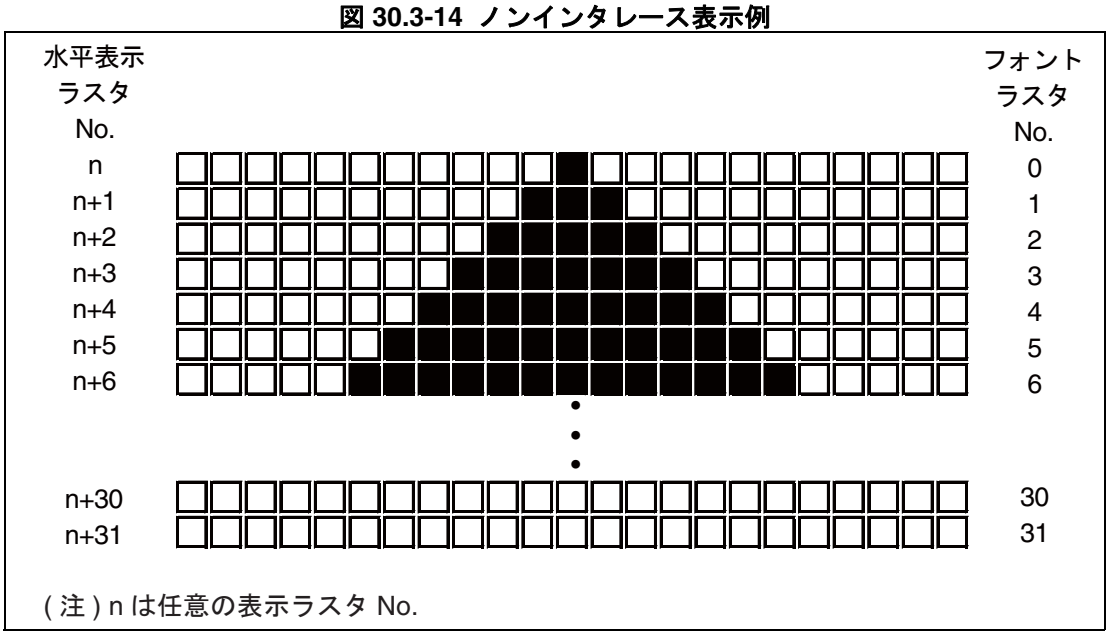
＜注意事項＞

インタレース表示において表示するフォントデータの表示ラスタが反転する場合には , フィールド補正制御 (コマンド 11) :FC ビットの制御により補正が可能です。

● ノンインタレース表示例 (IN=1 設定) を図 30.3-14 に示します。

ノンインタレース表示は , フォント原画データを順次出力することで画像を構成します。

図 30.3-14 ノンインタレース表示例



(注) n は任意の表示ラスタ No.

30.3.6 割込み制御

OSDC 制御割込みには次の 3 種の要因があります。

- **VRAM フィル終了検出**
- **行表示終了検出**
- **垂直同期信号検出**

CPU への割込み要求は , MAIN:3 種の論理和 , SUB:2 種の論理和となります。

■ 割込み制御

割込み制御は , 内部動作状態により発生する割込みを制御するものです。

割込み制御 (コマンド 15) の割込み要因フラグ , および割込み発生制御により割込み制御を行います。

■ 割込み要因フラグ

割込み要因フラグは , 割込み発生許可制御ビット (LIE, VIE, FIE) が許可の場合かつ , 割り込み要因が発生した場合に "1" が設定されます。一度セットされたフラグをクリアするには , 要因フラグに "0" を書込む必要があります。

割込み要因フラグには , 次の 3 種のフラグがあります。

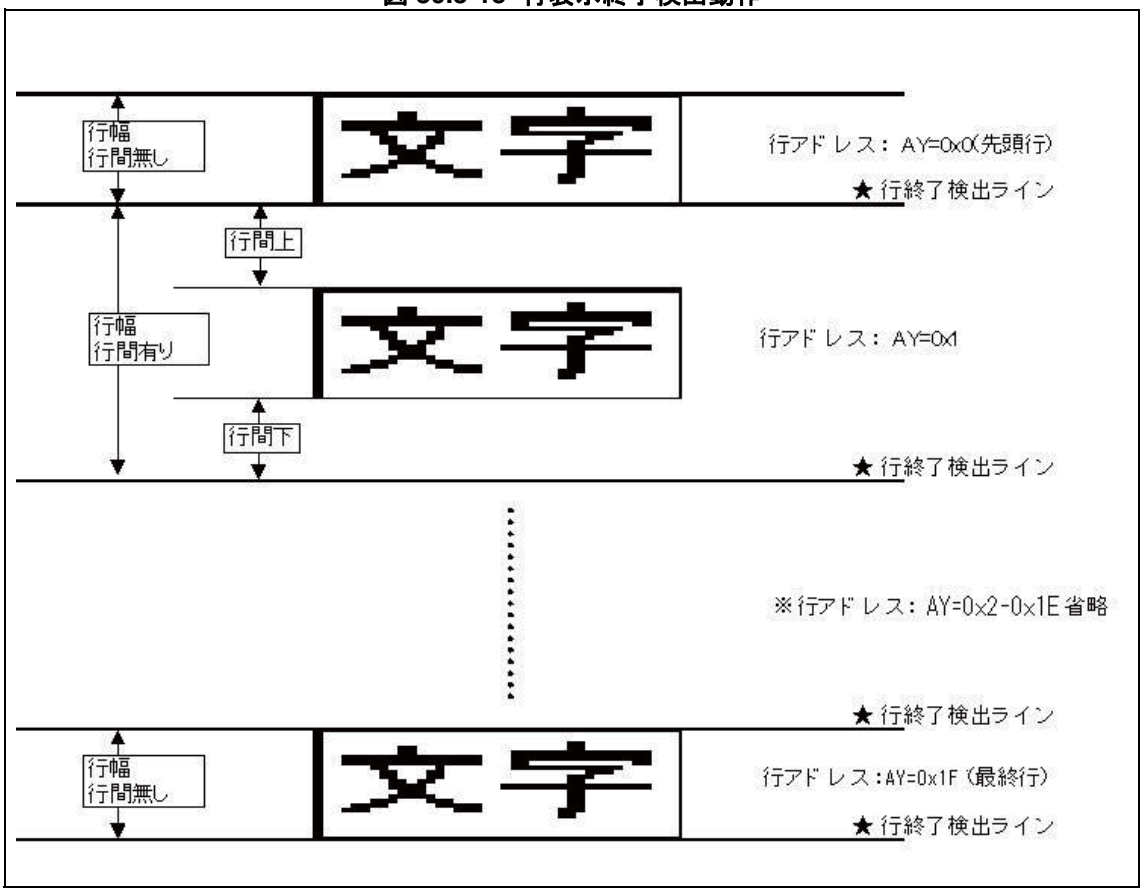
- VRAM フィル終了検出フラグ (コマンド 15 : FIF ビット)
- 行表示終了検出フラグ (コマンド 15 : LIF ビット)
- 垂直同期信号検出フラグ (コマンド 15 : VIF ビット) *MAIN 動作のみ

● 行表示終了検出フラグ

図 30.3-15 に示す , 各行の最終ラスタ (先頭行開始直前ラスタ部分) の行終了検出ラインにおける文字表示終了時が , 行表示終了要因となります。

「行終了検出ライン」での割込みを発生させる為には , 該当する行に対し , コマンド 4 (行制御データ設定 2) の行間隔下制御 "LWDEN" を "1" に設定する必要があります。(その他の設定では , [現] 行と下の行を連結された扱いとなり , [現] 行での「行終了検出ライン」での行割込みは発生されなくなります。)

図 30.3-15 行表示終了検出動作

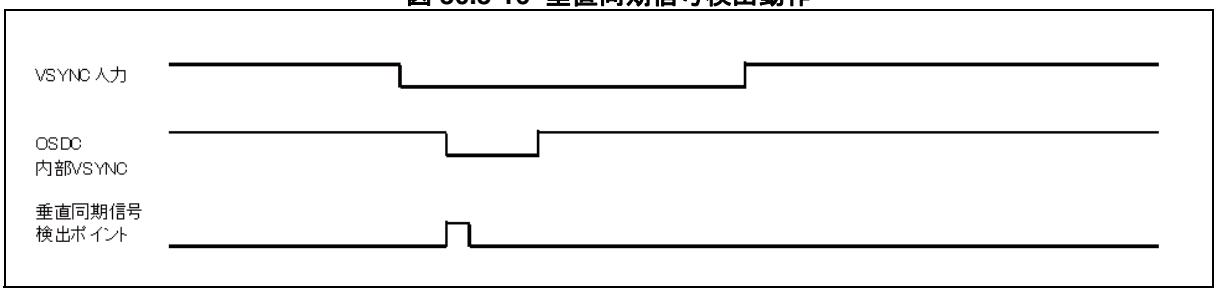


● 垂直同期信号検出フラグ

内部垂直同期信号の立下りを検出します。

図 30.3-16 に , 垂直同期信号検出ポイントを示します。

図 30.3-16 垂直同期信号検出動作



● VRAM フィル終了検出フラグ

VRAM フィルコマンド (コマンド 0 ～ 2) により起動した VRAM 設定が終了した場合に VRAM フィル終了要因となります。

■ 割込み要因フラグ・割込み発生許可制御

割込み要因フラグおよび割込み発生を制御します。

割込み要因フラグおよび割込み発生制御には , 次の 3 種の割込みがあります。

- VRAM フィル終了検出割込み (コマンド 15 : FIE ビット)

  表 30.3-15 に VRAM フィル終了検出割込み制御を示します。

表 30.3-15 VRAM フィル終了検出割込み制御

FIE	VRAM フィル終了検出割込み
0	割込みを禁止
1	割込みを許可

- 行表示終了検出割込み (コマンド 15 : LIE ビット)

  表 30.3-16 に行表示終了検出割込み制御を示します。

表 30.3-16 行表示終了検出割込み制御

LIE	行表示終了検出割込み
0	割込みを禁止
1	割込みを許可

- 垂直同期信号検出割込み (コマンド 15 : VIE ビット) *MAIN 動作のみ

  表 30.3-17 に垂直同期信号検出割込み制御を示します。

表 30.3-17 垂直同期信号入力割込み制御

VIE	垂直同期信号検出割込み
0	割込みを禁止
1	割込みを許可

30.3.7 OSDC 動作制御

OSDC の動作制御を行います。

■ OSDC 動作制御

OSDC の制御を行うには , 予め必要に合わせて入力ドットクロック選択設定 , DAC 設定 , 出力端子設定を行い , OSDC をアクティブ状態にする必要があります。

● 入力ドットクロック選択制御

表 30.3-18 に , OSDC 動作制御 (コマンド 17) : DCK ビットの入力ドットクロック制御を示します。

VCO 発振クロックを選択する場合には , クロック制御 1, クロック制御 2, クロック制御 3 の VCO 関連の設定を行ってから本ビットを有効にしてください。

表 30.3-18 入力ドットクロック選択制御

DCK	ドットクロック制御
0	外部ドットクロック入力
1	内部 VCO 生成ドットクロック入力

● DAC 制御

表 30.3-19 に , OSDC 動作制御 (コマンド 17) : DPD ビットの DAC 制御を示します。

表 30.3-19 DAC 制御

DPD	DAC 制御
0	停止状態
1	動作状態

● 出力端子制御

表 30.3-20 に , OSDC 動作制御 (コマンド 17) : ANO, DGO ビットの出力端子制御を示します。

表 30.3-20 出力端子制御

ANO	アナログ RGB 出力端子制御
0	アナログ RGB 出力 OFF
1	アナログ RGB 出力 ON

DGO	デジタル RGB 端子出力制御
0	デジタル RGB 出力 OFF
1	デジタル RGB 出力 ON

● OSDC アクティブ制御

表 30.3-21 に , OSDC 動作制御 (コマンド 17) : OSDEN ビットの OSDC アクティブ制御を示します。

OSDEN ビットが "0" (OSDC 使用不可能状態) のときは下記のような状態となっています。

- フォントメモリへのアクセスがディセーブルとなります。
- 以下コマンドのアクセスはしないでください。

  コマンド 0 :VRAM 書込みアドレス設定

  コマンド 1 : 文字データ設定 1

  コマンド 2 : 文字データ設定 2

  コマンド 3 : 行制御データ設定 1

  コマンド 4 : 行制御データ設定 2

  コマンド 15 : 割込み制御

  コマンド 16-0 ～ 127 : パレット制御
- 外部端子は動作しません。ただしドットクロックの供給が行われている限り , 内部動作はしています。

表 30.3-21 OSDC アクティブ制御

OSDEN	OSDC アクティブ制御
0	OSDC 使用不可能状態
1	OSDC 使用可能状態

● SUB 動作制御

表 30.3-22 に, OSDC動作制御(コマンド17):SUBENビットのSUB動作制御を示します。

SUB 画面の表示制御コマンドを発行する場合 , まずこの SUBEN のビットを 1(SUB 動作可能状態) に設定してください。

(SUBEN のビットが 0 の場合 , SUB 画面の表示制御コマンドは受け付けません。)

表 30.3-22 SUB 動作制御

SUBEN	SUB 動作制御
0	SUB 動作不可能状態
1	SUB 動作可能状態

● OSDC ソフトリセット制御

表 30.3-23 に , OSDC 動作制御 (コマンド 17):OSDR ビットの OSDC ソフトリセット制御を示します。

OSDC 部をリセットします。OSDR ビットに "1" を設定することによりリセット状態となります。また , "0" を設定することによりリセット解除となります。

* ただしレジスタは初期化されません。

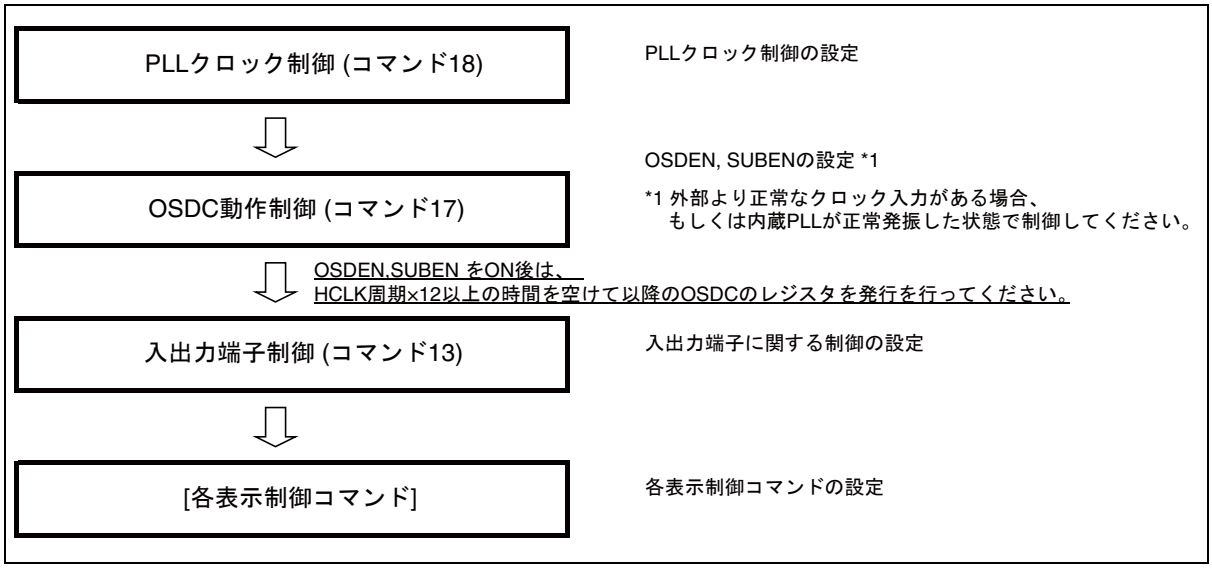
表 30.3-23 OSDC ソフトリセット制御

OSDR	OSDC ソフトリセット制御
0	無効 (リセット解除)
1	OSDC マクロ・リセット

■ OSDC 初期動作に対するレジスタ設定例について

図 30.3-17 に OSDC 初期動作に対するレジスタ設定例を示します。

図 30.3-17 OSDC 初期動作に対するレジスタ設定例



■ CPU コア・レギュレータ スタンバイモード移行時における OSDC の動作制御について

下記モード以外では , 内蔵レギュレータがスタンバイ (低消費電流) モードとなりますので , OSDC を動作させることができません。

- メイン RUN/ ドーズモード／メインスリープ / メインクロック時計モード

その為 , 上記以外のモード (サブクロックモード , ストップモード) では , OSDC への外部からのドットクロック入力およびドットクロック用の PLL の動作を停止させてください。

＜注意事項＞

途中でドットクロックを止めた場合 , コマンド 0, 1, 2, 3, 4, 15 のレジスタアクセスは行わないでください。ドットクロックを止める場合には必ず , OSDEN="0", SUBEN="0" に設定後 , ドットクロックを止めてください。

OSDCEN, SUBEN を ON 後は , HCLK 周期× 12 以上の時間を空けて以降の OSDC のレジスタ発行を行ってください。また , レギュレータ スタンバイモードからメイン動作への移行時には OSDC の全コマンドを再設定してください。

■ スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示を行う場合の制限事項について

スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示を行う場合において , 入出力端子制御 (コマンド 13)・水平同期動作エッジ選択は前縁動作 (HE=1) に設定してください。

後縁検出 (HE=0) 設定での , スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示は禁止となります。

また , OSDC は VSYNC 毎に , フォントメモリより一旦 OSDC 専用のフォントバッファ RAM にデータを転送します。その動作完了後 , 上記各表示が可能な状態となりますのでご注意ねがいます。

この転送条件および必要な時間は以下のようになります。

起点 , 垂直同期信号 (VSYNC 端子入力信号) 同期パルス (立ち下り :IVX=0) 後より ,

- MAIN 画面のスプライト文字表示を行う場合 , +2055 [ドットクロック]
- SUB 画面のスプライト文字表示を行う場合 , +2055 [ドットクロック]
- 画面背景文字 (MAIN 画面) または文字背景文字 (MAIN または SUB 画面) 表示を行う場合 , +2055 [ドットクロック]

の時間がそれぞれ必要となります。

つまり , MAIN 画面のスプライト文字表示と SUB 画面のスプライト文字表示と画面背景文字 (MAIN 画面) または文字背景文字 (MAIN または SUB 画面) を全て同時に使用する場合には ,

垂直同期信号 (VSYNC 端子入力信号) 同期パルス (立ち下り :IVX=0) 後より ,

2055 + 2055 + 2055 -> 合計 6165 [ドットクロック]

の時間確保が必要となります。

また ,

画面背景文字 (MAIN 画面) または文字背景文字 (MAIN または SUB 画面) 表示の 2055 [ドットクロック] 期間は , 各設定に関わらず時間確保が必要となります。

これ以前に OSDC の表示を開始すると正しい表示が行われませんので , 上記時間が確保できるように , 同期制御 (コマンド 11)・垂直表示位置オフセット制御 (VOF5-VOF0) 等にて , 垂直ブランキング期間の調整を行ってください。

30.4 表示制御コマンド (MAIN/OSDC 動作)

OSDC の MAIN 表示および OSDC 動作制御コマンドについて説明します。

■ 表示制御コマンド (MAIN/OSDC 動作)

30.4.1 MAIN 画面表示 /OSDC 動作・制御コマンド一覧
30.4.2 VRAM 書込みアドレス設定 (コマンド 0)
30.4.3 文字データ設定 (コマンド 1・コマンド 2)
30.4.4 行制御データ設定 (コマンド 3・コマンド 4)
30.4.5 画面出力制御 (コマンド 5-0)
30.4.6 画面表示位置制御 (コマンド 5-1)
30.4.7 透明色制御 (コマンド 6-0)
30.4.8 グラフィック色制御 (コマンド 6-1)
30.4.9 画面背景文字制御 (コマンド 7)
30.4.10 画面背景制御 (コマンド 8-0)
30.4.11 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2)
30.4.12 スプライト文字制御 (コマンド 9-0・コマンド 9-1)
30.4.13 同期制御 (コマンド 11)
30.4.14 文字背景文字コード設定 (コマンド 12-0 ～コマンド 12-7)
30.4.15 入出力端子制御 (コマンド 13)
30.4.16 表示期間制御 (コマンド 14-0・コマンド 14-1)
30.4.17 割込み制御 (コマンド 15)
30.4.18 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3)
30.4.19 パレット制御 (コマンド 16-0 ～コマンド 16-127)
30.4.20 動作制御 (コマンド 17)
30.4.21 PLL クロック制御 (コマンド 18)

30.4.1 MAIN 画面表示 /OSDC 動作・制御コマンド一覧

表示制御コマンドを示します。表 30.4-1 に , MAIN_OSDC 動作制御コマンドの一覧を示します。

■ 表示制御コマンド一覧

表 30.4-1 表示制御コマンド一覧

アドレス下位 16bit(HEX)	MAIN_OSDC コマンド No.	データ																													機能
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
40 00	0																FL				AY4	AY3	AY2	AY1	AY0			AX5	AX4	AX3	AX2	AX1	AX0	VRAM 書き込みアドレス設定 [MOSD_VADR]
40 04	1		MSC2	MSC1	MSC0	MIT	MUL	MBL	MBB	MU	MD		MS1	MS0	MM2	MM1	MM0	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0	文字データ設定 1 [MOSD_CDS1]
40 08	2									MBM3	MBM2	MBM1	MBM0		MA	MR	MG			M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	M0	文字データ設定 2 [MOSD_CDS2]
40 0C	3	LALCA1	LALCA0	LALCM	LALEN		LAL2	LAL1	LAL0	LHS3	LHS2	LHS1	LHS0		LW2	LW1	LW0					LFD	LFC	LFB	LFA	LF7	LF6	LF5	LF4	LF3	LF2	LF1	LF0	行制御データ設定 1 [MOSD_LDS1]
40 10	4							LSW1	LSW0				LDS	LGY1	LGY0	LGX1	LGX0	LWUEN	LWDEN	LMUEN	LMDEN		LE	LM1	LM0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	行制御データ設定 2 [MOSD_LDS2]
40 14	5-0							FM1	FM0	BT1	BT0	BD1	BD0								SALCC				WE	SDS	UDS	PDS	DSP					画面出力制御 [MOSD_SCDC]
40 18	5-1						X10	X9	X8	X7	X6	X5	X4	X3	X2	X1	X0						Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	画面表示位置制御 [MOSD_HVDP]
40 1C	6-0																								TCC	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	透明色制御 [MOSD_TSBC]
40 20	6-1								GFC	GF7	GF6	GF5	GF4	GF3	GF2	GF1	GF0								GCC	GC7	GC6	GC5	GC4	GC3	GC2	GC1	GC0	グラフィック色制御 [MOSD_GRCC]
40 24	7						PH2	PH1	PH0							PD1	PD0			PM13	PM12	PM11	PM10	PM9	PM8	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0	画面背景文字制御 [MOSD_SBCC]
40 28	8-0											UWBV	UWBH			UW1	UW0				UALEN		UAL2	UAL1	UAL0	U7	U6	U5	U4	U3	U2	U1	U0	画面背景制御 [MOSD_SCBC]
40 2C	8-1						WYE10	WYE9	WYE8	WYE7	WYE6	WYE5	WYE4	WYE3	WYE2	WYE1	WYE0						WYS10	WYS9	WYS8	WYS7	WYS6	WYS5	WYS4	WYS3	WYS2	WYS1	WYS0	ウィンドウ期間制御 1 [MOSD_WPC1]
40 30	8-2					WXE11	WXE10	WXE9	WXE8	WXE7	WXE6	WXE5	WXE4	WXE3	WXE2	WXE1	WXE0					WXS11	WXS10	WXS9	WXS8	WXS7	WXS6	WXS5	WXS4	WXS3	WXS2	WXS1	WXS0	ウィンドウ期間制御 2 [MOSD_WPC2]
40 34	9-0				SBL		SH2	SH1	SH0							SD1	SD0			SM13	SM12	SM11	SM10	SM9	SM8	SM7	SM6	SM5	SM4	SM3	SM2	SM1	SM0	スプライト文字制御 1 [MOSD_SPC1]
40 38	9-1					SX11	SX10	SX9	SX8	SX7	SX6	SX5	SX4	SX3	SX2	SX1	SX0						SY10	SY9	SY8	SY7	SY6	SY5	SY4	SY3	SY2	SY1	SY0	スプライト文字制御 2 [MOSD_SPC2]
40 3C	11											VOF5	VOF4	VOF3	VOF2	VOF1	VOF0										IN		FC					同期制御 [MOSD_SYNC]
40 40	12-0			BM1C13	BM1C12	BM1C11	BM1C10	BM1C9	BM1C8	BM1C7	BM1C6	BM1C5	BM1C4	BM1C3	BM1C2	BM1C1	BM1C0			BM0C13	BM0C12	BM0C11	BM0C10	BM0C9	BM0C8	BM0C7	BM0C6	BM0C5	BM0C4	BM0C3	BM0C2	BM0C1	BM0C0	文字背景文字コード設定 [MOSD_CBC0 ～ MOSD_CBC7]
40 44	12-1			BM3C13	BM3C12	BM3C11	BM3C10	BM3C9	BM3C8	BM3C7	BM3C6	BM3C5	BM3C4	BM3C3	BM3C2	BM3C1	BM3C0			BM2C13	BM2C12	BM2C11	BM2C10	BM2C9	BM2C8	BM2C7	BM2C6	BM2C5	BM2C4	BM2C3	BM2C2	BM2C1	BM2C0	
40 48	12-2			BM5C13	BM5C12	BM5C11	BM5C10	BM5C9	BM5C8	BM5C7	BM5C6	BM5C5	BM5C4	BM5C3	BM5C2	BM5C1	BM5C0			BM4C13	BM4C12	BM4C11	BM4C10	BM4C9	BM4C8	BM4C7	BM4C6	BM4C5	BM4C4	BM4C3	BM4C2	BM4C1	BM4C0	
40 4C	12-3			BM7C13	BM7C12	BM7C11	BM7C10	BM7C9	BM7C8	BM7C7	BM7C6	BM7C5	BM7C4	BM7C3	BM7C2	BM7C1	BM7C0			BM6C13	BM6C12	BM6C11	BM6C10	BM6C9	BM6C8	BM6C7	BM6C6	BM6C5	BM6C4	BM6C3	BM6C2	BM6C1	BM6C0	
40 50	12-4			BM9C13	BM9C12	BM9C11	BM9C10	BM9C9	BM9C8	BM9C7	BM9C6	BM9C5	BM9C4	BM9C3	BM9C2	BM9C1	BM9C0			BM8C13	BM8C12	BM8C11	BM8C10	BM8C9	BM8C8	BM8C7	BM8C6	BM8C5	BM8C4	BM8C3	BM8C2	BM8C1	BM8C0	
40 54	12-5			BMBC13	BMBC12	BMBC11	BMBC10	BMBC9	BMBC8	BMBC7	BMBC6	BMBC5	BMBC4	BMBC3	BMBC2	BMBC1	BMBC0			BMAC13	BMAC12	BMAC11	BMAC10	BMAC9	BMAC8	BMAC7	BMAC6	BMAC5	BMAC4	BMAC3	BMAC2	BMAC1	BMAC0	
40 58	12-6			BMDC13	BMDC12	BMDC11	BMDC10	BMDC9	BMDC8	BMDC7	BMDC6	BMDC5	BMDC4	BMDC3	BMDC2	BMDC1	BMDC0			BMCC13	BMCC12	BMCC11	BMCC10	BMCC9	BMCC8	BMCC7	BMCC6	BMCC5	BMCC4	BMCC3	BMCC2	BMCC1	BMCC0	
40 5C	12-7			BMFC13	BMFC12	BMFC11	BMFC10	BMFC9	BMFC8	BMFC7	BMFC6	BMFC5	BMFC4	BMFC3	BMFC2	BMFC1	BMFC0			BMEC13	BMEC12	BMEC11	BMEC10	BMEC9	BMEC8	BMEC7	BMEC6	BMEC5	BMEC4	BMEC3	BMEC2	BMEC1	BMEC0	
40 60	13								VHE	HE					IHX	IVX														OHX	OBX	OCX	入出力端子制御 [MOSD_IOTC]
40 64	14-0						DYE10	DYE9	DYE8	DYE7	DYE6	DYE5	DYE4	DYE3	DYE2	DYE1	DYE0						DYS10	DYS9	DYS8	DYS7	DYS6	DYS5	DYS4	DYS3	DYS2	DYS1	DYS0	表示期間制御 1 [MOSD_CDP1]
40 68	14-1					DXE11	DXE10	DXE9	DXE8	DXE7	DXE6	DXE5	DXE4	DXE3	DXE2	DXE1	DXE0					DXS11	DXS10	DXS9	DXS8	DXS7	DXS6	DXS5	DXS4	DXS3	DXS2	DXS1	DXS0	表示期間制御 2 [MOSD_CDP2]
40 6C	15																					FIF	LIF	VIF							FIE	LIE	VIE	割込み制御 [MOSD_INTC]
40 70	15-0	B1H7	B1H6	B1H5	B1H4	B1H3	B1H2	B1H1	B1H0	B1S7	B1S6	B1S5	B1S4	B1S3	B1S2	B1S1	B1S0	B0H7	B0H6	B0H5	B0H4	B0H3	B0H2	B0H1	B0H0	B0S7	B0S6	B0S5	B0S4	B0S3	B0S2	B0S1	B0S0	
40 74	15-1	B3H7	B3H6	B3H5	B3H4	B3H3	B3H2	B3H1	B3H0	B3S7	B3S6	B3S5	B3S4	B3S3	B3S2	B3S1	B3S0	B2H7	B2H6	B2H5	B2H4	B2H3	B2H2	B2H1	B2H0	B2S7	B2S6	B2S5	B2S4	B2S3	B2S2	B2S1	B2S0	影付背景枠色制御 [MOSD_SBC0 ～ MOSD_SBC3]
40 78	15-2	B5H7	B5H6	B5H5	B5H4	B5H3	B5H2	B5H1	B5H0	B5S7	B5S6	B5S5	B5S4	B5S3	B5S2	B5S1	B5S0	B4H7	B4H6	B4H5	B4H4	B4H3	B4H2	B4H1	B4H0	B4S7	B4S6	B4S5	B4S4	B4S3	B4S2	B4S1	B4S0	
40 7C	15-3	B7H7	B7H6	B7H5	B7H4	B7H3	B7H2	B7H1	B7H0	B7S7	B7S6	B7S5	B7S4	B7S3	B7S2	B7S1	B7S0	B6H7	B6H6	B6H5	B6H4	B6H3	B6H2	B6H1	B6H0	B6S7	B6S6	B6S5	B6S4	B6S3	B6S2	B6S1	B6S0	

42 00	16-0	PL01R4	PL01R3	PL01R2	PL01R1	PL01R0	PL01G5	PL01G4	PL01G3	PL01G2	PL01G1	PL01G0	PL01B4	PL01B3	PL01R2	PL01B1	PL01B0	PL00R4	PL00R3	PL00R2	PL00R1	PL00R0	PL00G5	PL00G4	PL00G3	PL00G2	PL00G1	PL00G0	PL00B4	PL00B3	PL00B2	PL00B1	PL00B0	パレット制御 [MOSD_PL0 ～ MOSD_PL127]
～	～																																	
43 FC	16-127	PLFFR4	PLFFR3	PLFFR2	PLFFR1	PLFFR0	PLFFG5	PLFFG4	PLFFG3	PLFFG2	PLFFG1	PLFFG0	PLFFB4	PLFFB3	PLFFB2	PLFFB1	PLFFB0	PLFER4	PLFER3	PLFER2	PLFER1	PLFER0	PLFEG5	PLFEG4	PLFEG3	PLFEG2	PLFEG1	PLFEG0	PLFEB4	PLFEB3	PLFEB2	PLFEB1	PLFEB0	

44 00	17											SUBEN	OSDEN			DGO	ANO								OSDR				DCK				DPD	OSDC 動作制御 [MOSD_OSDC]
44 04	18			DHRSA	DCO	DKA11	DKA10	DKA9	DKA8	DKA7	DKA6	DKA5	DKA4	DKA3	DKA2	DKA1	DKA0	VCOA	VSLA2	VSLA1	VSLA0			CPEA	PDEA				DAP4	DAP3	DAP2	DAP1	DAP0	PLL クロック制御 [MOSD_PLLC]

< 注意事項 >

- リセット入力により , 画面出力制御の SDS, UDS, PDS, DSP 各ビット , 割込み制御の FIF, LIF, VIF, FIE, LIE, VIE 各ビット , 入出力端子制御の OHX, OBX, OCX ビット , OSDC 動作制御の SUBEN, OSDEN, DGO, ANO, OSDR, DCK, DPD ビットは "0" に初期化されます。その他のレジスタビット , および VRAM 内容は不定です。リセット期間中は , R[4:0], G[5:0], B[4:0], VOB, VOA[2:0] の端子出力は Low となります。
- リセット入力後は, すべてのレジスタビットおよび全VRAM (文字データおよび行制御データ) の設定を行ってください。
- 空白は予約ビットです。コマンド発行する際には必ず "0" を設定願います。
- OSDC の各コマンド (レジスタ) への CPU からのアクセスはワードアクセス (32bit アクセス) のみ対応しております。また , バーストアクセスには対応しておりません。
- SUB画面の表示制御コマンドを発行する場合, コマンド17 (OSDC動作制御) のSUBEN (SUB 動作 ENABLE) のビットを 1 (SUB 動作 ON) に設定しておく必要があります。(SUBEN のビットが 0 の場合 , SUB_OSDC の表示制御コマンドは発行しないでください。)
- OSDC 正常表示動作中において , コマンド 17, コマンド 18 の設定変更を行った場合 , そのコマンド変更時におけるOSDC動作およびOSDCに関連する動作は保証できません。

30.4.2 VRAM 書込みアドレス設定 (コマンド 0)

コマンド 0 は , VRAM の書込みアドレスの設定 , および VRAM フィルの指定をするコマンドです。

■ コマンド 0 (VRAM 書込みアドレス設定)

アドレス : 4000_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_VADR]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
															FL

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			AY4	AY3	AY2	AY1	AY0			AX5	AX4	AX3	AX2	AX1	AX0

FL : VRAM フィル指定

(0 : OFF, 1:ON)

AY4-AY0 : 行アドレス (00_H ～ $1F_H$)

AX5-AX0 : 列アドレス (00_H ～ $3B_H$)

● 機能

VRAM の書込みアドレスの設定 , および VRAM フィルの指定を行います。

文字データ設定 (コマンド 1, 2 発行) 前の行／列アドレス設定と , 行制御データ設定 (コマンド 3, 4 発行) 前の行アドレス設定を行います。

VRAM フィルは文字データ設定 2 (コマンド 2) の実行により起動します。

● 補足説明

- 通常の書込み (1 文字データ , または 1 行制御データの書込み) では , VRAM フィル指定を OFF (FL=0) 設定としてください。
- 本コマンド発行により設定した VRAM 書込みアドレスは , 文字データ設定 2 (コマンド 2) の実行後に自動的にインクリメントされます
(最終列の次は次行先頭列へ , 最終行最終列の次は先頭行先頭列へインクリメントされます) 。
- VRAM フィル機能とは , コマンド 0 で指定した行・列アドレスから , 最終行 (32 行)・最終列 (60 列) までの文字 VRAM に , 文字データ設定 1, 2 (コマンド 1, 2) で指定した同一文字データを設定する機能です。VRAM フィルは , 文字データ設定 2 (コマンド 2) の発行により起動します。

実行終了後は VRAM フィル割込みの発生が可能です。
VRAM フィル実行中は , コマンド 1 ～ 4 の発行を行わないでください。

< 注意事項 >

- 行制御データ設定 (コマンド 3, 4 発行) 時は , 列アドレス (AX5-AX0) は無視されます。また , 行制御データ設定後に自動アドレスインクリメントは行いません。
- VRAM フィル指定は , 文字データ設定 (コマンド 1, 2) 時にのみ有効です。

30.4.3 文字データ設定 (コマンド 1・コマンド 2)

コマンド 1 で文字データを設定し , コマンド 2 を実行することによって VRAM 設定を行い , 画面上に反映します。

■ コマンド 1 (文字データ設定 1)

アドレス : 4004_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_CDS1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSC2	MSC1	MSC0	MIT	MUL	MBL	MBB	MU	MD		MS1	MS0	MM2	MM1	MM0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0

MSC2, MSC1, MSC0 : 文字影付背景枠色種選択制御

(0 ～ 7 種)

MIT : イタリック制御

(0: イタリック OFF)

(1: イタリック ON)

MBL, MBB : ブリンク制御

(0, 0: ブリンク OFF)

(0, 1: 文字背景ブリンク ON)

(1, 0: 文字 , ふちどりブリンク ON)

(1, 1: 文字 , ふちどり , 文字背景ブリンク ON)

MUL : アンダーライン制御

(0: アンダーライン OFF)

(1: アンダーライン ON)

MU : 文字影付背景枠上消去制御

(0: 文字影付背景枠上 ON)

(1: 文字影付背景枠上 OFF)

MD : 文字影付背景枠下消去制御

(0: 文字影付背景枠下 ON)

(1: 文字影付背景枠下 OFF)

MS1, MS0 : 文字水平サイズ制御
(0, 0 : 16 ドット)
(0, 1 : 24 ドット)
(1, 0 : 32 ドット)
(1, 1 : 設定禁止)

MM2, MM1, MMO ：文字背景制御
(0, 0, 0: OFF)
(0, 0, 1: ベタ表示)
(0, 1, 0: 影付凹表示 (ベタ))
(0, 1, 1: 影付凸表示 (ベタ))
(1, 0, 0: 背景文字表示)
(1, 0, 1: 設定禁止)
(1, 1, 0: 影付凹表示 (背景文字))
(1, 1, 1: 影付凸表示 (背景文字))

MB7-MB0 ：文字背景色
(256 色)

MC7-MC0 ：文字色
(256 色)

● 機能

文字データを設定します。文字データ設定 2 (コマンド 2) を実行することにより , VRAM 設定を行い , 画面上に反映します。

● 補足説明

- 文字色 , 文字背景色 , 文字背景表示 , 文字水平サイズ , イタリック表示 , アンダーライン表示 , ブリンク表示は , それぞれ文字単位に自由に組み合わせて設定を行うことができます。
- 影付背景表示は , MU, MD ビット , 文字データ設定 2 (コマンド 2) の MR ビットの組合せにより , 上下左右の結合表示を行うことが可能です。
- 影付背景表示の枠色の設定は , 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) の BxH7-BxH0, BxS7-BxS0 ビット (x=0 ～ 7) を設定し , さらに文字影付背景枠色種選択制御の MSC2, MSC1, MSC0 ビットの設定内容にて , 影枠色種 (0 ～ 7) を選択することにより設定できます。
- ブリンク制御を ON 設定することにより , 画面出力制御 (コマンド 5-0) の BT1, BT0, BD1, BD0 ビットの設定内容に従って , ブリンク (点滅) 表示を行います。
- 背景文字表示は , 文字データ設定 2 (コマンド 2) の MBM3-MBM0 ビットの設定にて文字背景文字種 0 ～ F を選択することにより背景文字種を選択します。さらに背景文字種 0 ～ F は , 文字背景文字コード 1, 0 ～ F, E (コマンド 12-0 ～ コマンド 12-7) に文字コードを設定することにより , 任意の文字 (背景文字) を選択することができます。

■ コマンド 2 (文字データ設定 2)

アドレス： 4008_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_CDS2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								MBM3	MBM2	MBM1	MBM0		MA	MR	MG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	M0

MBM3-MBM0：文字背景文字種制御

(0_H ～ F_H：16 文字種)

MR：影付背景右文字結合制御

(0: 右結合しない)

(1: 右結合する)

M13-M0 ：文字コード

(0000_H ～ $3FFF_H$：16384 文字種)

MA：文字アルファブレンド属性制御

(0: A 属性 , 1:B 属性)

MG：文字 / グラフィック文字制御

(0: 文字 , 1: グラフィック文字)

● 機能

VRAM 書込みアドレス設定 (コマンド 0) で指定した VRAM に , 文字データ設定 1 (コマンド 1) で設定した文字データと共に本設定データを書き込みます。

本コマンド実行後に VRAM 書込みアドレスは自動インクリメントされます。

● 補足説明

- 影付背景右文字結合制御ビット (MR) は , 文字データ設定 1 (コマンド 1) の影付背景指定 (MM1=1 設定) を行った文字に対してのみ作用します。
- 文字アルファブレンド属性制御ビット (MA) は , 行制御データ設定 1 (コマンド 3) の行文字アルファブレンド属性制御 (LALCA1, LALCA0) との組み合わせにより , アルファブレンド有効無効の制御を文字単位で行うことができます。
- 文字背景文字種制御ビット (MBM3-MBM0) は , 文字データ設定 1 (コマンド 1) MM2, MM1, MM0=1, 0, 0 / 1, 1, 0 / 1, 1, 1 の場合に有効となり , MBM3-MBM0 の文字背景文字種と文字コードとの対応は , 文字背景文字コード設定 (コマンド 12-0 ～ コマンド 12-7) のレジスタにそれぞれ文字コード設定することにより , 対応を行います。

< 注意事項 >

電源投入時には , VRAM 内容は不定となりますので , 必ず表示開始前に全 VRAM データの設定を行ってください。

30.4.4 行制御データ設定 (コマンド 3・コマンド 4)

コマンド 3 で行制御データを設定し , コマンド 4 の実行によって行 VRAM 設定を行い , 画面に反映します。

■ コマンド 3 (行制御データ設定 1)

アドレス : $400C_H$

● 形式 (Write Only : 32bit Access Only)

[MOSD_LDS1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LALCA1	LALCA0	LALCM	LALEN		LAL2	LAL1	LAL0	LHS3	LHS2	LHS1	LHS0		LW2	LW1	LW0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				LFD	LFC	LFB	LFA	LF7	LF6	LF5	LF4	LF3	LF2	LF1	LF0

LALCA1, LALCA0 : 行アルファブレンド属性制御

(0, 0: アルファブレンド属性制御 OFF)

(0, 1: 文字アルファブレンド A 属性のみ有効)

(1, 0: 文字アルファブレンド B 属性のみ有効)

(1, 1: 文字アルファブレンド A/B 属性両方有効)

LALCM : 行アルファブレンド制御範囲制御

(0: 制御範囲A[文字＋ふちどり領域以外])

(1: 制御範囲 B[行全領域])

LALEN : 行アルファブレンド出力制御

(0:OFF, 1:ON)

LAL2-LAL0 : 行アルファブレンド量

(7 ～ 0 [7: 透明 <-> 0: 不透明])

LHS3-LHS0 : 行文字垂直サイズ制御

(2 ～ 32 ドット , 2 ドット単位)

LW2-LW0 : 行間隔制御

(0 ～ 14 ドット , 2 ドット単位)

LFD, LFC : ふちどり出力制御

(0, 0: 全 OFF)

(0, 1: 文字背景なし文字のみふちどり ON)

(1, 0: 文字背景なし / ベタ / 背景文字のみふちどり ON)

(1, 1: ふちどり出力 ON)

LFB, LFA : ふちどり制御

(0, 0: ふちどり OFF)

(0, 1: 全周囲ふちどり)

(1, 0: 右ふちどり)

(1, 1: 影ふちどり)

LF7-LF0 : ふちどり色

(256 色)

● 機能

行制御データを設定します。行制御データ設定 2 (コマンド 4) の実行によって行 VRAM 設定を行い , 画面に反映します。

● 補足説明

- 影ふちどり形式の設定は, 画面出力制御 (コマンド5-0) の影ふちどり形式制御 (FM1, FM0 ビット) にて行います。
- 文字垂直サイズ 2 ドット設定行に対する , 行間隔制御は禁止です。

  LW2, LW1, LW0 = 0, 0, 0 に設定 , または行制御データ設定 2 (コマンド 4) の行間隔上制御 LWUEN=0 かつ 行間隔下制御 LWDEN=0 に設定願います。

■ コマンド 4 (行制御データ設定 2)

アドレス : 4010_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_LDS2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
						LSW1	LSW0				LDS	LGY1	LGY0	LGX1	LGX0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LWUEN	LWDEN	LMUEN	LMDEN		LE	LM1	LM0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0

LSW1, LSW0：文字影付背景枠幅制御

(0, 0: 1 ドット)

(0, 1: 2 ドット)

(1, 0: 3 ドット)

(1, 1: 4 ドット)

LDS：行文字出力制御

(0:OFF, 1:ON)

LGY1, LGY0：行縦拡大制御

(0, 0: 標準)

(0, 1: 縦 2 倍)

(1, 0: 設定禁止)

(1, 1: 縦 4 倍)

LGX1, LGX0 ：行横拡大制御

(0, 0: 標準)

(0, 1: 横 2 倍)

(1, 0: 設定禁止)

(1, 1: 横 4 倍)

LWUEN：行間隔上制御

(0: 行間隔上 OFF)

(1: 行間隔上 ON)

LWDEN：行間隔下制御

(0: 行間隔下 OFF)

(1: 行間隔下 ON)

LMUEN：行影付背景枠上表示制御

(0: 行影付背景枠上 OFF)

(1: 行影付背景枠上 ON)

LMDEN：行影付背景枠下表示制御

(0: 行影付背景枠下 OFF)

(1: 行影付背景枠下 ON)

LE：文字背景拡張制御

(0: 通常 , 1: 拡張)

LM1, LM0：行背景制御

(0, 0: OFF)

(0, 1: ベタ表示)

(1, 0: 影付凹 (ベタ) 表示)

(1, 1: 影付凸 (ベタ) 表示)

LB7-LB0 ：行背景色

(256 色)

● 機能

VRAM 書込みアドレス設定 (コマンド 0) で指定した行アドレスの行 VRAM に , 行制御データ設定 1 (コマンド 3) で設定した行制御データと共にこの設定データを書込みます。

< 注意事項 >

- 電源投入時には , VRAM 内容は不定となりますので , 必ず表示開始前に全 VRAM データの設定を行ってください。
- このコマンド発行による , VRAM 書込みアドレスの自動インクリメントは行われません。行制御データを設定する行ごとに , VRAM 書込みアドレス設定 (コマンド 0) が必要です。
- 行背景制御での影付凹凸表示の枠色の設定は , 影付背景枠色制御 (コマンド 15-0) の B0H7-B0H0, B0S7-B0S0 ビットの設定値となります。また , 行の影付枠幅は文字影付背景枠幅制御 (LSW1, LSW0) の設定によらず 2 ドットのみとなります。

30.4.5 画面出力制御 (コマンド 5-0)

コマンド 5-0 は , 画面表示出力を制御するコマンドです。

■ コマンド 5-0 (画面出力制御)

アドレス : 4014_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_SCOC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
						FM1	FM0	BT1	BT0	BD1	BD0				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			SALCC				WE	SDS	UDS	PDS	DSP				

FM1 : 影ふちどり形式制御

(0: 右下)

(1: 右下 + 右)

FM0 : ふちどりドット数制御

(0: 1 ドット)

(1: 2 ドット)

BT1, BT0 : ブリンク周期制御

(0, 0: 16Vsync)

(0, 1: 32Vsync)

(1, 0: 48Vsync)

(1, 1: 64Vsync)

BD1, BD0 : ブリンクデューティ制御

(0, 0: 点 : 滅 = 1 : 0 常に表示)

(0, 1: 点 : 滅 = 1 : 1)

(1, 0: 点 : 滅 = 1 : 3)

(1, 1: 点 : 滅 = 3 : 1)

SALCC : アルファブレンド属性無効量制御

(0: アルファブレンド量 0[不透明] 固定)

(1: アルファブレンド量 7[透明] 固定)

WE : ウィンドウ機能制御

(0:OFF, 1:ON)

SDS : スプライト 文字出力制御

(0:OFF, 1:ON)

UDS : 画面背景出力制御

(0:OFF, 1:ON)

PDS : 画面背景文字出力制御

(0:OFF, 1:ON)

DSP : 表示出力制御

(文字 + 文字背景 + 行背景の制御)

(0:OFF, 1:ON)

● 機能

画面表示出力の制御を行います。

● 補足説明

- リセット後の SDS, UDS, PDS, DSP の初期値は "0" となります。

- ブリンク周期制御およびブリンクデューティ制御は, 文字データ設定 1 (コマンド 1) でブリンク制御指定 (MBL, MBB=0, 1/1, 0 /1, 1 設定) を行った文字, 文字背景に対し制御を行います。また , スプライト文字制御 1 (コマンド 9-0) でスプライト文字ブリンク制御指定 (SBL=1 設定) を行うと , スプライト文字に対しても制御を行います。
- ウィンドウ機能制御はスプライト文字には影響しません。

30.4.6 画面表示位置制御 (コマンド 5-1)

コマンド 5-1 は画面の水平・垂直表示位置を制御するコマンドです。

■ コマンド 5-1 (画面表示位置制御)

アドレス： 4018_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_HVDP]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					X10	X9	X8	X7	X6	X5	X4	X3	X2	X1	X0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0

X10-X0：水平表示位置制御
(0 ～ 2047, 1 ドット単位)

Y10-Y0 ：垂直表示位置制御
(0 ～ 2047, 1 ドット単位)

● 機能

MAIN 画面の水平表示位置および垂直表示位置の制御を行います。

30.4.7 透明色制御 (コマンド 6-0)

コマンド 6-0 は , 透明色を制御するコマンドです。

■ コマンド 6-0 (透明色制御)

アドレス : $401C_H$

● 形式 (Write Only : 32bit Access Only)

[MOSD_TSBC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							TCC	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0

TCC : 透明色制御 (0:OFF , 1:ON)

TC7-TC0 : 透明色コード (256 色)

● 機能

透明色制御を行います。

● 補足説明

- 透明色コード (TC7-TC0) に任意色コードを設定し , かつ透明色制御 ON (TCC=1) 設定を行うことにより , 任意の色表示部分を非表示とすることができます。その任意色部分は下位層の表示出力を行います。

< 注意事項 >

VOA2-VOA0 端子からのアルファブレンド量信号も , 透明設定における非表示部分は , 下位層の表示出力に対するアルファブレンド量信号となります。

30.4.8 グラフィック色制御 (コマンド 6-1)

コマンド 6-1 は , グラフィック文字の任意指定色を文字色 , またはふちどり色に置換表示するコマンドです。

■ コマンド 6-1 (グラフィック色制御)

アドレス : 4020_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_GRCC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							GFC	GF7	GF6	GF5	GF4	GF3	GF2	GF1	GF0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							GCC	GC7	GC6	GC5	GC4	GC3	GC2	GC1	GC0

GFC : グラフィック色ふちどり色置換制御 (0:OFF , 1:ON)

GCC : グラフィック色文字色置換制御 (0:OFF , 1:ON)

GF7-GF0 : ふちどり色置換色コード (256 色)

GC7-GC0 : 文字色置換色コード (256 色)

● 機能

グラフィック文字内の任意色を , 文字色 , またはふちどり色に置換表示します。

● 補足説明

- GFC=1 設定によりグラフィック文字内の任意色 (GF7-GF0 ビット指定色) を , 行制御データ設定 1 (コマンド 3) で設定したふちどり色 (LF7 ～ LF0) 内容に置換します。
- GCC=1 設定によりグラフィック文字内の任意色 (GC7-GC0 ビット指定色) を , 文字データ設定 1 (コマンド 1) で設定した文字色 (MC7 ～ MC0) 内容に置換します。
- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色ふちどり色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , ふちどり色置換が優先されます。
- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換するふちどり色コード (行制御データ設定 1 (コマンド 3) のふちどり色 (LF7 ～ LF0)) と透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 透明色となり , 下位層色が表示されます。

- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色文字色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 文字色置換が優先されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換する文字色コード (文字データ設定 1 (コマンド 1) の文字色 (MC7 ～ MC0)) と透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 透明色となり , 下位層色が表示されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつグラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) の場合 , 文字色置換色コード (GC7-GC0 ビット) 設定内容とふちどり色置換色コード (GF7-GF0 ビット) 設定内容は , 異なる色コードを設定してください。

< 注意事項 >

このコマンド設定は , MAIN 画面のグラフィック文字の色表示にのみ適用されます。スプライト文字および画面背景文字ドット色には影響を与えません。

30.4.9 画面背景文字制御 (コマンド 7)

コマンド 7 は , 画面背景文字を制御するコマンドです。

■ コマンド 7 (画面背景文字制御)

アドレス : 4024_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_SBCC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					PH2	PH1	PH0							PD1	PD0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PM13	PM12	PM11	PM10	PM9	PM8	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0

PH2-PH0 : 画面背景文字垂直サイズ 制御
(18 ～ 32 ドット , 2 ドット単位)

PM13-PM0 : 画面背景文字コード
(0000_H ～ $3FF8_H$: 2048 文字種)

PD1, PD0 : 画面背景文字構成制御
(0, 0 : 1 文字)
(0, 1 : 横 2 文字)
(1, 0 : 縦 2 文字)
(1, 1 : 縦 2 ×横 2 文字)

● 機能

画面背景文字の制御を行います。

● 補足説明

- 画面出力制御 (コマンド 5-0) の画面背景文字出力制御を ON (PDS=1) 設定することにより , 画面背景文字表示を行います。

< 注意事項 >

- 画面背景文字はグラフィック文字表示のみ可能です。
- 画面背景文字のグラフィック色については , グラフィック色制御 (コマンド 6-1) のグラフィック色ふちどり色置換制御 , およびグラフィック色文字色置換制御はできません。
- 画面背景文字動作制御により表示制御を停止する際には , 画面出力制御 (コマンド 5-0) の画面背景文字出力制御を OFF に設定 (PDS=0) してください。

30.4.10 画面背景制御 (コマンド 8-0)

コマンド 8-0 は , 画面背景色およびウィンドウ画面を制御するコマンドです。

■ コマンド 8-0 (画面背景制御)

アドレス : 4028_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_SCBC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										UWBV	UWBH			UW1	UW0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			UALEN		UAL2	UAL1	UAL0	U7	U6	U5	U4	U3	U2	U1	U0

UWBV, UWBH : ウィンドウ・ボーダー幅制御

(0, 0 : 垂直 2 ドット , 水平 2 ドット)

(0, 1 : 垂直 2 ドット , 水平 4 ドット)

(1, 0 : 垂直 4 ドット , 水平 2 ドット)

(1, 1 : 垂直 4 ドット , 水平 4 ドット)

UALEN : 画面背景アルファブレンド制御

(0:OFF , 1:ON)

U7-U0 : 画面背景色

(256 色)

UW1, UW0 : ウィンドウ背景モード制御

(0, 0 : ウィンドウ内背景)

(0, 1 : ウィンドウ外背景)

(1, 0 : ウィンドウ内外背景)

(1, 1 : ウィンドウ・ボーダー背景)

UAL2-UAL0 : 画面背景アルファブレンド量

(7 ～ 0 [7: 透明 <-> 0: 不透明])

● 機能

画面背景の制御を行います。

● 補足説明

- 画面出力制御 (コマンド 5-0) の画面背景出力制御を ON (UDS=1) 設定することにより , 画面背景色を表示します。
- 画面出力制御 (コマンド 5-0) のウィンドウ機能制御を ON (WE=1) 設定することにより , ウィンドウに関する機能 (UWBV, UWBH, UW1, UW0) が有効となります。

30.4.11 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2)

コマンド 8-1, およびコマンド 8-2 は , ウィンドウ期間を制御するコマンドです。

■ コマンド 8-1 (ウィンドウ期間制御 1)

アドレス： $402C_H$

● 形式 (Write Only : 32bit Access Only)

[MOSD_WPC1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					WYE10	WYE9	WYE8	WYE7	WYE6	WYE5	WYE4	WYE3	WYE2	WYE1	WYE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					WYS10	WYS9	WYS8	WYS7	WYS6	WYS5	WYS4	WYS3	WYS2	WYS1	WYS0

WYE10-WYE0：ウィンドウ垂直期間終了制御

(0 ～ 2047, 1 ドット単位)

WYS10-WYS0：ウィンドウ垂直期間開始制御

(0 ～ 2047, 1 ドット単位)

● 機能

ウィンドウ期間における垂直方向の表示開始・終了タイミングを制御します。

● 補足説明

- 画面出力制御 (コマンド5-0) のウィンドウ機能制御をON (WE=1) 設定することにより , 有効となります。

■ コマンド 8-2 (ウィンドウ期間制御 2)

アドレス： 4030_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_WPC2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				WXE11	WXE10	WXE9	WXE8	WXE7	WXE6	WXE5	WXE4	WXE3	WXE2	WXE1	WXE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				WXS11	WXS10	WXS9	WXS8	WXS7	WXS6	WXS5	WXS4	WXS3	WXS2	WXS1	WXS0

WXE11-WXE0：ウィンドウ水平期間終了制御

(0 ～ 4095, 1 ドット単位)

WXS11-WXS0：ウィンドウ水平期間開始制御

(0 ～ 4095, 1 ドット単位)

● 機能

ウィンドウ期間における水平方向の表示開始・終了タイミングを制御します。

● 補足説明

画面出力制御 (コマンド 5-0) のウィンドウ機能制御を ON (WE=1) 設定することにより , 有効となります。

30.4.12 スプライト文字制御 (コマンド 9-0・コマンド 9-1)

コマンド 9-0, およびコマンド 9-1 は , スプライト文字を制御するコマンドです。

■ コマンド 9-0 (スプライト文字制御 1)

アドレス : 4034_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_SPC1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			SBL		SH2	SH1	SH0							SD1	SD0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		SM13	SM12	SM11	SM10	SM9	SM8	SM7	SM6	SM5	SM4	SM3	SM2	SM1	SM0

SBL : スプライト文字ブリンク制御
(0 : OFF, 1 : ON)

SD1, SD0 : スプライト文字構成制御
(0, 0 : 1 文字)
(0, 1 : 横 2 文字)
(1, 0 : 縦 2 文字)
(1, 1 : 縦 2 ×横 2 文字)

SH2-SH0 : スプライト文字垂直サイズ制御
(18 ～ 32 ドット , 2 ドット単位)

SM13-SM0 : スプライト文字コード
(0000_H ～ $3FF8_H$: 2048 文字種)

● 機能

スプライト文字の制御を行います。

● 補足説明

- 画面出力制御 1 (コマンド 5-0) のスプライト文字出力制御を ON (SDS=1) 設定することにより , スプライト文字を表示します。
- スプライト文字のブリンク周期, ブリンクデューティ比は, 画面出力制御 (コマンド 5-0) の BT1, BT0, BD1, BD0 ビットの設定にて制御します。

< 注意事項 >

- スプライト文字はグラフィック文字表示のみ可能です。
- スプライト文字のグラフィック色については , グラフィック色制御 (コマンド 6-1) のグラフィック色ふちどり色置換制御 , およびグラフィック色文字色置換制御はできません。
- スプライト動作制御により表示制御を停止する際には, 画面出力制御 (コマンド5-0) のスプライト文字出力制御を OFF に設定 (SDS=0) してください。

■ コマンド 9-1 (スプライト文字制御 2)

アドレス : 4038_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_SPC2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				SX11	SX10	SX9	SX8	SX7	SX6	SX5	SX4	SX3	SX2	SX1	SX0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					SY10	SY9	SY8	SY7	SY6	SY5	SY4	SY3	SY2	SY1	SY0

SX11-SX0 : スプライト文字水平表示位置制御

(0 ～ 4095, 1 ドット単位)

SY10-SY0 : スプライト文字垂直表示位置制御

(0 ～ 2047, 1 ドット単位)

● 機能

スプライト文字の水平および垂直表示位置制御を行います。

● 補足説明

スプライト文字制御 1 (コマンド 9-0) の補足説明を参照してください。

30.4.13 同期制御 (コマンド 11)

コマンド 11 は , 同期表示を制御するコマンドです。

■ コマンド 11 (同期制御)

アドレス : $403C_H$

● 形式 (Write Only : 32bit Access Only)

[MOSD_SYNC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										VOF5	VOF4	VOF3	VOF2	VOF1	VOF0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IN		FC				

VOF5-VOF0 : 垂直表示開始オフセット

(0 ～ 63Hsync)

IN : 同期制御

(0 : インタレース)

(1 : ノンインタレース (プログレッシブ))

FC : フィールド補正制御

(0 : 補正なし , 1 : 補正あり)

● 機能

垂直表示開始オフセット位置の設定およびインタレース／ノンインタレースの制御を行います。

● 補足説明

- フィールド補正制御 (FC) は , インタレース表示 (IN=0) 時のみ有効となります。

30.4.14 文字背景文字コード設定 (コマンド 12-0 ～コマンド 12-7)

コマンド 12-0 ～コマンド 12-7 は , 文字背景文字コードを設定するコマンドです。

■ コマンド 12-0 ～コマンド 12-7 (文字背景文字コード設定)

アドレス： 以下の表参照

● 形式 (Write Only : 32bit Access Only)

[MOSD_CBC0 ～ MOSD_CBC7]

アドレス	コマンド No.	データ			
		31 ～ 30	29 ～ 16	15 ～ 14	13 ～ 0
4040	12-0	0, 0	BM1C13 – BM1C0	0, 0	BM0C13 – BM0C0
4044	12-1	0, 0	BM3C13 – BM3C0	0, 0	BM2C13 – BM2C0
4048	12-2	0, 0	BM5C13 – BM5C0	0, 0	BM4C13 – BM4C0
404C	12-3	0, 0	BM7C13 – BM7C0	0, 0	BM6C13 – BM6C0
4050	12-4	0, 0	BM9C13 – BM9C0	0, 0	BM8C13 – BM8C0
4054	12-5	0, 0	BMBC13 – BMBC0	0, 0	BMAC13 – BMAC0
4058	12-6	0, 0	BMDC13 – BMDC0	0, 0	BMCC13 – BMCC0
405C	12-7	0, 0	BMFC13 – BMFC0	0, 0	BMEC13 – BMEC0

BMxC13 - BMxC0 ： 文字背景文字コード 14bit (0000_H ～ $3FFF_H$: 16384 文字種)

(x => 文字背景文字種 : 0 ～ F [16 種類])

● 機能

文字背景文字の文字コードを設定します。

● 補足説明

- 文字背景文字コード (BMxC13-BMxC0) は , コマンド 2 (文字データ設定 2) の MBM3-MBM0 (文字背景文字種制御) の 16 種設定に対する , 実際の文字背景文字コードとの対応を行います。

30.4.15 入出力端子制御 (コマンド 13)

コマンド 13 は , 入出力端子を制御するコマンドです。

■ コマンド 13 (入出力端子制御)

アドレス : 4060_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_IOTC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							VHE	HE					IHX	IVX	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													OHX	OBX	OCX

VHE : 垂直同期検出 HSYNC エッジ選択 (0 : 前縁 , 1 : 後縁)

HE : 水平同期動作エッジ選択 (0 : 後縁 , 1 : 前縁)

IHX : 水平同期信号入力論理制御 (0 : 負論理 , 1 : 正論理)

IVX : 垂直同期信号入力論理制御 (0 : 負論理 , 1 : 正論理)

OHX : アルファブレンド量信号出力論理制御 (0 : 正論理 , 1 : 負論理)

OBX : 表示出力期間信号出力論理制御 (0 : 正論理 , 1 : 負論理)

OCX : 表示色信号出力論理制御 (0 : 正論理 , 1 : 負論理)

● 機能

入出力端子の制御を行います。

● 補足説明

- リセット後の OHX, OBX, OCX の初期値は "0" となります。
- 垂直同期検出 HSYNC エッジ選択 (VHE) 設定により , 垂直同期信号と水平同期信号の入力位相タイミングによる , 垂直方向ブレ現象の発生を回避することができます。詳細は「30.3.2.1 垂直同期制御」を参照してください。

< 注意事項 >

- 「OCX：表示色信号出力論理制御」は , OSDC アナログ出力レベルも反転制御します。
- 基本的に HE：水平同期動作エッジ選択は "1: 前縁 " に設定してください。
  "0：後縁 " に設定した場合 , スプライト文字 , 画面背景文字 , 文字背景文字が使用できません。

30.4.16 表示期間制御 (コマンド 14-0・コマンド 14-1)

コマンド 14-0, およびコマンド 14-1 は , 表示期間を制御するコマンドです。

■ コマンド 14-0 (表示期間制御 1)

アドレス : 4064_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_CDP1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					DYE10	DYE9	DYE8	DYE7	DYE6	DYE5	DYE4	DYE3	DYE2	DYE1	DYE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					DYS10	DYS9	DYS8	DYS7	DYS6	DYS5	DYS4	DYS3	DYS2	DYS1	DYS0

DYE10-DYE0 : 垂直方向表示終了制御

(0 ～ 2047, 1Hsync 単位)

DYS10-DYS0 : 垂直方向表示開始制御

(0 ～ 2047, 1Hsync 単位)

● 機能

垂直方向の表示開始および終了タイミングを制御します。

※ ブランキング処理に必要ですので , 必ず設定願います。

■ コマンド 14-1 (表示期間制御 2)

アドレス： 4068_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_CDP2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				DXE11	DXE10	DXE9	DXE8	DXE7	DXE6	DXE5	DXE4	DXE3	DXE2	DXE1	DXE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				DXS11	DXS10	DXS9	DXS8	DXS7	DXS6	DXS5	DXS4	DXS3	DXS2	DXS1	DXS0

DXE11-DXE0：水平方向表示終了制御

(0 ～ 4095, 1 ドット単位)

DXS11-DXS0：水平方向表示開始制御

(0 ～ 4095, 1 ドット単位)

● 機能

水平方向の表示開始および終了タイミングを制御します。

※ブランキング処理に必要ですので , 必ず設定願います。

30.4.17 割込み制御 (コマンド 15)

コマンド 15 は割込みを制御するコマンドです。

■ コマンド 15 (割込み制御)

アドレス : $406C_H$

● 形式 (Write/Read : 32bit Access Only)

[MOSD_INTC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					FIF	LIF	VIF						FIE	LIE	VIE

FIF : VRAM フィル終了検出フラグ

(0 : VRAM フィル終了検出なし , 1 : VRAM フィル終了検出あり)

LIF : 行表示終了検出フラグ

(0 : 行表示終了検出なし , 1 : 行表示終了検出あり)

VIF : VSYNC 検出フラグ

(0 : VSYNC 検出なし , 1 : VSYNC 検出あり)

FIE : VRAM フィル終了検出割込み制御

(0 : 割込みを禁止 , 1 : 割込みを許可)

LIE : 行表示終了検出割込み制御

(0 : 割込みを禁止 , 1 : 割込みを許可)

VIE : VSYNC 検出割込み制御

(0 : 割込みを禁止 , 1 : 割込みを許可)

● 機能

割込み制御を行います。

各割り込みおよび割り込み検出フラグを有効とするためには, 各割り込み制御 (FIE, LIE, VIE) を "1" に設定する必要があります。

そのうえで FIF, LIF, VIF は , 割り込み要因が発生した場合に "1" が設定されます。("1" 書込みは無効となります。)

一度セットされたフラグをクリアするには "0" を書込みます。

● 補足説明

- リセット後の FIF, LIF, VIF, FIE, LIE, VIE の初期値は "0" となります。
- 空きビットのリード値は常に "0" となります。
- LIF (行表示終了検出フラグ) の割込みを発生させる為には, コマンド 4 (行制御データ設定 2) の行間隔下制御 "LWDEN" を "1" に設定する必要があります。

30.4.18 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3)

コマンド 15-0 ～コマンド 15-3 は , 影付背景の枠色を制御するコマンドです。

■ コマンド 15-0 ～コマンド 15-3 (影付背景枠色制御)

アドレス : 以下の表参照

● 形式 (Write Only : 32bit Access Only)

[MOSD_SBC0 ～ MOSD_SBC3]

アドレス	コマンド No.	データ			
		31 ～ 24	23 ～ 16	15 ～ 8	7 ～ 0
4070	15-0	B1H7 – B1H0	B1S7 – B1S0	B0H7 – B0H0	B0S7 – B0S0
4074	15-1	B3H7 – B3H0	B3S7 – B3S0	B2H7 – B2H0	B2S7 – B2S0
4078	15-2	B5H7 – B5H0	B5S7 – B5S0	B4H7 – B4H0	B4S7 – B4S0
407C	15-3	B7H7 – B7H0	B7S7 – B7S0	B6H7 – B6H0	B6S7 – B6S0

BxH7-BxH0 : 影付背景枠ハイライト 色 (256 色)　　BxS7-BxS0 : 影付背景枠シャドウ色 (256 色)

(x => 文字影付背景枠色種 [MSC2, MSC1, MSC0] 設定値 : 0 ～ 7 種 [ハイライト色 / シャドウ色組にて 8 種])

● 機能

影付背景枠色の制御を行います。

● 補足説明

- 文字データ設定 1 (コマンド 1) で影付文字背景指定 (MM1=1 設定) した文字における , 文字影付背景枠色種指定 (MSC2, MSC1, MSC0=>0 ～ 7 種) に対する , 影付背景の枠色を設定します。
- 行制御データ設定 2 (コマンド 4) で影付行背景指定 (LM1=1 設定) をした行においては , B0H7–B0H0, B0S7–B0S0 に設定した影付背景枠色となります。
- 表 30.4-2 に , 影付背景枠ハイライト色およびシャドウ色の表示部位を示します。

表 30.4-2 影付背景枠ハイライト色およびシャドウ色の表示部位

	文字背景		行背景	
	影付背景凹表示	影付背景凸表示	影付背景凹表示	影付背景凸表示
影付背景枠ハイライト色	下辺 , 右辺	上辺 , 左辺	下辺	上辺
影付背景枠シャドウ色	上辺 , 左辺	下辺 , 右辺	上辺	下辺

< 注意事項 >

行背景における影付背景枠色種は , B0H7–B0H0, B0S7–B0S0 の設定値となり , 文字影付背景における文字影付背景枠色種 MSC2, MSC1, MSC0=0, 0, 0 設定 (0 種) と共通になります。

30.4.19 パレット制御 (コマンド 16-0 ～コマンド 16-127)

コマンド 16-0 ～コマンド 16-127 は , パレット値を制御するコマンドです。

■ コマンド 16-0 ～コマンド 16-127 (パレット制御)

アドレス： 以下の表参照

● 形式 (Write Only : 32bit Access Only)

[MOSD_PL0 ～ MOSD_PL127]

アドレス	コマンド No.	データ					
		31 ～ 27	26 ～ 21	20 ～ 16	15 ～ 11	10 ～ 5	4 ～ 0
4200	16-0	PL01R4-PL01R0	PL01G5-PL01G0	PL01B4-PL01B0	PL00R4-PL00R0	PL00G5-PL00G0	PL00B4-PL00B0
4204	16-1	PL03R4-PL03R0	PL03G5-PL03G0	PL03B4-PL03B0	PL02R4-PL02R0	PL02G5-PL02G0	PL02B4-PL02B0
4208	16-2	PL05R4-PL05R0	PL05G5-PL05G0	PL05B4-PL05B0	PL04R4-PL04R0	PL04G5-PL04G0	PL04B4-PL04B0
420C	16-3	PL07R4-PL07R0	PL07G5-PL07G0	PL07B4-PL07B0	PL06R4-PL06R0	PL06G5-PL06G0	PL06B4-PL06B0
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
42FC	16-63	PL7FR4-PL7FR0	PL7FG5-PL7FG0	PL7FB4-PL7FB0	PL7ER4-PL7ER0	PL7EG5-PL7EG0	PL7EB4-PL7EB0
4300	16-64	PL81R4-PL81R0	PL81G5-PL81G0	PL81B4-PL81B0	PL80R4-PL80R0	PL80G5-PL80G0	PL80B4-PL80B0
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
43F0	16-124	PLF9R4-PLF9R0	PLF9G5-PLF9G0	PLF9B4-PLF9B0	PLF8R4-PLF8R0	PLF8G5-PLF8G0	PLF8B4-PLF8B0
43F4	16-125	PLFBR4-PLFBR0	PLFBG5-PLFBG0	PLFBB4-PLFBB0	PLFAR4-PLFAR0	PLFAG5-PLFAG0	PLFAB4-PLFAB0
43F8	16-126	PLFDR4-PLFDR0	PLFDG5-PLFDG0	PLFDB4-PLFDB0	PLFCR4-PLFCR0	PLFCG5-PLFCG0	PLFCB4-PLFCB0
43FC	16-127	PLFFR4-PLFFR0	PLFFG5-PLFFG0	PLFFB4-PLFFB0	PLFER4-PLFER0	PLFEG5-PLFEG0	PLFEB4-PLFEB0

PLxxR4 - PLxxR0：赤色信号パレット値 5bit (xx => 8bit 色コード : 00 ～ FF)

PLxxG5 - PLxxG0：緑色信号パレット値 6bit (xx => 8bit 色コード : 00 ～ FF)

PLxxB4 - PLxxB0：青色信号パレット値 5bit (xx => 8bit 色コード : 00 ～ FF)

● 機能

パレット値を制御します。

● 補足説明

- OSDC の 8bit 色コード "00" ～ "FF" について " コマンド 16-0" ～ " コマンド 16-127" に , パレット値を設定することにより , RGB の色設定を行います。
- 色コードには , 以下の種類があります。
  文字 (MC7-MC0)
  文字背景色 (MB7-MB0)
  ふちどり色 (LF7-LF0)
  行背景色 (LB7-LB0)
  影付背景枠色 (BH7-BH0, BS7-BS0)
  グラフィック色制御 (GF7-GF0, GC7-GC0)
  画面背景色 (U7-U0)
  グラフィック色

30.4.20 動作制御 (コマンド 17)

コマンド 17 は , OSDC の初期動作制御を行います。

■ コマンド 17 (OSDC 動作制御)

アドレス : 4400_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_OSDC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										SUB EN	OSD EN			DGO	ANO

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							OSDR				DCK				DPD

SUBEN : SUB 画面動作 ENABLE

(0 : SUB 動作不可能状態 , 1 : SUB 動作可能状態)

OSDEN: OSDC ENABLE

(0 : OSDC 使用不可能状態 , 1 : OSDC 使用可能状態)

DGO : Digital 系出力制御

(0 : 出力 OFF, 1 : 出力 ON)

ANO : Analog 系出力制御

(0 : 出力 OFF, 1 : 出力 ON)

OSDR : OSDC リセット

(0:無効[リセット解除], 1:有効[リセット])

DCK : 入力ドットクロック選択制御

(0 : 外部ドットクロック入力 , 1 : 内部 PLL 生成ドットクロック入力)

DPD : DAC ENABLE

(0 : OSDC DAC アクセス OFF, 1 : OSDC DAC アクセス ON)

● 機能

OSDC 関連リソースのアクセスおよび動作制御を行います。

● 補足説明

- リセット後の SUBEN, OSDEN, DGO, ANO, OSDR, DCK, DPD の初期値は '0' となります。
- MAIN 画面の表示制御コマンドは , OSDC ENABLE (OSDEN) を ON にした後に発行してください。また , OSDC リセット (OSDR) が有効であった場合 , 無効に設定した後に , OSDC ENABLE (OSDEN) を ON に設定する必要があります。
- SUB 画面の表示制御コマンドを発行する場合 , SUBEN (SUB 動作 ENABLE) のビットを 1 (SUB 動作 ON) に設定しておく必要があります。(SUBEN のビットが 0 の場合 , SUB_OSDC の表示制御コマンドは発行しないでください。)

- OSDC ENABLE および SUB 動作 ENABLE は , 外部より正常なクロック入力がある場合 , もしくは内蔵 PLL が正常発振した状態で制御する必要があります。
- OSDR ビットでのリセットでは , レジスタの値は初期化されません。
- Analog 系出力および Digital 系出力のいずれかが出力 ON 状態では , 両系の出力に共通である VOB, VOA 信号は出力されます。
- VOB, VOA 出力も OFF (正論理時 Low 出力) とするためには , Analog 系出力および Digital 系出力の両方を出力 OFF に設定する必要があります。
- OSDEN ビットが "0" (OSDC 使用不可能状態) のときは下記のような状態となっています。
  - フォントメモリへのアクセスがディセーブルとなります。
  - 以下コマンドのアクセスはしないでください。

    コマンド 0 :VRAM 書込みアドレス設定

    コマンド 1 : 文字データ設定 1

    コマンド 2 : 文字データ設定 2

    コマンド 3 : 行制御データ設定 1

    コマンド 4 : 行制御データ設定 2

    コマンド 15 : 割込み制御

    コマンド 16-0 ～ 127 : パレット制御
  - 外部端子は動作しません。ただしドットクロックの供給が行われている限り , 内部動作はしています。

30.4.21 PLL クロック制御 (コマンド 18)

コマンド 18 は , PLL のクロックを制御するコマンドです。

■ コマンド 18 (PLL クロック制御)

アドレス : 4404_H

● 形式 (Write Only : 32bit Access Only)

[MOSD_PLLC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DHRSA	DCO	DKA11	DKA10	DKA9	DKA8	DKA7	DKA6	DKA5	DKA4	DKA3	DKA2	DKA1	DKA0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VCOA	VSLA2	VSLA1	VSLA0			CPEA	PDEA				DAP4	DAP3	DAP2	DAP1	DAP0

DHRSA : PLL 位相比較エッジ選択

(0 : 水平同期信号立上りエッジ)

(1 : 水平同期信号立下りエッジ)

DCO : ドットクロック出力端子制御

(0 : OFF, 1 : ON)

DKA11-DKA0 : クロック分周数

(1 クロック単位 : MIN=129 クロック , MAX=4096 クロック)

VCOA : PLL VCO 発振制御

(0 : OFF, 1 : ON)

VSLA2-VSLA0 : PLL VCO 選択制御

(0, 0, 0 : VCO0)

(0, 0, 1 : VCO0)

(0, 1, 0 : VCO1)

(0, 1, 1 : VCO1)

(その他設定禁止)

CPEA : PLL チャージポンプ制御

(0 : OFF, 1 : ON)

PDEA : PLL 位相比較器制御

(0 : OFF, 1 : ON)

DAP4-DAP0 : PLL クロック分周数

(分周単位 : MIN=1 分周 , MAX=62 分周)

● 機能

PLL のクロック制御を行います。

30.5 表示制御コマンド (SUB 動作)

OSDC の SUB 画面の表示制御コマンドについて説明します。

■ 表示制御コマンド (SUB 動作)

30.5.1 SUB 画面表示・制御コマンド一覧
30.5.2 VRAM 書込みアドレス設定 (コマンド 0)
30.5.3 文字データ設定 (コマンド 1・コマンド 2)
30.5.4 行制御データ設定 (コマンド 3・コマンド 4)
30.5.5 画面出力制御 (コマンド 5-0)
30.5.6 画面表示位置制御 (コマンド 5-1)
30.5.7 透明色制御 (コマンド 6-0)
30.5.8 グラフィック色制御 (コマンド 6-1)
30.5.9 画面背景制御 (コマンド 8-0)
30.5.10 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2)
30.5.11 スプライト文字制御 (コマンド 9-0・コマンド 9-1)
30.5.12 割込み制御 (コマンド 15)
30.5.13 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3)

30.5.1 SUB 画面表示・制御コマンド一覧

SUB 画面の表示制御コマンドを示します。表 30.5-1 に , 表示制御コマンドの一覧を示します。

■ 表示制御コマンド一覧

表 30.5-1 表示制御コマンド一覧

アドレス下位16bit (HEX)	SUB_OSDC コマンド No.	データ 31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	機能
41 00	0																FL				AY4	AY3	AY2	AY1	AY0			AX5	AX4	AX3	AX2	AX1	AX0	VRAM書き込みアドレス設定 [SOSD_VADR]
41 04	1		MSC2	MSC1	MSC0	MIT	MUL	MBL	MBB	MU	MD		MS1	MS0	MM2	MM1	MM0	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0	文字データ設定 1 [SOSD_CDS1]
41 08	2									BM3	BM2	BM1	BM0		MA	MR	MG			M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	M0	文字データ設定 2 [SOSD_CDS2]
41 0C	3	LALCA1	LALCA0	LALCM	LALEN		LAL2	LAL1	LAL0	LHS3	LHS2	LHS1	LHS0		LW2	LW1	LW0				LFD	LFC	LFB	LFA	LF7	LF6	LF5	LF4	LF3	LF2	LF1	LF0	行制御データ設定 1 [SOSD_LDS1]
41 10	4							LSW1	LSW0				LDS	LGY1	LGY0	LGX1	LGX0	LWUEN	LWDEN	LMUEN	LMDEN		LE	LM1	LM0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	行制御データ設定 2 [SOSD_LDS2]
41 14	5-0							FM1	FM0	BT1	BT0	BD1	BD0								SALCC				WE	SDS	UDS		DSP				MCC	画面出力制御 [SOSD_SCOC]
41 18	5-1						X10	X9	X8	X7	X6	X5	X4	X3	X2	X1	X0						Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	画面表示位置制御 [SOSD_HVDP]
41 1C	6-0																								TCC	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	透明色制御 [SOSD_TSBC]
41 20	6-1								GFC	GF7	GF6	GF5	GF4	GF3	GF2	GF1	GF0								GCC	GC7	GC6	GC5	GC4	GC3	GC2	GC1	GC0	グラフィック色制御 [SOSD_GRCC]
-																																		-
41 28	8-0											UWBV	UWBH			UW1	UW0				UALEN		UAL2	UAL1	UAL0	U7	U6	U5	U4	U3	U2	U1	U0	画面背景制御 [SOSD_SCBC]
41 2C	8-1						WYE10	WYE9	WYE8	WYE7	WYE6	WYE5	WYE4	WYE3	WYE2	WYE1	WYE0						WYS10	WYS9	WYS8	WYS7	WYS6	WYS5	WYS4	WYS3	WYS2	WYS1	WYS0	ウィンドウ期間制御 1 [SOSD_WPC1]
41 30	8-2					WXE11	WXE10	WXE9	WXE8	WXE7	WXE6	WXE5	WXE4	WXE3	WXE2	WXE1	WXE0					WXS11	WXS10	WXS9	WXS8	WXS7	WXS6	WXS5	WXS4	WXS3	WXS2	WXS1	WXS0	ウィンドウ期間制御 2 [SOSD_WPC2]
41 34	9-0				SBL		SH2	SH1	SH0							SD1	SD0			SM13	SM12	SM11	SM10	SM9	SM8	SM7	SM6	SM5	SM4	SM3	SM2	SM1	SM0	スプライト文字制御 1 [SOSD_SPC1]
41 38	9-1					SX11	SX10	SX9	SX8	SX7	SX6	SX5	SX4	SX3	SX2	SX1	SX0						SY10	SY9	SY8	SY7	SY6	SY5	SY4	SY3	SY2	SY1	SY0	スプライト文字制御 2 [SOSD_SPC2]
-																																		-
41 6C	15																						FIF	LIF	(VIF)						FIE	LIE	(VIE)	割込み制御 [SOSD_INTC]
41 70	15-0	B1H7	B1H6	B1H5	B1H4	B1H3	B1H2	B1H1	B1H0	B1S7	B1S6	B1S5	B1S4	B1S3	B1S2	B1S1	B1S0	B0H7	B0H6	B0H5	B0H4	B0H3	B0H2	B0H1	B0H0	B0S7	B0S6	B0S5	B0S4	B0S3	B0S2	B0S1	B0S0	影付背景枠色制御 [SOSD_SBC0 ~ SOSD_SBC3]
41 74	15-1	B3H7	B3H6	B3H5	B3H4	B3H3	B3H2	B3H1	B3H0	B3S7	B3S6	B3S5	B3S4	B3S3	B3S2	B3S1	B3S0	B2H7	B2H6	B2H5	B2H4	B2H3	B2H2	B2H1	B2H0	B2S7	B2S6	B2S5	B2S4	B2S3	B2S2	B2S1	B2S0	
41 78	15-2	B5H7	B5H6	B5H5	B5H4	B5H3	B5H2	B5H1	B5H0	B5S7	B5S6	B5S5	B5S4	B5S3	B5S2	B5S1	B5S0	B4H7	B4H6	B4H5	B4H4	B4H3	B4H2	B4H1	B4H0	B4S7	B4S6	B4S5	B4S4	B4S3	B4S2	B4S1	B4S0	
41 7C	15-3	B7H7	B7H6	B7H5	B7H4	B7H3	B7H2	B7H1	B7H0	B7S7	B7S6	B7S5	B7S4	B7S3	B7S2	B7S1	B7S0	B6H7	B6H6	B6H5	B6H4	B6H3	B6H2	B6H1	B6H0	B6S7	B6S6	B6S5	B6S4	B6S3	B6S2	B6S1	B6S0	

＜注意事項＞

- リセット入力により , 画面出力制御の SDS, UDS, DSP, MCC 各ビット , 割込み制御の FIF, LIF, (VIF), FIE, LIE, (VIE) 各ビットは"0"に初期化されます。その他のレジスタビット , および VRAM 内容は不定です。
- リセット期間中は, R[4:0], G[5:0], B[4:0], VOB, VOA[2:0]の端子出力はLowとなります。リセット入力後は , すべてのレジスタビットおよび全 VRAM(文字データおよび行制御データ) の設定を行ってください。
- 空白は予約ビットです。コマンド発行する際には必ず "0" を設定願います。
- SUB 画面の表示制御コマンドを発行する場合 , MAIN/OSDC 動作のコマンド 17(OSDC 動作制御) の SUBEN(SUB 動作 ENABLE) ビットを "1"(SUB 動作 ON) に設定しておく必要があります。(SUBEN のビットが "0" の場合 , SUB 画面の表示制御コマンドは受け付けません。)
- MAIN/OSDC 動作のコマンド 11(同期制御), コマンド 12-0 ～ 12-7(文字背景文字コード設定), コマンド 13(入出力端子制御), コマンド 14-0, 14-1(表示期間制御), コマンド 16-0 ～ 16-127(パレット制御), コマンド 17(OSDC 動作制御), コマンド 18(PLL クロック制御) は MAIN/OSDC 動作でのレジスタ設定と共通となります。
- SUB 画面には画面背景文字の表示機能はありません。

30.5.2 VRAM 書込みアドレス設定 (コマンド 0)

コマンド 0 は , VRAM の書込みアドレスの設定 , および VRAM フィルの指定をするコマンドです。

■ コマンド 0(VRAM 書込みアドレス設定)

アドレス : 4100_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_VADR]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
															FL

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			AY4	AY3	AY2	AY1	AY0			AX5	AX4	AX3	AX2	AX1	AX0

FL : VRAM フィル指定

(0 : OFF, 1:ON)

AY4-AY0 : 行アドレス (00_H ～ $1F_H$)

AX5-AX0 : 列アドレス (00_H ～ $3B_H$)

● 機能

VRAM の書込みアドレスの設定 , および VRAM フィルの指定を行います。

文字データ設定 (コマンド 1, 2 発行) 前の行／列アドレス設定と , 行制御データ設定 (コマンド 3, 4 発行) 前の行アドレス設定を行います。

VRAM フィルは文字データ設定 2(コマンド 2) の実行により起動します。

● 補足説明

- 通常の書込み (1 文字データ , または 1 行制御データの書込み) では , VRAM フィル指定を OFF (FL=0) 設定としてください。
- 本コマンド発行により設定した VRAM 書込みアドレスは , 文字データ設定 2 (コマンド 2) の実行後に自動的にインクリメントされます
  (最終列の次は次行先頭列へ , 最終行最終列の次は先頭行先頭列へインクリメントされます) 。
- VRAM フィル機能とは , コマンド 0 で指定した行・列アドレスから , 最終行 (32 行) ・最終列 (60 列) までの文字 VRAM に , 文字データ設定 1, 2 (コマンド 1, 2) で指定した同一文字データを設定する機能です。VRAM フィルは , 文字データ設定 2 (コマンド 2) の発行により起動します。
  実行終了後は VRAM フィル割込みの発生が可能です。
  VRAM フィル実行中は , コマンド 1 ～ 4 の発行を行わないでください。

＜注意事項＞

- 行制御データ設定 (コマンド 3, 4 発行) 時は , 列アドレス (AX5-AX0) は無視されます。また , 行制御データ設定後に自動アドレスインクリメントは行いません。
- VRAM フィル指定は , 文字データ設定 (コマンド 1, 2) 時にのみ有効です。

30.5.3 文字データ設定 (コマンド 1・コマンド 2)

コマンド 1 で文字データを設定し , コマンド 2 を実行することによって VRAM 設定を行い , 画面上に反映します。

■ コマンド 1(文字データ設定 1)

アドレス : 4104_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_CDS1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSC2	MSC1	MSC0	MIT	MUL	MBL	MBB	MU	MD		MS1	MS0	MM2	MM1	MM0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0

MSC2, MSC1, MSC0 ：文字影付背景枠色種選択制御

(0 ～ 7 種)

MIT ：イタリック制御

(0: イタリック OFF)

(1: イタリック ON)

MBL, MBB ：ブリンク制御

(0, 0: ブリンク OFF)

(0, 1: 文字背景ブリンク ON)

(1, 0: 文字 , ふちどりブリンク ON)

(1, 1: 文字 , ふちどり , 文字背景ブリンク ON)

MUL ：アンダーライン制御

(0: アンダーライン OFF)

(1: アンダーライン ON)

MU ：文字影付背景枠上消去制御

(0: 文字影付背景枠上 ON)

(1: 文字影付背景枠上 OFF)

MD ：文字影付背景枠下消去制御

(0: 文字影付背景枠下 ON)

(1: 文字影付背景枠下 OFF)

MS1, MS0 : 文字水平サイズ 制御
(0, 0 : 16 ドット)
(0, 1 : 24 ドット)
(1, 0 : 32 ドット)
(1, 1 : 設定禁止)

MM2, MM1, MMO ：文字背景制御
(0, 0, 0: OFF)
(0, 0, 1: ベタ表示)
(0, 1, 0: 影付凹表示 (ベタ))
(0, 1, 1: 影付凸表示 (ベタ))
(1, 0, 0: 背景文字表示)
(1, 0, 1: 設定禁止)
(1, 1, 0: 影付凹表示 (背景文字))
(1, 1, 1: 影付凸表示 (背景文字))

MB7-MB0 ：文字背景色
(256 色)

MC7-MC0 ：文字色
(256 色)

● 機能

文字データを設定します。文字データ設定2(コマンド2) を実行することにより , VRAM 設定を行い , 画面上に反映します。

● 補足説明

- 文字色 , 文字背景色 , 文字背景表示 , 文字水平サイズ , イタリック表示 , アンダーライン表示 , ブリンク表示は , それぞれ文字単位に自由に組み合わせて設定を行うことができます。
- 影付背景表示は , MU, MD ビット , 文字データ設定 2 (コマンド 2) の MR ビットの組合せにより , 上下左右の結合表示を行うことが可能です。
- 影付背景表示の枠色の設定は , 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3) の BxH7-BxH0, BxS7-BxS0 ビット (x=0 ～ 7) を設定し , さらに文字影付背景枠色種選択制御の MSC2, MSC1, MSC0 ビットの設定内容にて , 影枠色種 (0 ～ 7) を選択することにより設定できます。
- ブリンク制御を ON 設定することにより , 画面出力制御 (コマンド 5-0) の BT1, BT0, BD1, BD0 ビットの設定内容に従って , ブリンク (点滅) 表示を行います。
- 背景文字表示は , 文字データ設定 2 (コマンド 2) の MBM3-MBM0 ビットの設定にて文字背景文字種 0 ～ F を選択することにより背景文字種を選択します。さらに背景文字種 0 ～ F は , MAIN/OSDC 動作での文字背景文字コード 1, 0 ～ F, E (コマンド 12-0 ～ コマンド 12-7) に文字コードを設定することにより , 任意の文字 (背景文字) を選択することができます。

■ コマンド 2 (文字データ設定 2)

アドレス： 4108_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_CDS2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								MBM3	MBM2	MBM1	MBM0		MA	MR	MG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	M0

MBM3-MBM0 ：文字背景文字種制御
(0_H ～ F_H：16 文字種)

MA ：文字アルファブレンド属性制御
(0: A 属性 , 1:B 属性)

MR：影付背景右文字結合制御
(0: 右結合しない)
(1: 右結合する)

MG ：文字／グラフィック文字制御
(0: 文字 , 1: グラフィック文字)

M13-M0 ：文字コード
(0000_H ～ $3FFF_H$：16384 文字種)

● 機能

VRAM 書込みアドレス設定 (コマンド 0) で指定した VRAM に , 文字データ設定 1 (コマンド 1) で設定した文字データと共に本設定データを書き込みます。

本コマンド実行後に VRAM 書込みアドレスは自動インクリメントされます。

● 補足説明

- 影付背景右文字結合制御ビット (MR) は , 文字データ設定 1 (コマンド 1) の影付背景指定 (MM1=1 設定) を行った文字に対してのみ作用します。
- 文字アルファブレンド属性制御ビット (MA) は , 行制御データ設定 1 (コマンド 3) の行文字アルファブレンド属性制御 (LALCA1, LALCA0) との組み合わせにより , アルファブレンド有効無効の制御を文字単位で行うことができます。
- 文字背景文字種制御ビット (MBM3-MBM0) は , 文字データ設定 1 (コマンド 1) MM2, MM1, MM0=1, 0, 0 / 1, 1, 0 / 1, 1, 1 の場合に有効となり , MBM3-MBM0 の文字背景文字種と文字コードとの対応は , 文字背景文字コード設定 (コマンド 12-0 ～ コマンド 12-7) のレジスタにそれぞれ文字コード設定することにより , 対応を行います。

＜注意事項＞

電源投入時には , VRAM 内容は不定となりますので , 必ず表示開始前に全 VRAM データの設定を行ってください。

30.5.4 行制御データ設定 (コマンド 3・コマンド 4)

コマンド 3 で行制御データを設定し , コマンド 4 の実行によって行 VRAM 設定を行い , 画面に反映します。

■ コマンド 3(行制御データ設定 1)

アドレス : $410C_H$

● 形式 (Write Only : 32bit Access Only)

[SOSD_LDS1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LALCA1	LALCA0	LALCM	LALEN		LAL2	LAL1	LAL0	LHS3	LHS2	LHS1	LHS0		LW2	LW1	LW0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				LFD	LFC	LFB	LFA	LF7	LF6	LF5	LF4	LF3	LF2	LF1	LF0

LALCA1, LALCA0 ：行アルファブレンド属性制御

(0, 0: アルファブレンド属性制御 OFF)

(0, 1: 文字アルファブレンド A 属性のみ有効)

(1, 0: 文字アルファブレンド B 属性のみ有効)

(1, 1: 文字アルファブレンド A/B 属性両方有効)

LALCM ：行アルファブレンド制御範囲制御

(0: 制御範囲 A[文字＋ふちどり領域以外])

(1: 制御範囲 B[行全領域])

LALEN ：行アルファブレンド出力制御

(0:OFF, 1:ON)

LAL2-LAL0 ：行アルファブレンド量

(7 ～ 0 [7: 透明 <-> 0: 不透明])

LHS3-LHS0 ：行文字垂直サイズ制御

(2 ～ 32 ドット , 2 ドット単位)

LW2-LW0 ：行間隔制御

(0 ～ 14 ドット , 2 ドット単位)

LFD, LFC ：ふちどり出力制御

(0, 0: 全 OFF)

(0, 1: 文字背景なし文字のみふちどり ON)

(1, 0: 文字背景なし / ベタ / 背景文字のみふちどり ON)

(1, 1: ふちどり出力 ON)

LFB, LFA ：ふちどり制御

(0, 0: ふちどり OFF)

(0, 1: 全周囲ふちどり)

(1, 0: 右ふちどり)

(1, 1: 影ふちどり)

LF7-LF0 ：ふちどり色

(256 色)

● 機能

行制御データを設定します。行制御データ設定 2(コマンド 4) の実行によって行 VRAM 設定を行い , 画面に反映します。

● 補足説明

- 影ふちどり形式の設定は, 画面出力制御 (コマンド5-0) の影ふちどり形式制御 (FM1, FM0 ビット) にて行います。
- 文字垂直サイズ 2 ドット設定行に対する , 行間隔制御は禁止です。
  LW2, LW1, LW0 = 0, 0, 0 に設定 , または行制御データ設定 2 (コマンド 4) の行間隔上制御 LWUEN=0 かつ 行間隔下制御 LWDEN=0 に設定願います。

■ コマンド 4 (行制御データ設定 2)

アドレス : 4110_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_LDS2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
						LSW1	LSW0				LDS	LGY1	LGY0	LGX1	LGX0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LWUEN	LWDEN	LMUEN	LMDEN		LE	LM1	LM0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0

LSW1, LSW0 ：文字影付背景枠幅制御
(0, 0: 1 ドット)
(0, 1: 2 ドット)
(1, 0: 3 ドット)
(1, 1: 4 ドット)

LDS ：行文字出力制御
(0:OFF, 1:ON)

LGY1, LGY0 ：行縦拡大制御
(0, 0: 標準)
(0, 1: 縦 2 倍)
(1, 0: 設定禁止)
(1, 1: 縦 4 倍)

LGX1, LGX0 ：行横拡大制御
(0, 0: 標準)
(0, 1: 横 2 倍)
(1, 0: 設定禁止)
(1, 1: 横 4 倍)

LWUEN ：行間隔上制御
(0: 行間隔上 OFF)
(1: 行間隔上 ON)

LWDEN ：行間隔下制御
(0: 行間隔下 OFF)
(1: 行間隔下 ON)

LMUEN ：行影付背景枠上表示制御
(0: 行影付背景枠上 OFF)
(1: 行影付背景枠上 ON)

LMDEN ：行影付背景枠下表示制御
(0: 行影付背景枠下 OFF)
(1: 行影付背景枠下 ON)

LE：文字背景拡張制御

(0: 通常 , 1: 拡張)

LM1, LM0 ：行背景制御

(0, 0: OFF)

(0, 1: ベタ表示)

(1, 0: 影付凹 (ベタ) 表示)

(1, 1: 影付凸 (ベタ) 表示)

LB7-LB0 ：行背景色

(256 色)

● 機能

VRAM 書込みアドレス設定 (コマンド 0) で指定した行アドレスの行 VRAM に , 行制御データ設定 1 (コマンド 3) で設定した行制御データと共にこの設定データを書込みます。

＜注意事項＞

- 電源投入時には , VRAM 内容は不定となりますので , 必ず表示開始前に全 VRAM データの設定を行ってください。
- このコマンド発行による , VRAM 書込みアドレスの自動インクリメントは行われません。行制御データを設定する行ごとに , VRAM 書込みアドレス設定 (コマンド 0) が必要です。
- 行背景制御での影付凹凸表示の枠色の設定は , 影付背景枠色制御 (コマンド 15-0) の B0H7-B0H0, B0S7-B0S0 ビットの設定値となります。また , 行の影付枠幅は文字影付背景枠幅制御 (LSW1, LSW0) の設定によらず 2 ドットのみとなります。

30.5.5 画面出力制御 (コマンド 5-0)

コマンド 5-0 は , 画面表示出力を制御するコマンドです。

■ コマンド 5-0 (画面出力制御)

アドレス : 4114_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_SCOC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
						FM1	FM0	BT1	BT0	BD1	BD0				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			SALCC				WE	SDS	UDS		DSP				MCC

FM1 : 影ふちどり形式制御

(0: 右下)

(1: 右下 + 右)

FM0 : ふちどりドット数制御

(0: 1 ドット)

(1: 2 ドット)

BT1, BT0 : ブリンク周期制御

(0, 0: 16Vsync)

(0, 1: 32Vsync)

(1, 0: 48Vsync)

(1, 1: 64Vsync)

BD1, BD0 : ブリンクデューティ制御

(0, 0: 点 : 滅 = 1 : 0 常に表示)

(0, 1: 点 : 滅 = 1 : 1)

(1, 0: 点 : 滅 = 1 : 3)

(1, 1: 点 : 滅 = 3 : 1)

SALCC : アルファブレンド属性無効量制御

(0: アルファブレンド量 0[不透明] 固定)

(1: アルファブレンド量 7[透明] 固定)

WE : ウィンドウ機能制御

(0:OFF, 1:ON)

SDS : スプライト文字出力制御

(0:OFF, 1:ON)

UDS : 画面背景出力制御

(0:OFF, 1:ON)

DSP : 表示出力制御 (文字 + 文字背景 + 行背景の制御)

(0:OFF, 1:ON)

MCC : MAIN, SUB 画面優先制御

(0:MAIN 画面優先表示 , 1:SUB 画面優先表示)

● 機能

画面表示出力の制御を行います。

● 補足説明

- リセット後の SDS, UDS, DSP, MCC の初期値は "0" となります。
- ブリンク周期制御およびブリンクデューティ制御は, 文字データ設定 1 (コマンド 1) でブリンク制御指定 (MBL, MBB=0, 1/1, 0 /1, 1 設定) を行った文字, 文字背景に対し制御を行います。また , スプライト文字制御 1 (コマンド 9-0) でスプライト文字ブリンク制御指定 (SBL=1 設定) を行うと , スプライト文字に対しても制御を行います。
- ウィンドウ機能制御はスプライト文字には影響しません。

30.5.6 画面表示位置制御 (コマンド 5-1)

コマンド 5-1 は画面の水平・垂直表示位置を制御するコマンドです。

■ コマンド 5-1 (画面表示位置制御)

アドレス : 4118_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_HVDP]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					X10	X9	X8	X7	X6	X5	X4	X3	X2	X1	X0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0

X10-X0 : 水平表示位置制御 (0 ～ 2047, 1 ドット単位)

Y10-Y0 : 垂直表示位置制御 (0 ～ 2047, 1 ドット単位)

● 機能

SUB 画面の水平表示位置および垂直表示位置の制御を行います。

30.5.7 透明色制御 (コマンド 6-0)

コマンド 6-0 は , 透明色を制御するコマンドです。

■ コマンド 6-0(透明色制御)

アドレス : $411C_H$

● 形式 (Write Only : 32bit Access Only)

[SOSD_TSBC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							TCC	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0

TCC : 透明色制御 (0:OFF , 1:ON)

TC7-TC0 : 透明色コード (256 色)

● 機能

透明色制御を行います。

● 補足説明

- 透明色コード (TC7-TC0) に任意色コードを設定し , かつ透明色制御 ON (TCC=1) 設定を行うことにより , 任意の色表示部分を非表示とすることができます。その任意色部分は下位層の表示出力を行います。

＜注意事項＞

- VOA2-VOA0 端子からのアルファブレンド量信号も , 透明設定における非表示部分は , 下位層の表示出力に対するアルファブレンド量信号となります。

30.5.8 グラフィック色制御 (コマンド 6-1)

コマンド 6-1 は , グラフィック文字の任意指定色を文字色 , またはふちどり色に置換表示するコマンドです。

■ コマンド 6-1 (グラフィック色制御)

アドレス : 4120_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_GRCC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							GFC	GF7	GF6	GF5	GF4	GF3	GF2	GF1	GF0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							GCC	GC7	GC6	GC5	GC4	GC3	GC2	GC1	GC0

GFC : グラフィック色ふちどり色置換制御 (0:OFF , 1:ON)

GF7-GF0 : ふちどり色置換色コード (256 色)

GCC : グラフィック色文字色置換制御 (0:OFF , 1:ON)

GC7-GC0 : 文字色置換色コード (256 色)

● 機能

グラフィック文字内の任意色を , 文字色 , またはふちどり色に置換表示します。

● 補足説明

- GFC=1 設定によりグラフィック文字内の任意色 (GF7-GF0 ビット指定色) を , 行制御データ設定 1 (コマンド 3) で設定したふちどり色 (LF7 ～ LF0) 内容に置換します。
- GCC=1 設定によりグラフィック文字内の任意色 (GC7-GC0 ビット指定色) を , 文字データ設定 1 (コマンド 1) で設定した文字色 (MC7 ～ MC0) 内容に置換します。
- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色ふちどり色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , ふちどり色置換が優先されます。
- グラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換するふちどり色コード (行制御データ設定 1 (コマンド 3) のふちどり色 (LF7 ～ LF0)) と透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 透明色となり , 下位層色が表示されます。

- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらにグラフィック色文字色置換色コードと透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 文字色置換が優先されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつ透明色制御 ON (透明色制御 (コマンド 6-0) の TCC ビット =1 設定) で , さらに置換する文字色コード (文字データ設定 1 (コマンド 1) の文字色 (MC7 ～ MC0)) と透明色制御 (コマンド 6-0) の透明色コード (TC7-TC0) が同一設定の場合は , 透明色となり , 下位層色が表示されます。
- グラフィック色文字色置換制御 ON (GCC ビット =1 設定) でかつグラフィック色ふちどり色置換制御 ON (GFC ビット =1 設定) の場合 , 文字色置換色コード (GC7-GC0 ビット) 設定内容とふちどり色置換色コード (GF7-GF0 ビット) 設定内容は , 異なる色コードを設定してください。

＜注意事項＞

このコマンド設定は , SUB 画面のグラフィック文字の色表示にのみ適用されます。スプライト文字のドット色には影響を与えません。

30.5.9 画面背景制御 (コマンド 8-0)

コマンド 8-0 は , 画面背景色およびウィンドウ画面を制御するコマンドです。

■ コマンド 8-0 (画面背景制御)

アドレス : 4128_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_SCBC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										UWBV	UWBH			UW1	UW0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			UALEN		UAL2	UAL1	UAL0	U7	U6	U5	U4	U3	U2	U1	U0

UWBV, UWBH : ウィンドウ・ボーダー幅制御

(0, 0 : 垂直 2 ドット , 水平 2 ドット)

(0, 1 : 垂直 2 ドット , 水平 4 ドット)

(1, 0 : 垂直 4 ドット , 水平 2 ドット)

(1, 1 : 垂直 4 ドット , 水平 4 ドット)

UALEN : 画面背景アルファブレンド制御

(0:OFF , 1:ON)

U7-U0 : 画面背景色

(256 色)

UW1, UW0 : ウィンドウ背景モード制御

(0, 0 : ウィンドウ内背景)

(0, 1 : ウィンドウ外背景)

(1, 0 : ウィンドウ内外背景)

(1, 1 : ウィンドウ • ボーダー背景)

UAL2-UAL0 : 画面背景アルファブレンド量

(7 ～ 0 [7: 透明 <-> 0: 不透明])

● 機能

画面背景の制御を行います。

● 補足説明

- 画面出力制御 (コマンド 5-0) の画面背景出力制御を ON (UDS=1) 設定することにより , 画面背景色を表示します。
- 画面出力制御 (コマンド 5-0) のウィンドウ機能制御を ON (WE=1) 設定することにより , ウィンドウに関する機能 (UWBV, UWBH, UW1, UW0) が有効となります。

30.5.10 ウィンドウ期間制御 (コマンド 8-1・コマンド 8-2)

コマンド 8-1, およびコマンド 8-2 は , ウィンドウ期間を制御するコマンドです。

■ コマンド 8-1(ウィンドウ期間制御 1)

アドレス： $412C_H$

● 形式 (Write Only : 32bit Access Only)

[SOSD_WPC1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					WYE10	WYE9	WYE8	WYE7	WYE6	WYE5	WYE4	WYE3	WYE2	WYE1	WYE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					WYS10	WYS9	WYS8	WYS7	WYS6	WYS5	WYS4	WYS3	WYS2	WYS1	WYS0

WYE10-WYE0 ：ウィンドウ垂直期間終了制御

(0 ～ 2047, 1 ドット単位)

WYS10-WYS0 ：ウィンドウ垂直期間開始制御

(0 ～ 2047, 1 ドット単位)

● 機能

ウィンドウ期間における垂直方向の表示開始・終了タイミングを制御します。

● 補足説明

- 画面出力制御 (コマンド5-0) のウィンドウ機能制御をON (WE=1) 設定することにより , 有効となります。

■ コマンド 8-2(ウィンドウ期間制御 2)

アドレス： 4130_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_WPC2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				WXE11	WXE10	WXE9	WXE8	WXE7	WXE6	WXE5	WXE4	WXE3	WXE2	WXE1	WXE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				WXS11	WXS10	WXS9	WXS8	WXS7	WXS6	WXS5	WXS4	WXS3	WXS2	WXS1	WXS0

WXE11-WXE0 ：ウィンドウ水平期間終了制御

(0 ～ 4095, 1 ドット単位)

WXS11-WXS0 ：ウィンドウ水平期間開始制御

(0 ～ 4095, 1 ドット単位)

● 機能

ウィンドウ期間における水平方向の表示開始・終了タイミングを制御します。

● 補足説明

- 画面出力制御 (コマンド5-0) のウィンドウ機能制御をON (WE=1) 設定することにより , 有効となります。

30.5.11 スプライト文字制御 (コマンド 9-0・コマンド 9-1)

コマンド 9-0, およびコマンド 9-1 は , スプライト文字を制御するコマンドです。

■ コマンド 9-0(スプライト文字制御 1)

アドレス : 4134_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_SPC1]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			SBL		SH2	SH1	SH0							SD1	SD0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		SM13	SM12	SM11	SM10	SM9	SM8	SM7	SM6	SM5	SM4	SM3	SM2	SM1	SM0

SBL : スプライト文字ブリンク制御
(0 : OFF, 1 : ON)

SD1, SD0 : スプライト文字構成制御
(0, 0 : 1 文字)
(0, 1 : 横 2 文字)
(1, 0 : 縦 2 文字)
(1, 1 : 縦 2 ×横 2 文字)

SH2-SH0 : スプライト文字垂直サイズ制御
(18 ～ 32 ドット , 2 ドット単位)

SM13-SM0 : スプライト文字コード
(0000_H ～ $3FF8_H$: 2048 文字種)

● 機能

スプライト文字の制御を行います。

● 補足説明

- 画面出力制御 1 (コマンド 5-0) のスプライト文字出力制御を ON (SDS=1) 設定することにより , スプライト文字を表示します。
- スプライト文字のブリンク周期 , ブリンクデューティは , 画面出力制御 (コマンド 5-0) の BT1, BT0, BD1, BD0 ビットの設定にて制御します。

＜注意事項＞

- スプライト文字はグラフィック文字表示のみ可能です。
- スプライト文字のグラフィック色については , グラフィック色制御 (コマンド 6-1) のグラフィック色ふちどり色置換制御 , およびグラフィック色文字色置換制御はできません。
- スプライト動作制御により表示制御を停止する際には, 画面出力制御 (コマンド5-0) のスプライト文字出力制御を OFF に設定 (SDS=0) してください。

■ コマンド 9-1 (スプライト文字制御 2)

アドレス： 4138_H

● 形式 (Write Only : 32bit Access Only)

[SOSD_SPC2]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				SX11	SX10	SX9	SX8	SX7	SX6	SX5	SX4	SX3	SX2	SX1	SX0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					SY10	SY9	SY8	SY7	SY6	SY5	SY4	SY3	SY2	SY1	SY0

SX11-SX0：スプライト文字水平表示位置制御

(0 ～ 4095, 1 ドット単位)

SY10-SY0：スプライト文字垂直表示位置制御

(0 ～ 2047, 1 ドット単位)

● 機能

スプライト文字の水平および垂直表示位置制御を行います。

● 補足説明

- スプライト文字制御 1 (コマンド 9-0) の補足説明を参照してください。

30.5.12 割込み制御 (コマンド 15)

コマンド 15 は割込みを制御するコマンドです。

■ コマンド 15 (割込み制御)

アドレス : $416C_H$

● 形式 (Write/Read : 32bit Access Only)

[SOSD_INTC]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					FIF	LIF	(VIF)						FIE	LIE	(VIE)

FIF : VRAM フィル終了検出フラグ

(0 : VRAM フィル終了検出なし , 1 : VRAM フィル終了検出あり)

LIF : 行表示終了検出フラグ

(0 : 行表示終了検出なし , 1 : 行表示終了検出あり)

(VIF) : VSYNC 検出フラグ

(※ MAIN 側での制御が有効となりますので , 必ず 0 を設定願います)

FIE : VRAM フィル終了検出割込み制御

(0 : 割込みを禁止 , 1 : 割込みを許可)

LIE : 行表示終了検出割込み制御

(0 : 割込みを禁止 , 1 : 割込みを許可)

(VIE) : VSYNC 検出割込み制御

(※ MAIN 側での制御が有効となりますので , 必ず 0 を設定願います)

● 機能

割込み制御を行います。

各割り込みおよび割り込み検出フラグを有効とするためには , 各割り込み制御 (FIE, LIE) を "1" に設定する必要があります。

そのうえで FIF, LIF は , 割り込み要因が発生した場合に "1" が設定されます。("1" 書込みは無効となります。)

一度セットされたフラグをクリアするには "0" を書込みます。

● 補足説明

- リセット後の FIF, LIF, (VIF), FIE, LIE, (VIE) の初期値は "0" となります。
- 空きビットのリード値は常に "0" となります。
- LIF(行表示終了検出フラグ) の割込みを発生させる為には , コマンド 4 (行制御データ設定 2) の行間隔下制御 "LWDEN" を "1" に設定する必要があります。

30.5.13 影付背景枠色制御 (コマンド 15-0 ～コマンド 15-3)

コマンド 15-0 ～コマンド 15-3 は , 影付背景の枠色を制御するコマンドです。

■ コマンド 15-0 ～コマンド 15-3(影付背景枠色制御)

アドレス : 以下の表参照

● 形式 (Write Only : 32bit Access Only)

[SOSD_SBC0 ～ SOSD_SBC3]

アドレス	コマンド No.	データ			
		31 ～ 24	23 ～ 16	15 ～ 8	7 ～ 0
4170	15-0	B1H7 – B1H0	B1S7 – B1S0	B0H7 – B0H0	B0S7 – B0S0
4174	15-1	B3H7 – B3H0	B3S7 – B3S0	B2H7 – B2H0	B2S7 – B2S0
4178	15-2	B5H7 – B5H0	B5S7 – B5S0	B4H7 – B4H0	B4S7 – B4S0
417C	15-3	B7H7 – B7H0	B7S7 – B7S0	B6H7 – B6H0	B6S7 – B6S0

BxH7-BxH0 : 影付背景枠ハイライト色 (256 色) BxS7-BxS0 : 影付背景枠シャドウ色 (256 色)

(x => 文字影付背景枠色種 [MSC2, MSC1, MSC0] 設定値 : 0 ～ 7 種 [ハイライト色 / シャドウ色組にて 8 種])

● 機能

影付背景枠色の制御を行います。

● 補足説明

- 文字データ設定 1 (コマンド 1) で影付文字背景指定 (MM1=1 設定) した文字における , 文字影付背景枠色種指定 (MSC2, MSC1, MSC0=>0 ～ 7 種) に対する , 影付背景の枠色を設定します。
- 行制御データ設定 2 (コマンド 4) で影付行背景指定 (LM1=1 設定) をした行においては , B0H7–B0H0, B0S7–B0S0 に設定した影付背景枠色となります。
- 表 30.5-2 に , 影付背景枠ハイライト色およびシャドウ色の表示部位を示します。

表 30.5-2 影付背景枠ハイライト色およびシャドウ色の表示部位

	文字背景		行背景	
	影付背景凹表示	影付背景凸表示	影付背景凹表示	影付背景凸表示
影付背景枠ハイライト色	下辺 , 右辺	上辺 , 左辺	下辺	上辺
影付背景枠シャドウ色	上辺 , 左辺	下辺 , 右辺	上辺	下辺

＜注意事項＞

- 行背景における影付背景枠色種は , B0H7–B0H0, B0S7–B0S0 の設定値となり , 文字影付背景における文字影付背景枠色種 MSC2, MSC1, MSC0=0, 0, 0 設定 (0 種) と共通になります。

30.6 表示制御コマンドライト条件・反映タイミング

OSDC の表示制御コマンドのライト条件および表示制御コマンドが反映されるタイミングについて説明します。

■ 表示制御コマンドライト条件・反映タイミング

30.6.1 表示制御コマンドライト条件・反映タイミング一覧

30.6.1 表示制御コマンドライト条件・反映タイミング一覧

表 30.6-1 に , 表示制御コマンドのライト条件・反映タイミングの一覧を示します。

■ 表示制御コマンドのライト条件・コマンド反映タイミング一覧

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (1 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
40 00	0	VRAM 書込みアドレス設定 [MOSD_VADR]	FL	ドットクロック	ドットクロック	禁止	
			AY4-AY0				
			AX5-AX0				
40 04	1	文字データ設定 1 [MOSD_CDS1]	MSC2-MSC0	ドットクロック	ドットクロック	禁止	
			MIT				
			MUL				
			MBL		HSYNC *1		
			MBB				
			MU		ドットクロック		
			MD				
			MS1,MS0				
			MM2-MM0				
			MB7-MB0				
			MC7-MC0				
40 08	2	文字データ設定 2 [MOSD_CDS2]	MBM3-MBM0	ドットクロック	ドットクロック	禁止	
			MA				
			MR				
			MG				
			M13-M0				
40 0C	3	行制御データ設定 1 [MOSD_LDS1]	LALCA1,LALCA0	ドットクロック	HSYNC *2	禁止	
			LALCM				
			LALEN				
			LAL2-LAL0				
			LHS3-LHS0				
			LW2-LW0				
			LFD				
			LFC				
			LFB				
			LFA				
			LF7-LF0				

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (2 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
40 10	4	行制御データ設定 2 [MOSD_LDS2]	LSW1,LSW0	ドットクロック	HSYNC *2	禁止	
			LDS				
			LGY1,LGY0				
			LGX1,LGX0				
			LWUEN				
			LWDEN				
			LMUEN				
			LMDEN				
			LE				
			LM1,LM0				
			LB7-LB0				
40 14	5-0	画面出力制御 [MOSD_SCOC]	FM1,FM0	ドットクロック	ドットクロック	禁止	
			BT1,BT0		HSYNC *2		
			BD1,BD0				
			SALCC		ドットクロック		
			WE				
			SDS		VSYNC *3		
			UDS				
			PDS				
			DSP				
40 18	5-1	画面表示位置制御 [MOSD_HVDP]	X10-X0	ドットクロック	ドットクロック	禁止	
			Y10-Y0		HSYNC *1		※インタレース設定時には，Y0 ビットによりスプライト表示データを制御しますので，ドットクロック単位に表示データが変化します。
40 1C	6-0	透明色制御 [MOSD_TSBC]	TCC	ドットクロック	ドットクロック	禁止	
			TC7-TC0				
40 20	6-1	グラフィック色制御 [MOSD_GRCC]	GFC	ドットクロック	ドットクロック	禁止	
			GF7-GF0				
			GCC				
			GC7-GC0				

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (3 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
40 24	7	画面背景文字制御 [MOSD_SBCC]	PH2-PH0	ドットクロック	HSYNC *1	禁止	
			PD1,PD0		ドットクロック		
			PM13-PM0		VSYNC *3		※映像出力タイミングは VSYNC ですが , 「30.3.7 OSDC 動作制御」の「■ スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示を行う場合の制限事項について」に記述の , OSDC 専用フォントバッファ RAM データ転送中に , コマンド受付となった場合 , 正しい表示が行われません。
40 28	8-0	画面背景制御 [MOSD_SCBC]	UWBV	ドットクロック	ドットクロック	禁止	
			UWBH				
			UW1,UW0				
			UALEN				
			UAL2-UAL0				
			U7-U0				
40 2C	8-1	ウィンドウ期間制御 1 [MOSD_WPC1]	WYE10-WYE0	ドットクロック	HSYNC *1	禁止	※映像出力タイミングは HSYNC ですが , コマンド受付タイミングと映像出力タイミングが同一の場合 , ドットクロックのタイミングになります。
			WYS10-WYS0				
40 30	8-2	ウィンドウ期間制御 2 [MOSD_WPC2]	WXE11-WXE0	ドットクロック	ドットクロック	禁止	
			WXS11-WXS0				
40 34	9-0	スプライト文字制御 1 [MOSD_SPC1]	SBL	ドットクロック	HSYNC *1	禁止	
			SH2-SH0				
			SD1,SD0		HSYNC (垂直方向) *1 ドットクロック (水平方向)		
			SM13-SM0		VSYNC *3		※映像出力タイミングは VSYNC ですが , 「30.3.7 OSDC 動作制御」の「■ スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示を行う場合の制限事項について」に記述の , OSDC 専用フォントバッファ RAM データ転送中に , コマンド受付となった場合 , 正しい表示が行われません。

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (4 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
40 38	9-1	スプライト文字制御 2 [MOSD_SPC2]	SX11-SX0	ドットクロック	ドットクロック	禁止	
			SY10-SY0		HSYNC *1	禁止	※インタレース設定時には , SY0 ビットによりスプライト表示データを制御しますので , ドットクロック単位に表示データが変化します。
40 3C	11	同期制御 [MOSD_SYNC]	VOF5-VOF0	ドットクロック	HSYNC *1	禁止	
			IN		ドットクロック		
			FC				
40 40 ～ 40 5C	12-0 ～ 12-7	文字背景文字コード設定 [MOSD_CBC0 ～ MOSD_CBC7]	BMxC13-BMxC0	ドットクロック	VSYNC *3	禁止	※ BMxC13-BMxC0 : x => 0 ～ F
40 60	13	入出力端子制御 [MOSD_IOTC]	VHE	ドットクロック	HSYNC *1	禁止	
			HE		ドットクロック		
			IHX				
			IVX		HSYNC *1		
			OHX	IP クロック (IPCLK) *4	IP クロック (IPCLK) *4		
			OBX				
			OCX				
40 64	14-0	表示期間制御 1 [MOSD_CDP1]	DYE10-DYE0	ドットクロック	HSYNC *1	禁止	※映像出力タイミングは HSYNC ですが , コマンド変更タイミングと表示タイミングが同一の場合 , ドットクロックのタイミングになります。
			DYS10-DYS0				
40 68	14-1	表示期間制御 2 [MOSD_CDP2]	DXE11-DXE0	ドットクロック	ドットクロック	禁止	
			DXS11-DXS0				
40 6C	15	割込み制御 [MOSD_INTC,SOSD_INTC]	FIF	ドットクロック	ドットクロック	禁止	
			LIF				
			VIF				
			FIE				
			LIE				
			VIE				
40 70 ～ 40 7C	15-0 ～ 15-3	影付背景枠色制御 [MOSD_SBC3 ～ MOSD_SBC0]	BxH7-BxH0	ドットクロック	ドットクロック	禁止	※ BxH7-BxH0 : x => 0 ～ 7
			BxS7-BxS0				※ BxS7-BxS0 : x => 0 ～ 7
-	-	-	-	-	-	-	
41 00	0	VRAM 書込みアドレス設定 [SOSD_VADR]	FL	ドットクロック	ドットクロック	禁止	
			AY4-AY0				
			AX5-AX0				

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (5 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
41 04	1	文字データ設定 1 [SOSD_CDS1]	MSC2-MSC0	ドットクロック	ドットクロック	禁止	
			MIT				
			MUL				
			MBL		HSYNC *1		
			MBB				
			MU		ドットクロック		
			MD				
			MS1,MS0				
			MM2-MM0				
			MB7-MB0				
			MC7-MC0				
41 08	2	文字データ設定 2 [SOSD_CDS2]	MBM3-MBM0	ドットクロック	ドットクロック	禁止	
			MA				
			MR				
			MG				
			M13-M0				
41 0C	3	行制御データ設定 1 [SOSD_LDS1]	LALCA1,LALCA0	ドットクロック	HSYNC *2	禁止	
			LALCM				
			LALEN				
			LAL2-LAL0				
			LHS3-LHS0				
			LW2-LW0				
			LFD				
			LFC				
			LFB				
			LFA				
			LF7-LF0				
41 10	4	行制御データ設定 2 [SOSD_LDS2]	LSW1,LSW0	ドットクロック	HSYNC *2	禁止	
			LDS				
			LGY1,LGY0				
			LGX1,LGX0				
			LWUEN				
			LWDEN				
			LMUEN				
			LMDEN				
			LE				
			LM1,LM0				
			LB7-LB0				

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (6 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
41 14	5-0	画面出力制御 [SOSD_SCOC]	FM1,FM0	ドットクロック	ドットクロック	禁止	
			BT1,BT0		HSYNC *2		
			BD1,BD0				
			SALCC		ドットクロック		
			WE				
			SDS		VSYNC *3		
			UDS				
			DSP				
			MCC		ドットクロック		
41 18	5-1	画面表示位置制御 [SOSD_HVDP]	X10-X0	ドットクロック	ドットクロック	禁止	
			Y10-Y0		HSYNC *1		※インタレース設定時には，Y0 ビットによりスプライト表示データを制御しますので，ドットクロック単位に表示データが変化します。
41 1C	6-0	透明色制御 [SOSD_TSBC]	TCC	ドットクロック	ドットクロック	禁止	
			TC7-TC0				
41 20	6-1	グラフィック色制御 [SOSD_GRCC]	GFC	ドットクロック	ドットクロック	禁止	
			GF7-GF0				
			GCC				
			GC7-GC0				
-	-	-	-	-	-	-	
41 28	8-0	画面背景制御 [SOSD_SCBC]	UWBV	ドットクロック	ドットクロック	禁止	
			UWBH				
			UW1,UW0				
			UALEN				
			UAL2-UAL0				
			U7-U0				
41 2C	8-1	ウィンドウ期間制御 1 [SOSD_WPC1]	WYE10-WYE0	ドットクロック	HSYNC *1	禁止	※映像出力タイミングは HSYNC ですが，コマンド受付タイミングと映像出力タイミングが同一の場合，ドットクロックのタイミングになります。
			WYS10-WYS0				
41 30	8-2	ウィンドウ期間制御 2 [SOSD_WPC2]	WXE11-WXE0	ドットクロック	ドットクロック	禁止	
			WXS11-WXS0				

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (7 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
41 34	9-0	スプライト文字制御 1 [SOSD_SPC1]	SBL	ドットクロック	HSYNC *1	禁止	
			SH2-SH0				
			SD1,SD0		HSYNC (垂直方向) *1 ドットクロック (水平方向)		
			SM13-SM0		VSYNC *3		※映像出力タイミングは VSYNC ですが , 「30.3.7 OSDC 動作制御」の「■ スプライト文字表示 , 画面背景文字表示 , 文字背景文字表示を行う場合の制限事項について」に記述の , OSDC 専用フォントバッファ RAM データ転送中に , コマンド受付となった場合 , 正しい表示が行われません。
41 38	9-1	スプライト文字制御 2 [SOSD_SPC2]	SX11-SX0	ドットクロック	ドットクロック	禁止	
			SY10-SY0		HSYNC *1		※インタレース設定時には , SY0 ビットによりスプライト表示データを制御しますので , ドットクロック単位に表示データが変化します。
-	-	-	-	-	-	-	
41 6C	15	割込み制御 [SOSD_INTC]	FIF	ドットクロック	ドットクロック	禁止	
			LIF				
			FIE				
			LIE				
41 70 ～ 41 7C	15-0 ～ 15-3	影付背景枠色制御 [SOSD_SBC3 ～ SOSD_SBC0]	BxH7-BxH0	ドットクロック	ドットクロック	禁止	※ BxH7-BxH0 : x => 0 ～ 7
			BxS7-BxS0				※ BxS7-BxS0 : x => 0 ～ 7
42 00 ～ 42 FC	16-0 ～ 16-127	パレット制御	PLxxR4-PLxxR0	ドットクロック	ドットクロック	禁止	※ PLxxR4 - PLxxR0 : 赤色信号パレット値 5bit (xx => 8bit 色コード : 00 ～ FF)
			PLxxG5-PLxxG0				※ PLxxG5 - PLxxG0 : 緑色信号パレット値 6bit (xx => 8bit 色コード : 00 ～ FF)
			PLxxB4-PLxxB0				※ PLxxB4 - PLxxB0 : 青色信号パレット値 5bit (xx => 8bit 色コード : 00 ～ FF)

表 30.6-1 表示制御コマンドのライト条件・反映タイミング一覧 (8 / 8)

アドレス下位 16bit (HEX)	コマンド No.	機能	ビット名	コマンド受付タイミング	映像出力タイミング	ドットクロック停止時におけるコマンドライト	備考
44 00	17	OSDC 動作制御 [MOSD_OSDC]	SUBEN	IP クロック (IPCLK) *4	ドットクロック	禁止	
			OSDEN				
			DGO	ドットクロック	ドットクロック		
			ANO				
			OSDR	IP クロック (IPCLK) *4	IP クロック (IPCLK) *4		
			DCK				
			DPD				
44 04	18	PLL クロック制御 [MOSD_PLLC]	DHRSA	IP クロック (IPCLK) *4	IP クロック (IPCLK) *4	○	
			DCO		ドットクロック		
			DKA11-DKA0	ドットクロック	ドットクロック		
			VCOA	IP クロック (IPCLK) *4	IP クロック (IPCLK) *4		
			VSLA2-VSLA0				
			CPEA				
			PDEA				
			DAP4-DAP0				

*1 HSYNC タイミングは , 「30.3.2.2 水平同期制御」の水平同期動作例 (図 30.3-4 , 図 30.3-5) 内部検出 HSYNC の立上りとなります。

*2 HSYNC タイミングは , 「30.3.2.2 水平同期制御」の水平同期動作例 (図 30.3-4 , 図 30.3-5) 内部検出 HSYNC の立上りから 13 ドットクロック後となります。

*3 VSYNC タイミングは , 「30.3.2.1 垂直同期制御」の垂直同期検出動作例 (図 30.3-2 , 図 30.3-3) の内部検出 VSYNC 期間になります。

*4 IP クロック (IPCLK) タイミングは , CPU からのレジスタ設定タイミングそのままを意味します。

30.7 フォントメモリ・CPU リードアクセス

CPU からフォントメモリにアクセス (リード) する場合について説明します。

■ フォントメモリ・CPU リードアクセス設定

CPU から OSDC のフォントメモリにリードアクセスする場合 , 表 30.7-1 に示すアドレス (予約領域) にレジスタ設定を行う必要があります。

表 30.7-1 フォントメモリ・CPU リードアクセス設定

アドレス	レジスタ設定値
$0000\ 0600_H$	$0020\ 0001_H$
$0000\ 0608_H$	$0040\ 0065_H$
$0000\ 0648_H$	$0000\ 0080_H$
$0000\ 0688_H$	$0412\ 0000_H$

■ フォントメモリ・CPU リードアクセス領域

CPU から OSDC のフォントメモリにリードアクセスする場合 , 対応する領域 (アドレス) は , 以下となります。

MB91F610A (フラッシュメモリ品): $0040\ 0000_H$ ～ $005F\ FFFF_H$ (2MB)

MB91613 (マスク ROM 品) : $0040\ 0000_H$ ～ $004D\ FFFF_H$ (896KB)

＜注意事項＞

CPU からフォントメモリへのリードアクセスは , OSDC 動作ディセーブル [OSDC 動作制御 (コマンド 17) OSDEN=0,SUBEN=0] 時のみ可能です。

第 31 章 DMA コントローラ (DMAC)

DMA コントローラ (DMAC) の機能と動作について説明します。

31.1 概要
31.2 構成
31.3 レジスタ
31.4 割込み
31.5 動作説明と設定手順例

31.1 概要

DMA コントローラ (DMAC) は , DMA (Direct Memory Access) 転送を行います。CPU を介さずにデータを高速で転送できるため , システム性能を高めることができます。
本製品は DMA コントローラ (DMAC) を 8 チャネル内蔵しています。

■ 概要

DMA コントローラ (DMAC) の特長について説明します。

- アドレス空間 : 32 ビットのアドレス空間 (4G バイト)
- 転送モード : 次の 3 種類から選択できます。
  - ブロック転送

    転送要求が発生するとデータを 1 ブロック転送するモードです。1 ブロックのデータを転送後 , 再度転送要求を検出すると , 次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。
  - バースト転送

    1 度 , 転送要求が発生するとすべてのデータを転送するまで , 1 ブロックずつ連続で転送するモードです。
  - デマンド転送

    1 度 , 転送要求が発生すると , 転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また , データ転送が終了したときに転送回数をリロードする設定になっている場合は , 転送要求が取り下げられるまで転送をし続けます。
- データサイズ : 転送するデータのサイズ (幅) を次の 3 種類から選択できます。
  - 8 ビット
  - 16 ビット
  - 32 ビット
- ブロックサイズ : 1 ～ 16 の範囲で設定できます。
- 転送回数 : 1 ～ 65535 回の範囲で設定できます。
- アドレス更新 : 設定したデータサイズ (8 ビット /16 ビット /32 ビット) のデータを転送するたびに転送元 / 転送先のアドレスを更新できます。更新方法を次の 3 種類から選択できます。
  - アドレス増加
  - アドレス減少
  - 更新しない (転送元 / 転送先のアドレスを固定する)

- リロード機能 : 設定した転送回数のデータを転送し終わった時に次の情報をリロードするかどうかを設定できます。
  - 転送元のアドレス
  - 転送先のアドレス
  - 転送回数
- 転送要求 : 次の 3 種類の方法で発生できます
  - ソフトウェアで転送要求を発生
  - 周辺機能の割込み要求の発生を検出して転送要求を発生
  - オンチップバスIP (USBホスト, USBファンクション) の割込み要求の発生を検出して転送要求を発生

  転送モードによって , 転送要求を発生させる要因 (転送要求元) が異なります。

  転送モードと転送要求元の対応を表 31.1-1 に示します。

表 31.1-1 転送モードと転送要求元の対応

転送要求元		ブロック転送	バースト転送	デマンド転送
ソフトウェア		○	○	×
周辺機能の割込み要求		○	○	×
オンチップバス IP	USB ホスト	○	×	○
	USB ファンクション	○	×	○

- 優先順位 : 複数の転送要求が発生したときの優先順位を次の 2 種類から選択できます。
  - 固定

    チャネルの若い番号が優先されます。

    ch.0> ch.1> ch.2> ch.3>ch.4>ch.5>ch.6>ch.7 の順番
  - ラウンドロビン

    次のように転送を開始したチャネルの優先順位が一番低くなり , そのチャネルより下位にあったチャネルの優先順位が繰り上がります。

    例) ch.0 → ch.1 の順に転送を行った場合

    初期状態：ch.0 > ch.1> ch.2> ch.3 > ch.4>ch.5>ch.6>ch.7

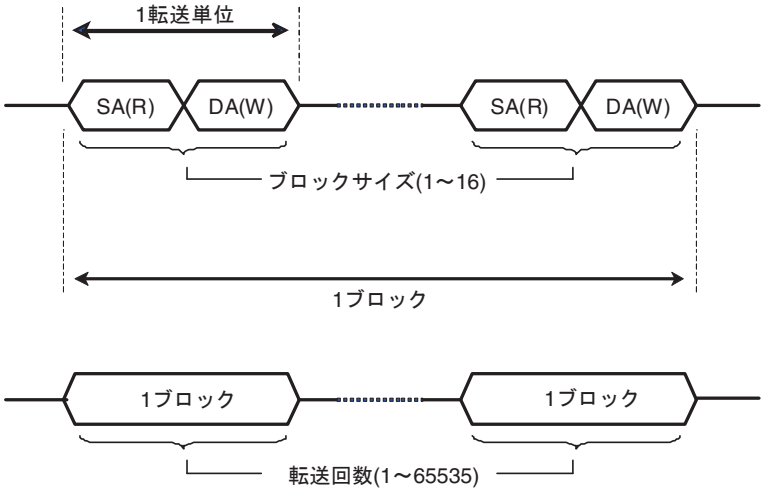
    ch.0 転送後：ch.1> ch.2> ch.3> ch.4>ch.5>ch.6>ch.7>ch.0

    ch.1 転送後：ch.2> ch.3> ch.4>ch.5>ch.6>ch.7>ch.0 >ch.1
- 割込み要求：次の場合に割込み要求を発生できます。
  - DMA 転送の正常終了時
  - DMA 転送の異常終了時
  - 転送停止要求の発生時

■ 用語の定義

DMA コントローラ (DMAC) で使用する各用語を図 31.1-1 に示します。

図 31.1-1 DMA コントローラ (DMAC) の各用語



[1 転送単位]

転送元アドレス (SA：Source Address) 読出し (R：Read) と転送先アドレス (DA：Destination Address) 書込み (W：Write) の 1 つの最小転送のこと。

[ブロックサイズ]

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) のブロックサイズビット (bit3 ～ bit0：BLK3 ～ BLK0) で設定する ,「1 転送単位」の転送回数のこと。

[1 ブロック]

「1 転送単位」×「ブロックサイズ」のこと。

[転送回数]

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) で設定する ,「1 ブロック」の転送回数のこと。

31.2　構成

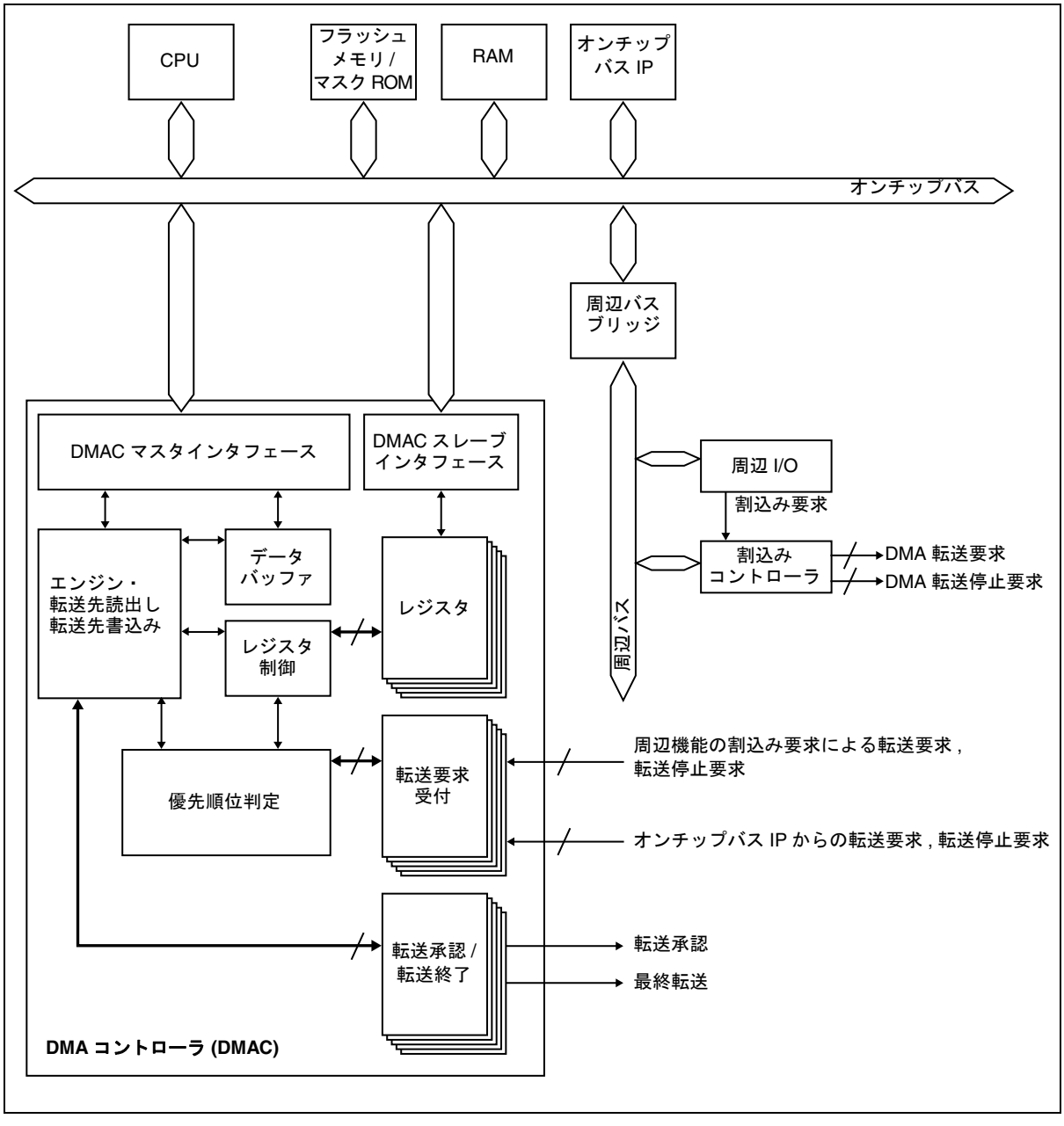
DMA コントローラ (DMAC) の構成を示します。

■ DMA コントローラ (DMAC) のブロックダイヤグラム

DMA コントローラ (DMAC) のブロックダイヤグラムを図 31.2-1 に示します。

DMA コントローラ (DMAC) は図 31.2-1 内の DMA コントローラ (DMAC) と記載されている部分になります。

図 31.2-1 DMA コントローラ (DMAC) のブロックダイヤグラム



- エンジン・転送先読出し / 転送先書込み部

  DMA転送の転送先からデータを読み出したり, 転送先にデータを書き込んだりします。
- 優先順位判定回路

  DMA 転送を行うチャネルの優先順位を判定する回路です。
- 転送要求受付部

  DMA 転送要求を受け付けます。
- 転送受付 / 転送終了部

  転送受付や転送終了を出力します。

■ クロック

DMA コントローラ (DMAC) で使用するクロックを表 31.2-1 に示します。

表 31.2-1 DMA コントローラ (DMAC) で使用するクロック

クロック名	内容
動作クロック	オンチップバスクロック (HCLK)

31.3　レジスタ

DMA コントローラ (DMAC) で使用するレジスタの構成と機能について説明します。

■ レジスター覧

DMA コントローラ (DMAC) のレジスター覧を表 31.3-1 に示します。

表 31.3-1 DMA コントローラ (DMAC) のレジスター覧 (1 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
共通	DMACR	DMA コントロールレジスタ	31.3.1
	DILVR	DMA 転送抑止割込みレベルレジスタ	31.3.7
0	DCCR0	DMA チャネルコントロールレジスタ 0	31.3.5
	DCSR0	DMA チャネルステータスレジスタ 0	31.3.6
	DTCR0	DMA 転送回数レジスタ 0	31.3.4
	DSAR0	DMA 転送元アドレスレジスタ 0	31.3.2
	DDAR0	DMA 転送先アドレスレジスタ 0	31.3.3
1	DCCR1	DMA チャネルコントロールレジスタ 1	31.3.5
	DCSR1	DMA チャネルステータスレジスタ 1	31.3.6
	DTCR1	DMA 転送回数レジスタ 1	31.3.4
	DSAR1	DMA 転送元アドレスレジスタ 1	31.3.2
	DDAR1	DMA 転送先アドレスレジスタ 1	31.3.3
2	DCCR2	DMA チャネルコントロールレジスタ 2	31.3.5
	DCSR2	DMA チャネルステータスレジスタ 2	31.3.6
	DTCR2	DMA 転送回数レジスタ 2	31.3.4
	DSAR2	DMA 転送元アドレスレジスタ 2	31.3.2
	DDAR2	DMA 転送先アドレスレジスタ 2	31.3.3
3	DCCR3	DMA チャネルコントロールレジスタ 3	31.3.5
	DCSR3	DMA チャネルステータスレジスタ 3	31.3.6
	DTCR3	DMA 転送回数レジスタ 3	31.3.4
	DSAR3	DMA 転送元アドレスレジスタ 3	31.3.2
	DDAR3	DMA 転送先アドレスレジスタ 3	31.3.3
4	DCCR4	DMA チャネルコントロールレジスタ 4	31.3.5
	DCSR4	DMA チャネルステータスレジスタ 4	31.3.6
	DTCR4	DMA 転送回数レジスタ 4	31.3.4
	DSAR4	DMA 転送元アドレスレジスタ 4	31.3.2
	DDAR4	DMA 転送先アドレスレジスタ 4	31.3.3

表 31.3-1 DMA コントローラ (DMAC) のレジスター覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
5	DCCR5	DMA チャネルコントロールレジスタ 5	31.3.5
	DCSR5	DMA チャネルステータスレジスタ 5	31.3.6
	DTCR5	DMA 転送回数レジスタ 5	31.3.4
	DSAR5	DMA 転送元アドレスレジスタ 5	31.3.2
	DDAR5	DMA 転送先アドレスレジスタ 5	31.3.3
6	DCCR6	DMA チャネルコントロールレジスタ 6	31.3.5
	DCSR6	DMA チャネルステータスレジスタ 6	31.3.6
	DTCR6	DMA 転送回数レジスタ 6	31.3.4
	DSAR6	DMA 転送元アドレスレジスタ 6	31.3.2
	DDAR6	DMA 転送先アドレスレジスタ 6	31.3.3
7	DCCR7	DMA チャネルコントロールレジスタ 7	31.3.5
	DCSR7	DMA チャネルステータスレジスタ 7	31.3.6
	DTCR7	DMA 転送回数レジスタ 7	31.3.4
	DSAR7	DMA 転送元アドレスレジスタ 7	31.3.2
	DDAR7	DMA 転送先アドレスレジスタ 7	31.3.3

31.3.1　DMA コントロールレジスタ (DMACR)

DMA コントローラ (DMAC) 全体を制御するレジスタです。

DMA コントロールレジスタ (DMACR) のビット構成を図 31.3-1 に示します。

図 31.3-1 DMA コントロールレジスタ (DMACR) のビット構成

	bit	31	30	29	28	27	26	25	24
		DME	予約	予約	予約	予約	予約	予約	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	23	22	21	20	19	18	17	16
		予約	予約	予約	予約	予約	予約	予約	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	15	14	13	12	11	10	9	8
		AT	予約	予約	予約	予約	予約	予約	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	7	6	5	4	3	2	1	0
		予約	予約	予約	予約	予約	予約	予約	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタへは必ずワードアクセスしてください。

[bit31]：DME (DMA 動作許可ビット)

DMA コントローラ (DMAC) 全体の動作を禁止 / 許可します。

書込み値	説明
0	DMA コントローラ (DMAC) 全体の動作を禁止します。
1	DMA コントローラ (DMAC) 全体の動作を許可します。

< 注意事項 >

- このビットに "0" を書き込んで DMA コントローラ (DMAC) 全体の動作を禁止した場合は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットでチャネル動作を許可 (CE=1) しても DMA 転送は行われません。
- DMA 転送中にこのビットに "0" が書き込まれると , 転送中のデータを 1 ブロック転送後 , 転送を停止します。

[bit30 ～ bit16] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit15] : AT (優先順位設定ビット)

複数の転送要求が発生したときの優先順位を次のいずれかに設定します。

- 固定 : チャネルの若い番号が優先されます。
- ラウンドロビン : 1 ブロックのデータを転送するたびに優先順位の判定を行います。転送を開始したチャネルの優先順位が一番低くなり , そのチャネルより下位にあったチャネルの優先順位が繰り上がります。

  例) ch.0 → ch.1 の順に転送を行った場合

  初期状態 : ch.0 > ch.1> ch.2> ch.3> ch.4>ch.5>ch.6>ch.7

  ch.0 転送後 : ch.1> ch.2> ch.3> ch.4>ch.5>ch.6>ch.7>ch.0

  ch.1 転送後 : ch.2> ch.3> ch.4>ch.5>ch.6>ch.7>ch.0 > ch.1

書込み値	説明
0	固定
1	ラウンドロビン

< 注意事項 >

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の BLK3 ～ BLK0 ビットで設定したブロックを転送するたびに , このビットで設定した優先順位の判定が行われます。

デマンド転送で転送中は優先順位の判定は行われません。

[bit14 ～ bit0] : 予約ビット

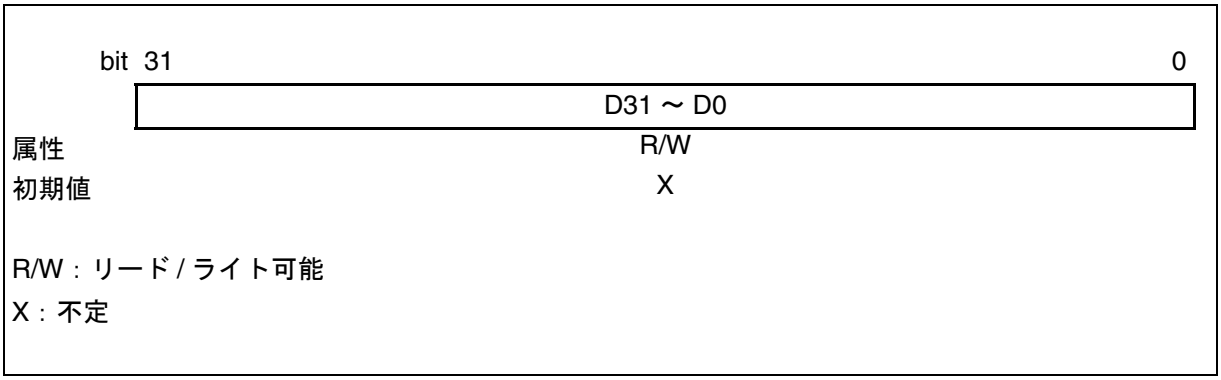
書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

31.3.2　DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7)

転送元のアドレスを設定するレジスタです。チャネルごとにこのレジスタが用意されています。

DMA転送元アドレスレジスタ (DSAR0～DSAR7) のビット構成を図 31.3-2に示します。

図 31.3-2 DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) のビット構成



DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAC1, SAC0 ビットで , 転送元アドレスを更新する設定 (SAC1, SAC0=00 または 01) にしておくと , TS1, TS0 ビットで設定したサイズの DMA 転送が 1 回終了するたびに , このレジスタの値 (アドレス) が更新されます。

また , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定したブロック数分のデータ転送が終了すると , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAR ビットの設定によって , このレジスタの値は次のようになります。

- SAR=0：転送終了後 , このレジスタの値が最後にアクセスしたアドレスの次のアドレスになります。
- SAR=1：転送終了後 , このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

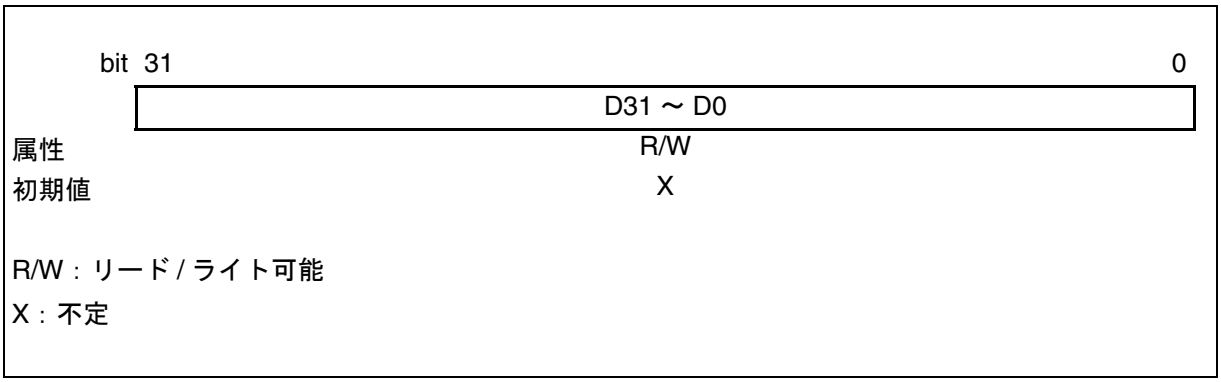
このレジスタへは必ずワードでアクセスしてください。

31.3.3　DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7)

転送先のアドレスを設定するレジスタです。チャネルごとにこのレジスタが用意されています。

DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) のビット構成を図 31.3-3 に示します。

図 31.3-3 DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) のビット構成



DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAC1, DAC0 ビットで , 転送先アドレスを更新する設定 (DAC1, DAC0=00 または 01) にしておくと , TS1, TS0 ビットで設定したサイズの DMA 転送が 1 回終了するたびに , このレジスタの値 (アドレス) が更新されます。

また , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定したブロック数分のデータ転送が終了すると , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAR ビットの設定によって , このレジスタの値は次のようになります。

- DAR=0：転送終了後 , このレジスタの値が最後にアクセスしたアドレスの次のアドレスになります。
- DAR=1：転送終了後 , このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

このレジスタへは必ずワードでアクセスしてください。

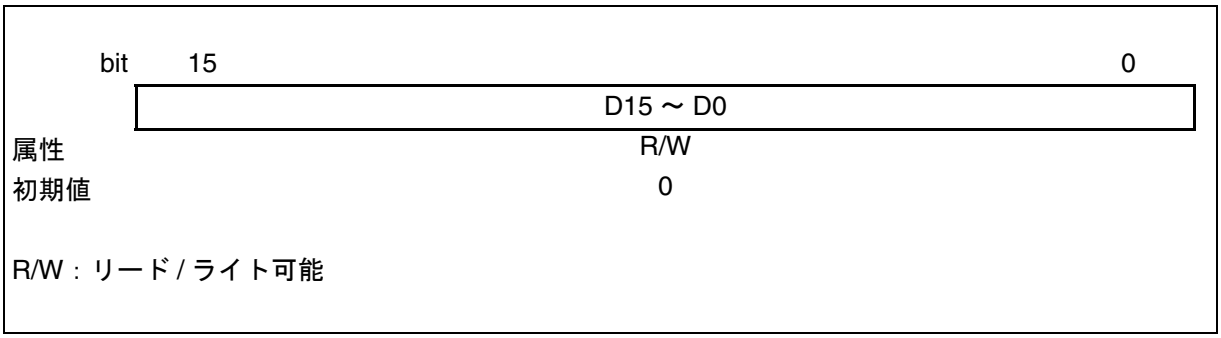
31.3.4　DMA 転送回数レジスタ (DTCR0 ～ DTCR7)

全部で何ブロックのデータを転送するかを 1 回～ 65535 回の範囲で設定するレジスタです。また , この値を読み出すと , 残り何ブロックのデータを転送するかを知ることができます。チャネルごとにこのレジスタが用意されています。

1 ブロック転送するたびにこのレジスタの値が 1 つ減り , このレジスタの値が "0" になると転送が終了します。

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) のビット構成を図 31.3-4 に示します。

図 31.3-4 DMA 転送回数レジスタ (DTCR0 ～ DTCR7) のビット構成



このレジスタに設定したブロック数分のデータ転送が終了すると , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TCR ビットの設定によって , このレジスタの値は次のようになります。

- TCR=0：転送終了後 , このレジスタの値は "0" になります。
- TCR=1：転送終了後 , このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

- このレジスタの値を "0" に設定すると , 転送は行われません。
- このレジスタへは必ずハーフワードでアクセスしてください。
- DMA 転送が中断された場合や , 転送が異常終了した場合は , このレジスタは残りの転送回数を示します。

31.3.5　DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7)

DMA コントローラ (DMAC) のチャネルを制御するレジスタです。チャネルごとにこのレジスタが用意されています。

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) のビット構成を図 31.3-5 に示します。

図 31.3-5 DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) のビット構成

	bit	31	30	29	28	27	26	25	24
		CE	予約	予約	予約	予約	AIE	SIE	NIE
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	23	22	21	20	19	18	17	16
		予約	予約	RS1	RS0	予約	予約	TM1	TM0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	15	14	13	12	11	10	9	8
		ST	SAR	SAC1	SAC0	DT	DAR	DAC1	DAC0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	7	6	5	4	3	2	1	0
		TCR	予約	TS1	TS0	BLK3	BLK2	BLK1	BLK0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

このレジスタへは必ずワードアクセスしてください。

[bit31]：CE (チャネル動作許可ビット)

チャネルの動作を禁止 / 許可します。

書込み値	説明
0	チャネルの動作を禁止します。
1	チャネルの動作を許可します。

RS1, RS0 ビットでDMA転送の要求元をソフトウェアに設定 (RS1, RS0=00) しているときに , このビットに "1" を書き込むと , DMA 転送を開始します。転送が終了すると , このビットは自動的に "0" にクリアされます。

RS1, RS0 ビットを "00" 以外に設定している場合は , このビットに "1" を書き込むとチャネル動作の許可のみが行われます。

この場合は , RS1, RS0 ビットで設定した転送要求を検出すると転送が開始されます。また , TCR ビットの設定によって , このビットの値が次のようになります。

- TCR=0：転送終了後 , "0" にクリアされます。
- TCR=1：転送終了後も "0" にクリアされません。

< 注意事項 >

DMA 転送中にこのビットに "0" が書き込まれると , 転送中のデータを 1 ブロック転送後 , 転送を停止します。
その場合 , 再びこのビットに "1" が書き込まれ , 転送要求が検出されるまで転送は再開されません。

[bit30 ～ bit27]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit26]：AIE (異常終了割込み許可ビット)

チャネルの異常終了割込みを許可している時 (AIE=1) にこのレジスタに設定禁止の値を設定すると異常終了割込み要求を出力します。

ただし , 異常終了を示すフラグビット (DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の AC ビット) はここでの設定によらず "1" に変わります。

このレジスタに設定した値が次のいずれかに当てはまると DMA 転送が異常終了したとみなされます。

- TM1, TM0 ビット =10 (設定禁止)
- SAC1, SAC0 ビット =10 (設定禁止)
- DAC1, DAC0 ビット =10 (設定禁止)
- TS1, TS0 ビット =11 (設定禁止)
- RS1, RS0 ビット=00 かつ , TM1, TM0 ビット=11 (転送要求元 : ソフトウェア , 転送モード : デマンド転送)

書込み値	説明
0	異常終了割込み要求の発生を禁止します。
1	異常終了割込み要求の発生を許可します。

< 注意事項 >

- AIE=0 のとき , AIE=1 書込みと同時にレジスタに設定禁止の値を設定すると , AIE=1, DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の AC=1 となりますが異常終了割込み要求は発生しません。
- 異常終了割込み要求発生時に AIE=0 にしても割込み要求はクリアされません。AC=0 を書き込んで割込み要求をクリアしてください。

[bit25]：SIE (転送中断割込み許可ビット)

チャネルの転送中断割込みを許可しているとき(SIE=1)に転送停止要求によって転送中断すると割込み要求を出力します。

ただし , 転送停止要求による転送中断を示すフラグビット (DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビット) は , 転送停止要求が発生すると , ここでの設定によらず "1" に変わります。

書込み値	説明
0	転送中断割込み要求の発生を禁止します。
1	転送中断割込み要求の発生を許可します。

< 注意事項 >

転送中断割込み要求発生時に SIE=0 にしても割込み要求はクリアされません。SP=0 を書き込んで割込み要求をクリアしてください。

[bit24]：NIE (正常終了割込み許可ビット)

チャネルの正常終了割込みを許可しているとき (NIE=1) に DMA 転送が正常終了すると割込み要求を出力します。

ただし , 正常終了を示すフラグビット (DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の NC ビット) は , DMA 転送が正常終了すると , ここでの設定によらず "1" に変わります。

次のいずれかの場合に , DMA 転送が正常終了したとみなされます。

- DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した転送回数分 , 転送を終了したとき
- DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値が "0" のときに CE ビットでチャネル動作を許可 (CE=1) したとき

書込み値	説明
0	正常終了割込み要求の発生を禁止します。
1	正常終了割込み要求の発生を許可します。

< 注意事項 >

正常終了割込み要求発生時に NIE=0 にしても割込み要求はクリアされません。NC=0 を書き込んで割込み要求をクリアしてください。

[bit23, bit22] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit21, bit20] : RS1, RS0 (転送要求元ビット)

転送要求を発生させる要因 (転送要求元) を次の 3 種類から設定します。

- ソフトウェアで転送要求を発生
- 周辺機能で発生した割込み要求を検出して転送要求を発生
- オンチップバス IP (USB ホスト , USB ファンクション) で発生した割込み要求を検出して転送要求を発生

RS1	RS0	説明
0	0	ソフトウェア
0	1	周辺機能の割込み要求
1	0	設定禁止
1	1	オンチップバス IP

< 注意事項 >

- TM1, TM0 ビットで転送モードをデマンド転送に設定 (TM1, TM0=11) した場合は , 転送要求元には , オンチップバス IP のみ設定できます。
- 転送要求元に周辺機能の割込み要求を設定した場合は , 次のレジスタの設定が必要になります。
  - IO 転送要求設定レジスタ (IORR0 ～ IORR7)
  - ペリフェラルによる DMA 転送要求のクリア選択レジスタ (ICSEL0 ～ ICSEL11)

  「第 32 章　周辺機能による DMA 転送要求の発生 / クリア選択機能」の各レジスタを参照してください。
- 転送要求元にオンチップバス IP を設定した場合は , オンチップバス IP の DMA 転送に関する設定が必要になります。USB ホストの場合は「第 28 章　USB ホスト」, USB ファンクションの場合は「第 27 章　USB ファンクション」を参照してください。

[bit19, bit18] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit17, bit16] : TM1, TM0 (転送モードビット)

転送モードを次の 3 種類から設定します。

- ブロック転送

  転送要求が発生するとデータを 1 ブロック転送します。1 ブロックのデータを転送後 , 再度転送要求を検出すると , 次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。
- バースト転送

  1 度 , 転送要求が発生するとすべてのデータを転送するまで , 1 ブロックずつ連続でデータを転送するモードです。
- デマンド転送

  1 度 , 転送要求が発生すると , 転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また , データ転送が終了したときに転送回数をリロードする設定になっている場合は , 転送要求が取り下げられるまで転送をし続けます。

TM1	TM0	説明
0	0	ブロック転送
0	1	バースト転送
1	0	設定禁止
1	1	デマンド転送

< 注意事項 >

デマンド転送に設定した場合は , ST ビットまたは DT ビットを "1" にする必要があります。

[bit15] : ST (転送元タイプビット)

転送元の読出しサイクルで,転送要求受付信号や転送終了信号を出力するかどうかを設定します。

書込み値	説明
0	出力しない
1	出力する

転送要求元に周辺機能の割込み要求を設定し , かつその周辺を転送元に設定した場合 , このビットを "1" に設定することで , 転送要求受付信号が出力され , 転送要求をクリアすることができます。

< 注意事項 >

- TM1, TM0 ビットで転送モードをデマンド転送 (TM1, TM0=11) に設定した場合は , このビット /DT ビットの両方または一方を "1" にしてください。
- USB ファンクション , USB ホストで DMA 転送を行う場合 , 転送元タイプに関わらず必ず ST ビットに "0" を設定してください。

[bit14]：SAR (転送元アドレスリロードビット)

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した回数のデータ転送が終了したときに , DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値を転送前の値に戻すかどうかを設定します (転送元アドレスのリロードを許可 / 禁止) 。

書込み値	説明
0	リロードを禁止します。 転送終了後 , DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値は最後にアクセスしたアドレスの次のアドレスになります。
1	リロードを許可します。 転送終了後 , DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値が , 転送前に書き込んだ値に戻ります。

[bit13, bit12]：SAC1, SAC0 (転送元アドレスカウントビット)

TS1, TS0 ビットで設定したサイズのデータ転送が終了するたびに DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値を更新するかどうかを次の 3 種類から設定します。

SAC1	SAC0	説明
0	0	アドレス増加
0	1	アドレス減少
1	0	設定禁止
1	1	アドレス固定

アドレス増加 / アドレス減少を設定した場合は , TS1, TS0 ビットで設定した転送サイズによって , 増加 / 減少値が異なります。

転送サイズとアドレスの増加 / 減少値の対応を表 31.3-2 に示します。

表 31.3-2 転送サイズとアドレスの増加 / 減少値の対応

転送サイズ	増加 / 減少値
8 ビット	1
16 ビット	2
32 ビット	4

[bit11]：DT (転送先タイプビット)

転送先への書込みサイクルで,転送要求受付信号や転送終了信号を出力するかどうかを設定します。

書込み値	説明
0	出力しない
1	出力する

転送要求元に周辺機能の割込み要求を設定し , かつその周辺を転送先に設定した場合 , このビットを "1" に設定することで , 転送要求受付信号が出力され , 転送要求をクリアすることができます。

< 注意事項 >

- TM1, TM0 ビットで転送モードをデマンド転送 (TM1, TM0=11) に設定した場合は , このビット /ST ビットの両方または一方を "1" にしてください。
- USB ファンクション , USB ホストで DMA 転送を行う場合 , 転送先タイプに関わらず必ず DT ビットに "1" を設定してください。

[bit10] : DAR (転送先アドレスリロードビット)

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した回数のデータ転送が終了したときに , DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値を転送前の値に戻すかどうかを設定します (転送元アドレスのリロードを許可 / 禁止) 。

書込み値	説明
0	リロードを禁止します。 転送終了後 , DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値は最後にアクセスしたアドレスの次のアドレスになります。
1	リロードを許可します。 転送終了後 , DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値が , 転送前に書き込んだ値に戻ります。

[bit9, bit8] : DAC1, DAC0 (転送先アドレスカウントビット)

TS1, TS0 ビットで設定したサイズのデータ転送が終了するたびに DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値を更新するかどうかを次の 3 種類から設定します。

DAC1	DAC0	説明
0	0	アドレス増加
0	1	アドレス減少
1	0	設定禁止
1	1	アドレス固定

アドレス増加 / アドレス減少を設定した場合は , TS1, TS0 ビットで設定した転送サイズによって , 増加 / 減少値が異なります。

転送サイズとアドレスの増加 / 減少値の対応を表 31.3-3 に示します。

表 31.3-3 転送サイズとアドレスの増加 / 減少値の対応

転送サイズ	増加 / 減少値
8 ビット	1
16 ビット	2
32 ビット	4

[bit7]：TCR (転送回数リロードビット)

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した回数のデータ転送が終了したときに , 設定した転送回数を DMA 転送回数レジスタ (DTCR0 ～ DTCR7) にリロードするかどうかを設定します (転送回数のリロードを許可 / 禁止) 。

書込み値	説明
0	リロードを禁止します。 転送終了後 , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値が "0" にクリアされます。
1	リロードを許可します。 転送終了後 , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値が転送前に書き込んだ値に戻ります。

< 注意事項 >

- このビットに "1" かつ RS1, RS0 ビットで転送要求元をソフトウェア以外に設定しているときは , 転送が終了しても , CE ビットは "0" にクリアされず転送要求待ち状態になります。
- このビットに "0" を書き込んだ場合は , 転送要求元にかかわらず , 転送が終了すると CE ビットは自動的に "0" にクリアされます。
- このビットに "1" を書き込んでリロードを許可すると , デマンド転送では転送要求が出力されている間は , 設定回数分転送が終了したかどうかにかかわらず連続して転送が行われます。

[bit6]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit5, bit4]：TS1, TS0 (転送サイズビット)

1 回で転送するデータのサイズ (幅) を次の 3 種類から設定します。

TS1	TS0	説明
0	0	8 ビット
0	1	16 ビット
1	0	32 ビット
1	1	設定禁止

[bit3 ～ bit0] : BLK3~BLK0 (ブロックサイズビット)

1 ブロック内の 1 転送単位の回数 (サイズ) を設定します。

BLK3	BLK2	BLK1	BLK0	説明
0	0	0	0	1 回
0	0	0	1	2 回
0	0	1	0	3 回
0	0	1	1	4 回
0	1	0	0	5 回
0	1	0	1	6 回
0	1	1	0	7 回
0	1	1	1	8 回
1	0	0	0	9 回
1	0	0	1	10 回
1	0	1	0	11 回
1	0	1	1	12 回
1	1	0	0	13 回
1	1	0	1	14 回
1	1	1	0	15 回
1	1	1	1	16 回

31.3.6　DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7)

DMA コントローラ (DMAC) の状態を示すレジスタです。チャネルごとにこのレジスタが用意されています。

DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) のビット構成を図 31.3-6 に示します。

図 31.3-6 DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) のビット構成

	bit	15	14	13	12	11	10	9	8
		CA	予約	予約	予約	予約	予約	予約	予約
属性		R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
	bit	7	6	5	4	3	2	1	0
		予約	予約	予約	予約	予約	AC	SP	NC
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

R/W：リード / ライト可能
R：リードオンリ

< 注意事項 >

このレジスタへは必ずハーフワードでアクセスしてください。

[bit15] : CA (チャネルアクティブビット)

チャネルの動作状態を示します。

読出し値	説明
0	チャネルは動作していません。
1	チャネルが動作中です。

< 注意事項 >

- DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込むと , このビットが "1" に変わります。
- 次のいずれかの場合に , このビットが "0" に変わります。
  - 転送が終了した
  - DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "0" が書き込まれた

[bit14 ～ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2] : AC (異常終了状態フラグビット)

DMA 転送が異常終了したことを示します。

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の値が , 次のいずれかに当てはまると DMA 転送が異常終了したとみなされます。

- TM1, TM0 ビット =10 (設定禁止)
- SAC1, SAC0 ビット =10 (設定禁止)
- DAC1, DAC0 ビット =10 (設定禁止)
- TS1, TS0 ビット =11 (設定禁止)
- RS1, RS0 ビット=00かつ, TM1, TM0 ビット=11 (転送要求元: ソフトウェア, 転送モード : デマンド転送)

このビットが "1" のときに , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の AIE ビットに "1" が設定されていると異常終了割込み要求が発生します。

AC	読出し時	書込み時
0	異常終了は検出されていません。	このビットを "0" にクリアします。
1	異常終了が検出されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に , このビットに "0" を書き込んで , 異常終了割込み要求フラグをクリアしてください。

DMA 転送中にこのビットをクリアする場合, このビットが"1" になっていることを確認してから "0" を書き込んでクリアしてください。

[bit1] : SP (転送中断状態フラグビット)

転送要求元から転送停止要求があり転送を中断したことを示します。

このビットが "1" のときに , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SIE ビットに "1" が設定されていると転送中断割込み要求が発生します。

SP	読出し時	書込み時
0	転送は中断されていません。	このビットを "0" にクリアします。
1	転送が中断されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に , このビットに "0" を書き込んで , 転送中断割込み要求フラグをクリアしてください。

DMA 転送中にこのビットをクリアする場合, このビットが"1" になっていることを確認してから "0" を書き込んでクリアしてください。

[bit0] : NC (正常終了状態フラグビット)

DMA 転送が正常に終了したことを示します。

次のいずれかの場合に , DMA 転送が正常終了したとみなされます。

- DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した転送回数分 , 転送を終了したとき
- DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値が "0" のときに , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットでチャネル動作を許可 (CE=1) したとき

このビットが "1" のときに , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の NIE ビットに "1" が設定されていると正常終了割込み要求が発生します。

NC	読出し時	書込み時
0	転送の正常終了は検出されていません。	このビットを "0" にクリアします。
1	転送の正常終了が検出されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に , このビットに "0" を書き込んで , 正常終了割込み要求フラグをクリアしてください。

DMA 転送中にこのビットをクリアする場合, このビットが"1" になっていることを確認してから "0" を書き込んでクリアしてください。

31.3.7　DMA 転送抑止割込みレベルレジスタ (DILVR)

周辺機能で割込み要求が発生したときにDMA転送を抑止するかどうかを設定するレジスタです。

DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成を図 31.3-7 に示します。

図 31.3-7 DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	LVL4	LVL3	LVL2	LVL1	LVL0
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	0	0	0	1	1	1	1	1

R/W：リード / ライト可能
R　：リードオンリ

< 注意事項 >

このレジスタへは必ずバイトアクセスしてください。

[bit7 ～ bit5]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit4 ～ bit0] : LVL4 ～ LVL0 (DMA 抑止割込みレベルビット)

DMA 転送を抑止する割込みレベルを設定します。このビットに設定した割込みレベルより高いレベルの割込み要求が周辺機能から発生すると DMA 転送が抑止されます。

LVL4	LVL3	LVL2	LVL1	LVL0	DMA 転送を抑止する割込み要求レベル
1	0	0	0	0	DMA 転送は抑止されません。
1	0	0	0	1	"11_H" より高いレベルの割込み要求
1	0	0	1	0	"12_H" より高いレベルの割込み要求
1	0	0	1	1	"13_H" より高いレベルの割込み要求
1	0	1	0	0	"14_H" より高いレベルの割込み要求
1	0	1	0	1	"15_H" より高いレベルの割込み要求
1	0	1	1	0	"16_H" より高いレベルの割込み要求
1	0	1	1	1	"17_H" より高いレベルの割込み要求
1	1	0	0	0	"18_H" より高いレベルの割込み要求
1	1	0	0	1	"19_H" より高いレベルの割込み要求
1	1	0	1	0	"$1A_H$" より高いレベルの割込み要求
1	1	0	1	1	"$1B_H$" より高いレベルの割込み要求
1	1	1	0	0	"$1C_H$" より高いレベルの割込み要求
1	1	1	0	1	"$1D_H$" より高いレベルの割込み要求
1	1	1	1	0	"$1E_H$" より高いレベルの割込み要求
1	1	1	1	1	すべての割込み要求

< 注意事項 >

LVL4 ビットは "1" 固定で , LVL3 ～ LVL0 のみ設定が可能です。

31.4　割込み

次のいずれかの状態になると割込み要求が発生します。

- DMA 転送が正常終了したとき (正常終了割込み要求)
- DMA 転送が異常終了したとき (異常終了割込み要求)
- 転送停止要求が発生し DMA 転送が中断したとき (転送中断割込み要求)

DMA コントローラ (DMAC) で使用できる割込みについて表 31.4-1 に示します。

表 31.4-1 DMA コントローラ (DMAC) の割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込みのクリア
正常終了割込み要求	DCSR の NC=1	DCCR の NIE=1	DCSR の NC ビットに "0" を書き込む
異常終了割込み要求	DCSR の AC=1	DCCR の AIE=1	DCSR の AC ビットに "0" を書き込む
転送中断割込み要求	DCSR の SP=1	DCCR の SIE=1	DCSR の SP ビットに "0" を書き込む

DCSR : DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7)
DCCR : DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7)

< 注意事項 >

- 割込み要求フラグは, 割込み要求の発生を禁止してからクリアするか, 割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については ,「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは, 割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については ,「第 10 章 割込みコントローラ」を参照してください。
- DMA コントローラの割込み要求発生時に割込み許可ビット (AIE,SIE,NIE) を "0" にしても割込み要求はクリアされません。割込み要求フラグ (AC,SP,NC) に "0" を書き込んで割込み要求をクリアしてください。

31.5　動作説明と設定手順例

DMA コントローラ (DMAC) の動作について説明します。また , 各転送モードを設定するための設定手順例も示します。

31.5.1　転送設定

DMA コントローラ (DMAC) を使用するのに必要な設定について説明します。

■ 概要

DMA 転送を利用する場合は , DMA コントローラ (DMAC) 全体に対する設定と , 使用するチャネルに対する設定が必要です。

また , DMA 転送の転送要求元を周辺機能の割込み要求にする場合は , 割込みベクタ番号の選択や , 各周辺機能での設定も必要です。詳しくは「第 32 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」を参照してください。

設定する順番は次のようになります。

1. DMA コントローラ (DMAC) 全体に対する設定

   「■ DMA コントローラ (DMAC) 全体に対する設定」を参照してください。

2. 使用するチャネルの DMA コントローラに対する設定

   「■ チャネルに対する設定」を参照してください。

■ DMA コントローラ (DMAC) 全体に対する設定

DMA コントローラ (DMAC) を使用する場合 , DMA コントローラ (DMAC) 全体に対する設定と , 使用するチャネルに対する設定が必要になります。

ここでは , DMA コントローラ (DMAC) 全体に対して必要な設定について説明します。

- DMAコントロールレジスタ (DMACR) のDMEビットでDMAコントローラ (DMAC) の動作の許可

  動作禁止：DME=0

  動作許可：DME=1

- DMA コントロールレジスタ (DMACR) の AT ビット優先順位の設定

  固定：AT=0

  ラウンドロビン：AT=1

- DMA転送抑止割込みレベルレジスタ (DILVR) のLVL4～LVL0ビットでDMA転送を抑止する割込みレベルを設定

詳細については , 各レジスタの説明を参照してください。

< 注意事項 >

DMA 転送要求の発生要因を周辺機能で発生した割込み要求にする場合は , DMA コントローラ (DMAC) の設定をする前に , 割込みベクタ番号を選択してください。

割込みベクタ番号の選択については ,「第 32 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」の「32.3.1 IO 転送要求設定レジスタ (IORR0 ～ IORR7)」を参照してください。

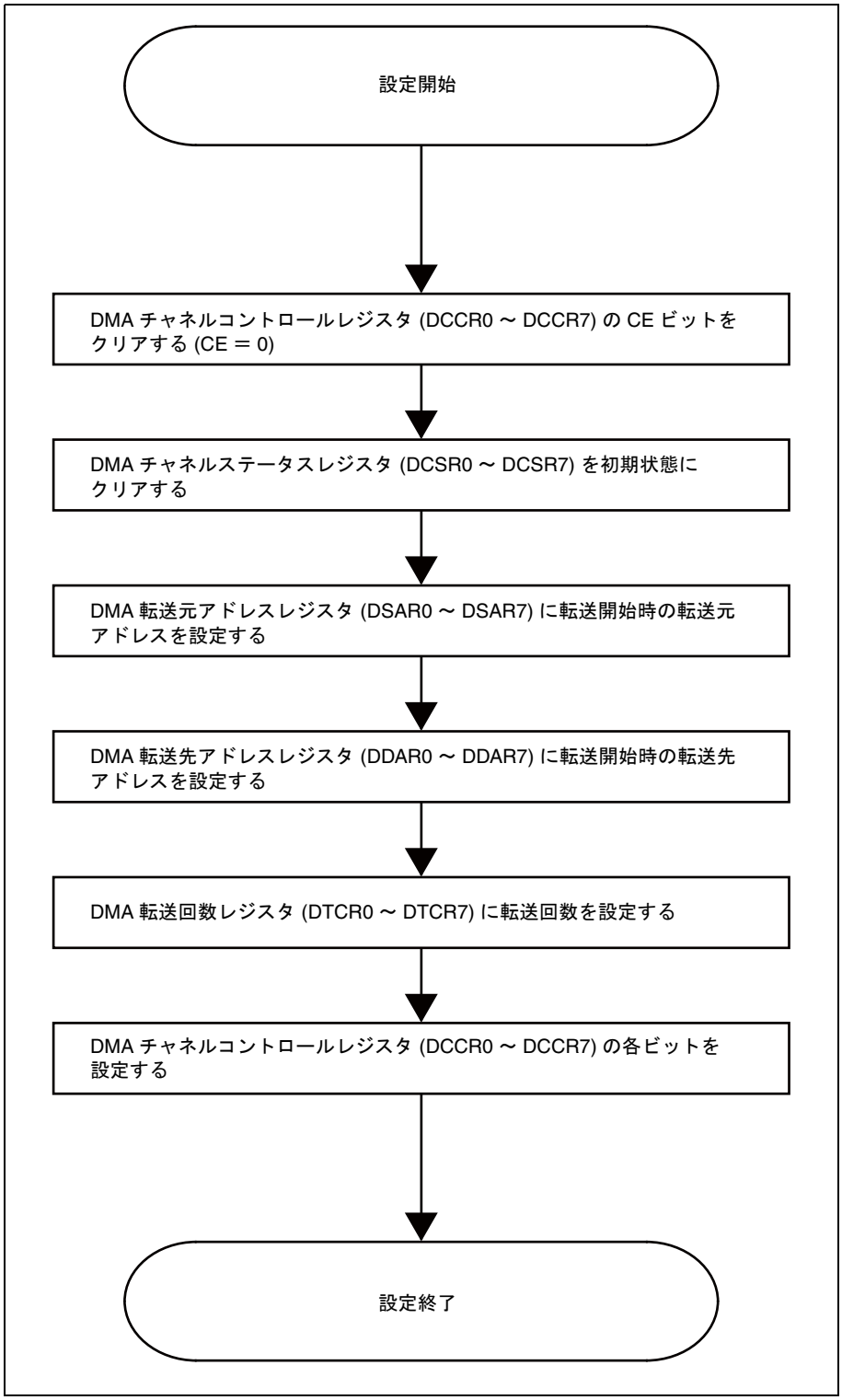
■ チャネルに対する設定

ここでは , 使用するチャネルに対して必要な設定について説明します。

DMA コントローラ (DMAC) 全体に対する設定が終了したら , チャネルに対する設定を行ってください。

チャネルに対する設定手順例を図 31.5-1 に示します。

図 31.5-1 設定手順例



1. チャネルの動作を禁止する

   DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビット =0

2. チャネルの状態を示すフラグを初期化する

   DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の AC ビット /SP ビット /NC ビット =0

3. 転送元アドレスを設定する

   DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の D31 ～ D0 ビット

4. 転送先アドレスを設定する

   DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の D31 ～ D0 ビット

5. 転送回数を 1 回～ 65535 回の範囲で設定する

   DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の D15 ～ D0 ビット =1 以上

6. その他の設定

   DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の各ビットを設定

7. DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込む

   チャネルの動作が許可されます。

   転送要求元をソフトウェアにしている場合は , チャネルの動作許可と同時に転送が開始されます。

< 注意事項 >

レジスタの設定方法については , 各レジスタの説明を参照してください。

31.5.2　転送動作

DMA コントローラ (DMAC) の転送動作について説明します。

■ 転送モード

DMA コントローラ (DMAC) は , 次の 3 種類の転送モードがあります。

- ブロック転送

  転送要求が発生するとデータを 1 ブロック転送するモードです。1 ブロックのデータを転送後 , 再度転送要求を検出すると , 次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TS1, TS0 ビットで設定した転送サイズのデータを BLK3 ～ BLK0 ビットで設定した回数分 , 1 回ずつ転送します。

- バースト転送

  1 度 , 転送要求が発生するとすべてのデータを転送するまで , 1 ブロックずつ連続で転送するモードです。

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TS1, TS0 ビットで設定した転送サイズのデータを BLK3 ～ BLK0 ビットで設定した回数分ずつ , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した回数連続して転送します。

- デマンド転送

  1 度 , 転送要求が発生すると , 転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また , データ転送が終了したときに転送回数をリロードする設定になっている場合は , 転送要求が取り下げられるまで転送をし続けます。

  デマンド転送では ST/DT の両方またはどちらか一方を "1" にする必要があります。

転送モードによって , 転送要求を発生させる要因が異なります。

転送モードと転送要求元の対応を表 31.5-1 に示します。

表 31.5-1 転送モードと転送要求元の対応

転送要求元		ブロック転送	バースト転送	デマンド転送
ソフトウェア		○	○	×
周辺機能の割込み要求		○	○	×
オンチップバス IP	USB ホスト	○	×	○
	USB ファンクション	○	×	○

■ 転送要求の検出

DMA 転送要求を検出することにより , 転送動作が開始されます。

転送要求の検出動作は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の RS1, RS0 ビットで設定した転送要求元によって異なります。

- 転送要求元がソフトウェアの場合

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込むと , チャネルの優先順位を判定し , 転送が開始されます。

- 転送要求元がソフトウェア以外の場合

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込むと , チャネルの動作が許可されます。

  その状態で , 転送要求を検出すると , チャネルの優先順位を判定し , 転送が開始されます。

< 注意事項 >

- 転送要求元に周辺機能の割込み要求を設定した場合は，割込みベクタの選択が必要になります。「第 32 章　周辺機能による DMA 転送要求の発生 / クリア選択機能」の「32.3.1 IO 転送要求設定レジスタ (IORR0 ～ IORR7)) を参照してください。
- 転送要求元に周辺機能の割込み要求を設定した場合は，周辺機能で割込み要求が発生した時点での割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ～ ICR47) の値が次のようになるように設定してください。

  ILM ≦ ICR
- 転送要求元にオンチップバス IP を設定した場合は , オンチップバス IP の DMA 転送に関する設定が必要になります。USB ホストの場合は「第 28 章　USB ホスト」, USB ファンクションの場合は「第 27 章　USB ファンクション」を参照してください。

転送要求元と転送要求の検出条件を表 31.5-2 に示します。

表 31.5-2　転送要求元と転送要求の検出条件

転送要求元		ブロック転送時	バースト転送時	デマンド転送時
ソフトウェア		DCCR の CE ビットに "1" を書き込む		ー
割込み要求		エッジ検出		ー
オンチップバス IP	USB ホスト	エッジ検出	ー	1 回目：エッジ検出 2 回目以降：レベル検出
	USB ファンクション			

DCCR：DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7)

< 注意事項 >

周辺機能の割込み要求はエッジ検出のため割込み要求発生中に CE=0 を 1 にしても転送開始はしません。CE=1 設定後に周辺機能の割込み許可などを行ってください。

■ 動作

転送要求を検出すると , 次のように転送が行われます。

1. DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) に設定したアドレスからデータを読み出す

   DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TS1, TS0 ビットで設定したビット幅のデータが読み出されます。
2. DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) に設定したアドレスにデータを書き込む

■ 優先順位

DMA 転送要求が複数発生すると , DMA コントロールレジスタ (DMACR) の AT ビットの設定にしたがって , 優先順位の高いチャネルから転送が行われます。

優先順位の判定は , 1 ブロック転送するごとに行われます。また , 転送終了時にも優先順位の判定が行われます。

< 注意事項 >

デマンド転送で転送中は優先順位の判定は行われません。

優先順位の決定方法は次のいずれかになります。

- 固定：チャネルの若い番号が優先されます。

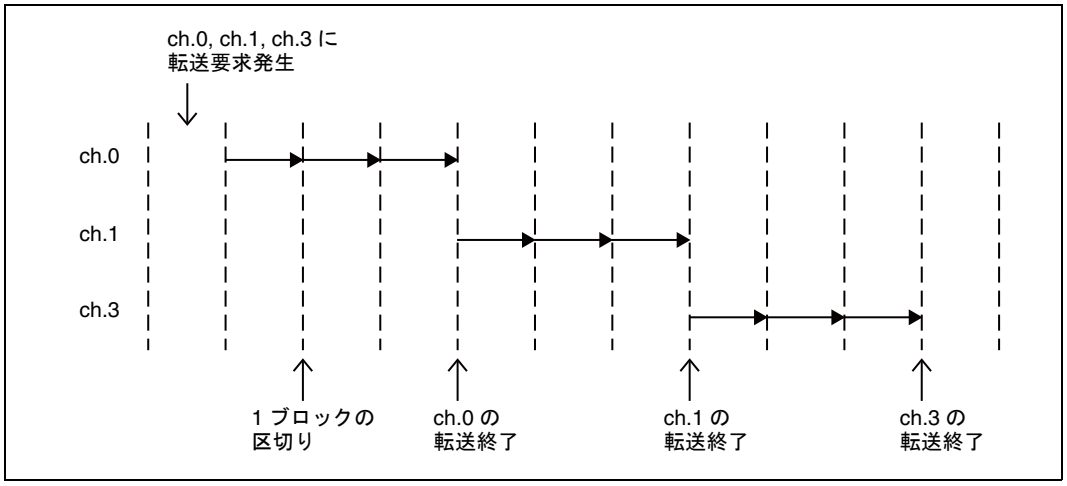
  転送例 1 として次の条件での転送例を図 31.5-2 に示します。

  転送要求：ch.0, ch.1, ch.3 で同時発生

  転送モード：すべてチャネルがバースト転送モード

  転送回数：すべてのチャネルが 3

図 31.5-2 転送例 1

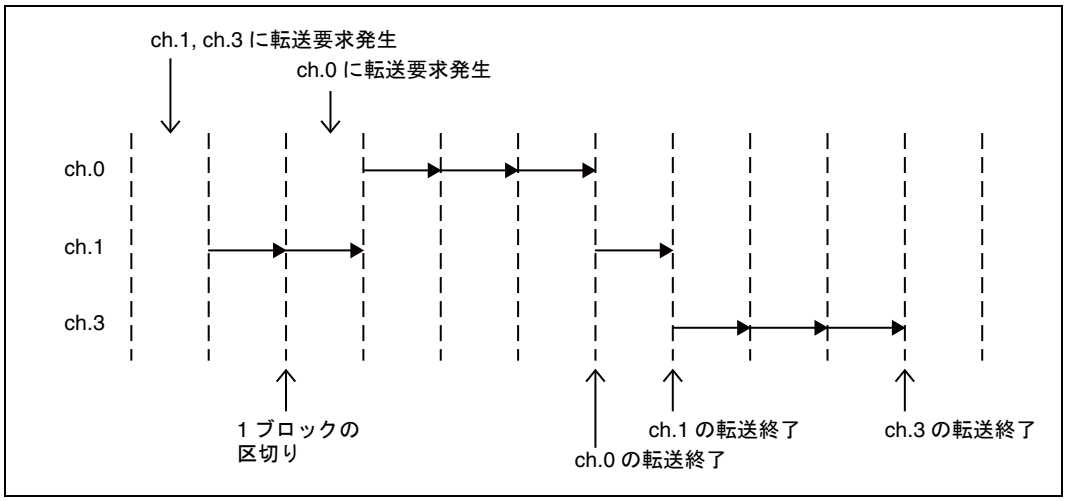


1. 転送要求が ch.0, ch.1, ch.3 で同時に発生します。
2. ch.0 の転送が開始されます。
3. ch.0 のデータを 3 ブロック転送し終わると , ch.1 の転送が開始されます。
4. ch.1 のデータを 3 ブロック転送し終わると , ch.3 の転送が開始されます。

転送例 2 として次の条件での転送例を図 31.5-3 に示します。
転送要求：
- ch.1, ch.3 で同時発生
- ch.1 の転送中に ch.0 で発生

転送モード：すべてチャネルがバースト転送モード
転送回数：すべてのチャネルが 3

図 31.5-3 転送例 2



1. 転送要求が ch.1, ch.3 で同時に発生します。
2. ch.1 の転送が開始されます。
3. ch.1 の転送中に ch.0 で転送要求が発生します。
4. ch.1 の転送が中断され , ch.0 の転送が開始されます。
5. ch.0 のデータを 3 ブロック転送し終わると , ch.1 の転送が開始されます。
6. ch.1 のデータを 3 ブロック転送し終わると , ch.3 の転送が開始されます。

- ラウンドロビン：転送を開始したチャネルの優先順位が一番低くなり , そのチャネルより下位にあったチャネルの優先順位が 1 つずつ繰り上がります。

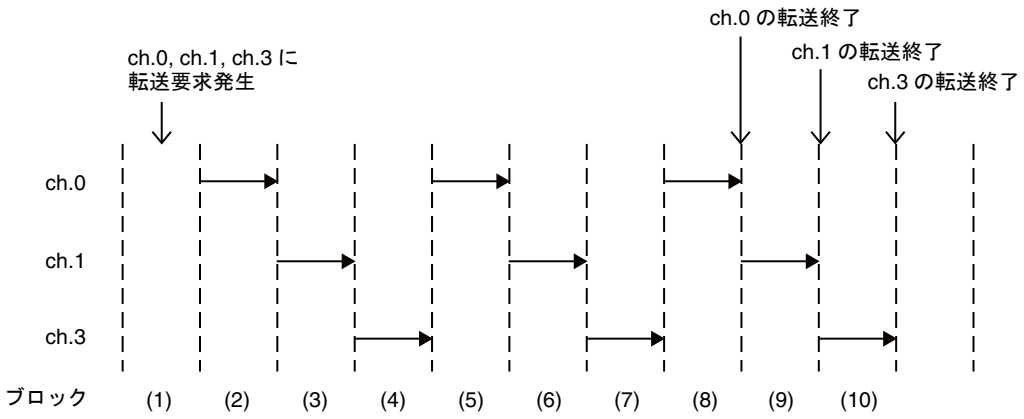
  次の条件での転送例を図 31.5-4 に示します。

  転送要求：ch.0, ch.1, ch.3 で同時発生

  転送モード：すべてチャネルがバースト転送モード

  転送回数：すべてのチャネルが 3

図 31.5-4 転送例



各ブロックでのチャネル優先順位

(1) ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7
(2) ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0
(3) ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1
(4) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1 > ch.3
(5) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.1 > ch.3 > ch.0
(6) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.3 > ch.0 > ch.1
(7) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1 > ch.3
(8) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.1 > ch.3 > ch.0
(9) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.3 > ch.0 > ch.1
(10) ch.2 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1 > ch.3

1. 転送要求が ch.0, ch.1, ch.3 で同時に発生します。
2. ch.0 のデータを 1 ブロック転送します。
3. ch.0 のデータを 1 ブロック転送後 , ch.1 のデータを 1 ブロック転送します。
4. ch.1 のデータを 1 ブロック転送後 , ch.3 のデータを 1 ブロック転送します。
5. ch.3 のデータを 1 ブロック転送後 , ch.0 のデータの 2 ブロック目を転送します。
6. ch.0のデータの2ブロック目を転送後, ch.1のデータの2ブロック目を転送します。
7. ch.1のデータの2ブロック目を転送後, ch.3のデータの2ブロック目を転送します。
8. ch.3のデータの2ブロック目を転送後, ch.0のデータの3ブロック目を転送します。
   ch.0 の転送が終了します。
9. ch.0のデータの3ブロック目を転送後, ch.1のデータの3ブロック目を転送します。
   ch.1 の転送が終了します。
10. ch.1のデータの3ブロック目を転送後, ch.3のデータの3ブロック目を転送します。
    ch.3 の転送が終了します。

■ 転送アドレス更新動作

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TS1, TS0 ビットで設定したサイズのデータを転送するたびに , 転送元アドレスと転送先アドレスを増加 / 減少させることができます。

アドレスの更新は , 次のレジスタで設定できます。

- 転送元アドレス : DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAC1, SAC0 ビット
- 転送先アドレス : DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAC1, DAC0 ビット

また , 増加 / 減少幅は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TS1, TS0 ビットで設定したサイズによって異なります。

各ビットの設定値と増加 / 減少幅の対応を表 31.5-3 に示します。

表 31.5-3 各ビットの設定値と増加 / 減少幅

転送元アドレス (SAC1, SAC0)	転送先アドレス (DAC1, DAC0)	転送サイズ (TS1, TS0)	転送元アドレス増減幅	転送先アドレス増減幅
00 (増加)	00 (増加)	00 (8 ビット)	1 増加	1 増加
		01 (16 ビット)	2 増加	2 増加
		10 (32 ビット)	4 増加	4 増加
	01 (減少)	00 (8 ビット)	1 増加	1 減少
		01 (16 ビット)	2 増加	2 減少
		10 (32 ビット)	4 増加	4 減少
	11 (固定)	00 (8 ビット)	1 増加	増減なし
		01 (16 ビット)	2 増加	増減なし
		10 (32 ビット)	4 増加	増減なし
01 (減少)	00 (増加)	00 (8 ビット)	1 減少	1 増加
		01 (16 ビット)	2 減少	2 増加
		10 (32 ビット)	4 減少	4 増加
	01 (減少)	00 (8 ビット)	1 減少	1 減少
		01 (16 ビット)	2 減少	2 減少
		10 (32 ビット)	4 減少	4 減少
	11 (固定)	00 (8 ビット)	1 減少	増減なし
		01 (16 ビット)	2 減少	増減なし
		10 (32 ビット)	4 減少	増減なし
11 (固定)	00 (増加)	00 (8 ビット)	増減なし	1 増加
		01 (16 ビット)	増減なし	2 増加
		10 (32 ビット)	増減なし	4 増加
	01 (減少)	00 (8 ビット)	増減なし	1 減少
		01 (16 ビット)	増減なし	2 減少
		10 (32 ビット)	増減なし	4 減少
	11 (固定)	00 (8 ビット)	増減なし	増減なし
		01 (16 ビット)	増減なし	増減なし
		10 (32 ビット)	増減なし	増減なし

31.5.3　転送の中断

DMA コントローラ (DMAC) は , 次の場合に DMA 転送を中断します。
DMA 転送が中断されたときの動作について説明します。

■ 概要

DMA 転送は , 次の場合に中断されます。

- DMA コントロールレジスタ (DMACR) の DME ビットに "0" が書き込まれたとき
- DMAチャネルコントロールレジスタ (DCCR0～DCCR7) のCEビットに"0"が書き込まれたとき
- 転送要求元から転送停止要求が出力されたとき

■ 転送中断 / 再開

転送の中断は, ブロック単位で行われます。そのため, 転送中に中断要因が発生すると , 転送中のデータを 1 ブロック転送完了後に , 転送が中断されます。

また , 1 度転送が中断されると , 新たな転送は行わず DMA コントローラ (DMAC) は停止状態になります。

- **DMA コントロールレジスタ (DMACR) の DME ビットに "0" が書き込まれた場合**

  すべてのチャネルが停止状態になります。

  DME ビットが "0" にクリアされたときに , 転送を行っていたチャネルは , 転送中のデータを 1 ブロック転送し終わった時点で転送を中断します。また , すでに検出した転送要求はクリアされません。

  次の手順で DMA 転送を再開してください。

  1. DMA コントロールレジスタ (DMACR) の DME ビットに "1" を書き込む

- **DMAチャネルコントロールレジスタ (DCCR0～DCCR7) のCEビットに"0"が書き込まれた場合**

  対応するチャネルが停止状態になります。

  対応するチャネルが転送中の場合は , 転送中のデータを 1 ブロック転送し終わった時点で転送を中断します。また , すでに検出した転送要求もクリアされます。

  次の手順で DMA 転送を再開してください。

  1. 停止状態にあるチャネルの DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込む
  2. 新たに転送要求を行う

- **転送要求元からの転送停止要求による中断**

  マルチファンクションシリアルインタフェースで DMA コントローラ (DMAC) を起動したときに,受信エラーが発生し , 転送停止要求が発行されると , 転送中のデータを 1 ブロック転送し終わった時点で転送が中断されます。

  転送が中断されると次の状態が発生します。

  - DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビットが "1" に変わる。

- DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットが "0" に変わる。
- すでに検出した転送要求がクリアされる。

転送停止要求が発行されている期間は , 新たな転送要求を受け付けません。

次の手順で DMA 転送を再開してください

1. 転送停止要求を無効にする
2. 対応するチャネルの DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビットに "0" を書き込む
3. DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込む
4. 新たに転送要求を行う

< 注意事項 >

DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビットは自動では "0" にクリアされません。クリアするには , SP ビットに "0" を書き込んでください。

■ 再開時の動作

再開手順を実施すると , DMA 転送が再開されます。再開時の動作は , DMA コントロールレジスタ (DMACR) の DME ビットに "1" を書き込んだ場合と , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込んだ場合で異なります。

また , 転送モードによっても異なります。

転送再開時の動作を表 31.5-4 に示します。

表 31.5-4 転送再開時の動作

転送モード	DME ビットに "1" を書き込んだ場合	CE ビットに "1" を書き込んだ場合
ブロック転送	新たな転送要求を検出すると , 優先順位にしたがって転送再開。	新たな転送要求を検出すると , 優先順位にしたがって転送再開。(デマンド転送の場合 , 新たに転送要求を発生させるには , オンチップバス IP から , 再び DMA 転送要求を入力する必要があります。)
バースト転送	優先順位にしたがってただちに転送再開。	
デマンド転送	DME ビットに "1" を書き込んだとき , 引き続き転送要求が発行されていると , 優先順位判定を行なわずただちに転送再開。	

31.5.4　転送終了時の動作

DMA 転送の終了動作について説明します。

転送終了には , 正常終了と異常終了があります。

- 正常終了

  DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した回数の転送が終了すると , DMA 転送は正常終了します。

  DMA 転送が正常終了すると , 次のようになります。

  1. 対応するチャネルの DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の NC ビットが "1" に変わる
  2. DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットが "0" に変わる。

     DMA コントローラ (DMAC) が停止状態となります。

  ただし , 転送要求元がソフトウェア以外で転送回数のリロードが設定されている場合は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットはクリアされません。

  また , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定された値が "0" のときに , 対応するチャネルの DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込むと , 正常終了と同様に , 対応するチャネルの DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の NC ビットが "1" に変わります。

  必ず DMA 転送回数レジスタ (DTCR0 ～ DTCR7) が "1" 以上になるように設定してから DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビット "1" を書き込んでください。

< 注意事項 >

- **転送要求元に割込み要求を選択した場合は , DMA 転送が終了すると , 周辺機能の割込み要求フラグが DMA コントローラ (DMAC) によってクリアされます。**
- **DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の NC ビットは自動では "0" にクリアされません。クリアするには , NC ビットに "0" を書き込んでください。**

- 異常終了

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) に設定禁止の値を設定すると異常終了割込み要求を出力します。

  DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の値が , 次のいずれかに当てはまると DMA 転送が異常終了します。

  - TM1, TM0 ビット =10 (設定禁止)
  - SAC1, SAC0 ビット =10 (設定禁止)
  - DAC1, DAC0 ビット =10 (設定禁止)
  - TS1, TS0 ビット =11 (設定禁止)
  - RS1, RS0 ビット =00 かつ , TM1, TM0 ビット =11 (転送要求元 : ソフトウェア , 転送モード : デマンド転送)

DMA 転送が異常終了すると , 次のようになります。

1. 対応するチャネルの DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の AC ビットが "1" に変わる。
2. DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットが "0" に変わる。
   DMA コントローラ (DMAC) が停止状態となります。

< 注意事項 >

DMA チャネルステータスレジスタ (DCSR0 ～ DCSR7) の AC ビットは自動では "0" にクリアされません。クリアするには , AC ビットに "0" を書き込んでください。

31.5.5　転送後の動作

設定された転送回数のブロックの DMA 転送後の動作について説明します。

■ リロード動作

DMA コントローラ (DMAC) は , 転送前に書き込まれた転送元アドレスや転送先アドレス , 転送回数を保持するリロードレジスタを搭載しています。このため , 転送前に指定した転送元アドレス , 転送先アドレス , 転送回数を転送後にリロードすることができます。

リロードレジスタが用意されているレジスタは次のとおりです。

- DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7)
- DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7)
- DMA 転送回数レジスタ (DTCR0 ～ DTCR7)

< 注意事項 >

リロードレジスタは , 対応する各レジスタに書き込まれた値を記憶するレジスタです。リロードレジスタの値を読み出すことはできません。

● 転送元アドレスのリロード動作

転送元アドレスを DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) にリロードするかどうかは , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAR ビットで設定します。

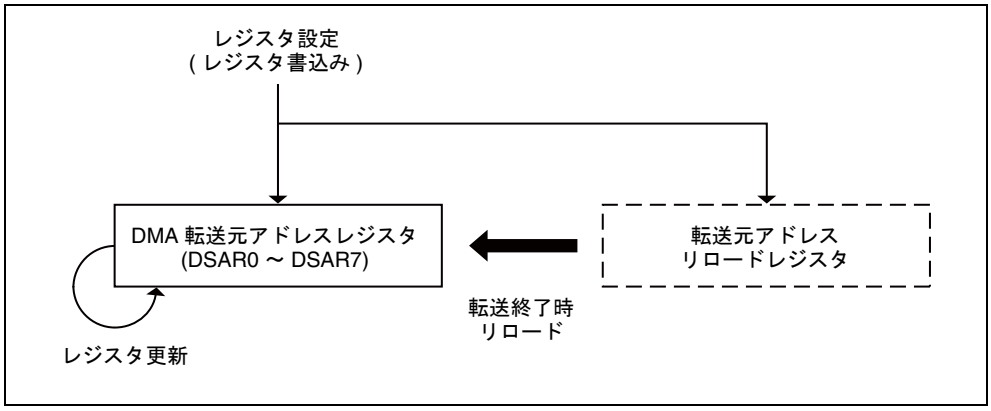
設定方法と転送後の動作を表 31.5-5 に示します。

表 31.5-5 設定方法と転送後の動作

SAR	転送後の動作
0	転送終了後 , DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値が最後にアクセスしたアドレスの次のアドレスになります。
1	転送終了後 , DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) の値が , 転送前に書き込んだ値に戻ります。

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAR ビットでリロードを許可 (SAR=1) した場合の動作を図 31.5-5 に示します。

図 31.5-5 転送元アドレスリロード動作



< 注意事項 >

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した転送回数の転送が終了する前に , 転送の中断や異常終了が発生した場合は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の SAR ビットでリロードを許可 (SAR=1) していても , 転送元アドレスはリロードされません。

DMA 転送元アドレスレジスタ (DSAR0 ～ DSAR7) は , 最後にアクセスしたアドレスの次のアドレスになります。

● 転送先アドレスのリロード動作

転送先アドレスを DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) にリロードするかどうかは , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAR ビットで設定します。

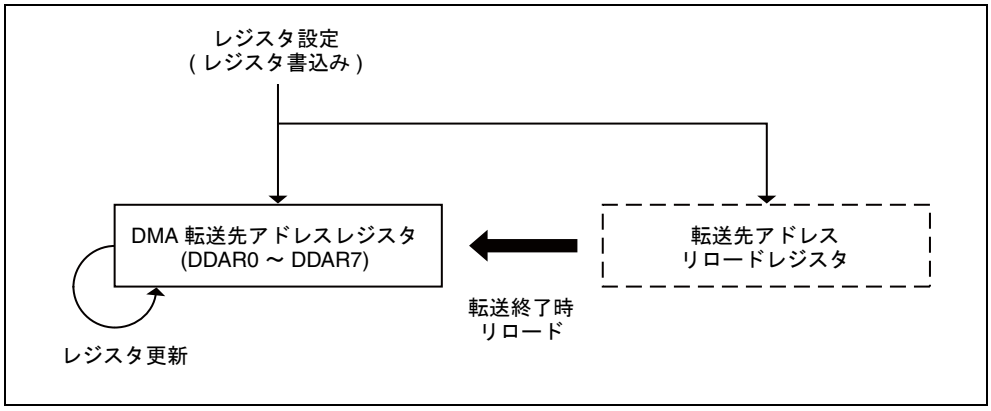
設定方法と転送後の動作を表 31.5-6 に示します。

表 31.5-6 設定方法と転送後の動作

DAR	転送後の動作
0	転送終了後 , DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値が最後にアクセスしたアドレスの次のアドレスになります。
1	転送終了後 , DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) の値が , 転送前に書き込んだ値に戻ります。

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAR ビットでリロードを許可 (DAR=1) した場合の動作を図 31.5-6 に示します。

図 31.5-6 転送先アドレスリロード動作



< 注意事項 >

DMA 転送回数レジスタ (DTCR0 ～ DTCR7) に設定した転送回数の転送が終了する前に , 転送の中断や異常終了が発生した場合は , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の DAR ビットでリロードを許可 (DAR=1) していても , 転送先アドレスはリロードされません。

DMA 転送先アドレスレジスタ (DDAR0 ～ DDAR7) は , 最後にアクセスしたアドレスの次のアドレスになります。

● 転送回数のリロード動作

転送回数を DMA 転送回数レジスタ (DTCR0 ～ DTCR7) にリロードするかどうかは , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TCR ビットで設定します。

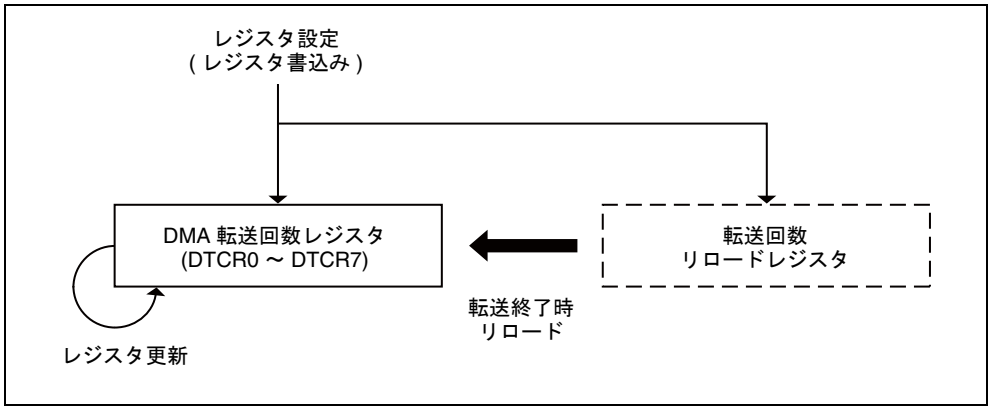
設定方法と転送後の動作を表 31.5-7 に示します。

表 31.5-7 設定方法と転送後の動作

TCR	転送後の動作
0	転送終了後 , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値は "0" になります。
1	転送終了後 , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) の値が , 転送前に書き込んだ値に戻ります。

DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TCR ビットでリロードを許可 (TCR=1) した場合の動作を図 31.5-7 に示します。

図 31.5-7 転送回数リロード動作



また , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TCR ビットの設定によって , 転送終了後に DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットがクリアされるかどうかが決まります。

TCR ビットと転送終了後の CE ビットの関係を表 31.5-8 に示します。

表 31.5-8 TCR ビットと転送終了後の CE ビットの関係

TCR	転送要求元	
	ソフトウェア	ソフトウェア以外
0	CE ビットが "0" にクリアされる	CE ビットが "0" にクリアされる
1	CE ビットが "0" にクリアされる	CE ビットはクリアされない

< 注意事項 >

- DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の TCR ビットで転送回数のリロードを許可 (TCR=1) した場合 , デマンド転送では転送要求が出力されている間は連続して転送を行います。
- DMA 転送が中断された場合や , 転送が異常終了した場合は , DMA 転送回数レジスタ (DTCR0 ～ DTCR7) は残りの転送回数を示します。

31.5.6　DMA 転送の抑止

周辺機能で割込み要求が発生すると , DMA 転送が抑止されます。

DMA 転送の抑止はブロック単位で行われます。そのため DMA 転送抑止割込みレベルレジスタ (DILVR) に設定した割込みレベルより強いレベルの割込み要求が発生すると , 転送中のデータを 1 ブロック転送し終わってから , 転送が抑止されます。

DMA 転送が抑止されると新たな転送は行わず , DMA コントローラ (DMAC) は抑止状態となります。

割込み要求をクリアし , 割込みレベルが DMA 転送抑止割込みレベルレジスタ (DILVR) の LVL4 ～ LVL0 ビットと同じか弱いレベルになると DMA 転送を再開します。

DMA 転送抑止割込みレベルレジスタ (DILVR) の LVL4 ～ LVL0 ビットの設定と DMA 転送を抑止する割込み要求レベルの対応を表 31.5-9 に示します。

表 31.5-9 DMA 転送を抑止する割込み要求レベル

LVL4	LVL3	LVL2	LVL1	LVL0	DMA 転送を抑止する割込み要求レベル
1	0	0	0	0	DMA 転送は抑止されません。
1	0	0	0	1	"11_H" より高いレベルの割込み要求
1	0	0	1	0	"12_H" より高いレベルの割込み要求
1	0	0	1	1	"13_H" より高いレベルの割込み要求
1	0	1	0	0	"14_H" より高いレベルの割込み要求
1	0	1	0	1	"15_H" より高いレベルの割込み要求
1	0	1	1	0	"16_H" より高いレベルの割込み要求
1	0	1	1	1	"17_H" より高いレベルの割込み要求
1	1	0	0	0	"18_H" より高いレベルの割込み要求
1	1	0	0	1	"19_H" より高いレベルの割込み要求
1	1	0	1	0	"$1A_H$" より高いレベルの割込み要求
1	1	0	1	1	"$1B_H$" より高いレベルの割込み要求
1	1	1	0	0	"$1C_H$" より高いレベルの割込み要求
1	1	1	0	1	"$1D_H$" より高いレベルの割込み要求
1	1	1	1	0	"$1E_H$" より高いレベルの割込み要求
1	1	1	1	1	すべての割込み要求

第 32 章 周辺機能による DMA 転送要求の発生 / クリア選択機能

周辺機能の割込み要求を利用して DMA 転送要求を発生させる方法と, DMAコントローラ (DMAC) から周辺機能の割込み要求フラグをクリアする方法を説明します。

32.1 概要
32.2 構成
32.3 レジスタ
32.4 動作説明と設定手順例

32.1 概要

本製品では , 周辺機能の割込み要求を利用して DMA 転送を起動することができます。
DMA 転送を起動する割込み要求を選択するレジスタが DMA コントローラ (DMAC) のチャネルごとに用意されています。
1つの割込みベクタ番号に複数の割込み要求が割り当てられていた場合に, どの割込み要求フラグを DMA コントローラ (DMAC) でクリアするのかも設定する必要があります。

■ 周辺機能による DMA 転送要求発生についての概要

DMA コントローラ (DMAC) のレジスタで DMA 転送要求の発生要因 (転送要求元) を周辺機能の割込み要求に設定できます。

割込みベクタ番号に対応する値を指定して , 使用する割込み要求を選択します。

■ 周辺機能による DMA 転送要求クリア選択機能の概要

- 割込み要求の選択

  DMA 転送要求の発生要因 (転送要求元) を周辺機能の割込み要求にすると , その割込み要求フラグは DMA 転送後に DMA コントローラ (DMAC) によってクリアされます。

  そのため , DMA 転送要求の発生要因 (転送要求元) として選択した割込みベクタ番号に複数の割込み要求が割り当てられていると , DMA 転送の終了後 , DMA コントローラ (DMAC) がクリアする割込み要求フラグを選択する必要があります。

- 転送停止要求の選択

  UART/CSIO/I^2C ch.8 ～ ch.11 で受信時に割込み要求が発生すると DMA コントローラ (DMAC) に対して転送停止要求を出力し , DMA 転送を中断できます。

  どのチャネルの受信割込み要求を DMA 転送の転送停止要求として使用するかを , この機能で選択します。

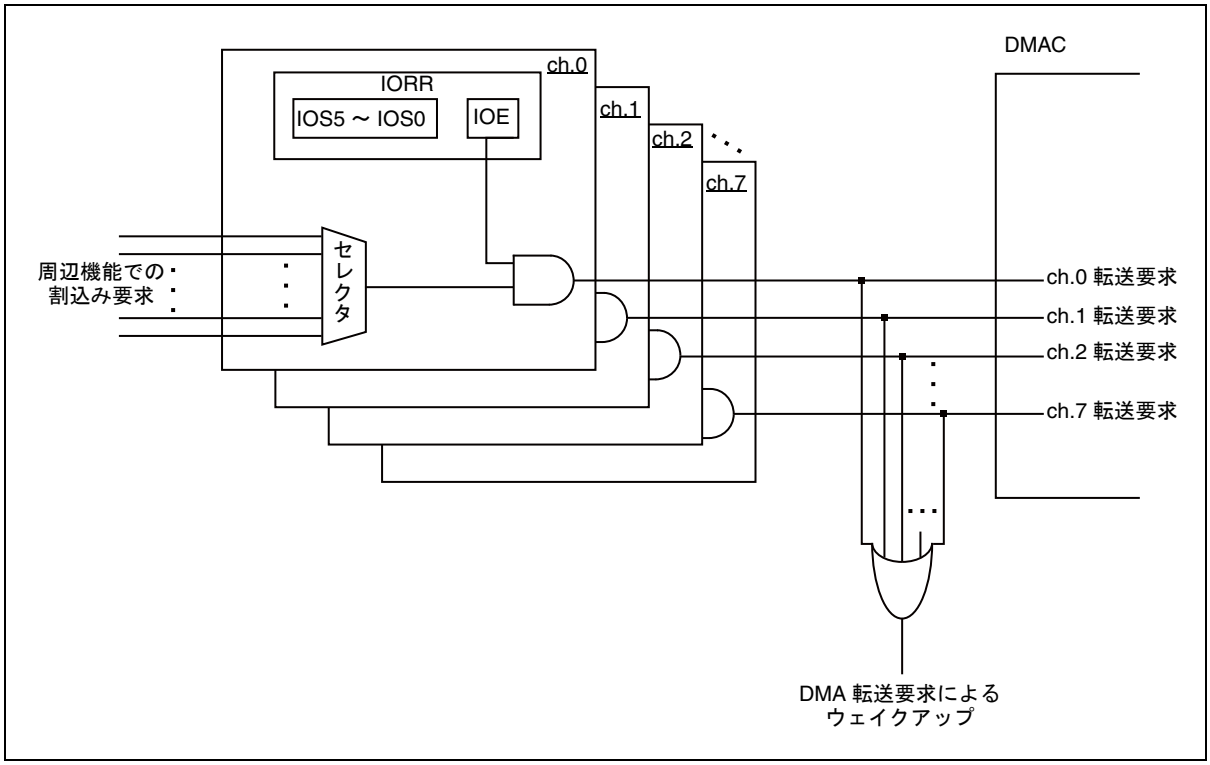
32.2　構成

周辺機能による DMA 転送要求発生部および DMA 転送要求のクリア選択機能の構成について説明します。

■ 周辺機能による DMA 転送要求発生部のブロックダイヤグラム

周辺機能の割込み要求を DMA 転送の転送要求元として使用する部分のブロックダイヤグラムを図 32.2-1 に示します。

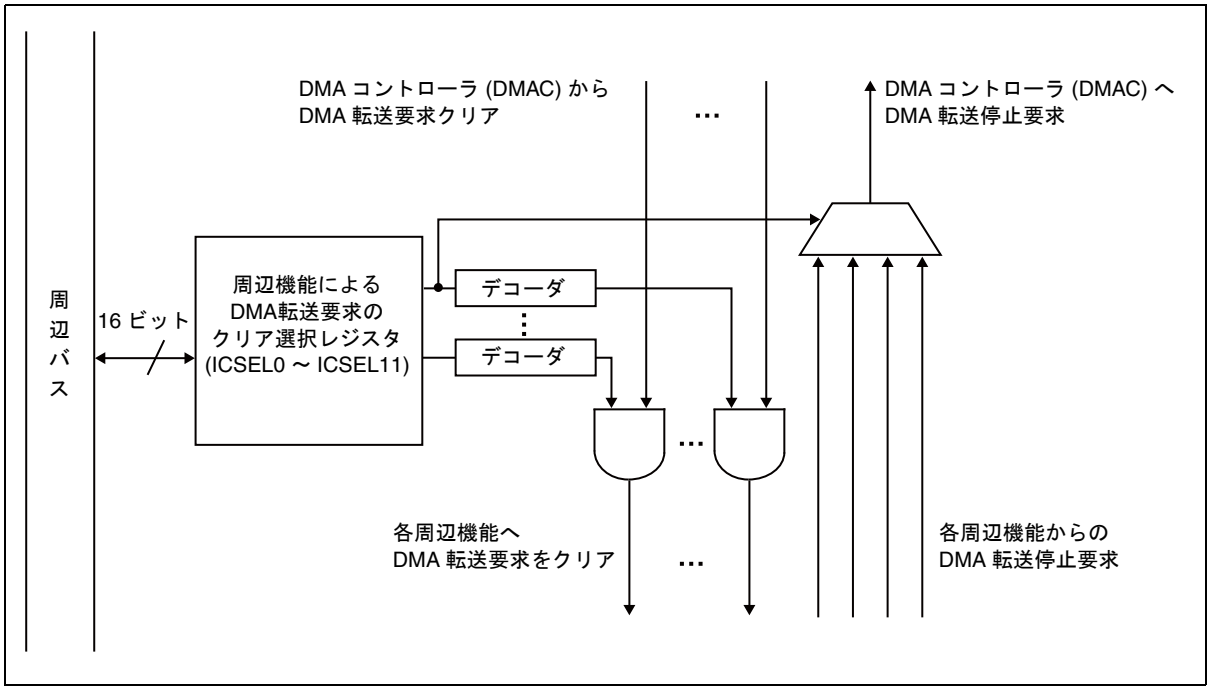
図 32.2-1　周辺機能割込み要求利用時のブロックダイヤグラム



■ DMA 転送要求のクリア選択機能のブロックダイヤグラム

DMA 転送要求のクリア選択機能のブロックダイヤグラムを図 32.2-2 に示します。

図 32.2-2 DMA 転送要求のクリア選択機能のブロックダイヤグラム



周辺機能による DMA 転送要求のクリア選択レジスタ (ICSEL0 ～ ICSEL11)

DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

32.3　レジスタ

DMA転送要求の発生/クリア選択機能で使用するレジスタの構成と機能について説明します。

■ 周辺機能による DMA 転送要求発生部のレジスター覧

DMA 転送要求発生部のレジスター覧を表 32.3-1 に示します。

表 32.3-1 周辺機能による DMA 転送要求発生部のレジスター覧

DMAC のチャネル	レジスタ略称	レジスタ名	参照先
0	IORR0	IO 転送要求設定レジスタ 0	32.3.1
1	IORR1	IO 転送要求設定レジスタ 1	32.3.1
2	IORR2	IO 転送要求設定レジスタ 2	32.3.1
3	IORR3	IO 転送要求設定レジスタ 3	32.3.1
4	IORR4	IO 転送要求設定レジスタ 4	32.3.1
5	IORR5	IO 転送要求設定レジスタ 5	32.3.1
6	IORR6	IO 転送要求設定レジスタ 6	32.3.1
7	IORR7	IO 転送要求設定レジスタ 7	32.3.1

■ DMA 転送要求のクリア選択機能のレジスター覧

DMA 転送要求のクリア選択機能のレジスター覧を表 32.3-2 に示します。

表 32.3-2 DMA 転送要求のクリア選択機能のレジスター覧

チャネル	レジスタ略称	レジスタ名	参照先
共通	ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	32.3.2
	ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	32.3.3
	ICSEL4	周辺機能による DMA 転送要求のクリア選択レジスタ 4	32.3.4
	ICSEL6	周辺機能による DMA 転送要求のクリア選択レジスタ 6	32.3.5
	ICSEL7	周辺機能による DMA 転送要求のクリア選択レジスタ 7	32.3.6
	ICSEL8	周辺機能による DMA 転送要求のクリア選択レジスタ 8	32.3.7
	ICSEL10	周辺機能による DMA 転送要求のクリア選択レジスタ 10	32.3.8
	ICSEL11	周辺機能による DMA 転送要求のクリア選択レジスタ 11	32.3.9

32.3.1　IO 転送要求設定レジスタ (IORR0 ～ IORR7)

DMA 転送要求の発生要因を周辺機能の割込み要求に設定したときに , どの周辺機能の割込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。
DMA コントローラ (DMAC) のチャネルごとに , このレジスタが用意されています。

IO 転送要求設定レジスタ (IORR0 ～ IORR7) のビット構成を図 32.3-1 に示します。

図 32.3-1 IO 転送要求設定レジスタ (IORR0 ～ IORR7) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	IOE	IOS5	IOS4	IOS3	IOS2	IOS1	IOS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは , DMA チャネルコントロールレジスタ (DCCR0 ～ DCCR7) の RS1, RS0 ビットでDMA転送要求の発生要因を周辺機能の割込み要求に設定 (RS1, RS0=01) したときに有効になります。

[bit7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : IOE (転送要求許可ビット)

IOS5～IOS0ビットで指定した割込み要求が発生したときに, 対応するチャネルのDMA コントローラ (DMAC) に , DMA 転送要求を出力するかどうかを設定します。

書込み値	説明
0	DMA 転送要求を出力しません。 (周辺機能で発生した割込み要求を DMA 転送要求として使用しません)
1	DMA 転送要求を出力します。 (周辺機能で発生した割込み要求を DMA 転送要求として使用します)

[bit5 ～ bit0] : IOS5 ～ IOS0 (転送要求選択ビット)

このレジスタに対応するチャネルのDMA コントローラ (DMAC) が, どの周辺機能で発生した割込み要求を転送要求元として使用するか設定します。

IOS5 ～ IOS0	割込みベクタ番号		周辺機能
	10 進	16 進	
000000	16	10	外部割込み要求 ch.0 ～ ch.7
000001	17	11	外部割込み要求 ch.8 ～ ch.15
000010	18	12	—
000011	19	13	—
000100	20	14	16 ビットリロードタイマ ch.0 ～ ch.2
000101	21	15	UART/CSIO ch.0 の受信割込み要求
000110	22	16	UART/CSIO ch.0 の送信割込み要求 UART/CSIO ch.0 の送信バスアイドル割込み要求
000111	23	17	UART/CSIO/I^{2}C ch.1 の受信割込み要求
001000	24	18	UART/CSIO/I^{2}C ch.1 の送信割込み要求 UART/CSIO ch.1 の送信バスアイドル割込み要求
001001	25	19	—
001010	26	1A	UART/CSIO/I^{2}C ch.2 の受信割込み要求
001011	27	1B	UART/CSIO/I^{2}C ch.2 の送信割込み要求 UART/CSIO ch.2 の送信バスアイドル割込み要求
001100	28	1C	—
001101	29	1D	UART/CSIO/I^{2}C ch.3 の受信割込み要求
001110	30	1E	UART/CSIO/I^{2}C ch.3 の送信割込み要求 UART/CSIO ch.3 の送信バスアイドル割込み要求
001111	31	1F	—
010000	32	20	—
010001	33	21	—
010010	34	22	—
010011	35	23	—
010100	36	24	—
010101	37	25	—
010110	38	26	—
010111	39	27	UART/CSIO/I^{2}C ch.8 ～ ch.11 の受信割込み要求 UART/CSIO/I^{2}C ch.8 ～ ch.11 の送信割込み要求 UART/CSIO ch.8 ～ ch.11 の送信バスアイドル割込み要求 UART/CSIO/I^{2}C ch.8 ～ ch.11 の送信 FIFO 割込み要求
011000	40	28	—
011001	41	29	メインタイマ割込み要求 サブタイマ割込み要求 時計カウンタのアンダフロー割込み要求
011010	42	2A	10 ビット A/D コンバータ ・A/D スキャン変換割込み要求 ・A/D 優先変換割込み要求
011011	43	2B	—
011100	44	2C	32 ビットインプットキャプチャ ch.0 ～ ch.3 のエッジ検出割込み要求
011101	45	2D	—

IOS5 ～ IOS0	割込みベクタ番号		周辺機能
	10 進	16 進	
011110	46	2E	ベースタイマ ch.0 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
011111	47	2F	ベースタイマ ch.1 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
100000	48	30	ベースタイマ ch.2 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
100001	49	31	ベースタイマ ch.3 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
100010	50	32	ベースタイマ ch.4, ch.5 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
100011	51	33	ベースタイマ ch.6, ch.7 ・アンダフロー割込み要求 ・オーバフロー割込み要求 ・デューティ一致割込み要求 ・トリガ割込み要求 ・測定終了割込み要求
100100	52	34	—
100101	53	35	—
100110	54	36	—
100111	55	37	—
101000	56	38	—
101001	57	39	—
101010	58	3A	—
101011	59	3B	—
101100	60	3C	—
101101	61	3D	—
101110	62	3E	—
101111	63	3F	—

< 注意事項 >

- 1 つの割込みベクタ番号を複数の割込み要求で兼用している場合 , DMA 転送の転送要求元として使用できる割込み要求は 1 つだけです。

  DMA 転送の転送要求元にしない割込み要求の発生は禁止してください。
- 1つの割込みベクタ番号を複数の割込み要求で兼用している場合 , 周辺機能によるDMA転送要求のクリア選択レジスタ (ICSEL0 ～ ICSEL11) でフラグビットをクリアする割込み要求を設定してください。
- このレジスタで選択する割込み要求は , 割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ～ ICR47) の値が次のようになるよう , 割込みレベルを設定してください。

  ILM ≦ ICR

32.3.2　周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0)

割込みベクタ番号 16 (10 進) には , 外部割込み要求 ch.0 ～ ch.7 が割り当てられています。この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成を図 32.3-2 に示します。

図 32.3-2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL02	EISEL01	EISEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ～ bit0] : EISEL02 ～ EISEL00 (割込み要求選択ビット)

割込みベクタ番号 16 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でクリアするフラグビットを選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 16 (10 進) に対して , 割込み要求クリア信号を出力すると , ここで選択したビットがクリアされます。

EISEL02	EISEL01	EISEL00	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.0	EIRR0 : ER0
0	0	1	外部割込み要求 ch.1	EIRR0 : ER1
0	1	0	外部割込み要求 ch.2	EIRR0 : ER2
0	1	1	外部割込み要求 ch.3	EIRR0 : ER3
1	0	0	外部割込み要求 ch.4	EIRR0 : ER4
1	0	1	外部割込み要求 ch.5	EIRR0 : ER5
1	1	0	外部割込み要求 ch.6	EIRR0 : ER6
1	1	1	外部割込み要求 ch.7	EIRR0 : ER7

32.3.3　周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1)

割込みベクタ番号 17 (10 進) には , 外部割込み要求 ch.8 ～ ch.15 が割り当てられています。この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成を図 32.3-3 に示します。

図 32.3-3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL12	EISEL11	EISEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ～ bit0] : EISEL12 ～ EISEL10 (割込み要求選択ビット)

割込みベクタ番号 17 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 17 (10 進) に対して , 割込み要求クリア信号を出力すると , ここで選択したビットがクリアされます。

EISEL12	EISEL11	EISEL10	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.8	EIRR1 : ER8
0	0	1	外部割込み要求 ch.9	EIRR1 : ER9
0	1	0	外部割込み要求 ch.10	EIRR1 : ER10
0	1	1	外部割込み要求 ch.11	EIRR1 : ER11
1	0	0	外部割込み要求 ch.12	EIRR1 : ER12
1	0	1	外部割込み要求 ch.13	EIRR1 : ER13
1	1	0	外部割込み要求 ch.14	EIRR1 : ER14
1	1	1	外部割込み要求 ch.15	EIRR1 : ER15

32.3.4　周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4)

割込みベクタ番号 20 (10 進) には , 16 ビットリロードタイマ ch.0 ～ ch.2 の割込み要求が割り当てられています。
この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4) のビット構成を図 32.3-4 に示します。

図 32.3-4 周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	RTSEL1	RTSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit2]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0]：RTSEL1 ～ RTSEL0 (割込み要求選択ビット)

割込みベクタ番号 20 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 20 (10 進) に対して , 割込み要求クリア信号を出力すると , ここで選択したビットがクリアされます。

RTSEL1	RTSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	16 ビットリロードタイマ ch.0 のアンダフロー割込み要求	TMCSR0：UF
0	1	16 ビットリロードタイマ ch.1 のアンダフロー割込み要求	TMCSR1：UF
1	0	16 ビットリロードタイマ ch.2 のアンダフロー割込み要求	TMCSR2：UF
1	1		

32.3.5　周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6)

割込みベクタ番号 41 (10 進) には , 次の割込み要求が割り当てられています。

- メインタイマ割込み要求
- サブタイマ割込み要求
- 時計カウンタのアンダフロー割込み要求

DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6) のビット構成を図 32.3-5 に示します。

図 32.3-5 周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	MWSEL1	MWSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0]：MWSEL1, MWSEL0 (割込み要求選択ビット)

割込みベクタ番号 41 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 41 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

MWSEL1	MWSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	メインタイマ割込み要求	MTMCR：MTIF
0	1	サブタイマ割込み要求	STMCR：STIF
1	0	時計カウンタのアンダフロー割込み要求	WCCR：WCIF
1	1		

32.3.6　周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7)

割込みベクタ番号 42 (10 進) には , 10 ビット A/D コンバータの優先変換割込み要求と , スキャン変換割込み要求が割り当てられています。
この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7) のビット構成を図 32.3-6 に示します。

図 32.3-6 周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	予約	ADCSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit1]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0]：ADCSEL0 (割込み要求選択ビット)

割込みベクタ番号 42 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 42 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	10ビットA/Dコンバータユニット0の優先変換割込み要求	ADCR0：PCIF
1	10ビットA/Dコンバータユニット0のスキャン変換割込み要求	ADCR0：SCIF

32.3.7　周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8)

割込みベクタ番号 44 (10 進) には , 32 ビットインプットキャプチャ ch.0 ～ ch.3 の割込み要求が割り当てられています。
DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8) のビット構成を図 32.3-7 に示します。

図 32.3-7 周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	ICUSEL1	ICUSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : ICUSEL1, ICUSEL0 (割込み要求選択ビット)

割込みベクタ番号 44 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 44 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

ICUSEL1	ICUSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	32 ビットインプットキャプチャ ch.0 のエッジ検出割込み要求	ICS01 : ICP0
0	1	32 ビットインプットキャプチャ ch.1 のエッジ検出割込み要求	ICS01 : ICP1
1	0	32 ビットインプットキャプチャ ch.2 のエッジ検出割込み要求	ICS23 : ICP2
1	1	32 ビットインプットキャプチャ ch.3 のエッジ検出割込み要求	ICS23 : ICP3

32.3.8　周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10)

割込みベクタ番号 46 ～ 49 (10 進) には , それぞれベースタイマ ch.0 ～ ch.3 の割込み要求が割り当てられています。
この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10) のビット構成を図 32.3-8 に示します。

図 32.3-8 周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	BTSEL03	BTSEL02	BTSEL01	BTSEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit4]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3]：BTSEL03 (割込み要求選択ビット)

割込みベクタ番号 49 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 49 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.3 の割込み要求 0	BT3STC：UDIR BT3STC：DTIR BT3STC：OVIR
1	ベースタイマ ch.3 の割込み要求 1	BT3STC：TGIR BT3STC：EDIR

[bit2]：BTSEL02 (割込み要求選択ビット)

割込みベクタ番号 48 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 48 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.2 の割込み要求 0	BT2STC：UDIR BT2STC：DTIR BT2STC：OVIR
1	ベースタイマ ch.2 の割込み要求 1	BT2STC：TGIR BT2STC：EDIR

[bit1]：BTSEL01 (割込み要求選択ビット)

割込みベクタ番号 47 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 47 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.1 の割込み要求 0	BT1STC：UDIR BT1STC：DTIR BT1STC：OVIR
1	ベースタイマ ch.1 の割込み要求 1	BT1STC：TGIR BT1STC：EDIR

[bit0]：BTSEL00 (割込み要求選択ビット)

割込みベクタ番号 46 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 46 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.0 の割込み要求 0	BT0STC：UDIR BT0STC：DTIR BT0STC：OVIR
1	ベースタイマ ch.0 の割込み要求 1	BT0STC：TGIR BT0STC：EDIR

32.3.9　周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11)

割込みベクタ番号 50 (10 進) には , ベースタイマ ch.4, ch.5 の割込み要求が割り当てられています。
割込みベクタ番号 51 (10 進) には , ベースタイマ ch.6, ch.7 の割込み要求が割り当てられています。
この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11) のビット構成を図 32.3-9 に示します。

図 32.3-9 周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	BTSEL13	BTSEL12	BTSEL11	BTSEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ～ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3, bit2]：BTSEL13, BTSEL12 (割込み要求選択ビット)

割込みベクタ番号 51 (10 進) に割り当てられた割込み要求の中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 51 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL13	BTSEL12	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.6 の割込み要求 0	BT6STC：UDIR BT6STC：DTIR BT6STC：OVIR
0	1	ベースタイマ ch.6 の割込み要求 1	BT6STC：TGIR BT6STC：EDIR
1	0	ベースタイマ ch.7 の割込み要求 0	BT7STC：UDIR BT7STC：DTIR BT7STC：OVIR
1	1	ベースタイマ ch.7 の割込み要求 1	BT7STC：TGIR BT7STC：EDIR

[bit1, bit0] : BTSEL11, BTSEL10 (割込み要求選択ビット)

割込みベクタ番号 50 (10 進) に割り当てられた割込み要求の中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を , 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は , ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 50 (10 進) に対して , 割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL11	BTSEL10	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.4 の割込み要求 0	BT4STC : UDIR BT4STC : DTIR BT4STC : OVIR
0	1	ベースタイマ ch.4 の割込み要求 1	BT4STC : TGIR BT4STC : EDIR
1	0	ベースタイマ ch.5 の割込み要求 0	BT5STC : UDIR BT5STC : DTIR BT5STC : OVIR
1	1	ベースタイマ ch.5 の割込み要求 1	BT5STC : TGIR BT5STC : EDIR

32.4　動作説明と設定手順例

周辺機能の割込み要求で DMA 転送を起動する場合の動作と設定手順について説明します。

32.4.1　DMA 転送時の動作

■ 設定

DMA 転送の転送要求元を周辺機能の割込み要求にする場合は , 割込みベクタ番号の選択や , 各周辺機能での設定も必要です。

設定する順番は次のようになります。

1. 割込みベクタ番号の選択 (IO 転送要求設定レジスタ (IORR0 ～ IORR7))
   - IOS5 ～ IOS0 ビットに割込みベクタ番号に対応した値を書き込む
   - IOE ビットで周辺機能の割込み要求による DMA 転送の開始を許可する (IOE=1)
2. DMA コントローラ (DMAC) でクリアする割込み要求を選択 (周辺回路による DMA 転送要求のクリア選択レジスタ (ICSEL0 ～ ICSEL11))
3. DMA コントローラ (DMAC) の設定

   詳しくは , 「第 31 章　DMA コントローラ (DMAC)」を参照してください。
   - DMA 転送の転送要求元を周辺機能の割込み要求に設定
   - DMA 転送の動作を許可して , 転送要求待ち状態に設定
4. 周辺機能の設定

   使用する周辺機能の章を参照してください。
   - DMA 転送に使用する割込み要求のフラグをクリア
   - DMA 転送に使用する割込み要求の発生を許可

< 注意事項 >

- 周辺機能の割込み要求フラグは DMA コントローラ (DMAC) によってクリアされるため , 周辺機能の割込み要求としては使用できません。

  DMA 転送の転送要求元として使用する割込み要求は , 割込みレベルを "31" (割込み禁止) にしてください。

  割込みレベルの設定方法については , 「第 10 章　割込みコントローラ」を参照してください。
- 周辺機能の設定をする際は , 割込み要求フラグをクリアしてから , 割込み要求の発生を許可してください。

■ 動作

次のように動作します。

1. 周辺機能を起動
2. 周辺機能で DMA 転送要求元になる割込み要求が発生
3. DMA 転送要求が発生し , DMA コントローラ (DMAC) が起動
4. ブロックサイズ×転送回数分 , 1 転送ごとに、DMA コントローラ (DMAC) から周辺機能の割込み要求フラグのクリアを要求
5. DMA 転送終了

< 注意事項 >

割込み要求が発生した時点での割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ～ ICR47) の値が次のようになるよう , 割込みレベルを設定してください。

ILM ≦ ICR

割込みレベルマスクレジスタ (ILM) の値が割込みコントロールレジスタ (ICR00～ICR47) の値より大きいと , 周辺機能の割込み要求発生動作が成立し , DMA 転送要求も発生できますが , 割込み要求処理動作が不安定になります。

第 33 章 内蔵プログラムメモリ制御

本製品は , 内蔵プログラムメモリとしてフラッシュメモリを搭載している品種とマスク ROM を搭載している品種があります。
これらの内蔵プログラムメモリを使用する場合のレジスタ設定について説明します。

33.1 内蔵プログラムメモリ制御部の概要
33.2 内蔵プログラムメモリ制御部のレジスタ

33.1　内蔵プログラムメモリ制御部の概要

本製品は , 内蔵プログラムメモリとしてフラッシュメモリを搭載している品種とマスク ROM を搭載している品種があります。

■ 概要

内蔵プログラムメモリを使用するときに設定が必要なレジスタは次のレジスタです。フラッシュメモリ品 , マスク ROM 品どちらの品種を使用している場合も設定が必要です。

- FLASH 制御レジスタ (FCTLR)

フラッシュメモリ品をご使用の場合は ,「第 34 章　フラッシュメモリ」もご一読ください。

■ クロック

内蔵プログラム制御部で使用するクロックを表 33.1-1 に示します。

表 33.1-1　内蔵プログラム制御部で使用するクロック

クロック名	内容
動作クロック	ソースクロック (SRCCLK)

33.2　内蔵プログラムメモリ制御部のレジスタ

内蔵プログラムメモリ制御部のレジスタの構成と機能について説明します。

■ 内蔵プログラムメモリ制御部のレジスター覧

内蔵プログラムメモリ制御部のレジスター覧を表 33.2-1 に示します。

表 33.2-1 内蔵プログラムメモリ制御部のレジスター覧

レジスタ略称	レジスタ名	参照先
FCTLR	FLASH 制御レジスタ	33.2.1

33.2.1　FLASH 制御レジスタ (FCTLR)

内蔵プログラムメモリへのアクセスを制御するレジスタです。
FLASH 制御レジスタ (FCTLR) のビット構成を図 33.2-1 に示します。

図 33.2-1 FLASH 制御レジスタ (FCTLR) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	FWE	未定義	未定義	FSZ1	FSZ0	FWC1	FWC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	1	0	1	1

bit	7	0
	予約	
属性	R/W	
初期値	0	

R/W：リード / ライト可能

< 注意事項 >

内蔵プログラムメモリにアクセス中に , このレジスタの FWC1, FWC0 以外のビットを書き換えると正常にアクセスできません。このレジスタの FWC1, FWC0 以外のビットは必ず , 次のように内蔵プログラムメモリにアクセスが行われていないときに書き換えてください。

- 読出しアクセス時：読出し動作の直前
- コマンド発行時：FLASH ステータスレジスタ (FSTR) の FRDY ビットが "1" のとき

また , 内蔵プログラムメモリ領域のプログラムにこのレジスタの FWC1, FWC0 以外のビット値を変更する命令を書かないでください。このレジスタの FWC1, FWC0 以外のビットは , 内蔵 RAM か外部領域上のプログラムで書き換えてください。

[bit15]：予約ビット

書込み時	必ず "1" を書き込んでください。
読出し時	"1" が読み出されます。

[bit14]：FWE (FLASH 書込み許可)

- フラッシュメモリ品の場合

  フラッシュメモリへの書込みを許可/禁止することでアクセスモードを設定します。

書込み値	説明
0	書込みを禁止します。CPU ROM モードが設定されます。
1	書込みを許可します。CPU プログラミングモードが設定されます。

- マスク ROM 品の場合

  予約ビットとなります。

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12]：未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit11, bit10]：FSZ1, FSZ0 (FLASH アクセスサイズ設定ビット)

内蔵プログラムメモリにアクセスするときの , サイズ (ビット幅) を設定します。

FSZ1	FSZ0	アクセスサイズ
0	0	設定禁止
0	1	16 ビット
1	0	32 ビット
1	1	設定禁止

FCTLR の FSZ [1:0] は , "10"(32 ビット) に設定して使用してください。

内蔵プログラムメモリを読み出すときと , 書き込む場合で , 設定できるアクセスサイズが異なります。

	読出し	書込み
CPU ROM モード	32 ビット	—
CPU プログラミングモード	16 ビット	16 ビット

[bit9, bit8]：FWC1, FWC0 (FLASH ウェイト設定ビット)

内蔵プログラムメモリを読み出す場合の読出し要求間隔 (ウェイトサイクル) を設定します。

FWC1	FWC0	ウェイトサイクル
0	0	設定禁止
0	1	1
1	0	2
1	1	3

[bit7 ～ bit0]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

第 34 章 フラッシュメモリ

フラッシュメモリの機能と動作について説明します。

34.1 フラッシュメモリの概要
34.2 フラッシュメモリの構成
34.3 フラッシュメモリのレジスタ
34.4 フラッシュメモリのアクセスモード
34.5 自動プログラムアルゴリズム
34.6 フラッシュメモリの動作説明
34.7 フラッシュメモリの使用上の注意

34.1　フラッシュメモリの概要

本製品に内蔵されているフラッシュメモリの容量は 512K バイトになります。
CPU からデータをセクタ単位または全セクター括で消去できます。また , ハーフワード単位で書き込むこともできます。

■ 概要

本製品に内蔵されているフラッシュメモリは , CPU モード 2 種類と ROM ライタモードの計 3 種類の中からアクセスモードを選択できます。

- CPU モード

  フラッシュメモリを CPU のプログラム / データ格納用のメモリとして使用します。次の 2 種類のモードがあります。

  - CPU プログラミングモード

    フラッシュメモリの読出し , 書込みまたは消去ができるモードです (自動プログラムアルゴリズム *) 。ワードアクセスできないため , このモードで動作しているときはフラッシュメモリ上のプログラムを実行することはできません。ハーフワードアクセスが可能です。

  - CPU ROM モード

    フラッシュメモリのデータの読出しのみを行うモードです。ワードアクセスできます。ただし , このモードでは , 書込みや消去 , 自動プログラムアルゴリズムの起動は行えません。

- ROM ライタモード

  ROM ライタからフラッシュメモリの読出し , 書込みおよび消去ができます (自動プログラムアルゴリズム *) 。

*: 自動プログラムアルゴリズム =Embedded Algorithm

< 注意事項 >

本書では , フラッシュメモリを CPU モードで利用する場合について記載します。
ROM ライタからフラッシュメモリにアクセスする場合については , ご利用の ROM ライタの取扱い説明書を参照してください。

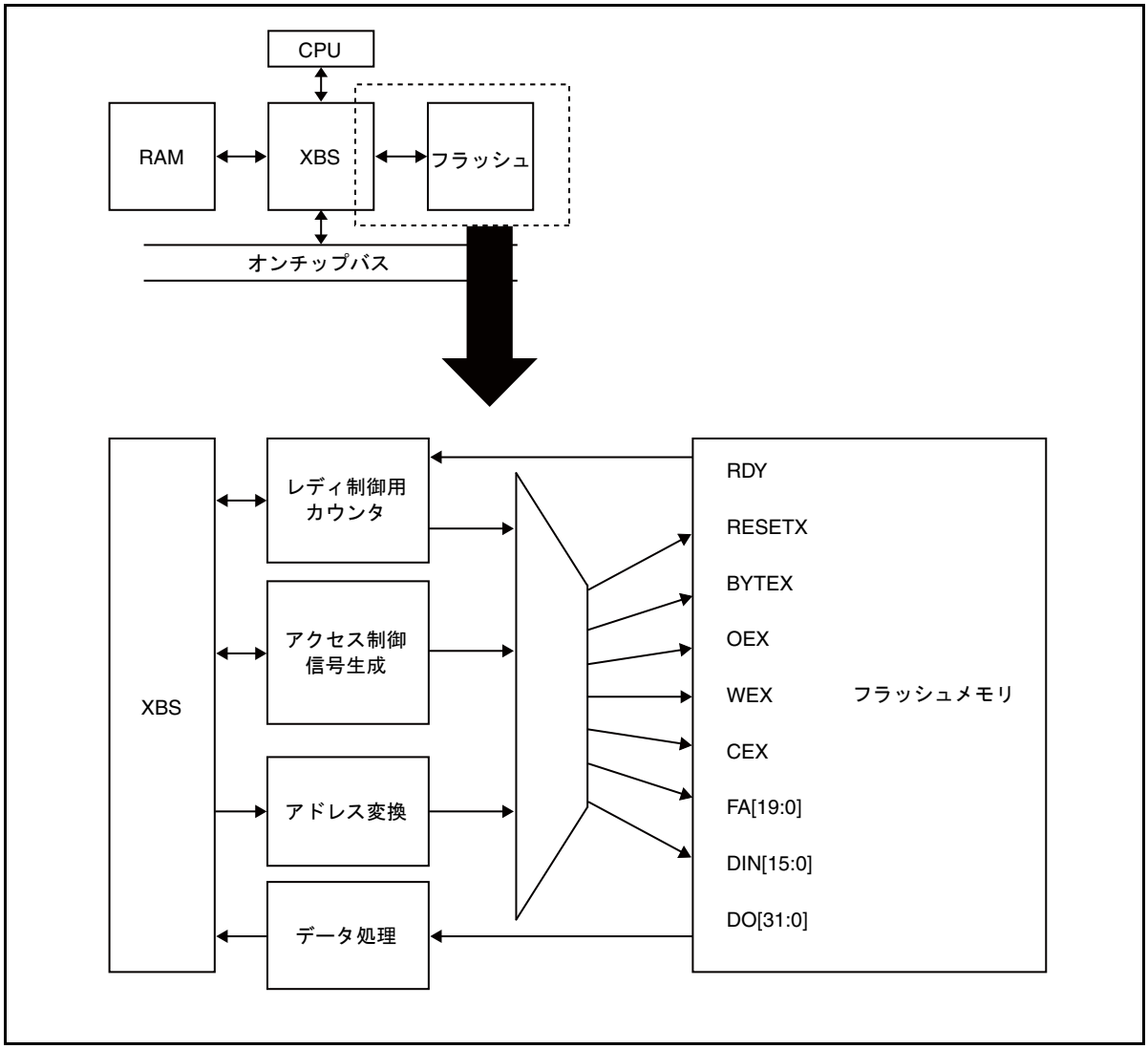
34.2　フラッシュメモリの構成

フラッシュメモリはブロック構成について説明します。

■ フラッシュメモリのブロックダイヤグラム

フラッシュメモリのブロックダイヤグラムを図 34.2-1 に示します。

図 34.2-1　フラッシュメモリのブロックダイヤグラム

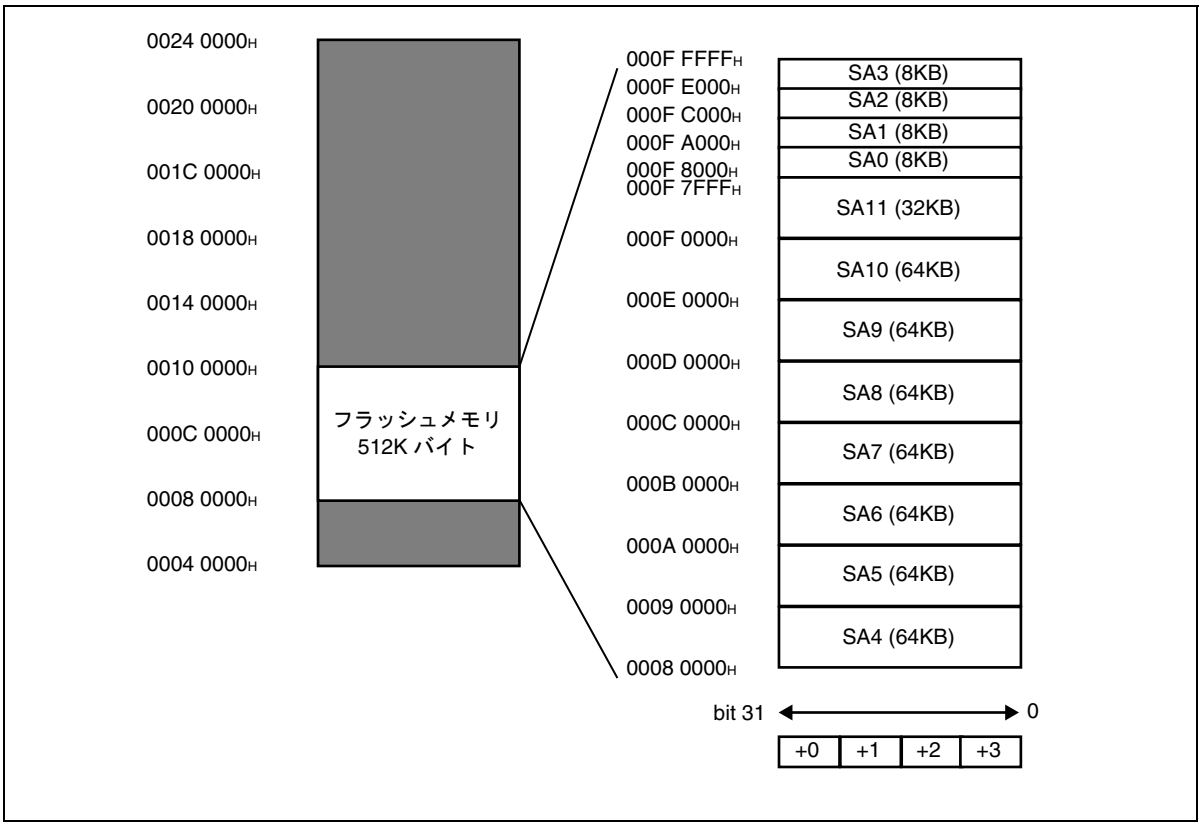


■ フラッシュメモリのセクタ構成

フラッシュメモリのセクタ構成を容量ごとに示します。

512K バイトのフラッシュメモリのメモリマップを図 34.2-2 に示します。

図 34.2-2 メモリマップ (512K バイトフラッシュメモリ)



■ クロック

フラッシュメモリで使用するクロックを表 34.2-1 に示します。

表 34.2-1 フラッシュメモリで使用するクロック

クロック名	内容
動作クロック	ソースクロック (SRCCLK)

34.3　フラッシュメモリのレジスタ

フラッシュメモリで使用するレジスタの構成と機能について説明します。

■ フラッシュメモリのレジスター覧

フラッシュメモリのレジスター覧を表 34.3-1 に示します。

表 34.3-1 フラッシュメモリのレジスター覧

レジスタ略称	レジスタ名	参照先
FSTR	FLASH ステータスレジスタ	34.3.1
FCTLR	FLASH 制御レジスタ	34.3.2

34.3.1　FLASH ステータスレジスタ (FSTR)

フラッシュメモリの状態を示すレジスタです。
FLASH ステータスレジスタ (FSTR) のビット構成を図 34.3-1 に示します。

図 34.3-1 FLASH ステータスレジスタ (FSTR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	予約	FRDY
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	1

R : リードオンリ

[bit7 ～ bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : FRDY (フラッシュ書込み許可ビット)

自動プログラムアルゴリズムでフラッシュメモリの書込み / 消去動作が実行中か完了しているかを示します。動作中の場合 , フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

読出し値	説明
0	動作中 (書込み / 消去不可)
1	動作完了 (書込み / 消去可能)

- マスク ROM 品の場合
  常に "1" が読み出されます。

34.3.2　FLASH 制御レジスタ (FCTLR)

内蔵プログラムメモリへのアクセスを制御するレジスタです。
このレジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください。

34.4　フラッシュメモリのアクセスモード

CPU からフラッシュメモリにアクセスする場合は次の 2 つのアクセスモードがあります。

- CPU プログラミングモード
- CPU ROM モード

■ 概要

FLASH 制御レジスタ (FCTLR) の FWE ビットで設定できます。

- CPU ROM モード (FWE=0)

  フラッシュメモリのデータの読出しのみを行うモードです。ワードアクセスできるため , 32 ビット長のデータを一括で読み出せます。

  ただし , このモードでは , コマンドおよびデータ書込みや消去 , 自動プログラムアルゴリズムの起動は行えません。

< 注意事項 >

リセットが解除されるとこのモードが設定されます。

- CPU プログラミングモード (FWE=1)

  データの読出し , 書込み / 消去ができるモードです。このモードでは , ワードアクセスできないため , このモードで動作しているときはフラッシュメモリ上のプログラムを実行することはできません。動作内容は次のとおりです。

  - 読出し時

    ハーフワードでフラッシュメモリにアクセスして , 16 ビットのデータを一括で読み出します。

  - コマンド書込み時

    自動プログラムアルゴリズムを起動し書込みおよび消去を行います。自動プログラムアルゴリズムについては ,「34.5 自動プログラムアルゴリズム」を参照してください。

< 注意事項 >

CPU が動作時にリセットが解除されると CPU ROM モードが設定されます。このモードに設定したい場合は , リセット解除後 FWE ビットに "1" を書き込んでください。また , CPU プログラミングモード設定後にリセットが発生すると , FWE ビットが "0" に変わり CPU ROM モードに戻ります。

34.5　自動プログラムアルゴリズム

CPU プログラミングモードを利用する場合，フラッシュメモリへの書込み / 消去は自動プログラムアルゴリズムを起動して行います。
自動プログラムアルゴリズムについて説明します。

34.5.1　コマンドシーケンス

フラッシュメモリへ 1 回～ 6 回連続でハーフワード (16 ビット) のデータを書き込むと自動プログラムアルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを表 34.5-1 に示します。

表 34.5-1 コマンドシーケンス

コマンド	書込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
読出し / リセット	1	$FXXXX_H$	$F0F0_H$	RA	RD	--	--	--	--	--	--	--	--
読出し / リセット	4	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	$FAAAA_H$	$F0F0_H$	RA	RD	--	--	--	--
書込み	4	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	$FAAAA_H$	$A0A0_H$	PA	PD	--	--	--	--
チップ消去	6	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	$FAAAA_H$	8080_H	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	$FAAAA_H$	1010_H
セクタ消去	6	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	$FAAAA_H$	8080_H	$FAAAA_H$	$AAAA_H$	$F5556_H$	5555_H	SA	3030_H
セクタ消去一時停止	1	$FXXXX_H$	$B0B0_H$	--	--	--	--	--	--	--	--	--	--
セクタ消去再開	1	$FXXXX_H$	3030_H	--	--	--	--	--	--	--	--	--	--
連続モード	3	$F5556_H$	$AAAA_H$	$FAAAA_H$	5555_H	$F5556_H$	2020_H	--	--	--	--	--	--
連続書込み	2	$FXXXX_H$	$A0A0_H$	PA	PD	--	--	--	--	--	--	--	--
連続モードリセット	2	$FXXXX_H$	9090_H	$FXXXX_H$	$F0F0_H$ または 0000_H	--	--	--	--	--	--	--	--

RA：読出しアドレス　PA：書込みアドレス　SA：セクタアドレス (*)　RD：読出しデータ　PA：アドレス　PD：書込みデータ

< 注意事項 >

- 必ずハーフワードで書き込んでください。(アドレスは CPU モード時のアドレスを記載しています)
- 不正なアドレスやデータを書き込んだ場合や，書き込む順番を間違えた場合はフラッシュメモリは読出しモードにリセットされます。
- セクタアドレスは下位 4 ビットが "2_H, "6_H ", "A_H", "E_H " のいずれかを示す 32 ビットアドレス空間の下位側を指定してください。

■ 読出し / リセットコマンド

表 34.5-1 に記載されている読出し / リセットコマンドを対象セクタに連続して送るとフラッシュメモリを読出し / リセット状態にできます。

バス書込みサイクルが 1 回だけの読出し / リセットコマンドと 4 回の読出し / リセットコマンドがありますが , 本質的に違いはありません。

読出し / リセットコマンドを発行すると , フラッシュメモリは , 他のコマンドが発行されるまで読出し状態を保ちます。

自動プログラムアルゴリズムの実行がタイミングリミットを超過した場合は , 読出し / リセットコマンドを発行するとフラッシュメモリが読出し / リセット状態へ復帰します。読出しサイクルでフラッシュメモリからデータを読み出してください。

実際の動作については , 「34.6.1 読出し / リセット動作」を参照してください。

< 注意事項 >

本デバイスに電源が投入されると , フラッシュメモリは自動的に読出し / リセット状態に設定されます。この場合は , 読出し / リセットコマンドを発行する必要はありません。コマンドが正常に終了しなかった場合や自動プログラムアルゴリズムを初期化するときに読出し / リセットコマンドを発行してください。

■ プログラム (書込み) コマンド

表 34.5-1 に記載されている書込みコマンドを対象セクタに 4 回連続して送ると自動プログラムアルゴリズムを起動してフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でもセクタの境界を越えても行えます。

CPU プログラミングモードでは , ハーフワードで書込みを行います。

表 34.5-1 に記載されている 4 回目の書込みが終了すると , 自動プログラムアルゴリズムが起動し , フラッシュメモリへの自動書込みが開始されます

自動書込みアルゴリズムコマンドシーケンス実行後は , 外部からフラッシュメモリを制御する必要はありません。

実際の動作については , 「34.6.2 書込み動作」を参照してください。

< 注意事項 >

- **4 回目の書込みコマンド (書込みデータサイクル) を奇数番地に書き込むと , 書込みが正しく行われません。必ず偶数番地に書き込んでください。**
- **1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は , 1 データに 1 度書込みコマンドシーケンスを発行してください。**

■ チップ消去コマンド

表 34.5-1 に記載されているチップ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリの全セクタを一括で消去できます。

表 34.5-1 に記載されている 6 回目の書込みが終了すると , 自動プログラムアルゴリズムが起動しチップ消去動作が開始されます。

自動消去アルゴリズムが起動するとすべてのチップ消去する前に , フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで , マージンを検証 (プリプログラム) するため , チップ消去前に , フラッシュメモリに書込みを行う必要はありません。

また , マージン検証中は , 外部からフラッシュメモリを制御する必要はありません。

実際の動作については , 「34.6.3 チップ消去動作」を参照してください。

■ セクタ消去コマンド

表 34.5-1 に記載されているセクタ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリのセクタを消去できます。

表 34.5-1 に記載されている 6 回目の書込みが終了し , 50µs 経過 (タイムアウト期間) すると , 自動プログラムアルゴリズムが起動しセクタ消去動作が開始されます。

複数のセクタを消去したい場合は , 50µs (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (3030_H) を書き込んでください。タイムアウト期間内に次のセクタが入力されないと , セクタ消去コマンドが無効になる場合があります。

自動消去アルゴリズムが起動するとセクタ消去する前に , フラッシュメモリが消去するセクタのセルに "0" を書き込んで , マージンを検証 (プリプログラム) するため , セクタ消去前に , フラッシュメモリに書込みを行う必要はありません。

また , マージン検証中は , 外部からフラッシュメモリを制御する必要はありません。

実際の動作については , 「34.6.4 セクタ消去動作」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去中に , 表 34.5-1 に記載されているセクタ消去一時停止コマンドを対象セクタに送るとセクタ消去を一時停止し , 消去中以外のセクタからデータを読み出したり , データを書き込んだりできます。

セクタ消去コマンド後のタイムアウト期間に , このコマンドが発行されると , ただちにタイムアウトを終了し消去動作を中止します。ただし , このコマンドが発行されてから実際にセクタ消去が停止するまでに最大で 20µs の時間がかかります。

実際の動作については , 「34.6.5 セクタ消去一時停止動作」を参照してください。

< 注意事項 >

このコマンドはセクタ消去中のみ有効です。チップ消去中や書込み中にこのコマンドを発行しても無視されます。

■ セクタ消去再開コマンド

表 34.5-1 に記載されているセクタ消去再開コマンドを対象セクタに連続して送るとセクタ消去一時停止状態を解除し , セクタ消去を再開できます。

実際の動作については , 「34.6.6 セクタ消去再開動作」を参照してください。

< 注意事項 >

このコマンドはセクタ消去一時停止中のみ有効です。セクタ消去中にこのコマンドを発行しても無視されます。

34.5.2　自動プログラムアルゴリズムの実行状態

フラッシュメモリでは, 書込みや消去を自動プログラムアルゴリズムで行うため, 自動プログラムアルゴリズムが実行中かどうかを FLASH ステータスレジスタ (FSTR) の FRDY ビットで , 動作状態をハードウェアシーケンスフラグで確認できます。

FLASH ステータスレジスタ (FSTR) の FRDY ビットについては ,「34.3.1 FLASH ステータスレジスタ (FSTR)」を参照してください。

■ ハードウェアシーケンスフラグ

自動プログラムアルゴリズムの状態を示すフラグです。FLASH ステータスレジスタ (FSTR) の FRDY ビットが "0" のときに , フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。

ハードウェアシーケンスフラグのビット構成を図 34.5-1 に示します。

図 34.5-1 ハードウェアシーケンスフラグのビット構成

ハーフワードアクセスの場合

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義

bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG	TLOV	未定義	SETI	TOGG2	未定義	未定義

バイトアクセスの場合

bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG	TLOV	未定義	SETI	TOGG2	未定義	未定義

< 注意事項 >

- ワードアクセスで読み出すことはできません。必ず , CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても , ハードウェアシーケンスフラグを読み出すことはできません。
- バイトアクセスで読み出すときは , 奇数アドレスを読み出してください。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を表 34.5-2 に示します。

表 34.5-2 フラグとフラッシュメモリ状態の対応

状態			DPOLL	TOGG	TLOV	SETI	TOGG2
実行中	書込み中		反転データ *1	トグル	0	0	1
	セクタ / チップ消去中		0	トグル	0	1	トグル
	セクタ消去一時停止中	読出し (消去一時停止中セクタ)	1	1	0	0	トグル *2
		読出し (消去一時停止中セクタ以外)	データ *1	データ *1	データ *1	データ *1	データ *1
		書込み (消去一時停止中セクタ)	反転データ *1	トグル *3	1	0	1 *4
タイムリミット超過	セクタ/チップ消去コマンド		反転データ *1	トグル	1	0	1
	セクタ消去一時停止		0	トグル	1	1	*5
	セクタ消去一時停止中の書込み動作		0	トグル	1	1	*5

*1 : 読み出される値については , 「● ビット説明」を参照してください。

*2 : セクタ消去一時停止中のアドレスを連続で読み出すと "1" と "0" を交互に出力するトグル動作になります。

*3 : 連続で読み出すと指定したアドレスに関係なく "1" と "0" を交互に出力するトグル動作になります。

*4 : セクタ消去一時停止中にデータの書込みを行っている場合 , 書込み動作を行っているセクタを読み出すと "1" が , セクタ消去一時停止中のセクタを読み出すと "1" と "0" を交互に出力するトグル動作になります。

*5 : TLOV ビットが "1" のときに書込み / 消去中のセクタを連続で読み出すと , "1" と "0" を交互に出力するトグル動作になります。ただし , 他のセクタを読み出した場合は , トグル動作は行いません。

● ビット説明

[bit15 ～ bit8] : 未定義ビット

[bit7] : DPOLL : (データポーリングフラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと , データポーリング機能で自動プログラムアルゴリズムが実行中かどうかをこのビットに示します。

読み出される値は動作状態によって異なります。

- 書込み時
  - 書込み中：

    最後に書き込まれたデータのbit7の値と逆の値 (反転データ) が読み出されます。

    ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
  - 書込み終了後：

    ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。
- セクタ消去時
  - セクタ消去実行中：消去中のセクタから "0" が読み出されます。
  - セクタ消去後：必ず "1" が読み出されます。
- チップ消去時
  - チップ消去実行中：必ず "0" が読み出されます。
  - チップ消去後：必ず "1" が読み出されます。
- セクタ消去一時停止時

  このビットとTOGGビットを参照することでセクタ一時停止中のセクタや消去中のセクタを確認できます。
  - 消去一時停止読出しモード時に消去中セクタのアドレスを指定して読み出した場合：

    "1" が読み出されます。
  - 消去一時停止読出しモード時に消去中セクタ以外のアドレスを指定して読み出した場合：

    指定したアドレスの bit7 の値が読み出されます。
  - 消去一時停止書込みモード時に消去中セクタのアドレスを指定して読み出した場合：

    消去中セクタのデータの bit7 の値と逆の値 (反転データ) が読み出されます。

< 注意事項 >

自動プログラムアルゴリズムを起動しているときは , 指定したアドレスのデータを読み出すことはできません。このビットで自動プログラムアルゴリズムの動作が終了していることを確認してから , データを読み出してください。

[bit6] : TOGG : (トグルフラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと , 自動プログラムアルゴリズムが実行中かどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- 書込み / セクタ消去 / チップ消去時
  - 書込み / セクタ消去 / チップ消去中：

    連続でこのビットを読み出すと , "1" と "0" が交互に読み出されます (トグル動作)。

ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。

- 書込み / セクタ消去 / チップ消去終了後：

  ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

- セクタ消去一時停止時
  - 消去中セクタのアドレスを指定して読み出した場合："1" が読み出されます。
  - 消去中セクタ以外のアドレスを指定して読み出した場合：

    指定したアドレスの bit6 の値が読み出されます。

< 注意事項 >

- **書き換え保護がされているセクタに書込みを行おうとすると , 約 2µs 間トグル動作を行い , データを書き換えずにトグル動作を終了します。**
- **セクタ消去時 , 選択したセクタすべてに書き換え保護がかけられていると , 約 100µs 間トグル動作を行い , データを消去せず読出し / リセット状態に戻ります。**

[bit5] : TLOV : (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと , 自動プログラムアルゴリズムの実行時間がフラッシュメモリ内部で規定している時間 (内部パルスの回数) を超過したかどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- 書込み / セクタ消去 / チップ消去時

  次の値が読み出されます。

読出し値	説明
0	規定時間内
1	規定時間を超えている

このビットが "1" のときに , DPOLL ビットや TOGG ビットが自動プログラムアルゴリズム実行中であることを示していると , 書込みや消去に失敗したことになります。

例えば , フラッシュメモリでは "0" が書き込まれているデータを "1" に書き換えることができないため , "0" が書き込まれているアドレスに "1" を書き込もうとすると , フラッシュメモリがロックされ自動プログラムアルゴリズムが終了しません。この場合は , DPOLL ビットの値は無効のままになり , TOGG ビットからは "1" と "0" が交互に読み出され続けます。

この状態のまま規定時間を超えたときに , このビットが "1" に変わります。このビットが "1" になった場合はリセットコマンドを発行してください。

< 注意事項 >

このビットが "1" の場合は , フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。
リセットコマンドを発行してから適切な処理を行ってください。

[bit4] : 未定義ビット

[bit3] : SETI (セクタ消去タイマフラグビット)

セクタ消去時は , セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには , 50µs のタイムアウト期間が必要です。

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと , セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- セクタ消去時 :

  セクタ消去時に次のセクタ消去コードを入力する前に , このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。

  ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず , 次の値が読み出されます。

読出し値	説明
0	セクタ消去ウェイト期間中 次のセクタ消去コード (3030_H) を受け付けられます。
1	セクタ消去ウェイト期間を超過している *

* : このビットが "1" のときに , DPOLL ビットや TOGG ビットが自動プログラムアルゴリズム実行中であることを示していると , フラッシュメモリ内部の消去が開始されています。この場合 , セクタ消去コード (3030_H) や消去一時停止コマンド以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。

- セクタ消去一時停止時
  - 消去中セクタのアドレスを指定して読み出した場合 : "1" が読み出されます。
  - 消去中セクタ以外のアドレスを指定して読み出した場合 :

    指定したアドレスの bit3 の値が読み出されます。

[bit2] : TOGG2 : (トグルフラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと , 消去中 / 消去一時停止中かどうかをこのビットで示します。このビットは , 消去一時停止読出しモード時にトグル動作を行うため ,

このビットと TOGG ビットの両方を確認することで , セクタ消去一時停止中に読出しが行われている (消去一時読出しモード) かどうかを検出します。

また , このビットは消去一時停止中のセクタの検出にも使用できます。

このビットは動作状態によって示すものが異なります。

- 書込み / セクタ消去 / チップ消去時 (TOGG ビットと同じです。)
  - 書込み / セクタ消去 / チップ消去中 :

    連続でこのビットを読み出すと , "1" と "0" が交互に読み出されます (トグル動作) 。

    ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
  - 書込み / セクタ消去 / チップ消去終了後 :

    ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値

が読み出されます。

- セクタ消去一時停止時：
  - セクタ消去一時停止中セクタのアドレスを指定して読み出した場合：

    消去一時停止読出しモード時に連続でこのビットを読み出すと , "1" と "0" が交互に読み出されます (トグル動作) 。
  - セクタ消去一時停止中のセクタ以外のアドレスを指定して読み出した場合：

    消去一時停止書込みモード時にこのビットを読み出すと , "1"が読み出されます。

[bit1, bit0] : 未定義ビット

34.6　フラッシュメモリの動作説明

フラッシュメモリの動作について , コマンドごとに説明します。

■ 概要

フラッシュメモリは , 1 回～ 6 回連続してコマンドを発行することで , 自動プログラムアルゴリズムを起動して以下の操作を行えます。

- 読出し / リセット
- 書込み
- チップ消去
- セクタ消去
- セクタ消去一時停止
- 消去再開

ハードウェアシーケンスフラグを利用して自動プログラムアルゴリズムの実行状態を確認できます。

コマンドおよび自動プログラムアルゴリズムの実行状態については「34.5 自動プログラムアルゴリズム」を , 参照してください。

34.6.1　読出し / リセット動作

フラッシュメモリの読出し / リセット状態について説明します。

読出し / リセットコマンドを対象セクタに連続して送るとフラッシュメモリを読出し / リセット状態にできます。

この状態は , フラッシュメモリの初期状態のため , 電源を投入したときやコマンドが正常終了すると , フラッシュメモリは常に読出し / リセット状態に戻ります。電源投入時はデータ読出しコマンドを発行する必要はありません。また , 読出し / リセット状態では通常の読出しアクセスでデータを読み出したり , CPU からプログラムアクセスしたりできるため , データを読み出すときに読出し / リセットコマンドを発行する必要はありません。

読出し / リセットコマンドについては , 「34.5 自動プログラムアルゴリズム」を参照してください。

34.6.2　書込み動作

フラッシュメモリへの書込み動作について説明します。

■ 書込み動作

次の順番で書込みを行います。

1. 書込みコマンドを対象セクタに連続して送る

   自動プログラムアルゴリズムが起動されフラッシュメモリへデータが書き込まれます。

   書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。

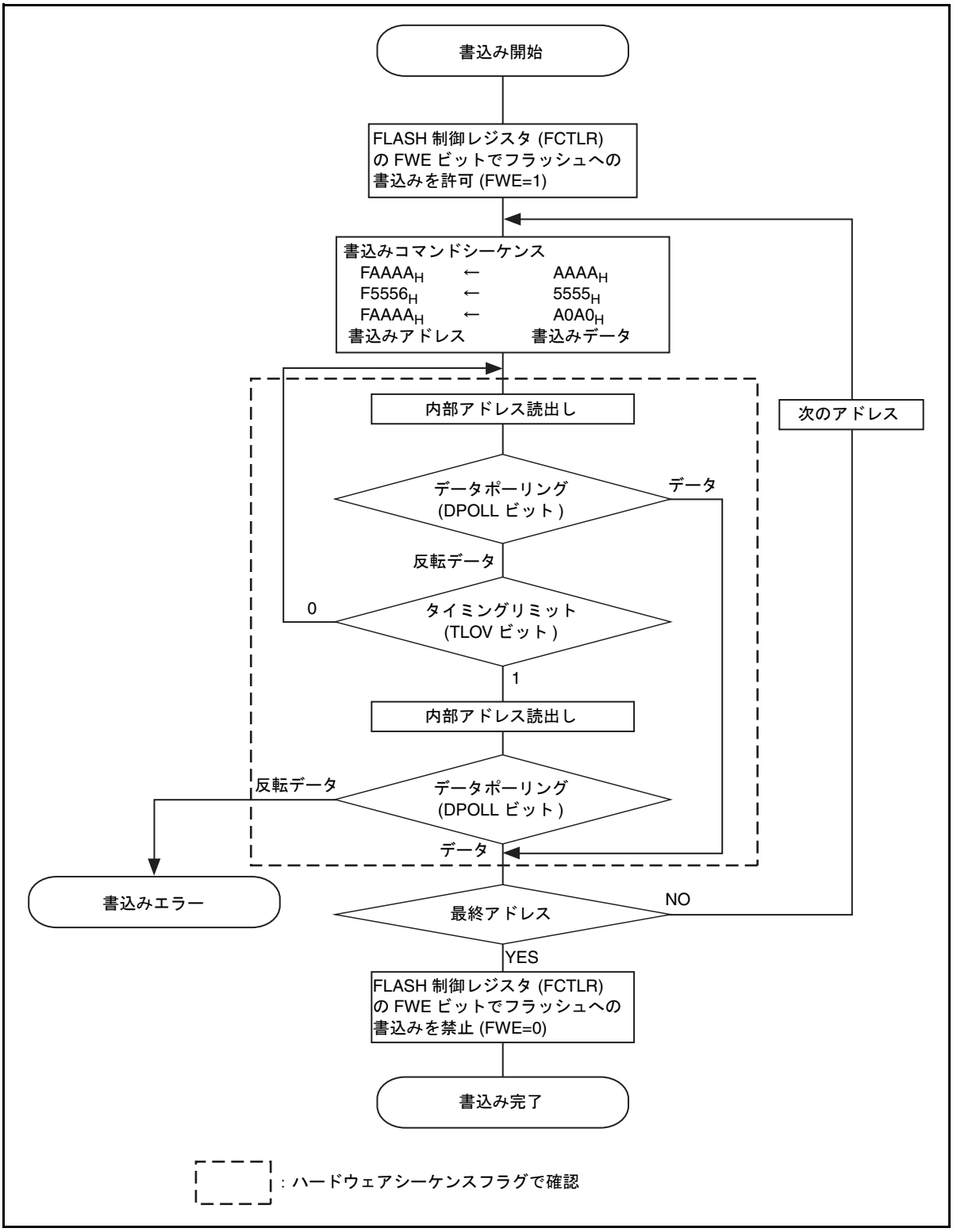
2. 書込みを行ったアドレスにリードアクセスする

   読み出したデータはハードウェアシーケンスフラグになります。そのため , 読み出したデータの bit7 (DPOLL ビット) が書き込んだ値と一致していると , フラッシュメモリへの書込みが終了したことになります。

   書込みが終了していない場合は , 最後に書き込んだデータの bit7 の値と逆の値 (反転データ) が読み出されます。

フラッシュメモリへの書込み動作例を図 34.6-1 に示します。

図 34.6-1 書込み手順例



書込みが終了すると , フラッシュメモリは読出しモードに戻るため , 書込みアドレスを受け付けなくなります。

< 注意事項 >

- 書込みコマンドについては , 「34.5 自動プログラムアルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは , TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG ビット , TLOV ビットが "1" に変わると同時にトグル動作を停止します。そのため , TLOV ビットが "1" の場合でも TOGG ビットを再度確認する必要があります。
- フラッシュメモリへは , どのようなアドレスの順番でも , またセクタの境界を越えても書き込めますが , 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は , 1 データに 1 度書込みコマンドシーケンスを発行してください。

■ 書込み上の注意

- 一度 , "0" が書き込まれたデータを "1" に戻すことはできません。"0" を "1" に書き換えると , 以下のいずれかになります。
  - データポーリングアルゴリズムにより素子が不良と判定される
  - 書込み規定時間を超え , ハードウェアシーケンスフラグビットの TLOV ビットが "1" に変わる
  - "1" が書き込まれたように見える

  ただし , "1" が書き込まれたように見えた場合でも , 実際のデータは '0' のままのため読出し / リセットモードでデータを読み出すと "0" が読み出されます。データを "1" に戻したい場合は , チップ消去かセクタ消去を行ってください。
- 書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は , 書き込んでいるデータは保証されません。

34.6.3　チップ消去動作

フラッシュメモリのセクタを一括して消去できます。セクタを一括して消去することをチップ消去と言います。

チップ消去コマンドを対象セクタに連続して送ると自動プログラムアルゴリズムを起動して , 全セクタを一括で消去できます。

チップ消去コマンドについては ,「34.5 自動プログラムアルゴリズム」を参照してください。

1. チップ消去コマンドを対象セクタに連続して送る

   自動プログラムアルゴリズムが起動されフラッシュメモリへデータが書き込まれます。

2. 任意のアドレスにリードアクセスする

   読み出したデータはハードウェアシーケンスフラグになります。そのため , 読み出したデータの bit7 (DPOLL ビット) が "1" だと , チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 X 全セクタ数＋チップ書込み時間 (プリプログラム) 」となります。

チップ消去動作が終了すると , フラッシュメモリは読出し / リセットモードに戻ります。

< 注意事項 >

自動消去アルゴリズムが起動するとすべてのチップ消去する前に , フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで , マージンを検証 (プリプログラム) するため , チップ消去前に , フラッシュメモリに書込みを行う必要はありません。

また , マージン検証中は外部からフラッシュメモリを制御する必要もありません。

34.6.4　セクタ消去動作

フラッシュメモリ内のセクタを選択して , 選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。

次の順番でセクタ消去を行います。

1. セクタ消去コマンドを対象セクタに連続して送る

   50µs 経過 (タイムアウト期間) すると , 自動プログラムアルゴリズムが起動しセクタ消去動作が開始されます。

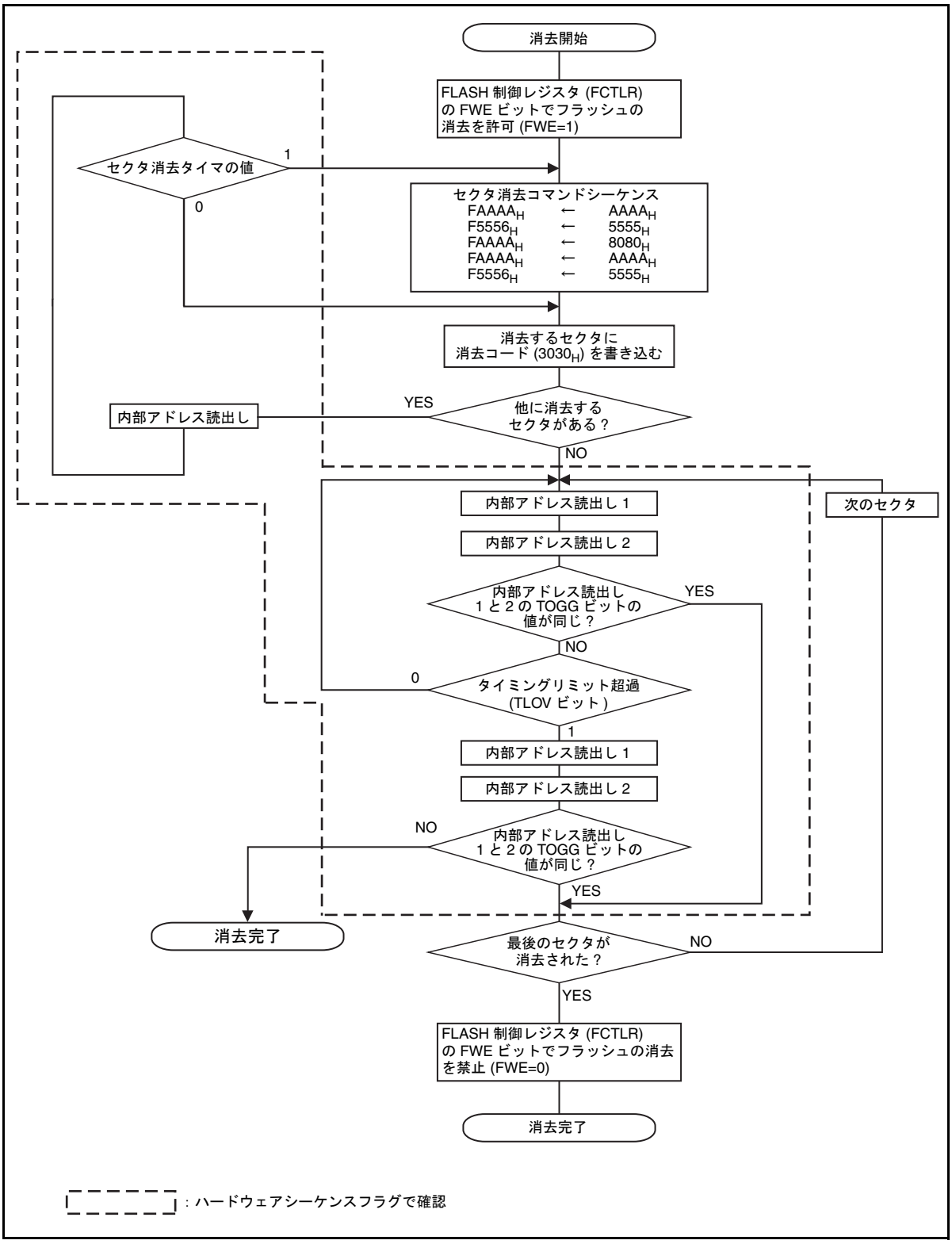
   複数のセクタを消去したい場合は , 50µs (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (3030_H) を書き込んでください。タイムアウト期間経過後に書き込んでも , セクタ消去コマンドが無効になる場合があります。

2. 任意のアドレスにリードアクセスする

   読み出したデータはハードウェアシーケンスフラグになります。そのため , 読み出したデータの bit7 (DPOLL ビット) が "1" だと , セクタ消去が終了したことになります。

また , TOGG ビットを利用してセクタ消去が完了したかどうかを確認することもできます。確認動作に TOGG ビットを使用した場合を例にとって , セクタ消去手順例を図 34.6-2 に示します。

図 34.6-2 セクタ消去手順例



セクタ消去に必要な時間は「(セクタ消去時間＋セクタ書込み時間 (プリプログラム))×セクタ数」となります。

セクタ消去動作が終了すると , フラッシュメモリは読出し / リセットモードに戻ります。

< 注意事項 >

- セクタ消去コマンドについては ,「34.5 自動プログラムアルゴリズム」を参照してください。
- 消去するセクタを指定するときは , 下位 4 ビットが 2_H, 6_H, A_H, E_H のいずれかのアドレス (32 ビット下位側) を指定してください。
- ハードウェアシーケンスフラグの DPOLL ビットは , TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG ビットは , TLOV ビットが "1" に変わると同時にトグル動作を停止します。そのため , TLOV ビットが "1" の場合でも TOGG ビットを再度確認する必要があります。
- タイムアウト期間を含むセクタ消去中に , セクタ消去コマンド / 消去一時停止コマンド以外のコマンドを発行すると , フラッシュメモリが読出し / リセット状態になります。

  この場合 , フラッシュメモリがリセットされるので , コマンドが発行される 1 つ前または複数のセクタ消去コマンドが無効になります。

  セクタ消去を行う場合は , 最初からセクタ消去コマンドを発行しなおしてください。
- 自動消去アルゴリズムが起動すると , セクタ消去する前に , フラッシュメモリが消去するセルに "0" を書き込んで , マージンを検証 (プリプログラム) するため , セクタ消去前に , フラッシュメモリに書込みを行う必要はありません。

  また , マージン検証中は外部からフラッシュメモリを制御する必要もありません。

34.6.5　セクタ消去一時停止動作

セクタ消去を一時停止して消去中以外のセクタ内からデータを読み出したり , データを書き込んだりできます。セクタ消去が一時停止されると , セクタ消去再開コマンドが発行されるまでセクタ消去一時停止状態を保持します。

セクタ消去停止中に , セクタ消去一時停止コマンドを対象セクタに送ると , セクタ消去を一時停止し , 違うセクタからデータを読み出したり , データを書き込んだりできます。

本書では , セクタ消去一時停止中に他のセクタからデータを読み出すことをセクタ消去一時停止読出し , 他のセクタにデータを書き込むことをセクタ消去一時停止書込みと言います。

■ セクタ消去一時停止動作

次の順番でセクタ消去を一時停止します。

1. セクタ消去のタイムアウト期間～セクタ消去中の間にセクタ消去一時停止コマンドを対象セクタに送る

   タイムアウト期間中にコマンドを発行した場合は , ただちにタイムアウトを終了し , 消去動作を中止します。

セクタ消去中はコマンドを発行した場合は , 実際にセクタ消去が停止するまでに最大で 20µs の時間がかかります。

2. 書込みアドレスかセクタ消去一時停止を行ったアドレスにリードアクセスする

   読み出したデータはハードウェアシーケンスフラグになります。そのため , 読み出したデータの bit7 (DPOLL ビット) と bit6 (TOGG ビット) から "1" が読み出されると , セクタ消去が終了したことになります。

   また , セクタ消去が停止すると , FLASH ステータスレジスタ (FSTR) の FRDY ビットが "1" に変わります。

< 注意事項 >

- セクタ消去一時停止コマンドについては , 「34.5 自動プログラムアルゴリズム」を参照してください。
- 消去を一時停止できるのは , セクタ消去のタイムアウト期間～セクタ消去中のみです。チップ消去を一時停止することはできません。また , セクタ消去一時停止中に再度セクタ消去一時停止コマンドを発行しても無視されます。

■ セクタ消去一時停止後の状態

● セクタ消去一時停止読出しモード

セクタ消去が一時停止されると , セクタ消去一時停止中以外のセクタを通常と同じ動作で読み出すことができます。この状態をセクタ消去一時停止読出しモードと言います。

< 注意事項 >

セクタ消去一時停止中のセクタは読み出すことができません。セクタ消去一時停止中のセクタを読み出すと , ハードウェアシーケンスフラグが読み出されます。ハードウェアシーケンスフラグを読み出した場合は , 読み出したデータの各ビットの値が次のようになります。

- bit7 (DPOLL ビット) と bit6 (TOGG ビット) : "1"
- bit2 (TOGG2 ビット) : 連続で読み出すと "1" と "0" が交互に読み出されるトグル動作

● セクタ消去一時停止書込みモード

セクタ消去一時停止読出しモードでプログラム (書込み) コマンドを発行すると , セクタ消去一時停止中以外のセクタにデータを書き込めるようになります。この状態をセクタ消去一時停止書込みモードと言います。

書込み動作は通常と同じです。必ずハーフワードで書き込んでください。

< 注意事項 >

- セクタ消去一時停止中のセクタに書き込むことはできません。
  セクタ消去一時停止書込みモード時 , セクタ消去一時停止中のセクタを読み出すと , ハードウェアシーケンスフラグが読み出されます。ハードウェアシーケンスフラグを読み出した場合は , 読み出したデータの各ビットの値が次のようになります。
  - bit6 (TOGG ビット) : 連続で読み出すと "1" と "0" が交互に読み出されるトグル動作
  - bit2 (TOGG2 ビット) : 連続で読み出すと "1" と "0" が交互に読み出されるトグル動作
- セクタ消去一時書込みモード時 , セクタ消去一時停止中以外のセクタからデータを読み出すと , bit7 には実際の値の反転値が読み出されます。

34.6.6　セクタ消去再開動作

セクタ消去一時停止中にセクタ消去を再開する動作について説明します。

セクタ消去を一時停止中に , 任意のアドレスにセクタ消去再開コマンドを送るとセクタ消去を再開できます。

セクタ消去再開コマンドが発行されると , セクタ消去一時停止中のセクタの消去動作が開始されます。

セクタ消去再開コマンドについては ,「34.5 自動プログラムアルゴリズム」を参照してください。

< 注意事項 >

セクタ消去再開コマンドは , セクタ消去一時停止中のみ有効です。セクタ消去中にセクタ消去再開コマンドを発行しても無視されます。

34.7　フラッシュメモリの使用上の注意

フラッシュメモリを使用する際は , 次の点に注意してください。

- 書込み中に本デバイスがリセットされた場合は , 書き込んでいるデータは保証されません。
- FLASH 制御レジスタ (FCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) したときは , フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。

  FLASH 制御レジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください。
- FLASH 制御レジスタ (FCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) し , フラッシュメモリ上に割込みベクタテーブルがある場合は , 割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。

  FLASH 制御レジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください
- FLASH 制御レジスタ (FCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) した場合 , サブランモードおよび低消費電力モードには遷移しないでください。

  FLASH 制御レジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください
- FLASH 制御レジスタ (FCTLR) の FWE ビットで CPU ROM モードを設定 (FWE=0) した場合は , フラッシュメモリに書込みを行わないでください。

  FLASH 制御レジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください
- FLASH 制御レジスタ (FCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) した場合 , フラッシュメモリへの書込みは必ずハーフワードで行ってください。バイト書込みはしないでください。

  FLASH 制御レジスタについては ,「第 33 章 内蔵プログラムメモリ制御」の「33.2.1 FLASH 制御レジスタ (FCTLR)」を参照してください
- フラッシュメモリへ連続で書込みを行わないでください。連続で書込みを行う場合は , 必ず "NOP"1 命令以上あけるようにしてください。
- フラッシュメモリに書き込んだ後は , 必ずダミーの読出しをしてから実際に読み出したいデータを読み出してください。書込み直後にデータを読み出しても , 読出し値は保証できません。

第 35 章 ワイルドレジスタ

ワイルドレジスタの機能と動作について説明します。

35.1 ワイルドレジスタの概要
35.2 ワイルドレジスタの構成
35.3 ワイルドレジスタのレジスタ
35.4 ワイルドレジスタの動作説明と設定手順例
35.5 ワイルドレジスタの使用上の注意

35.1　ワイルドレジスタの概要

ワイルドレジスタとは , パッチ対象アドレスのデータを置換する機能です。
本製品はワイルドレジスタを 16 チャネル内蔵しており , 16 組のパッチ対象アドレスと置き換えデータを設定できます。

■ 概要

ワイルドレジスタ機能を利用すると , 指定したアドレスのメモリ内容 (命令コード / データ) をあらかじめ決めてあるレジスタ内のデータに置き換えて読み出せます。

この機能を利用すると , フラッシュメモリ /ROM の内容を書き換えることなく , 読み出されるデータを修正できます。

35.2　ワイルドレジスタの構成

ワイルドレジスタの構成を示します。

- ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15)
  ワイルドレジスタ機能を利用して , 修正するデータがあるアドレスを指定するレジスタです。
- ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15)
  置き換えるデータを設定するレジスタです。
- ワイルドレジスタデータイネーブルレジスタ (WREN)
  ワイルドレジスタ機能の動作を許可 / 禁止するレジスタです。

35.3　ワイルドレジスタのレジスタ

ワイルドレジスタで使用するレジスタの構成と機能について説明します。

■ ワイルドレジスタのレジスター覧

ワイルドレジスタのレジスター覧を表 35.3-1 に示します。

表 35.3-1 ワイルドレジスタのレジスター覧 (１ / ２)

チャネル	レジスタ略称	レジスタ名	参照先
共通	WREN	ワイルドレジスタデータイネーブルレジスタ	35.3.3
0	WRAR00	ワイルドレジスタアドレスレジスタ 00	35.3.1
	WRDR00	ワイルドレジスタデータレジスタ 00	35.3.2
1	WRAR01	ワイルドレジスタアドレスレジスタ 01	35.3.1
	WRDR01	ワイルドレジスタデータレジスタ 01	35.3.2
2	WRAR02	ワイルドレジスタアドレスレジスタ 02	35.3.1
	WRDR02	ワイルドレジスタデータレジスタ 02	35.3.2
3	WRAR03	ワイルドレジスタアドレスレジスタ 03	35.3.1
	WRDR03	ワイルドレジスタデータレジスタ 03	35.3.2
4	WRAR04	ワイルドレジスタアドレスレジスタ 04	35.3.1
	WRDR04	ワイルドレジスタデータレジスタ 04	35.3.2
5	WRAR05	ワイルドレジスタアドレスレジスタ 05	35.3.1
	WRDR05	ワイルドレジスタデータレジスタ 05	35.3.2
6	WRAR06	ワイルドレジスタアドレスレジスタ 06	35.3.1
	WRDR06	ワイルドレジスタデータレジスタ 06	35.3.2
7	WRAR07	ワイルドレジスタアドレスレジスタ 07	35.3.1
	WRDR07	ワイルドレジスタデータレジスタ 07	35.3.2
8	WRAR08	ワイルドレジスタアドレスレジスタ 08	35.3.1
	WRDR08	ワイルドレジスタデータレジスタ 08	35.3.2
9	WRAR09	ワイルドレジスタアドレスレジスタ 09	35.3.1
	WRDR09	ワイルドレジスタデータレジスタ 09	35.3.2
10	WRAR10	ワイルドレジスタアドレスレジスタ 10	35.3.1
	WRDR10	ワイルドレジスタデータレジスタ 10	35.3.2
11	WRAR11	ワイルドレジスタアドレスレジスタ 11	35.3.1
	WRDR11	ワイルドレジスタデータレジスタ 11	35.3.2
12	WRAR12	ワイルドレジスタアドレスレジスタ 12	35.3.1
	WRDR12	ワイルドレジスタデータレジスタ 12	35.3.2
13	WRAR13	ワイルドレジスタアドレスレジスタ 13	35.3.1
	WRDR13	ワイルドレジスタデータレジスタ 13	35.3.2
14	WRAR14	ワイルドレジスタアドレスレジスタ 14	35.3.1
	WRDR14	ワイルドレジスタデータレジスタ 14	35.3.2

表 35.3-1 ワイルドレジスタのレジスター覧 (2 / 2)

チャネル	レジスタ略称	レジスタ名	参照先
15	WRAR15	ワイルドレジスタアドレスレジスタ 15	35.3.1
	WRDR15	ワイルドレジスタデータレジスタ 15	35.3.2

35.3.1　ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15)

ワイルドレジスタ機能を利用して , 修正するデータがあるアドレスを指定するレジスタです。WRAR21 ～ WRAR2 ビットの値が実際のアドレスと比較されます。このレジスタに設定したアドレスのメモリ内容を読み出すと , 実際のメモリ内容ではなく , ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15) に設定した値が読み出されます。

ワイルドレジスタアドレスレジスタ (WRAR00～WRAR15) のビット構成を図 35.3-1に示します。

図 35.3-1 ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) のビット構成

bit	31 ～ 22	21 ～ 2	1 ～ 0
	未定義	WRAR21 ～ WRAR2	未定義
属性	ー	R/W	ー
初期値	X	X	X

R/W：リード / ライト可能
ー：未定義
X：不定

< 注意事項 >

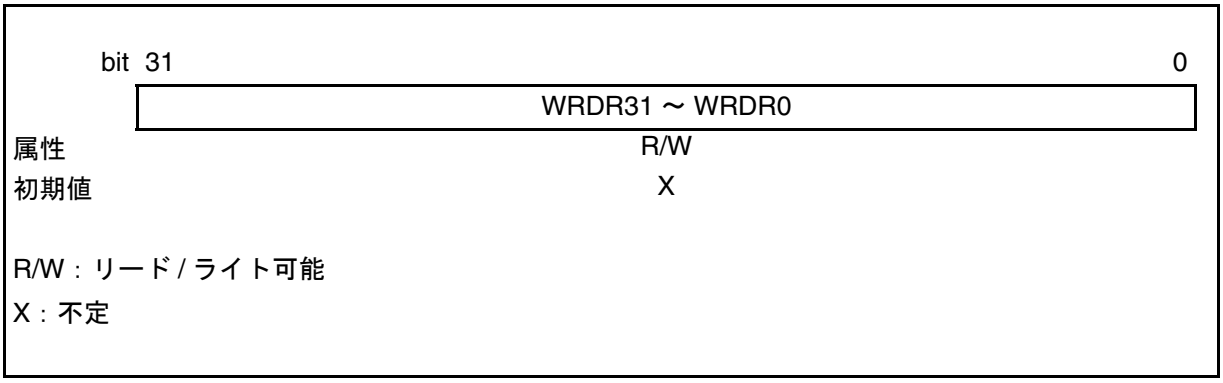
- アドレスはワード単位で指定してください。
- ワイルドレジスタの動作が許可されているときは , このレジスタは読み出せません。読み出した場合の値は不定です。
- このレジスタにアドレスを設定するプログラムは , 内蔵のフラッシュメモリ /ROM 領域以外に配置してください。
- 設定するアドレスが重ならないようご注意ください。アドレスが重なった場合の読出し値は不定になります。

35.3.2　ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15)

置き換えるデータを設定するレジスタです。ワイルドレジスタアドレスレジスタ (WRAR00 ～WRAR15) で指定したアドレスのメモリ内容を読み出すと, 実際のメモリ内容ではなく , このレジスタに設定した値が読み出されます。

ワイルドレジスタデータレジスタ (WRDR00～WRDR15) のビット構成を図 35.3-2に示します。

図 35.3-2 ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15) のビット構成



< 注意事項 >

- このレジスタにはワードデータを設定してください。
- ワイルドレジスタの動作が許可されているときは , このレジスタは読み出せません。読み出した場合の値は不定です。

35.3.3　ワイルドレジスタデータイネーブルレジスタ (WREN)

ワイルドレジスタ機能の動作を許可 / 禁止するレジスタです。

ワイルドレジスタデータイネーブルレジスタ (WREN) のビット構成を図 35.3-3 に示します。

図 35.3-3 ワイルドレジスタデータイネーブルレジスタ (WREN) のビット構成

bit	15	0
	WREN15 ～ WREN0	
属性	R/W	
初期値	0	

R/W：リード / ライト可能
X：不定

[bit15 ～ bit0]：WREN15 ～ WREN0 (動作許可ビット)

対応するチャネルのワイルドレジスタ機能の動作を許可 / 禁止します。

WREN15 ビットが ch.15, WREN14 ビットが ch.14•••WREN0 ビットが ch.0 に対応しています。

書込み値	説明
0	動作を禁止します。
1	動作を許可します。

< 注意事項 >

フラッシュメモリの自動アルゴリズム実行中は , ワイルドレジスタ機能の動作を有効にしないでください。

自動アルゴリズムが動作していることは , フラッシュステータスレジスタ (FSTR) の FRDY ビットで確認できます (FRDY=0) 。

35.4　ワイルドレジスタの動作説明と設定手順例

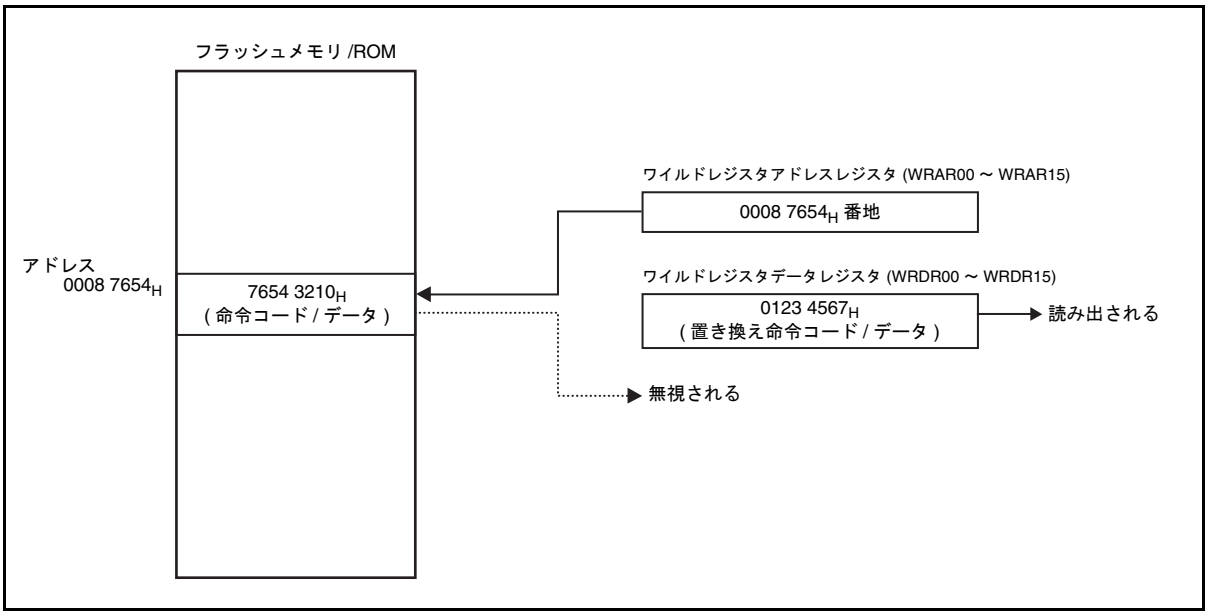
ワイルドレジスタの動作について説明します。また , 動作するための設定手順例も示します。

35.4.1　ワイルドレジスタの動作

次の設定がされている場合を例に , ワイルドレジスタの動作を図 35.4-1 示します。

- ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) に 0008 7654_H 番地を設定
- ワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15) の値：0123 4567_H
- フラッシュメモリ /ROM の 0008 7654_H 番地の値：7654 3210_H

図 35.4-1 ワイルドレジスタの動作



CPU がフラッシュメモリ /ROM の 0008 7654_H 番地に格納されているデータを読み出そうとすると , 0008 7654_H 番地の値である "7654 3210_H" の代わりに , ワイルドレジスタデータレジスタ (WRDR0 ～ WRDR15) に設定されている値 "0123 4567_H" が読み出されます。

35.5　ワイルドレジスタの使用上の注意

ワイルドレジスタを使用する際は , 次の点に注意してください。

■ プログラムで設定する場合の注意

- ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) にアドレスを設定するプログラムは , 内蔵のフラッシュメモリ /ROM 領域以外に配置してください。
- ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) に設定するアドレスが重ならないようご注意ください。アドレスが重なった場合 , 読出し値は不定になります。
- フラッシュメモリの自動アルゴリズム実行中は , ワイルドレジスタ機能の動作を有効にしないでください。自動アルゴリズムが動作していることは , フラッシュステータスレジスタ (FSTR) の FRDY ビットで確認できます (FRDY=0) 。

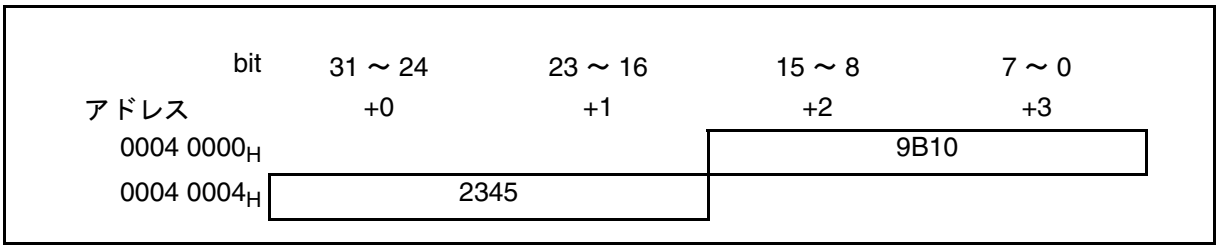
■ 動作に関する注意

- ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) およびワイルドレジスタデータレジスタ (WRDR00 ～ WRDR15) はビッグエンディアン方式で読み出されます。
- 16 ビット長命令を超える命令 (32/48 ビット長命令) が配置されているアドレスにワイルドレジスタを設定すると , CPU が正しく命令を解釈せず誤動作する場合があります。32/48 ビット長命令が配置されているアドレスにワイルドレジスタを設定する場合は , 命令の途中に設定しないでください。

  32/48 ビット長命令の場合の動作を示します。

  1. 32 ビット長命令 (LDI:20) の場合　例)LDI:20 #0x12345,r0(9B102345$_H$)

図 35.5-1　0004 0000$_H$ 番地に配置されている場合のメモリマップ



- ワイルドレジスタ機能をしない場合 (WREN=0000)

  置換後のデータ：9B10 2345

  ◎ R0 に 0001 2345$_H$ が設定される。

- 下位 16 ビットを "INT" 命令に置換する場合

  (WRAR00=0004 0004, WRDR00=1FF4 ????, WREN=0001)

  置換後のデータ：9B10 **1FF4**

▼ $1FF4_H$ を命令ではなく LDI:20 の即値データとして解釈するため , R0 に 0001 $1FF4_H$ が設定される。

- 上位 16 ビットを INT 命令に置換する場合
  (WRAR00=0004 0000, WRDR00=???? 1FF4, WREN=0001)
  置換後のデータ：**1FF4** 2345
  ◎ $1FF4_H$ を命令として解釈する。
  ▼次の 2345_H を LDI:20 の即値データとしてではなく , 命令として解釈する。

2. 48 ビット長命令 (LDI:32) の場合　例)LDI:32 #0x12345678,r0(9F8012345678$_H$)

図 35.5-2 0004 0000_H/0004 0004_H 番地に配置されている場合のメモリマップ

bit	31 ～ 24	23 ～ 16	15 ～ 8	7 ～ 0
アドレス	+0	+1	+2	+3
0004 0000_H	9F80		1234	
0004 0004_H	5678			

- ワイルドレジスタ機能をしない場合 (WREN = 0000)
  置換後のデータ：9F80 1234 5678
  ◎ R0 に 12345678 $_H$ が設定される。
- 0004 0000_H 番地の下位 16 ビットを INT 命令に置換する場合
  (WRAR00=0004 0000, WRDR00=9F80 1FF4, WREN=0001)
  置換後のデータ：9F80 **1FF4** 5678
  ▼ $1FF4_H$ を命令ではなく LDI:32 の即値データとして解釈するため , R0 に 1FF4 5678_H が設定される。
- 0004 0004_H 番地の上位 16 ビットを INT 命令に置換する場合
  (WRAR00=0004 0004, WRDR00=1FF4 ????, WREN=0001)
  置換後のデータ：9F80 1234 **1FF4**
  ▼ $1FF4_H$ を命令ではなく LDI:32 の即値データとして解釈するため , R0 に 1234 1FF4 $_H$ が設定される。
- 0004 0000_H 番地の上位 16 ビットを INT 命令に置換する場合
  (WRAR00=0004 0004, WRDR00=1FF4 1234, WREN=0001)
  置換後のデータ：**1FF4** 1234 5678
  ◎ $1FF4_H$ を命令として解釈する。
  ▼次の 1234_H と 5678_H を LDI:32 の即値データとしてではなく , 命令として解釈する。

第 36 章 シリアル書込み接続

MB91F61x は , フラッシュメモリのシリアルオンボード書込み (Spansion 標準) に対応しています。本章では , フラッシュメモリのシリアル書込みについて , Spansion 製シリアルプログラマを用いた場合の基本構成を説明します。

36.1 富士通マイクロエレクトロニクス製 シリアルプログラマ

36.1　Spansion 製シリアルプログラマ

Spansion 製シリアルプログラマ (ソフトウェア) は , Spansion 製のフラッシュメモリ内蔵マイコン全製品を対象にしたオンボードプログラミングツールです。
本シリアルプログラマは , PC との I/F (RS-232C, USB) により , 2 種類のツールを用意していますので , 環境に合わせてご利用いただけます。
なお , MB91F61x は USB ファンクションを搭載しておりますので , USB- シリアル変換をすることなくパソコンとマイコンをダイレクトに接続してオンボード書込みすることが可能です。

■ Spansion MCU Programmer(クロック非同期シリアル書込み) の基本構成

Spansion MCU Programmer は , パソコンとマイコンを RS-232C ケーブルで接続し , クロック非同期シリアル通信によりユーザシステムに実装されているマイコン内蔵フラッシュメモリへデータの書込みを行います。

Spansion MCU Programmerの基本構成を図 36.1-1, システム構成を表 36.1-1に示します。

図 36.1-1 Spansion MCU Programmer の基本構成

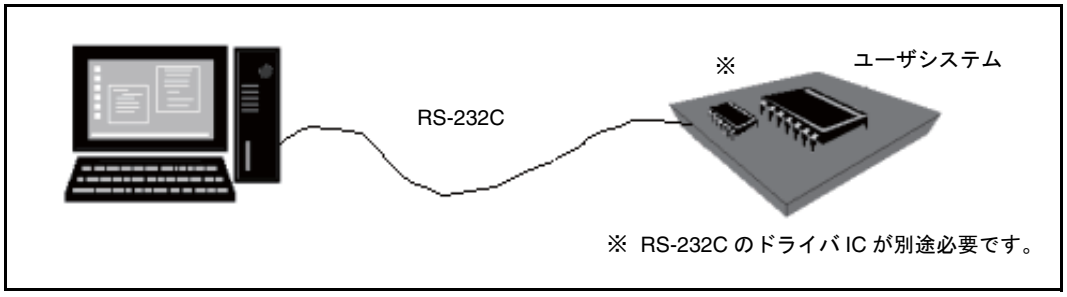


表 36.1-1 Spansion MCU Programmer のシステム構成

名称	型格	仕様
Spansion MCU Programmer	—	ソフト (Webよりダウンロード可能 (登録制)) *

*　登録は営業部門までお問い合わせください。

接続例を図 36.1-2 に示します。

図 36.1-2 Spansion MCU Programmer の接続例

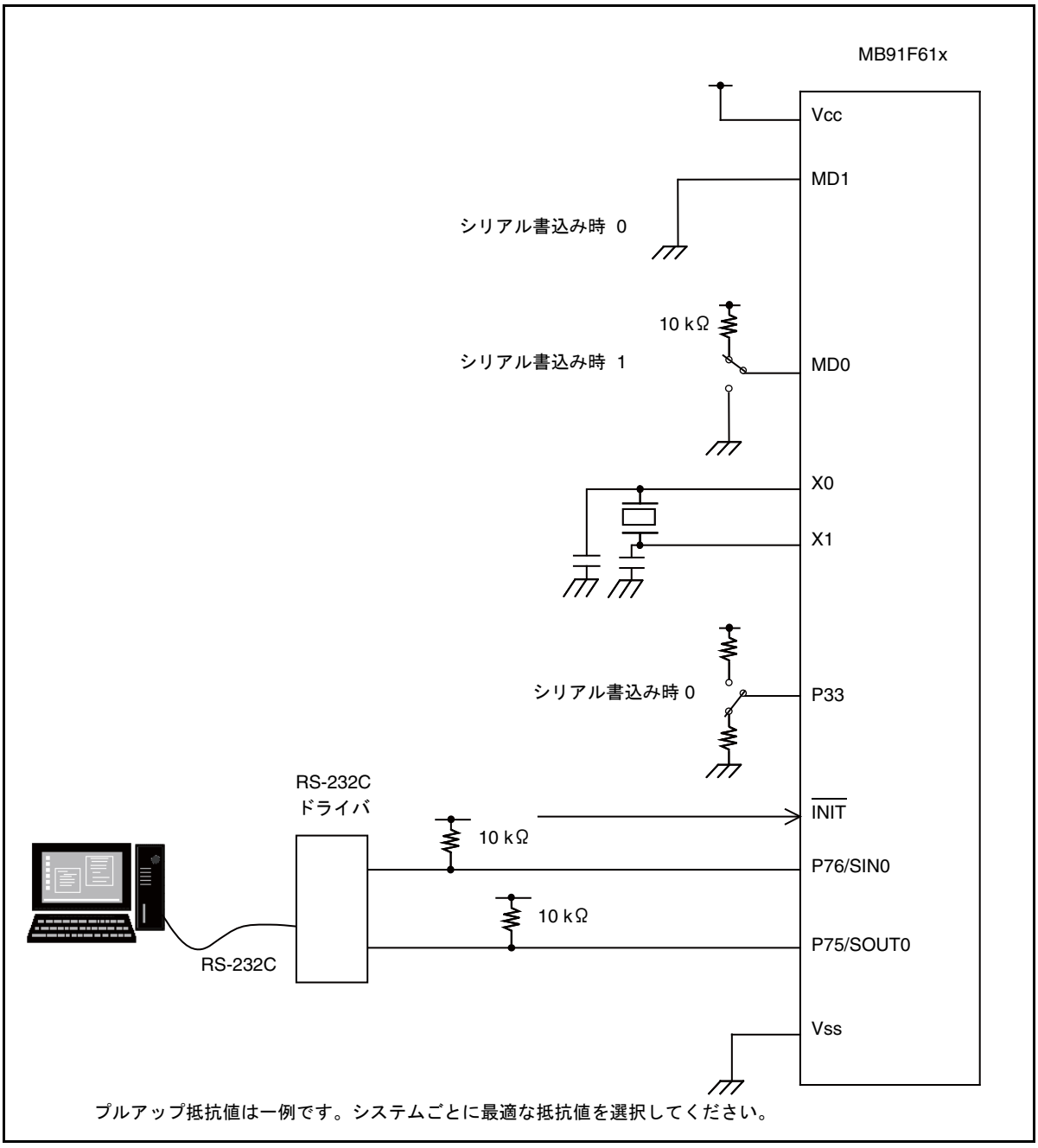


表 36.1-2 クロック非同期シリアル通信時の入力可能な発振周波数と通信ボーレート

原発振周波数	通信ボーレート
4MHz	9600bps
8MHz	19200bps
16MHz	38400bps
24MHz	57600bps
48MHz	115200bps

■ Spansion USB Programmer (クロック同期シリアル書込み) の基本構成

Spansion USB Programmer は , パソコンとマイコンをアダプタ (MB2146-09A-E) で接続し , クロック同期シリアル通信によりマイコン内蔵フラッシュメモリへデータの書込みを行います。

Spansion USB Programmer の基本構成を図 36.1-3, システム構成を表 36.1-3 に示します。

図 36.1-3 Spansion USB Programmer の基本構成

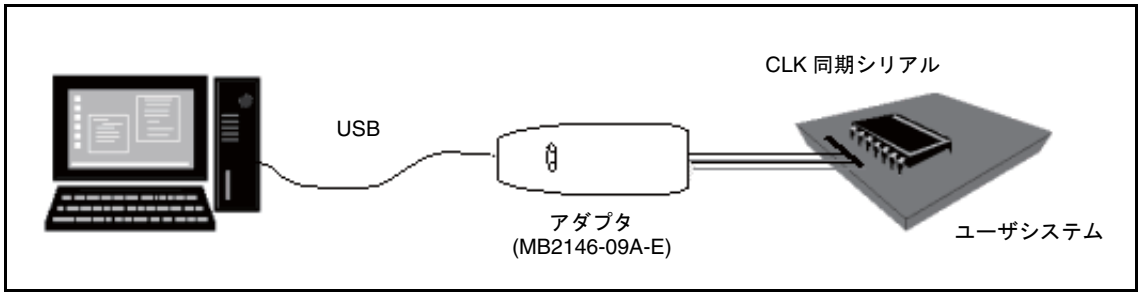


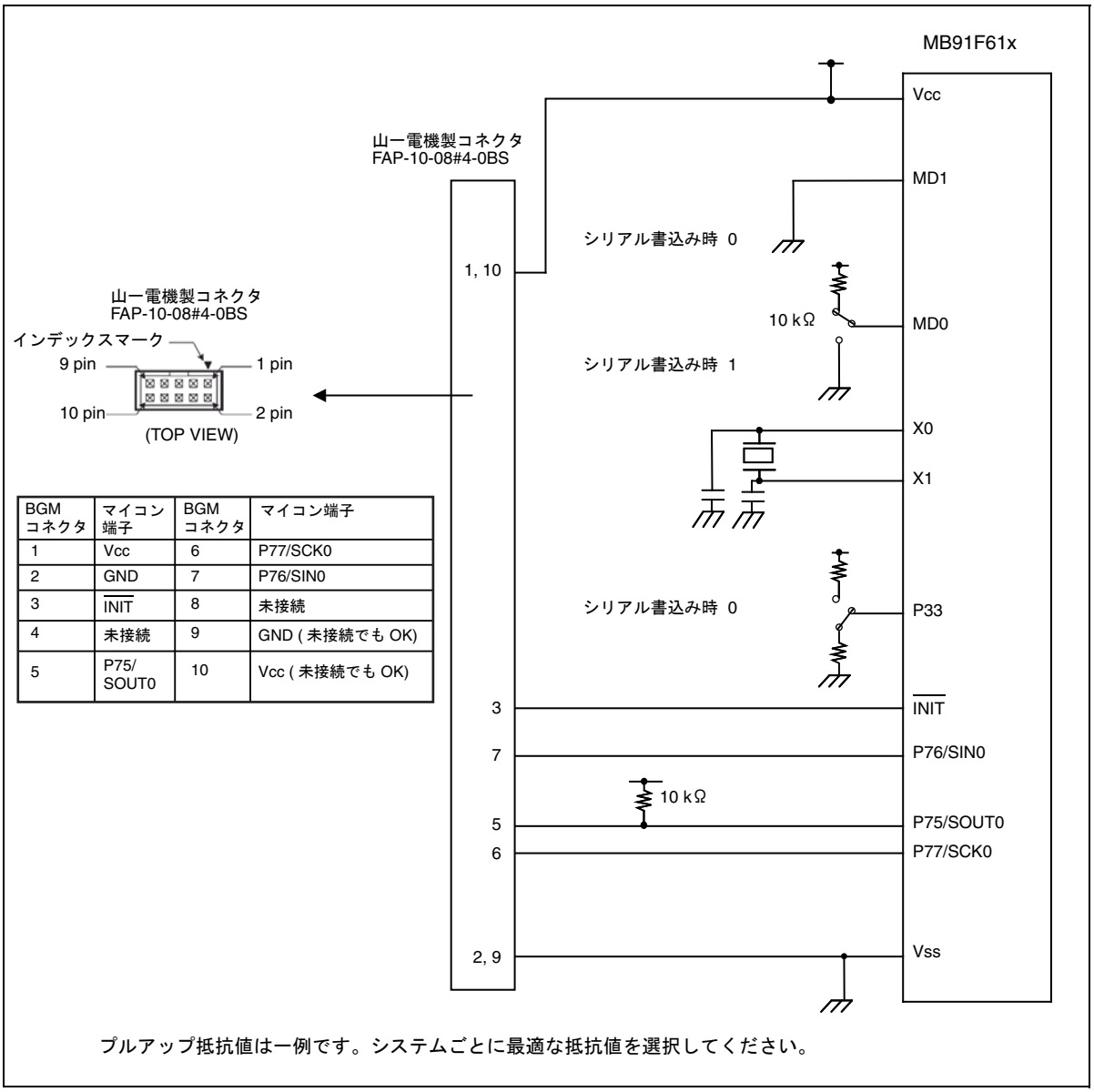
表 36.1-3 Spansion USB Programmer のシステム構成

名称	型格	仕様
Spansion USB Programmer	—	ソフト (Web よりダウンロード可能 (登録制)) *
アダプタ	MB2146-09A-E	F^2MC ファミリ BGM アダプタ (付属品 : USB ケーブル)

*　登録は営業部門までお問い合わせください。

接続例を図 36.1-4 に示します。

図 36.1-4 Spansion USB Programmer の接続例



BGM コネクタ	マイコン端子	BGM コネクタ	マイコン端子
1	Vcc	6	P77/SCK0
2	GND	7	P76/SIN0
3	$\overline{\text{INIT}}$	8	未接続
4	未接続	9	GND (未接続でも OK)
5	P75/ SOUT0	10	Vcc (未接続でも OK)

プルアップ抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

■ Spansion USB DIRECT Programmer(USB シリアル書込み) の基本構成

Spansion USB DIRECT Programmer は , パソコンとマイコンを USB ケーブルで接続し , USB 通信モードによりユーザシステムに実装されているマイコン内蔵フラッシュメモリへデータの書込みを行います。

Spansion USB DIRECT Programmerの基本構成を図 36.1-5, システム構成を表 36.1-4に示します。

図 36.1-5 Spansion USB DIRECT Programmer の基本構成

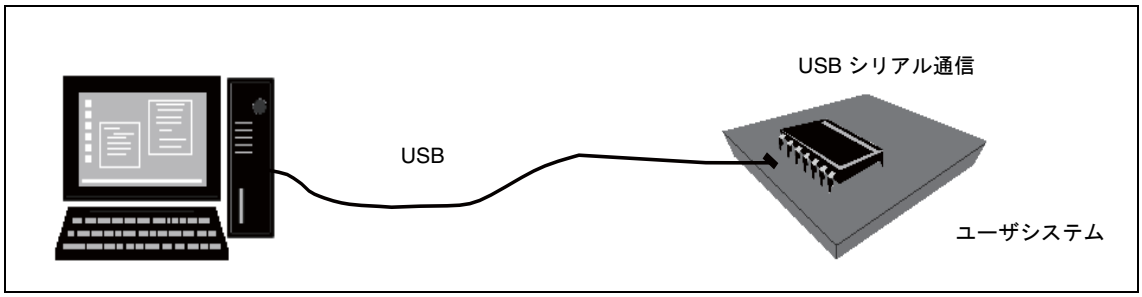


表 36.1-4 Spansion USB DIRECT Programmer のシステム構成

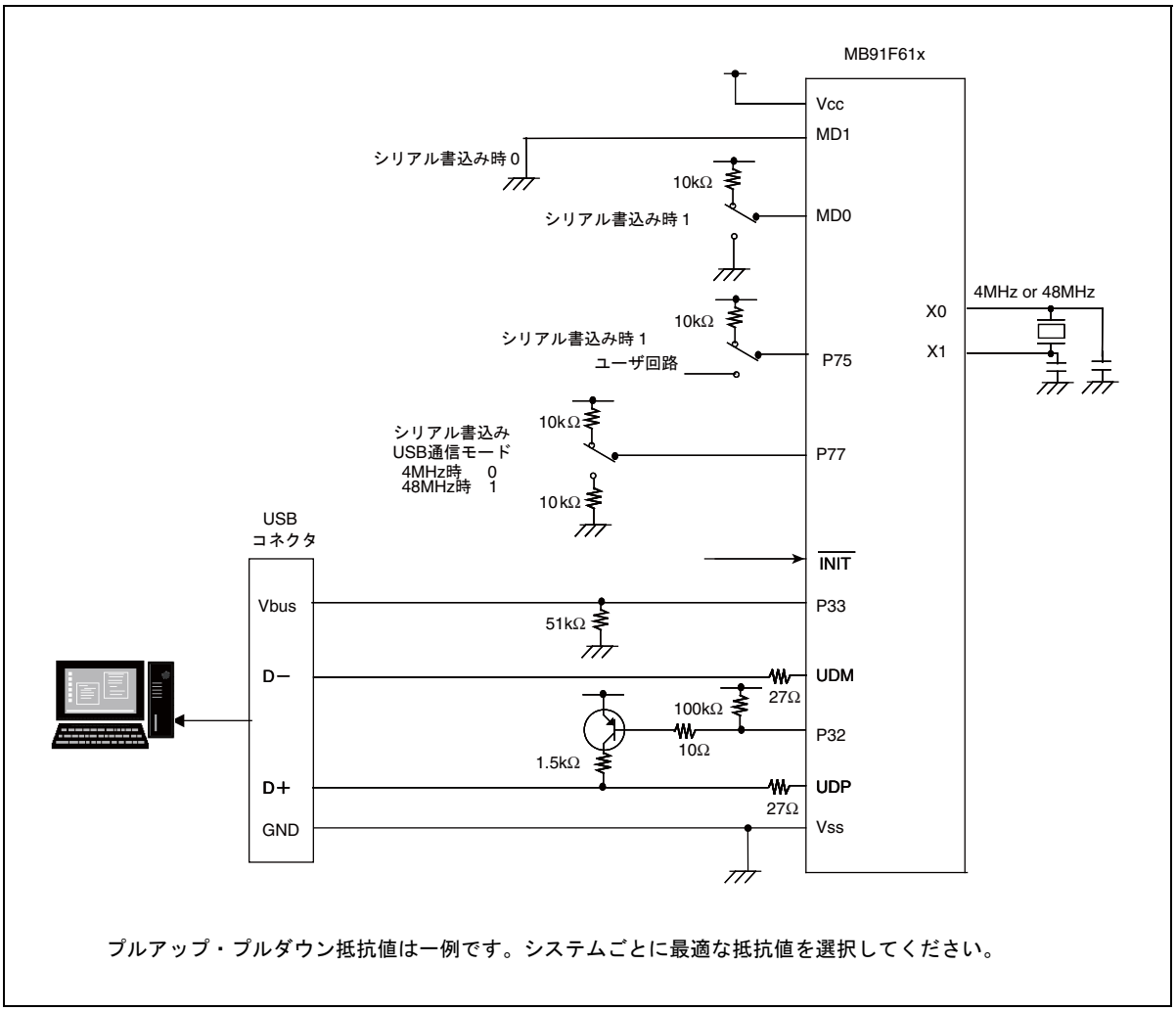
名称	型格	仕様
Spansion USB DIRECT Programmer	―	ソフト (Web よりダウンロード可能 (登録制)) *
USB ケーブル	―	市販品

*　登録は営業部門までお問い合わせください。

接続例については Spansion USB DIRECT Programmer のマニュアル (HELP) をご確認ください。

Spansion USB DIRECT Programmer の接続例 (自己電源使用時) を図 36.1-6 に示します。

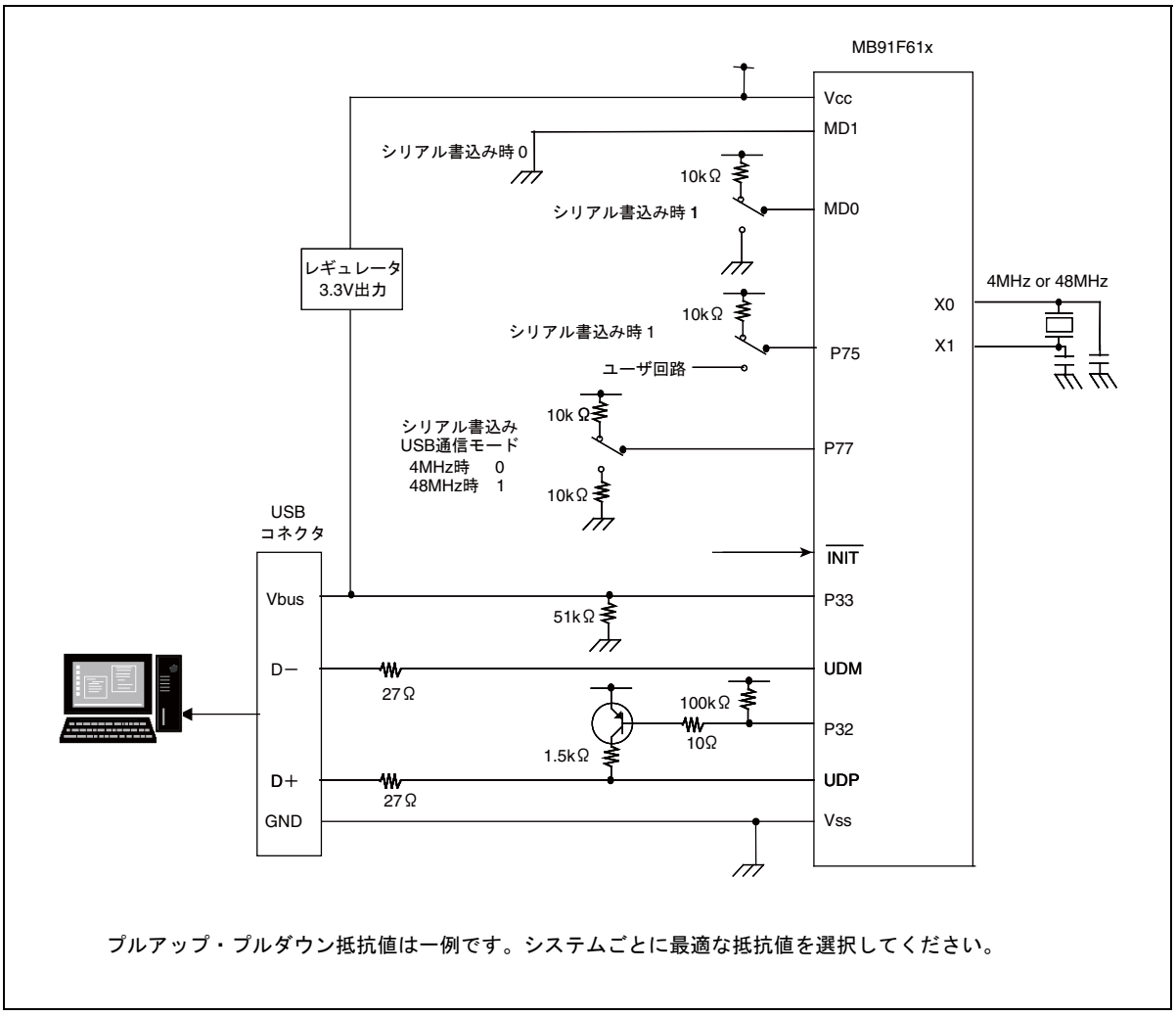
図 36.1-6 Spansion USB DIRECT Programmer の接続例 (自己電源使用時)



プルアップ・プルダウン抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

Spansion USB DIRECT Programmer の接続例 (バス電源使用時) を図 36.1-7 に示します。

図 36.1-7 Spansion USB DIRECT Programmer の接続例 (バス電源使用時)



プルアップ・プルダウン抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

36.1.1　使用する端子

表 36.1-5 使用する端子

端子	機能	補足説明
MD1, MD0	モード端子	MD1=L, MD0=H に設定し , SOUT0=H の状態でリセットすると (INIT : L → H), シリアル書込みモードとなります。 なお , プルアップ / プルダウン抵抗を付ける場合は , 配線の引き回しをしないでください。
X0, X1	発振用端子	シリアル書込みモード時に使用可能な原クロック周波数は『データシート』を参照してください。 (クロック非同期通信の場合は制限があります。詳細は表 36.1-2 をご確認ください。)
P75/SOUT0	シリアル書込みモード起動端子 /UART シリアルデータ出力端子	外部にプルアップ抵抗を付加し , リセット解除後にレベルを "H" にすることでシリアル書込みモードが起動します。 通信モードを UART とした場合 , シリアル書込みモードが起動し , 通信が開始された時点でシリアルデータ出力端子となります。 通信モードを USB とした場合 , プルアップ状態を保持したままで出力動作は行いません。
P76/SIN0	クロック同期・非同期選択端子 /UART シリアルデータ入力端子	通信を開始するまでの本端子の入力レベルを "H" にするとクロック非同期通信モードとなり , "L" にするとクロック同期通信モードとなります。シリアル書込みモードが起動し通信が開始された時点で , UART シリアルデータ入力端子として使用します。
P77/SCK0	シリアルクロック入出力端子	通信モードをクロック同期通信とした場合 , シリアルクロック入出力端子となります。 通信モードを USB とした場合 , 原発振の周波数を設定します。 P77=L : 原発振 4MHz P77=H : 原発振 48MHz
P33	通信モード選択端子	シリアル書き込みモードに移行するリセット時の本端子の入力レベルにより通信モードを決定します。H の時は USB 通信モードとなり , L の時は UART 通信モードとなります。
P32	UDP 用プルアップ制御端子	通信モードを USB とした場合 , USB(+) 側のプルアップ制御を行います。 P32=L : プルアップ抵抗接続 P32=H : プルアップ抵抗切断
UDP	USB 入出力端子	通信モードを USB とした場合 , USB(＋) 側の入出力端子となります。
UDM	USB 入出力端子	通信モードを USB とした場合 , USB(－) 側の入出力端子となります。
$\overline{\text{INIT}}$	リセット端子	—
V_{CC}	電源電圧供給端子	書込み時マイコンの電圧はユーザシステムから供給してください。
V_{SS}	GND 端子	—

第 37 章 デバイスの取扱いについて

本製品の使用上の注意について説明します。

37.1 デバイス取扱い上の注意

37.1　デバイス取扱い上の注意

本製品を使用する際は , 次の点に注意してください。

■ デバイスの取扱い上の注意事項

半導体デバイスは , ある確率で故障します。また , 半導体デバイスの故障は , 使用される条件 (回路条件 , 環境条件 など) によっても大きく左右されます。

以下に , 半導体デバイスをより信頼性の高い状態で使用していただくために , 注意・配慮しなければならない事項について説明します。

1. 設計上の注意事項

   ここでは , 半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

- 絶対最大定格の遵守

  絶対最大定格を超えるストレス (電圧 , 電流 , 温度など) の印加は , 半導体デバイスを破壊する可能性があります。したがって , 定格を一項目でも超えることのないようご注意ください。

- 推奨動作条件の遵守

  推奨動作条件は , 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は , すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると , 信頼性に悪影響を及ぼすことがあります。

  データシートに記載されていない項目 , 使用条件 , 論理の組合せでの使用は , 保証していません。記載されている以外の条件での使用をお考えの場合は , 必ず事前に営業部門までご相談ください。

- 端子の処理と保護

  半導体デバイスには , 電源および各種入出力端子があります。これらに対して以下の注意が必要です。

  (1) 過電圧・過電流の防止

  各端子に最大定格を超える電圧・電流が印加されると , デバイスの内部に劣化が生じ , 著しい場合には破壊に至ります。機器の設計の際には , このような過電圧・過電流の発生を防止してください。

  (2) 出力端子の保護

  出力端子を電源端子または他の出力端子とショートしたり , 大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので , このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は , オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

- OSD 用 PLL 端子 (OSD 用 PLL 未使用時の端子推奨処理)

端子番号	端子名	使用しない場合の推奨処理
45	VSSP	V_{SS} (PLL マクロ用 GND)
46	VDDP	V_{SS} (PLL マクロ用電源)
47	VCI	V_{SS}
48	CPO	V_{SS}

- アナログ OSD (アナログ OSD 未使用時の端子推奨処理)

端子番号	端子名	使用しない場合の推奨処理
49	VSSD	V_{SS} (DAC マクロ用 GND)
50	VDDD	V_{SS} (DAC マクロ用電源)
51	VREF	V_{SS}
52	VRO	V_{SS}
53	ROUT	V_{SS}
54	GOUT	V_{SS}
55	BOUT	V_{SS}

- デジタル OSD (デジタル OSD 未使用時の端子推奨処理)

端子番号	端子名	使用しない場合の推奨処理
19	R0	OPEN
20	R1	OPEN
21	R2	OPEN
22	R3	OPEN
23	R4	OPEN
24	G0	OPEN
25	G1	OPEN
26	G2	OPEN
27	G3	OPEN
28	G4	OPEN
29	G5	OPEN
32	B0	OPEN
33	B1	OPEN
34	B2	OPEN
35	B3	OPEN
36	B4	OPEN

- その他 OSD 端子

端子番号	端子名	使用しない場合の推奨処理
37	VOA0	OPEN
38	VOA1	OPEN
39	VOA2	OPEN
40	VOB	OPEN
41	DCKO	OPEN
42	DCKI	プルダウン
43	VSYNC	プルダウン
44	HSYNC	プルダウン

- USB (USB 未使用の場合の端子処理例)

端子番号	端子名	使用しない場合の推奨処理
57	UDP	プルダウン
58	UDM	プルダウン

- DSU 端子

端子番号	端子名	使用しない場合の推奨処理
83	$\overline{\text{TRST}}$	ユーザボードからのリセット信号入力
84	ICLK	OPEN
85	IBREAK	OPEN
86	ICS0	OPEN
87	ICS1	OPEN
88	ICS2	OPEN
92	ICD0	OPEN
93	ICD1	OPEN
94	ICD2	OPEN
95	ICD3	OPEN

- ラッチアップ

  半導体デバイスは, 基板上にP 型とN 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合, 内部の寄生PNPN 接合 (サイリスタ構造) が導通して , 数 100 mA を超える大電流が電源端子に流れ続けることがあります。これをラッチアップとよびます。この現象が起きるとデバイスの信頼性を損ねるだけでなく , 破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために , 以下の点にご注意ください。

  (1) 最大定格以上の電圧が端子に加わることがないようにしてください。
  異常なノイズ , サージなどにも注意してください。

  (2) 電源投入シーケンスを考慮し , 異常な電流が流れないようにしてください。

- 安全などの規制と規格の遵守

  世界各国では , 安全や 電磁妨害などの各種規制と規格が設けられています。お客様が機器を設計するに際しては , これらの規制と規格に適合するようお願いします。

- フェイル・セーフ設計

  半導体デバイスは , ある確率で故障が発生します。半導体デバイスが故障しても , 結果的に人身事故 , 火災事故 , 社会的な損害を生じさせないよう , お客様は , 装置の冗長設計 , 延焼対策設計 , 過電流防止設計 , 誤動作防止設計などの安全設計をお願いします。

- 用途に関する注意

  マニュアルに記載された製品は , 通常の産業用 , 一般事務用 , パーソナル用 , 家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され , 仮に当該安全性が確保されない場合 , 社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御 , 航空機自動飛行制御 , 航空交通管制 , 大量輸送システムにおける運行制御 , 生命維持のための医療機器 , 兵器システムにおけるミサイル発射制御をいう), ならびに極めて高い信頼性が要求される用途 (海底中継器 , 宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は , これらの用途に当該製品が使用されたことにより発生した損害などについては , 責任を負いかねますのでご了承ください。

2. パッケージ実装上の注意事項

   パッケージには , リード挿入形と表面実装形があります。いずれの場合も , はんだ付け時の耐熱性に関する品質保証は , 当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

- リード挿入形

  リード挿入形パッケージのプリント板への実装方法は , プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

  プリント板へ直接はんだ付けする場合は , プリント板のスルーホールにリード挿入後 , 噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合 , はんだ付け実装時には , 通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

  ソケット実装方法でご使用になる場合 , ソケットの接点の表面処理と IC のリードの表面処理が異なるとき , 長時間経過後 , 接触不良を起こすことがあります。このため , ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

- 表面実装形

  表面実装形パッケージは , リード挿入形と比較して , リードが細く薄いため , リードが変形し易い性質をもっています。また , パッケージの多ピン化に伴い , リードピッチも狭く , リード変形によるオープン不良や , はんだブリッジによるショート不良が発生しやすいため , 適切な実装技術が必要となります。

  当社ははんだリフロー方法を推奨し , 製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

- 鉛フリーパッケージ

  BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合 , 使用状況により接合強度が低下することがありますのでご注意願います。

- 半導体デバイスの保管について

  プラスチックパッケージは樹脂でできているため , 自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合 , 界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

  (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて , 温度変化の少ない場所に保管してください。

  (2) 製品の保管にはドライボックスの使用を推奨します。相対湿度 70 %RH 以下 , 温度 5 °C ～ 30 °C で保管をお願いします。ドライパッケージを開封した場合には湿度 40 % ～ 70 %RH を推奨いたします。

  (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い , 乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。

  (4) 腐食性ガスの発生する場所や塵埃の多い場所は避けてください。

- ベーキングについて

  吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは , 当社の推奨する条件で実施してください。

  条件：125 °C/24 時間

- 静電気

  半導体デバイスは静電気による破壊を起こしやすいため , 以下の点についてご注意ください。

  (1) 作業環境の相対湿度は 40 % ~ 70 %RH にしてください。
  除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。

  (2) 使用するコンベア , 半田槽 , 半田ゴテ , および周辺付帯設備は大地に接地してください。

  (3) 人体の帯電防止のため , 指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり , 導電性の衣服・靴を着用し , 床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。

  (4) 治具 , 計器類は , 接地または帯電防止化を実施してください。

  (5) 組立完了基板の収納時 , 発泡スチロールなどの帯電し易い材料の使用は避けてください。

3. 使用環境に関する注意事項

   半導体デバイスの信頼性は , 前述のとおり周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては , 以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は , デバイス自身だけでなくプリント基板などにもリーク性の不具合が発生する場合があります。高湿度が想定される場合は , 防湿処理を施すなどの配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると , 放電が発生し誤動作の原因となることがあります。このような場合 , 帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス , 塵埃 , 油

腐食性ガス雰囲気中や , 塵埃 , 油などがデバイスに付着した状態で使用すると , 化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は , 防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは , 設計上 , 放射線 , 宇宙線にさらされる環境を想定しておりません。したがって , これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは , 不燃性ではありません。発火物の近くでは , ご使用にならないでください。発煙・発火しますと , その際に毒性を持ったガスが発生する恐れがあります。

その他 , 特殊な環境下でのご使用をお考えの場合は , 営業部門にご相談ください。

■ デバイス使用上の注意

● 電源端子について

V_{CC}・V_{SS} 端子が複数ある場合 , デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが , 不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために , 必ずそれらすべてを外部で電源およびグランドに接続してください。また , 電流供給源からできる限り低インピーダンスで本デバイスの V_{CC}, V_{SS} 端子に接続するような配慮をお願いします。

さらに , 本デバイスの近くで , V_{CC} と V_{SS} 端子の間に 0.1µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

● 水晶発振回路について

X0, X1 端子の近辺のノイズは本デバイスの誤動作のもととなります。X0 と X1 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また , X0, X1 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので , 強くお勧めします。

● OSDC 出力端子について

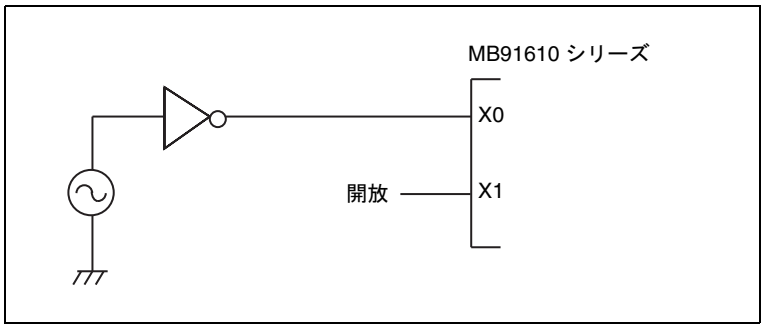
OSDC 出力端子 (R0 ～ R4, G0 ～ G5, B0 ～ B4, VOA0 ～ VOA2, VOB,DCKO) は高速対応出力端子となっています。

必要に応じて , ボード上にてダンピング抵抗挿入などにより信号波形の調整を行ってください。

● 外部クロック使用時の注意

外部クロックを使用する場合は , X0 端子のみを駆動し , X1 端子は開放としてください。

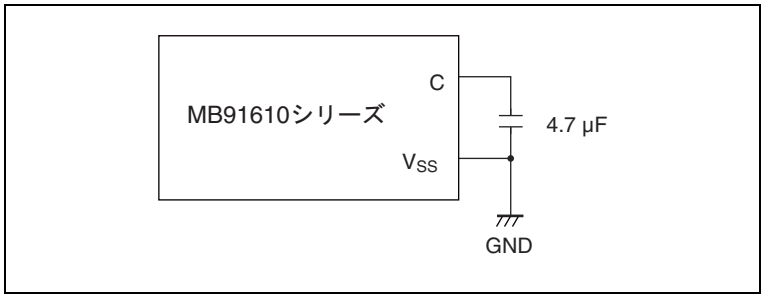
図 37.1-1 外部クロック使用例 (通常)



● C 端子について

本シリーズはレギュレータを内蔵しており , C 端子にはレギュレータ用に 4.7 µF 程度のバイパスコンデンサを必ず入れてください。

図 37.1-2 C 端子の使用例



● MD0, MD1 (モード端子) について

モード端子 (MD0, MD1) は V_{CC} 端子または V_{SS} 端子に直接接続してください。内蔵 Flash 書き換えなどの目的で , モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には , ノイズによりデバイスが意図せずテストモードに入るのを防止するため , プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に, モード端子から V_{CC} 端子または V_{SS} 端子への距離を最小にし, できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

● 電源投入順序について

- 電源投入直後は, 内部レギュレータ＋発振回路の発振安定待ち時間を確保するため, $\overline{\text{INIT}}$ 端子への "L" レベル入力をレギュレータ電圧安定待ち時間＋振動子の発振時間＋メイン発振安定待ち時間の間持続してください。
- 電源を投入 / 切断する際は , 次の順番で投入 / 切断を行ってください。
  投入時：$V_{CC} \Rightarrow AV_{CC} \Rightarrow AVRH$
  切断時：$AVRH \Rightarrow AV_{CC} \Rightarrow V_{CC}$
- リセットの解除 ($\overline{\text{INIT}}$ 端子を "L" レベル→ "H" レベル) は, 電源が安定している状態で行ってください。

● PLL クロックモード動作中の注意について

本デバイスで PLL クロック (PLLCLK) を選択しているときに発振子が外れたり , クロック入力が停止したりすると , PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

■ プログラムステータスレジスタ (PS) に関する注意事項

一部の命令でプログラムステータスレジスタ (PS) を先行処理しているため , 次の例外動作により , デバッガ使用時に割込み処理ルーチンでブレークしたり , プログラムステータスレジスタ (PS) 内のフラグの表示内容が更新されたりする場合があります。いずれの場合も , EIT から復帰後以降に , 正しく再処理を行うように設計されていますので , EIT 前後の動作は仕様どおりの処理を行います。

1. 次の 1 ～ 3 のいずれかが DIV0U/DIV0S 命令の直前の命令で発生すると ,
   1. ユーザ割込みを受け付けた
   2. ステップ実行を行った
   3. データイベントまたはエミュレータメニューにてブレークした

   以下の動作を行うことがあります。
   - D0, D1 フラグが , 先行して更新されます。
   - EIT 処理ルーチン (ユーザ割込み・またはエミュレータ) を実行します。
   - EITから復帰後, DIV0U/DIV0S命令が実行され, D0, D1フラグが1.と同じ値に更新されます。
2. ユーザ割込み要求が発生している状態で , 割込みを許可するために ORCCR/STILM/MOV Ri, PS の各命令が実行されると , 以下のような動作を行います。
   - プログラムステータスレジスタ (PS) が先行して更新されます。
   - EIT 処理ルーチン (ユーザ割込みまたはエミュレータ) を実行します。
   - EIT から復帰後 , 上記命令が実行され , プログラムステータスレジスタ (PS) が 1. と同じ値に更新されます。

■ デバッガ関連の注意事項

● RETI 命令のステップ実行

ステップ実行する際 , 割込みが頻繁に発生する環境下では , 該当割込み処理ルーチンだけを繰り返して実行します。その結果 , メインルーチンや割込みレベルの低いプログラムの実行が行われなくなります。(例えば, ベースタイマの割込みを許可していた場合 , RETI をステップ実行すると , 必ずベースタイマのルーチンの先頭でブレークすることになります)

該当割込み処理ルーチンのデバッグが不要になった段階で, 該当割込みを禁止してください。

● ブレーク機能

ハードウェアブレーク (イベントブレーク含む) の対象アドレスが現在のシステムスタックポインタのアドレスや , スタックポインタを含む領域に設定されていると ,ユーザプログラムに実際のデータアクセス命令がないにもかかわらず, 1命令実行後にブレークしてしまいます。

回避するために , システムスタックポインタのアドレスを含む領域に対する (ワード) アクセスを , ハードウェアブレーク (イベントブレーク含む) の対象に設定しないでください。

● 内蔵 ROM (フラッシュメモリ , マスク ROM)

- エバチップ使用時の注意事項
  - 内蔵ROM領域をDMAコントローラ (DMAC) の転送先に設定しないでください。
  - 内蔵ROM領域をDMAコントローラ (DMAC) の転送先に設定した場合, DMAC転送中にブレークが発生すると , 内蔵 ROM 領域が書きかえられるおそれがあります。
  - 内蔵 ROM 領域を DMA コントローラ (DMAC) の転送元とすることは可能です。

● オペランドブレークについて

DSU のオペランドブレークとして設定している領域にスタックポインタがあると誤動作の原因となります。システムスタックポインタのアドレスを含む領域に対するアクセスを , データイベントブレークの対象にしないでください。

● エミュレータを使用しない場合の注意について

エミュレータを接続しない状態でユーザシステム上の評価MCU を動作させる場合,

ユーザシステム上でエミュレータインタフェースと接続している評価 MCU の各入力端子を以下のように処理してください。

ユーザシステム上に切換え回路などが必要になる場合がありますので設計時にはご注意ください。

表 37.1-1 エミュレータインタフェース端子処理

評価 MCU 端子名	端子処理
$\overline{\text{TRST}}$	ユーザシステム上のリセット出力回路に接続します。
$\overline{\text{INIT}}$	ユーザシステム上のリセット出力回路に接続します。
その他	開放とします。

付録

I/O マップ , レジスター覧 , CPU の状態における端子状態および FR80 ファミリ CPU の命令一覧について説明します。

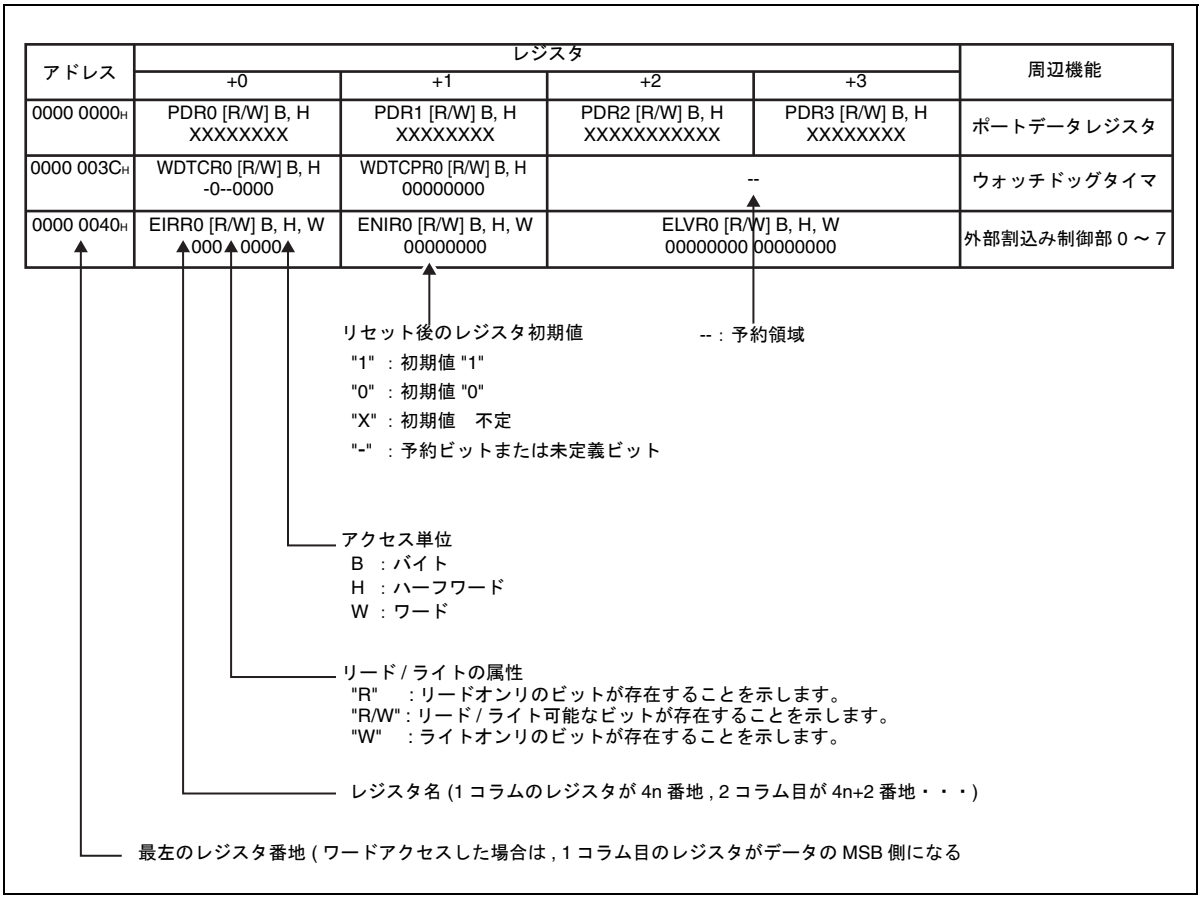
付録 A I/O マップ
付録 B レジスター覧
付録 C 割込みベクタ
付録 D CPU の状態における端子状態
付録 E ドットクロック生成用 PLL について
付録 F 命令一覧

付録 A I/O マップ

メモリ空間領域と周辺機能の各レジスタの対応を示します。

■ I/O マップの見かた

図 A-1 I/O マップの見かた



< 注意事項 >

- データアクセスを行う際 , アクセスサイズにより以下の通りのアドレスとしてください。
  - ワードアクセス：アドレスは 4 の倍数 (最下位 2 ビットは "00_B")
  - ハーフワードアクセス：アドレスは 2 の倍数 (最下位ビットは "0_B")
  - バイトアクセス：ー
- 予約領域にはアクセスしないでください。

表 A-1 I/O マップ (1 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0000$_H$	PDR0 [R/W] B,H XXXXXXXX	PDR1 [R/W] B,H XXXXXXXX	PDR2 [R/W] B,H XXXXXXXX	PDR3 [R/W] B,H XXXXXXXX	ポートデータレジスタ
0000 0004$_H$	—	PDR5 [R/W] B,H XXXXXXXX	—	PDR7[R/W] B,H XXXXXXXX	
0000 0008$_H$ ～ 0000 0010$_H$	—				
0000 0014$_H$	PDRK [R/W] B ------XX	—			
0000 0018$_H$ ～ 0000 001C$_H$	—				
0000 0020$_H$	RCCR [R/W] B 0---0000	RCST [R/W] B 00000000	RCSHW [R/W] B 00000000	RCDAHW [R/W] B 00000000	HDMI-CEC/リモコン
0000 0024$_H$	RCDBHW [R/W] B 00000000	—	RCADR1 [R/W] B ---00000	RCADR2 [R/W] B ---00000	
0000 0028$_H$	RCDTHH [R] B,H,W 00000000	RCDTHL [R] B,H,W 00000000	RCDTLH [R] B,H,W 00000000	RCDTLL [R] B,H,W 00000000	
0000 002C$_H$	RCCKD [R/W] H ---00000 00000000		—		
0000 0030$_H$ ～ 0000 0038$_H$	—				予約領域
0000 003C$_H$	WDTCR0[R/W] B,H 00000000	WDTCPR0[R/W] B,H 00000000	WDTCR1[R] B,H XXXX0000	WDTCPR1[R/W] B,H 00000000	ウォッチドッグタイマ
0000 0040$_H$	EIRR0[R/W] B,H,W 00000000	ENIR0[R/W] B,H,W 00000000	ELVR0[R/W] B,H,W 00000000 00000000		外部割込み制御部 0 ～ 7
0000 0044$_H$	DICR [R/W] B -------0	—			遅延割込み
0000 0048$_H$	TMRLRA0 [R/W] H XXXXXXXX XXXXXXXX		TMR0 [R] H XXXXXXXX XXXXXXXX		16 ビットリロードタイマ ch.0
0000 004C$_H$	—		TMCSR0 [R/W] H --000000 --000000		
0000 0050$_H$	TMRLRA1 [R/W] H XXXXXXXX XXXXXXXX		TMR1 [R] H XXXXXXXX XXXXXXXX		16 ビットリロードタイマ ch.1
0000 0054$_H$	—		TMCSR1 [R/W] H --000000 --000000		
0000 0058$_H$	TMRLRA2 [R/W] H XXXXXXXX XXXXXXXX		TMR2 [R] H XXXXXXXX XXXXXXXX		16 ビットリロードタイマ ch.2
0000 005C$_H$	—		TMCSR2 [R/W] H --000000 --000000		

表 A-1 I/O マップ (2 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0060$_H$	SCR0 [R/W] B,H,W 0--00000	SMR0 [R/W] B,H,W 000-0000	SSR0 [R,R/W] B,H,W 0-000011	ESCR0 [R/W] B,H,W -0000000	マルチファンクションシリアルインタフェース ch.0
0000 0064$_H$	RDR0[R]/TDR0[W] B,H,W *1 -------0 00000000		BGR10[R/W]H,W 00000000	BGR00[R/W] H,W 00000000	
0000 0068$_H$	SCR1[R/W] IBCR1[R,R/W] B,H,W*2 0--00000	SMR1 [R/W] B,H,W 000-0000	SSR1 [R,R/W] B,H,W 0-000011	ESCR1[R/W] IBSR1[R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch.1
0000 006C$_H$	RDR1[R]/TDR1[W] B,H,W *1 -------0 00000000		BGR11[R/W] H,W 00000000	BGR01[R/W] H,W 00000000	
0000 0070$_H$	ISMK1 [R/W] B,H*2 --------	ISBA1 [R/W] B,H*2 --------	—		
0000 0074$_H$	SCR2[R/W] IBCR2[R,R/W] B,H,W*2 0--00000	SMR2 [R/W] B,H,W 000-0000	SSR2 [R,R/W] B,H,W 0-000011	ESCR2[R/W] IBSR2 [R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch.2
0000 0078$_H$	RDR2[R]/TDR2[W] B,H,W *1 -------0 00000000		BGR12[R/W] H,W 00000000	BGR02[R/W] H,W 00000000	
0000 007C$_H$	ISMK2 [R/W] B,H*2 --------	ISBA2 [R/W] B,H*2 --------	—		
0000 0080$_H$	SCR3[R/W] IBCR3[R,R/W] B,H,W*2 0--00000	SMR3 [R/W] B,H,W 000-0000	SSR3 [R,R/W] B,H,W 0-000011	ESCR3[R/W] IBSR3[R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch.3
0000 0084$_H$	RDR3[R]/TDR3[W] B,H,W *1 -------0 00000000		BGR13[R/W] H,W 00000000	BGR03[R/W] H,W 00000000	
0000 0088$_H$	ISMK3 [R/W] B,H*2 --------	ISBA3 [R/W] B,H*2 --------	—		
0000 008C$_H$ ～ 0000 00BC$_H$	—				予約領域
0000 00C0$_H$	RDRM0 [R]/ TDRM0[W] B,H,W 00000000	RDRM1 [R]/ TDRM1[W] B,H,W 00000000	RDRM2 [R]/ TDRM2[W] B,H,W 00000000	RDRM3 [R]/ TDRM3[W] B,H,W 00000000	マルチファンクションシリアルインタフェースデータレジスタ (ミラー)
0000 00C4$_H$	—				
0000 00C8$_H$	SSEL0123 [R/W] B ------00	—			マルチファンクションシリアルインタフェースシリアルクロック選択
0000 00CC$_H$	—				予約領域

表 A-1 I/O マップ (3 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 00D0$_H$	SCR8 [R/W] IBCR8 [R,R/W] B,H,W*2 0--00000	SMR8 [R/W] B,H,W 000-0000	SSR8 [R,R/W] B,H,W 0-000011	ESCR8 [R/W] IBSR8 [R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch. 8 (FIFO 付)
0000 00D4$_H$	RDR8[R]/TDR8[W] B,H,W * 1 -------0 00000000		BGR18 [R/W] H,W 00000000	BGR08 [R,R/W] H,W 00000000	
0000 00D8$_H$	ISMK8 [R/W] B,H*2 --------	ISBA8 [R/W] B,H*2 --------	—		
0000 00DC$_H$	FCR18 [R/W] B,H,W ---00100	FCR08 [R,R/W] B,H,W -0000000	FBYTE28 [R/W] B,H,W 00000000	FBYTE18 [R/W] B,H,W 00000000	
0000 00E0$_H$	SCR9 [R/W] IBCR9 [R,R/W] B,H,W*2 0--00000	SMR9 [R/W] B,H,W 000-0000	SSR9 [R,R/W] B,H,W 0-000011	ESCR9 [R/W] IBSR9[R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch. 9 (FIFO 付)
0000 00E4$_H$	RDR9[R]/TDR9[W] B,H,W * 1 -------0 00000000		BGR19 [R/W] H,W 00000000	BGR09 [R/W] H,W 00000000	
0000 00E8$_H$	ISMK9 [R/W] B,H*2 --------	ISBA9 [R/W] B,H*2 --------	—		
0000 00EC$_H$	FCR19 [R/W] B,H,W ---00100	FCR09 [R,R/W] B,H,W -0000000	FBYTE29 [R/W] B,H,W 00000000	FBYTE19 [R/W] B,H,W 00000000	
0000 00F0$_H$	SCR10 [R/W] IBCR10 [R,R/W] B,H,W*2 0--00000	SMR10 [R/W] B,H,W 000-0000	SSR10 [R,R/W] B,H,W 0-000011	ESCR10 [R/W] IBSR10 [R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch.10 (FIFO 付)
0000 00F4$_H$	RDR10[R]/TDR10[W] B,H,W * 1 -------0 00000000		BGR110 [R/W] H,W 00000000	BGR010 [R/W] H,W 00000000	
0000 00F8$_H$	ISMK10 [R/W] B,H*2 --------	ISBA10 [R/W] B,H*2 --------	—		
0000 00FC$_H$	FCR110 [R/W] B,H,W ---00100	FCR010 [R,R/W] B,H,W -0000000	FBYTE210 [R/W] B,H,W 00000000	FBYTE110 [R/W] B,H,W 00000000	
0000 0100$_H$	SCR11 [R/W] IBCR11 [R,R/W] B,H,W*2 0--00000	SMR11 [R/W] B,H,W 000-0000	SSR11 [R,R/W] B,H,W 0-000011	ESCR11 [R/W] IBSR11 [R,R/W] B,H,W*2 -0000000	マルチファンクションシリアルインタフェース ch.11 (FIFO 付)
0000 0104$_H$	RDR11[R]/TDR11[W] B,H,W * 1 -------0 00000000		BGR111 [R/W] H,W 00000000	BGR011 [R/W] H,W 00000000	
0000 0108$_H$	ISMK11 [R/W] B,H*2 --------	ISBA11 [R/W] B,H*2 --------	—		
0000 010C$_H$	FCR111 [R/W] B,H,W ---00100	FCR011 [R,R/W] B,H,W -0000000	FBYTE211 [R/W] B,H,W 00000000	FBYTE111 [R/W] B,H,W 00000000	

表 A-1 I/O マップ (4 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0110$_H$	EIRR1[R/W] B,H,W 00000000	ENIR1[R/W] B,H,W 00000000	ELVR1[R/W] B,H,W 00000000 00000000		外部割込み制御部 8 ～ 15
0000 0114$_H$ ～ 0000 011C$_H$	—				予約領域
0000 0120$_H$	ADCR0[R/W] B,H 000-0000	ADSR0[R,R/W] B,H 00---000	—		A/D コンバータ
0000 0124$_H$	SCCR0[R,R/W] B,H 1000-000	SFNS0[R/W] B,H ----0000	SCFD0[R] B,H XXXXXXXX XX-XXXXX		
0000 0128$_H$	—			SCIS00[R/W] B 00000000	
0000 012C$_H$	PCCR0[R,R/W] B,H 1000-000	PFNS0[R/W] B,H ------00	PCFD0[R] B,H XXXXXXXX XXXXXXXX		
0000 0130$_H$	PCIS0[R/W] B 00000000	—	CMPD0[R/W] B,H 00000000	CMPCR0[R/W] B,H 00000000	
0000 0134$_H$	—			ADSS00[R/W] B 00000000	
0000 0138$_H$	ADST00[R/W] B,H 00100000	ADST10[R/W] B,H 00100000	ADCT0[R/W] B -----111	—	
0000 013C$_H$	—				予約領域
0000 0140$_H$	BT0TMR[R]H 00000000 00000000		BT0TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.0
0000 0144$_H$	—	BT0STC[R/W]B 0000-000	—		
0000 0148$_H$	BT0PCSR/BT0PRLL[R/W]H XXXXXXXX XXXXXXXX		BT0PDUT/BT0PRLH/BT0DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 014C$_H$	—				
0000 0150$_H$	BT1TMR[R]H 00000000 00000000		BT1TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.1
0000 0154$_H$	—	BT1STC[R/W]B 0000-000	—		
0000 0158$_H$	BT1PCSR/BT1PRLL[R/W]H XXXXXXXX XXXXXXXX		BT1PDUT/BT1PRLH/BT1DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 015C$_H$	—				
0000 0160$_H$	BT2TMR[R]H 00000000 00000000		BT2TMCR [R/W] B,H -0000000 00000000		ベースタイマ ch.2
0000 0164$_H$	—	BT2STC[R/W]B 0000-000	—		
0000 0168$_H$	BT2PCSR/BT2PRLL[R/W]H XXXXXXXX XXXXXXXX		BT2PDUT/BT2PRLH/BT2DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 016C$_H$	—				

表 A-1 I/O マップ (5 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0170$_H$	BT3TMR[R]H 00000000 00000000		BT3TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.3
0000 0174$_H$	—	BT3STC[R/W]B 0000-000	—		
0000 0178$_H$	BT3PCSR/BT3PRLL[R/W]H XXXXXXXX XXXXXXXX		BT3PDUT/BT3PRLH/BT3DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 017C$_H$	BTSEL0123 [R/W] B 00000000	—			
0000 0180$_H$ ～ 0000 01A8$_H$	—				予約領域
0000 01AC$_H$	ADCHE [R/W] B,H,W -------- -------- -------- 11111111				A/D チャネルイネーブル
0000 01B0$_H$	IRPR0H [R] B 000-----	—	IRPR1H [R] B,H 000-000-	IRPR1L [R] B,H 000-000-	割込み要求一括読出し機能
0000 01B4$_H$	—	IRPR2L [R] B,H,W 000-----	IRPR3H [R] B,H,W 0000----	—	
0000 01B8$_H$	IRPR4H [R] B,H,W 0000----	—	IRPR5H [R] B,H,W 0000----	IRPR5L [R] B,H,W 0000----	
0000 01BC$_H$	—			IRPR7L [R] B,H,W 0000----	
0000 01C0$_H$ ～ 0000 01FC$_H$	—				予約領域
0000 0200$_H$	CPCLR0 [R/W] W 11111111 11111111 11111111 11111111				32 ビットフリーランタイマ ch.0
0000 0204$_H$	TCDT0 [R/W] W 00000000 00000000 00000000 00000000				
0000 0208$_H$	TCCSH0 [R/W] B,H 0-----00	TCCSL0 [R/W] B,H -1-00000	—		
0000 020C$_H$	IPCP0 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				32 ビットインプットキャプチャ ch.0 ～ ch.3
0000 0210$_H$	IPCP1 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0214$_H$	IPCP2 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0218$_H$	IPCP3 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 021C$_H$	—	ICS01 [R/W] B 00000000	—	ICS23 [R/W] B 00000000	
0000 0220$_H$ ～ 0000 0230$_H$	—				予約領域

表 A-1 I/O マップ (6 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0234$_H$	OCCP0 [R/W] W 00000000 00000000 00000000 00000000				32 ビット アウトプット コンペア ch.0 ～ ch.3
0000 0238$_H$	OCCP1 [R/W] W 00000000 00000000 00000000 00000000				
0000 023C$_H$	OCCP2 [R/W] W 00000000 00000000 00000000 00000000				
0000 0240$_H$	OCCP3 [R/W] W 00000000 00000000 00000000 00000000				
0000 0244$_H$	OCSH1 [R/W] B,H,W ---0--00	OCSL0 [R/W] B,H,W 0000--00	OCSH3 [R/W] B,H,W ---0--00	OCSL2 [R/W] B,H,W 0000--00	
0000 0248$_H$ ～ 0000 031C$_H$	—				予約領域
0000 0320$_H$	FCTLR[R/W] H -0--1011 --------		—	FSTR[R] B -------1	フラッシュ メモリ制御
0000 0324$_H$ ～ 0000 0334$_H$	—				予約領域
0000 0338$_H$	—		WREN[R/W] B,H 00000000 00000000		ワイルド レジスタ
0000 033C$_H$	—				
0000 0340$_H$ ～ 0000 037C$_H$	—				予約領域
0000 0380$_H$	WRAR00[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				ワイルド レジスタ
0000 0384$_H$	WRDR00[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0388$_H$	WRAR01[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 038C$_H$	WRDR01[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0390$_H$	WRAR02[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				

表 A-1 I/O マップ (7 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0394$_H$	WRDR02[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				ワイルドレジスタ
0000 0398$_H$	WRAR03[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 039C$_H$	WRDR03[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03A0$_H$	WRAR04[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03A4$_H$	WRDR04[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03A8$_H$	WRAR05[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03AC$_H$	WRDR05[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03B0$_H$	WRAR06[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03B4$_H$	WRDR06[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03B8$_H$	WRAR07[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03BC$_H$	WRDR07[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03C0$_H$	WRAR08[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03C4$_H$	WRDR08[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03C8$_H$	WRAR09[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03CC$_H$	WRDR09[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03D0$_H$	WRAR10[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03D4$_H$	WRDR10[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03D8$_H$	WRAR11[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03DC$_H$	WRDR11[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03E0$_H$	WRAR12[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03E4$_H$	WRDR12[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03E8$_H$	WRAR13[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				

表 A-1 I/O マップ (8 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 03EC$_H$	WRDR13[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				ワイルドレジスタ
0000 03F0$_H$	WRAR14[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03F4$_H$	WRDR14[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03F8$_H$	WRAR15[R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0000 03FC$_H$	WRDR15[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0400$_H$	DDR0 [R/W] B,H 00000000	DDR1 [R/W] B,H 00000000	DDR2 [R/W] B,H 00000000	DDR3 [R/W] B,H 00000000	データ方向レジスタ
0000 0404$_H$	—	DDR5 [R/W] B,H 00000000	—	DDR7[R/W] B,H 00000000	
0000 0408$_H$ ～ 0000 0410$_H$	—				
0000 0414$_H$	DDRK [R/W] B ------00	—			
0000 0418$_H$ ～ 0000 041C$_H$	—				
0000 0420$_H$	PCR0 [R/W] B,H 00000000	PCR1 [R/W] B,H 00000000	—		プルアップ制御レジスタ
0000 0424$_H$	—	PCR5 [R/W] B 00000000	—	PCR7[R/W] B,H 00000000	
0000 0428$_H$ ～ 0000 043C$_H$	—				

表 A-1 I/O マップ (9 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0440$_H$	ICR00 [R,R/W] B,H,W ---11111	ICR01 [R,R/W] B,H,W ---11111	ICR02 [R,R/W] B,H,W ---11111	ICR03 [R,R/W] B,H,W ---11111	割込み コントローラ
0000 0444$_H$	ICR04 [R,R/W] B,H,W ---11111	ICR05 [R,R/W] B,H,W ---11111	ICR06 [R,R/W] B,H,W ---11111	ICR07 [R,R/W] B,H,W ---11111	
0000 0448$_H$	ICR08 [R,R/W] B,H,W ---11111	ICR09 [R,R/W] B,H,W ---11111	ICR10 [R,R/W] B,H,W ---11111	ICR11 [R,R/W] B,H,W ---11111	
0000 044C$_H$	ICR12 [R,R/W] B,H,W ---11111	ICR13 [R,R/W] B,H,W ---11111	ICR14 [R,R/W] B,H,W ---11111	ICR15 [R,R/W] B,H,W ---11111	
0000 0450$_H$	ICR16 [R,R/W] B,H,W ---11111	ICR17 [R,R/W] B,H,W ---11111	ICR18 [R,R/W] B,H,W ---11111	ICR19 [R,R/W] B,H,W ---11111	
0000 0454$_H$	ICR20 [R,R/W] B,H,W ---11111	ICR21 [R,R/W] B,H,W ---11111	ICR22 [R,R/W] B,H,W ---11111	ICR23 [R,R/W] B,H,W ---11111	
0000 0458$_H$	ICR24 [R,R/W] B,H,W ---11111	ICR25 [R,R/W] B,H,W ---11111	ICR26 [R,R/W] B,H,W ---11111	ICR27 [R,R/W] B,H,W ---11111	
0000 045C$_H$	ICR28 [R,R/W] B,H,W ---11111	ICR29 [R,R/W] B,H,W ---11111	ICR30 [R,R/W] B,H,W ---11111	ICR31 [R,R/W] B,H,W ---11111	
0000 0460$_H$	ICR32 [R,R/W] B,H,W ---11111	ICR33 [R,R/W] B,H,W ---11111	ICR34 [R,R/W] B,H,W ---11111	ICR35 [R,R/W] B,H,W ---11111	
0000 0464$_H$	ICR36 [R,R/W] B,H,W ---11111	ICR37 [R,R/W] B,H,W ---11111	ICR38 [R,R/W] B,H,W ---11111	ICR39 [R,R/W] B,H,W ---11111	
0000 0468$_H$	ICR40 [R,R/W] B,H,W ---11111	ICR41 [R,R/W] B,H,W ---11111	ICR42 [R,R/W] B,H,W ---11111	ICR43 [R,R/W] B,H,W ---11111	
0000 046C$_H$	ICR44 [R,R/W] B,H,W ---11111	ICR45 [R,R/W] B,H,W ---11111	ICR46 [R,R/W] B,H,W ---11111	ICR47 [R,R/W] B,H,W ---11111	
0000 0470$_H$ ～ 0000 047C$_H$	—				予約領域
0000 0480$_H$	RSTRR [R] B,H,W 11XX---X[*3]	RSTCR [R/W] B,H,W 000----0	STBCR [R/W] B,H,W 0000--11	SLPRR [R/W] B,H,W 00000000	リセット制御 / 消費電力制御
0000 0484$_H$	—				
0000 0488$_H$	DIVR0 [R/W] B,H 000--011	—	DIVR2 [R/W] B 0011----	—	クロック 分周制御
0000 048C$_H$	—				

表 A-1 I/O マップ (10 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0490$_H$	IORR0 [R/W] B,H,W -0000000	IORR1 [R/W] B,H,W -0000000	IORR2 [R/W] B,H,W -0000000	IORR3 [R/W] B,H,W -0000000	周辺 DMA 転送要求制御
0000 0494$_H$	IORR4 [R/W] B,H,W -0000000	IORR5 [R/W] B,H,W -0000000	IORR6 [R/W] B,H,W -0000000	IORR7 [R/W] B,H,W -0000000	
0000 0498$_H$ ～ 0000 049C$_H$	—				予約領域
0000 04A0$_H$	PFR0 [R/W] B,H 00000000	PFR1 [R/W] B,H 00000000	PFR2 [R/W] B,H 00000000	PFR3 [R/W] B,H 00000000	ポート機能レジスタ
0000 04A4$_H$	—	PFR5 [R/W] B,H 00000000	—	PFR7[R/W] B,H 00000000	
0000 04A8$_H$ ～ 0000 04B0$_H$	—				
0000 04B4$_H$	PFRK [R/W] B,H ----0000	—			
0000 04B8$_H$	EPFR0 [R/W] B,H ---00-00	EPFR1 [R/W] B,H ---00-00	—		拡張ポート機能レジスタ
0000 04BC$_H$	—		EPFR6 [R/W] B,H -00-00-0	EPFR7 [R/W] B,H ----0-0-	
0000 04C0$_H$	EPFR8 [R/W] B,H ----0-0-	EPFR9 [R/W] B,H ----00-0	EPFR10 [R/W] B,H ----0---	—	
0000 04C4$_H$	—		EPFR14 [R/W] B,H ----0-0-	EPFR15 [R/W] B,H ----0-0-	
0000 04C8$_H$	EPFR16 [R/W] B,H ----0-0-	EPFR17 [R/W] B,H ----0-0-	—	EPFR19 [R/W] B,H -------1	
0000 04CC$_H$	EPFR20 [R/W] B,H ---0--0-	EPFR21 [R/W] B,H ---0--0-	EPFR22 [R/W] B,H ---0--0-	EPFR23 [R/W] B,H ---0--0-	
0000 04D0$_H$, 0000 04D4$_H$	—				
0000 04D8$_H$	—	EPFR33 [R/W] B,H ---0--0-	EPFR34 [R/W] B,H --0-----	—	
0000 04DC$_H$	—				
0000 04E0$_H$ ～ 0000 04EC$_H$	—				予約領域
0000 04F0$_H$	ICSEL0[R/W] B,H,W -----000	ICSEL1[R/W] B,H,W -----000	—		DMA 起動要求クリア選択機能
0000 04F4$_H$	ICSEL4[R/W] B,H,W ------00	—	ICSEL6[R/W] B,H,W ------00	ICSEL7[R/W] B,H,W -------0	
0000 04F8$_H$	ICSEL8[R/W] B,H,W ------00	—	ICSEL10[R/W] B,H,W ----0000	ICSEL11[R/W] B,H,W ----0000	
0000 04FC$_H$	—				

表 A-1 I/O マップ (11 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
$0000\ 0500_H$ ～ $0000\ 050C_H$	—				予約領域
$0000\ 0510_H$	CSELR [R/W] B,H,W 001---00	CMONR [R] B,H,W 001---00	MTMCR [R/W] B,H,W 00001111	STMCR [R/W] B,H,W 0000-111	クロック生成 / メインタイマ / サブタイマ
$0000\ 0514_H$	PLLCR [R/W] B,H --000000 11110000		CSTBR [R/W] B -0000000	—	
$0000\ 0518_H$	WCRD [R] B,H --000000	WCRL [R/W] B,H --000000	WCCR [R,R/W] B 00--0000	—	時計カウンタ
$0000\ 051C_H$	UCCR [R/W] B -----001	—			USB クロック生成
$0000\ 0520_H$ ～ $0000\ 0BFC_H$	—				予約領域
$0000\ 0C00_H$	DCCR0 [R/W] W 0----000 --00--00 00000000 0-000000				DMAC
$0000\ 0C04_H$	DCSR0 [R,R/W] H 0------- -----000		DTCR0 [R/W] H 00000000 00000000		
$0000\ 0C08_H$	DSAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0000\ 0C0C_H$	DDAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0000\ 0C10_H$	DCCR1 [R/W] W 0----000 --00--00 00000000 0-000000				
$0000\ 0C14_H$	DCSR1 [R,R/W] H 0------- -----000		DTCR1 [R/W] H 00000000 00000000		
$0000\ 0C18_H$	DSAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0000\ 0C1C_H$	DDAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

表 A-1 I/O マップ (12 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0C20$_H$	DCCR2 [R/W] W 0----000 --00--00 00000000 0-000000				DMAC
0000 0C24$_H$	DCSR2 [R,R/W] H 0------- -----000		DTCR2 [R/W] H 00000000 00000000		
0000 0C28$_H$	DSAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C2C$_H$	DDAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C30$_H$	DCCR3 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C34$_H$	DCSR3 [R,R/W] H 0------- -----000		DTCR3 [R/W] H 00000000 00000000		
0000 0C38$_H$	DSAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C3C$_H$	DDAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C40$_H$	DCCR4 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C44$_H$	DCSR4 [R,R/W] H 0------- -----000		DTCR4 [R/W] H 00000000 00000000		
0000 0C48$_H$	DSAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C4C$_H$	DDAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C50$_H$	DCCR5 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C54$_H$	DCSR5 [R,R/W] H 0------- -----000		DTCR5 [R/W] H 00000000 00000000		
0000 0C58$_H$	DSAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C5C$_H$	DDAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C60$_H$	DCCR6 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C64$_H$	DCSR6 [R,R/W] H 0------- -----000		DTCR6 [R/W] H 00000000 00000000		
0000 0C68$_H$	DSAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C6C$_H$	DDAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C70$_H$	DCCR7 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C74$_H$	DCSR7 [R,R/W] H 0------- -----000		DTCR7 [R/W] H 00000000 00000000		

表 A-1 I/O マップ (13 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0C78$_H$	DSAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				DMAC
0000 0C7C$_H$	DDAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C80$_H$ ～ 0000 0DF0$_H$	—				
0000 0DF4$_H$	—			DILVR [R,R/W] B ---11111	
0000 0DF8$_H$	DMACR [R/W] W 0------- -------- 0------- --------				
0000 0DFC$_H$ ～ 0000 0F3C$_H$	—				予約領域
0000 0F40$_H$	BT4TMR[R]H 00000000 00000000		BT4TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.4
0000 0F44$_H$	—	BT4STC[R/W]B 0000-000	—		
0000 0F48$_H$	BT4PCSR/BT4PRLL[R/W]H XXXXXXXX XXXXXXXX		BT4PDUT/BT4PRLH/BT4DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0F4C$_H$	—				
0000 0F50$_H$	BT5TMR[R]H 00000000 00000000		BT5TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.5
0000 0F54$_H$	—	BT5STC[R/W]B 0000-000	—		
0000 0F58$_H$	BT5PCSR/BT5PRLL[R/W]H XXXXXXXX XXXXXXXX		BT5PDUT/BT5PRLH/BT5DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0F5C$_H$	—				
0000 0F60$_H$	BT6TMR[R]H 00000000 00000000		BT6TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.6
0000 0F64$_H$	—	BT6STC[R/W]B 0000-000	—		
0000 0F68$_H$	BT6PCSR/BT6PRLL[R/W]H XXXXXXXX XXXXXXXX		BT6PDUT/BT6PRLH/BT6DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0F6C$_H$	—				
0000 0F70$_H$	BT7TMR[R]H 00000000 00000000		BT7TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.7
0000 0F74$_H$	—	BT7STC[R/W]B 0000-000	—		
0000 0F78$_H$	BT7PCSR/BT7PRLL[R/W]H XXXXXXXX XXXXXXXX		BT7PDUT/BT7PRLH/BT7DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0F7C$_H$	BTSEL4567 [R/W] B 00000000	—			

表 A-1 I/O マップ (14 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 0F80$_H$ ～ 0000 0FF8$_H$	—				予約領域
0000 0FFC$_H$	—		BTSSSR[W] H XXXXXXXX XXXXXXXX		ベースタイマ入出力選択機能
0000 1000$_H$ ～ 0000 20FC$_H$	—				予約領域
0000 2100$_H$	HCNT1[R/W] B,H -----001	HCNT0[R/W] B,H 00000000	—		USB ファンクション / ホスト
0000 2104$_H$	HERR[R/W] B,H 00000011	HIRQ[R/W] B,H 0-000000	—		
0000 2108$_H$	HFCOMP[R/W] B,H 00000000	HSTATE[R,R/W] B,H ---10010	—		
0000 210C$_H$	HRTIMER1[R/W] B,H 00000000	HRTIMER0[R/W] B,H 00000000	—		
0000 2110$_H$	HADR[R/W] B,H -0000000	HRTIMER2[R/W] B,H ------00	—		
0000 2114$_H$	HEOF1[R/W] B,H --000000	HEOF0[R/W] B,H 00000000	—		
0000 2118$_H$	HFRAME1[R/W] B,H -----000	HFRAME0[R/W] B,H 00000000	—		
0000 211C$_H$	—	HTOKEN[R/W] B 00000000	—		
0000 2120$_H$	—	UDCC[R/W] B 1010--00	—		
0000 2124$_H$	EP0C[R/W] H ------0- -1000000		—		
0000 2128$_H$	EP1C[R/W] H 01100001 00000000		—		
0000 212C$_H$	EP2C[R/W] H 0110000- -1000000		—		

表 A-1 I/O マップ (15 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 2130$_H$	EP3C[R/W] H 0110000- -1000000		—		USB ファンクション / ホスト
0000 2134$_H$	EP4C[R/W] H 0110000- -1000000		—		
0000 2138$_H$	EP5C[R/W] H 0110000- -1000000		—		
0000 213C$_H$	TMSP[R] H -----000 00000000		—		
0000 2140$_H$	UDCIE[R,R/W] B,H --000000	UDCS[R/W] B,H --000000	—		
0000 2144$_H$	EP0IS[R/W] H 10---1-- --------		—		
0000 2148$_H$	EP00S[R,R/W] H 100--00- -XXXXXXX		—		
0000 214C$_H$	EP1S[R,R/W] H 100-000X XXXXXXXX		—		
0000 2150$_H$	EP2S[R,R/W] H 100-000- -XXXXXXX		—		
0000 2154$_H$	EP3S[R,R/W] H 100-000- -XXXXXXX		—		
0000 2158$_H$	EP4S[R,R/W] H 100-000- -XXXXXXX		—		
0000 215C$_H$	EP5S[R,R/W] H 100-000- -XXXXXXX		—		
0000 2160$_H$	EP0DTH [R/W] B,H XXXXXXXX	EP0DTL [R/W] B,H XXXXXXXX	—		
0000 2164$_H$	EP1DTH [R/W] B,H XXXXXXXX	EP1DTL [R/W] B,H XXXXXXXX	—		
0000 2168$_H$	EP2DTH [R/W] B,H XXXXXXXX	EP2DTL [R/W] B,H XXXXXXXX	—		
0000 216C$_H$	EP3DTH [R/W] B,H XXXXXXXX	EP3DTL [R/W] B,H XXXXXXXX	—		
0000 2170$_H$	EP4DTH [R/W] B,H XXXXXXXX	EP4DTL [R/W] B,H XXXXXXXX	—		
0000 2174$_H$	EP5DTH [R/W] B,H XXXXXXXX	EP5DTL [R/W] B,H XXXXXXXX	—		
0000 2178$_H$ ～ 0000 217C$_H$	—				
0000 2180$_H$ ～ 0000 21A0$_H$	—				予約領域

表 A-1 I/O マップ (16 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 21A4$_H$	DREQSEL [R/W] B,H 00111011	USBSEL [R/W] B,H -------0	USBEN [R/W] B -------0	—	DMA 転送要求セレクタ / USB 許可
0000 21A8$_H$ ～ 0000 3FFC$_H$	—				予約領域
0000 4000$_H$	MOSD_VADR [W] W -------- -------0 ---00000 --000000				OSDC (MAIN)
0000 4004$_H$	MOSD_CDS1 [W] W 00000000 ---00000 00000000 00000000				
0000 4008$_H$	MOSD_CDS2 [W] W -------- 0000-000 --000000 00000000				
0000 400C$_H$	MOSD_LDS1 [W] W 0000-000 00000000 ----0000 00000000				
0000 4010$_H$	MOSD_LDS2 [W] W -------- ---00000 --000000 00000000				
0000 4014$_H$	MOSD_SCOC [W] W ------00 0000---- ---0---0 XXXX----				
0000 4018$_H$	MOSD_HVDP [W] W -----000 00000000 -----000 00000000				
0000 401C$_H$	MOSD_TSBC [W] W -------- -------- -------0 00000000				
0000 4020$_H$	MOSD_GRCC [W] W -------0 00000000 -------0 00000000				
0000 4024$_H$	MOSD_SBCC [W] W -----000 ------00 --000000 00000000				
0000 4028$_H$	MOSD_SCBC [W] W -------- --00--00 ---0-000 00000000				
0000 402C$_H$	MOSD_WPC1 [W] W -----000 00000000 -----000 00000000				
0000 4030$_H$	MOSD_WPC2 [W] W ----0000 00000000 ----0000 00000000				
0000 4034$_H$	MOSD_SPC1 [W] W ---0-000 ------00 --000000 00000000				
0000 4038$_H$	MOSD_SPC2 [W] W ----0000 00000000 -----000 00000000				
0000 403C$_H$	MOSD_SYNC [W] W -------- --000000 -------- -0-0----				
0000 4040$_H$	MOSD_CBC0 [W] W --000000 00000000 --000000 00000000				
0000 4044$_H$	MOSD_CBC1 [W] W --000000 00000000 --000000 00000000				
0000 4048$_H$	MOSD_CBC2 [W] W --000000 00000000 --000000 00000000				

表 A-1 I/O マップ (17 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 404C$_H$	MOSD_CBC3 [W] W --000000 00000000 --000000 00000000				OSDC (MAIN)
0000 4050$_H$	MOSD_CBC4 [W] W --000000 00000000 --000000 00000000				
0000 4054$_H$	MOSD_CBC5 [W] W --000000 00000000 --000000 00000000				
0000 4058$_H$	MOSD_CBC6 [W] W --000000 00000000 --000000 00000000				
0000 405C$_H$	MOSD_CBC7 [W] W --000000 00000000 --000000 00000000				
0000 4060$_H$	MOSD_IOTC [W] W -------0 0----00- -------- -----XXX				
0000 4064$_H$	MOSD_CDP1 [W] W -----000 00000000 -----000 00000000				
0000 4068$_H$	MOSD_CDP2 [W] W ----0000 00000000 ----0000 00000000				
0000 406C$_H$	MOSD_INTC [R/W] W -------- -------- -----XXX -----XXX				
0000 4070$_H$	MOSD_SBC0 [W] W 00000000 00000000 00000000 00000000				
0000 4074$_H$	MOSD_SBC1 [W] W 00000000 00000000 00000000 00000000				
0000 4078$_H$	MOSD_SBC2 [W] W 00000000 00000000 00000000 00000000				
0000 407C$_H$	MOSD_SBC3 [W] W 00000000 00000000 00000000 00000000				
0000 4080$_H$ ～ 0000 40FC$_H$	—				予約領域

表 A-1 I/O マップ (18 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
0000 4100$_H$	SOSD_VADR [W] W -------- -------0 ---00000 --000000				OSDC (SUB)
0000 4104$_H$	SOSD_CDS1 [W] W 00000000 ---00000 00000000 00000000				
0000 4108$_H$	SOSD_CDS2 [W] W -------- 0000-000 --000000 00000000				
0000 410C$_H$	SOSD_LDS1 [W] W 0000-000 00000000 ----0000 00000000				
0000 4110$_H$	SOSD_LDS2 [W] W -------- ---00000 --000000 00000000				
0000 4114$_H$	SOSD_SCOC [W] W ------00 0000---- ---0---0 XX-X---X				
0000 4118$_H$	SOSD_HVDP [W] W -----000 00000000 -----000 00000000				
0000 411C$_H$	SOSD_TSBC [W] W -------- -------- -------0 00000000				
0000 4120$_H$	SOSD_GRCC [W] W -------0 00000000 -------0 00000000				
0000 4124$_H$	—				
0000 4128$_H$	SOSD_SCBC [W] W -------- --00--00 ---0-000 00000000				
0000 412C$_H$	SOSD_WPC1 [W] W -----000 00000000 -----000 00000000				
0000 4130$_H$	SOSD_WPC2 [W] W ----0000 00000000 ----0000 00000000				
0000 4134$_H$	SOSD_SPC1 [W] W ---0-000 ------00 --000000 00000000				
0000 4138$_H$	SOSD_SPC2 [W] W ----0000 00000000 -----000 00000000				
0000 413C$_H$ ～ 0000 4168$_H$	—				
0000 416C$_H$	SOSD_INTC [R/W] W -------- -------- -----XXX -----XXX				
0000 4170$_H$	SOSD_SBC0 [W] W 00000000 00000000 00000000 00000000				
0000 4174$_H$	SOSD_SBC1 [W] W 00000000 00000000 00000000 00000000				
0000 4178$_H$	SOSD_SBC2 [W] W 00000000 00000000 00000000 00000000				
0000 417C$_H$	SOSD_SBC3 [W] W 00000000 00000000 00000000 00000000				

表 A-1 I/O マップ (19 / 19)

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
$0000\ 4180_H$ ～ $0000\ 41FC_H$	—				予約領域
$0000\ 4200_H$ ～ $0000\ 43FC_H$	MOSD_PLn [W] W ※ n: 0 ～ 127 00000000 00000000 00000000 00000000				OSDC (MAIN)
$0000\ 4400_H$	MOSD_OSDC [W] W -------- --XX--XX ------XX ---X---X				
$0000\ 4404_H$	MOSD_PLLC [W] W --000000 00000000 00000000 ---00000				
$0000\ 4408_H$ ～ $0000\ FFFC_H$	—				予約領域

＊ 1： 9 ビットのうち , 下位 8 ビットにアクセスする場合のみ , バイトアクセスが可能です。
＊ 2： I^2C のレジスタはリセット直後にリードできません。
＊ 3： $\overline{INIT}$ 端子によるリセット直後の値です。
予約領域に対してアクセスしないでください。

付録 B　レジスター一覧

本製品で利用できるレジスタを示します。

本製品のレジスタをレジスタ略称順に示します。

略称	レジスタ名	アドレス	参照先
A			
ADCHE	A/D チャネルイネーブルレジスタ	0000 01AC$_H$	13.4.6
ADCR0	A/DC コントロールレジスタ 0	0000 0120$_H$	23.4.1
ADCT0	コンペア時間設定レジスタ 0	0000 013A$_H$	23.4.15
ADSR0	A/DC ステータスレジスタ 0	0000 0121$_H$	23.4.2
ADSS00	サンプリング時間選択レジスタ 00	0000 0137$_H$	23.4.14
ADST00	サンプリング時間設定レジスタ 00	0000 0138$_H$	23.4.13
ADST10	サンプリング時間設定レジスタ 10	0000 0139$_H$	23.4.13
B			
BGR00	ボーレートジェネレータレジスタ 00	0000 0067$_H$	24.4.6 , 24.13.6
BGR01	ボーレートジェネレータレジスタ 01	0000 006F$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR02	ボーレートジェネレータレジスタ 02	0000 007B$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR03	ボーレートジェネレータレジスタ 03	0000 0087$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR08	ボーレートジェネレータレジスタ 08	0000 00D7$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR09	ボーレートジェネレータレジスタ 09	0000 00E7$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR010	ボーレートジェネレータレジスタ 010	0000 00F7$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR011	ボーレートジェネレータレジスタ 011	0000 0107$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR10	ボーレートジェネレータレジスタ 10	0000 0066$_H$	24.4.6 , 24.13.6
BGR11	ボーレートジェネレータレジスタ 11	0000 006E$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR12	ボーレートジェネレータレジスタ 12	0000 007A$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR13	ボーレートジェネレータレジスタ 13	0000 0086$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR18	ボーレートジェネレータレジスタ 18	0000 00D6$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR19	ボーレートジェネレータレジスタ 19	0000 00E6$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR110	ボーレートジェネレータレジスタ 110	0000 00F6$_H$	24.4.6 , 24.13.6 , 24.21.8
BGR111	ボーレートジェネレータレジスタ 111	0000 0106$_H$	24.4.6 , 24.13.6 , 24.21.8
BT0DTBF	ベースタイマ 0 データバッファレジスタ	0000 014A$_H$	22.8.4.2
BT0PCSR	ベースタイマ 0 周期設定レジスタ	0000 0148$_H$	22.8.1.2 , 22.8.3.2
BT0PDUT	ベースタイマ 0 デューティ設定レジスタ	0000 014A$_H$	22.8.1.3
BT0PRLH	ベースタイマ 0 H 幅設定リロードレジスタ	0000 014A$_H$	22.8.2.3
BT0PRLL	ベースタイマ 0 L 幅設定リロードレジスタ	0000 0148$_H$	22.8.2.2
BT0STC	ベースタイマ 0 ステータス制御レジスタ	0000 0145$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1

BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	0000 0142$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT0TMR	ベースタイマ 0 タイマレジスタ	0000 0140$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT1DTBF	ベースタイマ 1 データバッファレジスタ	0000 015A$_H$	22.8.4.2
BT1PCSR	ベースタイマ 1 周期設定レジスタ	0000 0158$_H$	22.8.1.2 , 22.8.3.2
BT1PDUT	ベースタイマ 1 デューティ設定レジスタ	0000 015A$_H$	22.8.1.3
BT1PRLH	ベースタイマ 1 H 幅設定リロードレジスタ	0000 015A$_H$	22.8.2.3
BT1PRLL	ベースタイマ 1 L 幅設定リロードレジスタ	0000 0158$_H$	22.8.2.2
BT1STC	ベースタイマ 1 ステータス制御レジスタ	0000 0155$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	0000 0152$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT1TMR	ベースタイマ 1 タイマレジスタ	0000 0150$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT2DTBF	ベースタイマ 2 データバッファレジスタ	0000 016A$_H$	22.8.4.2
BT2PCSR	ベースタイマ 2 周期設定レジスタ	0000 0168$_H$	22.8.1.2 , 22.8.3.2
BT2PDUT	ベースタイマ 2 デューティ設定レジスタ	0000 016A$_H$	22.8.1.3
BT2PRLH	ベースタイマ 2 H 幅設定リロードレジスタ	0000 016A$_H$	22.8.2.3
BT2PRLL	ベースタイマ 2 L 幅設定リロードレジスタ	0000 0168$_H$	22.8.2.2
BT2STC	ベースタイマ 2 ステータス制御レジスタ	0000 0165$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	0000 0162$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT2TMR	ベースタイマ 2 タイマレジスタ	0000 0160$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT3DTBF	ベースタイマ 3 データバッファレジスタ	0000 017A$_H$	22.8.4.2
BT3PCSR	ベースタイマ 3 周期設定レジスタ	0000 0178$_H$	22.8.1.2 , 22.8.3.2
BT3PDUT	ベースタイマ 3 デューティ設定レジスタ	0000 017A$_H$	22.8.1.3
BT3PRLH	ベースタイマ 3 H 幅設定リロードレジスタ	0000 017A$_H$	22.8.2.3
BT3PRLL	ベースタイマ 3 L 幅設定リロードレジスタ	0000 0178$_H$	22.8.2.2
BT3STC	ベースタイマ 3 ステータス制御レジスタ	0000 0175$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	0000 0172$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT3TMR	ベースタイマ 3 タイマレジスタ	0000 0170$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT4DTBF	ベースタイマ 4 データバッファレジスタ	0000 0F4A$_H$	22.8.4.2
BT4PCSR	ベースタイマ 4 周期設定レジスタ	0000 0F48$_H$	22.8.1.2 , 22.8.3.2
BT4PDUT	ベースタイマ 4 デューティ設定レジスタ	0000 0F4A$_H$	22.8.1.3
BT4PRLH	ベースタイマ 4 H 幅設定リロードレジスタ	0000 0F4A$_H$	22.8.2.3
BT4PRLL	ベースタイマ 4 L 幅設定リロードレジスタ	0000 0F48$_H$	22.8.2.2
BT4STC	ベースタイマ 4 ステータス制御レジスタ	0000 0F45$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	0000 0F42$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT4TMR	ベースタイマ 4 タイマレジスタ	0000 0F40$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT5DTBF	ベースタイマ 5 データバッファレジスタ	0000 0F5A$_H$	22.8.4.2
BT5PCSR	ベースタイマ 5 周期設定レジスタ	0000 0F58$_H$	22.8.1.2 , 22.8.3.2

BT5PDUT	ベースタイマ 5 デューティ設定レジスタ	0000 0F5A$_H$	22.8.1.3
BT5PRLH	ベースタイマ 5 H 幅設定リロードレジスタ	0000 0F5A$_H$	22.8.2.3
BT5PRLL	ベースタイマ 5 L 幅設定リロードレジスタ	0000 0F58$_H$	22.8.2.2
BT5STC	ベースタイマ 5 ステータス制御レジスタ	0000 0F55$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	0000 0F52$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT5TMR	ベースタイマ 5 タイマレジスタ	0000 0F50$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT6DTBF	ベースタイマ 6 データバッファレジスタ	0000 0F6A$_H$	22.8.4.2
BT6PCSR	ベースタイマ 6 周期設定レジスタ	0000 0F68$_H$	22.8.1.2 , 22.8.3.2
BT6PDUT	ベースタイマ 6 デューティ設定レジスタ	0000 0F6A$_H$	22.8.1.3
BT6PRLH	ベースタイマ 6 H 幅設定リロードレジスタ	0000 0F6A$_H$	22.8.2.3
BT6PRLL	ベースタイマ 6 L 幅設定リロードレジスタ	0000 0F68$_H$	22.8.2.2
BT6STC	ベースタイマ 6 ステータス制御レジスタ	0000 0F65$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	0000 0F62$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT6TMR	ベースタイマ 6 タイマレジスタ	0000 0F60$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT7DTBF	ベースタイマ 7 データバッファレジスタ	0000 0F7A$_H$	22.8.4.2
BT7PCSR	ベースタイマ 7 周期設定レジスタ	0000 0F78$_H$	22.8.1.2 , 22.8.3.2
BT7PDUT	ベースタイマ 7 デューティ設定レジスタ	0000 0F7A$_H$	22.8.1.3
BT7PRLH	ベースタイマ 7 H 幅設定リロードレジスタ	0000 0F7A$_H$	22.8.2.3
BT7PRLL	ベースタイマ 7 L 幅設定リロードレジスタ	0000 0F78$_H$	22.8.2.2
BT7STC	ベースタイマ 7 ステータス制御レジスタ	0000 0F75$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	0000 0F72$_H$	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT7TMR	ベースタイマ 7 タイマレジスタ	0000 0F70$_H$	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BTSEL0123	入出力選択レジスタ 0123	0000 017C$_H$	21.4.1
BTSEL4567	入出力選択レジスタ 4567	0000 0F7C$_H$	21.4.2
BTSSSR	同時ソフト起動レジスタ	0000 0FFE$_H$	21.4.3

C

CMONR	クロックソース監視レジスタ	0000 0511$_H$	4.4.2
CMPCR0	A/D 比較コントロールレジスタ 0	0000 0133$_H$	23.4.12
CMPD0	A/D 比較値設定レジスタ 0	0000 0132$_H$	23.4.11
CPCLR0	コンペアクリアレジスタ 0	0000 0200$_H$	17.4.1
CSELR	クロックソース設定レジスタ	0000 0510$_H$	4.4.1
CSTBR	発振安定待ち設定レジスタ	0000 0516$_H$	4.4.3

D

DCCR0	DMA チャネルコントロールレジスタ 0	0000 0C00$_H$	31.3.5
DCCR1	DMA チャネルコントロールレジスタ 1	0000 0C10$_H$	31.3.5

DCCR2	DMA チャネルコントロールレジスタ 2	0000 0C20$_H$	31.3.5
DCCR3	DMA チャネルコントロールレジスタ 3	0000 0C30$_H$	31.3.5
DCCR4	DMA チャネルコントロールレジスタ 4	0000 0C40$_H$	31.3.5
DCCR5	DMA チャネルコントロールレジスタ 5	0000 0C50$_H$	31.3.5
DCCR6	DMA チャネルコントロールレジスタ 6	0000 0C60$_H$	31.3.5
DCCR7	DMA チャネルコントロールレジスタ 7	0000 0C70$_H$	31.3.5
DCSR0	DMA チャネルステータスレジスタ 0	0000 0C04$_H$	31.3.6
DCSR1	DMA チャネルステータスレジスタ 1	0000 0C14$_H$	31.3.6
DCSR2	DMA チャネルステータスレジスタ 2	0000 0C24$_H$	31.3.6
DCSR3	DMA チャネルステータスレジスタ 3	0000 0C34$_H$	31.3.6
DCSR4	DMA チャネルステータスレジスタ 4	0000 0C44$_H$	31.3.6
DCSR5	DMA チャネルステータスレジスタ 5	0000 0C54$_H$	31.3.6
DCSR6	DMA チャネルステータスレジスタ 6	0000 0C64$_H$	31.3.6
DCSR7	DMA チャネルステータスレジスタ 7	0000 0C74$_H$	31.3.6
DDAR0	DMA 転送先アドレスレジスタ 0	0000 0C0C$_H$	31.3.3
DDAR1	DMA 転送先アドレスレジスタ 1	0000 0C1C$_H$	31.3.3
DDAR2	DMA 転送先アドレスレジスタ 2	0000 0C2C$_H$	31.3.3
DDAR3	DMA 転送先アドレスレジスタ 3	0000 0C3C$_H$	31.3.3
DDAR4	DMA 転送先アドレスレジスタ 4	0000 0C4C$_H$	31.3.3
DDAR5	DMA 転送先アドレスレジスタ 5	0000 0C5C$_H$	31.3.3
DDAR6	DMA 転送先アドレスレジスタ 6	0000 0C6C$_H$	31.3.3
DDAR7	DMA 転送先アドレスレジスタ 7	0000 0C7C$_H$	31.3.3
DDR0	ポートデータ方向レジスタ 0	0000 0400$_H$	13.4.1
DDR1	ポートデータ方向レジスタ 1	0000 0401$_H$	13.4.1
DDR2	ポートデータ方向レジスタ 2	0000 0402$_H$	13.4.1
DDR3	ポートデータ方向レジスタ 3	0000 0403$_H$	13.4.1
DDR5	ポートデータ方向レジスタ 5	0000 0405$_H$	13.4.1
DDR7	ポートデータ方向レジスタ 7	0000 0407$_H$	13.4.1
DDRK	ポートデータ方向レジスタ K	0000 0414$_H$	13.4.1
DICR	遅延割込み制御レジスタ	0000 0044$_H$	12.3.1
DILVR	DMA 転送抑止割込みレベルレジスタ	0000 0DF7$_H$	31.3.7
DIVR0	分周設定レジスタ 0	0000 0488$_H$	5.4.1
DIVR2	分周設定レジスタ 2	0000 048A$_H$	5.4.2
DMACR	DMA コントロールレジスタ	0000 0DF8$_H$	31.3.1
DREQSEL	DREQ 選択レジスタ	0000 21A4$_H$	26.3.1
DSAR0	DMA 転送元アドレスレジスタ 0	0000 0C08$_H$	31.3.2
DSAR1	DMA 転送元アドレスレジスタ 1	0000 0C18$_H$	31.3.2
DSAR2	DMA 転送元アドレスレジスタ 2	0000 0C28$_H$	31.3.2
DSAR3	DMA 転送元アドレスレジスタ 3	0000 0C38$_H$	31.3.2
DSAR4	DMA 転送元アドレスレジスタ 4	0000 0C48$_H$	31.3.2
DSAR5	DMA 転送元アドレスレジスタ 5	0000 0C58$_H$	31.3.2
DSAR6	DMA 転送元アドレスレジスタ 6	0000 0C68$_H$	31.3.2
DSAR7	DMA 転送元アドレスレジスタ 7	0000 0C78$_H$	31.3.2
DTCR0	DMA 転送回数レジスタ 0	0000 0C06$_H$	31.3.4

DTCR1	DMA 転送回数レジスタ 1	0000 0C16$_H$	31.3.4
DTCR2	DMA 転送回数レジスタ 2	0000 0C26$_H$	31.3.4
DTCR3	DMA 転送回数レジスタ 3	0000 0C36$_H$	31.3.4
DTCR4	DMA 転送回数レジスタ 4	0000 0C46$_H$	31.3.4
DTCR5	DMA 転送回数レジスタ 5	0000 0C56$_H$	31.3.4
DTCR6	DMA 転送回数レジスタ 6	0000 0C66$_H$	31.3.4
DTCR7	DMA 転送回数レジスタ 7	0000 0C76$_H$	31.3.4

E

EIRR0	外部割込み要因レジスタ 0	0000 0040$_H$	14.4.2
EIRR1	外部割込み要因レジスタ 1	0000 0110$_H$	14.4.2
ELVR0	外部割込み要求レベル設定レジスタ 0	0000 0042$_H$	14.4.1
ELVR1	外部割込み要求レベル設定レジスタ 1	0000 0112$_H$	14.4.1
ENIR0	割込み許可レジスタ 0	0000 0041$_H$	14.4.3
ENIR1	割込み許可レジスタ 1	0000 0111$_H$	14.4.3
EP0C	EP0 制御レジスタ	0000 2124$_H$	27.3.4
EP0DTH	EP0 データレジスタ上位	0000 2160$_H$	27.3.12
EP0DTL	EP0 データレジスタ下位	0000 2161$_H$	27.3.12
EP0IS	EP0I ステータスレジスタ	0000 2144$_H$	27.3.9
EP0OS	EP0O ステータレジスタ	0000 2148$_H$	27.3.10
EP1C	EP1 制御レジスタ	0000 2128$_H$	27.3.5
EP1DTH	EP1 データレジスタ上位	0000 2164$_H$	27.3.12
EP1DTL	EP1 データレジスタ下位	0000 2165$_H$	27.3.12
EP1S	EP1 ステータスレジスタ	0000 214C$_H$	27.3.11
EP2C	EP2 制御レジスタ	0000 212C$_H$	27.3.5
EP2DTH	EP2 データレジスタ上位	0000 2168$_H$	27.3.12
EP2DTL	EP2 データレジスタ下位	0000 2169$_H$	27.3.12
EP2S	EP2 ステータスレジスタ	0000 2150$_H$	27.3.11
EP3C	EP3 制御レジスタ	0000 2130$_H$	27.3.5
EP3DTH	EP3 データレジスタ上位	0000 216C$_H$	27.3.12
EP3DTL	EP3 データレジスタ下位	0000 216D$_H$	27.3.12
EP3S	EP3 ステータスレジスタ	0000 2154$_H$	27.3.11
EP4C	EP4 制御レジスタ	0000 2134$_H$	27.3.5
EP4DTH	EP4 データレジスタ上位	0000 2170$_H$	27.3.12
EP4DTL	EP4 データレジスタ下位	0000 2171$_H$	27.3.12
EP4S	EP4 ステータスレジスタ	0000 2158$_H$	27.3.11
EP5C	EP5 制御レジスタ	0000 2138$_H$	27.3.5
EP5DTH	EP5 データレジスタ上位	0000 2174$_H$	27.3.12
EP5DTL	EP5 データレジスタ下位	0000 2175$_H$	27.3.12
EP5S	EP5 ステータスレジスタ	0000 215C$_H$	27.3.11
EPFR0	拡張ポート機能レジスタ 0	0000 04B8$_H$	13.4.3
EPFR1	拡張ポート機能レジスタ 1	0000 04B9$_H$	13.4.3
EPFR2	拡張ポート機能レジスタ 2	0000 04BA$_H$	13.4.3

EPFR3	拡張ポート機能レジスタ 3	0000 04BB$_H$	13.4.3
EPFR4	拡張ポート機能レジスタ 4	0000 04BC$_H$	13.4.3
EPFR5	拡張ポート機能レジスタ 5	0000 04BD$_H$	13.4.3
EPFR6	拡張ポート機能レジスタ 6	0000 04BE$_H$	13.4.3
EPFR7	拡張ポート機能レジスタ 7	0000 04BF$_H$	13.4.3
EPFR8	拡張ポート機能レジスタ 8	0000 04C0$_H$	13.4.3
EPFR9	拡張ポート機能レジスタ 9	0000 04C1$_H$	13.4.3
EPFR10	拡張ポート機能レジスタ 10	0000 04C2$_H$	13.4.3
EPFR11	拡張ポート機能レジスタ 11	0000 04C3$_H$	13.4.3
EPFR12	拡張ポート機能レジスタ 12	0000 04C4$_H$	13.4.3
EPFR13	拡張ポート機能レジスタ 13	0000 04C5$_H$	13.4.3
EPFR14	拡張ポート機能レジスタ 14	0000 04C6$_H$	13.4.3
EPFR15	拡張ポート機能レジスタ 15	0000 04C7$_H$	13.4.3
EPFR16	拡張ポート機能レジスタ 16	0000 04C8$_H$	13.4.3
EPFR17	拡張ポート機能レジスタ 17	0000 04C9$_H$	13.4.3
EPFR18	拡張ポート機能レジスタ 18	0000 04CA$_H$	13.4.3
EPFR19	拡張ポート機能レジスタ 19	0000 04CB$_H$	13.4.3
EPFR20	拡張ポート機能レジスタ 20	0000 04CC$_H$	13.4.3
EPFR21	拡張ポート機能レジスタ 21	0000 04CD$_H$	13.4.3
EPFR22	拡張ポート機能レジスタ 22	0000 04CE$_H$	13.4.3
EPFR23	拡張ポート機能レジスタ 23	0000 04CF$_H$	13.4.3
EPFR24	拡張ポート機能レジスタ 24	0000 04D0$_H$	13.4.3
EPFR25	拡張ポート機能レジスタ 25	0000 04D1$_H$	13.4.3
EPFR26	拡張ポート機能レジスタ 26	0000 04D2$_H$	13.4.3
EPFR27	拡張ポート機能レジスタ 27	0000 04D3$_H$	13.4.3
EPFR28	拡張ポート機能レジスタ 28	0000 04D4$_H$	13.4.3
EPFR29	拡張ポート機能レジスタ 29	0000 04D5$_H$	13.4.3
EPFR30	拡張ポート機能レジスタ 30	0000 04D6$_H$	13.4.3
EPFR31	拡張ポート機能レジスタ 31	0000 04D7$_H$	13.4.3
EPFR32	拡張ポート機能レジスタ 32	0000 04D8$_H$	13.4.3
EPFR33	拡張ポート機能レジスタ 33	0000 04D9$_H$	13.4.3
EPFR34	拡張ポート機能レジスタ 34	0000 04DA$_H$	13.4.3
ESCR0	拡張通信制御レジスタ 0	0000 0063$_H$	24.4.4 , 24.13.4
ESCR1	拡張通信制御レジスタ 1	0000 006B$_H$	24.4.4 , 24.13.4
ESCR2	拡張通信制御レジスタ 2	0000 0077$_H$	24.4.4 , 24.13.4
ESCR3	拡張通信制御レジスタ 3	0000 0083$_H$	24.4.4 , 24.13.4
ESCR8	拡張通信制御レジスタ 8	0000 00D3$_H$	24.4.4 , 24.13.4
ESCR9	拡張通信制御レジスタ 9	0000 00E3$_H$	24.4.4 , 24.13.4
ESCR10	拡張通信制御レジスタ 10	0000 00F3$_H$	24.4.4 , 24.13.4
ESCR11	拡張通信制御レジスタ 11	0000 0103$_H$	24.4.4 , 24.13.4

F

FBYTE18	FIFO バイトレジスタ 18	0000 00DF$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE19	FIFO バイトレジスタ 19	0000 00EF$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE110	FIFO バイトレジスタ 110	0000 00FF$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE111	FIFO バイトレジスタ 111	0000 010F$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE28	FIFO バイトレジスタ 28	0000 00DE$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE29	FIFO バイトレジスタ 29	0000 00EE$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE210	FIFO バイトレジスタ 210	0000 00FE$_H$	24.4.9 , 24.13.9 , 24.21.11
FBYTE211	FIFO バイトレジスタ 211	0000 010E$_H$	24.4.9 , 24.13.9 , 24.21.11
FCR08	FIFO 制御レジスタ 08	0000 00DD$_H$	24.4.8 , 24.13.8 , 24.21.10
FCR09	FIFO 制御レジスタ 09	0000 00ED$_H$	24.4.8 , 24.13.8 , 24.21.10
FCR010	FIFO 制御レジスタ 010	0000 00FD$_H$	24.4.8 , 24.13.8 , 24.21.10
FCR011	FIFO 制御レジスタ 011	0000 010D$_H$	24.4.8 , 24.13.8 , 24.21.10
FCR18	FIFO 制御レジスタ 18	0000 00DC$_H$	24.4.7 , 24.13.7 , 24.21.9
FCR19	FIFO 制御レジスタ 19	0000 00EC$_H$	24.4.7 , 24.13.7 , 24.21.9
FCR110	FIFO 制御レジスタ 110	0000 00FC$_H$	24.4.7 , 24.13.7 , 24.21.9
FCR111	FIFO 制御レジスタ 111	0000 010C$_H$	24.4.7 , 24.13.7 , 24.21.9
FCTLR	FLASH 制御レジスタ	0000 0320$_H$	33.2.1 , 34.3.2
FSTR	FLASH ステータスレジスタ	0000 0323$_H$	34.3.1

H

HADR	ホストアドレスレジスタ	0000 2110$_H$	28.3.7
HCNT0	ホストコントロールレジスタ 0	0000 2101$_H$	28.3.1
HCNT1	ホストコントロールレジスタ 1	0000 2100$_H$	28.3.1
HEOF0	EOF 設定レジスタ 0	0000 2115$_H$	28.3.8
HEOF1	EOF 設定レジスタ 1	0000 2114$_H$	28.3.8
HERR	ホストエラーステータスレジスタ	0000 2104$_H$	28.3.3
HFCOMP	SOF 割込み FRAME 比較レジスタ	0000 2108$_H$	28.3.5
HFRAME0	FRAME 設定レジスタ 0	0000 2119$_H$	28.3.9
HFRAME1	FRAME 設定レジスタ 1	0000 2118$_H$	28.3.9
HIRQ	ホスト割込みレジスタ	0000 2105$_H$	28.3.2
HRTIMER0	リトライタイマ設定レジスタ 0	0000 210D$_H$	28.3.6
HRTIMER1	リトライタイマ設定レジスタ 1	0000 210C$_H$	28.3.6
HRTIMER2	リトライタイマ設定レジスタ 2	0000 2111$_H$	28.3.6
HSTATE	ホスト状態ステータスレジスタ	0000 2109$_H$	28.3.4

HTOKEN	ホストトークンエンドポイントレジスタ	0000 211D$_H$	28.3.10

I

IBCR1	I^{2}C バス制御レジスタ 1	0000 0068$_H$	24.21.1
IBCR2	I^{2}C バス制御レジスタ 2	0000 0074$_H$	24.21.1
IBCR3	I^{2}C バス制御レジスタ 3	0000 0080$_H$	24.21.1
IBCR8	I^{2}C バス制御レジスタ 8	0000 00D0$_H$	24.21.1
IBCR9	I^{2}C バス制御レジスタ 9	0000 00E0$_H$	24.21.1
IBCR10	I^{2}C バス制御レジスタ 10	0000 00F0$_H$	24.21.1
IBCR11	I^{2}C バス制御レジスタ 11	0000 0100$_H$	24.21.1
IBSR1	I^{2}C バスステータスレジスタ 1	0000 006B$_H$	24.21.3
IBSR2	I^{2}C バスステータスレジスタ 2	0000 0077$_H$	24.21.3
IBSR3	I^{2}C バスステータスレジスタ 3	0000 0083$_H$	24.21.3
IBSR8	I^{2}C バスステータスレジスタ 8	0000 00D3$_H$	24.21.3
IBSR9	I^{2}C バスステータスレジスタ 9	0000 00E3$_H$	24.21.3
IBSR10	I^{2}C バスステータスレジスタ 10	0000 00F3$_H$	24.21.3
IBSR11	I^{2}C バスステータスレジスタ 11	0000 0103$_H$	24.21.3
ICR00	割込みコントロールレジスタ 00	0000 0440$_H$	10.3.1
ICR01	割込みコントロールレジスタ 01	0000 0441$_H$	10.3.1
ICR02	割込みコントロールレジスタ 02	0000 0442$_H$	10.3.1
ICR03	割込みコントロールレジスタ 03	0000 0443$_H$	10.3.1
ICR04	割込みコントロールレジスタ 04	0000 0444$_H$	10.3.1
ICR05	割込みコントロールレジスタ 05	0000 0445$_H$	10.3.1
ICR06	割込みコントロールレジスタ 06	0000 0446$_H$	10.3.1
ICR07	割込みコントロールレジスタ 07	0000 0447$_H$	10.3.1
ICR08	割込みコントロールレジスタ 08	0000 0448$_H$	10.3.1
ICR09	割込みコントロールレジスタ 09	0000 0449$_H$	10.3.1
ICR10	割込みコントロールレジスタ 10	0000 044A$_H$	10.3.1
ICR11	割込みコントロールレジスタ 11	0000 044B$_H$	10.3.1
ICR12	割込みコントロールレジスタ 12	0000 044C$_H$	10.3.1
ICR13	割込みコントロールレジスタ 13	0000 044D$_H$	10.3.1
ICR14	割込みコントロールレジスタ 14	0000 044E$_H$	10.3.1
ICR15	割込みコントロールレジスタ 15	0000 044F$_H$	10.3.1
ICR16	割込みコントロールレジスタ 16	0000 0450$_H$	10.3.1
ICR17	割込みコントロールレジスタ 17	0000 0451$_H$	10.3.1
ICR18	割込みコントロールレジスタ 18	0000 0452$_H$	10.3.1
ICR19	割込みコントロールレジスタ 19	0000 0453$_H$	10.3.1
ICR20	割込みコントロールレジスタ 20	0000 0454$_H$	10.3.1
ICR21	割込みコントロールレジスタ 21	0000 0455$_H$	10.3.1
ICR22	割込みコントロールレジスタ 22	0000 0456$_H$	10.3.1
ICR23	割込みコントロールレジスタ 23	0000 0457$_H$	10.3.1
ICR24	割込みコントロールレジスタ 24	0000 0458$_H$	10.3.1
ICR25	割込みコントロールレジスタ 25	0000 0459$_H$	10.3.1

ICR26	割込みコントロールレジスタ 26	0000 045A$_H$	10.3.1
ICR27	割込みコントロールレジスタ 27	0000 045B$_H$	10.3.1
ICR28	割込みコントロールレジスタ 28	0000 045C$_H$	10.3.1
ICR29	割込みコントロールレジスタ 29	0000 045D$_H$	10.3.1
ICR30	割込みコントロールレジスタ 30	0000 045E$_H$	10.3.1
ICR31	割込みコントロールレジスタ 31	0000 045F$_H$	10.3.1
ICR32	割込みコントロールレジスタ 32	0000 0460$_H$	10.3.1
ICR33	割込みコントロールレジスタ 33	0000 0461$_H$	10.3.1
ICR34	割込みコントロールレジスタ 34	0000 0462$_H$	10.3.1
ICR35	割込みコントロールレジスタ 35	0000 0463$_H$	10.3.1
ICR36	割込みコントロールレジスタ 36	0000 0464$_H$	10.3.1
ICR37	割込みコントロールレジスタ 37	0000 0465$_H$	10.3.1
ICR38	割込みコントロールレジスタ 38	0000 0466$_H$	10.3.1
ICR39	割込みコントロールレジスタ 39	0000 0467$_H$	10.3.1
ICR40	割込みコントロールレジスタ 40	0000 0468$_H$	10.3.1
ICR41	割込みコントロールレジスタ 41	0000 0469$_H$	10.3.1
ICR42	割込みコントロールレジスタ 42	0000 046A$_H$	10.3.1
ICR43	割込みコントロールレジスタ 43	0000 046B$_H$	10.3.1
ICR44	割込みコントロールレジスタ 44	0000 046C$_H$	10.3.1
ICR45	割込みコントロールレジスタ 45	0000 046D$_H$	10.3.1
ICR46	割込みコントロールレジスタ 46	0000 046E$_H$	10.3.1
ICR47	割込みコントロールレジスタ 47	0000 046F$_H$	10.3.1
ICS01	インプットキャプチャ状態制御レジスタ 01	0000 021D$_H$	18.4.1
ICS23	インプットキャプチャ状態制御レジスタ 23	0000 021F$_H$	18.4.1
ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	0000 04F0$_H$	32.3.2
ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	0000 04F1$_H$	32.3.3
ICSEL4	周辺機能による DMA 転送要求のクリア選択レジスタ 4	0000 04F4$_H$	32.3.4
ICSEL6	周辺機能による DMA 転送要求のクリア選択レジスタ 6	0000 04F6$_H$	32.3.5
ICSEL7	周辺機能による DMA 転送要求のクリア選択レジスタ 7	0000 04F7$_H$	32.3.6
ICSEL8	周辺機能による DMA 転送要求のクリア選択レジスタ 8	0000 04F8$_H$	32.3.7
ICSEL10	周辺機能による DMA 転送要求のクリア選択レジスタ 10	0000 04FA$_H$	32.3.8
ICSEL11	周辺機能による DMA 転送要求のクリア選択レジスタ 11	0000 04FB$_H$	32.3.9
IORR0	IO 転送要求設定レジスタ 0	0000 0490$_H$	32.3.1
IORR1	IO 転送要求設定レジスタ 1	0000 0491$_H$	32.3.1
IORR2	IO 転送要求設定レジスタ 2	0000 0492$_H$	32.3.1
IORR3	IO 転送要求設定レジスタ 3	0000 0493$_H$	32.3.1
IORR4	IO 転送要求設定レジスタ 4	0000 0494$_H$	32.3.1
IORR5	IO 転送要求設定レジスタ 5	0000 0495$_H$	32.3.1
IORR6	IO 転送要求設定レジスタ 6	0000 0496$_H$	32.3.1
IORR7	IO 転送要求設定レジスタ 7	0000 0497$_H$	32.3.1
IPCP0	インプットキャプチャデータレジスタ 0	0000 020C$_H$	18.4.2
IPCP1	インプットキャプチャデータレジスタ 1	0000 0210$_H$	18.4.2
IPCP2	インプットキャプチャデータレジスタ 2	0000 0214$_H$	18.4.2
IPCP3	インプットキャプチャデータレジスタ 3	0000 0218$_H$	18.4.2

IRPR0H	割込み要求一括読出し機能レジスタ 0 上位	0000 01B0$_H$	11.3.1
IRPR1H	割込み要求一括読出し機能レジスタ 1 上位	0000 01B2$_H$	11.3.2
IRPR3H	割込み要求一括読出し機能レジスタ 3 上位	0000 01B6$_H$	11.3.4
IRPR4H	割込み要求一括読出し機能レジスタ 4 上位	0000 01B8$_H$	11.3.5
IRPR5H	割込み要求一括読出し機能レジスタ 5 上位	0000 01BA$_H$	11.3.6
IRPR1L	割込み要求一括読出し機能レジスタ 1 下位	0000 01B3$_H$	11.3.2
IRPR2L	割込み要求一括読出し機能レジスタ 2 下位	0000 01B5$_H$	11.3.3
IRPR5L	割込み要求一括読出し機能レジスタ 5 下位	0000 01BB$_H$	11.3.7
IRPR7L	割込み要求一括読出し機能レジスタ 7 下位	0000 01BF$_H$	11.3.8
ISBA1	7 ビットスレーブアドレスレジスタ 1	0000 0071$_H$	24.21.7
ISBA2	7 ビットスレーブアドレスレジスタ 2	0000 007D$_H$	24.21.7
ISBA3	7 ビットスレーブアドレスレジスタ 3	0000 0089$_H$	24.21.7
ISBA8	7 ビットスレーブアドレスレジスタ 8	0000 00D9$_H$	24.21.7
ISBA9	7 ビットスレーブアドレスレジスタ 9	0000 00E9$_H$	24.21.7
ISBA10	7 ビットスレーブアドレスレジスタ 10	0000 00F9$_H$	24.21.7
ISBA11	7 ビットスレーブアドレスレジスタ 11	0000 0109$_H$	24.21.7
ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	0000 0070$_H$	24.21.6
ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	0000 007C$_H$	24.21.6
ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	0000 0088$_H$	24.21.6
ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	0000 00D8$_H$	24.21.6
ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	0000 00E8$_H$	24.21.6
ISMK10	7 ビットスレーブアドレスマスクレジスタ 10	0000 00F8$_H$	24.21.6
ISMK11	7 ビットスレーブアドレスマスクレジスタ 11	0000 0108$_H$	24.21.6

M

MTMCR	メインタイマ制御レジスタ	0000 0512$_H$	6.3.1
MOSD_CBC0	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4040$_H$	30.4.14
MOSD_CBC1	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4044$_H$	30.4.14
MOSD_CBC2	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4048$_H$	30.4.14
MOSD_CBC3	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 404C$_H$	30.4.14
MOSD_CBC4	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4050$_H$	30.4.14
MOSD_CBC5	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4054$_H$	30.4.14
MOSD_CBC6	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 4058$_H$	30.4.14
MOSD_CBC7	文字背景文字コード設定 (MAIN/OSDC 動作)	0000 405C$_H$	30.4.14
MOSD_CDP1	表示期間制御 1(MAIN/OSDC 動作)	0000 4064$_H$	30.4.16
MOSD_CDP2	表示期間制御 2 (MAIN/OSDC 動作)	0000 4068$_H$	30.4.16
MOSD_CDS1	文字データ設定 1 (MAIN/OSDC 動作)	0000 4004$_H$	30.4.3
MOSD_CDS2	文字データ設定 2 (MAIN/OSDC 動作)	0000 4008$_H$	30.4.3
MOSD_GRCC	グラフィック色制御 (MAIN/OSDC 動作)	0000 4020$_H$	30.4.8
MOSD_HVDP	画面表示位置制御 (MAIN/OSDC 動作)	0000 4018$_H$	30.4.6
MOSD_INTC	割込み制御 (MAIN/OSDC 動作)	0000 406C$_H$	30.4.17
MOSD_IOTC	入出力端子制御 (MAIN/OSDC 動作)	0000 4060$_H$	30.4.15
MOSD_LDS1	行制御データ設定 1 (MAIN/OSDC 動作)	0000 400C$_H$	30.4.4

MOSD_LDS2	行制御データ設定 2 (MAIN/OSDC 動作)	0000 4010$_H$	30.4.4
MOSD_OSDC	OSDC 動作制御 (MAIN/OSDC 動作)	0000 4400$_H$	30.4.20
MOSD_PL0 ～ MOSD_PL127	パレット制御 (MAIN/OSDC 動作)	0000 4200$_H$～ 0000 43FC$_H$	30.4.19
MOSD_PLLC	PLL クロック制御 (MAIN/OSDC 動作)	0000 4404$_H$	30.4.21
MOSD_SBC0	影付背景枠色制御 (MAIN/OSDC 動作)	0000 4070$_H$	30.4.18
MOSD_SBC1	影付背景枠色制御 (MAIN/OSDC 動作)	0000 4074$_H$	30.4.18
MOSD_SBC2	影付背景枠色制御 (MAIN/OSDC 動作)	0000 4078$_H$	30.4.18
MOSD_SBC3	影付背景枠色制御 (MAIN/OSDC 動作)	0000 407C$_H$	30.4.18
MOSD_SBCC	画面背景文字制御 (MAIN/OSDC 動作)	0000 4024$_H$	30.4.9
MOSD_SCBC	画面背景制御 (MAIN/OSDC 動作)	0000 4028$_H$	30.4.10
MOSD_SCOC	画面出力制御 (MAIN/OSDC 動作)	0000 4014$_H$	30.4.5
MOSD_SPC1	スプライト文字制御 1 (MAIN/OSDC 動作)	0000 4034$_H$	30.4.12
MOSD_SPC2	スプライト文字制御 2 (MAIN/OSDC 動作)	0000 4038$_H$	30.4.12
MOSD_SYNC	同期制御 (MAIN/OSDC 動作)	0000 403C$_H$	30.4.13
MOSD_TSBC	透明色制御 (MAIN/OSDC 動作)	0000 401C$_H$	30.4.7
MOSD_VADR	VRAM 書き込みアドレス設定 (MAIN/OSDC 動作)	0000 4000$_H$	30.4.2
MOSD_WPC1	ウィンドウ期間制御 1 (MAIN/OSDC 動作)	0000 402C$_H$	30.4.11
MOSD_WPC2	ウィンドウ期間制御 2 (MAIN/OSDC 動作)	0000 4030$_H$	30.4.11

O

OCCP0	アウトプットコンペアレジスタ 0	0000 0234$_H$	19.4.1
OCCP1	アウトプットコンペアレジスタ 1	0000 0238$_H$	19.4.1
OCCP2	アウトプットコンペアレジスタ 2	0000 023C$_H$	19.4.1
OCCP3	アウトプットコンペアレジスタ 3	0000 0240$_H$	19.4.1
OCSH1	コンペア制御レジスタ上位 1	0000 0244$_H$	19.4.2
OCSH3	コンペア制御レジスタ上位 3	0000 0246$_H$	19.4.2
OCSL0	コンペア制御レジスタ下位 0	0000 0245$_H$	19.4.3
OCSL2	コンペア制御レジスタ下位 2	0000 0247$_H$	19.4.3

P

PCCR0	優先変換コントロールレジスタ 0	0000 012C$_H$	23.4.7
PCFD0	優先変換 FIFO データレジスタ 0	0000 012E$_H$	23.4.9
PCIS0	優先変換入力選択レジスタ 0	0000 0130$_H$	23.4.10
PCR0	プルアップ制御レジスタ 0	0000 0420$_H$	13.4.5
PCR1	プルアップ制御レジスタ 1	0000 0421$_H$	13.4.5
PCR5	プルアップ制御レジスタ 5	0000 0425$_H$	13.4.5
PCR7	プルアップ制御レジスタ 7	0000 0427$_H$	13.4.5
PDR0	ポートデータレジスタ 0	0000 0000$_H$	13.4.4
PDR1	ポートデータレジスタ 1	0000 0001$_H$	13.4.4
PDR2	ポートデータレジスタ 2	0000 0002$_H$	13.4.4
PDR3	ポートデータレジスタ 3	0000 0003$_H$	13.4.4
PDR5	ポートデータレジスタ 5	0000 0005$_H$	13.4.4

PDR7	ポートデータレジスタ 7	0000 0007$_H$	13.4.4
PDRK	ポートデータレジスタ K	0000 0014$_H$	13.4.4
PFNS0	優先 FIFO 段数設定レジスタ 0	0000 012D$_H$	23.4.8
PFR0	ポート機能レジスタ 0	0000 04A0$_H$	13.4.2
PFR1	ポート機能レジスタ 1	0000 04A1$_H$	13.4.2
PFR2	ポート機能レジスタ 2	0000 04A2$_H$	13.4.2
PFR3	ポート機能レジスタ 3	0000 04A3$_H$	13.4.2
PFR5	ポート機能レジスタ 5	0000 04A5$_H$	13.4.2
PFR7	ポート機能レジスタ 7	0000 04A7$_H$	13.4.2
PLLCR	PLL 設定レジスタ	0000 0514$_H$	4.4.4

R

RCADR1	デバイスアドレス設定レジスタ 1	0000 0026$_H$	29.2.3
RCADR2	デバイスアドレス設定レジスタ 2	0000 0027$_H$	29.2.3
RCCKD	クロック分周レジスタ	0000 002C$_H$	29.2.8
RCCR	リモコン受信制御レジスタ	0000 0020$_H$	29.2.1
RCDAHW	"H" 幅設定レジスタ A	0000 0023$_H$	29.2.5
RCDBHW	"H" 幅設定レジスタ B	0000 0024$_H$	29.2.6
RCDTHH	データ格納レジスタ HH	0000 0028$_H$	29.2.7
RCDTHL	データ格納レジスタ HL	0000 0029$_H$	29.2.7
RCDTLH	データ格納レジスタ LH	0000 002A$_H$	29.2.7
RCDTLL	データ格納レジスタ LL	0000 002B$_H$	29.2.7
RCSHW	スタートビット "H" 幅設定レジスタ	0000 0022$_H$	29.2.4
RCST	リモコン受信割込み制御レジスタ	0000 0021$_H$	29.2.2
RDR0	受信データレジスタ 0	0000 0064$_H$	24.4.5 , 24.13.5
RDR1	受信データレジスタ 1	0000 006C$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR2	受信データレジスタ 2	0000 0078$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR3	受信データレジスタ 3	0000 0084$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR8	受信データレジスタ 8	0000 00D4$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR9	受信データレジスタ 9	0000 00E4$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR10	受信データレジスタ 10	0000 00F4$_H$	24.4.5 , 24.13.5 , 24.21.5
RDR11	受信データレジスタ 11	0000 0104$_H$	24.4.5 , 24.13.5 , 24.21.5
RDRM0	受信データミラーレジスタ 0	0000 00C0$_H$	24.13.11
RDRM1	受信データミラーレジスタ 1	0000 00C1$_H$	24.13.11
RDRM2	受信データミラーレジスタ 2	0000 00C2$_H$	24.13.11
RDRM3	受信データミラーレジスタ 3	0000 00C3$_H$	24.13.11
RSTCR	リセット制御レジスタ	0000 0481$_H$	9.4.2
RSTRR	リセット要因レジスタ	0000 0480$_H$	9.4.1

S

SCCR0	スキャン変換コントロールレジスタ 0	0000 0124$_H$	23.4.3
SCFD0	スキャン変換 FIFO データレジスタ 0	0000 0126$_H$	23.4.5
SCIS00	スキャン変換入力選択レジスタ 00	0000 012B$_H$	23.4.6

SCR0	シリアル制御レジスタ 0	0000 0060$_H$	24.4.1 , 24.13.1
SCR1	シリアル制御レジスタ 1	0000 0068$_H$	24.4.1 , 24.13.1
SCR2	シリアル制御レジスタ 2	0000 0074$_H$	24.4.1 , 24.13.1
SCR3	シリアル制御レジスタ 3	0000 0080$_H$	24.4.1 , 24.13.1
SCR8	シリアル制御レジスタ 8	0000 00D0$_H$	24.4.1 , 24.13.1
SCR9	シリアル制御レジスタ 9	0000 00E0$_H$	24.4.1 , 24.13.1
SCR10	シリアル制御レジスタ 10	0000 00F0$_H$	24.4.1 , 24.13.1
SCR11	シリアル制御レジスタ 11	0000 0100$_H$	24.4.1 , 24.13.1
SFNS0	スキャン変換 FIFO 段数設定レジスタ 0	0000 0125$_H$	23.4.4
SLPRR	スリープレート設定レジスタ	0000 0483$_H$	8.3.2
SMR0	シリアルモードレジスタ 0	0000 0061$_H$	24.4.2 , 24.13.2
SMR1	シリアルモードレジスタ 1	0000 0069$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR2	シリアルモードレジスタ 2	0000 0075$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR3	シリアルモードレジスタ 3	0000 0081$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR8	シリアルモードレジスタ 8	0000 00D1$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR9	シリアルモードレジスタ 9	0000 00E1$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR10	シリアルモードレジスタ 10	0000 00F1$_H$	24.4.2 , 24.13.2 , 24.21.2
SMR11	シリアルモードレジスタ 11	0000 0101$_H$	24.4.2 , 24.13.2 , 24.21.2
SOSD_CDS1	文字データ設定 1(SUB 動作)	0000 4104$_H$	30.5.3
SOSD_CDS2	文字データ設定 2(SUB 動作)	0000 4108$_H$	30.5.3
SOSD_GRCC	グラフィック色制御 (SUB 動作)	0000 4120$_H$	30.5.8
SOSD_HVDP	画面表示位置制御 (SUB 動作)	0000 4118$_H$	30.5.6
SOSD_INTC	割込み制御 (SUB 動作)	0000 416C$_H$	30.5.12
SOSD_LDS1	行制御データ設定 1 (SUB 動作)	0000 410C$_H$	30.5.4
SOSD_LDS2	行制御データ設定 2 (SUB 動作)	0000 4110$_H$	30.5.4
SOSD_SBC0	影付背景枠色制御 (SUB 動作)	0000 4170$_H$	30.5.13
SOSD_SBC1	影付背景枠色制御 (SUB 動作)	0000 4174$_H$	30.5.13
SOSD_SBC2	影付背景枠色制御 (SUB 動作)	0000 4178$_H$	30.5.13
SOSD_SBC3	影付背景枠色制御 (SUB 動作)	0000 417C$_H$	30.5.13
SOSD_SCBC	画面背景制御 (SUB 動作)	0000 4128$_H$	30.5.9
SOSD_SCOC	画面出力制御 (SUB 動作)	0000 4114$_H$	30.5.5
SOSD_SPC1	スプライト文字制御 1 (SUB 動作)	0000 4134$_H$	30.5.11
SOSD_SPC2	スプライト文字制御 2 (SUB 動作)	0000 4138$_H$	30.5.11
SOSD_TSBC	透明色制御 (SUB 動作)	0000 411C$_H$	30.5.7
SOSD_VADR	VRAM 書き込みアドレス設定 (SUB 動作)	0000 4100$_H$	30.5.2
SOSD_WPC1	ウィンドウ期間制御 1 (SUB 動作)	0000 412C$_H$	30.5.10
SOSD_WPC2	ウィンドウ期間制御 2 (SUB 動作)	0000 4130$_H$	30.5.10
SSEL0123	シリアルモード選択レジスタ 0123	0000 00C8$_H$	24.13.10
SSR0	シリアルステータスレジスタ 0	0000 0062$_H$	24.4.3 , 24.13.3
SSR1	シリアルステータスレジスタ 1	0000 006A$_H$	24.4.3 , 24.13.3 , 24.21.4
SSR2	シリアルステータスレジスタ 2	0000 0076$_H$	24.4.3 , 24.13.3 , 24.21.4
SSR3	シリアルステータスレジスタ 3	0000 0082$_H$	24.4.3 , 24.13.3 , 24.21.4
SSR8	シリアルステータスレジスタ 8	0000 00D2$_H$	24.4.3 , 24.13.3 , 24.21.4
SSR9	シリアルステータスレジスタ 9	0000 00E2$_H$	24.4.3 , 24.13.3 , 24.21.4

SSR10	シリアルステータスレジスタ 10	0000 00F2$_H$	24.4.3 , 24.13.3 , 24.21.4
SSR11	シリアルステータスレジスタ 11	0000 0102$_H$	24.4.3 , 24.13.3 , 24.21.4
STBCR	スタンバイ制御レジスタ	0000 0482$_H$	8.3.1
STMCR	サブタイマ制御レジスタ	0000 0513$_H$	7.3.1

T

TCCSH0	タイマ状態制御レジスタ上位 0	0000 0208$_H$	17.4.3
TCCSL0	タイマ状態制御レジスタ下位 0	0000 0209$_H$	17.4.3
TCDT0	タイマデータレジスタ 0	0000 0204$_H$	17.4.2
TDR0	送信データレジスタ 0	0000 0064$_H$	24.4.5 , 24.13.5
TDR1	送信データレジスタ 1	0000 006C$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR2	送信データレジスタ 2	0000 0078$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR3	送信データレジスタ 3	0000 0084$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR8	送信データレジスタ 8	0000 00D4$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR9	送信データレジスタ 9	0000 00E4$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR10	送信データレジスタ 10	0000 00F4$_H$	24.4.5 , 24.13.5 , 24.21.5
TDR11	送信データレジスタ 11	0000 0104$_H$	24.4.5 , 24.13.5 , 24.21.5
TDRM0	送信データミラーレジスタ 0	0000 00C0$_H$	24.13.11
TDRM1	送信データミラーレジスタ 1	0000 00C1$_H$	24.13.11
TDRM2	送信データミラーレジスタ 2	0000 00C2$_H$	24.13.11
TDRM3	送信データミラーレジスタ 3	0000 00C3$_H$	24.13.11
TMCSR0	コントロールステータスレジスタ 0	0000 004E$_H$	20.4.1
TMCSR1	コントロールステータスレジスタ 1	0000 0056$_H$	20.4.1
TMCSR2	コントロールステータスレジスタ 2	0000 005E$_H$	20.4.1
TMR0	16 ビットタイマレジスタ 0	0000 004A$_H$	20.4.3
TMR1	16 ビットタイマレジスタ 1	0000 0052$_H$	20.4.3
TMR2	16 ビットタイマレジスタ 2	0000 005A$_H$	20.4.3
TMRLRA0	16 ビットタイマリロードレジスタ A0	0000 0048$_H$	20.4.2
TMRLRA1	16 ビットタイマリロードレジスタ A1	0000 0050$_H$	20.4.2
TMRLRA2	16 ビットタイマリロードレジスタ A2	0000 0058$_H$	20.4.2
TMSP	タイムスタンプレジスタ	0000 213C$_H$	27.3.6

U

UCCR	USB クロック設定レジスタ	0000 051C$_H$	25.3.1
UDCC	UDC 制御レジスタ	0000 2121$_H$	27.3.3
UDCIE	UDC 割込み許可レジスタ	0000 2140$_H$	27.3.8
UDCS	UDC ステータスレジスタ	0000 2141$_H$	27.3.7
USBEN	USB 許可レジスタ	0000 21A6$_H$	27.3.2
USBSEL	USB 選択レジスタ	0000 21A5$_H$	27.3.1

W

WCCR	時計カウンタ制御レジスタ	0000 051A$_H$	16.3.2
WCRD	時計カウンタリードレジスタ	0000 0518$_H$	16.3.3
WCRL	時計カウンタリロードレジスタ	0000 0519$_H$	16.3.1
WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	0000 003D$_H$	15.3.2
WDTCPR1	ウォッチドッグタイマ 1 クリアレジスタ	0000 003F$_H$	15.3.4
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	0000 003C$_H$	15.3.1
WDTCR1	ウォッチドッグタイマ 1 制御レジスタ	0000 003E$_H$	15.3.3
WRAR00	ワイルドレジスタアドレスレジスタ 00	0000 0380$_H$	35.3.1
WRAR01	ワイルドレジスタアドレスレジスタ 01	0000 0388$_H$	35.3.1
WRAR02	ワイルドレジスタアドレスレジスタ 02	0000 0390$_H$	35.3.1
WRAR03	ワイルドレジスタアドレスレジスタ 03	0000 0398$_H$	35.3.1
WRAR04	ワイルドレジスタアドレスレジスタ 04	0000 03A0$_H$	35.3.1
WRAR05	ワイルドレジスタアドレスレジスタ 05	0000 03A8$_H$	35.3.1
WRAR06	ワイルドレジスタアドレスレジスタ 06	0000 03B0$_H$	35.3.1
WRAR07	ワイルドレジスタアドレスレジスタ 07	0000 03B8$_H$	35.3.1
WRAR08	ワイルドレジスタアドレスレジスタ 08	0000 03C0$_H$	35.3.1
WRAR09	ワイルドレジスタアドレスレジスタ 09	0000 03C8$_H$	35.3.1
WRAR10	ワイルドレジスタアドレスレジスタ 10	0000 03D0$_H$	35.3.1
WRAR11	ワイルドレジスタアドレスレジスタ 11	0000 03D8$_H$	35.3.1
WRAR12	ワイルドレジスタアドレスレジスタ 12	0000 03E0$_H$	35.3.1
WRAR13	ワイルドレジスタアドレスレジスタ 13	0000 03E8$_H$	35.3.1
WRAR14	ワイルドレジスタアドレスレジスタ 14	0000 03F0$_H$	35.3.1
WRAR15	ワイルドレジスタアドレスレジスタ 15	0000 03F8$_H$	35.3.1
WRDR00	ワイルドレジスタデータレジスタ 00	0000 0384$_H$	35.3.2
WRDR01	ワイルドレジスタデータレジスタ 01	0000 038C$_H$	35.3.2
WRDR02	ワイルドレジスタデータレジスタ 02	0000 0394$_H$	35.3.2
WRDR03	ワイルドレジスタデータレジスタ 03	0000 039C$_H$	35.3.2
WRDR04	ワイルドレジスタデータレジスタ 04	0000 03A4$_H$	35.3.2
WRDR05	ワイルドレジスタデータレジスタ 05	0000 03AC$_H$	35.3.2
WRDR06	ワイルドレジスタデータレジスタ 06	0000 03B4$_H$	35.3.2
WRDR07	ワイルドレジスタデータレジスタ 07	0000 03BC$_H$	35.3.2
WRDR08	ワイルドレジスタデータレジスタ 08	0000 03C4$_H$	35.3.2
WRDR09	ワイルドレジスタデータレジスタ 09	0000 03CC$_H$	35.3.2
WRDR10	ワイルドレジスタデータレジスタ 10	0000 03D4$_H$	35.3.2
WRDR11	ワイルドレジスタデータレジスタ 11	0000 03DC$_H$	35.3.2
WRDR12	ワイルドレジスタデータレジスタ 12	0000 03E4$_H$	35.3.2
WRDR13	ワイルドレジスタデータレジスタ 13	0000 03EC$_H$	35.3.2
WRDR14	ワイルドレジスタデータレジスタ 14	0000 03F4$_H$	35.3.2
WRDR15	ワイルドレジスタデータレジスタ 15	0000 03FC$_H$	35.3.2
WREN	ワイルドレジスタデータイネーブルレジスタ	0000 033A$_H$	35.3.3

付録 C　割込みベクタ

本製品の割込みベクタテーブルについて説明します。割込み要因と割込みベクタおよび割込みコントロールレジスタ (ICR00 ～ ICR47) の割り当てが配置されています。

割込み要因 (周辺機能)	番号		割込みレベル設定レジスタ	オフセット	TBR 初期値時のアドレス
	10 進	16 進			
リセット	0	00	—	$3FC_H$	000F $FFFC_H$
システム予約	1	01	—	$3F8_H$	000F $FFF8_H$
システム予約	2	02	—	$3F4_H$	000F $FFF4_H$
システム予約	3	03	—	$3F0_H$	000F $FFF0_H$
システム予約	4	04	—	$3EC_H$	000F $FFEC_H$
システム予約	5	05	—	$3E8_H$	000F $FFE8_H$
システム予約	6	06	—	$3E4_H$	000F $FFE4_H$
システム予約	7	07	—	$3E0_H$	000F $FFE0_H$
システム予約	8	08	—	$3DC_H$	000F $FFDC_H$
INTE 命令	9	09	—	$3D8_H$	000F $FFD8_H$
命令ブレーク例外	10	0A	—	$3D4_H$	000F $FFD4_H$
オペランドブレーク	11	0B	—	$3D0_H$	000F $FFD0_H$
ステップトレーストラップ	12	0C	—	$3CC_H$	000F $FFCC_H$
システム予約	13	0D	—	$3C8_H$	000F $FFC8_H$
未定義命令例外	14	0E	—	$3C4_H$	000F $FFC4_H$
—	15	0F	15 (F_H) 固定	$3C0_H$	000F $FFC0_H$
外部割込み要求 ch.0 ～ ch.7	16	10	ICR00	$3BC_H$	000F $FFBC_H$
外部割込み要求 ch.8 ～ ch.15	17	11	ICR01	$3B8_H$	000F $FFB8_H$
予約	18	12	ICR02	$3B4_H$	000F $FFB4_H$
予約	19	13	ICR03	$3B0_H$	000F $FFB0_H$
16 ビットリロードタイマ ch.0 ～ ch.2	20	14	ICR04	$3AC_H$	000F $FFAC_H$
UART/CSIO ch.0 の受信割込み要求	21	15	ICR05	$3A8_H$	000F $FFA8_H$
UART/CSIO ch.0 の送信割込み要求 UART/CSIO ch.0 の送信バスアイドル割込み要求	22	16	ICR06	$3A4_H$	000F $FFA4_H$
UART/CSIO/ I^2C ch.1 の受信割込み要求	23	17	ICR07	$3A0_H$	000F $FFA0_H$
UART/CSIO/ I^2C ch.1 の送信割込み要求 UART/CSIO ch.1 の送信バスアイドル割込み要求	24	18	ICR08	$39C_H$	000F $FF9C_H$
I^2C ch.1 のステータス割込み要求	25	19	ICR09	398_H	000F $FF98_H$
UART/CSIO/ I^2C ch.2 の受信割込み要求	26	1A	ICR10	394_H	000F $FF94_H$
UART/CSIO/ I^2C ch.2 の送信割込み要求 UART/CSIO ch.2 の送信バスアイドル割込み要求	27	1B	ICR11	390_H	000F $FF90_H$
I^2C ch.2 のステータス割込み要求	28	1C	ICR12	$38C_H$	000F $FF8C_H$
UART/CSIO/ I^2C ch.3 の受信割込み要求	29	1D	ICR13	388_H	000F $FF88_H$

割込み要因 (周辺機能)	番号		割込みレベル設定レジスタ	オフセット	TBR 初期値時のアドレス
	10 進	16 進			
UART/CSIO/ I2C ch.3 の送信割込み要求 UART/CSIO ch.3 の送信バスアイドル割込み要求 I2C ch.3 のステータス割込み要求	30	1E	ICR14	384_H	000F FF84H
予約	31	1F	ICR15	380_H	000F FF80H
予約	32	20	ICR16	$37C_H$	000F FF7CH
予約	33	21	ICR17	378_H	000F FF78H
予約	34	22	ICR18	374_H	000F FF74H
予約	35	23	ICR19	370_H	000F FF70H
予約	36	24	ICR20	$36C_H$	000F FF6CH
予約	37	25	ICR21	368_H	000F FF68H
予約	38	26	ICR22	364_H	000F FF64H
UART/CSIO/ I2C ch.8 ～ ch.11 の受信割込み要求 UART/CSIO/ I2C ch.8 ～ ch.11 の送信割込み要求 UART/CSIO ch.8 ～ ch.11 の送信バスアイドル割込み要求 UART/CSIO/ I2C ch.8 ～ ch.11 の送信 FIFO 割込み要求 I2C ch.8 ～ ch.11 のステータス割込み要求	39	27	ICR23	360_H	000F FF60H
HDMI-CEC/ リモコン受信	40	28	ICR24	$35C_H$	000F FF5CH
メインタイマ / サブタイマ / 時計カウンタ	41	29	ICR25	358_H	000F FF58H
10 ビット A/D コンバータ ・スキャン変換割込み要求 ・優先変換割込み要求 ・FIFO オーバラン割込み要求 ・変換結果比較割込み要求	42	2A	ICR26	354_H	000F FF54H
32 ビットフリーランタイマ ch.0	43	2B	ICR27	350_H	000F FF50H
32 ビットインプットキャプチャ ch.0 ～ ch.3	44	2C	ICR28	$34C_H$	000F FF4CH
32 ビットアウトプットコンペア ch.0 ～ ch.3	45	2D	ICR29	348_H	000F FF48H
ベースタイマ ch.0	46	2E	ICR30	344_H	000F FF44H
ベースタイマ ch.1	47	2F	ICR31	340_H	000F FF40H
ベースタイマ ch.2	48	30	ICR32	$33C_H$	000F FF3CH
ベースタイマ ch.3	49	31	ICR33	338_H	000F FF38H
ベースタイマ ch.4, ch.5	50	32	ICR34	334_H	000F FF34H
ベースタイマ ch.6, ch.7	51	33	ICR35	330_H	000F FF30H
予約	52	34	ICR36	$32C_H$	000F FF2CH
OSDC (メイン)	53	35	ICR37	328_H	000F FF28H
USB ファンクション (End point 1 ～ 5 の DRQ)	54	36	ICR38	324_H	000F FF24H
USB ファンクション (End point 0 の DRQI, DRQO と各ステータス)/USB ホスト (各ステータス)	55	37	ICR39	320_H	000F FF20H
OSDC (サブ)	56	38	ICR40	$31C_H$	000F FF1CH
DMA コントローラ (DMAC) ch.0	57	39	ICR41	318_H	000F FF18H
DMA コントローラ (DMAC) ch.1	58	3A	ICR42	314_H	000F FF14H
DMA コントローラ (DMAC) ch.2	59	3B	ICR43	310_H	000F FF10H
DMA コントローラ (DMAC) ch.3	60	3C	ICR44	$30C_H$	000F FF0CH
DMA コントローラ (DMAC) ch.4 ～ ch.7	61	3D	ICR45	308_H	000F FF08H
システム予約	62	3E	ICR46	304_H	000F FF04H

割込み要因 (周辺機能)	番号		割込みレベル設定レジスタ	オフセット	TBR 初期値時のアドレス
	10 進	16 進			
遅延割込み	63	3F	ICR47	300_H	000F $FF00_H$
システム予約 (REALOS で使用)	64	40	—	$2FC_H$	000F $FEFC_H$
システム予約 (REALOS で使用)	65	41	—	$2F8_H$	000F $FEF8_H$
INT 命令で使用	66 ～ 255	42 ~ FF	—	$2F4_H$ ～ 000_H	000F $FEF4_H$ ～ 000F $FC00_H$

＊ : USB 割込み要因

番号		USB 割込み要因	詳細内容
10 進	16 進		
54	36	USB ファンクション (End Point1 ～ 5 の DRQ)	DRQ (End Point1 ～ 5)
55	37	USB ファンクション (End Point 0 の DRQI, DRQO と各ステータス)	DRQI, DRQO, SPK, SUSP, SOF, BRST, CONF, WKUP
		USB ホスト (各ステータス)	DIRQ, URIRQ, RWKIRQ, CNNIRQ, SOFIRQ, CMPIRQ

付録 D　CPU の状態における端子状態

CPU の状態と端子の状態を示します。

■ 端子状態

端子の状態として使用している語句は , 以下の意味を持ちます。

- $\overline{\text{INIT}}$="L" 時

  $\overline{\text{INIT}}$ 端子が "L" レベルの期間です。
- $\overline{\text{INIT}}$="H" 時

  $\overline{\text{INIT}}$ 端子が "L" レベルから "H" レベルに遷移した直後の状態です。
- SLVL1

  スタンバイ制御レジスタ (STBCR) にあるスタンバイレベル設定ビットです。
- 入力可

  入力機能が使用可能な状態です。
- 入力不可

  入力機能が使用できない状態です。
- 出力 Hi-Z

  端子駆動用トランジスタを駆動禁止状態にし , 端子を Hi-Z にします。
- 直前状態保持

  本モードになる直前に出力していた状態を保持します。

  内蔵されている周辺機能が動作中であれば , その周辺機能にしたがって出力を行います。

  ポートなどとして出力している場合は , その出力を保持します。
- 内部入力 "0" 固定

  端子からすぐの入力ゲートで外部入力を遮断し , 内部へ "0" を伝えています。
- 割込み機能選択許可時入力可能

  端子機能を外部割込み要求入力端子に設定し , 外部割込み要求を許可している場合にのみ入力できます。

- 端子状態一覧

端子名	機能名	初期値		スリープモード	スタンバイモード	
		$\overline{INIT}$="L" 時	$\overline{INIT}$="H" 時		SLVL1=0	SLVL1=1
$\overline{INIT}$	$\overline{INIT}$	—	—	入力可	入力可	入力可
X0	X0	入力可	入力可		Hi-Z/入力可	Hi-Z/入力可
X1	X1	入力可	入力可		H 出力 / 入力可	H 出力 / 入力可
X0A	X0A($\overline{INIT}$ 入力時は , PK1 参照ポート選択時は , 入力不可)	入力不可	入力不可		Hi-Z/入力可	Hi-Z/入力可
X1A	X1A($\overline{INIT}$ 入力時は , PK0 参照ポート選択時は , 入力不可)	入力不可	入力不可		H 出力 / 入力可	H 出力 / 入力可
MD0	MD0	入力可	入力可		入力可	入力可
MD1	MD1	入力可	入力可			
P00	P00/TIOA0/SOUT0_1/IN0	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-z/内部入力 "0" 固定
P01	P01/TIOB0/SIN0_1/IN1					
P02	P02/TIOA1/SCK0_1/IN2					
P03	P03/TIOB1/IN3					
P04	P04/TIOA2/SOUT1					
P05	P05/TIOB2/SIN1					
P06	P06/TIOA3/SCK1					
P07	P07/TIOB3					
P10	P10/TIOA4/SOUT2/INT0	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-Z/内部入力 "0" 固定 割込み機能選択許可時入力可能
P11	P11/TIOB4/SIN2/INT1					
P12	P12/TIOA5/SCK2/INT2					
P13	P13/TIOB5/INT3					
P14	P14/TIOA6/SOUT3/INT4					
P15	P15/TIOB6/SIN3/INT5					
P16	P16/TIOA7/SCK3/INT6					
P17	P17/TIOB7/INT7					
P20	P20/SOUT8	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-z/内部入力 "0" 固定
P21	P21/SIN8					
P22	P22/SCK8					
P23	P23/RCIN_1					
P24	P24/SOUT9/OUT0					
P25	P25/SIN9/OUT1					
P26	P26/SCK9/OUT2					
P27	P27/OUT3					

端子名	機能名	初期値		スリープモード	スタンバイモード	
		$\overline{INIT}$="L" 時	$\overline{INIT}$="H" 時		SLVL1=0	SLVL1=1
P30	P30/SOUT10/INT8	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能選択許可時入力可能
P31	P31/SIN10/INT9					
P32	P32/SCK10/INT10					
P33	P33/INT11					
P34	P34/SOUT11/INT12					
P35	P35/SIN11/INT13					
P36	P36/SCK11/INT14					
P37	P37/INT15					
P50	P50	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-z/ 内部入力 "0" 固定
P51	P51					
P52	P52					
P53	P53					
P54	P54/RCIN					
P55	P55/ADTRG					
P56	P56/FRCK					
P57	P57					
P70	P70/AN0/OUT0_1	出力 Hi-Z	出力 Hi-Z 入力可 *1	直前状態保持	直前状態保持	出力 Hi-Z/ 内部入力 "0" 固定
P71	P71/AN1/OUT1_1					
P72	P72/AN2/TMO0/OUT2_1					
P73	P73/AN3/TMO1/OUT3_1					
P74	P74/AN4/TMO2					
P75	P75/AN5/SOUT0/TMI0					
P76	P76/AN6/SIN0/TMI1					
P77	P77/AN7/SCK0/TMI2					
PK0	PK0	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持	直前状態保持	出力 Hi-z/ 内部入力 "0" 固定
PK1	PK1					
UDP	UDP(USB)	出力 Hi-Z	出力 Hi-Z 入力可	直前状態保持 / 入力可	直前状態保持	出力 Hi-z/ 内部入力 "0" 固定
UDM	UDM(USB)					
DCKI	DCKI	入力状態	入力可	入力可	入力状態	入力状態
DCKO	DCKO	L 出力	L 出力 / DCK 出力	L 出力 / DCK 出力	L 出力 (OSDC 停止)	L 出力 (OSDC 停止)
VSYNC	VSYNC	入力状態	入力可	入力可	入力状態	入力状態
HSYNC	HSYNC					

*1: アナログ入力優先 (デジタル入力遮断)

端子名	機能名	初期値		スリープモード	スタンバイモード	
		$\overline{INIT}$="L" 時	$\overline{INIT}$="H" 時		SLVL1=0	SLVL1=1
R4 ～ R0	R4 ～ R0	L 出力	L 出力 / R 出力	L 出力 / R 出力	L 出力 (OSDC 停止)	L 出力 (OSDC 停止)
G5 ～ G0	G5 ～ G0		L 出力 / G 出力	L 出力 / G 出力		
B4 ～ B0	B4 ～ B0		L 出力 / B 出力	L 出力 / B 出力		
VOA2 ～ VOA0	VOA2 ～ VOA0		L 出力 / VOA 出力	L 出力 / VOA 出力		
VOB	VOB		L 出力 / VOB 出力	L 出力 / VOB 出力		
ROUT	ROUT		L 出力 / ROUT 出力	L 出力 / ROUT 出力		
GOUT	GOUT		L 出力 / GOUT 出力	L 出力 / GOUT 出力		
BOUT	BOUT		L 出力 / BOUT 出力	L 出力 / BOUT 出力		
HWDE	HWDE	入力状態	入力可	入力可	入力状態	入力状態

- 端子状態一覧 (シリアルライタモード)

端子名	機能名	初期値	非同期シリアル書き込み時	同期シリアル書き込み時
		$\overline{INIT}$ = "L"	$\overline{INIT}$ = "H"	
$\overline{INIT}$	$\overline{INIT}$	—	—	—
X0	X0	入力可	入力可	入力可
X1	X1	入力可	入力可	入力可
X0A	X0A ($\overline{INIT}$ 入力時は , PK1 参照。 ポート選択時は , 入力不可)	入力不可	入力不可	入力不可
X1A	X1A ($\overline{INIT}$ 入力時は , PK0 参照。 ポート選択時は , 入力不可)	入力不可	入力不可	入力不可
MD0	MD0	入力可	入力可	入力可
MD1	MD1	入力可	入力可	入力可
P00	P00/TIOA0/SOUT0_1/IN0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P01	P01/TIOB0/SIN0_1/IN1			
P02	P02/TIOA1/SCK0_1/IN2			
P03	P03/TIOB1/IN3			
P04	P04/TIOA2/SOUT1			
P05	P05/TIOB2/SIN1			
P06	P06/TIOA3/SCK1			
P07	P07/TIOB3			
P10	P10/TIOA4/SOUT2/INT0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P11	P11/TIOB4/SIN2/INT1			
P12	P12/TIOA5/SCK2/INT2			
P13	P13/TIOB5/INT3			
P14	P14/TIOA6/SOUT3/INT4			
P15	P15/TIOB6/SIN3/INT5			
P16	P16/TIOA7/SCK3/INT6			
P17	P17/TIOB7/INT7			

端子名	機能名	初期値	非同期シリアル書き込み時	同期シリアル書き込み時
		$\overline{INIT}$ = "L"	$\overline{INIT}$ = "H"	
P20	P20/SOUT8	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P21	P21/SIN8			
P22	P22/SCK8			
P23	P23/RCIN_1			
P24	P24/SOUT9/OUT0			
P25	P25/SIN9/OUT1			
P26	P26/SCK9/OUT2			
P27	P27/OUT3			
P30	P30/SOUT10/INT8	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P31	P31/SIN10/INT9			
P32	P32/SCK10/INT10			
P33	P33/INT11			
P34	P34/SOUT11/INT12			
P35	P35/SIN11/INT13			
P36	P36/SCK11/INT14			
P37	P37/INT15			
P50	P50	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P51	P51			
P52	P52			
P53	P53			
P54	P54/RCIN			
P55	P55/ADTRG			
P56	P56/FRCK			
P57	P57			

端子名	機能名	初期値	非同期シリアル書き込み時	同期シリアル書き込み時
		$\overline{INIT}$ = "L"	$\overline{INIT}$ = "H"	
P70	P70/AN0/OUT0_1	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P71	P71/AN1/OUT1_1			
P72	P72/AN2/TMO0/OUT2_1			
P73	P73/AN3/TMO1/OUT3_1			
P74	P74/AN4/TMO2			
P75	P75/AN5/SOUT0/TMI0		出力	出力
P76	P76/AN6/SIN0/TMI1		出力 Hi-Z 入力可	出力 Hi-Z 入力可
P77	P77/AN7/SCK0/TMI2			
PK0	PK0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
PK1	PK1			
UDP	UDP (USB)	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
UDM	UDM (USB)			
DCKI	DCKI	入力状態	入力可	入力可
DCKO	DCKO	L 出力	L 出力	L 出力
VSYNC	VSYNC	入力状態	入力可	入力可
HSYNC	HSYNC			
R4 ～ R0	R4 ～ R0	L 出力	L 出力	L 出力
G5 ～ G0	G5 ～ G0			
B4 ～ B0	B4 ～ B0			
VOA2 ～ VOA0	VOA2 ～ VOA0			
VOB	VOB			
ROUT	ROUT	L 出力	L 出力	L 出力
GOUT	GOUT			
BOUT	BOUT			
HWDE	HWDE	入力状態	入力可	入力可

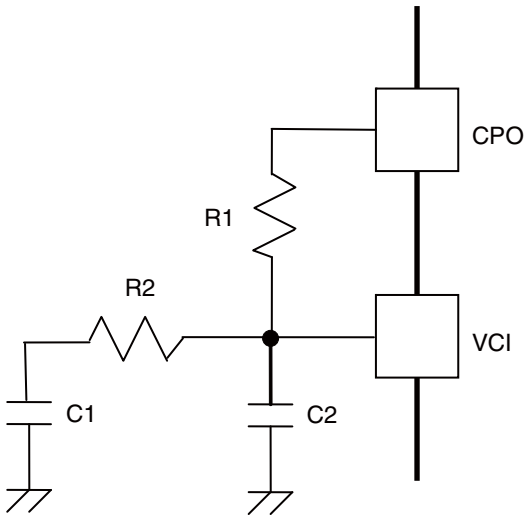
付録 E　ドットクロック生成用 PLL について

ドットクロック生成用 PLL の LPF 構成例および設定例を示します。

■ PLL について

ドットクロック生成用の内蔵 PLL には , 発振周波数に応じた VCO があります。

また , 下図のような LPF を CPO 端子に接続する必要があります。



LPF の定数については , 発振周波数に依存しますので , 推奨値に関しては , お問い合わせください。

以下は設定例となります。

No.	HSYNC (KHz)	PLL (MHz)	VCO	外付け LPF			
				R1 (KΩ)	R2 (Ω)	C1(μF)	C2 (pF)
1	15.734	32.223	VCO1	3.3	510	0.33	100

付録 F　命令一覧

FR80 ファミリ CPU の命令一覧と命令マップを示します。

F.1　命令一覧表の見かた

命令一覧表および命令細則に用いている記号の意味を説明します。

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD　Rj,Rj	A	A6	1	CCCC		Ri + Rj → Rj	
*ADD　#s5,Rj	C	A4	1	CCCC		Ri + s5 → Ri	
・	・	・	・	・	○	・	
・	・	・	・	・		・	
(1) (2)	(3)	(4)	(5)	(6)	(7)	(8)	

(1) 命令名が示されています。

＊印は , CPU 仕様にはなくアセンブラで命令を拡張または追加した拡張命令です。

(2) オペランドに指定可能なアドレッシングモードを記号で示されています。

記号の意味は , 「■アドレッシングモードの記号 (次項) 」を参照してください。

(3) 命令フォーマットが示されています。

(4) 命令コードが 16 進数表示されています。
(アセンブラ拡張命令では記載されません。)

(5) マシンサイクル数を表しています。

a: メモリアクセスサイクルであり , アクセス対象により変化します。
最小値は 1 サイクルです。

b: 完了していない LD 命令が 4 命令未満であり , LD 動作の対象となるレジスタが後続の命令に参照されない間は , 1 サイクルで動作します。
完了していない LD 命令が 4 命令となった場合 , その時点から最初の LD 命令が完了するまでインタロックがかかり , 実行サイクル数が (メモリアクセスサイクル数－ 命令発行から最初の LD 命令が完了するまでのサイクル数) だけ増加します。

c: 直後の命令が MDH を参照する場合 , インタロックがかかり , 実行サイクル数は増加して 2 となります。それ以外は 1 サイクルとなります。

d: プリフェッチバッファへの命令先読みが完了していない場合 , 最大で 2 サイクルとなります。最小値は 1 サイクルです。

(6) フラグ変化を表しています。

フラグ変化	フラグの意味
C ：変化する	N：ネガティブフラグ
ー：変化しない	Z：ゼロフラグ
0 ：クリア	V：オーバフラグ
1 ：セット	C：キャリフラグ

(7) RMW 系命令時は○が入ります。

(8) 命令動作が表記されています。

■ アドレッシングモードの記号

Ri	: レジスタ直接 (R0 ～ R15, AC, FP, SP)
Rj	: レジスタ直接 (R0 ～ R15, AC, FP, SP)
R13	: レジスタ直接 (R13, AC)
Ps	: レジスタ直接 (プログラムステータスレジスタ)
Rs	: レジスタ直接 (TBR, RP, SSP, USP, MDH, MDL)
#i4	: 4 ビット即値 (ゼロ拡張 :0 ～ 15, マイナス拡張 :-16 ～ -1)
#i8	: 符号なし 8 ビット即値 (0 ～ 255)
#i20	: 符号なし 20 ビット即値 (-0x80000 ～ 0xFFFFF) *1
#i32	: 符号なし 32 ビット即値 (-0x80000000 ～ 0xFFFFFFFF) *2
#s5	: 符号付き 5 ビット即値 (-16 ～ 15)
#s10	: 符号付き 10 ビット即値 (-512 ～ 508 4 の倍数のみ)
#u4	: 符号なし 4 ビット即値 (0 ～ 15)
#u5	: 符号なし 5 ビット即値 (0 ～ 31)
#u8	: 符号なし 8 ビット即値 (0 ～ 255)
#u10	: 符号なし 10 ビット即値 (0 ～ 1020 4 の倍数のみ)
@dir8	: 符号なし 8 ビット直接アドレス (0 ～ 0xFF)
@dir9	: 符号なし 9 ビット直接アドレス (0 ～ 0x1FE 2 の倍数のみ)
@dir10	: 符号なし 10 ビット直接アドレス (0 ～ 0x3FC 4 の倍数のみ)
label9	: 符号付き 9 ビット分岐アドレス (-0x100 ～ 0xFC 2 の倍数のみ)
label12	: 符号付き 12 ビット分岐アドレス (-0x800 ～ 0x7FC 2 の倍数のみ)
label20	: 符号付き 20 ビット分岐アドレス (-0x80000 ～ 0x7FFFF)
label32	: 符号付き 32 ビット分岐アドレス (-0x80000000 ～ 0x7FFFFFFF)
@Ri	: レジスタ間接 (R0 ～ R15, AC, FP, SP)
@Rj	: レジスタ間接 (R0 ～ R15, AC, FP, SP)
@(R13,Rj)	: レジスタ相対間接 (Rj: R0 ～ R15, AC, FP, SP)
@(R14,disp10)	: レジスタ相対間接 (disp10: -0x200 ～ 0x1FC 4 の倍数のみ)
@(R14,disp9)	: レジスタ相対間接 (disp9: -0x100 ～ 0xFE 2 の倍数のみ)
@(R14,disp8)	: レジスタ相対間接 (disp8: -0x80 ～ 0x7F)
@(R15,udisp6)	: レジスタ相対間接 (udisp6: 0 ～ 60 4 の倍数のみ)
@Ri+	: ポストインクリメント付きレジスタ間接 (R0 ～ R15, AC, FP, SP)

@R13+	: ポストインクリメント付きレジスタ間接 (R13, AC)
@SP+	: スタックポップ
@-SP	: スタックプッシュ
(reglist)	: レジスタリスト

*1: -0x7FFFF ～ -1 は , 0x7FFFF ～ 0xFFFFF として扱います。
*2: -0x80000000 ～ -1 は , 0x80000000 ～ 0xFFFFFFFF として扱います。

■ 命令フォーマット一覧

TYPE-A

OP	Rj	Ri
8	4	4

TYPE-B

OP	i/8 o/8	Ri
4	8	4

TYPE-C

OP	u4/m4	Ri
8	4	4

ADD, ADDN, CMP, LSL, LSR, ASR 命令のみ

TYPE-C'

OP	s5/u5	Ri
7	5	4

TYPE-D

OP	u8/rel8/dir/reglist
8	8

TYPE-E

OP	SUB-OP	Ri
8	4	4

TYPE-F

OP	rel11
5	11

■ 動作欄

命令一覧表の動作欄と , 命令細則のオペレーションに使用されている記号です。

extu ( )	ゼロ拡張操作を示します。上位ビットの欠けている部分に "0" ビットを補います。
extn ( )	マイナス拡張操作を示します。上位ビットの欠けている部分に "1" ビットを補います。
exts ( )	符号拡張操作を示します。(　) 内のデータの MSB が "0" ならばゼロ拡張操作をし , MSB が "1" ならばマイナス拡張操作をします。
&	ビット毎の論理積 (AND) を示します。
|	ビット毎の論理和 (OR) を示します。
^	ビット毎の排他的論理和 (EXOR) を示します。
( )	間接アドレス指定を示します。( ) 内のレジスタまたは式の示すアドレスのメモリ読み出し・書き込み値です。
{ }	演算の優先順位を明示するための括弧になります。( ) を間接アドレス指定に使用しているため , { } を使用します。

if (条件) then { 式 }
または
if (条件) then { 式 1}
else { 式 2}
	条件実行を示します。条件が成立したときに then の次の式を , 成立しなかったときに else の次の式を実行します。式は { } で囲み複数記述できます。

[m:n]	ビット m からビット n までを取り出して , 操作対象とします。

F.2 命令一覧表

FR80 ファミリ CPU の命令一覧を示します。

FR80 ファミリ CPU の命令数は全部で 162 あります。以下の 15 種類に分類しています。

- 加減算命令
- 比較演算命令
- 論理演算命令
- ビット操作演算命令
- 乗除算命令
- シフト演算命令
- 即値データ転送命令
- メモリロード命令
- メモリストア命令
- レジスタ間転送命令 / 専用レジスタ転送命令
- 遅延なし分岐命令
- 遅延分岐命令
- ダイレクトアドレス指定命令
- ビットサーチ命令
- その他の命令

表 F-1 加減算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD Rj, Ri	A	A6	1	CCCC	—	Ri+Rj → Ri	
*ADD #s5, Ri	C'	—	1	CCCC	—	Ri+s5 → Ri	アセンブラでは s5 の上位 1 ビットを符号と見る
ADD #i4, Ri	C	A4	1	CCCC	—	Ri+extu(i4) → Ri	i4 はゼロ拡張
ADD2 #i4, Ri	C	A5	1	CCCC	—	Ri+extn(i4) → Ri	i4 はマイナス拡張
ADDC Rj, Ri	A	A7	1	CCCC	—	Ri+Rj+C → Ri	キャリ付き加算
ADDN Rj, Ri	A	A2	1	----	—	Ri+Rj → Ri	
*ADDN #s5, Ri	C'	—	1	----	—	Ri+s5 → Ri	アセンブラでは s5 の上位 1 ビットを符号と見る
ADDN #i4, Ri	C	A0	1	----	—	Ri+extu(i4) → Ri	i4 はゼロ拡張
ADDN2 #i4, Ri	C	A1	1	----	—	Ri+extn(i4) → Ri	i4 はマイナス拡張
SUB Rj, Ri	A	AC	1	CCCC	—	Ri-Rj → Ri	
SUBC Rj, Ri	A	AD	1	CCCC	—	Ri-Rj-C → Ri	キャリ付き減算
SUBN Rj, Ri	A	AE	1	----	—	Ri-Rj → Ri	

表 F-2 比較演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
CMP Rj, Ri	A	AA	1	CCCC	—	Ri-Rj	
*CMP #s5, Ri	C'	—	1	CCCC	—	Ri-s5	アセンブラでは s5 の上位 1 ビットを符号と見る
CMP #i4, Ri	C	A8	1	CCCC	—	Ri-extu(i4)	i4 はゼロ拡張
CMP2 #i4, Ri	C	A9	1	CCCC	—	Ri-extn(i4)	i4 はマイナス拡張

表 F-3 論理演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
AND Rj, Ri	A	82	1	CC--	—	Ri & Rj → Ri	ワード
AND Rj, @Ri	A	84	1+2a	CC--	○	(Ri) & Rj → (Ri)	ワード
ANDH Rj, @Ri	A	85	1+2a	CC--	○	(Ri) & Rj → (Ri)	ハーフワード
ANDB Rj, @Ri	A	86	1+2a	CC--	○	(Ri) & Rj → (Ri)	バイト
OR Rj, Ri	A	92	1	CC--	—	Ri | Rj → Ri	ワード
OR Rj, @Ri	A	94	1+2a	CC--	○	(Ri) | Rj → (Ri)	ワード
ORH Rj, @Ri	A	95	1+2a	CC--	○	(Ri) | Rj → (Ri)	ハーフワード
ORB Rj, @Ri	A	96	1+2a	CC--	○	(Ri) | Rj → (Ri)	バイト
EOR Rj, Ri	A	9A	1	CC--	—	Ri ^ Rj → Ri	ワード
EOR Rj, @Ri	A	9C	1+2a	CC--	○	(Ri) ^ Rj → (Ri)	ワード
EORH Rj, @Ri	A	9D	1+2a	CC--	○	(Ri) ^ Rj → (Ri)	ハーフワード
EORB Rj, @Ri	A	9E	1+2a	CC--	○	(Ri) ^ Rj → (Ri)	バイト

表 F-4 ビット操作演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
BANDL #u4, @Ri	C	80	1+2a	----	○	(Ri) & $\{F0_H+u4\}$ → (Ri)	下位 4 ビット
BANDH #u4, @Ri	C	81	1+2a	----	○	(Ri) & $\{u4<<4+0F_H\}$ → (Ri)	上位 4 ビット
*BAND #u8, @Ri [*1]	—	—	—	----	○	(Ri) & =u8	
BORL #u4, @Ri	C	90	1+2a	----	○	(Ri) | u4 → (Ri)	下位 4 ビット
BORH #u4, @Ri	C	91	1+2a	----	○	(Ri) | {u4<<4} → (Ri)	上位 4 ビット
*BOR #u8, @Ri [*2]	—	—	—	----	○	(Ri) | =u8	
BEORL #u4, @Ri	C	98	1+2a	----	○	(Ri) ^ u4 → (Ri)	下位 4 ビット
BEORH #u4, @Ri	C	99	1+2a	----	○	(Ri) ^ {u4<<4} → (Ri)	上位 4 ビット
*BEOR #u8, @Ri [*3]	—	—	—	----	○	(Ri) ^ =u8	
BTSTL #u4, @Ri	C	88	2+a	0C--	—	(Ri) & u4	下位 4 ビット
BTSTH #u4, @Ri	C	89	2+a	CC--	—	(Ri) & {u4<<4}	上位 4 ビット

*1: アセンブラは , u8 & 0x0F でビットが立っていれば , BANDL を生成し , u8 & 0xF0 でビットが立っていれば , BANDH を生成する。BANDL, BANDH 両方生成する場合もある。

*2: アセンブラは , u8 & 0x0F でビットが立っていれば , BORL を生成し , u8 & 0xF0 でビットが立っていれば , BORH を生成する。BORL, BORH 両方生成する場合もある。

*3: アセンブラは , u8 & 0x0F でビットが立っていれば , BEORL を生成し , u8 & 0xF0 でビットが立っていれば , BEORH を生成する。BEORL, BEORH 両方生成する場合もある。

表 F-5 乗除算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MUL Rj, Ri	A	AF	5	CCC-	—	Ri × Rj → MDH,MDL	32 × 32 ビット =64 ビット
MULU Rj, Ri	A	AB	5	CCC-	—	Ri × Rj → MDH,MDL	符号なし
MULH Rj, Ri	A	BF	3	CC--	—	Ri × Rj → MDL	16 × 16 ビット =32 ビット
MULUH Rj, Ri	A	BB	3	CC--	—	Ri × Rj → MDL	符号なし
DIV0S Ri	E	97-4	1	----	—	所定の命令シーケンスにて MDL ÷ Ri → MDL MDL%Ri → MDH	ステップ演算 32 ÷ 32 ビット =32 ビット
DIV0U Ri	E	97-5	1	----	—		
DIV1 Ri	E	97-6	1	-C-C	—		
DIV2 Ri	E	97-7	c	-C-C	—		
DIV3	E	9F-6	1	----	—		
DIV4S	E	9F-7	1	----	—		
*DIV Ri *1	—	—	36	-C-C	—	MDL ÷ Ri → MDL MDL%Ri → MDH	
*DIVU Ri *2	—	—	36	-C-C	—	MDL ÷ Ri → MDL MDL%Ri → MDH	

*1: DIV0S, DIV1 × 32, DIV2, DIV3, DIV4S を生成する。命令コード長は , 72 バイトとなる。
*2: DIV0U, DIV1 × 32 を生成する。命令コード長は , 66 バイトとなる。

表 F-6 シフト演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LSL Rj, Ri	A	B6	1	CC-C	—	Ri << Rj → Ri	論理シフト
*LSL #u5, Ri (u5:0 ～ 31)	C'	—	1	CC-C	—	Ri << u5 → Ri	
LSL #u4, Ri	C	B4	1	CC-C	—	Ri << u4 → Ri	
LSL2 #u4, Ri	C	B5	1	CC-C	—	Ri << {u4+16} → Ri	
LSR Rj, Ri	A	B2	1	CC-C	—	Ri >> Rj → Ri	論理シフト
*LSR #u5, Ri (u5:0 ～ 31)	C'	—	1	CC-C	—	Ri >> u5 → Ri	
LSR #u4, Ri	C	B0	1	CC-C	—	Ri >> u4 → Ri	
LSR2 #u4, Ri	C	B1	1	CC-C	—	Ri >> {u4+16} → Ri	
ASR Rj, Ri	A	BA	1	CC-C	—	Ri >> Rj → Ri	算術シフト
*ASR #u5, Ri (u5:0 ～ 31)	C'	—	1	CC-C	—	Ri >> u5 → Ri	
ASR #u4, Ri	C	B8	1	CC-C	—	Ri >> u4 → Ri	
ASR2 #u4, Ri	C	B9	1	CC-C	—	Ri >> {u4+16} → Ri	

表 F-7 即値データ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LDI:32 #i32, Ri	H	9F-8	d	----	—	i32 → Ri	
LDI:20 #i20, Ri	G	9B	d	----	—	extu(i20) → Ri	上位 12 ビットはゼロ拡張
LDI:8 #i8, Ri	B	C0	1	----	—	extu(i8) → Ri	上位 24 ビットはゼロ拡張
*LDI {i8|i20|i32}, Ri *1	—	—	—	—	—	{i8|i20|i32} → Ri	

*1: 即値が絶対値の場合は , i8,i20,i32 の選択はアセンブラが自動的に行う。
即値が相対値または外部参照シンボルを含む場合は , i32 が選択される。

表 F-8 メモリロード命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LD @Rj, Ri	A	04	b	----	—	(Rj) → Ri	ワード
LD @(R13, Rj), Ri	A	00	b	----	—	(R13+Rj) → Ri	
LD @(R14, disp10), Ri	B	2	b	----	—	(R14+o8 × 4) → Ri	
LD @(R15, udisp6), Ri	C	03	b	----	—	(R15+u4 × 4) → Ri	
LD @R15+, Ri	E	07-0	b	----	—	(R15) → Ri, R15+4 → R15	
LD @R15+, Rs	E	07-8	b	----	—	(R15) → Rs, R15+4 → R15	Rs: 特殊レジスタ
LD @R15+, PS	E	07-9	1+a	CCCC	—	(R15) → PS, R15+4 → R15	ワード
LDUH @Rj, Ri	A	05	b	----	—	extu((Rj)) → Ri	ハーフワードゼロ拡張
LDUH @(R13, Rj), Ri	A	01	b	----	—	extu((R13+Rj)) → Ri	
LDUH @(R14, disp9), Ri	B	04	b	----	—	extu((R14+o8 × 2)) → Rj	
LDUB @Rj, Ri	A	06	b	----	—	extu((Rj)) → Ri	バイトゼロ拡張
LDUB @(R13, Rj), Ri	A	02	b	----	—	extu((R13+Rj)) → Ri	
LDUB @(R14, disp8), Ri	B	6	b	----	—	extu((R14+o8)) → Ri	

- 命令フォーマットTYPE-Bのo8およびTYPE-Cのu4フィールドと, アセンブラ記述の disp8 ～ disp10 の関係は次のようになっています。

  o8 = disp8

  o8 = disp9 >> 1

  o8 = disp10 >> 2

  u4 = udisp6 >> 2

表 F-9 メモリストア命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ST Ri, @Rj	A	14	a	----	—	Ri → (Rj)	ワード
ST Ri, @(R13, Rj)	A	10	a	----	—	Ri → (R13+Rj)	
ST Ri, @(R14, disp10)	B	3	a	----	—	Ri → (R14+o8 × 4)	
ST Ri, @(R15, udisp6)	C	13	a	----	—	Ri → (R15+u4 × 4)	
ST Ri, @-R15	E	17-0	a	----	—	R15-4 → R15, Ri → (R15)	
ST Rs, @-R15	E	17-8	a	----	—	R15-4 → R15, Rs → (R15)	Rs: 特殊レジスタ
ST PS, @-R15	E	17-9	a	----	—	R15-4 → R15, PS → (R15)	ワード
STH Ri, @Rj	A	15	a	----	—	Ri → (Rj)	ハーフワード
STH Ri, @(R13, Rj)	A	11	a	----	—	Ri → (R13+Rj)	
STH Ri, @(R14, disp9)	B	5	a	----	—	Ri → (R14+o8 × 2)	
STB Ri, @Rj	A	16	a	----	—	Ri → (Rj)	バイト
STB Ri, @(R13, Rj)	A	12	a	----	—	Ri → (R13+Rj)	
STB Ri, @(R14, disp8)	B	7	a	----	—	Ri → (R14+o8)	

- 命令フォーマット TYPE-B の o8 および TYPE-C の u4 フィールドと , アセンブラ記述 disp8 ～ disp10 の関係は次のようになっています。

  o8 = disp8

  o8 = disp9 >> 1

  o8 = disp10 >> 2

  u4 = udisp6 >> 2

表 F-10 レジスタ間転送命令 / 専用レジスタ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MOV Rj, Ri	A	8B	1	----	—	Rj → Ri	汎用レジスタ間転送
MOV Rs, Ri	A	B7	1	----	—	Rs → Ri	Rs: 特殊レジスタ
MOV Ri, Rs	A	B3	1	----	—	Ri → Rs	Rs: 特殊レジスタ
MOV PS, Ri	E	17-1	1	----	—	PS → Ri	PS: プログラムステータス
MOV Ri, PS	E	07-1	1	CCCC	—	Ri → PS	PS: プログラムステータス

表 F-11 遅延なし分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP @Ri	E	97-0	2	----	—	Ri → PC
CALL label12	F	D0	2	----	—	PC+2 → RP, PC+2+exts(rel11 × 2) → PC
CALL @Ri	E	97-1	2	----	—	PC+2 → RP, Ri → PC
RET	E	97-2	2	----	—	RP → PC
INT #u8	D	1F	1+3a	----	—	SSP-4 → SSP, PS → (SSP) , SSP-4 → SSP, PC+2 → (SSP) , 0 → CCR:I, 0 → CCR:S, (TBR+3FC-u8 × 4) → PC
INTE	E	9F-3	1+3a	----	—	SSP-4 → SSP, PS → (SSP), SSP-4 → SSP, PC+2 → (SSP), 0 → CCR:S, 4 → ILM, (TBR+3D8) → PC
RETI	E	97-3	1+2b	----	—	(SSP) → PC, SSP+4 → SSP, (SSP) → PS, SSP+4 → SSP
BRA label9	D	E0	2	----	—	PC+2+exts(rel8 × 2) → PC
BNO label9	D	E1	1	----	—	非分岐
BEQ label9	D	E2	2/1	----	—	if (Z==1) then PC+2+exts(rel8 × 2) → PC
BNE label9	D	E3	2/1	----	—	if (Z==0) then PC+2+exts(rel8 × 2) → PC
BC label9	D	E4	2/1	----	—	if (C==1) then PC+2+exts(rel8 × 2) → PC
BNC label9	D	E5	2/1	----	—	if (C==0) then PC+2+exts(rel8 × 2) → PC
BN label9	D	E6	2/1	----	—	if (N==1) then PC+2+exts(rel8 × 2) → PC
BP label9	D	E7	2/1	----	—	if (N==0) then PC+2+exts(rel8 × 2) → PC
BV label9	D	E8	2/1	----	—	if (V==1) then PC+2+exts(rel8 × 2) → PC
BNV label9	D	E9	2/1	----	—	if (V==0) then PC+2+exts(rel8 × 2) → PC
BLT label9	D	EA	2/1	----	—	if (V ^ N==1) then PC+2+exts(rel8 × 2) → PC
BGE label9	D	EB	2/1	----	—	if (V ^ N==0) then PC+2+exts(rel8 × 2) → PC
BLE label9	D	EC	2/1	----	—	if ({V ^ N} | Z==1) then PC+2+exts(rel8 × 2) → PC
BGT label9	D	ED	2/1	----	—	if ({V ^ N} | Z==0) then PC+2+exts(rel8 × 2) → PC
BLS label9	D	EE	2/1	----	—	if (C or Z==1) then PC+2+exts(rel8 × 2) → PC
BHI label9	D	EF	2/1	----	—	if (C or Z==0) then PC+2+exts(rel8 × 2) → PC

- CYC 欄の "2/1" は , 分岐するときは 2, 分岐しないときは 1 を示します。
- RETI を実行するときはスタックフラグ (S) が "0" である必要があります。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと , アセンブラ記述の label9, label12 の関係は次のようになっています。

  rel8 = (label9-PC-2) /2

  rel11 = (label12-PC-2) /2

表 F-12 遅延分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP:D @Ri	E	9F-0	1	----	—	Ri → PC
CALL:D label12	F	D8	1	----	—	PC+4 → RP, PC+2+exts(rel11 × 2) → PC
CALL:D @Ri	E	9F-1	1	----	—	PC+4 → RP, Ri → PC
RET:D	E	9F-2	1	----	—	RP → PC
BRA:D label9	D	F0	1	----	—	PC+2+exts(rel8 × 2) → PC
BNO:D label9	D	F1	1	----	—	非分岐
BEQ:D label9	D	F2	1	----	—	if (Z==1) then PC+2+exts(rel8 × 2) → PC
BNE:D label9	D	F3	1	----	—	if (Z==0) then PC+2+exts(rel8 × 2)) → PC
BC:D label9	D	F4	1	----	—	if (C==1) then PC+2+exts(rel8 × 2) → PC
BNC:D label9	D	F5	1	----	—	if (C==0) then PC+2+exts(rel8 × 2) → PC
BN:D label9	D	F6	1	----	—	if (N==1) then PC+2+exts(rel8 × 2) → PC
BP:D label9	D	F7	1	----	—	if (N==0) then PC+2+exts(rel8 × 2) → PC
BV:D label9	D	F8	1	----	—	if (V==1) then PC+2+exts(rel8 × 2) → PC
BNV:D label9	D	F9	1	----	—	if (V==0) then PC+2+exts(rel8 × 2) → PC
BLT:D label9	D	FA	1	----	—	if (V ^ N==1) then PC+2+exts(rel8 × 2) → PC
BGE:D label9	D	FB	1	----	—	if (V ^ N==0) then PC+2+exts(rel8 × 2) → PC
BLE:D label9	D	FC	1	----	—	if ({V ^ N} | Z==1) then PC+2+exts(rel8 × 2) → PC
BGT:D label9	D	FD	1	----	—	if ({V ^ N} | Z==0) then PC+2+exts(rel8 × 2) → PC
BLS:D label9	D	FE	1	----	—	if (C or Z==1) then PC+2+exts(rel8 × 2) → PC
BHI:D label9	D	FF	1	----	—	if (C or Z==0) then PC+2+exts(rel8 × 2) → PC

- 遅延分岐命令は必ず次の命令 (遅延スロット) を実行してから分岐します。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと , アセンブラ記述の label9, label12 の関係は次のようになっています。

rel8 = (label9-PC-2) /2

rel11 = (label12-PC-2) /2

表 F-13 ダイレクトアドレス指定命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
DMOV @dir10, R13	D	08	b	----	—	(dir10) → R13	ワード
DMOV R13, @dir10	D	18	a	----	—	R13 → (dir10)	
DMOV @dir10, @R13+	D	0C	1+2a	----	—	(dir10) → (R13), R13+=4	
DMOV @R13+, @dir10	D	1C	1+2a	----	—	(R13) → (dir10), R13+=4	
DMOV @dir10, @-R15	D	0B	1+2a	----	—	R15-=4, (R15) → (dir10)	
DMOV @R15+, @dir10	D	1B	1+2a	----	—	(R15) → (dir10), R15+=4	
DMOVH @dir9, R13	D	09	b	----	—	(dir9) → R13	ハーフワード
DMOVH R13, @dir9	D	19	a	----	—	R13 → (dir9)	
DMOVH @dir9, @R13+	D	0D	1+2a	----	—	(dir9) → (R13), R13+=2	
DMOVH @R13+, @dir9	D	1D	1+2a	----	—	(R13) → (dir9), R13+=2	
DMOVB @dir8, R13	D	0A	b	----	—	(dir8) → R13	バイト
DMOVB R13, @dir8	D	1A	a	----	—	R13 → (dir8)	
DMOVB @dir8, @R13+	D	0E	1+2a	----	—	(dir8) → (R13), R13++	
DMOVB @R13+, @dir8	D	1E	1+2a	----	—	(R13) → (dir8), R13++	

- 命令フォーマットTYPE-Dのdir8フィールドとアセンブラ記述のdir8, dir9, dir10の関係は次のようになっています。

  dir8 = dir8

  dir8 = dir9 >> 1

  dir8 = dir10 >> 2

表 F-14 ビットサーチ命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
SRCH0 Ri	E	97-C	1	----	—	search_zero(Ri) → Ri	MSB から LSB へ 0 検索
SRCH1 Ri	E	97-D	1	----	—	search_one(Ri) → Ri	MSB から LSB へ 1 検索
SRCHC Ri	E	97-E	1	----	—	search_change(Ri) → Ri	MSB から LSB へ変化点検索

表 F-15 その他の命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
NOP	E'	9F-A	1	----	−	何も変化しない	
ANDCCR #u8	D	83	1	CCCC	−	CCR & u8 → CCR	
ORCCR #u8	D	93	1	CCCC	−	CCR | u8 → CCR	
STILM #u8	D	87	1	----	−	u8 → ILM	ILM 即値セット
ADDSP #s10	D	A3	1	----	−	R15 += s10	
EXTSB Ri	E	97-8	1	----	−	exts(Ri[7:0]) → Ri	符号拡張 8 → 32
EXTUB Ri	E	97-9	1	----	−	extu(Ri[7:0]) → Ri	ゼロ拡張 8 → 32
EXTSH Ri	E	97-A	1	----	−	exts(Ri[15:0]) → Ri	符号拡張 16 → 32
EXTUH Ri	E	97-B	1	----	−	extu(Ri[15:0]) → Ri	ゼロ拡張 16 → 32
LDM0 (reglist)	D	8C	*1	----	−	(R15) → reglist, R15 インクリメント	ロードマルチ R0 ～ R7
LDM1 (reglist)	D	8D	*1	----	−	(R15) → reglist, R15 インクリメント	ロードマルチ R8 ～ R15
*LDM (reglist) *3	−	−	−	----	−	(R15) → reglist, R15 インクリメント	ロードマルチ R0 ～ R15
STM0 (reglist)	D	8E	*2	----	−	R15ディクリメント, reglist → (R15)	ストアマルチ R0 ～ R7
STM1 (reglist)	D	8F	*2	----	−	R15ディクリメント, reglist → (R15)	ストアマルチ R8 ～ R15
*STM (reglist) *4	−	−	−	----	−	R15ディクリメント, reglist → (R15)	ストアマルチ R0 ～ R15
ENTER #u10	D	0F	1+a	----	−	R14 → (R15-4), R15-4 → R14, R15-extu(u8 × 4) → R15	関数の入口処理
LEAVE	E	9F-9	b	----	−	R14+4 → R15, (R15-4) → R14	関数の出口処理
XCHB @Rj, Ri	A	8A	2a	----	○	Ri → TEMP, extu((Rj)) → Ri, TEMP → (Rj))	セマフォ管理用 バイトデータ

*1 : LDM0 (reglist), LDM1 (reglist) の実行サイクル数は , 指定されたレジスタ数が n のとき b × n サイクルとなります。
*2 : STM0 (reglist), STM1 (reglist) の実行サイクル数は , 指定されたレジスタ数が n のとき a × n サイクルとなります。
*3 : reglist で , R0-R7 のいずれかの指定があれば , LDM0 を生成し , R8-R15 のいずれかの指定があれば , LDM1 を生成する。LDM0, LDM1 両方生成する場合もある。
*4 : reglist で , R0-R7 のいずれかの指定があれば , STM0 を生成し R8-R15 のいずれかの指定があれば , STM1 を生成する。STM1, STM0 両方生成する場合もある。

- ADDSP 命令において , 命令フォーマット TYPE-D の s8 フィールドとアセンブラ記述の s10 の関係は次のようになっています。

  s8 = s10 >> 2

- ENTER 命令において , 命令フォーマット中の TYPE-D の u8 フィールドとアセンブラ記述の u10 の関係は次のようになっています。

  u8 = u10 >> 2

F.3　遅延スロットに配置可能な命令一覧

遅延分岐命令の遅延スロットに配置可能な命令一覧を示します。

- 加減算命令

ADD Rj, Ri	ADD #14, Ri	ADD2 #i4, Ri
ADDC Rj, Ri	ADDN Rj, Ri	ADDN #i4, Ri
ADDN2 #i4, Ri	S UB Rj, Ri	SUBC Rj, Ri
SUBN Rj, Ri		

- 比較演算命令

CMP Rj, Ri	CMP #i4, Ri	CMP2 #i4, Ri

- 論理演算命令

AND Rj, Ri	OR Rj, Ri	EOR Rj, Ri

- 乗除算命令

DIV0S Ri	DIV0U Ri	DIV1 Ri
DIV2 Ri	DIV3	DIV4S

- シフト演算命令

LSL Rj, Ri	LSL #u4, Ri	LSL2 #u4, Ri
LSR Rj, Ri	LSR #u4, Ri	LSR2 #u4, Ri
ASR Rj, Ri	ASR #u4, Ri	ASR2 #u4, Ri

- 即値データ転送命令

LDI:8 #i8, Ri

- メモリロード命令

LD @Rj, Ri	LD @(R13, Rj), Ri	LD @(R14, disp10), Ri
LD @(R15, udisp6), Ri	LD @R15+, Ri	LD @R15+, Rs
LDUH @Rj, Ri	LDUH @(R13, Rj), Ri	LDUH @(R14, disp9), Ri
LDUB @Rj, Ri	LDUB @(R13, Rj), Ri	LDUB @(R14, disp8), Ri

- メモリストア命令

ST Ri, @Rj	ST Ri, @(R13, Rj)	ST Ri, @(R14, disp10)
ST Ri, @(R15, udisp6)	ST Ri, @-R15	ST Rs, @-R15
ST PS, @-R15		
STH Ri, @Rj	STH Ri, @(R13, Rj)	STH Ri, @(R14, disp9)
STB Ri, @Rj	STB Ri, @(R13, Rj)	STB Ri, @(R14, disp8)

- レジスタ間転送命令

MOV Rj, Ri	MOV Rs, Ri	MOV Ri, Rs
MOV PS, Ri	MOV Ri, PS	

- ダイレクトアドレス指定命令

DMOV @dir10, R13	DMOV R13, @dir10	DMOVH @dir9, R13
DMOVH R13, @dir9	DMOVB @dir8, R13	DMOVB R13, @dir8

- ビットサーチ命令

SRCH0 Ri	SRCH1 Ri	SRCHC Ri

- その他の命令

NOP	ANDCCR #u8	ORCCR #u8
STILM #u8	ADDSP #s10	EXTSB Ri
EXTUB Ri	EXTSH Ri	EXTUH Ri
LEAVE		

端子索引

端子名	関連機能	ページ
A		
ADTRG	10 ビット A/D コンバータ	496
AN0	10 ビット A/D コンバータ	496
AN1	10 ビット A/D コンバータ	496
AN2	10 ビット A/D コンバータ	496
AN3	10 ビット A/D コンバータ	496
AN4	10 ビット A/D コンバータ	496
AN5	10 ビット A/D コンバータ	496
AN6	10 ビット A/D コンバータ	496
AN7	10 ビット A/D コンバータ	496
AV_{CC}	10 ビット A/D コンバータ	496
AVRH	10 ビット A/D コンバータ	496
AV_{SS}	10 ビット A/D コンバータ	496
F		
FRCK	32 ビットフリーランタイマ	300
I		
IN0	32 ビットインプットキャプチャ	317
IN1	32 ビットインプットキャプチャ	317
IN2	32 ビットインプットキャプチャ	317
IN3	32 ビットインプットキャプチャ	317
$\overline{INIT}$	リセット	169
INT0	外部割込み要求	253
INT1	外部割込み要求	253
INT2	外部割込み要求	253
INT3	外部割込み要求	253
INT4	外部割込み要求	253
INT5	外部割込み要求	253
INT6	外部割込み要求	253
INT7	外部割込み要求	253
INT8	外部割込み要求	253
INT9	外部割込み要求	253
INT10	外部割込み要求	253
INT11	外部割込み要求	253
INT12	外部割込み要求	253
INT13	外部割込み要求	253
INT14	外部割込み要求	253
INT15	外部割込み要求	253
M		
MD0	モード端子	15
MD1	モード端子	15
O		
OUT0	32 ビットアウトプットコンペア	331

端子名	関連機能	ページ
OUT1	32 ビットアウトプットコンペア	331
OUT2	32 ビットアウトプットコンペア	331
OUT3	32 ビットアウトプットコンペア	331
P		
P00	I/O ポート	228
P01	I/O ポート	228
P02	I/O ポート	228
P03	I/O ポート	228
P04	I/O ポート	228
P05	I/O ポート	228
P06	I/O ポート	228
P07	I/O ポート	228
P10	I/O ポート	228
P11	I/O ポート	228
P12	I/O ポート	228
P13	I/O ポート	228
P14	I/O ポート	228
P15	I/O ポート	228
P16	I/O ポート	228
P17	I/O ポート	228
P20	I/O ポート	228
P21	I/O ポート	228
P22	I/O ポート	228
P23	I/O ポート	228
P24	I/O ポート	228
P25	I/O ポート	228
P26	I/O ポート	228
P27	I/O ポート	228
P30	I/O ポート	228
P31	I/O ポート	228
P32	I/O ポート	228
P33	I/O ポート	228
P34	I/O ポート	228
P35	I/O ポート	228
P36	I/O ポート	228
P37	I/O ポート	228
P50	I/O ポート	228
P51	I/O ポート	228
P52	I/O ポート	228
P53	I/O ポート	228
P54	I/O ポート	228
P55	I/O ポート	228
P56	I/O ポート	228
P57	I/O ポート	228
P70	I/O ポート	228
P71	I/O ポート	228
P72	I/O ポート	228
P73	I/O ポート	228

端子名	関連機能	ページ
P74	I/O ポート	228
P75	I/O ポート	228
P76	I/O ポート	228
P77	I/O ポート	228
PK0	I/O ポート	228
PK1	I/O ポート	228
S		
SCK0	マルチファンクションシリアルインタフェース	559
SCK1	マルチファンクションシリアルインタフェース	559
SCK2	マルチファンクションシリアルインタフェース	559
SCK3	マルチファンクションシリアルインタフェース	559
SCK8	マルチファンクションシリアルインタフェース	559
SCK9	マルチファンクションシリアルインタフェース	559
SCK10	マルチファンクションシリアルインタフェース	559
SCK11	マルチファンクションシリアルインタフェース	559
SIN0	マルチファンクションシリアルインタフェース	559
SIN1	マルチファンクションシリアルインタフェース	559
SIN2	マルチファンクションシリアルインタフェース	559
SIN3	マルチファンクションシリアルインタフェース	559
SIN8	マルチファンクションシリアルインタフェース	559
SIN9	マルチファンクションシリアルインタフェース	559
SIN10	マルチファンクションシリアルインタフェース	559
SIN11	マルチファンクションシリアルインタフェース	559
SOUT0	マルチファンクションシリアルインタフェース	559
SOUT1	マルチファンクションシリアルインタフェース	559
SOUT2	マルチファンクションシリアルインタフェース	559
SOUT3	マルチファンクションシリアルインタフェース	559
SOUT8	マルチファンクションシリアルインタフェース	559
SOUT9	マルチファンクションシリアルインタフェース	559
SOUT10	マルチファンクションシリアルインタフェース	559
SOUT11	マルチファンクションシリアルインタフェース	559
T		
TIOA0	ベースタイマ	385
TIOA1	ベースタイマ	385
TIOA2	ベースタイマ	385
TIOA3	ベースタイマ	385
TIOA4	ベースタイマ	385
TIOA5	ベースタイマ	385
TIOA6	ベースタイマ	385
TIOA7	ベースタイマ	385
TIOB0	ベースタイマ	385
TIOB1	ベースタイマ	385
TIOB2	ベースタイマ	385
TIOB3	ベースタイマ	385
TIOB4	ベースタイマ	385
TIOB5	ベースタイマ	385
TIOB6	ベースタイマ	385

端子名	関連機能	ページ
TIOB7	ベースタイマ	385
TMI0	16 ビットリロードタイマ	349
TMI1	16 ビットリロードタイマ	349
TMI2	16 ビットリロードタイマ	349
TMO0	16 ビットリロードタイマ	349
TMO1	16 ビットリロードタイマ	349
TMO2	16 ビットリロードタイマ	349
U		
UDM	USB ファンクション / ホスト	15
UDP	USB ファンクション / ホスト	15
V		
V_{CC}	電源端子	13, 14, 15, 15, 17
V_{SS}	GND 端子	14, 14, 15, 15, 15, 17, 19
X		
X0	クロック制御部	77
X0A	クロック制御部	79
X1	クロック制御部	77
X1A	クロック制御部	79

CM71-10148-3

Spansion • CONTROLLER MANUAL
FR80
32 ビット・マイクロコントローラ
MB91610 Series
ハードウェアマニュアル

2014 年 1 月 第 3 版発行

発行　Spansion Inc.

編集　マーケティングコミュニケーション部

免責事項

本資料に記載された製品は、通常の産業用 , 一般事務用 , パーソナル用 , 家庭用などの一般的用途 (ただし、用途の限定はありません) に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御 , 航空機自動飛行制御 , 航空交通管制 , 大量輸送システムにおける運行制御 , 生命維持のための医療機器 , 兵器システムにおけるミサイル発射制御等をいう) 、ならびに (2) 極めて高い信頼性が要求される用途 (海底中継器 , 宇宙衛星等をいう) に使用されるよう設計・製造されたものではありません。上記の製品の使用法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故 , 火災事故 , 社会的な損害を生じさせないよう、お客様において、装置の冗長設計 , 延焼対策設計 , 過電流防止対策設計 , 誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性 , 完全性 , 実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示 , 黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2008-2013 Spansion Inc. All rights reserved.

商標 : Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。