请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

CY9AA30N 系列

32位Arm® Cortex®-M3 FM3微控制器

CY9AA30N 系列是针对低功耗和低成本应用而设计的高集成度 32 位嵌入式微控制器。本系列的 CPU 搭载了 Arm Cortex-M3 处理器、闪存及 SRAM 片上闪存，还包含了 LCD 控制器、电机控制定时器、A/D 转换器、D/A 转换器、各种通信接口(UART, CSIO, I2C)等在内的丰富外设功能。"FM3 家族外围资源手册"中该数据手册记载的产品归类于 TYPE7 产品。

特征

32 位 Arm Cortex-M3 内核

■处理器版本: r2p1

■最高工作频率: 20 MHz

■集成的嵌套向量中断控制器(NVIC): 1 通道 NMI (不可屏蔽中断)和 32 通道的外设中断及 8 个优先级。

■24 位系统定时器(Sys Tick):该系统定时器用于管理操作系统任务。

片上存储器

[闪存]

■最大 128 KB

■读取周期:0 个等待周期

■保护代码的加密功能

[SRAM]

本系列包含多达 16KB 的片上 SRAM 存储器，可连接到 Cortex-M3 内核的系统总线。

■SRAM1:最多 16KB

LCD 控制器(LCDC)

■可选择 44 SEG × 4 COM (最多)或 40 SEG × 8 COM (最多)

■内置内部分频电阻(电阻值可选择 10 kΩ 或 100 kΩ)

■LCD 驱动电源(偏置)引脚(VV4 ~ VV0)

■中断功能与 LCD 模块帧频同步

■带闪烁功能

■反相显示功能

多功能串口(最多 8 通道)

每路通道可选以下工作模式。

■UART

■CSIO

■I²C

[UART]

■全双工双缓冲器

■可选择奇偶校验的有/无

■内置专用波特率发生器

■外部时钟可用作串行时钟

■丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

[CSIO]

■全双工双缓冲器

■内置专用波特率发生器

■溢出错误检测功能

[I²C]

支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

A/D 转换器(最多 16 通道)

[12 位 A/D 转换器]

■逐次比较型

■转换时间:最短 1.0 µs

■可进行优先级转换(2 个优先级)

■扫描转换模式

■内置转换数据存储的 FIFO(用于 SCAN 转换:16 段; 用于优先级转换: 4 段)

D/A 转换器(最多 2 通道)

■R-2R 型

■10 位分辨率

基本定时器(最多 8 通道)

可从以下模式中选择各通道的工作模式。

■16 位 PWM 定时器

■16 位 PPG 定时器

■16/32 位重载定时器

■16/32 位 PWC 定时器

通用 I/O 口
本系列的引脚不用作外设功能时，可用作 I/O 口。另外，因搭载了端口重定位功能，可设定哪一个 I/O 口配置外设功能。

■可上拉控制各个引脚

■可直接读出引脚电平

■具有端口重定位功能

■最多 84 个高速 I/O 口@100 脚封装

■部分端口耐 5V I/O
关于各对应引脚，详情参照"引脚功能一览"及"I/O 电路类型"。

多功能定时器
多功能定时器由以下模块构成。

■16 位自由运行定时器 × 3 通道

■输入捕捉 × 4 通道/单元

■输出比较 × 6 通道

■A/D 启动比较 × 3 通道

■波形发生器 × 3 通道

■16 位 PPG 定时器 × 3 通道
包含 IGBT 模式
使用以下功能可控制电机。

■PWM 信号输出功能

■DC 斩波器波形输出功能

■死区定时器功能

■输入捕捉功能

■A/D 转换器启动功能

■DTIF(电机紧急停止)中断功能

HDMI-CEC/遥控接收器(多达 2 通道)

■HDMI- CEC 接收器/遥控接收器
- 可选择支持以下标准的工作模式
  - SIRCS
  - NEC/家电协会
  - HDMI-CEC
- 可以调整起始位和数据位的检测时间
- 内置噪声滤波器

■HDMI-CEC 发送器
- 通过判定无信号而自动发送头段
- 检测仲裁丢失，产生状态中断
- 设定 1 个字节的数据，自动生成 START, EOM, ACK 以输出 CEC 发送
- 发送 1 个模块(1 个字节的数据和 EOM/ACK)时生成发送状态中断

实时时钟(RTC: Real Time Clock)
实时时钟可以计数 00 年到 99 年的年/月/日/时/分/秒/周几。

■有指定日期和时间的中断功能(年/月/日/时/分)。该功能可用来仅仅指定年/月/日/时/分。

■设定时间后/设定时间时的定时器中断功能

■继续进行时间计数可以重写时间

■自动计算闰年

外部中断控制器单元

■外部中断输入引脚: 最多 16 个

■不可屏蔽中断(NMI)输入引脚: 1 个

看门狗定时器(2 通道)
到达超时值时，看门狗定时器生成中断或者复位。

本系列有两种不同的看门狗: "硬件"看门狗和"软件"看门狗。

"硬件"看门狗定时器使用内置低速 CR 振荡器，因此在 RTC, STOP, 深度待机 RTC 和深度待机模式以外的任何低功耗模式下都可以工作。

时钟和复位
[时钟]

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

■主时钟: 4 MHz ~ 20 MHz

■副时钟: 32.768 kHz

■内部高速 CR 时钟 4 MHz

■内部低速 CR 时钟 100 kHz

■主 PLL 时钟
[复位]

■INITX 引脚的复位请求

■上电复位

■软件复位

■看门狗定时器复位

■低压检测复位

■时钟监视复位

时钟监视(CSV : Clock Super Visor)
该功能使用内部 CR 振荡生成的时钟监视外部时钟的异常。

■检测出外部时钟异常(时钟停止)时，复位有效。

■检测出外部频率异常时，中断或复位有效。

低压检测(LVD : Low Voltage Detect)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定电压低时，可使用低压检测功能生成中断或复位。

■LVD1: 使用中断报告错误

■LVD2: 自动复位操作

低功耗模式

支持 6 种低功耗模式。

■睡眠

■定时器

■RTC

■停止

■深度待机 RTC

■深度待机停止

备用寄存器为 16 B

调试

串行线 JTAG 调试端口(SWJ-DP)

电源

支持大范围电压:VCC = 1.8 V ~ 5.5 V
VCC = 2.2 V ~ 5.5 V (使用 LCDC 时)

目录

1. 产品阵容 6
2. 封装及产品型号 7
3. 引脚配置图 8
4. 引脚功能一览 13
5. I/O 电路类型 35
6. 芯片处理注意事项 44
6.1 产品设计注意事项 44
6.2 封装注意事项 45
6.3 使用环境注意事项 46
7. 芯片使用注意事项 47
8. 框图 49
9. 存储器容量 50
10. 存储器映射图 51
11. 各 CPU 状态下的引脚状态 54
12. 电气特性 61
12.1 绝对最大额定值 61
12.2 推荐工作条件 62
12.3 直流规格 63
12.3.1 电流规格 63
12.3.2 引脚规格 66
12.3.3 LCD 规格 67
12.4 交流规格 68
12.4.1 主时钟输入规格 68
12.4.2 副时钟输入规格 69
12.4.3 内置 CR 振荡规格 69
12.4.4 主 PLL 的使用条件(主时钟用作 PLL 输入时) 70
12.4.5 主 PLL 的使用条件(内部高速 CR 时钟用作主 PLL 的输入时钟) 70
12.4.6 复位输入规格 71
12.4.7 上电复位时间 71
12.4.8 基本定时器输入时序 72
12.4.9 CSIO/UART 时序 73
12.4.10 外部输入时序 81
12.4.11 I^2C 时序 82
12.4.12 JTAG 时序 83
12.5 12 位 A/D 转换器 84
12.5.1 A/D 转换器的电气特性 84
12.6 10 位 D/A 转换器 87
12.7 低压检测特性 88
12.7.1 低压检测复位 88
12.7.2 低压检测中断 89
12.8 闪存擦/写特性 91
12.8.1 擦/写时间 91
12.8.2 擦/写周期和数据保持时间 91
12.9 从低功耗模式下的返回时间 92
12.9.1 返回因数:中断/WKUP 92

12.9.2 返回因数:复位 94
13. 订购信息 96
14. 封装尺寸图 97
文档修改记录 104
销售、解决方案以及法律信息 105

1. 产品阵容

■存储器容量

产品名称		CY9AFA31L/M/N	CY9AFA32L/M/N
片上闪存		64 KB	128 KB
片上 SRAM	SRAM1	12 KB	16 KB

■功能

产品名称			CY9AFA31L CY9AFA32L	CY9AFA31M CY9AFA32M	CY9AFA31N CY9AFA32N
引脚数			64	80	100
CPU			Cortex-M3		
	频率		20 MHz		
电源电压范围			1.8 V ~ 5.5 V		
LCD 控制器(LCDC)			24SEG×4COM (最大) 或 20SEG×8COM (最大)	37SEG×4COM (最大) 或 33SEG×8COM (最大)	44SEG×4COM (最大) 或 40SEG×8COM (最大)
MF 串口 (UART/CSIO/I²C)			8ch.(最大)		
基本定时器 (PWC/重载定时器/PWM/PPG)			8ch.(最大)		
多功能定时器	A/D 启动比较	3ch.	1 个(最大)		
	输入捕捉	4ch.			
	自由运行定时器	3ch.			
	输出比较	6ch.			
	波形发送器	3ch.			
	PPG (搭载 IGBT 模式)	3ch.			
HDMI-CEC/遥控接收器			2ch.(最大)		
实时时钟(RTC)			1 个		
看门狗定时器			1ch.(SW) + 1ch.(HW)		
外部中断			8 pins (最大)+ NMI × 1	11 pins (最大) + NMI × 1	16 pins (最大) + NMI × 1
通用 I/O 口			52 pins (最大)	67 pins (最大)	84 pins (最大)
12 位 A/D 转换器			9ch.(1 台)	12ch.(1 台)	16ch.(1 台)
10 位 D/A 转换器			2ch.(最大)		
CSV (时钟监视)			有		
LVD (低压检测)			2ch.		
内置 CR	高速		4 MHz		
	低速		100 kHz		
调试功能			SWJ-DP		

注意事项:受封装引脚数的限制，各产品搭载的外设功能的信号不能全部配置。需要某种功能时，使用 I/O 口的端口重定位功能进行再配置。
如欲了解有关内置 CR 的精确度，请参考 "12 电气特性 12.4 交流规格 12.4.3 内置 CR 振荡规格"。电气特性 12.4 交流规格。

2. 封装及产品型号

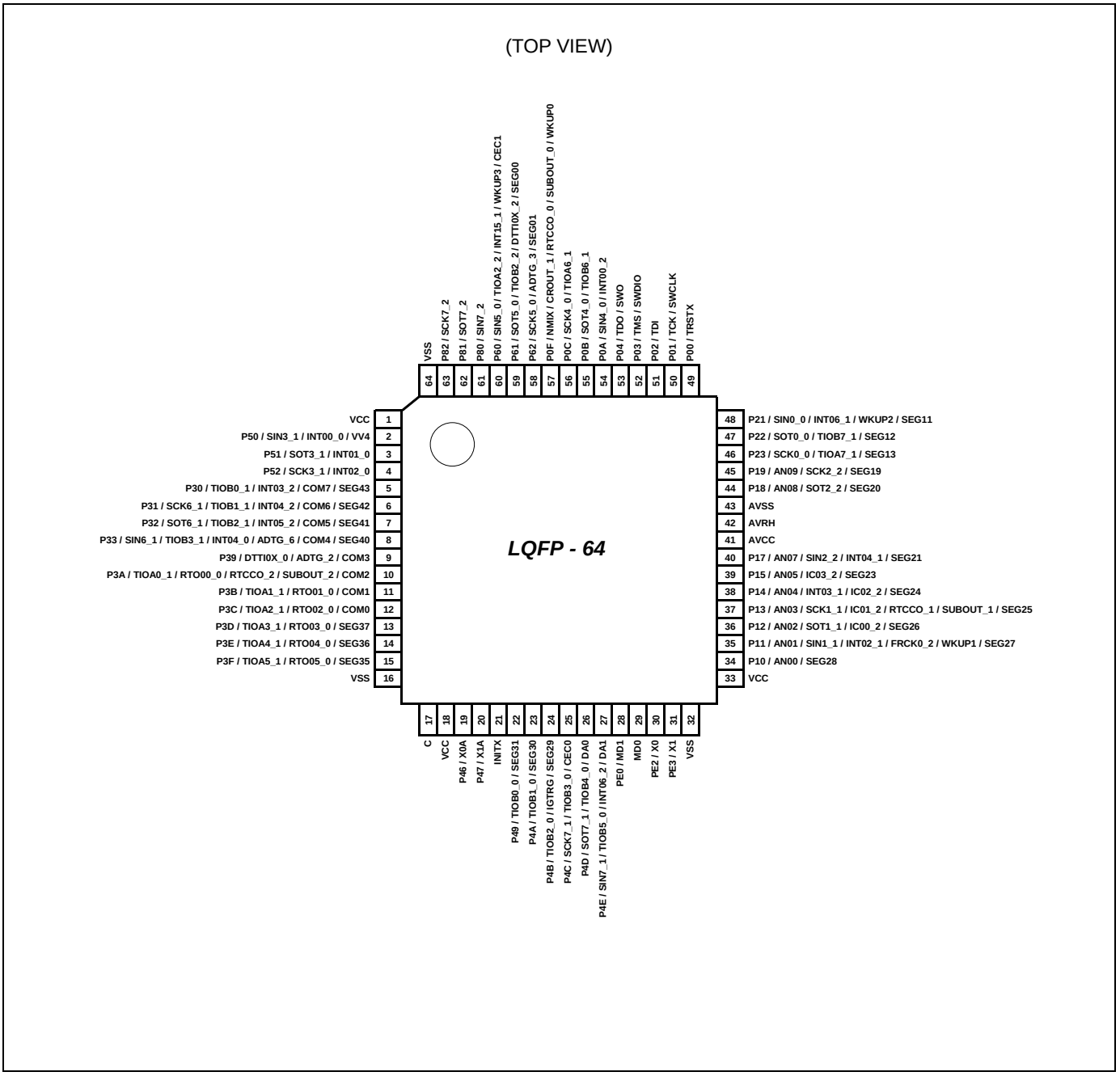
封装 \ 产品名称	CY9AFA31L CY9AFA32L	CY9AFA31M CY9AFA32M	CY9AFA31N CY9AFA32N
LQFP: LQD064 (0.5mm 间距)	❍	-	-
LQFP: LQG064 (0.65mm 间距)	❍	-	-
QFN: VNC064	❍	-	-
LQFP: LQH080 (0.5mm 间距)	-	❍	-
LQFP: LQJ080 (0.65mm 间距)	-	❍	-
LQFP: LQI100 (0.5mm 间距)	-	-	❍
QFP: PQH100 (0.65mm 间距)	-	-	❍

❍:支持

注意事项:关于各封装，参照“封装尺寸图”。

3. 引脚配置图

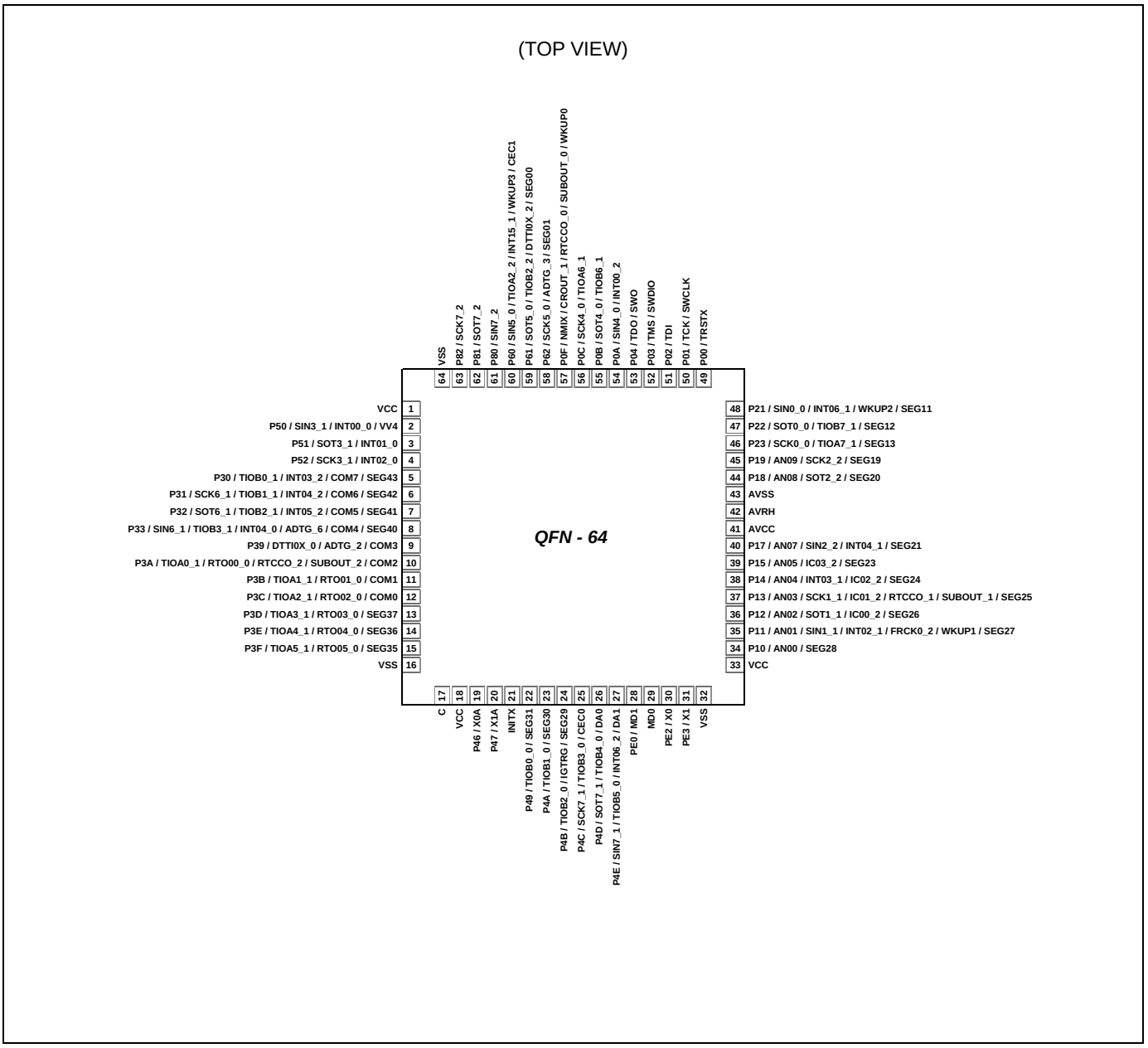
■LQD064/LQG064



注意事项:

引脚名称(例如XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

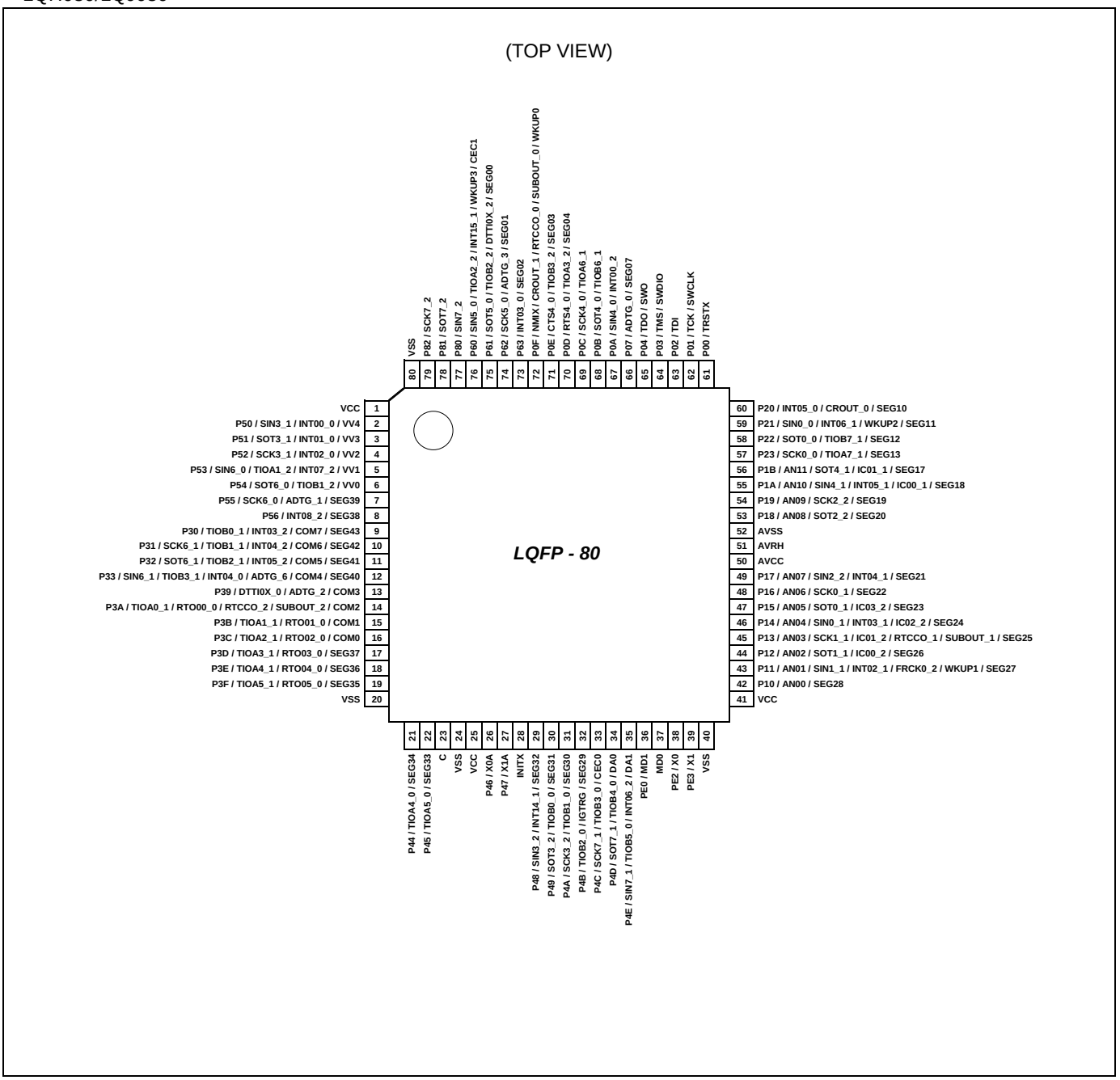
■VNC064



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

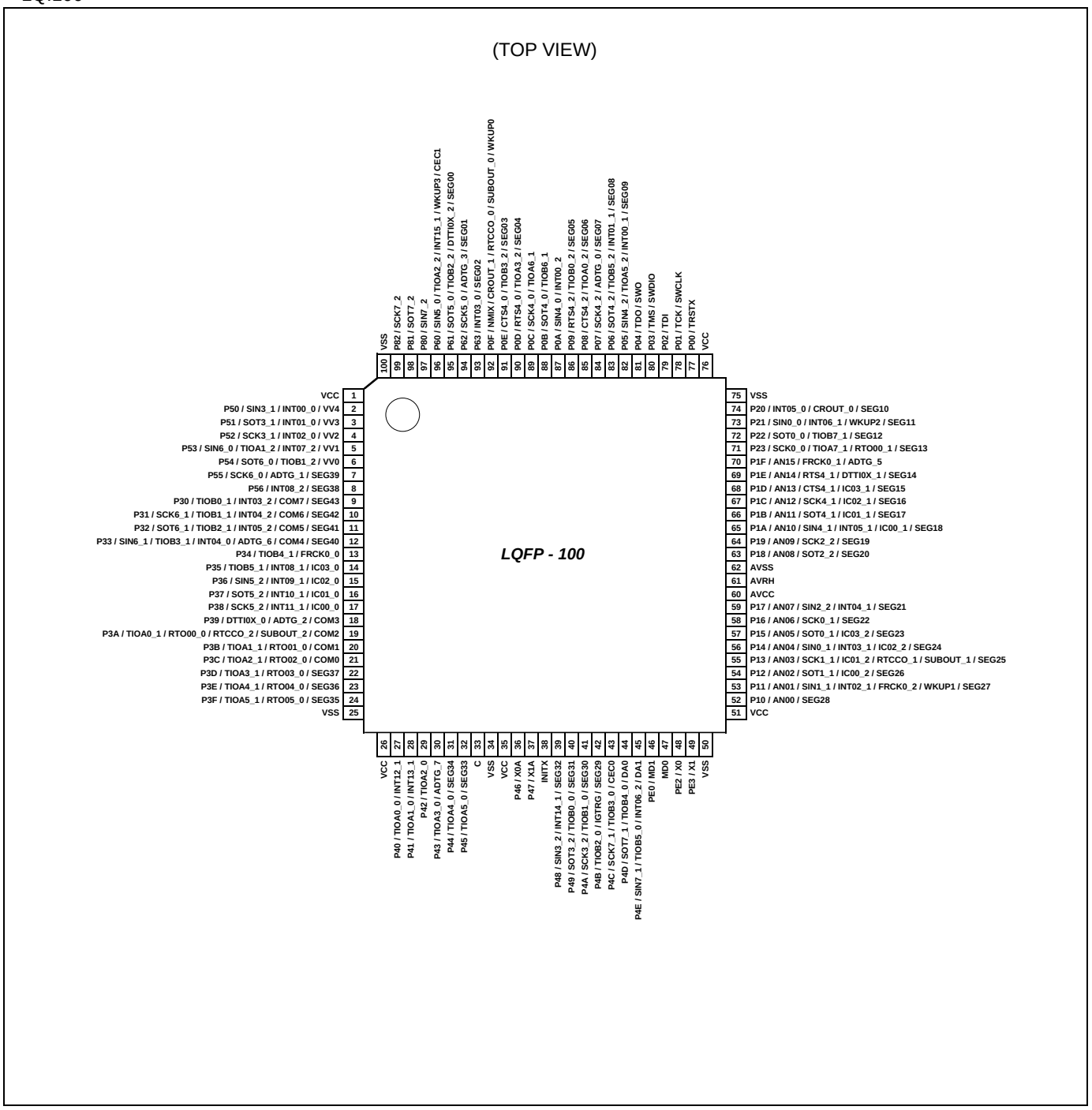
■LQH080/LQJ080



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

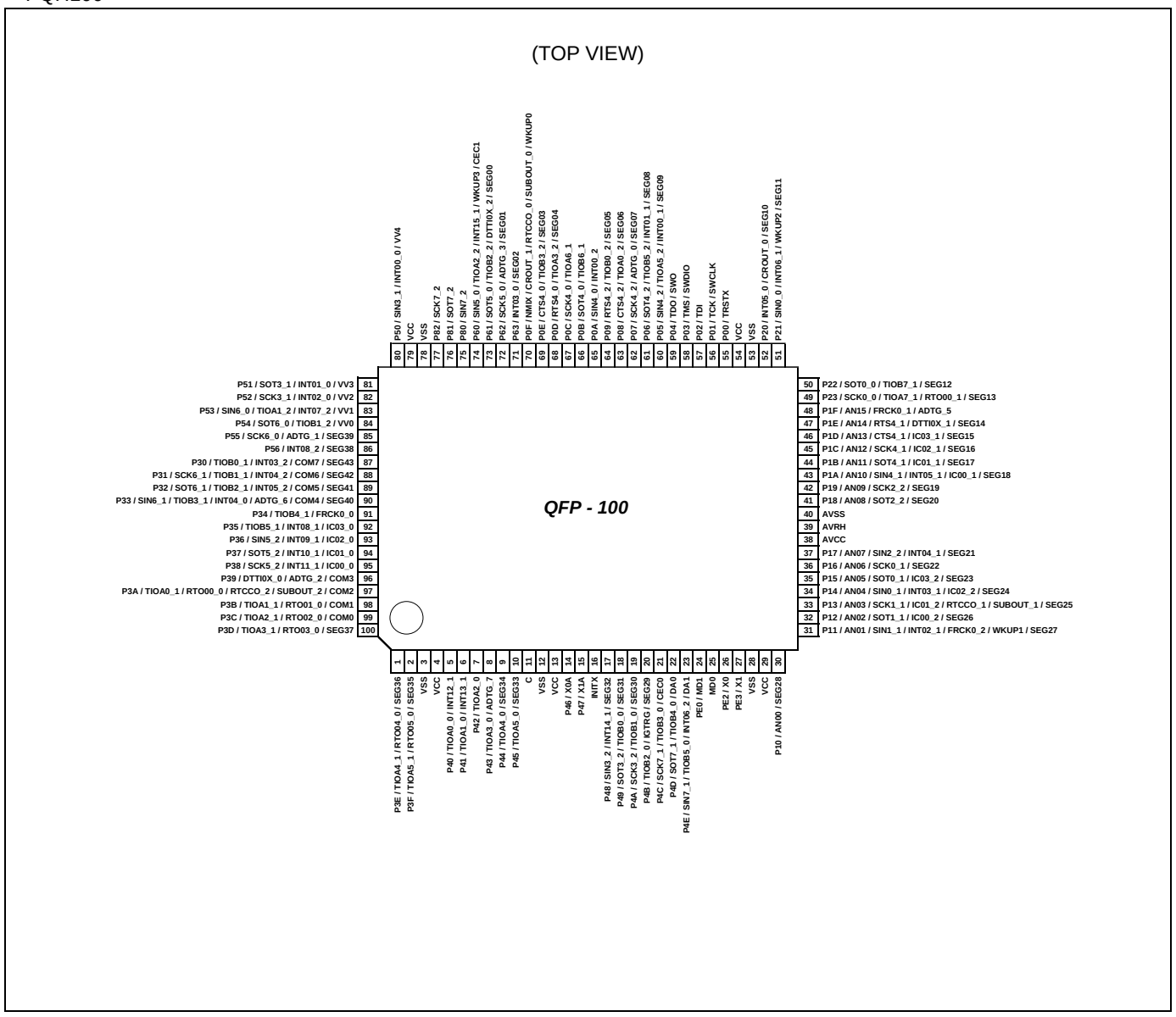
■LQI100



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

■PQH100



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

4. 引脚功能一览

■引脚号分类
引脚名称(例如 XXX_1, XXX_2)中下划线(“_”)后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
1	1	1	79	VCC	-	
2	2	2	80	P50	R	W
				INT00_0		
				SIN3_1		
				VV4		
-	3	3	81	P51	R	W
				INT01_0		
				SOT3_1 (SDA3_1)		
				VV3		
3	-	-	-	P51	E	F
				INT01_0		
				SOT3_1 (SDA3_1)		
-	4	4	82	P52	R	W
				INT02_0		
				SCK3_1 (SCL3_1)		
				VV2		
4	-	-	-	P52	E	F
				INT02_0		
				SCK3_1 (SCL3_1)		
-	5	5	83	P53	R	W
				SIN6_0		
				TIOA1_2		
				INT07_2		
				VV1		
-	6	6	84	P54	R	V
				SOT6_0 (SDA6_0)		
				TIOB1_2		
				VV0		
-	7	7	85	P55	J	U
				SCK6_0 (SCL6_0)		
				ADTG_1		
				SEG39		
-	8	8	86	P56	J	S
				INT08_2		
				SEG38		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
5	9	9	87	P30 TIOB0_1 INT03_2 COM7 SEG43	K	S
6	10	10	88	P31 TIOB1_1 SCK6_1 (SCL6_1) INT04_2 COM6 SEG42	K	S
7	11	11	89	P32 TIOB2_1 SOT6_1 (SDA6_1) INT05_2 COM5 SEG41	K	S
8	12	12	90	P33 INT04_0 TIOB3_1 SIN6_1 ADTG_6 COM4 SEG40	K	S
-	-	13	91	P34 FRCK0_0 TIOB4_1	E	H
-	-	14	92	P35 IC03_0 TIOB5_1 INT08_1	E	F
-	-	15	93	P36 IC02_0 SIN5_2 INT09_1	E	F
-	-	16	94	P37 IC01_0 SOT5_2 (SDA5_2) INT10_1	E	F

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
-	-	17	95	P38 IC00_0 SCK5_2 (SCL5_2) INT11_1	E	F
9	13	18	96	P39 DTTI0X_0 ADTG_2 COM3	L	U
10	14	19	97	P3A RTO00_0 (PPG00_0) TIOA0_1 RTCCO_2 SUBOUT_2 COM2	L	U
11	15	20	98	P3B RTO01_0 (PPG00_0) TIOA1_1 COM1	L	U
12	16	21	99	P3C RTO02_0 (PPG02_0) TIOA2_1 COM0	L	U
13	17	22	100	P3D RTO03_0 (PPG02_0) TIOA3_1 SEG37	J	U
14	18	23	1	P3E RTO04_0 (PPG04_0) TIOA4_1 SEG36	J	U
15	19	24	2	P3F RTO05_0 (PPG04_0) TIOA5_1 SEG35	J	U
16	20	25	3	VSS	-	
-	-	26	4	VCC	-	

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
-	-	27	5	P40 TIOA0_0 INT12_1	E	F
-	-	28	6	P41 TIOA1_0 INT13_1	E	F
-	-	29	7	P42 TIOA2_0	E	H
-	-	30	8	P43 TIOA3_0 ADTG_7	E	H
-	21	31	9	P44 TIOA4_0 SEG34	J	U
-	22	32	10	P45 TIOA5_0 SEG33	J	U
17	23	33	11	C	-	
-	24	34	12	VSS	-	
18	25	35	13	VCC	-	
19	26	36	14	P46 X0A	D	M
20	27	37	15	P47 X1A	D	N
21	28	38	16	INITX	B	C
-	29	39	17	P48 INT14_1 SIN3_2 SEG32	J	S
22	30	40	18	P49 TIOB0_0 SEG31	J	U
-				SOT3_2 (SDA3_2)		
23	31	41	19	P4A TIOB1_0 SEG30	J	U
-				SCK3_2 (SCL3_2)		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
24	32	42	20	P4B	J	U
				TIOB2_0		
				SEG29		
				IGTRG		
25	33	43	21	P4C	G	Q
				TIOB3_0		
				SCK7_1 (SCL7_1)		
				CEC0		
26	34	44	22	P4D	O	Z
				TIOB4_0		
				SOT7_1 (SDA7_1)		
				DA0		
27	35	45	23	P4E	O	Y
				TIOB5_0		
				INT06_2		
				SIN7_1		
				DA1		
28	36	46	24	PE0	C	P
				MD1		
29	37	47	25	MD0	H	D
30	38	48	26	PE2	A	A
				X0		
31	39	49	27	PE3	A	B
				X1		
32	40	50	28	VSS	-	
33	41	51	29	VCC	-	
34	42	52	30	P10	Q	J
				AN00		
				SEG28		
35	43	53	31	P11	Q	L
				AN01		
				SIN1_1		
				INT02_1		
				FRCK0_2		
				WKUP1		
				SEG27		
36	44	54	32	P12	Q	J
				AN02		
				SOT1_1 (SDA1_1)		
				IC00_2		
				SEG26		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
37	45	55	33	P13 AN03 SCK1_1 (SCL1_1) IC01_2 RTCCO_1 SUBOUT_1 SEG25	Q	J
38	46	56	34	P14 AN04 INT03_1 IC02_2 SEG24	Q	K
-				SIN0_1		
39	47	57	35	P15 AN05 IC03_2 SEG23	Q	J
-				SOT0_1		
-	48	58	36	P16 AN06 SCK0_1 (SCL0_1) SEG22	Q	J
40	49	59	37	P17 AN07 SIN2_2 INT04_1 SEG21	Q	K
41	50	60	38	AVCC	-	
42	51	61	39	AVRH	-	
43	52	62	40	AVSS	-	
44	53	63	41	P18 AN08 SOT2_2 (SDA2_2) SEG20	Q	J
45	54	64	42	P19 AN09 SCK2_2 (SCL2_2) SEG19	Q	J

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
-	55	65	43	P1A AN10 SIN4_1 INT05_1 IC00_1 SEG18	Q	K
-	56	66	44	P1B AN11 SOT4_1 (SDA4_1) IC01_1 SEG17	Q	J
-	-	67	45	P1C AN12 SCK4_1 (SCL4_1) IC02_1 SEG16	Q	J
-	-	68	46	P1D AN13 CTS4_1 IC03_1 SEG15	Q	J
-	-	69	47	P1E AN14 RTS4_1 DTTI0X_1 SEG14	Q	J
-	-	70	48	P1F AN15 ADTG_5 FRCK0_1	F	X
46	57	71	49	P23 SCK0_0 (SCL0_0) TIOA7_1 SEG13	J	U
-	-			RTO00_1		
47	58	72	50	P22 SOT0_0 (SDA0_0) TIOB7_1 SEG12	J	U

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
48	59	73	51	P21 SIN0_0 INT06_1 WKUP2 SEG11	J	T
-	60	74	52	P20 INT05_0 CROUT_0 SEG10	J	S
-	-	75	53	VSS	-	
-	-	76	54	VCC	-	
49	61	77	55	P00 TRSTX	E	E
50	62	78	56	P01 TCK SWCLK	E	E
51	63	79	57	P02 TDI	E	E
52	64	80	58	P03 TMS SWDIO	E	E
53	65	81	59	P04 TDO SWO	E	E
-	-	82	60	P05 TIOA5_2 SIN4_2 INT00_1 SEG09	J	S
-	-	83	61	P06 TIOB5_2 SOT4_2 (SDA4_2) INT01_1 SEG08	J	S
-	66	84	62	P07 ADTG_0 SEG07	J	U
	-			SCK4_2 (SCL4_2)		
-	-	85	63	P08 TIOA0_2 CTS4_2 SEG06	J	U

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
-	-	86	64	P09 TIOB0_2 RTS4_2 SEG05	J	U
54	67	87	65	P0A SIN4_0 INT00_2	G	F
55	68	88	66	P0B SOT4_0 (SDA4_0) TIOB6_1	G	H
56	69	89	67	P0C SCK4_0 (SCL4_0) TIOA6_1	G	H
-	70	90	68	P0D RTS4_0 TIOA3_2 SEG04	J	U
-	71	91	69	P0E CTS4_0 TIOB3_2 SEG03	J	U
57	72	92	70	P0F NMIX CROUT_1 RTCCO_0 SUBOUT_0 WKUP0	E	I
-	73	93	71	P63 INT03_0 SEG02	J	S
58	74	94	72	P62 SCK5_0 (SCL5_0) ADTG_3 SEG01	J	U
59	75	95	73	P61 SOT5_0 (SDA5_0) TIOB2_2 DTTI0X_2 SEG00	J	U

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-80	LQFP-100	QFP-100			
60	76	96	74	P60	G	R
				SIN5_0		
				TIOA2_2		
				INT15_1		
				WKUP3		
				CEC1		
61	77	97	75	P80	G	H
				SIN7_2		
62	78	98	76	P81	G	H
				SOT7_2		
63	79	99	77	P82	G	H
				SCK7_2		
64	80	100	78	VSS	-	

■引脚功能分类

引脚名称(例如 XXX_1, XXX_2)中下划线(“_”)后面的数字代表重定位端口号。这些引脚在同一路通道上提供多种功能，各功能均有自己的引脚名称。可通过扩展端口功能寄存器(EPFR)选择所用引脚名称。

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
ADC	ADTG_0	A/D 转换器外部触发输入引脚	-	66	84	62
	ADTG_1		-	7	7	85
	ADTG_2		9	13	18	96
	ADTG_3		58	74	94	72
	ADTG_4		-	-	-	-
	ADTG_5		-	-	70	48
	ADTG_6		8	12	12	90
	ADTG_7		-	-	30	8
	ADTG_8		-	-	-	-
	AN00	A/D 转换器模拟输入引脚。 ANxx 表示 ADC ch.xx。	34	42	52	30
	AN01		35	43	53	31
	AN02		36	44	54	32
	AN03		37	45	55	33
	AN04		38	46	56	34
	AN05		39	47	57	35
	AN06		-	48	58	36
	AN07		40	49	59	37
	AN08		44	53	63	41
	AN09		45	54	64	42
	AN10		-	55	65	43
	AN11		-	56	66	44
	AN12		-	-	67	45
	AN13		-	-	68	46
	AN14		-	-	69	47
	AN15		-	-	70	48

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
基本定时器 0	TIOA0_0	基本定时器 ch.0 TIOA 引脚	-	-	27	5
	TIOA0_1		10	14	19	97
	TIOA0_2		-	-	85	63
	TIOB0_0	基本定时器 ch.0 TIOB 引脚	22	30	40	18
	TIOB0_1		5	9	9	87
	TIOB0_2		-	-	86	64
基本定时器 1	TIOA1_0	基本定时器 ch.1 TIOA 引脚	-	-	28	6
	TIOA1_1		11	15	20	98
	TIOA1_2		-	5	5	83
	TIOB1_0	基本定时器 ch.1 TIOB 引脚	23	31	41	19
	TIOB1_1		6	10	10	88
	TIOB1_2		-	6	6	84
基本定时器 2	TIOA2_0	基本定时器 ch.2 TIOA 引脚	-	-	29	7
	TIOA2_1		12	16	21	99
	TIOA2_2		60	76	96	74
	TIOB2_0	基本定时器 ch.2 TIOB 引脚	24	32	42	20
	TIOB2_1		7	11	11	89
	TIOB2_2		59	75	95	73
基本定时器 3	TIOA3_0	基本定时器 ch.3 TIOA 引脚	-	-	30	8
	TIOA3_1		13	17	22	100
	TIOA3_2		-	70	90	68
	TIOB3_0	基本定时器 ch.3 TIOB 引脚	25	33	43	21
	TIOB3_1		8	12	12	90
	TIOB3_2		-	71	91	69
基本定时器 4	TIOA4_0	基本定时器 ch.4 TIOA 引脚	-	21	31	9
	TIOA4_1		14	18	23	1
	TIOA4_2		-	-	-	-
	TIOB4_0	基本定时器 ch.4 TIOB 引脚	26	34	44	22
	TIOB4_1		-	-	13	91
	TIOB4_2		-	-	-	-
基本定时器 5	TIOA5_0	基本定时器 ch.5 TIOA 引脚	-	22	32	10
	TIOA5_1		15	19	24	2
	TIOA5_2		-	-	82	60
	TIOB5_0	基本定时器 ch.5 TIOB 引脚	27	35	45	23
	TIOB5_1		-	-	14	92
	TIOB5_2		-	-	83	61
基本定时器 6	TIOA6_1	基本定时器 ch.6 TIOA 引脚	56	69	89	67
	TIOB6_1	基本定时器 ch.6 TIOB 引脚	55	68	88	66
基本定时器 7	TIOA7_0	基本定时器 ch.7 TIOA 引脚	-	-	-	-
	TIOA7_1		46	57	71	49
	TIOA7_2		-	-	-	-
	TIOB7_0	基本定时器 ch.7 TIOB 引脚	-	-	-	-
	TIOB7_1		47	58	72	50
	TIOB7_2		-	-	-	-

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
调试	SWCLK	串行线调试接口时钟输入引脚	50	62	78	56
	SWDIO	串行线调试接口数据 I/O 引脚	52	64	80	58
	SWO	串行线浏览器输出引脚	53	65	81	59
	TRSTX	J-TAG 复位输入引脚	49	61	77	55
	TCK	J-TAG 测试时钟输入引脚	50	62	78	56
	TDI	J-TAG 测试数据输入引脚	51	63	79	57
	TMS	J-TAG 测试模式状态输入/输出引脚	52	64	80	58
	TDO	J-TAG 调试数据输出引脚	53	65	81	59
外部中断	INT00_0	外部中断请求 00 输入引脚	2	2	2	80
	INT00_1		-	-	82	60
	INT00_2		54	67	87	65
	INT01_0	外部中断请求 01 输入引脚	3	3	3	81
	INT01_1		-	-	83	61
	INT02_0	外部中断请求 02 输入引脚	4	4	4	82
	INT02_1		35	43	53	31
	INT03_0	外部中断请求 03 输入引脚	-	73	93	71
	INT03_1		38	46	56	34
	INT03_2		5	9	9	87
	INT04_0	外部中断请求 04 输入引脚	8	12	12	90
	INT04_1		40	49	59	37
	INT04_2		6	10	10	88
	INT05_0	外部中断请求 05 输入引脚	-	60	74	52
	INT05_1		-	55	65	43
	INT05_2		7	11	11	89
	INT06_1	外部中断请求 06 输入引脚	48	59	73	51
	INT06_2		27	35	45	23
	INT07_2	外部中断请求 07 输入引脚	-	5	5	83
	INT08_1	外部中断请求 08 输入引脚	-	-	14	92
	INT08_2		-	8	8	86
	INT09_1	外部中断请求 09 输入引脚	-	-	15	93
	INT10_1	外部中断请求 10 输入引脚	-	-	16	94
	INT11_1	外部中断请求 11 输入引脚	-	-	17	95
	INT12_1	外部中断请求 12 输入引脚	-	-	27	5
	INT13_1	外部中断请求 13 输入引脚	-	-	28	6
	INT14_1	外部中断请求 14 输入引脚	-	29	39	17
	INT15_1	外部中断请求 15 输入引脚	60	76	96	74
	NMIX	不可屏蔽中断输入引脚	57	72	92	70

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
GPIO	P00	通用 I/O 口 0	49	61	77	55
	P01		50	62	78	56
	P02		51	63	79	57
	P03		52	64	80	58
	P04		53	65	81	59
	P05		-	-	82	60
	P06		-	-	83	61
	P07		-	66	84	62
	P08		-	-	85	63
	P09		-	-	86	64
	P0A		54	67	87	65
	P0B		55	68	88	66
	P0C		56	69	89	67
	P0D		-	70	90	68
	P0E		-	71	91	69
	P0F		57	72	92	70
	P10	通用 I/O 口 1	34	42	52	30
	P11		35	43	53	31
	P12		36	44	54	32
	P13		37	45	55	33
	P14		38	46	56	34
	P15		39	47	57	35
	P16		-	48	58	36
	P17		40	49	59	37
	P18		44	53	63	41
	P19		45	54	64	42
	P1A		-	55	65	43
	P1B		-	56	66	44
	P1C		-	-	67	45
	P1D		-	-	68	46
	P1E		-	-	69	47
	P1F		-	-	70	48
	P20	通用 I/O 口 2	-	60	74	52
	P21		48	59	73	51
	P22		47	58	72	50
	P23		46	57	71	49

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
GPIO	P30	通用 I/O 口 3	5	9	9	87
	P31		6	10	10	88
	P32		7	11	11	89
	P33		8	12	12	90
	P34		-	-	13	91
	P35		-	-	14	92
	P36		-	-	15	93
	P37		-	-	16	94
	P38		-	-	17	95
	P39		9	13	18	96
	P3A		10	14	19	97
	P3B		11	15	20	98
	P3C		12	16	21	99
	P3D		13	17	22	100
	P3E		14	18	23	1
	P3F		15	19	24	2
	P40	通用 I/O 口 4	-	-	27	5
	P41		-	-	28	6
	P42		-	-	29	7
	P43		-	-	30	8
	P44		-	21	31	9
	P45		-	22	32	10
	P46		19	26	36	14
	P47		20	27	37	15
	P48		-	29	39	17
	P49		22	30	40	18
	P4A		23	31	41	19
	P4B		24	32	42	20
	P4C		25	33	43	21
	P4D		26	34	44	22
	P4E		27	35	45	23
	P50	通用 I/O 口 5	2	2	2	80
	P51		3	3	3	81
	P52		4	4	4	82
	P53		-	5	5	83
	P54		-	6	6	84
	P55		-	7	7	85
	P56		-	8	8	86
	P60	通用 I/O 口 6	60	76	96	74
	P61		59	75	95	73
	P62		58	74	94	72
	P63		-	73	93	71
	P80	通用 I/O 口 8	61	77	97	75
	P81		62	78	98	76
	P82		63	79	99	77
	PE0	通用 I/O 口 E	28	36	46	24
	PE2		30	38	48	26
	PE3		31	39	49	27

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
多功能串口0	SIN0_0	多功能串口 ch.0 输入引脚	48	59	73	51
	SIN0_1		-	46	56	34
	SOT0_0 (SDA0_0)	多功能串口 ch.0 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT0;充当 I²C 引脚(工作模式 4)，可用作 SDA0。	47	58	72	50
	SOT0_1 (SDA0_1)		-	47	57	35
	SCK0_0 (SCL0_0)	多功能串口 ch.0 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK0;充当 I²C 引脚(工作模式 4)，可用作 SCL0。	46	57	71	49
	SCK0_1 (SCL0_1)		-	48	58	36
多功能串口1	SIN1_1	多功能串口 ch.1 输入引脚	35	43	53	31
	SOT1_1 (SDA1_1)	多功能串口 ch.1 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT1;充当 I²C 引脚(工作模式 4)，可用作 SDA1。	36	44	54	32
	SCK1_1 (SCL1_1)	多功能串口 ch.1 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK1;充当 I²C 引脚(工作模式 4)，可用作 SCL1。	37	45	55	33
多功能串口2	SIN2_2	多功能串口 ch.2 输入引脚	40	49	59	37
	SOT2_2 (SDA2_2)	多功能串口 ch.2 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT2;充当 I²C 引脚(工作模式 4)，可用作 SDA2。	44	53	63	41
	SCK2_2 (SCL2_2)	多功能串口 ch.2 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK2;充当 I²C 引脚(工作模式 4)，可用作 SCL2。	45	54	64	42

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
多功能串口3	SIN3_1	多功能串口 ch.3 输入引脚	2	2	2	80
	SIN3_2		-	29	39	17
	SOT3_1 (SDA3_1)	多功能串口 ch.3 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT3;充当 I²C 引脚(工作模式 4)，可用作 SDA3。	3	3	3	81
	SOT3_2 (SDA3_2)		-	30	40	18
	SCK3_1 (SCL3_1)	多功能串口 ch.3 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK3;充当 I²C 引脚(工作模式 4)，可用作 SCL3。	4	4	4	82
	SCK3_2 (SCL3_2)		-	31	41	19
多功能串口4	SIN4_0	多功能串口 ch.4 输入引脚	54	67	87	65
	SIN4_1		-	55	65	43
	SIN4_2		-	-	82	60
	SOT4_0 (SDA4_0)	多功能串口 ch.4 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT4;充当 I²C 引脚(工作模式 4)，可用作 SDA4。	55	68	88	66
	SOT4_1 (SDA4_1)		-	56	66	44
	SOT4_2 (SDA4_2)		-	-	83	61
	SCK4_0 (SCL4_0)	多功能串口 ch.4 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK4;充当 I²C 引脚(工作模式 4)，可用作 SCL4。	56	69	89	67
	SCK4_1 (SCL4_1)		-	-	67	45
	SCK4_2 (SCL4_2)		-	-	84	62
	RTS4_0	多功能串口 ch.4 RTS 输出引脚	-	70	90	68
	RTS4_1		-	-	69	47
	RTS4_2		-	-	86	64
	CTS4_0	多功能串口 ch.4 CTS 输入引脚	-	71	91	69
	CTS4_1		-	-	68	46
	CTS4_2		-	-	85	63

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
多功能串口5	SIN5_0	多功能串口 ch.5 输入引脚	60	76	96	74
	SIN5_2		-	-	15	93
	SOT5_0 (SDA5_0)	多功能串口 ch.5 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT5;充当 I²C 引脚(工作模式 4)，可用作 SDA5。	59	75	95	73
	SOT5_2 (SDA5_2)		-	-	16	94
	SCK5_0 (SCL5_0)	多功能串口 ch.5 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK5;充当 I²C 引脚(工作模式 4)，可用作 SCL5。	58	74	94	72
	SCK5_2 (SCL5_2)		-	-	17	95
多功能串口6	SIN6_0	多功能串口 ch.6 输入引脚	-	5	5	83
	SIN6_1		8	12	12	90
	SOT6_0 (SDA6_0)	多功能串口 ch.6 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT6;充当 I²C 引脚(工作模式 4)，可用作 SDA6。	-	6	6	84
	SOT6_1 (SDA6_1)		7	11	11	89
	SCK6_0 (SCL6_0)	多功能串口 ch.6 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK6;充当 I²C 引脚(工作模式 4)，可用作 SCL6。	-	7	7	85
	SCK6_1 (SCL6_1)		6	10	10	88
多功能串口7	SIN7_1	多功能串口 ch.7 输入引脚	27	35	45	23
	SIN7_2		61	77	97	75
	SOT7_1 (SDA7_1)	多功能串口 ch.7 输出引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SOT7;充当 I²C 引脚(工作模式 4)，可用作 SDA7。	26	34	44	22
	SOT7_2 (SDA7_2)		62	78	98	76
	SCK7_1 (SCL7_1)	多功能串口 ch.7 时钟 I/O 引脚。充当 UART/CSIO 引脚(工作模式 0 ~ 2) 时，可用作 SCK7;充当 I²C 引脚(工作模式 4)，可用作 SCL7。	25	33	43	21
	SCK7_2 (SCL7_2)		63	79	99	77

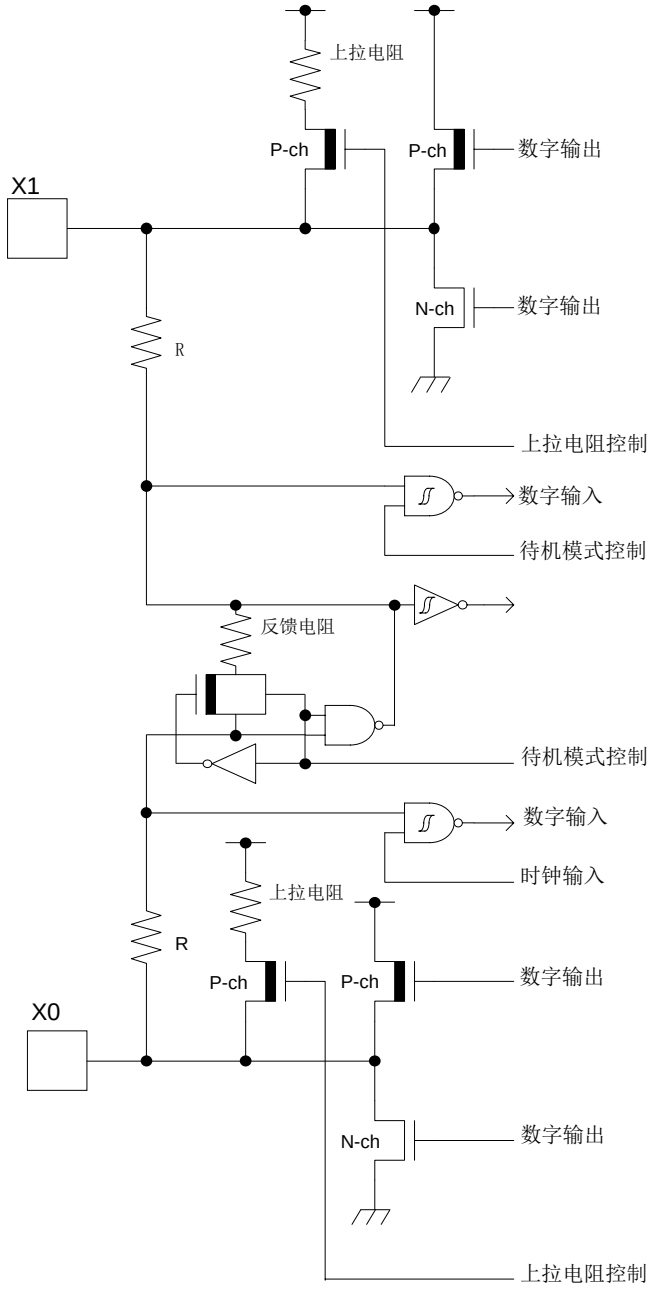
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
多功能定时器0	DTTI0X_0	控制多功能定时器0的RTO00 ~ RTO05输出的波形发生器的输入信号	9	13	18	96
	DTTI0X_1		-	-	69	47
	DTTI0X_2		59	75	95	73
	FRCK0_0	16位自由运行定时器ch.0外部时钟输入引脚	-	-	13	91
	FRCK0_1		-	-	70	48
	FRCK0_2		35	43	53	31
	IC00_0	多功能定时器0的16位输入捕捉输入引脚。ICxx表示通道号。	-	-	17	95
	IC00_1		-	55	65	43
	IC00_2		36	44	54	32
	IC01_0		-	-	16	94
	IC01_1		-	56	66	44
	IC01_2		37	45	55	33
	IC02_0		-	-	15	93
	IC02_1		-	-	67	45
	IC02_2		38	46	56	34
	IC03_0		-	-	14	92
	IC03_1		-	-	68	46
	IC03_2		39	47	57	35
	RTO00_0 (PPG00_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG00功能。	10	14	19	97
	RTO00_1 (PPG00_1)		-	-	71	49
	RTO01_0 (PPG00_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG00功能。	11	15	20	98
	RTO02_0 (PPG02_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG02功能。	12	16	21	99
	RTO03_0 (PPG02_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG02功能。	13	17	22	100
	RTO04_0 (PPG04_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG04功能。	14	18	23	1
	RTO05_0 (PPG04_0)	多功能定时器0的波形发生器输出引脚。PPG0输出模式下使用时，可用作PPG04功能。	15	19	24	2
	IGTRG	PPG IGBT模式外部触发输入引脚	24	32	42	20

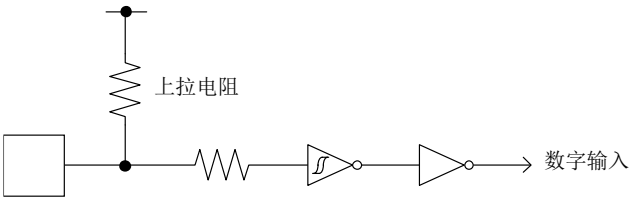
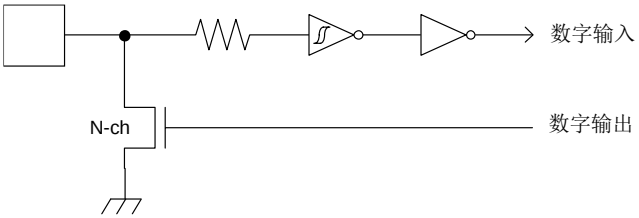
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
LCD 控制器	VV0	LCD 控制器电源 I/O 引脚	-	6	6	84
	VV1		-	5	5	83
	VV2		-	4	4	82
	VV3		-	3	3	81
	VV4		2	2	2	80
	COM0	LCD 控制器 COM 输出引脚	12	16	21	99
	COM1		11	15	20	98
	COM2		10	14	19	97
	COM3		9	13	18	96
	COM4		8	12	12	90
	COM5		7	11	11	89
	COM6		6	10	10	88
	COM7		5	9	9	87
	SEG00	LCD 控制器 SEG 输出引脚	59	75	95	73
	SEG01		58	74	94	72
	SEG02		-	73	93	71
	SEG03		-	71	91	69
	SEG04		-	70	90	68
	SEG05		-	-	86	64
	SEG06		-	-	85	63
	SEG07		-	66	84	62
	SEG08		-	-	83	61
	SEG09		-	-	82	60
	SEG10		-	60	74	52
	SEG11		48	59	73	51
	SEG12		47	58	72	50
	SEG13		46	57	71	49
	SEG14		-	-	69	47
	SEG15		-	-	68	46
	SEG16		-	-	67	45
	SEG17		-	56	66	44
	SEG18		-	55	65	43
	SEG19		45	54	64	42
	SEG20		44	53	63	41
	SEG21		40	49	59	37
	SEG22		-	48	58	36
	SEG23		39	47	57	35
	SEG24		38	46	56	34
	SEG25		37	45	55	33
	SEG26		36	44	54	32
	SEG27		35	43	53	31
	SEG28		34	42	52	30
	SEG29		24	32	42	20
	SEG30		23	31	41	19
	SEG31		22	30	40	18
	SEG32		-	29	39	17
	SEG33		-	22	32	10
	SEG34		-	21	31	9
	SEG35		15	19	24	2

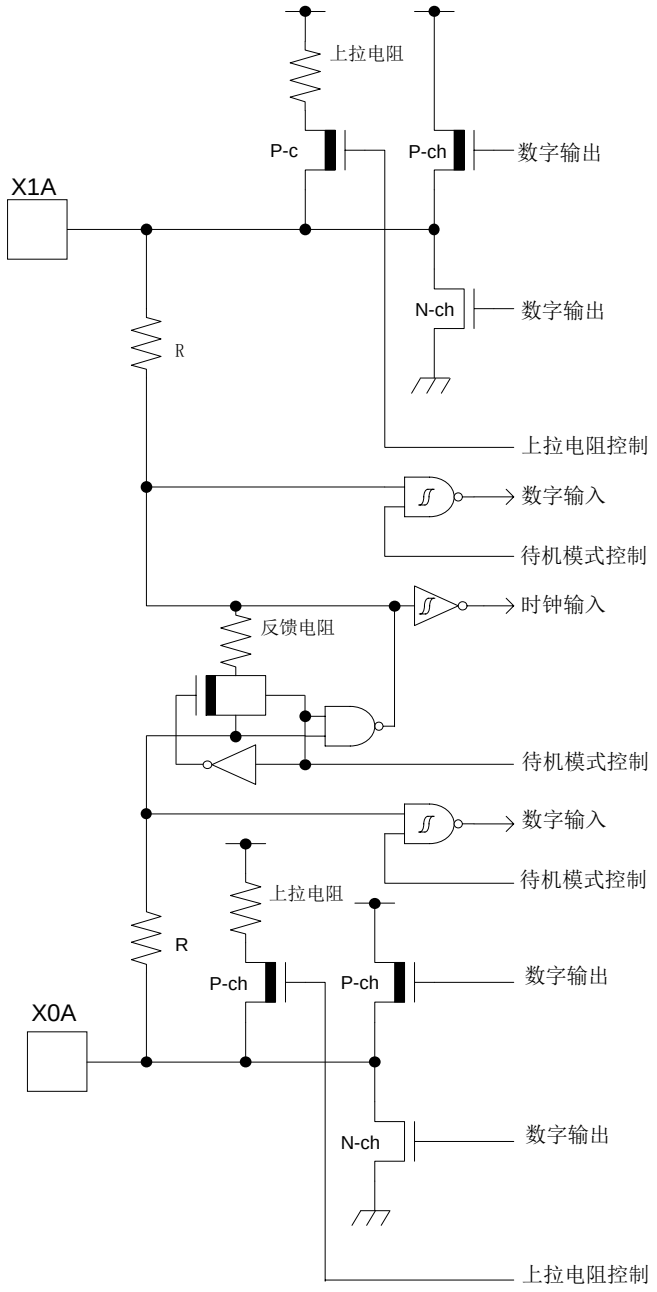
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
LCD 控制器	SEG36	LCD 控制器 SEG 输出引脚	14	18	23	1
	SEG37		13	17	22	100
	SEG38		-	8	8	86
	SEG39		-	7	7	85
	SEG40		8	12	12	90
	SEG41		7	11	11	89
	SEG42		6	10	10	88
	SEG43		5	9	9	87
实时时钟	RTCCO_0	实时时钟的脉冲输出引脚	57	72	92	70
	RTCCO_1		37	45	55	33
	RTCCO_2		10	14	19	97
	SUBOUT_0	副时钟输出引脚	57	72	92	70
	SUBOUT_1		37	45	55	33
	SUBOUT_2		10	14	19	97
低功耗模式	WKUP0	深度待机模式返回信号输入引脚 0	57	72	92	70
	WKUP1	深度待机模式返回信号输入引脚 1	35	43	53	31
	WKUP2	深度待机模式返回信号输入引脚 2	48	59	73	51
	WKUP3	深度待机模式返回信号输入引脚 3	60	76	96	74
DAC	DA0	D/A 转换器 ch.0 模拟输出引脚	26	34	44	22
	DA1	D/A 转换器 ch.1 模拟输出引脚	27	35	45	23
HDMI-CEC/遥控接收	CEC0	HDMI-CEC/遥控接收 ch.0 输入/输出引脚	25	33	43	21
	CEC1	HDMI-CEC/遥控接收 ch.1 输入/输出引脚	60	76	96	74

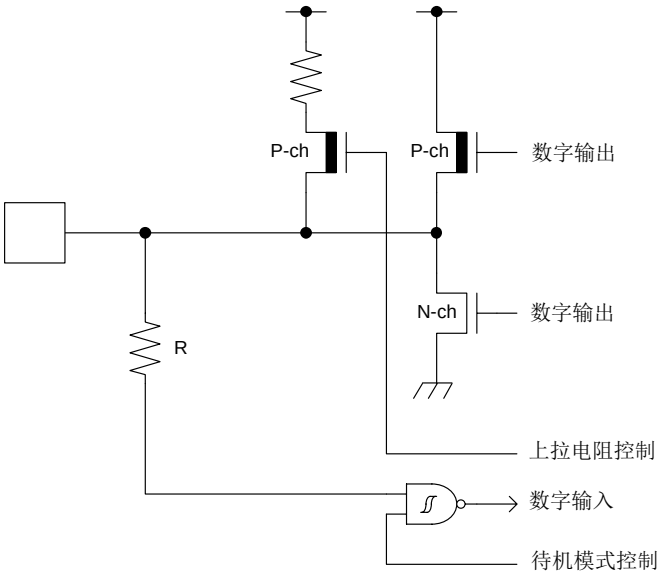
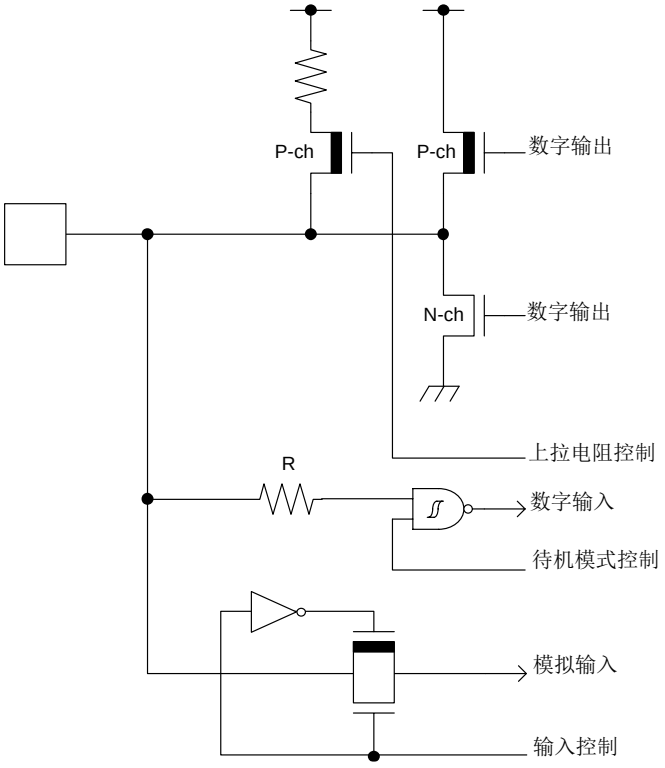
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-64, QFN-64	LQFP-80	LQFP-100	QFP-100
Reset	INITX	外部复位输入引脚。 INITX="L"时，复位有效。	21	28	38	16
模式	MD0	Mode 0 引脚。 正常工作时，须输入 MD0 = "L"。 闪存串行编程时，须输入 MD0 = "H"。	29	37	47	25
	MD1	Mode 1 引脚。 正常工作时，不必输入。 闪存串行编程时，须输入 MD1 = "L"。	28	36	46	24
Power	VCC	电源引脚	1	1	1	79
	VCC		-	-	26	4
	VCC		18	25	35	13
	VCC		33	41	51	29
	VCC		-	-	76	54
GND	VSS	GND 引脚	16	20	25	3
	VSS		-	24	34	12
	VSS		32	40	50	28
	VSS		-	-	75	53
	VSS		64	80	100	78
时钟	X0	主时钟(振荡)输入引脚	30	38	48	26
	X0A	副时钟(振荡)输入引脚	19	26	36	14
	X1	主时钟(振荡) I/O 引脚	31	39	49	27
	X1A	副时钟(振荡) I/O 引脚	20	27	37	15
	CROUT_0	内置高速 CR 振荡时钟输出端口	-	60	74	52
	CROUT_1		57	72	92	70
模拟 Power	AVCC	A/D 转换器和 D/A 转换器模拟电源引脚	41	50	60	38
	AVRH	A/D 转换器模拟基准电压输入引脚	42	51	61	39
模拟 GND	AVSS	A/D 转换器和 D/A 转换器 GND 引脚	43	52	62	40
C 引脚	C	电源稳定电容引脚	17	23	33	11

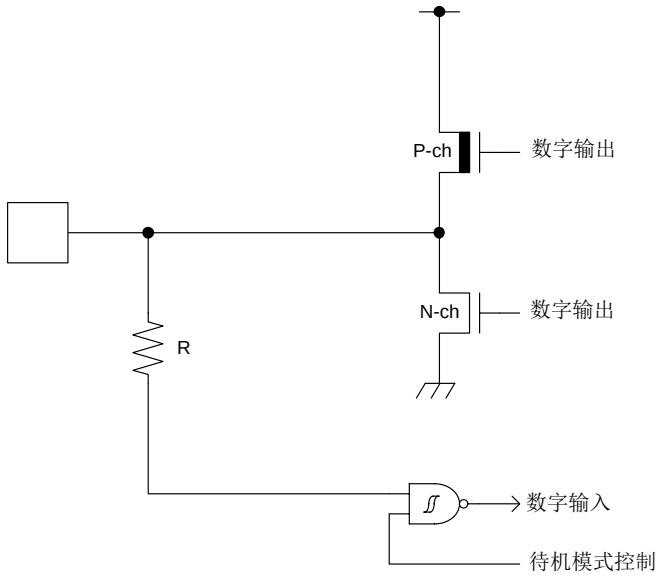
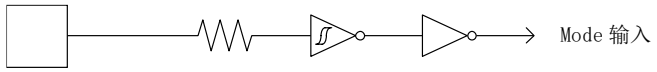
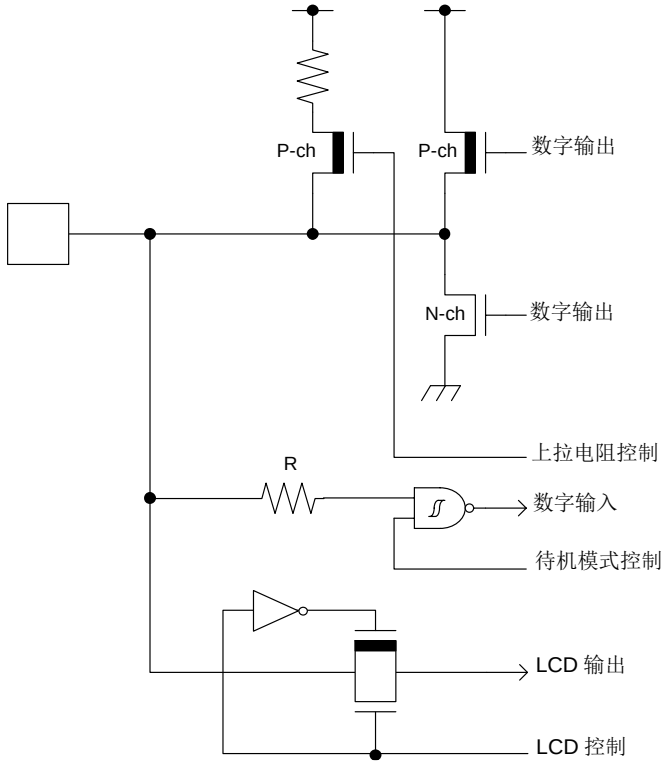
5. I/O 电路类型

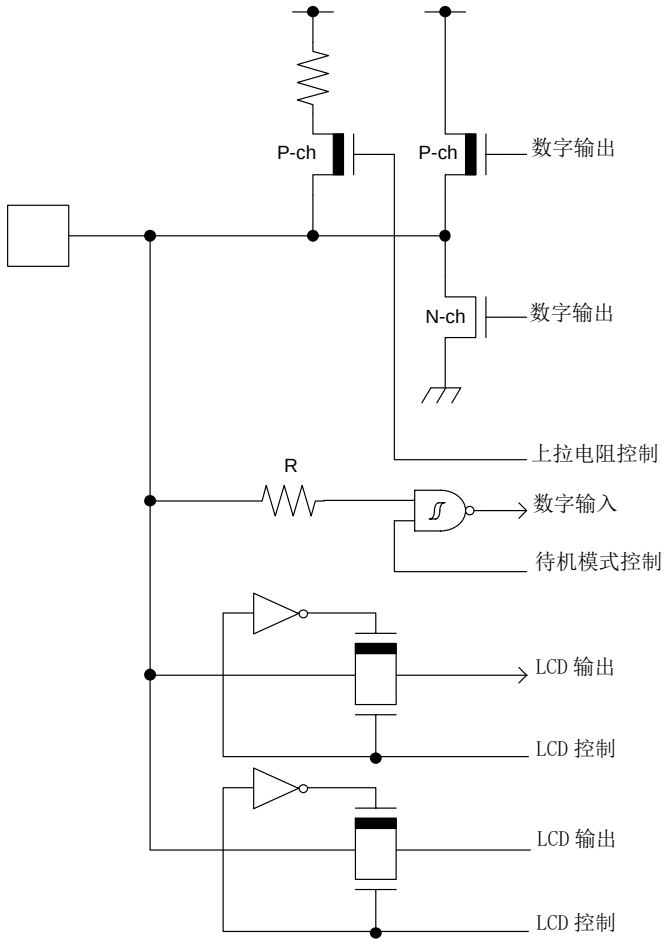
类型	电路	备注
A		可选择主振荡/GPIO 功能 选择主振荡功能时 ■振荡反馈电阻:约 1 MΩ ■带待机控制 选择 GPIO 功能时 ■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA

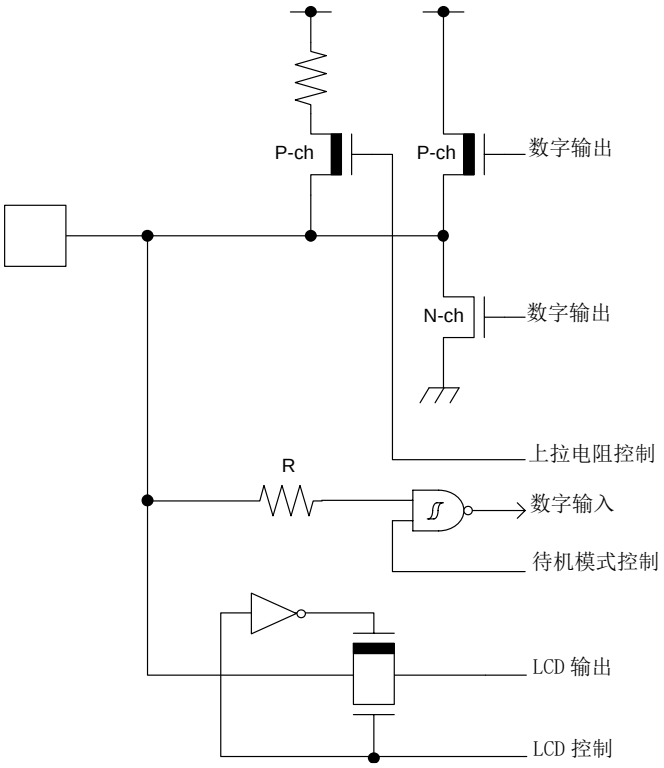
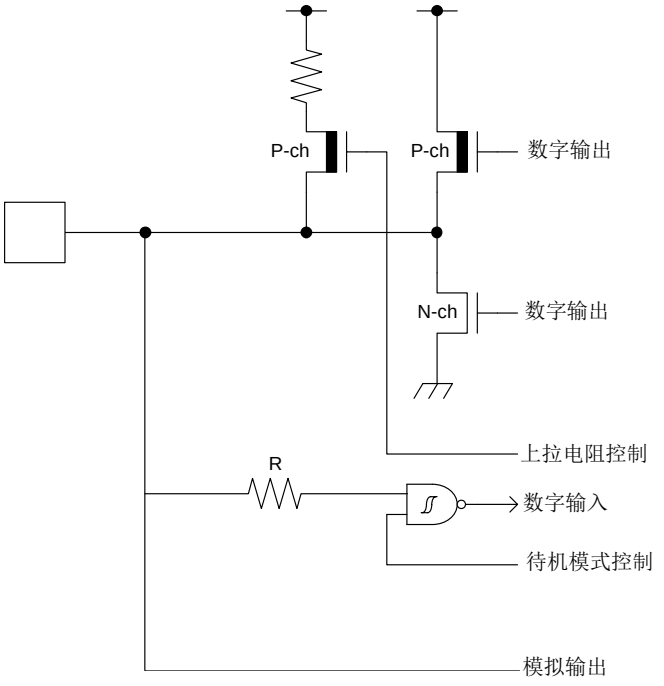
类型	电路	备注
B		■CMOS 电平迟滞输入 ■上拉电阻:约 50 kΩ
C		■开漏输出 ■CMOS 电平迟滞输入

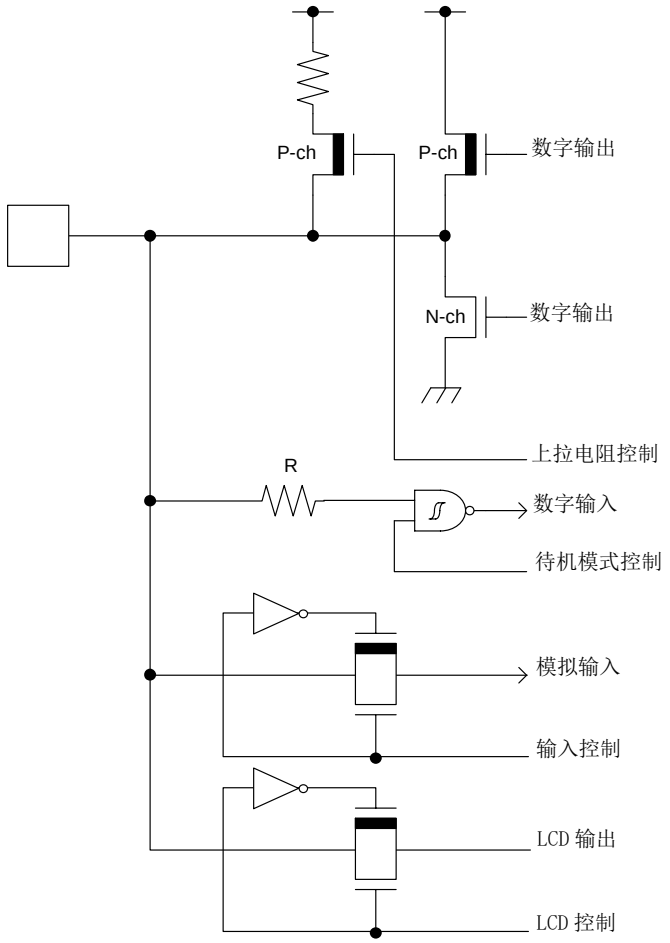
类型	电路	备注
D		可切换副振荡/GPIO 功能 选择副振荡功能时 ■振荡反馈电阻:约 5 MΩ ■带待机控制 选择 GPIO 时 ■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA

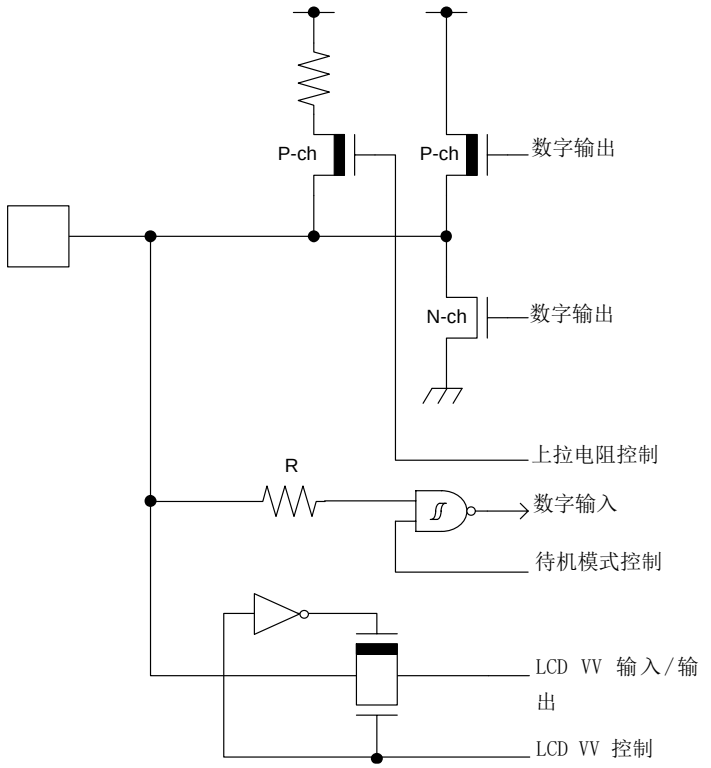
类型	电路	备注
E		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH}= -4 mA, I_{OL}= 4 mA ■用作 I²C 引脚时，数字输出 P-ch 晶体管始终关闭。
F		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■模拟输入 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH}= -4 mA, I_{OL}= 4 mA

类型	电路	备注
G		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带待机控制 ■耐 5 V 输入 ■I_{OH} = -4 mA, I_{OL} = 4 mA ■可控制 PZR 寄存器仅限 P0B, P0C, P4C, P60, P81, P82。 ■用作 I²C 引脚时，数字输出 P-ch 晶体管始终关闭。
H		CMOS 电平迟滞输入
J		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■LCD SEG 输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■用作 I²C 引脚时，数字输出 P-ch 晶体管始终关闭。

类型	电路	备注
K		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■LCD COM 输出 ■LCD SEG 输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■用作 I^2C 引脚时，数字输出 P-ch 晶体管始终关闭。

类型	电路	备注
L		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■LCD COM 输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH}= -4 mA, I_{OL}= 4 mA
O		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■模拟输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH}= -4 mA, I_{OL}= 4 mA ■用作 I^2C 引脚时，数字输出 P-ch 晶体管始终关闭。

类型	电路	备注
Q		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■模拟输入 ■LCD SEG 输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH} = -4 mA, I_{OL} = 4 mA ■用作 I^2C 引脚时，数字输出 P-ch 晶体管始终关闭。

类型	电路	备注
R		■CMOS 电平输出 ■CMOS 电平迟滞输入 ■带输入控制 ■LCD VV 输入/输出 ■带上拉电阻控制 ■带待机控制 ■上拉电阻:约 50 kΩ ■I_{OH}= -4 mA, I_{OL}= 4 mA ■用作 I^2C 引脚时，数字输出 P-ch 晶体管始终关闭。

6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用 Cypress 半导体芯片时遵守下列注意事项，可降低故障概率并提高产品性能。

6.1 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

■遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此，注意不可超过这些额定值。

■遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。请保证电气特性的额定值符合这些条件范围。

请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

本公司不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时，请事先与销售部门联系。

■引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时，须注意以下事项。

1. 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部，在极端情况下甚至会永久损坏芯片。设计产品时，请防止产生过电压、过电流。

2. 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤芯片。
因此不要进行此类连接。

3. 未用输入引脚的保护

在悬空状态下使用高阻抗电平的输入引脚时，可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

■闩锁

半导体芯片根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时，内部寄生 PNPN 接合点(晶闸管构造)导通后，增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

注意:这一现象会降低芯片的可靠性，还有引起发热、冒烟和起火的危险。为避免以上现象发生，应该注意以下几点:

1. 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。
2. 考虑上电的先后顺序，不要流入异常电流。

■遵守安全法规和标准

世界各国提供了诸如安全和地磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

■故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施，保证即使在设备发生故障的情况下，也不会造成人身伤害、火灾和社会损失。

■芯片使用注意事项

Cypress 半导体器件旨在用于标准应用（计算机、办公自动化和其它办公设备、工业、通信和测量设备、个人或家用设备等）。

注意:如果客户考虑把我们的产品用于特殊的应用中，其发生故障或不正常运行可能直接危及生命安全或导致人身伤害或财产损失时，或者是在需要极高可靠性的场合（比如航空航天系统、原子能控制、海底中继器、车辆操作控制、医用维系生命设备等），请在使用前咨询我们的销售代表。本公司不对未经事前同意的此类使用造成的损失负责。

6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合 Cypress 推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

■直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接: 铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合 Cypress 推荐的工作条件。

使用插座封装方法: 插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。

■表贴型

与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)，

请采用合适的封装技术。Cypress 推荐焊接方法的产品封装条件实施等级分类。用户请按照 Cypress 推荐的等级分类进行封装。

■无铅封装

注意:使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

■半导体芯片的保管

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点:

1. 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。请在温度变化低的场所保管产品。
2. 推荐使用干燥箱保管产品。保管时相对湿度 70%RH 以下，温度 5°C ~ 30°C。
   干燥的封装开封时，推荐湿度为 40% ~ 70% RH。
3. Cypress 的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
4. 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

■烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时，请在 Cypress 推荐的条件下进行。

条件:125°C/24 h

■静电

静电容易破坏半导体芯片，请注意以下几点:

1. 工作环境的相对湿度: 40% ~ 70% RH。必要时考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
3. 为防止人体静电，可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态，着导电性好的衣服鞋子，床上铺设导电垫，这些措施可使带电电荷保持在最小限度。
4. 请将夹具及计量类仪表仪器接地或者进行防静电处理。
5. 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

6.3 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。

使用时请注意以下几点:

1. 湿度环境

长期在高湿度环境下使用可引起芯片以及 PCB 板的漏电等问题。如果预料到芯片会放置到高湿度环境，请考虑进行防潮处理。

2. 静电放电

半导体芯片靠近高压带电物体时，可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。

3. 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片，引起的化学反应可能对芯片产生不良影响。在这样的环境下使用时，请采取预防措施。

4. 放射线及宇宙射线

一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此，若要在这样的环境下使用，请做好防护。

5. 冒烟及起火

注意:模质树脂型的芯片具有可燃性，因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时，请咨询 Cypress 销售部门。

7. 芯片使用注意事项

■电源引脚
若产品有多个 VCC, VSS 引脚，为防止芯片设计时因闩锁等产生误动作，可把芯片内同一电位上的引脚相互连接。为防止因额外的辐射或者地线的上升致使选通信号发生误动作，请务必把这些引脚与外部电源或地线连接，以符合总输出电流的额定。

另外，使用尽可能低的电阻连接电流供应源和本芯片的各电源引脚及 GND 引脚。此外，推荐在本芯片附近各电源引脚和 GND 引脚之间连接一个约 0.1 µF 的陶瓷电容器作为旁路电容。

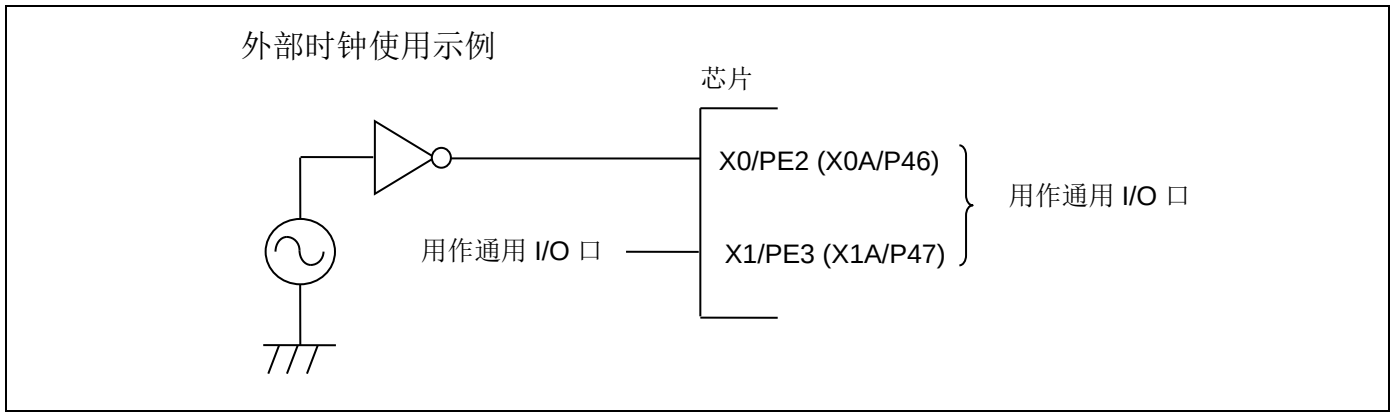
■稳定电源电压
即便在 VCC 电源电压的保证工作范围内，电源电压的瞬变也可能引发故障。电压稳定要以以下两者为基准。在商用频率(50 Hz ~ 60 Hz)下的 VCC 波纹变动(P-P 值)要保持在标准 VCC 的 10%或以下；在电源切换等短暂变化时，需把电压的瞬变率控制在 0.1 V/µs 或以下。

■晶振电路
X0/X1, X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时，X0/X1 引脚、X0A/X1A 引脚、晶振要尽量靠近地线的旁路电容。

强烈建议设计时地线应环绕 X0/X1 引脚和 X0A/X1A 引脚，这样印刷电路板才能够稳定工作。

对安装板上所用晶体振荡器产生的振荡进行评估。

■外部时钟使用注意事项
使用外部时钟时，时钟信号输入到 X0/PE2 引脚和 X0A/P46 引脚。



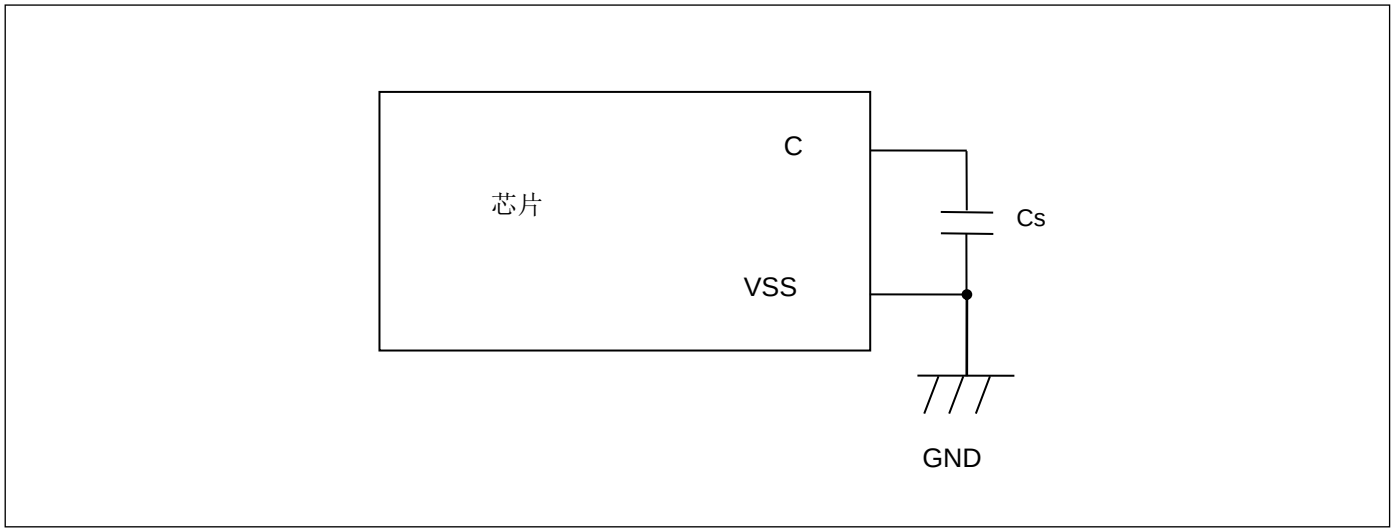
■多功能串行引脚用作 I²C 引脚时的注意事项
如果多功能串行引脚用作 I²C 引脚，数字输出 P-ch 晶体管始终处于禁止状态。但是，I²C 引脚需要如其它引脚一样保持电气特性，断电后无需与外部 I²C 总线系统连接。

■C 引脚

本系列内置稳压器。务必在 C 引脚和 GND 引脚之间链接一个平滑电容器(Cs)供稳压器使用。请使用陶瓷电容器或具有相同频率特性的电容器作为平滑电容器。

有些多层陶瓷电容器在电容值温度变化幅度上具有特性(F 特性、Y5V 特性)。请确认电容器的温度特性，选择满足使用条件规格值的电容器。

本系列推荐使用 4.7 µF 左右的平滑电容器。



■模式引脚(MD0, MD1)

模式引脚(MD0, MD1)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式，设计电路板时上拉或下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离，最好用低阻抗连结。

■上电注意事项

同时开关电源或按照以下顺序开关电源。

不使用 A/D 转换器时，请按照 AVCC = VCC 电平，AVSS = VSS 电平连接。

上电时:VCC→AVCC→AVRH

断电时:AVRH→AVCC→VCC

■串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。

因此，请设计能降噪的电路板。

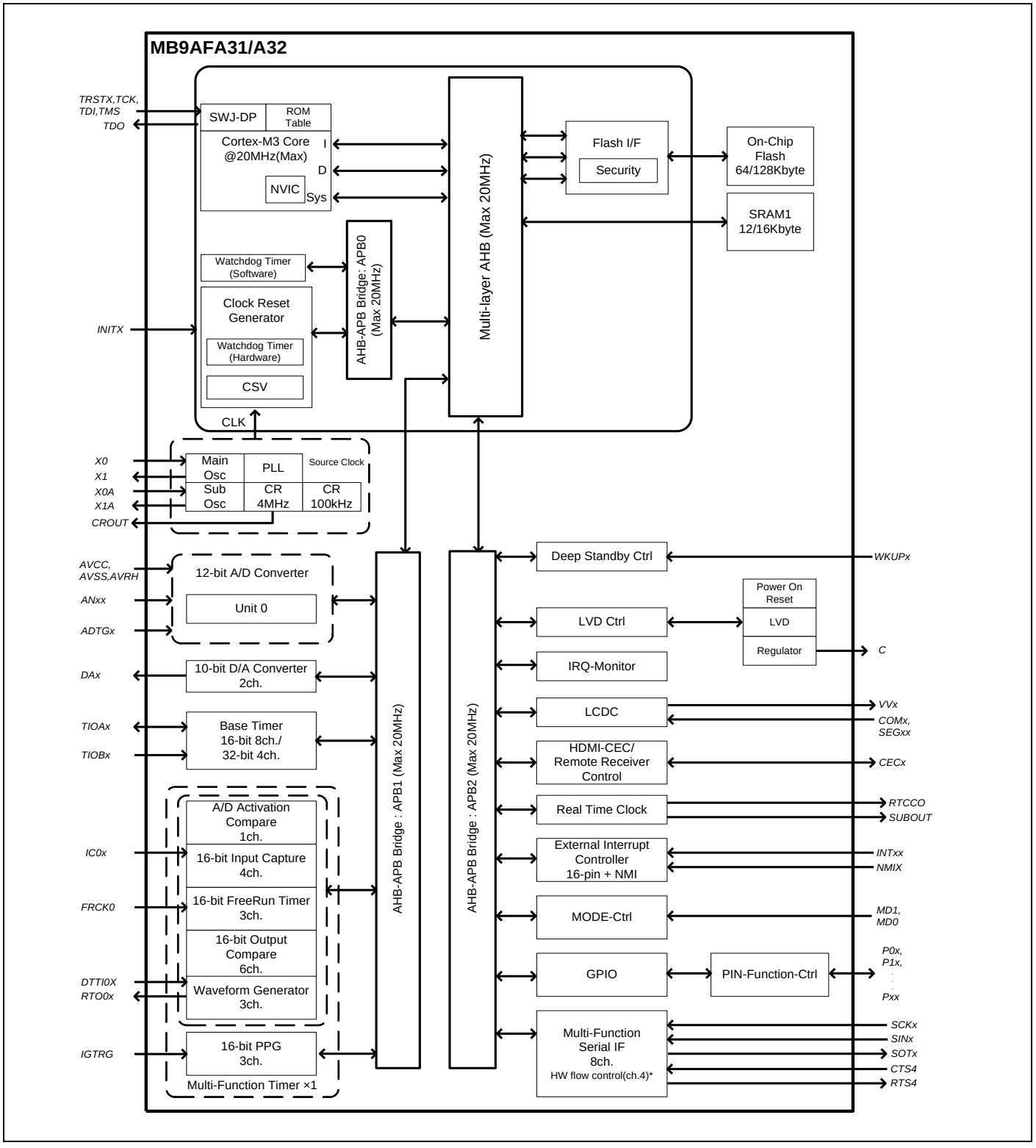
考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

■不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

用户要使用同一系列的其它产品时，须评估其电气特性。

8. 框图



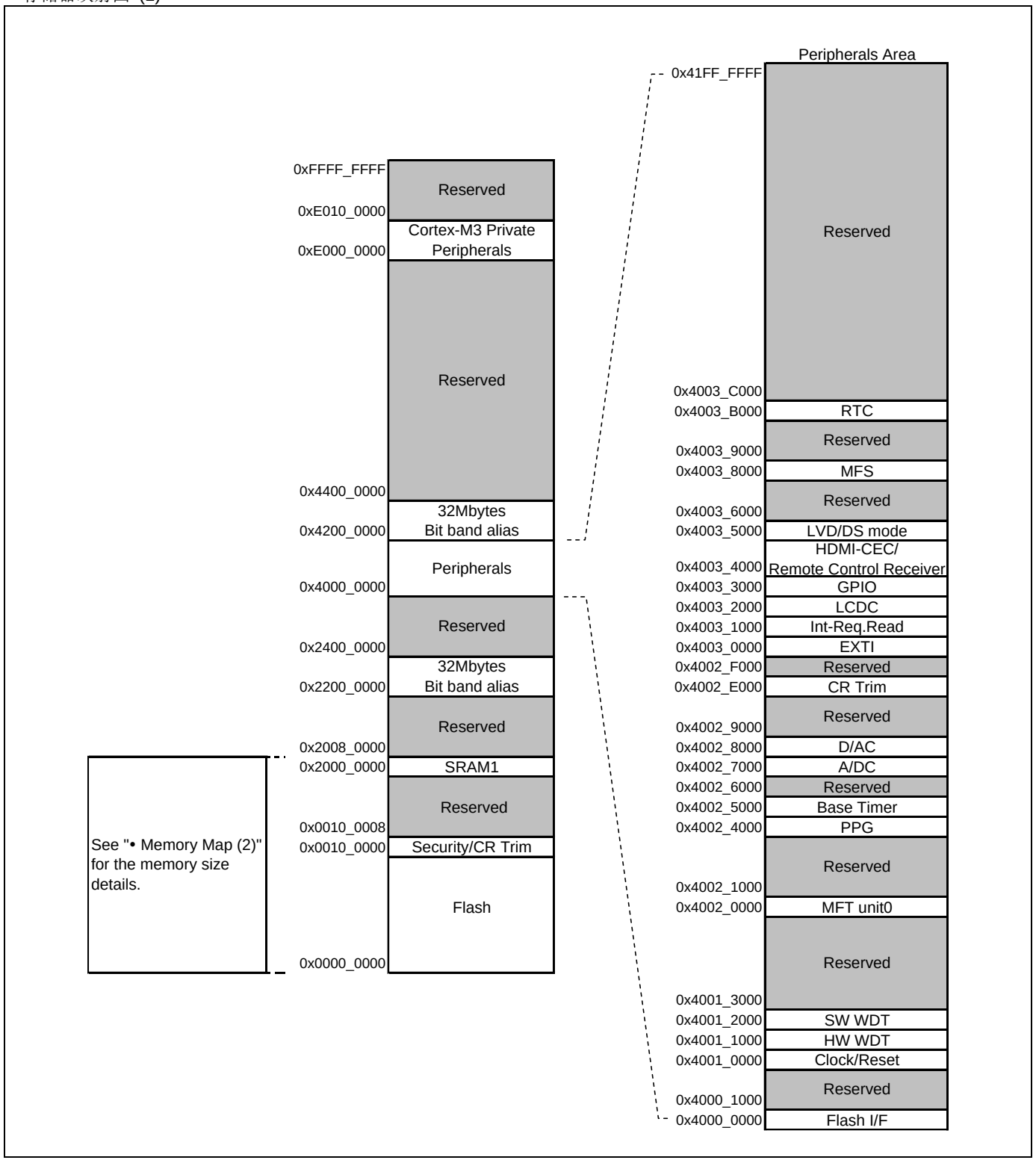
*: 对于 CY9AFA31L 和 CY9AFA32L，多功能串口不支持这些产品中的硬件流。

9. 存储器容量

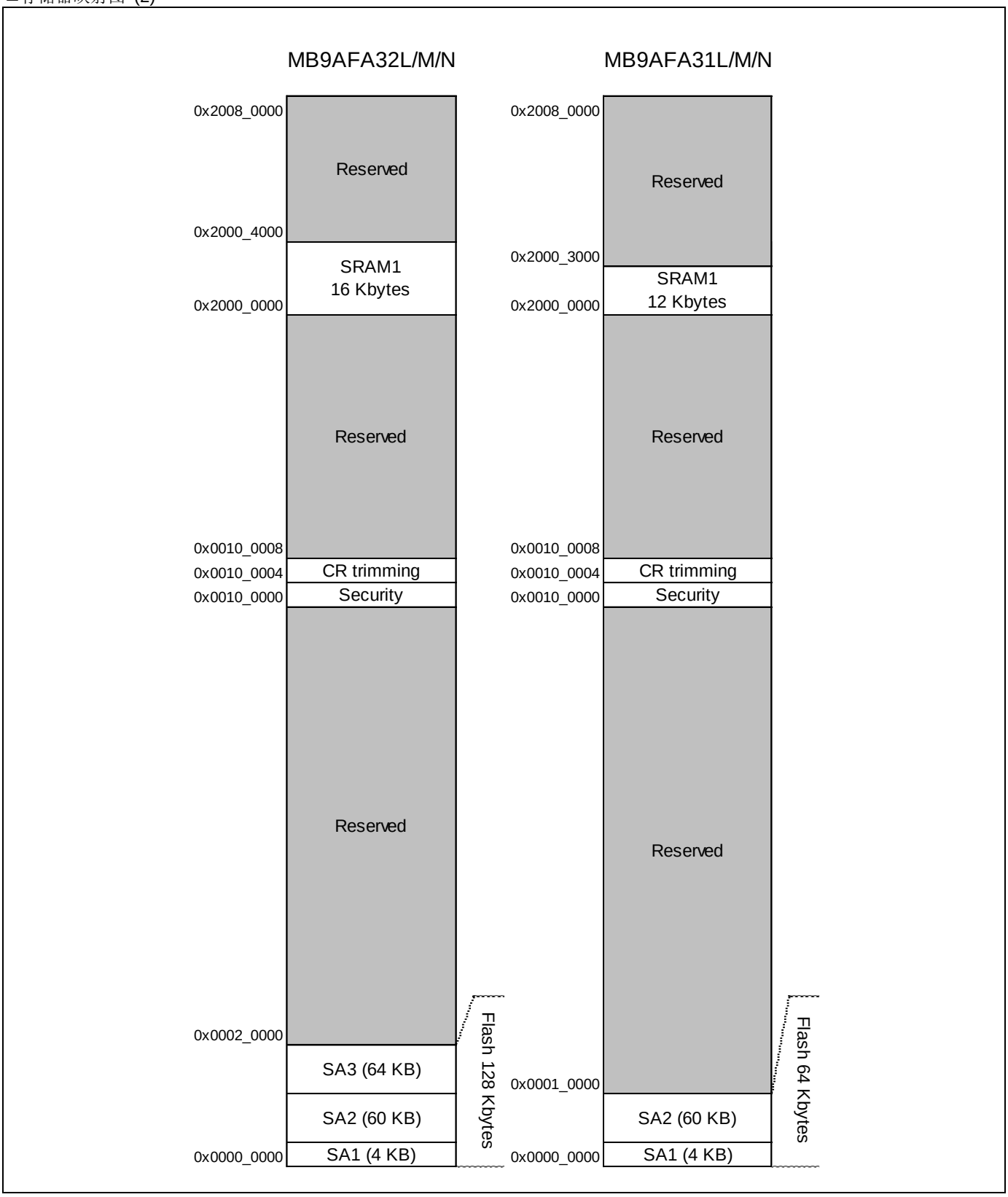
关于存储器容量，详情参照"产品阵容"产品阵容中的"存储器容量"。

10. 存储器映射图

■存储器映射图 (1)



■存储器映射图 (2)



*:请参阅"CY9AAA0N/1A0N/A30N/130N/130L 系列闪存编程手册" 了解闪存的更多信息。

■外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件看门狗定时器
0x4001_2000	0x4001_2FFF		软件看门狗定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		保留
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器单元 0
0x4002_1000	0x4002_1FFF		保留
0x4002_2000	0x4002_3FFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基本定时器
0x4002_6000	0x4002_6FFF		保留
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_8FFF		D/A 转换器
0x4002_9000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内置 CR 调节
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断
0x4003_1000	0x4003_1FFF		中断源检查寄存器
0x4003_2000	0x4003_2FFF		LCD 控制器
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		HDMI-CEC/遥控接收器
0x4003_5000	0x4003_50FF		低压检测
0x4003_5100	0x4003_5FFF		深度待机模式控制器
0x4003_6000	0x4003_6FFF		保留
0x4003_7000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串行
0x4003_9000	0x4003_9FFF		保留
0x4003_A000	0x4003_AFFF		保留
0x4003_B000	0x4003_BFFF		实时时钟
0x4003_C000	0x4003_FFFF		保留
0x4004_0000	0x4004_FFFF	AHB	保留
0x4005_0000	0x4005_FFFF		保留
0x4006_0000	0x4006_0FFF		保留
0x4006_1000	0x4006_1FFF		保留
0x4006_2000	0x4006_2FFF		保留
0x4006_3000	0x4006_3FFF		保留
0x4006_4000	0x41FF_FFFF		保留

11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

■INITX = 0
INITX 引脚为"L"电平期间。

■INITX = 1
INITX 引脚为"H"电平期间。

■SPL = 0
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)清"0"的状态。

■SPL = 1
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"1"的状态。

■输入使能
输入功能可使用的状态。

■内部输入固定在"0"
输入功能不可使用的状态。内部输入固定在"L"。

■Hi-Z
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。

■设定禁止
不可设定。

■保持即前状态
保持转换到本模式前的状态。
如果内置的外设功能正在运行，则遵从该外设功能。
用作端口时，保持该状态。

■模拟输入使能
允许模拟输入使能。

■追踪输出
追踪功能可使用的状态。

■GPIO 选择
深度待机模式下，引脚切换到通用 I/O 口。

■引脚状态一览表

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
A	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择外部主时钟输入	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态/振荡停止时*1, 输出保持即前状态/内部输入固定在"0"	Hi-Z / 输入使能/振荡停止时*1, Hi-Z / 内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态
B	主晶振输出引脚	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"	保持即前状态/振荡停止时*1, Hi-Z 输出/内部输入固定在"0"
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态
C	INITX 输入引脚	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	选择 JTAG	Hi-Z	上拉/输入使能	上拉/输入使能	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO	设定禁止	设定禁止	设定禁止			Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	
F	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
G	使能 WKUP	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择外部中断使能	设定禁止	设定禁止	设定禁止			保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态
H	选择源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态
I	选择 NMIX	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z / 内部输入固定在"0"			
	选择 GPIO									保持即前状态
J	选择模拟输入	Hi-Z	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能
	选择上述以外的其它源	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
K	选择模拟输入	Hi-Z	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能
	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"
	选择上述以外的其它源						Hi-Z / 内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"
	选择 GPIO									
L	选择模拟输入	Hi-Z	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能
	选择 WKUP	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO 内部输入固定在"0"
	选择外部中断使能						保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	
	选择上述以外的其它源						Hi-Z / 内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"
	选择 GPIO									
M	副晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择外部副时钟输入	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态*2，输出保持即前状态 / 内部输入固定在"0"	Hi-Z /输入使能/ 振荡停止时*2，Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*2，输出保持即前状态 / 内部输入固定在"0"	Hi-Z /输入使能/ 振荡停止时*2，Hi-Z / 内部输入固定在"0"	保持即前状态/ 自深度待机 STOP 模式返回，选择 GPIO
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
N	副晶振输出引脚	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	保持即前状态	保持即前状态/振荡停止时*2, Hi-Z /内部输入固定在"0"	保持即前状态/振荡停止时*2, Hi-Z /内部输入固定在"0"	保持即前状态/振荡停止时*2, Hi-Z /内部输入固定在"0"	保持即前状态/振荡停止时*2, Hi-Z /内部输入固定在"0"	保持即前状态/振荡停止时*2, Hi-Z /内部输入固定在"0"
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态
O	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z/内部输入固定在"0"	输出保持即前状态/内部输入固定在"0"		保持即前状态
P	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z /输入使能	保持即前状态	Hi-Z /输入使能	保持即前状态
Q	使能 CEC	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态
R	使能 CEC	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态
	使能 WKUP				保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择外部中断使能						保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
S	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"
	选择上述以外的其它源	Hi-Z	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"
T	使能 WKUP	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO 内部输入固定在"0"
	选择外部中断使能	设定禁止	设定禁止	设定禁止			保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"
	选择上述以外的其它源	Hi-Z	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"
U	选择源	Hi-Z	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		输出保持即前状态/内部输入固定在"0"
V	选择源	Hi-Z	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		
W	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"
	选择上述以外的其它源	Hi-Z	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或者睡眠模式状态	定时器模式、RTC 模式或者停止模式状态		深度待机 RTC 模式或者深度待机停止 STOP 模式状态		自深度待机模式状态返回
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
X	选择模拟输入	Hi-Z	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能	Hi-Z / 内部输入固定在"0"/ 模拟输入使能
	选择上述以外的其它源	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态
Y	选择模拟输出	设定禁止	设定禁止	设定禁止	保持即前状态	*3	*4	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择外部中断使能	设定禁止	设定禁止	设定禁止		保持即前状态	保持即前状态			
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态
Z	选择模拟输出	设定禁止	设定禁止	设定禁止	保持即前状态	*3	*4	选择 GPIO 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择上述以外的其它源	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能		保持即前状态	Hi-Z / 内部输入固定在"0"			
	选择 GPIO							输出保持即前状态/内部输入固定在"0"		保持即前状态

*1: 副运行模式、低速 CR 运行模式、副睡眠模式、低速 CR 睡眠模式、副定时器模式、低速 CR 定时器模式、RTC 模式、STOP 模式、深度待机 RTC 模式和深度待机 STOP 模式下振荡停止。

*2: STOP 模式和深度待机 STOP 模式下振荡停止。

*3:定时器模式下保持即前状态。RTC 模式和停止模式下，GPIO 选择的内部输入固定在"0"。

*4:定时器模式下保持即前状态。RTC 模式和停止模式下 Hi-Z/内部输入固定在"0"。

12. 电气特性

12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压*1,*2	V_{CC}	Vss - 0.5	Vss + 6.5	V	
模拟电源电压*1,*3	AV_{CC}	Vss - 0.5	Vss + 6.5	V	
模拟基准电压*1,*3	AVRH	Vss - 0.5	Vss + 6.5	V	
LCD 输入电压*1,*3	VV4 ~ VV0	Vss - 0.5	Vss + 6.5	V	
输入电压*1	V_I	Vss - 0.5	V_{CC} + 0.5 (≤ 6.5 V)	V	
		Vss - 0.5	Vss + 6.5	V	耐 5 V
模拟引脚输入电压*1	V_{IA}	Vss - 0.5	AV_{CC} + 0.5 (≤ 6.5 V)	V	
输出电压*1	V_O	Vss - 0.5	V_{CC} + 0.5 (≤ 6.5 V)	V	
"L 电平最大输出电流*4	I_{OL}	-	10	mA	
"L"电平平均输出电流*5	I_{OLAV}	-	4	mA	
"L"电平最大总输出电流	$\sum I_{OL}$	-	100	mA	
"L"电平平均总输出电流*6	$\sum I_{OLAV}$	-	50	mA	
"H"电平最大输出电流*4	I_{OH}	-	-10	mA	
"H"电平平均输出电流*5	I_{OHAV}	-	- 4	mA	
"H"电平最大总输出电流	$\sum I_{OH}$	-	-100	mA	
"H"电平平均总输出电流*6	$\sum I_{OHAV}$	-	-50	mA	
功耗	P_D	-	400	mW	
存储温度	T_{STG}	- 55	+ 150	℃	

*1:Vss = AVss = 0 V 时的值。

*2:VCC 不可低于 Vss - 0.5 V。

*3:接通电源等情况下，电压不要超过 V_{CC} + 0.5 V。

*4:最大输出电流规定单一引脚的峰值。

*5:平均输出电流规定在 100 ms 内流经单一引脚的平均电流。

*6:平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

注意事项:

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值，将会导致该器件永久性损坏。
因此任何参数均不得超过其绝对最大额定值。

12.2 推荐工作条件

(Vss = AVss = 0.0V)

参数		符号	条件	规格值		单位	备注
				最小	最大		
电源电压		V_{CC}	-	1.8	5.5	V	*1
				2.2	5.5		*2
LCD 输入电压		VV4	-	2.2	V_{CC}	V	
模拟电源电压		AV_{CC}	-	1.8	5.5	V	$AV_{CC} = V_{CC}$
模拟基准电压		AVRH	-	2.7	AV_{CC}	V	$AV_{CC} \geq 2.7$ V
				AV_{CC}			$AV_{CC} < 2.7$ V
平滑电容器容量		C_S	-	1	10	µF	供稳压器使用*3
工作温度	FPT-64P-M38, FPT-64P-M39, LCC-64P-M24, FPT-80P-M37, FPT-80P-M40, FPT-100P-M23, FPT-100P-M06	T_A	-	- 40	+ 85	℃	

*1:不使用 LCD 时

*2:使用 LCD 时

*3:关于平滑电容器的连接方法，详情参照"芯片使用注意事项芯片使用注意事项"的"C 引脚"。

注意事项:

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。
请务必在所推荐的工作环境或条件范围内使用该半导体器件。
如超出该等范围使用，可能会影响该器件的可靠性并导致故障。
本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

12.3 直流规格

12.3.1 电流规格

(V_{CC} = AV_{CC} = 1.8V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件		规格值		单位	备注
					标准*3	最大*4		
电源电流	I_{CC}	VCC	PLL 运行模式	CPU :20 MHz, 外设:20 MHz, 闪存 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	19	24	mA	*1, *5
				CPU :20 MHz, 外设: 时钟停止, NOP 操作	9.5	12.5	mA	*1, *5
			高速 CR 运行模式	CPU/外设:4 MHz*2 闪存 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	4.5	5.5	mA	*1
			副振荡 运行模式	CPU/外设:32 kHz, 闪存 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	0.25	0.55	mA	*1, *6
			低速 CR 运行模式	CPU/外设:100 kHz, 闪存 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	0.3	0.95	mA	*1
	I_{CCS}		PLL 睡眠模式	外设:20 MHz	8	10.5	mA	*1, *5
			高速 CR 睡眠模式	外设:4 MHz*2	2	2.5	mA	*1
			副振荡 睡眠模式	外设:32 kHz	0.2	0.45	mA	*1, *6
			低速 CR 睡眠模式	外设:100 kHz	0.25	0.65	mA	*1

*1:所有端口固定时的预估值。

*2:调节时设定到 4 MHz。

*3:T_A=+25°C, V_{CC}=3.3 V

*4:T_A=+85°C, V_{CC}=5.5 V

*5:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*6:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

参数	符号	引脚名称	条件		规格值		单位	备注
					标准*2	最大*3		
电源电流	I_{CCT}	VCC	主定时器模式	T_A = + 25°C, LVD off 时	0.9	3.3	mA	*1, *4
				T_A = + 85°C, LVD off 时	1.5	3.5	mA	*1, *4
			子定时器模式	T_A = + 25°C, LVD off 时	7.5	60	µA	*1, *5
				T_A = + 85°C, LVD off 时	16	150	µA	*1, *5
	I_{CCR}		RTC 模式	T_A = + 25℃, LVD off 时	1.5	6.5	µA	*1, *5
				T_A = + 85℃, LVD off 时	6	89	µA	*1, *5
	I_{CCH}		停止模式	T_A = + 25℃, LVD off 时	0.6	5	µA	*1
				T_A = + 85℃, LVD off 时	4.2	87	µA	*1
	I_{CCRD}		深度待机 RTC 模式	T_A = + 25℃, LVD off 时	1.3	4.5	µA	*1, *5
				T_A = + 85℃, LVD off 时	3	32	µA	*1, *5
	I_{CCHD}		深度待机停止模式	T_A = + 25℃, LVD off 时	0.4	3	µA	*1
				T_A = + 85℃, LVD off 时	1.4	30	µA	*1

*1:所有端口固定时的预估值。

*2:V_{CC}=3.3 V

*3:V_{CC}=5.5 V

*4:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*5:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

■低压检测电流

(V_{CC} = AV_{CC} = 1.8 V ~ 5.5 V, V_{SS} = AV_{SS} = 0 V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准*	最大		
低压检测电路（LVD）电源电流	I_{CCLVD}	VCC	正常模式运行时发生复位或中断	10	20	μA	未检测出时
			正常模式运行时发生复位或中断	14	30	μA	
			低功耗模式运行时发生中断	0.3	2	μA	未检测出时

*: V_{CC}=3.3 V 时

■闪存存储器电流

(V_{CC} = 1.8 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	$I_{CCFLASH}$	VCC	擦/写时	10.8	11.9	mA	

■A/D 转换器电流

(V_{CC} = AV_{CC} = 1.8 V ~ 5.5 V, V_{SS} = AV_{SS} = 0 V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	I_{CCAD}	AVCC	1 个单元操作	1.4	2.5	mA	
			停止	0.1	0.35	μA	
基准电源电流	I_{CCAVRH}	AVRH	1 个单元操作 AVRH=5.5 V	0.5	1.5	mA	
			停止	0.1	0.3	μA	

■D/A 转换器电流

(V_{CC} = AV_{CC} = 1.8 V ~ 5.5 V, V_{SS} = AV_{SS} = 0 V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	IDDA	AVCC	D/A 1ch.操作时 AV_{CC}=3.3 V	314	440	μA	*1, *2
			D/A 1ch.操作时 AV_{CC}=5.0 V	476	670	μA	*1, *2
	IDSA		D/A 停止时	-	1.0	μA	*1

*1: 无负载时

*2:代码 0x200 生成最大电流

12.3.2 引脚规格

(V_{CC} = AV_{CC} = 1.8V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平输入电压(迟滞输入)	V_{IHS}	MD0, MD1 PE0, PE2, PE3, P46, P47, P3A, P3B, P3C, P3D, P3E, P3F, INITX	-	V_{CC}× 0.8	-	V_{CC}+ 0.3	V	
		P0A, P0B, P0C, P4C, P60, P80, P81, P82	-	V_{CC}× 0.7	-	V_{SS}+ 5.5	V	耐 5V
		上述以外的 CMOS 迟滞输入引脚	-	V_{CC}× 0.7	-	V_{CC}+ 0.3	V	
"L"电平输入电压(迟滞输入)	V_{ILS}	MD0, MD1 PE0, PE2, PE3, P46, P47, INITX	-	V_{SS}- 0.3	-	V_{CC}× 0.2	V	
		上述以外的 CMOS 迟滞输入引脚	-	V_{SS}- 0.3	-	V_{CC}× 0.3	V	
"H"电平输出电压	V_{OH}	Pxx	V_{CC} ≥ 4.5 V, I_{OH} = - 4 mA	V_{CC}- 0.5	-	V_{CC}	V	
			V_{CC} < 4.5 V, I_{OH} = - 1 mA					
"L"电平输出电压	V_{OL}	Pxx	V_{CC} ≥ 4.5 V, I_{OL} = 4 mA	V_{SS}	-	0.4	V	
			V_{CC} < 4.5 V, I_{OL} = 2 mA					
输入漏电流	I_{IL}	-	-	- 5	-	+ 5	μA	
		CEC0, CEC1	V_{CC} = AV_{CC} = AVRH = V_{SS} = AV_{SS} = 0.0 V	-	-	+ 1.8		
上拉电阻	R_{PU}	上拉引脚	V_{CC} ≥ 4.5 V	25	50	100	kΩ	
			V_{CC} < 4.5 V	40	100	400		
输入电容	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH 除外	-	-	5	15	pF	

12.3.3 LCD 规格

(V_{CC} = 2.2V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
VV0 ~ VV3 输出电压 (1/4 偏置)	V_{VV0}	VV0	使用内部分频寄存器时	0	-	V_{VV4} × 5%	V	
	V_{VV1}	VV1		V_{VV4} × 1/4 -10%	-	V_{VV4} × 1/4 +10%		
	V_{VV2}	VV2		V_{VV4} × 1/2 -10%	-	V_{VV4} × 1/2 +10%		
	V_{VV3}	VV3		V_{VV4} × 3/4 -10%	-	V_{VV4} × 3/4 +10%		
VV0 ~ VV3 输出电压 (1/3 偏置)	V_{VV0}	VV0	使用内部分频寄存器时	0	-	V_{VV4} × 5%	V	
	V_{VV1}	VV1		V_{VV4} × 1/3 -10%	-	V_{VV4} × 1/3 +10%		
	V_{VV2}	VV2		V_{VV4} × 2/3 -10%	-	V_{VV4} × 2/3 +10%		
	V_{VV3}	VV3		V_{VV4} × 2/3 -10%	-	V_{VV4} × 2/3 +10%		
VV0 ~ VV3 输出电压 (1/2 偏置)	V_{VV0}	VV0	使用内部分频寄存器时	0	-	V_{VV4} × 5%	V	
	V_{VV1}	VV1		V_{VV4} × 1/2 -10%	-	V_{VV4} × 1/2 +10%		
	V_{VV2}	VV2		V_{VV4} × 1/2 -10%	-	V_{VV4} × 1/2 +10%		
	V_{VV3}	VV3		V_{VV4} × 1/2 -10%	-	V_{VV4} × 1/2 +10%		
VV4 有功电流 (1/4 偏置)	I_{R100K}	VV4	使用 100 kΩ 内部分频寄存器时	-	15	35	µA	
	I_{R10K}	VV4	使用 10 kΩ 内部分频寄存器时	-	130	250	µA	
VV4 有功电流 (1/3 偏置)	I_{R100K}	VV4	使用 100 kΩ 内部分频寄存器时	-	18	45	µA	
	I_{R10K}	VV4	使用 10 kΩ 内部分频寄存器时	-	170	350	µA	
VV4 有功电流 (1/2 偏置)	I_{R100K}	VV4	使用 100 kΩ 内部分频寄存器时	-	27	75	µA	
	I_{R10K}	VV4	使用 10 kΩ 内部分频寄存器时	-	250	500	µA	
VV4 静态电流	Ioff_vv4	VV4	LCD 停止时	-	-	0.5	µA	
连接外部电阻时的 VV0 输出电压	V_{VV0E}	VV0	I_{OL}=1mA	-	-	1.0	V	

12.4 交流规格

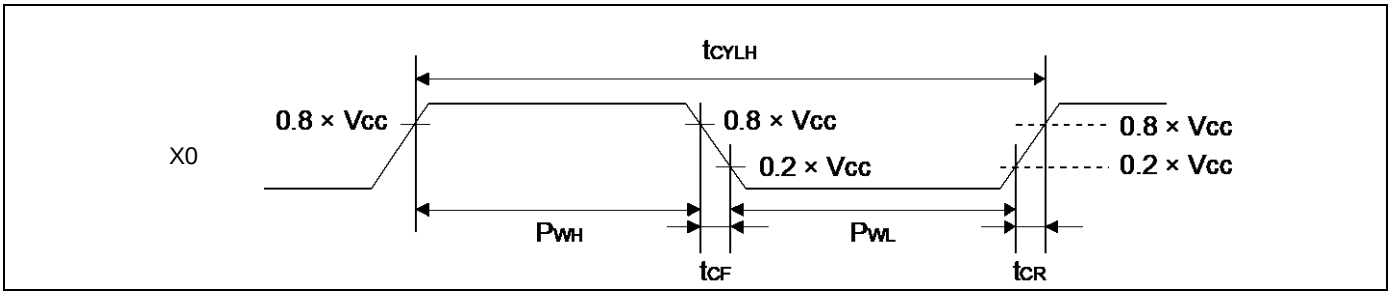
12.4.1 主时钟输入规格

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	f_{CH}	X0, X1	$V_{CC} \geq 2.0$ V	4	20	MHz	连接晶振时
			$V_{CC} < 2.0$ V	4	4	MHz	
			$V_{CC} \geq 4.5$ V	4	20	MHz	使用外部时钟时
			$V_{CC} < 4.5$ V	4	16	MHz	
输入时钟周期	t_{CYLH}		$V_{CC} \geq 4.5$ V	50	250	ns	使用外部时钟时
			$V_{CC} < 4.5$ V	62.5	250	ns	
输入时钟脉宽	-		P_{WH}/t_{CYLH}, P_{WL}/t_{CYLH}	45	55	%	使用外部时钟时
输入时钟上升时间/下降时间	t_{CF}, t_{CR}		-	-	5	ns	使用外部时钟时
	f_{CM}	-	-	-	20	MHz	主控时钟
	f_{CC}	-	-	-	20	MHz	基本时钟(HCLK/FCLK)
	f_{CP0}	-	-	-	20	MHz	APB0 总线时钟*2
	f_{CP1}	-	-	-	20	MHz	APB1 总线时钟*2
	f_{CP2}	-		-	20	MHz	APB2 总线时钟*2
内部工作时钟*1 周期时间	t_{CYCC}	-	-	50	-	ns	基本时钟(HCLK/FCLK)
	t_{CYCP0}	-	-	50	-	ns	APB0 总线时钟*2
	t_{CYCP1}	-	-	50	-	ns	APB1 总线时钟*2
	t_{CYCP2}	-	-	50	-	ns	APB2 总线时钟*2

*1:关于各内部工作时钟，详情参照“FM3 家族外围资源手册”中的“2-1 章：时钟”。

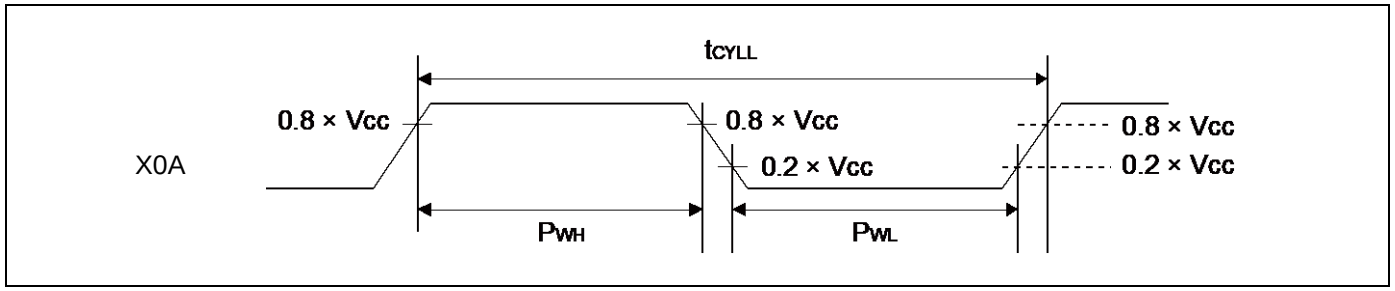
*2:关于各外设连结的 APB 总线，详情参照"框图"。



12.4.2 副时钟输入规格

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	f_{CL}	X0A, X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	使用外部时钟时
输入时钟周期	t_{CYLL}		-	10	-	31.25	μs	使用外部时钟时
输入时钟脉宽	-		P_{WH}/t_{CYLL}, P_{WL}/t_{CYLL}	45	-	55	%	使用外部时钟时



12.4.3 内置 CR 振荡规格

■内置高速 CR

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	条件		规格值			单位	备注
				最小	标准	最大		
时钟频率	f_{CRH}	$V_{CC} \geq$ 2.2 V	T_A = + 25℃	3.92	4	4.08	MHz	调节时*1
			T_A = - 40℃ ~ + 85℃	3.8	4	4.2		
			T_A = - 40℃ ~ + 85℃	2.3	-	7.03		非调节时
		V_{CC} < 2.2 V	T_A = + 25℃	3.4	4	4.6	MHz	调节时*1
			T_A = - 40℃ ~ + 85℃	3.16	4	4.84		
			T_A = - 40℃ ~ + 85℃	2.3	-	7.03		非调节时
频率稳定时间	t_{CRWT}	-		-	-	10	μs	*2

*1:出库时设定的闪存内的 CR 调节区的值作为频率调节值使用时。

*2:频率稳定时间是指稳定高速 CR 的频率所用的时间。设置该调节值后开始计时。
该期间可使用高速 CR 时钟作为源时钟。

■内置低速 CR

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	f_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL 的使用条件(主时钟用作 PLL 输入时)

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	200	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	4	-	20	MHz	
PLL 倍频率	-	1	-	5	倍频	
PLL 宏振荡时钟频率	f_{PLLO}	10	-	20	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	20	MHz	

*1:自 PLL 开始运行至振荡稳定的时间。

*2:关于主 PLL 时钟(CLKPLL)，详情参照"FM3 家族外围资源手册"中的“2-1 章：时钟”。

12.4.5 主 PLL 的使用条件(内部高速 CR 时钟用作主 PLL 的输入时钟)

(V_{CC} = 2.2V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

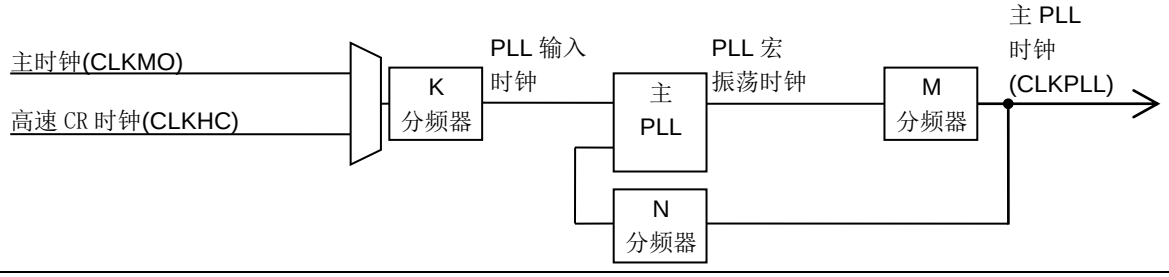
参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	200	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	-	3	-	4	倍频	
PLL 宏振荡时钟频率	f_{PLLO}	11.4	-	16.8	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	16.8	MHz	

*1:自 PLL 开始运行至振荡稳定的时间。

*2:关于主 PLL 时钟(CLKPLL)，详情参照"FM3 家族外围资源手册"中的“2-1 章：时钟”。

注意事项:务必在主 PLL 源时钟输入频率调节后的高速 CR 时钟(CLKHC)。
在设置 PLL 倍频率时，请把内置的高速 CR 时钟的精度考虑在内，防止主时钟超过最高频率。

主 PLL 连接



12.4.6 复位输入规格

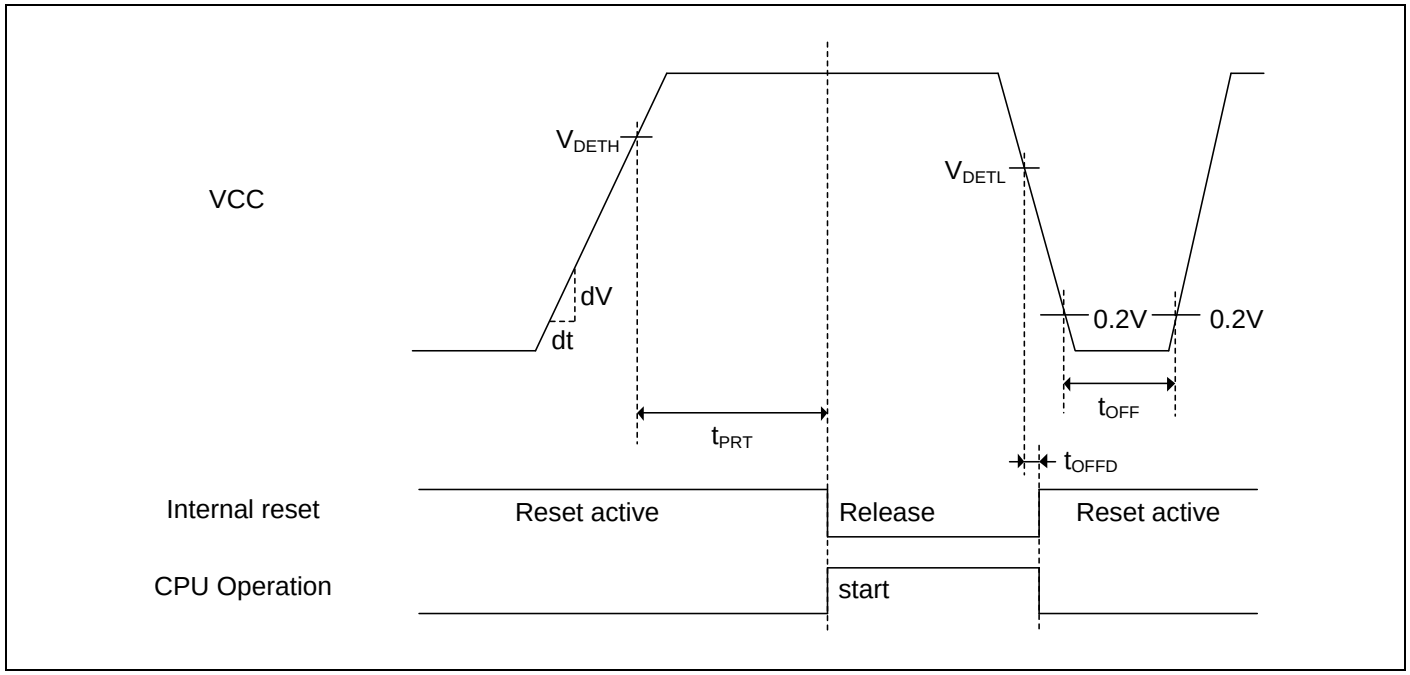
(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t_{INITX}	INITX	-	500	-	ns	
				1.5	-	ms	RTC 模式下，停止模式下
				1.5	-	ms	深度待机模式下

12.4.7 上电复位时间

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
电源上升时间	dV/dt	VCC	0.1	-	-	V/ms	
电源切断时间	t_{OFF}		1	-	-	ms	
复位释放电压	V_{DETH}		1.44	1.60	1.76	V	电压上升时
复位检测电压	V_{DETL}		1.39	1.55	1.71	V	电压下降时
直到释放上电复位的时间	t_{PRT}		0.46	-	11.4	ms	dV/dt ≥ 0.1 mV/µs
复位检测延迟时间	t_{OFFD}		-	-	0.4	ms	dV/dt ≥ -0.04 mV/µs

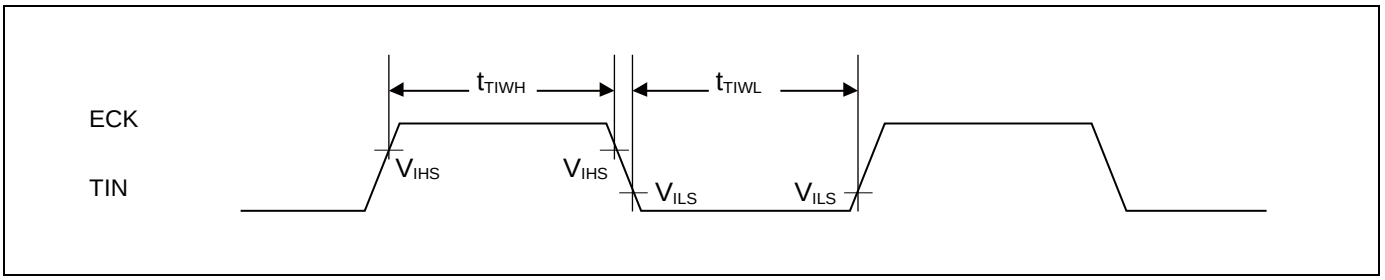


12.4.8 基本定时器输入时序

■定时器输入时序

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

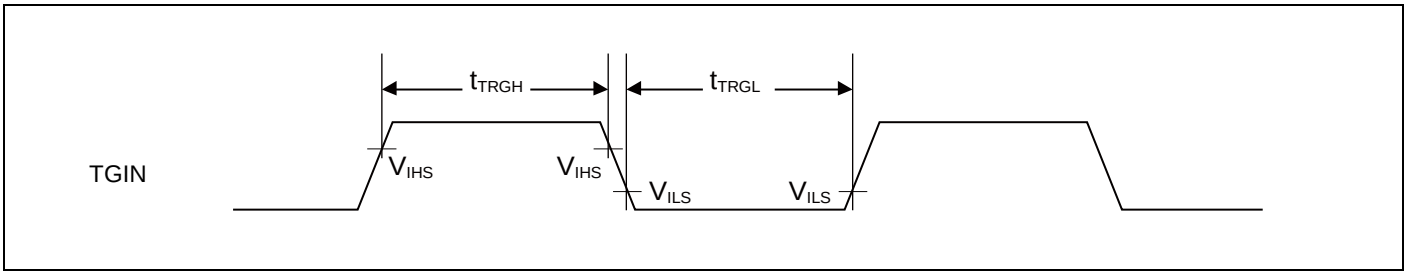
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TIWH}, t_{TIWL}	TIOAn/TIOBn (用作 ECK, TIN)	-	$2t_{CYCP}$	-	ns	



■触发输入时序

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (用作 TGIN 时)	-	$2t_{CYCP}$	-	ns	



注意事项: t_{CYCP} 是 APB 总线时钟的周期时间。
关于基本定时器连结的 APB 总线序号，详情参照"框图"。

12.4.9 CSIO/UART 时序

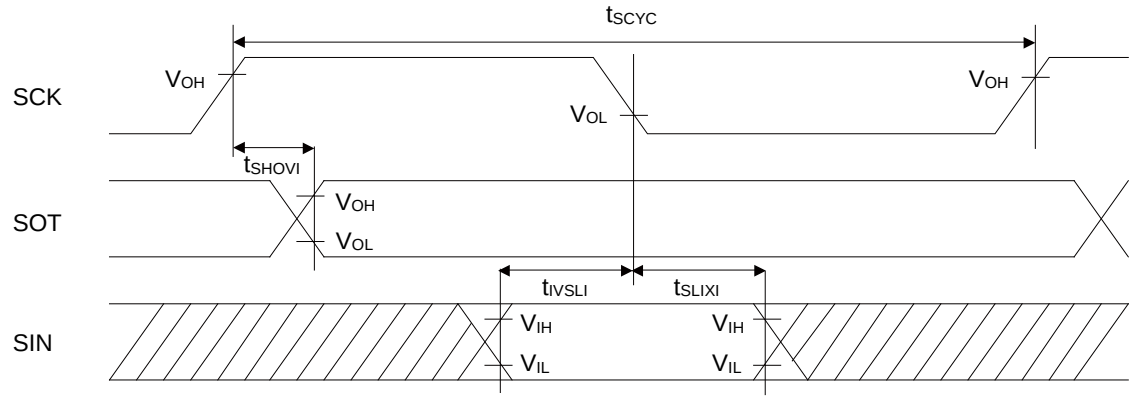
■CSIO (SPI = 0, SCINV = 0)

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

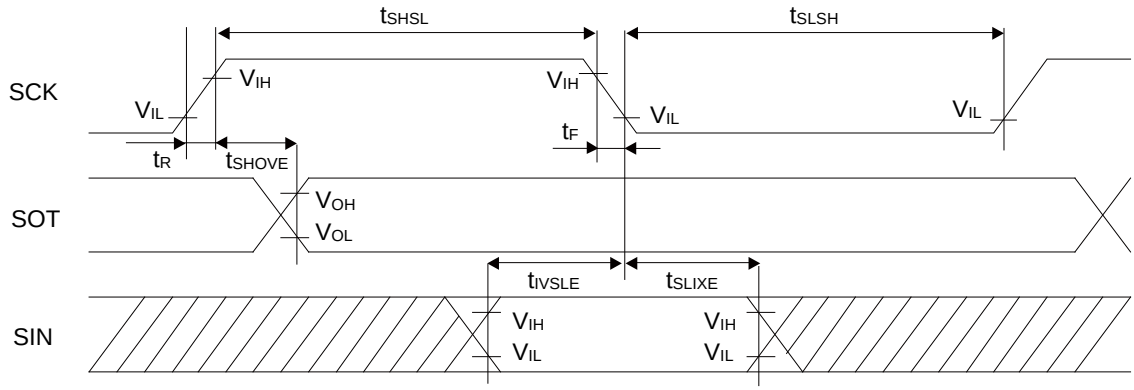
参数	符号	引脚名称	条件	V_{CC}<2.7 V		2.7 V≤ V_{CC}< 4.5 V		V_{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	最小	最大	
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓ → SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN→SCK ↑ 设置时间	t_{IVSHI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXI}	SCKx, SINx		0	-	0	-	0	-	ns
串行时钟"L" 脉宽	t_{SLSH}	SCKx	从模式	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
串行时钟"H" 脉宽	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN → SCK ↑ 设置时间	t_{IVSHE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	-	5	ns

注意事项:

- *CLK 同步模式时的交流特性。*
- *t_{CYCP} 是 APB 总线时钟的周期时间。*
  关于多功能串口连接的 APB 总线序号，详情参照"框图"。
- *本规格仅保证相同重定位端口号。*
  例如 SCKx_0, SOTx_1 组合不为保证对象。
- *外部负载电容 C_L = 50 pF 时。*


tSCYC
SCK
VOH
VOL
VOH
tSHOVI
SOT
VOH
VOL
tIVSLI
tSLIXI
SIN
VIH
VIL
VIH
VIL

主模式


tSHSL
tSLSH
SCK
VIH
VIH
VIL
VIL
VIL
tF
tR
tSHOVE
SOT
VOH
VOL
tIVSLE
tSLIXE
SIN
VIH
VIL
VIH
VIL

从模式

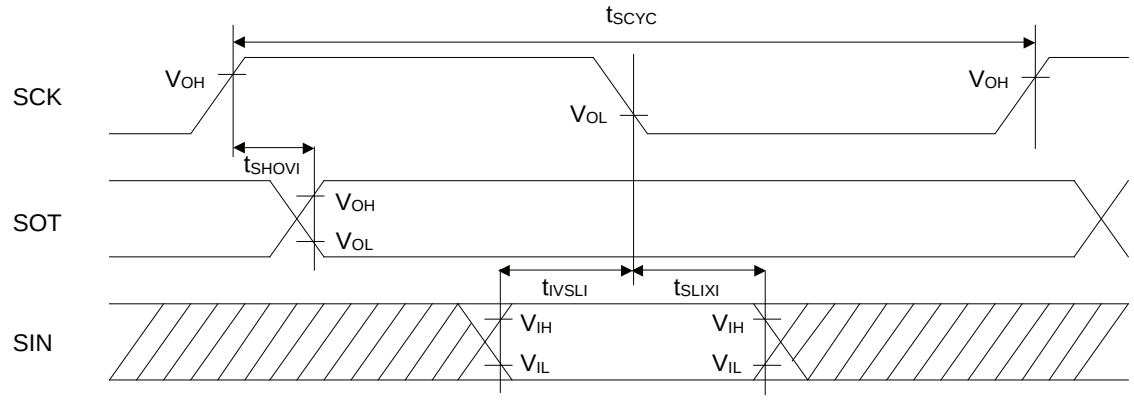
■CSIO (SPI = 0, SCINV = 1)

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

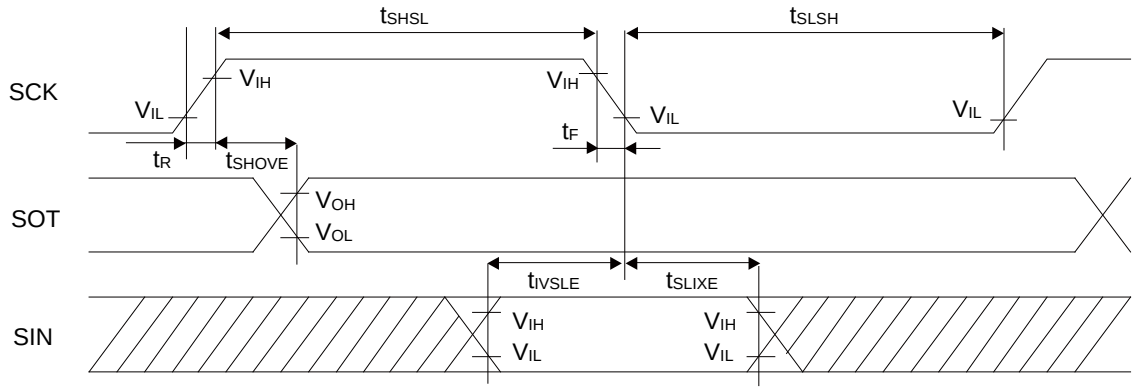
参数	符号	引脚名称	条件	V_{CC}<2.7 V		2.7 V ≤ V_{CC}<4.5 V		V_{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	最小	最大	
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN → SCK ↓ 设置时间	t_{IVSLI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK ↓ → SIN 保持时间	t_{SLIXI}	SCKx, SINx		0	-	0	-	0	-	ns
串行时钟"L" 脉宽	t_{SLSH}	SCKx	从模式	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
串行时钟"H" 脉宽	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN → SCK ↓ 设置时间	t_{IVSLE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK ↓ → SIN 保持时间	t_{SLIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	-	5	ns

注意事项:

- *CLK 同步模式时的交流特性。*
- *t_{CYCP} 是 APB 总线时钟的周期时间。*
  关于多功能串口连接的 APB 总线序号，详情参照"框图"。
- *本规格仅保证相同重定位端口号。*
  例如 SCKx_0, SOTx_1 组合不为保证对象。
- *外部负载电容 C_L = 50 pF 时。*


tSCYC
SCK
VOH
VOL
VOH
tSHOVI
SOT
VOH
VOL
tIVSLI
tSLIXI
SIN
VIH
VIL
VIH
VIL

主模式


tSHSL
tSLSH
SCK
VIH
VIH
VIL
VIL
VIL
tF
tR
tSHOVE
SOT
VOH
VOL
tIVSLE
tSLIXE
SIN
VIH
VIL
VIH
VIL

从模式

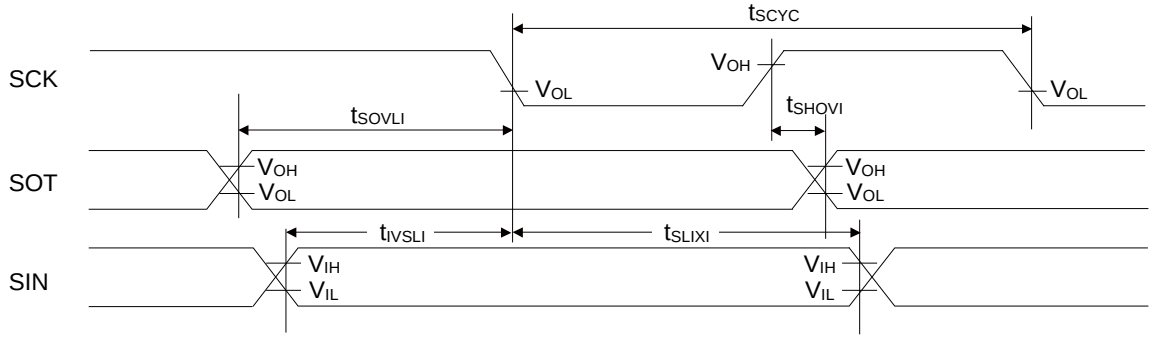
■CSIO (SPI = 1, SCINV = 0)

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

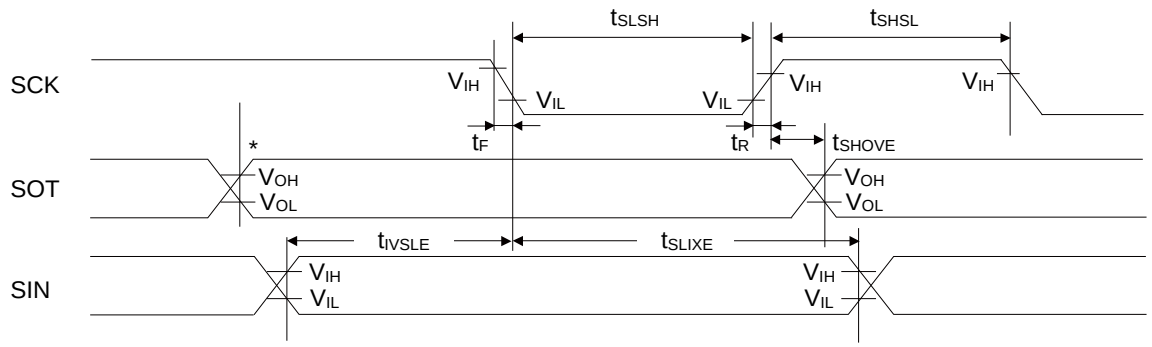
参数	符号	引脚名称	条件	V_{CC} < 2.7 V		2.7 V ≤ V_{CC} < 4.5 V		V_{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	最小	最大	
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN → SCK ↓ 设置时间	t_{IVSLI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK ↓ → SIN 保持时间	t_{SLIXI}	SCKx, SINx		0	-	0	-	0	-	ns
SOT → SCK ↓延迟时间	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
串行时钟"L" 脉宽	t_{SLSH}	SCKx	从模式	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
串行时钟"H" 脉宽	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN → SCK ↓ 设置时间	t_{IVSLE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK ↓ → SIN 保持时间	t_{SLIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	-	5	ns

注意事项:

- *CLK 同步模式时的交流特性。*
- *t_{CYCP} 是 APB 总线时钟的周期时间。*
  关于多功能串口连接的 APB 总线序号，详情参照"框图"。
- *本规格仅保证相同重定位端口号。*
  例如 SCKx_0, SOTx_1 组合不为保证对象。
- *外部负载电容 C_L = 50 pF 时。*



主模式



从模式

*:写 TDR 寄存器发生变化

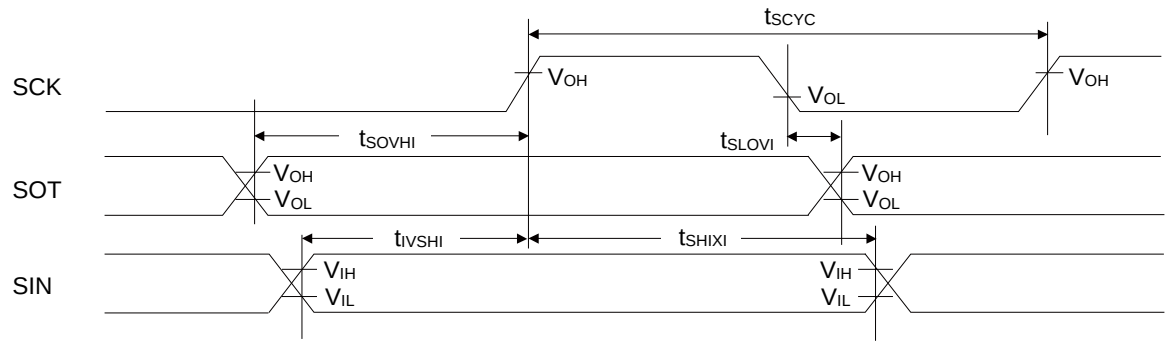
■CSIO (SPI = 1, SCINV = 1)

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

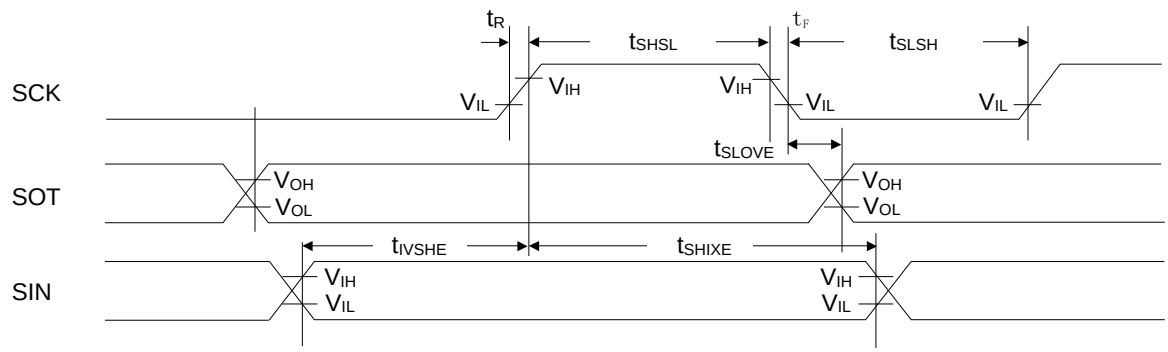
参数	符号	引脚名称	条件	V_{CC} < 2.7 V		2.7 V ≦ V_{CC} < 4.5 V		V_{CC} ≧ 4.5 V		单位
				最小	最大	最小	最大	最小	最大	
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-40	+40	-30	+30	-20	+20	ns
SIN → SCK ↑ 设置时间	t_{IVSHI}	SCKx, SINx		75	-	50	-	30	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXI}	SCKx, SINx		0	-	0	-	0	-	ns
SOT → SCK ↑延迟时间	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
串行时钟"L" 脉宽	t_{SLSH}	SCKx	从模式	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
串行时钟"H" 脉宽	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		-	75	-	50	-	30	ns
SIN → SCK ↑ 设置时间	t_{IVSHE}	SCKx, SINx		10	-	10	-	10	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXE}	SCKx, SINx		20	-	20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	-	5	ns

注意事项:

- *CLK 同步模式时的交流特性。*
- *t_{CYCP} 是 APB 总线时钟的周期时间。*
  关于多功能串口连接的 APB 总线序号，详情参照"框图"。
- *本规格仅保证相同重定位端口号。*
  例如 SCKx_0, SOTx_1 组合不为保证对象。
- *外部负载电容 C_L = 50 pF 时。*



主模式

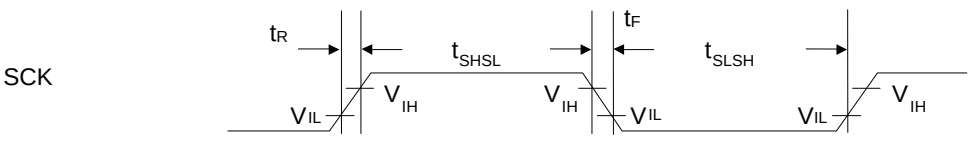


从模式

■外部时钟(EXT = 1)：仅限异步

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	条件	规格值		单位	备注
			最小	最大		
串行时钟"L" 脉宽	t_{SLSH}	C_L = 50 pF	t_{CYCP} + 10	-	ns	
串行时钟"H" 脉宽	t_{SHSL}		t_{CYCP} + 10	-	ns	
SCK 下降时间	t_F		-	5	ns	
SCK 上升时间	t_R		-	5	ns	



12.4.10 外部输入时序

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

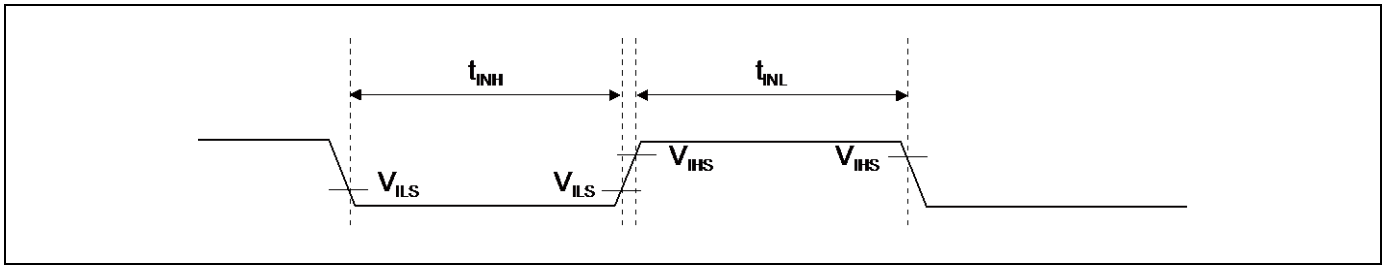
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{INH}, t_{INL}	ADTG	-	$2t_{CYCP}$*1	-	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕捉
		DTTIxX	-	$2t_{CYCP}$*1	-	ns	波形发生器
		IGTRG	-	$2t_{CYCP}$*1	-	ns	PPG IGBT 模式
		INTxx, NMIX	*2	$2t_{CYCP}$ + 100*1	-	ns	外部中断, NMI
			*3	500	-	ns	
		WKUPx	*4	500	-	ns	深度待机唤醒

*1: t_{CYCP} 是 APB 总线的周期时间。
关于 A/D 转换器、多功能定时器、PPG、外部中断、深度待机模式控制器连接的 APB 总线序号，详情参照"框图"。

*2:运行模式、睡眠模式时。

*3:定时器模式、RTC 模式或停止模式时。

*4:深度待机 RTC 模式、深度待机停止模式时。



12.4.11 I²C 时序

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

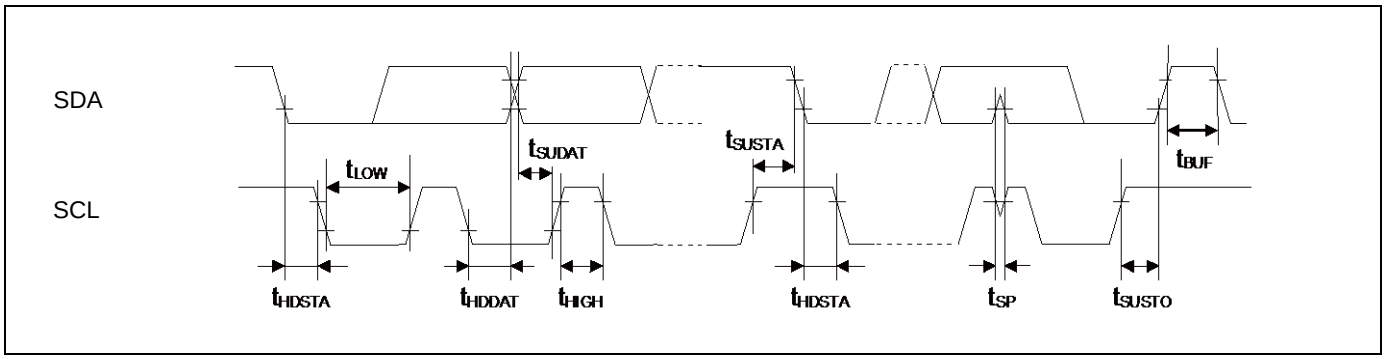
参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	f_{SCL}	C_L = 50 pF, R = (V_P/I_{OL})*1	0	100	0	400	kHz	
(重复) START 条件保持时间 SDA↓ → SCL↓	t_{HDSTA}		4.0	-	0.6	-	µs	
SCL 时钟"L"宽	t_{LOW}		4.7	-	1.3	-	µs	
SCL 时钟"H"宽	t_{HIGH}		4.0	-	0.6	-	µs	
(重复) START 条件设置时间 SCL↑ → SDA↓	t_{SUSTA}		4.7	-	0.6	-	µs	
数据保持时间 SCL↓ → SDA↓	t_{HDDAT}		0	3.45*2	0	0.9*3	µs	
数据设置时间 SDA↓ ↑ SCL↑	t_{SUDAT}		250	-	100	-	ns	
STOP 条件设置时间 SCL↑ → SDA↑	t_{SUSTO}		4.0	-	0.6	-	µs	
"STOP 条件" 和"START 条件"间 的总线空闲时间	t_{BUF}		4.7	-	1.3	-	µs	
噪声滤波器	t_{SP}	-	2 t_{CYCP}*4	-	2 t_{CYCP}*4	-	ns	

*1:R 和 C_L 是指 SCL, SDA 总线上的上拉电阻和负载电容。
V_P 是指上拉电阻的电源电压，I_{OL} 是指 V_{OL} 保证电流。

*2:仅在芯片保持 SCL 信号在"L"(t_{LOW})未扩展期间才可使用最大 t_{HDDAT}。

*3:高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统，但必须满足 t_{SUDAT} ≥ 250 ns 的要求。

*4:t_{CYCP} 是指 APB 总线时钟的周期时间。
关于 I²C 连结的 APB 总线序号，详情参照"框图"。
使用标准模式时，请将 APB 总线时钟设定在 2 MHz 或以上。
使用快速模式时，请将 APB 总线时钟设定在 8 MHz 或以上。

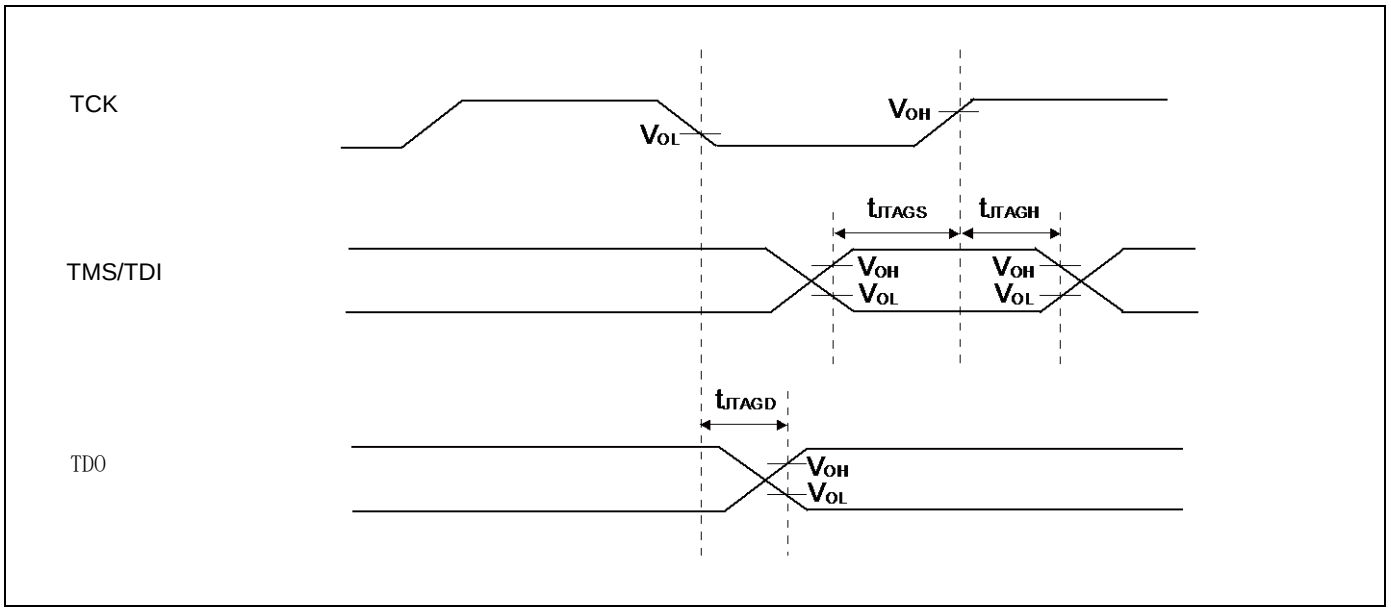


12.4.12 JTAG 时序

(V_{CC} = 1.8V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS,TDI 创建时间	t_{JTAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5$ V	15	-	ns	
			$V_{CC} < 4.5$ V				
TMS,TDI 保持时间	t_{JTAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5$ V	15	-	ns	
			$V_{CC} < 4.5$ V				
TDO 延迟时间	t_{JTAGD}	TCK, TDO	$V_{CC} \geq 4.5$ V	-	30	ns	
			2.7 V ≤ $V_{CC} < 4.5$ V	-	45		
			$V_{CC} < 2.7$ V	-	60		

注意事项:外部负载电容 C_L = 50 pF 时。



12.5 12 位 A/D 转换器

12.5.1 A/D 转换器的电气特性

(V_{CC} = AV_{CC} = 1.8V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
积分非线性	INL	-	-	± 2.5	± 3.0	LSB	AV_{CC} ≥ 2.7 V
			-	± 3.5	± 4.0	LSB	AV_{CC} < 2.7 V
微分非线性	DNL	-	-	± 1.8	± 1.9	LSB	AV_{CC} ≥ 2.7 V
			-	± 2.7	± 2.9	LSB	AV_{CC} < 2.7 V
零转换电压	V_{ZT}	ANxx	-	± 9	± 20	mV	
全面转换电压	V_{FST}	ANxx	-	AVRH ± 9	AVRH ± 20	mV	
转换时间*1	-	-	1.0	-	-	µs	AV_{CC} ≥ 2.7 V
			4.0				AV_{CC} < 2.7 V
采样时间*2	t_S	-	0.3	-	10	µs	AV_{CC} ≥ 2.7 V
			1.2				AV_{CC} < 2.7 V
比较时钟周期*3	t_{CCK}	-	50	-	1000	ns	AV_{CC} ≥ 2.7 V
			200				AV_{CC} < 2.7 V
动作使能状态转移期间	t_{STT}	-	-	-	1	µs	
模拟输入电容	C_{AIN}	-	-	-	15	pF	
模拟输入电阻	R_{AIN}	-	-	-	0.9	kΩ	AV_{CC} ≥ 4.5 V
					1.6		2.7 V ≤ AV_{CC} < 4.5 V
					4.0		AV_{CC} < 2.7 V
通道间不均衡	-	-	-	-	4	LSB	
模拟端口输入漏电流	-	ANxx	-	-	0.3	µA	
模拟输入电压	-	ANxx	AV_{SS}	-	AVRH	V	
基准电压	-	AVRH	2.7	-	AV_{CC}	V	AV_{CC} ≥ 2.7 V
			AV_{CC}				AV_{CC} < 2.7 V

*1:转换时间是采样时间(ts) ＋ 比较时间(tc)的值。

最短转换时间的条件是:

AV_{CC} ≥ 2.7 V, HCLK=20 MHz　　采样时间:0.3 µs, 比较时间:0.7 µs

AV_{CC} < 2.7 V, HCLK=20 MHz　　采样时间:1.2 µs, 比较时间:2.8 µs

必须满足采样时间(ts)和比较时钟周期(t_{CCK})的规格。

关于采样时间和比较时钟周期的设置*4 详情参照"FM3 家族外围资源手册 模拟宏部分"中的第 1-1 章:A/D 转换器。

ADC 的寄存器设定在 APB 总线时钟的时序上反映。

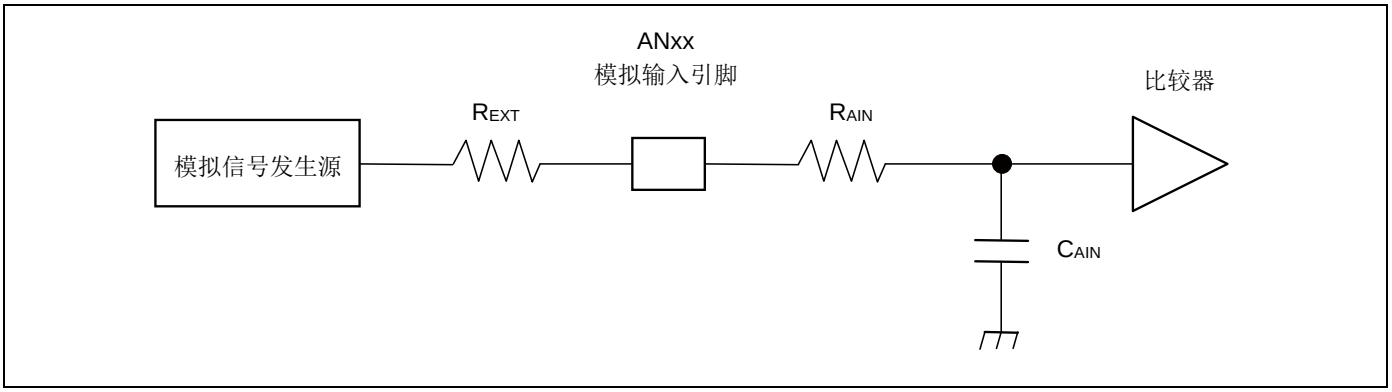
关于 A/D 转换器连接的 APB 总线序号，详情参照"框图"。

采样及比较时钟在基本时钟(HCLK)设定。

*2:所需采样时间因外部阻抗而异。

设定的采样时间务必满足(公式 1)。

*3:比较时间(tc)是(公式 2)的值。



(公式 1) $t_S \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_S: 采样时间

R_{AIN}: A/D 的输入电阻 = 0.9 kΩ 4.5 V ≤ AV_{CC} ≤ 5.5 V

A/D 的输入电阻 = 1.6 kΩ 2.7 V ≤ AV_{CC} < 4.5 V

A/D 的输入电阻 = 4.0 kΩ 1.8 V ≤ AV_{CC} < 2.7 V

C_{AIN}: A/D 的输入电容 = 15 pF 1.8 V ≤ AV_{CC} ≤ 5.5 V

R_{EXT}: 外部电路的输出阻抗

(公式 2) $t_C = t_{CCK} \times 14$

t_C: 比较时间

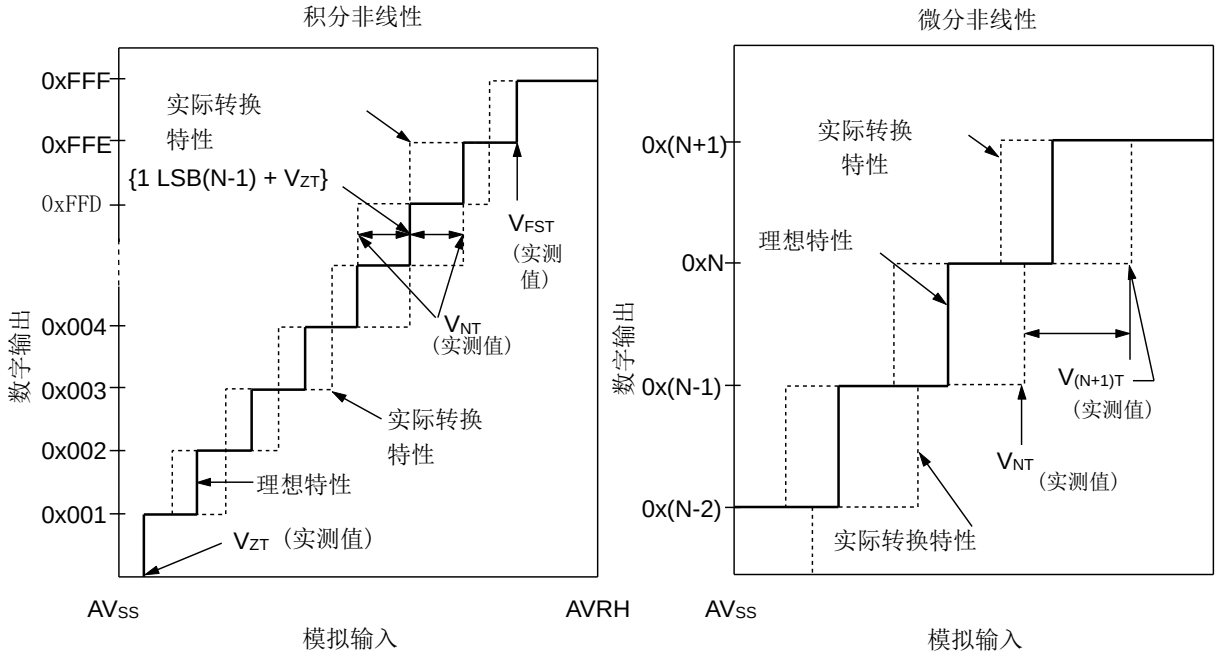
t_{CCK}: 比较时钟周期

■12 位 A/D 转换器的术语定义

分辨率: 分辨率是 A/D 转换器分辨出的模拟偏差的等级。

积分非线性: 积分非线性是指实际转换值偏移直线的误差，该直线连接器件上的零转换点(0b000000000000←→0b000000000001)和同一器件上的全面转换点(0b111111111110←→0b111111111111)。

微分非线性: 微分非线性指用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



$$\text{数字输出 N 的积分非线性} = \frac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB} \text{ [LSB]}$$

$$\text{数字输出 N 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1LSB} - 1 \text{ [LSB]}$$

$$1LSB = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值。

V_{ZT}: 数字输出由 0x000 至 0x001 变换的电压。

V_{FST}: 数字输出由 0xFFE 至 0xFFF 变换的电压。

V_{NT}: 数字输出由 0x (N - 1)至 0xN 变换的电压。

12.6 10 位 D/A 转换器

■D/A 转换器的电气特性

(V_{CC} = AV_{CC} = 1.8V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	DAx	-	-	10	bit	
转换时间	t_{C20}		0.37	0.53	0.69	μs	负载为 20 pF 时
	t_{C100}		1.87	2.67	3.47	μs	负载为 100 pF 时
积分非线性	INL		-4.0	-	+4.0	LSB	*
微分非线性	DNL		-0.9	-	+0.9	LSB	*
输出电压偏置	V_{OFF}		-	-	10.0	mV	代码为 0x000 时
			-50.0	-	+5.5	mV	代码为 0x3FF 时
模拟输出阻抗	R_O		2.45	3.50	4.55	kΩ	D/A 运行时
			5.0	9.0	-	MΩ	D/A 停止时
输出未定义阶段	t_R		-	-	250	ns	

*:无负载时

12.7 低压检测特性

12.7.1 低压检测复位

(T_A = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	V_{DLR}	SVHR = 0001	1.43	1.53	1.63	V	电压下降时
释放电压	V_{DHR}		1.53	1.63	1.73	V	电压上升时
检测电压	V_{DLR}	SVHR = 0100	1.80	1.93	2.06	V	电压下降时
释放电压	V_{DHR}		1.90	2.03	2.16	V	电压上升时
LVD 稳定等待时间	t_{LVDRW}	-	-	-	633 × t_{CYCP} *	µs	
检测延迟时间	t_{LVDRD}	dV/dt ≥ -4 mV/µs	-	-	60	µs	

*: t_{CYCP} 是指 APB2 总线时钟的周期时间。

12.7.2 低压检测中断

■正常模式

(T_A = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	V_{DLI}	SVHI = 0000	1.87	2.00	2.13	V	电压下降时
释放电压	V_{DHI}		1.97	2.10	2.23	V	电压上升时
检测电压	V_{DLI}	SVHI = 0001	1.96	2.10	2.24	V	电压下降时
释放电压	V_{DHI}		2.06	2.20	2.34	V	电压上升时
检测电压	V_{DLI}	SVHI = 0010	2.05	2.20	2.35	V	电压下降时
释放电压	V_{DHI}		2.15	2.30	2.45	V	电压上升时
检测电压	V_{DLI}	SVHI = 0011	2.15	2.30	2.45	V	电压下降时
释放电压	V_{DHI}		2.25	2.40	2.55	V	电压上升时
检测电压	V_{DLI}	SVHI = 0100	2.24	2.40	2.56	V	电压下降时
释放电压	V_{DHI}		2.34	2.50	2.66	V	电压上升时
检测电压	V_{DLI}	SVHI = 0101	2.33	2.50	2.67	V	电压下降时
释放电压	V_{DHI}		2.43	2.60	2.77	V	电压上升时
检测电压	V_{DLI}	SVHI = 0110	2.43	2.60	2.77	V	电压下降时
释放电压	V_{DHI}		2.53	2.70	2.87	V	电压上升时
检测电压	V_{DLI}	SVHI = 0111	2.61	2.80	2.99	V	电压下降时
释放电压	V_{DHI}		2.71	2.90	3.09	V	电压上升时
检测电压	V_{DLI}	SVHI = 1000	2.80	3.00	3.20	V	电压下降时
释放电压	V_{DHI}		2.90	3.10	3.30	V	电压上升时
检测电压	V_{DLI}	SVHI = 1001	2.99	3.20	3.41	V	电压下降时
释放电压	V_{DHI}		3.09	3.30	3.51	V	电压上升时
检测电压	V_{DLI}	SVHI = 1010	3.36	3.60	3.84	V	电压下降时
释放电压	V_{DHI}		3.46	3.70	3.94	V	电压上升时
检测电压	V_{DLI}	SVHI = 1011	3.45	3.70	3.95	V	电压下降时
释放电压	V_{DHI}		3.55	3.80	4.05	V	电压上升时
检测电压	V_{DLI}	SVHI = 1100	3.73	4.00	4.27	V	电压下降时
释放电压	V_{DHI}		3.83	4.10	4.37	V	电压上升时
检测电压	V_{DLI}	SVHI = 1101	3.83	4.10	4.37	V	电压下降时
释放电压	V_{DHI}		3.93	4.20	4.47	V	电压上升时
检测电压	V_{DLI}	SVHI = 1110	3.92	4.20	4.48	V	电压下降时
释放电压	V_{DHI}		4.02	4.30	4.58	V	电压上升时
LVD 稳定等待时间	t_{LVDIW}	-	-	-	633 × t_{CYCP} *	µs	
检测延迟时间	t_{LVDID}	dV/dt ≥ - 4 mV/µs	-	-	60	µs	

*: t_{CYCP} 是指 APB2 总线时钟的周期时间。

■低功耗模式

(T_A = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	V_{DLIL}	SVHI = 0000	1.80	2.00	2.20	V	电压下降时
释放电压	V_{DHIL}		1.90	2.10	2.30	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0001	1.89	2.10	2.31	V	电压下降时
释放电压	V_{DHIL}		1.99	2.20	2.41	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0010	1.98	2.20	2.42	V	电压下降时
释放电压	V_{DHIL}		2.08	2.30	2.52	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0011	2.07	2.30	2.53	V	电压下降时
释放电压	V_{DHIL}		2.17	2.40	2.63	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0100	2.16	2.40	2.64	V	电压下降时
释放电压	V_{DHIL}		2.26	2.50	2.74	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0101	2.25	2.50	2.75	V	电压下降时
释放电压	V_{DHIL}		2.35	2.60	2.85	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0110	2.34	2.60	2.86	V	电压下降时
释放电压	V_{DHIL}		2.44	2.70	2.96	V	电压上升时
检测电压	V_{DLIL}	SVHI = 0111	2.52	2.80	3.08	V	电压下降时
释放电压	V_{DHIL}		2.62	2.90	3.18	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1000	2.70	3.00	3.30	V	电压下降时
释放电压	V_{DHIL}		2.80	3.10	3.40	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1001	2.88	3.20	3.52	V	电压下降时
释放电压	V_{DHIL}		2.98	3.30	3.62	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1010	3.24	3.60	3.96	V	电压下降时
释放电压	V_{DHIL}		3.34	3.70	4.06	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1011	3.33	3.70	4.07	V	电压下降时
释放电压	V_{DHIL}		3.43	3.80	4.17	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1100	3.60	4.00	4.40	V	电压下降时
释放电压	V_{DHIL}		3.70	4.10	4.50	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1101	3.69	4.10	4.51	V	电压下降时
释放电压	V_{DHIL}		3.79	4.20	4.61	V	电压上升时
检测电压	V_{DLIL}	SVHI = 1110	3.78	4.20	4.62	V	电压下降时
释放电压	V_{DHIL}		3.88	4.30	4.72	V	电压上升时
LVD 稳定等待时间	t_{LVDILW}	-	-	-	8039 × t_{CYCP} *	µs	
检测延迟时间	t_{LVDILD}	dV/dt ≥ - 0.4 mV/µs	-	-	800	µs	

*: t_{CYCP} 是指 APB2 总线时钟的周期时间。

12.8 闪存擦/写特性

12.8.1 擦/写时间

(V_{CC} = 2.0V ~ 5.5V, T_A = - 40°C ~ + 85°C)

参数		规格值		单位	备注
		标准*	最大*		
扇区擦除时间	大扇区	1.6	7.5	s	包括内部擦除前的写入时间
	小扇区	0.4	2.1		
半字(16 位) 写入时间		25	400	μs	不包括系统级开销时间
整片擦除时间		4	19.2	s	包括内部擦除前的写入时间

*:典型值指发货后立即有效的值，最大值指在 10 万个擦除/写入周期后的保证值。

12.8.2 擦/写周期和数据保持时间

擦/写次数(周期)	数据保持时间(年)	备注
1,000	20 *	
10,000	10 *	
100,000	5*	

*:平均温度 + 85°C

12.9 从低功耗模式下的返回时间

12.9.1 返回因数: 中断/WKUP

从低功耗模式下的返回时间如下所示。从收到返回因数到启动程序运行为止。

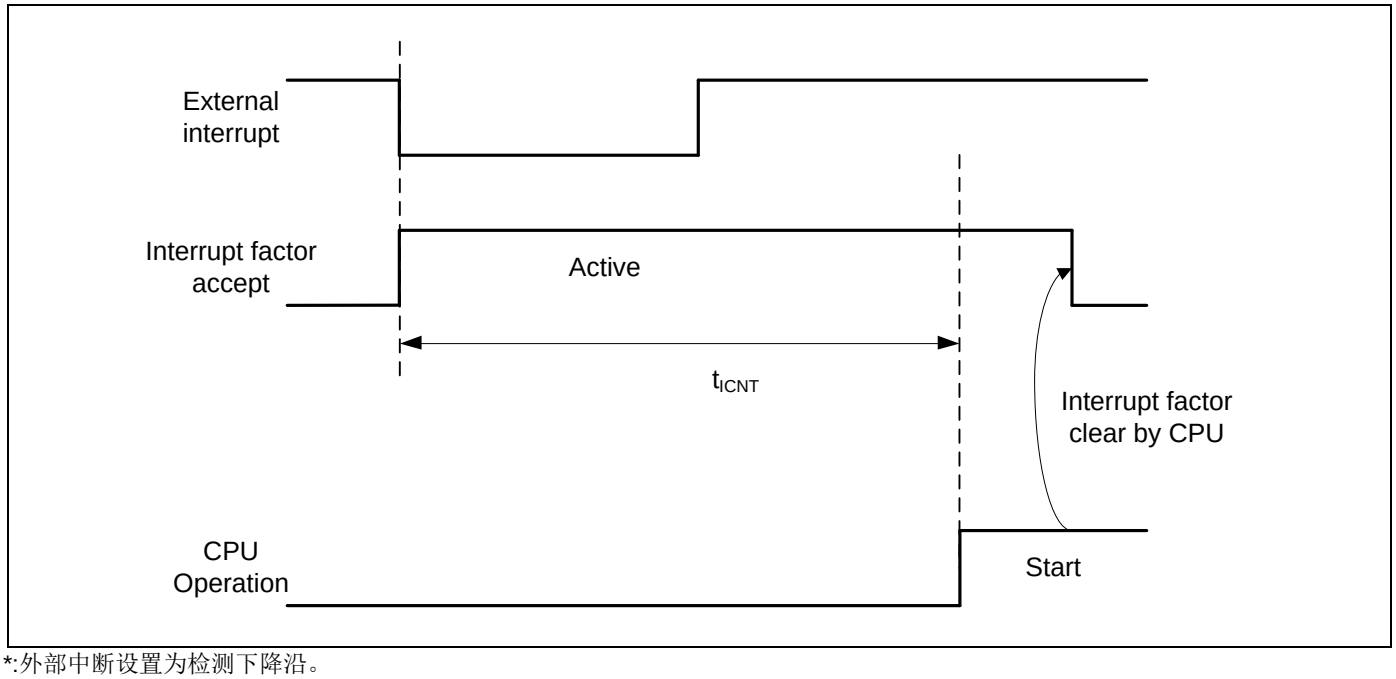
■返回计数时间

(V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t_{ICNT}	t_{CYCC}		μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		630	1260	μs	
子定时器模式		630	1260	μs	
RTC 模式, 停止模式		1083	2100	μs	
深度待机 RTC 模式 深度待机停止模式		1099	2127	μs	

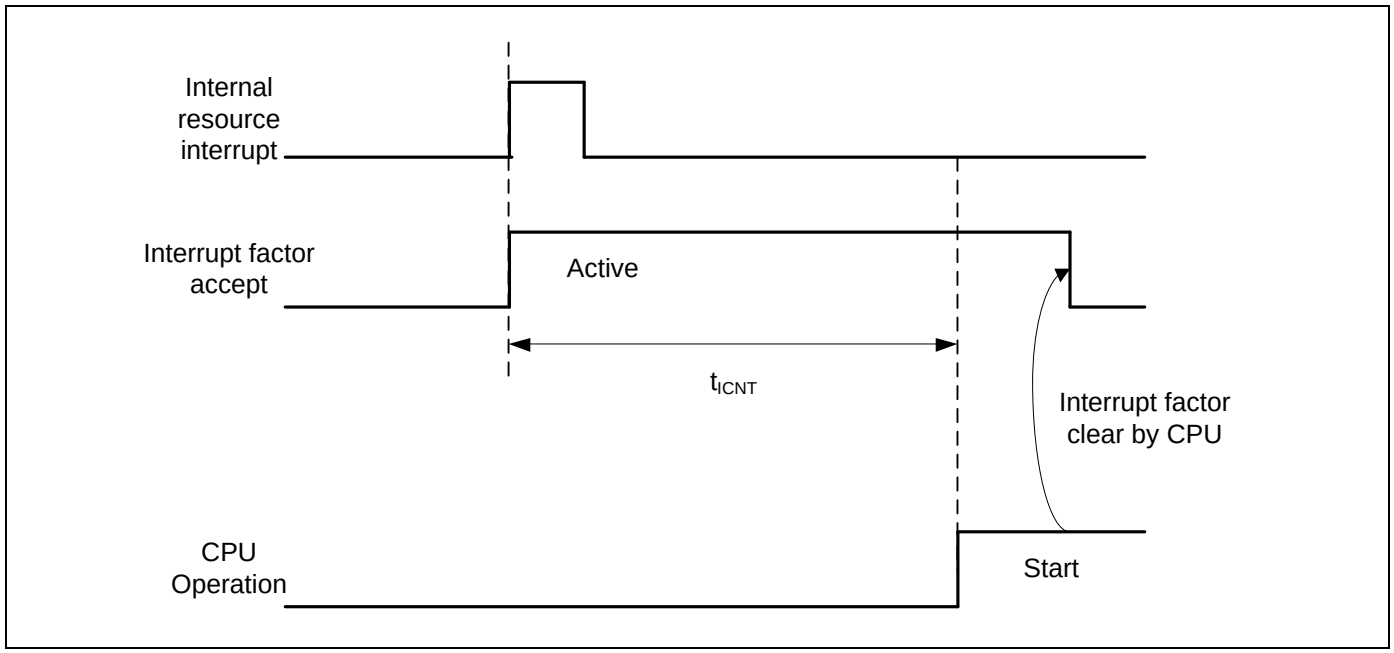
*:最大值取决于内置 CR 的精度。

■从低功耗模式返回的操作示例（通过外部中断*）



*:外部中断设置为检测下降沿。

■从低功耗模式返回的操作示例（通过内部资源中断*）



*:对这类低功耗模式，内部资源中断未包含在返回因数中。

注意事项:
每一种低功耗模式中的返回因数各不相同。
请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。

12.9.2 返回因数:复位

从低功耗模式下的返回时间如下所示。从释放复位到启动程序运行为止。

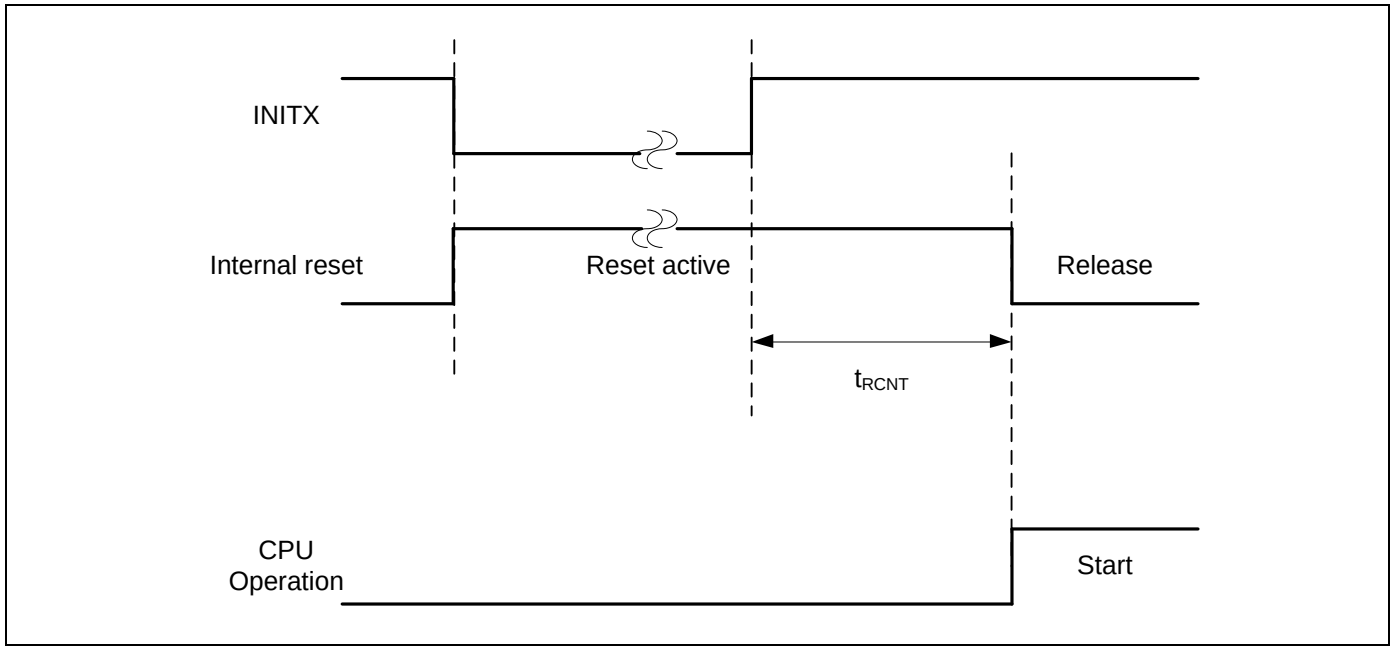
■返回计数时间

(V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

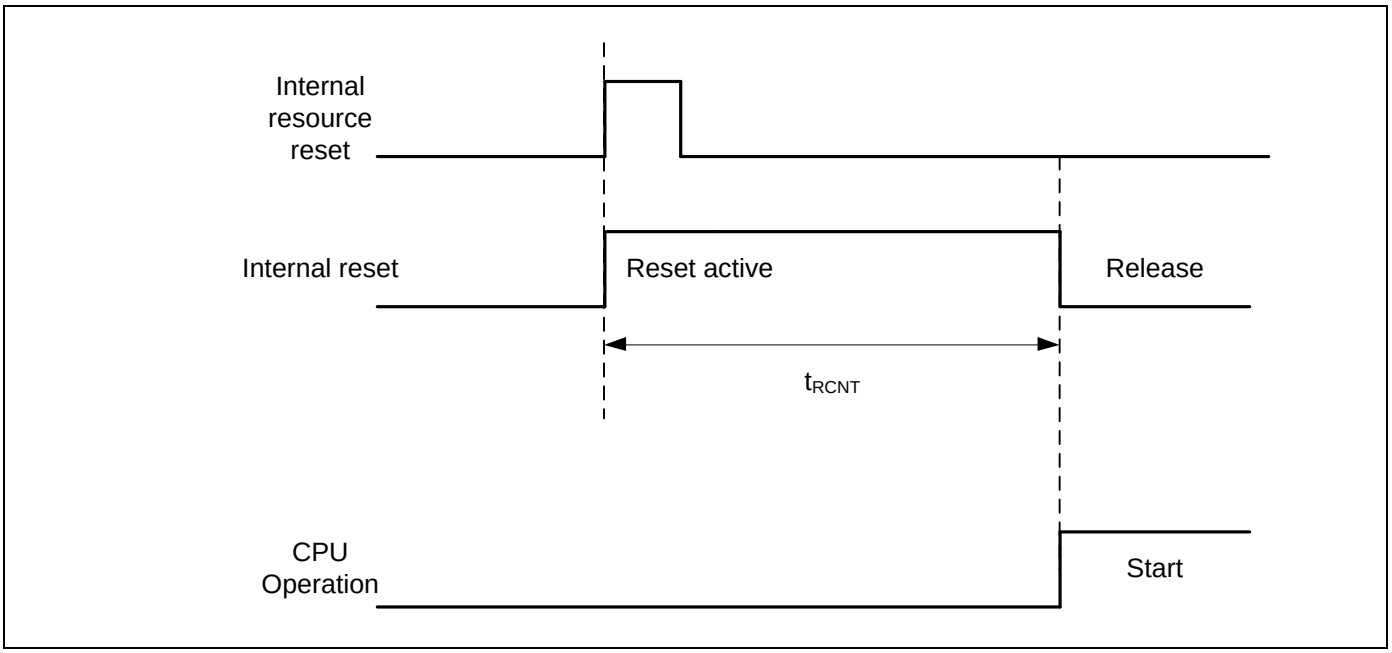
参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t_{RCNT}	359	647	µs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		359	647	µs	
低速 CR 定时器模式		929	1787	µs	
子定时器模式		929	1787	µs	
RTC/停止模式		1099	2127	µs	
深度待机 RTC 模式 深度待机停止模式		1099	2127	µs	

*:最大值取决于内置 CR 的精度。

■从低功耗模式返回的操作示例（通过 INITX）



■从低功耗模式返回的操作示例（通过内部资源复位*）



*:对这类低功耗模式，内部资源复位未包含在返回因数中。

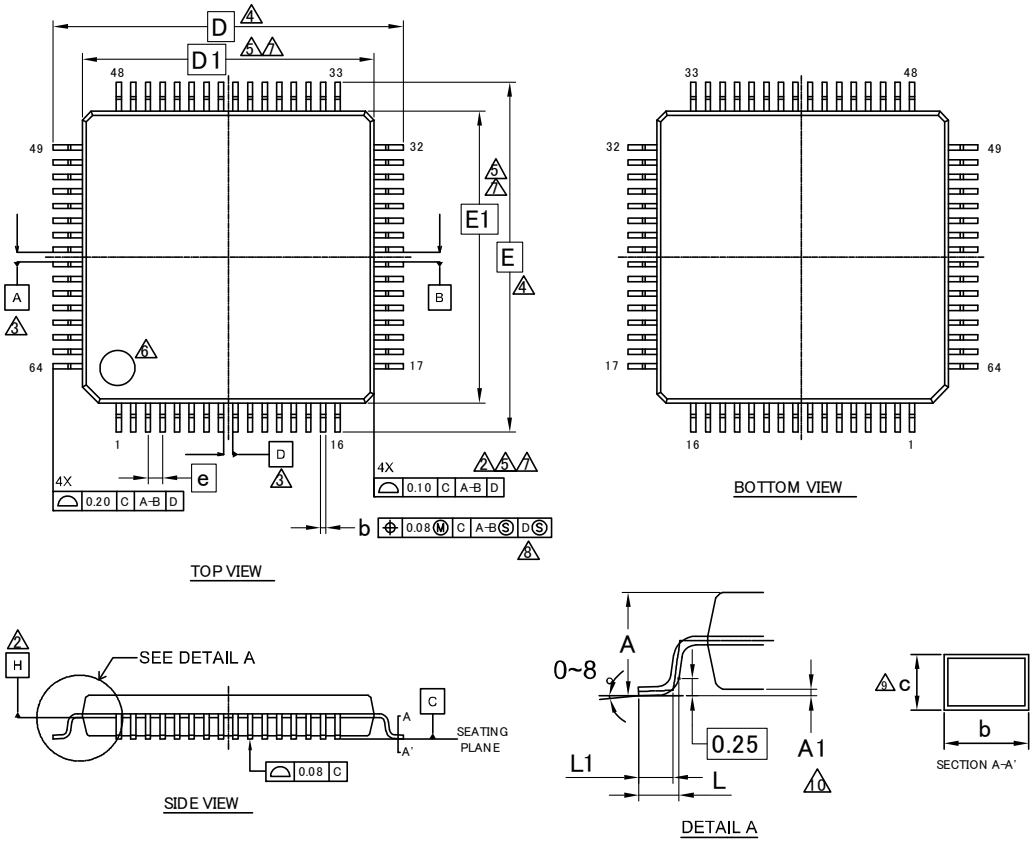
注意事项:
每一种低功耗模式中的返回因数各不相同。
请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。
排除上电复位/低电压检测复位的时间。请参阅“电气特性”中“4. 电气特性中的 AC 特性”这一章节的“(6) 上电复位时间”，详细了解上电复位/低电压检测复位时间。
在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
内部资源复位意味着看门狗复位和 CSV 复位。

13. 订购信息

产品类型	片上 闪存	片上 SRAM	封装	包装
CY9AFA31LPMC1-G-SNE2	64 Kbyte	12 Kbyte	塑封 ・LQFP (0.5mm 间距), 64 脚 (LQD064)	Tray
CY9AFA32LPMC1-G-SNE2	128 Kbyte	16 Kbyte		
CY9AFA31LPMC-G-SNE2	64 Kbyte	12 Kbyte	塑封 ・LQFP (0.65mm 间距), 64 脚 (LQG064)	
CY9AFA32LPMC-G-SNE2	128 Kbyte	16 Kbyte		
CY9AFA31LQN-G-AVE2	64 Kbyte	12 Kbyte	塑封 ・QFN (0.5mm 间距), 64 脚 (VNC064)	
CY9AFA32LQN-G-AVE2	128 Kbyte	16 Kbyte		
CY9AFA31MPMC-G-SNE2	64 Kbyte	12 Kbyte	塑封 ・LQFP (0.5mm 间距), 80 脚 (LQH080)	
CY9AFA32MPMC-G-SNE2	128 Kbyte	16 Kbyte		
CY9AFA31MPMC1-G-SNE2	64 Kbyte	12 Kbyte	塑封 ・LQFP (0.65mm 间距), 80 脚 (LQJ080)	
CY9AFA32MPMC1-G-SNE2	128 Kbyte	16 Kbyte		
CY9AFA31NPMC-G-SNE2	64 Kbyte	12 Kbyte	塑封 ・LQFP (0.5mm 间距), 100 脚 (LQI100)	
CY9AFA32NPMC-G-SNE2	128 Kbyte	16 Kbyte		
CY9AFA31NPF-G-SNE1	64 Kbyte	12 Kbyte	塑封 ・QFP (0.65mm 间距), 100 脚 (PQH100)	
CY9AFA32NPF-G-SNE1	128 Kbyte	16 Kbyte		

14. 封装尺寸图

封装类型	封装代码
LQFP 64 (0.5mm pitch)	LQD064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	12.00 BSC.		
D1	10.00 BSC.		
e	0.50 BSC		
E	12.00 BSC.		
E1	10.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

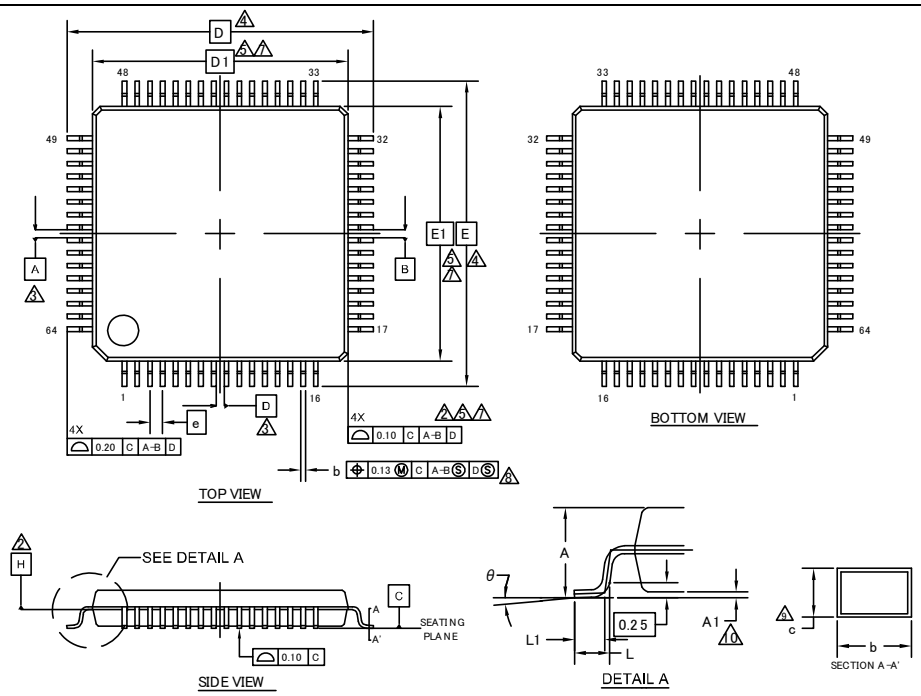
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11499 **

PACKAGE OUTLINE, 64 LEAD LQFP
10.0X10.0X1.7 MM LQD064 Rev**

封装类型	封装代码
LQFP 64 (0.65mm pitch)	LQG064



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	——	——	1.70
A1	0.00	——	0.20
b	0.27	0.32	0.37
c	0.09	——	0.20
D	14.00 BSC		
D1	12.00 BSC		
e	0.65 BSC		
E	14.00 BSC		
E1	12.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	——	8°

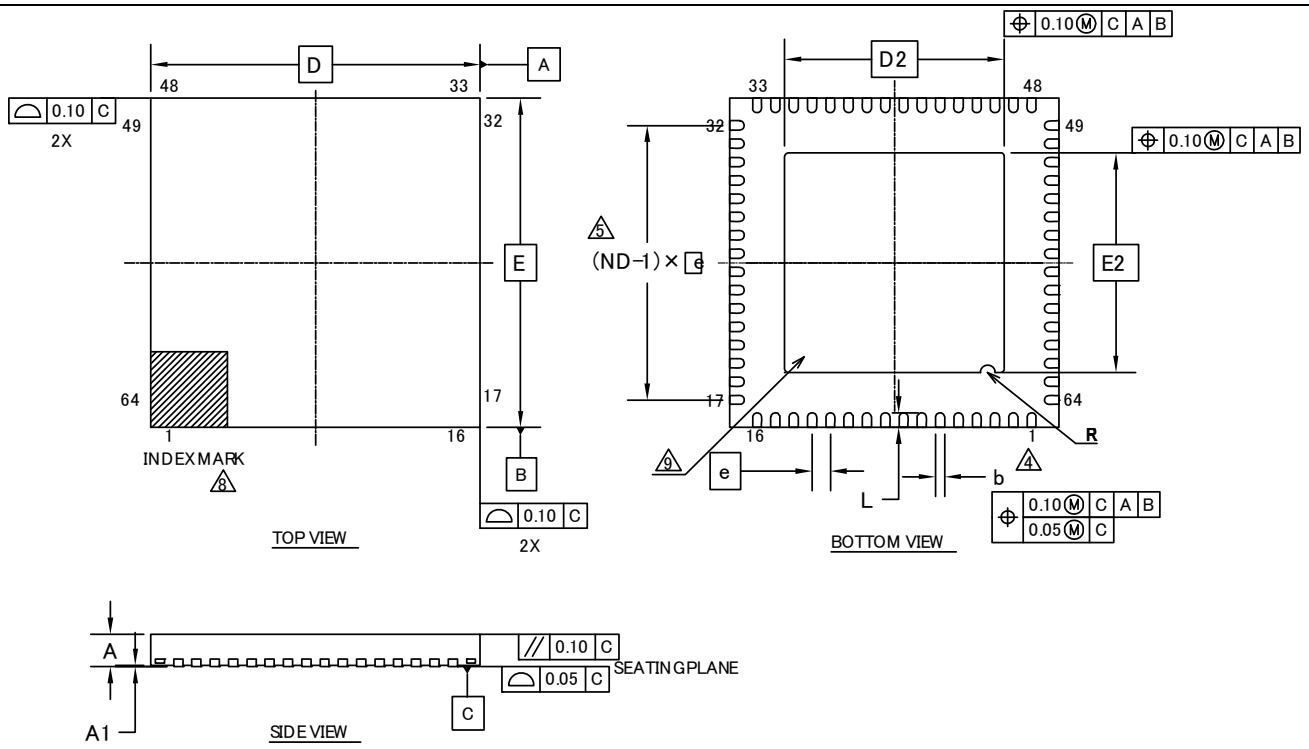
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **

PACKAGE OUTLINE, 64 LEAD LQFP
12.0X12.0X1.7 MM LQG064 REV**

封装类型	封装代码
QFN 64	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	9.00 BSC		
E	9.00 BSC		
b	0.20	0.25	0.30
D2	6.00 BSC		
E2	6.00 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45
N	64		
ND	16		

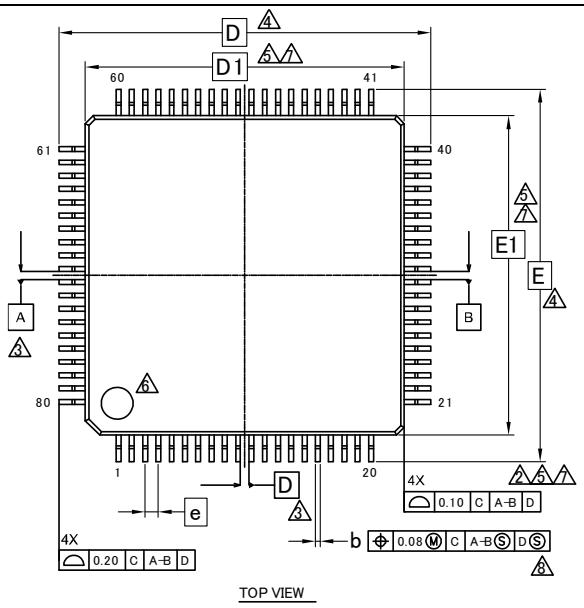
NOTES:

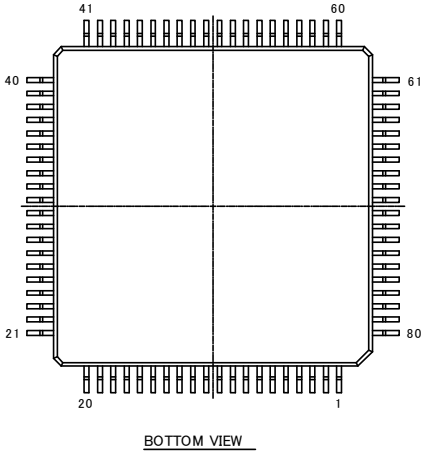
1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

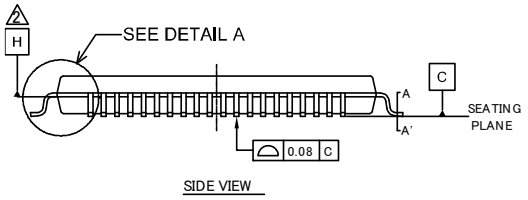
002-13234 **

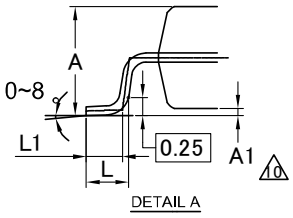
PACKAGE OUTLINE, 64 LEAD QFN
9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev*.*

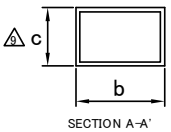
封装类型	封装代码
LQFP 80 (0.5mm pitch)	LQH080











SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	——	——	1.70
A1	0.05	——	0.15
b	0.15	——	0.27
c	0.09	——	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

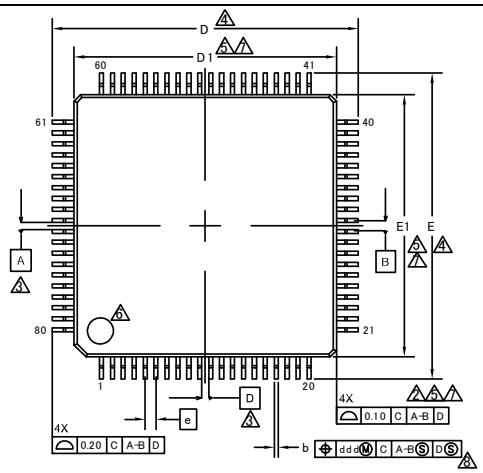
NOTES

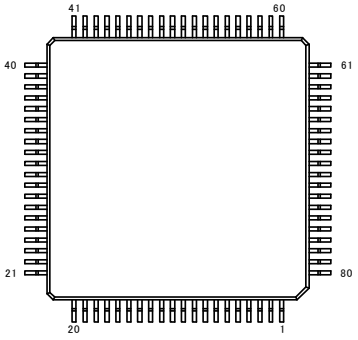
1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

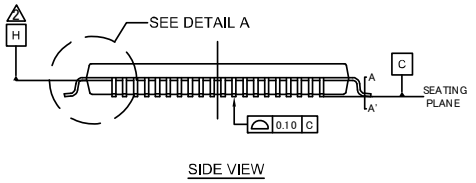
002-11501 **

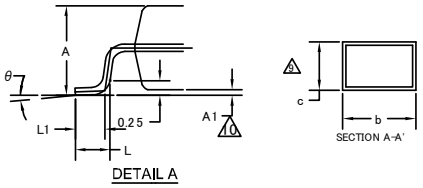
PACKAGE OUTLINE, 80 LEAD LQFP
12.0X12.0X1.7 MM LQH080 Rev **

封装类型	封装代码
LQFP 80 (0.65mm pitch)	LQJ080









SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.16	0.32	0.38
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.65 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

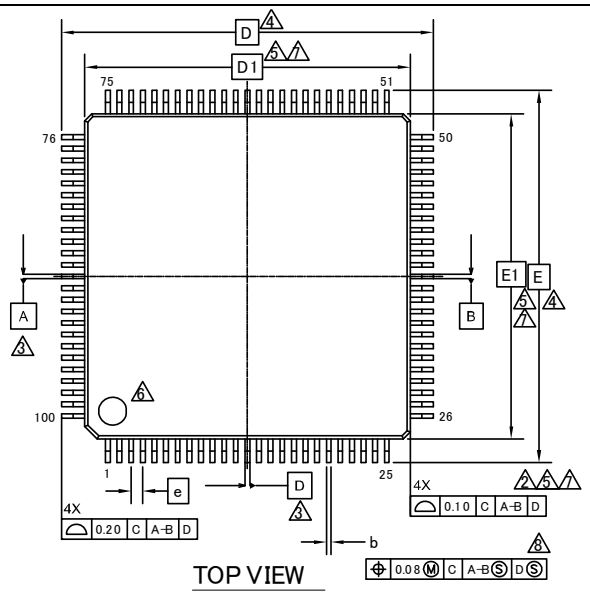
NOTES

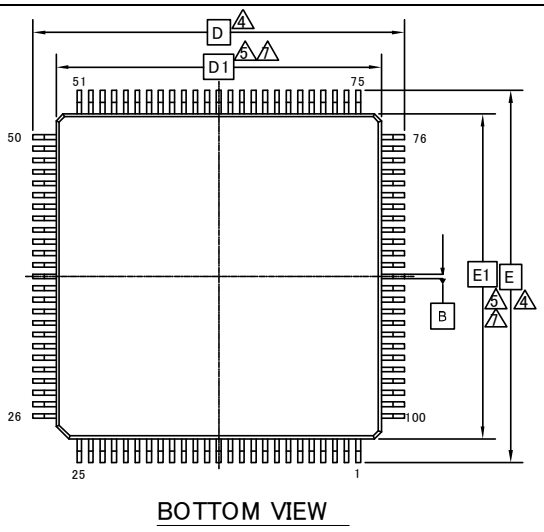
1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

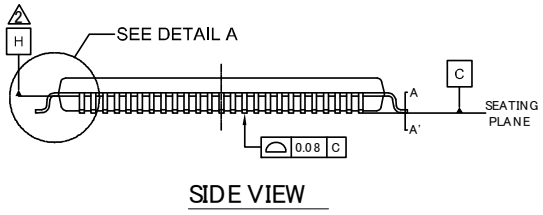
002-14043 **

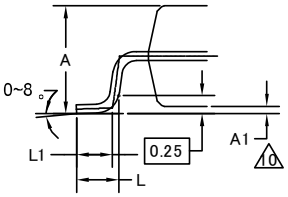
PACKAGE OUTLINE, 80 LEAD LQFP
14.0X14.0X1.7 MM LQJ080 REV**

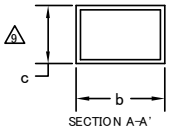
封装类型	封装代码
LQFP 100	LQI100











SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.50 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

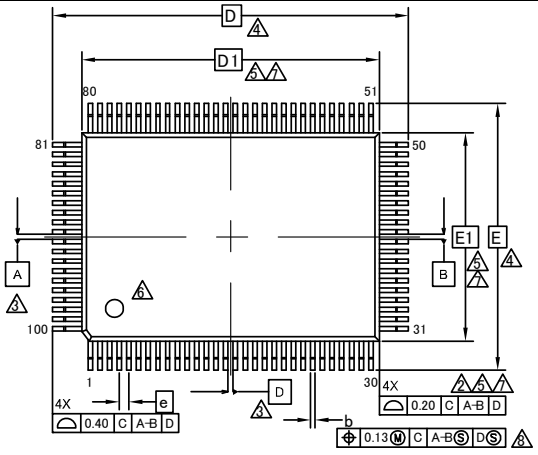
NOTES:

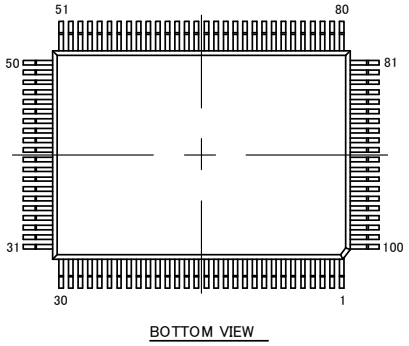
1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

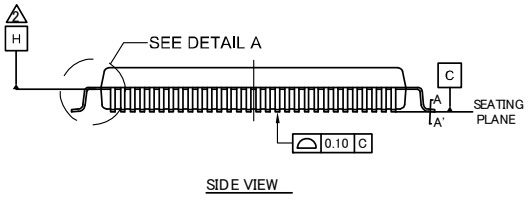
002-11500 *A

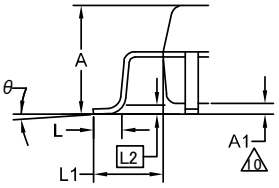
PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

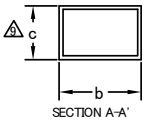
封装类型	封装代码
QFP 100	PQH100











SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	3.35
A1	0.05	—	0.45
b	0.27	0.32	0.37
c	0.11	—	0.23
D	23.90 BSC		
D1	20.00 BSC		
e	0.65 BSC		
E	17.90 BSC		
E1	14.00 BSC		
θ	0°	—	8°
L	0.73	0.88	1.03
L1	1.95 REF		
L2	0.25 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15156 **

PACKAGE OUTLINE, 100 LEAD QFP
20.00X14.00X3.35 MM PQH100 REV**

文档修改记录

文档标题：CY9AA30N 系列 32 位 Arm® Cortex®-M3 FM3 微控制器
文档编号：002-05639

修订版	ECN	提交日期	变更说明
**	-	12/01/2012	已转换成 Cypress 格式，分配文档号为 002-05639。 文档内容或格式无更改。
*A	5600632	01/24/2017	更新 Cypress 模板。
*B	6043182	01/24/2018	本文档版本号为 Rev. *B，译自英文版 002-05640 Rev. *B。 更新了 Cypress 的 Logo 修改了“实时时钟”RTC 的描述。改变开始计数值从 01 变到 00.删除“第二，或则天 周”在中断功能处 改变了下面章节里的封装： 2.封装 3.引脚分配 13.订购信息 14.封装尺寸 FTP-64P-M38 -> LQD064, FPT-64P-M39 -> LQG064, LCC-64P-M24 -> VNC064, FPT-80P-M37 -> LQH080, FPT-80P-M40 -> LQJ080, FPT-100P-M23 -> LQI100, FPT-100P-M06 -> PQH100 在 4.引脚功能清单里校正“J-TAG”为“JTAG”和增加了 JTAG 引脚的注释 在 12.4.9CSIO/UART 时序里增加了波特率的文档信息
*C	6847274	04/06/2020	本文档版本号为 Rev. *C，译自英文版 002-05640 Rev. *C。

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 代码示例 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© 赛普拉斯半导体公司，2012-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。