本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB95F332H/F332K/F333H/F333K/F334H/F334K

F²MC-8FX MB95330H Series 8-bit Microcontrollers

MB95330H シリーズは , コンパクトな命令体系に加えて , 豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

特長

F²MC-8FX CPU コア
コントローラに最適な命令体系

- 乗除算命令
- 16 ビット演算
- ビットテストによるブランチ命令
- ビット操作命令など

クロック

- 選択可能なメインクロックソース
  - メイン 発振クロック (最大 16.25 MHz, 最大マシンクロック周波数 : 8.125 MHz)
  - 外部クロック (最大 32.5 MHz, 最大マシンクロック周波数 : 16.25 MHz)
  - メイン CR クロック (1/8/10/12.5 MHz ±2%, 最大マシンクロック周波数 : 12.5 MHz)
- 選択可能なサブクロックソース
  - サブ 発振 クロック (32.768 kHz)
  - 外部クロック (32.768 kHz)
  - サブ CR クロック (標準 : 100 kHz, 最小 : 50 kHz, 最大 : 200 kHz)

タイマ

- 8/16 ビット複合タイマ ×2 チャネル
- 8/16 ビット PPG × 3 チャネル
- 16 ビット PPG × 1 チャネル (マルチパルスジェネレータと連動 , または独立して動作可能)
- 16 ビットリロードタイマ × 1 チャネル (マルチパルスジェネレータと連動 , または独立して動作可能)
- タイムベースタイマ × 1 チャネル
- 時計プリスケーラ × 1 チャネル

UART/SIO × 1 チャネル

- 全二重ダブルバッファ
- クロック非同期 (UART) のシリアルデータ転送およびクロック同期 (SIO) のシリアルデータ転送が可能

I²C × 1 チャネル

- ウェイクアップ機能内蔵

マルチパルスジェネレータ (MPG) (DC モータ制御用) × 1 チャネル

- 16 ビットリロードタイマ × 1 チャネル
- 16 ビット PPG タイマ × 1 チャネル
- 波形シーケンサ (16 ビットタイマ , バッファおよびコンペアクリア機能付き)

LIN-UART

- 全二重ダブルバッファ
- クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能

外部割込み × 10 チャネル

- エッジ検出による割込み (立上りエッジ , 立下りエッジ , および両エッジから選択可能)
- 各種の低消費電力 (スタンバイ) モードからの解除としても使用可能

8/10 ビット A/D コンバータ × 8 チャネル

- 8 ビットまたは 10 ビット分解能の選択可能

低消費電力 (スタンバイ) モード

- ストップモード
- スリープモード
- 時計モード
- タイムベースタイマモード

I/O ポート

- MB95F332H/F333H/F334H (最大ポート数 : 28)
  - 汎用入出力ポート (N-ch オープンドレイン):3 本
  - 汎用入出力ポート (CMOS 入出力):25 本
- MB95F332K/F333K/F334K (最大ポート数 : 29)
  - 汎用入出力ポート (N-ch オープンドレイン):4 本
  - 汎用入出力ポート (CMOS 入出力):25 本

オンチップデバッグ

- 1 線式シリアル制御
- シリアル書込みサポート (非同期モード)

ハードウェア / ソフトウェアウォッチドッグタイマ

■ ハードウェアウォッチドッグタイマ内蔵

低電圧検出リセット回路

■ 低電圧検出器内蔵

クロックスーパバイザカウンタ

■ クロックスーパバイザカウンタ機能内蔵

ポートの入力電圧レベルを変更可能

■ CMOS 入力レベル / ヒステリシス入力レベル

デュアルオペレーションフラッシュメモリ

■ 消去 / 書込み動作・読込み動作は, 異なったバンク (上位バンク / 下位バンク) で同時に行うことができます。

フラッシュメモリセキュリティ機能

■ フラッシュメモリ内容を保護

Contents

特長 **1**
1. 品種構成 **4**
2. パッケージと品種対応 **6**
3. 品種間の相違点と品種選択時の注意事項 **6**
4. 端子配列図 **7**
5. 端子機能説明 **9**
6. 入出力回路形式 **13**
7. デバイス使用上の注意 **15**
8. 端子接続について **16**
9. ブロックダイヤグラム **17**
10. CPUコ ア **18**
11. I/O マップ **19**
12. 割込み要因のテーブル **25**
13. 電気的特性 **26**
13.1 絶対最大定格 26
13.2 推奨動作条件 28
13.3 直流規格 29
13.4 交流規格 32
13.5 A/D コンバータ 49
13.6 フラッシュメモリ書込み / 消去特性 53
14. 特性例 **54**
15. マスクオプション **59**
16. オーダ型格 **60**
17. パッケージ・外形寸法図 **61**
改訂履歴 **64**
セールス , ソリューションおよび法律情報 **65**

1. 品種構成

品種 / 項目	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
分類	フラッシュメモリ品					
クロックスーパバイザカウンタ	メインクロックの発振を監視					
ROM 容量	8 K バイト	12 K バイト	20 K バイト	8 K バイト	12 K バイト	20 K バイト
RAM 容量	240 バイト	496 バイト	1008 バイト	240 バイト	496 バイト	1008 バイト
低電圧検出リセット	なし			あり		
リセット入力	専用のリセット入力あり			ソフトウェア選択		
CPU 機能	基本命令数 : 136 命令 命令ビット長 : 8 ビット 命令長 : 1 ～ 3 バイト データビット長 : 1, 8, 16 ビット長 最小命令実行時間 : 61.5 ns (マシンクロック周波数 16.25 MHz 時) 割込み処理時間 : 0.6 µs (マシンクロック周波数 16.25 MHz 時)					
汎用入出力	I/O ポート (最大) : 28 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 3 本			I/O ポート (最大) : 29 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 4 本		
タイムベースタイマ	割込み周期 : 0.256 ms ～ 8.3 s (外部クロック 4 MHz 時)					
ハードウェア / ソフトウェアウォッチドッグタイマ	リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) サブ CR クロックをハードウェアウォッチドッグのソースクロックとして使用可能					
ワイルドレジスタ	3 バイト分のデータ置換え可能					
LIN-UART	専用リロードタイマによって広範囲の通信速度の選択が可能 クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能 LIN 機能は LIN マスタまたは LIN スレーブとして使用可能					
8/10 ビット A/D コンバータ	8 チャネル					
	8 ビットまたは 10 ビット分解能の選択が可能					
8/16 ビット複合タイマ	2 チャネル					
	タイマは 8 ビットタイマ × 2 チャネル , または 16 ビットタイマ × 1 チャネルとして構成可能 タイマ機能 , PWC 機能 , PWM 機能および入力キャプチャ機能内蔵 カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 方形波出力可能					
外部割込み	10 チャネル					
	エッジ検出による割込み (立上りエッジ , 立下りエッジ , または両エッジから選択可能) 各種スタンバイモードからの解除として使用可能					
オンチップデバッグ	1 線式シリアル制御 シリアル書込みをサポート (非同期モード)					

品種 / 項目	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
UART/SIO	1 チャネル					
	UART/SIO でのデータ転送可能 全二重ダブルバッファ , 可変データ長 (5/6/7/8 ビット), ボーレートジェネレータ内蔵 , エラー検出機能 NRZ 方式転送フォーマット LSB ファースト / MSB ファーストのデータ転送が使用可能 クロック非同期 (UART) またはクロック同期 (SIO) のシリアルデータ転送が使用可能					
I^2C	1 チャネル					
	マスタ / スレーブ送受信 バスエラー機能 , アービトレーション機能 , 転送方向検出機能 , ウェイクアップ機能 スタートコンディションの繰り返し発生および検出機能					
8/16 ビット PPG	3 チャネル					
	タイマ 1 チャネルにつき 8 ビットタイマ ×2 チャネルまたは , 16 ビットタイマ ×1 チャネルとして使用可能 カウンタ動作クロック : 8 種類のクロックソースから選択可能					
16 ビット PPG	PWM モードまたはワンショットモードが使用可能 カウンタ動作クロック : 8 種類のクロックソースから選択可能 外部トリガ起動対応 マルチパルスジェネレータと連動 , または独立して動作可能					
16 ビット リロードタイマ	2 つのクロックモードとカウンタ動作モードが使用可能 方形波出力可能 カウントクロック : 内部クロック 7 種類および外部クロックから選択可能 2 つのカウンタ動作モード : リロードモード , ワンショットモード マルチパルスジェネレータと連動 , または独立して動作可能					
マルチパルス ジェネレータ (DC モータ 制御用)	16 ビット PPG タイマ : 1 チャネル 16 ビット リロードタイマ動作 : トグル出力 , シングルショット出力選択可 イベントカウンタ : 1 チャネル 波形シーケンサ (16 ビットタイマにバッファ機能 , コンペアクリア機能あり)					
時計プリスケーラ	8 種類のインターバル時間から選択可能					
フラッシュメモリ	自動プログラミング , Embedded Algorithm, 書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズム完了を示すフラグ 書込み / 消去回数 : 100000 回 データ保持期間 : 20 年間 フラッシュ内容を保護するフラッシュセキュリティ機能					
スタンバイモード	スリープモード , ストップモード , 時計モード , タイムベースタイマモード					
パッケージ	FPT-32P-M30 DIP-32P-M06 LCC-32P-M19					

2. パッケージと品種対応

パッケージ＼品種	MB95F332H	MB95F332K	MB95F333H	MB95F333K	MB95F334H	MB95F334K
FPT-32P-M30	○	○	○	○	○	○
DIP-32P-M06	○	○	○	○	○	○
LCC-32P-M19	○	○	○	○	○	○

○：使用可能

3. 品種間の相違点と品種選択時の注意事項

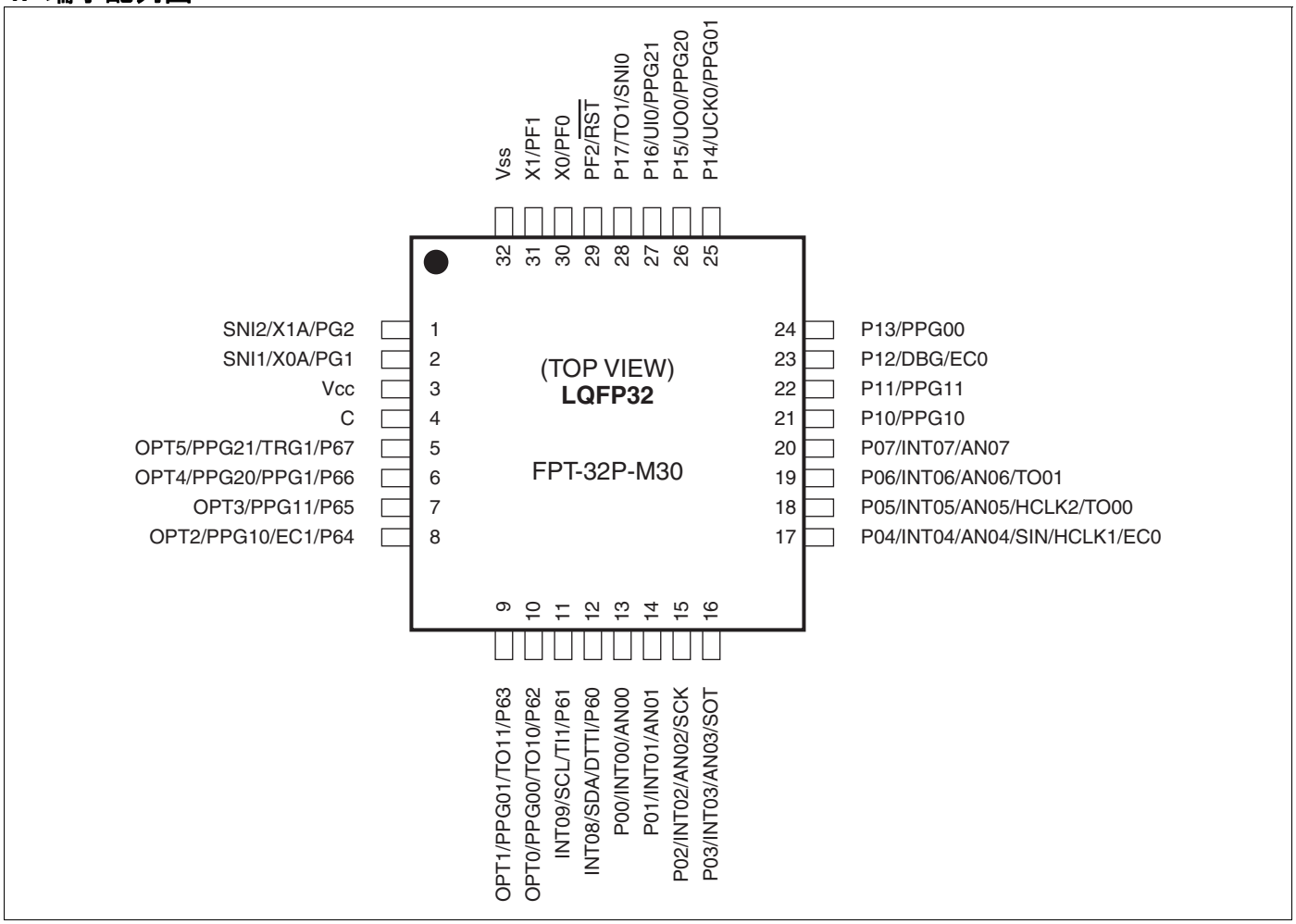
■ 消費電流
オンチップデバッグ機能を使用する場合は , フラッシュ消去 / プログラムの消費電流を考慮してください。
消費電流の詳細は ,「13. 電気的特性」を参照してください。

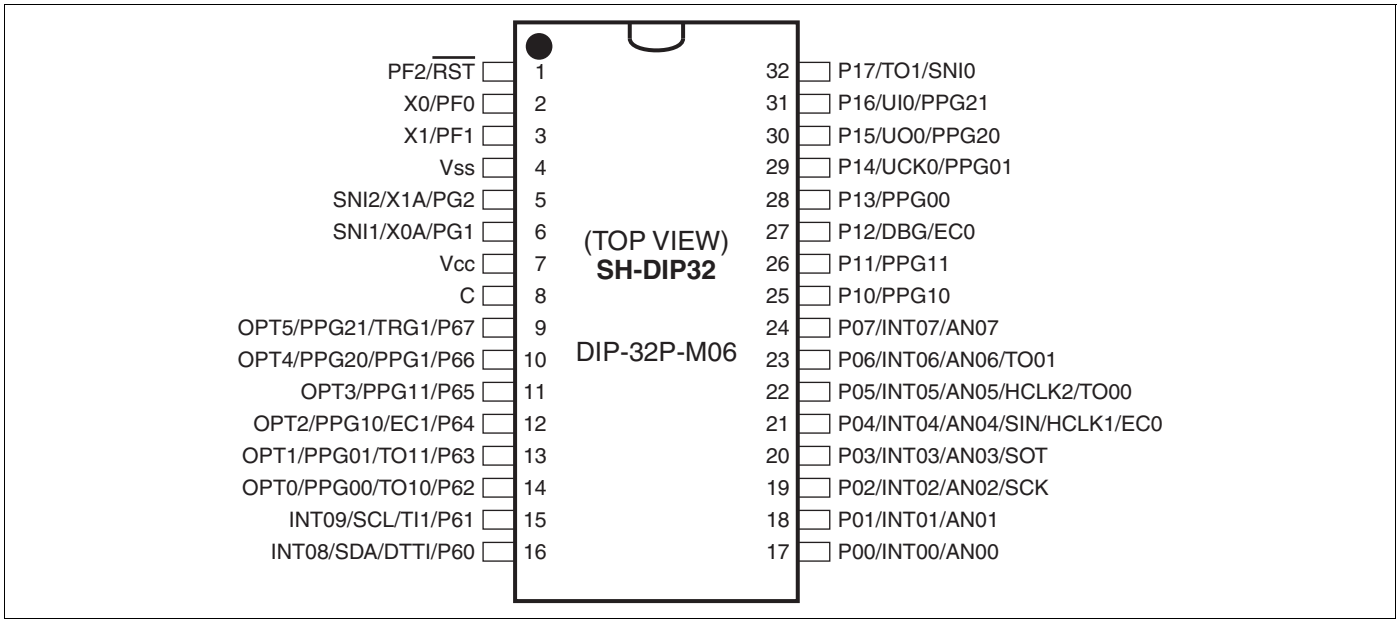
■ パッケージ
各パッケージの詳細は ,「2. パッケージと品種対応」および「17. パッケージ・外形寸法図」を参照してください。

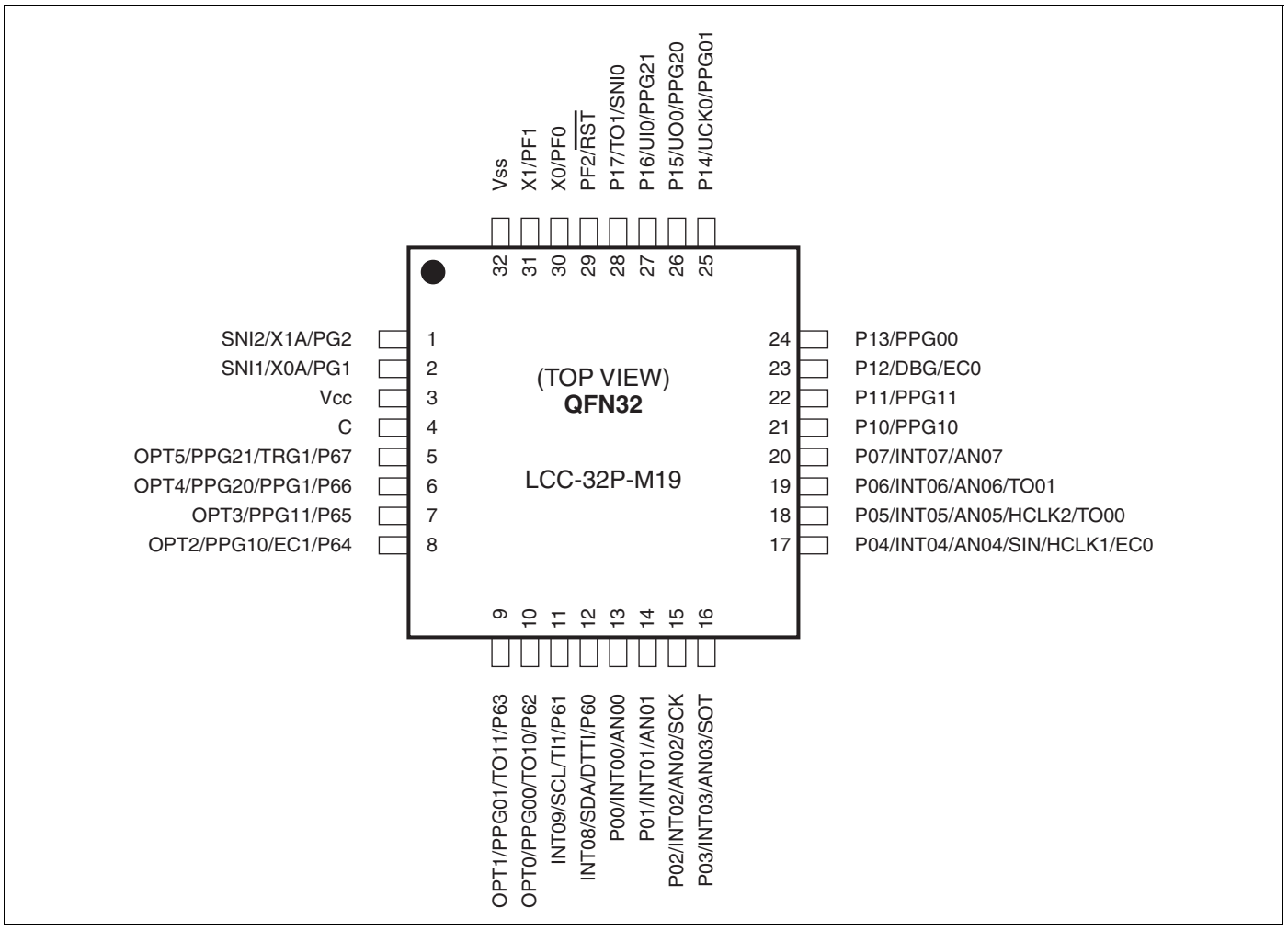
■ 動作電圧
動作電圧は , オンチップデバッグ機能を使用するか使用しないかによって異なります。
動作電圧の詳細は ,「13. 電気的特性」を参照してください。

■ オンチップデバッグ機能
オンチップデバッグ機能を使用する場合は ,V_{CC}, V_{SS}, および 1 本のシリアルケーブルを評価ツールに接続する必要があります。

4. 端子配列図


(TOP VIEW)
LQFP32
FPT-32P-M30
SNI2/X1A/PG2 1
SNI1/X0A/PG1 2
Vcc 3
C 4
OPT5/PPG21/TRG1/P67 5
OPT4/PPG20/PPG1/P66 6
OPT3/PPG11/P65 7
OPT2/PPG10/EC1/P64 8
9 OPT1/PPG01/TO11/P63
10 OPT0/PPG00/TO10/P62
11 INT09/SCL/TI1/P61
12 INT08/SDA/DTTI/P60
13 P00/INT00/AN00
14 P01/INT01/AN01
15 P02/INT02/AN02/SCK
16 P03/INT03/AN03/SOT
17 P04/INT04/AN04/SIN/HCLK1/EC0
18 P05/INT05/AN05/HCLK2/TO00
19 P06/INT06/AN06/TO01
20 P07/INT07/AN07
21 P10/PPG10
22 P11/PPG11
23 P12/DBG/EC0
24 P13/PPG00
25 P14/UCK0/PPG01
26 P15/UO0/PPG20
27 P16/UI0/PPG21
28 P17/TO1/SNI0
29 PF2/RST
30 X0/PF0
31 X1/PF1
32 Vss


(TOP VIEW)
SH-DIP32
DIP-32P-M06
PF2/RST 1
X0/PF0 2
X1/PF1 3
Vss 4
SNI2/X1A/PG2 5
SNI1/X0A/PG1 6
Vcc 7
C 8
OPT5/PPG21/TRG1/P67 9
OPT4/PPG20/PPG1/P66 10
OPT3/PPG11/P65 11
OPT2/PPG10/EC1/P64 12
OPT1/PPG01/TO11/P63 13
OPT0/PPG00/TO10/P62 14
INT09/SCL/TI1/P61 15
INT08/SDA/DTTI/P60 16
32 P17/TO1/SNI0
31 P16/UI0/PPG21
30 P15/UO0/PPG20
29 P14/UCK0/PPG01
28 P13/PPG00
27 P12/DBG/EC0
26 P11/PPG11
25 P10/PPG10
24 P07/INT07/AN07
23 P06/INT06/AN06/TO01
22 P05/INT05/AN05/HCLK2/TO00
21 P04/INT04/AN04/SIN/HCLK1/EC0
20 P03/INT03/AN03/SOT
19 P02/INT02/AN02/SCK
18 P01/INT01/AN01
17 P00/INT00/AN00


Vss
X1/PF1
X0/PF0
PF2/RST
P17/TO1/SNI0
P16/UI0/PPG21
P15/UO0/PPG20
P14/UCK0/PPG01
32
31
30
29
28
27
26
25
SNI2/X1A/PG2
SNI1/X0A/PG1
Vcc
C
OPT5/PPG21/TRG1/P67
OPT4/PPG20/PPG1/P66
OPT3/PPG11/P65
OPT2/PPG10/EC1/P64
1
2
3
4
5
6
7
8
(TOP VIEW)
QFN32
LCC-32P-M19
24
23
22
21
20
19
18
17
P13/PPG00
P12/DBG/EC0
P11/PPG11
P10/PPG10
P07/INT07/AN07
P06/INT06/AN06/TO01
P05/INT05/AN05/HCLK2/TO00
P04/INT04/AN04/SIN/HCLK1/EC0
9
10
11
12
13
14
15
16
OPT1/PPG01/TO11/P63
OPT0/PPG00/TO10/P62
INT09/SCL/TI1/P61
INT08/SDA/DTTI/P60
P00/INT00/AN00
P01/INT01/AN01
P02/INT02/AN02/SCK
P03/INT03/AN03/SOT

5. 端子機能説明

端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
1	5	PG2	C	汎用入出力ポートです。
		X1A		サブクロック用入出力発振端子です。
		SNI2		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
2	6	PG1	C	汎用入出力ポートです。
		X0A		サブクロック用入力発振端子です。
		SNI1		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
3	7	V_{CC}	—	電源端子です。
4	8	C	—	コンデンサ接続端子です。
5	9	P67	D	汎用入出力ポートです。 大電流用端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
		TRG1		16 ビット PPG ch. 1 トリガ入力端子です。
		OPT5		MPG 波形シーケンサ出力端子です。
6	10	P66	D	汎用入出力ポートです。 大電流用端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
		PPG1		16 ビット PPG ch. 1 出力端子です。
		OPT4		MPG 波形シーケンサ出力端子です。
7	11	P65	D	汎用入出力ポートです。 大電流用端子です。
		PPG11		8/16 ビット PPG ch. 1 出力端子です。
		OPT3		MPG 波形シーケンサ出力端子です。
8	12	P64	D	汎用入出力ポートです。 大電流用端子です。
		EC1		8/16 ビット 複合タイマ ch. 1 クロック入力端子です。
		PPG10		8/16 ビット PPG ch. 1 出力端子です。
		OPT2		MPG 波形シーケンサ出力端子です。
9	13	P63	D	汎用入出力ポートです。 大電流用端子です。
		TO11		8/16 ビット 複合タイマ ch. 1 出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
		OPT1		MPG 波形シーケンサ出力端子です。

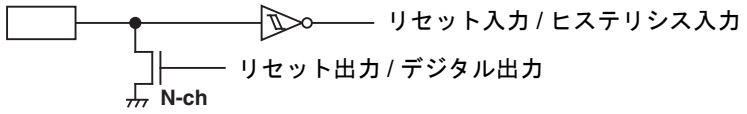
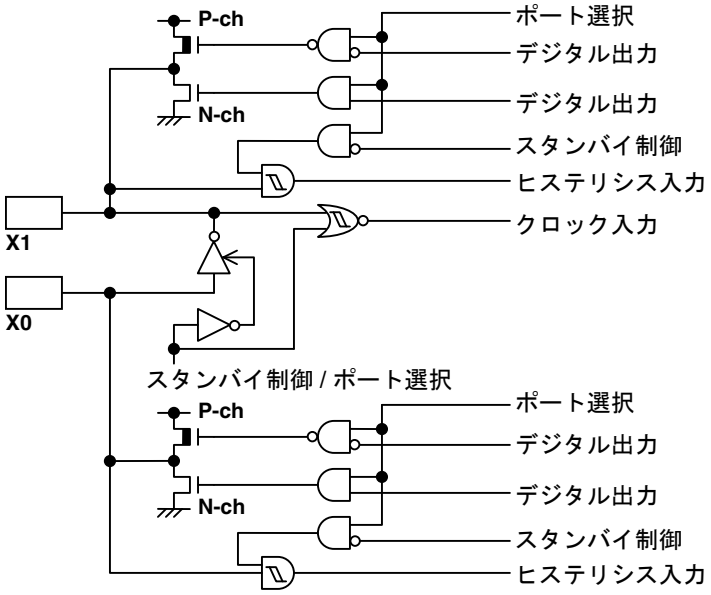
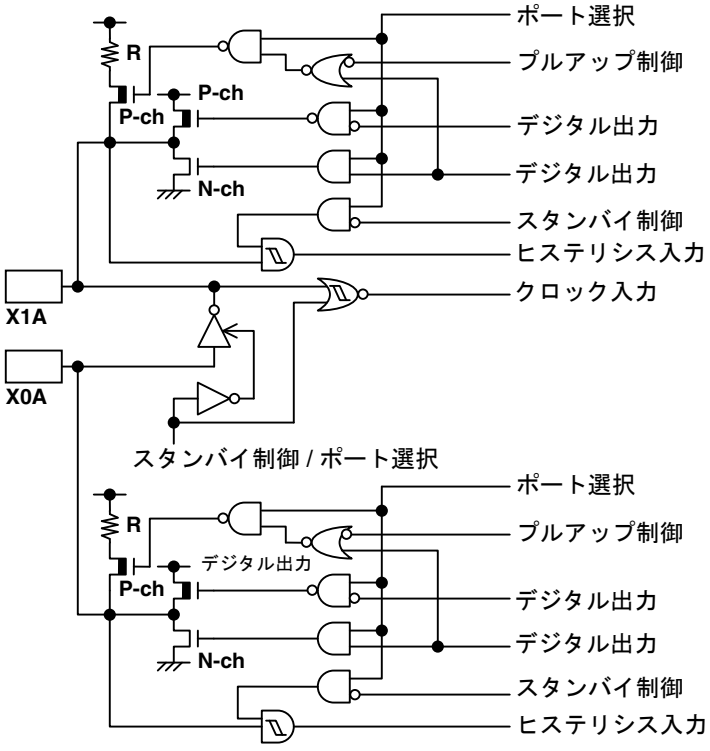
端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
10	14	P62	D	汎用入出力ポートです。 大電流用端子です。
		TO10		8/16 ビット 複合タイマ ch. 1 出力端子です。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
		OPT0		MPG 波形シーケンサ出力端子です。
11	15	P61	I	汎用入出力ポートです。
		INT09		外部割込み入力端子です。
		SCL		I^2C クロック入出力端子です。
		TI1		16 ビット リロードタイマ ch. 1 入力端子です。
12	16	P60	I	汎用入出力ポートです。
		INT08		外部割込み入力端子です。
		SDA		I^2C データ入出力端子です。
		DTTI		MPG 波形シーケンサ入力端子です。
13	17	P00	E	汎用入出力ポートです。
		INT00		外部割込み入力端子です。
		AN00		A/D コンバータアナログ入力端子です。
14	18	P01	E	汎用入出力ポートです。
		INT01		外部割込み入力端子です。
		AN01		A/D コンバータアナログ入力端子です。
15	19	P02	E	汎用入出力ポートです。
		INT02		外部割込み入力端子です。
		AN02		A/D コンバータアナログ入力端子です。
		SCK		LIN-UART クロック入出力端子です。
16	20	P03	E	汎用入出力ポートです。
		INT03		外部割込み入力端子です。
		AN03		A/D コンバータアナログ入力端子です。
		SOT		LIN-UART データ出力端子です。
17	21	P04	F	汎用入出力ポートです。
		INT04		外部割込み入力端子です。
		AN04		A/D コンバータアナログ入力端子です。
		SIN		LIN-UART データ入力端子です。
		HCLK1		外部クロック入力端子です。
		EC0		8/16 ビット 複合タイマ ch. 0 クロック入力端子です。

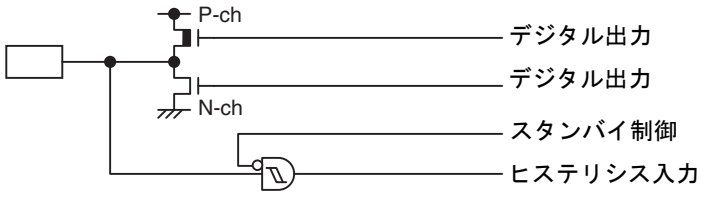
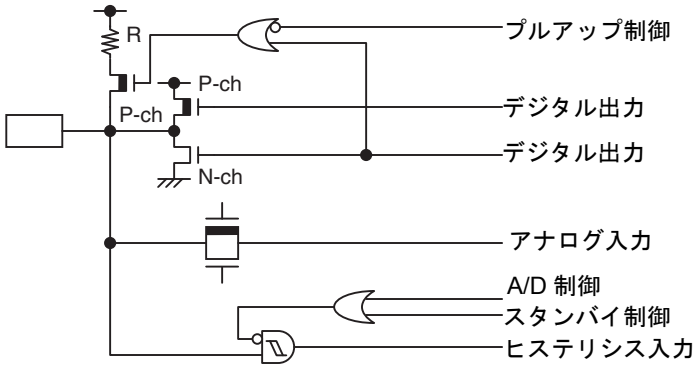
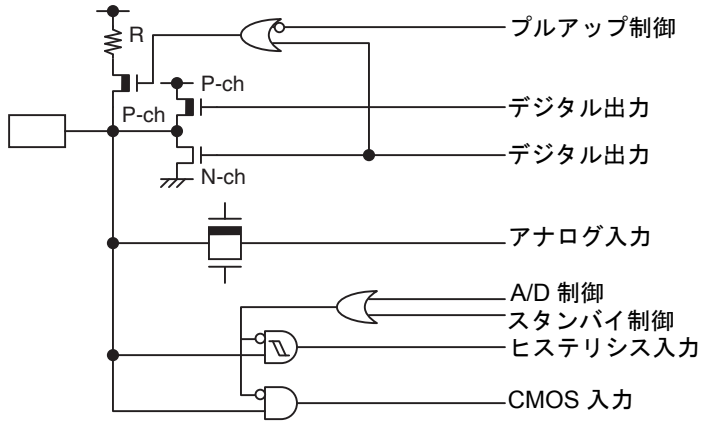
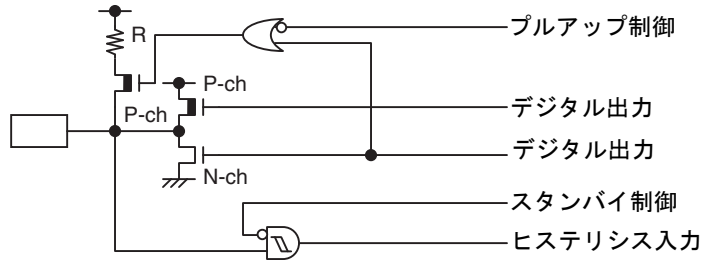
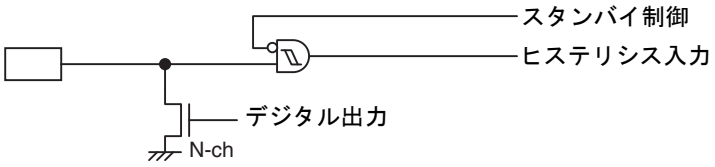
端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
18	22	P05	E	汎用入出力ポートです。
		INT05		外部割込み入力端子です。
		AN05		A/D コンバータアナログ入力端子です。
		HCLK2		外部クロック入力端子です。
		TO00		8/16 ビット 複合タイマ ch. 0 出力端子です。
19	23	P06	E	汎用入出力ポートです。
		INT06		外部割込み入力端子です。
		AN06		A/D コンバータアナログ入力端子です。
		TO01		8/16 ビット 複合タイマ ch. 0 出力端子です。
20	24	P07	E	汎用入出力ポートです。
		INT07		外部割込み入力端子です。
		AN07		A/D コンバータアナログ入力端子です。
21	25	P10	G	汎用入出力ポートです。
		PPG10		8/16 ビット PPG ch. 1 出力端子です。
22	26	P11	G	汎用入出力ポートです。
		PPG11		8/16 ビット PPG ch. 1 出力端子です。
23	27	P12	H	汎用入出力ポートです。
		DBG		DBG 入力端子です。
		EC0		8/16 ビット 複合タイマ ch. 0 クロック入力端子です。
24	28	P13	G	汎用入出力ポートです。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
25	29	P14	G	汎用入出力ポートです。
		UCK0		UART/SIO ch. 0 クロック入出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
26	30	P15	G	汎用入出力ポートです。
		UO0		UART/SIO ch. 0 データ出力端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
27	31	P16	J	汎用入出力ポートです。
		UI0		UART/SIO ch. 0 データ入力端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
28	32	P17	G	汎用入出力ポートです。
		TO1		16 ビット リロードタイマ ch. 1 出力端子です。
		SNI0		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
29	1	PF2	A	汎用入出力ポートです。
		$\overline{\text{RST}}$		リセット端子です。 MB95F332H/F333H/F334H では専用のリセット端子となります。

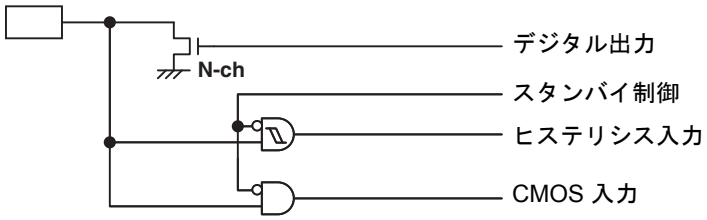
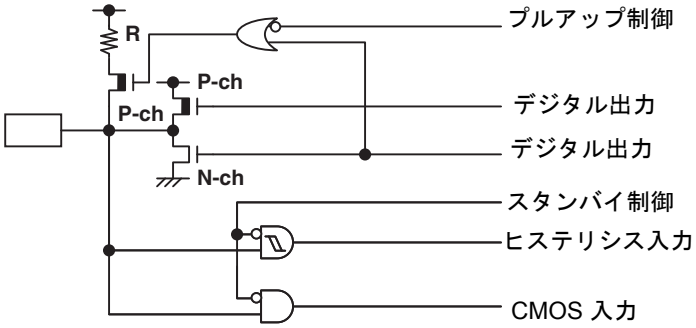
端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
30	2	PF0	B	汎用入出力ポートです。
		X0		メインクロック用入力発振端子です。
31	3	PF1	B	汎用入出力ポートです。
		X1		メインクロック用入出力発振端子です。
32	4	V_{SS}	—	電源 (GND) 端子です。

＊ 1：FPT-32P-M30
＊ 2：LCC-32P-M19
＊ 3：DIP-32P-M06
＊ 4：入出力回路形式については「6. 入出力回路形式」を参照してください。

6. 入出力回路形式

分類	回路	備考
A		■ N-ch オープンドレイン出力 ■ ヒステリシス入力 ■ リセット出力
B		■ 発振回路 ■ 高速側 帰還抵抗：約 1 MΩ ■ CMOS 出力 ■ ヒステリシス入力
C		■ 発振回路 ■ 低速側 帰還抵抗：約 10 MΩ ■ CMOS 出力 ■ ヒステリシス入力 ■ プルアップ制御あり

分類	回路	備考
D		■ CMOS 出力 ■ ヒステリシス入力
E		■ CMOS 出力 ■ ヒステリシス入力 ■ プルアップ制御あり
F		■ CMOS 出力 ■ ヒステリシス入力 ■ CMOS 入力 ■ プルアップ制御あり
G		■ ヒステリシス入力 ■ CMOS 出力 ■ プルアップ制御あり
H		■ N-ch オープンドレイン出力 ■ ヒステリシス入力

分類	回路	備考
I		■ N-ch オープンドレイン出力 ■ ヒステリシス入力 ■ CMOS 入力
J		■ CMOS 出力 ■ ヒステリシス入力 ■ CMOS 入力 ■ プルアップ制御あり

7. デバイス使用上の注意

■ ラッチアップの防止

使用に際して , 印加する電圧が最大定格電圧を超えないようにしてください。

CMOS IC では , 中耐圧端子でも高耐圧端子でもない入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合 , または「13. 電気的特性」の「13.1 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合 , ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し , 素子が熱破壊する恐れがあります。

■ 供給電圧の安定化

供給電圧は , 安定させてください。

電源電圧が急激に変動すると , たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても , 誤動作を生じることがあります。

電圧安定化の基準として , 商用周波数 (50 Hz / 60 Hz) での V_{CC} リプル変動 (P-P 値) は , 標準 V_{CC} 値の 10 % 以下に , また電源の切換え時などの瞬時変化においては , 過渡変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

■ 外部クロック使用時の注意

外部クロック使用時において , パワーオンリセット , サブクロックモードまたはストップモード解除時には , 発振安定待ち時間が発生します。

8. 端子接続について

■ 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと, 誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は 2 kΩ 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は , 出力状態に設定して開放とするか , 入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は , 開放としてください。

■ 電源端子

不要輻射の低減 , グランドレベルの上昇によるストローブ信号の誤動作の防止 , 総出力電流規格を遵守などのために , 必ず V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグランドに接続してください。また , 電流供給源と V_{CC} 端子および V_{SS} 端子は低インピーダンスで接続してください。

本デバイスに近い位置で , V_{CC} 端子と V_{SS} 端子の間に 0.1 µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

■ DBG 端子

DBG 端子は外部のプルアップ抵抗に直接接続してください。

ノイズによってデバイスが意図せずにデバッグモードに入るのを防止するため, プリント基板のレイアウトを設計するときは, DBG 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後 , リセット出力が解除されるまでは , DBG 端子が「L」レベルのままにならないようにしてください。

■ $\overline{\text{RST}}$ 端子

$\overline{\text{RST}}$ 端子は外部のプルアップ抵抗に直接接続してください。

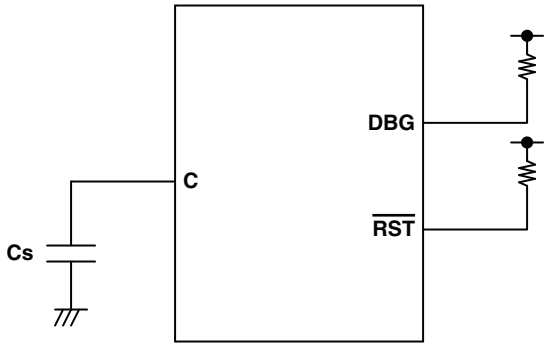
ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため, プリント基板のレイアウトを設計するときは, $\overline{\text{RST}}$ 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後 , $\overline{\text{RST}}$/PF2 端子はリセット入出力端子として機能します。また , リセット出力は SYSC レジスタの RSTOE ビットによって許可でき , リセット入力機能または汎用入出力機能は SYSC レジスタの RSTEN ビットによって選択できます。

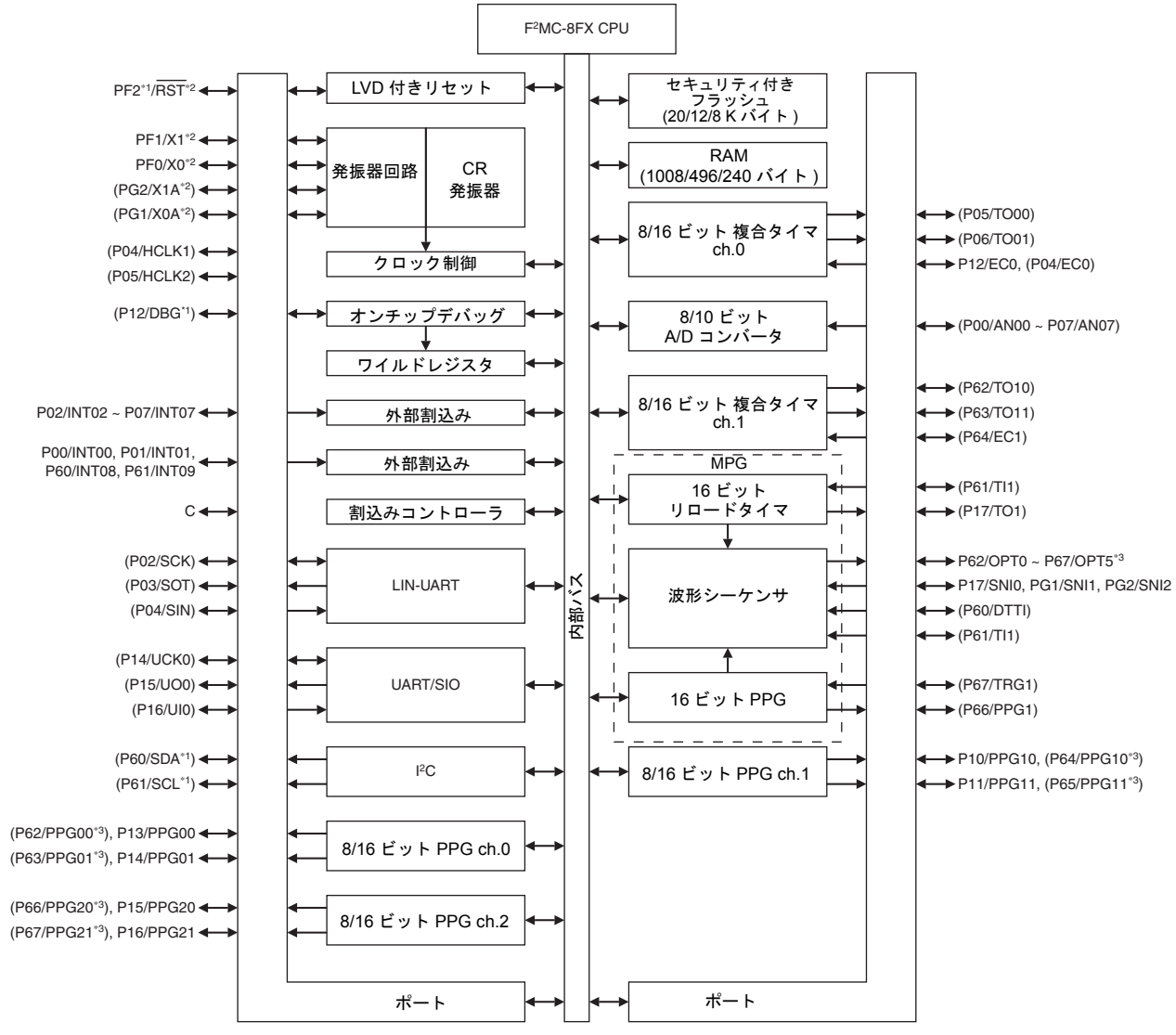
■ C 端子

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。V_{cc} 端子のバイパスコンデンサは , C_S より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため, プリント基板のレイアウトを設計するときは , C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

・DBG / $\overline{\text{RST}}$ / C 端子接続図



9. ブロックダイヤグラム



＊ 1 : PF2, P12, P60, P61 は N-ch オープンドレイン端子です。
＊ 2 : ソフトウェアオプション
＊ 3 : P62 ～ P67 は大電流用端子です。

（注意事項）( ) 内の端子は , 他の周辺機能との兼用端子を意味しています。

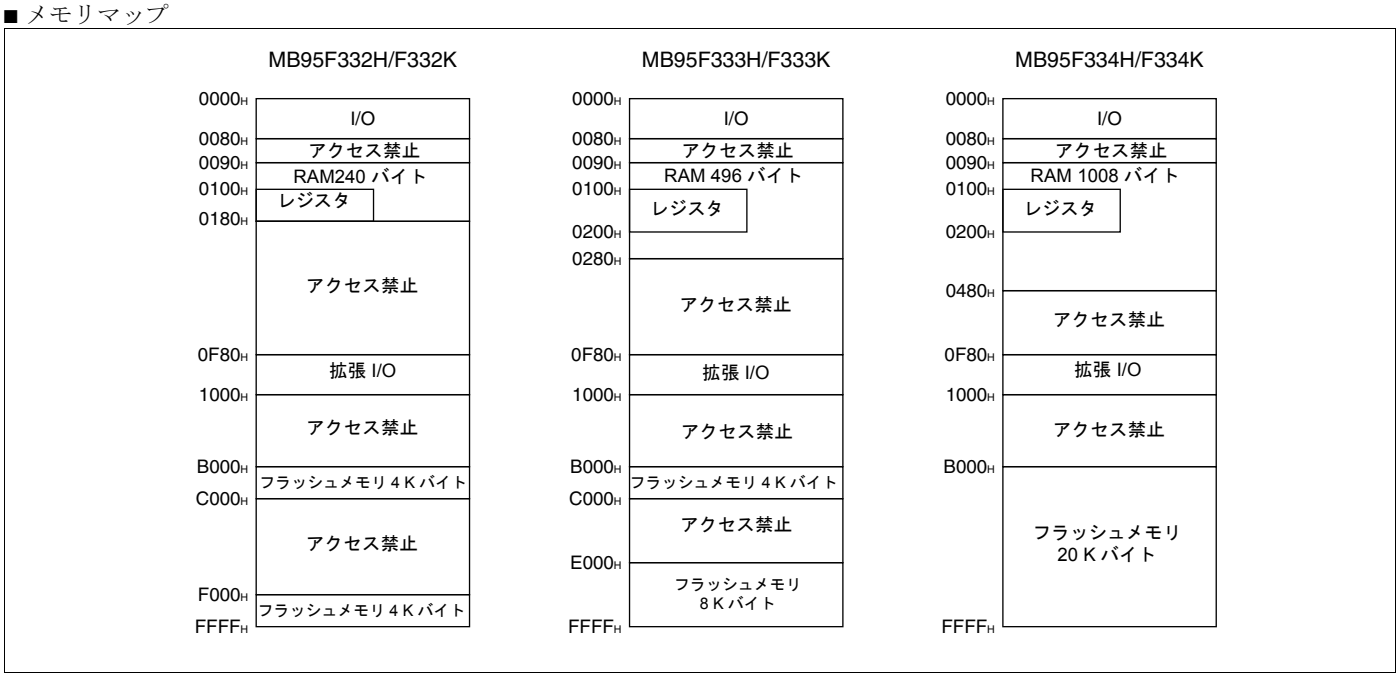
10. CPU コア

■ メモリ空間

MB95330H シリーズのメモリ空間は 64 K バイト で , I/O 領域 , データ領域とプログラム領域によって構成されます。

メモリ空間の中には汎用レジスタ , ベクタテーブルなど特定の用途に使用される領域があります。MB95330H シリーズのメモリマップを以下に示します。

■ メモリマップ



11. I/O マップ

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000_H	PDR0	ポート 0 データレジスタ	R/W	00000000_B
0001_H	DDR0	ポート 0 方向レジスタ	R/W	00000000_B
0002_H	PDR1	ポート 1 データレジスタ	R/W	00000000_B
0003_H	DDR1	ポート 1 方向レジスタ	R/W	00000000_B
0004_H	—	(使用禁止)	—	—
0005_H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111_B
0006_H	—	(使用禁止)	—	—
0007_H	SYCC	システムクロック制御レジスタ	R/W	$0000X011_B$
0008_H	STBC	スタンバイ制御レジスタ	R/W	$00000XXX_B$
0009_H	RSRR	リセット要因レジスタ	R/W	$XXXXXXXX_B$
$000A_H$	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000_B
$000B_H$	WPCR	時計プリスケーラ制御レジスタ	R/W	00000000_B
$000C_H$	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	$00XX0000_B$
$000D_H$	SYCC2	システムクロック制御レジスタ 2	R/W	$XX100011_B$
$000E_H$ ～ 0015_H	—	(使用禁止)	—	—
0016_H	PDR6	ポート 6 データレジスタ	R/W	00000000_B
0017_H	DDR6	ポート 6 方向レジスタ	R/W	00000000_B
0018_H ～ 0027_H	—	(使用禁止)	—	—
0028_H	PDRF	ポート F データレジスタ	R/W	00000000_B
0029_H	DDRF	ポート F 方向レジスタ	R/W	00000000_B
$002A_H$	PDRG	ポート G データレジスタ	R/W	00000000_B
$002B_H$	DDRG	ポート G 方向レジスタ	R/W	00000000_B
$002C_H$	PUL0	ポート 0 プルアップレジスタ	R/W	00000000_B
$002D_H$	PUL1	ポート 1 プルアップレジスタ	R/W	00000000_B
$002E_H$ ～ 0034_H	—	(使用禁止)	—	—
0035_H	PULG	ポート G プルアップレジスタ	R/W	00000000_B
0036_H	T01CR1	8/16 ビット 複合タイマ 01 ステータス制御レジスタ 1 ch. 0	R/W	00000000_B
0037_H	T00CR1	8/16 ビット 複合タイマ 00 ステータス制御レジスタ 1 ch. 0	R/W	00000000_B
0038_H	T11CR1	8/16 ビット 複合タイマ 11 ステータス制御レジスタ 1 ch. 1	R/W	00000000_B
0039_H	T10CR1	8/16 ビット 複合タイマ 10 ステータス制御レジスタ 1 ch. 1	R/W	00000000_B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
$003A_H$	PC01	8/16 ビット PPG タイマ 01 制御レジスタ ch. 0	R/W	00000000_B
$003B_H$	PC00	8/16 ビット PPG タイマ 00 制御レジスタ ch. 0	R/W	00000000_B
$003C_H$	PC11	8/16 ビット PPG タイマ 11 制御レジスタ ch.1	R/W	00000000_B
$003D_H$	PC10	8/16 ビット PPG タイマ 10 制御レジスタ ch.1	R/W	00000000_B
$003E_H$	PC21	8/16 ビット PPG タイマ 21 制御レジスタ ch.2	R/W	00000000_B
$003F_H$	PC20	8/16 ビット PPG タイマ 20 制御レジスタ ch.2	R/W	00000000_B
0040_H	TMCSRH1	16 ビット リロードタイマ制御ステータスレジスタ上位 ch. 1	R/W	00000000_B
0041_H	TMCSRL1	16 ビット リロードタイマ制御ステータスレジスタ 下位 ch. 1	R/W	00000000_B
0042_H, 0043_H	—	(使用禁止)	—	—
0044_H	PCNTH1	16 ビット PPG ステータス制御レジスタ 上位 ch. 1	R/W	00000000_B
0045_H	PCNTL1	16 ビット PPG ステータス制御レジスタ 下位 ch. 1	R/W	00000000_B
0046_H, 0047_H	—	(使用禁止)	—	—
0048_H	EIC00	外部割込み回路制御レジスタ ch. 0/ch. 1	R/W	00000000_B
0049_H	EIC10	外部割込み回路制御レジスタ ch. 2/ch. 3	R/W	00000000_B
$004A_H$	EIC20	外部割込み回路制御レジスタ ch. 4/ch. 5	R/W	00000000_B
$004B_H$	EIC30	外部割込み回路制御レジスタ ch. 6/ch. 7	R/W	00000000_B
$004C_H$	EIC01	外部割込み回路制御レジスタ ch. 8/ch. 9	R/W	00000000_B
$004D_H$ ～ $004F_H$	—	(使用禁止)	—	—
0050_H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000_B
0051_H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000_B
0052_H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000_B
0053_H	RDR/TDR	LIN-UART 受信 / 送信データレジスタ	R/W	00000000_B
0054_H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100_B
0055_H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	$000000XX_B$
0056_H	SMC10	UART/SIO シリアルモード制御レジスタ 1 ch. 0	R/W	00000000_B
0057_H	SMC20	UART/SIO シリアルモード制御レジスタ 2 ch. 0	R/W	00100000_B
0058_H	SSR0	UART/SIO シリアルステータスデータレジスタ ch. 0	R/W	00000001_B
0059_H	TDR0	UART/SIO シリアル出力データレジスタ ch. 0	R/W	00000000_B
$005A_H$	RDR0	UART/SIO シリアル入力データレジスタ ch. 0	R	00000000_B
$005B_H$ ～ $005F_H$	—	(使用禁止)	—	—

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0060_H	IBCR00	I^2C バス制御レジスタ 0 ch. 0	R/W	00000000_B
0061_H	IBCR10	I^2C バス制御レジスタ 1 ch. 0	R/W	00000000_B
0062_H	IBSR0	I^2C バスステータスレジスタ ch. 0	R/W	00000000_B
0063_H	IDDR0	I^2C データレジスタ ch. 0	R/W	00000000_B
0064_H	IAAR0	I^2C アドレスレジスタ ch. 0	R/W	00000000_B
0065_H	ICCR0	I^2C クロック制御レジスタ ch. 0	R/W	00000000_B
0066_H	OPCUR	16 ビット MPG 出力制御レジスタ (上位)	R/W	00000000_B
0067_H	OPCLR	16 ビット MPG 出力制御レジスタ (下位)	R/W	00000000_B
0068_H	IPCUR	16 ビット MPG 入力制御レジスタ (上位)	R/W	00000000_B
0069_H	IPCLR	16 ビット MPG 入力制御レジスタ (下位)	R/W	00000000_B
$006A_H$	NCCR	16 ビット MPG ノイズキャンセル制御レジスタ	R/W	00000000_B
$006B_H$	TCSR	16 ビット MPG タイマ制御ステータスレジスタ	R/W	00000000_B
$006C_H$	ADC1	8/10 ビット A/D コンバータ 制御レジスタ 1	R/W	00000000_B
$006D_H$	ADC2	8/10 ビット A/D コンバータ 制御レジスタ 2	R/W	00000000_B
$006E_H$	ADDH	8/10 ビット A/D コンバータ データレジスタ (上位)	R/W	00000000_B
$006F_H$	ADDL	8/10 ビット A/D コンバータ データレジスタ (下位)	R/W	00000000_B
0070_H	—	(使用禁止)	—	—
0071_H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000_B
0072_H	FSR	フラッシュメモリステータスレジスタ	R/W	$000X0000_B$
0073_H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000_B
0074_H	FSR3	フラッシュメモリステータスレジスタ 3	R	$0000XXXX_B$
0075_H	—	(使用禁止)	—	—
0076_H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000_B
0077_H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000_B
0078_H	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0079_H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111_B
$007A_H$	ILR1	割込みレベル設定レジスタ 1	R/W	11111111_B
$007B_H$	ILR2	割込みレベル設定レジスタ 2	R/W	11111111_B
$007C_H$	ILR3	割込みレベル設定レジスタ 3	R/W	11111111_B
$007D_H$	ILR4	割込みレベル設定レジスタ 4	R/W	11111111_B
$007E_H$	ILR5	割込みレベル設定レジスタ 5	R/W	11111111_B
$007F_H$	—	(使用禁止)	—	—
$0F80_H$	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch. 0	R/W	00000000_B
$0F81_H$	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch. 0	R/W	00000000_B
$0F82_H$	WRDR0	ワイルドレジスタデータ設定レジスタ ch. 0	R/W	00000000_B
$0F83_H$	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch. 1	R/W	00000000_B
$0F84_H$	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch. 1	R/W	00000000_B
$0F85_H$	WRDR1	ワイルドレジスタデータ設定レジスタ ch. 1	R/W	00000000_B
$0F86_H$	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch. 2	R/W	00000000_B
$0F87_H$	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch. 2	R/W	00000000_B
$0F88_H$	WRDR2	ワイルドレジスタデータ設定レジスタ ch. 2	R/W	00000000_B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
$0F89_H$ ～ $0F91_H$	—	(使用禁止)	—	—
$0F92_H$	T01CR0	8/16 ビット 複合タイマ 01 ステータス制御レジスタ 0 ch. 0	R/W	00000000_B
$0F93_H$	T00CR0	8/16 ビット 複合タイマ 00 ステータス制御レジスタ 0 ch. 0	R/W	00000000_B
$0F94_H$	T01DR	8/16 ビット 複合タイマ 01 データレジスタ ch. 0	R/W	00000000_B
$0F95_H$	T00DR	8/16 ビット 複合タイマ 00 データレジスタ ch. 0	R/W	00000000_B
$0F96_H$	TMCR0	8/16 ビット 複合タイマ 00/01 タイマモード制御レジスタ ch. 0	R/W	00000000_B
$0F97_H$	T11CR0	8/16 ビット 複合タイマ 11 ステータス制御レジスタ 0 ch. 1	R/W	00000000_B
$0F98_H$	T10CR0	8/16 ビット 複合タイマ 10 ステータス制御レジスタ 0 ch. 1	R/W	00000000_B
$0F99_H$	T11DR	8/16 ビット 複合タイマ 11 データレジスタ ch. 1	R/W	00000000_B
$0F9A_H$	T10DR	8/16 ビット 複合タイマ 10 データレジスタ ch. 1	R/W	00000000_B
$0F9B_H$	TMCR1	8/16 ビット 複合タイマ 10/11 タイマモード制御レジスタ ch. 1	R/W	00000000_B
$0F9C_H$	PPS01	8/16 ビット PPG01 サイクル設定バッファレジスタ ch. 0	R/W	11111111_B
$0F9D_H$	PPS00	8/16 ビット PPG00 サイクル設定バッファレジスタ ch. 0	R/W	11111111_B
$0F9E_H$	PDS01	8/16 ビット PPG01 デューティ設定バッファレジスタ ch. 0	R/W	11111111_B
$0F9F_H$	PDS00	8/16 ビット PPG00 デューティ設定バッファレジスタ ch. 0	R/W	11111111_B
$0FA0_H$	PPS11	8/16 ビット PPG11 サイクル設定バッファレジスタ ch. 1	R/W	11111111_B
$0FA1_H$	PPS10	8/16 ビット PPG10 サイクル設定バッファレジスタ ch. 1	R/W	11111111_B
$0FA2_H$	PDS11	8/16 ビット PPG11 デューティ設定バッファレジスタ ch. 1	R/W	11111111_B
$0FA3_H$	PDS10	8/16 ビット PPG10 デューティ設定バッファレジスタ ch. 1	R/W	11111111_B
$0FA4_H$	PPGS	8/16 ビット PPG スタートアップレジスタ	R/W	00000000_B
$0FA5_H$	REVC	8/16 ビット PPG 出力反転レジスタ	R/W	00000000_B
$0FA6_H$	PPS21	8/16 ビット PPG21 サイクル設定バッファレジスタ ch. 2	R/W	11111111_B
$0FA7_H$	PPS20	8/16 ビット PPG20 サイクル設定バッファレジスタ ch. 2	R/W	11111111_B
$0FA8_H$	TMRH1	16 ビット タイマレジスタ (上位) ch. 1	R/W	00000000_B
	TMRLRH1	16 ビット リロードレジスタ (上位) ch. 1		
$0FA9_H$	TMRL1	16 ビット タイマレジスタ (下位) ch. 1	R/W	00000000_B
	TMRLRL1	16 ビット リロードレジスタ (下位) ch. 1		
$0FAA_H$	PDS21	8/16 ビット PPG21 デューティ設定バッファレジスタ ch. 2	R/W	11111111_B
$0FAB_H$	PDS20	8/16 ビット PPG20 デューティ設定バッファレジスタ ch. 2	R/W	11111111_B
$0FAC_H$ ～ $0FAF_H$	—	(使用禁止)	—	—

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
$0FB0_H$	PDCRH1	16 ビット PPG ダウンカウンタレジスタ (上位) ch. 1	R	00000000_B
$0FB1_H$	PDCRL1	16 ビット PPG ダウンカウンタレジスタ (下位) ch. 1	R	00000000_B
$0FB2_H$	PCSRH1	16 ビット PPG サイクル設定バッファレジスタ (上位) ch. 1	R/W	11111111_B
$0FB3_H$	PCSRL1	16 ビット PPG サイクル設定バッファレジスタ (下位) ch. 1	R/W	11111111_B
$0FB4_H$	PDUTH1	16 ビット PPG デューティ設定バッファレジスタ (上位) ch. 1	R/W	11111111_B
$0FB5_H$	PDUTL1	16 ビット PPG デューティ設定バッファレジスタ (下位) ch. 1	R/W	11111111_B
$0FB6_H$ ～ $0FBB_H$	—	(使用禁止)	—	—
$0FBC_H$	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000_B
$0FBD_H$	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000_B
$0FBE_H$	PSSR0	UART/SIO プリスケーラ選択レジスタ ch. 0	R/W	00000000_B
$0FBF_H$	BRSR0	UART/SIO ボーレート設定レジスタ ch. 0	R/W	00000000_B
$0FC0_H$ ～ $0FC2_H$	—	(使用禁止)	—	—
$0FC3_H$	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000_B
$0FC4_H$	OPDBRH0	16 ビット MPG 出力データバッファレジスタ (上位) ch. 0	R/W	00000000_B
$0FC5_H$	OPDBRL0	16 ビット MPG 出力データバッファレジスタ (下位) ch. 0	R/W	00000000_B
$0FC6_H$	OPDBRH1	16 ビット MPG 出力データバッファレジスタ (上位) ch. 1	R/W	00000000_B
$0FC7_H$	OPDBRL1	16 ビット MPG 出力データバッファレジスタ (下位) ch. 1	R/W	00000000_B
$0FC8_H$	OPDBRH2	16 ビット MPG 出力データバッファレジスタ (上位) ch. 2	R/W	00000000_B
$0FC9_H$	OPDBRL2	16 ビット MPG 出力データバッファレジスタ (下位) ch. 2	R/W	00000000_B
$0FCA_H$	OPDBRH3	16 ビット MPG 出力データバッファレジスタ (上位) ch. 3	R/W	00000000_B
$0FCB_H$	OPDBRL3	16 ビット MPG 出力データバッファレジスタ (下位) ch. 3	R/W	00000000_B
$0FCC_H$	OPDBRH4	16 ビット MPG 出力データバッファレジスタ (上位) ch. 4	R/W	00000000_B
$0FCD_H$	OPDBRL4	16 ビット MPG 出力データバッファレジスタ (下位) ch. 4	R/W	00000000_B
$0FCE_H$	OPDBRH5	16 ビット MPG 出力データバッファレジスタ (上位) ch. 5	R/W	00000000_B
$0FCF_H$	OPDBRL5	16 ビット MPG 出力データバッファレジスタ (下位) ch. 5	R/W	00000000_B
$0FD0_H$	OPDBRH6	16 ビット MPG 出力データバッファレジスタ (上位) ch. 6	R/W	00000000_B
$0FD1_H$	OPDBRL6	16 ビット MPG 出力データバッファレジスタ (下位) ch. 6	R/W	00000000_B
$0FD2_H$	OPDBRH7	16 ビット MPG 出力データバッファレジスタ (上位) ch. 7	R/W	00000000_B
$0FD3_H$	OPDBRL7	16 ビット MPG 出力データバッファレジスタ (下位) ch. 7	R/W	00000000_B
$0FD4_H$	OPDBRH8	16 ビット MPG 出力データバッファレジスタ (上位) ch. 8	R/W	00000000_B
$0FD5_H$	OPDBRL8	16 ビット MPG 出力データバッファレジスタ (下位) ch. 8	R/W	00000000_B
$0FD6_H$	OPDBRH9	16 ビット MPG 出力データバッファレジスタ (上位) ch. 9	R/W	00000000_B
$0FD7_H$	OPDBRL9	16 ビット MPG 出力データバッファレジスタ (下位) ch. 9	R/W	00000000_B
$0FD8_H$	OPDBRHA	16 ビット MPG 出力データバッファレジスタ (上位) ch. A	R/W	00000000_B
$0FD9_H$	OPDBRLA	16 ビット MPG 出力データバッファレジスタ (下位) ch. A	R/W	00000000_B
$0FDA_H$	OPDBRHB	16 ビット MPG 出力データバッファレジスタ (上位) ch. B	R/W	00000000_B
$0FDB_H$	OPDBRLB	16 ビット MPG 出力データバッファレジスタ (下位) ch. B	R/W	00000000_B
$0FDC_H$	OPDUR	16 ビット MPG 出力データレジスタ (上位)	R	$0000XXXX_B$

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
$0FDD_H$	OPDLR	16 ビット MPG 出力データレジスタ (下位)	R	$XXXXXXXX_B$
$0FDE_H$	CPCHR	16 ビット MPG 比較クリアレジスタ (上位)	R/W	$XXXXXXXX_B$
$0FDF_H$	CPCLR	16 ビット MPG 比較クリアレジスタ (下位)	R/W	$XXXXXXXX_B$
$0FE0_H$, $0FE1_H$	—	(使用禁止)	—	—
$0FE2_H$	TMBUR	16 ビット MPG タイマバッファレジスタ (上位)	R	$XXXXXXXX_B$
$0FE3_H$	TMBLR	16 ビット MPG タイマバッファレジスタ (下位)	R	$XXXXXXXX_B$
$0FE4_H$	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	$0XXXXXXX_B$
$0FE5_H$	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	$00XXXXXX_B$
$0FE6_H$, $0FE7_H$	—	(使用禁止)	—	—
$0FE8_H$	SYSC	システム構成レジスタ	R/W	11000011_B
$0FE9_H$	CMCR	クロック監視制御レジスタ	R/W	00000000_B
$0FEA_H$	CMDR	クロック監視データレジスタ	R	00000000_B
$0FEB_H$	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	$XXXXXXXX_B$
$0FEC_H$	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	$XXXXXXXX_B$
$0FED_H$	—	(使用禁止)	—	—
$0FEE_H$	ILSR	入力レベル選択レジスタ	R/W	00000000_B
$0FEF_H$	WICR	割込み端子制御レジスタ	R/W	01000000_B
$0FF0_H$ ～ $0FFF_H$	—	(使用禁止)	—	—

■ R/W についての説明

R/W　：リード / ライト可能
R　：リードオンリ
W　：ライトオンリ

■ 初期値についての説明

0　：この ビットの初期値は “0” です。
1　：この ビットの初期値は “1” です。
X　：この ビットの初期値は不定です。

（注意事項）“(使用禁止) ” のアドレスへの書込みは行わないでください。“(使用禁止) ” のアドレスを読み出した場合は不定が読み出されます。

12. 割込み要因のテーブル

割込み要因	割込み要求番号	ベクタテーブルのアドレス		割込みレベル設定レジスタのビット名	同一レベル割込み要因の優先順位 (同時発生時)
		上位	下位		
外部割込み ch. 0, ch. 4	IRQ00	$FFFA_H$	$FFFB_H$	L00 [1 : 0]	高い
外部割込み ch. 1, ch. 5	IRQ01	$FFF8_H$	$FFF9_H$	L01 [1 : 0]	
外部割込み ch. 2, ch. 6	IRQ02	$FFF6_H$	$FFF7_H$	L02 [1 : 0]	
外部割込み ch. 3, ch. 7	IRQ03	$FFF4_H$	$FFF5_H$	L03 [1 : 0]	
UART/SIO ch. 0, MPG (DTTI)	IRQ04	$FFF2_H$	$FFF3_H$	L04 [1 : 0]	
8/16 ビット 複合タイマ ch. 0 (下位)	IRQ05	$FFF0_H$	$FFF1_H$	L05 [1 : 0]	
8/16 ビット 複合タイマ ch. 0 (上位)	IRQ06	$FFEE_H$	$FFEF_H$	L06 [1 : 0]	
LIN-UART (受信)	IRQ07	$FFEC_H$	$FFED_H$	L07 [1 : 0]	
LIN-UART (送信)	IRQ08	$FFEA_H$	$FFEB_H$	L08 [1 : 0]	
8/16 ビット PPG ch. 1 (下位)	IRQ09	$FFE8_H$	$FFE9_H$	L09 [1 : 0]	
8/16 ビット PPG ch. 1 (上位)	IRQ10	$FFE6_H$	$FFE7_H$	L10 [1 : 0]	
8/16 ビット PPG ch. 2 (上位)	IRQ11	$FFE4_H$	$FFE5_H$	L11 [1 : 0]	
8/16 ビット PPG ch. 0 (上位)	IRQ12	$FFE2_H$	$FFE3_H$	L12 [1 : 0]	
8/16 ビット PPG ch. 0 (下位)	IRQ13	$FFE0_H$	$FFE1_H$	L13 [1 : 0]	
8/16 ビット 複合タイマ ch. 1 (上位)	IRQ14	$FFDE_H$	$FFDF_H$	L14 [1 : 0]	
8/16 ビット PPG ch. 2 (下位)	IRQ15	$FFDC_H$	$FFDD_H$	L15 [1 : 0]	
16 ビットリロードタイマ ch. 1, MPG (書込みタイミング / 比較クリア), I^2C ch. 0	IRQ16	$FFDA_H$	$FFDB_H$	L16 [1 : 0]	
16 ビット PPG ch. 1, MPG (位置検出 / コンペア割込み)	IRQ17	$FFD8_H$	$FFD9_H$	L17 [1 : 0]	
8/10 ビット A/D コンバータ	IRQ18	$FFD6_H$	$FFD7_H$	L18 [1 : 0]	
タイムベースタイマ	IRQ19	$FFD4_H$	$FFD5_H$	L19 [1 : 0]	
時計プリスケーラ	IRQ20	$FFD2_H$	$FFD3_H$	L20 [1 : 0]	
外部割込み ch. 8, ch. 9	IRQ21	$FFD0_H$	$FFD1_H$	L21 [1 : 0]	
8/16 ビット 複合タイマ ch. 1 (下位)	IRQ22	$FFCE_H$	$FFCF_H$	L22 [1 : 0]	
フラッシュメモリ	IRQ23	$FFCC_H$	$FFCD_H$	L23 [1 : 0]	低い

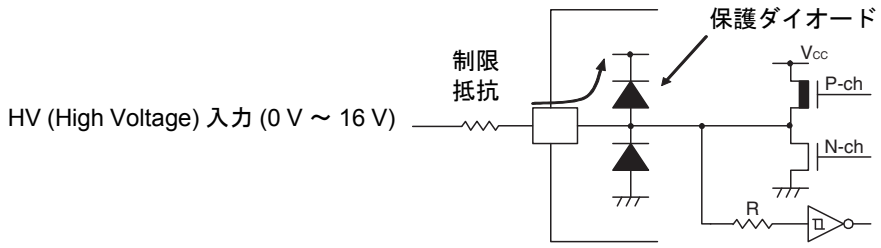
13. 電気的特性

13.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 *1	V_{CC}	V_{SS} − 0.3	V_{SS} + 6	V	
入力電圧 *1	V_I	V_{SS} − 0.3	V_{SS} + 6	V	*2
出力電圧 *1	V_O	V_{SS} − 0.3	V_{SS} + 6	V	*2
最大クランプ電流	I_{CLAMP}	− 2	+ 2	mA	該当端子 *3
最大総クランプ電流	$\Sigma\|I_{CLAMP}\|$	—	20	mA	該当端子 *3
“L” レベル最大出力電流	I_{OL1}	—	15	mA	P62 ～ P67 以外
	I_{OL2}		15		P62 ～ P67
“L” レベル平均電流	I_{OLAV1}	—	4	mA	P62 ～ P67 以外 平均出力電流＝ 動作電流 × 動作率 (端子 1 本)
	I_{OLAV2}	—	12		P62 ～ P67 平均出力電流＝ 動作電流 × 動作率 (端子 1 本)
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	平均総出力電流＝ 動作電流 × 動作率 (端子の総数)
“H” レベル最大出力電流	I_{OH1}	—	− 15	mA	P62 ～ P67 以外
	I_{OH2}		− 15		P62 ～ P67
“H” レベル平均電流	I_{OHAV1}	—	− 4	mA	P62 ～ P67 以外 平均出力電流＝ 動作電流 × 動作率 (端子 1 本)
	I_{OHAV2}	—	− 8		P62 ～ P67 平均出力電流＝ 動作電流 × 動作率 (端子 1 本)
“H” レベル最大総出力電流	ΣI_{OH}	—	− 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	− 50	mA	平均総出力電流＝ 動作電流 × 動作率 (端子の総数)
消費電力	Pd	—	320	mW	
動作温度	T_A	− 40	+ 85	°C	
保存温度	Tstg	− 55	+ 150	°C	

＊ 1 : V_{SS} ＝ 0.0 V を基準にしています。
＊ 2 : V_I, V_O は V_{CC} ＋ 0.3 V を超えてはいけません。V_I は定格電圧を超えてはいけません。ただし , 外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は , V_I 定格に代わって I_{CLAMP} 定格が適用されます。
＊ 3 : 該当端子 : P00 ～ P07, P10, P11, P13 to P17, P62 ～ P67, PF0, PF1, PG1, PG2
- 推奨動作条件下で使用してください。
- 直流電圧 (電流) で使用してください。
- HV (High Voltage) 信号は, V_{CC} 電圧を超える入力信号です。HV (High Voltage) 信号とマイクロコントローラの間には , 必ず制限抵抗を接続し HV (High Voltage) 信号を印加してください。
- HV (High Voltage) 入力時にマイクロコントローラ端子に入力される電流が , 瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- 低消費電力モードなど , マイクロコントローラの駆動電流が少ない動作状態では , HV (High Voltage) 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ , 他の機器へ影響を及ぼします。
- マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に HV (High Voltage) 入力がある場合は , 端子から電源が供給されているため , 不完全な動作を行う可能性があります。
- 電源投入時に HV (High Voltage) 入力がある場合は , 端子から電源が供給されているため , パワーオンリセットが動作しない電源電圧になる可能性があります。
- HV (High Voltage) 入力端子は , 開放状態にならないようにしてください。
- 推奨回路例

・入出力等価回路



＜注意事項＞ 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は, 半導体デバイスを破壊する可能性があります。したがって, 定格を一項目でも超えることのないようご注意ください。

13.2 推奨動作条件

(V_{SS} = 0.0 V)

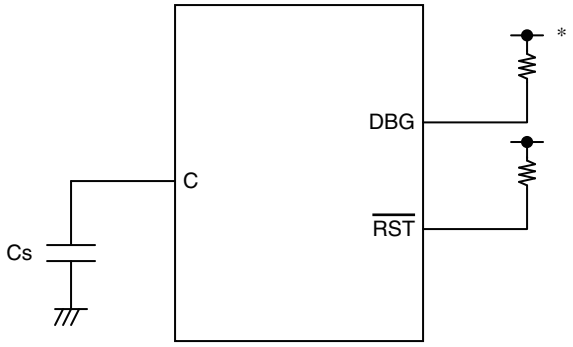
項目	記号	規格値		単位	備考	
		最小	最大			
電源電圧	V_{CC}	2.4*1*2	5.5*1	V	通常動作の場合	オンチップデバッグモード以外
		2.3	5.5		ストップモードでの状態保持	
		2.9	5.5		通常動作の場合	オンチップデバッグモード
		2.3	5.5		ストップモードでの状態保持	
平滑コンデンサ	C_S	0.022	1	µF	*3	
動作温度	T_A	− 40	+ 85	°C	オンチップデバッグモード以外	
		+ 5	+ 35		オンチップデバッグモード	

＊ 1：動作周波数 , マシンクロックおよびアナログ保証範囲により異なります。

＊ 2：低電圧検出リセット使用時は , 2.88 V となります。

＊ 3：セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。V_{CC} 端子のバイパスコンデンサは C_S より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため，プリント基板のレイアウトを設計するときは , C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

・DBG / $\overline{\text{RST}}$ / C 端子配列図



＊： DBG 端子は , デバッグモード時に通信端子となりますので , P12/DBG/EC0 の入出力規格に合わせたプルアップ抵抗値を設定してください。

＜注意事項＞ 推奨動作条件は，半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は，すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると , 信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目，使用条件，論理の組合せでの使用は，保証していません。記載されている以外の条件での使用をお考えの場合は , 必ず事前に営業部門までご相談ください。

13.3 直流規格

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル入力電圧	V_{IHI}	P04, P16, P60, P61	*1	0.7 V_{CC}	—	V_{CC} + 0.3	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{IHS}	P00 ～ P07, P10 ～ P17, P60 ～ P67, PF0, PF1, PG1, PG2	*1	0.8 V_{CC}	—	V_{CC} + 0.3	V	ヒステリシス入力
	V_{IHM}	PF2	—	0.7 V_{CC}	—	V_{CC} + 0.3	V	ヒステリシス入力
“L” レベル入力電圧	V_{IL}	P04, P16, P60, P61	*1	V_{SS} − 0.3	—	0.3 V_{CC}	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{ILS}	P00 ～ P07, P10 ～ P17, P60 ～ P67, PF0, PF1, PG1, PG2	*1	V_{SS} − 0.3	—	0.2 V_{CC}	V	ヒステリシス入力
	V_{ILM}	PF2	—	V_{SS} − 0.3	—	0.3 V_{CC}	V	ヒステリシス入力
オープンドレイン出力印加電圧	V_D	P12, P60, P61, PF2	—	V_{SS} − 0.3	—	V_{SS} + 5.5	V	
“H” レベル出力電圧	V_{OH1}	P12, P60 ～ P67, PF2 以外の出力端子	I_{OH} = -4 mA	V_{CC} − 0.5	—	—	V	
	V_{OH2}	P62 ～ P67	I_{OH} = -8 mA	V_{CC} − 0.5	—	—	V	
“L” レベル出力電圧	V_{OL1}	P62 ～ P67 以外の出力端子	I_{OL} = 4 mA	—	—	0.4	V	
	V_{OL2}	P62 ～ P67	I_{OL} = 12 mA	—	—	0.4	V	
入力リーク電流 (Hi-Z 出力リーク電流)	I_{LI}	すべての入力端子	0.0 V < V_I < V_{CC}	− 5	—	+ 5	µA	プルアップ抵抗が禁止されている場合
プルアップ抵抗	R_{PULL}	P00 ～ P07, P10, P11, P13 ～ P17, PG1, PG2	V_I = 0 V	25	50	100	kΩ	プルアップ抵抗が許可されている場合
入力容量	C_{IN}	V_{CC}, V_{SS} 以外	f = 1 MHz	—	5	15	pF	

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *2	I_{CC}	V_{CC} (外部クロック動作)	V_{CC} = 5.5 V F_{CH} = 32 MHz F_{MP} = 16 MHz メインクロックモード (2 分周)	—	13	17	mA	フラッシュメモリ品 (書込み , 消去以外の場合)
				—	20.5	26.5	mA	フラッシュメモリ品 (書込み , 消去の場合)
				—	15	21	mA	A/D 変換時
	I_{CCS}		V_{CC} = 5.5 V F_{CH} = 32 MHz F_{MP} = 16 MHz メインスリープモード (2 分周)	—	5.5	9	mA	
	I_{CCL}		V_{CC} = 5.5 V F_{CL} = 32 kHz F_{MPL} = 16 kHz サブクロックモード (2 分周) T_A = +25 °C	—	65	153	µA	
	I_{CCLS}		V_{CC} = 5.5 V F_{CL} = 32 kHz F_{MPL} = 16 kHz サブスリープモード (2 分周) T_A = +25 °C	—	10	84	µA	
	I_{CCT}		V_{CC} = 5.5 V F_{CL} = 32 kHz 時計モード メインストップモード T_A = +25 °C	—	5	30	µA	
	I_{CCMCR}	V_{CC}	V_{CC} = 5.5 V F_{CRH} = 12.5 MHz F_{MP} = 12.5 MHz メイン CR クロック モード	—	10	13.2	mA	
	I_{CCSCR}		V_{CC} = 5.5 V サブ CR クロックモード (2 分周) T_A = +25 °C	—	110	410	µA	
	I_{CCTS}	V_{CC} (外部クロック動作)	V_{CC} = 5.5 V F_{CH} = 32 MHz タイムベースタイマモード T_A = +25 °C	—	1.1	3	mA	
	I_{CCH}		V_{CC} = 5.5 V サブストップモード T_A = +25 °C	—	3.5	22.5	µA	

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *2	I_{LVD}	V_{CC}	低電圧検出回路のみの場合の消費電流	—	37	54	µA	
	I_{CRH}		メイン CR 発振器の場合の消費電流	—	0.5	0.6	mA	
	I_{CRL}		サブ CR 発振器を 100 kHz で発振させる場合の消費電流	—	20	72	µA	

＊ 1 : P04, P16, P60, P61 の入力レベルは「CMOS 入力レベル」と「ヒステリシス入力レベル」の間で切換え可能です。
2 つの入力レベルの切換えには入力レベル選択レジスタ (ILSR) を使用します。

＊ 2 :・電源電流は外部クロックで規定されています。低電圧検出オプションを選択された場合は，低電圧検出回路の消費電流 (I_{LVD}) の値を I_{CC} ～ I_{CCH} のどれか 1 つの値に足した合計が電源電流となります。また , 低電圧検出オプションと CR 発振器の両方を選択された場合は , 低電圧検出回路の消費電流 , CR 発振器の消費電流 (I_{CRH}, I_{CRL}) および規格値を足した合計が電源電流となります。オンチップデバッグモードでは , CR 発振器 (I_{CRH}) と低電圧検出回路も常に動作するため , それに応じて消費電流が増大します。

・ F_{CH} と F_{CL} は ,「13.4 交流規格 13.4.1 クロックタイミング」を参照してください。

・ F_{MP} と F_{MPL} は ,「13.4 交流規格 13.4.2 ソースクロック / マシンクロック」を参照してください。

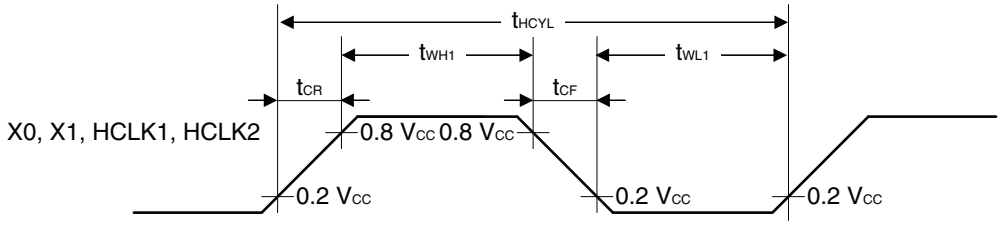
13.4 交流規格

13.4.1 クロックタイミング

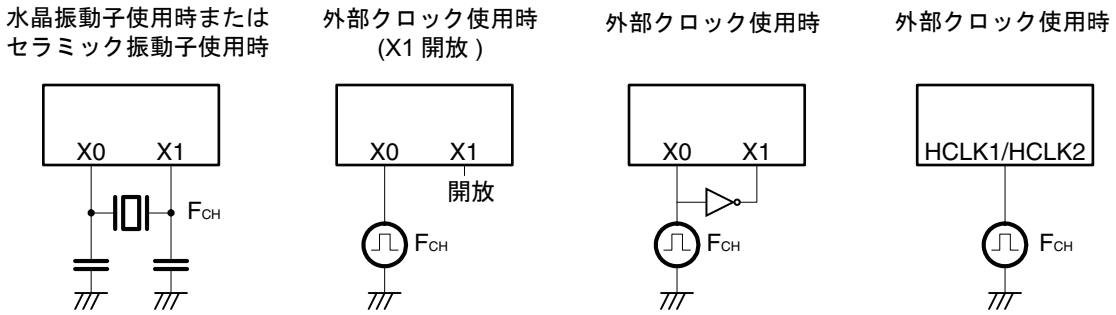
(V_{CC} = 2.4 V ～ 5.5 V, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

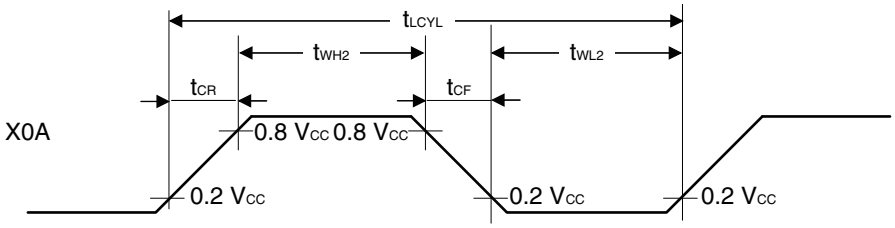
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロック周波数	F_{CH}	X0, X1	—	1	—	16.25	MHz	メイン発振回路使用の場合
		X0	X1：開放	1	—	12	MHz	メイン外部クロック使用の場合
		X0, X1	*	1	—	32.5	MHz	
		HCLK1, HCLK2	—					
	F_{CRH}	—	—	12.25	12.5	12.75	MHz	メイン CR クロック使用の場合 T_A = − 10 °C ～+ 85 °C
				9.8	10	10.2	MHz	
				7.84	8	8.16	MHz	
				0.98	1	1.02	MHz	
		—	—	12.1875	12.5	12.8125	MHz	メイン CR クロック使用の場合 T_A = − 40 °C ～− 10 °C
				9.75	10	10.25	MHz	
				7.8	8	8.2	MHz	
				0.975	1	1.025	MHz	
	F_{CL}	X0A, X1A	—	—	32.768	—	kHz	サブ発振回路使用の場合
				—	32.768	—	kHz	サブ外部クロック使用の場合
	F_{CRL}	—	—	50	100	200	kHz	サブ CR クロック使用の場合
クロック サイクルタイム	t_{HCYL}	X0, X1	—	61.5	—	1000	ns	メイン発振回路使用の場合
		X0	X1：開放	83.4	—	1000	ns	外部クロック使用の場合
		X0, X1	*	30.8	—	1000	ns	
		HCLK1, HCLK2	—	30.8	—	1000	ns	
	t_{LCYL}	X0A, X1A	—	—	30.5	—	µs	サブクロック使用の場合
入力クロック パルス幅	t_{WH1} t_{WL1}	X0	X1：開放	33.4	—	—	ns	外部クロック使用の場合 , デューティ比は 40% ～ 60%の範囲としてください。
		X0, X1	*	12.4	—	—	ns	
		HCLK1, HCLK2	—	12.4	—	—	ns	
	t_{WH2} t_{WL2}	X0A	—	—	15.2	—	µs	
入力クロックの 立上り時間と 立下り時間	t_{CR} t_{CF}	X0	X1：開放	—	—	5	ns	外部クロック使用の場合
		X0, X1	*	—	—	5	ns	
		HCLK1, HCLK2	—	—	—	5	ns	
CR 発振開始時間	t_{CRHWK}	—	—	—	—	80	µs	メイン CR クロック使用の場合
	t_{CRLWK}	—	—	—	—	10	µs	サブ CR クロック使用の場合

＊：X0 へ外部クロックを入力 , X1 にその反転信号を入力した場合

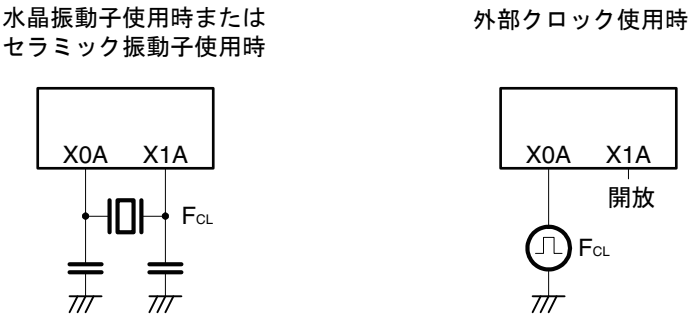


・メインクロック入力ポート外部接続図





・サブクロック入力ポート外部接続図



13.4.2 ソースクロック / マシンクロック

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
ソースクロック サイクルタイム *1	t_{SCLK}	—	61.5	—	2000	ns	メイン外部クロック使用の場合 最小：F_{CH} = 32.5 MHz, 2 分周 最大：F_{CH} = 1 MHz, 2 分周
			80	—	1000	ns	メイン CR クロック使用の場合 最小：F_{CRH} = 12.5 MHz 最大：F_{CRH} = 1 MHz
			—	61	—	µs	サブ発振クロック使用の場合 F_{CL} = 32.768 kHz, 2 分周
			—	20	—	µs	サブ CR クロック使用の場合 F_{CRL} = 100 kHz, 2 分周
ソースクロック周波数	F_{SP}	—	0.5	—	16.25	MHz	メイン発振クロック使用の場合
			1	—	12.5	MHz	メイン CR クロック使用の場合
	F_{SPL}		—	16.384	—	kHz	サブ発振クロック使用の場合
			—	50	—	kHz	サブ CR クロック使用の場合 F_{CRL} = 100 kHz, 2 分周
マシンクロック サイクルタイム *2 (最小命令実行時間)	t_{MCLK}	—	61.5	—	32000	ns	メイン発振クロック使用の場合 最小：F_{SP} = 16.25 MHz, 分周なし 最大：F_{SP} = 0.5 MHz, 16 分周
			80	—	16000	ns	メイン CR クロック使用の場合 最小：F_{SP} = 12.5 MHz 最大：F_{SP} = 1 MHz, 16 分周
			61	—	976.5	µs	サブ発振クロック使用の場合 最小：F_{SPL} = 16.384 kHz, 分周なし 最大：F_{SPL} = 16.384 kHz, 16 分周
			20	—	320	µs	サブ CR クロック使用の場合 最小：F_{SPL} = 50 kHz, 分周なし 最大：F_{SPL} = 50 kHz, 16 分周
マシンクロック周波数	F_{MP}	—	0.031	—	16.25	MHz	メイン発振クロック使用の場合
			0.0625	—	12.5	MHz	メイン CR クロック使用の場合
	F_{MPL}		1.024	—	16.384	kHz	サブ発振クロック使用の場合
			3.125	—	50	kHz	サブ CR クロック使用の場合 F_{CRL} = 100 kHz

＊1 : マシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周される前のクロックです。本ソースクロックがマシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周され , マシンクロックとなります。なお , ソースクロックは , 以下から選択できます。

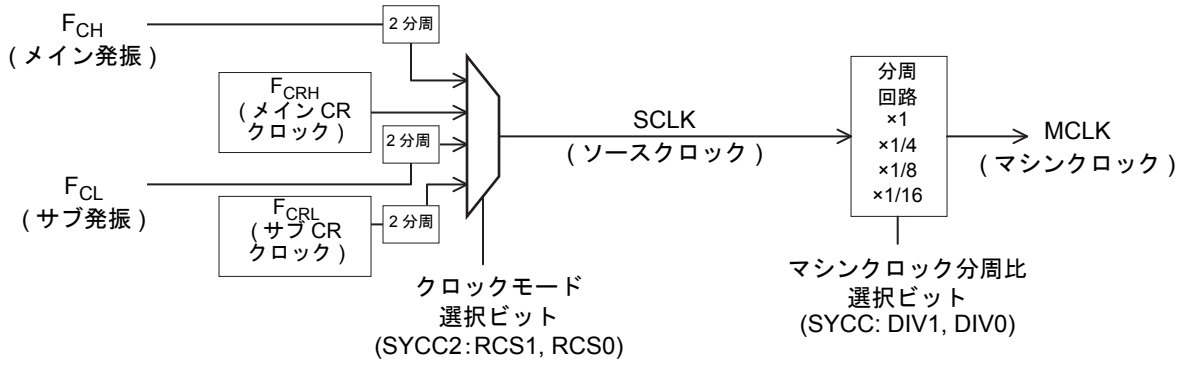
- メインクロックの 2 分周
- メイン CR クロック
- サブクロックの 2 分周
- サブ CR クロックの 2 分周

＊2 : マイクロコントローラの動作クロックです。マシンクロックは , 以下から選択できます。

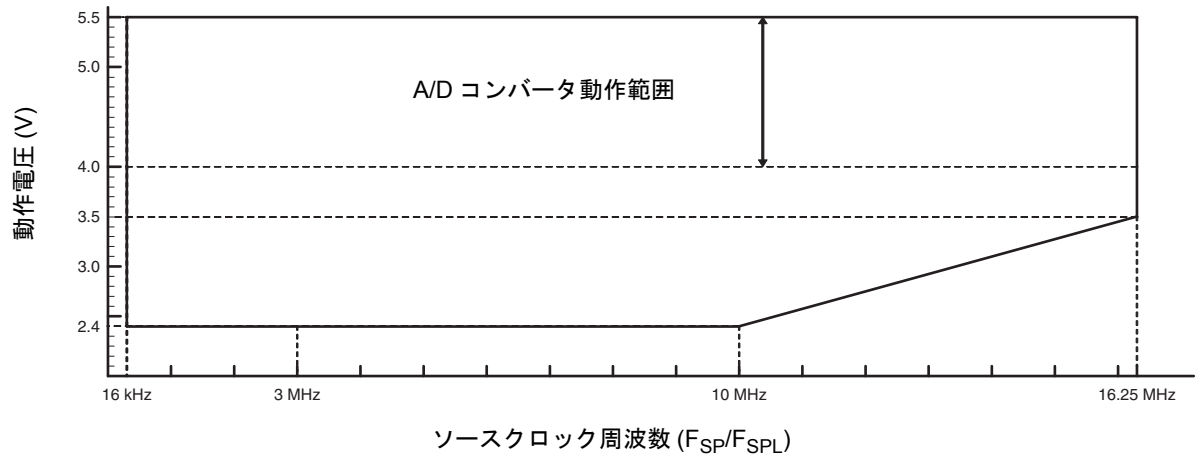
- ソースクロック (分周なし)
- ソースクロックの 4 分周
- ソースクロックの 8 分周

・ソースクロックの 16 分周

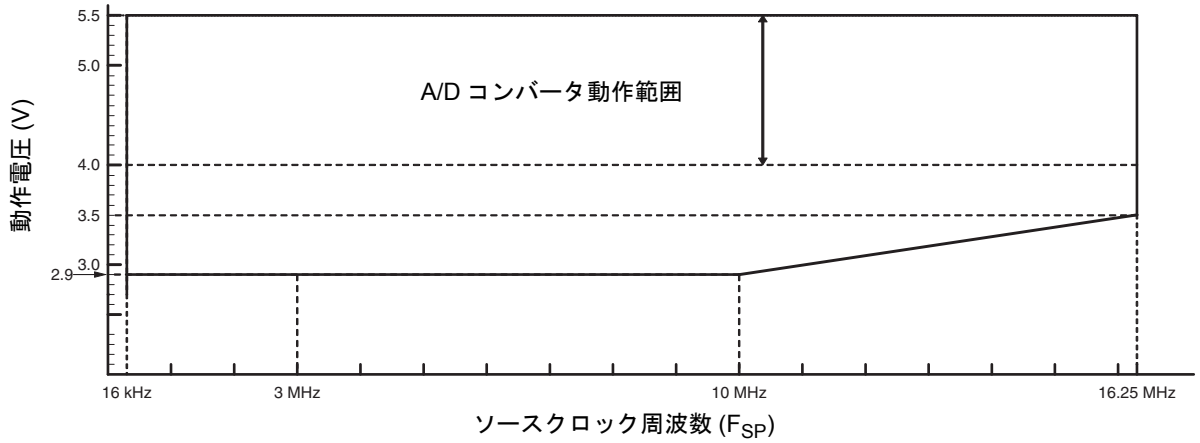
・クロック生成部の概略図



・ 動作電圧 - 動作周波数 (T_A ＝− 40 °C ～＋ 85 °C)
MB95330H (オンチップデバッグ機能なし)



・ 動作電圧 - 動作周波数 (T_A ＝− 40 °C ～ +85 °C)
MB95330H (オンチップデバッグ機能あり)



13.4.3 外部リセット

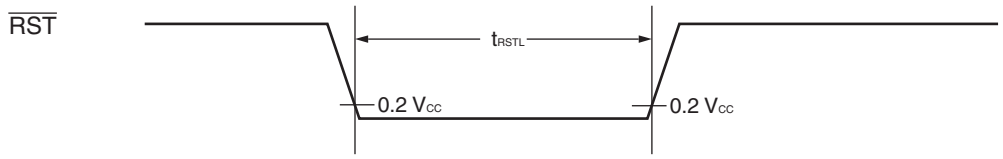
(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	規格値		単位	備考
		最小	最大		
$\overline{RST}$ “L” レベルパルス幅	t_{RSTL}	2 t_{MCLK}*1	—	ns	通常動作の場合
		振動子の発振時間 *2 + 100	—	µs	ストップモード , サブクロックモード , サブスリープモード , 時計モード , 電源投入の場合
		100	—	µs	タイムベースタイマモードの場合

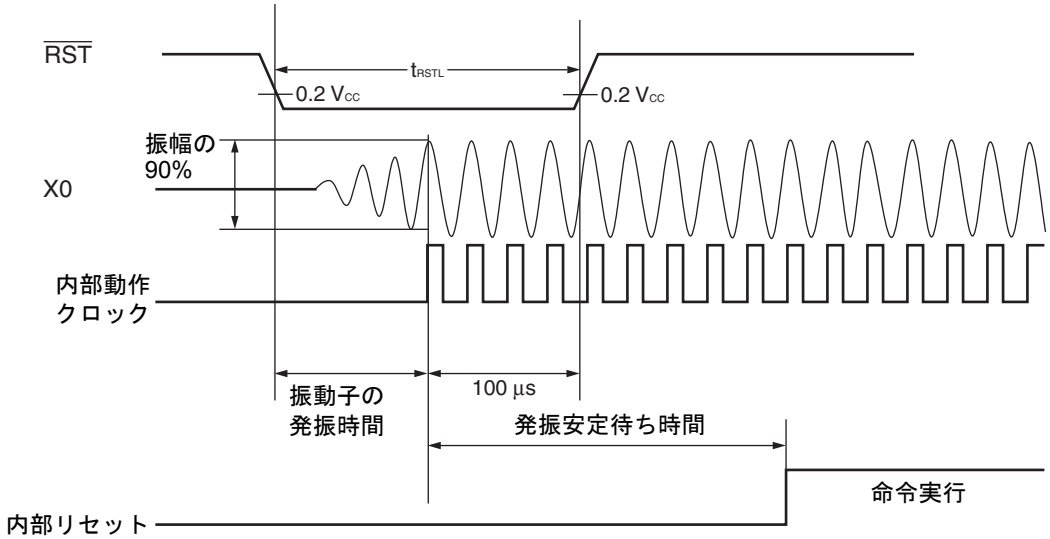
＊ 1 : t_{MCLK} については「 13.4.2 ソースクロック / マシンクロック」を参照してください。

＊ 2 : 振動子の発振時間は , 振幅の 90 % に達するまでの時間です。水晶振動子は数 ms ～ 数十 ms, セラミック振動子は数百 µs ～数 ms, 外部クロックは 0ms, CR 発振器は数 µs ～数 ms となります。

・通常動作の場合



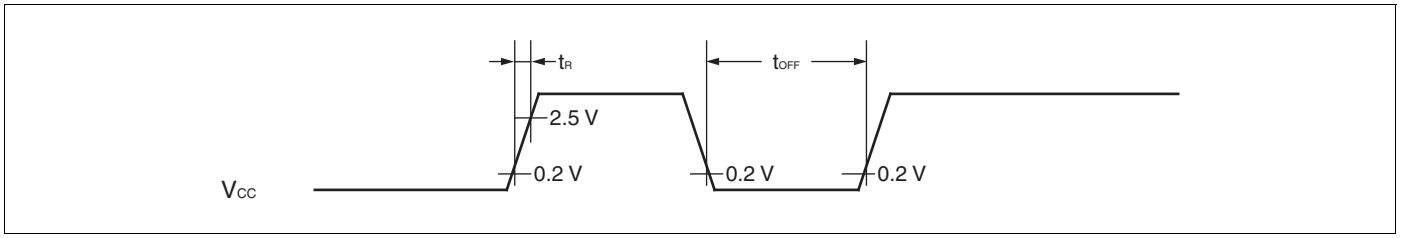
・ストップモード , サブクロックモード , サブスリープモード , 時計モード , 電源投入の場合



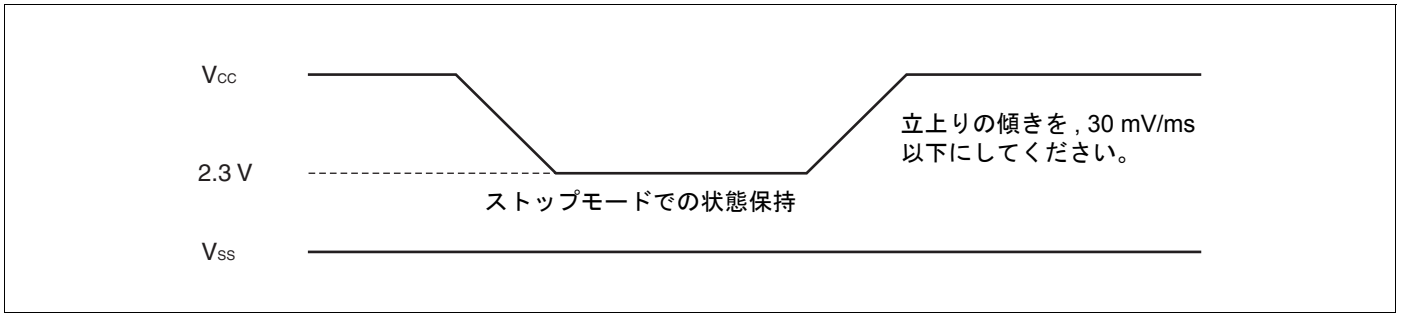
13.4.4 パワーオンリセット

(V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源立上り時間	t_R	—	—	50	ms	
電源断時間	t_{OFF}	—	1	—	ms	電源投入までの待ち時間



（注意事項）電源電圧を急激に変化させると , パワーオンリセットが起動される場合があります。動作中に電源電圧を変化させる場合は , 下図のように立上りの傾きを , 30 mV/ms 以下にしてください。

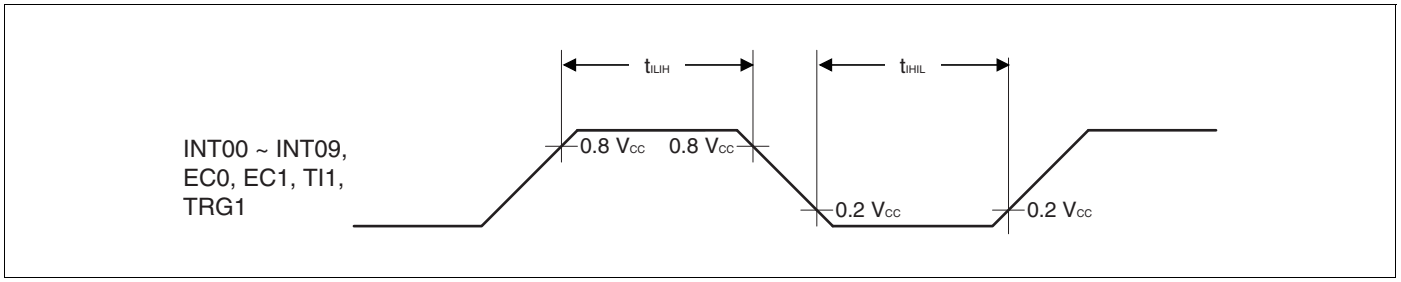


13.4.5 周辺入力タイミング

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	規格値		単位
			最小	最大	
周辺入力 “H” パルス幅	t_{ILIH}	INT00 ～ INT09, EC0, EC1,TI1, TRG1	2 t_{MCLK}*	—	ns
周辺入力 “L” パルス幅	t_{IHIL}		2 t_{MCLK}*	—	ns

＊：t_{MCLK} については , 「13.4.2 ソースクロック / マシンクロック」を参照してください。



13.4.6 LIN-UART タイミング

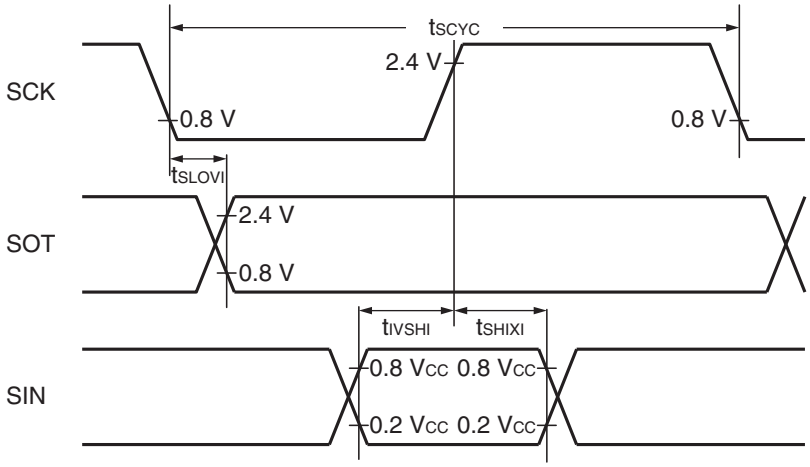
サンプリングクロックの立上りエッジでサンプリングを行い *1, シリアルクロック遅延を禁止する場合 *2
(ESCR レジスタ：SCES ビット＝ 0, ECCR レジスタ：SCDE ビット＝ 0)

(V_{CC} ＝ 5.0 V ± 10%, AV_{SS} ＝ V_{SS} ＝ 0.0 V, T_A ＝− 40 °C ～＋ 85 °C)

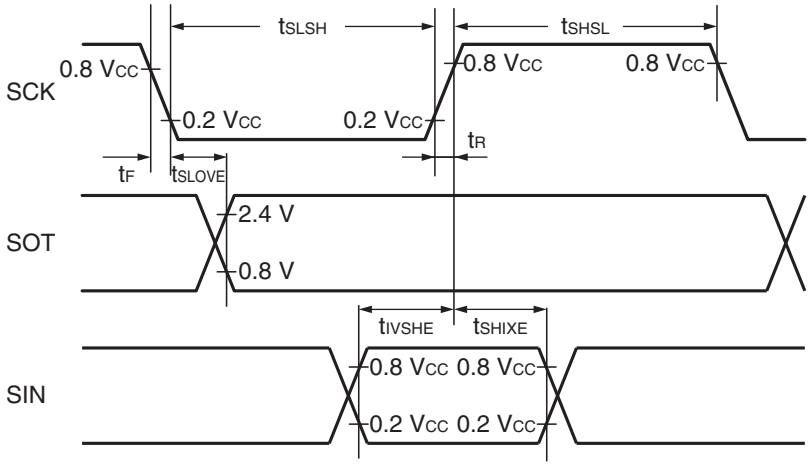
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	5 t_{MCLK}*3	—	ns
SCK ↓→ SOT 遅延時間	t_{SLOVI}	SCK, SOT		− 95	＋ 95	ns
有効 SIN → SCK ↑	t_{IVSHI}	SCK, SIN		t_{MCLK}*3 ＋ 190	—	ns
SCK ↑→ 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK	外部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	3 t_{MCLK}*3 − t_R	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK		t_{MCLK}*3 ＋ 95	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK, SOT		—	2 t_{MCLK}*3 ＋ 95	ns
有効 SIN → SCK ↑	t_{IVSHE}	SCK, SIN		190	—	ns
SCK ↑→ 有効 SIN ホールド時間	t_{SHIXE}	SCK, SIN		t_{MCLK}*3 ＋ 95	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

＊ 1：受信データのサンプリングをシリアルクロックの立上りで行うか , 立下りで行うかを選択する機能があります。
＊ 2：シリアルクロック遅延機能は , シリアルクロックの出力信号を半クロック遅延させる機能です。
＊ 3：t_{MCLK} については , 「13.4.2 ソースクロック / マシンクロック」を参照してください。

・内部シフトクロックモード



・外部シフトクロックモード



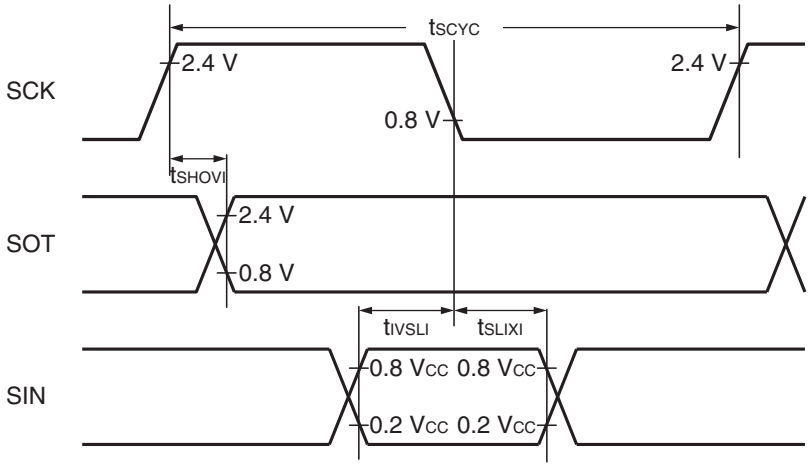
サンプリングクロックの立下りエッジでサンプリングを行い *1, シリアルクロック遅延を禁止する場合 *2
(ESCR レジスタ：SCES ビット＝ 1, ECCR レジスタ：SCDE ビット＝ 0)

(V_{CC} ＝ 5.0 V ± 10%, V_{SS} ＝ 0.0 V, T_A ＝－ 40 °C ～ ＋ 85 °C)

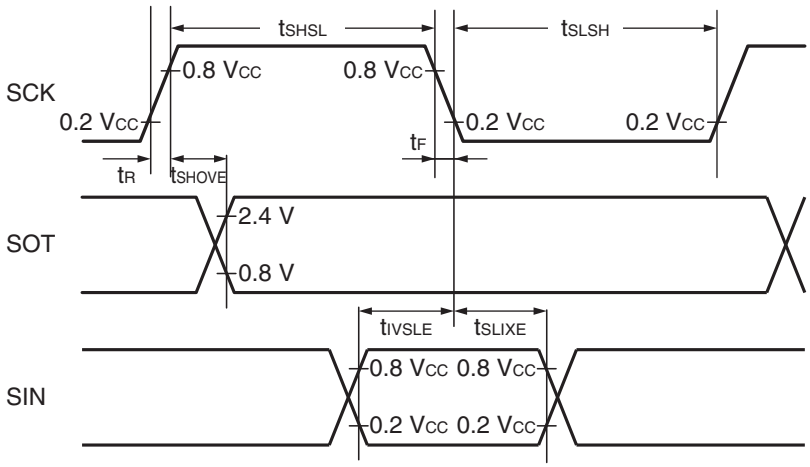
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	5 t_{MCLK}*3	—	ns
SCK ↑→ SOT 遅延時間	t_{SHOVI}	SCK, SOT		－ 95	＋ 95	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		t_{MCLK}*3 ＋ 190	—	ns
SCK ↓→ 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK	外部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	3 t_{MCLK}*3 － t_R	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK		t_{MCLK}*3 ＋ 95	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK, SOT		—	2 t_{MCLK}*3 ＋ 95	ns
有効 SIN → SCK ↓	t_{IVSLE}	SCK, SIN		190	—	ns
SCK ↓→ 有効 SIN ホールド時間	t_{SLIXE}	SCK, SIN		t_{MCLK}*3 ＋ 95	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

＊ 1：受信データのサンプリングをシリアルクロックの立上りで行うか , 立下りで行うかを選択する機能があります。
＊ 2：シリアルクロック遅延機能は , シリアルクロックの出力信号を半クロック遅延させる機能です。
＊ 3：t_{MCLK} については , 「13.4.2 ソースクロック / マシンクロック」を参照してください。

・内部シフトクロックモード



・外部シフトクロックモード

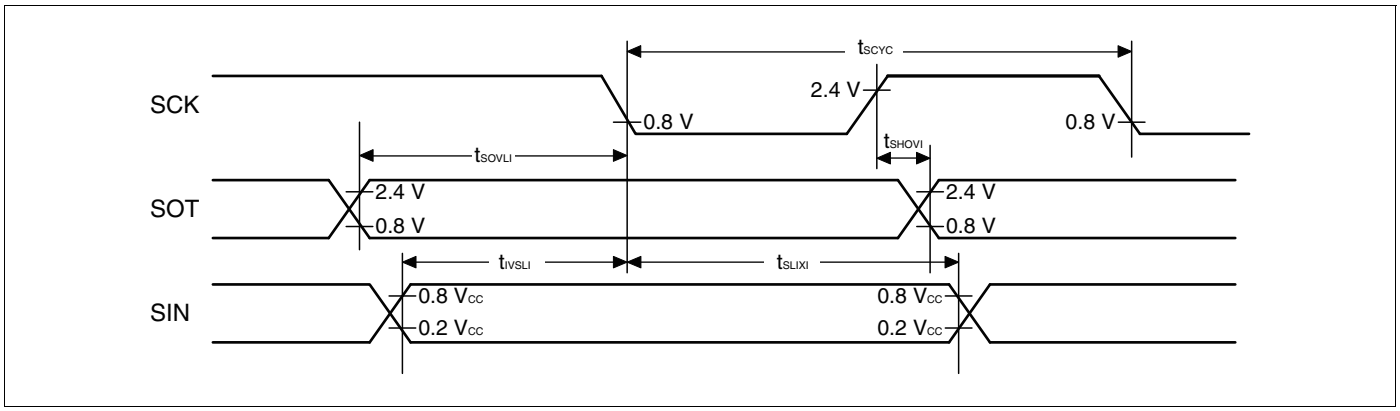


サンプリングクロックの立上りエッジでサンプリングを行い *1, シリアルクロック遅延を許可する場合 *2
(ESCR レジスタ：SCES ビット＝ 0, ECCR レジスタ：SCDE ビット＝ 1)

(V_{CC} ＝ 5.0 V ± 10%, V_{SS} ＝ 0.0 V, T_A ＝－ 40 °C ～ ＋ 85 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	5 t_{MCLK}*3	—	ns
SCK ↑→ SOT 遅延時間	t_{SHOVI}	SCK, SOT		－ 95	＋ 95	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		t_{MCLK}*3 ＋ 190	—	ns
SCK ↓→ 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK, SOT		—	4 t_{MCLK}*3	ns

＊ 1：受信データのサンプリングをシリアルクロックの立上りで行うか , 立下りで行うかを選択する機能があります。
＊ 2：シリアルクロック遅延機能は , シリアルクロックの出力信号を半クロック遅延させる機能です。
＊ 3：t_{MCLK} については , 「13.4.2 ソースクロック / マシンクロック」を参照してください。

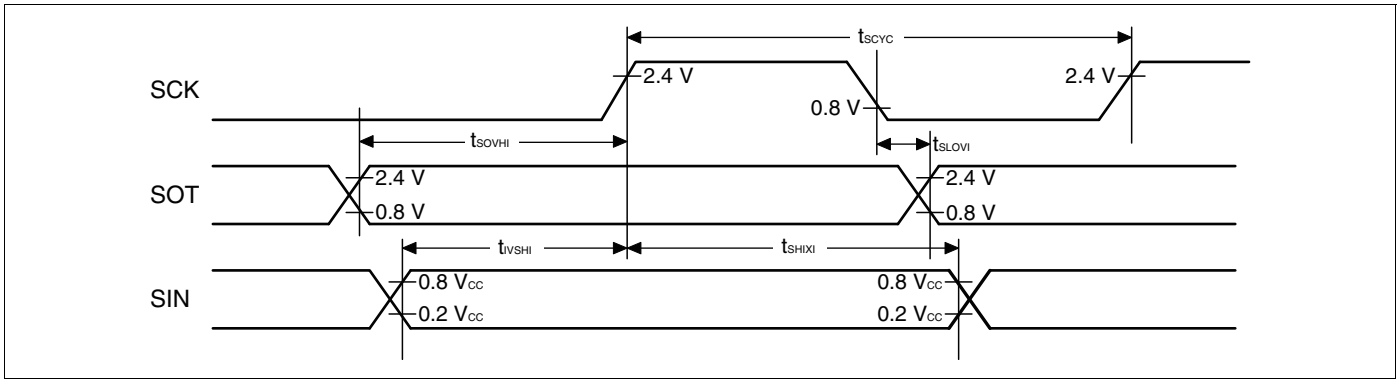


サンプリングクロックの立下りエッジでサンプリングを行い *1, シリアルクロック遅延を許可する場合 *2
(ESCR レジスタ：SCES ビット＝ 1, ECCR レジスタ：SCDE ビット＝ 1)

(V_{CC} ＝ 5.0 V ± 10%, V_{SS} ＝ 0.0 V, T_A ＝－ 40 °C ～ ＋ 85 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子： C_L ＝ 80 pF ＋ 1 TTL	5 t_{MCLK}*3	—	ns
SCK ↓→ SOT 遅延時間	t_{SLOVI}	SCK, SOT		－ 95	＋ 95	ns
有効 SIN → SCK ↑	t_{IVSHI}	SCK, SIN		t_{MCLK}*3 ＋ 190	—	ns
SCK ↑→ 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
SOT → SCK ↑ 遅延時間	t_{SOVHI}	SCK, SOT		—	4 t_{MCLK}*3	ns

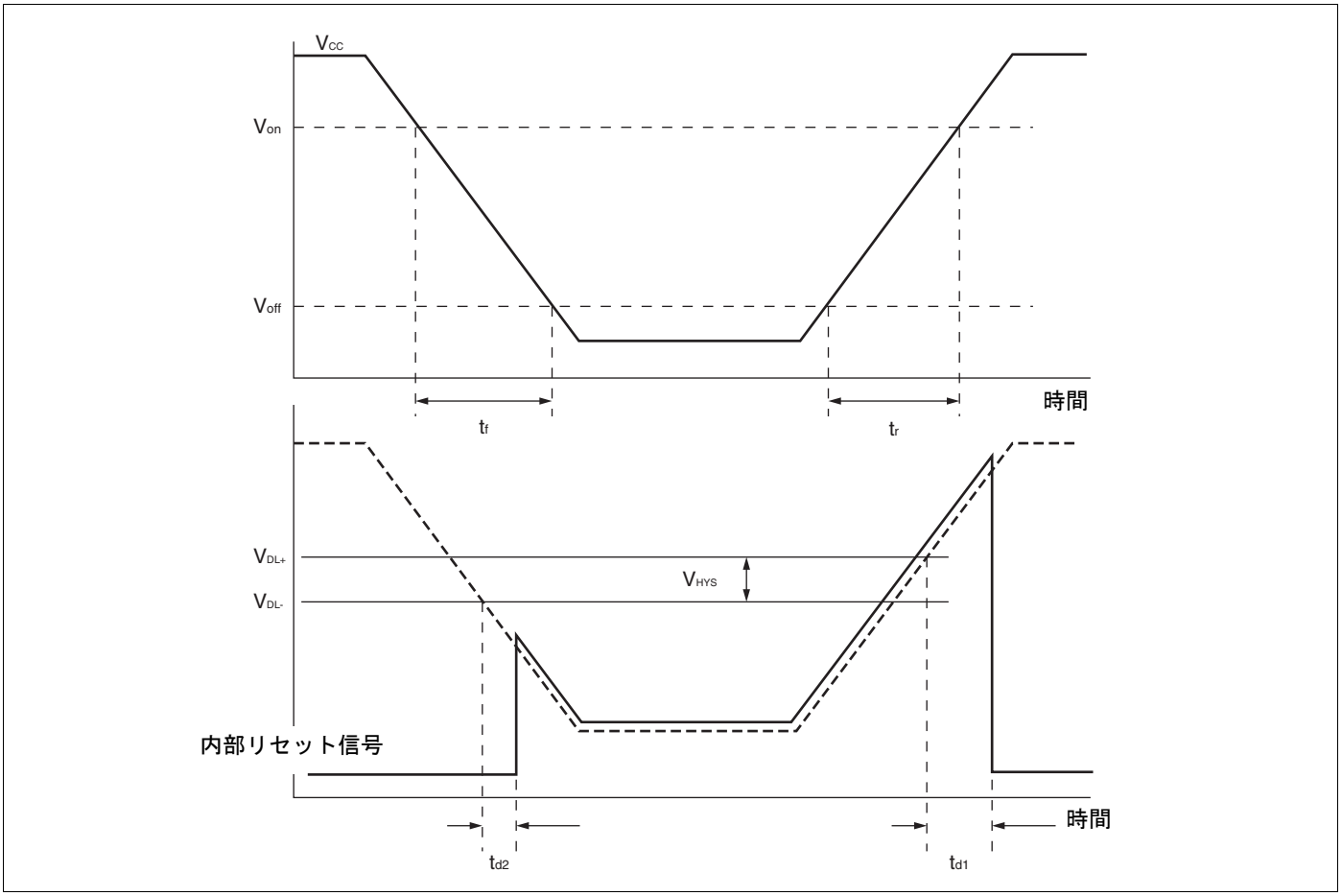
＊ 1：受信データのサンプリングをシリアルクロックの立上りで行うか , 立下りで行うかを選択する機能があります。
＊ 2：シリアルクロック遅延機能は , シリアルクロックの出力信号を半クロック遅延させる機能です。
＊ 3：t_{MCLK} については , 「13.4.2 ソースクロック / マシンクロック」を参照してください。



13.4.7 低電圧検出

(V_{SS} = 0.0 V, T_A = − 40 °C ～ + 85 °C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
解除電圧	V_{DL+}	2.52	2.7	2.88	V	電源上昇の場合
検出電圧	V_{DL-}	2.42	2.6	2.78	V	電源降下の場合
ヒステリシス幅	V_{HYS}	70	100	—	mV	
電源開始電圧	V_{off}	4.9	—	2.3	V	
電源電圧変化時間 (電源上昇の場合)	t_r	3000	—	—	µs	リセット解除信号が規格内 (V_{DL+}) で発生する電源の傾き
電源電圧変化時間 (電源降下の場合)	t_f	300	—	—	µs	リセット検出信号が規格内 (V_{DL-}) で発生する電源の傾き
リセット解除遅延時間	t_{d1}	—	—	300	µs	
リセット検出遅延時間	t_{d2}	—	—	20	µs	



13.4.8 I^2C タイミング

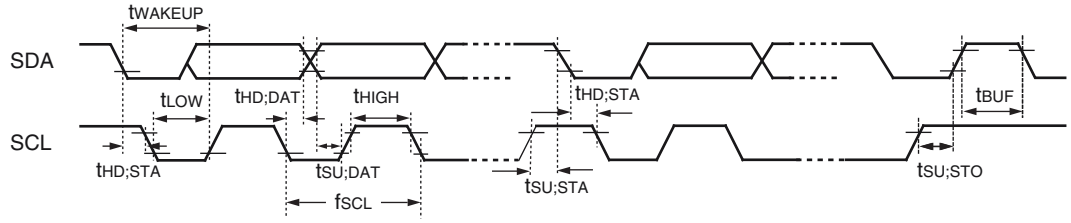
(V_{CC} = 5.0 V ± 10%, AV_{SS} = V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値				単位
				標準モード		高速モード		
				最小	最大	最小	最大	
SCL クロック周波数	f_{SCL}	SCL	R = 1.7 kΩ, C = 50 pF*1	0	100	0	400	kHz
(反復) スタート条件ホールド時間 SDA ↓ → SCL ↓	$t_{HD;STA}$	SCL, SDA		4.0	—	0.6	—	µs
SCL クロック “L” 幅	t_{LOW}	SCL		4.7	—	1.3	—	µs
SCL クロック “H” 幅	t_{HIGH}	SCL		4.0	—	0.6	—	µs
(反復) スタート条件ホールド時間 SCL ↑ → SDA ↓	$t_{SU;STA}$	SCL, SDA		4.7	—	0.6	—	µs
データホールド時間 SCL ↓ → SDA ↓↑	$t_{HD;DAT}$	SCL, SDA		0	3.45*2	0	0.9*3	µs
データセットアップ時間 SDA ↓↑ → SCL ↑	$t_{SU;DAT}$	SCL, SDA		0.25	—	0.1	—	µs
ストップ条件セットアップ時間 SCL ↑ → SDA ↑	$t_{SU;STO}$	SCL, SDA		4	—	0.6	—	µs
ストップ条件とスタート条件との間のバスフリー時間	t_{BUF}	SCL, SDA		4.7	—	1.3	—	µs

＊ 1 : R, C は SCL, SDA ラインのプルアップ抵抗 , 負荷容量です。

＊ 2 : $t_{HD;DAT}$ の最大値は , デバイスが SCL 信号の “L” 区間 (t_{LOW}) を延長していないときにのみ適用されます。

＊ 3 : 高速モード I^2C バスデバイスを標準モード I^2C バスシステムに使用することはできますが , 要求される条件 $t_{SU;DAT}$ ≧ 250 ns を満足しなければなりません。



(V_{CC} = 5.0 V±10%, AV_{SS} = V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値 *2		単位	備考
				最小	最大		
SCL クロック “L” 幅	t_{LOW}	SCL		(2 + nm/2)t_{MCLK} − 20	—	ns	マスタモード
SCL クロック “H” 幅	t_{HIGH}	SCL		(nm/2)t_{MCLK} − 20	(nm/2)t_{MCLK} + 20	ns	マスタモード
START 条件 ホールド時間	$t_{HD;STA}$	SCL, SDA		(-1 + nm/2)t_{MCLK} − 20	(-1 + nm)t_{MCLK} + 20	ns	マスタモード 最大値は m, n =1, 8 時に適用。 それ以外の設定は最小値を適用。
STOP 条件 セットアップ時間	$t_{SU;STO}$	SCL, SDA		(1 + nm/2)t_{MCLK} − 20	(1 + nm/2)t_{MCLK} + 20	ns	マスタモード
START 条件セット アップ時間	$t_{SU;STA}$	SCL, SDA		(1 + nm/2)t_{MCLK} − 20	(1 + nm/2)t_{MCLK} + 20	ns	マスタモード
「ストップ」条件と 「スタート」条件との 間のバスフリー時間	t_{BUF}	SCL, SDA		(2 nm + 4) t_{MCLK} − 20	—	ns	
データホールド時間	$t_{HD;DAT}$	SCL, SDA		3 t_{MCLK} − 20	—	ns	マスタモード
データ セットアップ時間	$t_{SU;DAT}$	SCL, SDA	R = 1.7 kΩ, C = 50 pF*1	(-2 + nm/2) t_{MCLK} − 20	(-1 + nm/2) t_{MCLK} + 20	ns	マスタモード SCL の “L” が引き延ばされていないと仮定した場合。最小値は連続データの第 1 ビットに適用。それ以外は最大値を適用。
割込みクリアから SCL 立上りまでの セットアップ時間	$t_{SU;INT}$	SCL		(nm/2) t_{MCLK} − 20	(1 + nm/2) t_{MCLK} + 20	ns	最小値は 9th SCL ↓時の割込みに適用。最大値は 8th SCL ↓ 時の割込みに適用。
SCL クロック “L” 幅	t_{LOW}	SCL		4 t_{MCLK} − 20	—	ns	受信の場合
SCL クロック “H” 幅	t_{HIGH}	SCL			—	ns	受信の場合
「スタート」条件検出	$t_{HD;STA}$	SCL, SDA		2 t_{MCLK} − 20	—	ns	受信の場合 1 t_{MCLK} の場合未検出
「ストップ」条件検出	$t_{SU;STO}$	SCL, SDA		2 t_{MCLK} − 20	—	ns	受信の場合 1 t_{MCLK} の場合未検出
「再スタート」条件 検出条件	$t_{SU;STA}$	SCL, SDA		2 t_{MCLK} − 20	—	ns	受信の場合 1 t_{MCLK} の場合未検出
バスフリー時間	t_{BUF}	SCL, SDA		2 t_{MCLK} − 20	—	ns	受信の場合
データホールド時間	$t_{HD;DAT}$	SCL, SDA		2 t_{MCLK} − 20	—	ns	スレーブ送信モードの場合

(V_{CC} = 5.0 V±10%, AV_{SS} = V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

項目	記号	端子名	条件	規格値 * 2		単位	備考
				最小	最大		
データセットアップ時間	$t_{SU;DAT}$	SCL, SDA	R = 1.7 kΩ, C = 50 pF*1	$t_{LOW} - 3\ t_{MCLK} - 20$	—	ns	スレーブ送信モードの場合
データホールド時間	$t_{HD;DAT}$	SCL, SDA		0	—	ns	受信の場合
データセットアップ時	$t_{SU;DAT}$	SCL, SDA		$t_{MCLK} - 20$	—	ns	受信の場合
SDA↓ → SCL↑ (ウェイクアップ機能時)	t_{WAKEUP}	SCL, SDA		発振安定待ち時間 +2 t_{MCLK} − 20	—	ns	

＊ 1：R, C は SCL, SDA ラインのプルアップ抵抗 , 負荷容量です。

＊ 2：• t_{MCLK} については ,「13.4.2 ソースクロック / マシンクロック」を参照してください。

・ m は I^2C クロック制御レジスタ (ICCR0) の CS4, CS3 ビット (bit4, bit3) です。

・ n は I^2C クロック制御レジスタ (ICCR0) の CS2 ～ CS0 ビット (bit2 ～ bit0) です。

・ I^2C の実際のタイミングは , マシンクロック (t_{MCLK}) および , ICCR0 レジスタの CS4 ～ CS0 にて設定される m, n の値により決定されます。

・標準モード:

0.9 MHz < t_{MCLK} (マシンクロック) < 10 MHz の範囲で m, n の設定が可能です。

m, n の設定によっては , 下記のように使用できるマシンクロックが決まります。

(m, n) = (1, 8): 0.9 MHz < t_{MCLK} ≦ 1 MHz

(m, n) = (1, 22), (5, 4), (6, 4), (7, 4), (8, 4): 0.9 MHz < t_{MCLK} ≦ 2 MHz

(m, n) = (1, 38), (5, 8), (6, 8), (7, 8), (8, 8): 0.9 MHz < t_{MCLK} ≦ 4 MHz

(m, n) = (1, 98): 0.9 MHz < t_{MCLK} ≦ 10 MHz

・高速モード:

3.3 MHz < t_{MCLK} (マシンクロック) < 10 MHz の範囲で m, n の設定が可能です。

m, n の設定によっては , 下記のように使用できるマシンクロックが決まります。

(m, n) = (1, 8): 3.3 MHz < t_{MCLK} ≦ 4 MHz

(m, n) = (1, 22), (5, 4): 3.3 MHz < t_{MCLK} ≦ 8 MHz

(m, n) = (6, 4): 3.3 MHz < t_{MCLK} ≦ 10 MHz

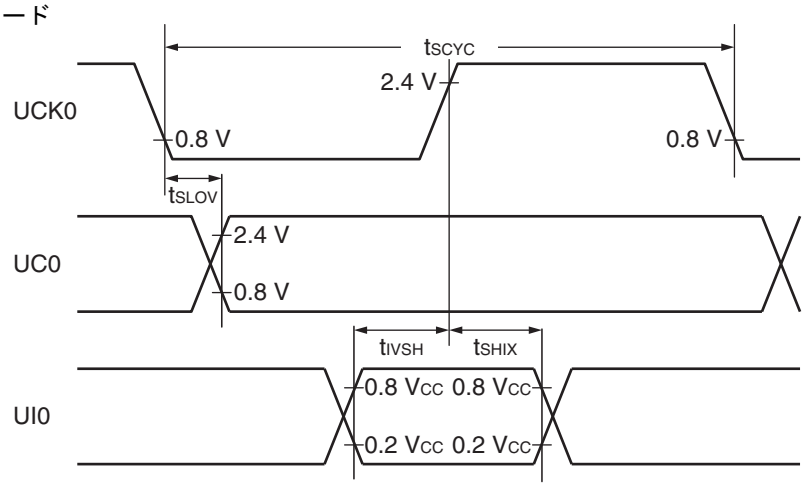
13.4.9 UART/SIO, シリアル入出力タイミング

(V_{CC} = 5.0 V±10%, AV_{SS} = V_{SS} = 0.0 V, T_A = − 40 °C ～+ 85 °C)

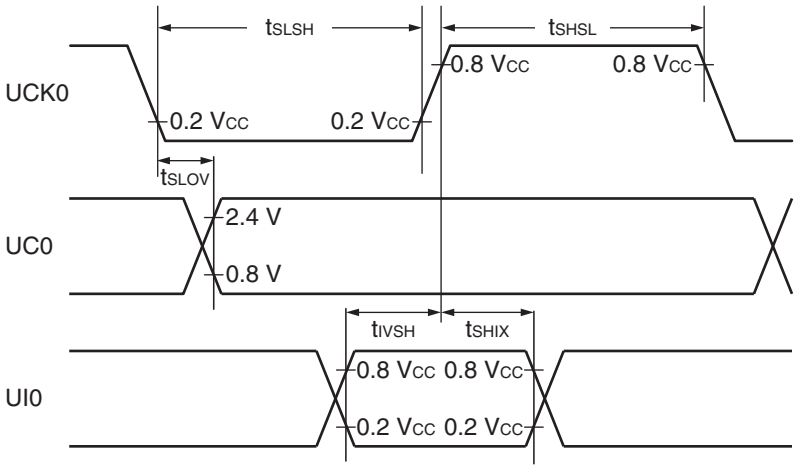
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	UCK0	内部クロック動作	4 t_{MCLK}*	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		− 190	+ 190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		2 t_{MCLK}*	—	ns
UCK ↑ → 有効 UI ホールド時間	t_{SHIX}	UCK, UI0		2 t_{MCLK}*	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	UCK0	外部クロック動作	4 t_{MCLK}*	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	UCK0		4 t_{MCLK}*	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		—	190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		2 t_{MCLK}*	—	ns
UCK ↑ → 有効 UI ホールド時間	t_{SHIX}	UCK0, UI0		2 t_{MCLK}*	—	ns

＊：t_{MCLK} については，「13.4.2 ソースクロック / マシンクロック」を参照してください。

・内部シフトクロックモード



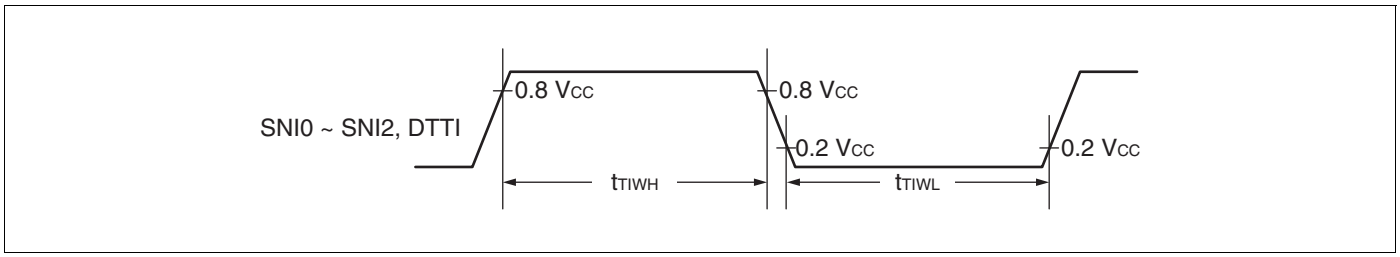
・外部シフトクロックモード



13.4.10 MPG 入力タイミング

(V_{CC} = 5.0 V±10%, AV_{SS} = V_{SS} = 0.0 V, T_A = − 40 °C ～ + 85 °C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} t_{TIWL}	SNI0 ～ SNI2, DTTI	—	4 t_{MCLK}	—	ns	



13.5 A/D コンバータ

13.5.1 A/D コンバータ電気的特性

(V_{CC} = 4.0 V ～ 5.5 V, V_{SS} = 0.0 V, T_A = − 40 °C ～ + 85 °C)

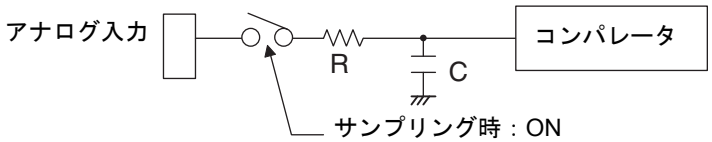
項目	記号	規格値			単位	備考
		最小	標準	最大		
分解能	—	—	—	10	bit	
総合誤差		− 3	—	+ 3	LSB	
直線性誤差		− 2.5	—	+ 2.5	LSB	
微分直線性誤差		− 1.9	—	+ 1.9	LSB	
ゼロトランジション電圧	V_{OT}	V_{SS} − 1.5 LSB	V_{SS} + 0.5 LSB	V_{SS} + 2.5 LSB	V	
フルスケール トランジション電圧	V_{FST}	V_{CC} − 4.5 LSB	V_{CC} − 2 LSB	V_{CC} + 0.5 LSB	V	
コンペア時間	—	0.9	—	16500	µs	4.5 V ≦ V_{CC} ≦ 5.5 V
		1.8	—	16500	µs	4.0 V ≦ V_{CC} < 4.5 V
サンプリング時間	—	0.6	—	∞	µs	4.5 V ≦ V_{CC} ≦ 5.5 V, 外部インピーダンス< 5.4 kΩ の場合
		1.2	—	∞	µs	4.0 V ≦ V_{CC} < 4.5 V, 外部インピーダンス< 2.4 kΩ の場合
アナログ入力電流	I_{AIN}	− 0.3	—	+ 0.3	µA	
アナログ入力電圧	V_{AIN}	V_{SS}	—	V_{CC}	V	

13.5.2 A/D コンバータの注意事項

■ アナログ入力の外部インピーダンスとサンプリング時間について

・ MB95330H シリーズの A/D コンバータはサンプルホールド付きのものです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合には , 内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず , A/D 変換精度に影響を及ぼします。したがって , A/D 変換精度規格を満たすために , 外部インピーダンスと最小サンプリング時間の関係から , サンプリング時間を最小値より長くなるようにレジスタ値と動作周波数を調整するか , 外部インピーダンスを下げてご使用ください。また , サンプリング時間を十分に確保できない場合は , アナログ入力端子に 0.1 µF 程度のコンデンサを接続してください。

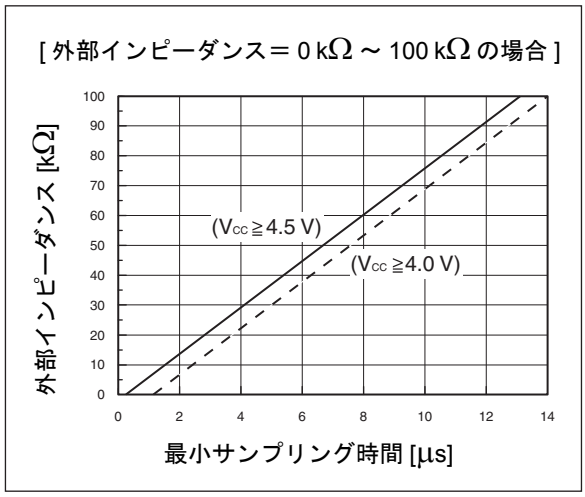
・アナログ入力等価回路

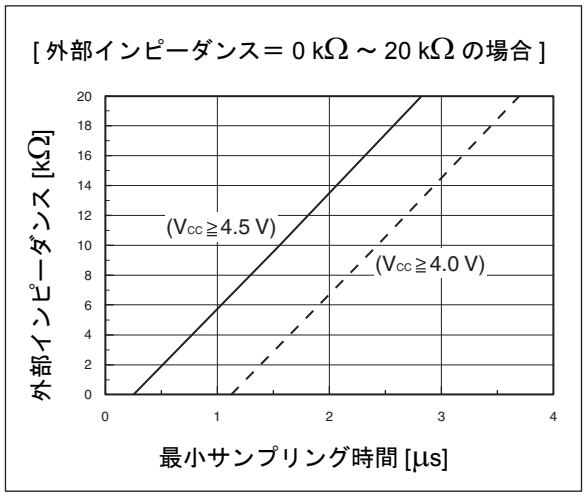


V_{CC}	R	C
4.5 V ≦ V_{CC} ≦ 5.5 V	1.95 kΩ (最大)	17 pF (最大)
4.0 V ≦ V_{CC} < 4.5 V	8.98 kΩ (最大)	17 pF (最大)

（注意事項）数値は参考値です。

・外部インピーダンスと最小サンプリング時間の関係





■ A/D 変換誤差について

$|V_{CC} - V_{SS}|$ が小さくなるに従って , A/D 変換の誤差は大きくなります。

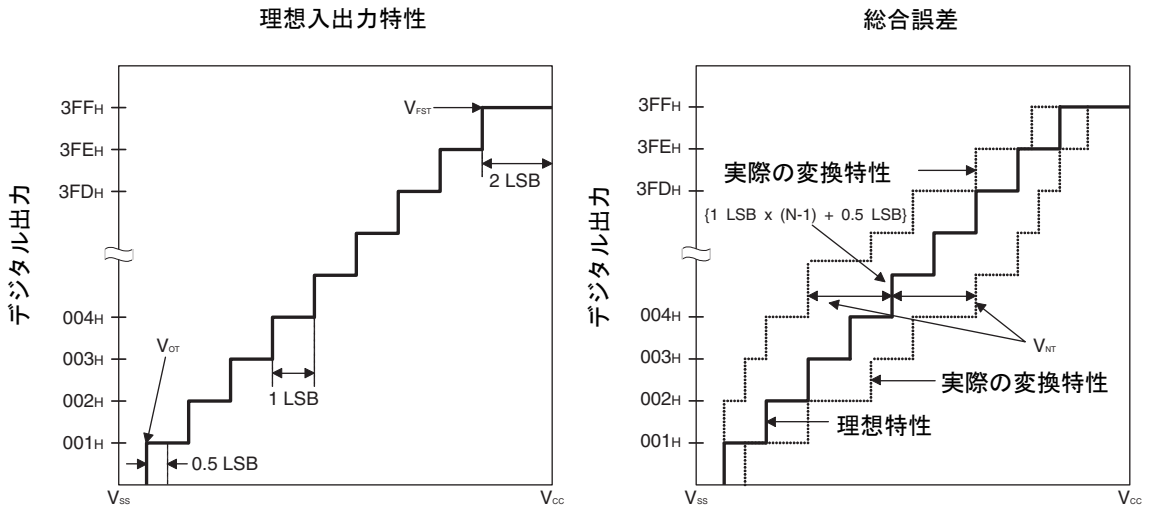
13.5.3 A/D コンバータの用語の定義

■ 分解能
A/D コンバータにより識別可能なアナログ変化を示します。
10 ビットなら , アナログ電圧を 2^{10} = 1024 の部分に分解可能です。

■ 直線性誤差 (単位 : LSB)
デバイスのゼロトランジション点 (“00 0000 0000” ← → “00 0000 0001”) と , 同じデバイスのフルスケールトランジション点 (“11 1111 1111” ← → “11 1111 1110”) とを結んだ直線と , 実際の変換値との誤差がどの程度かを示します。

■ 微分直線性誤差 (単位 : LSB)
出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差がどの程度かを示します。

■ 総合誤差 (単位 : LSB)
実際の値と理論値との差を示し , ゼロトランジション誤差 / フルスケールトランジション誤差 / 直線性誤差 / 量子誤差および雑音に起因する誤差です。

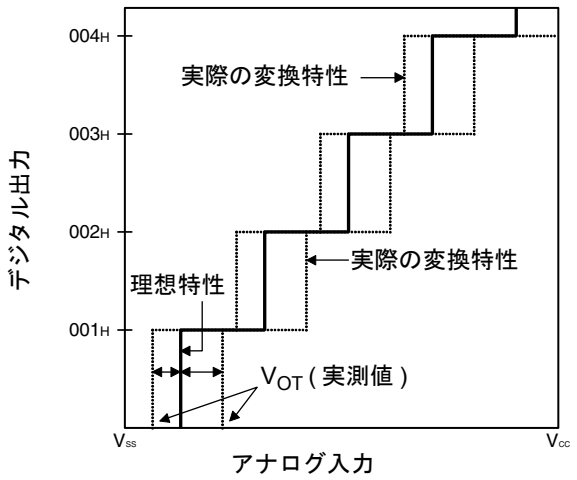


$$1\ \mathrm{LSB} = \frac{V_{CC} - V_{SS}}{1024}\ (\mathrm{V})$$

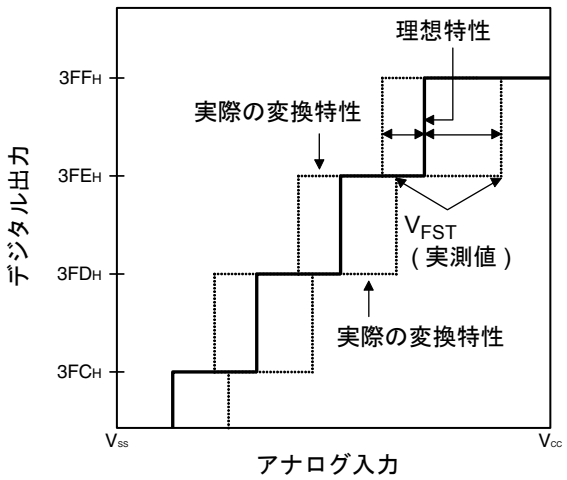
$$\text{デジタル出力 N の総合誤差} = \frac{V_{NT} - \{1\ \mathrm{LSB} \times (N - 1) + 0.5\ \mathrm{LSB}\}}{1\ \mathrm{LSB}}\ [\mathrm{LSB}]$$

N : A/D コンバータデジタル出力値
V_{NT} : デジタル出力が $(N - 1)_H$ から N_H に遷移する電圧

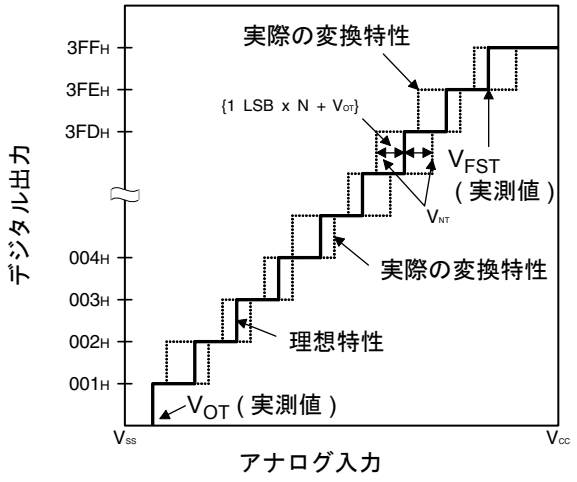
ゼロトランジション誤差



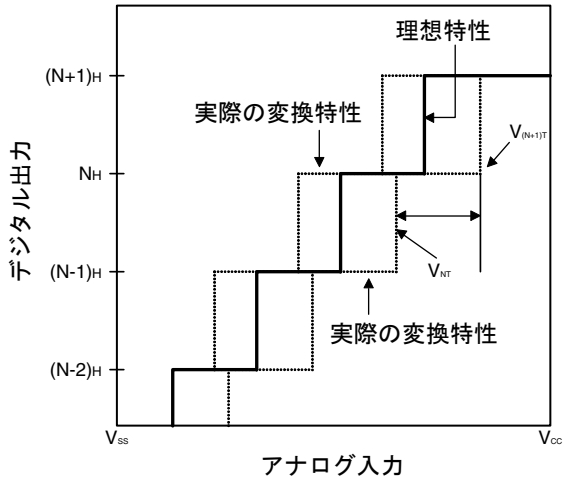
フルスケールトランジション誤差



直線性誤差



微分直線性誤差



$$\text{デジタル出力 N の直線性誤差} = \frac{V_{NT} - \{1\ LSB \times N + V_{OT}\}}{1\ LSB}$$

$$\text{デジタル出力 N の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\ LSB} - 1$$

N ：A/D コンバータデジタル出力値
V_{NT}：デジタル出力が $(N - 1)_H$ から N_H に遷移する電圧
V_{OT} (理想値) ＝ Vss ＋ 0.5 LSB [V]
V_{FST} (理想値) ＝ Vcc － 2 LSB [V]

13.6 フラッシュメモリ書込み / 消去特性

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間 (2 K バイトセクタ)	—	0.2*1	0.5*2	s	消去前 00_H 書込み時間は除きます。
セクタ消去時間 (16 K バイトセクタ)	—	0.5*1	7.5*2	s	消去前 00_H 書込み時間は除きます。
バイト書込み時間	—	21	6100*2	µs	システムレベルのオーバヘッド時間は除きます。
消去 / 書込みサイクル	100000	—	—	cycle	
消去 / 書込み時の電源電圧	3.0	—	5.5	V	
フラッシュメモリデータ保持時間	20*3	—	—	year	平均 T_A ＝＋ 85 °C

＊ 1 : T_A ＝＋ 25 °C, V_{CC} ＝ 5.0 V, 100000 サイクル

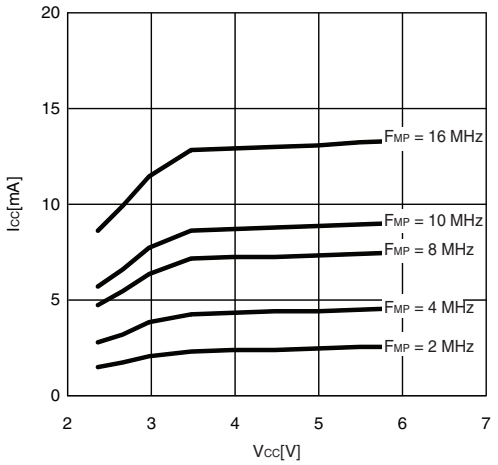
＊ 2 : T_A ＝＋ 85 °C, V_{CC} ＝ 3.0 V, 100000 サイクル

＊ 3 : テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し , 高温加速試験結果を平均温度 ＋ 85 °C へ換算しています) 。

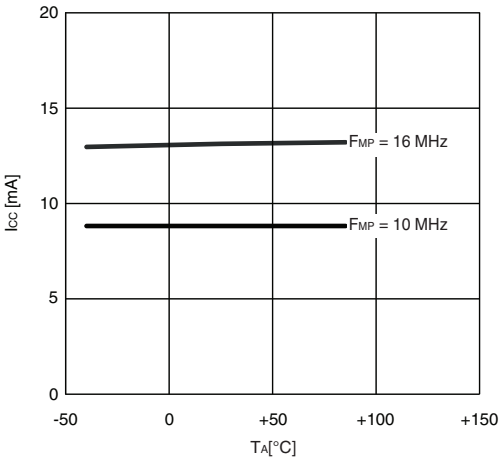
14. 特性例

■ 電源電流・温度特性

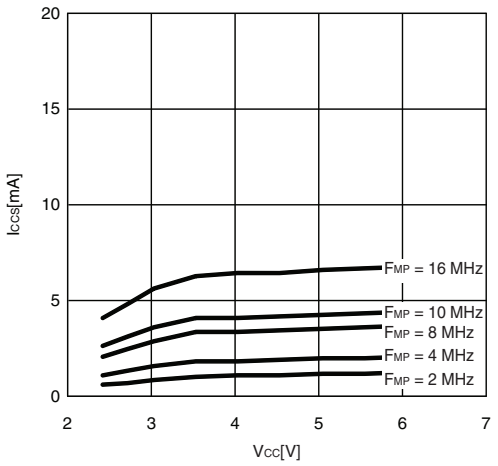
I_{CC} – V_{CC}
T_A = +25°C, F_{MP} = 2, 4, 8, 10, 16 MHz (2 分周)
メインクロックモード , 外部クロック動作時



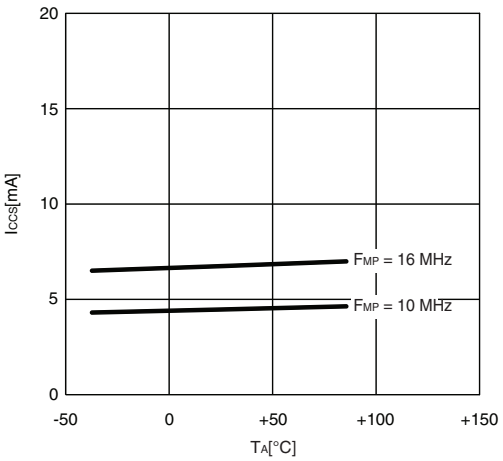
I_{CC} – T_A
V_{CC} = 5.5 V, F_{MP} = 10, 16 MHz (2 分周)
メインクロックモード , 外部クロック動作時



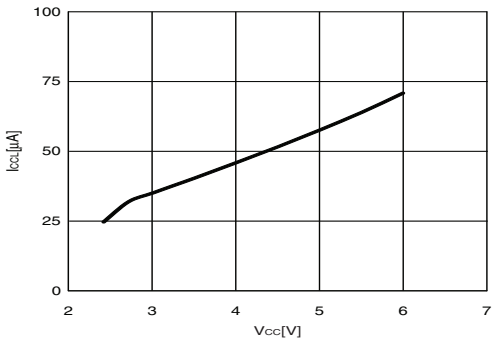
I_{CCS} – V_{CC}
T_A = +25°C, F_{MP} = 2, 4, 8, 10, 16 MHz (2 分周)
メインスリープモード , 外部クロック動作時



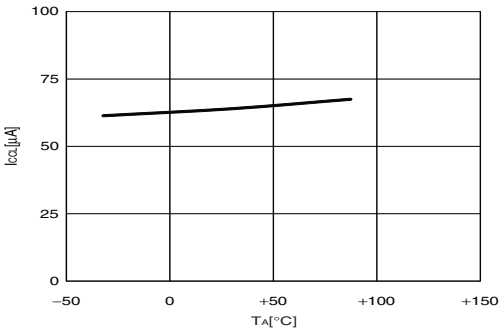
I_{CCS} – T_A
V_{CC} = 5.5 V, F_{MP} = 10, 16 MHz (2 分周)
メインスリープモード , 外部クロック動作時



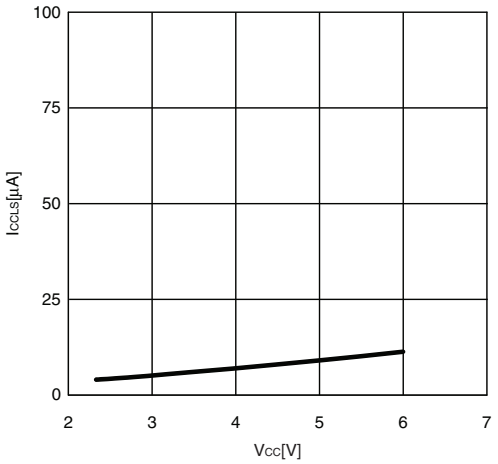
I_{CCL} – V_{CC}
T_A = +25°C, F_{MPL} = 16 kHz (2 分周)
サブクロックモード , 外部クロック動作時



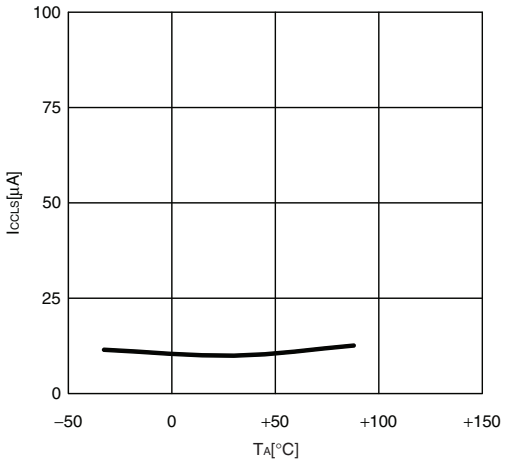
I_{CCL} – T_A
V_{CC} = 5.5 V, F_{MPL} = 16 kHz (2 分周)
サブクロックモード , 外部クロック動作時



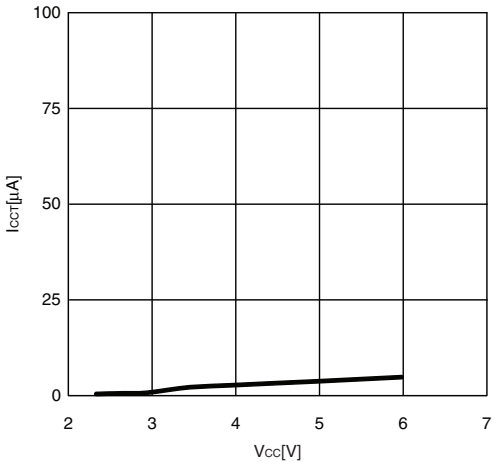
I_{CCLS} – V_{CC}
T_A = +25°C, F_{MPL} = 16 kHz (2 分周)
サブスリープモード , 外部クロック動作時



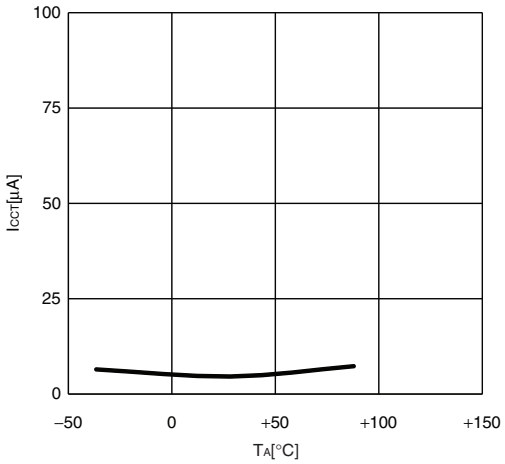
I_{CCLS} – T_A
V_{CC} = 5.5 V, F_{MPL} = 16 kHz (2 分周)
サブスリープモード , 外部クロック動作時



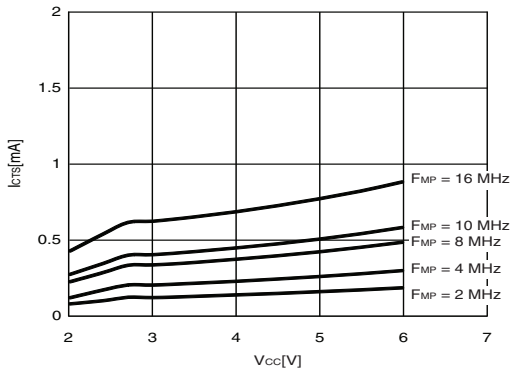
I_{CCT} – V_{CC}
T_A = +25°C, F_{MPL} = 16 kHz (2 分周)
時計モード , 外部クロック動作時



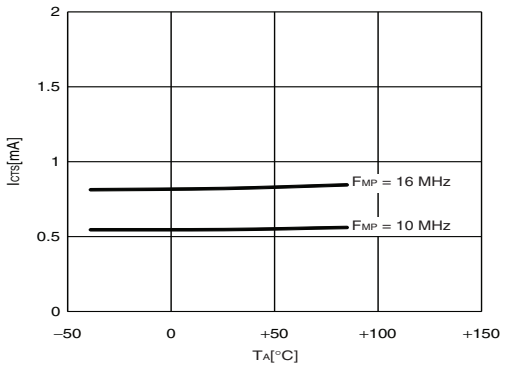
I_{CCT} – T_A
V_{CC} = 5.5 V, F_{MPL} = 16 kHz (2 分周)
時計モード , 外部クロック動作時



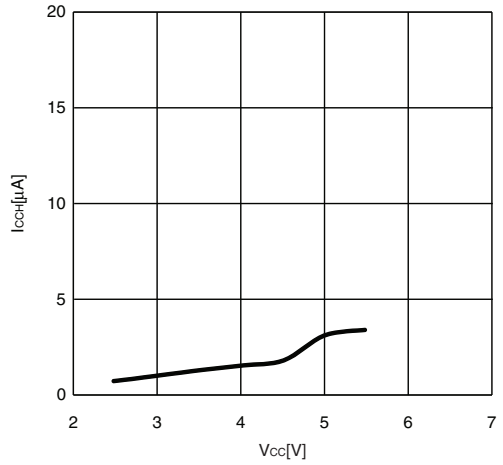
I_{CTS} – V_{CC}
T_A = +25°C, F_{MP} = 2, 4, 8, 10, 16 MHz (2 分周)
タイムベースタイマモード , 外部クロック動作時



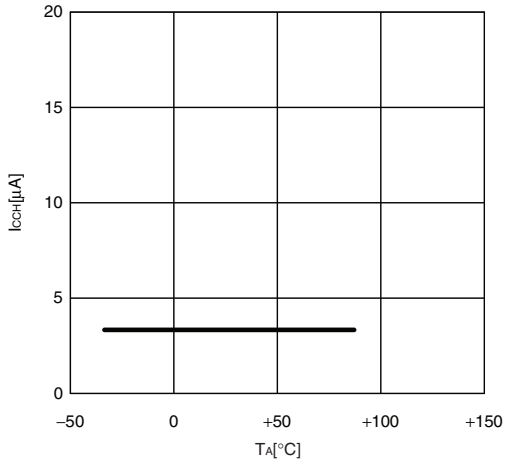
I_{CTS} – T_A
V_{CC} = 5.5 V, F_{MP} = 10, 16 MHz (2 分周)
タイムベースタイマモード , 外部クロック動作時



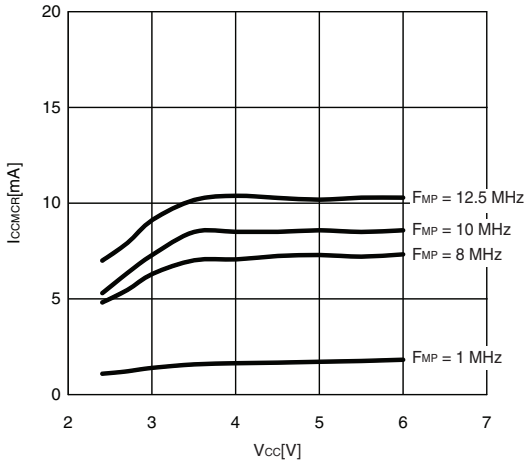
I_{CCH} – V_{CC}
T_A = +25°C, F_{MPL} = (停止)
サブストップモード , 外部クロック停止時



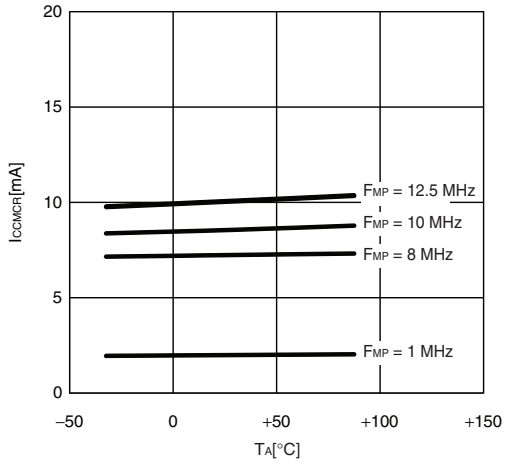
I_{CCH} – T_A
V_{CC} = 5.5 V, F_{MPL} = (停止)
サブストップモード , 外部クロック停止時



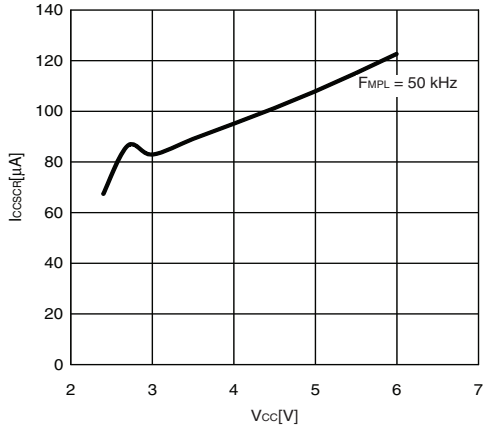
I_{CCMCR} – V_{CC}
T_A = +25°C, F_{MP} = 1, 8, 10, 12.5 MHz (分周なし)
メインクロックモード , メイン CR クロック動作時



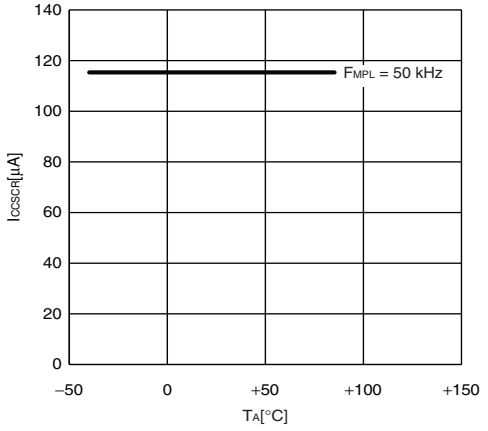
I_{CCMCR} – T_A
V_{CC} = 5.5 V, F_{MP} = 1, 8, 10, 12.5 MHz (分周なし)
メインクロックモード , メイン CR クロック動作時



I_{CCSCR} – V_{CC}
T_A = +25°C, F_{MPL} = 50 kHz (2 分周)
サブクロックモード , サブ CR クロック動作時

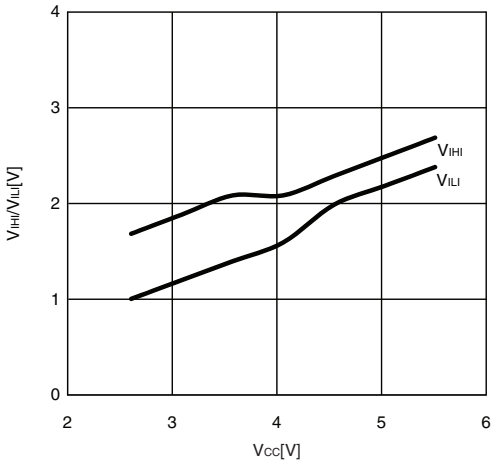


I_{CCSCR} – T_A
V_{CC} = 5.5 V, F_{MPL} = 50 kHz (2 分周)
サブクロックモード , サブ CR クロック動作時

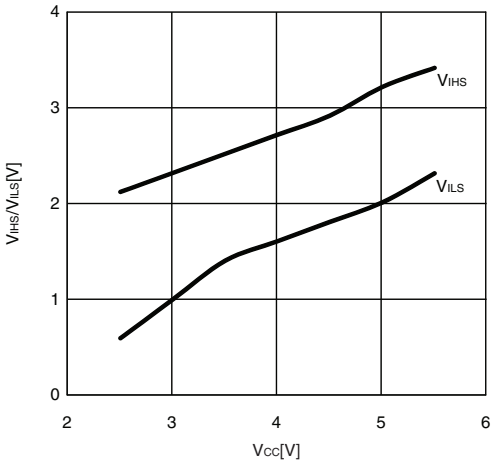


■ 入力電圧特性

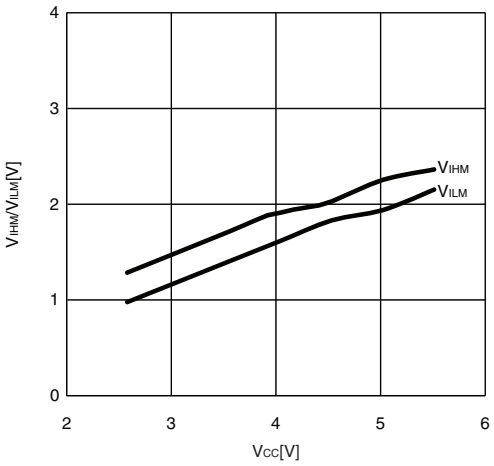
$V_{IHI} - V_{CC}$ および $V_{ILI} - V_{CC}$
$T_A = +25°C$



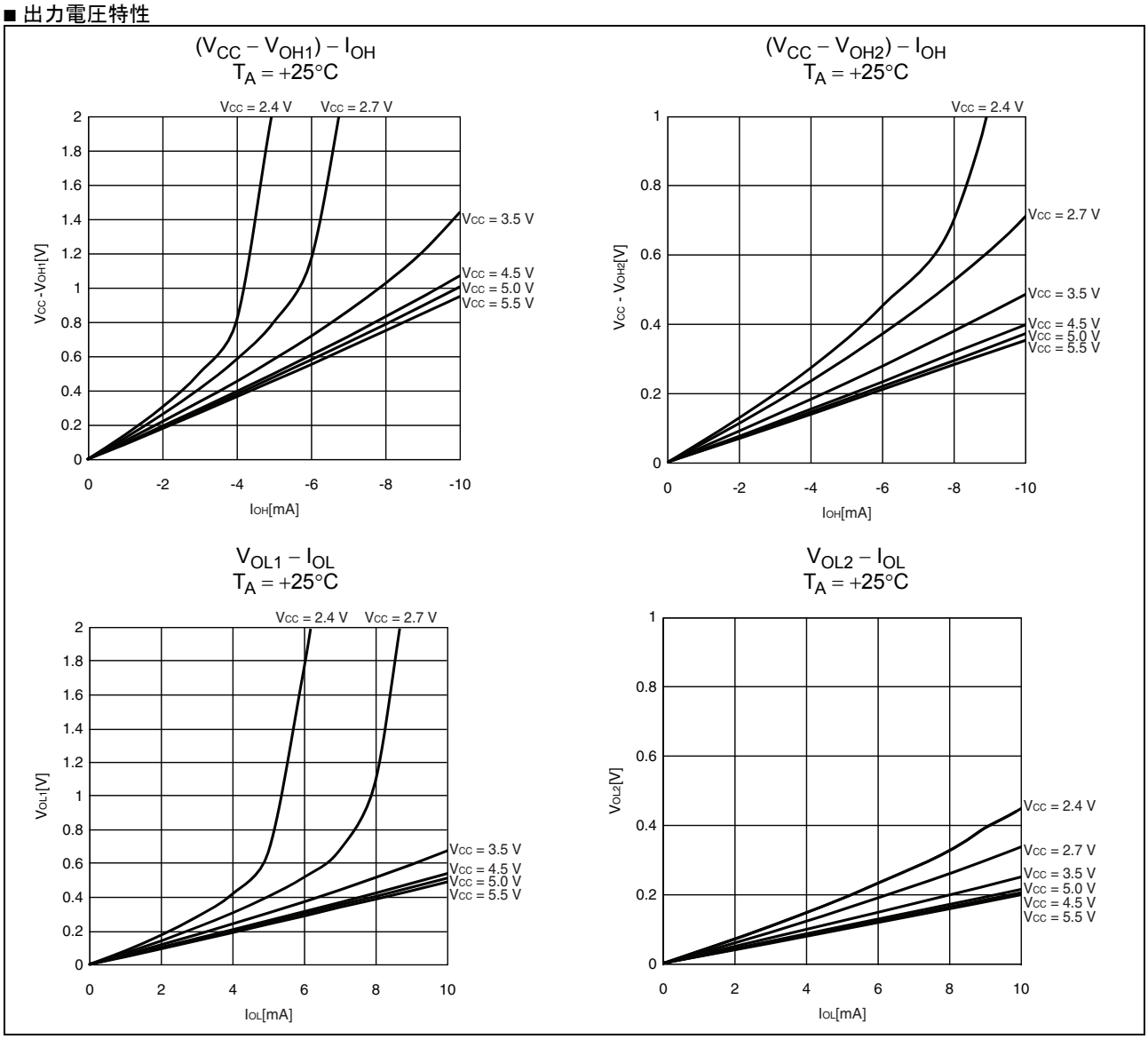
$V_{IHS} - V_{CC}$ および $V_{ILS} - V_{CC}$
$T_A = +25°C$



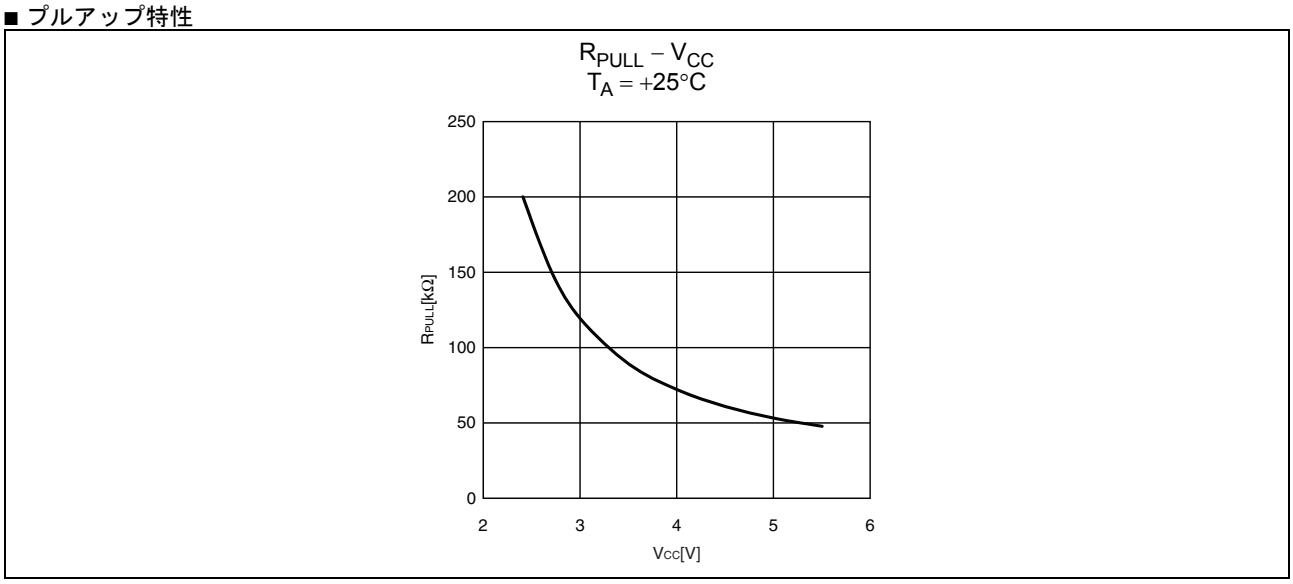
$V_{IHM} - V_{CC}$ および $V_{ILM} - V_{CC}$
$T_A = +25°C$



■ 出力電圧特性


(VCC – VOH1) – IOH
TA = +25°C
VCC = 2.4 V
VCC = 2.7 V
VCC = 3.5 V
VCC = 4.5 V
VCC = 5.0 V
VCC = 5.5 V
VCC - VOH1[V]
IOH[mA]
(VCC – VOH2) – IOH
TA = +25°C
VCC - VOH2[V]
VOL1 – IOL
TA = +25°C
VOL1[V]
IOL[mA]
VOL2 – IOL
TA = +25°C
VOL2[V]

■ プルアップ特性



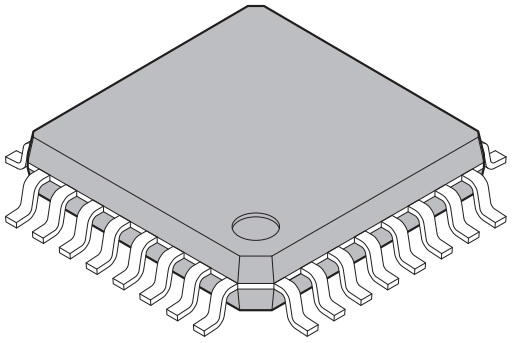
15. マスクオプション

No.	品種名	MB95F332H MB95F333H MB95F334H	MB95F332K MB95F333K MB95F334K
	選択方法	設定不可	
1	低電圧検出リセット	低電圧検出リセットなし	低電圧検出リセットあり
2	リセット	専用のリセット入力あり	専用のリセット入力なし

16. オーダ型格

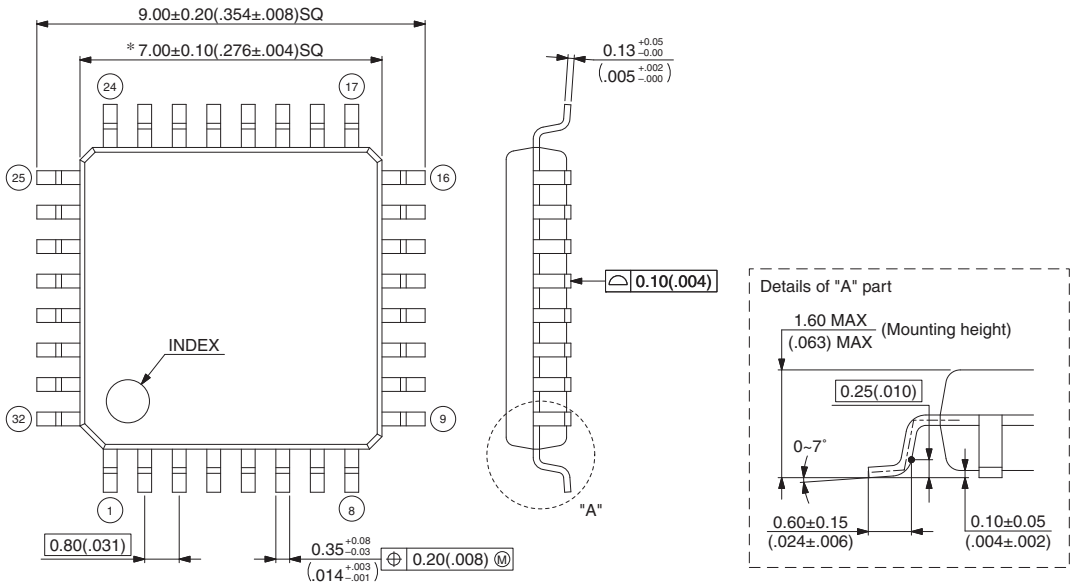
型格	パッケージ
MB95F332HPMC-G-SNE2 MB95F332KPMC-G-SNE2 MB95F333HPMC-G-SNE2 MB95F333KPMC-G-SNE2 MB95F334HPMC-G-SNE2 MB95F334KPMC-G-SNE2	プラスチック・LQFP, 32 ピン (FPT-32P-M30)
MB95F332HP-G-SH-SNE2 MB95F332KP-G-SH-SNE2 MB95F333HP-G-SH-SNE2 MB95F333KP-G-SH-SNE2 MB95F334HP-G-SH-SNE2 MB95F334KP-G-SH-SNE2	プラスチック・SH-DIP, 32 ピン (DIP-32P-M06)
MB95F332HWQN-G-SNE1 MB95F332KWQN-G-SNE1 MB95F333HWQN-G-SNE1 MB95F333KWQN-G-SNE1 MB95F334HWQN-G-SNE1 MB95F334KWQN-G-SNE1	プラスチック・QFN, 32 ピン (LCC-32P-M19)

17. パッケージ・外形寸法図

プラスチック・LQFP, 32 ピン		
	リードピッチ	0.80 mm
	パッケージ幅× パッケージ長さ	7.00 mm × 7.00 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.60 mm MAX
(FPT-32P-M30)		

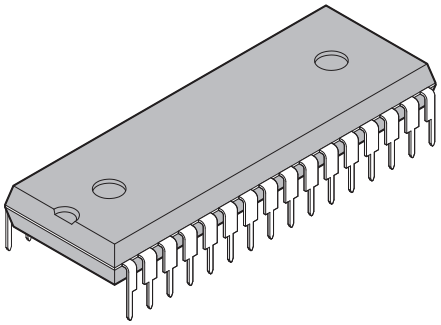
プラスチック・LQFP, 32 ピン
（FPT-32P-M30）

注 1）＊印寸法はレジン残りを含まず。
注 2）端子幅および端子厚さはメッキ厚を含む。
注 3）端子幅はタイバ切断残りを含まず。



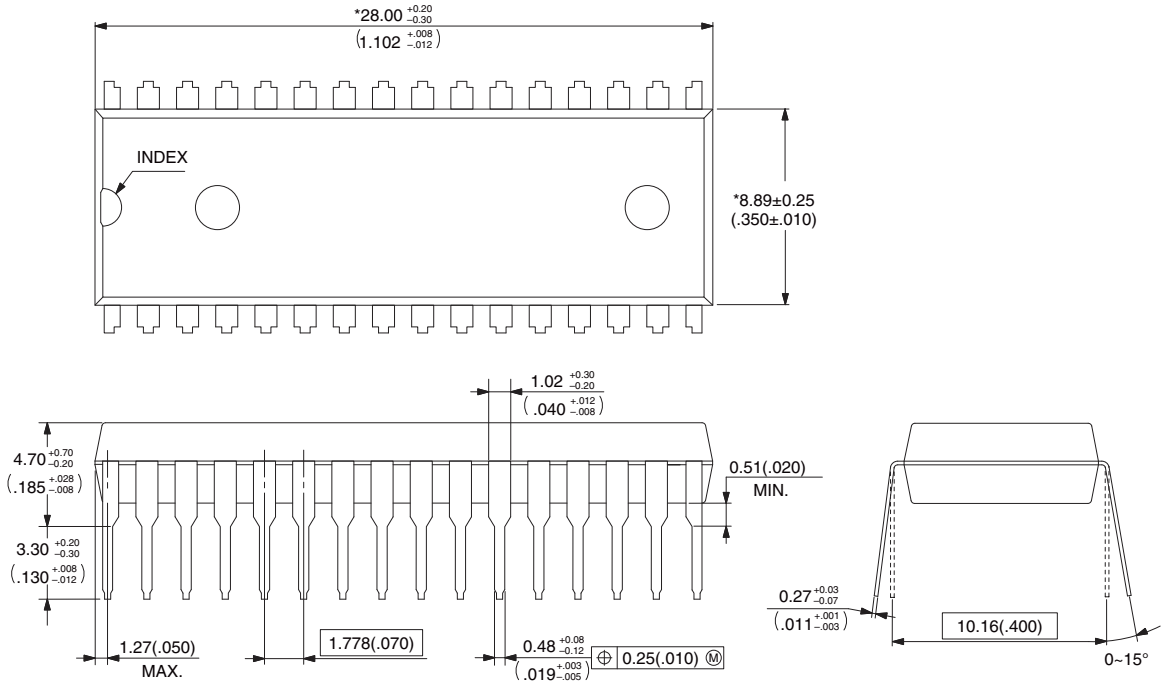
© 2009 FUJITSU MICROELECTRONICS LIMITED F32051S-c-1-1

単位：mm （inches）
注意：括弧内の値は参考値です。

プラスチック・SH-DIP, 32 ピン		
	リードピッチ	1.778mm
	ロースペース	10.16mm
	封止方法	プラスチックモールド
(DIP-32P-M06)		

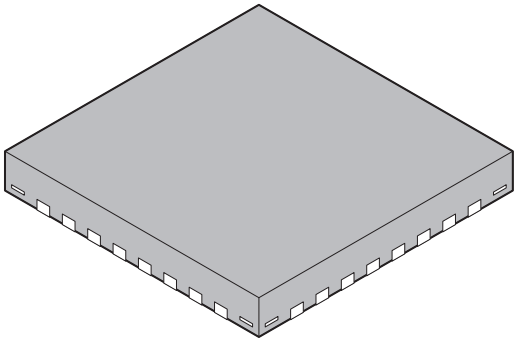
プラスチック・SH-DIP, 32 ピン
（DIP-32P-M06）

注 1）＊印寸法はレジン残りを含まず。
注 2）端子幅および端子厚さはメッキ厚を含む。

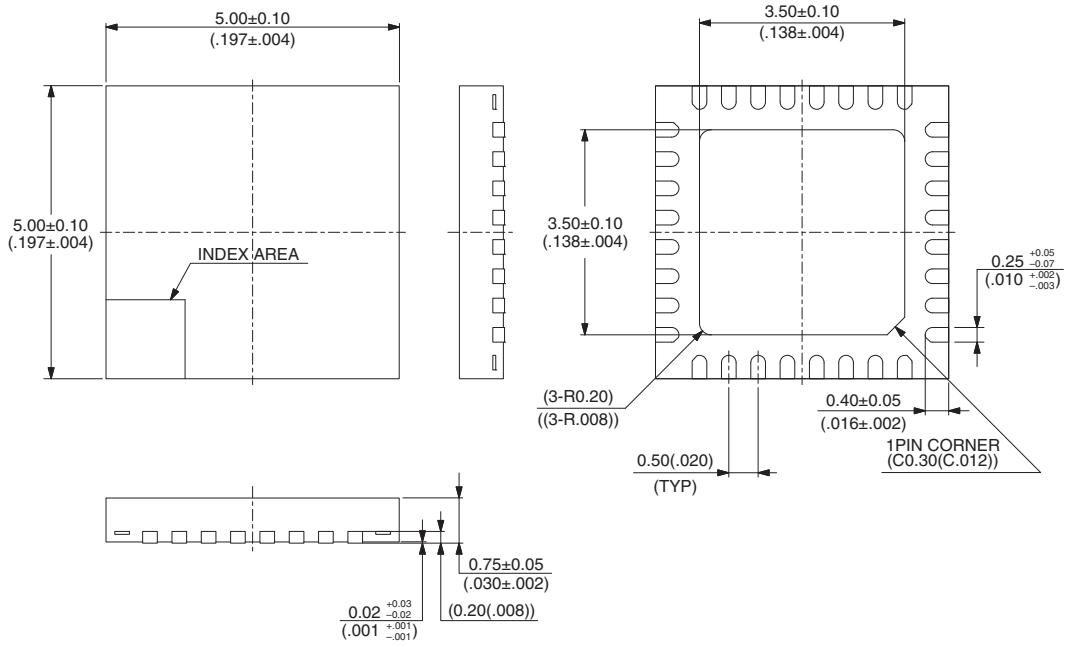


© 2003-2008 FUJITSU MICROELECTRONICS LIMITED D32018S-c-1-2

単位：mm （inches）
注意：括弧内の値は参考値です。

プラスチック・QFN, 32 ピン		
	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	5.00 mm × 5.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max.
	質量	0.06 g
(LCC-32P-M19)		

プラスチック・QFN, 32 ピン
（LCC-32P-M19）



© 2009 FUJITSU MICROELECTRONICS LIMITED C32071S-c-1-1

単位：mm （inches）
注意：括弧内の値は参考値です。

改訂履歴

文書名：MB95F332H/F332K/F333H/F333K/F334H/F334K F^{2}MC-8FX MB95330H Series 8-bit Microcontrollers 文書番号：002-07521				
版	ECN	変更者	発行日	変更内容
**	-	YSKA	04/12/2010	サイプレスとしてドキュメントコード 002-07521 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5542368	YSKA	12/05/2016	これは英語版の 002-07522 Rev. *A を翻訳した日本語版です。
*B	5861187	YSAT	08/23/2017	Cypress の新ロゴを適用。

セールス , ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス／ RF	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング | Components

テクニカル サポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

© Cypress Semiconductor Corporation, 2010-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下、「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ、Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。