本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

New 8FX
MB95710L/770L シリーズ
MB95710M/770M シリーズ

8 ビット・マイクロコントローラ
ハードウェアマニュアル

Hardware Manual

Publication Number MB95F718M_MN702-00014 **Revision** 3.0 **Issue Date** April 4, 2014

New 8FX
MB95710L/770L シリーズ
MB95710M/770M シリーズ

8 ビット・マイクロコントローラ
ハードウェアマニュアル

Hardware Manual

Spansion のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中 , またはご採用いただいたお客様に有益な情報を公開しています。

http://www.spansion.com/JP/Support/microcontrollers/

はじめに

■ 本書の目的と対象読者

Spansion 製品につきまして , 平素より格別のご愛読を賜り厚くお礼申し上げます。

MB95710L/770L シリーズは , ASIC (Application Specific IC) 対応が可能なオリジナル 8 ビット・ワンチップ・マイクロコントローラである New 8FX ファミリの汎用品の 1 つとして開発された製品です。MB95710L/770L シリーズは , 携帯機器をはじめ民生機器から産業機器まで , 幅広い用途でご利用いただけます。

本書は , 実際に MB95710L/770L シリーズマイクロコントローラを使って製品を設計する技術者を対象に , その機能や動作について記載していますので , ぜひご一読ください。

なお , 各種命令の詳細については ,「F^2MC-8FX プログラミングマニュアル」を参照してください。

本マニュアルは周辺機能の構成および動作を説明するものであり , 各デバイスの使用を説明するものではありません。

デバイス仕様の詳細については , それぞれのデータシートを参照してください。

■ 商標

F^2MC は , Spansion LLC の登録商標です。

本書に記載されている社名および製品名などの固有名詞は , 各社の商標または登録商標です。

■ サンプルプログラム

Spansion Inc.は, New 8FX ファミリマイクロコントローラの周辺機器を動作させるためのサンプルプログラムを無償で提供いたします。サンプルプログラムを使用し , Spansion マイクロコントローラの動作仕様や使用方法の確認にお役立てください。

サンプルプログラムは, 予告なく変更される場合がありますのでご注意ください。これらのソフトウェアは, 標準的な動作や使い方を示したものですので, お客様のシステム上でご使用の際には十分に評価した上でご使用ください。Spansion Inc. は , これらサンプルプログラムの使用に起因する損害などについては一切責任を負いません。

本書の使い方

■ 機能の探し方

本書では次の方法で , 使いたい機能の説明を探すことができます。

- 目次から探す
  本書の内容を記載順に示します。
- レジスタから探す
  本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときはデータシートの「■ I/O マップ」を参照してください。

■ 章について

本書では , 基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	16 ビット単位によるアクセスを指します。
バイト	8 ビット単位によるアクセスを指します。

■ 表記について

本書の「■ レジスタ構成」のレジスタ構成表では以下のように表記しています。

- bit: ビット番号
- Field: ビットフィールド名
- 属性 : 各ビットのリード , ライト属性
  - R: リードオンリ
  - W: ライトオンリ
  - R/W: リード ・ ライト可能
  - —: 未定義
- 初期値 : リセット直後のレジスタ初期値
  - 0: 初期値 "0"
  - 1: 初期値 "1"
  - X: 初期値不定

本書では , 複数のビットを以下のように表記しています。
例 1: bit7 から bit0 の場合は bit7:0
例 2: SCM2 から SCM0 の場合は SCM[2:0]

本書では , アドレスなどの数値を以下のように表記しています。

- 16 進数 : プレフィックス (接頭辞) として "0x" を付けて表記しています (例 : 0xFFFF)。
- 2 進数 : プレフィックス (接頭辞) として "0b" を付けて表記しています (例 : 0b1111)。
- 10 進数 : 数値だけで表記しています (例 : 1234)。

本書では , 端子名とレジスタ略称にある "n" はチャネル番号を示します。

目次

第 1 章　メモリアクセスモード 1
1.1　メモリアクセスモード 2

第 2 章　CPU 3
2.1　専用レジスタ 4
2.1.1　レジスタバンクポインタ (RP) 7
2.1.2　ダイレクトバンクポインタ (DP) 8
2.1.3　コンディションコードレジスタ (CCR) 10
2.2　汎用レジスタ 12
2.3　16 ビットデータのメモリ上の配置 14

第 3 章　クロック制御部 15
3.1　概要 16
3.2　発振安定待ち時間 24
3.3　レジスタ 27
3.3.1　システムクロック制御レジスタ (SYCC) 28
3.3.2　PLL 制御レジスタ (PLLC) 30
3.3.3　発振安定待ち時間設定レジスタ (WATR) 32
3.3.4　スタンバイ制御レジスタ (STBC) 34
3.3.5　システムクロック制御レジスタ 2 (SYCC2) 36
3.4　クロックモード 39
3.5　低消費電力モード (スタンバイモード) の動作 45
3.5.1　スタンバイモード使用上の注意 46
3.5.2　スリープモード 49
3.5.3　ストップモード 50
3.5.4　タイムベースタイマモード 52
3.5.5　時計モード 54
3.6　クロック発振回路 55
3.7　プリスケーラの概要 56
3.8　プリスケーラの構成 57
3.9　プリスケーラの動作 58
3.10　プリスケーラ使用上の注意 60

第 4 章　リセット 61
4.1　リセット動作 62
4.2　レジスタ 66
4.2.1　リセット要因レジスタ (RSRR) 67
4.3　使用上の注意 70

第 5 章　割込み 71
5.1　割込み 72
5.1.1　割込みレベル設定レジスタ (ILR0 ～ ILR5) 73
5.1.2　割込み動作時の処理 75
5.1.3　多重割込み 78

5.1.4 割込み処理時間 79
5.1.5 割込み処理時のスタック動作 80
5.1.6 割込み処理のスタック領域 81

第 6 章 I/O ポート 83
6.1 概要 84
6.2 構成と動作 85

第 7 章 タイムベースタイマ 89
7.1 概要 90
7.2 構成 91
7.3 割込み 93
7.4 動作説明と設定手順例 94
7.5 レジスタ 98
7.5.1 タイムベースタイマ制御レジスタ (TBTC) 99
7.6 使用上の注意 101

第 8 章 ハードウェア / ソフトウェアウォッチドッグタイマ 103
8.1 概要 104
8.2 構成 106
8.3 動作説明と設定手順例 108
8.4 レジスタ 111
8.4.1 ウォッチドッグタイマ制御レジスタ (WDTC) 112
8.5 使用上の注意 114

第 9 章 時計プリスケーラ 117
9.1 概要 118
9.2 構成 119
9.3 割込み 121
9.4 動作説明と設定手順例 122
9.5 レジスタ 125
9.5.1 時計プリスケーラ制御レジスタ (WPCR) 126
9.6 使用上の注意 128

第 10 章 時計カウンタ 129
10.1 概要 130
10.2 構成 131
10.3 割込み 133
10.4 動作説明と設定手順例 134
10.5 レジスタ 136
10.5.1 時計カウンタデータレジスタ (WCDR) 137
10.5.2 時計カウンタ制御レジスタ (WCSR) 138
10.6 使用上の注意 139

第 11 章 ワイルドレジスタ機能 141
11.1 概要 142
11.2 構成 143
11.3 動作説明 145
11.4 レジスタ 146

11.4.1 ワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2) 147
11.4.2 ワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2) 148
11.4.3 ワイルドレジスタアドレス比較許可レジスタ (WREN) 149
11.4.4 ワイルドレジスタデータテスト設定レジスタ (WROR) 150
11.5 一般的なハードウェア接続例 151

第 12 章 8/16 ビット複合タイマ 153
12.1 概要 154
12.2 構成 156
12.3 チャネル 159
12.4 端子 160
12.5 割込み 162
12.6 インターバルタイマ機能 (ワンショットモード) の動作説明 163
12.7 インターバルタイマ機能 (連続モード) の動作説明 165
12.8 インターバルタイマ機能 (フリーランモード) の動作説明 167
12.9 PWM タイマ機能 (周期固定モード) の動作説明 169
12.10 PWM タイマ機能 (周期可変モード) の動作説明 171
12.11 PWC タイマ機能の動作説明 173
12.12 インプットキャプチャ機能の動作説明 175
12.13 ノイズフィルタの動作説明 177
12.14 レジスタ 178
12.14.1 8/16 ビット複合タイマステータス制御レジスタ 0 (Tn0CR0/Tn1CR0) 179
12.14.2 8/16 ビット複合タイマステータス制御レジスタ 1 (Tn0CR1/Tn1CR1) 182
12.14.3 8/16 ビット複合タイマタイマモード制御レジスタ (TMCRn) 186
12.14.4 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) 189
12.15 使用上の注意 192

第 13 章 外部割込み回路 195
13.1 概要 196
13.2 構成 197
13.3 チャネル 198
13.4 端子 199
13.5 割込み 200
13.6 動作説明と設定手順例 201
13.7 レジスタ 203
13.7.1 外部割込み制御レジスタ (EIC) 204
13.8 使用上の注意 207

第 14 章 割込み端子選択回路 209
14.1 概要 210
14.2 構成 211
14.3 端子 213
14.4 動作 214
14.5 レジスタ 215
14.5.1 割込み端子選択回路制御レジスタ (WICR) 216
14.6 使用上の注意 218

第 15 章 8/12 ビット A/D コンバータ 219
15.1 概要 220

15.2 構成 221
15.3 端子 224
15.4 割込み 225
15.5 8/12 ビット A/D コンバータの動作許可 226
15.6 動作説明と設定手順例 227
15.7 レジスタ 231
15.7.1 8/12 ビット A/D コンバータ制御レジスタ 1 (ADC1) 232
15.7.2 8/12 ビット A/D コンバータ制御レジスタ 2 (ADC2) 234
15.7.3 8/12 ビット A/D コンバータ制御レジスタ 3 (ADC3) 236
15.7.4 8/12 ビット A/D コンバータデータレジスタ (上位 / 下位) (ADDH/ADDL) 238
15.8 使用上の注意 239

第 16 章 低電圧検出回路 241
16.1 概要 242
16.2 構成 243
16.3 端子 244
16.4 割込み 245
16.5 動作説明 246
16.6 レジスタ 249
16.6.1 LVD 制御レジスタ (LVDC) 250

第 17 章 クロックスーパバイザカウンタ 253
17.1 概要 254
17.2 構成 255
17.3 動作説明 257
17.4 レジスタ 262
17.4.1 クロック監視データレジスタ (CMDR) 263
17.4.2 クロック監視制御レジスタ (CMCR) 264
17.5 使用上の注意 266

第 18 章 8/16 ビット PPG 269
18.1 概要 270
18.2 構成 271
18.3 チャネル 273
18.4 端子 274
18.5 割込み 275
18.6 動作説明と設定手順例 276
18.6.1 8 ビット PPG 独立モード 277
18.6.2 8 ビットプリスケーラ + 8 ビット PPG モード 279
18.6.3 16 ビット PPG モード 282
18.7 レジスタ 285
18.7.1 8/16 ビット PPG タイマ n1 制御レジスタ (PCn1) 286
18.7.2 8/16 ビット PPG タイマ n0 制御レジスタ (PCn0) 288
18.7.3 8/16 ビット PPG タイマ n1/n0 周期設定バッファレジスタ (PPSn1/PPSn0) 290
18.7.4 8/16 ビット PPG タイマ n1/n0 デューティ設定バッファレジスタ (PDSn1/PDSn0) 291
18.7.5 8/16 ビット PPG 起動レジスタ (PPGS) 292
18.7.6 8/16 ビット PPG 出力反転レジスタ (REVC) 294
18.8 使用上の注意 296

第 19 章　16 ビットリロードタイマ 297
19.1　概要 298
19.2　構成 300
19.3　チャネル 302
19.4　端子 303
19.5　割込み 304
19.6　動作説明と設定手順例 305
19.6.1　内部クロックモード 307
19.6.2　イベントカウントモード 311
19.7　レジスタ 313
19.7.1　16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n (TMCSRHn) 314
19.7.2　16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) 316
19.7.3　16 ビットリロードタイマタイマレジスタ (上位 / 下位) ch. n (TMRHn/TMRLn) 319
19.7.4　16 ビットリロードタイマリロードレジスタ (上位 / 下位) ch. n (TMRLRHn/TMRLRLn) 320
19.8　使用上の注意 321

第 20 章　イベントカウンタ 323
20.1　概要 324
20.2　構成 325
20.3　イベントカウンタ動作モードの動作説明 326
20.4　設定手順例 329
20.5　周波数の測定範囲および測定精度 332
20.6　レジスタ 333
20.6.1　イベントカウンタ制御レジスタ (EVCR) 334
20.7　使用上の注意 336

第 21 章　UART/SIO 337
21.1　概要 338
21.2　構成 339
21.3　チャネル 341
21.4　端子 342
21.5　割込み 343
21.6　動作説明と設定手順例 344
21.6.1　動作モード 0 の動作説明 345
21.6.2　動作モード 1 の動作説明 352
21.7　レジスタ 358
21.7.1　UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) 359
21.7.2　UART/SIO シリアルモード制御レジスタ 2 ch. n (SMC2n) 361
21.7.3　UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn) 363
21.7.4　UART/SIO シリアル入力データレジスタ ch. n (RDRn) 365
21.7.5　UART/SIO シリアル出力データレジスタ ch. n (TDRn) 366

第 22 章　UART/SIO 専用 ボーレートジェネレータ 367
22.1　概要 368
22.2　チャネル 369
22.3　動作説明 370
22.4　レジスタ 371

22.4.1 UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n (PSSRn) 372
22.4.2 UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn) 373

第 23 章 I²C バスインタフェース 375
23.1 概要 376
23.2 構成 377
23.3 チャネル 380
23.4 端子 381
23.5 割込み 382
23.6 動作説明と設定手順例 384
23.6.1 I²C バスインタフェース 385
23.6.2 MCU スタンバイモードに対するウェイクアップ機能 393
23.7 レジスタ 395
23.7.1 I²C バス制御レジスタ 0 ch. n (IBCR0n) 396
23.7.2 I²C バス制御レジスタ 1 ch. n (IBCR1n) 400
23.7.3 I²C バスステータスレジスタ ch. n (IBSRn) 404
23.7.4 I²C データレジスタ ch. n (IDDRn) 407
23.7.5 I²C アドレスレジスタ ch. n (IAARn) 408
23.7.6 I²C クロック制御レジスタ ch. n (ICCRn) 409
23.8 使用上の注意 411

第 24 章 LCD コントローラ (MB95710L シリーズ) 413
24.1 概要 414
24.2 構成 415
24.2.1 LCD コントローラの内部分割抵抗 418
24.2.2 LCD コントローラの外部分割抵抗 422
24.3 端子 424
24.4 ディスプレイ RAM 425
24.5 割込み 427
24.6 動作説明 428
24.6.1 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/2 バイアス , 1/2 デューティ) 433
24.6.2 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/3 デューティ) 434
24.6.3 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/4 デューティ) 436
24.6.4 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/8 デューティ) 438
24.6.5 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/4 バイアス , 1/8 デューティ) 440
24.7 レジスタ 442
24.7.1 LCDC 制御レジスタ 1 (LCDCC1) 443
24.7.2 LCDC 制御レジスタ 2 (LCDCC2) 446
24.7.3 LCDC 許可レジスタ 1 (LCDCE1) 448
24.7.4 LCDC 許可レジスタ 2 (LCDCE2) 450
24.7.5 LCDC 許可レジスタ 3 (LCDCE3) 452
24.7.6 LCDC 許可レジスタ 4 (LCDCE4) 454
24.7.7 LCDC 許可レジスタ 5 (LCDCE5) 456
24.7.8 LCDC 許可レジスタ 6 (LCDCE6) 458

24.7.9 LCDC 許可レジスタ 7 (LCDCE7) 460
24.7.10 LCDC ブリンキング設定レジスタ 1 (LCDCB1) 462
24.7.11 LCDC ブリンキング設定レジスタ 2 (LCDCB2) 465
24.8 使用上の注意 468

第 25 章 LCD コントローラ (MB95770L シリーズ) 469
25.1 概要 470
25.2 構成 471
25.2.1 LCD コントローラの内部分割抵抗 474
25.2.2 LCD コントローラの外部分割抵抗 478
25.3 端子 480
25.4 ディスプレイ RAM 481
25.5 割込み 483
25.6 動作説明 484
25.6.1 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/2 バイアス , 1/2 デューティ) 489
25.6.2 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/3 デューティ) 490
25.6.3 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/4 デューティ) 492
25.6.4 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/8 デューティ) 494
25.6.5 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/4 バイアス , 1/8 デューティ) 496
25.7 レジスタ 498
25.7.1 LCDC 制御レジスタ 1 (LCDCC1) 499
25.7.2 LCDC 制御レジスタ 2 (LCDCC2) 502
25.7.3 LCDC 許可レジスタ 1 (LCDCE1) 504
25.7.4 LCDC 許可レジスタ 2 (LCDCE2) 506
25.7.5 LCDC 許可レジスタ 3 (LCDCE3) 508
25.7.6 LCDC 許可レジスタ 4 (LCDCE4) 510
25.7.7 LCDC 許可レジスタ 5 (LCDCE5) 512
25.7.8 LCDC 許可レジスタ 6 (LCDCE6) 514
25.7.9 LCDC ブリンキング設定レジスタ 1 (LCDCB1) 516
25.7.10 LCDC ブリンキング設定レジスタ 2 (LCDCB2) 519
25.8 使用上の注意 522

第 26 章 シリアル書込み接続例 523
26.1 シリアル書込み接続の基本構成 524
26.2 シリアル書込み接続例 525

第 27 章 デュアルオペレーションフラッシュメモリ 527
27.1 概要 528
27.2 セクタ / バンク構成 530
27.3 フラッシュメモリ自動アルゴリズムの起動方法 531
27.4 自動アルゴリズム実行状態の確認 533
27.4.1 データポーリングフラグ (DQ7) 535
27.4.2 トグルビットフラグ (DQ6) 537
27.4.3 タイミングリミット超過フラグ (DQ5) 539
27.4.4 セクタ消去タイマフラグ (DQ3) 540

27.4.5 トグルビット 2 フラグ (DQ2) 541
27.5 フラッシュメモリの書込み / 消去 542
27.5.1 フラッシュメモリの読出し / リセット状態への遷移 543
27.5.2 フラッシュメモリへのデータ書込み 544
27.5.3 フラッシュメモリの全データ消去 (チップ消去) 546
27.5.4 フラッシュメモリの特定データ消去 (セクタ消去) 547
27.5.5 フラッシュメモリセクタ消去の一時停止 549
27.5.6 フラッシュメモリセクタ消去の再開 550
27.5.7 アンロックバイパス書込み 551
27.6 動作説明 552
27.7 フラッシュセキュリティ 554
27.8 レジスタ 555
27.8.1 フラッシュメモリステータスレジスタ 2 (FSR2) 556
27.8.2 フラッシュメモリステータスレジスタ (FSR) 559
27.8.3 フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) 562
27.8.4 フラッシュメモリステータスレジスタ 3 (FSR3) 564
27.8.5 フラッシュメモリステータスレジスタ 4 (FSR4) 566
27.9 使用上の注意 574

第 28 章 不揮発性レジスタ (NVR) インタフェース 575
28.1 概要 576
28.2 構成 577
28.3 レジスタ 578
28.3.1 メイン CR クロックトリミングレジスタ (上位) (CRTH) 579
28.3.2 メイン CR クロックトリミングレジスタ (下位) (CRTL) 580
28.3.3 メイン CR クロック温度依存調節レジスタ (CRTDA) 581
28.3.4 ウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) 582
28.4 メイン CR クロックトリミング使用上の注意 583
28.5 使用上の注意 585

第 29 章 コンパレータ 587
29.1 概要 588
29.2 構成 589
29.3 端子 591
29.4 割込み 592
29.5 動作説明と設定手順例 593
29.6 レジスタ 594
29.6.1 コンパレータ制御レジスタ ch. n (CMRn) 595

第 30 章 システム構成コントローラ 597
30.1 概要 598
30.2 レジスタ 599
30.2.1 システム構成レジスタ (SYSC) 600
30.2.2 システム構成レジスタ 2 (SYSC2) 603
30.3 使用上の注意 604

付録 607
付録 A 命令概要 608
A.1 アドレッシング 611

A.2 特殊な命令について 615
A.3 ビット操作命令 (SETB, CLRB) 619
A.4 F2MC-8FX 命令一覧表 620
A.5 命令マップ 624
付録 B 主な変更内容 625

第1章 メモリアクセスモード

メモリアクセスモードについて説明します。

1.1 メモリアクセスモード

1.1 メモリアクセスモード

本シリーズ のメモリアクセスは , シングルチップモードのみです。

■ シングルチップモード

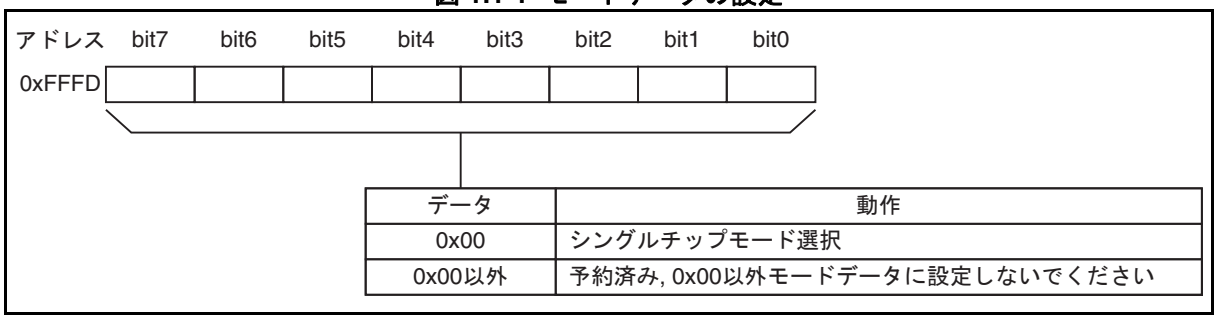
シングルチップモードでは , 内部の RAM およびフラッシュメモリのみが使用され , 外部バスアクセスは行いません。

● モードデータ

モードデータは ,CPU のメモリアクセスモードを決定するデータです。

モードデータアドレスは ,"0xFFFD" に固定されます。フラッシュメモリのモードデータは必ず "0x00" に設定してシングルチップモードを選択してください。

図 1.1-1 モードデータの設定



データ	動作
0x00	シングルチップモード選択
0x00以外	予約済み, 0x00以外モードデータに設定しないでください

リセット解除後に , CPU は最初にモードデータをフェッチします。

CPU はモードデータの次に , リセットベクタをフェッチします。リセットベクタで設定されたアドレスから命令の実行を開始します。

第 2 章 CPU

CPU の機能と動作について説明します。

2.1 専用レジスタ
2.2 汎用レジスタ
2.3 16 ビットデータのメモリ上の配置

2.1 専用レジスタ

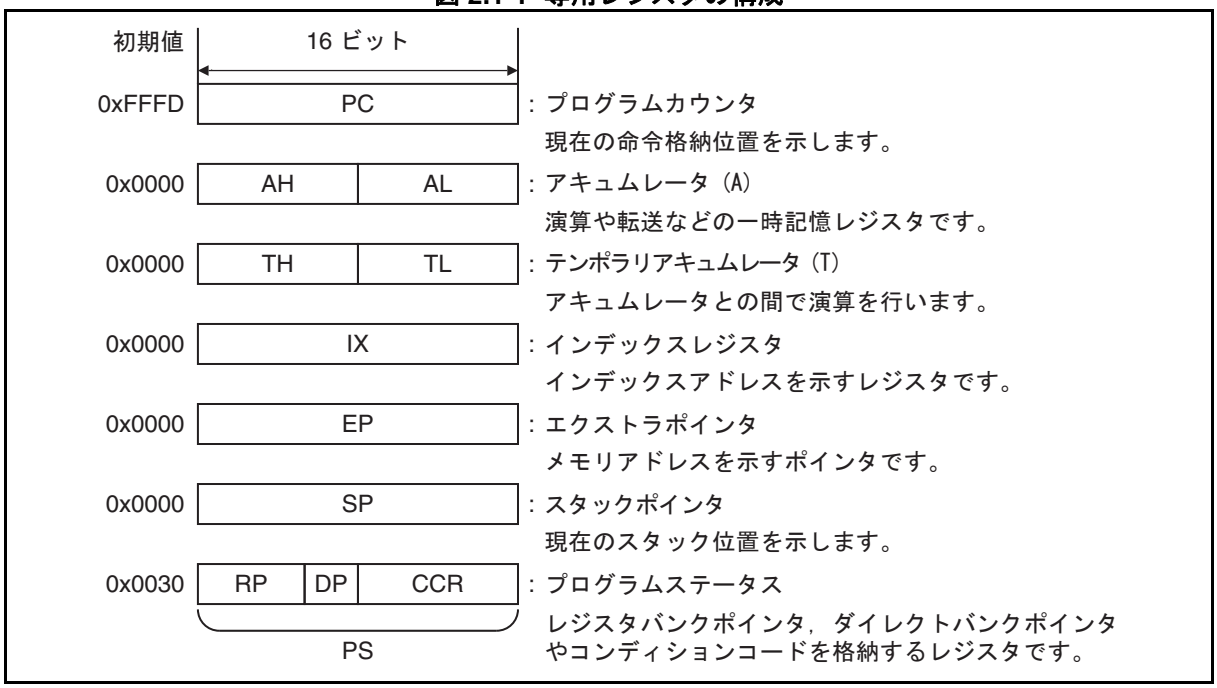
CPU には , プログラムカウンタ (PC), 2 つの演算用レジスタ (A, T), 3 つのアドレスポインタ (IX, EP, SP) およびプログラムステータス (PS) の専用レジスタがあります。各レジスタは , 16 ビット長です。PS レジスタは , レジスタバンクポインタ (RP), ダイレクトバンクポインタ (DP) およびコンディションコードレジスタ (CCR) から構成されます。

■ 専用レジスタの構成

CPU 内の専用レジスタは , 7 つの 16 ビットレジスタから構成されます。アキュムレータ (A) およびテンポラリアキュムレータ (T) については , 下位 8 ビットのみの使用もできます。

図 2.1-1 に , 専用レジスタの構成を示します。

図 2.1-1 専用レジスタの構成



■ 専用レジスタの機能

● プログラムカウンタ (PC)

プログラムカウンタは , CPU により現在実行されている命令のメモリアドレスを示す 16 ビットのカウンタです。プログラムカウンタは , 命令の実行 , 割込み , リセットなどによりその内容が更新されます。リセット直後の初期値は , モードデータの読出しアドレス (0xFFFD) です。

● アキュムレータ (A)

アキュムレータは, 16 ビット長の演算用レジスタで, メモリ上のデータやテンポラリアキュムレータ (T) などほかのレジスタ内のデータと各種の演算および転送処理を行います。アキュムレータ内のデータは , ワード長 (16 ビット)としてもバイト長 (8 ビット)としても扱えます。バイト長データの演算処理や転送処理では , アキュムレータの下位 8 ビット (AL) のみが使用され , 上位 8 ビット (AH) は変化しません。リセット直後の初期値は "0x0000" です。

● テンポラリアキュムレータ (T)

テンポラリアキュムレータは , 16 ビット長の演算用補助レジスタで , アキュムレータ (A) 内のデータと各種の演算を行います。テンポラリアキュムレータ内のデータは , アキュムレータ (A) に対する演算がワード長 (16 ビット) の場合はワード長で , バイト長 (8 ビット) の場合はバイト長で扱われます。バイト長演算が行われると , テンポラリアキュムレータの下位 8 ビット (TL) のみが使用され , 上位 8 ビット (TH) は使われません。

MOV 命令を使用してアキュムレータ (A) にデータを転送する場合 , アキュムレータに格納されていたデータは自動的にテンポラリアキュムレータへと転送されます。バイト長のデータを転送する場合は , テンポラリアキュムレータの上位 8 ビット (TH) は変化しません。リセット後の初期値は "0x0000" です。

● インデックスレジスタ (IX)

インデックスレジスタは , インデックスアドレスを保持するための 16 ビット長のレジスタで , 1 バイト分 , オフセット (-128 ～ +127) して使用します。インデックスアドレスにオフセット値を加えることにより , データアクセスのためのメモリアドレスが生成されます。リセット後の初期値は "0x0000" です。

● エクストラポインタ (EP)

エクストラポインタは , データアクセスのためのメモリアドレスを示す値を保持する 16 ビット長のレジスタです。リセット後の初期値は "0x0000" です。

● スタックポインタ (SP)

スタックポインタは , 割込みやサブルーチン呼び出しが生じたとき , スタックの退避 / 復帰命令によって参照されるアドレスを保持する 16 ビット長のレジスタです。プログラムの実行中, スタックポインタの値は, スタックに退避された最新データのアドレスとなっています。リセット後の初期値は "0x0000" です。

- プログラムステータス (PS)

プログラムステータスは , 16 ビット長の制御レジスタです。上位 8 ビットは , レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) から構成され , 下位 8 ビットは , コンディションコードレジスタ (CCR) となっています。

上位 8 ビットのうち , 上位 5 ビットはレジスタバンクポインタで , 汎用レジスタバンクのアドレスを保持するために使用します。下位 3 ビットはダイレクトバンクポインタで , ダイレクトアドレッシングにより高速にアクセスされる領域を示します。

下位 8 ビットはコンディションコードレジスタ (CCR) で , CPU の状態を表す各種フラグで構成されます。

プログラムステータスにアクセス可能な命令は , MOVW A,PS と MOVW PS,A です。プログラムステータスレジスタ内のレジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) は , ミラーアドレス (0x0078) をアクセスすることでも書込み / 読出しができます。

なお , コンディションコードレジスタ (CCR) は , プログラムステータスレジスタの一部であり , コンディションコードレジスタのみのアクセスはできません。

専用レジスタの詳しい使用方法については ,「F^{2}MC-8FX プログラミングマニュアル」を参照してください。

2.1.1 レジスタバンクポインタ (RP)

プログラムステータス (PS) の bit15 ～ bit11 であるレジスタバンクポインタ (RP) は , 現在使用している汎用レジスタバンクのアドレスを示し , 汎用レジスタアドレッシング時に実アドレスに変換されます。

■ レジスタバンクポインタ (RP) の構成

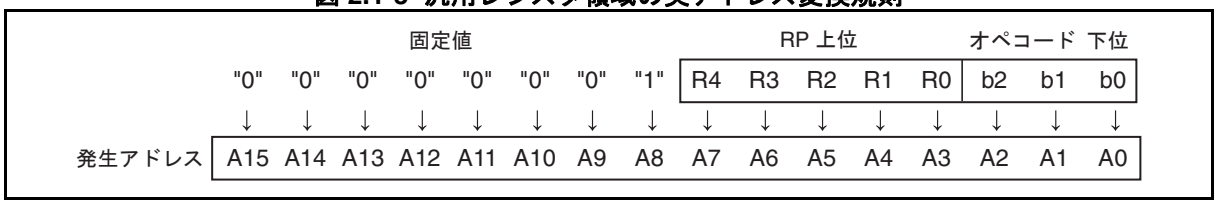
図 2.1-2 に , レジスタバンクポインタの構成を示します。

図 2.1-2 レジスタバンクポインタの構成



レジスタバンクポインタは , 現在使用されているレジスタバンクのアドレスを示します。レジスタバンクポインタの内容は , 図 2.1-3 に示す規則にしたがって , 実アドレスに変換されます。

図 2.1-3 汎用レジスタ領域の実アドレス変換規則



レジスタバンクポインタは , RAM 領域の中で汎用レジスタとして使用するレジスタバンクを指定します。レジスタバンクは全部で 32 個あり , レジスタバンクポインタの上位 5 ビットに 0 ～ 31 の値を設定することにより指定されます。1 つのレジスタバンクには , 8 つの 8 ビット長の汎用レジスタがあり , オペコードの下位 3 ビットで選択されます。

このレジスタバンクポインタによって , "0x0100" ～ "0x01FF"(最大) までを , 汎用レジスタ領域として使用できます。ただし , 一部の製品には , 汎用レジスタ領域として使用可能な領域のサイズに制限があります。レジスタバンクポインタのリセット後の初期値は "0x0000" です。

■ レジスタバンクポインタおよびダイレクトバンクポインタのミラーアドレス

レジスタバンクポインタ (RP) およびダイレクトバンクポインタ (DP) の値は ,「MOVW PS,A」命令によってプログラムステータス (PS) レジスタにアクセスすることにより , 書き込めます。読出しは ,「MOVW A,PS」命令によってプログラムステータス (PS) にアクセスすることにより行えます。また , レジスタバンクポインタのミラーアドレス "0x0078" にアクセスすることで , 両ポインタを直接書込み / 読出しできます。

2.1.2 ダイレクトバンクポインタ (DP)

プログラムステータス (PS) の bit10 ～ bit8 であるダイレクトバンクポインタ (DP) は , ダイレクトアドレッシングでアクセスする領域を指定するためのものです。

■ ダイレクトバンクポインタ (DP) の構成

図 2.1-4 に , ダイレクトバンクポインタの構成を示します。

図 2.1-4 ダイレクトバンクポインタの構成



0x0000 ～ 0x007F および 0x0090 ～ 0x047F の領域は , ダイレクトアドレッシングによりアクセスできます。ダイレクトバンクポインタの値にかかわらず 0x0000 ～ 0x007F へのアクセスはオペランドで指定します。0x0090 ～ 0x047F へのアクセスは , ダイレクトバンクポインタの値とオペランドにより指定します。

表 2.1-1 に , ダイレクトバンクポインタ (DP) とアクセス領域の関係を , 表 2.1-2 にダイレクトアドレッシング命令一覧を示します。

表 2.1-1 ダイレクトバンクポインタとアクセス領域

ダイレクトバンクポインタ (DP[2:0])	オペランドで指定された dir	アクセス領域 *
0bXXX(マッピングに影響しません)	0x0000 ～ 0x007F	0x0000 ～ 0x007F
0b000(初期値)	0x0090 ～ 0x00FF	0x0090 ～ 0x00FF
0b001	0x0080 ～ 0x00FF	0x0100 ～ 0x017F
0b010		0x0180 ～ 0x01FF
0b011		0x0200 ～ 0x027F
0b100		0x0280 ～ 0x02FF
0b101		0x0300 ～ 0x037F
0b110		0x0380 ～ 0x03FF
0b111		0x0400 ～ 0x047F

*: 使用可能なアクセス領域は品種によって異なります。詳細は , 各品種のデータシートを参照してください。

表 2.1-2　ダイレクトアドレッシング命令一覧

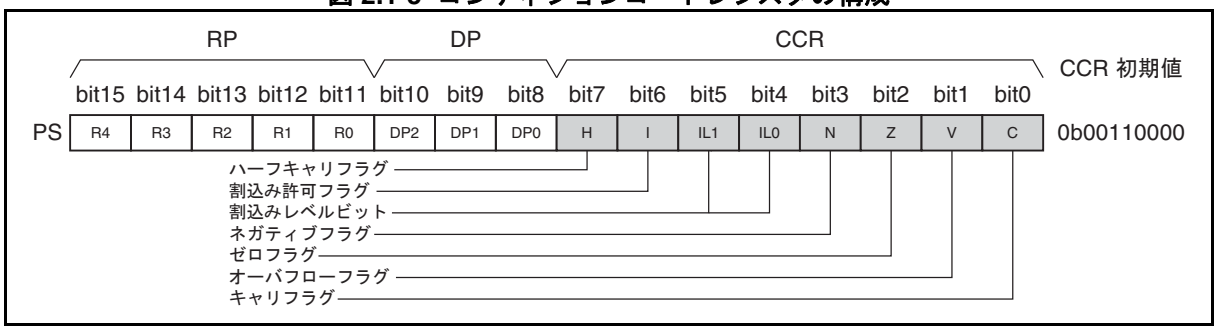
適用可能な命令
CLRB dir:bit
SETB dir:bit
BBC dir:bit,rel
BBS dir:bit,rel
MOV A,dir
CMP A,dir
ADDC A,dir
SUBC A,dir
MOV dir,A
XOR A,dir
AND A,dir
OR A,dir
MOV dir,#imm
CMP dir,#imm
MOVW A,dir
MOVW dir,A

2.1.3 コンディションコードレジスタ (CCR)

プログラムステータス (PS) レジスタの下位 8 ビットであるコンディションコードレジスタ (CCR) は , 演算結果や転送データに関する情報を示すビット (H, N, Z, V, C) と割込み要求の受付けを制御するためのビット (I, IL[1:0]) によって構成されます。

■ コンディションコードレジスタ (CCR) の構成

図 2.1-5 コンディションコードレジスタの構成



コンディションコードレジスタは , プログラムステータス (PS) レジスタの一部であり , そのためコンディションコードレジスタに独立してアクセスすることはできません。

■ 演算結果を示すビット

- ハーフキャリフラグ (H)

  このフラグは , 演算の結果 , bit3 から bit4 への繰上げ (キャリ) や bit4 から bit3 への借越し (ボロー) が発生した場合に "1" になります。発生しなかった場合には , "0" になります。このフラグは10進補正命令用であるため, 加減算以外の演算には使用しないでください。

- ネガティブフラグ (N)

  このフラグは , 演算の結果 , 最上位ビットの値が "1" となった場合に "1" になり , "0" となった場合に "0" になります。

- ゼロフラグ (Z)

  このフラグは, 演算の結果が "0" のときは "1" になり , それ以外のときは "0" になります。

- オーバフローフラグ (V)

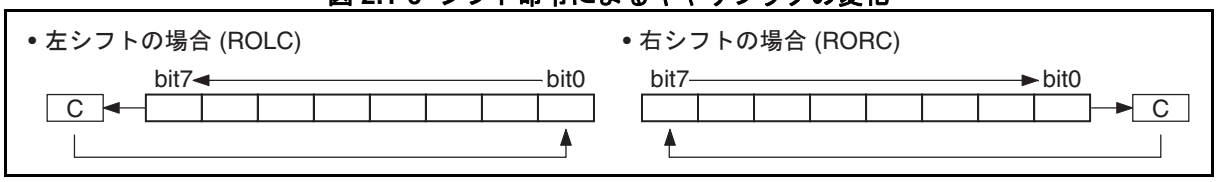
  このフラグは, 演算に用いたオペランドを2の補数で表現される整数とみなしての演算の結果 , オーバフローが発生したかどうかを示します。オーバフローが発生した場合 , オーバフローフラグは "1" に , オーバフローが発生しなかった場合は "0" になります。

● キャリフラグ (C)

このフラグは , 演算の結果 , bit7 からの繰上げ (キャリ) や bit7 への借越し (ボロー) が発生した場合に "1" になります。発生しなかった場合には , "0" になります。また , シフト命令の実行時には , シフトアウトした値がこのフラグに設定されます。

図 2.1-6 に , シフト命令によるキャリフラグの変化を示します。

図 2.1-6 シフト命令によるキャリフラグの変化



■ 割込みの受付けを制御するビット

● 割込み許可フラグ (I)

このフラグが "1" のときは割込みが許可され , CPU は割込みを受け付けます。"0" のときは割込みが禁止され , CPU は割込みを受け付けません。

リセット後の初期値は "0" です。

このフラグは , SETI 命令で "1" になり , CLRI 命令で "0" になります。

● 割込みレベルビット (IL[1:0])

これらのビットは , CPU が現在受け付けている割込みのレベルを示します。

割込みレベルは , 各周辺機能の割込み要求 (IRQ00 ～ IRQ23) に対応する割込みレベル設定レジスタ (ILR0 ～ ILR5) の値と比較されます。

割込み許可フラグが許可 (CCR:I=1) 状態であり , 割込み要求の割込みレベルがこれらのビットが示す値より小さい場合のみ , CPU はその割込み要求を処理します。表 2.1-3 に , 割込みレベルの優先度を示します。リセット後の初期値は "0b11" になります。

表 2.1-3 割込みレベル

IL1	IL0	割込みレベル	優先度
0	0	0	高い
0	1	1	↕
1	0	2	
1	1	3	低い (割込みなし)

CPU が割込み処理中でなければ (メインプログラム実行中), 割込みレベルビット (IL[1:0]) は通常 , "0b11" となっています。

割込みの詳細については ,「5.1 割込み」を参照してください。

2.2 汎用レジスタ

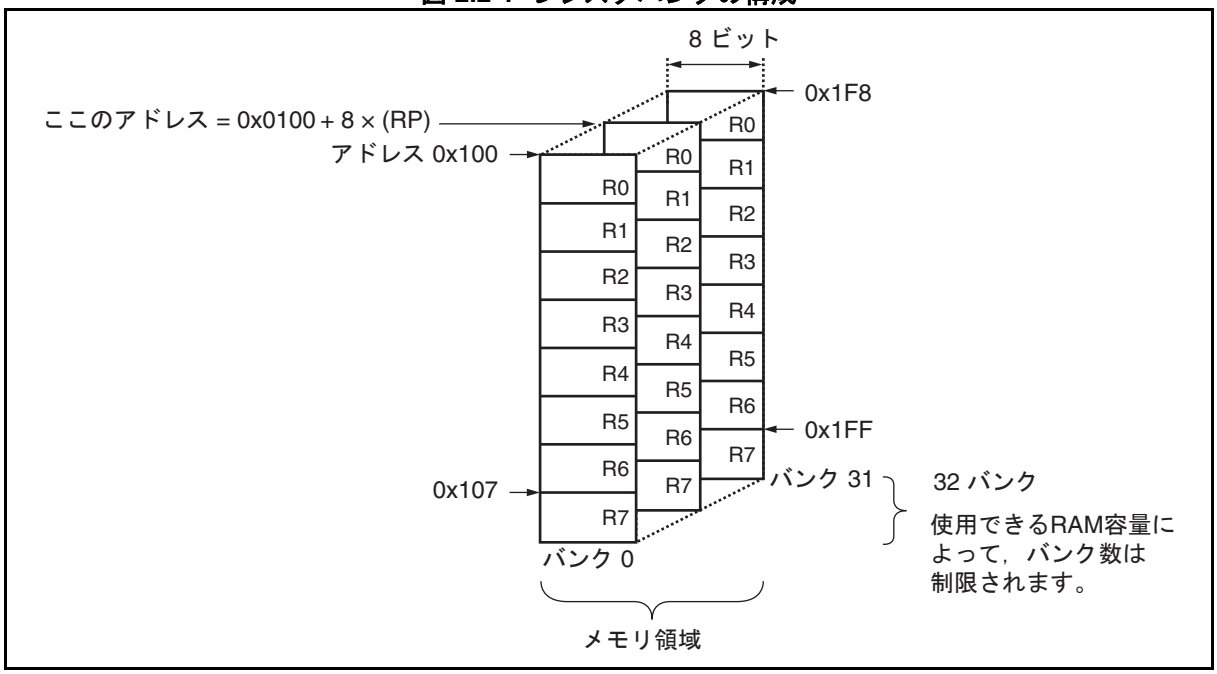
汎用レジスタは , 8 ビット ×8 個を 1 バンクとするメモリブロックです。最大 32 バンクまで使用できます。レジスタバンクの指定には , レジスタバンクポインタ (RP) を使用します。
レジスタバンクは , 割込み処理 , ベクタコール処理およびサブルーチンの呼出しに使用すると有効です。

■ 汎用レジスタの構成

- 汎用レジスタは 8 ビット長のレジスタで , 汎用レジスタ領域 (RAM 上) のレジスタバンク内にあります。
- 1 バンクあたり 8 つのレジスタ (R0 ～ R7) があり , 最大 32 バンクまで使用できます。
- 現在使用しているレジスタバンクはレジスタバンクポインタ (RP) で指定され , オペコードの下位 3 ビットが汎用レジスタ 0(R0) ～汎用レジスタ 7(R7) を示します。

図 2.2-1 に , レジスタバンクの構成を示します。

図 2.2-1 レジスタバンクの構成



各品種で使用可能な汎用レジスタ領域については , 各品種のデータシートの「■ 特定用途の領域」を参照してください。

■ 汎用レジスタの特長

汎用レジスタには , 以下のような特長があります。

- 短い命令によるRAMへの高速アクセス(汎用レジスタアドレッシング)が可能です。
- レジスタバンクのブロックにレジスタをまとめることで , データの保護と , 機能によるレジスタの分類が容易になります。

個々の割込みサービスルーチンやベクタコール (CALLV #0 ～ #7) 処理ルーチンに対して , 専用の汎用レジスタバンクを割り当てることができます。例えば , 「2 番目の割込みには必ず 4 番目のレジスタバンクを割り当てる」という使い方ができます。

割込みサービスルーチンの先頭で専用レジスタバンクを指定するだけで , 割込み前に汎用レジスタに格納されていたデータを , そのレジスタバンクに保存できます。これによって , 汎用レジスタのデータをスタックに退避する必要がなくなり , CPUは高速に割込みを受け付けることができるようになります。

＜注意事項＞

レジスタバンクを指定するためにレジスタバンクポインタ (RP) を変更するときには , コンディションコードレジスタの割込みレベルビット (CCR:IL[1:0]) の値が変更されないようにするために , 割込みサービスルーチンのプログラムに , 以下の処理のいずれかを入れてください。

- RP の値を書き込む前に , 割込みレベルビットを読み出し , その値を保存する。
- RP のミラーアドレス "0x0078" に新しい値を直接書き込んでください。
- RAMサイズが256バイトである製品では , 汎用レジスタとして使用可能な領域は"0x0100" ～ "0x018F" であり , RAM サイズが 512 バイト以上である製品の半分となっています。したがって C コンパイラなどのプログラム開発ツールを用いて汎用レジ スタ領域を設定する際には , 汎用レジスタとして使用する領域がインストールされた RAM のサイズを超えていないことを確認してください。

2.3 16 ビットデータのメモリ上の配置

16 ビットデータのメモリ上の格納状態について説明します。

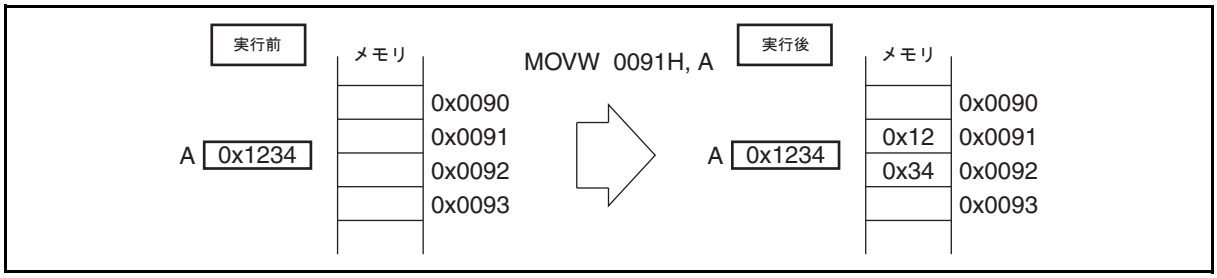
■ 16 ビットデータのメモリ上の配置

● RAM による 16 ビットデータの格納状態

メモリに 16 ビットデータを書き込む場合 , アドレス値の小さい方にデータの上位バイトが , その次のアドレスにデータの下位バイトがそれぞれ格納されます。16 ビットデータの読出し時も同様に扱われます。

図 2.3-1 に , メモリ上の 16 ビットデータの配置を示します。

図 2.3-1 16 ビットデータのメモリ上の配置



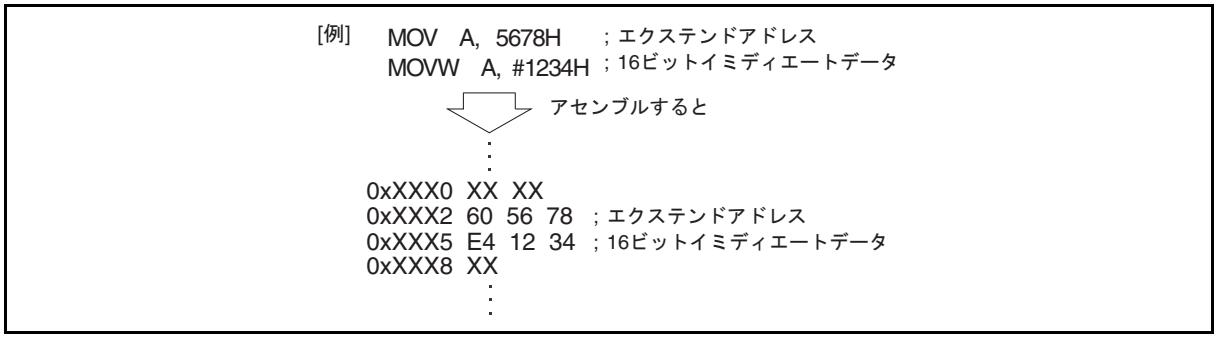
● オペランドにより指定された 16 ビットデータの格納状態

命令内のオペランドで 16 ビットデータを指定した場合も , オペコード (命令) に近いアドレスに上位バイトが , その次のアドレスに下位バイトが格納されます。

これはオペランドがメモリアドレスを示す場合でも , 16 ビットのイミディエートデータ (即値) の場合でも同じです。

図 2.3-2 に , 命令による 16 ビットデータの配置を示します。

図 2.3-2 16 ビットデータの命令における配置



● スタックにおける 16 ビットデータの格納状態

割込み時にスタックに退避される 16 ビット長のレジスタのデータも , オペランドにより指定された 16 ビットデータと同様に , アドレス値の小さい方に上位バイトが格納されます。

第 3 章
クロック制御部

クロック制御部の機能と動作について説明します。

3.1 概要
3.2 発振安定待ち時間
3.3 レジスタ
3.4 クロックモード
3.5 低消費電力モード (スタンバイモード) の動作
3.6 クロック発振回路
3.7 プリスケーラの概要
3.8 プリスケーラの構成
3.9 プリスケーラの動作
3.10 プリスケーラ使用上の注意

3.1 概要

New 8FX ファミリは , 消費電力の最適な制御を行うクロック制御部を搭載しています。このクロック制御部は外部メインクロックと外部サブクロックの両方をサポートしています。
クロック制御部はクロック発振の許可 / 停止 , 内部回路へのクロック信号供給の許可 / 停止 , クロックソースの選択および PLL, 内蔵 CR 発振器と周波数分周回路の制御を行います。

■ クロック制御部の概要

クロック制御部はクロック発振の許可 / 停止 , 内部回路へのクロック供給の許可 / 停止 , クロックソースの選択およびPLL, 内蔵CR発振器と周波数分周回路の制御を行います。

クロック制御部ではクロックモードの設定 , スタンバイモードの設定 , リセット動作に従い内部クロックを制御します。クロックモードにより内部動作クロックの選択が行われ , スタンバイモードによりクロック発振および信号供給の許可 / 停止を行います。

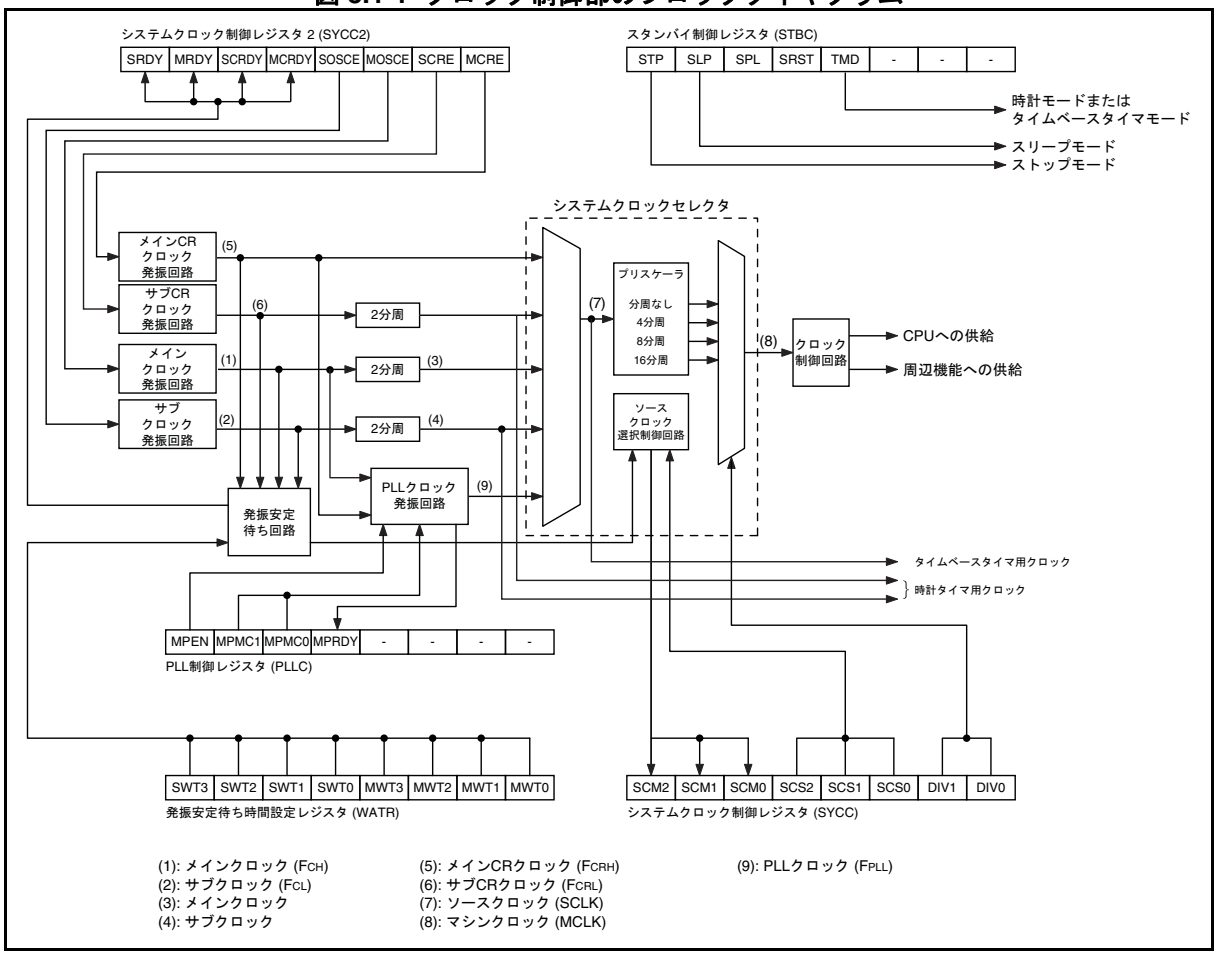
クロック制御部はクロックモードおよびスタンバイモードの組み合わせに応じた最適な消費電力と機能を選択します。

本デバイスには 6 種類のソースクロックがあります。これらはメイン発振クロックを 2 分周したメインクロック , PLL 逓倍率をメイン発振クロックにかけて生成したメイン PLL クロック , サブ発振クロックを 2 分周したサブクロック , メイン CR クロック , PLL 逓倍率をメイン CR 発振クロックにかけて生成したメイン CR PLL クロックおよびサブ CR 発振クロックを 2 分周したサブ CR クロックの 6 種類です。

■ クロック制御部のブロックダイヤグラム

図 3.1-1 にクロック制御部のブロックダイヤグラムを示します。

図 3.1-1 クロック制御部のブロックダイヤグラム



■ クロック制御部の構成

- **メインクロック発振回路**

  このブロックはメインクロックの発振回路です。

- **サブクロック発振回路**

  このブロックはサブクロックの発振回路です。

- **メイン CR クロック発振回路**

  このブロックはメイン CR クロックの発振回路です。

- **PLL クロック発振回路**

  このブロックは PLL クロックの発振回路です。PLL ソースクロックはメインクロックとメイン CR クロックから選択できます。

- **サブ CR クロック発振回路**

  このブロックはサブ CR クロックの発振回路です。

- **システムクロックセレクタ**

  このブロックはクロックモードに対応して, メインクロック , サブクロック , メイン CR クロック , PLL クロックおよびサブ CR クロックの 5 種類のソースクロック中から 1 種類のクロックが選択されます。選択されたソースクロックはプリスケーラにより分周され , クロック制御回路へ供給されます。この分周されたクロックを「マシンクロック」とよびます。

- **クロック制御回路**

  CPU および各周辺機能へのマシンクロックの供給を , 選択されているスタンバイモードまたは発振安定待ち時間に対応して制御します。

- **発振安定待ち回路**

  動作許可されているクロックにしたがって発振安定待ち時間信号を出力します。

  メインクロックの場合は , 発振安定待ち回路の専用タイマにより生成された 14 種類の発振安定信号から 1 つを選択できます。サブクロックの場合は , 発振安定待ち回路の専用タイマにより生成された 15 種類の発振安定信号から 1 つを選択できます。

- **システムクロック制御レジスタ (SYCC)**

  このレジスタは, クロックモードの選択, マシンクロック分周比の選択および現在のクロックモードの表示のために使用されます。

- **PLL 制御レジスタ (PLLC)**

  このレジスタは , PLL クロック逓倍率の設定を制御します。

- **スタンバイ制御レジスタ (STBC)**

  このレジスタはRUN状態からスタンバイモードへの遷移, ストップモード, タイムベースタイマモードまたは時計モードの端子状態の設定およびソフトウェアリセットの発生を制御するために使用されます。

- システムクロック制御レジスタ 2 (SYCC2)

  このレジスタはメインクロック , メイン PLL クロック , メイン CR クロック , サブクロック , サブ CR クロックの発振の許可 / 停止およびメインクロック , メイン CR クロック , サブクロック , サブ CR クロックの発振のレディ信号の表示のために使用されます。

- 発振安定待ち時間設定レジスタ (WATR)

  このレジスタはメインクロックとサブクロックの発振安定待ち時間を設定するために使用されます。

■ クロックモード

クロックモードが 6 種類あります。

- メインクロックモード
- メイン PLL クロックモード
- メイン CR クロックモード
- メイン CR PLL クロックモード
- サブクロックモード
- サブ CR クロックモード

表 3.1-1 に , クロックモードとマシンクロック (CPU と周辺機能の動作クロック) との関係を示します。

表 3.1-1　クロックモードとマシンクロックの選択

クロックモード	マシンクロック
メインクロックモード	マシンクロックはメインクロックの 2 分周より生成されます。
メイン PLL クロックモード	マシンクロックは PLL 逓倍率をメインクロックにかけて生成されます。
メイン CR クロックモード	マシンクロックはメイン CR クロックより生成されます。
メイン CR PLL クロックモード	マシンクロックは PLL 逓倍率をメイン CR クロックにかけて生成されます。
サブクロックモード	マシンクロックはサブクロックの 2 分周 より生成されます。
サブ CR クロックモード	マシンクロックはサブ CR クロックの 2 分周より生成されます。

選択されたクロックの周波数の分周は , どのクロックモードでも可能です。

■ スタンバイモード

選択されたスタンバイモードによりクロック発振の許可 / 停止および内部回路へのクロック供給の許可 / 停止を選択できます。タイムベースタイマモードおよび時計モードを除き , クロックモードの設定とは別にスタンバイモードを設定できます。

表 3.1-2 に , スタンバイモードとクロック供給の状態との関係を示します。

表 3.1-2　スタンバイモードとクロック供給の状態

スタンバイモード	クロック供給の状態
スリープモード	CPU へのクロック供給が停止します。その結果 CPU は動作を停止しますが , ほかの周辺機能は動作を継続します。
タイムベースタイマモード	タイムベースタイマおよび時計プリスケーラへのみクロック信号を供給し , ほかの回路へのクロック供給は停止します。その結果 , タイムベースタイマ , 時計プリスケーラ , 外部割込みおよび低電圧検出リセット (オプション) を除くすべての機能は停止します。 タイムベースタイマモードはメインクロックモード , メイン PLL クロックモード , メイン CR クロックモードおよびメイン CR PLL クロックモードにおいて使用可能です。
時計モード	メインクロック発振は停止します。時計プリスケーラへのみクロック信号を供給し , ほかの回路へのクロック供給は停止します。その結果 , 時計プリスケーラ , 外部割込みおよび低電圧検出リセット (オプション) を除くすべての機能は停止します。 時計モードはサブクロックモードおよびサブ CR クロックモードにおいて使用されるスタンバイモードです。
ストップモード	メインクロック発振およびサブクロック発振を停止し , すべての回路へのクロック供給を停止します。その結果 , 外部割込みおよび低電圧検出リセット (オプション) を除くすべての機能は停止します。

＜注意事項＞

特別な設定を行うことで , 表 3.1-2 以外にクロックが供給される場合があります。

例えば , メインクロックモードでストップモードにする場合 , SYCC2:SOSCE または SYCC2:SCRE に "1" が書かれていれば , 時計プリスケーラが動作します。

また , ハードウェアウォッチドッグタイマを起動した場合は , 不揮発性レジスタインタフェースの設定によっては , スタンバイモードでもハードウェアウォッチドッグタイマが動作します。詳細は , 「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。

■ クロックモードとスタンバイモードの組合せ

表 3.1-3 と表 3.1-4 に , クロックモードとスタンバイモードの組合せおよび各種クロックモードとスタンバイモードの組合せを有する異なる内部回路の動作状態をそれぞれ示します。

表 3.1-3　スタンバイモードとクロックモードの組合せおよび内部動作状態 (1)

機能	RUN				スリープ			
	メインクロックモード / メイン PLL クロックモード	メイン CR クロックモード / メイン CR PLL クロックモード	サブクロックモード	サブ CR クロックモード	メインクロックモード / メイン PLL クロックモード	メイン CR クロックモード / メイン CR PLL クロックモード	サブクロックモード	サブ CR クロックモード
メインクロック / メイン PLL クロック	動作	停止 *1	停止		動作	停止 *1	停止	
メイン CR クロック / メイン CR PLL クロック	停止 *2	動作	停止		停止 *2	動作	停止	
サブクロック	動作 *3		動作	動作 *3	動作 *3		動作	動作 *3
サブ CR クロック	動作 *4		動作 *4	動作	動作 *4		動作 *4	動作
CPU	動作		動作		停止		停止	
フラッシュメモリ	動作		動作		値保持		値保持	
RAM	動作		動作		値保持		値保持	
I/O ポート	動作		動作		出力保持		出力保持	
タイムベースタイマ	動作		停止		動作		停止	
時計プリスケーラ	動作 *3, *4		動作		動作 *3, *4		動作	
外部割込み	動作		動作		動作		動作	
ハードウェアウォッチドッグタイマ	動作		動作		動作 *5		動作 *5	
ソフトウェアウォッチドッグタイマ	動作		動作		停止		停止	
低電圧検出リセット	動作		動作		動作		動作	
そのほかの周辺機能	動作		動作		動作		動作	

*1: システムクロック制御レジスタ 2 のメインクロック発振許可ビット (SYCC2:MOSCE) を "1" に設定すると , メインクロックまたはメイン PLL クロックが動作します。

*2: システムクロック制御レジスタ 2 のメイン CR クロック発振許可ビット (SYCC2:MCRE) を "1" に設定すると , メイン CR クロックまたはメイン CR PLL クロックが動作します。

*3: システムクロック制御レジスタ 2 のサブクロック発振許可ビット (SYCC2:SOSCE) を "1" に設定すると , このモジュールが動作します。

*4: システムクロック制御レジスタ 2 のサブ CR クロック発振許可ビット (SYCC2:SCRE) を "1" に設定すると , このモジュールが動作します。

*5: 不揮発性レジスタ (NVR) インタフェースによりハードウェアウォッチドッグタイマが禁止されると , ハードウェアウォッチドッグタイマが停止します。

表 3.1-4 スタンバイモードとクロックモードの組合せおよび内部動作状態 (2)

機能	タイムベースタイマ		時計		ストップ			
	メイン クロック モード / メイン PLL クロック モード	メイン CR クロック モード / メイン CR PLL クロック モード	サブ クロック モード	サブ CR クロック モード	メイン クロック モード / メイン PLL クロック モード	メイン CR クロック モード / メイン CR PLL クロック モード	サブ クロック モード	サブ CR クロック モード
メイン クロック / メイン PLL クロック	動作	停止 *1	停止		停止			
メイン CR クロック / メイン CR PLL クロック	停止 *2	動作	停止		停止			
サブクロック	動作 *3		動作	動作 *3	動作 *3		停止	
サブ CR クロック	動作 *4		動作 *4	動作	動作 *4		停止	
CPU	停止		停止		停止			
フラッシュ メモリ	値保持		値保持		値保持			
RAM	値保持		値保持		値保持			
I/O ポート	出力保持 /Hi-Z		出力保持 /Hi-Z		出力保持 /Hi-Z			
タイムベース タイマ	動作		停止		停止			
時計プリス ケーラ	動作 *3, *4		動作		動作 *3, *4		停止	
外部割込み	動作		動作		動作			
ハードウェア ウォッチドッグタイマ	動作 *5		動作 *5		動作 *5			
ソフトウェア ウォッチドッグタイマ	停止		停止		停止			
低電圧検出 リセット	動作		動作		動作			
そのほかの周辺機能	停止		停止		停止			

*1: システムクロック制御レジスタ 2 のメインクロック発振許可ビット (SYCC2:MOSCE) を "1" に設定すると , メインクロックまたはメイン PLL クロックが動作します。

*2: システムクロック制御レジスタ 2 のメイン CR クロック発振許可ビット (SYCC2:MCRE) を "1" に設定すると , メイン CR クロックまたはメイン CR PLL クロックが動作します。

*3: システムクロック制御レジスタ 2 のサブクロック発振許可ビット (SYCC2:SOSCE) を "1" に設定すると , このモジュールが動作します。

*4: システムクロック制御レジスタ 2 のサブ CR クロック発振許可ビット (SYCC2:SCRE) を "1" に設定すると , このモジュールが動作します。

*5: 不揮発性レジスタ (NVR) インタフェースによりハードウェアウォッチドッグタイマが禁止されると , ハードウェアウォッチドッグタイマが停止します。

3.2 発振安定待ち時間

発振安定待ち時間とは , 発振回路が発振を停止した状態から発振器が固有の周波数で安定し , 発振状態を再開するまでの時間です。クロック制御部は発振開始後に発振クロック周期を所定の回数までカウントすることにより , 発振安定待ち時間を確保します。発振安定待ち時間中 , クロック制御部は内部回路へのクロック供給を停止します。

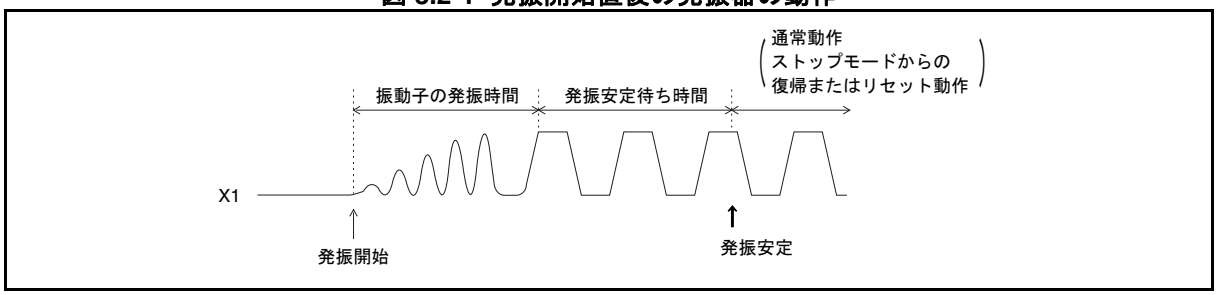
■ 発振安定待ち時間

クロック制御部は , 発振開始後に発振クロック周期を所定の回数までカウントすることにより , 発振安定待ち時間を確保します。発振安定待ち時間中 , クロック制御部は内部回路へのクロック供給を停止します。

電源投入時またはリセット , ストップモード時の割込み , ソフトウェア動作によるクロックモードの変更により , 発振停止状態から発振を開始する状態遷移の要求が発生した場合 , クロック制御部はほかのクロックモードに遷移する前に , 自動的に遷移先の発振安待ち時間の経過を待ちます。

図 3.2-1 に , 発振開始直後の発振の動作を示します。

図 3.2-1 発振開始直後の発振器の動作



メインクロック , サブクロック , メイン CR クロック , PLL クロックおよびサブ CR クロックの発振安定待ち時間は専用カウンタを使用してカウントされます。メインクロック , サブクロックのカウント値は発振安定待ち時間設定レジスタ (WATR) で設定可能です。発振器の特性に合わせて指定してください。

パワーオンリセットの場合 , 発振安定待ち時間は初期値に固定されます。

表 3.2-1 に , 発振安定待ち時間の長さを示します。

表 3.2-1 発振安定待ち時間

クロック	リセット要因	発振安定待ち時間
メインクロック	パワーオンリセット	初期値 : $(2^{14}-2)/F_{CH}$ (F_{CH}: メインクロック周波数)
	パワーオンリセット以外	レジスタの設定値 (WATR:MWT[3:0])
サブクロック	パワーオンリセット	初期値 : $(2^{15}-2)/F_{CL}$ (F_{CL}: サブクロック周波数)
	パワーオンリセット以外	レジスタの設定値 (WATR:SWT[3:0])

■ PLL クロック発振安定待ち時間

発振器の発振安定待ち時間と同様, ストップモード時の割込み, あるいはソフトウェアによるクロックモードの変更により , PLL 発振停止状態から PLL 発振を開始する状態遷移の要求が発生すると , クロック制御部はまずメインクロックの発振安定待ち時間の経過またはメイン CR クロックの発振安定待ち時間の経過を待った後 , PLL クロックの発振安定待ち時間の経過を自動的に待ちます。

表 3.2-2 に , PLL 発振安定待ち時間を示します。

表 3.2-2　PLL 発振安定待ち時間

	PLL 発振安定待ち時間
メイン PLL クロック	$2^{12}/F_{PLL}$ *
メイン CR PLL クロック	

*: F_{PLL}: 16 MHz

■ CR クロックの発振安定待ち時間

発振器の発振安定待ち時間と同様 , スタンバイモード時の割込みやソフトウェア動作によるクロックモードの変更により , CR 発振停止状態から CR 発振を開始する状態遷移の要求が発生すると , クロック制御部は自動的に CR 発振安定待ち時間の経過を待ちます。

表 3.2-3 に , CR 発振安定待ち時間を示します。

表 3.2-3　CR 発振安定待ち時間

	CR 発振安定待ち時間
メイン CR クロック	$2^{10}/F_{CRH}$ *1
サブ CR クロック	$2^{5}/F_{CRL}$ *2

*1: F_{CRH}: 4 MHz

*2: F_{CRL}: 150 kHz

■ 発振安定待ち時間とクロックモード・スタンバイモードの遷移

モード状態の遷移が発生すると , クロック制御部は必要に応じて自動で発振安定待ち時間の経過を待ちます。モード状態の遷移が発生する状況によってはクロック制御部は , モード状態の遷移が発生していても発振安定待ち時間の経過を待たない場合があります。

状態遷移の詳細については ,「3.4 クロックモード」および「3.5 低消費電力モード (スタンバイモード) の動作」を参照してください。

■ 発振安定待ちの優先順位について

複数のクロックの動作が同時に許可された場合 , クロック制御部は決められた優先順位にしたがってクロックごとに発振安定待ち時間をカウントします。発振安定待ちカウント動作の優先順位を以下に示します。

- メインクロックモードの場合

  サブ CR クロック > サブクロック > メイン PLL クロック > メイン CR クロック > メイン CR PLL クロック
- メイン PLL クロックモードの場合

  サブ CR クロック > サブクロック > メイン CR クロック
- メイン CR クロックモードの場合

  サブ CR クロック > サブクロック > メイン CR PLL クロック > メインクロック > メイン PLL クロック
- メイン CR PLL クロックモードの場合

  サブ CR クロック > サブクロック > メインクロック
- サブクロックモードの場合

  サブ CR クロック > メイン CR クロックまたはメインクロック > メイン CR PLL クロックまたはメイン PLL クロック
- サブ CR クロックモードの場合

  メイン CR クロックまたはメインクロック > サブクロック > メイン CR PLL クロックまたはメイン PLL クロック

＜注意事項＞

クロックモードを , メイン CR PLL クロックモードから直接メイン PLL クロックモードにまたはメイン PLL クロックモードから直接メイン CR PLL クロックモードに切り換えることは禁止されます。クロックモードをメイン CR PLL クロックモードからメイン PLL クロックモードにまたはメイン PLL クロックモードから直接メイン CR PLL クロックモードに切り換えるとき , 一度クロックモードをメイン PLL クロックモードとメイン CR PLL クロックモード以外のクロックモードに切り換えてから , メイン PLL クロックモードまたはメイン CR PLL クロックモードに遷移させてください。

3.3 レジスタ

クロック制御部のレジスタについて説明します。

表 3.3-1 クロック制御部のレジスター覧

レジスタ略称	レジスタ名	参照先
SYCC	システムクロック制御レジスタ	3.3.1
PLLC	PLL 制御レジスタ	3.3.2
WATR	発振安定待ち時間設定レジスタ	3.3.3
STBC	スタンバイ制御レジスタ	3.3.4
SYCC2	システムクロック制御レジスタ 2	3.3.5

3.3.1 システムクロック制御レジスタ (SYCC)

システムクロック制御レジスタ (SYCC) はマシンクロックの分周比の選択 , クロックモードの選択および現在のクロックモードの確認に使用されます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SCM2	SCM1	SCM0	SCS2	SCS1	SCS0	DIV1	DIV0
属性	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	1	1	0	1	1

■ レジスタ機能

[bit7:5] SCM[2:0]: クロックモードモニタビット
これらのビットは現在のクロックモードを示します。
これらのビットはリードオンリです。これらのビットに値を書き込んでも動作に影響はありません。

bit7:5	説明
"000" が読み出された場合	現在のクロックモードはサブクロックモードであることを示します。
"010" が読み出された場合	現在のクロックモードはメインクロックモードであることを示します。
"011" が読み出された場合	現在のクロックモードはメイン PLL クロックモードであることを示します。
"100" が読み出された場合	現在のクロックモードはサブ CR クロックモードであることを示します。
"110" が読み出された場合	現在のクロックモードはメイン CR クロックモードであることを示します。
"111" が読み出された場合	現在のクロックモードはメイン CR PLL クロックモードであることを示します。

[bit4:2] SCS[2:0]: クロックモード選択ビット
これらのビットはクロックモードを選択します。

bit4:2	説明
"000" を書き込んだ場合	サブクロックモード
"010" を書き込んだ場合	メインクロックモード
"011" を書き込んだ場合	メイン PLL クロックモード
"100" を書き込んだ場合	サブ CR クロックモード
"110" を書き込んだ場合	メイン CR クロックモード
"111" を書き込んだ場合	メイン CR PLL クロックモード

(注意事項)
- SCS[2:0] に上記以外の値を書き込まないでください。
- クロックモードを , メイン CR PLL クロックモードから直接メイン PLL クロックモードにまたはメイン PLL クロックモードから直接メイン CR PLL クロックモードに切り換えることは禁止されます。クロックモードをメイン CR PLL クロックモードからメイン PLL クロックモードにまたはメイン PLL クロックモードから直接メイン CR PLL クロックモードに切り換えるとき , 一度クロックモードをメイン PLL クロックモードとメイン CR PLL クロックモード以外のクロックモードに切り換えてから , メイン PLL クロックモードまたはメイン CR PLL クロックモードに遷移させてください。

[bit1:0] DIV[1:0]: マシンクロック分周比選択ビット
これらのビットはソースクロックに対するマシンクロックの分周比を選択します。
マシンクロックはこれらのビットで設定された分周比により , ソースクロックから生成されます。

bit1:0	説明
"00" を書き込んだ場合	ソースクロック (分周なし)
"01" を書き込んだ場合	ソースクロック / 4
"10" を書き込んだ場合	ソースクロック / 8
"11" を書き込んだ場合	ソースクロック / 16

3.3.2 PLL 制御レジスタ (PLLC)

PLL 制御レジスタ (PLLC) は PLL クロック逓倍率の設定を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	MPEN	MPMC1	MPMC0	MPRDY	—	—	—	—
属性	R/W	R/W	R/W	R	—	—	—	—
初期値	0	0	0	X	0	0	0	0

■ レジスタ機能

[bit7] MPEN: PLL クロック許可ビット

このビットは PLL クロックを許可または禁止します。

SCS[2:0] が "0b011" または "0b111" に設定されると , このビットは自動的に "1" に設定されます。

SCS[2:0] または SCM[2:0] が "0b011" または "0b111" に設定された場合 , このビットに "0" を書き込んでも動作に影響はありません。

クロックモードがメイン PLL クロックモードとメイン CR PLL クロックモード以外のモードに切り換わると , このビットは自動的に "0" に設定されます。

現在のクロックモードがサブクロックモードまたはサブ CR クロックモードの場合 , このビットに "1" を書き込んでも動作に影響はありません。

bit7	説明
"0" を書き込んだ場合	PLL クロックを禁止します。
"1" を書き込んだ場合	PLL クロックを許可します。

[bit6:5] MPMC[1:0]: PLL クロック逓倍率選択ビット

これらのビットは PLL クロックの逓倍率を選択します。

PLL クロックが停止しているときのみ , これらのビットの設定を変更できます。よって , メインクロックモード , メイン CR クロックモード , サブクロックモードまたはサブ CR クロックモードで , これらのビットの設定が変更できます。

bit6:5	説明
"00" を書き込んだ場合	メインクロック × 2 またはメイン CR クロック × 2
"01" を書き込んだ場合	メインクロック × 2.5 またはメイン CR クロック × 2.5
"10" を書き込んだ場合	メインクロック × 3 またはメイン CR クロック × 3
"11" を書き込んだ場合	メインクロック × 4 またはメイン CR クロック × 4

(注意事項) SCS[2:0] または SCM[2:0] が "0b011" または "0b111" に設定された場合 , これらのビットに値を書き込むことは禁止されます。

[bit4] MPRDY: PLL クロック発振安定ビット

このビットは PLL クロック発振の準備ができているか否かを示します。

bit4	説明
"0" が読み出された場合	PLL クロックの発振安定待ち状態または PLL クロック発振が停止していることを示します。
"1" が読み出された場合	PLL クロックの発振安定待ちが完了していることを示します。

[bit3:0] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

3.3.3 発振安定待ち時間設定レジスタ (WATR)

発振安定待ち時間設定レジスタ (WATR) は発振安定待ち時間を設定するレジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SWT3	SWT2	SWT1	SWT0	MWT3	MWT2	MWT1	MWT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

■ レジスタ機能

[bit7:4] SWT[3:0]: サブクロック発振安定待ち時間選択ビット
これらのビットはサブクロック発振安定待ち時間を選択します。

bit7:4	詳細		
	サイクル数	サブクロック F_{CL} = 32.768 kHz の場合	
"1111" を書き込んだ場合	2^{15}-2	$(2^{15}-2)/F_{CL}$	約 1.0 s
"1110" を書き込んだ場合	2^{14}-2	$(2^{14}-2)/F_{CL}$	約 0.5 s
"1101" を書き込んだ場合	2^{13}-2	$(2^{13}-2)/F_{CL}$	約 0.25 s
"1100" を書き込んだ場合	2^{12}-2	$(2^{12}-2)/F_{CL}$	約 0.125 s
"1011" を書き込んだ場合	2^{11}-2	$(2^{11}-2)/F_{CL}$	約 62.44 ms
"1010" を書き込んだ場合	2^{10}-2	$(2^{10}-2)/F_{CL}$	約 31.19 ms
"1001" を書き込んだ場合	2^{9}-2	$(2^{9}-2)/F_{CL}$	約 15.56 ms
"1000" を書き込んだ場合	2^{8}-2	$(2^{8}-2)/F_{CL}$	約 7.75 ms
"0111" を書き込んだ場合	2^{7}-2	$(2^{7}-2)/F_{CL}$	約 3.85 ms
"0110" を書き込んだ場合	2^{6}-2	$(2^{6}-2)/F_{CL}$	約 1.89 ms
"0101" を書き込んだ場合	2^{5}-2	$(2^{5}-2)/F_{CL}$	約 915.5 µs
"0100" を書き込んだ場合	2^{4}-2	$(2^{4}-2)/F_{CL}$	約 427.2 µs
"0011" を書き込んだ場合	2^{3}-2	$(2^{3}-2)/F_{CL}$	約 183.1 µs
"0010" を書き込んだ場合	2^{2}-2	$(2^{2}-2)/F_{CL}$	約 61.0 µs
"0001" を書き込んだ場合	2^{1}-2	$(2^{1}-2)/F_{CL}$	0.0 µs
"0000" を書き込んだ場合	2^{1}-2	$(2^{1}-2)/F_{CL}$	0.0 µs

上記表のサイクル数は最小値です。最大値は , 上記表のサイクル数に $1/F_{CL}$ を加えたものです。

(注意事項) これらのビットをサブクロック発振安定待ち時間中には書き換えないでください。書き換える場合は , システムクロック制御レジスタ 2 のサブクロック発振安定ビット (SYCC2:SRDY) が "1" に設定されているときに行ってください。 メインクロックモード , メイン PLL クロックモード , メイン CR クロックモード , メイン CR PLL クロックモードまたはサブ CR クロックモードにおいて , システムクロック制御レジスタ 2 のサブクロック発振停止ビット (SYCC2:SOSCE) が "0" に設定され , サブクロックが停止している時にこれらのビットを書き換えられます。

[bit3:0] MWT[3:0]: メインクロック発振安定待ち時間選択ビット
これらのビットはメインクロック発振安定待ち時間を選択します。

bit3:0	詳細		
	サイクル数	メインクロック F_{CH} = 4 MHz の場合	
"1111" を書き込んだ場合	2^{14}-2	$(2^{14}-2)/F_{CH}$	約 4.10 ms
"1110" を書き込んだ場合	2^{13}-2	$(2^{13}-2)/F_{CH}$	約 2.05 ms
"1101" を書き込んだ場合	2^{12}-2	$(2^{12}-2)/F_{CH}$	約 1.02 ms
"1100" を書き込んだ場合	2^{11}-2	$(2^{11}-2)/F_{CH}$	約 511.5 µs
"1011" を書き込んだ場合	2^{10}-2	$(2^{10}-2)/F_{CH}$	約 255.5 µs
"1010" を書き込んだ場合	2^{9}-2	$(2^{9}-2)/F_{CH}$	約 127.5 µs
"1001" を書き込んだ場合	2^{8}-2	$(2^{8}-2)/F_{CH}$	約 63.5 µs
"1000" を書き込んだ場合	2^{7}-2	$(2^{7}-2)/F_{CH}$	約 31.5 µs
"0111" を書き込んだ場合	2^{6}-2	$(2^{6}-2)/F_{CH}$	約 15.5 µs
"0110" を書き込んだ場合	2^{5}-2	$(2^{5}-2)/F_{CH}$	約 7.5 µs
"0101" を書き込んだ場合	2^{4}-2	$(2^{4}-2)/F_{CH}$	約 3.5 µs
"0100" を書き込んだ場合	2^{3}-2	$(2^{3}-2)/F_{CH}$	約 1.5 µs
"0011" を書き込んだ場合	2^{2}-2	$(2^{2}-2)/F_{CH}$	約 0.5 µs
"0010" を書き込んだ場合	2^{1}-2	$(2^{1}-2)/F_{CH}$	0.0 µs
"0001" を書き込んだ場合	2^{1}-2	$(2^{1}-2)/F_{CH}$	0.0 µs
"0000" を書き込んだ場合	2^{1}-2	$(2^{1}-2)/F_{CH}$	0.0 µs

上記表のサイクル数は最小値です。最大値は上記表のサイクル数に $1/F_{CH}$ を加えたものです。

(注意事項) これらのビットをメインクロック発振安定待ち時間中には書き換えないでください。書き換える場合は, システムクロック制御レジスタ 2 のメインクロック発振安定ビット (SYCC2:MRDY) を "1" に設定されているときに行ってください。メイン CR クロックモード , メイン CR PLL クロックモード , サブクロックモードまたはサブ CR クロックモードにおいて , システムクロック制御レジスタ 2 のメインクロック発振停止ビット (SYCC2:MOSCE) が "0" に設定され , メインクロックが停止しているときにこれらのビットを書き換えられます。

3.3.4 スタンバイ制御レジスタ (STBC)

スタンバイ制御レジスタ (STBC) は, RUN状態からスリープモード, ストップモード, タイムベースタイマモードまたは時計モードへの遷移 , ストップモード , タイムベースタイマモードおよび時計モードの端子状態の設定およびソフトウェアリセットの発生制御を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	STP	SLP	SPL	SRST	TMD	—	—	—
属性	W	W	R/W	W	W	—	—	—
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] STP: ストップビット
このビットはストップモードへの遷移を設定します。
このビットの読出し値は常に "0" です。

bit7	説明
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	デバイスはストップモードに遷移します。

(注意事項) 割込み要求が発生した場合は , このビットへの "1" の書込みは無視されます。詳細は , 「3.5.1 スタンバイモード使用上の注意」を参照してください。

[bit6] SLP: スリープビット
このビットはスリープモードへの遷移を設定します。
このビットの読出し値は常に "0" です。

bit6	説明
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	デバイスはスリープモードに遷移します。

(注意事項) 割込み要求が発生した場合は , このビットへの "1" の書込みは無視されます。詳細は , 「3.5.1 スタンバイモード使用上の注意」を参照してください。

[bit5] SPL: 端子状態設定ビット
このビットはストップモード , タイムベースタイマモードおよび時計モードの外部端子の状態を設定します。

bit5	説明
"0" を書き込んだ場合	ストップモード , タイムベースタイマモードおよび時計モードにおける外部端子の状態 (レベル) を保持します。
"1" を書き込んだ場合	外部端子はストップモード , タイムベースタイマモードおよび時計モードでハイインピーダンスになります。(プルアップレジスタにてプルアップ抵抗への接続を選択した端子は , プルアップ状態になります)。

[bit4] SRST: ソフトウェアリセットビット
このビットはソフトウェアリセットを設定します。
このビットの読出し値は常に "0" です。

bit4	説明
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	3 マシンクロックリセット信号を発生します。

[bit3] TMD: 時計ビット
このビットはタイムベースタイマモードまたは時計モードへの遷移を設定します。
メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードでこのビットに "1" を書き込むと , デバイスはタイムベースタイマモードに遷移します。
サブクロックモードまたはサブ CR クロックモードでこのビットに "1" を書き込むと , デバイスは時計モードに遷移します。
このビットに "0" を書き込んでも動作に影響はありません。
このビットの読出し値は常に "0" です。

bit3	説明	
	メインクロックモード / メイン PLL クロックモード / メイン CR クロックモード / メイン CR PLL クロックモード	サブクロックモード / サブ CR クロックモード
"0" を書き込んだ場合	動作に影響はありません。	動作に影響はありません。
"1" を書き込んだ場合	デバイスはタイムベースタイマモードに遷移します。	デバイスは時計モードに遷移します。

(注意事項) 割込み要求が発生した場合は , このビットへの "1" の書込みは無視されます。詳細は , 「3.5.1 スタンバイモード使用上の注意」を参照してください。

[bit2:0] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

＜注意事項＞

- スタンバイモードを設定する前に , システムクロック制御レジスタにおけるクロックモードモニタビット (SYCC:SCM[2:0]) とクロックモード選択ビット (SYCC:SCS[2:0]) の値を比較して , クロックモードへの遷移が完了していることを確認してください。
- ストップビット (STP), スリープビット (SLP), ソフトウェアリセットビット (SRST) および時計ビット (TMD) の中から , 2 つ以上のビットに対し同時に "1" を書き込んだ場合の優先順位は下記のとおりです。

  (1) ソフトウェアリセットビット (SRST)

  (2) ストップビット (STP)

  (3) 時計ビット (TMD)

  (4) スリープビット (SLP)

  スタンバイモードが解除されるとデバイスは通常動作状態に戻ります。

3.3.5 システムクロック制御レジスタ 2 (SYCC2)

システムクロック制御レジスタ 2(SYCC2) は , メインクロック , サブクロック , メイン CR クロックおよびサブ CR クロックのそれぞれの発振安定状態を示し , またメインクロック発振 , サブクロック発振 , メイン CR クロック発振およびサブ CR クロック発振を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SRDY	MRDY	SCRDY	MCRDY	SOSCE	MOSCE	SCRE	MCRE
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	1	1

■ レジスタ機能

[bit7] SRDY: サブクロック発振安定ビット

このビットはサブクロックの発振が安定したかどうかを示します。
このビットはリードオンリです。このビットに値を書き込んでも動作に影響はありません。

bit7	説明
"0" が読み出された場合	クロック制御部がサブクロック発振安定待ち状態にあることかまたはサブクロック発振が停止していることを示します。
"1" が読み出された場合	サブクロックの発振安定待ち時間が完了していることを示します。

[bit6] MRDY: メインクロック発振安定ビット

このビットはメインクロックの発振が安定したかどうかを示します。
このビットはリードオンリです。このビットに値を書き込んでも動作に影響はありません。

bit6	説明
"0" が読み出された場合	クロック制御部がメインクロック発振安定待ち状態にあることかまたはメインクロック発振が停止していることを示します。
"1" が読み出された場合	メインクロックの発振安定待ち時間が完了していることを示します。

[bit5] SCRDY: サブ CR クロック発振安定ビット

このビットはサブ CR クロックの発振が安定したかどうかを示します。
このビットはリードオンリです。このビットに値を書き込んでも動作に影響はありません。

bit5	説明
"0" が読み出された場合	クロック制御部がサブ CR クロック発振安定待ち状態にあることかまたはサブ CR クロック発振が停止していることを示します。
"1" が読み出された場合	サブ CR クロックの発振安定待ち時間が完了していることを示します。

[bit4] MCRDY: メイン CR クロック発振安定ビット
このビットはメイン CR クロックの発振が安定したかどうかを示します。
このビットはリードオンリです。このビットに値を書き込んでも動作に影響はありません。

bit4	説明
"0" が読み出された場合	クロック制御部がメイン CR クロック発振安定待ち状態にあることかまたはメイン CR クロック発振が停止していることを示します。
"1" が読み出された場合	メイン CR クロックの発振安定待ち時間が完了していることを示します。

[bit3] SOSCE: サブクロック発振許可ビット
このビットはサブクロック発振を許可または禁止します。
SCS[2:0] が "0b000" に設定された場合 , このビットは自動的に "1" 設定されます。
SCS[2:0] または SCM[2:0] が "0b000" に設定された場合 , このビットに "0" を書き込んでも動作に影響はありません。

bit3	説明
"0" を書き込んだ場合	サブクロック発振を禁止します。
"1" を書き込んだ場合	サブクロック発振を許可します。

[bit2] MOSCE: メインクロック発振許可ビット
このビットはメインクロック発振を許可または禁止します。
SCS[2:0] が "0b010" または "0b011" に設定された場合 , このビットは自動的に "1" 設定されます。
SCS[2:0] または SCM[2:0] が "0b010" または "0b011" に設定された場合 , このビットに "0" を書き込んでも動作に影響はありません。
クロックモードがメインクロックモード以外のモードに切り換わると , このビットは自動的に "0" に設定されます。
現在のクロックモードがサブクロックモードまたはサブ CR クロックモードの場合 , このビットに "1" を書き込んでも動作に影響はありません。

bit2	説明
"0" を書き込んだ場合	メインクロック発振を禁止します。
"1" を書き込んだ場合	メインクロック発振を許可します。

[bit1] SCRE: サブ CR クロック発振許可ビット
このビットはサブ CR クロック発振を許可または禁止します。
SCS[2:0] が "0b100" に設定された場合 , このビットは自動的に "1" 設定されます。
SCS[2:0] または SCM[2:0] が "0b100" に設定された場合 , このビットに "0" を書き込んでも動作に影響はありません。
SCS[2:0] と SCM[2:0] が "0b100" 以外の値に設定された場合 , このビットはほかのビットと無関係に設定できます。

bit1	説明
"0" を書き込んだ場合	サブ CR クロック発振を禁止します。
"1" を書き込んだ場合	サブ CR クロック発振を許可します。

[bit0] MCRE: メイン CR クロック発振許可ビット

このビットはメイン CR クロック発振を許可または禁止します。
SCS[2:0] が "0b110" または "0b111" に設定された場合 , このビットは自動的に "1" 設定されます。
SCS[2:0] または SCM[2:0] が "0b110" または "0b111" に設定された場合 , このビットに "0" を書き込んでも動作に影響はありません。
クロックモードがメイン CR クロックモードとメイン CR PLL クロックモード以外のモードに切り換わると , このビットは自動的に "0" に設定されます。
現在のクロックモードがサブクロックモードまたはサブ CR クロックモードの場合 , このビットに "1" を書き込んでも動作に影響はありません。

bit0	説明
"0" を書き込んだ場合	メイン CR クロック発振を禁止します。
"1" を書き込んだ場合	メイン CR クロック発振を許可します。

3.4 クロックモード

クロックモードには , メインクロックモード , メイン PLL クロックモード , サブクロックモード , メイン CR クロックモード , メイン CR PLL クロックモードおよびサブ CR クロックモードの 6 種類があります。システムクロック制御レジスタ (SYCC) の設定によってモードの切換えを行います。

■ メインクロックモードとメイン PLL クロックモードの動作

メインクロックモードでは CPU と周辺機能のマシンクロックとして , メインクロックを使用します。メイン PLL クロックモードでは CPU と周辺機能のマシンクロックとして , メイン PLL クロックを使用します。

タイムベースタイマは , メインクロックモードでメインクロックで動作し , メイン PLL クロックモードでメイン PLL クロックで動作します。

時計プリスケーラはサブクロックまたはサブ CR クロックで動作します。

メインクロックモードまたはメイン PLL クロックモードで動作中にスタンバイモードを設定すると , スリープモード , ストップモードまたはタイムベースタイマモードに遷移できます。

リセット後はリセット前のクロックモードに関係なく , デバイスは常にメイン CR クロックモードになります。

■ サブクロックモードの動作

サブクロックモードではメインクロック発振 またはメイン PLL クロック発振が停止され *, サブクロックが CPU と周辺機能のマシンクロックとして使用されます。タイムベースタイマは , メインクロックモードでメインクロックを , メイン PLL クロックモードでメイン PLL クロックを使用しているため , 停止しています。

サブクロックモードで動作中にスタンバイモードを設定すると , スリープモード , ストップモードまたは時計モードに遷移できます。

■ メイン CR クロックモードとメイン CR PLL クロックモードの動作

メイン CR クロックモードでは CPU と周辺機能のマシンクロックとして , メイン CR クロックを使用します。メイン CR PLL クロックモードでは CPU と周辺機能のマシンクロックとして , メイン CR PLL クロックを使用します。タイムベースタイマおよびウォッチドッグタイマは , メイン CR クロックモードでメイン CR クロックで動作し , メイン CR PLL クロックモードでメイン CR PLL クロックで動作します。

時計プリスケーラはサブクロックまたはサブ CR クロックで動作します。

メイン CR クロックモードまたはメイン CR PLL クロックモードで動作中にスタンバイモードを設定すると , スリープモード , ストップモードまたはタイムベースタイマモードに遷移できます。

■ サブ CR クロックモードの動作

サブ CR クロックモードではメインクロック発振 またはメイン PLL クロック発振 が停止され *, サブ CR クロックが CPU と周辺機能のマシンクロックとして使用されます。このモードではメインクロックの動作を必要とするタイムベースタイマは動作しません。時計プリスケーラは , サブ CR クロックで動作します。

サブ CR クロックモードで動作中にスタンバイモードを設定すると , スリープモード , ストップモードまたは時計モードに遷移できます。

*: クロックモードがメインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードからサブクロックまたはサブ CR クロックモードに遷移すると , メインクロック , メイン CR クロックおよび PLL クロックは自動的に発振禁止になります (SYCC2: MOSCE を "0", SYCC2:MCRE を "0" および PLLC:MPEN を "0" に設定)。クロックモードがサブクロックモードまたはサブ CR クロックモードの場合 , SYCC2:MOSCE に "1", SYCC2:MCRE に "1", あるいは PLLC:MPEN に "1" を書き込んでもメインクロック , メイン CR クロック , あるいは PLL クロックを許可できません。

■ クロックモードの状態遷移図

クロックモードには , メインクロックモード , メイン PLL クロックモード , サブクロックモード , メイン CR クロックモード , メイン CR PLL クロックモード , サブ CR クロックモードの 6 種類があります。このデバイスではシステムクロック制御レジスタ (SYCC) の設定によって , クロックモードを切り換えられます。

図 3.4-1 クロックモードの状態遷移図

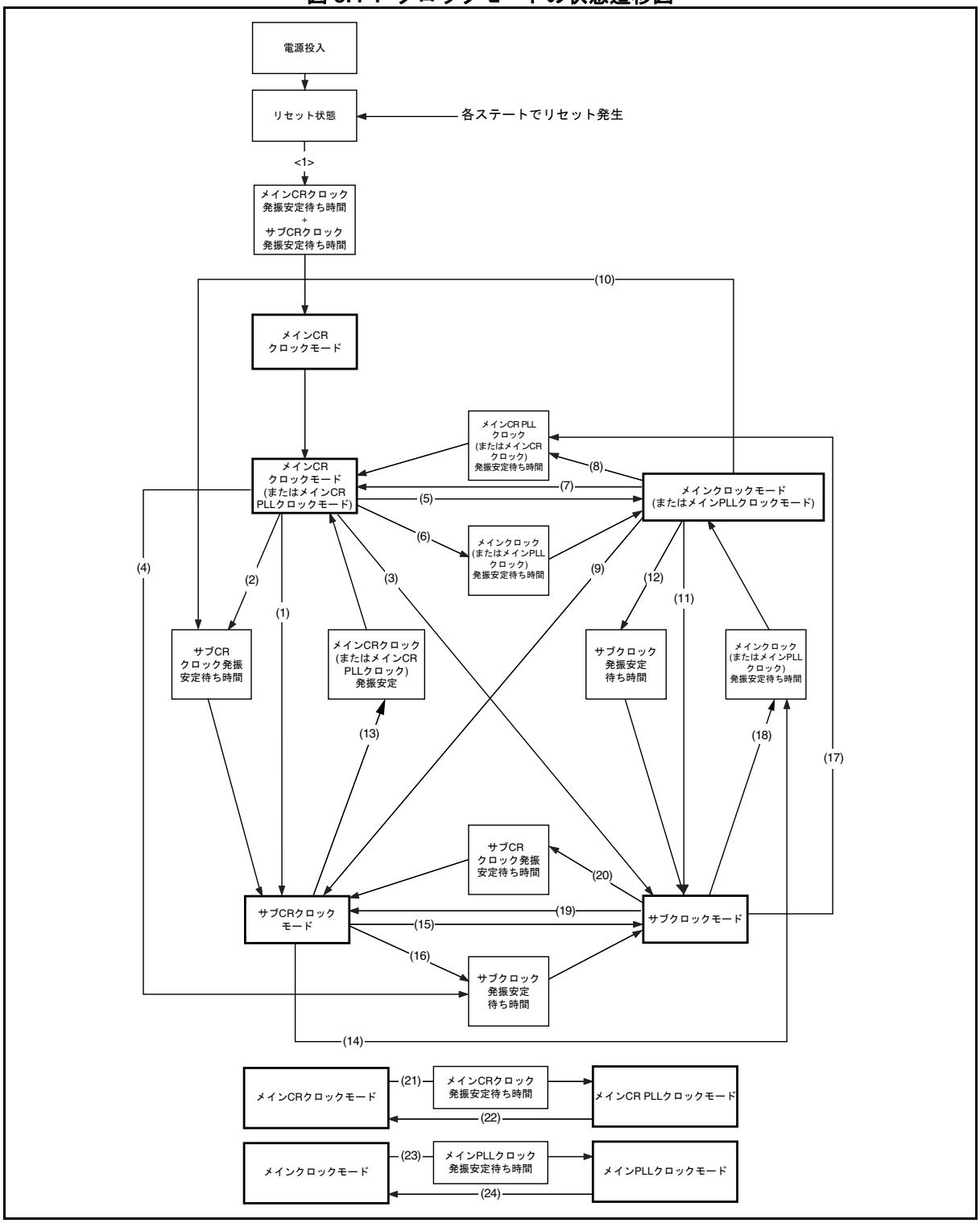


表 3.4-1　クロックモードの状態遷移表 (1 / 3)

	現在の状態	次の状態	説明
<1>	リセット状態	メイン CR クロック	リセット後にデバイスは , メイン CR クロック発振安定待ち時間とサブCRクロック発振安定待ち時間との経過を待ってからメインCRクロックモードに遷移します。リセットが任意のクロックモードによるウォッチドッグリセット , ソフトウェアリセットまたは外部リセットの場合でも , デバイスはサブCRクロックとメインCRクロック発振安定待ち時間の経過を待ちます。
(1)	メイン CR クロック / メイン CR PLL クロック	サブ CR クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b100" に設定すると , デバイスはサブ CR クロックモードに遷移します。 ただし , システムクロック制御レジスタ 2 のサブ CR クロック発振許可ビット (SYCC2:SCRE) の設定によりサブ CR が停止していた場合 , デバイスはサブ CR クロック発振安定待ち時間の経過を待ってからサブ CR クロックモードに遷移します。サブ CR クロック発振があらかじめ許可されており , システムクロック制御レジスタ 2 のサブ CR クロック発振安定ビット (SYCC2:SCRDY) が "1" の場合は , デバイスはクロックモード選択ビット (SYCC:SCS[2:0]) が "0b100" に設定された直後にサブ CR クロックモードに遷移します。
(2)			
(3)		サブクロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) に "0b000" を設定すると , デバイスはサブクロック発振安定待ち時間の経過を待ってからサブクロックモードに遷移します。 システムクロック制御レジスタ 2 のサブクロック発振許可ビット (SYCC2:SOSCE) の設定によりサブクロックの発振が許可されており , システムクロック制御レジスタ 2 のサブクロック発振安定ビット (SYCC2:SRDY) が "1" の場合は , デバイスはクロックモード選択ビット (SYCC:SCS[2:0]) が "0b000" に設定された直後 , サブクロックモードに遷移します。
(4)			
(5)		メインクロック / メイン PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b010" に設定すると , デバイスはメインクロック発振安定待ち時間の経過を待ってからメインクロックモードに遷移します。 システムクロック制御レジスタ2のメインクロック発振許可ビット (SYCC2: MOSCE) の設定によりメインクロックの発振が許可されており , システムクロック制御レジスタ 2 のメインクロック発振安定ビット (SYCC2:MRDY) が "1" の場合は , デバイスはクロックモード選択ビット (SYCC:SCS[2:0]) が "0b010" に設定された直後 , メインクロックモードに遷移します。 システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b011" に設定すると , デバイスはメイン PLL クロック発振安定待ち時間の経過を待ってからメイン PLL クロックモードに遷移します。 クロックモードをメイン CR PLL クロックモードから直接メイン PLL クロックモードに切り換えることは禁止されます。クロックモードをメイン CR PLL クロックモードからメイン PLL クロックモードに切り換えるとき , 一度クロックモードをメインPLLクロックモードとメインCR PLLクロックモード以外のクロックモードに切り換えてから , メイン PLL クロックモードに遷移させてください。
(6)			

表 3.4-1　クロックモードの状態遷移表 (2 / 3)

	現在の状態	次の状態	説明
(7)	メインクロック / メイン PLL クロック	メイン CR クロック / メイン CR PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b110" に設定すると , デバイスはメイン CR クロック発振安定待ち時間の経過を待ってからメイン CR クロックモードに遷移します。システムクロック制御レジスタ 2 のメイン CR クロック発振許可ビット (SYCC2:MCRE) の設定によりメイン CR クロックの発振が許可されており , システムクロック制御レジスタ 2 のメイン CR クロック発振安定ビット (SYCC2:MCRDY) が "1" の場合は , デバイスはクロックモード選択ビット (SYCC2:SCS[2:0]) が "0b110"に設定された直後, メインCRクロックモードに遷移します。 システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0])を"0b111"に設定すると, デバイスはメインCR PLL クロック発振安定待ち時間の経過を待ってからメイン CR PLL クロックモードに遷移します。 クロックモードをメイン PLL クロックモードから直接メイン CR PLL クロックモードに切り換えることは禁止されます。クロックモードをメイン PLL クロックモードからメイン CR PLL クロックモードに切り換えるとき , 一度クロックモードをメイン PLL クロックモードとメイン CR PLL クロックモード以外のクロックモードに切り換えてから , メイン CR PLL クロックモードに遷移させてください。
(8)			
(9)		サブ CR クロック	(1) および (2) と同様
(10)			
(11)		サブクロック	(3) および (4) と同様
(12)			
(13)	サブ CR クロック	メイン CR クロック / メイン CR PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b110" に設定すると , デバイスはメイン CR クロック発振安定待ち時間の経過を待ってからメイン CR クロックモードに遷移します。 システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0])を"0b111"に設定すると, デバイスはメインCR PLL クロック発振安定待ち時間の経過を待ってからメイン CR PLL クロックモードに遷移します。
(14)		メインクロック / メイン PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b010" に設定すると , デバイスはメインクロック発振安定待ち時間の経過を待ってからメインクロックモードに遷移します。 システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b011" に設定すると , デバイスはメイン PLL クロック発振安定待ち時間の経過を待ってからメイン PLL クロックモードに遷移します。
(15)		サブクロック	(3) および (4) と同様
(16)			
(17)	サブクロック	メイン CR クロック / メイン CR PLL クロック	(13) と同様
(18)		メインクロック / メイン PLL クロック	(14) と同様
(19)		サブ CR クロック	(1) および (2) と同様
(20)			
(21)	メイン CR クロック	メイン CR PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b111" に設定すると , デバイスはメイン CR PLL クロック発振安定待ち時間の経過を待ってからメイン CR PLL クロックモードに遷移します。
(22)	メイン CR PLL クロック	メイン CR クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b110" に設定すると , デバイスは直ちにメイン CR PLL クロックモードに遷移します。

表 3.4-1 クロックモードの状態遷移表 (3 / 3)

	現在の状態	次の状態	説明
(23)	メインクロック	メイン PLL クロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b011" に設定すると , デバイスはメイン PLL クロック発振安定待ち時間の経過を待ってからメイン PLL クロックモードに遷移します。
(24)	メイン PLL クロック	メインクロック	システムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS[2:0]) を "0b010" に設定すると , デバイスは直ちにメインクロックモードに遷移します。

3.5 低消費電力モード (スタンバイモード) の動作

スタンバイモードには , スリープモード , ストップモード , タイムベースタイマモード , 時計モードの 4 種類があります。

■ スタンバイモードの遷移と復帰の概要

スタンバイモードには , スリープモード , ストップモード , タイムベースタイマモード , 時計モードの 4 種類があります。スタンバイ制御レジスタ (STBC) の設定によって , デバイスはスタンバイモードに遷移します。

スタンバイモードの解除は , 割込みまたはリセットにより行われます。通常動作に遷移する前に , デバイスは必要に応じて自動的に発振安定待ち時間の経過を待ちます。

リセットによりクロックモードがスタンバイモードから復帰する場合は , デバイスはメイン CR クロックモードに戻ります。割込みによりクロックモードがスタンバイモードから復帰する場合は , スタンバイモードに遷移する前のクロックモードに復帰します。

■ スタンバイモード時の端子の状態

スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) によって , ストップモード , タイムベースタイマモードまたは時計モード時の I/O ポートまたは周辺機能端子の状態を直前の状態保持または周辺機能端子をハイインピーダンスに設定できます。

スタンバイモード時の全端子の状態については , デバイスのデータシートを参照してください。

3.5.1 スタンバイモード使用上の注意

スタンバイ制御レジスタ (STBC) をスタンバイモードに設定した場合でも , 周辺機能から割込み要求が発生しているときには , スタンバイモードに遷移しません。デバイスが割込みに反応してスタンバイモードから通常動作状態へ復帰する場合は , 割込み要求が受け付けられるかどうかによって復帰後の動作が異なります。

■ スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください。

スタンバイ制御レジスタに設定した後 , デバイスはスタンバイモードに遷移するまでに 4 マシンクロック周期が必要となります。その間 CPU はプログラムを実行します。スタンバイモードへの遷移時にプログラムの実行を回避するためには , 必ず NOP 命令を 3 命令以上入れてください。

デバイスがスタンバイモードに遷移するように設定した命令の後に , NOP 以外の命令を配置してもデバイスは正常に動作します。その場合 , 下記の 2 つのイベントが起こり得ます。スタンバイモード解除後に実行するはずの命令がスタンバイモードに遷移する前に実行されることがあります。次に , デバイスが命令実行の途中でスタンバイモードに入り , スタンバイモード解除後に同じ命令の実行が再開されることもあります (命令実行サイクル数の増加) 。

■ スタンバイモード設定前にクロックモードの遷移が完了していることを確認してください。

スタンバイモードの設定前に , システムクロック制御レジスタにおけるクロックモードモニタビット (SYCC:SCM[2:0]) とクロックモード選択ビット (SYCC:SCS[2:0]) の値を比較して , クロックモードの遷移が完了していることを確認してください。

■ 割込み要求によりスタンバイモードへの遷移が抑止されることがあります。

スタンバイモードの設定を行う時に割込みレベルが "0b11" より強い割込み要求が発生した場合 , デバイスはスタンバイ制御レジスタへの書込みを無視し , 設定されたスタンバイモードへの遷移はしないで命令の実行を続けます。割込み要求の処理後にもデバイスはスタンバイモードに遷移しません。

CPU のコンディションコードレジスタにおける割込み許可フラグ (CCR:I) および割込みレベルビット (CCR:IL[1:0]) によって割込みが禁止されている場合にも , 同様の動作が実行されます。

■ スタンバイモードは CPU が割込みを受け付けない場合も解除されます。

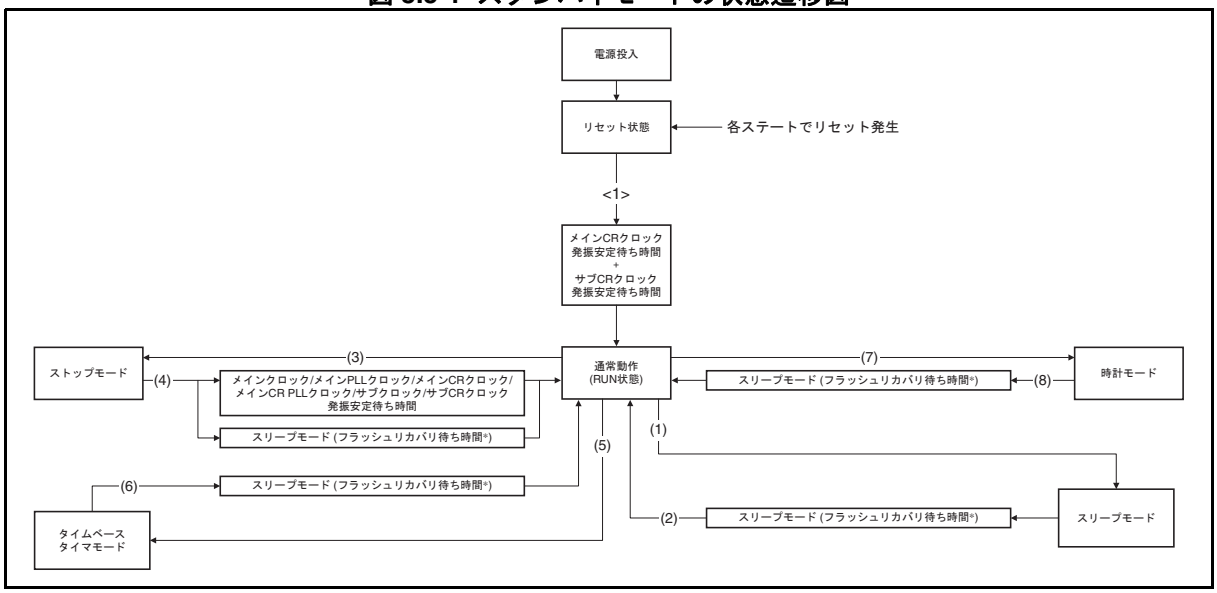
スタンバイモード中に割込みレベルが "0b11" より強い割込み要求が発生すると , デバイスは CPU のコンディションコードレジスタ (CCR) における割込み許可フラグ (CCR:I) および割込みレベルビット (CCR:IL[1:0]) の設定に関係なくスタンバイモードから解除されます。

スタンバイモードからの解除後 , CPU のコンディションコードレジスタ (CCR) の設定により割込みを受け付けられる状態のときは , デバイスは割込みを処理します。もし CCR の設定が割込みを受け付けられない場合 , デバイスはスタンバイモードに遷移する前に実行した次の命令から実行を再開します。

■ スタンバイモードの状態遷移図

図 3.5-1 に , スタンバイモードの状態遷移図を示します。

図 3.5-1 スタンバイモードの状態遷移図



*: フラッシュメモリリカバリ待ち時間 (SCLK: ソースクロック , MCLK: マシンクロック)

- メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードの場合
  最大値 : 10 SCLK + 150 µs + 6 MCLK
- サブクロックモードまたはサブ CR クロックモードの場合
  最大値 : 2 SCLK + 150 µs + 6 MCLK

表 3.5-1 状態遷移表 (スタンバイモードへの遷移と解除)

	状態遷移	説明
<1>	リセット状態後の通常動作	リセット後 , デバイスがメイン CR クロックモードに遷移します。 パワーオンリセット , ウォッチドッグリセット , ソフトウェアリセット , 外部リセットの場合 , デバイスは常にサブ CR クロックとメイン CR クロック発振安定待ち時間の経過を待ちます。
(1)	スリープモード	スタンバイ制御レジスタのスリープビット (STBC:SLP) に "1" を書き込むと , デバイスはスリープモードに遷移します。
(2)		周辺機能からの割込みにより , フラッシュリカバリ待ち時間の経過を待ってからデバイスは RUN 状態に復帰します。 また , フラッシュリカバリ待ち時間の間はスリープモード (CPU は動作停止 , 周辺機能は動作再開) となります。 ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。
(3)	ストップモード	スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むと , デバイスはストップモードに遷移します。
(4)		外部割込みにより , 現在のクロックモードに応じて必要な発振安定待ち時間の経過およびフラッシュリカバリ待ち時間の経過を待ってからデバイスは RUN 状態に復帰します。 発振安定待ち時間がフラッシュリカバリ待ち時間より短い場合 , 発振安定待ち時間経過後 , フラッシュリカバリ待ち時間が経過するまでスリープモードとなります。 発振安定待ち時間がフラッシュリカバリ待ち時間より長い場合 , 発振安定待ち時間経過後 , デバイスは RUN 状態に復帰します。 ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。
(5)	タイムベースタイマモード	メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモード中のスタンバイ制御レジスタ (STBC:TMD) の時計ビットに "1" を書き込むと , デバイスはタイムベースモードに遷移します。
(6)		周辺機能からの割込みにより , フラッシュリカバリ待ち時間の経過を待ってからデバイスは RUN 状態に復帰します。 また , フラッシュリカバリ待ち時間の間はスリープモード (CPU は動作停止 , 周辺機能は動作再開) となります。 ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。
(7)	時計モード	サブクロックモードまたはサブ CR クロックモードのスタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むと , デバイスは時計モードに遷移します。
(8)		周辺機能からの割込みにより , フラッシュリカバリ待ち時間の経過を待ってからデバイスは RUN 状態に復帰します。 また , フラッシュリカバリ待ち時間の間はスリープモード (CPU は動作停止 , 周辺機能は動作再開) となります。 ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。

3.5.2 スリープモード

スリープモードでは CPU とウォッチドッグタイマの動作は停止となります。

■ スリープモードの動作

スリープモードでは CPU とウォッチドッグタイマの動作クロックは停止となります。CPU はデバイスがスリープモードに遷移する直前に存在しているレジスタと RAM の内容を保持して停止しますが , ウォッチドッグタイマを除く周辺機能は動作を続けます。

ハードウェアウォッチドッグタイマの場合 , 不揮発性レジスタ機能によってスタンバイモードが許可されたとき , スリープモードでサブ CR クロックは停止せず , ハードウェアウォッチドッグタイマは動作します。詳細は,「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。

- **スリープモードへの遷移**

  スタンバイ制御レジスタのスリープビット (STBC:SLP) を "1" に設定すると , デバイスはスリープモードに入ります。

- **スリープモードの解除**

  リセットまたは周辺機能からの割込みによって , デバイスはスリープモードから解除されます。

  リセットまたは周辺機能からの割込みが発生した後でも , フラッシュリカバリ待ち時間が経過するまでデバイスはスリープモードを継続します。

  ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。

  フラッシュリカバリ待ち時間の詳細については , 図 3.5-1 を参照してください。

3.5.3 ストップモード

ストップモードでは , メインクロック , メイン PLL クロック , メイン CR クロック , メイン CR PLL クロックおよびサブクロックは停止となります。

■ ストップモードの動作

ストップモードでは , メインクロック , メイン PLL クロック , メイン CR クロック , メイン CR PLL クロックおよびサブクロックは停止となります。このモードでは , デバイスはストップモードに遷移する直前にレジスタと RAM の内容を保持しつつ , 外部割込みと低電圧検出リセットを除くすべての機能を停止します。

ハードウェアウォッチドッグタイマの場合 , 不揮発性レジスタ機能によってスタンバイモードが許可されたとき , ストップモードでサブ CR クロックは停止せず , ハードウェアウォッチドッグタイマは動作します。詳細は「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。

● ストップモードへの遷移

スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むと , デバイスはストップモードに入ります。このとき , スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "0" の場合 , 外部端子の状態は保持され , SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップレジスタでプルアップ抵抗を選択している端子はプルアップ状態になります) 。

● ストップモードの解除

ストップモードはリセットまたは外部割込みによって解除されます。どのクロックモードも , スタンバイモードにおいて , ハードウェアウォッチドッグタイマか不揮発性レジスタ機能によって許可された場合 , サブ CR クロックは停止せず , ウォッチドッグタイマおよび時計プリスケーラはストップモードで動作します。また , 時計プリスケーラからの割込みによりデバイスはストップモードから解除されます。詳細は , 「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。

リセットまたは周辺機能からの割込み発生後の動作は , 発振安定待ち時間とフラッシュリカバリ待ち時間の関係で以下のようになります。

- 発振安定待ち時間がフラッシュリカバリ待ち時間より短い場合
  発振安定待ち時間経過後 , デバイスはスリープモードに遷移し , フラッシュリカバリ待ち時間が経過するまでスリープモードを継続します。
- 発振安定待ち時間がフラッシュリカバリ待ち時間より長い場合
  発振安定待ち時間経過後 , デバイスは RUN 状態に復帰します。

ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。

フラッシュリカバリ待ち時間の詳細については , 図 3.5-1 を参照してください。

＜注意事項＞

デバイスが割込みによってストップモードから解除された場合 , 動作途中でストップモードとなった周辺機能はストップモードに遷移した時点の動作から再開します。そのため , インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスをストップモードから解除した後は必要に応じて周辺機能を初期化してください。

3.5.4 タイムベースタイマモード

タイムベースタイマモードではメインクロック発振 , サブクロック発振 , タイムベースタイマおよび時計プリスケーラのみ動作します。このモードでは CPU と周辺機能の動作クロックは停止となります。

■ タイムベースタイマの動作

タイムベースタイマモードは , タイムベースタイマへのクロック供給を除きメインクロックの供給を停止させるモードです。このモードではデバイスはタイムベースタイマモードに遷移する直前に存在しているレジスタと RAM の内容を保持しつつ , タイムベースタイマ , 外部割込みと低電圧検出リセットを除くすべての機能を停止します。

システムクロック制御レジスタ 2 のサブクロック発振許可ビットおよびサブ CR クロック発振許可ビット (SYCC2:SOSCE, SCRE) の設定により , それぞれサブクロック発振およびサブ CR クロック発振をそれぞれ許可または禁止できます。サブクロックが発振する場合 , 時計プリスケーラが動作します。

ハードウェアウォッチドッグタイマの場合 , 不揮発性レジスタ機能によってスタンバイモードが許可されたとき , タイムベースタイマモードでサブ CR クロックは停止せず , ハードウェアウォッチドッグタイマは動作します。詳細は , 「第 28 章 不揮発性レジスタ (NVR) インタフェース」 を参照してください。

● タイムベースタイマモードへの遷移

システムクロック制御レジスタのクロックモードモニタビット (SYCC:SCM[2:0]) が "0b010", "0b011", "0b110" または "0b111"の場合 , スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことによりデバイスはタイムベースタイマモードに遷移します。

タイムベースタイマモードへの遷移はデバイスのクロックモードがメインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードのときのみ可能です。

デバイスがタイムベースタイマモードに遷移したとき , スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "0" の場合 , 外部端子の状態を保持し , SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップレジスタでプルアップ抵抗を選択している端子はプルアップ状態になります) 。

● タイムベースタイマモードからの解除

リセット , タイムベースタイマ割込み , 外部割込みにより , デバイスはタイムベースタイマモードから解除されます。

システムクロック制御レジスタ 2 (SYCC2) のサブクロック発振許可ビット (SOSCE) とサブ CR クロック発振許可ビット (SCRE) の設定により , サブクロック発振およびサブ CR クロック発振を許可または禁止できます。サブクロックが発振する場合 , 時計プリスケーラからの割込みによりデバイスはタイムベースタイマモードから解除されます。

リセットまたは周辺機能からの割込みが発生した後でも , フラッシュリカバリ待ち時間が経過するまでデバイスはスリープモードで動作を継続します。

ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発

生しません。

フラッシュリカバリ待ち時間の詳細については , 図 3.5-1 を参照してください。

＜注意事項＞

デバイスが割込みによってタイムベースタイマモードから解除された場合 , 動作途中でタイムベースタイマモードとなった周辺機能は , タイムベースタイマモードに遷移した時点の動作から再開します。そのため , インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスをタイムベースタイマモードから解除した後は必要に応じて周辺機能を初期化してください。

3.5.5 時計モード

時計モードではサブクロック , サブ CR クロックおよび時計プリスケーラのみが動作します。このモードでは CPU と周辺機能の動作クロックは停止となります。

■ 時計モードの動作

時計モードでは , デバイスは時計モードに遷移する直前にレジスタと RAM の内容を保持しつつ , デバイスは外部割込みと低電圧検出リセットを除くすべての機能を停止します。

スタンバイモード中に , 不揮発性レジスタによってハードウェアウォッチドッグタイマが許可されていると , 時計モードでサブ CR クロックは停止せず , ハードウェアウォッチドッグタイマは動作します。詳細は , 「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。

● 時計モードへの遷移

システムクロック制御レジスタのシステムクロックモニタビット (SYCC:SCM[2:0]) が "0b000" または "0b100" の場合 , スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことによりデバイスは時計モードに遷移します。

時計モードへの遷移はデバイスのクロックモードがサブクロックモードまたはサブ CR クロックモードのときのみ遷移できます。

デバイスが時計モードに遷移したとき , スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "0" の場合 , 外部端子の状態を保持し , SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップレジスタでプルアップ抵抗を選択している端子はプルアップ状態になります) 。

● 時計モードからの解除

リセット , 時計割込みまたは外部割込みによりデバイスは時計モードから解除されます。

リセットまたは周辺機能からの割込みが発生した後でも , フラッシュリカバリ待ち時間が経過するまでデバイスはスリープモードで動作を継続します。

ただし , RAM でプログラムを実行している場合は , フラッシュリカバリ待ち時間は発生しません。

フラッシュリカバリ待ち時間の詳細については , 図 3.5-1 を参照してください。

＜注意事項＞

デバイスが割込みによって時計モードから解除された場合 , 動作途中で時計モードとなった周辺機能は , 時計モードに遷移した時点の動作から再開します。そのため , インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスを時計モードから解除した後は , 必要に応じて周辺機能を初期化してください。

3.6 クロック発振回路

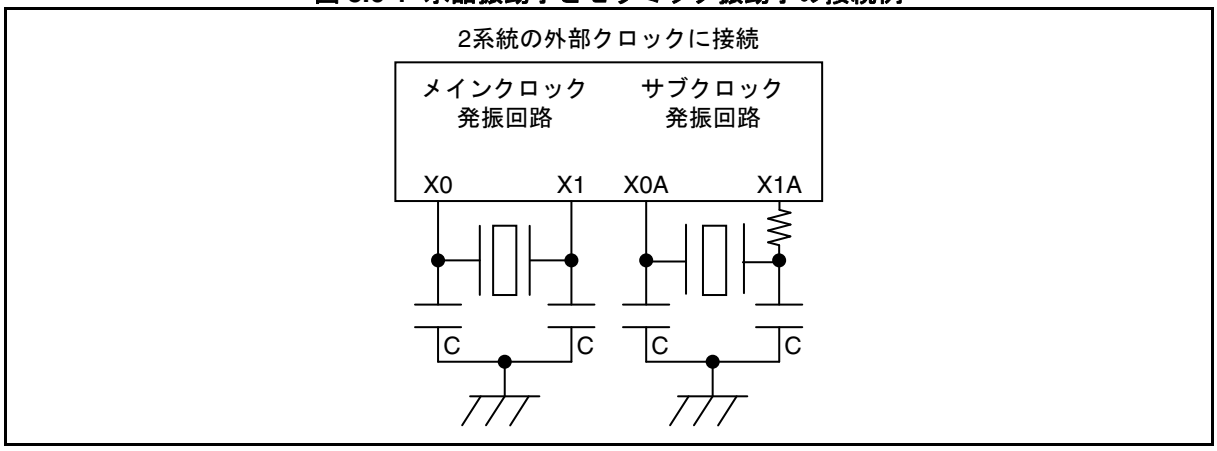
クロック発振回路はクロック発振端子に振動子を接続するかまたはクロック信号を入力することによって内部クロックを生成します。

■ クロック発振回路

- 水晶振動子またはセラミック振動子の場合

  図 3.6-1 のように水晶振動子またはセラミック振動子を接続してください。

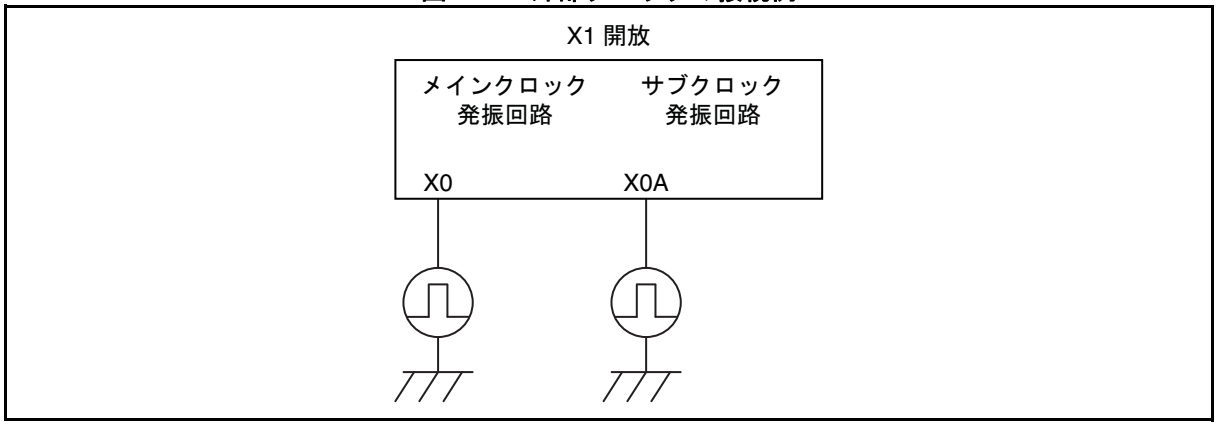
図 3.6-1 水晶振動子とセラミック振動子の接続例



- 外部クロックの場合

  図 3.6-2 に示すように , クロック信号を外部クロックからメインクロックに供給する場合 , 外部クロックを X0 端子に接続し , SYSC レジスタの PFSEL[1:0] ビットに "10" を書き込んでください。また , クロック信号を外部クロックからサブクロックに供給する場合 , 外部クロックを X0A 端子に接続し , SYSC レジスタの PGSEL[1:0] ビットに "10" を書き込んでください。SYSC レジスタの詳細については ,「第 30 章 システム構成コントローラ」を参照してください。

図 3.6-2 外部クロックの接続例



3.7 プリスケーラの概要

プリスケーラは , マシンクロック (MCLK) とタイムベースタイマから出力されるカウントクロックより , 各種周辺機能へ供給するカウントクロックソースを生成します。

■ プリスケーラ

プリスケーラはCPU の動作するマシンクロック (MCLK) とタイムベースタイマから出力されるカウントクロック ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$, $F_{CRH}/2^7$, $F_{PLL}/2^6$ または $F_{PLL}/2^7$) より , 各種周辺機能へ供給するカウントクロックソースを生成します。このカウントクロックソースはプリスケーラで分周されたクロックまたはバッファされたクロックです。下記の周辺機能はこのプリスケーラによって分周されたクロック周波数をカウントクロックソースとして使用しています。

なお , 本プリスケーラには制御用のレジスタはなく , マシンクロック (MCLK) およびタイムベースタイマのカウントクロック ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$, $F_{CRH}/2^7$, $F_{PLL}/2^6$ または $F_{PLL}/2^7$) にて常に動作します。

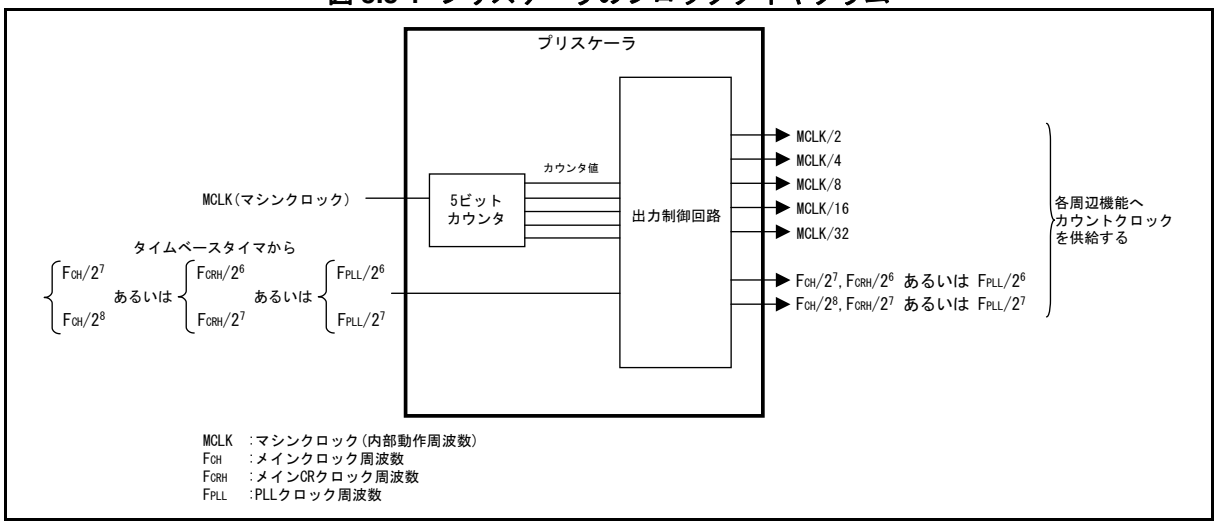
- 8/16 ビット複合タイマ
- 8/12 ビット A/D コンバータ
- 8/16 ビット PPG
- 16 ビットリロードタイマ
- UART/SIO 専用ボーレートジェネレータ

3.8 プリスケーラの構成

図 3.8-1 に , プリスケーラのブロックダイヤグラムを示します。

■ プリスケーラのブロックダイヤグラム

図 3.8-1 プリスケーラのブロックダイヤグラム



- 5 ビットカウンタ

  本カウンタは , マシンクロック (MCLK) をカウントし , 出力制御回路へカウンタ値を出力します。

- 出力制御回路

  本回路は , 5 ビットカウンタ値に基づき , マシンクロック (MCLK) を 2 分周 , 4 分周 , 8 分周 , 16 分周 , 32 分周したクロックを各周辺機能へ供給する回路です。この回路はタイムベースタイマ ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$, $F_{CRH}/2^7$, $F_{PLL}/2^6$ または $F_{PLL}/2^7$) からのクロックをバッファリングして各周辺機能へ供給します。

■ 入力クロック

プリスケーラはマシンクロックまたはタイムベースタイマの出力クロックを入力クロックとして使用します。

■ 出力クロック

プリスケーラは以下の周辺機能にクロックを供給します。

- 8/16 ビット複合タイマ
- 8/12 ビット A/D コンバータ
- 8/16 ビット PPG
- 16 ビットリロードタイマ
- UART/SIO 専用ボーレートジェネレータ

3.9 プリスケーラの動作

プリスケーラは , 各周辺機能へ供給するカウントクロックソースを生成します。

■ プリスケーラの動作

プリスケーラは , マシンクロック (MCLK) を分周して生成される周波数のクロックおよびタイムベースタイマ ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$, $F_{CRH}/2^7$, $F_{PLL}/2^6$ または $F_{PLL}/2^7$) のバッファ信号からカウントクロックソースを生成し , 各周辺機能へ供給します。このプリスケーラはマシンクロックとタイムベースタイマからのクロックが供給されている間は動作を継続します。

表 3.9-1, 表 3.9-2 と表 3.9-3 に, プリスケーラの生成するカウントクロックソースを示します。

表 3.9-1 プリスケーラの生成するカウントクロックソース (F_{CH})

カウントクロックソース周波数	周波数 (F_{CH} = 20 MHz, MCLK = 10 MHz)	周波数 (F_{CH} = 32 MHz, MCLK = 16 MHz)	周波数 (F_{CH} = 32.5 MHz, MCLK = 16.25 MHz)
MCLK/2	5 MHz	8 MHz	8.125 MHz
MCLK/4	2.5 MHz	4 MHz	4.0625 MHz
MCLK/8	1.25 MHz	2 MHz	2.0313 MHz
MCLK/16	0.625 MHz	1 MHz	1.0156 MHz
MCLK/32	0.3125 MHz	0.5 MHz	0.5078 MHz
$F_{CH}/2^7$	156.25 kHz	250 kHz	253.9 kHz
$F_{CH}/2^8$	78.125 kHz	125 kHz	126.95 kHz

表 3.9-2 プリスケーラの生成するカウントクロックソース (F_{CRH})

カウントクロックソース周波数	周波数 (F_{CRH} = 4 MHz, MCLK = 4 MHz)
MCLK/2	2 MHz
MCLK/4	1 MHz
MCLK/8	0.5 MHz
MCLK/16	0.25 MHz
MCLK/32	125 kHz
$F_{CRH}/2^6$	62.5 kHz
$F_{CRH}/2^7$	31.25 kHz

表 3.9-3 プリスケーラの生成するカウントクロックソース (F_{PLL})

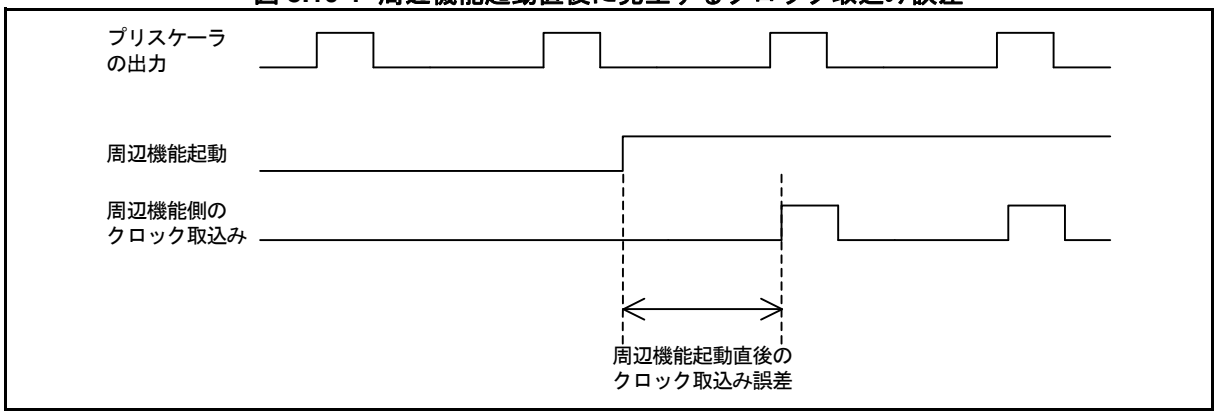
カウントクロックソース周波数	周波数 (F_{PLL} = 8 MHz, MCLK = 8 MHz)	周波数 (F_{PLL} = 10 MHz, MCLK = 10 MHz)	周波数 (F_{PLL} = 12 MHz, MCLK = 12 MHz)	周波数 (F_{PLL} = 16 MHz, MCLK = 16 MHz)
MCLK/2	4 MHz	5 MHz	6 MHz	8 MHz
MCLK/4	2 MHz	2.5 MHz	3 MHz	4 MHz
MCLK/8	1 MHz	1.25 MHz	1.5 MHz	2 MHz
MCLK/16	0.5 MHz	0.625 MHz	0.75 MHz	1 MHz
MCLK/32	0.25 MHz	0.3125 MHz	0.375 MHz	0.5 MHz
$F_{PLL}/2^6$	125 kHz	156.25 kHz	187.5 kHz	0.25 MHz
$F_{PLL}/2^7$	62.5 kHz	78.125 kHz	93.75 kHz	125 kHz

3.10 プリスケーラ使用上の注意

プリスケーラ使用上の注意を示します。

プリスケーラは , マシンクロックとタイムベースタイマから発生するクロックにより動作し , これらのクロックが供給されている間は動作を継続します。したがって , 周辺機能が起動した直後の動作は , プリスケーラの出力値に応じて , 周辺機能のクロック取込みに , 最大 1 クロックリソース分の誤差が発生します。

図 3.10-1 周辺機能起動直後に発生するクロック取込み誤差



以下の周辺機能は , プリスケーラのカウント値の影響を受けます。

- 8/16 ビット複合タイマ
- 8/12 ビット A/D コンバータ
- 8/16 ビット PPG
- 16 ビットリロードタイマ
- UART/SIO 専用ボーレートジェネレータ

第4章 リセット

リセットの動作について説明します。

4.1 リセット動作
4.2 レジスタ
4.3 使用上の注意

4.1 リセット動作

リセット要因が発生すると, CPUは現在実行中の処理を直ちに中断してリセット解除待ち状態になります。リセットが解除されると , CPU はフラッシュメモリからモードデータとリセットベクタを読み出します (モードフェッチ)。電源投入時またはデバイスがサブクロックモード , サブ CR クロックモードおよびストップモードのリセットから解除されると, CPUは発振安定待ち時間が経過した後にモードフェッチを行います。

■ リセット要因

リセットには , 5 つのリセット要因があります。

表 4.1-1 リセット要因

リセット要因	リセット条件
外部リセット	外部リセット端子に "L" レベルを入力する。
ソフトウェアリセット	スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) を "1" に設定する。
ウォッチドッグリセット	ウォッチドッグタイマのオーバフロー。
パワーオンリセット	電源の投入
低電圧検出リセット (オプション)	供給電圧が検出電圧より低下する。

- **外部リセット**

  外部リセット端子 ($\overline{RST}$) を "L" レベルにすることによって , 外部リセットを発生します。

  外部から入力されたリセット信号は , 内部のノイズフィルタを通してマイコンの動作クロックに非同期で受け付けられ , 内部回路を初期化するためにマシンクロックに同期した内部リセット信号を発生します。したがって , 内部回路の初期化のためにマイコンの動作クロックが必要です。ただし , 外部クロックで動作するためには , 外部クロック信号が入力されなければいけません。外部端子 (I/O ポートおよび周辺機能を含む) は非同期でリセットされます。また , 外部リセット入力には , パルス幅の標準値があります。値が標準値を下回る場合は , リセット信号が受け付けられないことがあります。

  なお , 規格値はデータシートに記載しているため , 規格値を満足するように外部のリセット回路を設計してください。

- **ソフトウェアリセット**

  スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) を "1" に設定することによって , ソフトウェアリセットが発生します。

- **ウォッチドッグリセット**

  ウォッチドッグタイマの起動後 , 所定時間にウォッチドッグタイマのクリアが行われないときには , ウォッチドッグリセットが発生します。

- **パワーオンリセット**

  電源が投入されると , パワーオンリセットが発生します。

● 低電圧検出リセット (オプション)

低電圧検出リセット回路は特定の品種にのみ搭載されています。デバイスのデータシートでこの回路の有無を確認してください。

低電圧検出リセット回路は , 電源電圧が定められた電圧より低下したときにリセットを発生します。

低電圧検出リセットの論理機能はパワーオンリセットと同じです。本マニュアルにおけるパワーオンリセットに関するすべての記述は , 低電圧検出リセットにも適応されます。

ただし , 低電圧検出回路の LVD 制御レジスタ (LVDC) は低電圧検出リセットによってはリセットされません。

低電圧検出リセットの詳細については「第 16 章 低電圧検出回路」を参照してください。

■ リセット中の時間

リセット中の時間はリセット要因により異なります。

- ソフトウェアリセット , ウォッチドッグリセットまたは外部リセットの場合

  リセット時間は , リセット前に選択したマシンクロックの周期 , RAM アクセス中のリセットを抑止する RAM アクセス保護機能およびサブ CR クロック発振安定待ち時間から影響を受けます。RAM アクセス保護機能はリセット前に選択したマシンクロックの周期によって延長されることがあります。

  システムクロック制御レジスタ 2 のサブ CR クロック発振安定ビット (SYCC2: SCRDY) が "1" のときにリセットが発生した場合 , メイン CR クロック発振安定待ち時間経過後 , リセット状態が解除されます。

  システムクロック制御レジスタ 2 のサブ CR クロック発振安定ビット (SYCC2: SCRDY) が "0" のときにリセットが発生した場合 , サブ CR クロック発振安定待ち時間とメイン CR クロック発振安定待ち時間が経過した後に , リセット状態が解除されます。

- パワーオンリセットおよび低電圧検出リセットの場合

  リセット状態は , サブ CR クロック発振安定待ち時間とメイン CR クロック発振安定待ち時間が経過した後に , 解除されます。

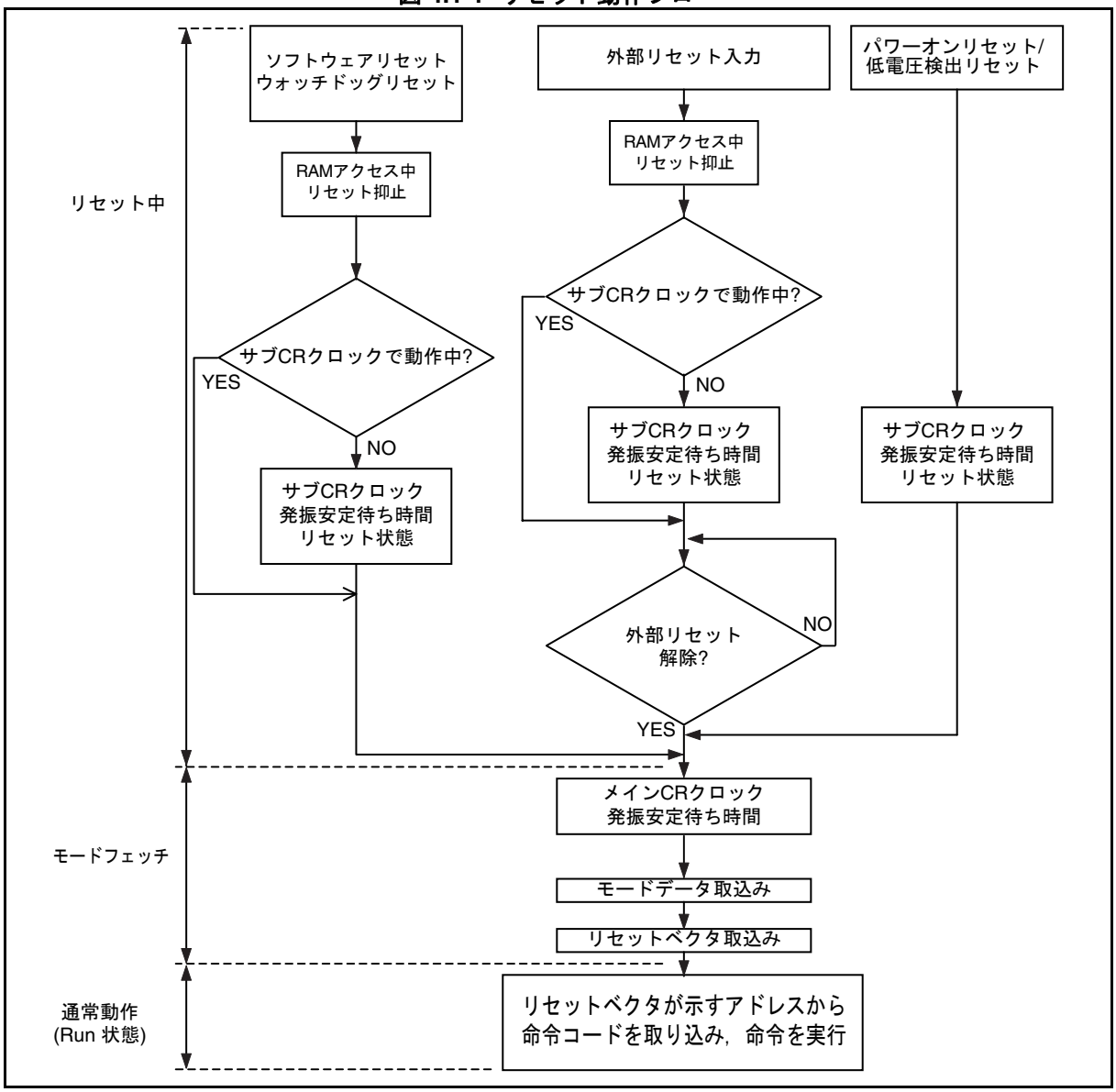
■ リセット出力

$\overline{\text{RST}}$端子は , リセット入力機能が有効であり , かつリセット出力機能が有効である場合 , リセット中に "L" レベルを出力します。ただし , 外部リセットの場合はリセット端子には "L" レベルを出力する機能はありません。

リセット入力機能 , リセット出力機能設定については , 「第 30 章 システム構成コントローラ」を参照してください。

■ リセット動作の概要

図 4.1-1 リセット動作フロー



任意のリセットで , CPU はモードフェッチをメイン CR クロック発振安定待ち時間が経過した後に実行します。

■ RAM 内容のリセットによる影響

リセットが発生した場合, CPUは現在実行中の命令の動作を中断し, リセット状態になります。ただし , RAM アクセス中は , RAM アクセスの保護のために RAM アクセスの終了後にマシンクロックに同期して内部リセット信号を発生します。この機能は 2 バイトのデータの書込み中 , ワードデータの書込み動作がリセットにより割り込まれるのを防止します。

■ リセット中の端子の状態

リセットが発生すると I/O ポートまたは周辺機能端子は, リセット解除後ソフトウェアによる設定が行われるまで , ハイインピーダンスになります。

＜注意事項＞

デバイスの誤作動防止ため , リセット中はハイインピーダンスとなる端子に対してプルアップ抵抗を接続してください。

リセット中の全端子の状態については , デバイスのデータシートを参照してください。

4.2 レジスタ

リセット用のレジスタについて説明します。

表 4.2-1 リセット用のレジスター覧

レジスタ略称	レジスタ名	参照先
RSRR	リセット要因レジスタ	4.2.1

4.2.1 リセット要因レジスタ (RSRR)

リセット要因レジスタは , 発生したリセットの要因を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	EXTS	WDTR	PONR	HWR	SWR
属性	—	—	—	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	X	X	X	X	X

■ レジスタ機能

[bit7:5] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit4] EXTS: 外部リセットフラグビット
このビットが "1" になった場合 , 外部リセットが発生したことを示します。
それ以外のリセットでは , リセット発生前の値を保持します。
読出し動作または書込み動作 ("0" または "1" の書込み) はこの ビットを "0" に設定します。

bit4	説明
読出し動作	このビットを "0" に設定します。
"1" に設定された場合	リセット要因が外部リセットであることを示します。
書込み動作	このビットを "0" に設定します。

[bit3] WDTR: ウォッチドッグリセットフラグビット
このビットが "1" になった場合 , ウォッチドッグリセットが発生したことを示します。
それ以外のリセットでは , リセット発生前の値を保持します。
読出し動作または書込み動作 ("0" または "1" の書込み) はこの ビットを "0" に設定します。

bit3	説明
読出し動作	このビットを "0" に設定します。
"1" に設定された場合	リセット要因がウォッチドッグリセットであることを示します。
書込み動作	このビットを "0" に設定します。

[bit2] PONR: パワーオンリセットフラグビット
このビットが "1" になった場合 , パワーオンリセット / 低電圧検出リセット (オプション) が発生したことを示します。
それ以外のリセットでは , リセット発生前の値を保持します。
低電圧検出リセット回路は特定の品種にのみ搭載されています。デバイスのデータシートでこの回路の有無を確認してください。
読出し動作または書込み動作 ("0" または "1" の書込み) はこの ビットを "0" に設定します。

bit2	説明
読出し動作	このビットを "0" に設定します。
"1" に設定された場合	リセット要因がパワーオンリセット / 低電圧検出リセット (オプション) であることを示します。
書込み動作	このビットを "0" に設定します。

[bit1] HWR: ハードウェアリセットフラグビット
このビットが "1" になった場合 , ハードウェアリセット (パワーオンリセット , 低電圧検出リセット (オプション), 外部リセットまたは ウォッチドッグリセット) が発生したことを示します。したがって , bit4 ～ bit2 のいずれかのビットが "1" になった場合 , このビットも "1" になります。
ソフトウェアリセットが発生した場合は , リセット発生前の値を保持します。
読出し動作または書込み動作 ("0" または "1" の書込み) はこの ビットを "0" に設定します。

bit1	説明
読出し動作	このビットを "0" に設定します。
"1" に設定された場合	リセット要因がハードウェアリセットであることを示します。
書込み動作	このビットを "0" に設定します。

[bit0] SWR: ソフトウェアリセットフラグビット
このビットが "1" になった場合 , ソフトウェアリセットが発生したことを示します。
ハードウェアリセットが発生した場合は , リセット発生前の値を保持します。
読出し動作または書込み動作 ("0" または "1" の書込み) またはパワーオンリセットはこの ビットを "0" に設定します。

bit0	説明
読出し動作	このビットを "0" に設定します。
"1" に設定された場合	リセット要因がソフトウェアリセットであることを示します。
書込み動作	このビットを "0" に設定します。

＜注意事項＞

リセット要因レジスタを読み出すとその内容がクリアされるため , レジスタの内容を演算に使用する前に RAM に保存してください。

■ リセット要因レジスタ (RSRR) の状態

表 4.2-2　リセット要因レジスタの状態

リセット要因	EXTS	WDTR	PONR	HWR	SWR
パワーオンリセット	×	×	1	1	0
低電圧検出リセット (オプション)	×	×	1	1	0
ソフトウェアリセット	△	△	△	△	1
ウォッチドッグリセット	△	1	△	1	△
外部リセット	1	△	△	1	△

1:　フラグセット

△:　前の状態を保持

×:　不定

EXTS:　このビットが "1" に設定されたときには , 外部リセットが発生したことを示しています。

WDTR:　このビットが "1" に設定されたときには , ウォッチドッグリセットが発生したことを示しています。

PONR:　このビットが "1" に設定されたときには , パワーオンリセットまたは低電圧検出リセット (オプション) が発生したことを示しています。

HWR:　このビットが"1"に設定されたときには, 外部リセット, ウォッチドッグリセット , パワーオンリセット , 低電圧検出リセット (オプション) のリセットのうちの 1 つが発生したことを示しています。

SWR:　このビットが "1" に設定されたときには , ソフトウェアリセットが発生したことを示しています。

4.3 使用上の注意

リセット使用上の注意を示します。

■ リセット使用上の注意

- **リセットの要因によるレジスタおよびビットの初期化について**

  リセットが発生しても , 初期化されないレジスタやビットがあります。

  - リセット要因の種類により , リセット要因レジスタ (RSRR) のどのビットを初期化するか決定されます。
  - クロック制御部の発振安定待ち時間設定レジスタ (WATR) はパワーオンリセットによってのみ初期化されます。

第5章 割込み

割込みについて説明します。

5.1 割込み

5.1 割込み

割込みについて説明します。

■ 割込みの概要

New 8FX ファミリには , 周辺機能に関連する 24 本の割込み要求入力があり , それぞれ独立に割込みレベルを設定できます。

周辺機能で割込み要求が発生した場合 , この割込み要求は割込みコントローラに出力されます。割込みコントローラは , その割込み要求の割込みレベルを判定し , CPU に割込みの発生を伝えます。CPU は割込み受付け状態に従って割込み動作を行います。また , スタンバイモード時の割込み要求によりデバイスはスタンバイモードから復帰し , 命令実行を再開します。

■ 周辺機能からの割込み要求

CPU が割込み要求を受け付けると , 割込み要求に対応する割込みベクタテーブルアドレスを分岐先アドレスとして , 割込みサービスルーチンへ分岐します。

各割込み要求の割込み処理優先順位は , 割込みレベル設定レジスタ (ILR0 ～ ILR5) により , 割込み処理の優先順位を 4 段階に設定できます。

割込みサービスルーチンで割込みが処理されている間 , 同一またはそれ以下のレベルの割込み要求が発生した場合は , 現在の割込みサービスルーチンが終了した後に , 処理が実行されます。また , 複数の割込み要求が同一割込みレベルに設定された場合 , IRQ00 が最優先順位になります。

割込み要因については , デバイスのデータシートの「■ 割込み要因のテーブル」を参照してください。

5.1.1 割込みレベル設定レジスタ (ILR0 ～ ILR5)

割込みレベル設定レジスタ (ILR0 ～ ILR5) には , 各周辺機能からの割込み要求に対応した 2 ビットのデータが 24 組が割り当てられています。これら 2 ビットのデータ (割込みレベル設定ビット) を使用して , 割込み要求の割込みレベルを設定します。

■ レジスタ構成

ILR0

bit	7	6	5	4	3	2	1	0
Field	L03[1:0]		L02[1:0]		L01[1:0]		L00[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

ILR1

bit	7	6	5	4	3	2	1	0
Field	L07[1:0]		L06[1:0]		L05[1:0]		L04[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

ILR2

bit	7	6	5	4	3	2	1	0
Field	L11[1:0]		L10[1:0]		L09[1:0]		L08[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

ILR3

bit	7	6	5	4	3	2	1	0
Field	L15[1:0]		L14[1:0]		L13[1:0]		L12[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

ILR4

bit	7	6	5	4	3	2	1	0
Field	L19[1:0]		L18[1:0]		L17[1:0]		L16[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

ILR5

bit	7	6	5	4	3	2	1	0
Field	L23[1:0]		L22[1:0]		L21[1:0]		L20[1:0]	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

割込みレベル設定レジスタは, 各割込み要求に対し2ビットずつのデータを割り当てられています。これらレジスタの割込みレベル設定ビットの値が , 割込み処理における割込み要求の優先順位を表します。(割込みレベル：0 ～ 3)

割込みレベル設定ビットは , コンディションコードレジスタ (CCR:IL[1:0]) の割込みレ

ベルビットと比較されます。

割込み要求の割込みレベル 3 を設定した場合 , CPU は割込み要求を受け付けません。

表 5.1-1 に , 割込みレベル設定ビットと割込みレベルとの関係を示します。

表 5.1-1　割込みレベル設定ビットと割込みレベルとの関係

LXX[1:0]	割込みレベル	優先順位
00	0	高い
01	1	↕
10	2	
11	3	低い (割込みなし)

XX:00 ～ 23 割込み要求の番号

メインプログラム実行中は , コンディションコードレジスタの割込みレベルビット (CCR:IL[1:0]) は , "0b11" です。

5.1.2 割込み動作時の処理

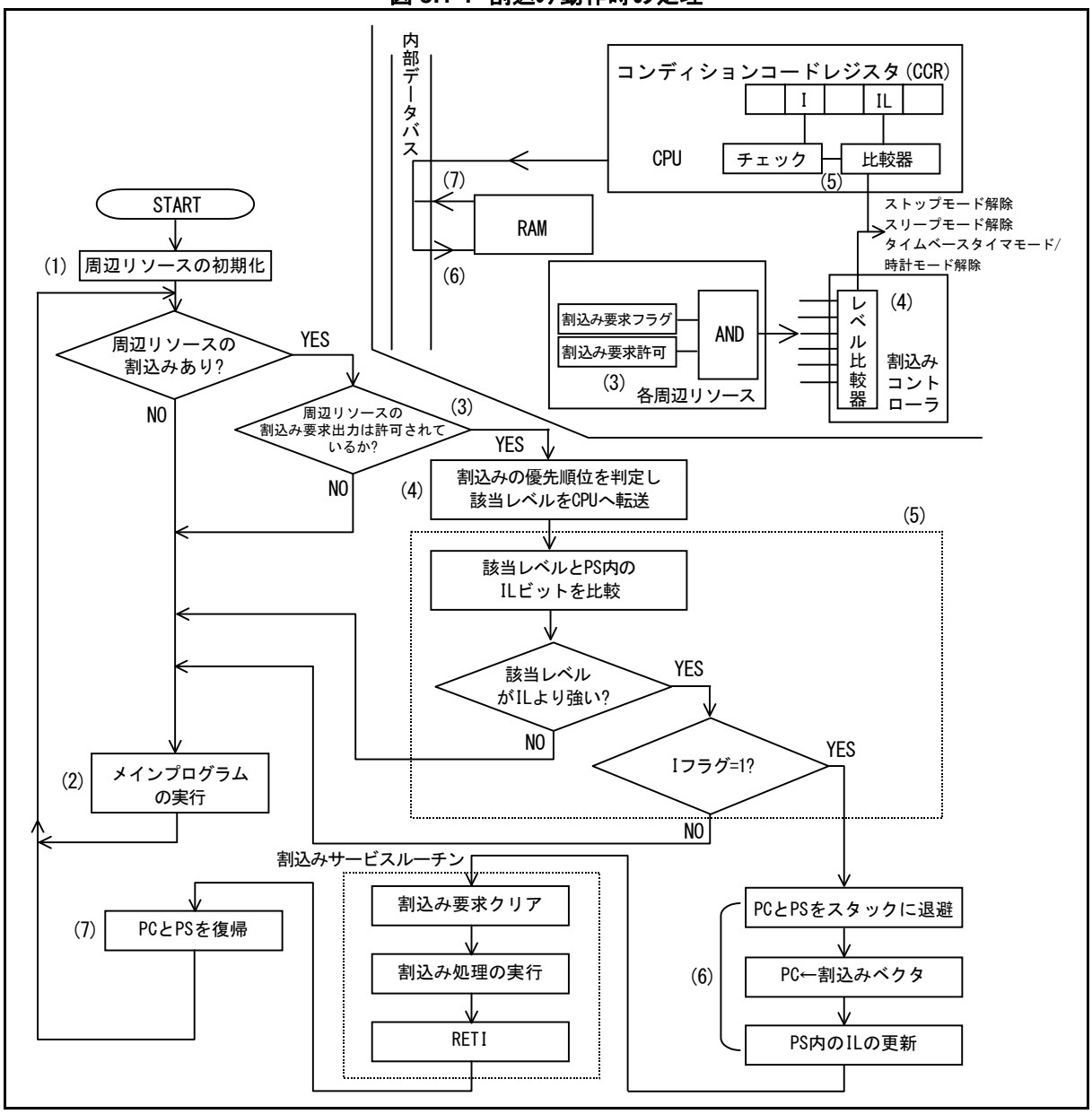
周辺機能により割込み要求が発生すると , 割込みコントローラはその割込み要求の割込みレベルを CPU に通知します。CPU が割込みを受け付けられる状態になっていると , 現在実行中のプログラムを一時中断し , 割込みサービスルーチンを実行します。

■ 割込み動作時の処理

割込み処理の手順は , 周辺機能の割込み要因発生 , メインプログラムの実行 , 割込み要求フラグビットの設定 , 割込み要求許可ビットの判定 , 割込みレベル (ILR0 ～ ILR5 および CCR:IL[1:0]) の判定 , 同一割込みレベルの同時要求の確認 , 割込み許可フラグ (CCR:I) の判定 , という順で行われます。

図 5.1-1 に , 割込み動作時の処理を示します。

図 5.1-1 割込み動作時の処理



(1) リセット直後は , すべての割込み要求は禁止状態になっています。周辺機能の初期化プログラムで , 割込みを発生する各周辺機能を初期化して , 該当する割込みレベル設定レジスタ (ILR0 ～ ILR5) に割込みレベルを設定してから周辺機能を動作させます。割込みレベルは , 0, 1, 2, 3 のいずれかを設定できます。レベル 0 が最も優先され , レベル 1 がその次に優先されます。周辺機能にレベル 3 を設定した場合は , 該当する周辺機能の割込みは禁止されます。

(2) メインプログラム (多重割込みの場合は , 割込みサービスルーチン) を実行します。

(3) 周辺機能で割込み要因が発生したとき , 周辺機能の割込み要求フラグビットが "1" に設定されます。このとき , 周辺機能の割込み要求許可ビットが許可されていると , 割込み要求が割込みコントローラへ出力されます。

(4) 割込みコントローラは , 各周辺機能からの割込み要求を常に監視しており , 現在発生している割込み要求の割込みレベルの中から , 最も優先された割込みレベルを CPU に伝達します。このとき , 同一の割込みレベルで同時に要求があった場合の優先順位も , 割込みコントローラにて比較されます。

(5) CPU は受け取った割込みレベルがコンディションコードレジスタの割込みレベルビット (CCR:IL[1:0]) に設定されているレベルより優先度が高い (割込みレベル番号が低い) 場合 , CPU は割込み許可フラグ (CCR:I) の内容をチェックし , 割込み許可 (CCR:I=1) になっていれば割込みを受け付けます。

(6) CPU は , プログラムカウンタ (PC) およびプログラムステータス (PS) の内容をスタックに退避し , 該当する割込みベクタテーブルアドレスから割込みサービスルーチンの先頭アドレスを取り込み , コンディションコードレジスタの割込みレベルビット (CCR:IL[1:0]) の値を受け付けた割込みレベルの値に変更した後 , 割込み処置ルーチンを実行しはじめます。

(7) CPU は最後に , RETI 命令を実行し , スタックに退避しておいたプログラムカウンタ (PC) およびプログラムステータス (PS) の値を復帰して , 割込みの直前に実行した命令の次の命令から処理を実行します。

＜注意事項＞

周辺機能の割込み要求フラグビットは , 割込み要求が受け付けられても自動的には "0" になりません。したがって , 割込みサービスルーチンでプログラム (割込み要求フラグビットへの "0" の書込み) を使用して "0" にしてください。

低消費電力モード (スタンバイモード) は , 割込みによって解除されます。詳細は ,「3.5 低消費電力モード (スタンバイモード) の動作」を参照してください。

5.1.3 多重割込み

周辺機能からの複数の割込み要求に対し , 割込みレベル設定レジスタ (ILR0 ～ ILR5) に異なる割込みレベルを設定することにより , 多重割込みを行います。

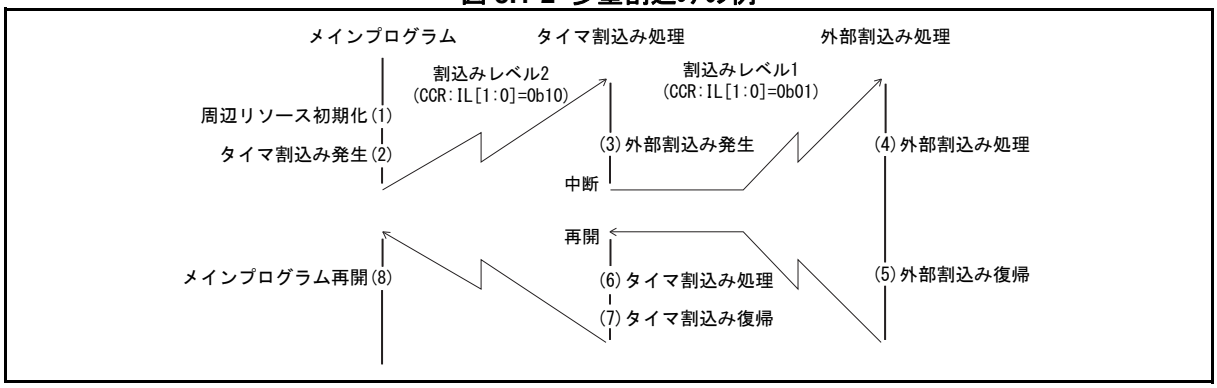
■ 多重割込み

割込みサービスルーチン実行中に , 優先レベルの高い割込みレベルに設定された割込み要求が発生すると , CPU は現在の割込み処理を中断して , 順位の優先される割込み要求を受け付けます。割込み要求の割込みレベルは 0 ～ 3 まで設定できますが , レベル 3 に設定した場合 , CPU は割込み要求を受け付けません。

[例 : 多重割込み]

多重割込み処理の例として , タイマ割込みより外部割込みを優先させる場合を想定し , タイマ割込みのレベルを 2 に , 外部割込みレベルを 1 に設定します。このとき , タイマ割込み処理中に外部割込みが発生後は , 図 5.1-2 に示す処理を行います。

図 5.1-2 多重割込みの例



- タイマ割込み処理中 , コンディションコードレジスタの割込みレベルビット (CCR: IL1, IL0) は , タイマ割込みに対応する割込みレベル設定レジスタ (ILR0 ～ ILR5) の値と同じ値 (上記の例ではレベル 2) になります。このとき , タイマ割込みの割込みレベル (上記の例ではレベル 1) より優先されるレベルの割込み要求が発生後は , その割込みが先に処理されます。
- タイマ割込み中に多重割込みを一時的に禁止したい場合は , コンディションコードレジスタ (CCR:I) の割込み許可フラグを "0" にするかまたは , 割込みレベルビット (CCR:IL[1:0]) を "0b00" にします。
- 割込み処理の終了後に割込み復帰命令 (RETI) が実行されると , プログラムカウンタ (PC) およびプログラムステータス (PS) の値が復帰され , CPU は割り込まれたプログラムを実行しはじめます。また , コンディションコードレジスタ (CCR) の値は , プログラムステータス (PS) が復帰されることにより , 割込み前の値を示します。

5.1.4 割込み処理時間

割込み要求の発生後に CPU が割込みサービスルーチンに移行するまでには , 割込み要求が発生してから実行中の命令が終了するまでの時間と , 割込みハンドリング時間 (割込み処理準備に要する時間) の合計時間を必要とします。割込み処理時間は , 最大 26 マシンクロック周期となります。

■ 割込み処理時間

割込み要求が発生して割込みサービスルーチンが実行される前に, CPUは, 割込み要求サンプル待ち時間および割込みハンドリング時間が必要です。

● 割込み要求サンプル待ち時間

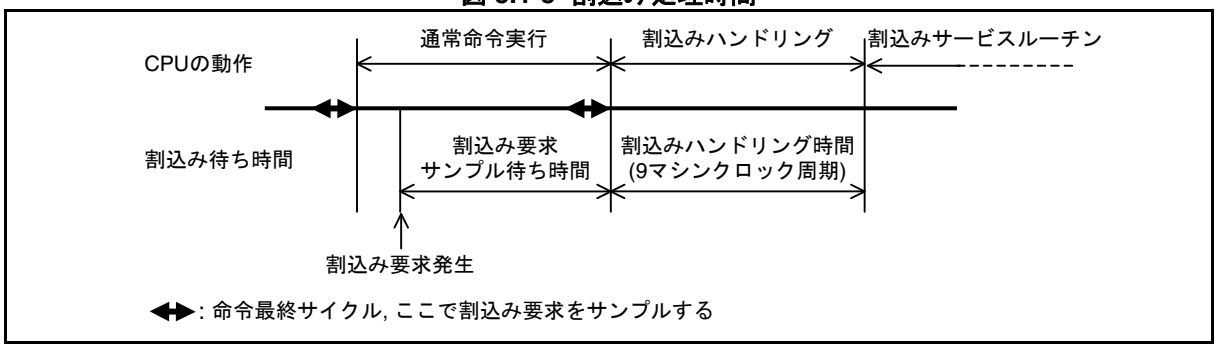
割込み要求が発生しているかどうかは , 各命令の最後のサイクルで割込み要求をサンプリングして判断します。そのため , CPU は命令実行中には割込み要求を認識できません。このサンプリング待ち時間は , 最も実行サイクルの長い DIVU 命令 (17 マシンクロック周期) の実行開始直後に割込み要求が発生した場合に最大となります。

● 割込みハンドリング時間

CPU は割込みを受け付けた後 , 以下の割込み処理準備を行うために , 9 マシンクロック周期を必要します。

- プログラムカウンタ (PC) およびプログラムステータス (PS) の値をスタックに退避する。
- 割込みサービスルーチンの先頭アドレス (割込みベクタ) を PC に設定する。
- プログラムステータス (PS) 内の割込みレベルビット (CCR:IL[1:0]) を更新する。

図 5.1-3 割込み処理時間



最も実行サイクルの長い DIVU 命令 (17 マシンクロック周期) の実行開始直後に割込み要求が発生した場合 , 割込み処理時間は 26 マシンクロック周期となります。

マシンクロック周期は , クロックモードおよびメインクロック速度の切換え (ギア機能) によって変化します。詳細は , 「第 3 章 クロック制御部」を参照してください。

5.1.5 割込み処理時のスタック動作

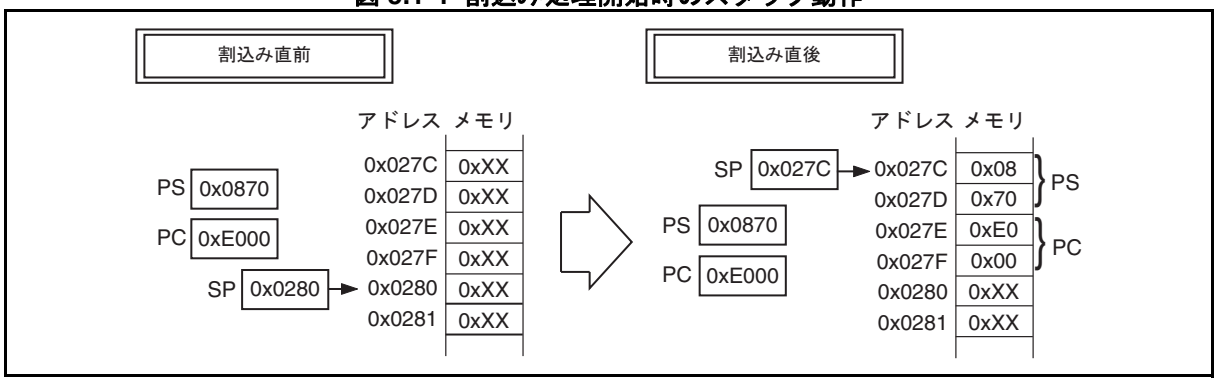
割込み処理時のレジスタ内容の退避および復帰について説明します。

■ 割込み処理開始時のスタック動作

割込みが受け付けられると , CPU は現在のプログラムカウンタ (PC) およびプログラムステータス (PS) の内容を自動的にスタックに退避します。

図 5.1-4 に , 割込み処理開始時のスタック動作を説明します。

図 5.1-4 割込み処理開始時のスタック動作



■ 割込みからの復帰時のスタック動作

CPU が割込み処理終了時に割込み復帰命令 (RETI) を実行後は , 最初にプログラムステータス (PS) の値, 次いでプログラムカウンタ (PC) の値をスタックから復帰させます。復帰するときの順序は 2 つの値をスタックに退避する順序とは逆の順序になります。復帰後 , PS および PC は割込み処理開始直前の状態に戻ります。

＜注意事項＞

アキュムレータ (A) の値とテンポラリアキュムレータ (T) の値は自動的にスタックに退避されないため , PUSHW および POPW 命令で A, T の値を退避 , 復帰させてください。

5.1.6 割込み処理のスタック領域

割込み処理の実行には , RAM 上のスタック領域を使用します。スタックポインタ (SP) にはスタック領域の先頭アドレスがあります。

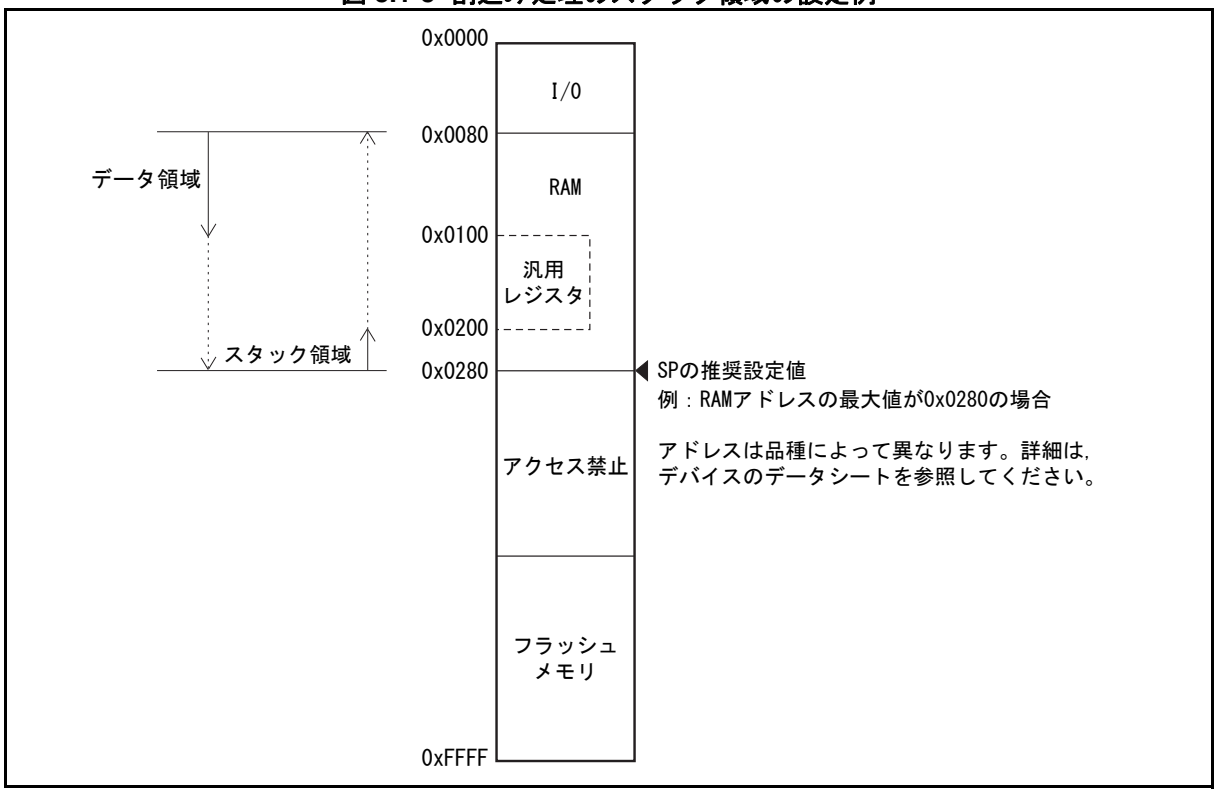
■ 割込み処理のスタック領域

スタック領域は , サブルーチンコール命令 (CALL) またはベクタコール命令 (CALLV) を実行するときのプログラムカウンタ (PC) の退避や復帰 , PUSHW, POPW 命令による一時的なレジスタ類の退避や復帰にも使われます。

- スタック領域は , データ領域とともに RAM 上に確保されます。
- スタックポインタ (SP) は , RAM アドレスの最大値を示すよう初期化し , データ領域は , RAM アドレスの小さい方から配置してください。

図 5.1-5 に , 割込み処理のスタック領域の設定例を説明します。

図 5.1-5 割込み処理のスタック領域の設定例



＜注意事項＞

スタック領域は , アドレス値の大きいほうから小さい方に向かって , 割込み , サブルーチンコール , PUSHW 命令などにより使用されます。領域を開放する場合は , 小さい方から大きい方に向かって , 復帰命令 (RETI, RET), POPW 命令などにより開放されます。多重割込みやサブルーチンコールにより使用されるスタック領域のアドレス値が小さくなった場合 , スタック領域をデータ領域や汎用レジスタ領域に重ねないでください。これら 2 つの領域にはほかのデータが保持されています。

第 6 章
I/O ポート

I/O ポートの機能と動作について説明します。

6.1 概要
6.2 構成と動作

6.1 概要

I/O ポートは , 汎用入出力端子を制御するときに使用します。

■ I/O ポートの概要

I/O ポートは , ポートデータレジスタ (PDR) によって , CPU からデータを出力したり , 入力された信号をCPUに取り込んだりする機能があります。また , ポート方向レジスタ (DDR) によって I/O 端子の入出力の方向をビット単位で任意に設定できます。

各製品の I/O ポート数は異なります。各製品の I/O ポート数はデバイスのデータシートを参照してください。

本章において , レジスタ名にある "x" は I/O ポート番号を示します。実際のレジスタ名とその略称は , 各製品のデータシートを参照してください。

表 6.1-1 にポートレジスター一覧を示します。

表 6.1-1 ポートレジスター一覧

レジスタ名	レジスタの略称
ポート x データレジスタ	PDRx
ポート x 方向レジスタ	DDRx
ポート x プルアップレジスタ	PULx
A/D 入力禁止レジスタ (上位)*	AIDRH
A/D 入力禁止レジスタ (下位)*	AIDRL

*: A/D 入力禁止レジスタ (上位) と A/D 入力禁止レジスタ (下位) の有無について , デバイスのデータシートの「■ I/O マップ」を参照してください。

6.2 構成と動作

I/O ポートを汎用入出力ポートとして使用するときの構成と動作を中心に説明します。
周辺機能の詳細については , それぞれの章を参照してください。

■ I/O ポートの構成

I/O ポートは以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート x データレジスタ (PDRx)
- ポート x 方向レジスタ (DDRx)
- ポート x プルアップレジスタ (PULx)
- A/D 入力禁止レジスタ (上位) (AIDRH)
- A/D 入力禁止レジスタ (下位) (AIDRL)

■ I/O ポートの動作

● 出力ポートとしての動作

- 端子に対応する DDRx レジスタのビットを "1" に設定すると , その端子は出力ポートになります。
- 端子を兼用する周辺機能においては , その出力を禁止してください。
- 端子が出力ポートとして使用されている時は , その端子から PDRx レジスタの値が外部端子に出力されます。
- PDRx レジスタにデータを書き込むと , その値は出力ラッチに保持され , そのまま出力ポートとして設定した端子へ出力されます。
- PDRx レジスタを読み出すと , PDRx レジスタの値が読み出されます。
- LCDC セグメント / コモン出力端子と兼用する端子を出力ポートとして使用する場合 , その端子に対応する , LCDC 許可レジスタの機能選択ビット (LCDC:COM/SEG) を "0" に設定して , 汎用入出力ポート機能を選択し , LCDC 許可レジスタ 1 のポート入力制御ビット (LCDCE1:PICTL) を "1" に設定してください。
- LCD 駆動電源端子と兼用する端子を出力ポートとして使用する場合 , その端子に対応する , LCDCE1 レジスタの VE[4:0] ビットを "0" に設定して , 汎用入出力ポート機能を選択し , LCDCE1 レジスタの PICTL ビットを "1" に設定してください。

● 入力ポートとしての動作

- 端子に対応する DDRx レジスタのビットを "0" に設定すると , その端子は入力ポートになります。
- 端子を兼用する周辺機能においては , その出力を禁止してください。
- アナログ入力機能兼用端子を入力ポートとして使用している時は , A/D 入力禁止レジスタ (上位 / 下位) (AIDRH/AIDRL) の対応するビットを "1" に設定してください。
- PDRx レジスタにデータを書き込むと , その値が出力ラッチに保持されますが , 入力ポートとして設定した端子へは出力されません。
- PDRx レジスタを読み出すと , 端子の値が読み出されます。ただし , リードモディファイライト (RMW) 系命令を使用して PDRx レジスタを読み出す場合は , PDRx レジスタの値を読み出します。
- LCDC セグメント / コモン出力端子と兼用する端子を入力ポートとして使用する場合 , その端子に対応する , LCDCE レジスタの機能選択ビット (COM/SEG) を "0" に設定して , 汎用入出力ポート機能を選択し , LCDCE1 レジスタの PICTL ビットを "1" に設定してください。
- LCD 駆動電源端子と兼用する端子を入力ポートとして使用する場合 , その端子に対応する , LCDCE1 レジスタの VE[4:0] ビットを "0" に設定して , 汎用入出力ポート機能を選択し , LCDCE1 レジスタの PICTL ビットを "1" に設定してください。

● 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し , 周辺出力機能を許可すると , その端子は , 周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも , PDRx レジスタから端子の値を読み出せます。したがって , PDRx レジスタの読出し動作により , 周辺機能の出力値を読み出せます。ただし , リードモディファイライト (RMW) 系命令を使用して PDRx レジスタを読み出す場合は , PDRx レジスタの値を読み出します。

● 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには , 周辺機能の入力端子に対応する DDRx レジスタのビットを "0" に設定します。
- アナログ入力機能兼用端子をその他の周辺機能入力端子として使用する場合は, AIDRH/AIDRL レジスタのその端子に対応するビットを "1" に設定して , その端子を入力ポートとして設定してください。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく , PDRx レジスタを読み出すと , 端子の値が読み出されます。ただし , リードモディファイライト (RMW) 系命令を使用して PDRx レジスタを読み出す場合は , PDRx レジスタの値を読み出します。

● LCDC セグメント出力端子としての動作

- LCDC セグメント出力端子に対応する DDRx レジスタのビットを "0" に設定してください。
- 汎用入出力ポートと兼用する端子を LCDC セグメント出力端子として使用する場合 , その端子に対応する , LCDCE レジスタの機能選択ビット (SEG) を "1" に設定して LCDC セグメント出力機能を選択し , LCDCE1 レジスタの PICTL ビットを "1" に設定してください。

● LCDC コモン出力端子としての動作

- LCDC コモン出力端子に対応する DDRx レジスタのビットを "0" に設定してください。
- 汎用入出力ポートと兼用する端子を LCDC コモン出力端子として使用する場合 , その端子に対応する , LCDCE レジスタの機能選択ビット (COM) を "1" に設定して LCDC コモン出力機能を選択し , LCDCE1 レジスタの PICTL ビットを "1" に設定してください。

● リセット時の動作

CPU がリセットされると , DDRx レジスタのすべてのビットが "0" に初期化され , ポート入力が許可された状態になります。アナログ入力機能と兼用となる端子については , AIDRH/AIDRL レジスタ が "0" に初期化されるため , ポート入力は禁止されます。

● ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "1" に設定され , デバイスがストップモードもしくは時計モードに移行すると , DDRx レジスタの値に関係なく強制的に端子はハイインピーダンス状態になります。入力開放によるリークを防止するために , 端子入力は "L" レベルに固定され遮断されます。ただし , 外部割込みによる割込み入力が許可されている場合 , 入力可能になり入力は遮断されません。
- 端子状態設定ビットが "0" の場合は , ポート入出力の状態または周辺機能入出力の状態は変更されず , 出力レベルは維持されます。

● LCD 駆動電源端子としての動作

- LCD 駆動電源端子に対応する DDRx レジスタのビットを "0" に設定してください。
- 汎用入出力ポートと兼用する端子を LCD 駆動電源端子として使用する場合 , LCDCE1 レジスタの VE[4:0] ビットにある , その端子に対応するビットを "1" に設定して LCD 駆動電源機能を選択してください。

● アナログ入力端子としての動作

- アナログ入力端子に対応する DDRx レジスタのビットに "0" を , AIDRH/AIDRL レジスタのその端子に対応するビットに "0" を設定してください。
- ほかの周辺機能と兼用されている端子では , それらの周辺機能の出力を禁止してください。また , PULx レジスタの対応するビットを "0" に設定してください。

● 外部割込み入力端子としての動作

- 外部割込み入力端子に対応する DDRx レジスタのビットを "0" に設定します。
- 端子を兼用する周辺機能においては , その出力を禁止してください。
- 端子の値は常に外部割込み回路に入力されます。端子を割込み以外の機能に使用する場合は , その端子に対応する外部割込み機能を禁止にします。

● プルアップレジスタの動作

PULx レジスタのビットに "1" を設定すると , プルアップ抵抗は端子に内部接続されます。端子出力が "L" レベルのときは , PULx レジスタの値にかかわらずに , プルアップ抵抗は切断されます。

第7章 タイムベースタイマ

タイムベースタイマの機能と動作について説明します。

7.1 概要
7.2 構成
7.3 割込み
7.4 動作説明と設定手順例
7.5 レジスタ
7.6 使用上の注意

7.1 概要

タイムベースタイマは , メインクロックの 2 分周 , メイン CR クロックまたは PLL クロックに同期してカウントダウンする 24 ビットのフリーランカウンタです。クロックは , SYCC レジスタの SCS[2:0] ビットによって選択できます。このタイムベースタイマには , 一定のインターバル時間で繰返し割込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能は , メインクロックの 2 分周 , メイン CR クロックまたは PLL クロックをカウントクロックとして一定のインターバル時間で繰返し割込み要求を発生させる機能です。

- タイムベースタイマのカウンタがカウントダウンを行い , 選択したインターバル時間が経過するごとに割込み要求を発生させます。
- インターバル時間の長さは , 次の 16 種類の中から選択できます。

表 7.1-1 に , タイムベースタイマのインターバル時間を示します。

表 7.1-1 タイムベースタイマのインターバル時間

	メインクロックを使用した場合のインターバル時間 ($2^n \times 2/F_{CH}$ *1)	メイン CR クロックを使用した場合のインターバル時間 ($2^n \times 1/F_{CRH}$ *2)	PLL 逓倍率 2 をかけたメインクロックまたはメイン CR クロックを使用した場合のインターバル時間 ($2^n \times 1/F_{PLL}$ *3)
n=9	256 µs	128 µs	64 µs
n=10	512 µs	256 µs	128 µs
n=11	1.024 ms	512 µs	256 µs
n=12	2.048 ms	1.024 ms	512 µs
n=13	4.096 ms	2.048 ms	1.024 ms
n=14	8.192 ms	4.096 ms	2.048 ms
n=15	16.384 ms	8.192 ms	4.096 ms
n=16	32.768 ms	16.384 ms	8.192 ms
n=17	65.536 ms	32.768 ms	16.384 ms
n=18	131.072 ms	65.536 ms	32.768 ms
n=19	262.144 ms	131.072 ms	65.536 ms
n=20	524.288 ms	262.144 ms	131.072 ms
n=21	1.049 s	524.288 ms	262.144 ms
n=22	2.097 s	1.049 s	524.288 ms
n=23	4.194 s	2.097 s	1.049 s
n=24	8.389 s	4.194 s	2.097 s

*1: F_{CH} = 4 MHz
$\therefore 2/F_{CH}$ = 0.5 µs

*2: F_{CRH} = 4 MHz
$\therefore 1/F_{CRH}$ = 0.25 µs

*3: F_{PLL} = 8 MHz
PLL 逓倍率 = 2
(F_{CH} または F_{CRH}) × PLL 逓倍率 = 4 MHz × 2 = 8 MHz
$\therefore 1/F_{PLL}$ = 0.125 µs

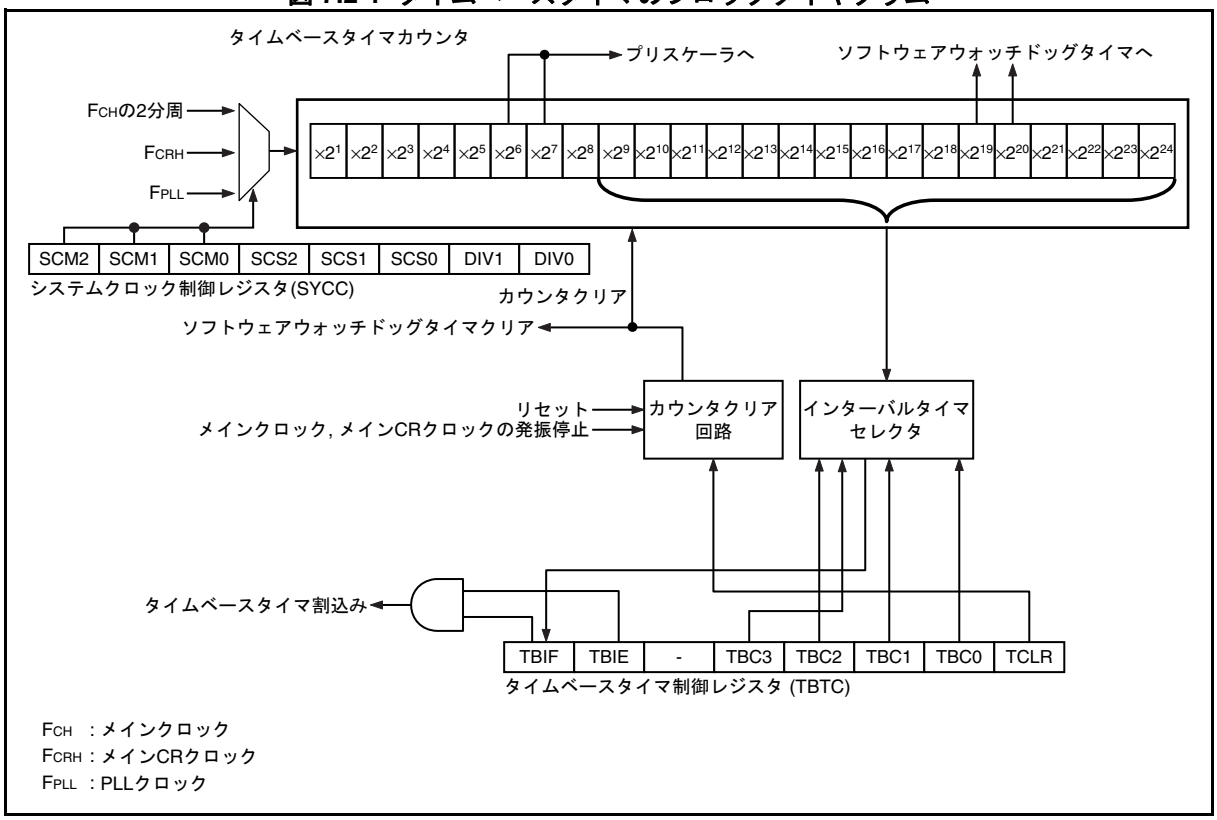
7.2 構成

タイムベースタイマは , 以下のブロックから構成されます。

- **タイムベースタイマカウンタ**
- **カウンタクリア回路**
- **インターバルタイマセレクタ**
- **タイムベースタイマ制御レジスタ (TBTC)**

■ タイムベースタイマのブロックダイヤグラム

図 7.2-1 タイムベースタイマのブロックダイヤグラム



- **タイムベースタイマカウンタ**

  メインクロックの 2 分周 , メイン CR クロックまたは PLL クロックをカウントクロックとする 24 ビットのダウンカウンタです。

- **カウンタクリア回路**

  タイムベースタイマのカウンタのクリアを制御する回路です。

- **インターバルタイマセレクタ**

  24 ビットのタイムベースタイマカウンタの中の 16 ビットからインターバルタイマ用の 1 ビットを選択する回路です。

- **タイムベースタイマ制御レジスタ (TBTC)**

  インターバル時間の選択 , カウンタのクリア , 割込み制御およびタイムベースタイマの状態確認を行うレジスタです。

■ 入力クロック

タイムベースタイマは , メインクロックの 2 分周 , メイン CR クロックまたは PLL クロックを入力クロック (カウントクロック) として使用します。

■ 出力クロック

タイムベースタイマは , クロックスーパバイザカウンタ , ソフトウェアウォッチドッグタイマとプリスケーラにクロックを供給しています。

7.3 割込み

タイムベースタイマにより選択したインターバル時間が経過すると , 割込み要求が発生します (インターバルタイマ機能)。

■ インターバル機能動作時の割込み

タイムベースタイマカウンタが内部カウントクロックでカウントダウンし , 選択されたインターバル時間の経過により , タイムベースタイマカウンタがアンダフローすると , タイムベースタイマの割込み要求フラグビット (TBTC:TBIF) が "1" に設定されます。そのとき , タイムベースタイマの割込み要求許可ビットを許可 (TBTC:TBIE = 1) にした場合 , 割込み要求が発生し , 割込みコントローラへ送られます。

- TBIE ビットの値に関係なく , 選択されたビットがアンダフローすると TBIF ビットは , "1" に設定されます。
- TBIF ビットが "1" に設定されているときには , TBIE ビットを禁止から許可 (0 → 1) にすると , 直ちに割込み要求が発生します。
- カウンタクリア (TBTC:TCLR = 1) とタイムベースタイマカウンタのアンダフローが同時に発生した場合は , TBIF ビットは "1" に設定されません。
- 割込みサービスルーチンでは TBIF ビットに "0" を書き込んで割込み要求をクリアしてください。

＜注意事項＞

リセット解除後に割込み要求出力を許可 (TBTC:TBIE = 1) する場合は , 必ず TBIF ビットを同時にクリア (TBTC:TBIF = 0) してください。

表 7.3-1 タイムベースタイマの割込み

項目	説明
割込みの条件	TBTC:TBC[3:0] で設定したインターバル時間が経過した。
割込みフラグ	TBTC:TBIF
割込み許可	TBTC:TBIE

7.4 動作説明と設定手順例

タイムベースタイマのインターバルタイマ機能の動作について説明します。

■ タイムベースタイマの動作

タイムベースタイマのカウンタは, リセット後"0xFFFFFF"に初期化され, メインクロックの2分周, メインCRクロックまたはPLLクロックに同期してカウントを開始します。

タイムベースタイマは , メインクロック , メイン CR クロックまたは PLL クロックが発振している限り , カウントダウンを続けます。メインクロック , メイン CR クロックまたは PLL クロックが停止すると , カウンタは停止し , "0xFFFFFF" に初期化されます。

インターバルタイマ機能を使用するには , 図 7.4-1 に示した設定が必要です。

図 7.4-1 インターバルタイマ機能の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TBTC	TBIF	TBIE	-	TBC3	TBC2	TBC1	TBC0	TCLR
	0	1		◎	◎	◎	◎	0

◎: 使用ビット
1 : "1"を設定
0 : "0"を設定

タイムベースタイマ制御レジスタのタイムベースタイマクリアビット(TBTC:TCLR)に "1" を設定すると , タイムベースタイマのカウンタは "0xFFFFFF" に初期化され , カウントダウンを継続します。選択されたインターバル時間が経過すると , タイムベースタイマ制御レジスタのタイムベースタイマ割込み要求フラグビット (TBTC:TBIF) が "1" になります。つまり , 最後にカウンタがクリアされた時間を基準にして , 選択されたインターバル時間ごとに割込み要求を発生します。

■ タイムベースタイマのクリア

タイムベースタイマの出力をほかの周辺機能で使用している際にタイムベースタイマをクリアすると , カウント時間が変化するなど動作に影響を与えます。

タイムベースタイマクリアビット (TBTC:TCLR) を使ってカウンタをクリアする場合は , このクリアによって予期せぬ影響が及ばないようにそのほかの周辺機能の設定を必要に応じて変更してください。

なお , タイムベースタイマの出力がウォッチドッグタイマのカウントクロックとして選択されているときにタイムベースタイマがクリアされると , 同時にウォッチドッグタイマもクリアされます。

タイムベースタイマは , TCLR ビットによってクリアされるだけでなく , メインクロック , メイン CR クロックまたは PLL クロックが停止し , 発振安定待ち時間のカウントが必要になったときにもクリアされます。タイムベースタイマは以下の状況でクリアされます。

- デバイスが , メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードからストップモードへ遷移したとき
- デバイスが , メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードからサブクロックモードまたはサブ CR クロックモードへ遷移したとき
- 電源投入時
- 低電圧検出リセット時

■ タイムベースタイマの動作例

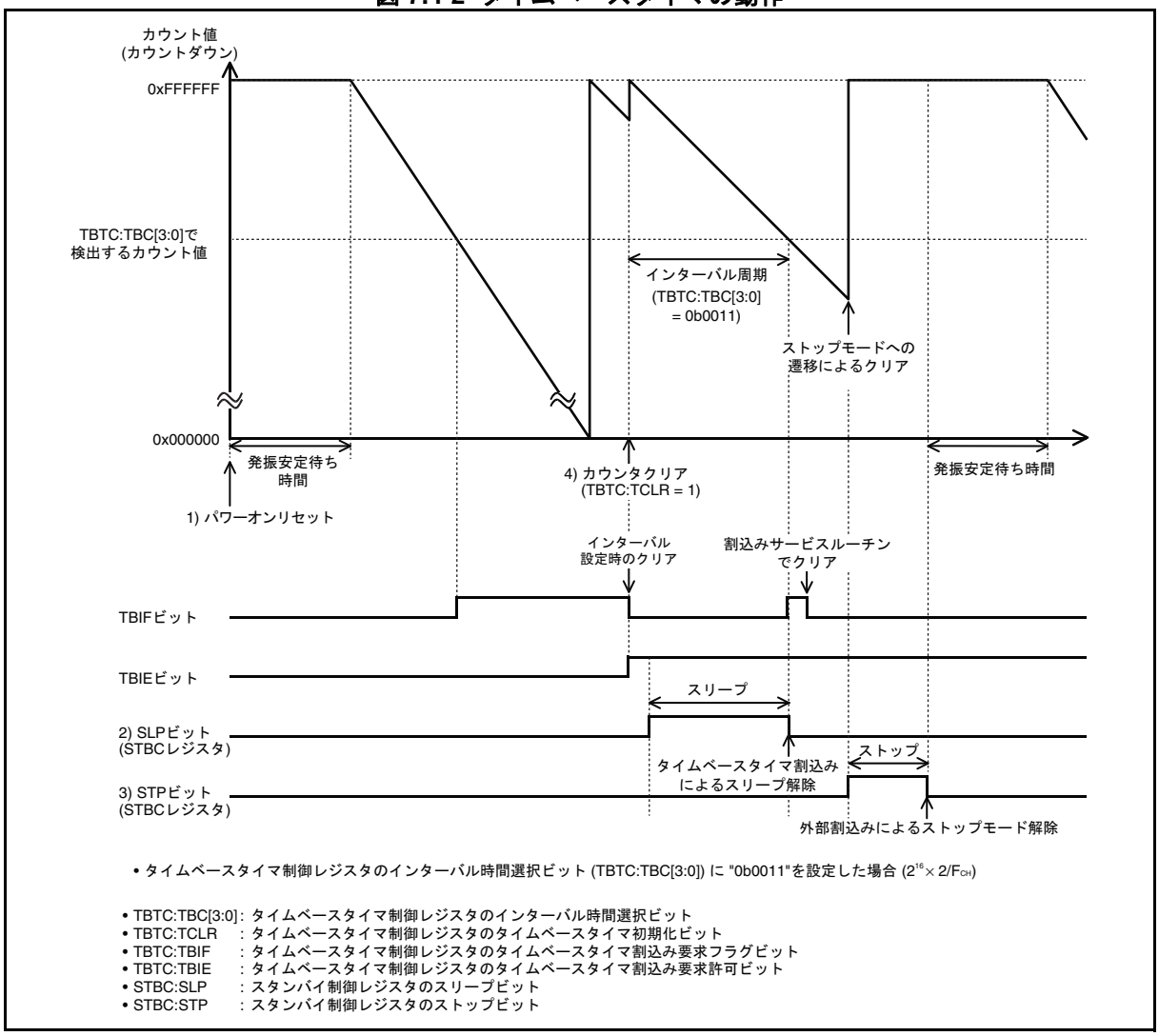
図 7.4-2 に , 以下の条件下の動作例を示します。

1. パワーオンリセットが発生した場合
2. デバイスが , メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードにおいてインターバルタイマ機能の動作中に , スリープモードへ遷移した場合
3. デバイスが , メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモード中に , ストップモードへ遷移した場合
4. カウンタクリアの要求が発生した場合

デバイスがタイムベースタイマモードに遷移した場合 , スリープモードに遷移した際と同様の動作が実行されます。

クロックモードがサブクロックモード , サブ CR クロックモード , メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモード時のストップモードでは , タイマ動作はクリアされ , メインクロックが停止するために , タイマは動作を停止します。

図 7.4-2 タイムベースタイマの動作



• タイムベースタイマ制御レジスタのインターバル時間選択ビット (TBTC:TBC[3:0]) に "0b0011"を設定した場合 ($2^{16} \times 2/F_{CH}$)

• TBTC:TBC[3:0] : タイムベースタイマ制御レジスタのインターバル時間選択ビット
• TBTC:TCLR : タイムベースタイマ制御レジスタのタイムベースタイマ初期化ビット
• TBTC:TBIF : タイムベースタイマ制御レジスタのタイムベースタイマ割込み要求フラグビット
• TBTC:TBIE : タイムベースタイマ制御レジスタのタイムベースタイマ割込み要求許可ビット
• STBC:SLP : スタンバイ制御レジスタのスリープビット
• STBC:STP : スタンバイ制御レジスタのストップビット

■ 設定手順例

タイムベースタイマの設定手順例を以下に示します。

● 初期設定

1. 割込みレベルを設定してください (ILR*)。
2. インターバル時間を設定してください (TBTC:TBC[3:0])。
3. 割込み許可を設定し，割込み要求フラグをクリアしてください (TBTC:TBIE = 1, TBTC:TBIF = 0)。
4. カウンタをクリアしてください (TBTC:TCLR = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■ 割込み要因のテーブル」を参照してください。

● 割込み処理

1. 割込み要求フラグをクリアしてください (TBTC:TBIF = 0)。
2. カウンタをクリアしてください (TBTC:TCLR = 1)。

7.5 レジスタ

タイムベースタイマのレジスタについて説明します。

表 7.5-1 タイムベースタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
TBTC	タイムベースタイマ制御レジスタ	7.5.1

7.5.1 タイムベースタイマ制御レジスタ (TBTC)

タイムベースタイマ制御レジスタ (TBTC) は , インターバル時間の選択 , カウンタのクリア , 割込み制御およびタイムベースタイマの状態確認を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TBIF	TBIE	—	TBC3	TBC2	TBC1	TBC0	TCLR
属性	R/W	R/W	—	R/W	R/W	R/W	R/W	W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] TBIF: タイムベースタイマ割込み要求フラグビット

このビットはタイムベースタイマにより選択されたインターバル時間が経過すると , "1"に設定されるフラグです。

このビットとタイムベースタイマ割込み要求許可ビット (TBIE) が "1" のとき , 割込み要求を出力します。

リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit7	説明
"0" が読み出された場合	インターバル時間がまだ経過していないことを示します。
"1" が読み出された場合	インターバル時間が経過したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit6] TBIE: タイムベースタイマ割込み要求許可ビット

このビットは割込みコントローラへの割込み要求の出力を許可または禁止します。

このビットとタイムベースタイマ割込み要求フラグビット (TBIF) が "1" のとき , 割込み要求を出力します。

bit6	説明
"0" を書き込んだ場合	タイムベースタイマの割込み要求を禁止します。
"1" を書き込んだ場合	タイムベースタイマの割込み要求を許可します。

[bit5] 未定義ビット

読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit4:1] TBC[3:0]: インターバル時間選択ビット
これらのビットはインターバル時間を選択します。

bit4:1	インターバル時間 (メインクロック , F_{CH} = 4 MHz)	インターバル時間 (メイン CR クロック , F_{CRH} = 4 MHz)	インターバル時間 (PLL 逓倍率 2 をかけたメイン PLL クロックまたはメイン CR クロック , F_{PLL} = 8 MHz)
"0100" を書き込んだ場合	$2^9 \times 2/F_{CH}$ (256 µs)	$2^9 \times 1/F_{CRH}$ (128 µs)	$2^9 \times 1/F_{PLL}$ (64 µs)
"0000" を書き込んだ場合	$2^{10} \times 2/F_{CH}$ (512 µs)	$2^{10} \times 1/F_{CRH}$ (256 µs)	$2^{10} \times 1/F_{PLL}$ (128 µs)
"0101" を書き込んだ場合	$2^{11} \times 2/F_{CH}$ (1.024 ms)	$2^{11} \times 1/F_{CRH}$ (512 µs)	$2^{11} \times 1/F_{PLL}$ (256 µs)
"0001" を書き込んだ場合	$2^{12} \times 2/F_{CH}$ (2.048 ms)	$2^{12} \times 1/F_{CRH}$ (1.024 ms)	$2^{12} \times 1/F_{PLL}$ (512 µs)
"0110" を書き込んだ場合	$2^{13} \times 2/F_{CH}$ (4.096 ms)	$2^{13} \times 1/F_{CRH}$ (2.048 ms)	$2^{13} \times 1/F_{PLL}$ (1.024 ms)
"0010" を書き込んだ場合	$2^{14} \times 2/F_{CH}$ (8.192 ms)	$2^{14} \times 1/F_{CRH}$ (4.096 ms)	$2^{14} \times 1/F_{PLL}$ (2.048 ms)
"0111" を書き込んだ場合	$2^{15} \times 2/F_{CH}$ (16.384 ms)	$2^{15} \times 1/F_{CRH}$ (8.192 ms)	$2^{15} \times 1/F_{PLL}$ (4.096 ms)
"0011" を書き込んだ場合	$2^{16} \times 2/F_{CH}$ (32.768 ms)	$2^{16} \times 1/F_{CRH}$ (16.384 ms)	$2^{16} \times 1/F_{PLL}$ (8.192 ms)
"1000" を書き込んだ場合	$2^{17} \times 2/F_{CH}$ (65.536 ms)	$2^{17} \times 1/F_{CRH}$ (32.768 ms)	$2^{17} \times 1/F_{PLL}$ (16.384 ms)
"1001" を書き込んだ場合	$2^{18} \times 2/F_{CH}$ (131.072 ms)	$2^{18} \times 1/F_{CRH}$ (65.536 ms)	$2^{18} \times 1/F_{PLL}$ (32.768 ms)
"1010" を書き込んだ場合	$2^{19} \times 2/F_{CH}$ (262.144 ms)	$2^{19} \times 1/F_{CRH}$ (131.072 ms)	$2^{19} \times 1/F_{PLL}$ (65.536 ms)
"1011" を書き込んだ場合	$2^{20} \times 2/F_{CH}$ (524.288 ms)	$2^{20} \times 1/F_{CRH}$ (262.144 ms)	$2^{20} \times 1/F_{PLL}$ (131.072 ms)
"1100" を書き込んだ場合	$2^{21} \times 2/F_{CH}$ (1.049 s)	$2^{21} \times 1/F_{CRH}$ (524.288 ms)	$2^{21} \times 1/F_{PLL}$ (262.144 ms)
"1101" を書き込んだ場合	$2^{22} \times 2/F_{CH}$ (2.097 s)	$2^{22} \times 1/F_{CRH}$ (1.049 s)	$2^{22} \times 1/F_{PLL}$ (524.288 ms)
"1110" を書き込んだ場合	$2^{23} \times 2/F_{CH}$ (4.194 s)	$2^{23} \times 1/F_{CRH}$ (2.097 s)	$2^{23} \times 1/F_{PLL}$ (1.049 s)
"1111" を書き込んだ場合	$2^{24} \times 2/F_{CH}$ (8.389 s)	$2^{24} \times 1/F_{CRH}$ (4.194 s)	$2^{24} \times 1/F_{PLL}$ (2.097 s)

[bit0] TCLR: タイムベースタイマクリアビット
このビットはタイムベースタイマのカウンタの全ビットを "1" にクリアします。

bit0	説明
読出し動作	読出し値は常に "0" です。
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	タイムベースタイマのカウンタの全ビットを "1" にクリアします。

(注意事項) タイムベースタイマの出力が , ソフトウェアウォッチドッグタイマのカウントクロックとして選択されている時には , このビットによりタイムベースタイマをクリアすると , ソフトウェアウォッチドッグタイマもクリアされます。

7.6 使用上の注意

タイムベースタイマ使用上の注意を示します。

■ タイムベースタイマ使用上の注意

- **プログラムで設定する場合**

  タイムベースタイマ割込み要求フラグビット (TBTC:TBIF) が "1" に設定され, 割込み要求許可ビットが許可された (TBTC:TBIE = 1) とき , タイマは , 割込み処理から復帰できません。割込みサービスルーチン内で TBIF ビットのクリアを必ず行ってください。

- **タイムベースタイマのクリアについて**

  タイムベースタイマは, タイムベースタイマクリアビットによるクリア (TBTC:TCLR = 1) 以外に , メインクロックの発振安定待ち時間 , メイン CR クロックの発振安定待ち時間または PLL クロックの発振安定待ち時間が必要となる場合にクリアされます。ソフトウェアウォッチドッグタイマ (WDTC:CS[1:0] = 0b00 または CS[1:0] = 0b01) のカウントクロックとしてタイムベースタイマが選択されている場合 , タイムベースタイマがクリアされるとソフトウェアウォッチドッグタイマもクリアされます。

- **タイムベースタイマからクロックを供給される周辺機能について**

  メインクロックの原発振が停止するモードでは, カウンタはクリアされ, タイムベースタイマは動作を停止します。また , タイムベースタイマの出力をほかの周辺機能で使用している際にタイムベースタイマのカウンタをクリアすると , 動作周期が変化するなど , 周辺機能の動作に影響を与えます。

  なお, タイムベースタイマのカウンタがクリアされた後, タイムベースタイマから出力されたソフトウェアウォッチドッグタイマ用のクロックは , 初期状態となります。ただし , ソフトウェアウォッチドッグタイマが初期状態に戻ると同時に , ソフトウェアウォッチドッグタイマのカウンタもクリアされるため , ソフトウェアウォッチドッグタイマは正常の周期で動作します。

第8章

ハードウェア/ソフトウェア ウォッチドッグタイマ

ウォッチドッグタイマの機能と動作について説明します。

8.1 概要
8.2 構成
8.3 動作説明と設定手順例
8.4 レジスタ
8.5 使用上の注意

8.1 概要

ウォッチドッグタイマは , プログラム暴走対策用のカウンタです。

■ ウォッチドッグタイマ機能

ウォッチドッグタイマは , プログラム暴走対策用のカウンタです。ウォッチドッグタイマが一度起動すると , 一定時間内で定期的にウォッチドッグタイマのカウンタをクリアし続けてください。プログラムが無限ループに陥るなどして , 一定時間以上クリアされない場合 , ウォッチドッグリセットを発生します。

● ソフトウェア / ハードウェアウォッチドッグタイマのカウントクロック

- ソフトウェアウォッチドッグタイマでは , タイムベースタイマの出力 , 時計プリスケーラの出力またはサブ CR タイマの出力がカウントクロックとして選択できます。
- ハードウェアウォッチドッグタイマでは , サブ CR タイマの出力のみがカウントクロックとして使用できます。

● ソフトウェア / ハードウェアウォッチドッグタイマの起動

- ソフトウェア / ハードウェアウォッチドッグタイマは , フラッシュメモリ上にあるアドレス 0xFFBE, 0xFFBF の値にしたがって起動されます。また , これらの値はウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) (0x0FEB/0x0FEC) へコピーされます。
- ソフトウェア起動の場合 (ソフトウェアウォッチドッグ), ウォッチドッグタイマ機能を開始するためには , ウォッチドッグタイマレジスタ (WDTC) を設定しなければなりません。
- ハードウェア起動の場合 (ハードウェアウォッチドッグ), リセット後にウォッチドッグタイマは自動的に起動します。ウォッチドッグタイマは , フラッシュメモリ上にあるアドレス 0xFFBE, 0xFFBF の値にしたがって , ストップモードで停止または実行します。これらの値はウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) (0x0FEB/0x0FEC) へコピーされます。ウォッチドッグタイマ選択 ID についての詳細は ,「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。
- 表 8.1-1 に , ウォッチドッグタイマのインターバル時間を示します。ウォッチドッグタイマのカウンタがクリアされない場合 , 最小時間～最大時間の間にウォッチドッグリセットが発生します。インターバル時間の最小時間内にウォッチドッグタイマのカウンタをクリアしてください。

表 8.1-1　ウォッチドッグタイマのインターバル時間

カウントクロックの種類	カウントクロック切換えビット CS[1:0], CSP	インターバル時間	
		最小時間	最大時間
タイムベースタイマ出力 (メインクロック = 4 MHz)	0b000 (ソフトウェアウォッチドッグタイマ)	524 ms	1.05 s
	0b010 (ソフトウェアウォッチドッグタイマ)	262 ms	524 ms
時計プリスケーラ出力 (サブクロック = 32.768 kHz)	0b100 (ソフトウェアウォッチドッグタイマ)	500 ms	1.00 s
	0b110 (ソフトウェアウォッチドッグタイマ)	250 ms	500 ms
サブ CR タイマ (サブ CR クロック = 50 ～ 150 kHz)	0bXX1[*1](ソフトウェアウォッチドッグタイマ) またはハードウェアウォッチドッグタイマ [*2]	437 ms	2.62 s

*1: X = 0 または 1
*2: CS[1:0] = 0b00, CSP = 1 (リードオンリ)

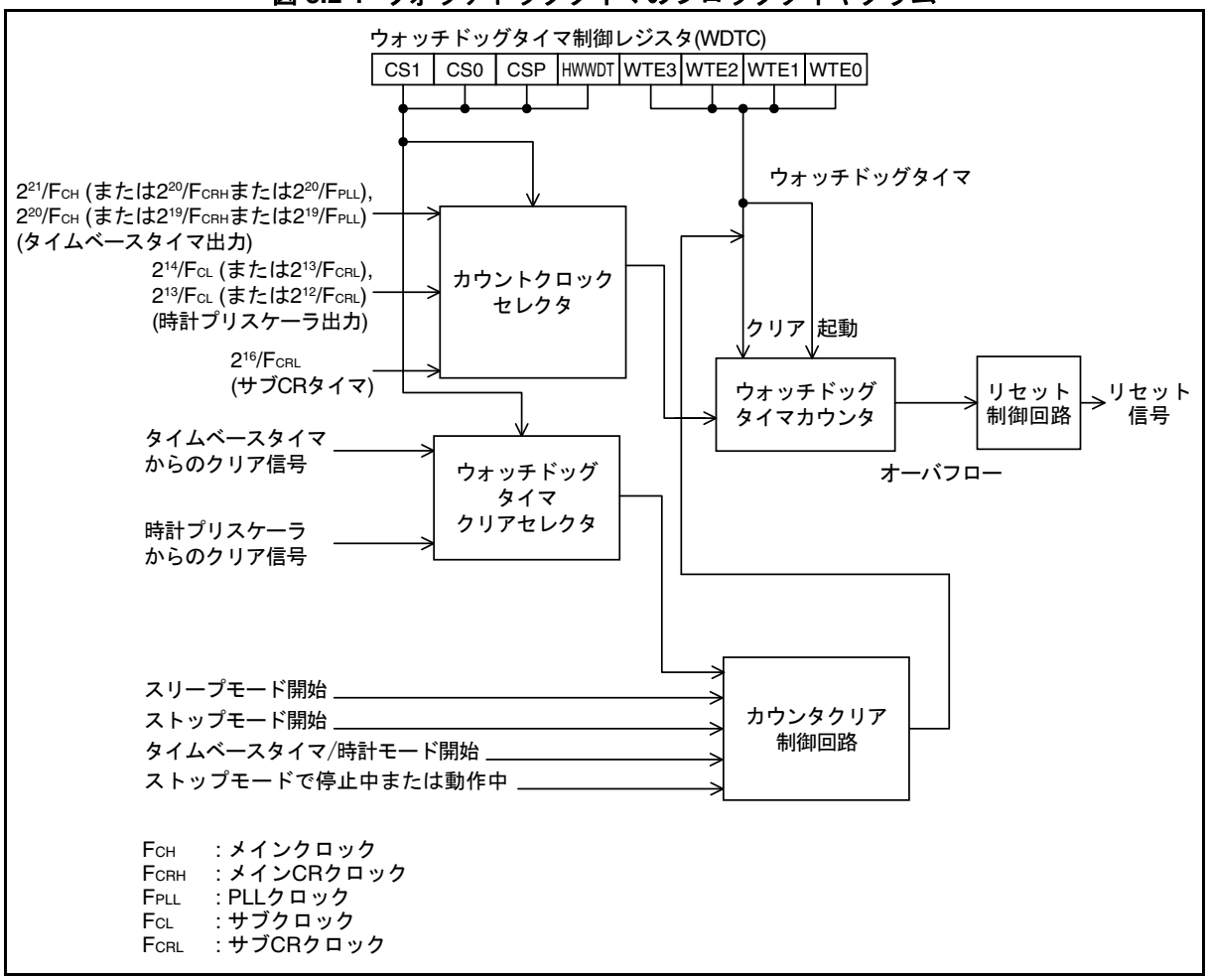
8.2 構成

ウォッチドッグタイマは , 以下のブロックで構成されます。

- カウントクロックセレクタ
- ウォッチドッグタイマカウンタ
- リセット制御回路
- ウォッチドッグタイマクリアセレクタ
- カウンタクリア制御回路
- ウォッチドッグタイマ制御レジスタ (WDTC)

■ ウォッチドッグタイマのブロックダイヤグラム

図 8.2-1 ウォッチドッグタイマのブロックダイヤグラム



- **カウントクロックセレクタ**

  このセレクタは , ウォッチドッグタイマカウンタのカウントクロックを選択します。

- **ウォッチドッグタイマカウンタ**

  このカウンタは , タイムベースタイマの出力 , 時計プリスケーラの出力またはサブ CR タイマの出力をカウントクロックとする 1 ビットのカウンタです。

- **リセット制御回路**

  この回路は , ウォッチドッグタイマカウンタのオーバフローによってリセット信号を発生させます。

- **ウォッチドッグタイマクリアセレクタ**

  ウォッチドッグタイマクリア信号を選択します。

- **カウンタクリア制御回路**

  ウォッチドッグタイマカウンタのクリアと動作停止を制御する回路です。

- **ウォッチドッグタイマ制御レジスタ (WDTC)**

  ウォッチドッグタイマカウンタの起動とクリアおよびカウントクロックの選択を設定するレジスタです。

■ 入力クロック

ウォッチドッグタイマは , タイムベースタイマの出力クロック , 時計プリスケーラからの出力クロックまたはサブ CR タイマからの出力クロックを入力クロック (カウントクロック) として使用します。

8.3 動作説明と設定手順例

ウォッチドッグタイマは , ウォッチドッグタイマカウンタのオーバフローによってウォッチドッグリセットを発生します。

■ ウォッチドッグタイマの動作

● ウォッチドッグタイマの起動方法

ソフトウェアウォッチドッグの場合

- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE[3:0]) に , リセット後 , 1 回目の "0b0101" を書き込むとウォッチドッグタイマは起動します。このとき , ウォッチドッグタイマ制御レジスタのカウントクロック切換えビット (WDTC:CS[1:0], CSP) を同時に指定します。
- ウォッチドッグタイマを一度起動すると , リセット以外にその動作を止める方法はありません。

ハードウェアウォッチドッグの場合

- ハードウェアウォッチドッグタイマを起動するために , フラッシュメモリ上にあるアドレス 0xFFBE と 0xFFBF に "0xA596" 以外の任意の値を書き込んでください。リセット後, フラッシュメモリ上にあるアドレス0xFFBEと0xFFBFのデータは, ウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) (0x0FEB/0x0FEC) へコピーされます。フラッシュメモリ上にあるアドレス 0xFFBE および 0xFFBF に "0xA597" を書き込むと , ハードウェアウォッチドッグタイマはスタンバイモードで停止しますが, "0xA596" および "0xA597" 以外の任意の値を書き込むことで, ハードウェアウォッチドッグタイマはすべてのモードで動作します。ウォッチドッグタイマ選択 ID についての詳細は ,「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。
- リセット解除後に動作を開始します。
- CS[1:0] および CSP は , "0b001" に固定されたリードオンリのビットです。
- リセットによりタイマはクリアされ , リセットが解除された後に動作は再開します。

● ウォッチドッグタイマのクリア

- ウォッチドッグタイマのカウンタがインターバル時間内にクリアされない場合 , カウンタはオーバフローし , ウォッチドッグリセットが発生します。
- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE[3:0]) に , "0b0101" を書き込むと , ハードウェアウォッチドッグタイマのカウンタはクリアされます。ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE[3:0]) への , 2 回目以降の , "0b0101" の書込みによって , ソフトウェアウォッチドッグタイマのカウンタはクリアされます。
- ウォッチドッグタイマは,カウントクロックとして選択しているタイマ(タイムベースタイマまたは時計プリスケーラ) がクリアされると同時にクリアされます。

● スタンバイモード時の動作

- ソフトウェアウォッチドッグタイマまたはスタンバイモード中の動作を禁止したハードウェアウォッチドッグタイマの起動時は , 選択されたクロックモードに関係なく スタンバイモードに移行すると , ウォッチドッグタイマカウンタをクリアして動作を停止します。また , スタンバイモードからの復帰により , ウォッチドッグタイマは動作を再開します。
- スタンバイモード中の動作を許可したハードウェアウォッチドッグタイマの起動時は , スタンバイモードへの移行およびスタンバイモードからの復帰時にウォッチドッグタイマカウンタはクリアされず , 動作を継続します。

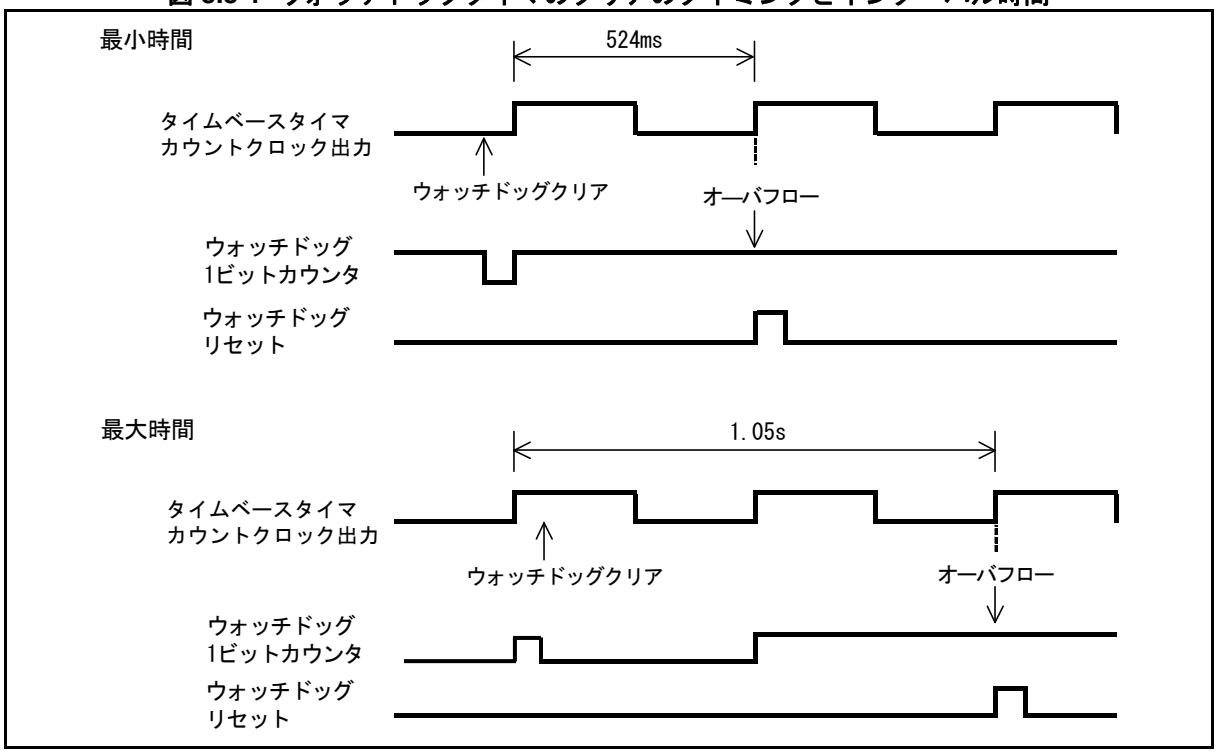
＜注意事項＞

ウォッチドッグタイマは , カウントクロックとして選択されているタイマ (タイムベースタイマまたは時計プリスケーラ) のクリアと同時にクリアされます。このため , ウォッチドッグタイマのカウントクロックとして選択されたタイマを , ウォッチドッグタイマ用に選択されたインターバル時間内で繰返しクリアするようにソフトウェアが設定されていると , ウォッチドッグタイマは機能できません。

● インターバル時間

インターバル時間は , ウォッチドッグタイマをクリアするタイミングによって変化します。図 8.3-1 に , タイムベースタイマ出力 $F_{CH}/2^{21}$ (F_{CH}: メインクロック) がカウントクロックとして選択された場合 (メインクロック = 4 MHz) の , ウォッチドッグタイマのクリアのタイミングとインターバル時間との関係を示します。

図 8.3-1 ウォッチドッグタイマのクリアのタイミングとインターバル時間



● サブクロックモード時の動作

サブクロックモードでウォッチドッグリセットが発生した場合 , タイマは発振安定待ち時間の経過後にメインクロックモードで動作を開始します。この発振安定待ち時間内にリセット信号が出力されます。

■ 設定手順例

以下に , ソフトウェアウォッチドッグタイマの設定手順を示します。

1. カウントクロックを選択してください (WDTC:CS[1:0], CSP)。
2. ウォッチドッグタイマを起動してください (WDTC:WTE[3:0] = 0b0101)。
3. ウォッチドッグタイマをクリアしてください (WDTC:WTE[3:0] = 0b0101)。

以下に , ハードウェアウォッチドッグタイマの設定手順を示します。

1. フラッシュメモリ上にあるアドレス 0xFFBE と 0xFFBF に "0xA596" 以外の任意の値を書き込んでください。リセット後 , フラッシュメモリ上にあるアドレス 0xFFBE と 0xFFBF のデータは , ウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) (0x0FEB/0x0FEC) へコピーされます。フラッシュメモリ上にあるアドレス 0xFFBE および 0xFFBF に "0xA597" を書き込むと , ハードウェアウォッチドッグタイマはスタンバイモードで停止しますが , "0xA596" および "0xA597" 以外の任意の値を書き込むことで , ハードウェアウォッチドッグタイマはすべてのモードで動作します。ウォッチドッグタイマ選択 ID についての詳細は ,「第 28 章 不揮発性レジスタ (NVR) インタフェース」を参照してください。
2. ウォッチドッグタイマをクリアしてください (WDTC:WTE[3:0] = 0b0101)。

8.4 レジスタ

ウォッチドッグタイマのレジスタについて説明します。

表 8.4-1 ウォッチドッグタイマのレジスター一覧

レジスタ略称	レジスタ名	参照先
WDTC	ウォッチドッグタイマ制御レジスタ	8.4.1

8.4.1 ウォッチドッグタイマ制御レジスタ (WDTC)

ウォッチドッグタイマ制御レジスタ (WDTC) は , ウォッチドッグタイマの起動とクリアを行うレジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	CS1	CS0	CSP	HWWDT	WTE3	WTE2	WTE1	WTE0
ソフトウェアウォッチドッグタイマ使用時の属性と初期値								
属性	R/W	R/W	R/W	R	W	W	W	W
初期値	0	0	0	0	0	0	0	0
ハードウェアウォッチドッグタイマ使用時の属性と初期値								
属性	R	R	R	R	W	W	W	W
初期値	0	0	1	1	0	0	0	0

■ レジスタ機能

[bit7:6] CS[1:0]: カウントクロック切換えビット
[bit5] CSP: カウントクロック選択サブ CR 選択ビット
これらのビットはウォッチドッグタイマのカウントクロックを選択します。
ウォッチドッグ制御ビットによってウォッチドッグタイマを起動すると同時に , これらのビットに書き込んでください。
ウォッチドッグタイマを起動した後にはこれらのビットは変更できません。

bit7	bit6	bit5		説明 (F_{CH}: メインクロック , F_{CRH}: メイン CR クロック , F_{PLL}: PLL クロック , F_{CL}: サブクロック , F_{CRL}: サブ CR クロック)
0	**0**	**0**	**を書き込んだ場合**	タイムベースタイマの出力周期 ($2^{21}/F_{CH}$, $2^{20}/F_{CRH}$ または $2^{20}/F_{PLL}$)
0	**1**	**0**	**を書き込んだ場合**	タイムベースタイマの出力周期 ($2^{20}/F_{CH}$, $2^{19}/F_{CRH}$ または $2^{19}/F_{PLL}$)
1	**0**	**0**	**を書き込んだ場合**	時計プリスケーラの出力周期 ($2^{14}/F_{CL}$ または $2^{13}/F_{CRL}$)
1	**1**	**0**	**を書き込んだ場合**	時計プリスケーラの出力周期 ($2^{13}/F_{CL}$ または $2^{12}/F_{CRL}$)
0/1	**0/1**	**1**	**を書き込んだ場合**	サブ CR タイマの出力周期 ($2^{16}/F_{CRL}$)

(注意事項) サブクロックモードまたはサブ CR クロックモードでは , タイムベースタイマが停止するため , 時計プリスケーラの出力を常に選択してください。

[bit4] HWWDT: ハードウェアウォッチドッグタイマ起動ビット
このビットはハードウェアウォッチドッグタイマの開始・停止を確認するために使用されるリードオンリのビットです。

bit4	説明
"0" が読み出された場合	ハードウェアウォッチドッグタイマは停止されています (ソフトウェアウォッチドッグタイマは起動できます)。
"1" が読み出された場合	ハードウェアウォッチドッグタイマは起動されています。

[bit3:0] WTE[3:0]: ウォッチドッグ制御ビット
これらのビットはウォッチドッグタイマを制御します。
これらのビットの読出し値は常に "0b0000" です。

bit3:0	説明
"0101" を書き込んだ場合	ウォッチドッグタイマを起動 (リセット後の 1 回目の書込み) またはウォッチドッグタイマをクリア (リセット後の 2 回目以降の書込み) します。 • ウォッチドッグタイマの起動 リセット後の1回目の書込みはソフトウェアウォッチドッグタイマを起動します。 • ウォッチドッグタイマのクリア リセット後の1回目以降の書込みはハードウェアウォッチドッグタイマをクリアします。 リセット後の2回目以降の書込みはソフトウェアウォッチドッグタイマをクリアします。
"0101" 以外の値を書き込んだ場合	動作に影響はありません。

＜注意事項＞

本レジスタはリードモディファイライト (RMW) 系命令が使用できません。

8.5 使用上の注意

ウォッチドッグタイマの使用に関する注意を示します。

■ ウォッチドッグタイマ使用上の注意

● ウォッチドッグタイマの停止について

ソフトウェアウォッチドッグの場合

ウォッチドッグタイマは , 一度起動すると , リセットが発生するまで停止できません。

● カウントクロックの選択について

ソフトウェアウォッチドッグの場合

カウントクロック切換えビット (WDTC:CS[1:0], CSP) は , ウォッチドッグタイマ起動後に , ウォッチドッグ制御ビット (WDTC:WTE[3:0]) を "0b0101" にしたときのみ書換え可能です。カウントクロック切換えビットは , ビット操作命令によって設定はできません。また , 一度タイマが起動すると , ビット設定を変更できません。

サブクロックモードまたはサブ CR クロックモードでは , メインクロック , メイン CR クロックまたは PLL クロックの発振が停止するため , タイムベースタイマは動作しません。

ウォッチドッグタイマをサブクロックモードまたはサブ CR クロックモードで動作させるためには , あらかじめカウントクロックとして時計プリスケーラを選択し , "WDTC:CS[1:0], CSP" を "0b100" または "0b110" または "0bXX1" (X = 0 または 1) に設定してください。

● ウォッチドッグタイマのクリアについて

ウォッチドッグタイマのカウントクロックに使用しているカウンタ (タイムベースタイマ , 時計プリスケーラまたはサブ CR タイマ) をクリアすると , 同時にウォッチドッグタイマのカウンタもクリアされます。

ウォッチドッグタイマがスリープモード , ストップモードまたは時計モードに遷移すると , ウォッチドッグタイマのカウンタはクリアされます。ただし , スタンバイモード中の動作を許可したハードウェアウォッチドッグタイマを起動している場合を除きます。

● プログラム作成上の注意

メインループの中で , 繰返しウォッチドッグタイマをクリアするようなプログラムを作成する場合 , 割込み処理時間を含むメインループの処理時間が , ウォッチドッグタイマインターバル時間の最小時間以下となるように設定してください。

● ハードウェアウォッチドッグタイマ (スタンバイモード中の動作を許可した場合)

ハードウェアウォッチドッグタイマは , ストップモード , スリープモード , タイムベースタイマモードまたは時計モードでは停止しません。したがって , 内部クロックが停止しても , ウォッチドッグタイマは , CPU によってクリアされることはありません (スリープモード , ストップモード , タイムベースタイマモードまたは時計モード)。

定期的にデバイスをスタンバイモードから解除し , ウォッチドッグタイマをクリアします。ただし , 発振安定待ち時間設定レジスタの設定に応じて , ウォッチドッグリセットは , CPU がサブクロックモードまたはサブ CR クロックモード中のストップモードから復帰した後に発生することがあります。

サブクロックを選択する際にはサブクロックの安定待ち時間の設定にも留意してください。

第9章 時計プリスケーラ

時計プリスケーラの機能と動作について説明します。

9.1 概要
9.2 構成
9.3 割込み
9.4 動作説明と設定手順例
9.5 レジスタ
9.6 使用上の注意

9.1 概要

時計プリスケーラは , サブクロックの 2 分周またはサブ CR クロックの 2 分周に同期してカウントダウンする 16 ビットのフリーランカウンタです。このプリスケーラには , 一定のインターバル時間で繰返し割込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能とは , サブクロックの 2 分周またはサブ CR クロックの 2 分周をカウントクロックとして , 一定の時間間隔で繰返し割込み要求を発生させる機能です。

- 時計プリスケーラのカウンタがカウントダウンを行い , 選択したインターバル時間が経過するごとに割込み要求を発生します。
- インターバル時間は , 次の 8 種類の中から選択できます。

表 9.1-1 に , 時計プリスケーラのインターバル時間を示します。

表 9.1-1 時計プリスケーラのインターバル時間

	インターバル時間 (サブ CR クロック) ($2^n \times 2/F_{CRL}$ *1)	インターバル時間 (サブクロック) ($2^n \times 2/F_{CL}$ *2)
n=10	20.48 ms	62.5 ms
n=11	40.96 ms	125 ms
n=12	81.92 ms	250 ms
n=13	163.84 ms	500 ms
n=14	327.68 ms	1 s
n=15	655.36 ms	2 s
n=16	1.311 s	4 s
n=17	2.621 s	8 s

*1: F_{CRL}=100 kHz の場合 , $2/F_{CRL}$=20 µs
*2: F_{CL}=32.768 kHz の場合 , $2/F_{CL}$=61.035 µs

＜注意事項＞

サブ CR の周波数の精度については , デバイスのデータシートを参照してください。

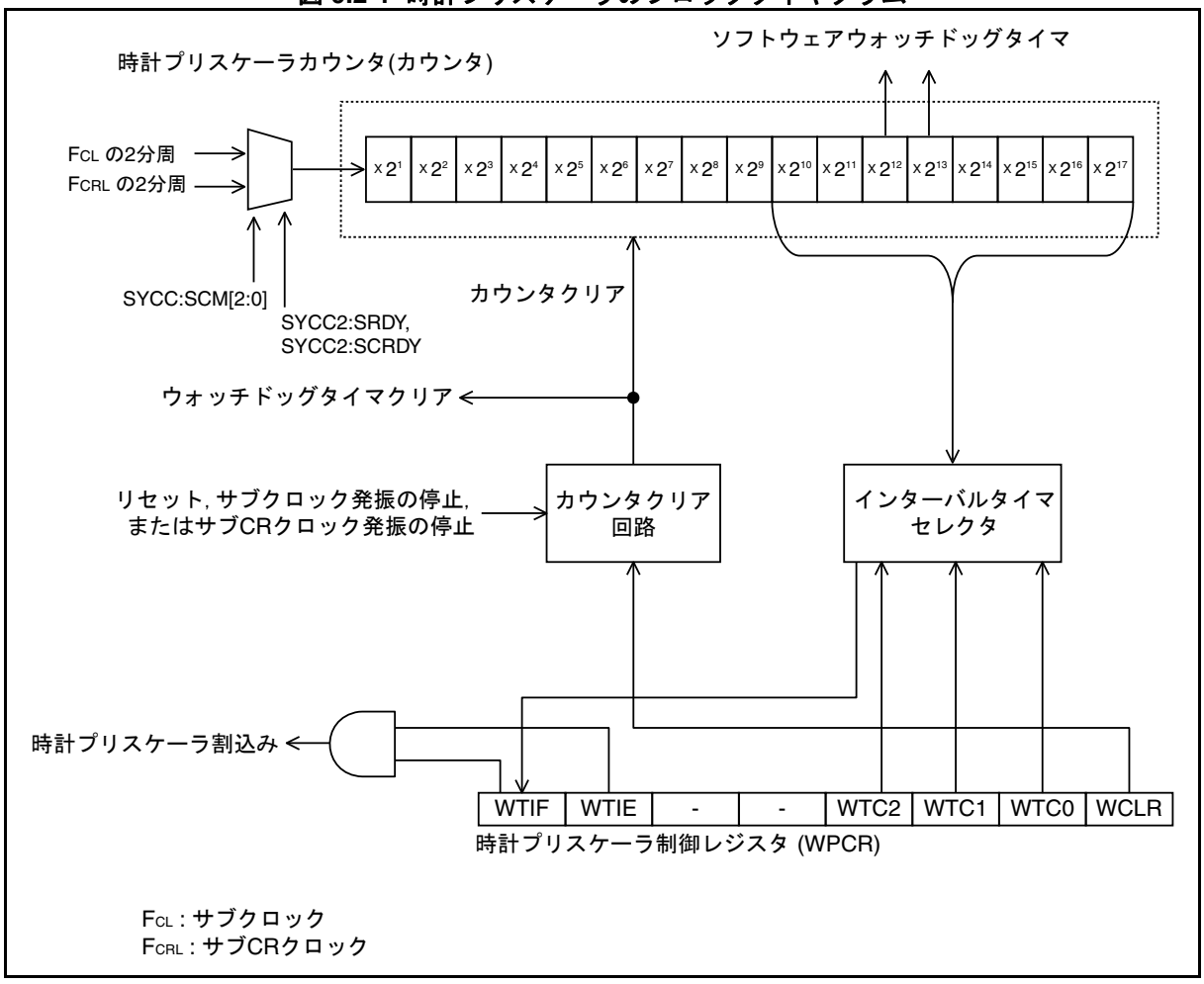
9.2 構成

時計プリスケーラは , 以下のブロックから構成されます。

- **時計プリスケーラカウンタ**
- **カウンタクリア回路**
- **インターバルタイマセレクタ**
- **時計プリスケーラ制御レジスタ (WPCR)**

■ 時計プリスケーラのブロックダイヤグラム

図 9.2-1 時計プリスケーラのブロックダイヤグラム



- **時計プリスケーラカウンタ (カウンタ)**

  サブクロックの 2 分周またはサブ CR クロックの 2 分周をカウントクロックとする 16 ビットのダウンカウンタです。

- **カウンタクリア回路**

  時計プリスケーラのクリアを制御する回路です。

- **インターバルタイマセレクタ**

  時計プリスケーラカウンタ中にある 17 ビットの内の 8 ビットから , インターバルタイマ用の 1 ビットを選択する回路です。

- **時計プリスケーラ制御レジスタ (WPCR)**

  インターバル時間の選択 , カウンタのクリア , 割込み制御および状態の確認を行うレジスタです。

■ 入力クロック

時計プリスケーラは , サブクロックの 2 分周またはサブ CR クロックの 2 分周を入力クロック (カウントクロック) として使用します。

■ 出力クロック

時計プリスケーラは , ソフトウェアウォッチドッグタイマにクロックを供給します。

9.3 割込み

時計プリスケーラで選択されたインターバル時間が経過すると , 割込み要求が発生します (インターバルタイマ機能)。

■ インターバルタイマ機能動作時の割込み (時計プリスケーラ割込み)

サブクロックモードまたはサブ CR クロックモード時のストップモード以外のモードでは , 時計プリスケーラ用カウンタがサブクロックの 2 分周またはサブ CR クロックの 2 分周でカウントダウンし , 設定したインターバル時間が経過すると , 時計プリスケーラ割込み要求フラグビットが "1" に設定 (WPCR:WTIF = 1) されます。そのとき , 割込み要求許可ビットが許可 (WPCR:WTIE = 1) されている場合 , 時計プリスケーラから割込みコントローラへ割込み要求が出力されます。

- WTIF ビットは , WTIE ビットの値に関係なく , 時計プリスケーラ割込みインターバル時間選択ビットで設定した時間が経過すると "1" に設定されます。
- WTIF ビットが "1" に設定された場合 , WTIE ビットを禁止状態から許可状態 (WPCR:WTIE = 0 → 1) に変化させると , 直ちに割込み要求が発生します。
- 選択されたビットがオーバフローすると同時にカウンタがクリア (WPCR:WCLR = 1) した場合は , WTIF ビットは "1" に設定されません。
- 割込み要求をクリアするには , 割込みサービスルーチンで WTIF ビットに "0" を書き込んでください。

＜注意事項＞

リセット解除後に , 割込み要求出力を許可 (WPCR:WTIE = 1) するには , 必ず同時に WTIF ビットをクリアしてください。

表 9.3-1 時計プリスケーラの割込み

項目	説明
割込みの条件	WPCR: WTC[2:0] で設定したインターバル時間が経過した。
割込みフラグ	WPCR:WTIF
割込み許可	WPCR:WTIE

9.4 動作説明と設定手順例

時計プリスケーラは , インターバルタイマ機能として動作します。

■ インターバルタイマ機能の動作 (時計プリスケーラ)

時計プリスケーラのカウンタは , サブクロックまたはサブ CR クロックが発振している間 , サブクロックの 2 分周またはサブ CR クロックの 2 分周をカウントクロックとしてカウントダウンを続けます。

カウンタがクリア (WPCR:WCLR = 1) されると , カウンタは "0xFFFF" からカウントダウンを開始し , "0x0000" に達すると , "0xFFFF" に戻ってカウントを継続します。カウントダウン中に , 割込みインターバル時間選択ビットで設定した時間が経過すると , サブクロックモードまたはサブ CR クロックモード時のストップモード以外の場合 , 時計割込み要求フラグビット (WPCR:WTIF) が "1" に設定されます。すなわち , カウンタが最後にクリアされた時間を基準にして , 選択されたインターバル時間ごとに時計割込み要求が発生します。

■ 時計プリスケーラのクリア

時計プリスケーラをクリアすると , 時計プリスケーラの出力を使用しているほかの周辺機能は , カウント時間が変化するなど動作に影響を受けます。

時計プリスケーラ初期化ビット (WPCR:WCLR) によってカウンタをクリアする場合は , カウンタのクリアにより予期せぬ影響を及ぶことがないようにそのほかの周辺機能の設定を必要に応じて変更してください。

なお , 時計プリスケーラの出力をカウントクロックとして選択しているとき , 時計プリスケーラがクリアされると , ウォッチドッグタイマもクリアされます。

時計プリスケーラは , 時計プリスケーラ初期化ビット (WPCR:WCLR) によるクリアに加え , サブクロックまたはサブ CR クロックが停止し , 発振安定待ち時間が必要になった場合クリアされます。時計プリスケーラは , 以下の状況でクリアされます。

- デバイスが , サブクロックモードまたはサブ CR クロックモードからストップモードへ移行したとき
- メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードまたはメイン CR PLL クロックモードにおいて , システムクロック制御レジスタ 2 のサブクロック発振許可ビットまたはサブ CR クロック発振許可ビット (SYCC2:SOSCE または SCRE) を "0" に設定したとき

また , リセットが発生した場合 , 時計プリスケーラのカウンタはクリアされ , 動作を停止します。

■ 時計プリスケーラの入力クロック選択について

時計プリスケーラの入力クロック選択は , 各クロックモードで以下のようになります。

- メインクロックモード , メイン PLL クロックモード , メイン CR クロックモードとメイン CR PLL クロックモードの場合

  サブクロックの発振が許可され , サブクロック発振安定待ち時間が経過した場合 , サブクロックは時計プリスケーラの入力クロックとして選択されます。

  サブ CR クロックの発振が許可され , サブ CR クロック発振安定待ち時間が経過した場合 , サブ CR クロックは時計プリスケーラの入力クロックとして選択されます。

サブクロックの発振とサブ CR クロックの発振が許可され , サブクロック発振安定待ち時間とサブ CR クロック発振安定待ち時間が経過した場合 , サブクロックは時計プリスケーラの入力クロックとして選択されます。

- サブクロックモードの場合
  時計プリスケーラの入力クロックはサブクロックに固定されます。
- サブ CR クロックモードの場合
  時計プリスケーラの入力クロックはサブ CR クロックに固定されます。

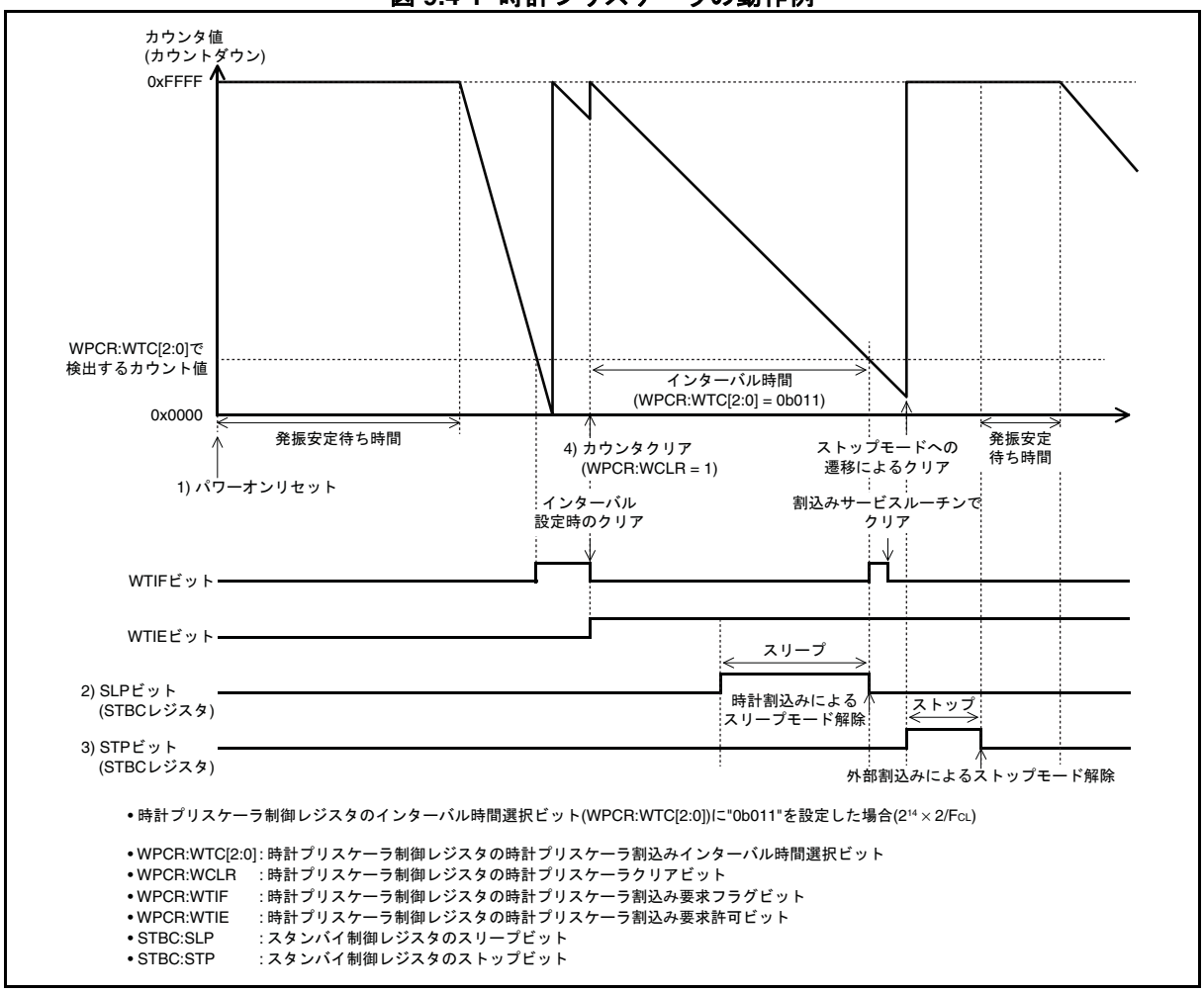
■ 時計プリスケーラの動作例

図 9.4-1 に , 以下の条件下の動作例を示します。

1. パワーオンリセットが発生した場合
2. デバイスが, サブクロックモードもしくはサブCRクロックモードにおいてインターバルタイマ機能の動作中に , スリープモードへ移行した場合
3. デバイスが, サブクロックモードもしくはサブCRクロックモードにおいてインターバルタイマ機能の動作中に , ストップモードへ移行した場合
4. カウンタクリアの要求が発生した場合

時計モードへの移行は , スリープモードへの移行と同じ動作で行います。

図 9.4-1 時計プリスケーラの動作例



■ 設定手順例

以下に , 時計プリスケーラの設定手順例を示します。

● 初期設定

1. 割込みレベルを設定してください (ILR*)。
2. インターバル時間を設定してください (WPCR:WTC[2:0])。
3. 割込み許可を設定し , 割込み要求フラグをクリアしてください (WPCR:WTIE = 1, WPCR:WTIF = 0)。
4. カウンタをクリアしてください (WPCR:WCLR = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■ 割込み要因のテーブル」を参照してください。

● 割込み処理

1. 割込み要求フラグをクリアしてください (WPCR:WTIF = 0)。
2. カウンタをクリアしてください (WPCR:WCLR = 1)。

9.5 レジスタ

時計プリスケーラのレジスタについて説明します。

表 9.5-1 時計プリスケーラのレジスター覧

レジスタ略称	レジスタ名	参照先
WPCR	時計プリスケーラ制御レジスタ	9.5.1

9.5.1 時計プリスケーラ制御レジスタ (WPCR)

時計プリスケーラ制御レジスタ (WPCR) は , インターバル時間の選択 , カウンタのクリア , 割込み制御および時計プリスケーラの状態確認を行うレジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	WTIF	WTIE	—	—	WTC2	WTC1	WTC0	WCLR
属性	R/W	R/W	—	—	R/W	R/W	R/W	W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] WTIF: 時計プリスケーラ割込み要求フラグビット

時計プリスケーラにより選択されたインターバル時間が経過後は , このビットは "1" になります。
このビットと時計プリスケーラ割込み要求許可ビット (WTIE) が "1" に設定されたとき , 割込み要求が発生します。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit7	説明
"0" が読み出された場合	インターバル時間がまだ経過していないことを示します。
"1" が読み出された場合	インターバル時間が経過したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit6] WTIE: 時計プリスケーラ割込み要求許可ビット

このビットは割込みコントローラへの割込み要求出力を許可または禁止します。
このビットと時計プリスケーラ割込み要求フラグビット (WTIF) が "1" に設定されたとき , 割込み要求が出力されます。

bit6	説明
"0" を書き込んだ場合	時計プリスケーラの割込み要求を禁止します。
"1" を書き込んだ場合	時計プリスケーラの割込み要求を許可します。

[bit5:4] 未定義ビット

読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit3:1] WTC[2:0]: 時計プリスケーラ割込みインターバル時間選択ビット
これらのビットはインターバル時間を選択します。

bit3:1	説明	
	インターバル時間 (サブクロック , F_{CL} = 32.768 kHz)	インターバル時間 (サブ CR クロック , F_{CRL} = 100 kHz)
"100" を書き込んだ場合	$2^{10} \times 2/F_{CL}$ (62.5 ms)	$2^{10} \times 2/F_{CRL}$ (20.48 ms)
"000" を書き込んだ場合	$2^{11} \times 2/F_{CL}$ (125 ms)	$2^{11} \times 2/F_{CRL}$ (40.96 ms)
"001" を書き込んだ場合	$2^{12} \times 2/F_{CL}$ (250 ms)	$2^{12} \times 2/F_{CRL}$ (81.92 ms)
"010" を書き込んだ場合	$2^{13} \times 2/F_{CL}$ (500 ms)	$2^{13} \times 2/F_{CRL}$ (163.84 ms)
"011" を書き込んだ場合	$2^{14} \times 2/F_{CL}$ (1 s)	$2^{14} \times 2/F_{CRL}$ (327.68 ms)
"101" を書き込んだ場合	$2^{15} \times 2/F_{CL}$ (2 s)	$2^{15} \times 2/F_{CRL}$ (655.36 ms)
"110" を書き込んだ場合	$2^{16} \times 2/F_{CL}$ (4 s)	$2^{16} \times 2/F_{CRL}$ (1.311 s)
"111" を書き込んだ場合	$2^{17} \times 2/F_{CL}$ (8 s)	$2^{17} \times 2/F_{CRL}$ (2.621 s)

[bit0] WCLR: 時計プリスケーラクリアビット
このビットは時計プリスケーラのカウンタの全ビットを "1" にクリアします。

bit0	説明
読出し動作	読出し値は常に "0" です。
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	時計プリスケーラのカウンタの全ビットを "1" にクリアします。

(注意事項) 時計プリスケーラの出力がソフトウェアウォッチドッグタイマのカウントクロックとして選択されているときには , このビットで時計プリスケーラがクリアされるとソフトウェアウォッチドッグタイマもクリアされます。

9.6 使用上の注意

時計プリスケーラ使用上の注意を示します。

■ 時計プリスケーラ使用上の注意

● プログラムで割込み処理を設定する場合

時計プリスケーラ割込み要求フラグビット (WPCR:WTIF) が "1" に設定され , 割込み要求 が許可 (WPCR:WTIE = 1) されている場合には , 時計プリスケーラは割込み処理から復帰できません。必ず割込みルーチン内で WTIF ビットをクリアしてください。

● 時計プリスケーラのクリアについて

ソフトウェアウォッチドッグタイマのカウントクロックとして時計プリスケーラを選択 (WDTC:CS[1:0], CSP = 0b100 または 0b110) した場合 , 時計プリスケーラをクリアするとソフトウェアウォッチドッグタイマもクリアされます。

● 時計プリスケーラ割込みについて

メインクロック , メイン PLL クロック , メイン CR クロックまたはメイン CR PLL クロック使用時のストップモードでは , 時計プリスケーラはカウント動作を行い , 時計プリスケーラ割込みを発生できます。

● 時計プリスケーラからクロックを供給される周辺機能について

時計プリスケーラのカウンタをクリアすると , 時計プリスケーラの出力を使用しているほかの周辺機能は , 動作周期が変化するなど周辺機能の動作に影響を受けます。

なお , 時計プリスケーラのカウンタがクリアされた後 , 時計プリスケーラから出力されたソフトウェアウォッチドッグタイマ用のクロックは , 初期状態となります。ソフトウェアウォッチドッグタイマのクロックが初期状態に戻ると同時に , ソフトウェアウォッチドッグタイマのカウンタがクリアされるため , ソフトウェアウォッチドッグタイマは正常な周期で動作します。

第 10 章
時計カウンタ

時計カウンタの機能と動作について説明します。

10.1 概要
10.2 構成
10.3 割込み
10.4 動作説明と設定手順例
10.5 レジスタ
10.6 使用上の注意

10.1 概要

時計カウンタは , 最小 40.96 ms から最大 63 s の範囲のインターバル時間によって割込み要求を発生します。

■ 時計カウンタの機能

時計カウンタは , 選択されたカウントクロックを基に , 時計カウンタデータレジスタ (WCDR) に特定された回数のカウントを実行し , 割込み要求を発生します。カウントクロックは表 10.1-1 に示される 8 種類から選択できます。カウント値として "0" から "63" までの値が設定できます。"0" がカウント値として選択されると , 割込み要求が発生されません。

カウントクロックとして "1 s" を設定し , カウント値として "60" を設定すると , 割込は 1 分ごとに発生します。

表 10.1-1 カウントクロックの種類

	カウントクロック (サブ CR クロック) ($2^n \times 2/F_{CRL}$*1)	カウントクロック (サブクロック) ($2^n \times 2/F_{CL}$*2)
n = 11	40.96 ms	125 ms
n = 12	81.92 ms	250 ms
n = 13	163.84 ms	500 ms
n = 14	327.68 ms	1 s

*1: F_{CRL} = 100 kHz の場合 , $2/F_{CRL}$ = 20 µs
*2: F_{CL} = 32.768 kHz の場合 , $2/F_{CL}$ = 61.035 µs

＜注意事項＞

サブ CR クロック周波数の精度について , デバイスのデータシートを参照してください。

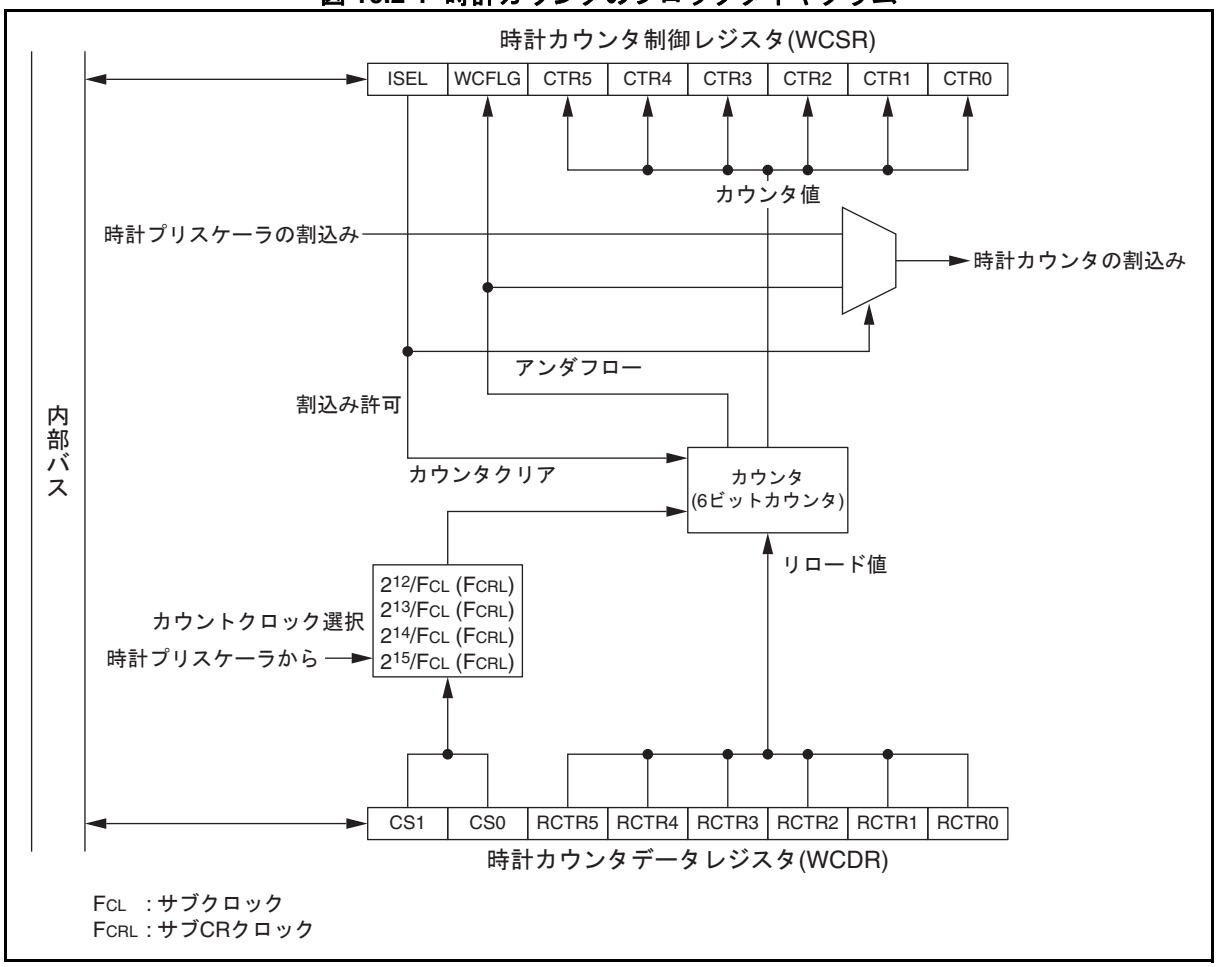
10.2 構成

時計カウンタは以下のブロックで構成されています。

- **カウンタ**
- **時計カウンタ制御レジスタ (WCSR)**
- **時計カウンタデータレジスタ (WCDR)**

■ 時計カウンタのブロックダイヤグラム

図 10.2-1 時計カウンタのブロックダイヤグラム



- **カウンタ**

  時計プリスケーラの出力クロックをカウントクロックとして使用する 6 ビットダウンカウンタです。

- **時計カウンタ制御レジスタ (WCSR)**

  割込みを制御し , 割込みステータスを確認し , カウント値を読み出します。

- **時計カウンタデータレジスタ (WCDR)**

  カウンタクロックを選択し , カウンタリロード値を設定します。

■ 入力クロック

時計カウンタは時計プリスケーラの出力クロックを入力クロック (カウントクロック) として使用します。

10.3 割込み

時計カウンタは , カウンタがアンダフローするときに (カウンタ値 = 0b000001) 割込み要求を出力します。

■ 時計カウンタの割込み

時計カウンタのカウンタがアンダフローするときは , 時計カウンタ制御レジスタ (WCSR) の時計カウンタ割込み要求フラグビット (WCFLG) は "1" に設定されます。WCSR レジスタの時計カウンタ起動および割込み要求許可ビット (ISEL) も "1" に設定されている場合 , 時計カウンタの割込み要求は割込みコントローラに対して出力されます。

表 10.3-1 に時計カウンタの割込み制御ビットと割込み発生要因を示します。

表 10.3-1 時計カウンタの割込み制御ビットと割込み発生要因

項目	説明
割込み要求フラグビット	WCSR:WCFLG
割込み要求許可ビット	WCSR:ISEL
割込み要因	カウンタのアンダフロー

10.4 動作説明と設定手順例

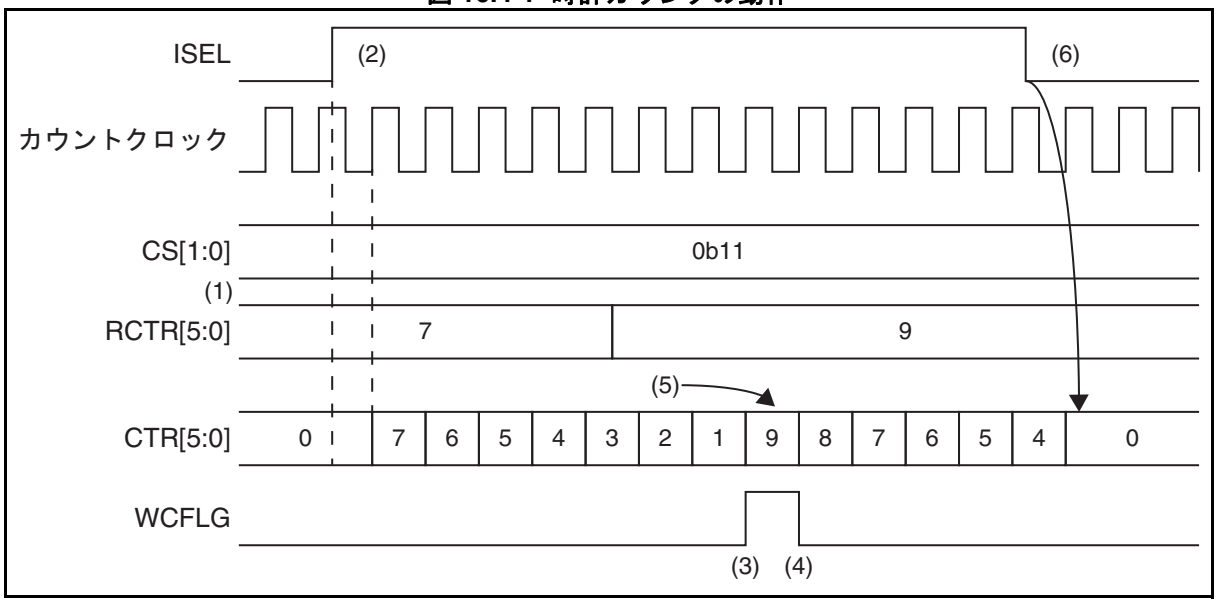
時計カウンタは , WCSR レジスタの ISEL ビットが "1" に設定されたとき , WCDR レジスタの CS[1:0] ビットによって選択されたカウントクロックを使用して , WCDR レジスタの RCTR[5:0] ビットに設定されたカウント値までカウントダウンします。カウンタがアンダフローすると , WCSR レジスタの WCFLG ビットは "1" に設定され , 時計カウンタは割込み要求を発生します。

■ 時計カウンタの設定手順

時計カウンタの設定手順を以下に示します。

1. カウントクロック (CS[1:0]) を選択し , カウンタのリロード値 (RCTR[5:0]) を設定してください。
2. ISEL ビットを "1" に設定してダウンカウントを開始し , 割込みを許可してください。また , 時計プリスケーラの割込みを禁止してください。
   時計カウンタは時計プリスケーラからの分周クロック (非同期性) を基にカウントを実行します。これにより , ISEL ビットを "1" に設定するタイミングによっては , カウントサイクルの最初に , 最大 1 カウントクロックのエラーが発生することがあります。
3. カウンタがアンダフローすると , WCFLG ビットは "1" に設定され , 割込みが発生します。
4. WCFLG ビットに "0" を書き込んでこのビットをクリアしてください。
5. RCTR[5:0] ビットがカウント中に変更された場合 , リロード値はカウンタが "1" に設定された後のリロード中に更新されます。
6. ISEL ビットに "0" が書き込まれると , カウンタは "0" になり動作を停止します。

図 10.4-1 時計カウンタの動作



＜注意事項＞

ISEL ビットに "0" を書き込んでカウンタを停止した後に , カウンタを再起動させる場合 , WCSR レジスタの CTR[5:0] ビットを二度読み出して , CTR[5:0] ビットが "0b000000" にクリアされたことを確認してからカウンタを再起動させてください。

■ サブストップモードとサブ CR クロックストップモードにおける動作

デバイスがサブストップモードまたはサブ CR クロックストップモードに入ったとき , 時計カウンタはカウント動作を停止し , 時計プリスケーラもクリアされます。従って , 時計カウンタは , サブストップモードまたはサブ CR クロックストップモードのクリア後は正確なカウント値をカウントできません。サブストップモードまたはサブ CR クロックストップモードのクリア後は , 常に WCSR レジスタの ISEL ビットを "0" に設定してカウンタをクリアしなければなりません。サブストップモードとサブ CR クロックストップモード以外のスタンバイモード時において , 時計カウンタは継続して動作します。

■ メインストップモードとメイン CR クロックストップモードにおける動作

デバイスがメインストップモードまたはメイン CR クロックストップモードに入ったとき , 時計カウンタはカウント動作を継続しますが , 割込みは発生しません。システムクロック制御レジスタ 2 (SYCC2) のサブクロック発振許可ビット (SOSCE) とサブ CR クロック発振許可ビット (SCRE) がともに "0" に設定されたとき , 時計カウンタは停止します。

■ 設定手順例

時計カウンタの設定手順例を以下に示します。

● 初期設定

1. 割込みレベルを設定してください (ILR*)。
2. カウントクロックを選択してください (WCDR:CS[1:0])。
3. カウンタリロード値を設定してください (WCDR:RCTR[5:0])。
4. 時計カウンタを起動し , 割込みを許可してください (WCSR:ISEL = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■割込み要因のテーブル」を参照してください。

● 割込み処理

1. 割込み要求フラグをクリアしてください (WCSR:WCFLG = 0)。
2. 任意の割込みを処理してください。

10.5 レジスタ

時計カウンタのレジスタについて説明します。

表 10.5-1 時計カウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
WCDR	時計カウンタデータレジスタ	10.5.1
WCSR	時計カウンタ制御レジスタ	10.5.2

10.5.1 時計カウンタデータレジスタ (WCDR)

時計カウンタデータレジスタ (WCDR) はカウントクロックを選択し , カウンタリロード値を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	CS1	CS0	RCTR5	RCTR4	RCTR3	RCTR2	RCTR1	RCTR0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	1	1	1	1

■ レジスタ機能

[bit7:6] CS[1:0]: 時計カウンタカウントクロック選択ビット
これらのビットは時計カウンタのカウントクロックを選択します。
これらのビットを書き換える前に , WCSR レジスタの ISEL ビットが "0" に設定されていることを確認してください。

bit7:6	説明	
	カウントクロック (サブクロック , F_{CL} = 32.768 kHz)	カウントクロック (サブ CR クロック , F_{CRL} = 100 kHz)
"00" を書き込んだ場合	$2^{12}/F_{CL}$ (125 ms)	$2^{12}/F_{CRL}$ (40.96 ms)
"01" を書き込んだ場合	$2^{13}/F_{CL}$ (250 ms)	$2^{13}/F_{CRL}$ (81.92 ms)
"10" を書き込んだ場合	$2^{14}/F_{CL}$ (500 ms)	$2^{14}/F_{CRL}$ (163.84 ms)
"11" を書き込んだ場合	$2^{15}/F_{CL}$ (1 s)	$2^{15}/F_{CRL}$ (327.68 ms)

[bit5:0] RCTR[5:0]: 時計カウンタカウンタリロード値設定ビット
これらのビットはカウンタリロード値を設定します。
カウンタ中にカウンタリロード値が変更された場合 , 新しいカウンタリロード値は , カウンタがアンダフローした後のリロードに有効になります。
RCTR[5:0] ビットが "0" に設定される場合 , 割込み要求が発生されません。
割込みの発生 (WCSR:WCFLG = 1) と同時にカウンタリロード値が変更された場合 , リロードされる値が正確ではありません。したがって , カウンタリロード値の変更は , 割込み要求が発生される前に行うべきです。すなわち , カウンタリロード値の変更は , 割込みサービスルーチン中または時計カウンタの停止後 (WCSR:ISEL = 0) に行うべきです。

10.5.2 時計カウンタ制御レジスタ (WCSR)

時計カウンタ制御レジスタ (WCSR) は時計カウンタの動作と割込みを制御し , カウンタ値を読み出します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	ISEL	WCFLG	CTR5	CTR4	CTR3	CTR2	CTR1	CTR0
属性	R/W	R/W	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] ISEL: 時計カウンタ起動および割込み要求許可ビット

このビットは時計カウンタを起動し , 時計カウンタの割込み要求と時計プリスケーラの割込み要求を許可または禁止します。

このビットに "1" を書き込んで時計カウンタの割込み要求を許可する前に , 必ず時計プリスケーラの割込み要求を禁止してください。

時計カウンタは , 時計プリスケーラからの非同期クロックを使用してカウントを実行します。これにより , ISEL ビットを "1" に設定するタイミングによっては , カウントサイクルの最初に , 最大 1 カウントクロックのエラーが発生することがあります

bit7	説明
"0" を書き込んだ場合	時計カウンタを停止し , 時計カウンタの割込み要求を禁止します (時計プリスケーラの割込み要求を許可します)。
"1" を書き込んだ場合	時計カウンタを起動し , 時計カウンタの割込み要求を許可します (時計プリスケーラの割込み要求を禁止します)。

[bit6] WCFLG: 時計カウンタ割込み要求フラグビット

カウンタがアンダフローすると , このビットは "1" に設定されます。

このビットと ISEL ビットがともに "1" に設定されると , 時計カウンタ割込み要求が生成されます。

リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit6	説明
"0" が読み出された場合	時計カウンタ割込み要求が生成されていないことを示します。
"1" が読み出された場合	時計カウンタ割込み要求が生成されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit5:0] CTR[5:0]: 時計カウンタカウンタ読出しビット

これらのビットはカウント中にカウンタ値を読み出します。

カウンタ値が変更されている間にこれらのビットの値を読み出す場合 , 正確なカウント値を読み出せないことがあります。したがって , これらのビットが読み出すカウンタ値を使用する前に , これらのビットの値を二度読み出し , 二度とも同じ数値であることを確認してください。

これらのビットに値を書き込んでも動作に影響はありません。

10.6 使用上の注意

時計カウンタ使用上の注意を示します。

- 時計プリスケーラが時計カウンタの動作中にクリアされた場合 , 時計カウンタは通常の動作ができないことがあります。時計プリスケーラをクリアする前に , WCSR レジスタの ISEL ビットに "0" を書き込んで時計カウンタを停止してください。
- 時計カウンタを停止した後 , ISEL ビットに "1" を書き込んで時計カウンタを再起動する前に , WCSR レジスタの CTR[5:0] ビットの値を 2 回読み出して , CTR[5:0] ビットが "0b000000" にクリアされたことを確認してください。

第 11 章
ワイルドレジスタ機能

ワイルドレジスタの機能と動作について説明します。

11.1 概要
11.2 構成
11.3 動作説明
11.4 レジスタ
11.5 一般的なハードウェア接続例

11.1 概要

ワイルドレジスタ機能を使うことで , 内蔵レジスタに設定したアドレスと修正データで , プログラムのバグにパッチをあてることができます。
ワイルドレジスタの機能について説明します。

■ ワイルドレジスタ機能

ワイルドレジスタは , 3 本のワイルドレジスタデータ設定レジスタ , 3 本のワイルドレジスタアドレス設定レジスタ , 1 バイトのアドレス比較許可レジスタおよび 1 バイトのワイルドレジスタデータテスト設定レジスタから構成されます。これらのレジスタに修正したいアドレスとデータを設定すると , ROM データはレジスタに設定した修正データに置き換えることができます。最大 3 つの異なるアドレスのデータを修正できます。

ワイルドレジスタの機能を使用して , マスク生成後にプログラムのデバッグをすることと , プログラムの不良箇所にパッチをあてることができます。

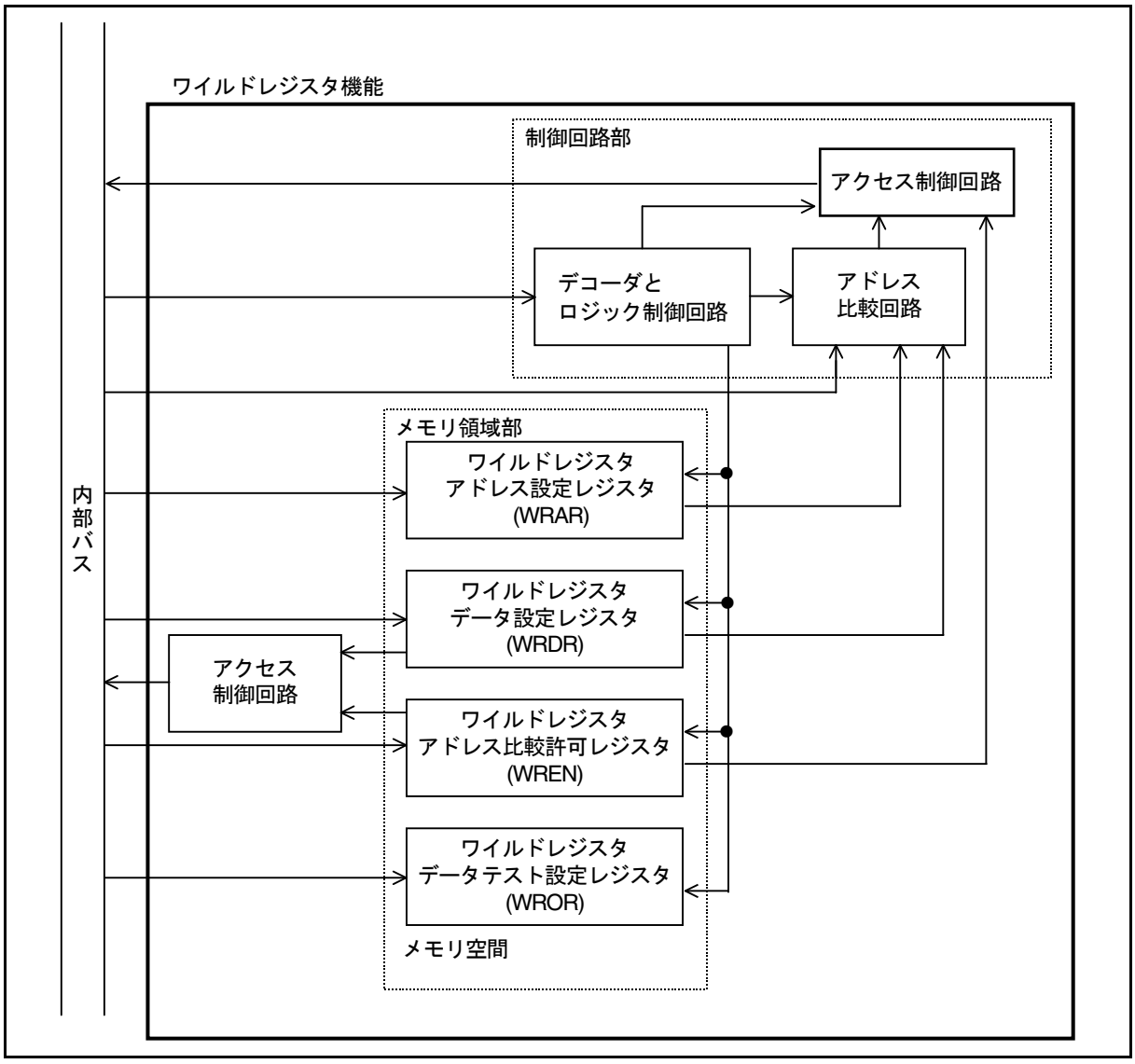
11.2 構成

ワイルドレジスタのブロックダイヤグラムを示します。ワイルドレジスタは , 以下のブロックで構成されます。

- メモリ領域部
  ワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2)
  ワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2)
  ワイルドレジスタアドレス比較許可レジスタ (WREN)
  ワイルドレジスタデータテスト設定レジスタ (WROR)
- 制御回路部

■ ワイルドレジスタ機能のブロックダイヤグラム

図 11.2-1 ワイルドレジスタ機能のブロックダイヤグラム



- **メモリ領域部**

  メモリ領域部は , ワイルドレジスタデータ設定レジスタ (WRDR), ワイルドレジスタアドレス設定レジスタ (WRAR), ワイルドレジスタアドレス比較許可レジスタ (WREN) およびワイルドレジスタデータテスト設定レジスタ (WROR) より構成されます。ワイルドレジスタ機能を使用して , 置き換えたいアドレスおよびデータを設定します。ワイルドレジスタアドレス比較許可レジスタ (WREN) は , ワイルドレジスタデータ設定レジスタ (WRDR) に対応するワイルドレジスタ機能を許可にします。また , ワイルドレジスタデータテスト設定レジスタ (WROR) は, ワイルドレジスタデータ設定レジスタ (WRDR) に対応する通常読出し機能を有効にします。

- **制御回路部**

  この回路は , ワイルドレジスタアドレス設定レジスタ (WRAR) に設定されているアドレスと実際のアドレスデータとを比較します。一致している場合には , 制御回路部は , ワイルドレジスタデータ設定レジスタ (WRDR) からデータバスへデータを出力します。制御回路部は , ワイルドレジスタアドレス比較許可レジスタ (WREN) により動作を制御する回路です。

11.3 動作説明

ワイルドレジスタ機能の設定順序について説明します。

■ ワイルドレジスタ機能の設定順序

ワイルドレジスタ機能を使用する前に , ユーザプログラム内にある , 外部メモリ (例えば , EEPROM や FRAM) からワイルドレジスタに設定する値を読み出すプログラムを準備してください。以下に , ワイルドレジスタの設定方法を示します。

本節では , 外部メモリとデバイス間の通信方法については説明しません。

- ワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2) に , 変更する内蔵の ROM コードのアドレスを書き込みます。
- アドレスが書き込まれたワイルドレジスタアドレス設定レジスタに対応するワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2) に , 新しいコードを書き込みます。
- ワイルドレジスタアドレス比較許可レジスタ (WREN) のワイルドレジスタ番号に対応する EN ビットに , "1" を書き込み , ワイルドレジスタ機能を許可にします。

表 11.3-1 に , ワイルドレジスタ機能のレジスタの設定順序を示します。

表 11.3-1 ワイルドレジスタ機能のレジスタの設定手順

ステップ	動作	動作例
1	ある一定の通信方法を通じて , 外部周辺機能より , 置換データを読み出します。	変更する内蔵 ROM コードがアドレス 0xF011 にあり , 変更するデータが 0xB5 である場合 , 変更する内蔵 ROM コードは 3 つです。
2	置換アドレスをワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2) へ書き込みます。	ワイルドレジスタアドレス設定レジスタ (WRAR0 = 0xF011 , WRAR1 = ..., WRAR2 = ...) を設定します。
3	ワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2) に新しい ROM コードを書き込みます (内蔵 ROM コードを置き換えます)。	ワイルドレジスタデータ設定レジスタ (WRDR0 = 0xB5 , WRDR1 = ..., WRDR2 =...) を設定します。
4	ワイルドレジスタアドレス比較許可レジスタ (WREN) のワイルドレジスタ番号に対応する EN ビットを許可にします。	ワイルドレジスタ番号 0 のワイルドレジスタ機能を許可するには , アドレス比較許可レジスタ (WREN) の bit0 に "1" を設定します。もし , アドレスがワイルドレジスタアドレス設定レジスタ (WRAR) に設定されている値と一致すれば , ワイルドレジスタデータ設定レジスタ (WRDR) の値は , 内蔵 ROM コードに置き換えられます。複数の内蔵 ROM コードを置き換える際は , それぞれの内蔵 ROM コードに対応するワイルドレジスタアドレス比較許可レジスタ (WREN) の EN ビットを許可してください。

■ ワイルドレジスタ機能適用アドレス

ワイルドレジスタ機能が適用できるアドレス空間は , "0x0078" を除くすべての空間です。

アドレス "0x0078" はレジスタバンクポインタおよびダイレクトバンクポインタのミラーアドレスとなっているため , このアドレスにパッチをあてることはできません。

11.4 レジスタ

ワイルドレジスタ機能のレジスタについて説明します。

表 11.4-1 タイムベースタイマのレジスター一覧

レジスタ略称	レジスタ名	参照先
WRDR0	ワイルドレジスタデータ設定レジスタ 0	11.4.1
WRDR1	ワイルドレジスタデータ設定レジスタ 1	11.4.1
WRDR2	ワイルドレジスタデータ設定レジスタ 2	11.4.1
WRAR0	ワイルドレジスタアドレス設定レジスタ 0	11.4.2
WRAR1	ワイルドレジスタアドレス設定レジスタ 1	11.4.2
WRAR2	ワイルドレジスタアドレス設定レジスタ 2	11.4.2
WREN	ワイルドレジスタアドレス比較許可レジスタ	11.4.3
WROR	ワイルドレジスタデータテスト設定レジスタ	11.4.4

■ ワイルドレジスタ番号

ワイルドレジスタ番号は , 各ワイルドレジスタアドレス設定レジスタ (WRAR) および各ワイルドレジスタデータ設定レジスタ (WRDR) に割当てられます。

表 11.4-2 ワイルドレジスタアドレス設定レジスタおよびワイルドレジスタデータ設定レジスタに対応するワイルドレジスタ番号

ワイルドレジスタ番号	ワイルドレジスタアドレス設定レジスタ (WRAR)	ワイルドレジスタデータ設定レジスタ (WRDR)
0	WRAR0	WRDR0
1	WRAR1	WRDR1
2	WRAR2	WRDR2

11.4.1 ワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2)

ワイルドレジスタデータ設定レジスタ (WRDR0 ～ WRDR2) を使用して , ワイルドレジスタ機能により修正するデータを指定します。

■ レジスタ構成

WRDR0

bit	7	6	5	4	3	2	1	0
Field	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

WRDR1

bit	7	6	5	4	3	2	1	0
Field	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

WRDR2

bit	7	6	5	4	3	2	1	0
Field	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:0] RD[7:0]: ワイルドレジスタデータ設定ビット

これらのビットはワイルドレジスタ機能により修正されるデータを指定します。

これらのビットを使い , ワイルドレジスタアドレス設定レジスタ (WRAR) で割り当てられたアドレスに修正データを設定します。それぞれのワイルドレジスタ番号に対応したアドレスにてデータが有効になります。

これらのビットの読出しは , ワイルドレジスタデータテスト設定レジスタ (WROR) で対応するデータテスト設定ビットを "1" に設定した場合のみ許可となります。

11.4.2 ワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2)

ワイルドレジスタアドレス設定レジスタ (WRAR0 ～ WRAR2) を使用して , ワイルドレジスタ機能により修正するアドレスを設定します。

■ レジスタ構成

WRAR0

bit	15	14	13	12	11	10	9	8
Field	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

WRAR1

bit	15	14	13	12	11	10	9	8
Field	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

WRAR2

bit	15	14	13	12	11	10	9	8
Field	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ動作

[bit15:0] RA[15:0]: ワイルドレジスタアドレス設定ビット

これらのビットはワイルドレジスタ機能により修正するアドレスを設定します。
修正データに割り当てられたアドレスを設定します。アドレスは , ワイルドレジスタアドレス設定レジスタに対応するワイルドレジスタ番号に従って設定されます。

11.4.3 ワイルドレジスタアドレス比較許可レジスタ (WREN)

ワイルドレジスタアドレス比較許可レジスタ (WREN) は , それぞれのワイルドレジスタ番号に対応して , ワイルドレジスタ機能の動作を許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	予約	予約	予約	EN2	EN1	EN0
属性	—	—	W	W	W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5:3] 予約ビット
これらのビットは常に "0" に設定してください。

[bit2:0] EN[2:0]: ワイルドレジスタアドレス比較許可ビット
これらのビットはワイルドレジスタの動作を許可または禁止します。
- EN0 はワイルドレジスタ番号 0 に対応します。
- EN1 はワイルドレジスタ番号 1 に対応します。
- EN2 はワイルドレジスタ番号 2 に対応します。

bit2/bit1/bit0	説明
"0" を書き込んだ場合	ワイルドレジスタ機能の動作を禁止します。
"1" を書き込んだ場合	ワイルドレジスタ機能の動作を許可します。

11.4.4 ワイルドレジスタデータテスト設定レジスタ (WROR)

ワイルドレジスタデータテスト設定レジスタ (WROR) は , 対応するワイルドレジスタデータ設定レジスタ (WRDR0～WRDR2) より読出しデータを許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	予約	予約	予約	DRR2	DRR1	DRR2
属性	—	—	W	W	W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5:3] 予約ビット
これらのビットは常に "0" に設定してください。

[bit2:0] DRR[2:0]: ワイルドレジスタデータテスト設定ビット
これらのビットは対応するワイルドレジスタデータ設定レジスタからの読出しを許可または禁止します。

- DRR0 はワイルドレジスタ番号 0 に対応します。
- DRR1 はワイルドレジスタ番号 1 に対応します。
- DRR2 はワイルドレジスタ番号 2 に対応します。

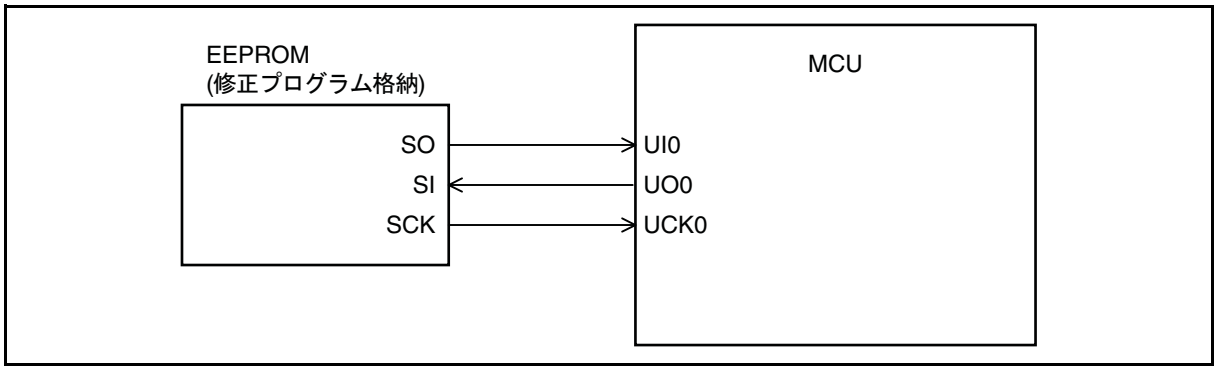
bit2/bit1/bit0	説明
"0" を書き込んだ場合	ワイルドレジスタデータ設定レジスタからの読出しを禁止します。
"1" を書き込んだ場合	ワイルドレジスタデータ設定レジスタからの読出しを許可します。

11.5 一般的なハードウェア接続例

以下に , ワイルドレジスタ機能を使用するときのハードウェア間の一般的な接続について例示します。

■ ハードウェア接続例

図 11.5-1 一般的なハードウェア接続例



第 12 章

8/16 ビット複合タイマ

8/16 ビット複合タイマの機能と動作について説明します。

12.1 概要
12.2 構成
12.3 チャネル
12.4 端子
12.5 割込み
12.6 インターバルタイマ機能 (ワンショットモード) の動作説明
12.7 インターバルタイマ機能 (連続モード) の動作説明
12.8 インターバルタイマ機能 (フリーランモード) の動作説明
12.9 PWM タイマ機能 (周期固定モード) の動作説明
12.10 PWM タイマ機能 (周期可変モード) の動作説明
12.11 PWC タイマ機能の動作説明
12.12 インプットキャプチャ機能の動作説明
12.13 ノイズフィルタの動作説明
12.14 レジスタ
12.15 使用上の注意

12.1 概要

8/16 ビット複合タイマは , 2 つの 8 ビットカウンタで構成されます。2 つの 8 ビットタイマとして , 2 つのカウンタをカスケード接続して 1 つの 16 ビットタイマとしても使用できます。
8/16 ビット複合タイマには , 以下の機能があります。

- **インターバルタイマ機能**
- **PWM タイマ機能**
- **PWC タイマ機能 (パルス幅測定)**
- **インプットキャプチャ機能**

■ インターバルタイマ機能 (ワンショットモード)

インターバルタイマ機能 (ワンショットモード) が選択されると , タイマが起動した時点でカウンタは "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタの値と一致すると , タイマ出力が反転し , 割込み要求が発生して , カウント動作が停止します。

■ インターバルタイマ機能 (連続モード)

インターバルタイマ機能 (連続モード) が選択されると , タイマが起動した時点でカウンタは "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタの値と一致すると , タイマ出力が反転し , 割込み要求が発生して , カウンタは再び "0x00" からカウントします。この連続動作の結果 , タイマは方形波を出力します。

■ インターバルタイマ機能 (フリーランモード)

インターバルタイマ機能 (フリーランモード) が選択されると , カウンタは "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタの値と一致すると , タイマ出力が反転し , 割込み要求が発生します。このような条件下で , カウント動作を継続し , カウント値が "0xFF" に達すると , 再度 "0x00" からカウント動作を開始します。この連続動作の結果 , タイマは方形波を出力します。

■ PWM タイマ機能 (周期固定モード)

PWM タイマ機能 (周期固定モード) が選択されると , 周期固定で "H" パルス幅可変の PWM 信号が生成されます。この周期は , 8 ビット動作モードでは "0xFF" に , 16 ビット動作モードでは "0xFFFF" に固定されます。カウントクロックを選択することによって時間が決定されます。"H" パルス幅はレジスタを設定して指定します。

■ PWM タイマ機能 (周期可変モード)

PWM タイマ機能 (周期可変モード) が選択されると , 2 つの 8 ビットカウンタを使用して , 周期と "L" パルス幅をレジスタで指定することにより , 任意の周期とデューティの 8 ビット PWM 信号を生成します。

この動作モードでは , 2 つの 8 ビットカウンタが別々に使用されるため , 複合タイマは 16 ビットカウンタとして動作できません。

■ PWC タイマ機能

PWC タイマ機能が選択されると , 外部入力パルスの幅および周期を測定できます。

この動作モードでは , 外部入力信号のカウント開始エッジを検出した直後に , カウンタは "0x00" からカウント動作を開始します。この後 , カウント終了エッジが検出されると , カウンタは , カウント値をレジスタに転送し , 割込みを発生させます。

■ インプットキャプチャ機能

インプットキャプチャ機能が選択されると , 外部入力信号のエッジを検出した直後に , カウンタ値をレジスタに格納します。

この機能には , カウント動作にフリーランモードとクリアモードがあります。

クリアモードでは , カウンタは "0x00" からカウント動作を開始し , エッジを検出すると , カウンタの値をレジスタに転送して割込みを発生させます。その後 , カウンタは "0x00" からカウントを再開します。

フリーランモードでは , カウンタはエッジを検出した時点で , カウンタ値をレジスタに転送して割込みを発生させます。この後 , クリアモードの場合とは異なり , カウンタは , "0x00" にクリアすることなく , そのままカウント動作を継続します。

12.2 構成

8/16 ビット複合タイマは , 以下のブロックで構成されます。

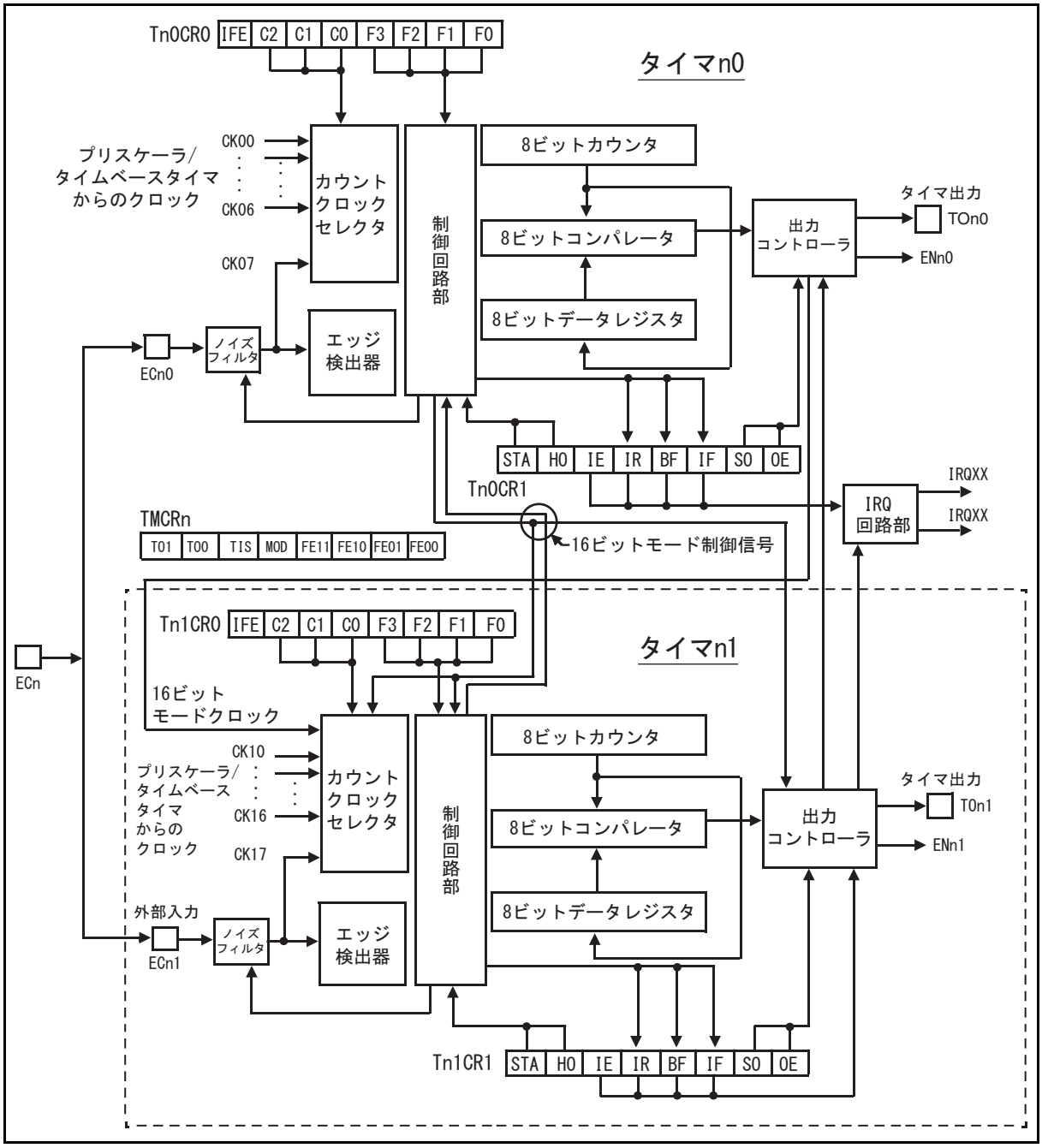
- **8 ビットカウンタ**
- **8 ビットコンパレータ (テンポラリラッチを含む)**
- **8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR)**
- **8/16 ビット複合タイマステータス制御レジスタ 0 (Tn0CR0/Tn1CR0)**
- **8/16 ビット複合タイマステータス制御レジスタ 1 (Tn0CR1/Tn1CR1)**
- **8/16 ビット複合タイマタイマモード制御レジスタ (TMCRn)**
- **アウトプットコントローラ**
- **制御ロジック**
- **カウントクロックセレクタ**
- **エッジ検出器**
- **ノイズフィルタ**

品種により , 8/16 ビット複合タイマの端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ 8/16 ビット複合タイマのブロックダイヤグラム

図 12.2-1 8/16 ビット複合タイマのブロックダイヤグラム



● 8 ビットカウンタ

各種タイマ動作の基本となるカウンタです。2 つの 8 ビットカウンタとしてまたは 1 つの 16 ビットカウンタとして使用できます。

● 8 ビットコンパレータ

8/16 ビット複合タイマデータレジスタの値とカウンタの値を比較するコンパレータです。8/16 ビット複合タイマデータレジスタの値を一時的に格納するラッチを内蔵しています。

- 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR)

  このレジスタは, インターバルタイマ動作またはPWMタイマ動作時にカウントされた最大値の書込みおよびPWCタイマ動作またはインプットキャプチャ動作時のカウント値の読出しを行います。

- 8/16 ビット複合タイマステータス制御レジスタ 0 (Tn0CR0/Tn1CR0)

  タイマ動作モードの選択や , カウントクロックの選択および IF フラグ割込みの許可または禁止を行うレジスタです。

- 8/16 ビット複合タイマステータス制御レジスタ 1 (Tn0CR1/Tn1CR1)

  割込みフラグの制御 , タイマ出力の制御およびタイマ動作の制御を行うレジスタです。

- 8/16 ビット複合タイマタイマモード制御レジスタ (TMCRn)

  ノイズフィルタ機能の選択 , 8 ビットまたは 16 ビット動作モードの選択 , タイマ n0/n1 への信号入力の選択およびタイマ出力値の表示を行うレジスタです。

- アウトプットコントローラ

  このアウトプットコントローラは , タイマ出力を制御します。端子出力が許可されているとき , タイマ出力は外部端子に出力されます。

- 制御回路部

  この制御回路部は , タイマ動作を制御します。

- カウントクロックセレクタ

  このセレクタは , カウンタの動作クロック信号をプリスケーラの出力信号 (マシンクロックの分周信号およびタイムベースタイマの出力信号) から選択します。

- エッジ検出器

  エッジ検出器は , PWC タイマ動作やインプットキャプチャ動作時のイベントとして使用される外部入力信号のエッジを選択します。

- ノイズフィルタ

  このフィルタは , 外部入力信号のノイズフィルタとして動作します。"H" パルスノイズ除去 , "L" パルスノイズ除去または "H"/"L" パルスノイズ除去から選択できます。

■ 入力クロック

8/16 ビット複合タイマは, プリスケーラからの出力クロックを入力クロック (カウントクロック) として使用します。

12.3 チャネル

8/16 ビット複合タイマのチャネルについて説明します。

■ 8/16 ビット複合タイマのチャネル

1 チャネル内には , 8 ビットカウンタが 2 つあり , それらは 2 つの 8 ビットタイマとしてまたは 1 つの 16 ビットタイマとしても使用できます。

表 12.3-1 に , チャネルの外部端子を示します。

表 12.3-1 チャネルの外部端子

端子名	端子機能
TOn0	タイマ n0 出力
TOn1	タイマ n1 出力
ECn	タイマ n0 入力およびタイマ n1 入力

12.4 端子

8/16 ビット複合タイマの端子について説明します。

■ 8/16 ビット複合タイマの端子

8/16 ビット複合タイマの外部端子は , TOn0, TOn1, ECn です。

- TOn0 端子

TOn0:

この端子は , 8 ビット動作時には , タイマ n0 のタイマ出力端子として , また 16 ビット動作時にはタイマ n0 とタイマ n1 のタイマ出力端子として機能します。インターバルタイマ機能時 , PWM タイマ機能時または PWC タイマ機能時に出力を許可 (Tn0CR1:OE = 1) されているときには, ポート方向レジスタ (DDR) の設定に関係なく自動的に出力端子となり , タイマ出力 TOn0 端子として機能します。

インプットキャプチャ機能の使用時に出力が許可されると , 出力は不定となります。

- TOn1 端子

TOn1:

この端子は , 8 ビット動作時のタイマ n1 のタイマ出力端子になります。インターバルタイマ機能時 , PWM タイマ機能 (周期固定モード) 時または PWC タイマ機能時に出力を許可 (Tn1CR1:OE = 1) すると , ポート方向レジスタ (DDR) の設定に関係なく自動的に出力端子となり , タイマ出力 TOn1 端子として機能します。

16 ビット動作時は, PWM タイマ機能 (周期可変モード) またはインプットキャプチャ機能の使用時に出力を許可すると , 出力は不定となります。

- ECn 端子

ECn 端子は , ECn0 内部端子および ECn1 内部端子に接続しています。

ECn0 内部端子 :

この端子は , インターバルタイマ機能または PWM タイマ機能が選択されている時には , タイマ n0 の外部カウントクロック入力端子として機能し , PWC タイマ機能またはインプットキャプチャ機能が選択されているときには , タイマ n0 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには , 外部カウントクロック入力端子として設定できません。

この入力機能を使用するときには, ECn端子に対応するポート方向レジスタのビットを "0" に設定して , 入力ポートにしてください。

ECn1 内部端子 :

この端子は , インターバルタイマ機能または PWM タイマ機能が選択されている時には , タイマ n1 の外部カウントクロック入力端子として機能し , PWC タイマ機能またはインプットキャプチャ機能が選択されている時には , タイマ n1 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには , 外部カウントクロック入力端子として設定できません。

16 ビット動作時には , この端子の入力機能は使用されません。PWM タイマ機能 (周期可変モード) が選択されているときには , この端子の入力機能は使用可能です。

この入力機能を使用するときには, ECn端子に対応するポート方向レジスタのビットを "0" に設定して , 入力ポートにしてください。

12.5 割込み

8/16 ビット複合タイマは , 以下の割込みを発生します。それぞれの割込みには , 割込み番号と割込みベクタが割り当てられます。

- **タイマ n0 割込み**
- **タイマ n1 割込み**

■ タイマ n0 の割込み

表 12.5-1 に , タイマ n0 の割込みおよびその要因を示します。

表 12.5-1 タイマ n0 の割込み

項目	説明		
割込み発生の要因	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出
割込みフラグ	Tn0CR1:IF	Tn0CR1:IF	Tn0CR1:IR
割込み許可	Tn0CR1:IE と Tn0CR0:IFE	Tn0CR1:IE と Tn0CR0:IFE	Tn0CR1:IE

■ タイマ n1 の割込み

表 12.5-2 に , タイマ n1 の割込みおよびその要因を示します。

表 12.5-2 タイマ n1 の割込み

項目	説明		
割込み発生の要因	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致。16 ビット動作時を除く。	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー。16 ビット動作時を除く。	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出。16 ビット動作時を除く。
割込みフラグ	Tn1CR1:IF	Tn1CR1:IF	Tn1CR1:IR
割込み許可	Tn1CR1:IE と Tn1CR0:IFE	Tn1CR1:IE と Tn1CR0:IFE	Tn1CR1:IE

12.6 インターバルタイマ機能 (ワンショットモード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (ワンショットモード) の動作を説明します。

■ インターバルタイマ機能 (ワンショットモード) の動作

インターバルタイマ機能 (ワンショットモード) として動作させるには , 図 12.6-1 に示された設定をしてください。

図 12.6-1 インターバルタイマ機能 (ワンショットモード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	0	0	0	0
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	×	×	❍	❍	❍
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	×	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	インターバル時間 (カウンタコンペア値)							

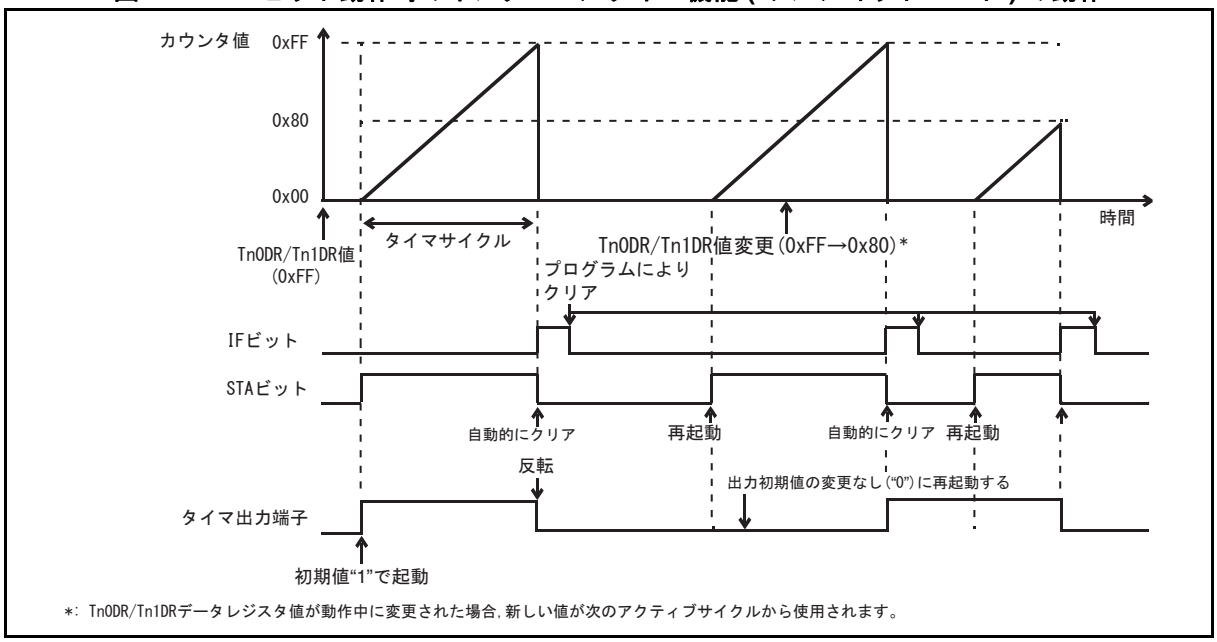
❍: 使用ビット
×: 未使用ビット
1: "1" に設定
0: "0" に設定

インターバルタイマ機能 (ワンショットモード) では , タイマ動作を許可 (Tn0CR1/Tn1CR1:STA=1) すると , 選択されたカウントクロック信号の立上りエッジでカウンタが "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値と一致すると , タイマ出力 (TMCRn:TO0/TO1) が反転して , 割込みフラグ (Tn0CR1/Tn1CR1:IF) が "1" に , タイマ動作許可ビット (Tn0CR1/Tn1CR1: STA) が "0" になり , カウント動作が停止します。

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値は , カウント動作開始時にコンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。8/16 ビット複合タイマデータレジスタに "0x00" を書き込まないでください。

図 12.6-2 に , 8 ビット動作時のインターバルタイマ機能の動作を示します。

図 12.6-2 8 ビット動作時のインターバルタイマ機能 (ワンショットモード) の動作



12.7 インターバルタイマ機能 (連続モード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (連続モード) を説明します。

■ インターバルタイマ機能 (連続モード) の動作

インターバルタイマ機能 (連続モード) として動作させるには , 図 12.7-1 に示された設定をしてください。

図 12.7-1 インターバルタイマ機能 (連続モード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	0	0	0	1
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	×	×	❍	❍	❍
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	×	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	インターバル時間 (カウンタコンペア値)							

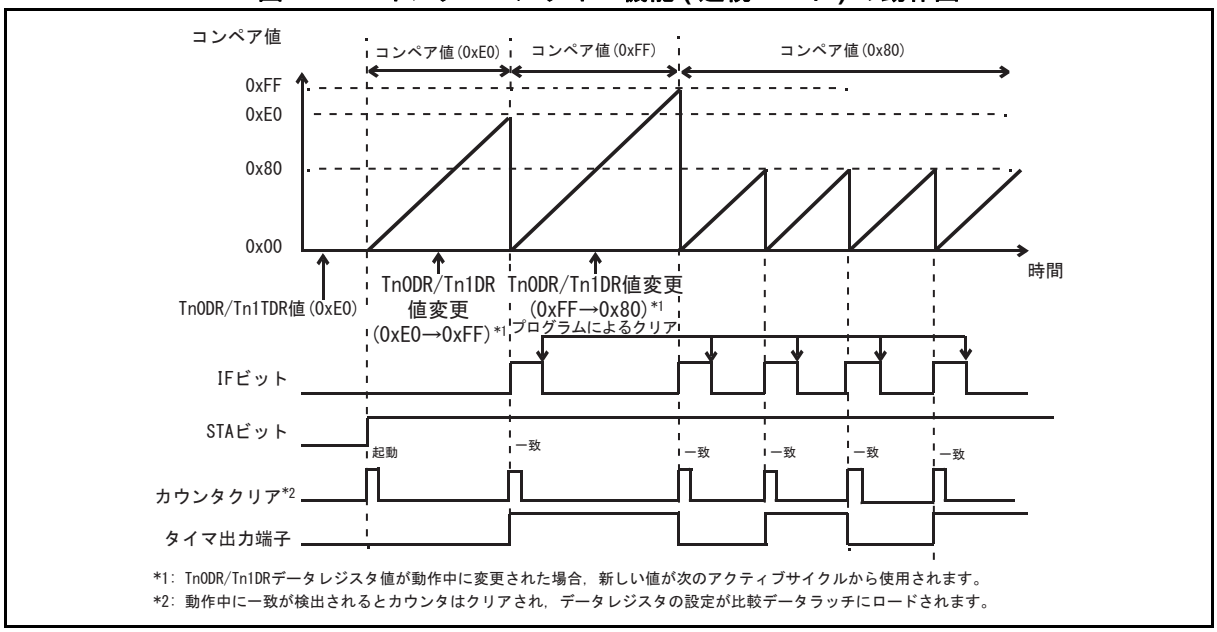
❍: 使用ビット
×: 未使用ビット
1: "1" に設定
0: "0" に設定

インターバルタイマ機能 (連続モード) では , タイマ動作を許可 (Tn0CR1/Tn1CR1:STA = 1) すると , 選択されたカウントクロック信号の立上りエッジでカウンタが "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値と一致すると , タイマ出力ビット (TMCRn:TO0/TO1) が反転し , 割込みフラグ (Tn0CR1/Tn1CR1:IF) が "1" になり , カウンタは "0x00" に戻り再びカウント動作を開始します。この連続動作の結果 , タイマは方形波を出力します。

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値は , カウント動作を開始したときまたはカウンタ値の比較一致を検出したときに , コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。8/16 ビット複合タイマデータレジスタに "0x00" を書き込まないでください。

タイマ動作を停止すると , タイマ出力ビット (TMCRn:TO0/TO1) は最後の値を保持します。

図 12.7-2 インターバルタイマ機能 (連続モード) の動作図



*1: TnODR/Tn1DRデータレジスタ値が動作中に変更された場合，新しい値が次のアクティブサイクルから使用されます。
*2: 動作中に一致が検出されるとカウンタはクリアされ，データレジスタの設定が比較データラッチにロードされます。

12.8 インターバルタイマ機能 (フリーランモード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (フリーランモード) の動作を説明します。

■ インターバルタイマ機能 (フリーランモード) の動作

インターバルタイマ機能 (フリーランモード) として動作させるには , 図 12.8-1 に示された設定をしてください。

図 12.8-1 インターバルタイマ機能 (フリーランモード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	0	0	1	0
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	×	×	❍	❍	❍
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	×	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	インターバル時間 (カウンタコンペア値)							

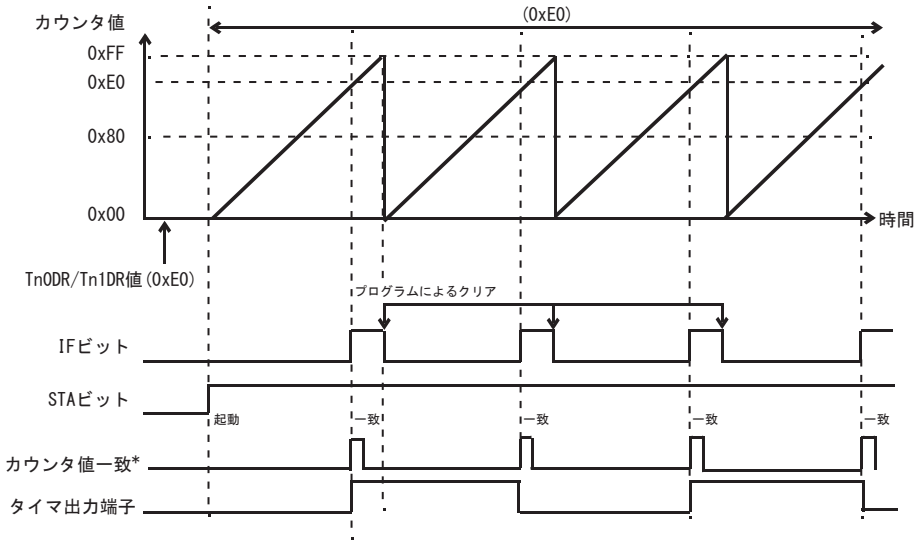
❍: 使用ビット
×: 未使用ビット
1: "1" を設定
0: "0" を設定

インターバルタイマ機能 (フリーランモード) では , タイマ動作を許可 (Tn0CR1/Tn1CR1:STA = 1) すると , 選択されたカウントクロック信号の立上りエッジでカウンタが "0x00" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値と一致すると , タイマ出力ビット (TMCRn:TO0/TO1) が反転して割込みフラグ (Tn0CR1/Tn1CR1:IF) が "1" になります。上記の設定でカウント動作を継続し , カウント値が "0xFF" に達すると , カウンタは再度 "0x00" からカウント動作を継続します。この連続動作の結果 , タイマは方形波を出力します。

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値は , カウンタがカウント動作を開始したときまたはカウンタ値の比較一致を検出したときに , コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。8/16 ビット複合タイマデータレジスタに "0x00" を書き込まないでください。

タイマ動作を停止すると , タイマ出力ビット (TMCRn:TO0/TO1) は最後の値を保持します。

図 12.8-2 インターバルタイマ機能 (フリーランモード) の動作図



*: 動作中に一致が検出されても，カウンタはクリアされません。データレジスタの設定は比較データラッチにリロードされます。

12.9 PWM タイマ機能 (周期固定モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期固定モード) の動作を説明します。

■ PWM タイマ機能 (周期固定モード) の動作

PWM タイマ機能 (周期固定モード) として動作させるには , 図 12.9-1 に示された設定をしてください。

図 12.9-1 PWM タイマ機能 (周期固定モード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	×	❍	❍	❍	0	0	1	1
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	×	×	×	×	×	×
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	×	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	"H" パルス幅 (コンペア値) の設定							

❍: 使用ビット
×: 未使用ビット
1: "1" を設定
0: "0" を設定

PWM タイマ機能 (周期固定モード) では , 周期固定で "H" パルス幅可変 PWM 信号をタイマ出力端子 (TOn0/TOn1) から出力します。この周期は , 8 ビット動作モードでは "0xFF", 16 ビット動作モードでは "0xFFFF" に固定されます。選択したカウントクロックにより時間が決定されます。"H" パルス幅は 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値で指定してください。

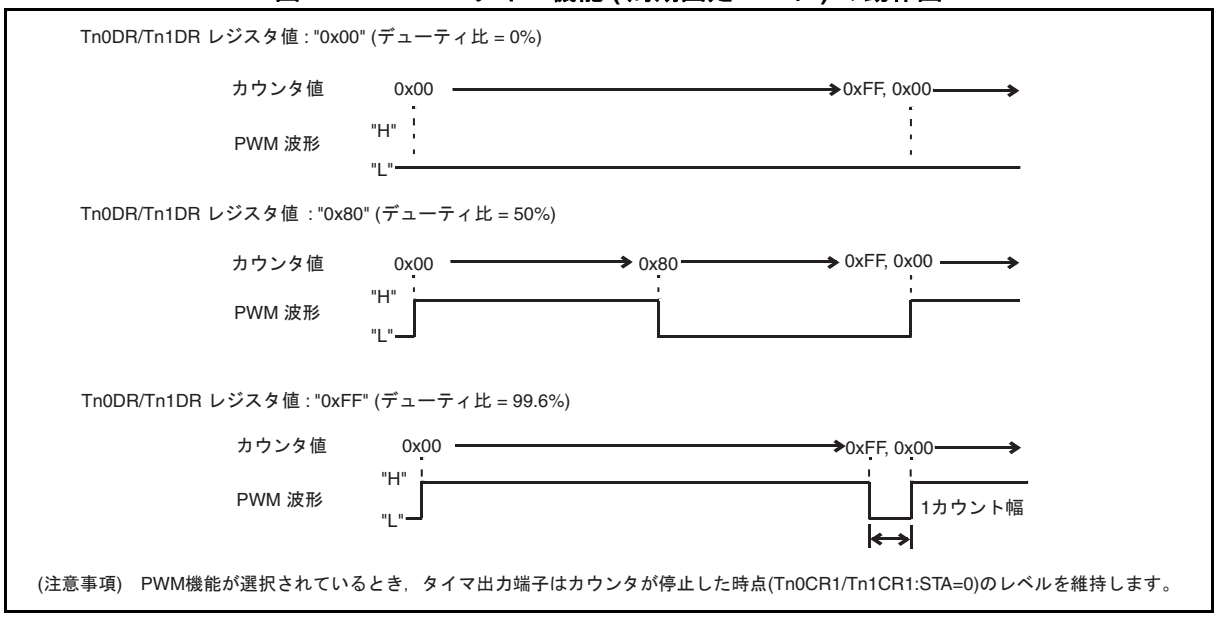
この機能は割込みフラグ (Tn0CR1/Tn1CR1:IF) には影響しません。また , 各周期は常に "H" パルス出力から開始するため , タイマ出力初期値設定ビット (Tn0CR1/Tn1CR1:SO) は動作に影響を与えません。

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値は , カウンタがカウント動作を開始したときまたはカウンタ値の比較一致を検出したときに , コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止すると , タイマ出力ビット (TMCRn:TO0/TO1) は最後の値を保持します。

タイマ起動 (STA ビットに "1" を書き込む) 直後の出力波形では , "H" パルスが , Tn0DR/Tn1DR レジスタの設定値よりも , 1 カウントクロック少なくなります。

図 12.9-2 PWM タイマ機能 (周期固定モード) の動作図



(注意事項) PWM機能が選択されているとき，タイマ出力端子はカウンタが停止した時点(Tn0CR1/Tn1CR1:STA=0)のレベルを維持します。

12.10 PWM タイマ機能 (周期可変モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期可変モード) の動作を説明します。

■ PWM タイマ機能 (周期可変モード) の動作

PWM タイマ機能 (周期可変モード) として動作させるには , 図 12.10-1 に示された設定をしてください。

図 12.10-1 PWM タイマ機能 (周期可変モード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	0	1	0	0
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	×	×	❍	×	×
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	×	×	❍	❍	❍	❍
Tn0DR	"L" パルス幅 (コンペア値) を指定							
Tn1DR	PWM 波形 の周期 (コンペア値) を指定							

❍: 使用ビット
×: 未使用ビット
1: "1" を設定
0: "0" を設定

PWM タイマ機能 (周期可変モード) では , タイマ n0 とタイマ n1 の両方を使用します。任意の周期と任意のデューティとの PWM 信号がタイマ出力端子 (TOn0) から出力されます。8/16 ビット複合タイマ n1 データレジスタ (Tn1DR) で周期を指定して , 8/16 ビット複合タイマ n0 データレジスタ (Tn0DR) で "L" パルス幅時間を指定してください。

この機能では , 2 つの 8 ビットカウンタを使用するため , 複合タイマは 16 ビットカウンタを構成できません。

タイマ動作を許可 (Tn0CR1/Tn1CR1:STA = 1) すると , モードビット (TMCRn:MOD) は "0" になります。また , 最初の周期は常に "L" パルス出力から開始するため , タイマ初期値設定ビット (Tn0CR1/Tn1CR1:SO) は動作に影響を与えません。

割込みフラグ (Tn0CR1/Tn1CR1:IF) は , その割込みフラグに対応する 8 ビットカウンタが , 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値と一致したときに設定されます。

8/16 ビット複合タイマデータレジスタの値はカウンタがカウント動作を開始したときまたはそれぞれのカウンタ値の比較一致を検出したときに , コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

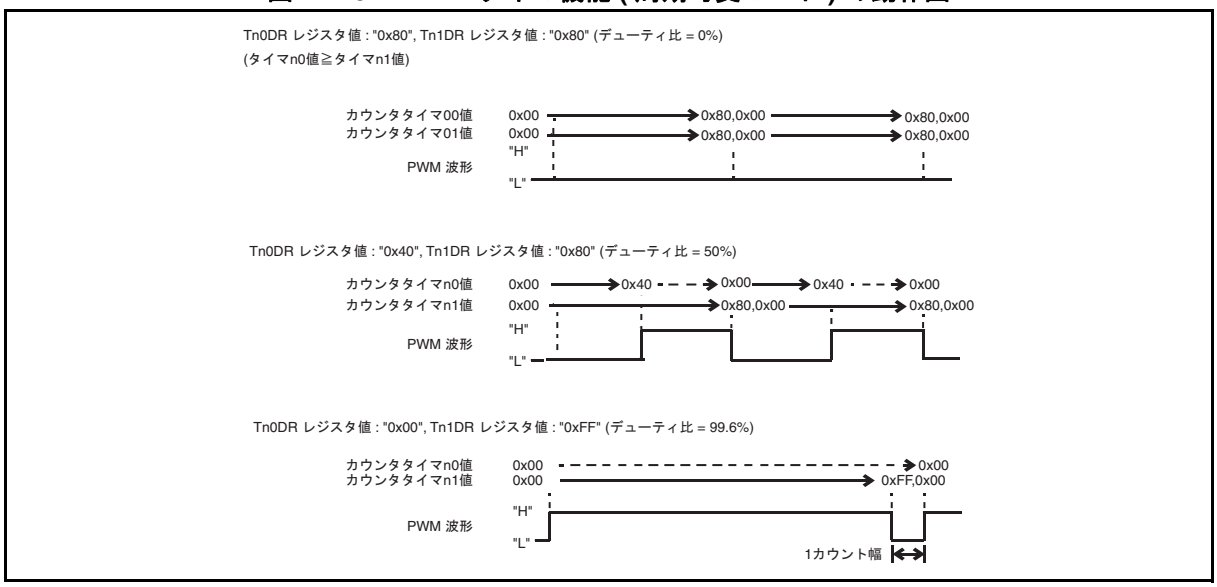
"L" パルス幅の設定値が周期の設定値より大きい場合は "H" は出力されません。

カウントクロックの選択は , タイマ n0 とタイマ n1 の両方に対してそれぞれ行ってください。この際 , 2 つのタイマに対し異なるカウントクロックを選択することは禁止されます。

タイマ動作を停止したとき , タイマ出力ビット (TMCRn:TO0) は最後の出力値を保持します。

動作中に 8/16 ビット複合タイマデータレジスタを書き換えた場合 , 書き込まれたデータは同期一致が検出された次のサイクルより有効となります。

図 12.10-2 PWM タイマ機能 (周期可変モード) の動作図



12.11 PWC タイマ機能の動作説明

8/16 ビット複合タイマの PWC タイマ機能の動作を説明します。

■ PWC タイマ機能の動作

PWC タイマ機能として動作させるには , 図 12.11-1 に示された設定をしてください。

図 12.11-1 PWC タイマ機能の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	❍	❍	❍	❍
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	❍	❍	❍	❍	×
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	❍	❍	❍	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	パルス幅測定値を保持							

❍: 使用ビット
×: 未使用ビット
1: "1" を設定

PWC タイマ機能を選択しているときには , 外部入力パルスの幅および周期を測定できます。カウント開始・終了のエッジはタイマ動作モード選択ビット (Tn0CR0/Tn1CR0: F[3:0]) で選択してください。

この機能の動作では , 外部入力信号の指定されたカウント開始エッジを検出した直後に , カウンタは "0x00" からカウント動作を開始します。指定されたカウント終了エッジを検出すると , カウント値が 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) に転送され , 割込みフラグ (Tn0CR1/Tn1CR1:IR) とバッファフルフラグ (Tn0CR1/Tn1CR1:BF) を "1" にします。バッファフルフラグは , 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) が読み出されたとき , "0" になります。

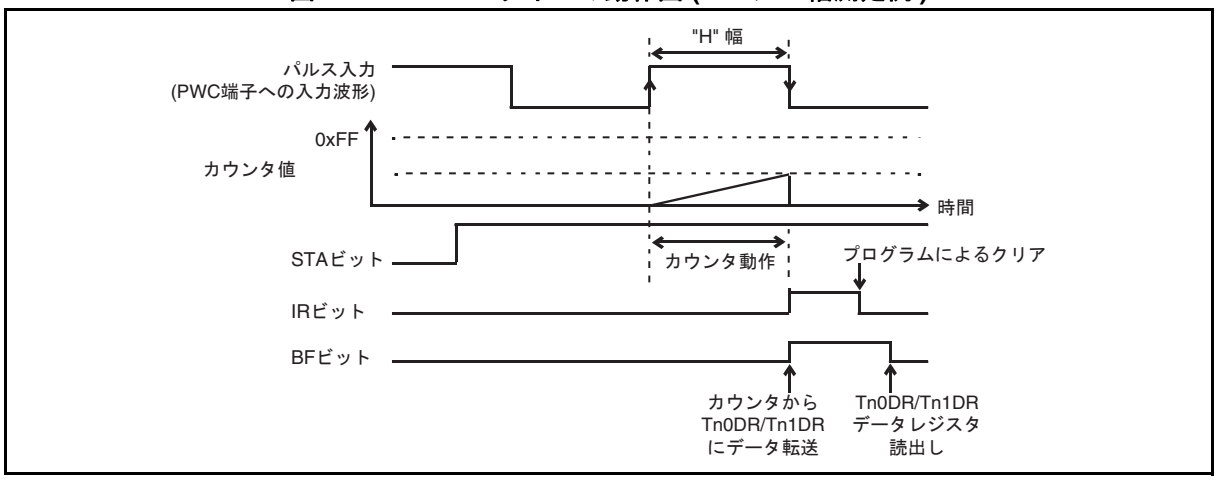
バッファフルフラグが "1" の場合 , 8/16 ビット複合タイマデータレジスタはデータを保持します。この間に次のエッジが検出されても , カウント値は 8/16 ビット複合タイマデータレジスタに転送されないため , 次の測定結果を喪失します。

例外として , Tn0CR0/Tn1CR0 レジスタの F[3:0] ビットが "0b1001" に設定されているときは , BF ビットが "1" 状態でも "H" パルスの測定結果は 8/16 ビット複合タイマデータレジスタに転送されます。ただし , 周期の測定結果は 8/16 ビット複合タイマデータレジスタに転送されません。したがって , 周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出してください。また , "H" パルス測定の結果および周期測定の結果は , 次の "H" パルスが終了する前に読み出さないと喪失します。

カウンタの値を超える時間を測定する場合は , カウンタオーバフローの回数をソフトウェアでカウントすることにより , カウンタの値を超えた時間を求めることができます。すなわち , カウンタがオーバフローすると , 割込みフラグ (Tn0CR1/Tn1CR1:IF) が "1" になるため , この割込みサービスルーチンによりオーバフローの回数をカウントします。また , オーバフローによりタイマ出力は反転します。タイマ出力の初期値は , タイマ出力初期値ビット (Tn0CR1/Tn1CR1:SO) により設定できます。

タイマ動作を停止したとき, タイマ出力ビット (TMCRn:TO0/TO1) は最後の値を保持します。

図 12.11-2 PWC タイマの動作図 (H パルス幅測定例)



12.12 インプットキャプチャ機能の動作説明

8/16 ビット複合タイマのインプットキャプチャ機能の動作を説明します。

■ インプットキャプチャ機能の動作

インプットキャプチャ機能として動作させるには , 図 12.12-1 に示された設定をしてください。

図 12.12-1 インプットキャプチャ機能の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Tn0CR0/Tn1CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	❍	❍	❍	❍	❍	❍	❍	❍
Tn0CR1/Tn1CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	❍	❍	❍	×	❍	×	×
TMCRn	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	×	×	❍	❍	❍	❍	❍	❍
Tn0DR/Tn1DR	パルス幅測定値を保持							

❍: 使用ビット
×: 未使用ビット
1: "1" を設定

インプットキャプチャ機能が選択されると , 外部信号入力のエッジ検出の直後に , カウンタの値を , 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) に格納します。検出するエッジは , タイマ動作モード選択ビット (Tn0CR0/Tn1CR0:F[3:0]) により選択します。

この機能には , フリーランモードとクリアモードがあり , タイマ動作モード選択ビットにより選択します。

クリアモードでは , カウンタは "0x00" からカウント動作を開始します。エッジを検出すると , カウンタの値を 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) に転送して割込みフラグ (Tn0CR1/Tn1CR1:IR) が "1" になり , 再び "0x00" からカウント動作を開始します。

フリーランモードでは , エッジが検出されると , カウンタの値を 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) に転送して , 割込みフラグ (Tn0CR1/Tn1CR1:IR) が "1" になります。この場合には , カウンタはクリアされることなく , そのままカウント動作を継続します。

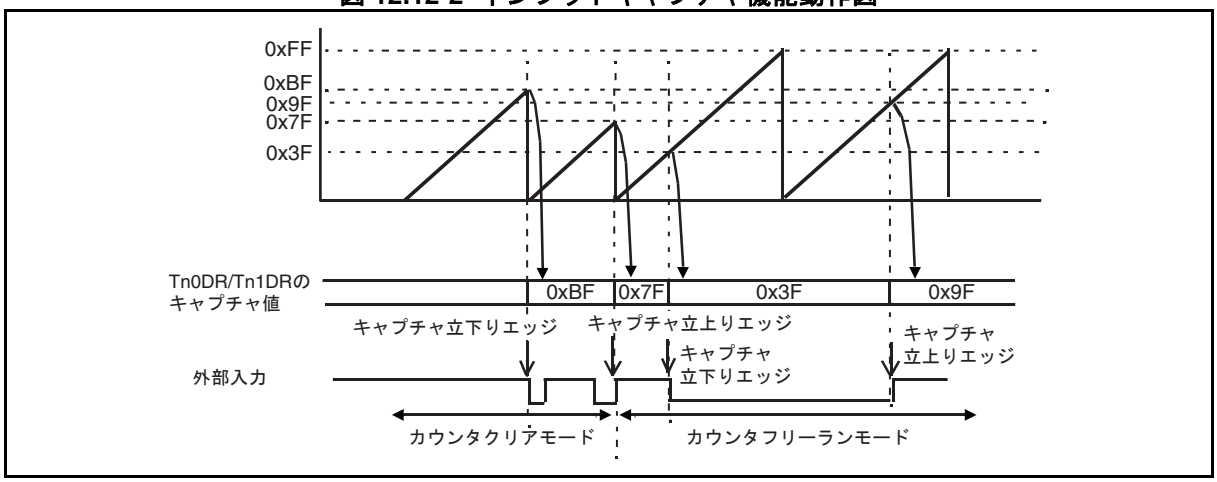
この機能は , バッファフルフラグ (Tn0CR1/Tn1CR1:BF) に影響を与えません。

カウンタの値を超える時間を測定する場合は , カウンタオーバフローの回数をソフトウェアでカウントして求めることができます。すなわち , カウンタがオーバフローすると , 割込みフラグ (Tn0CR1/Tn1CR1:IF) が "1" になるため , この割込みサービスルーチンによりオーバフローの回数をカウントできます。また , オーバフローによりタイマ出力は反転します。タイマ出力の初期値は , タイマ出力初期値ビット (Tn0CR1/Tn1CR1:SO) により設定できます。

＜注意事項＞

インプットキャプチャ機能の使用上の注意については，「12.15 使用上の注意」を参照してください。

図 12.12-2 インプットキャプチャ機能動作図

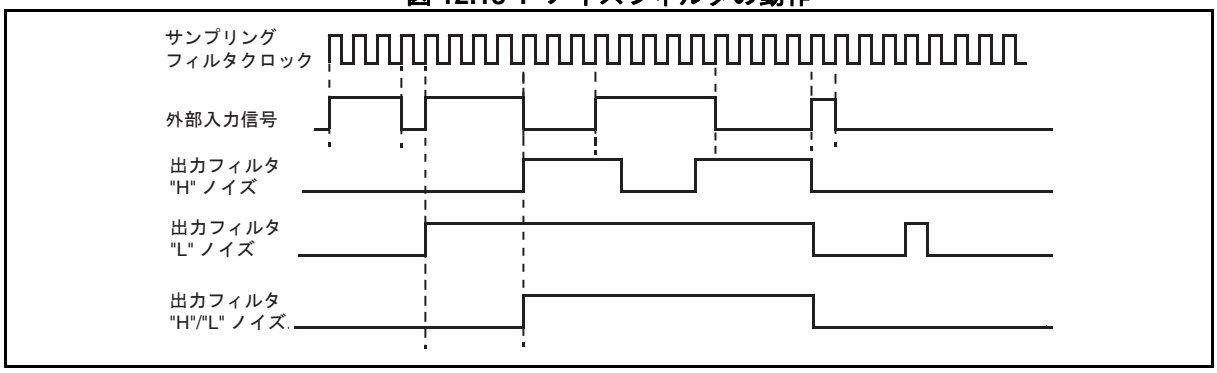


12.13 ノイズフィルタの動作説明

8/16 ビット複合タイマのノイズフィルタの動作を説明します。

インプットキャプチャ機能または PWC タイマ機能が選択されているときには , 外部入力端子 (ECn) からの信号のパルスノイズをノイズフィルタにより除去できます。TMCRn レジスタの FE11, FE10, FE01 と FE00 ビットで "H" パルスノイズ除去 , "L" パルスノイズ除去または "H/L" パルスノイズ除去のいずれかを選択してください。除去できる最大のパルス幅は 3 マシンクロック周期です。ノイズフィルタ機能が作動中の場合 , 信号入力に 4 マシンクロック周期の遅れが発生します。

図 12.13-1 ノイズフィルタの動作



12.14 レジスタ

8/16 ビット複合タイマのレジスタについて説明します。

表 12.14-1 8/16 ビット複合タイマのレジスター覧

レジスタ略称	レジスタ名	参照先
Tn0CR0	8/16 ビット複合タイマ n0 ステータス制御レジスタ 0	12.14.1
Tn1CR0	8/16 ビット複合タイマ n1 ステータス制御レジスタ 0	12.14.1
Tn0CR1	8/16 ビット複合タイマ n0 ステータス制御レジスタ 1	12.14.2
Tn1CR1	8/16 ビット複合タイマ n1 ステータス制御レジスタ 1	12.14.2
TMCRn	8/16 ビット複合タイマタイマモード制御レジスタ	12.14.3
Tn0DR	8/16 ビット複合タイマ n0 データレジスタ	12.14.4
Tn1DR	8/16 ビット複合タイマ n1 データレジスタ	12.14.4

12.14.1 8/16 ビット複合タイマステータス制御レジスタ 0 (Tn0CR0/Tn1CR0)

8/16 ビット複合タイマステータス制御レジスタ 0 (Tn0CR0/Tn1CR0) は , タイマの動作モードの選択 , カウントクロックの選択および IF フラグ割込みの許可または禁止を行います。Tn0CR0 レジスタはタイマ n0 に , Tn1CR0 レジスタはタイマ n1 に対応します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	IFE	C2	C1	C0	F3	F2	F1	F0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] IFE: IF フラグ割込み許可ビット

このビットは IF フラグ割込みを許可または禁止します。

タイマ動作中 (Tn0CR1/Tn1CR1:STA = 1), このビットへの書込み動作は無効です。このビットを書き換える前に , タイマが停止していることを確認してください。

このビットが "1" に設定されているとき , IE ビット (Tn0CR1/Tn1CR1:IE) と , IF フラグ (Tn0CR1/Tn1CR1:IF) の両方 が "1" に設定されると , IF フラグ割込み要求が出力されます。

bit7	説明
"0" を書き込んだ場合	IF フラグ割込みを禁止します。
"1" を書き込んだ場合	IF フラグ割込みを許可します。

[bit6:4] C[2:0] カウントクロック選択ビット

これらのビットはカウントクロックを選択します。
カウントクロックはプリスケーラにより生成されます。「3.9 プリスケーラの動作」を参照してください。
タイマ動作中 (Tn0CR1/Tn1CR1:STA = 1), これらのビットへの書込み動作は無効です。
16 ビット動作時には Tn1CR0 (タイマ n1) のクロック選択は無効です。
PWC 機能またはインプットキャプチャ機能のとき , これらのビットは "0b111" に設定できません。
使用中の PWC 機能またはインプットキャプチャ機能で "0b111" を書き込むと , これらのビットは "0b000" にリセットされます。
また , これらのビットが "0b111" の状態でインプットキャプチャ動作モードに遷移した場合も "0b000" にリセットされます。
これらのビットを "0b110" に設定した場合 , タイムベースタイマからのカウントクロックがカウントクロックとして使用されます。タイムベースタイマからのカウントクロックは , SYCC レジスタの設定により , メインクロック , メイン CR クロックまたは PLL クロックから生成されます。タイムベースタイマからのカウントクロックをカウントクロックとして使用する場合は , タイムベースタイマ制御レジスタのタイムベースタイマクリアビット (TBTC:TCLR) に "1" を書き込んでタイムベースタイマをリセットすると , カウント時間が影響されます。

bit6:4	説明 (MCLK: マシンクロック , F_{CH}: メインクロック , F_{CRH}: メイン CR クロック , F_{PLL}: PLL クロック)
"000" を書き込んだ場合	1 MCLK
"001" を書き込んだ場合	MCLK/2
"010" を書き込んだ場合	MCLK/4
"011" を書き込んだ場合	MCLK/8
"100" を書き込んだ場合	MCLK/16
"101" を書き込んだ場合	MCLK/32
"110" を書き込んだ場合	$F_{CH}/2^7$, $F_{CRH}/2^6$ または $F_{PLL}/2^6$*
"111" を書き込んだ場合	外部クロック

*: カウントクロックとして使用される値は , SYCC レジスタの SCS[2:0] ビットにより決まります。

[bit3:0] F[3:0]: タイマ動作モード選択ビット
これらのビットはタイマ動作モードを選択します。
PWM タイマ機能 (周期可変モード) (F[3:0] = 0b0100) は , Tn0CR0 (タイマ n0) または Tn1CR0(タイマ n1) のいずれか一方のレジスタから設定します。この場合 , 一方のタイマが作動すると (Tn0CR1/Tn1CR1:STA = 1), 他方のタイマの F[3:0] ビットが自動的に "0b0100" に設定されます。
16 ビット動作モードを選択 (TMCRn:MOD = 1) した状態で , 複合タイマが PWM タイマ機能 (周期可変モード) で動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , MOD ビットは自動的に "0" になります。
タイマ動作中 (Tn0CR1/Tn1CR1:STA = 1) のとき , これらのビットへの書込み動作は無効です。

bit3:0	説明
"0000" を書き込んだ場合	インターバルタイマ (ワンショットモード)
"0001" を書き込んだ場合	インターバルタイマ (連続モード)
"0010" を書き込んだ場合	インターバルタイマ (フリーランモード)
"0011" を書き込んだ場合	PWM タイマ (周期固定モード)
"0100" を書き込んだ場合	PWM タイマ (周期可変モード)
"0101" を書き込んだ場合	PWC タイマ (H パルス＝立上りエッジ～立下りエッジ)
"0110" を書き込んだ場合	PWC タイマ (L パルス＝立下りエッジ～立上りエッジ)
"0111" を書き込んだ場合	PWC タイマ (周期＝立上りエッジ～立上りエッジ)
"1000" を書き込んだ場合	PWC タイマ (周期＝立下りエッジ～立下りエッジ)
"1001" を書き込んだ場合	PWC タイマ (H パルス＝立上りエッジ～立下りエッジ ; 周期＝立上りエッジ～立上りエッジ)
"1010" を書き込んだ場合	インプットキャプチャ (立上りエッジ , フリーランカウンタ)
"1011" を書き込んだ場合	インプットキャプチャ (立下りエッジ , フリーランカウンタ)
"1100" を書き込んだ場合	インプットキャプチャ (両エッジ , フリーランカウンタ)
"1101" を書き込んだ場合	インプットキャプチャ (立上りエッジ , カウンタクリア)
"1110" を書き込んだ場合	インプットキャプチャ (立下りエッジ , カウンタクリア)
"1111" を書き込んだ場合	インプットキャプチャ (両エッジ , カウンタクリア)

12.14.2 8/16 ビット複合タイマステータス制御レジスタ 1 (Tn0CR1/Tn1CR1)

8/16 ビット複合タイマステータス制御レジスタ 1 (Tn0CR1/Tn1CR1) は , 割込みフラグの制御 , タイマ出力の制御およびタイマ動作を制御します。Tn0CR1 はタイマ n0 に , Tn1CR1 はタイマ n1 に対応します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	STA	HO	IE	IR	BF	IF	SO	OE
属性	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] STA: タイマ動作許可ビット

このビットはタイマ動作を許可または停止します。

"0" を書き込んだ場合 : タイマ動作を停止し , カウント値は "0x00" になります。

- PWM タイマ機能 (周期可変モード) (Tn0CR0/Tn1CR0:F[3:0] = 0b0100) のときは , Tn0CR1(タイマ n0) または Tn1CR1 (タイマ n1) のどちらかのレジスタの STA ビットを使いタイマ動作を許可または停止できます。この場合 , 一方のレジスタの STA ビットに "0" を書き込んだ場合 , 他方のレジスタの STA ビットは自動的に同じ値に設定されます。
- 16 ビット動作 (TMCRn:MOD = 1) のときには , Tn0CR1(タイマ n0) レジスタの STA ビットによりタイマ動作の許可または停止を行ってください。この場合 , 一方のタイマの STA ビットにを "0" を書き込んだ場合 , 他方のタイマの STA ビットは自動的に同じ値に設定されます。

"1" を書き込んだ場合 : カウント値 "0x00" からタイマ動作を開始します。

- カウントクロック選択ビット (Tn0CR0/Tn1CR0:C[2:0]), タイマ動作モード選択ビット (Tn0CR0/Tn1CR0:F[3:0]), タイマ出力初期値ビット (Tn0CR1/Tn1CR1:SO), 8 ビット / 16 ビット動作モード選択ビット (TMCRn:MOD) およびフィルタ機能選択ビット (TMCRn:FEn1, FEn0) の設定は , このビットを "1" に設定する前に行ってください。

bit7	説明
"0" を書き込んだ場合	タイマ動作を停止します。
"1" を書き込んだ場合	タイマ動作を許可します。

[bit6] HO: タイマ一時停止ビット
このビットはタイマ動作を一時停止または再開します。
タイマ動作中にこのビットに "1" を書き込むと , タイマ動作は一時停止します。
タイマ動作が許可されている状態 (Tn0CR1/Tn1CR1:STA = 1) でこのビットに "0" を書き込むと , タイマ動作は再開します。
PWM タイマ機能 (周期可変モード) (Tn0CR0/Tn1CR0:F[3:0] = 0b0100) が使用されている時 , Tn0CR1 (タイマ n0) または Tn1CR1 (タイマ n1) のいずれかのレジスタの HO ビットによりタイマ一時停止許可または動作再開が可能です。この場合 , 一方のレジスタの HO ビットに "0" または "1" を書き込んだ場合 , 他方のレジスタの HO ビットは自動的に同じ値に設定されます。
16 ビット動作 (TMCRn:MOD = 1) のときは , Tn0CR1(タイマ n0) の HO ビットによりタイマ一時停止・動作再開を行ってください。この場合 , 一方のレジスタの HO ビットに "0" または "1" を書き込んだ場合 , 他方のレジスタの HO ビットは自動的に同じ値に設定されます。

bit6	説明
"0" を書き込んだ場合	タイマ動作を再開します。
"1" を書き込んだ場合	タイマ動作を一時停止します。

[bit5] IE: 割込み要求許可ビット
このビットは割込み要求を許可または禁止します。
"0" の書込みは 割込み要求を禁止します。
"1" の書込みは 割込み要求を許可します。
このビットが "1" のときに , パルス幅測定完了 / エッジ検出フラグ (Tn0CR1/Tn1CR1:IR) またはタイマリロード / オーバフローフラグ (Tn0CR1/Tn1CR1:IF) が "1" に設定されると , 複合タイマは割込み要求を出力します。
ただし , タイマリロード / オーバフローフラグ (Tn0CR1/Tn1CR1:IF) からの割込み要求は , IF フラグ割込み許可ビット (Tn0CR0/Tn1CR0:IFE) も "1" に設定しないと出力されません。

bit5	説明
"0" を書き込んだ場合	割込み要求を禁止します。
"1" を書き込んだ場合	割込み要求を許可します。

[bit4] IR: パルス幅測定完了 / エッジ検出フラグ
このビットはパルス幅測定の完了またはエッジが検出されたことを示します。
このビットに "0" を書き込むと , このビットは "0" になります。
"1" を書き込んでも動作に影響はありません。
PWC タイマ機能が使用されているときに , パルス幅測定の完了直後にこのビットは "1" に設定されます。
インプットキャプチャ機能が使用されているとき , エッジが検出された直後にこのビットは "1" に設定されます。
選択された複合タイマの機能が , PWC タイマ機能やインプットキャプチャ機能以外のとき , このビットは "0" に設定されます。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。
16 ビット動作のとき , Tn1CR1(タイマ n1) レジスタの IR ビットは "0" に設定されます。

bit4	説明
"0" が読み出された場合	パルス幅測定が完了していることまたはエッジが検出されていないことを示します。
"1" が読み出された場合	パルス幅測定が完了していることまたはエッジ検出がされていることを示します。
"0" を書き込んだ場合	このフラグをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit3] BF: データレジスタフルフラグ

PWC タイマ機能が使用されているときには , パルス幅測定の完了直後にカウント値が 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) に格納されると , このビットは "1" に設定されます。
8 ビット動作のとき , Tn0DR/Tn1DR を読み出すとこのビットは "0" になります。
このビットが "1" に設定されると , Tn0DR/Tn1DR は , データを保持します。このビットが "1" のとき , 次のエッジが検出されてもカウント値は Tn0DR/Tn1DR に転送されず , 次の測定結果は喪失されます。ただし , 例外として Tn0CR0/Tn1CR0 の F[3:0] ビットが "0b1001" に設定されているときは , BF ビットが "1" の状態でも "H" パルスの測定結果が Tn0DR/Tn1DR に転送されます。ただし , 周期の測定結果は Tn0DR/Tn1DR に転送されません。したがって , 周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出してください。また , "H" パルス測定の結果または周期測定の結果は次の "H" パルスが終了する前に読み出さないと喪失されます。
16 ビット動作のとき , Tn0CR1(タイマ n0) レジスタの BF ビットは , Tn1DR(タイマ n1) レジスタを読み出すと "0" になります。
16 ビット動作のとき , Tn1CR1(タイマ n1) レジスタの BF ビットは "0" になります。
PWC タイマ機能以外のタイマ機能が選択されているとき , このビットは "0" になります。
このビットに値を書き込んでも動作に影響はありません。

bit3	説明
"0" が読み出された場合	8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) には測定データがないことを示します。
"1" が読み出された場合	8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) には測定データがあることを示します。

[bit2] IF: タイマリロード / オーバフローフラグ

このビットはカウント値の一致またはカウントのオーバフローを検出します。
インターバルタイマ機能 (ワンショットモードまたは連続モード) または PWM タイマ機能 (周期可変モード) のとき , 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) の値とカウント値が一致すると , このビットは "1" になります。
インプットキャプチャ機能または PWC 機能が使用されているときには , カウンタがオーバフローするとこのビットは "1" になります。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。
このビットに "0" を書き込むと , このビットは "0" になります。
このビットに "1" を書き込んでも 動作に影響はありません。
PWM 機能 (周期可変モード) が選択されると , このビットは "0" になります。
16 ビット動作のとき , Tn1CR1(タイマ n1) レジスタの IF ビットは "0" になります。

bit2	説明
"0" が読み出された場合	タイマリロードまたはオーバフローがないことを示します。
"1" が読み出された場合	タイマリロードまたはオーバフローが発生したことを示します。
"0" を書き込んだ場合	このフラグをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit1] SO: タイマ出力初期値ビット

このビットに値を書き込むことによりタイマ出力 (TMCRn:TO1/TO0) 初期値が設定されます。このビットの値は , タイマ動作許可ビット (Tn0CR1/Tn1CR1:STA) が "0" から "1" に変化したときタイマ出力に反映されます。

16 ビット動作モード (TMCRn:MOD = 1) で , Tn0CR1(タイマ n0) レジスタの SO ビットによりタイマ出力初期値を設定してください。この場合 , 他方のレジスタの SO ビットの値は動作に影響を与えません。

タイマ動作中 (Tn0CR1/Tn1CR1:STA = 1), このビットへの書込みは無効です。ただし , 16 ビット動作モードではタイマ動作中でも Tn1CR1(タイマ n1) レジスタの SO ビットへ値を書き込めますが , 書き込まれた値はタイマ出力に直接的な影響を与えることはありません。

PWM タイマ機能 (周期固定モードまたは周期可変モード) またはインプットキャプチャ機能が使用されているときに , このビットの値は動作に影響を与えません。

bit1	説明
"0" を書き込んだ場合	タイマ出力初期値を "0" に設定します。
"1" を書き込んだ場合	タイマ出力初期値を "1" に設定します。

[bit0] OE: タイマ出力許可ビット

このビットはタイマ出力を許可または禁止します。

"0" の書込みは外部端子へのタイマ値 (TMCRn:TO1/TO0) 出力を禁止します。この場合 , 外部端子は汎用ポートとして機能します。

"1" の書込みは外部端子へのタイマ値出力を許可します。

bit0	説明
"0" を書き込んだ場合	タイマ出力を禁止します。
"1" を書き込んだ場合	タイマ出力を許可します。

12.14.3 8/16 ビット複合タイマタイマモード制御レジスタ (TMCRn)

8/16 ビット複合タイマタイマモード制御レジスタ (TMCRn) は , フィルタ機能の選択 , 8 ビットまたは 16 ビット動作モードの選択 , タイマ n0 への信号入力の選択およびタイマ出力値の表示を行います。このレジスタはタイマ n0 とタイマ n1 の両方に対応します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] TO1: タイマ n1 出力ビット

このビットはタイマ n1 の出力値を示します。タイマ動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , 選択したタイマ機能に応じてこのビット値は変化します。
このビットに値を書き込んでも動作に影響はありません。
16 ビット動作のとき , PWM タイマ機能 (周期可変モード) またはインプットキャプチャ機能が選択されると , このビットの値は不定となります。
インターバルタイマ機能または PWC タイマ機能のとき , タイマ動作を停止 (Tn0CR1/Tn1CR1:STA = 0) すると , このビットは最後の値を保持します。
PWM タイマ機能 (周期可変モード) が選択された状態で , タイマ動作を停止 (Tn0CR1/Tn1CR1:STA = 0) すると , このビットは最後の値を保持します。
タイマ動作モード選択ビット (Tn0CR0/Tn1CR0:F[3:0]) をタイマ動作停止中に変更したとき , このビットは , 過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し , そうでない場合には初期値 "0" となります。

[bit6] TO0: タイマ n0 出力ビット

このビットはタイマ n0 の出力値を示します。タイマ動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , 選択したタイマ機能に応じてこのビット値は変化します。
このビットに値を書き込んでも動作に影響はありません。
インプットキャプチャ機能のとき , このビットの値は不定になります。
インターバルタイマ機能または PWC タイマ機能のとき , タイマ動作を停止 (Tn0CR1/Tn1CR1:STA = 0) すると , このビットは最後の値を保持します。
PWM タイマ機能 (周期可変モード) のとき , タイマ動作を停止 (Tn0CR1/Tn1CR1:STA = 0) すると , このビットは最後の値を保持します。
タイマ動作モード選択ビット (Tn0CR0/Tn1CR0:F[3:0]) をタイマ動作停止中に変更したとき , このビットは , 過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し , そうでない場合には初期値 "0" となります。

[bit5] TIS: タイマ n0 内部信号選択ビット
このビットは , PWC タイマ機能またはインプットキャプチャ機能が選択されているときに , タイマ n0 の信号入力を選択します。

bit5	説明
"0" を書き込んだ場合	外部信号 (ECn) をタイマ n0 の信号入力として選択します。
"1" を書き込んだ場合	設定禁止

[bit4] MOD: 8 ビット /16 ビット動作モード選択ビット
このビットは 8 ビットまたは 16 ビット動作モードを選択します。
このビットに"0"を書き込んだ場合,タイマn0とタイマn1は個別の8ビットタイマとして動作します。
このビットに"1"を書き込んだ場合,タイマn0とタイマn1は1つの16ビットタイマとして動作します。
このビットが "1" の状態で , PWM タイマ機能 (周期可変モード) のタイマ動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , このビットは自動的に "0" になります。
タイマ動作中 (Tn0CR1/Tn1CR1:STA = 1) に , このビットへの書込みアクセスは無効です。

bit4	説明
"0" を書き込んだ場合	8 ビット動作モードを選択します。
"1" を書き込んだ場合	16 ビット動作モードを選択します。

[bit3:2] FE1[1:0]: タイマ n1 フィルタ機能選択ビット
これらのビットは , PWC タイマ機能またはインプットキャプチャ機能が選択されているとき , タイマ n1 への外部信号 (ECn) に対するフィルタ機能を選択します。
タイマ動作中 (Tn1CR1:STA = 1), このビットへの書込みアクセスは無効です。
インターバルタイマ機能または PWM タイマ機能が選択されているときには , これらのビットを設定しても動作に影響しません (フィルタ機能は動作しません)。

bit3:2	説明
"00" を書き込んだ場合	フィルタなし
"01" を書き込んだ場合	"H" パルスノイズ除去
"10" を書き込んだ場合	"L" パルスノイズ除去
"11" を書き込んだ場合	"H" と "L" パルスノイズ除去

[bit1:0] FE0[1:0]: タイマ n0 フィルタ機能選択ビット

これらのビットは , PWC タイマ機能またはインプットキャプチャ機能が選択されているとき , タイマ n0 への外部信号 (ECn) に対するフィルタ機能を選択します。

タイマ動作中 (Tn0CR1:STA = 1), このビットへの書込みアクセスは無効です。

インターバルタイマ機能または PWM タイマ機能が選択されているときには , これらのビットを設定しても動作に影響しません (フィルタ機能は動作しません)。

bit1:0	説明
"00" を書き込んだ場合	フィルタなし
"01" を書き込んだ場合	"H" パルスノイズ除去
"10" を書き込んだ場合	"L" パルスノイズ除去
"11" を書き込んだ場合	"H" と "L" パルスノイズ除去

12.14.4 8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR)

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) は , インターバルタイマ動作または PWM タイマ動作時にカウント最大値を設定するレジスタです。また , PWC タイマ動作またはインプットキャプチャ動作時のカウント値の読出しを行います。Tn0DR レジスタはタイマ n0 に , Tn1DR レジスタはタイマ n1 に対応します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

● インターバルタイマ機能

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) を使用してインターバル時間を設定します。タイマが動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , このレジスタの値は 8 ビットコンパレータのラッチに転送され , カウントが開始されます。カウント値と 8 ビットコンパレータのラッチの中にある値とが一致すると , このレジスタの値は再びラッチに転送され , カウント値が "0x00" に戻ってカウントを継続します。

現在のカウント値は , このレジスタから読み出せます。

インターバルタイマ機能を使用するとき , このレジスタに "0x00" を書き込むことは禁止されます。

16 ビット動作のときは , データの上位を Tn1DR, 下位を Tn0DR に書き込んでください。また , 書込みまたは読出しは Tn1DR, Tn0DR の順番で行ってください。

● PWM タイマ機能 (周期固定)

8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) を使用して "H" パルス幅時間を設定します。タイマが動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , このレジスタの値は 8 ビットコンパレータのラッチに転送され , タイマ出力 "H" からカウントが開始されます。カウント値とラッチに転送された値が一致すると , タイマ出力は "L" になり , カウント値が "0xFF" に達するまでカウント動作を継続します。オーバフローが発生すると , このレジスタの値は再び 8 ビットコンパレータのラッチに転送され , 次のカウントサイクルを実行します。

このレジスタから , 現在の値を読み出せます。16 ビット動作のときは , データの上位を Tn1DR, 下位を Tn0DR に書き込んでください。また , 書込みまたは読出しは Tn1DR, Tn0DR の順番で行ってください。

- PWM タイマ機能 (周期可変)

  8/16 ビット複合タイマ n0 データレジスタ (Tn0DR) で , "L" パルス幅時間を , 8/16 ビット複合タイマ n1 データレジスタ (Tn1DR) で , 周期を設定します。タイマが動作を開始 (Tn0CR1/Tn1CR1:STA = 1) すると , それぞれのレジスタの値は 8 ビットコンパレータのラッチに転送され , 2 つのカウンタがタイマ出力 "L" からカウントを開始します。ラッチに転送された Tn0DR の値がタイマ n0 カウンタの値と一致すると , タイマ出力は "H" になり , ラッチに転送された Tn1DR の値がタイマ n1 カウンタの値と一致するまでカウント動作を継続します。8 ビットコンパレータのラッチに転送された Tn1DR の値がタイマ n1 カウンタの値と一致すると , Tn0DR および Tn1DR レジスタの値は再びラッチに転送され , 次の PWM 周期のカウント動作を継続します。

  このレジスタから , 現在のカウント値を読み出せます。

  16 ビット動作モードのときは , データの上位を Tn1DR, 下位を Tn0DR に書き込んでください。また , 読出しは Tn1DR, Tn0DR の順番で行ってください。

- PWC タイマ機能

  8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) を使用して , PWC 測定結果を読み出します。PWC 測定が完了するとカウンタ値がこのレジスタに転送されて BF ビットが "1" になります。

  8/16 ビット複合タイマデータレジスタを読むと , BF ビットは "0" になります。BF ビットが"1"のとき, 8/16ビット複合タイマデータレジスタへのデータ転送は行われません。

  例外として , Tn0CR0/Tn1CR0 レジスタにおける F[3:0] ビットが "0b1001" に設定されている状態のとき , BF ビットが "1" に設定されていても , "H" パルスの測定結果は 8/16 ビット複合タイマデータレジスタに転送されますが , 周期の測定結果は 8/16 ビット複合タイマデータレジスタに転送されません。したがって , 周期測定を行うためには周期が完了する前に "H" パルス測定の結果を読み出してください。また , "H" パルス測定結果または周期測定結果は次の "H" パルスが終了する前に読み出さないと喪失されます。

  8/16 ビット複合タイマデータレジスタを読み込んでいるときに , BF ビットを誤ってクリアしないように注意してください。

  8/16 ビット複合タイマデータレジスタに新たなデータを書き込むと , 格納された測定データが新たなデータと入れ替わります。したがって , データをレジスタに書き込まないでください。16 ビット動作モードのときは , データの上位を Tn1DR, 下位を Tn0DR に書き込んでください。また , 読出しは Tn1DR, Tn0DR の順番で行ってください。

- インプットキャプチャ機能

  8/16 ビット複合タイマデータレジスタ (Tn0DR/Tn1DR) は , インプットキャプチャ結果の読出しに使用します。指定されたエッジが検出されると , カウンタ値が 8/16 ビット複合タイマデータレジスタに転送されます。

  8/16 ビット複合タイマデータレジスタに新たなデータを書き込むと , 格納された測定データが新たなデータと入れ替わります。したがって , データをレジスタに書き込まないでください。16 ビット動作モードのときは , データの上位を Tn1DR, 下位を Tn0DR に書き込んでください。また , 読出しは Tn1DR, Tn0DR の順番で行ってください。

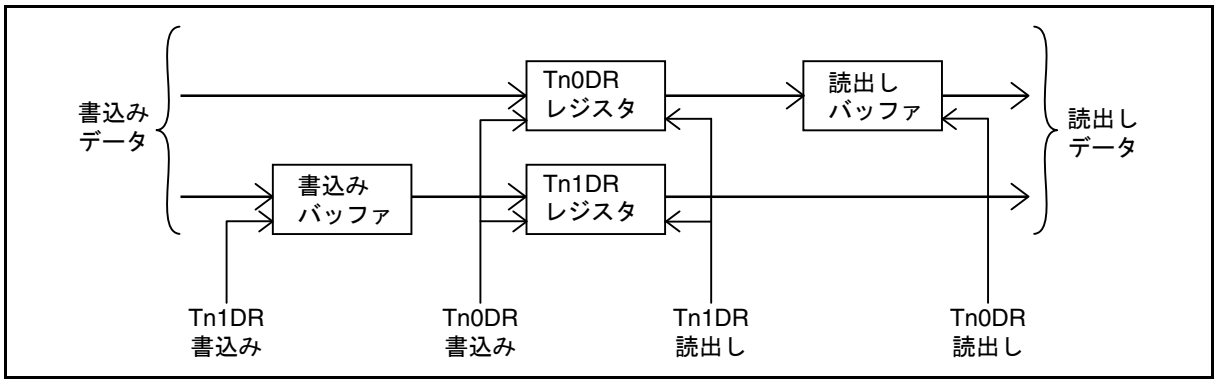
● 読出し , 書込み動作について

Tn0DR と Tn1DR の 16 ビット動作時および PWM タイマ機能 (周期可変) 時の読出し , 書込み動作は以下のように行われます。

- Tn1DR からの読出し ：同レジスタの読出し動作に加えて , Tn0DR の値を内部の読出しバッファへ格納する動作も同時に行われます。
- Tn0DR からの読出し ：内部の読出しバッファからの読出し動作が行われます。
- Tn1DR への書込み ：内部の書込みバッファへの書込み動作が行われます。
- Tn0DR への書込み ：同レジスタの書込み動作に加え , 内部の書込みバッファの値を Tn1DR へ格納する動作も同時に行われます。

図 12.14-1 に , Tn0DR と Tn1DR レジスタの 16 ビット動作における読み書き動作を示します。

図 12.14-1 Tn0DR と Tn1DR レジスタの 16 ビット動作におけるリードおよびライト動作



12.15 使用上の注意

8/16 ビット複合タイマ使用上の注意を示します。

■ 8/16 ビット複合タイマの使用上の注意

- タイマ動作モード選択ビット (Tn0CR0/Tn1CR0:F[3:0]) によりタイマ機能を変更する場合は , あらかじめタイマ動作を停止 (Tn0CR1/Tn1CR1:STA = 0) してから , 割込みフラグ (Tn0CR1/Tn1CR1:IF, IR), 割込み許可ビット (Tn0CR1/Tn1CR1:IE, Tn0CR0/Tn1CR0:IFE) およびバッファフルフラグ (Tn0CR1/Tn1CR1:BF) をクリアしてください。
- インプットキャプチャ機能を使用しているとき , "H" レベル外部信号を入力中に , 外部入力信号の両エッジ検出が8/16ビット複合タイマがカウンタ値をキャプチャするタイミングとして選択される場合 (Tn0CR0/Tn1CR0:F[3:0] = 0b1100 または 0b1111), 最初の立下りエッジは無視されます。また , タイマカウンタ値のデータレジスタ (Tn0DR/Tn1DR) への転送は行われず , 割込みフラグ (Tn0CR1/Tn1CR1:IR) はセットされません。
  - カウンタクリアモードでは最初の立下りエッジでカウンタはクリアされず , データレジスタへのデータの転送は行われません。8/16 ビット複合タイマは次の立上りエッジよりキャプチャ動作を開始します。
  - カウンタフリーランモードでは最初の立下りエッジでデータレジスタへのデータ転送は行われません。8/16 ビット複合タイマは次の立上りエッジよりキャプチャ動作を開始します。
- PWM 周期可変モードの 8 ビット動作 (TMCRn:MOD = 0) において , カウンタ動作中に 8/16 ビット複合タイマデータレジスタ (Tn0DR と Tn1DR) を変更する場合 , 8/16 ビット複合タイマ n1 データレジスタ (Tn1DR) を変更した後に , 8/16 ビット複合タイマ n0 データレジスタ (Tn0DR) を変更してください。
- イベントカウンタがイベントカウンタ動作モードで動作しているとき , 8/16 ビット複合タイマ ch. 1 が使用されているため , 8/16 ビット複合タイマが 8/16 ビット複合タイマ ch. 1 を使用できなくなります。イベントカウンタの詳細については ,「第 20 章 イベントカウンタ」を参照してください。
- マイコンがストップモードまたは時計モードに遷移すると , カウンタは値を保持して動作を停止します。ストップモードまたは時計モードが割込みによって解除されると , カウンタは保持した値から動作を再開します (図 12.15-1 と図 12.15-2 を参照してください)。このため , 初回のインターバル時間や初期外部クロックのカウント数は正しい値ではありません。マイコンがストップモードまたは時計モードから解除された後には , 必ずカウンタ値を初期化してください。

図 12.15-1 スタンバイモードまたは一時停止時のカウンタの動作 (PWM タイマ機能以外)

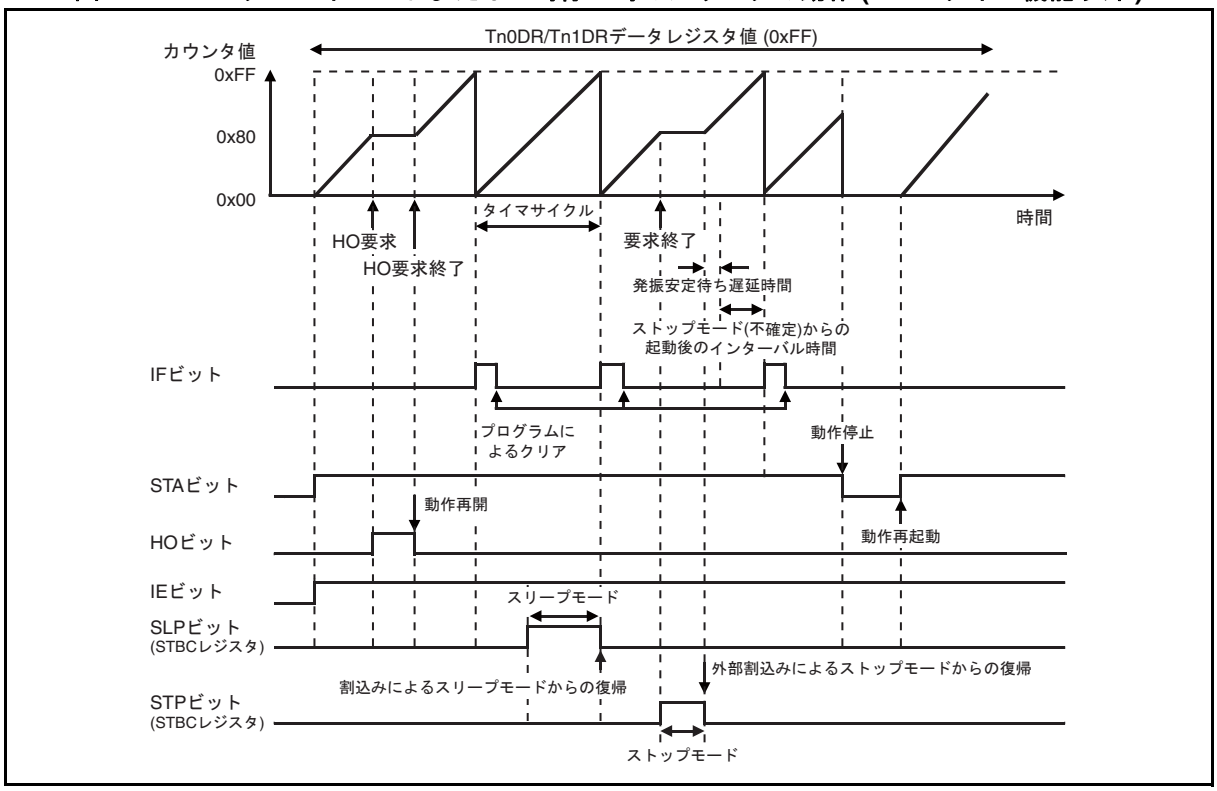
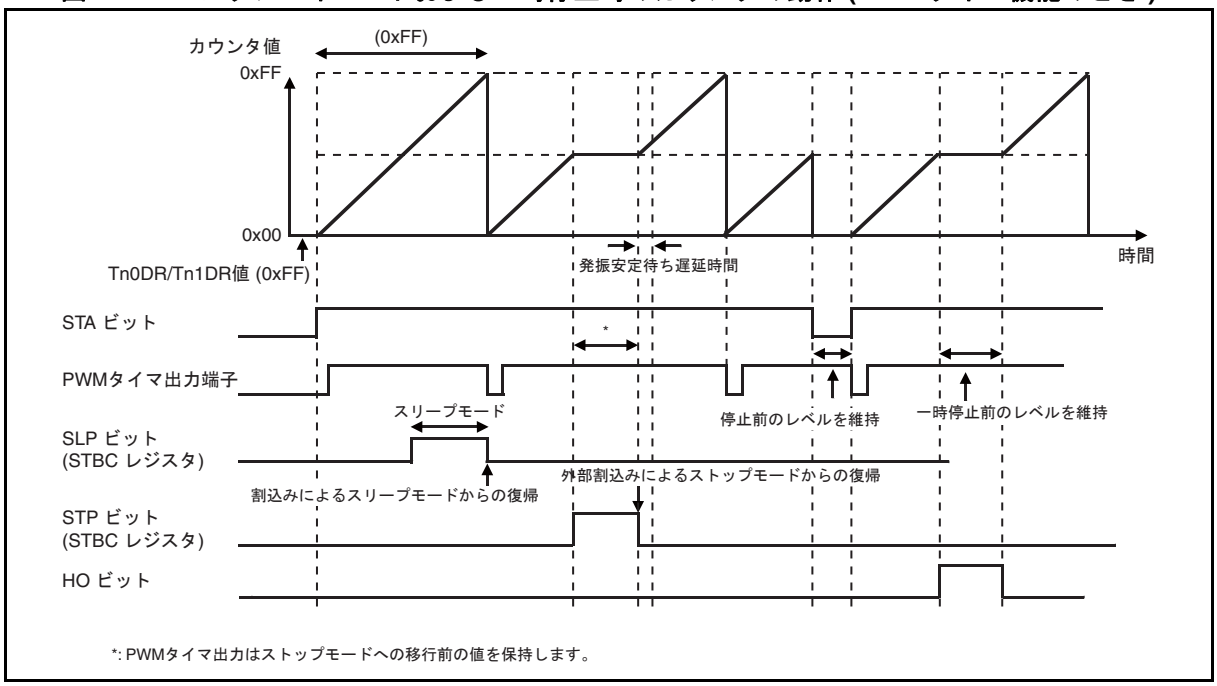


図 12.15-2 スタンバイモードおよび一時停止時のカウンタの動作 (PWM タイマ機能のとき)



*: PWMタイマ出力はストップモードへの移行前の値を保持します。

第 13 章
外部割込み回路

外部割込み回路の機能と動作について説明します。

13.1 概要
13.2 構成
13.3 チャネル
13.4 端子
13.5 割込み
13.6 動作説明と設定手順例
13.7 レジスタ
13.8 使用上の注意

13.1 概要

外部割込み回路は , 外部割込み端子に入力された信号のエッジを検出し , 割込みコントローラへ割込み要求を出力します。

■ 外部割込み回路の機能

外部割込み回路は , 外部割込み端子に入力された信号の任意のエッジを検出し , 割込みコントローラに対して割込み要求を発生します。この割込み要求によって , デバイスをスタンバイモードから復帰させ , 通常の動作状態に戻せます。そのため , デバイスの動作モードは , 外部割込み端子に信号が入力されたときに変更可能となります。

13.2 構成

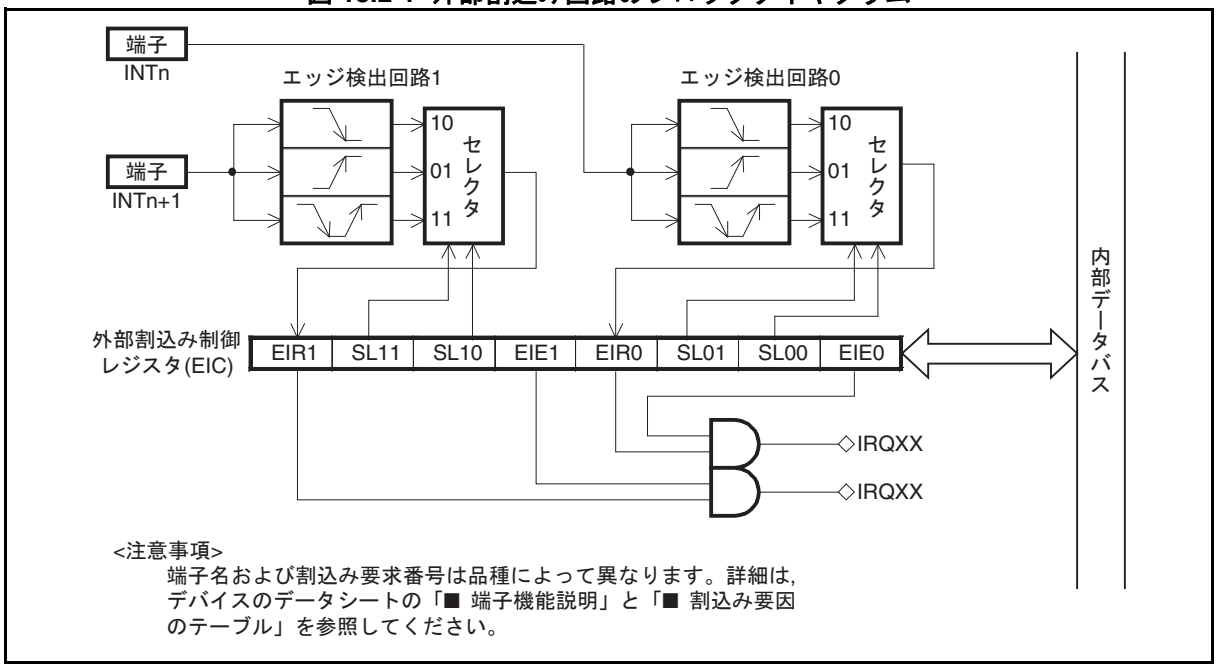
外部割込み回路は , 以下のブロックで構成されます。

- **エッジ検出回路**
- **外部割込み制御レジスタ**

■ 外部割込み回路のブロックダイヤグラム

図 13.2-1 に , 外部割込み回路のブロックダイヤグラムを示します。

図 13.2-1 外部割込み回路のブロックダイヤグラム



● エッジ検出回路

外部割込み回路端子 (INT) への信号入力時に検出されたエッジの極性が , 割込み制御レジスタ (EIC) で選択されているエッジの極性と一致すると , 対応する外部割込み要求フラグビット (EIR) は "1" に設定されます。

● 外部割込み制御レジスタ (EIC)

このレジスタは , エッジの選択 , 割込み要求の許可または禁止 , 割込み要求の確認などを行うために使用します。

13.3 チャネル

外部割込み回路のチャネルについて説明します。

■ 外部割込み回路のチャネル

表 13.3-1 に , 外部割込み回路の端子とそれに対応するレジスタを示します。

表 13.3-1 外部割込み回路の端子およびレジスタ

端子名	端子機能	対応するレジスタ
INTn	外部割込み入力 ch. n	外部割込み制御レジスタ (EIC)
INTn+1	外部割込み入力 ch. n+1	
INTn+2	外部割込み入力 ch. n+2	
INTn+3	外部割込み入力 ch. n+3	

外部割込み回路のチャネル数は品種によって異なります。各品種のチャネル数について , デバイスのデータシートを参照してください。

13.4 端子

外部割込み回路の端子について説明します。

■ 外部割込み回路の端子

- INT 端子

  この端子は , 外部割込み入力端子および汎用 I/O ポートとして機能します。

  INT 端子は , ポート方向レジスタ (DDR) によって対応する端子を入力ポートに設定し , 外部割込み制御レジスタ (EIC) によって対応する外部割込み入力を許可すると , 外部割込み入力端子 (INT) として機能します。

  端子が入力ポートとして設定されている場合 , その端子の状態は , 常にポートデータレジスタ (PDR) から読み出せます。PDR の値はリードモディファイライト (RMW) 系命令で読み出せます。

13.5 割込み

外部割込み回路の割込み要因としては , 外部割込み端子に入力された信号の指定エッジの検出があります。

■ 外部割込み回路の動作中の割込み

外部割込み入力の指定されたエッジが検出された場合 , 対応する外部割込み要求フラグビット (EIC:EIR0 または EIR1) が "1" に設定されます。このとき , その外部割込み要求フラグビットに対応する割込み要求許可ビット (EIC:EIE0 または EIE1 = 1) が許可されていれば , 割込みコントローラへの割込み要求が発生します。割込みサービスルーチンでは, 発生した割込み要求に対応する外部割込み要求フラグビットに "0" を書き込んで割込み要求をクリアしてください。

13.6 動作説明と設定手順例

外部割込み回路の動作について説明します。

■ 外部割込み回路の動作

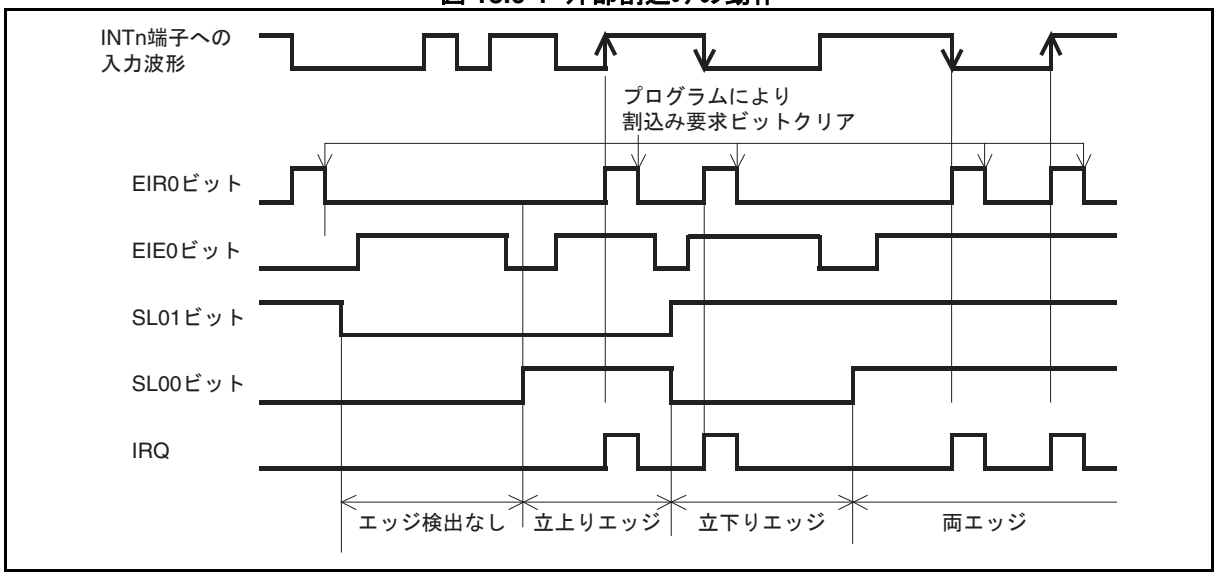
外部割込み端子 (INTn, INTn+1) より入力された信号のエッジの極性が , 外部割込み制御レジスタ (EIC:SL0[1:0] または SL1[1:0]) により選択されているエッジの極性と一致した場合は , 対応する外部割込み要求フラグビット (EIC:EIR0 または EIR1) が "1" となり , 割込み要求が発生します。

デバイスのスタンバイモードからの復帰に外部割込みを使用しない場合は , 必ず割込み要求許可ビットを "0" に設定してください。

エッジ極性選択ビット (SL0[1:0] または SL1[1:0]) を設定する際には , 誤って割込み要求が発生することがないように , 割込み要求許可ビット (EIE0 または EIE1) を "0" に設定してください。また , エッジ極性を変更した後には , 割込み要求フラグビット (EIR0 または EIR1) を "0" にクリアしてください。

図 13.6-1 に , INTn 端子を外部割込み入力に設定した際の動作を示します。

図 13.6-1 外部割込みの動作



■ 設定手順例

以下に , 外部割込み回路の設定手順例を示します。

● 初期設定

1. 割込みレベルを設定してください (ILR*)。
2. エッジ極性を選択してください (EIC:SL0[1:0])。
3. 割込み要求を許可してください (EIC:EIE0 = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■割込み要因のテーブル」を参照してください。

● 割込み処理

1. 割込み要求フラグをクリアしてください (EIC:EIR0 = 0)。
2. 割込み処理を行ってください。

＜注意事項＞

外部割込み入力ポートは , 汎用 I/O ポートと同一の端子を共用しています。したがって , この端子を外部割込み入力ポートとして使用する場合は , その端子に対応するポート方向レジスタ (DDR) 内のビットを "0"(入力) に設定してください。

13.7 レジスタ

外部割込み回路のレジスタについて説明します。

表 13.7-1 外部割込み回路のレジスター覧

レジスタ略称	レジスタ名	参照先
EIC	外部割込み制御レジスタ	13.7.1

13.7.1 外部割込み制御レジスタ (EIC)

外部割込み制御レジスタ (EIC) は , 外部割込み入力に対するエッジ極性の選択と , 割込みを制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] EIR1: 外部割込み要求フラグビット 1
エッジ極性選択ビット 1 (SL1[1:0]) により選択されているエッジが外部割込み端子 INTn+1 に入力された場合に , このフラグビットは "1" となります。
このビットと割込み要求許可ビット 1 (EIE1) が "1" になったとき , 割込み要求が出力されます。
このビットに "0" を書き込むと , このビットはクリアされます。"1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit7	説明
"0" が読み出された場合	選択されたエッジが入力されていないことを示します。
"1" が読み出された場合	選択されたエッジが入力されたことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit6:5] SL1[1:0]: エッジ極性選択ビット 1
これらのビットは外部割込み端子 INTn+1 に入力されるパルスのエッジ極性を選択します。
選択されたエッジが割込み要因となります。
これらのビットが "0b00" のとき , エッジ検出は実行されず , 割込み要求は発生しません。
これらのビットが "0b01" のとき , 立上りエッジが検出されます。"0b10" の場合には , 立下りエッジが検出されます。"0b11" の場合には , 両方のエッジが検出されます。

bit6:5	説明
"00" を書き込んだ場合	エッジ検出なし
"01" を書き込んだ場合	立上りエッジ
"10" を書き込んだ場合	立下りエッジ
"11" を書き込んだ場合	両エッジ

[bit4] EIE1: 割込み要求許可ビット 1
このビットは , 割込みコントローラへの割込み要求の出力を許可または禁止します。このビットと外部割込み要求フラグビット 1 (EIR1) が "1" のとき , 割込み要求が出力されます。
外部割込み端子を使用するには , ポート方向レジスタ (DDR) の対応するビットに "0" を書き込み , その端子を入力ポートとして設定してください。
外部割込み端子の状態は , 割込み要求許可ビットの状態にかかわらず , ポートデータレジスタから直接読み出せます。

bit4	説明
"0" を書き込んだ場合	割込み要求出力を禁止します。
"1" を書き込んだ場合	割込み要求出力を許可します。

[bit3] EIR0: 外部割込み要求フラグビット 0
エッジ極性選択ビット 0 (SL0[1:0]) により選択されているエッジが外部割込み端子 INTn に入力された場合に , このフラグビットは "1" となります。
このビットと割込み要求許可ビット 0 (EIE0) が "1" になったとき , 割込み要求が出力されます。
このビットに "0" を書き込むと , このビットはクリアされます。"1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit3	説明
"0" が読み出された場合	選択されたエッジが入力されていないことを示します。
"1" が読み出された場合	選択されたエッジが入力されたことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit2:1] SL0[1:0]: エッジ極性選択ビット 0
これらのビットは外部割込み端子 INTn に入力されるパルスのエッジ極性を選択します。
選択されたエッジが割込み要因となります。
これらのビットが "0b00" のとき , エッジ検出は実行されず , 割込み要求は発生しません。
これらのビットが "0b01" のとき , 立上りエッジが検出されます。"0b10" の場合には , 立下りエッジが検出されます。"0b11" の場合には , 両方のエッジが検出されます。

bit2:1	説明
"00" を書き込んだ場合	エッジ検出なし
"01" を書き込んだ場合	立上りエッジ
"10" を書き込んだ場合	立下りエッジ
"11" を書き込んだ場合	両エッジ

[bit0] EIE0: 割込み要求許可ビット 0

このビットは , 割込みコントローラへの割込み要求の出力を許可または禁止します。このビットと外部割込み要求フラグビット 0 (EIR0) が "1" のとき , 割込み要求が出力されます。

外部割込み端子を使用するには , ポート方向レジスタ (DDR) の対応するビットに "0" を書き込み , その端子を入力ポートとして設定してください。

外部割込み端子の状態は , 割込み要求許可ビットの状態にかかわらず , ポートデータレジスタから直接読み出せます。

bit0	説明
"0" を書き込んだ場合	割込み要求出力を禁止します。
"1" を書き込んだ場合	割込み要求出力を許可します。

13.8 使用上の注意

外部割込み回路使用上の注意事項を示します。

■ 外部割込み回路使用上の注意

- エッジ極性選択ビット (SL0[1:0] または SL1[1:0]) を設定する際には , 割込み要求許可ビット (EIE0 または EIE1) を "0"(割込み要求を禁止する) に設定してください。また , エッジ極性を設定した後には , 外部割込み要求フラグビット (EIR0 または EIR1) を "0" にクリアしてください。
- 外部割込み要求フラグビットが "1" で , 割込み要求許可ビットが許可となっている場合は , デバイスを割込みサービスルーチンから復帰させることはできません。割込みサービスルーチンでは , 必ず外部割込み要求フラグビットをクリアしてください。

第 14 章

割込み端子選択回路

割込み端子選択回路の機能と動作について説明します。

14.1 概要
14.2 構成
14.3 端子
14.4 動作
14.5 レジスタ
14.6 使用上の注意

14.1 概要

割込み端子選択回路は , 複数の周辺機能入力端子の中から割込み入力端子を選択します。

■ 割込み端子選択回路

割込み端子選択回路は , 複数の周辺機能入力 (EC0, INT00, UCK0 と UI0) の中から割込み入力端子を選択します。各周辺機能端子の入力信号は , 本回路によって選択され , 外部割込みの INT00 (ch.0) 入力として扱われます。これにより , 各周辺機能端子の入力信号に外部割込み端子としての機能も持たせることができます。

14.2 構成

図 14.2-1 と図 14.2-2 に , 割込み端子選択回路のブロックダイヤグラムを示します。

■ 割込み端子選択回路のブロックダイヤグラム

図 14.2-1 割込み端子選択回路のブロックダイヤグラム (MB95710L シリーズ)

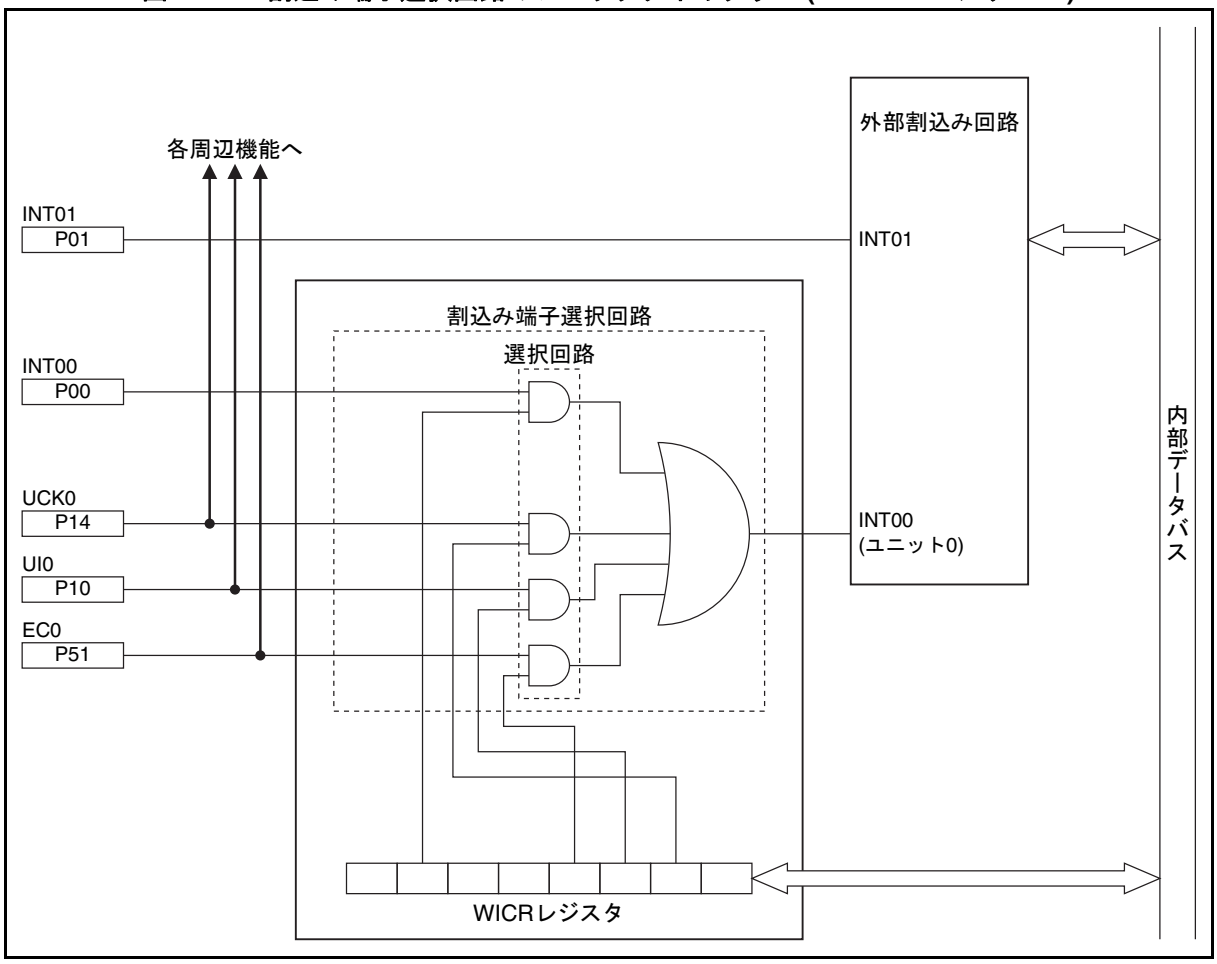
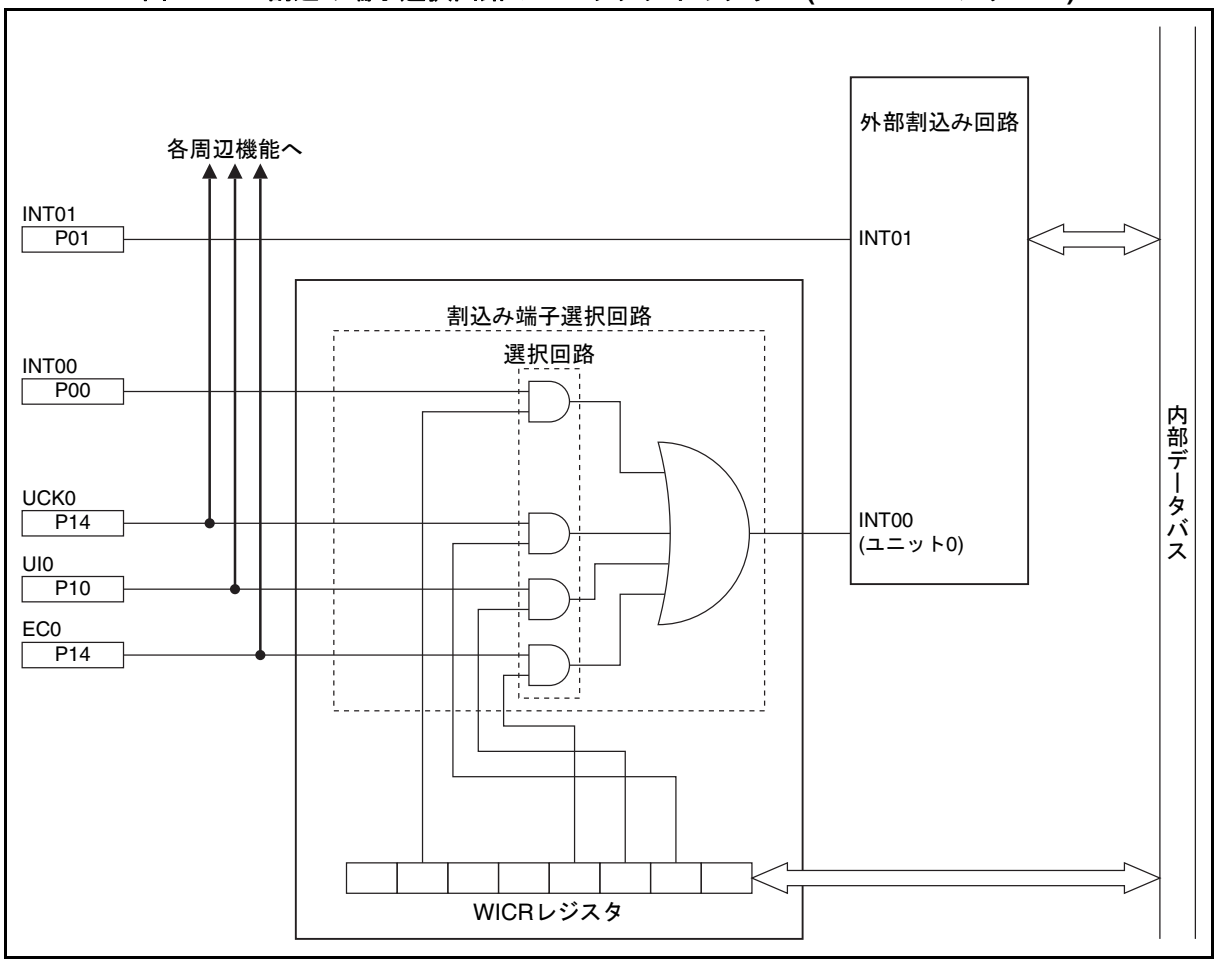


図 14.2-2 割込み端子選択回路のブロックダイヤグラム (MB95770L シリーズ)



- WICR レジスタ (割込み端子選択回路制御レジスタ)

  このレジスタにより , 割込み回路へ出力する周辺機能入力端子と , 割込み端子を選択します。
- 選択回路

  WICR レジスタにて選択された端子からの入力を外部割込み回路 (ch. 0) の INT00 入力へ出力する回路です。

14.3 端子

割込み端子選択回路の端子について説明します。

■ 割込み端子選択回路の端子

割込み端子選択回路の周辺機能端子として, EC0, INT00, UCK0 と UI0 端子があります。これらの入力端子 (INT00 を除く) は , 各周辺機能へも並行して接続されており , 本機能とともに , 同時に使用が可能です。各周辺機能と周辺機能入力端子の対応を表 14.3-1 に示します。

表 14.3-1 各周辺機能と周辺機能入力端子の対応

周辺機能入力端子名	周辺機能名
EC0	8/16 ビット複合タイマ (イベント入力)
INT00	割込み端子選択回路
UCK0	UART/SIO (クロック入出力)
UI0	UART/SIO (データ入力)

14.4 動作

割込み端子は WICR レジスタの設定により選択されます。

■ 割込み端子選択回路の動作

WICR (割込み端子選択回路制御レジスタ) の設定により , 外部割込み回路 (ch. 0) の INT00 へ入力される入力端子を選択します。UCK0 端子を割込み端子として選択する場合の , 割込み端子選択回路と外部割込み回路 (ch. 0) の設定手順を下記に示します。

1. ポート方向 (DDR) レジスタの対応するビットに "0" を書き込んで端子を入力に設定する。
2. WICR レジスタにより UCK0 端子を割込み入力端子として選択する。
   - WICR レジスタへ "0x02" を書き込む。このとき , 外部割込み回路は外部割込み回路の EIC00 レジスタの EIE0 ビットへ "0" を書き込んで割込み禁止にしておく。
3. 外部割込み回路 (ch. 0) に INT00 の動作を許可する。
   - 外部割込み回路の EIC00 レジスタの SL0[1:0] ビットへ "0b00" 以外を設定し,有効エッジを選択するとともに , EIE0 ビットへ "1" を 書き込んで割込みを許可する。
4. 以降の割込み動作は外部割込み回路と同等となる。
   - リセット解除後,WICR レジスタは "0x40" に初期化され, INT00 ビットのみ割込み端子として選択された状態になります。INT00 端子以外の端子を外部割込み端子として使用する場合は , 本レジスタを書き換えた後に , 外部割込み回路の動作を許可してください。

14.5 レジスタ

割込み端子選択回路のレジスタについて説明します。

表 14.5-1 割込み端子選択回路のレジスター一覧

レジスタ略称	レジスタ名	参照先
WICR	割込み端子選択回路制御レジスタ	14.5.1

14.5.1 割込み端子選択回路制御レジスタ (WICR)

このレジスタは周辺機能入力端子からのどの入力をどの割込み端子として割込み回路へ出力するかを選択します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	INT00	—	—	EC0	UI0	UCK0	—
属性	—	R/W	—	—	R/W	R/W	R/W	—
初期値	0	1	0	0	0	0	0	0

■ レジスタ機能

[bit7] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit6] INT00: INT00 割込み端子選択ビット
このビットは INT00 端子を割込み入力端子として選択するかどうかを設定します。
このビットに "0" が書き込まれた場合 , INT00 端子は割込み入力端子として非選択となり , 本回路は INT00 端子への入力を "0" 固定として扱います。
このビットに "1" が書き込まれた場合 , INT00 端子は割込み入力端子として選択され , 本回路は INT00 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき , 外部割込み回路の INT00 (ch. 0) の動作が許可されていると , INT00 端子への入力信号により外部割込みが発生します。

bit6	説明
"0" を書き込んだ場合	INT00 は割込み入力端子として非選択となります。
"1" を書き込んだ場合	INT00 を割込み入力端子として選択します。

[bit5:4] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit3] EC0: EC0 割込み端子選択ビット
このビットは EC0 端子を割込み入力端子として選択するかどうかを設定します。
このビットに "0" が書き込まれた場合 , EC0 端子は割込み入力端子として非選択となり , 本回路は EC0 端子への入力を "0" 固定として扱います。
このビットに "1" が書き込まれた場合 , EC0 端子は割込み入力端子として選択され , 本回路は EC0 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき , 外部割込み回路の INT00 (ch. 0) の動作が許可されていると , EC0 端子への入力信号により外部割込みが発生します。

bit3	説明
"0" を書き込んだ場合	EC0 は割込み入力端子として非選択となります。
"1" を書き込んだ場合	EC0 を割込み入力端子として選択します。

[bit2] UI0: UI0 割込み端子選択ビット
このビットは UI0 端子を割込み入力端子として選択するかどうかを設定します。
このビットに "0" が書き込まれた場合 , UI0 端子は割込み入力端子として非選択となり , 本回路は UI0 端子への入力を "0" 固定として扱います。
このビットに "1" が書き込まれた場合 , UI0 端子は割込み入力端子として選択され , 本回路は UI0 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき ,外部割込み回路の INT00 (ch. 0) の動作が許可されていると , UI0 端子への入力信号により外部割込みが発生します。

bit2	説明
"0" を書き込んだ場合	UI0 は割込み入力端子として非選択となります。
"1" を書き込んだ場合	UI0 を割込み入力端子として選択します。

[bit1] UCK0: UCK0 割込み端子選択ビット
このビットは UCK0 端子を割込み入力端子として選択するかどうかを設定します。
このビットに "0" が書き込まれた場合 , UCK0 端子は割込み入力端子として非選択となり , 本回路は UCK0 端子への入力を "0" 固定として扱います。
このビットに "1" が書き込まれた場合 , UCK0 端子は割込み入力端子として選択され , 本回路は UCK0 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき , 外部割込み回路の INT00 (ch. 0) の動作が許可されていると , UCK0 端子への入力信号により外部割込みが発生します。

bit1	説明
"0" を書き込んだ場合	UCK0 は割込み入力端子として非選択となります。
"1" を書き込んだ場合	UCK0 を割込み入力端子として選択します。

[bit0] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

デバイスの スタンバイモードで , 本レジスタの (未定義ビット以外の) いずれかのビットが "1" に設定されており , かつ外部割込み回路の INT00 (ch.0) の動作が許可されている場合 , 選択された端子は入力動作の実行が許可された状態となります。端子への有効エッジパルス入力により , デバイスはスタンバイモードからウェイクアップします。スタンバイモードについては , 「3.5 低消費電力モード (スタンバイモード) の動作」を参照してください。

＜注意事項＞

外部割込み回路の INT00 (ch. 0) が動作許可されていない場合 , これらのビットに "1" を書き込んでも , 各周辺機能端子の入力信号で外部割込みは発生しません。

外部割込み回路の INT00 (ch. 0) が動作許可されている場合 , これらのビットを書き換えないでください。もし書き換えた場合 , 該当端子の入力レベルによっては , 外部割込み回路が有効エッジを検出してしまうことがあります。
WICR (割込み端子選択回路制御レジスタ) により複数の割込み端子を同時に選択し , かつ外部割込み回路の INT00 (ch. 0) の動作が許可 (外部割込み回路の EIC レジスタの SL0[1:0] ビットに "0b00" 以外を書き込む) されている場合 , 選択された端子はスタンバイモード時においても , 割込み受付けのために入力許可状態となります。

14.6 使用上の注意

割込み端子選択回路使用上の注意を示します。

- WICR レジスタにより , 複数の割込み端子を同時に選択し , かつ外部割込み回路の INT00 (ch. 0) の動作が許可されている (外部割込み回路の EIC レジスタの SL0[1:0] ビットに "0b00" 以外を書き込んで , 有効エッジを選択するとともに , EIE0 ビットに "1" を書き込んで割込みを許可する) 場合 , 選択された端子はスタンバイモードにおいても , 割込み受付けのために入力許可状態となります。
- WICR レジスタにより , 複数の割込み端子を同時に選択した場合 , それらの端子へ入力された信号のいずれかが "H" のとき , 外部割込み回路の INT00 (ch. 0) への入力は "H" として扱われます (選択された端子に入力された信号の "OR" となります)。

第 15 章

8/12 ビット A/D コンバータ

8/12 ビット A/D コンバータの機能と動作について説明します。

15.1 概要
15.2 構成
15.3 端子
15.4 割込み
15.5 8/12 ビット A/D コンバータの動作許可
15.6 動作説明と設定手順例
15.7 レジスタ
15.8 使用上の注意

15.1 概要

8/12 ビット A/D コンバータは , 12 ビット逐次比較型の 8/12 ビット A/D コンバータです。複数のアナログ入力端子から 1 つの入力信号を選択し , ソフトウェアと内部 クロックによって起動できます。

■ A/D 変換機能

A/Dコンバータは, アナログ入力端子から入力されたアナログ電圧 (入力電圧) を8ビットまたは 12 ビットのデジタル値に変換します。

- 入力信号は , 複数のアナログ入力端子から選択できます。
- 変換速度は , プログラムで設定可能です (動作電圧と周波数によって選択可能)。
- A/D 変換が完了すると割込みが発生します。
- 変換完了は , ADC1 レジスタの ADI ビットで確認できます。

A/D 変換機能を起動するには , 以下のいずれかの方法を使用します。

- ADC1 レジスタの AD ビットによる起動
- 8/16 ビット複合タイマ出力 TO00 による連続起動

15.2 構成

8/12 ビット A/D コンバータは , 以下のブロックで構成されます。

- **クロックセレクタ (A/D 変換起動用入力クロックセレクタ)**
- **アナログチャネルセレクタ**
- **サンプルアンドホールド回路**
- **制御回路**
- **8/12 ビット A/D コンバータ動作許可状態遷移時間カウンタ**
- **8/12 ビット A/D コンバータデータレジスタ (上位 / 下位) (ADDH/ADDL)**
- **8/12 ビット A/D コンバータ制御レジスタ 1 (ADC1)**
- **8/12 ビット A/D コンバータ制御レジスタ 2 (ADC2)**
- **8/12 ビット A/D コンバータ制御レジスタ 3 (ADC3)**

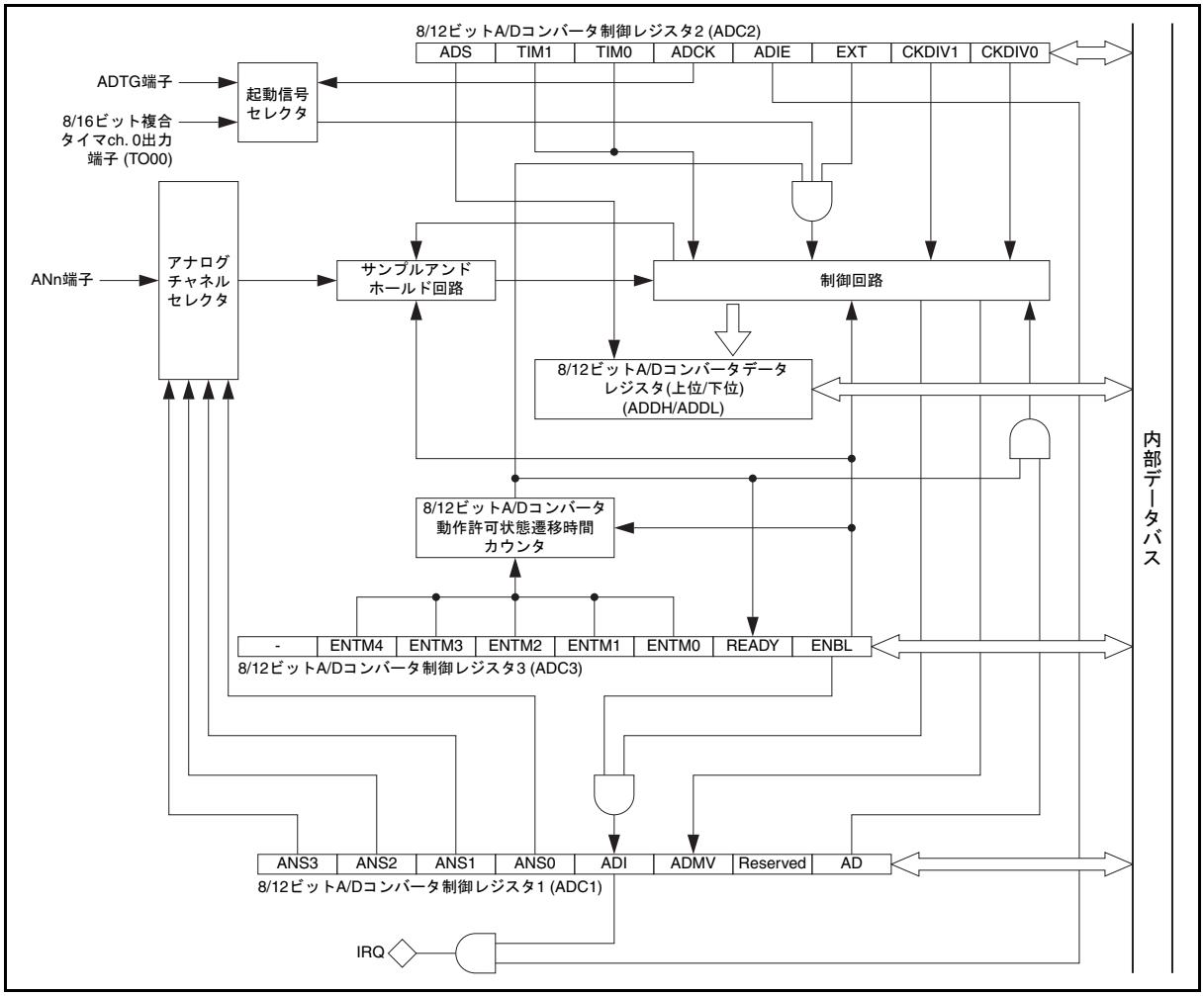
品種により , 8/12 ビット A/D コンバータのアナログ入力端子数およびアナログチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名にある "n" はアナログ入力端子番号を示します。各品種の端子名について , デバイスのデータシートを参照してください。

■ 8/12 ビット A/D コンバータのブロックダイヤグラム

図 15.2-1 に , 8/12 ビット A/D コンバータのブロックダイヤグラムを示します。

図 15.2-1 8/12 ビット A/D コンバータのブロックダイヤグラム



● クロックセレクタ

このセレクタは , 連続起動を許可 (ADC2:EXT = 1) した状態で , A/D 変換クロックを選択します。

● アナログチャネルセレクタ

このセレクタは , 複数のアナログ入力端子から入力チャネルを選択する回路です。

● サンプルアンドホールド回路

アナログチャネルセレクタにより選択された入力電圧を保持する回路です。この回路は , A/D 変換を起動した直後の入力電圧をサンプルホールドすることにより , A/D 変換中 (比較中) の入力電圧の変動の影響を受けずに変換できます。

● 制御回路

A/D 変換機能では , コンパレータからの電圧比較信号を基に , 12 ビットの A/D データレジスタの値を , 最上位ビット (MSB) から最下位ビット (LSB) に向かって順に決定し

ます。A/D 変換が完了すると , A/D 変換機能は割込み要求フラグビット (ADC1:ADI) を "1" に設定します。

- 8/12 ビット A/D コンバータデータレジスタ (上位 / 下位) (ADDH/ADDL)

  12 ビットの A/D データの上位 2 ビットが ADDH レジスタに , 下位 8 ビットが ADDL レ ジスタに格納されます。

  AD 変換精度ビット (ADC2:AD8) を "1" にすると , AD 変換精度は 8 ビット精度となり , ADDL レジスタに 10 ビット A/D データの上位 8 ビットが格納されます。

- 8/12 ビット A/D コンバータ制御レジスタ 1 (ADC1)

  8/12 ビット A/D コンバータの各機能の許可と禁止 , アナログ入力端子の選択 , ステータスの確認を 行います。

- 8/12 ビット A/D コンバータ制御レジスタ 2 (ADC2)

  入力クロックの選択 , 割込みの許可と禁止 , 8/12 ビット A/D コンバータの各機能の制御を行います。

- 8/12 ビット A/D コンバータ制御レジスタ 3 (ADC3)

  8/12 ビット A/D コンバータを動作許可状態と動作禁止状態の間に切り換えます。

- 8/12 ビット A/D コンバータ動作許可状態遷移時間カウンタ

  8/12 ビット A/D コンバータの動作禁止状態から動作許可状態への遷移時間をカウントする専用カウンタです。遷移時間は ADC3 レジスタの ENTM[4:0] ビットを書き換えることで調整できます。

■ 入力クロック

8/12 ビット A/D コンバータは , プリスケーラからの出力クロックを入力クロック (動作クロック) として使用します。

15.3 端子

8/12 ビット A/D コンバータの端子について説明します。

■ 8/12 ビット A/D コンバータの端子

アナログ入力端子は , 汎用入出力ポートとしても使用されます。

- ANn 端子

  A/D 変換機能を使用する場合は , ANn 端子に変換したいアナログ電圧を入力します。ANn 端子をアナログ入力端子として使用するには , 対象の端子に対応するポート方向レジスタ (DDR) の端子ビットに "0" を , 8/12 ビット A/D コンバータ制御レジスタのアナログ入力端子選択ビット (ADC1:ANS[3:0]) にその端子に対応する値を書き込んでください。アナログ入力端子として使用されていない端子は , 8/12 ビット A/D コンバータが使用されている場合も汎用入出力ポートとして使用できます。

- ADTG 端子

  外部トリガで A/D 変換機能を起動するための端子です。外部トリガで A/D 変換起動に ADTG 端子を使用する前に , ADTG 端子に対応する DDR レジスタを使用して , ADTG 端子を入力ポートとして設定してください。

15.4 割込み

8/12 ビット A/D コンバータの割込み要因には , A/D 変換機能動作時の変換終了があります。

■ 8/12 ビット A/D コンバータ動作中の割込み

A/D 変換が完了すると , 割込み要求フラグビット (ADC1:ADI) が "1" になります。このとき割込み要求許可ビットが許可になっていると (ADC2:ADIE = 1), 割込みコントローラへの割込み要求が発生します。割込み要求をクリアするには, 割込みサービスルーチンなどで ADI ビットに "0" を書き込んでください。

ADI ビットは , ADIE ビットの値に関係なく , A/D 変換が完了すると "1" に設定されます。

割込み要求フラグビット (ADC1:ADI) が "1" で , 割込み要求が許可されている場合 (ADC2:ADIE = 1) は, CPU は割込み処理から復帰できません。必ず割込みサービスルーチン内で ADI ビットをクリアしてください。

15.5 8/12 ビット A/D コンバータの動作許可

8/12 ビット A/D コンバータの動作許可について説明します。

8/12 ビット A/D コンバータは A/D 変換を行う前に動作許可状態になっている必要があります。ADC3 レジスタの ENBL ビットに "1" を書き込むことで , 8/12 ビット A/D コンバータは動作許可状態遷移時間後 , 動作禁止状態から動作許可状態になります。また , ENBL ビットに "0" を書き込むことで , 8/12 ビット A/D コンバータは直ちに動作禁止状態になります。

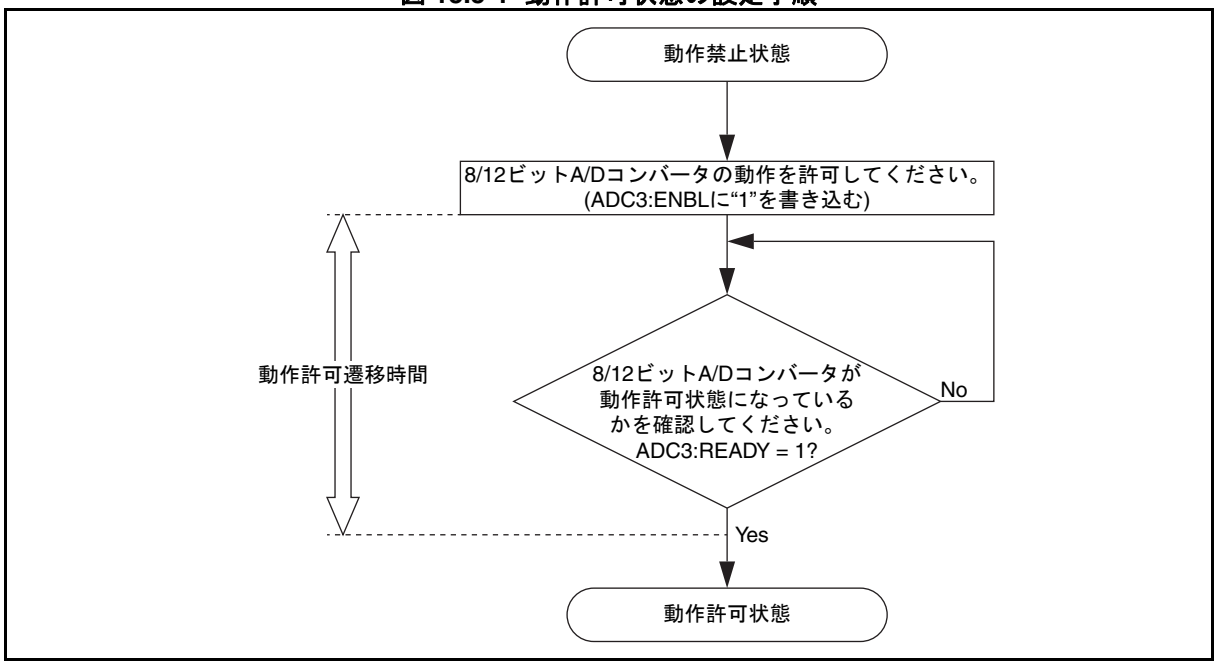
8/12 ビット A/D コンバータは , 動作許可状態のときのみ A/D 変換を行えます。

動作禁止状態中にすべての A/D 変換要求は無視されます。

ADC3 レジスタの READY ビットを読み出すことで動作許可状態になっているかを確認できます。

図 15.5-1 に動作許可状態の設定手順を示します。

図 15.5-1 動作許可状態の設定手順



＜注意事項＞

動作許可遷移時間は ADC3 レジスタの ENTM[4:0] ビットを書き換えることで調整できます。デバイスのデータシートの「■電気的特性」の記載内容に従い , マシンクロック (MCLK) 周期に応じて適切な遷移時間を選択してください。

15.6 動作説明と設定手順例

8/12 ビット A/D コンバータは , ADC2 レジスタの EXT ビットにより A/D 変換のソフトウェア起動または連続起動を選択できます。

■ 8/12 ビット A/D コンバータ変換機能の動作

● ソフトウェア起動

ソフトウェアにより A/D 変換機能を起動するには , 図 15.6-1 の設定をしてください。

図 15.6-1 A/D 変換機能 (ソフトウェア起動) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADC1	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	予約	AD
	◎	◎	◎	◎	◎	◎	0	1
ADC2	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
	◎	◎	◎	×	◎	0	◎	◎
ADC3	-	ENTM4	ENTM3	ENTM2	ENTM1	ENTM0	READY	ENBL
	0	◎	◎	◎	◎	◎	1	1
ADDH	-	-	-	-	A/D 変換値を保持			
ADDL	A/D 変換値を保持							

◎ : 使用ビット
× : 未使用ビット
0 : "0" に設定
1 : "1" に設定

A/D 変換機能が起動されると , A/D 変換が開始します。また , 変換中においても A/D 変換機能を再起動できます。

● 連続起動

A/D 変換機能を連続起動するには , 図 15.6-2 の設定をしてください。

図 15.6-2 A/D 変換機能 (連続起動) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADC1	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	予約	AD
	◎	◎	◎	◎	◎	◎	0	×
ADC2	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
	◎	◎	◎	◎	◎	1	◎	◎
ADC3	-	ENTM4	ENTM3	ENTM2	ENTM1	ENTM0	READY	ENBL
	0	◎	◎	◎	◎	◎	1	1
ADDH	-	-	-	-	A/D 変換値を保持			
ADDL	A/D 変換値保持							

◎ : 使用ビット
× : 未使用ビット
0 : "0" に設定
1 : "1" に設定

連続起動が許可されると , 選択された入力クロックの立上りエッジで A/D 変換機能が起動され , A/D 変換が開始します。連続起動が禁止されると (ADC2:EXT = 0), 連続起動動作は停止します。

■ A/D 変換機能の動作

8/12 ビット A/D コンバータの動作について説明します。

1. A/D 変換が開始すると , 変換フラグビットが設定され (ADC1:ADMV = 1), 選択されたアナログ入力端子がサンプルアンドホールド回路に接続されます。
2. アナログ入力端子の電圧をサンプリング期間中にサンプルアンドホールド回路内のサンプルアンドホールド用コンデンサに取り込みます。この電圧は , A/D 変換が終了するまで保持されます。
3. サンプルアンドホールド用コンデンサに取り込まれた電圧と , A/D 変換用のリファレンス電圧をコントロール回路内のコンパレータで最上位ビット (MSB) から最下位ビット (LSB) まで比較し , 結果を ADDH レジスタと ADDL レジスタへ転送します。
   結果の転送が終わ ると , 変換中フラグビットがクリア (ADC1:ADMV = 0) され , 割込み要求フラグビットが "1" に設定 (ADC1:ADI = 1) されます。

＜注意事項＞

- ADDH レジスタと ADDL レジスタの内容は , A/D 変換終了時に保持されます。したがって , A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能の使用中は , アナログ入力端子選択ビット (ADC1:ANS[3:0]) を変更しないでください。特に連続起動中は , アナログ入力端子を変更する前に連続起動を禁止 (ADC2:EXT = 0) してください。
- リセットが発生するか , あるいはストップモードまたは時計モードが開始すると , A/D コンバータは停止して , ADMV ビットは "0" にクリアされます。

■ 設定手順例

以下に , 8/12 ビット A/D コンバータの設定手順例を示します。

● 初期設定

1. 入力ポートを設定してください (DDR)。
2. 割込みレベルを設定してください (ILR*)。
3. 8/12 ビット A/D コンバータを動作許可状態に設定してください (ADC3:ENTM[4:0], ADC3:ENBL = 1)。
4. A/D 入力端子を選択してください (ADC1:ANS[3:0])。
5. サンプリング時間を設定してください (ADC2:TIM[1:0])。
6. クロックを選択してください (ADC2:CKDIV[1:0])。
7. A/D 変換精度を設定してください (ADC2:AD8)。
8. 動作モードを選択してください (ADC2:EXT)。
9. 起動トリガを選択してください (ADC2:ADCK)。
10. 割込みを許可してください (ADC2:ADIE = 1)。
11. 8/12 ビット A/D コンバータが動作許可状態になっていることを確認してください (ADC3:READY = 1)。
12. A/D 変換機能を起動してください (ADC1:AD = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■ 割込み要因のテーブル」を参照してください。

● 割込み処理

1. 割込み要求フラグを "0" にクリアしてください (ADC1:ADI = 0)。
2. 変換値を読み出してください (ADDH, ADDL)。
3. A/D 変換を起動してください (ADC1:AD = 1)。

15.7 レジスタ

8/12 ビット A/D コンバータのレジスタについて説明します。

表 15.7-1 8/12 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADC1	8/12 ビット A/D コンバータ制御レジスタ 1	15.7.1
ADC2	8/12 ビット A/D コンバータ制御レジスタ 2	15.7.2
ADC3	8/12 ビット A/D コンバータ制御レジスタ 3	15.7.3
ADDH	8/12 ビット A/D コンバータデータレジスタ (上位)	15.7.4
ADDL	8/12 ビット A/D コンバータデータレジスタ (下位)	15.7.4

15.7.1 8/12 ビット A/D コンバータ制御レジスタ 1 (ADC1)

8/12 ビット A/D コンバータ制御レジスタ 1 (ADC1) は , 8/12 ビット A/D コンバータの各機能の許可 / 禁止 , アナログ入力端子の選択およびコンバータの状態の確認を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	予約	AD
属性	R/W	R/W	R/W	R/W	R/W	R	W	W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:4] ANS[3:0]: アナログ入力端子選択ビット

これらのビットは , 使用されるアナログ入力端子を選択し ます。

ソフトウェアにより A/D 変換が起動 (AD = 1) された場合は (ADC2:EXT = 0), これらのビットを同時に変更できます。

bit7:4	説明 *
"0000" を書き込んだ場合	AN00 端子
"0001" を書き込んだ場合	AN01 端子
"0010" を書き込んだ場合	AN02 端子
"0011" を書き込んだ場合	AN03 端子
"0100" を書き込んだ場合	AN04 端子
"0101" を書き込んだ場合	AN05 端子
"0110" を書き込んだ場合	AN06 端子
"0111" を書き込んだ場合	AN07 端子
"1000" を書き込んだ場合	AN08 端子
"1001" を書き込んだ場合	AN09 端子
"1010" を書き込んだ場合	AN10 端子
"1011" を書き込んだ場合	AN11 端子

*: アナログ入力端子数は品種によって異なります。詳細は , デバイスのデータシートを参照してください。

(注意事項)

- 上記以外の値を ANS[3:0] に書き込まないでください。
- ADMV ビットが "1" の場合は , これらのビットを変更しないで ください。アナログ入力端子として使用されない端子は , 汎用入出力ポートとして使用できます。

[bit3] ADI: 割込み要求フラグビット
このビットは , A/D 変換の完了を検出します。
A/D 変換機能を使用している場合は , このビットは A/D 変換の完了直後に "1" に設定されます。
このビットと割込み要求許可ビット (ADC2: ADIE) が "1" になったとき , 割込み要求が出力されます。
このビットに "0" を書き込むと , このビットはクリアされます。このビットに "1" を書き込んでもこのビットは変化せず , ほかのビットにも影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit3	説明
"0" が読み出された場合	A/D 変換がまだ完了していないことを示します。
"1" が読み出された場合	A/D 変換が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit2] ADMV: 変換中フラグビット
このビットは , A/D 変換が実行中であることを示します。
A/D 変換中 , このビットの値は "1" となります。
このビットはリードオンリです。このビットに値を書き込んでも意味はなく , 動作に影響はありません。

bit2	説明
"0" が読み出された場合	A/D 変換が実行中ではないことを示します。
"1" が読み出された場合	A/D 変換が実行中であることを示します。

[bit1] 予約ビット
このビットは常に "0" に設定してください。

[bit0] AD: A/D 変換起動ビット
このビットは , ソフトウェアにより A/D 変換機能を起動します。
このビットに "1" 書き込むと , A/D 変換機能が起動します。
連続起動許可ビット (ADC2:EXT) が "1" のとき , このビットによる A/D 変換の起動は禁止されます。
EXT ビットが "0" に設定されている場合 , A/D 変換実行中にこのビットに "1" を書き込むと , A/D 変換は再起動します。

bit0	説明
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	A/D 変換機能を起動します。

(注意事項) このビットに "0" を書き込んでも , A/D 変換機能の動作を停止させることはできません。このビットの読出し値は常に "0" です。

15.7.2 8/12 ビット A/D コンバータ制御レジスタ 2 (ADC2)

8/12 ビット A/D コンバータ制御レジスタ 2 (ADC2) は , 8/12 ビット A/D コンバータの各機能の制御 , 入力クロックの選択および割込みの許可 / 禁止を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] AD8: 精度選択ビット

このビットは , A/D 変換の分解能を選択します。

このビットに "0" を書き込んだ場合 , 12 ビット精度が選択されます。

このビットに "1" を書き込んだ場合 , 8 ビット精度が選択されます。ADDL レジスタを読み出すことにより , 8 ビットデータを取得できます。

bit7	説明
"0" を書き込んだ場合	12 ビット精度
"1" を書き込んだ場合	8 ビット精度

(注意事項) 選択された分解能によって , 使用するデータビットが異なります。このビットを変更する前に , A/D コンバータの動作が停止していることを確認してください。

[bit6:5] TIM[1:0]: サンプリング時間選択ビット

このビットは , サンプリング時間を選択します。

動作条件 (電圧と周波数) に従ってサンプリング時間を変更してください。

CKIN の値はクロック選択ビット (ADC2:CKDIV[1:0]) によって決まります。

bit6:5	説明
"00" を書き込んだ場合	CKIN × 2
"01" を書き込んだ場合	CKIN × 5
"10" を書き込んだ場合	CKIN × 8
"11" を書き込んだ場合	CKIN × 14

(注意事項) これらのビットを変更する前に, A/Dコンバータの動作が停止していることを確認してください。

[bit4] ADCK: 外部起動信号選択ビット

このビットは , 外部起動時の起動信号を選択します (ADC2:EXT = 1)。

bit4	説明
"0" を書き込んだ場合	ADTG 端子を A/D 変換機能起動端子として選択します。
"1" を書き込んだ場合	8/16 ビット複合タイマ出力端子 (TO00) を A/D 変換機能起動端子として選択します。

[bit3] ADIE: 割込み要求許可ビット
このビットは , 割込みコントローラへの割込みの出力を許可または禁止します。
このビットと割込み要求フラグビット (ADC1:ADI) が "1" のとき , 割込み要求が出力されます。

bit3	説明
"0" を書き込んだ場合	割込み要求出力を禁止します。
"1" を書き込んだ場合	割込み要求出力を許可します。

[bit2] EXT: 連続起動許可ビット
このビットは , A/D 変換機能の起動をソフトウェアで行うか , 入力クロックの立上りエッジ検出で連続的に行うかを選択します。

bit2	説明
"0" を書き込んだ場合	ADC1 レジスタの AD ビットで A/D 変換機能を起動します。
"1" を書き込んだ場合	ADC2 レジスタの ADCK ビットで選択されたクロックで A/D 変換機能を連続的に起動します。

[bit1:0] CKDIV[1:0]: クロック選択ビット
これらのビットは , A/D 変換に使用するクロック (CKIN) を選択します。入力クロックはプリスケーラにより生成されます。詳細は , 「3.9 プリスケーラの動作」を参照してください。
サンプリング時間は , これらのビットで選択されたクロックによって異なります。
動作条件 (電圧と周波数) に従って , これらのビットを変更してください。

bit1:0	説明
"00" を書き込んだ場合	1 MCLK
"01" を書き込んだ場合	MCLK/2
"10" を書き込んだ場合	MCLK/4
"11" を書き込んだ場合	MCLK/8

(注意事項) これらのビットを変更する前に, A/Dコンバータの動作が停止していることを確認してください。

15.7.3 8/12 ビット A/D コンバータ制御レジスタ 3 (ADC3)

8/12 ビット A/D コンバータ制御レジスタ 3 (ADC3) は 8/12 ビット A/D コンバータを動作許可状態に設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	ENTM4	ENTM3	ENTM2	ENTM1	ENTM0	READY	ENBL
属性	—	R/W	R/W	R/W	R/W	R/W	R	R/W
初期値	0	1	1	1	1	1	0	0

■ レジスタ機能

[bit7] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit6:2] ENTM[4:0]: 動作許可状態遷移サイクル選択ビット
これらのビットは動作許可状態遷移時間サイクル数を選択します。
動作許可状態遷移時間 = マシンクロック (MCLK) サイクル × (ENTM[4:0] の値 + 1)

例 :
MCLK = 16.25 MHz (61 ns)
ENTM[4:0] = 0x1F
動作許可状態遷移時間 = 61 ns × (31 + 1) = 1925 ns

[bit1] READY: A/D コンバータ動作許可状態ビット
このビットは 8/12 ビット A/D コンバータが動作許可状態になっているかを示します。
8/12 ビット A/D コンバータは , 動作許可状態のときのみ A/D 変換を行えます。
動作禁止状態中にすべての A/D 変換要求は無視されます。
A/D 変換中に , 8/12 ビット A/D コンバータが動作許可禁止状態に遷移した場合 , A/D 変換は変換シーケンス終了 (ADC1:ADMV = 0) 後に停止します。

bit1	説明
"0" を読み出した場合	8/12 ビット A/D コンバータが動作禁止状態になっていることを示します。
"1" を読み出した場合	8/12 ビット A/D コンバータが動作許可状態になっていることを示します。

[bit0] ENBL: A/D コンバータ動作許可 / 禁止ビット
このビットは 8/12 ビット A/D コンバータの動作を許可または禁止します。
このビットに "1" を書き込むことで , 動作許可状態遷移時間経過後に 8/12 ビット A/D コンバータは動作許可状態になります。このビットに "0" を書き込むことで , 8/12 ビット A/D コンバータは動作禁止状態になります。

bit0	説明
"0" を書き込んだ場合	8/12 ビット A/D コンバータの動作を禁止します。
"1" を書き込んだ場合	8/12 ビット A/D コンバータの動作を許可します。

＜注意事項＞

- ENBL ビットへの "1" の書込みから READY ビットが "1" になることまでの動作許可状態遷移時間中に , ENTM[4:0] ビットの書換えは禁止されます。ENBL ビットに "1" が書き込まれたとき , ENTM[4:0] ビットを書き換える場合 , READY ビットが "1" に設定されていることを前もって確認しておいてください。
- リセットが発生するか , あるいはストップモードまたは時計モードが開始すると , 8/12 ビット A/D コンバータは直ちに停止し , ADMV ビット , READY ビットと ENBL ビットは "0" にクリアされます。
- A/D 変換中に ADC3 レジスタの ENBL ビットに "0" が書き込まれた場合 , A/D 変換はしばらく継続します。ENBL ビットに "1" を書き込むことで再度 8/12 ビット A/D コンバータの動作を許可する前に , ADC1 レジスタの ADMV ビットで前の A/D 変換動作が完了していること (ADC1:ADMV = 0) を確認してください。
- A/D 変換中に , ENBL ビットへの "0" の書込み , あるいはストップモードまたは時計モードを設定することによって 8/12 ビット A/D コンバータが停止すると , ADC1 レジスタの ADI ビット (ADC1:ADI) が A/D 変換完了を示すこと (ADC1:ADI = 1) がありますが , そのとき 8/12 ビット A/D コンバータデータレジスタ (上位) (ADDH) と 8/12 ビット A/D コンバータデータレジスタ (下位) (ADDL) に格納されている値は不定です。したがって , 割込みシーケンスで , ADDH レジスタと ADDL レジスタの値を参照しないでください。

15.7.4 8/12 ビット A/D コンバータデータレジスタ (上位 / 下位) (ADDH/ADDL)

8/12 ビット A/D コンバータデータレジスタ (上位 / 下位) (ADDH/ADDL) は , 12 ビット A/D 変換中に , 12 ビット A/D 変換結果を格納します。
12 ビットデータの上位 4 ビットが ADDH レジスタに , 下位 8 ビットが ADDL レジスタに格納されます。

■ レジスタ構成

ADDH

bit	7	6	5	4	3	2	1	0
Field	—	—	—	—	SAR11	SAR10	SAR9	SAR8
属性	—	—	—	—	R	R	R	R
初期値	0	0	0	0	0	0	0	0

ADDL

bit	7	6	5	4	3	2	1	0
Field	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2	SAR1	SAR0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

12 ビットの A/D データのうち , 上位 4 ビットが ADDH レジスタの bit3 ～ bit0 に , 下位 8 ビットが ADDL レジスタの bit7 ～ bit0 にそれぞれ対応します。

ADC2 レジスタの AD8 ビットに "1" が設定されている場合は , 8 ビット精度が選択されます。ADDL レジスタを読み出すことにより , 8 ビットデータを取得できます。

これらのレジスタはリードオンリです。データを書き込んでも動作に影響はありません。

8 ビット精度が選択された A/D 変換では , ADDH レジスタの SAR[11:8] ビットは "0" になります。

● A/D 変換機能

A/D 変換を起動すると , レジスタの設定による変換時間の経過後に変換結果が確定し , ADDH レジスタと ADDL のレジスタに格納されます。A/D 変換完了後 , 次の A/D 変換が完了する前に , A/D データレジスタ (変換結果) を読み出し , ADC1 レジスタの ADI フラグビット (ADI) をクリアしてください。A/D 変換中に , ADDH レジスタと ADDL レジスタの値は , 前回の A/D 変換結果となります。

15.8 使用上の注意

8/12 ビット A/D コンバータ使用上の注意を示します。

■ 8/12 ビット A/D コンバータ使用上の注意

● プログラムによる 8/12 ビット A/D コンバータの設定に関する注意事項

- A/D 変換機能時 , ADDH, ADDL レジスタの内容は A/D 変換終了時に保持されます。したがって , A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能の使用中は , アナログ入力端子選択ビット (ADC1:ANS[3:0]) を変更しないでく ださい。特に連続起動中は , アナログ入力端子を変更する前に連続起動を禁止 (ADC2:EXT = 0) してください。
- リセットが発生するか , あるいはストップモードまたは時計モードが開始すると , 8/12 ビット A/D コンバータは停止し , ADMV ビットは "0" にクリアされます。
- 割込み要求フラグビット (ADC1:ADI) が "1" で , 割込み要求が許可されている場合 (ADC2:ADIE = 1) は , CPU は割込み処理から復帰できません。必ず割込みサービスルーチン内で ADI ビットをクリアしてください。

● 割込み要求に関する注意事項

A/D 変換の再起動 (ADC1:AD = 1) と A/D 変換の完了が同時に発生した場合は , 割込み要求フラグビット (ADC1:ADI) が "1" に設定されます。

● 誤差について

| Vcc - Vss | が小さくなるに従い , それに比例して A/D 変換の誤差は増大します。

● 8/12 ビット A/D コンバータのアナログ入力順序

アナログ入力 (ANn) とデジタル電源 (V_{CC}) を同時に投入するかまたはデジ タル電源投入後にアナログ入力を投入してください。

デジタル電源 (V_{CC}) は , アナログ入力 (ANn) と同時に切断するかまたはア ナログ入力 (ANn) 切断後に切断してください。

8/12 ビット A/D コンバータの電源投入 / 切断時には , アナログ入力電圧がデジタル電源の電圧を超えないでください。

● 変換時間

A/D 変換の変換速度は , クロックモード , メインクロック発振周波数 , メインクロックの速度切換え (ギア機能) に影響されます。

例 :

サンプリング時間 = CKIN × (ADC2:TIM[1:0] 設定)

比較 (コンペア) 時間 = CKIN × 13 (固定値) + MCLK

8/12 ビット A/D コンバータ起動時間 : 最短時間 = MCLK × 2 + CKIN × 2

最長時間 = MCLK + CKIN × 3

変換時間 = 8/12 ビット A/D コンバータ起動時間 + サンプリング時間 + 比較時間

- A/D 変換が開始した時間によって , 変換時間には最大 (1 CKIN - 1 MCLK) の誤差が生じることがあります。
- ソフトウェアで 8/12 ビット A/D コンバータを設定する場合は , その設定がデバイスのデータシートに記載された 8/12 ビット A/D コンバータの各タイミング仕様を満たしていることを確認してください。

第 16 章
低電圧検出回路

低電圧検出回路の機能と動作について説明します。

16.1 概要
16.2 構成
16.3 端子
16.4 割込み
16.5 動作説明
16.6 レジスタ

16.1 概要

低電圧検出回路は，電源電圧を監視し，電源電圧が検出電圧より低下した場合に，リセット信号を発生します。また，選択されたしきい値レベルをまたぐ電源電圧変動が発生したときに割込みも発生できます。

■ 低電圧検出回路

低電圧検出回路は, 電源電圧を監視し, 電源電圧が検出電圧より低下したときにリセット信号を発生します。また , 電源電圧選択されたしきい値レベルをまたいで変動したときに割込みも発生できます。割込みのしきい値電圧は , LVD 制御レジスタ (LVDC) で 6 種類から選択できます。

電源投入時 , リセットしきい値電圧の最小値が LVDC レジスタで選択されます。

この回路は特定の品種にのみ搭載されています。デバイスのデータシートでこの回路の有無を確認してください。

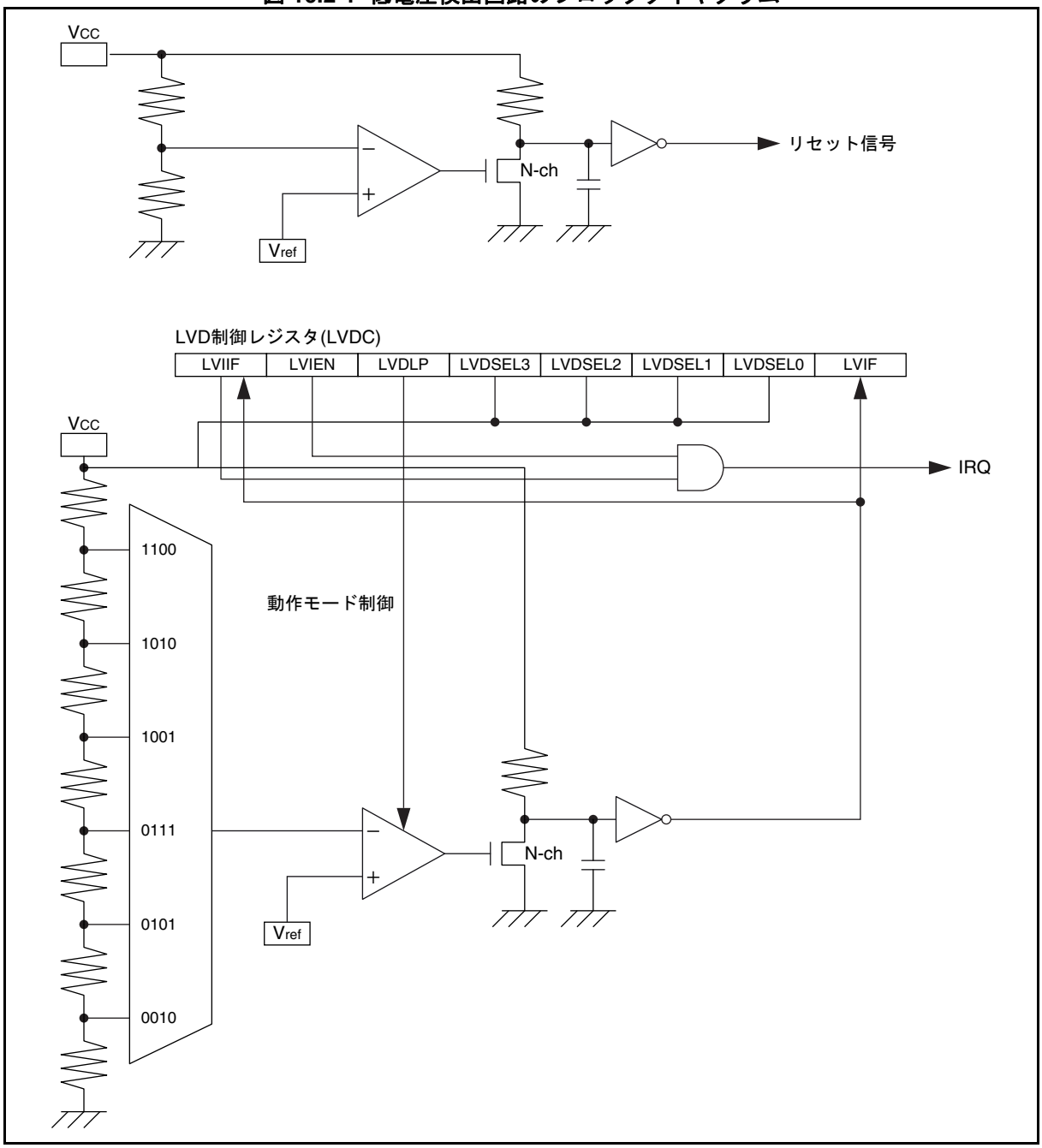
電気的特性の詳細についても , デバイスのデータシートを参照してください。

16.2 構成

図 16.2-1 に , 低電圧検出回路のブロックダイヤグラムを示します。

■ 低電圧検出回路のブロックダイヤグラム

図 16.2-1 低電圧検出回路のブロックダイヤグラム



16.3 端子

低電圧検出回路の端子について説明します。

■ 低電圧検出回路の端子

- V_{CC} 端子

  低電圧検出回路は , 本端子の電圧を監視します。

- V_{SS} 端子

  この端子は , 電圧検出の基準となる GND 端子です。

- $\overline{RST}$ 端子

  低電圧検出リセット信号はマイコン内部と本端子へ出力されます。

16.4 割込み

低電圧検出回路は , 電源電圧が LVD 制御レジスタの低電圧割込みしきい値電圧選択ビット (LVDC:LVDSEL[3:0]) で選択されたしきい値をまたいで変動した場合に , 割込み要求を出力します。

■ 低電圧検出回路の割込み

表 16.4-1 に , 低電圧検出回路の割込み制御ビットと割込み要因を示します。

表 16.4-1 低電圧検出回路 の割込み制御ビットと割込み要因

項目	説明
割込み要求フラグビット	LVDC:LVIIF
割込み要求許可ビット	LVDC:LVIEN
割込み要因	LVD 制御レジスタの低電圧割込みしきい値電圧選択ビット (LVDC:LVDSEL[3:0]) で選択されたしきい値をまたぐ電源電圧変動の発生。

低電圧割込み要求フラグビット (LVDC:LVIIF) が "1" に設定され , 低電圧割込み要求が許可された (LVDC:LVIEN = 1) とき , CPU は割込み処理から復帰できません。必ず割込みサービスルーチン内で LVIIF ビットをクリアしてください。

16.5 動作説明

低電圧検出回路は , 電源電圧が検出電圧よりも低下したときにリセット信号を発生します。また , 電源電圧が選択されたしきい値電圧をまたいで変動した場合に , 割込み信号を発生します。

■ 割込みしきい値電圧の変更

LVDC レジスタに設定された割込みしきい値電圧が変更された場合, 新しく設定された割込みしきい値電圧は , 割込みしきい値電圧遷移安定時間 (t_{stb}) が経過してから有効になります。t_{stb} の詳細について , デバイスのデータシートを参照してください。また , 誤検出を避けるために, 割込みしきい値電圧を変更するとき, 以下の手順に従ってください。

1. 低電圧割込み要求許可ビット (LVDC:LVIEN) に "0" を書き込んで , 割込みを禁止してください。
2. 低電圧割込みしきい値電圧選択ビット (LVDC:LVDSEL[3:0]) の値を変更してください。
3. 割込みしきい値電圧遷移安定時間 (t_{stb}), 割込み検出遅延時間 (t_{di2} または t_{diL2}) と割込み解除遅延時間 (t_{di1} または t_{diL1}) が経過するのを待って , 誤った低電圧検出をマスクします。
4. 低電圧割込み要求フラグビット (LVDC:LVIIF) に "0" を書き込んで, このビットをクリアします。
5. LVIEN ビットに "1" を書き込んで , 割込みを許可します。

t_{di1}, t_{diL1}, t_{di2} と t_{diL2} の詳細について , デバイスのデータシートを参照してください。

■ 割込み用低電圧検出回路の動作モード変更

割込み用低電圧検出回路では , LVDC レジスタの割込み用 LVD 低消費電力切換えビット (LVDC:LVDLP) により通常モードと低消費電力モードとの間に切り換えられます。

低消費電力モードでは, 通常モードに比べ, 割込み検出電圧精度と割込み解除電圧精度が劣り , かつ割込み検出遅延時間と割込み解除遅延時間がより長い替わりに, 消費電力がより低いです。

動作モードが変更された場合 , 新しく設定された動作モードは , 割込み用低電圧検出モード遷移時間 (t_{mdsw}) が経過してから有効になります。

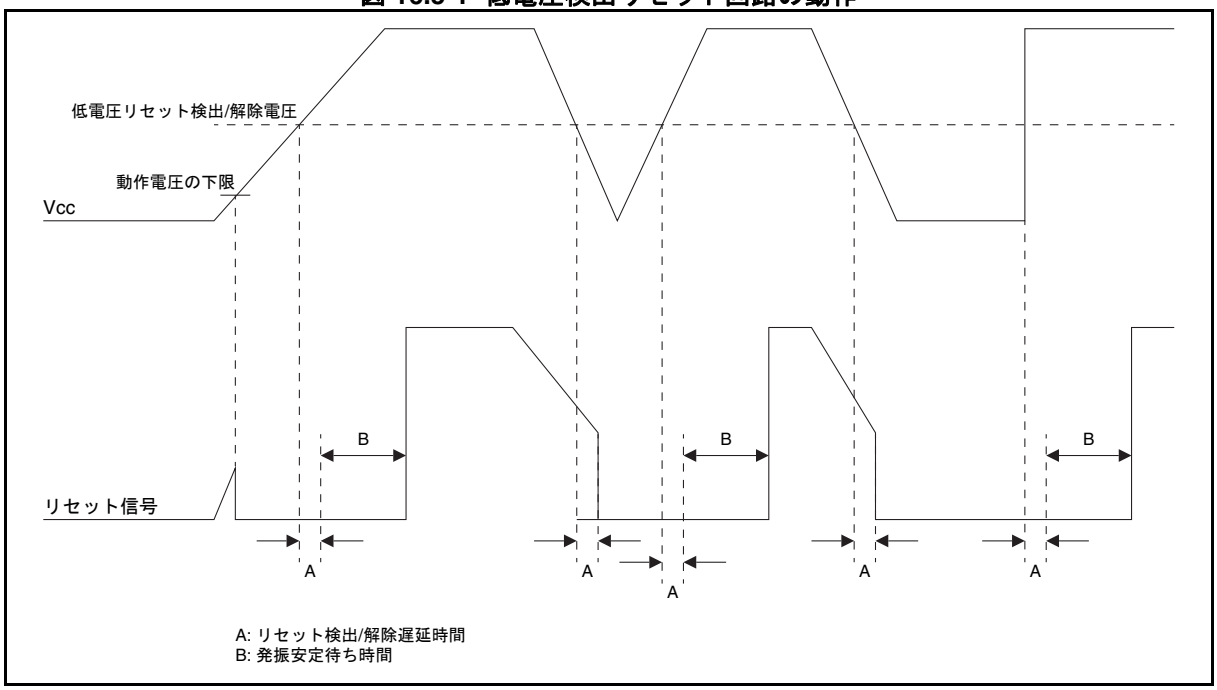
t_{mdsw} の詳細について , デバイスのデータシートを参照してください。

■ 低電圧検出リセット回路の動作

低電圧検出リセット回路は , 電源電圧が低電圧検出電圧よりも低下したときにリセット信号を発生します。その後 , 低電圧検出解除電圧を検出すると , 発振安定待ち時間の間リセット信号を継続して出力し , リセットを解除します。

電気的特性の詳細については , デバイスのデータシートを参照してください。

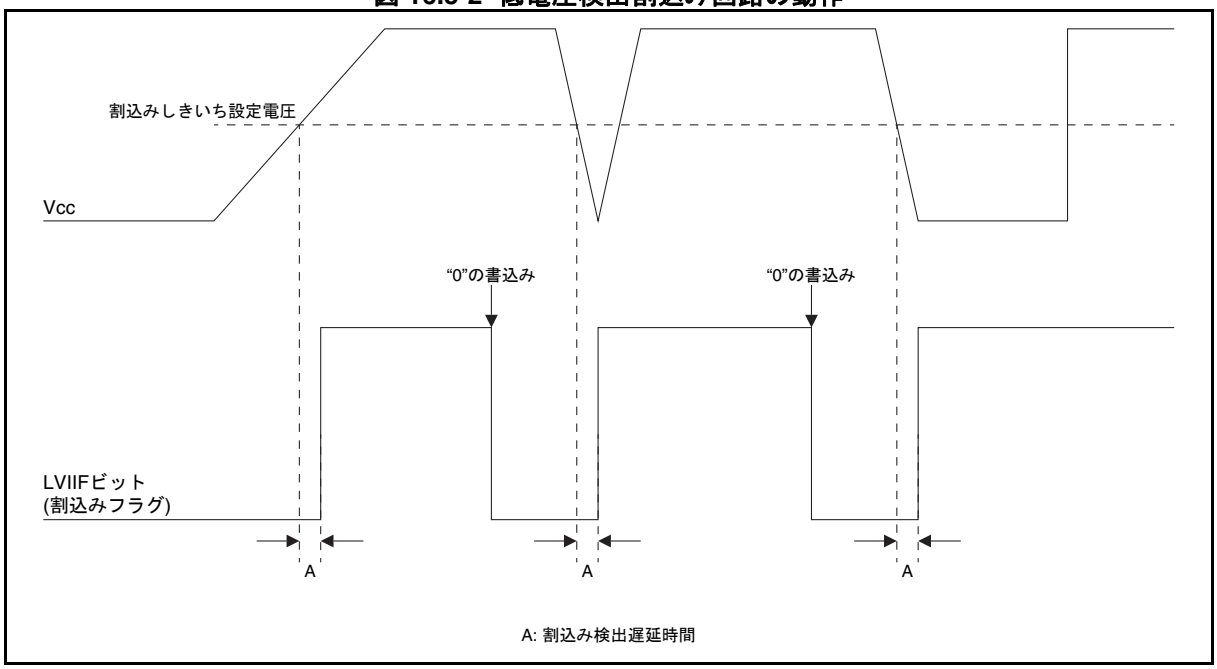
図 16.5-1 低電圧検出リセット回路の動作



■ 低電圧検出割込み回路の動作

電源電圧がLVD制御レジスタの低電圧割込みしきい値電圧選択ビット(LVDC:LVDSEL[3:0])で選択されたしきい値をまたいで変動すると , LVD 制御レジスタの低電圧割込み要求フラグビット (LVDC:LVIIF) が "1" に設定されます。

図 16.5-2 低電圧検出割込み回路の動作



■ スタンバイモード時の動作

低電圧検出回路は , スタンバイモード (ストップモード , スリープモード , サブクロックモード , 時計モード) においても常に動作します。

16.6 レジスタ

低電圧検出回路のレジスタについて説明します。

表 16.6-1 低電圧検出回路のレジスター一覧

レジスタ略称	レジスタ名	参照先
LVDC	LVD 制御レジスタ	16.6.1

16.6.1 LVD 制御レジスタ (LVDC)

LVD 制御レジスタ (LVDC) は割込みしきい値電圧の選択 , 電圧条件の表示 , 割込みの制御 , 低電圧割込みフラグステータスの確認を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	LVIIF	LVIEN	LVDLP	LVDSEL3	LVDSEL2	LVDSEL1	LVDSEL0	LVIF
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	1	0	0

■ レジスタ機能

[bit7] LVIIF: 低電圧割込み要求フラグビット

電源電圧が低電圧割込みしきい値選択ビット (LVDSEL[3:0]) で選択されたしきい値電圧をまたいで変動すると , このフラグビットが "1" に設定されます。

このビットと低電圧割込み要求許可ビット (LVIEN) がともに "1" に設定されると , 低電圧割込み要求が出力されます。

パワーオン後 , 電源電圧が最低割込み検出電圧を常に下回る場合 , このビットは "0" のままになります。この場合 , LVIF ビットをポーリングして電源電圧を確認してください。

リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit7	説明
"0" が読み出された場合	電源電圧が低電圧割込みしきい値選択ビット (LVDSEL[3:0]) で選択されたしきい値電圧をまたいで変動したことがないことを示します。
"1" が読み出された場合	電源電圧が低電圧割込みしきい値選択ビット (LVDSEL[3:0]) で選択されたしきい値電圧をまたいで変動したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit6] LVIEN: 低電圧割込み要求許可ビット

このビットは割込みコントローラへの低電圧割込み要求出力を許可または禁止します。

このビットと低電圧割込み要求フラグビット (LVIIF) がともに "1" に設定されると , 低電圧割込み要求が出力されます。

bit6	説明
"0" を書き込んだ場合	低電圧割込み要求出力を禁止します。
"1" を書き込んだ場合	低電圧割込み要求出力を許可します。

[bit5] LVDLP: 割込み用 LVD 低消費電力切換えビット
このビットは割込み検出用低電圧検出回路の動作モード (通常モードまたは低消費電力モード) を選択します。
動作モード間の違いは以下のとおりです。
- 消費電力
  通常モードは低消費電力モードに比べて消費電力が高くなります。
- 検出電圧と解除電圧との精度
  通常モードは低消費電力モードに比べて精度がよくなります。

消費電力 , 検出電圧と解除電圧との精度についての詳細は , デバイスのデータシートを参照してください。

bit5	説明
"0" を書き込んだ場合	通常モードを選択します。
"1" を書き込んだ場合	低消費電力モードを選択します。

[bit4:1] LVDSEL[3:0]: 低電圧割込みしきい値電圧選択ビット
これらのビットは割込みしきい値電圧を選択します。

bit4:1	説明	
	電源電圧降下時	電源電圧上昇時
"0010" を書き込んだ場合	2.2 V	2.3 V
"0101" を書き込んだ場合	2.5 V	2.6 V
"0111" を書き込んだ場合	2.8 V	2.9 V
"1001" を書き込んだ場合	3.2 V	3.3 V
"1010" を書き込んだ場合	3.6 V	3.7 V
"1100" を書き込んだ場合	4 V	4.1 V

(注意事項) 上記以外の値を LVDSEL[3:0] ビットに書き込むことは禁止されます。

[bit0] LVIF: 低電圧ステータスビット
このビットは電源電圧としきい値電圧の関係を示します。

bit0	説明
"0" を読み出した場合	電源電圧が LVDSEL[3:0] ビットで設定されたしきい値電圧より高いことを示します。
"1" を読み出した場合	電源電圧が LVDSEL[3:0] ビットで設定されたしきい値電圧より低いことを示します。

＜注意事項＞

LVDC レジスタはパワーオンリセットでのみクリアされます。低電圧検出リセットはこのレジスタに影響を与えません。

第17章 クロックスーパバイザカウンタ

クロックスーパバイザカウンタの機能と動作について説明します。

17.1 概要
17.2 構成
17.3 動作説明
17.4 レジスタ
17.5 使用上の注意

17.1 概要

クロックスーパバイザカウンタは , 外部クロック周波数を調べて , 外部クロックの異常状態を検出します。

■ クロックスーパバイザカウンタの概要

クロックスーパバイザカウンタは, 外部クロック周波数を調べて, 外部クロックの異常状態を検出します。

クロックスーパバイザカウンタは, 8つのオプションから選ばれたタイムベースタイマのインターバル時間内で , 外部クロック入力に基づいてカウンタを自動的にカウントアップします。

このモジュールのカウントクロックは , メイン発振クロックとサブ発振クロックのどちらか選択できます。

＜注意事項＞

クロックスーパバイザカウンタは , メインCRクロックモードで , (スタンバイモードで動作する) ハードウェアウォッチドッグタイマとともに動作させてください。

上記以外の場合 , このカウンタは外部クロックの異常状態を正しく検出することはできず , 外部クロックが停止するとハングアップしてしまいます。

(スタンバイモードで動作する) ハードウェアウォッチドッグタイマについては ,「第 8 章 ハードウェア / ソフトウェアウォッチドッグタイマ」を参照してください。

17.2 構成

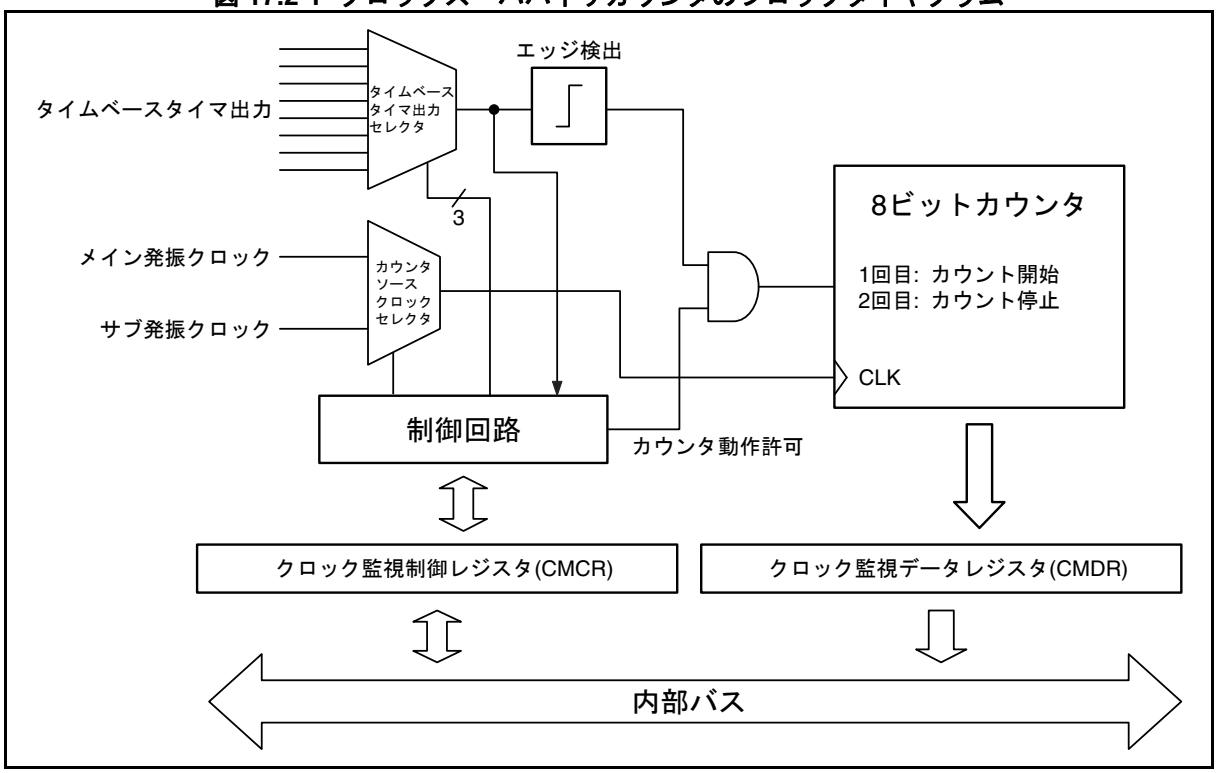
クロックスーパバイザカウンタは , 以下のブロックで構成されます。

- **制御回路**
- **クロック監視制御レジスタ (CMCR)**
- **クロック監視データレジスタ (CMDR)**
- **タイムベースタイマ出力セレクタ**
- **カウンタソースクロックセレクタ**

■ クロックスーパバイザカウンタのブロックダイヤグラム

図 17.2-1 に , クロックスーパバイザカウンタのブロックダイヤグラムを示します。

図 17.2-1 クロックスーパバイザカウンタのブロックダイヤグラム



- **制御回路**

  このブロックは, クロック監視制御レジスタ (CMCR) の設定に基づき , カウンタの開始と停止 , カウンタクロックソースとカウンタ許可期間を制御します。

- **クロック監視制御レジスタ (CMCR)**

  このレジスタは , カウンタソースクロックの選択 , 8 種類の異なるタイムベースタイマインターバルからのカウンタ許可期間の選択 , カウンタの開始およびカウンタが動作中かどうかの確認を行います。

- **クロック監視データレジスタ (CMDR)**

  このレジスタブロックは , カウンタ停止後にカウンタ値を読み出すために使用します。ソフトウェアが, このレジスタの内容に従い, 外部クロック周波数が正しいかどうかを判断します。

- **タイムベースタイマインターバルセレクタ**

  このブロックは , 8 種類のタイムベースタイマインターバルからカウンタ許可期間を選択するために使用します。

- **カウンタソースクロックセレクタ**

  このブロックは , メイン発振クロックとサブ発振クロックからカウンタソースクロックを選択するために使用します。

17.3 動作説明

クロックスーパバイザカウンタの動作について説明します。

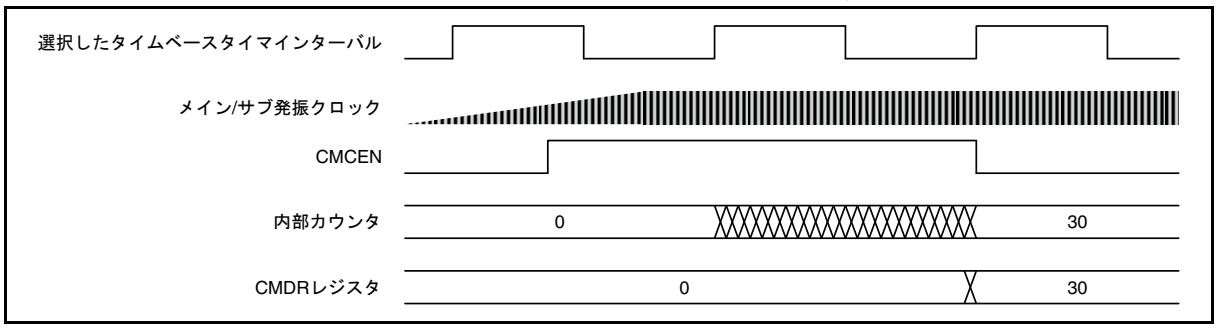
■ クロックスーパバイザカウンタ

● クロックスーパバイザカウンタの動作 1

ソフトウェアによってクロックスーパバイザカウンタの動作が許可されると(CMCEN = 1), クロックスーパバイザカウンタは, TBTSEL[2:0] ビットによって 8 種類から選択されたタイムベースタイマインターバルで動作します。選択されたタイムベースタイマインターバルの2つの立上りエッジの間, 内部カウンタは外部クロックにより時間が計測されます。

このモジュールのカウントクロックとして , メイン発振クロックとサブ発振クロックとのどちらかを選択できます。

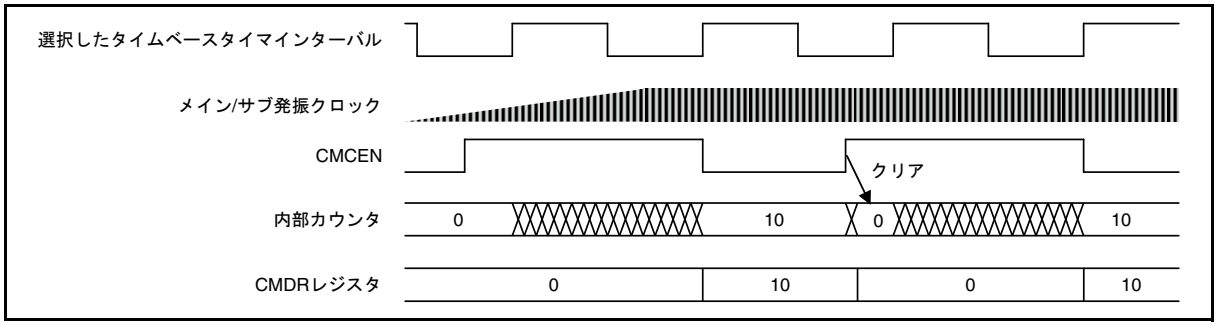
図 17.3-1 クロックスーパバイザカウンタの動作 1



● クロックスーパバイザカウンタの動作 2

CMCEN ビットが "0" から "1" に変わると , CMDR レジスタがクリアされます。

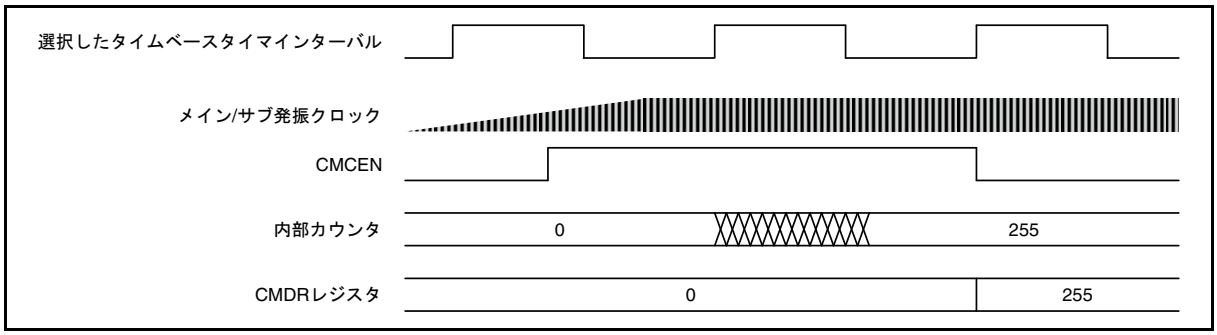
図 17.3-2 クロックスーパバイザカウンタの動作 2



● クロックスーパバイザカウンタの動作 3

カウント値が "255" に達すると , カウンタは停止します。それ以上カウントを続けることはできません。

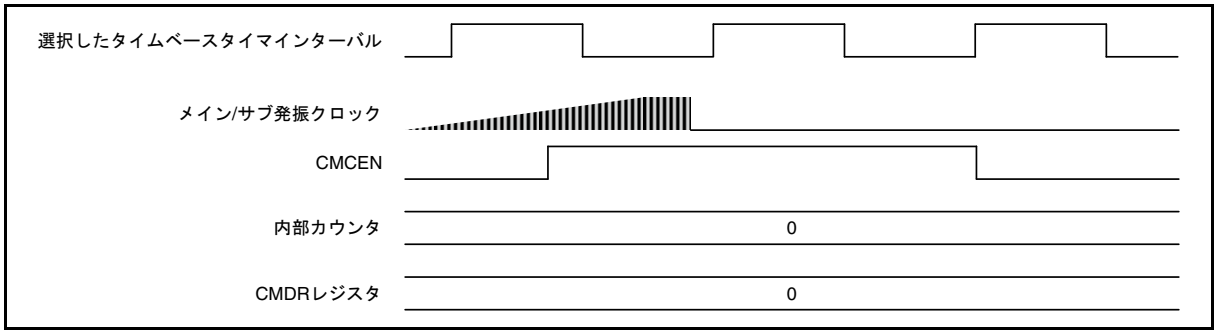
図 17.3-3 クロックスーパバイザカウンタの動作 3



● クロックスーパバイザカウンタの動作 4

選択されている外部クロックが停止すると , カウントを停止します。このカウンタ停止により , ソフトウェアは選択されている外部クロックが異常状態にあることを認識します。

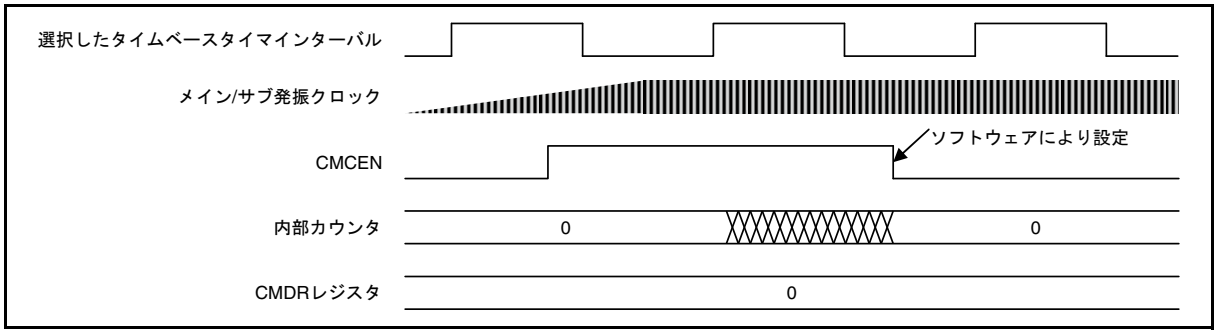
図 17.3-4 クロックスーパバイザカウンタの動作 4



● クロックスーパバイザカウンタの動作 5

カウンタの動作中に CMCEN に "0" が設定されると , カウンタはソフトウェアにより "0" にクリアされます。

図 17.3-5 クロックスーパバイザカウンタの動作 5



■ タイムベースタイマインターバルとクロックスーパバイザカウンタ値の対応表

表 17.3-1 に , 様々な外部クロックを測定するための各種のメイン CR クロック周波数に対し , 適切なタイムベースタイマインターバルを示します。

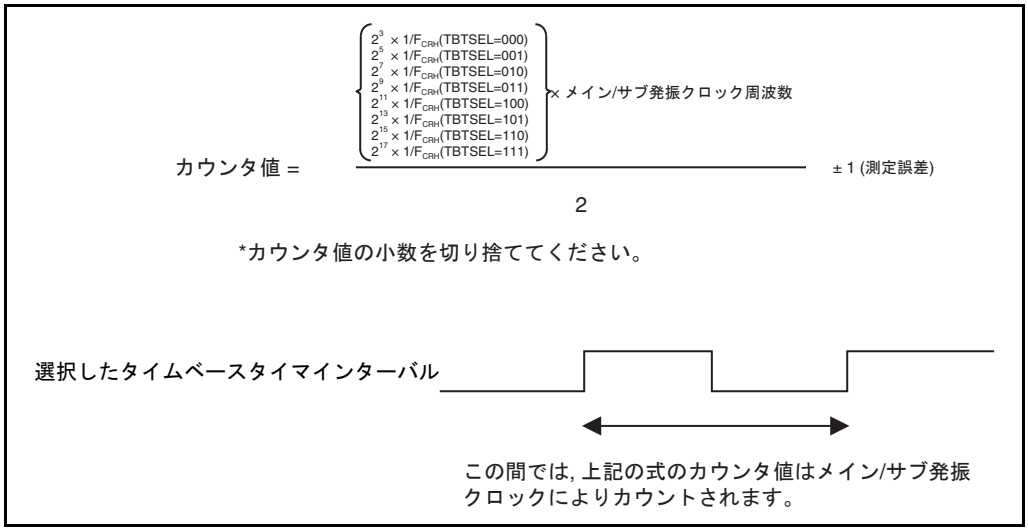
表 17.3-1 TBTSEL 設定に対するカウンタ値の表

メイン CR (F_{CRH}) [MHz]	メイン / サブ水晶発振 [MHz]	メイン CR 誤差	測定誤差	TBTSEL[2:0]							
				"000"	"001"	"010"	"011"	"100"	"101"	"110"	"111"
				($2^3 \times 1/F_{CRH}$)	($2^5 \times 1/F_{CRH}$)	($2^7 \times 1/F_{CRH}$	($2^9 \times 1/F_{CRH}$)	($2^{11} \times 1/F_{CRH}$)	($2^{13} \times 1/F_{CRH}$)	($2^{15} \times 1/F_{CRH}$)	($2^{17} \times 1/F_{CRH}$)
4	0.03277	+2%	-1	0	0	0	1	7	31	130	525
		-2%	+1	1	1	1	3	9	35	137	548
	0.5	+2%	-1	0	0	6	30	124	500	2006	8030
		-2%	+1	1	3	9	33	131	523	2090	8360
	1	+2%	-1	0	2	14	61	249	1002	4014	16061
		-2%	+1	2	5	17	66	262	1045	4180	16719
	4	+2%	-1	2	14	61	249	1002	4014	16061	64249
		-2%	+1	5	17	66	262	1045	4180	16719	66874
	6	+2%	-1	4	22	93	375	1504	6022	24093	96375
		-2%	+1	7	25	98	392	1568	6270	25078	100311
	10	+2%	-1	8	38	155	626	2508	10038	40155	160626
		-2%	+1	11	41	164	654	2613	10449	41796	167184
	20	+2%	-1	18	77	312	1253	5018	20077	80312	321253
		-2%	+1	21	82	327	1307	5225	20898	83592	334368
	32.5	+2%	-1	30	126	508	2038	8155	32626	130508	522038
		-2%	+1	34	133	531	2123	8490	33960	135837	543347

: 推奨設定

: カウンタ値は "0" または "255" になります。

表 17.3-1 は , 以下の式により計算されています。



発振が安定するまでクロックスーパバイザカウンタを待機させるために , タイムベースタイマ割込みを使用する場合は , 以下の条件を満たしてください。

タイムベースタイマインターバル > メイン / サブ発振安定時間 × 1.05

例: F_{CH} = 4 MHz, F_{CRH} = 1 MHz, MWT[3:0] = 0b1111 (WATR レジスタ内)

$$\text{タイムベースタイマインターバル} > \frac{(2^{14} - 2)}{4 \times 10^6} \times 1.05 \approx 4.3\,\text{ms}$$

↓

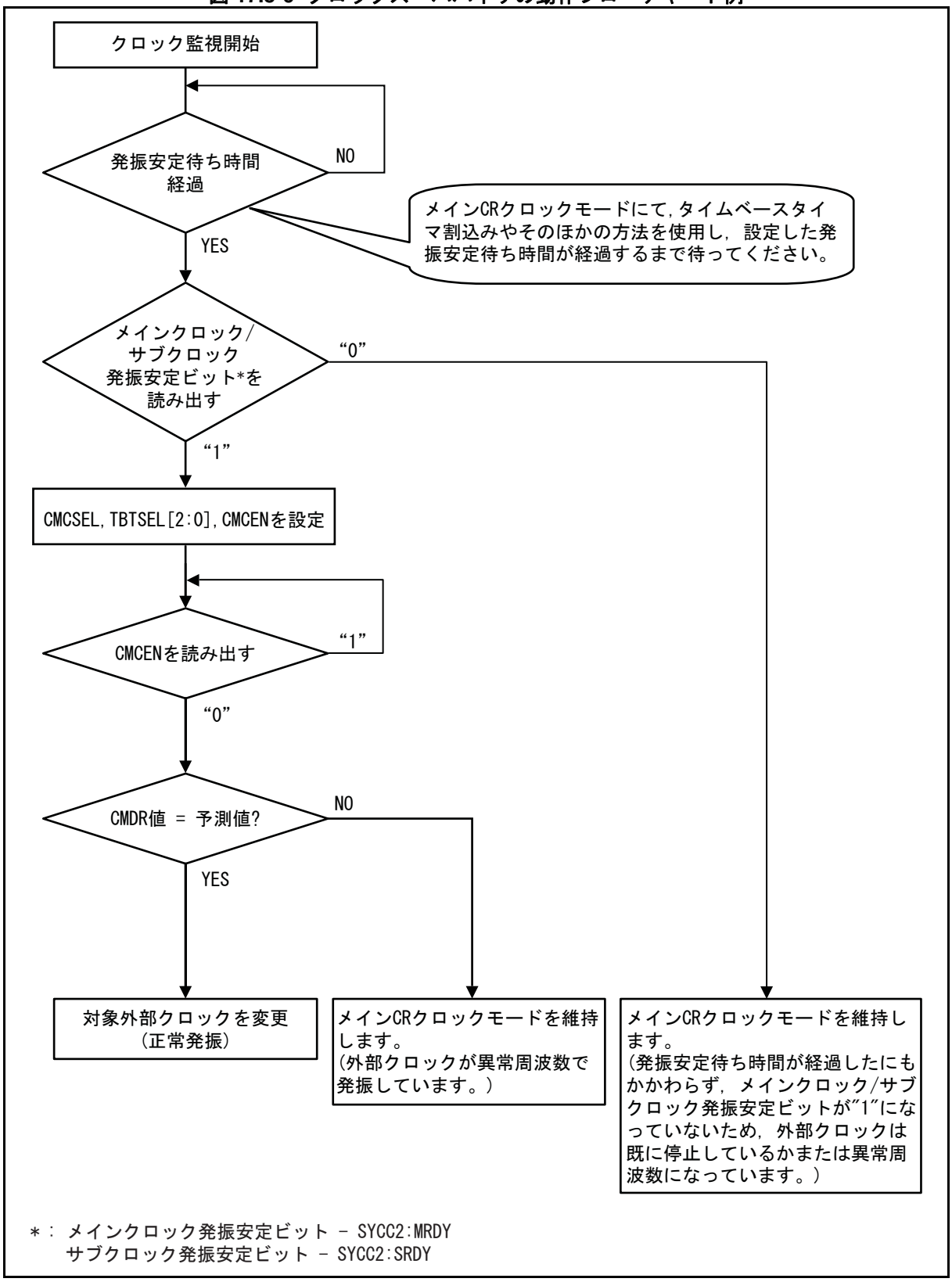
TBC[3:0] = 0b0110 ($2^{13} \times 1/F_{CRH}$)

＜注意事項＞

- タイムベースタイマインターバルの設定については ,「7.1 概要」を参照してください。
- メイン / サブ発振安定時間の設定については ,「3.3.3 発振安定待ち時間設定レジスタ (WATR)」を参照してください。

■ クロックスーパバイザの動作フローチャート例

図 17.3-6 クロックスーパバイザの動作フローチャート例



＊: メインクロック発振安定ビット - SYCC2:MRDY
サブクロック発振安定ビット - SYCC2:SRDY

17.4 レジスタ

クロックスーパバイザカウンタのレジスタについて説明します。

表 17.4-1 クロックスーパバイザカウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
CMDR	クロック監視データレジスタ	17.4.1
CMCR	クロック監視制御レジスタ	17.4.2

17.4.1 クロック監視データレジスタ (CMDR)

クロック監視データレジスタ (CMDR) は , クロックスーパバイザカウンタの停止後にカウント値を読み出すために使用します。ソフトウェアが , このレジスタの内容に従い , 外部クロック周波数が正しいかどうかを確認できます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	CMDR7	CMDR6	CMDR5	CMDR4	CMDR3	CMDR2	CMDR1	CMDR0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

クロック監視データレジスタ (CMDR) は , クロックスーパバイザカウンタの停止後にカウンタ値を読み出すために使用されます。

- カウンタ値は , このクロック監視データレジスタ (CMDR) から読み出せます。ソフトウェアは , 読み出したカウンタ値と選択されているタイムベースタイマインターバルに従い , 外部クロック周波数が正しいかどうかを確認できます。

[bit7:0] CMDR[7:0]: クロック監視データビット

これらのビットは , カウンタ停止後のクロックスーパバイザカウンタの値を示します。
以下のいずれかのイベントが発生すると , これらのビットはクリアされます。

- リセット
- ソフトウェアにより CMCR レジスタの CMCEN ビット (CMCR:CMCEN) が "0" から "1" に変更されます。
- カウンタ動作中に , ソフトウェアにより CMCEN ビットが "1" から "0" に変更されます。
- 外部クロックの停止後 , 選択されているタイムベースタイマクロックの立下りエッジを 2 回検出します (図 17.5-2 を参照してください)。

＜注意事項＞

カウンタが動作している間 (CMCR:CMCEN = 1) は , このレジスタの値は "0b00000000" です。

17.4.2 クロック監視制御レジスタ (CMCR)

クロック監視制御レジスタ (CMCR) は , カウンタソースクロックの選択 , カウンタ許可期間として使われるタイムベースタイマインターバルの選択 , カウンタの開始およびカウンタが動作中かどうかの確認を行うために使用します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	予約	CMCSEL	TBTSEL2	TBTSEL1	TBTSEL0	CMCEN
属性	—	—	W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] 予約ビット
このビットは常に "0" に設定してください。

[bit4] CMCSEL: カウンタクロック選択ビット
このビットは , カウンタのソースクロックを選択します。

bit4	説明
"0" を書き込んだ場合	外部メイン発振クロックをカウンタのソースクロックとして選択します。
"1" を書き込んだ場合	外部サブ発振クロックをカウンタのソースクロックとして選択します。

[bit3:1] TBTSEL[2:0]: タイムベースタイマカウンタ出力選択ビット
これらのビットは , タイムベースタイマのインターバルを選択します。
クロックスーパバイザカウンタの動作は , これらのビットによって選択されたタイムベースタイマの出力にしたがって , 特定の時間に許可または禁止されます。
選択されたインターバルの最初の立上りエッジでカウンタ動作が許可され , 2 回目の立上りエッジでカウンタ動作が禁止されます。

bit3:1	説明 (F_{CRH}: メイン CR クロック)
"000" を書き込んだ場合	$2^3 \times 1/F_{CRH}$
"001" を書き込んだ場合	$2^5 \times 1/F_{CRH}$
"010" を書き込んだ場合	$2^7 \times 1/F_{CRH}$
"011" を書き込んだ場合	$2^9 \times 1/F_{CRH}$
"100" を書き込んだ場合	$2^{11} \times 1/F_{CRH}$
"101" を書き込んだ場合	$2^{13} \times 1/F_{CRH}$
"110" を書き込んだ場合	$2^{15} \times 1/F_{CRH}$
"111" を書き込んだ場合	$2^{17} \times 1/F_{CRH}$

[bit0] CMCEN: カウンタ許可ビット
このビットは , クロックスーパバイザカウンタの動作を許可または禁止します。
このビットに "0" を書き込んだ場合 , カウンタが停止し , CMDR レジスタが "0b00000000" にクリアされます。
このビットへの "1" の書込みは カウンタの動作を許可します。カウンタは , タイムベースタイマインターバルの最初の立上りエッジを検出した時点で動作を開始します。同じインターバルの 2 回目の立上りエッジを検出すると , 動作を停止します。
カウンタが停止すると , このビットが自動的に "0" に設定されます。

bit0	説明
"0" を書き込んだ場合	カウンタ動作を禁止します。
"1" を書き込んだ場合	カウンタ動作を許可します。

＜注意事項＞

- CMCEN ビットが "1" のときに , CMCSEL ビットの設定を変更しないでください。
- CMCEN ビットが "1" のときに , TBTSEL[2:0] ビットの設定を変更しないでください。

17.5 使用上の注意

クロックスーパバイザカウンタ使用上の注意を示します。

■ クロックスーパバイザカウンタの使用上の注意

● 制限事項

- クロックスーパバイザカウンタは , メイン CR クロックモードで , (スタンバイモードで動作する)ハードウェアウォッチドッグタイマとともに動作させてください。そうしないと , 外部クロックの異常状態を正しく検出することはできず , 外部クロックが停止するとハングアップしてしまいます。(スタンバイモードで動作する) ハードウェアウォッチドッグタイマについては ,「第 8 章 ハードウェア / ソフトウェアウォッチドッグタイマ」を参照してください。
- メインCRクロックモードのみを使用してください。それ以外のクロックモードは使用しないでください。
- タイムベースタイマが停止すると , 内部カウンタは動作を停止します。クロックスーパバイザカウンタが外部クロックによりカウントしている間は , タイムベースタイマをクリアしないでください。
- タイムベースタイマインターバルは , クロックスーパバイザカウンタの動作に対し十分に余裕のあるものを選択してください。タイムベースタイマのインターバルについては , 表 17.3-1 を参照してください。
- CMDR レジスタは , CMCEN = 0 のときに読み出してください (クロックスーパバイザカウンタの動作中 (CMCEN = 1) は , CMDR の値は "0b00000000" のままです)。
- クロックスーパバイザカウンタを使用する場合は , 必ずマシンクロックサイクルが選択されたタイムベースタイマインターバルの半分よりも短くなるようにしてください。マシンクロックサイクルが選択されたタイムベースタイマインターバルの半分よりも長いと , クロックスーパバイザカウンタの停止後も CMCEN が "1" のままとなることがあります。

表 17.5-1 に , 各 TBTSEL 設定に対する適切なクロックギア設定を示します。

表 17.5-1 各 TBTSEL 設定に対する適切なクロックギア設定

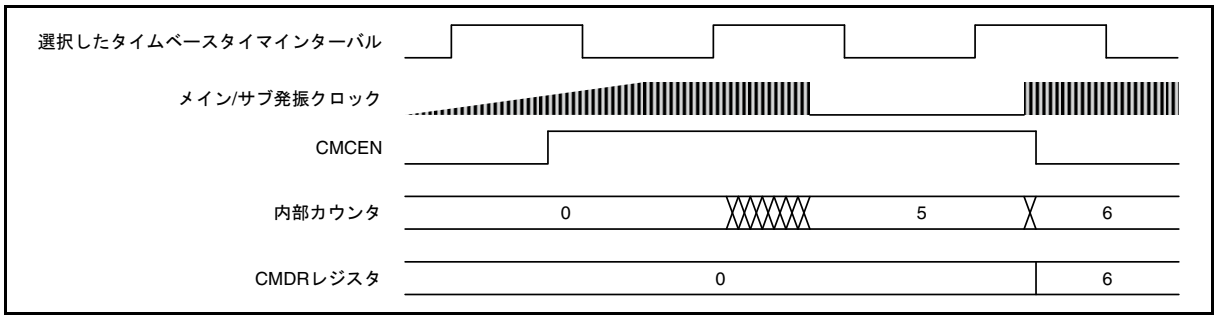
DIV[1:0] (クロックギア設定)	TBTSEL[2:0]		
	000	001	010 ～ 111
	$2^3 \times 1/F_{CRH}$	$2^5 \times 1/F_{CRH}$	$2^7 \times 1/F_{CRH}$ ～ $2^{17} \times 1/F_{CRH}$
00 ($1 \times 1/F_{CRH}$)	○	○	○
01 ($4 \times 1/F_{CRH}$)	×	○	○
10 ($8 \times 1/F_{CRH}$)	×	○	○
11 ($16 \times 1/F_{CRH}$)	×	×	○

○ : 推奨

× : 設定禁止

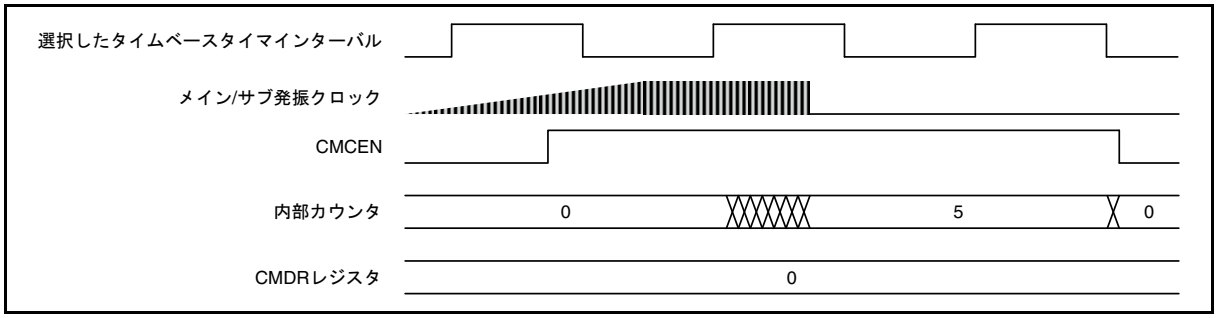
- クロックスーパバイザカウンタの動作中に外部クロックが停止し , 選択されたタイムベースタイマインターバルの 2 回目の立上りエッジ後に再開した場合は , CMCEN は外部クロック再開後に "0" になります。

図 17.5-1 クロックスーパバイザカウンタの動作 1



- クロックスーパバイザカウンタの動作中に外部クロックが停止した場合 , 選択されたタイムベースタイマインターバルにおいて 2 回目の立上りエッジ後に立下りエッジが検出されると , CMCEN が "0" になります。カウンタも同じ立下りエッジでクリアされます。

図 17.5-2 クロックスーパバイザカウンタの動作 2



第 18 章

8/16 ビット PPG

8/16 ビット PPG の機能と動作について説明します。

18.1 概要
18.2 構成
18.3 チャネル
18.4 端子
18.5 割込み
18.6 動作説明と設定手順例
18.7 レジスタ
18.8 使用上の注意

18.1 概要

8/16 ビット PPG は , 8 ビットのリロードタイマモジュールです。タイマ動作に応じたパルス出力制御により PPG 出力を行います。また , カスケード接続 (8 ビット + 8 ビット) により 16 ビット PPG として動作できます。

■ 8/16 ビット PPG の概要

品種により , 8/16 ビット PPG の端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

以下に 8/16 ビット PPG の機能概要を示します。

- 8 ビット PPG 独立モード

  2 つの (PPG タイマ n0, PPG タイマ n1) の 8 ビット PPG として動作できます。

- 8 ビットプリスケーラ + 8 ビット PPG モード

  PPG タイマ n1 の PPG 出力の両エッジ検出パルスを PPG タイマ n0 のダウンカウンタへ入力することにより , PPG タイマ n0 に任意周期の 8 ビット PPG 出力が可能です。

- 16 ビット PPG モード

  カスケード接続 (PPG タイマ n1 (上位 8 ビット) + PPG タイマ n0 (下位 8 ビット)) により 16 ビット PPG 出力として動作できます。

- PPG 出力動作

  任意周期 , デューティ比のパルス波を出力します。

  外付け回路により D/A コンバータとしても使用できます。

- 出力反転モード

  PPG の出力値を反転できます。

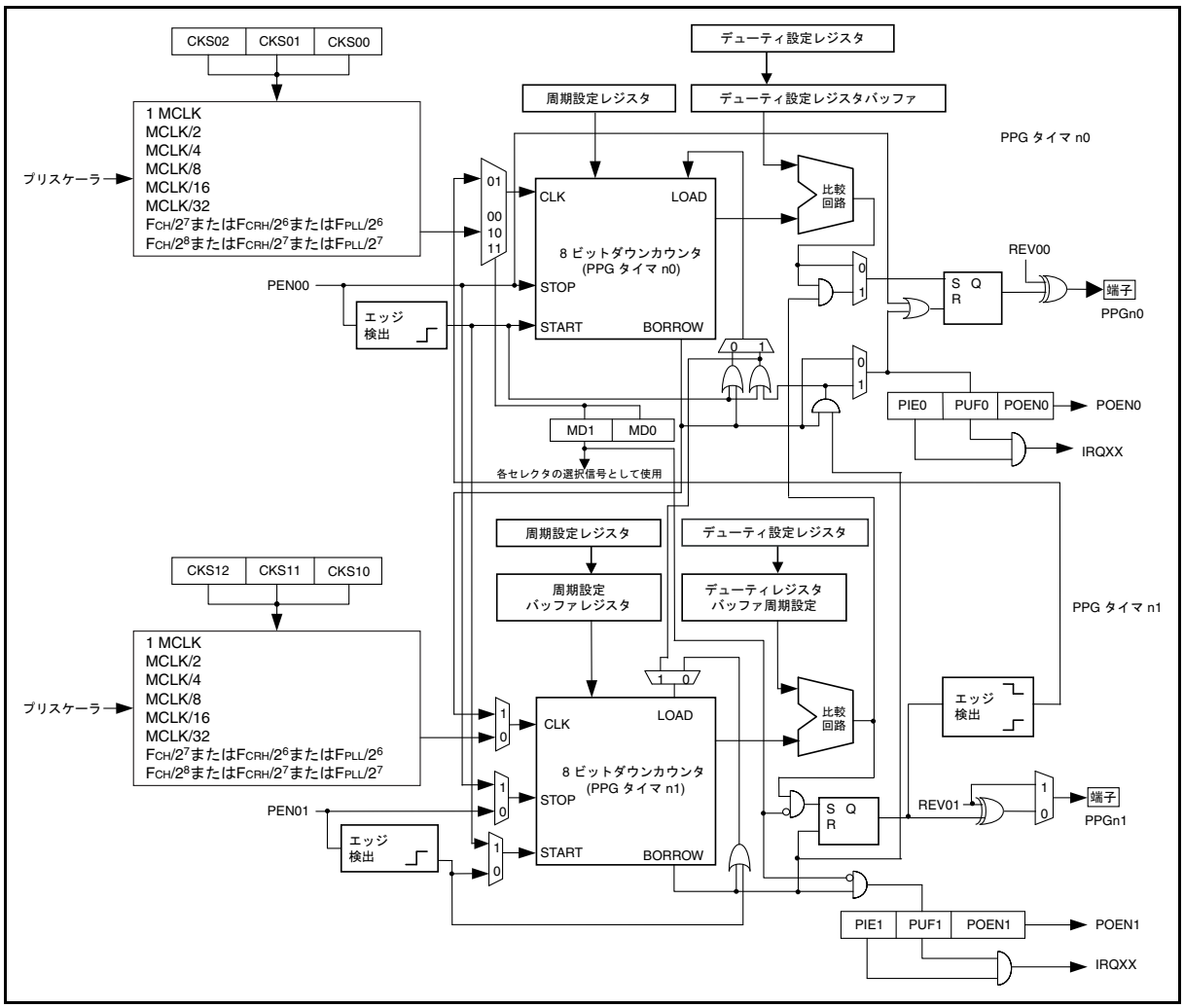
18.2 構成

8/16 ビット PPG のブロックダイヤグラムを示します。

■ 8/16 ビット PPG のブロックダイヤグラム

図 18.2-1 に , 8/16 ビット PPG のブロックダイヤグラムを示します。

図 18.2-1 8/16 ビット PPG のブロックダイヤグラム



- **カウントクロックセレクタ**

  8 種類の内部カウントクロックから 8 ビットダウンカウンタのカウントダウン用クロックを選択します。

- **8 ビットダウンカウンタ**

  カウントクロックセレクタで選択されたカウントクロックでカウントダウンします。

- **比較回路**

  8 ビットダウンカウンタの値が 8/16 ビット PPG 周期設定バッファレジスタの値から 8/16 ビット PPG デューティ設定バッファレジスタの値に一致するまで出力 を "H" レベルに保ちます。
  その後 , カウンタ値が "1" になるまで出力を "L" レベルに保った後 , 8 ビットダウンカウンタは 8/16 ビット PPG 周期設定の値からカウントを続けます。

- **8/16 ビット PPG タイマ n1 制御レジスタ (PCn1)**

  8/16 ビット PPG タイマの PPG タイマ n1 側の動作条件を設定します。

- **8/16 ビット PPG タイマ n0 制御レジスタ (PCn0)**

  8/16 ビット PPG タイマの動作モードと PPG タイマ n0 側の動作条件を設定します。

- **8/16 ビット PPG タイマ n1/n0 周期設定バッファレジスタ (PPSn1/PPSn0)**

  8/16 ビット PPG タイマの周期用コンペア値を設定します。

- **8/16 ビット PPG タイマ n1/n0 デューティ設定バッファレジスタ (PDSn1/PDSn0)**

  8/16 ビット PPG タイマの "H" 幅用コンペア値を設定します。

- **8/16 ビット PPG 起動レジスタ**

  8/16 ビット PPG タイマの起動または停止を設定します。

- **8/16 ビット PPG 出力反転レジスタ**

  8/16 ビット PPG タイマの出力を初期レベルも含めて反転させます。

■ 入力クロック

8/16 ビット PPG は , プリスケーラからの出力クロックを入力クロック (カウントクロック) として使用します。

18.3 チャネル

8/16 ビット PPG のチャネルについて説明します。

■ 8/16 ビット PPG のチャネル

8/16 ビット PPG は 8 ビット PPG タイマ n0 と 8 ビット PPG タイマ n1 から構成されます。それぞれ , 2 つの 8 ビット PPG としてまたは 1 つの 16 ビット PPG として使用できます。

表 18.3-1 に 8/16 ビット PPG の端子を , 表 18.3-2 にそのレジスタを示します。

表 18.3-1 8/16 ビット PPG の端子

端子名	端子機能
PPGn0	PPG タイマ n0 出力 (8 ビット PPG (n0), 16 ビット PPG)
PPGn1	PPG タイマ n1 出力 (8 ビット PPG (n1), 8 ビットプリスケーラ)

表 18.3-2 8/16 ビット PPG のレジスタ

レジスタ略称	該当レジスタ (本マニュアル上の表記)
PCn1	8/16 ビット PPG タイマ n1 制御レジスタ
PCn0	8/16 ビット PPG タイマ n0 制御レジスタ
PPSn1	8/16 ビット PPG タイマ n1 周期設定バッファレジスタ
PPSn0	8/16 ビット PPG タイマ n0 周期設定バッファレジスタ
PDSn1	8/16 ビット PPG タイマ n1 デューティ設定バッファレジスタ
PDSn0	8/16 ビット PPG タイマ n0 デューティ設定バッファレジスタ
PPGS	8/16 ビット PPG 起動レジスタ
REVC	8/16 ビット PPG 出力反転レジスタ

18.4 端子

8/16 ビット PPG の端子について説明します。

■ 8/16 ビット PPG の端子

- PPGn0 端子と PPGn1 端子

  この端子は汎用入出力ポートとしての機能と , 8/16 ビット PPG 出力としての機能を兼用しています。

  PPGn0 , PPGn1 : この端子に PPG 波形が出力されます。8/16 ビット PPG タイマ n0/n1 制御レジスタで出力を許可 (PCn0:POEN0 = 1, PCn1:POEN1 = 1) することにより , PPG 波形を出力できます。

18.5 割込み

8/16 ビット PPG はカウンタボロー検出時に割込み要求を出力します。

■ 8/16 ビット PPG の割込み

表 18.5-1 に , 8/16 ビット PPG の割込み制御ビットと割込み要因を示します。

表 18.5-1 8/16 ビット PPG の割込み制御ビットと割込み要因

項目	説明	
	PPG タイマ n1 (8 ビット PPG, 8 ビットプリスケーラ)	PPG タイマ n0 (8 ビット PPG, 16 ビット PPG)
割込み要求フラグビット	PCn1 の PUF1 ビット	PCn0 の PUF0 ビット
割込み要求許可ビット	PCn1 の PIE1 ビット	PCn0 の PIE0 ビット
割込み要因	PPG 周期ダウンカウンタのカウンタボロー	

8/16 ビット PPG では , ダウンカウンタのカウンタボローにより , 8/16 ビット PPG タイマ n0/n1 制御レジスタ (PC) のカウンタボロー検出フラグビット (PUF) に "1" が設定されます。割込み要求許可ビット (PIE = 1) を許可にしている場合 , 割込み要求を割込みコントローラへ出力します。

16 ビット PPG モードの場合 , 8/16 ビット PPG タイマ n0 制御レジスタ (PCn0) が有効となります。

18.6 動作説明と設定手順例

8/16 ビット PPG の動作について説明します。

8/16 ビット PPG は以下の 3 つの動作モードがあります。

- 8 ビット PPG 独立モード
- 8 ビットプリスケーラ +8 ビット PPG モード
- 16 ビット PPG モード

18.6.1 8 ビット PPG 独立モード

このモードは 8/16 ビット PPG を 2 チャネル (PPG タイマ n0, PPG タイマ n1) の 8 ビット PPG として動作させます。

■ 8 ビット PPG 独立モードの設定

8/16 ビット PPG を 8 ビット PPG 独立モードで動作させるには , レジスタを図 18.6-1 のように設定してください。

図 18.6-1 8 ビット PPG 独立モード

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCn1	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			◎	◎	◎	◎	◎	◎
PCn0	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0	◎	◎	◎	◎	◎	◎
PPSn1	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ n1 の PPG 出力周期を設定							
PPSn0	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ n0 の PPG 出力周期を設定							
PDSn1	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ n1 の PPG 出力デューティ比を設定							
PDSn0	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ n0 の PPG 出力デューティ比を設定							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	◎	◎
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	◎	◎

◎ : 使用ビット
0 : "0" に設定
* : 搭載するチャネル数によります。

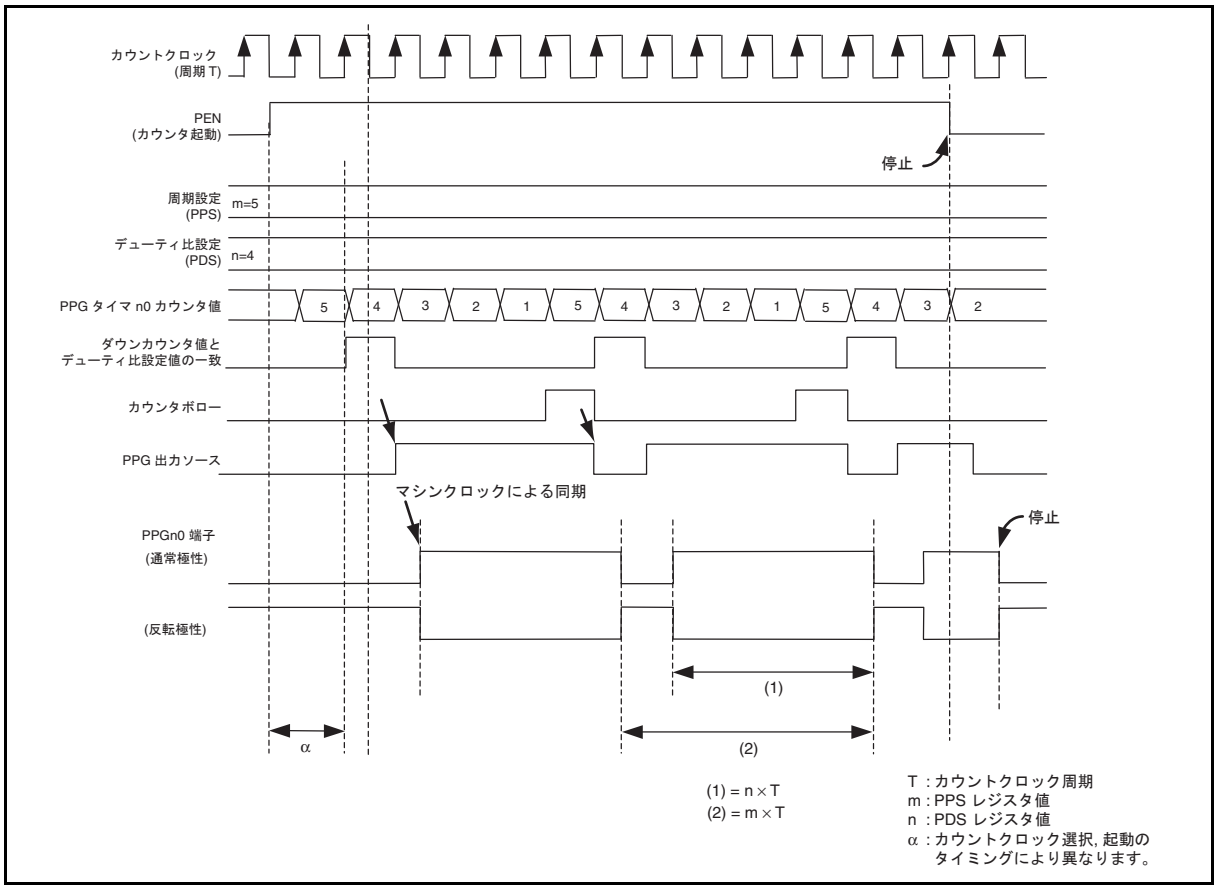
■ 8 ビット PPG 独立モードの動作

- 8/16 ビット PPG タイマ n0 制御レジスタ (PCn0) の動作モード選択ビット (MD[1:0]) を "0b00" に設定すると本モードとなります。
- 8/16 ビット PPG 起動レジスタ (PPGS) の対応するパリティ制御ビット (PEN) に "1" を設定すると , 8/16 ビット PPG 周期設定バッファレジスタ (PPS) の値をロードして , ダウンカウント動作が開始されます。カウント値が "1" に達したとき , 再び周期設定レジスタの値がロードされ , カウント動作が繰り返されます。
- ダウンカウンタの値と 8/16 ビット PPG タイマ n1/n0 デューティ比設定バッファレジスタ (PDS) の値が一致したとき , カウントクロックに同期して PPG 出力に "H" を出力します。デューティ比設定値分"H"を出力した後, PPG出力に"L"を出力します。

ただし , PPG 出力反転ビットが "1" の場合 , PPG 出力は上記の説明の逆になります。

図 18.6-2 に , 8 ビット PPG 独立モードの動作を示します。

図 18.6-2 8 ビット PPG 独立モードの動作



デューティ比を 50% にする場合の例

PPS が "0x04" の場合 , PDS を "0x02" に設定すると , PPG 出力がデューティ比 50% になります (PPS 設定値 /2 を PDS に設定) 。

18.6.2 8 ビットプリスケーラ + 8 ビット PPG モード

このモードでは , PPG タイマ n1 の PPG 出力の両エッジ検出パルスを PPG タイマ n0 のダウンカウンタのカウントクロックとすることで , PPG タイマ n0 に任意周期の 8 ビット PPG 出力が可能となります。

■ 8 ビットプリスケーラ＋ 8 ビット PPG モードの設定

8/16 ビット PPG を 8 ビットプリスケーラ＋ 8 ビット PPG モードで動作させるには , レジスタを図 18.6-3 のように設定してください。

図 18.6-3 8 ビットプリスケーラ＋ 8 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCn1	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			◎	◎	◎	◎	◎	◎
PCn0	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	1	◎	◎	◎	×	×	×
PPSn1	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ n1 の PPG 出力周期を設定							
PPSn0	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ n0 の PPG 出力周期を設定							
PDSn1	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ n1 の PPG 出力デューティ比を設定							
PDSn0	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ n0 の PPG 出力デューティ比を設定							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	◎	◎
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	◎	◎

◎ : 使用ビット
0 : "0" に設定
1 : "1" に設定
× : 設定無効
* : 搭載するチャネル数によります。

■ 8 ビットプリスケーラ ＋ 8 ビット PPG モードの動作

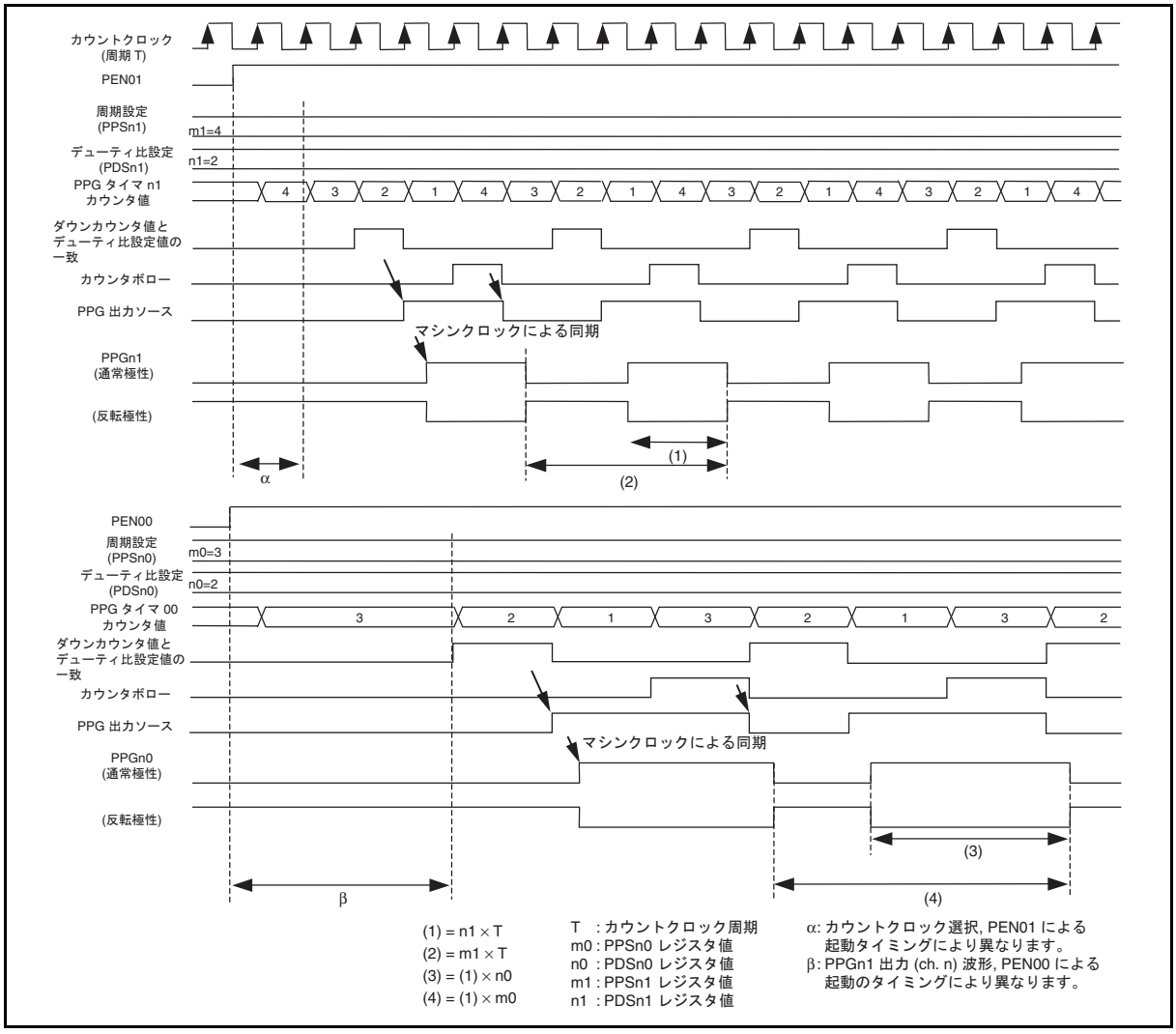
- 8/16 ビット PPG タイマ n0 制御レジスタ (PCn0) の動作モード選択ビット (MD[1:0]) を "0b01" に設定すると本モードとなります。PPG タイマ n1 を 8 ビットプリスケーラとして使用し , PPG タイマ n0 を 8 ビット PPG として使用します。
- 8 ビットプリスケーラ (PPG タイマ n1) は , PPG タイマ n1 (ch.0) ダウンカウンタ動作許可ビット (PEN01) を "1" に設定したとき , 8/16 ビット PPG タイマ n1 周期設定バッファレジスタ (PPS01) の値をロードしてダウンカウント動作を開始します。ダウンカウンタの値と 8/16 ビット PPG タイマ n1 デューティ比設定バッファレジスタ (PDSn1) の値が一致したとき , カウントクロックに同期して PPGn1 出力に "H" が設

定され , デューティ比設定値分 "H" を出力した後 , PPGn1 出力に "L" が設定されます。出力反転ビット (REV01) が "0" の場合 , PPG のパルス波がこのままの極性で PPG 端子に出力されます。REV01 が "1" に設定される場合 , PPG のパルス波は , 極性が反転されてから , PPGn1 端子に出力されます。

- 8 ビット PPG (PPG タイマ n0) は , PPG 動作許可ビット (PEN00) に "1" を設定したとき , 8/16 ビット PPG タイマ n0 周期設定バッファレジスタ (PPSn0) の値をロードしてダウンカウント動作を開始します (カウントクロックは PPG タイマ n1 が動作許可状態になった後の PPGn1 出力の両エッジ検出パルス) 。カウント値が "1" に達したとき , 再び PPSn0 レジスタの値をロードし , カウント動作を繰り返します。ダウンカウンタの値と 8/16 ビット PPG タイマ n0 デューティ設定バッファレジスタ (PDSn0) の値が一致したとき , カウントクロックに同期して PPGn0 出力を "H" に設定し , デューティ設定値分 "H" を出力した後 , PPGn0 出力を "L" にリセットします。出力反転ビット (REV00) が "0" の場合 , PPG のパルス波がこのままの極性で PPGn0 端子に出力されます。REV00 が "1" に設定される場合 , PPG のパルス波は , 極性が反転されてから , PPGn0 端子に出力されます。
- 8 ビットプリスケーラ (PPG タイマ n1) の出力のデューティは 50% となるように設定してください。
- PPG タイマ n0 を起動し , 8 ビットプリスケーラ (PPG タイマ n1) が停止している場合 , PPG タイマ n0 はカウント動作を行いません。
- 8 ビットプリスケーラ (PPG タイマ n1) のデューティ設定を 0% または 100% にした場合 , 8 ビットプリスケーラ (PPG タイマ n1) の出力はトグルしないため , PPG タイマ n0 はカウント動作を行いません。

図 18.6-4 に , 8 ビットプリスケーラ + 8 ビット PPG モードの動作を示します。

図 18.6-4 8 ビットプリスケーラ ＋ 8 ビット PPG モードの動作



18.6.3 16 ビット PPG モード

このモードでは , PPG タイマ n1 を上位 , PPG タイマ n0 を下位に割り当てることで 8/16 ビット PPG は 16 ビット PPG として動作します。

■ 16 ビット PPG モードの設定

8/16 ビット PPG を 16 ビット PPG モードで動作させるには , レジスタを図 18.6-5 のように設定してください。

図 18.6-5 16 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCn1	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			◎	◎	◎	◎	◎	◎
PCn0	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0/1	◎	◎	◎	◎	◎	◎
PPSn1	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ n1 の PPG 出力周期を設定 (上位 8 ビット)							
PPSn0	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ n0 の PPG 出力周期を設定 (下位 8 ビット)							
PDSn1	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ n1 の PPG 出力デューティ比を設定 (上位 8 ビット)							
PDSn0	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ n0 の PPG 出力デューティ比を設定 (下位 8 ビット)							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	×	◎
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	×	◎

◎ : 使用ビット
0 : "0 " に設定
1 : "1 " に設定
× : 設定無効
* : 搭載するチャネル数によります。

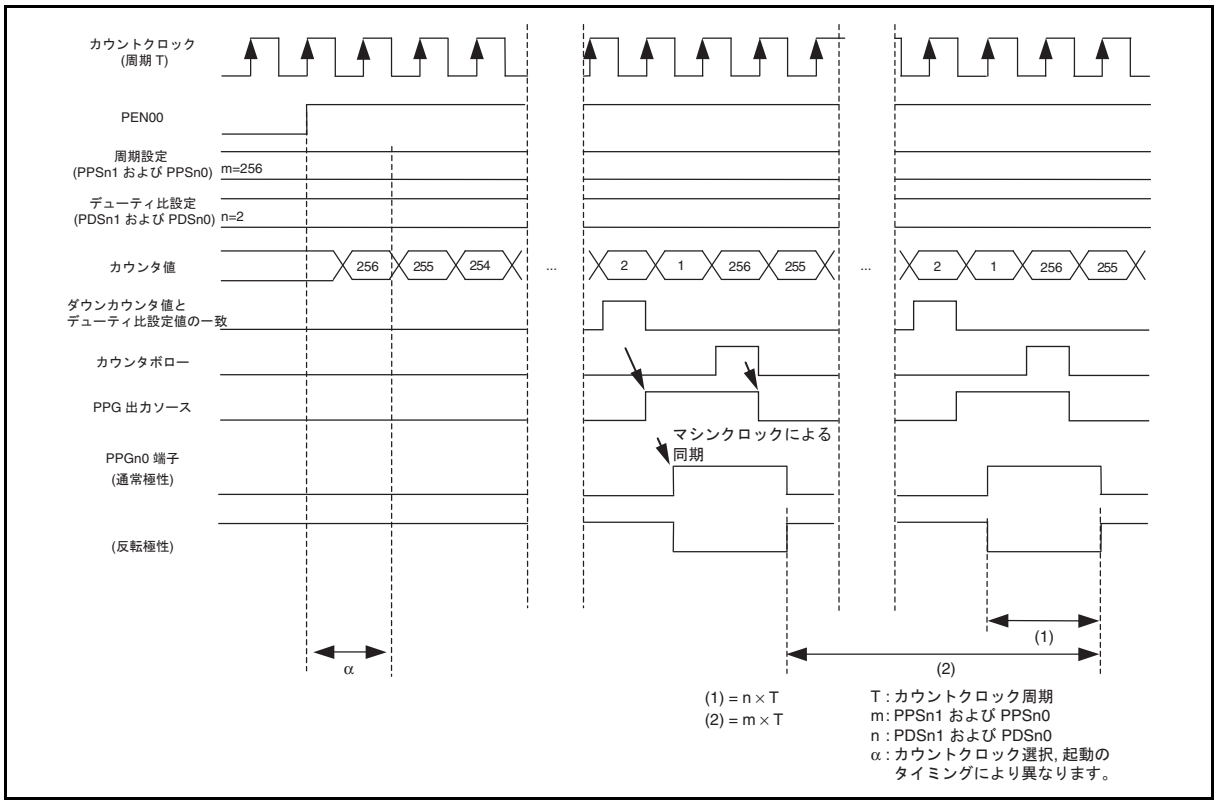
■ 16 ビット PPG モードの動作

- PPG タイマ n0 制御レジスタ (PCn0) の動作モード選択ビット (MD[1:0]) を "0b10" または "0b11" に設定すると本モードとなります。
- 16 ビット PPG モードの場合 , 8 ビットダウンカウンタ (PPG タイマ n0) と 8 ビットダウンカウンタ (PPG タイマ n1) は , PPG 動作許可ビット (PEN00) を "1" に設定した場合 , 8/16 ビット PPG タイマ n0/n1 周期設定バッファレジスタ (PPG タイマ n1 には PPSn1, PPG タイマ n0 には PPSn0) の値をロードして , ダウンカウント動作を開始します。カウント値が "1" に達したとき , 再び周期設定レジスタの値がロードされ , カウント動作が繰り返されます。
- ダウンカウンタの値と 8/16 ビット PPG タイマデューティ設定バッファレジスタの

値が (PPG タイマ n1 は PDS01, PPG タイマ n0 は PDSn0 の値がともに) 一致したとき , カウントクロックに同期して PPGn0 端子に "H" を設定し , デューティ設定値分 "H" を出力した後 , PPGn0 端子を "L" に設定します。出力反転ビット (REV00) が "0" の場合 , PPG のパルス波がこのままの極性で PPGn0 端子に出力されます。REV00 が "1" に設定される場合 , PPG のパルス波は , 極性が反転されてから , PPGn0 端子 に出力されます。

図 18.6-6 に , 16 ビット PPG モードの動作を示します。

図 18.6-6 16 ビット PPG モードの動作



■ 設定手順例

以下に , 8/16 ビット PPG の設定手順例を示します。

● 初期設定

1. ポートの出力を設定してください (DDR)。
2. 割込みレベルを設定してください (ILR*)。
3. 動作クロック選択 , 出力許可および割込み許可を行ってください (PCn1)。
4. 動作クロック選択 , 出力許可 , 割込み許可および動作モード選択を行ってください (PCn0)。
5. 周期を設定してください (PPS)。
6. デューティを設定してください (PDS)。
7. 8/16 ビット PPG 出力反転レジスタを設定してください (REVC)。
8. 8/16 ビット PPG を起動してください (PPGS)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■割込み要因のテーブル」を参照してください。

● 割込み処理

1. 任意の割込み処理を行ってください。
2. 割込み要求フラグをクリアしてください (PCn1:PUF1, PCn0:PUF0)。
3. 8/16 ビット PPG を起動してください (PPGS)。

18.7 レジスタ

8/16 ビット PPG のレジスタについて説明します。

表 18.7-1 8/16 ビット PPG のレジスター一覧

レジスタ略称	レジスタ名	参照先
PCn1	8/16 ビット PPG タイマ n1 制御レジスタ	18.7.1
PCn0	8/16 ビット PPG タイマ n0 制御レジスタ	18.7.2
PPSn1	8/16 ビット PPG タイマ n1 周期設定バッファレジスタ	18.7.3
PPSn0	8/16 ビット PPG タイマ n0 周期設定バッファレジスタ	18.7.3
PDSn1	8/16 ビット PPG タイマ n1 デューティ設定バッファレジスタ	18.7.4
PDSn0	8/16 ビット PPG タイマ n0 デューティ設定バッファレジスタ	18.7.4
PPGS	8/16 ビット PPG 起動レジスタ	18.7.5
REVC	8/16 ビット PPG 出力反転レジスタ	18.7.6

18.7.1 8/16 ビット PPG タイマ n1 制御レジスタ (PCn1)

8/16 ビット PPG タイマ n1 制御レジスタ (PCn1) は PPG タイマ n1 側の動作条件を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] PIE1: 割込み要求許可ビット
このビットは PPG タイマ n1 の割込みを許可または禁止します。
カウンタボロー検出ビット (PUF1) が "1" で , かつ PIE1 ビットが "1" の場合 , 割込み要求 (IRQ) が出力されます。

bit5	説明
"0" を書き込んだ場合	PPG タイマ n1 割込みを禁止します。
"1" を書き込んだ場合	PPG タイマ n1 割込みを許可します。

[bit4] PUF1: PPG 周期ダウンカウンタのカウンタボロー検出フラグビット
このビットは PPG タイマ n1 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。
8 ビット PPG 独立モードまたは 8 ビットプリスケーラ + 8 ビット PPG モードでカウンタボローが発生した場合 , このビットは "1" となります。
16 ビット PPG モードで , カウンタボローが発生してもこのビットは "1" になりません。
このビットへの "1" の書込みは 動作に影響を与えません。"0" の書込みはこのビットをクリアします。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit4	説明
"0" が読み出された場合	PPG タイマ n1 のカウンタボローが検出されていないことを示します。
"1" が読み出された場合	PPG タイマ n1 のカウンタボローが検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit3] POEN1: 出力許可ビット
このビットは PPG タイマ n1 の端子の出力を許可または禁止します。
16 ビット PPG モードでこのビットに "1" を書き込んだ場合 , PPG タイマ n1 端子は出力固定となります (REV01 の設定値が出力されます。REV01= 0 の場合は "L" が 出力されます。)。

bit3	説明
"0" を書き込んだ場合	PPG タイマ n1 端子は汎用ポートとして機能します。
"1" を書き込んだ場合	PPG タイマ n1 端子は PPG 出力端子として機能します。

[bit2:0] CKS1[2:0]: 動作クロック選択ビット

これらのビットは 8 ビットダウンカウンタ PPG タイマ n1 の動作クロックを選択します。
動作クロックはプリスケーラにより生成されます。詳細は ,「3.9 プリスケーラの動作」を参照してください。
16 ビット PPG モードでは , これらのビットの設定は動作に関係ありません。

bit2:0	説明 (MCLK: マシンクロック , F_{CH}: メインクロック , F_{CRH}: メイン CR クロック , F_{PLL}: PLL クロック)
"000" を書き込んだ場合	1 MCLK
"001" を書き込んだ場合	MCLK/2
"010" を書き込んだ場合	MCLK/4
"011" を書き込んだ場合	MCLK/8
"100" を書き込んだ場合	MCLK/16
"101" を書き込んだ場合	MCLK/32
"110" を書き込んだ場合	$F_{CH}/2^7$ または $F_{CRH}/2^6$ または $F_{PLL}/2^6$
"111" を書き込んだ場合	$F_{CH}/2^8$ または $F_{CRH}/2^7$ または $F_{PLL}/2^7$

(注意事項) サブクロックモードまたはサブ CR クロックモードで , タイムベースタイマが停止しているため , CKS1[2:0] ビットを "0b110" または "0b111" に設定することは禁止されます。

18.7.2 8/16 ビット PPG タイマ n0 制御レジスタ (PCn0)

8/16 ビット PPG タイマ n0 制御レジスタ (PCn0) は PPG タイマ n0 側の動作条件と動作モードを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] MD[1:0]: 動作モード選択ビット

これらのビットは 8/16 ビット PPG の動作モードを選択します。

カウント動作中には , これらのビットの設定を変更しないでください。

bit7:6	説明
"00" を書き込んだ場合	8 ビット PPG 独立モード
"01" を書き込んだ場合	8 ビットプリスケーラ + 8 ビット PPG モード
"10" を書き込んだ場合	16 ビット PPG モード
"11" を書き込んだ場合	

[bit5] PIE0: 割込み要求許可ビット

このビットは PPG タイマ n0 の割込みを許可または禁止します。

16 ビット PPG モードでは , このビットを使って 8/16 ビット PPG の割込み要求を制御してください。

カウンタボロー検出ビット (PUF0) が "1" で , かつ PIE0 ビットが "1" の場合 , 割込み要求 (IRQ) が出力されます。

bit5	説明
"0" を書き込んだ場合	PPG タイマ n0 割込みを禁止します。
"1" を書き込んだ場合	PPG タイマ n0 割込みを許可します。

[bit4] PUF0: PPG 周期ダウンカウンタのカウンタボロー検出フラグビット

このビットは PPG タイマ n0 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。

16 ビット PPG モードでは , PUF0 ビットのみが有効な PPG 周期ダウンカウンタのカウンタボロー検出フラグで , PCn1 レジスタの PUF1 ビットは無効です。

(注意事項) 8 ビット PPG モードまたは 8 ビットプリスケーラ + 8 ビット PPG モードでは , カウンタボロー検出は常に許可されます。

このビットへの "1" の書込みは 動作に影響を与えません。"0" の書込みはこのビットをクリアします。

リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit4	説明
"0" が読み出された場合	PPG タイマ n0 のカウンタボローが検出されていないことを示します。
"1" が読み出された場合	PPG タイマ n0 のカウンタボローが検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit3] POEN0: 出力許可ビット

このビットは PPG タイマ n0 端子の出力を許可または禁止します。
16 ビット PPG モードでは , 8/16 ビット PPG が PPG タイマ n0 端子よりパルス波を出力するため , POEN0 ビットは 8/16 ビット PPG の出力を制御します。

bit3	説明
"0" を書き込んだ場合	PPG タイマ n0 端子は汎用ポートとして機能します。
"1" を書き込んだ場合	PPG タイマ n0 端子は PPG 出力端子として機能します。

[bit2:0] CKS0[2:0]: 動作クロック選択ビット

これらのビットは 8 ビットダウンカウンタ PPG タイマ n0 の動作クロックを選択します。
動作クロックはプリスケーラにより生成されます。詳細は ,「3.9 プリスケーラの動作」を参照してください。
8 ビットプリスケーラ + 8 ビット PPG モードでは , PPG タイマ n0 のカウント動作クロックは PPG タイマ n1 の PPG 出力の両エッジ検出パルスとなります。そのため , 本ビットの設定は動作に関係ありません。
16 ビット PPG モードでは , 動作クロックを選択するにはこれらのビットを使ってください。

bit2:0	説明 (MCLK: マシンクロック , F_{CH}: メインクロック , F_{CRH}: メイン CR クロック , F_{PLL}: PLL クロック)
"000" を書き込んだ場合	1 MCLK
"001" を書き込んだ場合	MCLK/2
"010" を書き込んだ場合	MCLK/4
"011" を書き込んだ場合	MCLK/8
"100" を書き込んだ場合	MCLK/16
"101" を書き込んだ場合	MCLK/32
"110" を書き込んだ場合	$F_{CH}/2^7$ または $F_{CRH}/2^6$ または $F_{PLL}/2^6$
"111" を書き込んだ場合	$F_{CH}/2^8$ または $F_{CRH}/2^7$ または $F_{PLL}/2^7$

(注意事項) サブクロックモードまたはサブ CR クロックモードで , タイムベースタイマが停止しているため , CKS0[2:0] ビットを "0b110" または "0b111" に設定することは禁止されます。

18.7.3 8/16 ビット PPG タイマ n1/n0 周期設定バッファレジスタ (PPSn1/PPSn0)

8/16 ビット PPG タイマ n1/n0 周期設定バッファレジスタ (PPSn1/PPSn0) は PPG 出力の周期を設定します。

■ レジスタ構成

PPSn1

bit	7	6	5	4	3	2	1	0
Field	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

PPSn0

bit	7	6	5	4	3	2	1	0
Field	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

■ レジスタ機能

PPSn1 レジスタと PPSn0 レジスタは PPG 出力周期を設定します。

- 16 ビット PPG モードの場合 , PPSn1 が上位 8 ビット , PPSn0 が下位 8 ビットです。
- 16 ビット PPG モードの場合 , 上位 , 下位の順番に書き込んでください。上位のみの書込みの場合は前回の書込み値が次のロードで再度使用されます。
- 8 ビットモード: 周期は最大 255 (0xFF) × 入力クロックの周期となります。
- 16 ビットモード: 周期は最大 65535 (0xFFFF) × 入力クロックの周期となります。
- リセットで初期化されます。
- 8 ビット PPG 独立モードまたは 8 ビットプリスケーラモード + 8 ビット PPG モードで使用する場合 , 周期を "0x00" または "0x01" に設定しないでください。
- 16 ビット PPG モードで使用する場合 , 周期を "0x0000" または "0x0001" に設定しないでください。
- 動作中に周期設定を変更した場合, 次の PPG 周期から変更した設定が有効となります。

18.7.4 8/16 ビット PPG タイマ n1/n0 デューティ設定バッファレジスタ (PDSn1/PDSn0)

8/16 ビット PPG タイマ n1/n0 デューティ設定バッファレジスタ (PDSn1/PDSn0) は PPG 出力のデューティを設定します。

■ レジスタ構成

PDSn1

bit	7	6	5	4	3	2	1	0
Field	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

PDSn0

bit	7	6	5	4	3	2	1	0
Field	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

■ レジスタ機能

PDSn1 レジスタと PDSn0 レジスタは PPG 出力のデューティ (通常極性の場合は "H" パルス幅) を設定します。

- 16 ビット PPG モードの場合 , PDSn1 が上位 8 ビット , PDSn0 が下位 8 ビットです。
- 16 ビット PPG モードの場合 , 上位 , 下位の順番に書き込んでください。上位のみの書込みの場合は前回の書込み値が次のロードで再度使用されます。PDSn0 の書込みにより PDSn1 も反映されます。
- リセットで初期化されます。
- デューティを 0% にする場合は , "0x00" を設定してください。
- デューティを 100% にする場合は , 8/16 ビット PPG タイマ n1/n0 周期設定バッファレジスタ (PPSn0, PPSn1) と同じ値を設定してください。
- 8/16 ビット PPG タイマ n1/n0 デューティ設定バッファレジスタ (PDS) に 8/16 ビット PPG 周期設定バッファレジスタ (PPS) の設定値より大きな値を設定すると , PPG 出力は通常極性 (8/16 ビット PPG 出力反転レジスタの出力レベル反転ビットが "0" の場合) で "L" 出力になります。
- 動作中にデューティ設定を変更した場合 , 次の PPG 周期から変更した値が有効となります。

18.7.5 8/16 ビット PPG 起動レジスタ (PPGS)

8/16 ビット PPG 起動レジスタ (PPGS) は , ダウンカウンタを起動または停止します。各チャネルの動作許可ビットが PPGS レジスタに配置されているため , PPG 各チャネルの同時起動が可能です。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	PEN21*	PEN20*	PEN11*	PEN10*	PEN01	PEN00
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

*: 品種によって 8/16 ビット PPG のチャネル数が異なるため , 一部の品種ではこれらのビットが未定義ビットになることがあります。チャネル数に関しては , デバイスのデータシートを参照してください。

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] PEN21: PPG タイマ 21 (ch. 2) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 21 (ch. 2) ダウンカウンタ動作を許可または停止します。

bit5	説明
"0" を書き込んだ場合	PPG タイマ 21 (ch. 2) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 21 (ch. 2) ダウンカウンタ動作を許可します。

[bit4] PEN20: PPG タイマ 20 (ch. 2) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 20 (ch. 2) ダウンカウンタ動作を許可または停止します。

bit4	説明
"0" を書き込んだ場合	PPG タイマ 20 (ch. 2) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 20 (ch. 2) ダウンカウンタ動作を許可します。

[bit3] PEN11: PPG タイマ 11 (ch. 1) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 11 (ch. 1) ダウンカウンタ動作を許可または停止します。

bit3	説明
"0" を書き込んだ場合	PPG タイマ 11 (ch. 1) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 11 (ch. 1) ダウンカウンタ動作を許可します。

[bit2] PEN10: PPG タイマ 10 (ch. 1) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 10 (ch. 1) ダウンカウンタ動作を許可または停止します。

bit2	説明
"0" を書き込んだ場合	PPG タイマ 10 (ch. 1) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 10 (ch. 1) ダウンカウンタ動作を許可します。

[bit1] PEN01: PPG タイマ 01 (ch. 0) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 01 (ch. 0) ダウンカウンタ動作を許可または停止します。

bit1	説明
"0" を書き込んだ場合	PPG タイマ 01 (ch. 0) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 01 (ch. 0) ダウンカウンタ動作を許可します。

[bit0] PEN00: PPG タイマ 00 (ch. 0) ダウンカウンタ動作許可ビット
このビットは PPG タイマ 00 (ch. 0) ダウンカウンタ動作を許可または停止します。

bit0	説明
"0" を書き込んだ場合	PPG タイマ 00 (ch. 0) ダウンカウンタ動作を停止します。
"1" を書き込んだ場合	PPG タイマ 00 (ch. 0) ダウンカウンタ動作を許可します。

18.7.6 8/16 ビット PPG 出力反転レジスタ (REVC)

8/16 ビット PPG 出力反転レジスタ (REVC) は PPG 出力を初期レベルも含めて反転させます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	REV21*	REV20*	REV11*	REV10*	REV01	REV00
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

*: 品種によって 8/16 ビット PPG のチャネル数が異なるため , 一部の品種ではこれらのビットが未定義ビットになることがあります。チャネル数に関しては , デバイスのデータシートを参照してください。

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] REV21: PPG タイマ 21 (ch. 2) 出力レベル反転ビット
このビットは PPG タイマ 21 (ch. 2) 出力レベルの極性を選択します。

bit5	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

[bit4] REV20: PPG タイマ 20 (ch. 2) 出力レベル反転ビット
このビットは PPG タイマ 20 (ch. 2) 出力レベルの極性を選択します。

bit4	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

[bit3] REV11: PPG タイマ 11 (ch. 1) 出力レベル反転ビット
このビットは PPG タイマ 11 (ch. 1) 出力レベルの極性を選択します。

bit3	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

[bit2] REV10: PPG タイマ 10 (ch. 1) 出力レベル反転ビット
このビットは PPG タイマ 10 (ch. 1) 出力レベルの極性を選択します。

bit2	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

[bit1] REV01: PPG タイマ 01 (ch. 0) 出力レベル反転ビット
このビットは PPG タイマ 01 (ch. 0) 出力レベルの極性を選択します。

bit1	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

[bit0] REV00: PPG タイマ 00 (ch. 0) 出力レベル反転ビット
このビットは PPG タイマ 00 (ch. 0) 出力レベルの極性を選択します。

bit0	説明
"0" を書き込んだ場合	通常極性を選択します。
"1" を書き込んだ場合	反転極性を選択します。

18.8 使用上の注意

8/16 ビット PPG 使用上の注意を示します。

■ 8/16 ビット PPG 使用上の注意

- 動作上の注意

  PPG の起動時とカウントクロックのタイミングによって , 起動後 1 周期目の PPG 出力の周期に誤差が生じることがあります。また , その誤差はカウントクロックの選択により異なります。2 周期目以降は正常に出力されます。

- 割込みに関する注意

  割込み許可ビット (PIE1/PIE0) に "1" を設定している場合 , 8/16 ビット PPG タイマ n1/n0 制御レジスタ (PCn1/PCn0) の割込み要求フラグビット (PUF1/PUF0) が "1" に設定されると , PPG 割込みが発生します。割込みサービスルーチン内では , 割込み要求フラグビット (PUF1/PUF0) は必ず "0" にクリアしてください。

第 19 章

16 ビットリロードタイマ

16 ビットリロードタイマの機能と動作について説明します。

19.1 概要
19.2 構成
19.3 チャネル
19.4 端子
19.5 割込み
19.6 動作説明と設定手順例
19.7 レジスタ
19.8 使用上の注意

19.1 概要

16ビットリロードタイマは, 2 つのクロックモードにおいて 2 つのカウンタ動作モードが選択できます。
16 ビットリロードタイマのアンダフローが発生した場合に割込みを発生させることにより , インターバルタイマとして利用できます。

■ 16 ビットリロードタイマの動作モード

16 ビットリロードタイマの動作モードを表 19.1-1 に示します。

表 19.1-1 16 ビットリロードタイマの動作モード

クロックモード	カウンタ動作モード	トリガ動作モード
内部クロックモード	リロードモード	ソフトウェアトリガ動作 外部トリガ入力動作 外部ゲート入力動作
	ワンショットモード	
イベントカウントモード (外部クロックモード)	リロードモード	ソフトウェアトリガ動作
	ワンショットモード	

■ 内部クロックモード

16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n (TMCSRHn) のカウントクロック設定ビット (CSL[2:0]) に "0b111" 以外を設定した場合は, 内部クロックモードになります。

内部クロックモード時には , 以下の 3 種類のトリガ動作モードを選択できます。

● ソフトウェアトリガ動作

16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のカウント許可ビット (CNTE) に "1" が設定されている場合に , ソフトウェアトリガビット (TRG) を "1" に設定すると , カウントを開始します。

● 外部トリガ入力動作

16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のカウント許可ビット (CNTE) に "1" が設定されている場合に, 動作モード選択ビット (MOD[2:0]) によって設定されている有効エッジ (立上り , 立下り , 両エッジから設定可能) が TIn 端子へ入力されると , カウントを開始します。

● 外部ゲート入力動作

16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のカウント許可ビット (CNTE) に "1" が設定されている場合に , 動作モード選択ビット (MOD[2:0]) によって設定されている有効なトリガ入力レベル ("L" または "H" を設定可能) が TIn 端子へ入力されると , カウントを開始します。

■ イベントカウントモード (外部クロックモード)

16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n (TMCSRHn) のカウントクロック設定ビット (CSL[2:0]) に "0b111" を設定した場合に , 動作モード選択ビット (MOD[2:0]) によって設定されているトリガ入力の有効エッジ (立上り , 立下り , 両エッジから設定可能) が TIn 端子へ入力されると , カウントを開始します。一定周期の外部

クロックを入力する場合は , インターバルタイマとしても使用できます。

■ カウンタ動作モード

- リロードモード

  16 ビットダウンカウンタでアンダフロー ("0x0000"→"0xFFFF") により , 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) の値を 16 ビットダウンカウンタへロードし , カウントを継続します。また , アンダフローにより割込み要求が出力されるため , インターバルタイマとして使用できます。

- ワンショットモード

  16 ビットダウンカウンタでアンダフローが発生した場合に割込みが生成されます。

  カウンタ動作中 , カウンタが進行中であることを示す矩形波が TOn 端子から出力されます。

19.2 構成

16 ビットリロードタイマは , 以下のブロックで構成されます。

- **カウントクロック生成回路**
- **リロード制御回路**
- **出力制御回路**
- **動作制御回路**
- **16 ビットリロードタイマタイマレジスタ ch. n (TMRHn, TMRLn)**
- **16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn, TMRLRLn)**
- **16 ビットリロードタイマ制御ステータスレジスタ ch. n (TMCSRHn, TMCSRLn)**

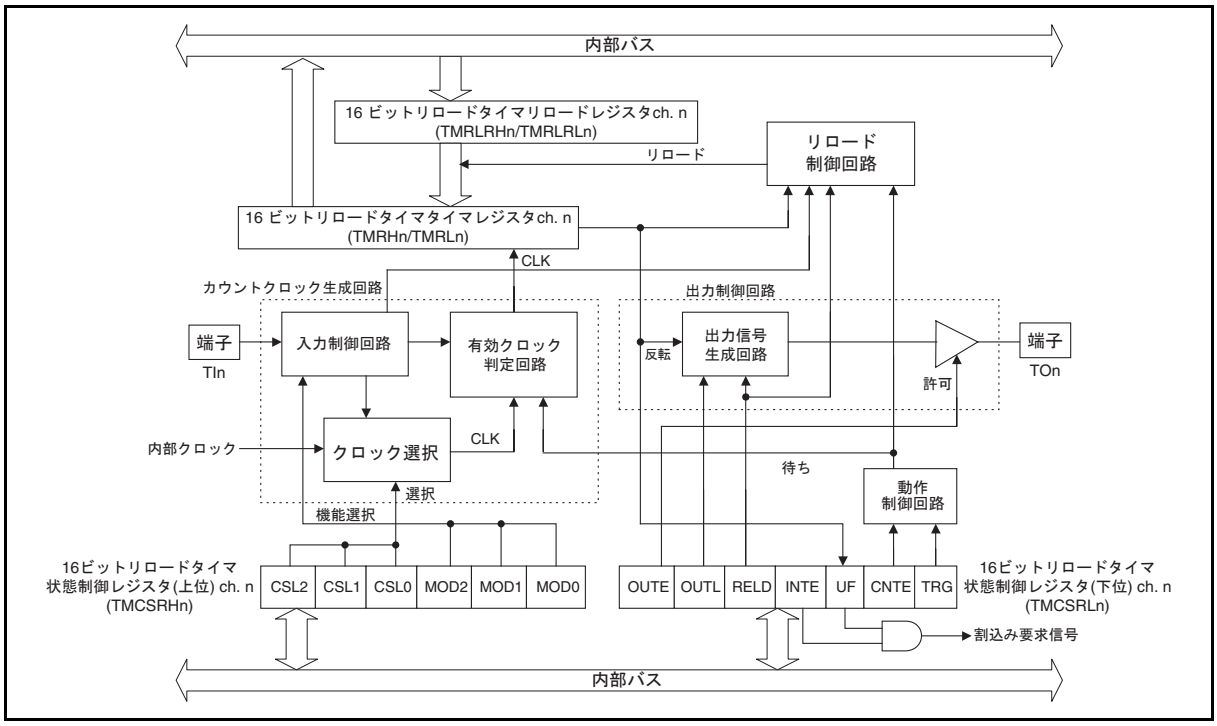
品種により , 16 ビットリロードタイマの端子数およびチャネル数は異なります。 詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ 16 ビットリロードタイマのブロックダイヤグラム

16 ビットリロードタイマのブロックダイヤグラムを図 19.2-1 に示します。

図 19.2-1 16 ビットリロードタイマのブロックダイヤグラム



- **カウントクロック生成回路**

  内部クロックまたは TIn 端子の入力信号から 16 ビットリロードタイマ用のカウントクロックを生成します。

- **リロード制御回路**

  タイマ起動またはアンダフロー発生時にリロード動作を制御します。

- **出力制御回路**

  16 ビットダウンカウンタのアンダフローによる TOn 端子出力の反転制御と , TOn 端子出力の許可 / 禁止を制御します。

- **動作制御回路**

  16 ビットダウンカウンタの起動 / 停止を制御します。

- **16 ビットリロードタイマタイマレジスタ (上位 / 下位) ch. n (TMRHn/TMRLn)**

  TMRHn と TMRLn が 16 ビットダウンカウンタを形成します。このレジスタの読出しは , 現在のカウンタ値となります。

- **16 ビットリロードタイマリロードレジスタ (上位 / 下位) ch. n (TMRLRHn/TMRLRLn)**

  16 ビットダウンカウンタへのロード値を設定するレジスタです。16 ビットリロードタイマリロードレジスタの設定値を 16 ビットダウンカウンタにロードし , ダウンカウントします。

- **16ビットリロードタイマ制御ステータスレジスタ(上位/下位) ch. n (TMCSRHn/TMCSRLn)**

  このレジスタは 16 ビットリロードタイマのカウントクロック , 動作モード , クロック選択 , 割込みなどを制御するとともに , 現在の動作状態を示します。

■ 入力クロック

16 ビットリロードタイマは , プリスケーラからの出力クロックまたは TIn 端子からの入力信号を入力クロック (カウントクロック) として使用します。

イベントカウンタモード時にイベントカウンタが起動すると , TIn 端子からの外部クロック入力は 8/16 ビット複合タイマ ch. 1 の PWM 出力信号によってゲート制御され , カウントクロックとして 16 ビットリロードタイマへ入力されます。詳細については , 「第 20 章 イベントカウンタ」を参照してください。

19.3 チャネル

16 ビットリロードタイマのチャネルについて説明します。

■ 16 ビットリロードタイマのチャネル

16 ビットリロードタイマの端子とレジスタを表 19.3-1 および表 19.3-2 にそれぞれ示します。

表 19.3-1 16 ビットリロードタイマの端子

端子名	端子機能
TOn	タイマ出力
TIn	タイマ入力

表 19.3-2 16 ビットリロードタイマのレジスタ

レジスタ略称	該当レジスタ (本マニュアル上の表記)
TMCSRHn	16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n
TMCSRLn	16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n
TMRHn	16 ビットリロードタイマタイマレジスタ (上位) ch. n
TMRLn	16 ビットリロードタイマタイマレジスタ (下位) ch. n
TMRLRHn	16 ビットリロードタイマリロードレジスタ (上位) ch. n
TMRLRLn	16 ビットリロードタイマリロードレジスタ (下位) ch. n

19.4 端子

16 ビットリロードタイマの端子について説明します。

■ 16 ビットリロードタイマの端子

16 ビットリロードタイマの端子は TIn 端子と TOn 端子 です。

- TIn 端子

この端子は , 汎用入出力ポートおよびカウンタに対する外部パルス入力端子 (TIn) として使用されます。

TIn: カウンタ動作時にこの端子に入力されたパルスの任意エッジをカウントします。カウンタ動作で TIn 端子として使用するときは , ポート方向レジスタ (DDR) を "0" に設定して入力ポートにしてください。

- TOn 端子

この端子は , 汎用入出力ポートおよび 16 ビットリロードタイマの出力端子 (TOn) として使用されます。

TOn: 16 ビットリロードタイマの波形が出力されます。

この端子を 16 ビットリロードタイマの TOn 端子として使用するとき , タイマ出力を許可 (TMCSRLn:OUTE = 1) すると , ポート方向レジスタ (DDR) の設定にかかわらず自動的に出力が実行され , 端子はタイマ出力の TOn 端子としての機能をします。

19.5 割込み

16 ビットリロードタイマは , 16 ビットダウンカウンタでのアンダフロー発生時に割込み要求を出力します。

■ 16 ビットリロードタイマの割込み

16 ビットリロードタイマの割込み制御ビットと割込み要因を表 19.5-1 に示します。

表 19.5-1 16 ビットリロードタイマの割込み制御ビットと割込み要因

項目	説明
割込み要求フラグビット	TMCSRLn レジスタの UF ビット
割込み要求許可ビット	TMCSRLn レジスタの INTE ビット
割込み要因	ダウンカウンタ ch. n (TMRHn/TMRLn) のアンダフロー

16 ビットリロードタイマは , 16 ビットダウンカウンタにアンダフローが発生すると ("0x0000"→"0xFFFF"), 16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のアンダフロー割込み要求フラグビット (UF) を "1" に設定します。アンダフロー割込み要求許可ビットが許可 (INTE = 1) に設定されている場合 , 割込み要求が割込みコントローラに出力されます。

19.6 動作説明と設定手順例

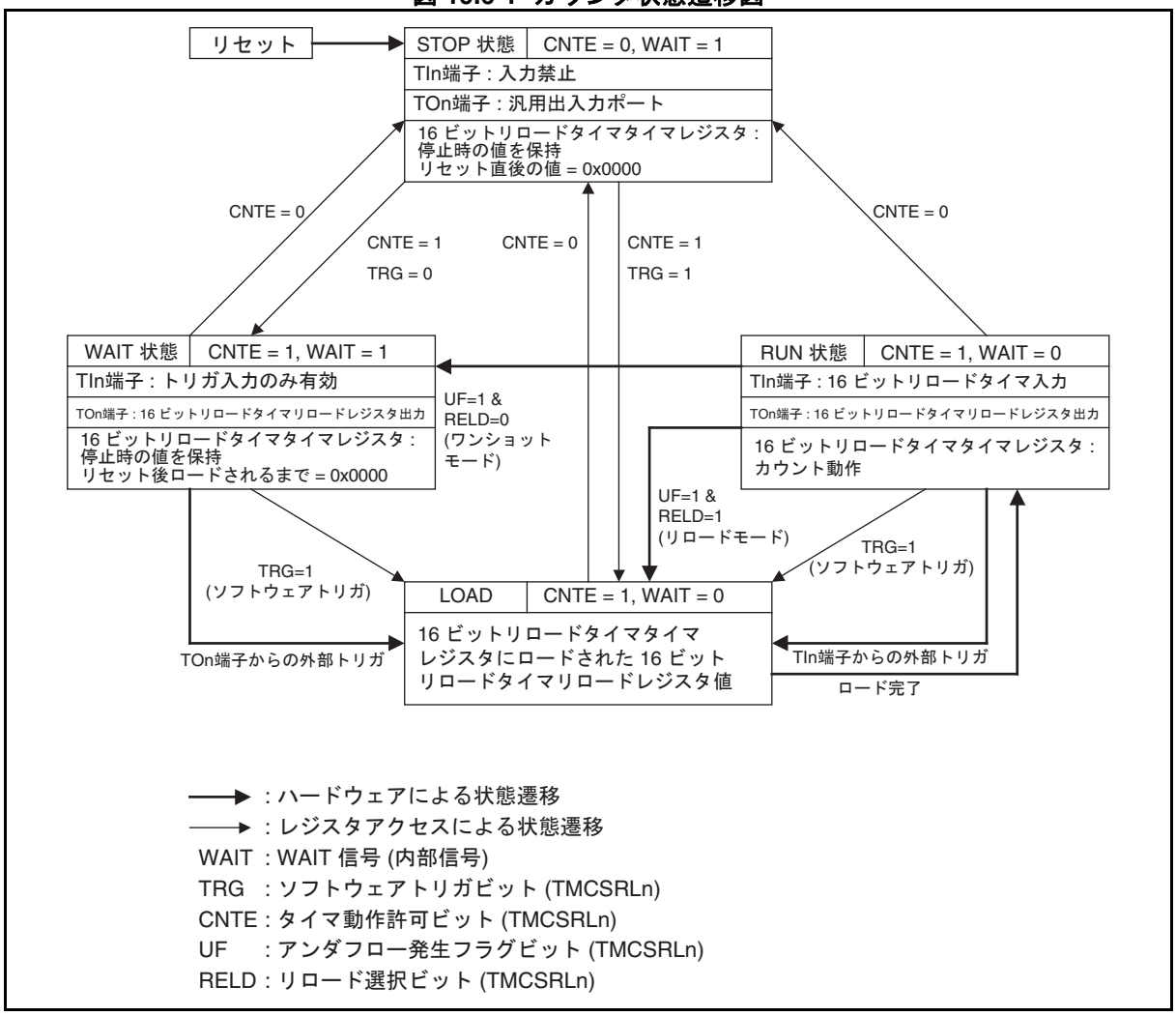
16 ビットリロードタイマカウンタの動作状態について説明します。

■ カウンタの動作状態

カウンタの状態は, 16 ビットリロードタイマ制御ステータスレジスタ ch. n (TMCSRLn) のカウント許可ビット (CNTE) の値と内部信号の起動トリガ待ち信号値 (WAIT) で決まります。STOP 状態 (停止状態), WAIT 状態 (起動トリガ待ち状態) および RUN 状態 (動作状態) の設定が可能です。

これらのカウンタの状態遷移を図 19.6-1 に示します。

図 19.6-1 カウンタ状態遷移図



■ 設定手順例

16 ビットリロードタイマの設定手順例を示します。

● 初期設定

1. 割込みレベルを設定してください (ILR*)。
2. リロード値を設定してください (TMRHn/TMRLn)。
3. クロックを選択してください (TMCSRHn:CSL[2:0])。
4. 動作モードを選択してください (TMCSRHn:MOD[2:0])。
5. 出力を許可してください (TMCSRLn:OUTE = 1)。
6. 出力レベルを選択してください (TMCSRLn:OUTL)。
7. リロードを選択してください (TMCSRLn:RELD)。
8. カウントを許可してください (TMCSRLn:CNTE = 1)。
9. ソフトウェアトリガを実行してください (TMCSRLn:TRG = 1)。
10. アンダフロー割込みを許可 してください (TMCSRLn:INTE = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■割込み要因のテーブル」を参照してください。

● 割込み処理

1. アンダフロー割込み要求フラグをクリアしてください (TMCSRLn:UF=0)。
2. アンダフロー割込みを禁止してください (TMCSRLn:INTE = 0)。
3. 任意の割込み処理を行ってください。
4. アンダフロー割込みを許可してください (TMCSRLn:INTE = 1)。

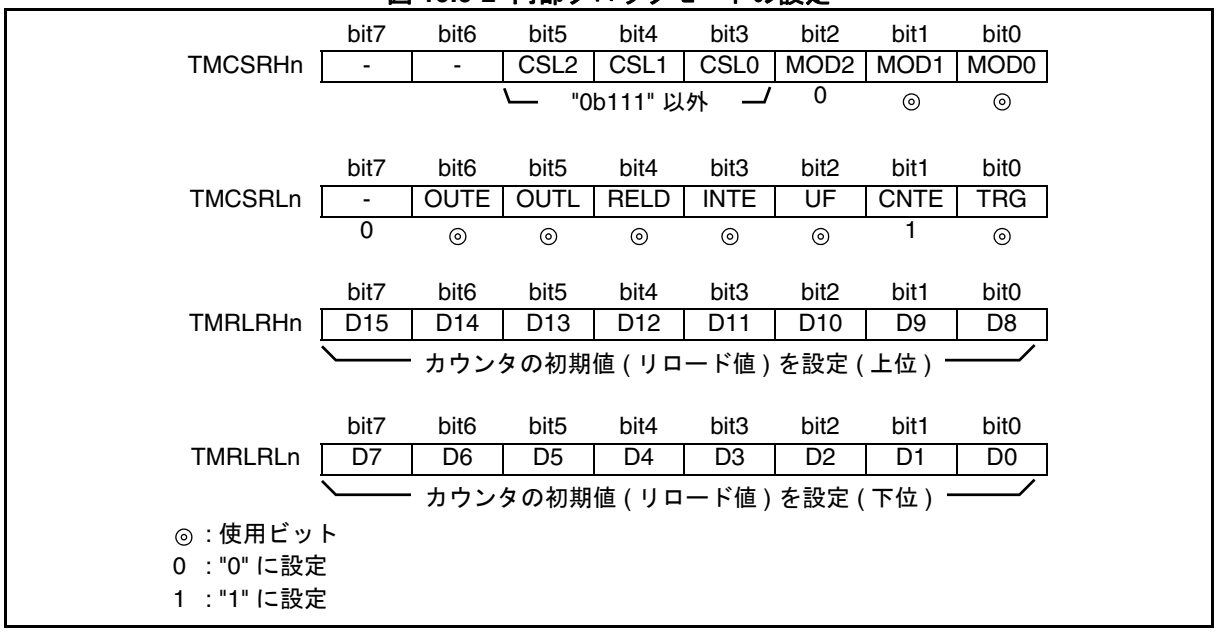
19.6.1 内部クロックモード

このモードでは, 16ビットダウンカウンタは内部カウントクロックと同期している間カウントダウンし , アンダフローが発生 ("0x0000"→"0xFFFF") するたびに割込み要求を割込みコントローラに出力します。また , TOn 端子はトグル波形を出力できます。

■ 内部クロックモードの設定

インターバルタイマとして動作させるには , レジスタを図 19.6-2 のように設定してください。

図 19.6-2 内部クロックモードの設定



■ 内部クロックモード (リロードモード) の動作

カウント許可ビット (CNTE) に "1" を設定してカウントを許可している場合 , ソフトウェアトリガビット (TRG) に "1" を設定するかまたは外部トリガによってタイマが開始されると , 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) に設定した値が 16 ビットダウンカウンタにリロードされ , ダウンカウントが開始されます。カウント許可ビット (CNTE) とソフトウェアトリガビット (TRG) を同時に "1" に設定し , カウント動作を許可すると , 同時にカウントを開始します。

リロード選択ビット (RELD) が "1" の場合 , 16 ビットカウンタでアンダフローが発生すると("0x0000"→"0xFFFF"),16ビットリロードタイマリロードレジスタch. n (TMRLRHn/TMRLRLn) の値が 16 ビットダウンカウンタにリロードされ , カウントが継続します。アンダフロー割込み要求フラグビット (UF) が "1" の場合 , アンダフロー割込み要求許可ビット (INTE) を "1" に設定すると , 割込み要求が出力されます。

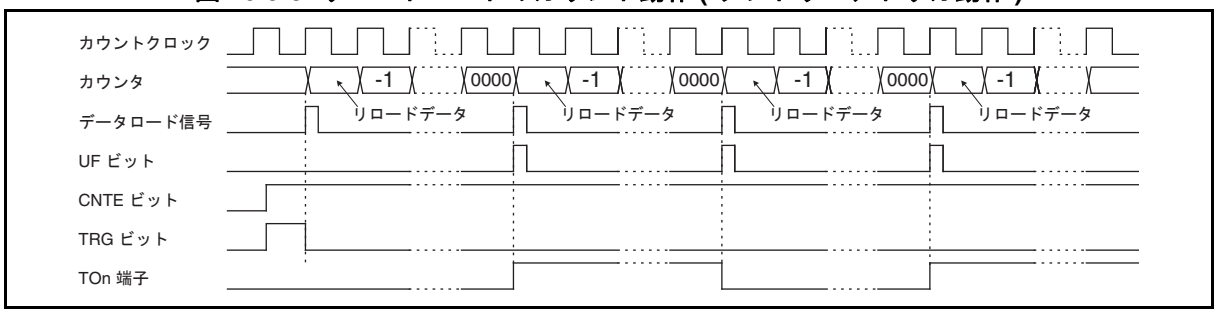
TOn 端子は , アンダフローの発生ごとに反転するトグル波形を出力できます。

● ソフトウェアトリガ動作

カウント許可ビット (CNTE) の設定が "1" の場合に , ソフトウェアトリガビット (TRG) に "1" を設定すると , カウントを開始します。

リロードモードにおけるソフトウェアトリガ動作を図 19.6-3 に示します。

図 19.6-3 リロードモードのカウント動作 (ソフトウェアトリガ動作)



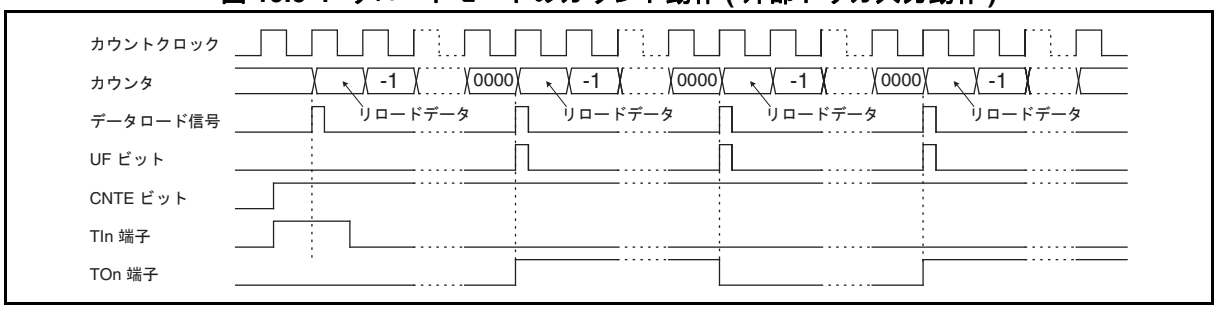
● 外部トリガ入力動作

カウント許可ビット (CNTE) の設定が "1" の場合に, 動作モード選択ビット (MOD[2:0]) で設定しているトリガ入力の有効エッジ (立上り , 立下り , 両エッジから選択可能) が TIn 端子に入力されると , カウントを開始します。

なお, ソフトウェアトリガによるタイマ起動も , 外部トリガによる起動と同様に有効となります。

リロードモードにおける外部トリガ入力動作を図 19.6-4 に示します。

図 19.6-4 リロードモードのカウント動作 (外部トリガ入力動作)



● ゲート入力動作

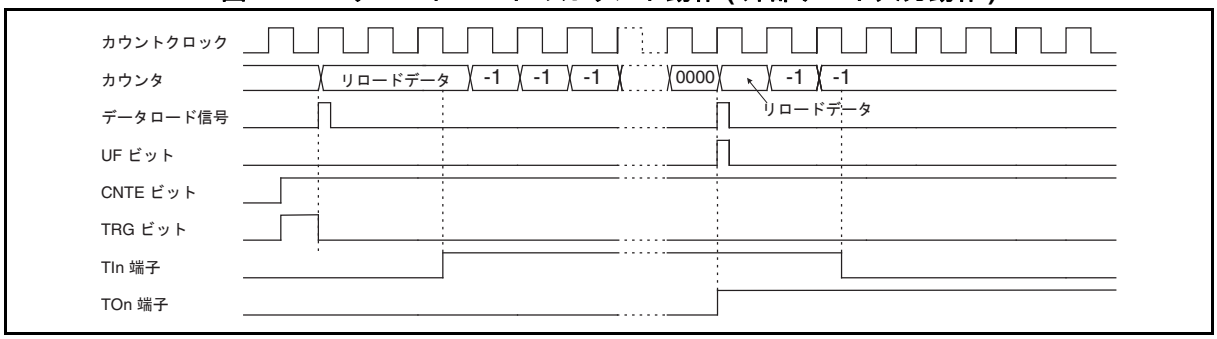
カウント許可ビット (CNTE) の設定" が1" の場合に, ソフトウェアトリガビット (TRG) も "1" に設定すると , カウントを開始します。

動作モード選択ビット (MOD[2:0]) で設定されたゲート入力の有効レベル ("L" または "H" が設定可能) が TIn 端子に入力されている間 , タイマはカウントを継続します。

なお, ソフトウェアトリガによるタイマ起動も , 外部トリガによる起動と同様に有効となります。

リロードモードにおけるゲート入力動作を図 19.6-5 に示します。

図 19.6-5 リロードモードのカウント動作 (外部ゲート入力動作)



■ 内部クロックモード (ワンショットモード) の動作

カウント許可ビット (CNTE) の設定が "1" の場合に , ソフトウェアトリガビット (TRG) に "1" が設定されるか, 動作モード選択ビット (MOD[2:0]) で選択された有効エッジ (立上り , 立下り , 両エッジから選択可能) が TIn 端子に入力されると , 16 ビットリロードタイマリロードレジスタ ch. n に設定した値が 16 ビットダウンカウンタにリロードされ , ダウンカウントを開始します。カウント許可ビット (CNTE) とソフトウェアトリガビット (TRG) が同時に "1" に設定され, カウント動作が許可されると , 同時にカウントを開始します。

リロード選択ビット (RELD) が "0" の場合, 16 ビットカウンタでアンダフローが発生すると ("0x0000"→"0xFFFF"), 16 ビットカウンタは "0xFFFF" の状態でカウントを停止します。このとき , アンダフロー割込み要求フラグビット (UF) が "1" に設定され, アンダフロー割込み要求許可ビット (INTE) が "1" の場合 , 割込み要求を出力します。

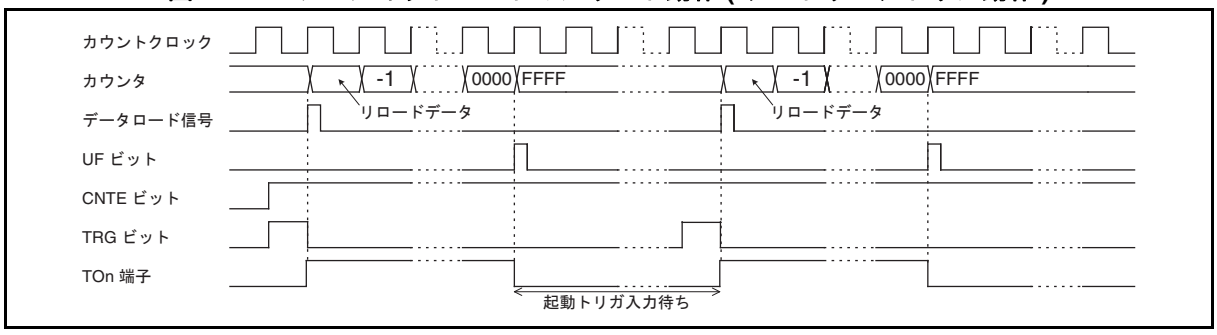
TOn 端子からは , カウント中を示す矩形波を出力できます。

● ソフトウェアトリガ動作

カウント許可ビット (CNTE) の設定が "1" の場合に , ソフトウェアトリガビット (TRG) が "1" に設定されると , カウントを開始します。

ワンショットモードにおけるソフトウェアトリガ動作を図 19.6-6 に示します。

図 19.6-6 ワンショットモードのカウント動作 (ソフトウェアトリガ動作)

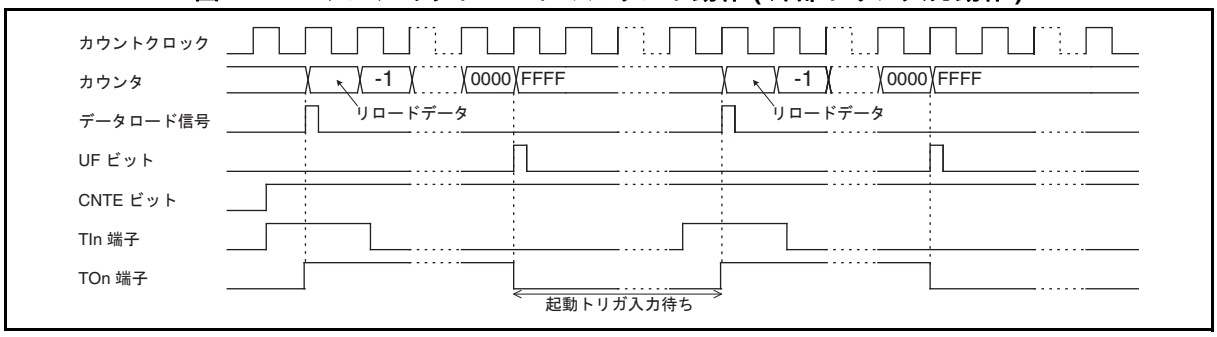


● 外部トリガ入力

カウント許可ビット (CNTE) の設定が "1" の場合に , 動作モード選択ビット (MOD[2:0]) で設定しているトリガ入力の有効エッジ (立上り , 立下り , 両エッジから設定可能) が TIn 端子に入力されると , カウントを開始します。

ワンショットモードにおける外部トリガ入力動作を図 19.6-7 に示します。

図 19.6-7 ワンショットモードのカウント動作 (外部トリガ入力動作)



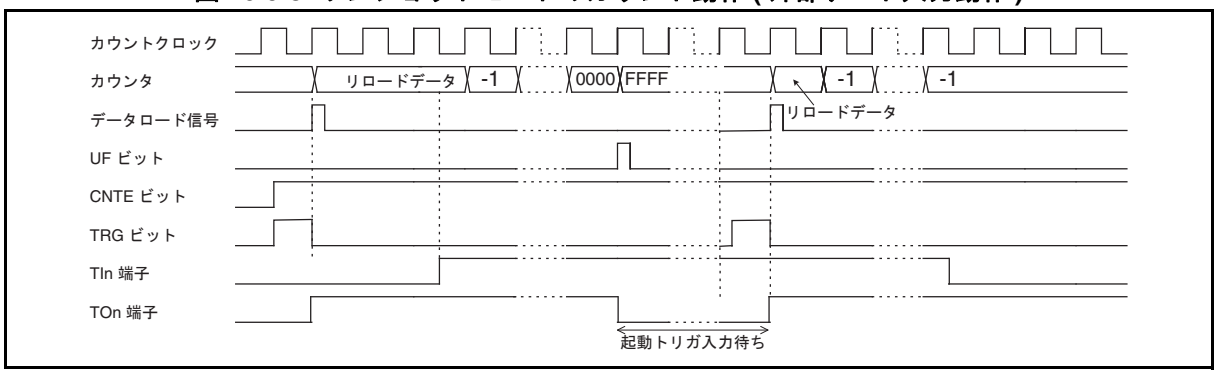
● ゲート入力動作

カウント許可ビット (CNTE) の設定が "1" の場合に , ソフトウェアトリガビット (TRG) が "1" に設定されると , カウントを開始します。

動作モード選択ビット (MOD[2:0]) で設定しているトリガ入力の許可レベル ("L" または "H" が設定可能) が TIn 端子に入力されている間 , タイマはカウントを継続します。

ワンショットモードにおける外部ゲート入力動作を図 19.6-8 に示します。

図 19.6-8 ワンショットモードのカウント動作 (外部ゲート入力動作)



19.6.2 イベントカウントモード

このモードでは , TIn 端子に入力されたパルスで有効エッジが検出されるごとに 16 ビットダウンカウンタをダウンカウントし , アンダフローが発生すると ("0x0000" →"0xFFFF"), 割込みコントローラに割込み要求を出力します。また , TOn 端子からトグル波形または矩形波を出力できます。

■ イベントカウントモードの設定

イベントカウンタとして動作させるには , レジスタを図 19.6-9 のように設定してください。

図 19.6-9 イベントカウントモードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMCSRHn	-	-	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
			1	1	1	◎	◎	◎

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMCSRLn	-	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
		◎	◎	◎	◎	◎	1	◎

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMRLRHn	D15	D14	D13	D12	D11	D10	D9	D8

カウンタの初期値 (リロード値) を設定 (上位)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMRLRLn	D7	D6	D5	D4	D3	D2	D1	D0

カウンタの初期値 (リロード値) を設定 (下位)

◎ : 使用ビット
1 : "1" を設定

■ イベントカウントモード

カウント許可ビット (CNTE) の設定が "1" の場合に , ソフトウェアトリガビット (TRG) に "1" を設定すると , 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) に設定した値が 16 ビットカウンタにリロードされます。TIn 端子に入力されたパルス (外部カウントクロック) の有効エッジ (立上り , 立下り , 両エッジから選択可能) を検出するごとにカウントします。

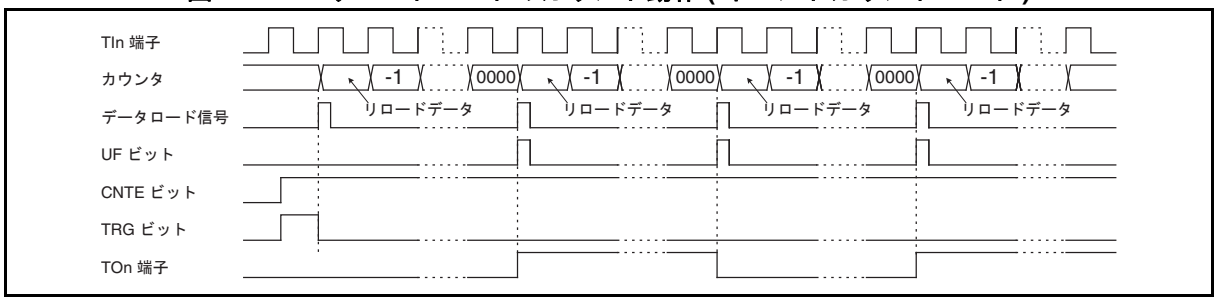
● リロードモードの動作

リロード選択ビット (RELD) が "1" の場合, 16ビットカウンタにアンダフローが発生すると("0x0000"→"0xFFFF"),16ビットリロードタイマリロードレジスタch. n (TMRLRHn/TMRLRLn) に設定した値が 16 ビットカウンタにリロードされ , カウントを継続します。

16ビットカウンタにアンダフローが発生すると ("0x0000"→"0xFFFF"), 16ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のアンダフロー割込み要求フラグビット (UF) に "1" が設定されます。アンダフロー割込み許可ビット (INTE) に "1" を設定している場合は割込み要求を出力します。

TOn 端子からは , アンダフローの発生ごとに反転するトグル波形を出力できます。リロードモードにおけるカウント動作を図 19.6-10 に示します。

図 19.6-10 リロードモードのカウント動作 (イベントカウントモード)



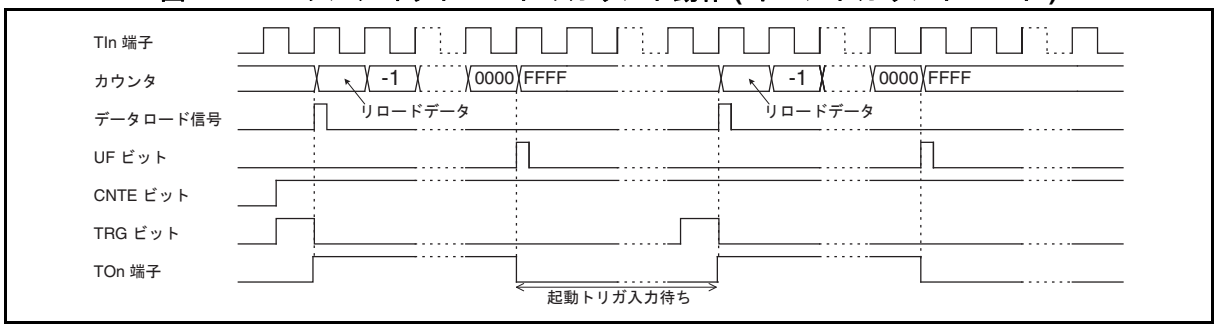
● ワンショットモードの動作

リロード選択ビット (RELD) が "0" の場合, 16 ビットカウンタでアンダフローが発生すると ("0x0000"→"0xFFFF"), 16 ビットカウンタの値は "0xFFFF" の状態で停止します。

16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のアンダフロー要求フラグビット (UF) に "1" が設定され , アンダフロー割込み許可ビット (INTE) の設定が "1" の場合には割込み要求を出力します。

TOn 端子はカウント中を示す矩形波を出力します。ワンショットモードにおけるカウント動作を図 19.6-11 に示します。

図 19.6-11 ワンショットモードのカウント動作 (イベントカウントモード)



19.7 レジスタ

16 ビットリロードタイマのレジスタについて説明します。

表 19.7-1 16 ビットリロードタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
TMCSRHn	16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n	19.7.1
TMCSRLn	16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n	19.7.2
TMRHn	16 ビットリロードタイマタイマレジスタ (上位) ch. n	19.7.3
TMRLn	16 ビットリロードタイマタイマレジスタ (下位) ch. n	19.7.3
TMRLRHn	16 ビットリロードタイマリロードレジスタ (上位) ch. n	19.7.4
TMRLRLn	16 ビットリロードタイマリロードレジスタ (下位) ch. n	19.7.4

19.7.1 16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n (TMCSRHn)

16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. n (TMCSRHn) は , 16 ビットリロードタイマの動作モードと動作条件を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5:3] CSL[2:0]: カウントクロック選択ビット
これらのビットは 16 ビットリロードタイマのカウントクロックを選択します。
"0b000" ～ "0b110" のいずれの値がこれらのビットに書き込まれた場合 , 16 ビットリロードタイマは内部クロックでカウントします (内部クロックモード) 。内部クロックはプリスケーラにより生成されます。詳細は ,「 3.9 プリスケーラの動作」を参照してください。
"0b111" がこれらのビットに書き込まれた場合 , 16 ビットリロードタイマは外部イベントクロックのエッジでカウントします (イベントカウントモード) 。

bit5:3	説明	
	動作モード	カウントクロック *
"000" を書き込んだ場合	内部クロックモード	1 MCLK
"001" を書き込んだ場合		MCLK/2
"010" を書き込んだ場合		MCLK/4
"011" を書き込んだ場合		MCLK/8
"100" を書き込んだ場合		MCLK/16
"101" を書き込んだ場合		MCLK/32
"110" を書き込んだ場合		$F_{CH}/2^7$ または $F_{CRH}/2^6$ または $F_{PLL}/2^6$
"111" を書き込んだ場合	イベントカウントモード	外部クロック

*: MCLK: マシンクロック
F_{CH}: メインクロック
F_{CRH}: メイン CR クロック
F_{PLL}: PLL クロック

[bit2:0] MOD[2:0]: 動作モード選択ビット

これらのビットは 16 ビットリロードタイマの動作条件を設定します。

- 内部クロックモード (CSL[2:0] = 0b000 ～ 0b110 のいずれかの値)

  MOD2 ビットで入力端子の機能を選択してください。

  MOD2 ビットが "0" の場合 :

  - TIn 端子はトリガ入力端子として機能します。
  - MOD[1:0] ビットで検出されるエッジを選択してください。
  - MOD[1:0] で選択されたエッジが検出されると , 16 ビットリロードタイマリロードレジスタ (上位 / 下位) ch. n (TMRLRHn/TMRLRLn) に設定された値が 16 ビットリロードタイマタイマレジスタ (上位 / 下位) ch. n (TMRHn/TMRLn) にリロードされ, 16 ビットリロードタイマ ch. n は TMRHn/TMRLn でカウント動作を開始します。

  MOD2 ビットが "1" の場合 :

  - TIn 端子はゲート入力として機能します。
  - MOD1 ビットの設定は無効となります。
  - MOD0 ビットで有効とする信号レベル ("H" または "L") を選択してください。 有効な信号レベルが入力されている間のみ , 16 ビットリロードタイマは TMRHn/TMRLn でカウント動作を行います。

(注意事項) MOD[2:0] が "0b000" の場合は外部端子からの入力が無効となります。その場合 , TRG ビットを使用して, ソフトウェアにより 16 ビットリロードタイマを起動してください。

bit2:0	説明 (内部クロックモード)	
	TIn 端子機能	有効なエッジ / レベル
"000" を書き込んだ場合	外部端子からの入力が無効になります。	—
"001" を書き込んだ場合	トリガ入力	立上りエッジ
"010" を書き込んだ場合		立下りエッジ
"011" を書き込んだ場合		両エッジ
"100" を書き込んだ場合	ゲート入力	"L" レベル
"101" を書き込んだ場合		"H" レベル
"110" を書き込んだ場合		"L" レベル
"111" を書き込んだ場合		"H" レベル

- イベントカウントモード (CSL[2:0] = 0b111)
  - MOD2 ビットは常に "0" に固定されます。
  - 外部イベントクロックは TIn 端子から入力されます。
  - MOD[1:0] ビットで検出されるエッジを選択してください。

bit2:0	説明 (イベントカウントモード)	
	TIn 端子機能	有効なエッジ
"000" を書き込んだ場合	外部端子からの入力が無効になります。	—
"001" を書き込んだ場合	トリガ入力	立上りエッジ
"010" を書き込んだ場合		立下りエッジ
"011" を書き込んだ場合		両エッジ
"100" を書き込んだ場合	設定禁止	
"101" を書き込んだ場合		
"110" を書き込んだ場合		
"111" を書き込んだ場合		

19.7.2 16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn)

16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) は , 16 ビットリロードタイマの動作条件の設定 , カウント動作の許可 / 禁止の設定 , 割込み制御および割込み要求状態の確認などを行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
属性	—	R/W	R/W	R/W	R/W	R/W	R/W	W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit6] OUTE: タイマ出力許可ビット
このビットは 16 ビットリロードタイマの TOn 端子機能を設定します。

bit6	説明
"0" を書き込んだ場合	TOn 端子は汎用入出力ポートとして機能します。
"1" を書き込んだ場合	TOn 端子は 16 ビットリロードタイマの出力端子として機能します。

[bit5] OUTL: 端子出力レベル選択ビット
このビットは 16 ビットリロードタイマの出力端子の出力レベルを選択します。

bit5	説明	
	ワンショットモード (TMCSRLn:RELD = 0)	リロードモード (TMCSRLn:RELD = 1)
"0" を書き込んだ場合	出力端子は 16 リロードタイマのカウント中に "H" の矩形波を出力します。	出力端子は 16 リロードタイマの起動時に "L" を出力し , アンダフロー発生のたびにトグルします。
"1" を書き込んだ場合	出力端子は 16 リロードタイマのカウント中に "L" の矩形波を出力します。	出力端子は 16 リロードタイマの起動時に "H" を出力し , アンダフロー発生のたびにトグルします。

[bit4] RELD: リロード選択ビット
このビットはアンダフロー発生時のリロード動作を選択します。
このビットに "0" が書き込まれた場合 , 16 ビットリロードタイマはワンショットモードに入ります。このワンショットモードでは , アンダフローが発生すると , 16 ビットリロードタイマはカウントを停止します。
このビットに "1" が書き込まれた場合 , 16 ビットリロードタイマはリロードモードに入ります。このリロードモードでは , アンダフローが発生すると , 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) にあらかじめ設定された値が 16 ビットリロードタイマタイマレジスタ ch. n (TMRHn/TMRLn) にロードされ , 16 ビットリロードタイマはカウントを続行します。

bit4	説明
"0" を書き込んだ場合	ワンショットモード
"1" を書き込んだ場合	リロードモード

[bit3] INTE: アンダフロー割込み要求許可ビット
このビットはアンダフロー割込みを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	アンダフロー割込み要求を禁止します。
"1" を書き込んだ場合	アンダフロー割込み要求を許可します。

[bit2] UF: アンダフロー割込み要求フラグビット
このビットは 16 ビットリロードタイマでアンダフローが発生しているかを示します。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit2	説明
"0" が読み出された場合	アンダフローが発生していないことを示します。
"1" が読み出された場合	アンダフローが発生していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit1] CNTE: カウント許可ビット
このビットは 16 ビットリロードタイマのカウント動作を許可または停止します。
このビットに "0" が書き込まれた場合 , 16 ビットリロードタイマはカウントを停止します。
このビットに "1" が書き込まれた場合 , 16 ビットリロードタイマは起動トリガ待ち状態に入ります。起動トリガが入力されると , 16 ビットリロードタイマはカウントを開始します。

bit1	説明
"0" を書き込んだ場合	16 ビットリロードタイマのカウント動作を停止します。
"1" を書き込んだ場合	16 ビットリロードタイマのカウント動作を許可します (起動トリガ待ち状態)。

[bit0] TRG: ソフトウェアトリガビット

このビットは , ソフトウェアによる 16 ビットリロードタイマの起動を許可します。16 ビットリロードタイマ動作が許可されている場合 (CNTE=1) にのみ有効です。
このビットへの "0" の書込みは動作に影響を与えません。
このビットに "1" が書き込まれた場合 , 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) に設定された値が 16 ビットリロードタイマタイマレジスタ ch. n (TMRHn/TMRLn) にリロードされ , 16 ビットリロードタイマが次のカウントクロック入力からカウントを開始します。

(注意事項) このビットに CNTE ビットと同時に "1" を書き込んでも動作に影響はありません。

このビットの読出し値は常に "0" です。ただし , "1" の書込みで 16 ビットリロードタイマが起動した後 , 16 ビットリロードタイマがカウントを開始するまでは , このビットは "1" を読み出します。

bit0	説明
読出し動作	読出し値は常に "0" です。
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	TMRLRHn/TMRLRLn の値がリロードされた後 , 16 ビットリロードタイマがカウントを開始します。

19.7.3 16 ビットリロードタイマタイマレジスタ (上位 / 下位) ch. n (TMRHn/TMRLn)

16 ビットリロードタイマタイマレジスタ (上位 / 下位) ch. n (TMRHn/TMRLn) は , 16 ビットダウンカウンタのカウント値を読み出します。

■ レジスタ構成

TMRHn

bit	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TMRLn

bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

16 ビットリロードタイマタイマレジスタ ch. n は 16 ビットダウンカウンタのカウント値を読み出します。

16 ビットリロードタイマがカウント開始する時に , 16 ビットリロードタイマのカウント動作が既に許可 (TMCSRLn:CNTE = 1) されている場合 , 16 ビットリロードタイマリロードレジスタに設定された値が 16 ビットリロードタイマタイマレジスタ ch. n にリロードされ , 16 ビットリロードタイマはダウンカウントを開始します。

＜注意事項＞

- このレジスタはカウント中でもカウント値を読み出すことが可能です。 読み出すときは , ワード転送命令を使用するか , 上位 → 下位の順に読出しを行ってください。このレジスタは上位を読み出した時点で下位の値を保持するような回路構成となっています。
- このレジスタはリードオンリであり , 16 ビットリロードタイマリロードレジスタ ch. n と同一のアドレスに配置されています。したがって , このレジスタへの書込みは 16 ビットリロードタイマリロードレジスタ ch. n への書込みとなります。

19.7.4 16 ビットリロードタイマリロードレジスタ (上位 / 下位) ch. n (TMRLRHn/TMRLRLn)

16ビットリロードタイマリロードレジスタ(上位/下位) ch. n (TMRLRHn/TMRLRLn) は 16 ビットダウンカウンタへのリロード値を設定します。16 ビットリロードタイマリロードレジスタ ch. n に設定された値が 16 ビットダウンカウンタにリロードされ , ダウンカウントに使用されます。

■ レジスタ構成

TMRLRHn

bit	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TMRLRLn

bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

16 ビットリロードタイマリロードレジスタ ch. n は 16 ビットダウンカウンタ ch. n へリロードされるリロード値を設定します。

16 ビットリロードタイマリロードレジスタ ch. n に設定された値が起動時もしくはアンダフロー発生時に 16 ビットリロードタイマタイマレジスタ ch. n にリロードされ , ダウンカウントに使用されます。なお , 16 ビットリロードタイマのカウント中に 16 ビットリロードタイマリロードレジスタ ch. n の値を変更できます。

＜注意事項＞

- カウント中でもこのレジスタに値を書き込むことが可能です。 書込み時はワード転送命令を使用するか , 上位 → 下位の順に書込みを行ってください。このレジスタは下位を書き込んだ時点で上位の値を有効にするような回路構成となっています。
- このレジスタは書込み専用のレジスタであり , 16 ビットリロードタイマタイマレジスタ ch. n と同一のアドレスに配置されています。したがって , このレジスタからの読出しは 16 ビットリロードタイマタイマレジスタ ch. n からの読出しとなります。

19.8 使用上の注意

16 ビットリロードタイマ使用上の注意を示します。

■ 16 ビットリロードタイマ使用上の注意

● プログラム設定上の注意

- 16 ビットリロードタイマタイマレジスタ ch. n (TMRHn/TMRLn) はカウント中でも値を読み出せます。読出し時はワード転送命令を使用するか, 上位 → 下位の順に読み出してください。
- 16 ビットリロードタイマリロードレジスタ ch. n (TMRLRHn/TMRLRLn) はカウント中でも値を書き込めます。書込み時はワード転送命令を使用するか, 上位 → 下位の順に書き込んでください。

● 割込みに関する注意

割込み要求が許可されている場合 (TMCSRLn:INTE = 1) は,16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. n (TMCSRLn) のアンダフロー割込み要求フラグビット (UF)が"1" に設定されると, CPU は割込み処理から復帰できません。必ず割込みサービスルーチン内で UF ビットをクリアしてください。

第 20 章
イベントカウンタ

イベントカウンタの機能と動作について説明します。

20.1 概要
20.2 構成
20.3 イベントカウンタ動作モードの動作説明
20.4 設定手順例
20.5 周波数の測定範囲および測定精度
20.6 レジスタ
20.7 使用上の注意

20.1 概要

イベントカウンタは , 主に測定周期の設定が可能な外部クロックの周波数を測定します。16 ビットリロードタイマおよび 8/16 ビット複合タイマ ch.1 は , イベントカウンタの動作モードを機能させるために構成されます。

■ イベントカウンタの動作モード

このモード時には , 8/16 ビット複合タイマ ch.1 は H パルス信号を生成するために使用します。H パルス信号の生成方法は , 品種により異なります。詳細は , 20.3 イベントカウンタ動作モードの動作説明を参照してください。

次に , 外部クロックがこの H パルス信号によってゲート制御され , カウントクロックとして 16 ビットリロードタイマへ入力されます。16 ビットリロートタイマは , 外部クロックモード (リロードモード) 時に動作します。外部クロックの周波数は , 8/16 ビット複合タイマ ch.1 の割込みサービスサブルーチンによって設定された測定周期を基に算出されます。

＜注意事項＞

以降の項目において , 「複合タイマ」は「8/16 ビット複合タイマ ch.1」を表し , 「リロードタイマ」は「16 ビットリロードタイマ」を表します。

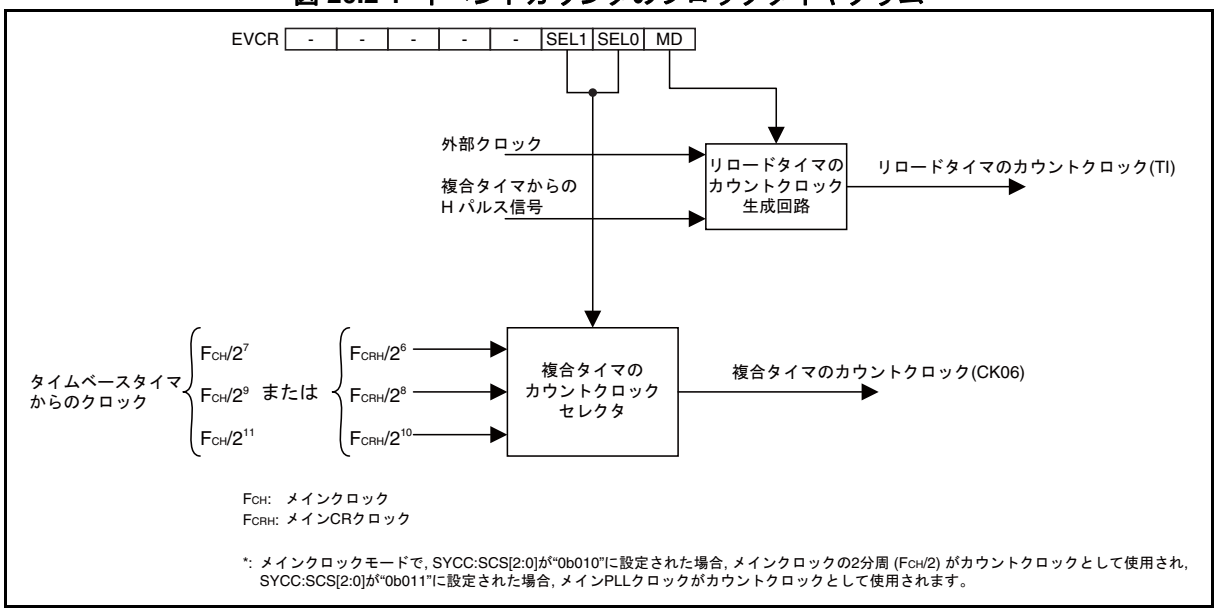
20.2 構成

コンパレータモジュール全体は以下のブロックで構成されます。

- **リロードタイマのカウントクロック生成回路**
- **複合タイマのカウントクロック (CK06) 選択回路**
- **イベントカウンタ制御レジスタ (EVCR)**

■ イベントカウンタのブロックダイヤグラム

図 20.2-1 イベントカウンタのブロックダイヤグラム



● リロードタイマのカウントクロック生成回路

EVCR レジスタの MD ビットを "1" に設定するとき , 外部クロック入力は複合タイマからの H パルス出力によってゲート制御され , カウントクロックとしてリロードタイマへ出力されます。MD ビットを "0" に設定するとき , 外部クロックは外部クロックとして直接リロードタイマへ出力します。

● 複合タイマのカウントクロック (CK06) 選択回路

イベントカウンタは , EVCR レジスタの SEL[1:0] ビットの設定にしたがって , 下記のタイムベースタイマ出力信号 (分周マシンクロック信号) から CK06 のカウントクロックとして使用します。

1. $F_{CH}/2^7$, $F_{CH}/2^9$, $F_{CH}/2^{11}$ (メインクロックモード)
2. PLLC レジスタの MPMC[1:0] ビットの設定で逓倍されたメイン PLL クロック
3. $F_{CRH}/2^6$, $F_{CRH}/2^8$, $F_{CRH}/2^{10}$ (メイン CR クロックモード)
4. PLLC レジスタの MPMC[1:0] ビットの設定で逓倍されたメイン CR PLL クロック

● イベントカウンタ制御レジスタ (EVCR)

イベントカウンタ制御レジスタは , イベントカウンタの動作モードの許可 / 禁止を設定し , 複合タイマのカウントクロックソース (CK06) を選択します。

20.3 イベントカウンタ動作モードの動作説明

イベントカウンタ動作モードの動作について説明します。

リロードタイマと複合タイマをイベントカウンタ (周波数測定用) として動作させるには , 図 20.3-1 に示された設定をしてください。

図 20.3-1 イベントカウンタ動作モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
イベントカウンタのレジスタ								
EVCR	-	-	-	-	-	SEL1	SEL0	MD
						○	○	1
リロードタイマのレジスタ								
TMCSRHn	-	-	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
			1	1	1	○	○	○
TMCSRLn	-	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
		×	×	1	○	○	1	○
TMRLRHn	リロード値 (上位) をセット							
TMRLRLn	リロード値 (下位) をセット							
複合タイマのレジスタ								
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	1	1	0	○	○	○	○
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	×	×	○	0	×
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	×	0	×	×	×	×
T10DR	比較値を設定 *1							
T11DR	比較値を設定 *1							

○ : 使用ビット
× : 未使用ビット
1 : "1" に設定
0 : "0" に設定

*1 インターバルタイマモード (連続モード) を選択した場合は T10DR にインターバル時間を設定してください。
PWM タイマ動作モード (可変周期モード) を選択した場合は T10DR に L 幅時間 , T11DR に周期を設定してください。

イベントカウンタ動作モードでは , リロードタイマおよび複合タイマが使用されるため , それらをほかの機能に使用できません。

リロードタイマは , イベントカウントモード (リロードモード) がリロードタイマの動作モードとして選択されたときに動作します。イベントカウントモード (リロードモード) を選択するには , TMCSRLn レジスタの MOD[2:0] ビットを "0b001", "0b010" または "0b011" に , 同じレジスタの RELD ビットを "1" に設定してください。また , リロードタイマのアンダフローの回数を記録するために , リロードタイマの割込みを許可してください。

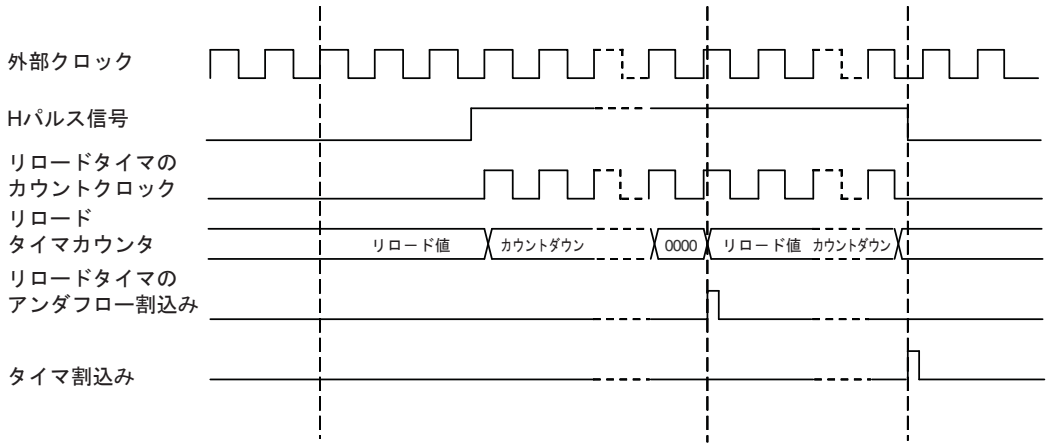
複合タイマは MB95710L/770L シリーズ (MB95F714E/F714L/F716E/F716L/F718E/F718L/F774E/F774L/F776E/F776L/F778E/F778L) の場合 , インターバルタイマ動作モード (連続モード) を複合タイマの動作モードとして選択したとき , MB95710M/770M シリーズ (MB95F714J/F714M/F716J/F716M/F718J/F718M/F774J/F774M/F776J/F776M/F778J/F778M) の場合 , インターバルタイマ動作モード (連続モード) か PWM タイマ動作モード (可変周期モード) を複合タイマの動作モードとして選択したときに動作します。

インターバルタイマ動作モード (連続モード) を選択するには , T10CR0 レジスタの F[3:0] ビットを "0b0001" に , PWM タイマ動作モード (可変周期モード) を選択するには , 同ビットを "0b0100" に設定してください。また , 同レジスタの C[2:0] ビットを "0b110" に設定し , 複合タイマカウントクロックソース (CK06) を選択してください。また , 外部クロックの周波数を計算するためにインターバルタイマ動作モード (連続モード) の場合は , タイマ 00 の割り込みを , PWM タイマ動作モード (可変周期モード) の場合は , タイマ 01 の割込みを許可してください。

リロードタイマがアンダフローしたときには , アンダフロー回数を記録し , リロードタイマの割込みサービスサブルーチンにおいてはアンダフローフラグ (UF) をクリアしてください。インターバルタイマ動作モード (連続モード) の場合は , タイマ 10 の割り込みが複合タイマにおいて発生した際には 1 回目は T10CR1 レジスタの IF ビットをクリアしインターバル時間の設定 , 2 回目は T10CR1 レジスタの IF ビットをクリアしリロードタイマのカウント値を読み出し , かつ割り込みサービスサブルーチンにおける外部クロック周波数を算出してください。PWM タイマ動作モード (可変周期モード) の場合は , タイマ 11 の割込みが複合タイマにおいて発生した際には , T11CR1 レジスタの IF ビットをクリアし , リロードタイマのカウント値を読み出し , かつ割込みサービスサブルーチンにおける外部クロック周波数を算出してください。

図 20.3-2 に , イベントカウンタ動作モードの動作を示します。

図 20.3-2 イベントカウンタ動作モードの動作



注意事項 :
- リロードタイマのアンダフロー割込みサービスサブルーチンにおいて, IFフラグをクリア, アンダフロー回数をカウント, およびリロードレジスタへリロード値を書き込んでください。
- インターバルタイマ動作モード (連続モード) 使用時は, タイマ10 (複合タイマch.0) 2回目のコンペアマッチ割込みサービスサブルーチンにおいて, IFフラグをクリア, リロード値の読み出し, および周波数を算出してください。
- PWMタイマ動作モード (可変周期モード) 使用時は, タイマ11 (割込みタイマch.1)コンペアマッチ割込みサービスサブルーチンにおいて, IFフラグをクリア, リロード値の読み出し, および周波数を算出してください。

図 20.3-3, 図 20.3-4 は外部クロック周波数の計算式を示します。

図 20.3-3 外部クロック周波数の計算式 (インターバルタイマ動作モード (連続モード) 使用時)

$$\text{外部クロック周波数} = \frac{\text{リロードタイマのカウント値}}{\text{Hパルス幅}}$$

上記の説明 :

(リロードタイマのカウント値) = (TMRLRHn/TMRLRLn設定値) × (アンダフロー回数) + (TMRLRHn/TMRLRLn設定値) − (TMRHn/TMRLnの読出し値)

$$\text{(Hパルス幅)} = \frac{\text{(T10DR設定値 + 1)}}{\text{(複合タイマのカウントクロックソースの周波数)}}$$

図 20.3-4 外部クロック周波数の計算式 (PWM タイマ動作モード (可変周期モード) 使用時)

$$\text{外部クロック周波数} = \frac{\text{リロードタイマのカウント値}}{\text{PWM信号のHパルス幅}}$$

上記の説明 :

(リロードタイマのカウント値) = (TMRLRHn/TMRLRLn設定値) × (アンダフロー回数) + (TMRLRHn/TMRLRLn設定値) − (TMRHn/TMRLnの読出し値)

$$\text{(PWM信号のHパルス幅)} = \frac{\text{(T11DR設定値 − T10DR設定値)}}{\text{(複合タイマのカウントクロックソースの周波数)}}$$

20.4 設定手順例

各イベントカウンタの機能を設定する手順を示します。

インターバルタイマ動作モード (連続モード) を使用する場合
(MB95710L/770L シリーズ , MB95710M/770M シリーズ共通)

■ 初期設定

1. イベントカウンタモードを選択してください。(EVCR:MD)
2. 複合タイマカウントクロック CK06 を選択してください。(EVCR:SEL[1:0])
3. リロードタイマおよび複合タイマそれぞれの割込みレベルを設定してください。(ILR)
4. リロードタイマのリロード値を設定してください。(TMRLRHn/TMRLRLn)
5. リロードタイマのカウントクロックを選択してください。(TMCSRHn:CSL[2:0])
6. リロードタイマの動作モードを選択してください。(TMCSRHn:MOD[2:0]
7. リロードモードを選択してください。(TMCSRLn:RELD)
8. アンダフロー割込みを許可してください。(TMCSRLn:INTE)
9. リロードタイマのカウントを許可してください。(TMCSRLn:CNTE)
10. ソフトウェアトリガを発生させてください。(TMCSRLn:TRG=1)
11. 複合タイマの動作モードを選択してください。(T10CR0:F[3:0])
12. 複合タイマのカウントクロックを選択してください。(T10CR0:C[2:0])
13. 複合タイマのインターバル時間を設定してください。(T10DR)*(L 幅設定)
14. タイマ 10 割込みを許可してください。(T10CR1:IE)
15. 複合タイマの動作を開始してください。(T10CR1:STA)

■ リロードタイマの割込み処理

1. アンダフロー割込み要求フラグをクリアしてください。(TMCSRLn:UF)
2. アンダフロー割込みを禁止してください。(TMCSRLn:INTE)
3. アンダフロー回数を記録してください。
4. アンダフロー割込みを許可してください。(TMCSRLn:INTE)

■ 複合タイマの割込み 1 回目処理 (タイマ 10)

1. 割込み要求フラグをクリアしてください。(T10CR1:IF)
2. 割込みを禁止してください。(T10CR1:IE)
3. 複合タイマのインターバル時間を設定してください。(T10DR)*(H 幅設定)
4. 割込みを許可してください。(T10CR1:IE)

■ ■複合タイマの割込み 2 回目処理 (タイマ 10)

1. 割込み要求フラグをクリアしてください。(T10CR1:IF)
2. 割込みを禁止してください。(T10CR1:IE)
3. リロードタイマのカウンタ値を読み出してください。(TMRHn,TMRLn)
4. 外部クロック周波数を計算してください。
5. 複合タイマのインターバル時間を設定してください。(T10DR)*(L 幅設定)
6. 割込みを許可してください。(T10CR1:IE)

＜注意事項＞

初期設定のインターバル時間設定は , 複合タイマ割込み 1 回目処理の割込みサービスサブルーチン内の処理ができる時間に設定してください。
Hパルス幅の設定は複合タイマ割込み1回目処理のインターバル時間設定で行ってください。
複合タイマ割込み 2 回目処理のインターバル時間設定は , 割込みサービスサブルーチン内で外部クロック周波数を計算できる時間に設定してください。
連続して周波数を測定する場合は , 複合タイマの割込み 1 回目処理を奇数回目の処理 , 複合タイマの割込み 2 回目処理を偶数回目の処理と読み替えてください。
タイマ出力初期値ビット (T10CR1:SO) は "0" を設定してください。1 を設定した場合 , Hパルス期間が最大で 1 カウントクロック分短くなる可能性があります。

PWM タイマ動作モード (可変周期モード) を使用する場合
(MB95710M/770M シリーズのみ)

■ 初期設定

1. イベントカウンタモードを選択してください。(EVCR:MD)
2. 複合タイマカウントクロック CK06/CK16 を選択してください。(EVCR:SEL[1:0])
3. リロードタイマおよび複合タイマのそれぞれの割込みレベルを設定してください。(ILR)
4. リロードタイマのリロード値を設定してください。(TMRLRHn/TMRLRLn)
5. リロードタイマのカウントクロックを選択してください。(TMCSRHn:CSL[2:0])
6. リロードタイマの動作モードを選択してください。(TMCSRHn:MOD[2:0])
7. リロードモードを選択してください。(TMCSRLn:RELD)
8. アンダフロー割込みを許可してください。(TMCSRLn:INTE)
9. リロードタイマのカウントを許可してください。(TMCSRLn:CNTE)
10. ソフトウェアトリガを発生させてください。(TMCSRLn:TRG = 1)
11. 複合タイマの動作モードを選択してください。(T10CR0/T11CR0:F[3:0])
12. 複合タイマのカウントクロックを選択してください。(T10CR0/T11CR0:C[2:0])
13. PWM タイマの L 幅および周期を設定してください。(T10DR/T11DR)
14. タイマ 11 割込みを許可してください。(T11CR1:IE)
15. 複合タイマの動作を開始してください。(T10CR1/T11CR1:STA)

■ リロードタイマの割込み処理

1. アンダフロー割込み要求フラグをクリアしてください。(TMCSRLn:UF)
2. アンダフロー割込みを禁止してください。(TMCSRLn:INTE)
3. アンダフロー回数を記録してください。
4. アンダフロー割込みを許可してください。(TMCSRLn:INTE)

■ 複合タイマの割込み処理 (タイマ 11)

1. 割込み要求フラグをクリアしてください。(T11CR1:IF)
2. 割込みを禁止してください。(T11CR1:IE)
3. リロードタイマのカウンタ値を読み出してください。(TMRHn, TMRLn)
4. 外部クロック周波数を計算してください。
5. 割込みを許可してください。(T11CR1:IE)

20.5 周波数の測定範囲および測定精度

イベントカウンタの周波数の測定範囲および測定精度について説明します。

■ 周波数の測定範囲

測定可能な最大周波数は , 周辺機能クロックによって制限されます。周辺機能クロックの周波数が F_{PCLK} のとき , 測定可能な最大周波数は $F_{PCLK}/4$ です。

測定可能な最小周波数は , 周波数の測定精度を確保するために , 測定期限が制限されています。

■ 周波数の測定精度

周波数の測定精度は , メインクロックの周波数とリロードタイマのカウント値の精度によって決まります。リロードタイマのカウンタがカウントを進めるにしたがい , 算出される周波数は正確になります。

20.6 レジスタ

イベントカウンタのレジスタについて説明します。

表 20.6-1 イベントカウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
EVCR	イベントカウンタ制御レジスタ	20.6.1

20.6.1 イベントカウンタ制御レジスタ (EVCR)

イベントカウンタ制御レジスタ (EVCR) はイベントカウンタ動作モードを許可または禁止し , 複合タイマの CK06 クロックソースからカウントクロック選択します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	SEL1	SEL0	MD
属性	—	—	—	—	—	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:3] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit2:1] SEL[1:0]: 複合タイマカウントクロック (CK06) 選択ビット
これらのビットは複合タイマカウントクロック (CK06) を選択します。
カウントクロックはプリスケーラによって生成されます。「3.9 プリスケーラの動作」を参照してください。
複合タイマの動作とリロードタイマのカウント動作が許可されている場合 (T10CR1/T11CR1:STA = 1, TMCSRLn:CNTE = 1), SEL[1:0] ビットへの書込み動作は禁止されます。
EVCR レジスタの MD ビットが "0" に設定されても , SEL[1:0] ビットの設定は有効です。
タイムベースタイマからのカウントクロックが複合タイマのカウントクロックとして使用されます。SYCC レジスタの設定しだいで , タイムベースタイマからのカウントクロックがメインクロックまたはメイン CR クロックから生成されます。タイムベースタイマからのカウントクロックが複合タイマのカウントクロックとして使用される場合は , タイムベースタイマ制御レジスタのタイムベースタイマ初期化ビット (TBTC:TCLR) に "1" を書き込んでタイムベースタイマをリセットすることにより , カウント時間が影響されます。

bit2:1	説明 (F_{CH}: メインクロック , F_{CRH}: メイン CR クロック)
"00" を書き込んだ場合	$F_{CH}/2^7$ または $F_{CRH}/2^{6*}$
"01" を書き込んだ場合	$F_{CH}/2^9$ または $F_{CRH}/2^{8*}$
"10" を書き込んだ場合	$F_{CH}/2^{11}$ または $F_{CRH}/2^{10*}$
"11" を書き込んだ場合	$F_{CH}/2^7$ または $F_{CRH}/2^{6*}$

*: 複合タイマのカウントクロックとして使用されるクロックは , SYCC レジスタによって決まります。メインクロックまたはメイン PLL クロックが複合タイマのカウントクロックとして使用される場合 , PLLC:MPMC[1:0] の設定によって , メインクロックの 2 分周 ($F_{CH}/2$) かメイン PLL クロックがカウントクロックとして使用されるかは決まります。

[bit0] MD: イベントカウンタ動作モード選択ビット
このビットはイベントカウンタ動作モードを許可または禁止します。
このビットに "0" が書き込まれた場合 , イベントカウンタ動作モードが禁止されます。イベントカウンタ動作モードが禁止される場合 , 複合タイマとリロードタイマは独自に機能します。
このビットに "0" が書き込まれた場合 , イベントカウンタ動作モードが許可されます。イベントカウンタ動作モードが許可される場合 , イベントカウンタ機能を実行するために複合タイマとリロードタイマの両方が共に機能します。
複合タイマの動作とリロードタイマのカウント動作が許可されている場合 (T10CR1/T11CR1:STA = 1, TMCSRLn:CNTE = 1), MD ビットへの書込み動作は禁止されます。

bit0	説明
"0" を書き込んだ場合	イベントカウンタ動作モードを禁止します。
"1" を書き込んだ場合	イベントカウンタ動作モードを許可します。

20.7 使用上の注意

イベントカウンタ使用上の注意を示します。

- EVCR レジスタの MD ビットによってイベントカウンタ動作モードを切り換える前に , 以下の動作を実行してください。
  (1) 複合タイマとリロードタイマを停止してください。(T10CR1/T11CR1:STA = 0, TMCSRLn:CNTE = 0)
  (2) 複合タイマの割込みフラグビット (T10CR1/T11CR1:IF, IR), リロードタイマの割込みフラグビット (TMCSRLn:UF), 複合タイマの割込み要求許可ビット (T10CR0/T11CR0:IFE, T10CR1/T11CR1:IE) とリロードタイマの割込み要求許可ビット (TMCSRLn:UF) をクリアしてください。
- 複合タイマの L レベルを出力時間は , 割込みサービスサブルーチン内で外部クロック周波数を計算出来る幅に設定してください。
- MB95710L/770L シリーズではイベントカウンタへの H パルス出力機能として PWM タイマ動作モード (可変周期モード) を選択しないでください。
- H パルス出力機能としてインターバルタイマモード (連続モード) を選択した場合は , タイマ出力初期値ビット (T10CR1:SO) は "0" を設定してください。1 を設定した場合 , H パルス期間が最大で 1 カウントクロック分短くなる可能性があります。

第 21 章
UART/SIO

UART/SIO の機能と動作について説明します。

21.1 概要
21.2 構成
21.3 チャネル
21.4 端子
21.5 割込み
21.6 動作説明と設定手順例
21.7 レジスタ

21.1 概要

UART/SIO は , 汎用のシリアルデータ通信インタフェースです。クロック同期 (シンクロナス) またはクロック非同期 (アシンクロナス) で , 可変データ長のシリアルデータ転送ができます。転送フォーマットは ,NRZ 方式で , 転送レートは専用ボーレートジェネレータまたは外部クロック (クロック同期モード (SIO) のとき) から設定できます。

■ UART/SIO の機能

UART/SIO は , ほかの CPU や周辺装置とシリアルデータの送受信 (シリアル入出力) を行う機能があります。

- 全二重ダブルバッファがあり , 全二重で双方向通信ができます。
- 同期転送モード (シンクロナス) と非同期転送モード (アシンクロナス) を選択できます。
- 専用のボーレートジェネレータによって最適なボーレートを選択できます。
- データ長は可変で , パリティなしの場合は 5 ビット～ 8 ビット , パリティありの場合は 6 ビット～ 9 ビットの設定ができます (表 21.1-1 を参照)。
- シリアルデータの方向 (エンディアン) を選択できます。
- データ転送フォーマットは , NRZ (Non Return to Zero) 方式です。
- 2 種類の動作モード (動作モード 0,1) があります。
  動作モード 0 は , クロック非同期モード (UART) として動作します。
  動作モード 1 は , クロック同期モード (SIO) として動作します。

表 21.1-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

21.2 構成

UART/SIO は , 以下のブロックで構成されます。

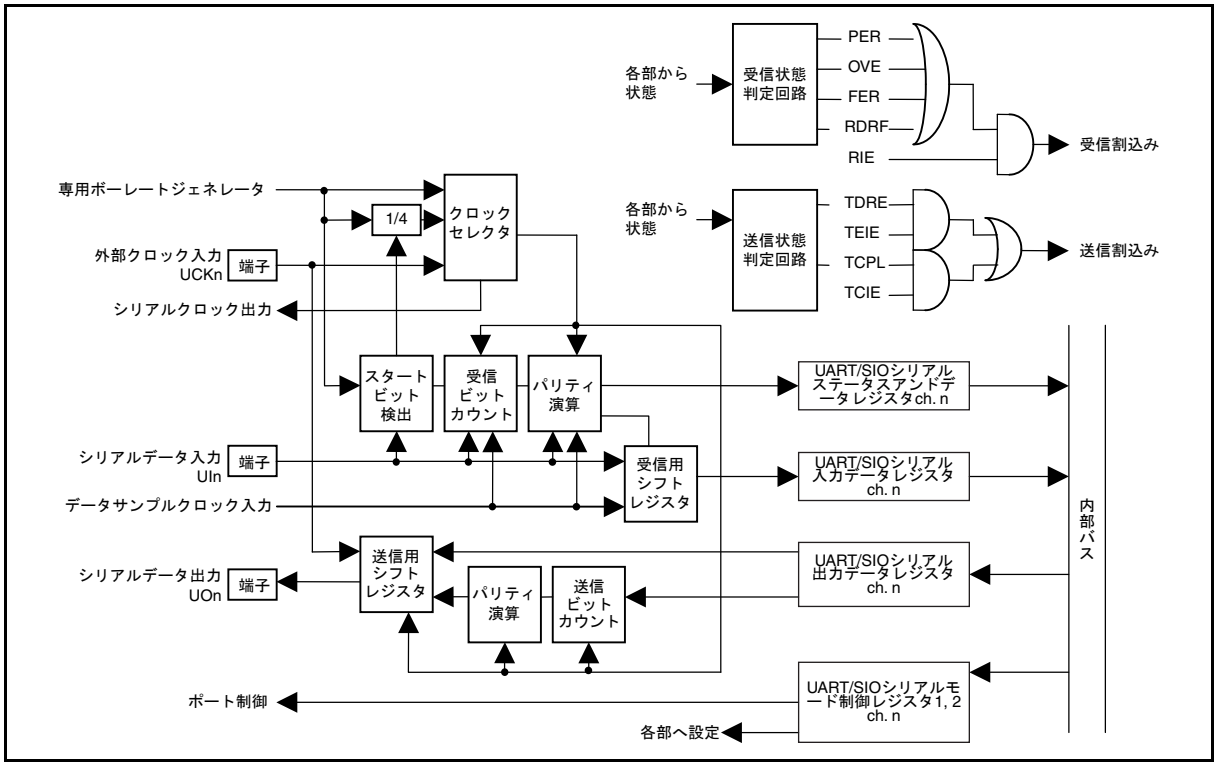
- **UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n)**
- **UART/SIO シリアルモード制御レジスタ 2 ch. n (SMC2n)**
- **UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn)**
- **UART/SIO シリアル入力データレジスタ ch. n (RDRn)**
- **UART/SIO シリアル出力データレジスタ ch. n (TDRn)**

品種により , UART/SIO の端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ UART/SIO のブロックダイヤグラム

図 21.2-1 UART/SIO のブロックダイヤグラム



- UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n)

  UART/SIO の動作モードを制御するレジスタです。シリアルデータの方向 (エンディアン), パリティの有無と極性 , ストップビット長 , 動作モード (同期 / 非同期), データ長およびシリアルクロックを設定します。

- UART/SIO シリアルモード制御レジスタ 2 ch. n (SMC2n)

  UART/SIO の動作モードを制御するレジスタです。シリアルクロック出力の許可 / 禁止 , シリアルデータ出力の許可 / 禁止 , 送信受信の許可 / 禁止 , 受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

- UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn)

  UART/SIO の送受信やエラーの状態を示します。

- UART/SIO シリアル入力データレジスタ ch. n (RDRn)

  受信データを保持するレジスタです。シリアル入力が変換されてこのレジスタに格納されます。

- UART/SIO シリアル出力データレジスタ ch. n (TDRn)

  送信データを設定するレジスタです。このレジスタに書き込まれたデータがシリアル変換されて出力されます。

■ 入力クロック

UART/SIO は , 専用ボーレートジェネレータからの出力クロック (内部クロック) または UCKn 端子からの入力信号 (外部クロック) を入力クロック (シリアルクロック) として使用します。

21.3 チャネル

UART/SIO のチャネルについて説明します。

■ UART/SIO のチャネル

UART/SIO の端子とレジスタを表 21.3-1 および表 21.3-2 にそれぞれ示します。

表 21.3-1 UART/SIO の端子

端子名	端子機能
UCKn	クロック入出力
UOn	データ出力
UIn	データ入力

表 21.3-2 UART/SIO のレジスタ

レジスタ略称	レジスタ対応 (本マニュアル上の表記)
SMC1n	UART/SIO シリアルモード制御レジスタ 1 ch. n
SMC2n	UART/SIO シリアルモード制御レジスタ 2 ch. n
SSRn	UART/SIO シリアルステータスアンドデータレジスタ ch. n
TDRn	UART/SIO シリアル出力データレジスタ ch. n
RDRn	UART/SIO シリアル入力データレジスタ ch. n

21.4 端子

UART/SIO の端子を示します。

■ UART/SIO の端子

UART/SIO の端子は,クロック入出力端子 (UCKn),シリアルデータ出力端子 (UOn) およびシリアルデータ入力端子 (UIn) です。

- UCKn

  UART/SIO のクロック入出力端子です。

  クロック出力を許可 (SMC2n:SCKE = 1) すると,対応するポート方向レジスタの値に関係なく ,UART/SIO のクロック出力端子 (UCKn) として機能します。このとき , 外部クロックは選択しないでください (SMC1n:CKS = 0 に設定)。

  UART/SIO のクロック入力端子として使用する場合は , クロック出力を禁止 (SMC2n:SCKE = 0) し , 対応するポート方向レジスタによって入力ポートに設定してください。このとき , 必ず外部クロックを選択 (SMC1n:CKS = 0 に設定) してください。

- UOn

  UART/SIO のシリアルデータ出力端子です。シリアルデータ出力を許可 (SMC2n:TXOE = 1) すると , 対応するポート方向レジスタの値に関係なく ,UART/SIO のシリアルデータ出力端子 (UOn) として機能します。

- UIn

  UART/SIO のシリアルデータ入力端子です。UART/SIO のシリアルデータ入力端子として使用する場合は,対応するポート方向レジスタによって入力ポートに設定してください。

21.5 割込み

UART/SIO には , 割込みに関連したエラーフラグビット (PER,OVE,FER), 受信データレジスタフルフラグビット (RDRF), 送信データレジスタエンプティフラグビット (TDRE) および送信完了フラグビット (TCPL) の 6 つのビットがあります。

■ UART/SIO の割込み

表 21.5-1 に , UART/SIO の割込み制御ビットと割込み要因を示します。

表 21.5-1 UART/SIO の割込み制御ビットと割込み要因

項目	説明					
割込み要求フラグビット	SSRn:TDRE	SSRn:TCPL	SSRn:RDRF	SSRn:PER	SSRn:OVE	SSRn:FER
割込み要求許可ビット	SMC2n:TEIE	SMC2n:TCIE	SMC2n:RIE	SMC2n:RIE	SMC2n:RIE	SMC2n:RIE
割込み要因	送信データレジスタエンプティ	送信完了	受信データフル	パリティエラー	オーバランエラー	フレーミングエラー

■ 送信割込み

送信データが UART/SIO シリアル出力データレジスタ ch. n (TDRn) に書き込まれると, 書き込まれたデータが送信用シフトレジスタに転送されます。次のデータの書込みが可能な状態になると , TDRE ビットが "1" に設定されます。このとき , 送信データレジスタエンプティ割込み許可ビットが許可 (SMC2n:TEIE = 1) されていると , 割込みコントローラへの割込み要求が発生します。

また , すべての送信データの送信が完了すると ,TCPL ビットが "1" に設定されます。このとき , 送信完了割込み許可ビットが許可 (SMC2n:TCIE = 1) されていると , 割込みコントローラへの割込み要求が発生します。

■ 受信割込み

データがストップビットまで正常に入力されると RDRF ビットが "1" に設定されます。また , オーバラン , パリティまたはフレーミングエラーが発生した場合には , 各エラーフラグビット (PER, OVE, FER) が "1" に設定されます。

これらのビットは , ストップビット検出時に設定され , 受信割込み許可ビットが許可 (SMC2n:RIE = 1) されていると , 割込みコントローラへの割込み要求が発生します。

21.6 動作説明と設定手順例

UART/SIO には , シリアル通信機能 (動作モード 0,1) があります。

■ UART/SIO の動作

● 動作モード

UART/SIO には , 2 種類の動作モードがあります。クロック同期モード (SIO) とクロック非同期モード (UART) を選択できます (表 21.6-1 を参照)。

表 21.6-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

■ 設定手順例

UART/SIO の設定手順例を以下に示します。

● 初期設定

1. ポートの入力を設定してください (DDR)。
2. 割込みレベルを設定してください (ILR*)。
3. プリスケーラを設定してください (PSSRn)。
4. ボーレートを設定してください (BRSRn)。
5. クロックを選択してください (SMC1n:CKS)。
6. 動作モードを設定してください (SMC1n:MD)。
7. シリアルクロック出力を許可または 禁止してください (SMC2n:SCKE)。
8. 受信動作を許可してください (SMC2n:RXE = 1)。
9. 割込みを許可してください (SMC2n:RIE = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■割込み要因のテーブル」を参照してください。

● 割込み処理

受信データを読み出してください (RDRn)。

21.6.1 動作モード 0 の動作説明

動作モード 0 は , クロック非同期モード (UART) として動作します。

■ UART/SIO の動作モード 0 の動作説明

UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) の MD ビットを "0" に設定すると , クロック非同期モード (UART) が選択されます。

- ボーレート

UART/SIO の SMC1n レジスタの CKS ビットで UART/SIO 専用ボーレートジェネレータをシリアルクロックとして選択してください。

ボーレートは専用ボーレートジェネレータの出力クロック周波数の 4 分周になります。UART は選択されたボーレートの –3% から +3% までの範囲で通信可能です。

専用ボーレートジェネレータによるボーレート算出式を以下に示します (専用ボーレートジェネレータについては ,「第 22 章 UART/SIO 専用 ボーレートジェネレータ」も参照してください 。

図 21.6-1 専用ボーレートジェネレータ使用時のボーレート算出

$$\text{ボーレート値} = \frac{\text{マシンクロック (MCLK)}}{4 \times \boxed{1/2/4/8} \times \boxed{2:255}} \ [\text{bps}]$$

UART 専用ボーレートジェネレータ プリスケーラ選択レジスタ ch. n (PSSRn)
プリスケーラ選択 (PSS[1:0])

UART 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn)
ボーレート設定 (BRS[7:0])

表 21.6-2 専用ボーレートジェネレータによるクロック非同期モード (UART) における転送レートの例 (マシンクロック :10 MHz, 16 MHz, 16.25 MHz の場合)

専用ボーレートジェネレータの設定		UART 内部分周	トータル分周比 (PSS × BRS×4)	ボーレート (10 MHz ÷ トータル分周比)	ボーレート (16 MHz ÷ トータル分周比)	ボーレート (16.25 MHz ÷ トータル分周比)
プリスケーラ選択 PSS[1:0]	ボーレートカウンタ設定 BRS[7:0]					
1 (設定値 : 0, 0)	20	4	80	125000	200000	203125
1 (設定値 : 0, 0)	22	4	88	113636	181818	184659
1 (設定値 : 0, 0)	44	4	176	56818	90909	92330
1 (設定値 : 0, 0)	87	4	348	28736	45977	46695
1 (設定値 : 0, 0)	130	4	520	19231	30769	31250
2 (設定値 : 0, 1)	130	4	1040	9615	15385	15625
4 (設定値 : 1, 0)	130	4	2080	4808	7692	7813
8 (設定値 : 1, 1)	130	4	4160	2404	3846	3906

また,クロック非同期モード(UART)におけるボーレート設定が可能な範囲は以下のとおりです。

表 21.6-3 クロック非同期モード (UART) におけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
0b00 ～ 0b11	0x02(2) ～ 0xFF(255)

● 転送データフォーマット

UART は,NRZ (Non Return to Zero) 形式のデータのみを扱えます。図 21.6-2 に,転送データフォーマットを示します。

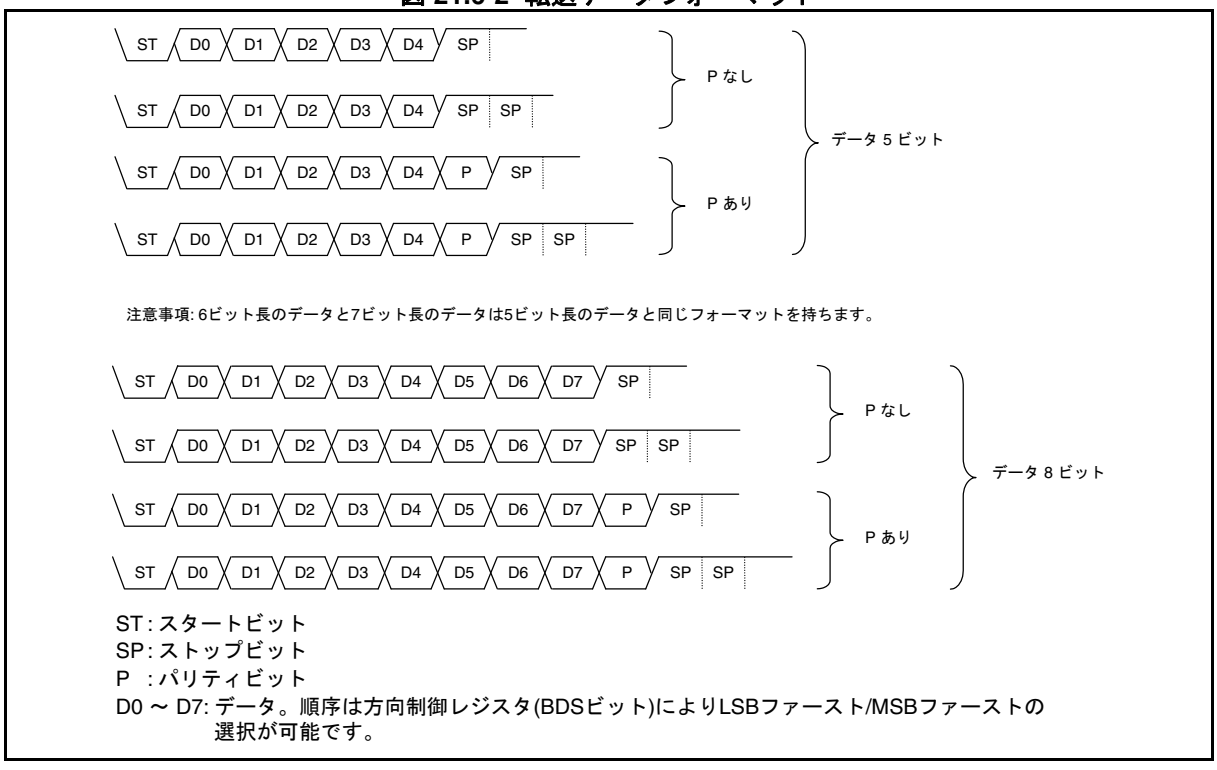
キャラクタビット長は, SMC1n:CBL[1:0] ビット の設定により 5 ビット～ 8 ビットを選択できます。

ストップビット長は SMC1n:SBL ビットの設定により 1 ビットもしくは 2 ビットに設定できます。

パリティの有無 , パリティの極性は SMC1n レジスタの PEN ビットと TDP ビット により設定できます。

図 21.6-2 に示すように , 転送データは必ずスタートビット ("L" レベル) より始まり , MSB ファーストもしくは LSB ファースト (SMC1n レジスタの BDS ビットで LSB ファースト /MSB ファーストの選択可能) で指定されたデータビット長転送が行われ , ストップビット ("H" レベル) で終了します。アイドル時は "H" レベルになります。

図 21.6-2 転送データフォーマット



● クロック非同期モード (UART) の受信動作

UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) により , シリアルデータの方向 (エンディアン), パリティの有無 , パリティの極性 , ストップビット長 , キャラクタビット長およびクロックを選択します。

受信動作許可ビット (SMC2n:RXE) が "1" に設定されていると常に受信動作が行われます。

RXE ビットが "1" の場合 , 受信データのスタートビットを検出すると ,UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) に設定されているデータフォーマットに従って 1 フレームのデータを受信します。

1 フレームのデータ受信が完了すると ,受信データを UART/SIO シリアル入力データレジスタ ch. n (RDRn) に転送し , 次のシリアルデータを受信できるようになります。

RDRn レジスタにデータが格納されると , 受信データレジスタフルフラグビット (SSRn:RDRF) が "1" に設定されます。

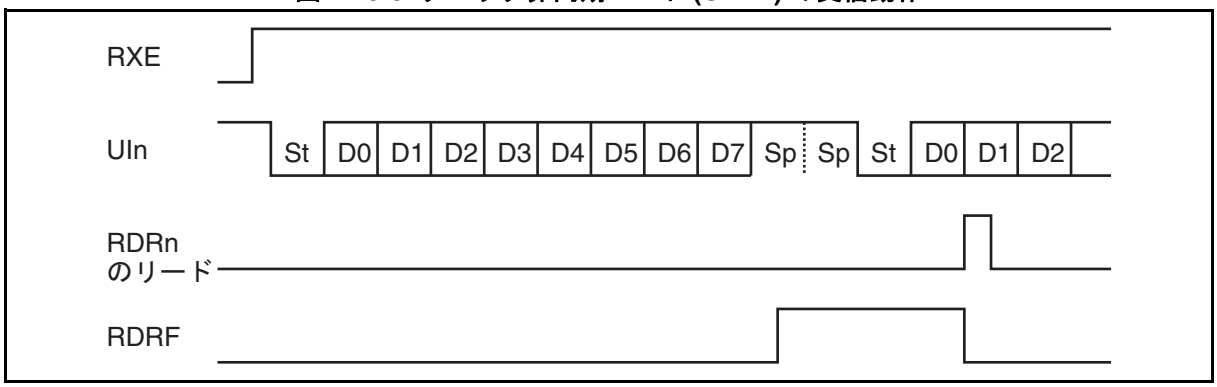
受信割込み許可ビット (SMC2n:RIE) が "1" に設定されている場合は , RDRF ビットが "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は , UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn) の各エラーフラグビット (PER, OVE, FER) を確認し , RDRn レジスタを読み出します。

受信データが RDRn レジスタから読み出されると , RDRF ビットが "0" にクリアされます。

なお , 受信動作中に SMC1n レジスタが変更された場合の動作は保証されません。また , 受信動作中に RXE ビットを "0" にした場合 , 直ちに受信動作が禁止され , 初期化されます。途中まで受信したデータはシリアル入力データレジスタには転送されません。

図 21.6-3 クロック非同期モード (UART) の受信動作



● クロック非同期モード (UART) 時の受信エラー

以下の 3 つのエラーフラグビット (PER, FER, OVE) があるときは，受信データは UART/SIO シリアル入力データレジスタ ch. n (RDRn) に転送されず,受信データレジスタフルフラグビット (RDRF) も "1" に設定されません。

- パリティエラー (PER)

  パリティ制御ビット (PEN) が "1" に設定されている場合,受信シリアルデータのパリティビットがパリティ極性ビット (TDP) と異なったとき，パリティエラーフラグビット (PER) が "1" に設定されます。
- フレーミングエラー (FER)

  設定されているキャラクタビット長 (CBL), パリティ制御 (PEN) により，シリアルデータの受信を行った結果,シリアルデータの最初のストップビットの位置に "1" を検出しなかった場合，フレーミングエラーフラグビット (FER) が "1" に設定されます。

  なお , 2 ビット目以降のストップビットに対してはチェックを行いません。
- オーバランエラー (OVE)

  シリアルデータの受信が完了したとき，前回の受信データが読み出される前に次の受信が行われた場合 , オーバランエラーフラグビット (OVE) が "1" に設定されます。

また , 各フラグビットは最初のストップビットの位置で設定されます。

図 21.6-4 受信エラーフラグビットの設定タイミング



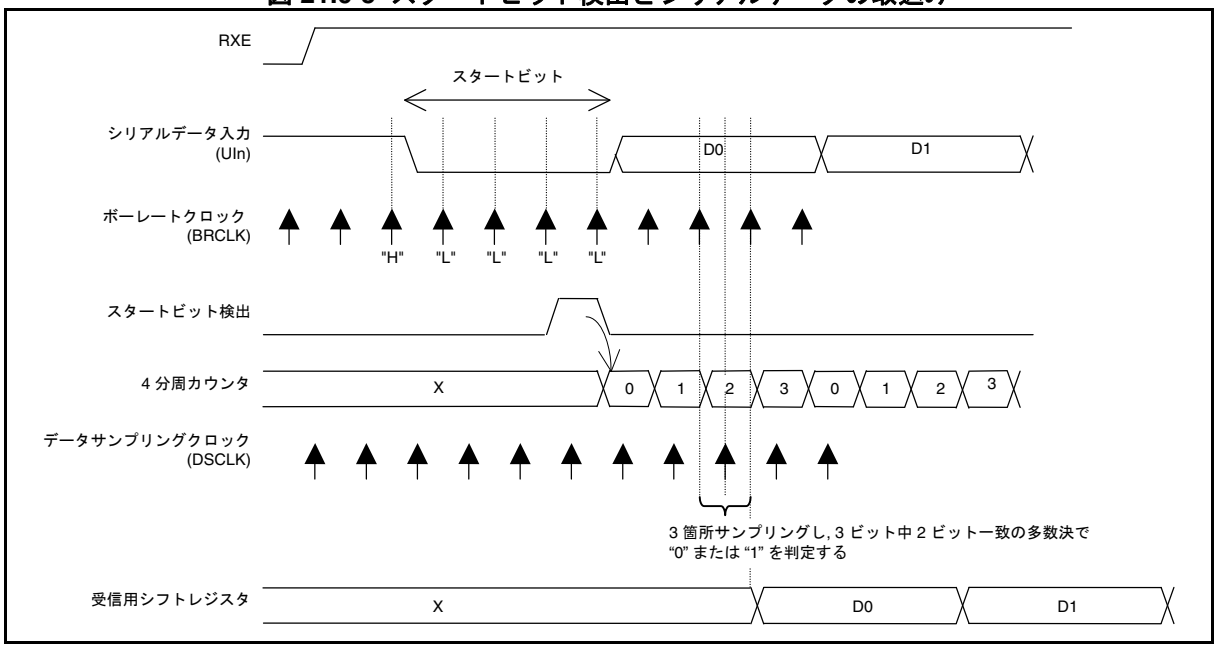
● 受信動作時のスタートビットの検出と受信データの確定

受信動作許可ビット (RXE) が "1" に設定されてから専用ボーレートジェネレータのクロック (BRCLK) によってシリアルデータ入力をサンプリングし , シリアル入力の立下りと連続した 3 回の "L" によりスタートビットは検出されます。したがって , BRCLK のサンプリングにおいて , 最初に "H","L","L","L" が検出されたとき , そのビットをスタートビットとみなします。

スタートビット検出から 4 分周回路を起動し ,BRCLK の 4 周期ごとにシリアルデータを受信用シフトレジスタに取り込みます。

データの受信は , ボーレートクロック (BRCLK) とデータサンプリングクロック (DSCLK) の 3 箇所でサンプリングして 3 ビット中 2 ビット一致の多数決で受信データを確定します。

図 21.6-5 スタートビット検出とシリアルデータの取込み



● クロック非同期モード (UART) の送信動作

UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) により , シリアルデータの方向 (エンディアン), パリティの有無 , パリティの極性 , ストップビット長 , キャラクタビット長およびクロックを選択します。

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから UART/SIO シリアル出力データレジスタ ch. n (TDRn) へ送信データを書き込むことによって送信を開始する。
- TDRn レジスタに送信データを書き込んだ後 , 送信動作許可ビット (TXE) を "1" に設定することによって送信を開始する。

送信データは , 送信データレジスタエンプティフラグビット (TDRE) が "1" になっていることを確認してから , TDRn レジスタに書き込みます。

送信データが TDRn レジスタに書き込まれると TDRE ビットが "0" に設定されます。

送信データが TDRn レジスタから送信用シフトレジスタに転送され , TDRE ビットが "1" に設定されます。

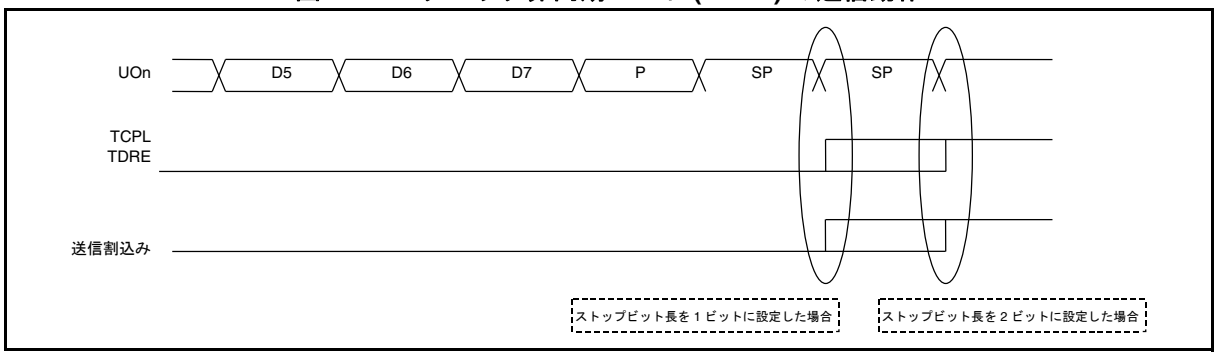
送信割込み許可ビット (TIE) を "1" に設定している場合は , TDRE ビットが "1" に設定されると送信割込みを発生します。これにより , 割込み処理において次の送信データを TDRn レジスタに書き込めます。

シリアル送信が完了したことを送信割込みによって検知する場合は送信完了割込み許可ビットの設定を TEIE=0, TCIE=1 にしてください。送信が完了すると送信完了フラグビット (SSRn:TCPL) が "1" に設定されて送信割込みが発生します。

TCPL ビットと , 連続送信時の TDRE ビットは , 図 21.6-6 に示すように , 最終ビットの送信が完了した位置 (データ長 , パリティ許可 , ストップビット長設定により異なる) において設定されます。

送信動作中に UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) が変更された場合の動作は保証されません。

図 21.6-6 クロック非同期モード (UART) の送信動作



TDRE ビットは , 前の送信データが送信シフトレジスタにない場合は , 図 21.6-7 または図 21.6-8 の位置で設定されます。

図 21.6-7 送信データレジスタエンプティフラグビット (TDRE) の設定タイミング 1 (TXE が "1" の場合)

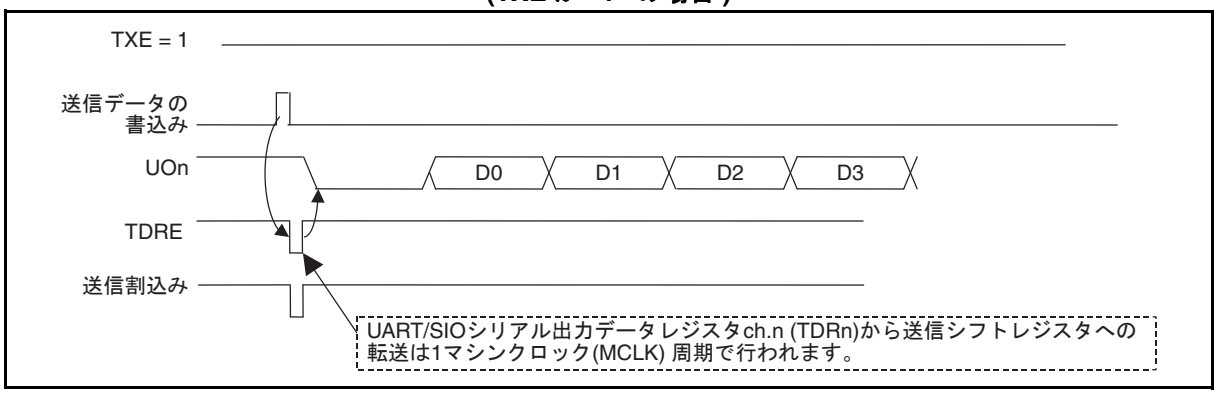
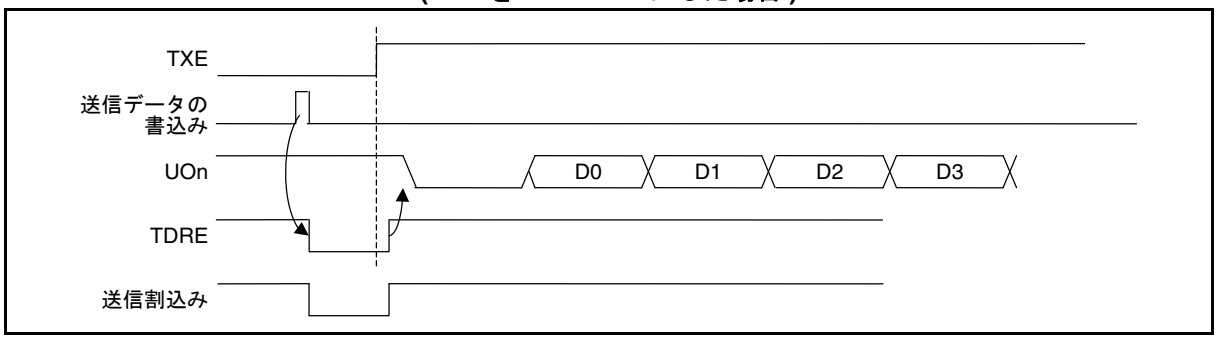


図 21.6-8 送信データレジスタエンプティフラグビット (TDRE) の設定タイミング 2 (TXE を "0" → "1" にした場合)



● 送受信同時動作

クロック非同期モード (UART) では , 送信と受信は独立して動作できます。したがって , 送信と受信が同時または位相がずれて送信フレームと受信フレームが重なり合う場合であっても動作します。

21.6.2 動作モード 1 の動作説明

動作モード 1 は , クロック同期モード (SIO) として動作します。

■ UART/SIO の動作モード 1 の動作説明

UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) の MD ビットを "1" に設定するとクロック同期モード (SIO) が選択されます。

クロック同期モード (SIO) におけるキャラクタビット長は 5 ビット～ 8 ビットの可変長になります。

ただし , パリティは禁止 , ストップビットはなしになります。

シリアルクロックは , SMC1n レジスタの CKS ビットで選択します。専用ボーレートジェネレータか外部クロックかを選択します。SIO は選択されたシリアルクロックをシフトクロックとしてシフト動作を行います。

外部クロックを入力するときは , SMC2n:SCKE ビットは "0" にしてください。

専用ボーレートジェネレータの出力をシフトクロックとして出力するときは , SCKE ビットを "1" にしてください。この場合のシリアルクロックは , 専用ボーレートジェネレータからのクロックを 2 分周して作られます。SIO モードにおけるボーレート設定が可能な範囲は以下のとおりです (専用ボーレートジェネレータについては ,「 第 22 章 UART/SIO 専用 ボーレートジェネレータ」も参照)。

表 21.6-4 クロック同期モード (SIO) におけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
0b00 ～ 0b11	0x01(1) ～ 0xFF(255), 0x00(256) (最速となる設定は 0x01 最も遅い設定は 0x00 です。)

外部クロックによるボーレート算出式と , 専用ボーレートジェネレータ使用時のボーレート算出式を以下に示します。

図 21.6-9 外部クロックによるボーレート算出式

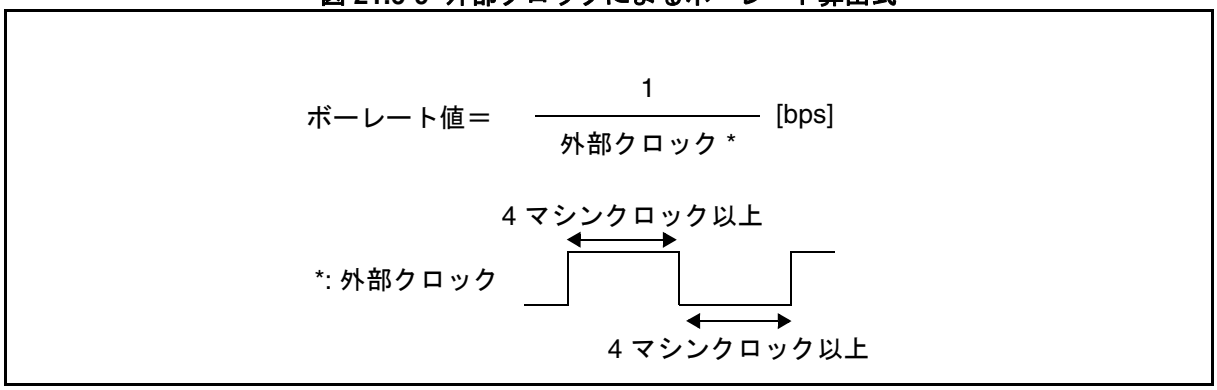
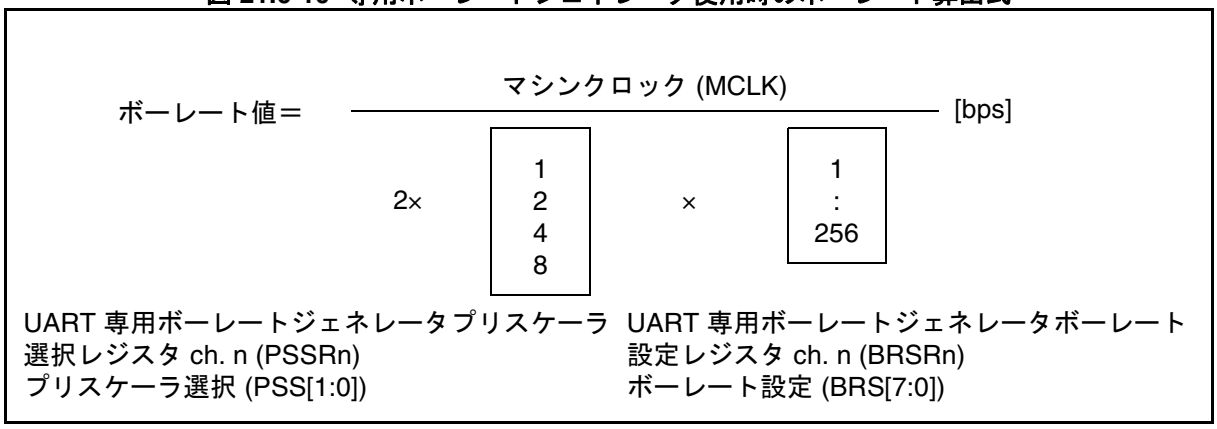


図 21.6-10 専用ボーレートジェネレータ使用時のボーレート算出式



● シリアルクロックについて

シリアルクロックは送信データの出力制御に合わせて出力されます。そのため,受信のみ行う場合であっても , 送信動作を許可 (SMC2n:TXE = 1) してダミーの送信データを UART/SIO シリアル出力レジスタ ch. n に書き込んでください。また, UCKn のクロック値はデバイスのデータシートを参照してください。

● UART/SIO 動作モード 1 受信動作

動作モード 1 の受信では , 各レジスタを図 21.6-11 のように使用します。

図 21.6-11 動作モード 1 の受信時使用レジスタ

SMC1n (UART/SIO シリアルモード制御レジスタ 1)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD
◎	×	×	×	◎	◎	◎	1

SMC2n (UART/SIO シリアルモード制御レジスタ 2)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE
◎	0	◎	◎	◎	◎	×	×

SSRn (UART/SIO シリアルステータスアンドデータレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	-	PER	OVE	FER	RDRF	TCPL	TDRE
×	×	×	◎	×	◎	×	×

TDRn (UART/SIO シリアル出力データレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
×	×	×	×	×	×	×	×

RDRn (UART/SIO シリアル入力データレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
◎	◎	◎	◎	◎	◎	◎	◎

◎ : 使用ビット
× : 未使用ビット
1 : "1" に設定
0 : "0" に設定

受信動作は , シリアルクロックが外部クロック / 内部クロックのどちらかに設定されているかによります。

＜外部クロックの場合＞

受信動作許可ビット (RXE) が "1" に設定されていると , 常に外部クロックの立上りエッジでシリアルデータを受信します。

＜内部クロックの場合＞

シリアルクロックは送信動作に合わせて出力されます。そのため , 受信であっても送信動作を行わなければなりません。以下の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから ,UART/SIO シリアル出力データレジスタ ch. n (TDRn) へ送信データを書き込むことによってシリアルクロックを発生させて受信を開始する。
- TDRn レジスタに送信データを書き込んだ後 , TXE ビットを "1" に設定することによってシリアルクロックを発生させて受信を開始する。

受信用シフトレジスタに 5 ビット～ 8 ビットのシリアルデータが受信されると , 受信データを UART/SIO シリアル入力データレジスタ ch. n (RDRn) へ転送し , 次のシリアルデータの受信を可能にします。

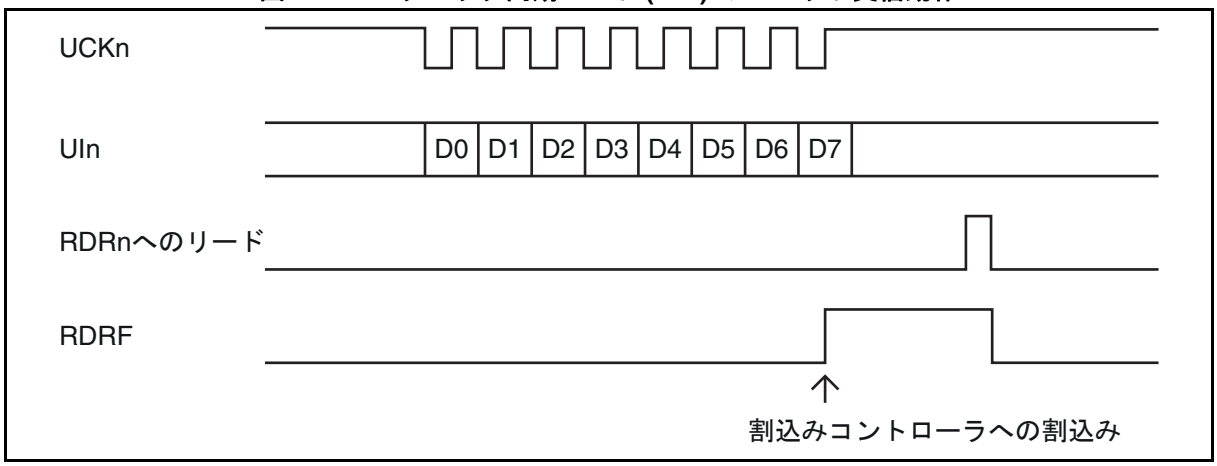
RDRn レジスタにデータが格納されると , 受信データレジスタフルフラグビット (RDRF) が "1" に設定されます。

受信割込み許可ビット (RIE) が "1" に設定されている場合は , RDRF ビットが "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は ,UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn) のオーバランエラーフラグビット (OVE) を確認し , RDRn レジスタから読み出します。

受信データが RDRn レジスタから読み出されると , RDRF ビットが "0" にクリアされます。

図 21.6-12 クロック同期モード (SIO) の 8 ビット受信動作



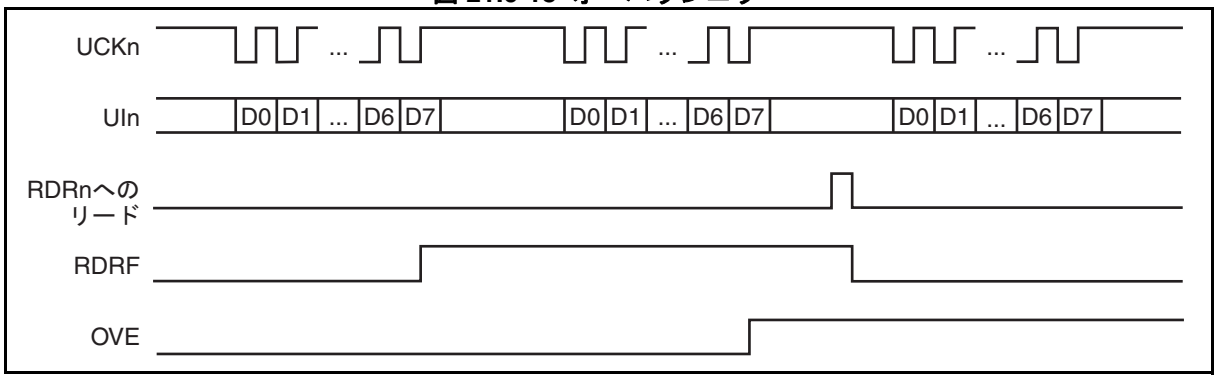
受信エラー時の動作

オーバランエラー (OVE = 1) があるときは , 受信データは RDRn レジスタには転送されません。

オーバランエラー (OVE = 1)

シリアルデータの受信が完了したとき , 前回の受信によって RDRF ビットが "1" に設定されていた場合 , OVE ビット が "1" に設定されます。

図 21.6-13 オーバランエラー



● UART/SIO 動作モード 1 送信動作

動作モード 1 の送信では , 各レジスタを図 21.6-14 のように使用します。

図 21.6-14 動作モード 1 の送信時使用レジスタ

SMC1n (UART/SIO シリアルモード制御レジスタ 1)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD
◎	×	×	×	◎	◎	◎	1

SMC2n (UART/SIO シリアルモード制御レジスタ 2)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE
◎	1	×	×	◎	×	◎	◎

SSRn (UART/SIO シリアルステータスアンドデータレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	-	PER	OVE	FER	RDRF	TCPL	TDRE
×	×	×	×	×	×	◎	◎

TDRn (UART/SIO シリアル出力データレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
◎	◎	◎	◎	◎	◎	◎	◎

RDRn (UART/SIO シリアル入力データレジスタ)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
×	×	×	×	×	×	×	×

◎ : 使用ビット
× : 未使用ビット
1 : "1" に設定
0 : "0" に設定

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから, TDRnレジスタへ送信データを書き込むことによって送信を開始する。
- TDRn レジスタに送信データを書き込んだ後 , TXE ビットを "1" に設定することによって送信を開始する。

送信データは , 送信データレジスタエンプティフラグビット (TDRE) が "1" になっていることを確認してから , TDRn レジスタに書き込んでください。

送信データが TDRn レジスタに書き込まれると , TDRE ビットが "0" に設定されます。

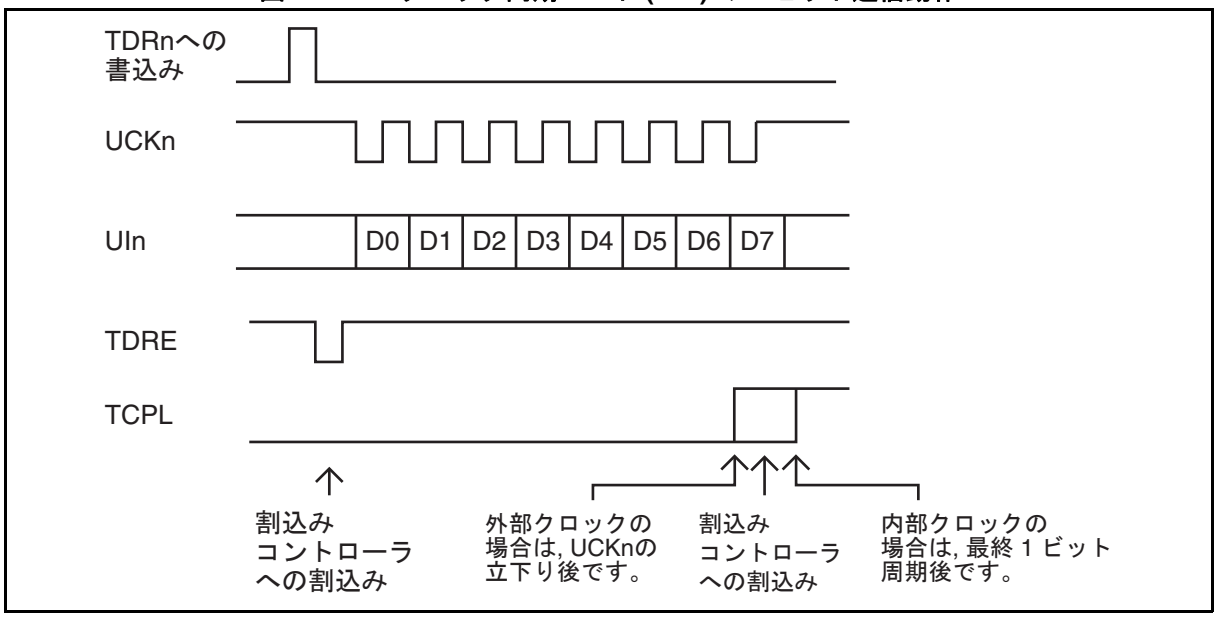
送信データが TDRn レジスタから送信用シフトレジスタに転送されてシリアル送信が開始されると , TDRE ビットが "1" に設定されます。

外部クロックを使用する設定では,送信動作が起動した最初のシリアルクロックの立下りからシリアルデータが送信されます。

送信割込み許可ビット (TIE) が "1" に設定されている場合は , TDRE ビットが "1" に設定されると送信完了割込みが発生します。このとき , 次の送信データを TDRn レジスタに書き込めます。また , TXE ビットが "1" に設定されたままであれば , 連続してシリアル送信を行えます。

シリアル送信が完了したことを送信完了割込みによって検知する場合は,送信完了割込み出力許可の設定を TEIE = 0,TCIE = 1 にしてください。送信が完了すると送信完了フラグ ビット (SSRn:TCPL) が "1" に設定されて送信完了割込みが発生します。

図 21.6-15 クロック同期モード (SIO) の 8 ビット送信動作



● 送受信同時動作

＜外部クロックの場合＞

送信と受信はそれぞれ独立して動作できます。したがって , 送信と受信が同時または位相がずれて重なり合う場合でも動作します。

＜内部クロックの場合＞

送信側がシリアルクロックを発生しているため , 受信は送信の影響を受けます。

受信途中に送信が終了してしまった場合 , 受信側は停止した状態となります。 受信は , 送信側が再起動されたときに継続されます。

シリアルクロックを出力および入力して使用する方法については ,「21.4 端子」を参照してください。

21.7 レジスタ

UART/SIO のレジスタについて説明します。

表 21.7-1 UART/SIO のレジスター覧

レジスタ略称	レジスタ名	参照先
SMC1n	UART/SIO シリアルモード制御レジスタ 1 ch. n	21.7.1
SMC2n	UART/SIO シリアルモード制御レジスタ 2 ch. n	21.7.2
SSRn	UART/SIO シリアルステータスアンドデータレジスタ ch. n	21.7.3
RDRn	UART/SIO シリアル入力データレジスタ ch. n	21.7.4
TDRn	UART/SIO シリアル出力データレジスタ ch. n	21.7.5

21.7.1 UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n)

UART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n) は , UART/SIO の動作モードを制御します。シリアルデータの方向 (エンディアン), パリティの有無と極性 , ストップビット長 , 動作モード (クロック同期モード / クロック 非同期モード), データ長およびシリアルクロックを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] BDS: シリアルデータ方向制御ビット
このビットはシリアルデータの方向 (エンディアン) を制御します。

bit7	説明
"0" を書き込んだ場合	UART/SIO シリアル入力 / 出力データレジスタ ch. n (RDRn/TDRn) の LSB 側から順に送受信します。
"1" を書き込んだ場合	UART/SIO シリアル入力 / 出力データレジスタ ch. n (RDRn/TDRn) の MSB 側から順に送受信します。

[bit6] PEN: パリティ制御ビット
このビットはクロック非同期モード (UART) におけるパリティの有無を制御します。

bit6	説明
"0" を書き込んだ場合	パリティなし
"1" を書き込んだ場合	パリティあり

[bit5] TDP: パリティ極性制御ビット
このビットは偶数 / 奇数パリティを制御します。

bit5	説明
"0" を書き込んだ場合	偶数パリティ
"1" を書き込んだ場合	奇数パリティ

[bit4] SBL: ストップビット長制御ビット
このビットはクロック非同期モード (UART) におけるストップビット長を制御します。

bit4	説明
"0" を書き込んだ場合	1 ビット
"1" を書き込んだ場合	2 ビット

(注意事項) 本ビットの設定はクロック非同期モード (UART) の送信動作のみに対して有効です。受信動作において , 本ビットの設定にかかわらず , UART/SIO は , ストップビット (1 ビット) を検出すると , 受信を完了し , 受信データレジスタフルフラグビット (SSRn:RDRF) を "1" に設定します。

[bit3:2] CBL[1:0]: キャラクタビット長選択ビット
これらのビットはキャラクタビット長を選択します。
これらのビットの設定はクロック非同期モード (UART) とクロック同期モード (SIO) の両方に有効です。

bit3:2	説明
"00" を書き込んだ場合	5 ビット
"01" を書き込んだ場合	6 ビット
"10" を書き込んだ場合	7 ビット
"11" を書き込んだ場合	8 ビット

[bit1] CKS: クロック選択ビット
このビットは外部クロックと UART/SIO 専用ボーレートジェネレータからシリアルクロックを選択します。

bit1	説明
"0" を書き込んだ場合	UART/SIO 専用ボーレートジェネレータ
"1" を書き込んだ場合	外部クロック

(注意事項) 本ビットに "1" を書き込んだ場合は , 強制的に UCKn 端子の出力が禁止されます。クロック非同期モード (UART) では外部クロックは使用できません。

[bit0] MD: 動作モード選択ビット
このビットはクロック非同期モード (UART) とクロック同期モード (SIO) から動作モードを選択します。

bit0	説明
"0" を書き込んだ場合	クロック非同期モード (UART)
"1" を書き込んだ場合	クロック同期モード (SIO)

＜注意事項＞

シリアルデータの送受信中にUART/SIO シリアルモード制御レジスタ 1 ch. n (SMC1n)の設定 を変更しないでください。

21.7.2 UART/SIO シリアルモード制御レジスタ 2 ch. n (SMC2n)

UART/SIO シリアルモード制御レジスタ 2 ch. n (SMC2n) は , UART/SIO の動作モードを制御します。シリアルクロック出力の許可 / 禁止,シリアルデータ出力の許可 / 禁止,送信受信の許可 / 禁止,受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0

■ レジスタ機能

[bit7] SCKE: シリアルクロック出力許可ビット
このビットはクロック同期モード (SIO) におけるシリアルクロック端子 (UCKn) の入出力を制御します。

bit7	説明
"0" を書き込んだ場合	シリアルクロック出力を禁止し , UCKn 端子を汎用入出力ポートとして使用します。
"1" を書き込んだ場合	シリアルクロック出力を許可し , UCKn 端子をシリアルクロック出力端子として使用します。

(注意事項) クロック選択ビット (SMC1n:CKS) が "1" のとき , 本ビットが "1" に設定されても内部クロックは出力されません。
動作モード選択ビット (SMC1n:MD) が "0" のとき (クロック非同期モード (UART)) は , 本ビットが "1" に設定されると , UCKn からの出力は常に "H" になります。

[bit6] TXOE: シリアルデータ出力許可ビット
このビットはシリアルデータ端子 (UOn) の出力を制御します。

bit6	説明
"0" を書き込んだ場合	シリアルデータ出力を禁止し , UOn 端子を汎用入出力ポートとして使用します。
"1" を書き込んだ場合	シリアルデータ出力を許可し , UOn 端子をシリアルデータ出力端子として使用します。

[bit5] RERC: 受信エラーフラグクリアビット
このビットは受信エラーフラグをクリアします。
このビットの読出し値は常に "1" です。

bit5	説明
"0" を書き込んだ場合	SSRn レジスタの各受信エラーフラグビット (PER, OVE, FER) をクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit4] RXE: 受信動作許可ビット
このビットはシリアルデータの受信を許可または禁止します。
受信動作中にこのビットが "0" に設定された場合 , 直ちに受信動作が禁止され , 初期化されます。途中まで受信したデータは UART/SIO シリアル入力データレジスタ ch. n には転送されません。

bit4	説明
"0" を書き込んだ場合	シリアルデータの受信を禁止します。
"1" を書き込んだ場合	シリアルデータの受信を許可します。

(注意事項) RXE ビットに "0" を書き込んだ場合 , 初期化されるのは受信動作です。SSRn レジスタのエラーフラグビット (SSRn:PER, OVE, FER, RDRF) は影響されません。

[bit3] TXE: 送信動作許可ビット
このビットはシリアルデータの送信を許可または禁止します。
送信動作中にこのビットが "0" に設定された場合 , 直ちに送信動作が禁止され , 初期化されます。送信完了フラグビット (SSRn:TCPL) が "1" に設定され , 送信データレジスタエンプティフラグビット (SSRn:TDRE) も "1" に設定されます。

bit3	説明
"0" を書き込んだ場合	シリアルデータの送信を禁止します。
"1" を書き込んだ場合	シリアルデータの送信を許可します。

[bit2] RIE: 受信割込み許可ビット
このビットは受信割込みを許可または禁止します。
このビットが "1"(受信割込み許可) のときに , 受信データレジスタフルフラグビット (SSRn:RDRF) およびそのほかの受信エラーフラグビット (SSRn:PER, OVE, FER) のいずれかが "1" になると , 直ちに受信割込みが発生します。

bit2	説明
"0" を書き込んだ場合	受信割込みを禁止します。
"1" を書き込んだ場合	受信割込みを許可します。

[bit1] TCIE: 送信完了割込み許可ビット
このビットは送信完了割込みを許可または禁止します。
このビットが "1"(送信完了割込み許可) のときに , 送信完了フラグビット (SSRn:TCPL) が "1" になると , 直ちに送信完了割込みが発生します。

bit1	説明
"0" を書き込んだ場合	送信完了割込みを禁止します。
"1" を書き込んだ場合	送信完了割込みを許可します。

[bit0] TEIE: 送信データレジスタエンプティ割込み許可ビット
このビットは送信データレジスタエンプティ割込みを許可または禁止します。
このビットが "1"(送信データレジスタエンプティ割込み許可) のときに , 送信データレジスタエンプティフラグビット (SSRn:TDRE) が "1" になると , 直ちに送信データレジスタエンプティ割込みが発生します。

bit0	説明
"0" を書き込んだ場合	送信データレジスタエンプティ割込みを禁止します。
"1" を書き込んだ場合	送信データレジスタエンプティ割込みを許可します。

21.7.3 UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn)

UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn) は , UART/SIO の送受信やエラーの状態を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	PER	OVE	FER	RDRF	TCPL	TDRE
属性	—	—	R	R	R	R	R/W	R
初期値	0	0	0	0	0	0	0	1

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] PER: パリティエラーフラグビット
このビットは受信データのパリティエラーを検出します。
受信時にパリティエラーが発生すると , このビットが "1" に設定され , SMC2n レジスタの RERC ビットに "0" を書き込むことによって , このビットがクリアされます。
パリティエラーの検出と RERC ビットによるクリアが同時に発生する場合は , このパリティエラーフラグの設定が優先されます。

bit5	説明
"0" が読み出された場合	パリティエラーなし
"1" が読み出された場合	パリティエラーあり

[bit4] OVE: オーバランエラーフラグビット
このビットは受信データのオーバランエラーを検出します。
受信時にオーバランエラーが発生すると , このビットが "1" に設定され , SMC2n レジスタの RERC ビットに "0" を書き込むことによって , このビットがクリアされます。
オーバランエラーの検出と RERC ビットに "0" を書き込むことによるクリアが同時に発生する場合は , このオーバランエラーフラグの設定が優先されます。

bit4	説明
"0" が読み出された場合	オーバランエラーなし
"1" が読み出された場合	オーバランエラーあり

[bit3] FER: フレーミングエラーフラグビット
このビットは受信データのフレーミングエラーを検出します。
受信時にフレーミングエラーが発生すると , このビットが "1" に設定され , SMC2n レジスタの RERC ビットに "0" を書き込むことによって , このビットがクリアされます。
フレーミングエラーの検出と RERC ビットに "0" を書き込むことによるクリアが同時に発生する場合は , このフレーミングエラーフラグの設定が優先されます。

bit3	説明
"0" が読み出された場合	フレーミングエラーなし
"1" が読み出された場合	フレーミングエラーあり

[bit2] RDRF: 受信データレジスタフルフラグビット
このビットは UART/SIO シリアル入力データレジスタ ch. n (RDRn) の状態を示します。
RDRn レジスタへ受信データがロードされると , このビットが "1" に設定されます。
RDRn レジスタのデータが読み出されると , このビットが "0" にクリアされます。

bit2	説明
"0" が読み出された場合	RDRn レジスタに受信データがないことを示します。
"1" が読み出された場合	RDRn レジスタに受信データがあることを示します。

[bit1] TCPL: 送信完了フラグビット
このビットはデータの送信状態を示します。
シリアル送信が完了したとき , このビットが "1" に設定されます。ただし , 連続して送信されるデータが UART/SIO シリアル出力データレジスタ ch. n (TDRn) にある場合 ,1 回の送信が完了しても , このビットは "1" に設定されません。
このビットへの "0" の書込みはこのビットをクリアします。
送信完了によりこのビットが "1" に設定されることと , "0" の書込みによりこのビットがクリアされることが同時に発生する場合は , 前者が優先されます。
このビットに "1" を書き込んでも動作に影響はありません。

bit1	説明
"0" が読み出された場合	データの送信が完了していないことを示します。
"1" が読み出された場合	データの送信が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit0] TDRE: 送信データレジスタエンプティフラグビット
このビットは UART/SIO シリアル出力データレジスタ ch. n (TDRn) の状態を示します。
TDRn レジスタへ送信データが書き込まれると , このビットが "0" に設定されます。
送信用シフトレジスタに送信データがロードされて送信が開始されると , このビットが "1" に設定されます。

bit0	説明
"0" が読み出された場合	TDRn レジスタに送信データがあることを示します。
"1" が読み出された場合	TDRn レジスタに送信データがないことを示します。

21.7.4 UART/SIO シリアル入力データレジスタ ch. n (RDRn)

UART/SIO シリアル入力データレジスタ ch. n (RDRn) は, シリアルデータの入力 (受信) 用レジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

このレジスタは受信したデータを格納します。 シリアルデータ入力端子 (UIn) に送られてきたシリアルデータ信号がシフトレジスタで変換されて,このレジスタに格納されます。

受信データが正常にこのレジスタに設定されると , 受信データレジスタフルフラグビット (SSRn:RDRF) が "1" に設定されます。このとき,受信割込み要求が許可されていれば割込みが発生します。プログラムによる RDRF ビットチェックまたは割込みでこのレジスタに格納された受信データが示されていれば,このレジスタの内容を読み出すことにより , RDRF ビットが "0" にクリアされます。

キャラクタビット長 (SMC1n:CBL[1:0]) を 8 ビット未満に設定した場合 , 不要となる上位のビット (設定したビット長以外のビット) は "0" になります。

21.7.5 UART/SIO シリアル出力データレジスタ ch. n (TDRn)

UART/SIO シリアル出力データレジスタ ch. n (TDRn) は , シリアルデータの出力 (送信) 用レジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

このレジスタには送信するデータが書き込まれます。送信データレジスタエンプティフラグビット (TDRE) が "1" の場合 , 書込みができます。"0" の場合 , 書込みは無視されます。

送信データが UART/SIO シリアル出力データレジスタ ch. n (TDRn) に書き込まれると , TDRE ビットは "0" に設定されます。送信用シフトレジスタに送信データの転送が終了すれば , TDRE ビットは "1" に設定され , 次の送信用データを TDRn レジスタに書き込めます。このとき , 送信データレジスタエンプティ割込みが許可されていれば割込みが発生します。次の送信データの書込みは , 送信データレジスタエンプティの発生のときに行うか , TDRE ビットが "1" のときに行ってください。

キャラクタビット長 (SMC1n:CBL[1:0]) を 8 ビット未満に設定した場合 , 上位のビット (設定したビット長以外のビット) は無視されます。

＜注意事項＞

UART/SIO シリアルステータスアンドデータレジスタ ch. n (SSRn) の TDRE ビットが "0" のとき , このレジスタのデータは更新できません。
既に送信データが書き込まれ ,TDRE ビットが "0" のときに , このレジスタを更新する場合は (SMC2n レジスタの TXE ビット の設定にかかわらず) TXE ビット に "0" を書き込むことにより送信動作が初期化され ,TDRE ビット が "1" となり , このレジスタを更新できるようになります。
また , 送信が開始されていないとき (TDRn レジスタ に送信データを書き込んで ,TXE ビット をまだ "1" に設定していないとき) に TXE ビットに "0" を書き込む場合は , SSRn レジスタの TCPL ビット は "1" に設定されません。データを変更する場合は ,TXE ビット に "0" を書き込むことにより , 一度 TDRE ビット を "1" にしてからデータを変更してください。

第 22 章

UART/SIO 専用 ボーレート ジェネレータ

UART/SIO 専用ボーレートジェネレータの機能と動作について説明します。

22.1 概要
22.2 チャネル
22.3 動作説明
22.4 レジスタ

22.1 概要

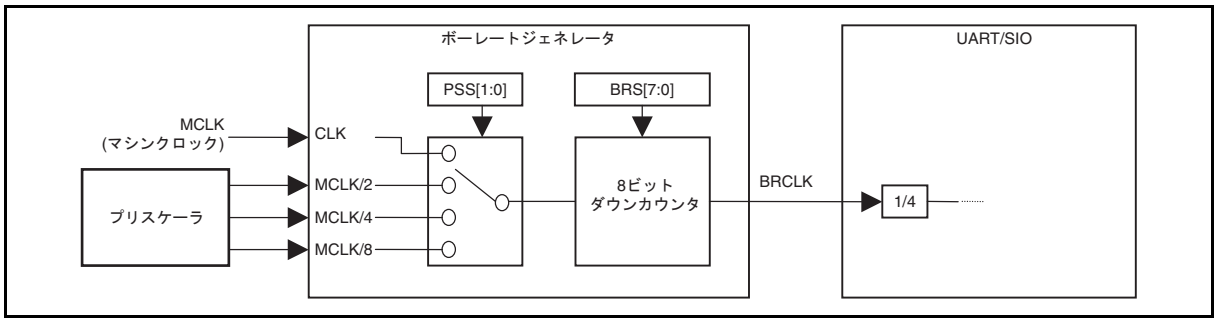
UART/SIO 専用ボーレートジェネレータは ,UART/SIO のボーレートを発生します。UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n (PSSRn) と UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn) から構成されます。

品種により , UART/SIO専用ボーレートジェネレータの端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ UART/SIO 専用ボーレートジェネレータのブロックダイヤグラム

図 22.1-1 UART/SIO 専用ボーレートジェネレータのブロックダイヤグラム



■ 入力クロック

UART/SIO 専用ボーレートジェネレータは,プリスケーラからの出力クロックまたはマシンクロックを入力クロックとして使用します。

■ 出力クロック

UART/SIO 専用ボーレートジェネレータは , UART/SIO にクロックを供給しています。

22.2 チャネル

UART/SIO 専用ボーレートジェネレータのチャネルについて説明します。

■ UART/SIO 専用ボーレートジェネレータのチャネル

表 22.2-1 に ,UART/SIO 専用ボーレートジェネレータのレジスタを示します。

表 22.2-1 UART/SIO 専用ボーレートジェネレータのレジスタ

レジスタ略称	該当レジスタ (本マニュアル上の表記)
PSSRn	UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n
BRSRn	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n

22.3 動作説明

UART/SIO 専用ボーレートジェネレータは,クロック非同期モード(UART)のボーレートジェネレータとして動作します。

■ ボーレート設定

UART/SIO の SMC1n レジスタの CKS ビットで UART/SIO 専用ボーレートジェネレータをシリアルクロックとして選択してください。

クロック 非同期モード (UART) では , CKS ビットで選択されたシフトクロックの 4 分周になり , 選択されたボーレートの –3% から +3% までの範囲で転送可能です。UART/SIO 専用ボーレートジェネレータによるボーレート算出式を以下に示します。

図 22.3-1 UART/SIO 専用ボーレートジェネレータ使用時のボーレート算出式

$$\text{ボーレート値} = \frac{\text{マシンクロック (MCLK)}}{4 \times \boxed{1,2,4,8} \times \boxed{2:255}} \text{ [bps]}$$

UART 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n (PSSRn)
プリスケーラ選択 (PSS[1:0])

UART 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn)
ボーレート設定 (BRS[7:0])

表 22.3-1 ボーレートジェネレータによるクロック非同期モード (UART) における転送レートの例 (マシンクロック :10 MHz,16 MHz,16.25 MHz の場合)

UART/SIO 専用ボーレートジェネレータの設定		UART 内部分周	トータル分周比 (PSS × BRS × 4)	ボーレート (10 MHz ÷ トータル分周比)	ボーレート (16 MHz ÷ トータル分周比)	ボーレート (16.25 MHz ÷ トータル分周比)
プリスケーラ選択 PSS[1:0]	ボーレート カウンタ設定 BRS[7:0]					
1 (設定値 : 0,0)	20	4	80	125000	200000	203125
1 (設定値 : 0,0)	22	4	88	113636	181818	184659
1 (設定値 : 0,0)	44	4	176	56818	90909	92330
1 (設定値 : 0,0)	87	4	348	28736	45977	46695
1 (設定値 : 0,0)	130	4	520	19231	30769	31250
2 (設定値 : 0,1)	130	4	1040	9615	15385	15625
4 (設定値 : 1,0)	130	4	2080	4808	7692	7813
8 (設定値 : 1,1)	130	4	4160	2404	3846	3906

また,クロック非同期モード (UART) におけるボーレート設定が可能な範囲は以下のとおりです。

表 22.3-2 クロック非同期モード (UART) におけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
0b00 ～ 0b11	0x02(2) ～ 0xFF(255)

22.4 レジスタ

UART/SIO 専用ボーレートジェネレータのレジスタについて説明します。

表 22.4-1 UART/SIO 専用ボーレートジェネレータのレジスター覧

レジスタ略称	レジスタ名	参照先
PSSRn	UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n	22.4.1
BRSRn	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n	22.4.2

22.4.1 UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n (PSSRn)

UART/SIO 専用ボーレートジェネレータプリスケーラ選択レジスタ ch. n (PSSRn) は , ボーレートクロックの出力とプリスケーラを制御するレジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	BRGE	PSS1	PSS0
属性	—	—	—	—	—	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:3] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit2] BRGE: ボーレートクロック出力許可ビット
このビットはボーレートクロック "BRCLK" の出力を許可または禁止します。
このビットに "1" が書き込まれた場合 , BRSRn レジスタの BRS[7:0] ビットの値が 8 ビットダウンカウンタにロードされ , UART/SIO に供給される BRCLK が出力されます。
このビットに "0" が書き込まれた場合 , BRCLK の出力が停止します。

bit2	説明
"0" を書き込んだ場合	ボーレートクロックの出力を禁止します。
"1" を書き込んだ場合	ボーレートクロックの出力を許可します。

[bit1:0] PSS[1:0]: プリスケーラ選択ビット
これらのビットはプリスケーラを選択します。

bit1:0	説明
"00" を書き込んだ場合	1
"01" を書き込んだ場合	1/2
"10" を書き込んだ場合	1/4
"11" を書き込んだ場合	1/8

22.4.2 UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn)

UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. n (BRSRn) は , ボーレートの設定を制御するレジスタです。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BRS7	BRS6	BRS5	BRS4	BRS3	BRS2	BRS1	BRS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

このレジスタは 8 ビットダウンカウンタの周期を設定します。このレジスタにより任意のボーレートクロック (BRCLK) が設定できます。このレジスタへの書込みは UART/SIO の動作停止中に行ってください。

クロック非同期モード (UART) では , BRS[7:0] を "0x00" または "0x01" に設定しないでください。

第 23 章

I²C バスインタフェース

I²C バスインタフェース の機能と動作について説明します。

23.1 概要
23.2 構成
23.3 チャネル
23.4 端子
23.5 割込み
23.6 動作説明と設定手順例
23.7 レジスタ
23.8 使用上の注意

23.1 概要

I²C バスインタフェースは, マスタ / スレーブモードの送信と受信, アービトレーションロスト検出, スレーブアドレス / ゼネラルコールアドレス検出, スタート / ストップ条件の発生と検出 , バスエラー検出および MCU スタンバイウェイクアップ機能を提供します。

■ I²C バスインタフェースの機能

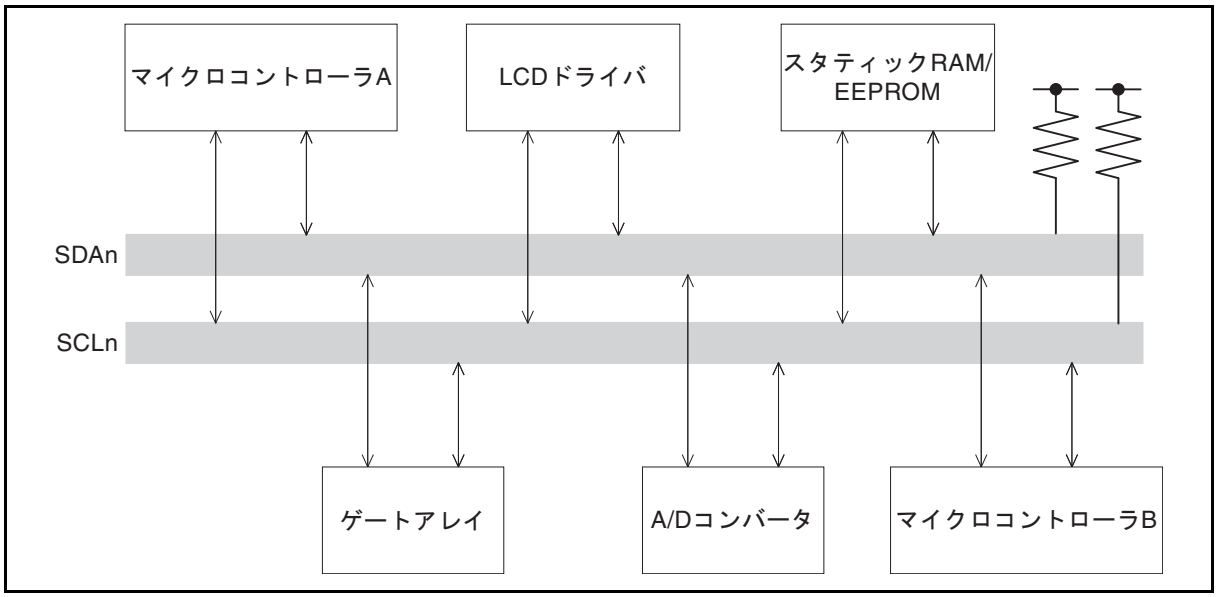
I²C バスインタフェースは双方向バスで , シリアルデータライン (SDAn) とシリアルクロックライン (SCLn) の 2 本のワイヤから構成されます。この 2 本のワイヤによってバスに接続される各装置は, 互いに情報伝達が行われ, 各装置にある固有のアドレスを認識することにより , それぞれの装置の機能に応じて送信装置および受信装置として動作が可能となります。装置間にはマスタとスレーブという関係が成り立ちます。

I²C バスインタフェースはバスのキャパシタンスの上限値が 400 pF を超えなければ , バスに複数の装置を接続できます。複数のマスタが同時にデータ転送を開始しようとした場合でも, データの破壊を防ぐために, 衝突検出および通信調整手順を備えている本格的なマルチマスタバスです。

通信調整手順とは複数のマスタが同時にバスを制御しようとした場合に, 1 つのマスタだけがバスを制御できるようにし, さらにメッセージが失われたり , 内容が変更されたりしないようにする手順です。また , マルチマスタとはメッセージを失うことなく , 複数のマスタが同時にバスを制御しようとすることです。

本 I²C バスインタフェースは , MCU スタンバイモードウェイクアップ機能を内蔵しています。

図 23.1-1 I²C バスインタフェースの構成例



23.2 構成

I2C バスインタフェース は , 以下のブロックで構成されます。

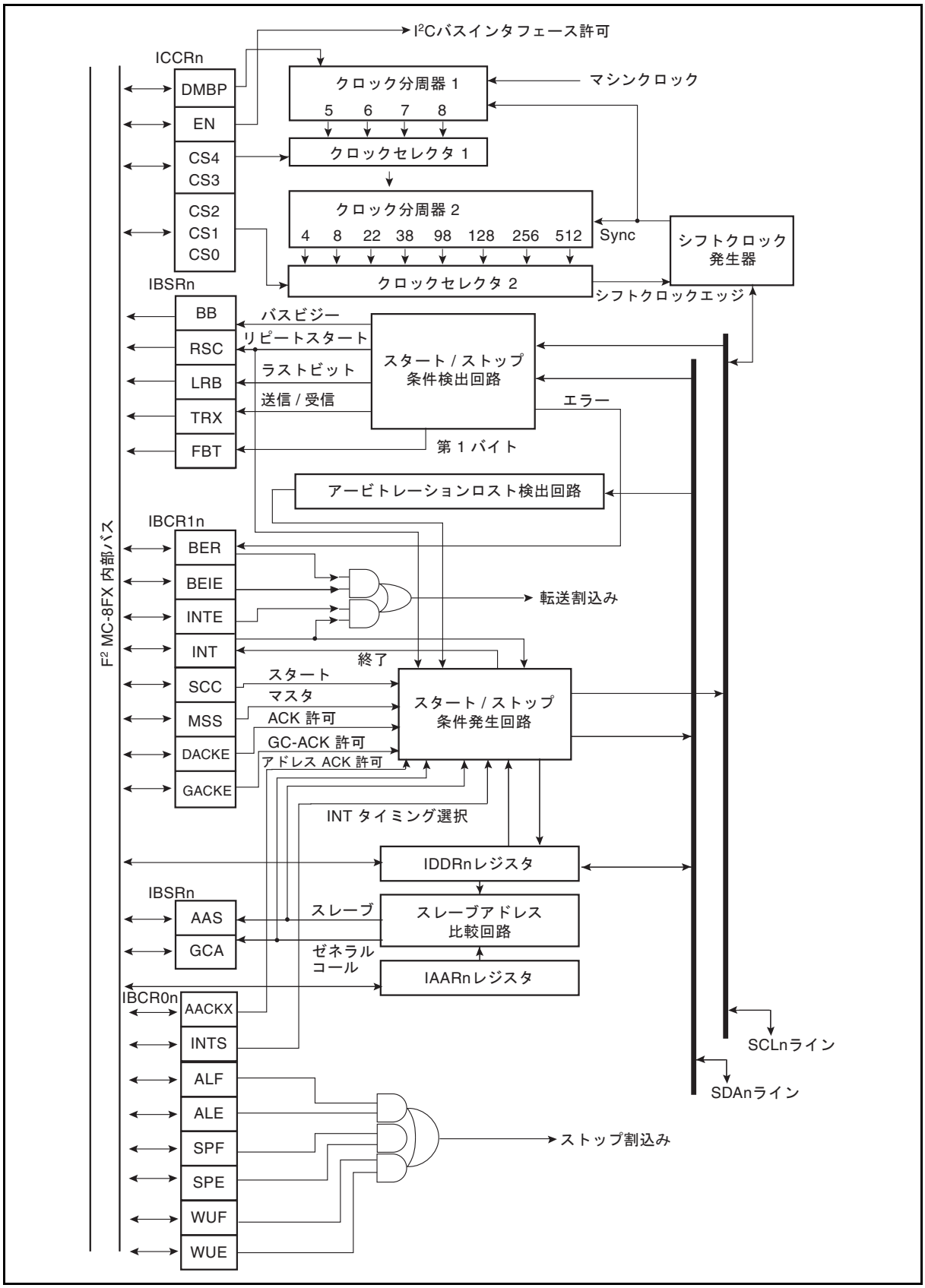
- **クロックセレクタ**
- **クロック分周器**
- **シフトクロック発生器**
- **スタート / ストップ条件発生回路**
- **スタート / ストップ条件検出回路**
- **アービトレーションロスト検出回路**
- **スレーブアドレス比較回路**
- **IBSRn レジスタ**
- **IBCR0n レジスタ**
- **IBCR1n レジスタ**
- **ICCRn レジスタ**
- **IAARn レジスタ**
- **IDDRn レジスタ**

品種により , I2C バスインタフェースの端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ I²C バスインタフェースのブロックダイヤグラム

図 23.2-1 I²C バスインタフェースのブロックダイヤグラム



- **クロックセレクタ・クロック分周器・シフトクロック発生器**

  この回路はマシンクロックを使用し , I2C バスのシフトクロックを発生します。

- **スタート / ストップ条件発生回路**

  バス開放時 (SCLn と SDAn が "H" レベルの場合), スタート条件を送信することによってマスタは通信を開始します。SCLn="H" の場合に , SDAn ラインを "H"→"L" にするとスタート条件になります。マスタはストップ条件を発生することによって通信を終了できます。SCLn="H" の場合に , SDAn ラインが "L"→"H" にするとストップ条件になります。

- **スタート / ストップ条件検出回路**

  この回路は , データ転送のスタート / ストップ条件を検出します。

- **アービトレーションロスト検出回路**

  このインタフェース回路はマルチマスタシステムに対応しています。複数のマスタが同時送信すると , アービトレーションロスト (SDAn ラインが "L" レベルのときに論理レベル "1" を送信した場合) が発生します。アービトレーションロストを検出すると , IBCR0n:ALF が "1" になり , マスタは自動的にスレーブに変わります。

- **スレーブアドレス比較回路**

  スレーブアドレス比較回路は , スタート条件後 , スレーブアドレスを受信して自己のスレーブアドレスと比較します。このアドレスは 7 ビットのデータで , その後部に 8 ビット目のデータ方向ビット (R/W) が続きます。受信したアドレスが自己のスレーブアドレスと一致した場合にアクノリッジを送信します。

- **IBSRn レジスタ**

  IBSRn レジスタは I2C バスインタフェースのステータスを表します。

- **IBCR0n レジスタと IBCR1n レジスタ**

  IBCR0n レジスタと IBCR1n レジスタはオペレーティングモードの選択 , 割込みの許可 / 禁止 , アクノリッジの許可 / 禁止 , ゼネラルコールアクノリッジの許可 / 禁止および MCU スタンバイモードウェイクアップ機能の許可 / 禁止時に使用されます。

- **ICCRn レジスタ**

  ICCRn レジスタは I2C バスインタフェースの動作許可とシフトクロック周波数の選択に使用されます。

- **IAARn レジスタ**

  IAARn レジスタはスレーブアドレスの設定に使用されます。

- **IDDRn レジスタ**

  IDDRn レジスタは , 送受信されるシフトデータ / アドレスを保持するレジスタです。送信のとき , このレジスタに書かれたデータ / アドレスが MSB ファーストからバスに転送されます。

■ 入力クロック

I2C バスインタフェースは , マシンクロックを入力クロック (シフトクロック) として使用します。

23.3 チャネル

I2C バスインタフェースのチャネルについて説明します。

■ I2C バスインタフェースのチャネル

I2C バスインタフェース の端子とレジスタを表 23.3-1 および表 23.3-2 にそれぞれ示します。

表 23.3-1 I2C バスインタフェースの端子

端子名	端子機能
SDAn	I2C バスインタフェース I/O
SCLn	

表 23.3-2 I2C バスインタフェースのレジスタ

レジスタ略称	レジスタ対応 (本マニュアル上の表記)
IBCR0n	I2C バス制御レジスタ 0 ch. n
IBCR1n	I2C バス制御レジスタ 1 ch. n
IBSRn	I2C バスステータスレジスタ ch. n
IDDRn	I2C データレジスタ ch. n
IAARn	I2C アドレスレジスタ ch. n
ICCRn	I2C クロック制御レジスタ ch. n

23.4 端子

I2C バスインタフェースの端子について説明します。

■ I2C バスインタフェースの端子

I2C バスインタフェースの端子には , SDAn 端子および SCLn 端子があります。

- SDAn 端子

  SDAn 端子は , I2C バスインタフェースのデータ入出力端子です。

  I2C バスインタフェース が許可 (ICCRn:EN = 1) された場合 , 自動的にデータ入出力端子になり , SDAn 端子として機能します。

- SCLn 端子

  SCLn 端子は , I2C バスインタフェースのシフトクロック入出力端子です。

  I2C バスインタフェースが許可 (ICCRn:EN = 1) された場合 , 自動的にシフトクロック入出力端子になり , SCLn 端子として機能します。

23.5 割込み

I2C バスインタフェースは, 転送割込みとストップ割込みがあり , 次に示す要因で割込みを発生します。

- **転送割込み**
  データ転送が完了した場合またはバスエラーが発生した場合
- **ストップ割込み**
  ストップ条件を検出した場合 , アービトレーションロストを検出した場合またはストップモード / 時計モードで I2C バスインタフェースにアクセスがあった場合

■ 転送割込み

表 23.5-1 に, 転送割込みの制御ビットと I2C バスインタフェースの割込み要因について示します。

表 23.5-1 転送割込みの制御ビットと I2C バスインタフェースの割込み要因

項目	転送完了	バスエラー
割込み要求 フラグビット	IBCR1n:INT = 1	IBCR1n:BER = 1
割込み要求許可ビット	IBCR1n:INTE = 1	IBCR1n:BEIE = 1
割込み要因	データ転送完了	バスエラー発生

- 転送完了時の割込み
  データ転送が完了して転送完了割込み要求許可ビットが許可 (IBCR1n:INTE = 1) されている場合 , CPU に割込み要求を出力します。割込みサービスルーチン内で転送完了割込み要求フラグビット (IBCR1n:INT) に "0" を書き込んで割込み要求をクリアしてください。IBCR1n:INTE ビット値にかかわらず , データ転送を完了した場合は , IBCR1n:INT ビットが "1" に設定されます。
- バスエラー時の割込み
  以下の条件が成立した場合はバスエラーと判断され , I2C バスインタフェースは停止状態となります。
  - マスタ時にストップ条件を検出した場合。
  - 第 1 バイト送受信中にスタートまたはストップ条件を検出した場合。
  - データ送受信中 (スタート , 1 番目のデータおよびストップビットを除く) にスタートまたはストップ条件を検出した場合。

この場合 , バスエラー割込み要求許可ビットが許可 (IBCR1n:BEIE = 1) されていると CPU に割込み要求を出力します。割込みサービスルーチン内でバスエラー割込み要求フラグビット (IBCR1n:BER) に "0" を書き込んで , 割込み要求をクリアしてください。IBCR1n:BEIE ビット値にかかわらず , バスエラーが発生した場合は , IBCR1n:BER ビットが "1" に設定されます。

■ ストップ割込み

表 23.5-2 に, ストップ割込みの制御ビットと I2C バスインタフェース の割込み要因 (トリガイベント) について示します。

表 23.5-2 ストップ割込みの制御ビットと I2C バスインタフェースの割込み要因

項目	ストップ条件検出	アービトレーション ロスト検出	MCU のストップ / 時計モードに対する ウェイクアップ機能
割込み要求フラグビット	IBCR0n:SPF = 1	IBCR0n:ALF = 1	IBCR0n:WUF =1
割込み要求許可ビット	IBCR0n:SPE = 1	IBCR0n:ALE = 1	IBCR0n:WUE = 1
割込み要因	ストップ条件検出	アービトレーションロストを検出している場合	スタート条件検出

- ストップ条件検出時の割込み
  以下のすべての条件が成立しているときにストップ条件が検出された場合 , ストップ条件は正常として扱われます。
  - バスビジー中 (スタート条件が検出されている状態)
  - IBCR1n:MSS = 0
  - アクノリッジを含む 1 バイトのデータ転送後

  この場合 , ストップ条件検出割込み要求許可ビットが許可 (IBCR0n:SPE = 1) されていると CPU に割込み要求を出力します。割込みサービスルーチン内で IBCR0n:SPF ビットに "0" を書き込んで , 割込み要求をクリアしてください。

  IBCR0n:SPE ビット値にかかわらず , 有効なストップ条件が発生した場合 , IBCR0n:SPF ビットが "1" に設定されます。

- アービトレーションロスト検出時の割込み
  アービトレーションロストが検出され , アービトレーションロスト検出割込み要求許可ビットが許可 (IBCR0n:ALE = 1) されていると , CPU に割込み要求を出力します。バスがアイドル中にアービトレーションロスト割込み要求フラグビット (IBCR0n:ALF) に "0" を書き込むかバスビジー中に割込みサービスルーチン内で IBCR1n:INT ビットに "0" を書き込んで , 割込み要求をクリアしてください。

  IBCR0n:ALE ビット値にかかわらず , アービトレーションロストが発生した場合 , IBCR0n:ALF ビットが "1" に設定されます。

- MCU のストップ モード / 時計モードに対するウェイクアップ機能時の割込み
  MCU のストップモード / 時計モードに対するウェイクアップ機能が許可 (IBCR0n:WUE = 1) されており , スタート条件が検出されると , CPU に割込み要求が出力されます。
  割込みサービスルーチン内で MCU スタンバイモードウェイクアップ割込み要求フラグビット (IBCR0n:WUF) に "0" を書き込んで , 割込み要求をクリアしてください。

23.6 動作説明と設定手順例

I²C バスインタフェースの動作について説明します。

■ I²C バスインタフェースの動作

● I²C バスインタフェース

I²C バスインタフェースは , シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。

● MCU スタンバイモードに対するウェイクアップ機能

MCU をストップモード / 時計モード の低消費電力モードで動作させておいた場合でも , スタート条件の検出により , ウェイクアップさせることができるウェイクアップ機能があります。

■ 設定手順例

I²C バスインタフェース の設定手順例を以下に示します。

● 初期設定

1. ポートの入力を設定してください (DDR)。
2. 割込みレベルを設定してください (ILR*)。
3. スレーブアドレスを設定してください (IAARn)。
4. クロック選択 , I²C バスインタフェース動作を許可してください (ICCRn)。
5. バスエラー割込み要求を許可してください (IBCR0n:BEIE = 1)。

*: 割込みレベル設定レジスタ (ILR) の詳細について , 本ハードウェアマニュアルの「第 5 章 割込み」とデバイスのデータシートの「■ 割込み要因のテーブル」を参照してください。

● 割込み処理

1. 任意の処理を行ってください。
2. バスエラー割込み要求フラグをクリアしてください (IBCR1n:BER = 0)。

23.6.1 I2C バスインタフェース

I2C バスインタフェースは , シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。

■ I2C のシステム

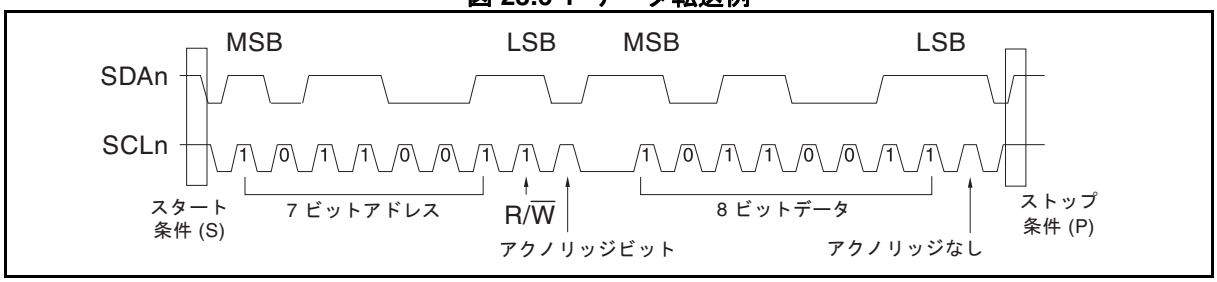
I2C バスシステムはデータ転送にシリアルデータライン (SDAn) とシリアルクロックライン (SCLn) を使用します。バスに接続された全装置はオープンドレインまたはオープンコレクタ出力である必要があり , プルアップ抵抗を接続して使用します。

バスに接続された各デバイスには固有のアドレスがあり , アドレスは , ソフトウェアで設定が可能です。そして常に単純なマスタ / スレーブ関係が存在し , マスタはマスタトランスミッタまたはマスタレシーバとして機能します。万一 , 複数のマスタが同時にデータ転送を開始しようとした場合でも , データ破壊を防ぐために衝突検出機能およびアービトレーション機能を備えた本格的なマルチマスタバスです。

■ I2C のプロトコル

図 23.6-1 に , データ転送に必要なフォーマットを示します。

図 23.6-1 データ転送例



スタート条件 (S) 発生後 , スレーブアドレスが送信されます。このアドレスは 7 ビット長で , 8 ビット目にデータ方向ビット (R/$\overline{W}$) があります。アドレスの後にデータが送信されます。データは 8 ビット長で , その後にアクノリッジビットがあります。

データは 8 ビット＋アクノリッジの単位で連続させることにより同一スレーブアドレスに連続して送信できます。

データ転送は常にマスタストップ条件 (P) で終了します。しかし , 繰返しスタート条件 (S) を行うことによって , ストップ条件を発生せずに別のスレーブを示すアドレスを送信することも可能です。

■ スタート条件

バスが開放されている状態 (SCLn と SDAn の両方が論理 "H" である) において , マスタはスタート条件を発生することによって送信を開始します。図 23.6-1 に示したとおり , SCLn="H" の場合に SDAn ラインを "H" → "L" にするとスタート条件となります。この場合 , 新しいデータ転送が始まり , マスタ / スレーブ動作を開始します。

スタート条件を発生させる条件として , 次の 2 とおりがあります。

- I2C バスインタフェースが使用されていない状態 (IBCR1n:MSS = 0, IBSRn:BB = 0, IBCR1n:INT = 0, IBCR0n:ALF=0) での IBCR1n:MSS ビットの"1"の書込みを行った場合 (その後 , IBSRn:BB が "1" に設定され , バスビジーを示します) 。

- バスマスタ時の割込み状態 (IBCR1n:MSS = 1, IBSRn:BB = 1, IBCR1n:INT = 1, IBCR0n:ALF = 0) での IBCR1n:SCC ビットへの "1" の書込みを行った場合 (これにより繰返しスタート条件を発生します) 。

上記の条件以外において , IBCR1n:MSS = 1 または IBCR1n:SCC = 1 の書込みは無視されます。ほかのシステムがバス使用中に , IBCR1n:MSS ビットへの "1" の書込みを行うと , IBCR0n:ALF ビットが "1" に設定されます。

■ アドレッシング

● マスタモードにおいてスレーブアドレッシングをする場合

マスタモードでは , スタート条件発生後 , IBSRn:BB = 1, IBSRn:TRX = 1 に設定され , スレーブアドレスの IDDRn レジスタの内容を上位ビット MSB からバスに出力します。このアドレスデータは , 7 ビットのスレーブアドレスとデータの転送方向を示す R/$\overline{W}$ ビット (IDDRn の bit0) の 8 ビットで構成されます。

アドレスデータ送信後 , スレーブからアクノリッジを受信します。9 番目のクロックサイクルで SDAn が "L" レベルになって , 受信デバイスからアクノリッジビットを受信します (図 23.6-1 を参照)。この場合 , R/$\overline{W}$ ビット (IDDRn:bit0) が論理的に反転し , SDAn が "L" の場合は "1" として IBSRn:TRX ビットに格納されます。

● スレーブモードにおいてアドレッシングを受ける場合

スレーブモードではスタート条件検出後 , IBSRn:BB = 1, IBSRn:TRX = 0 に設定され , マスタからの受信データを IDDRn レジスタへ格納します。アドレスデータ受信後 , IDDRn レジスタと IAARn レジスタとの比較が行われ , 一致している場合 , IBSRn:AAS = 1 に設定し , マスタに対してアクノリッジを送信します。その後 , 受信データの bit0 (IDDRn レジスタの bit0) を IBSRn:TRX ビットへ格納します。

■ データ転送

スレーブとしてアドレス指定されると , マスタが送った R/$\overline{W}$ ビットによって決定される方向で , バイトごとにデータ送受信ができます。

SDAn ラインに出力される各バイトは 8 ビット固定です。図 23.6-1 に示したとおりアクノリッジクロックパルスが "H" の状態の場合に SDAn ラインを "L" レベルの状態に安定させることで , 受信装置はアクノリッジを送信側に伝えるようになっています。MSB を先頭に 1 ビットごとに 1 クロックパルスでデータを転送します。バイト転送ごとに , アクノリッジの送受信が行われる必要があります。そのため , 1 つの完全なデータバイト転送は 9 つのクロックパルスが必要です。

■ アクノリッジ

アクノリッジは , 次に示す条件の元 , 送信側データバイト転送の 9 番目のクロックサイクルに対して受信側から送信されます。

アドレスアクノリッジは下記条件で発生します。

- 受信アドレスが IAARn の設定アドレスと一致し , さらにアドレスアクノリッジ自動出力 (IBCR0n:AACKX = 0) の場合
- ゼネラルコールアドレス (0x00) を受信し , さらにゼネラルコールアドレスアクノリッジ出力許可 (IBCR1n:GACKE = 1) の場合

データを受信したときのデータアクノリッジビットは , IBCR1n:DACKE ビットにより許可 / 禁止できます。マスタモードでは IBCR1n:DACKE = 1 のときにデータアクノ

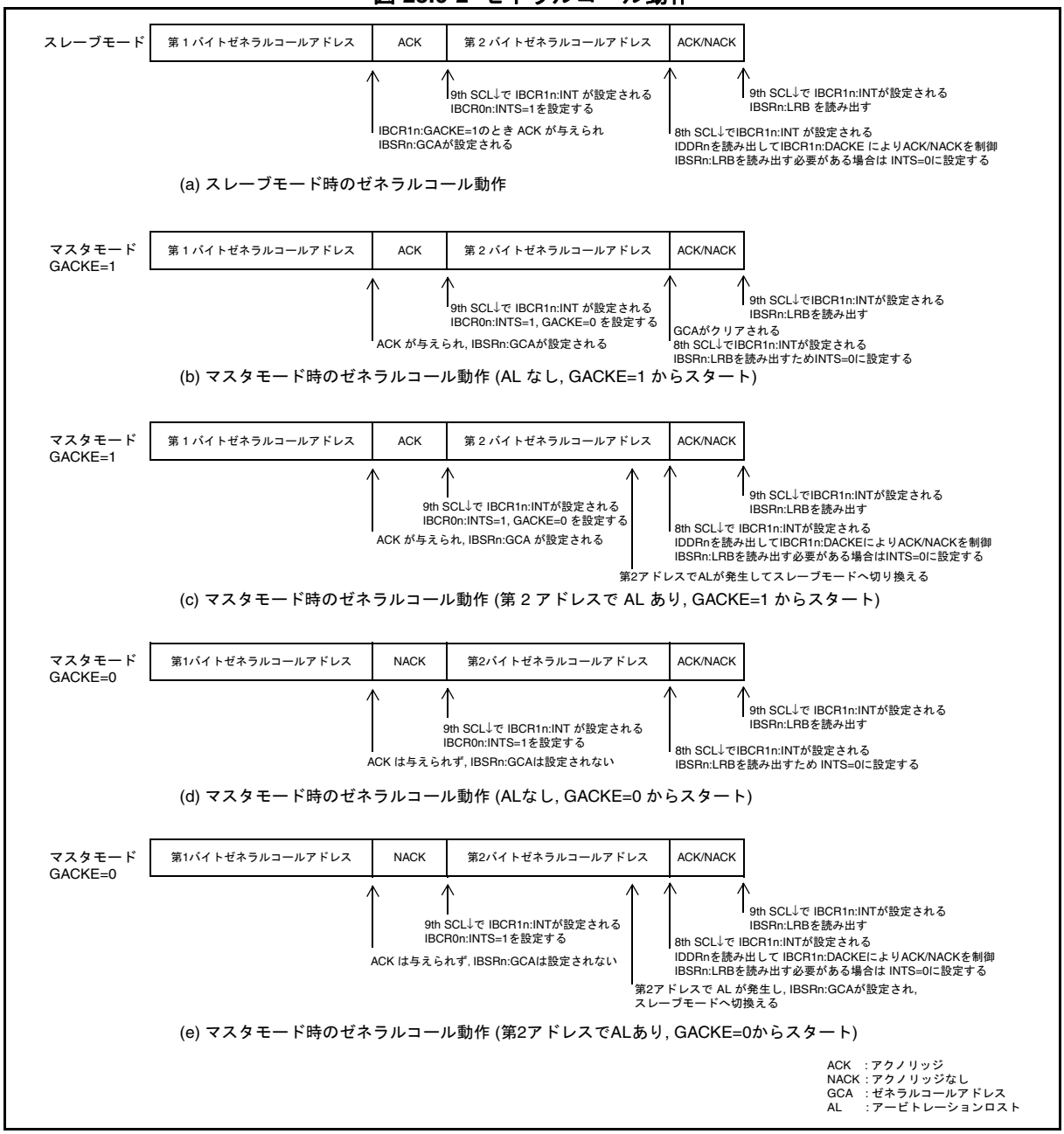
リッジが発生し , スレーブモードでは , アドレスアクノリッジが既に発生しており , かつ IBCR1n:DACKE = 1 の場合に , データアクノリッジが発生します。また , 受信したアクノリッジは , 9 番目の SCLn サイクルで IBSRn:LRB に保持されます。

- データアクノリッジが受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェッキングなど), IBCR0n:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で , データアクノリッジ許可ビット (IBCR1n:DACKE) の設定によりデータアクノリッジを制御してください。
- 最新のデータアクノリッジ (IBSRn:LRB) の読出しは , アクノリッジ受信後に行えます (LRB の読出しは , 9 番目の SCLn サイクルにおける転送終了割込みで行われる必要があります)。そのため , IBCR0n:INTS ビットが "1" のときにアクノリッジを読み出す場合は , 8 番目の SCLn サイクルによる転送終了割込み中に , このビットに "0" を書き込んで , 9 番目の SCLn サイクルで , 再度 , 転送終了割込みが発生するように設定してください。

■ ゼネラルコールアドレス

ゼネラルコールアドレスは , スタートアドレスバイト (0x00) とそれに続く第 2 アドレスバイトから構成されます。ゼネラルコールアドレスを使用するためには , 第 1 バイトのゼネラルコールアドレスに対するアクノリッジの前に , IBCR1n:GACKE = 1 を設定しておいてください。また , 第 2 アドレスバイトのアクノリッジは , 図 23.6-2 に示されるような方法で制御できます。

図 23.6-2 ゼネラルコール動作



本モジュールとほかのデバイスがゼネラルコールアドレスを同時に送信した場合, 第 2 アドレスバイト転送時にアービトレーションロストが検出されていないかどうかで , バスを獲得したかどうかを確認できます。もし , アービトレーションロストが検出された場合 , 本モジュールはスレーブモードとなり , マスタからのデータ受信を継続します。

■ ストップ条件

ストップ条件を発生させることによって , マスタはバスを開放して通信を終了します。SCLn が "H" の場合に , SDAn ラインを "L" → "H" にするとストップ条件となります。マスタモード時の通信終了 (以後バスフリー) をバス上のデバイスに知らせるための信号です。また , マスタはストップ条件を発生させずに , 連続してスタート条件を発生できます。これを繰返しスタート条件とよびます。

バスマスタ時の割込み状態 (IBCR1n:MSS = 1 , IBSRn:BB = 1, IBCR1n:INT = 1 および IBCR0n:ALF = 0) で , IBCR1n:MSS ビットに "0" を書き込むとストップ条件が発生してスレーブモードになります。上記以外において , IBCR1n:MSS ビットへの "0" の書込みは無視されます。

■ アービトレーション

このインタフェース回路は複数のマスタを接続できる本格的なマルチマスタバスです。マスタ転送で , システム内のほかのマスタが同時にデータ転送をした場合 , アービトレーションが発生します。

アービトレーションは , SCLn ラインが "H" レベルの場合に SDAn ラインで発生します。マスタは , 自身の送信データが "1", SDAn ライン上のデータが "L" レベルの場合 , アービトレーションロストが発生したとみなし , データ出力をオフにして , IBCR0n:ALF = 1 に設定します。このとき , アービトレーションロスト割込みが許可 (IBCR0n:ALE = 1) されていると , 割込みが発生します。IBCR0n:ALF = 1 に設定されると , IBCR1n:MSS = 0, IBSRn:TRX = 0 となり , TRX ビットがクリアされてスレーブ受信モードとなります。

もし , IBSRn:BB=0 のときに IBCR0n:ALF が "1" に設定された場合 , IBCR0n:ALF は "0" の書込みでのみクリアされます。また , IBSRn:BB = 1 のときに IBCR0n:ALF が "1" に設定された場合 , IBCR0n:ALF は IBCR1n:INT を "0" にクリアすることによってのみクリアされます。

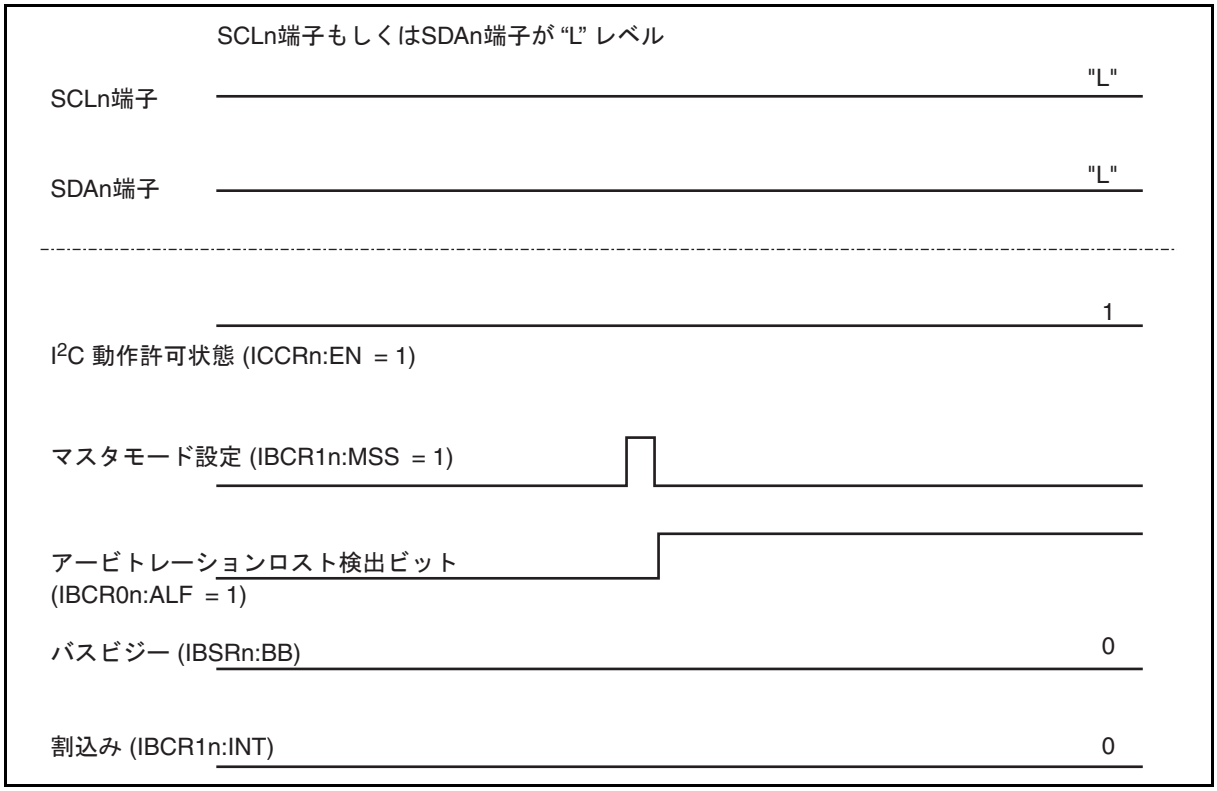
● IBSRn:BB = 0 でアービトレーションロスト割込みが発生する条件

図 23.6-3 や 図 23.6-4 に示されるようなタイミングにて , プログラムによりスタート条件を発生させた場合 (IBCR1n:MSS を "1" に設定), アービトレーションロスト検出 (IBCR0n:ALF = 1) により割込みの発生 (IBCR1n:INT = 1) が抑止されます。

- アービトレーションロストにより割込みが発生しない条件 1

スタート条件が検出されておらず (IBSRn:BB = 0), SDAn と SCLn ラインの端子状態が "L" レベルとなっている状態で , プログラムによりスタート条件を発生 (IBCR1n:MSS を "1" に設定) させた場合。

図 23.6-3 IBCR0n:ALF = 1 で割込みが発生しない場合のタイミングダイヤグラム

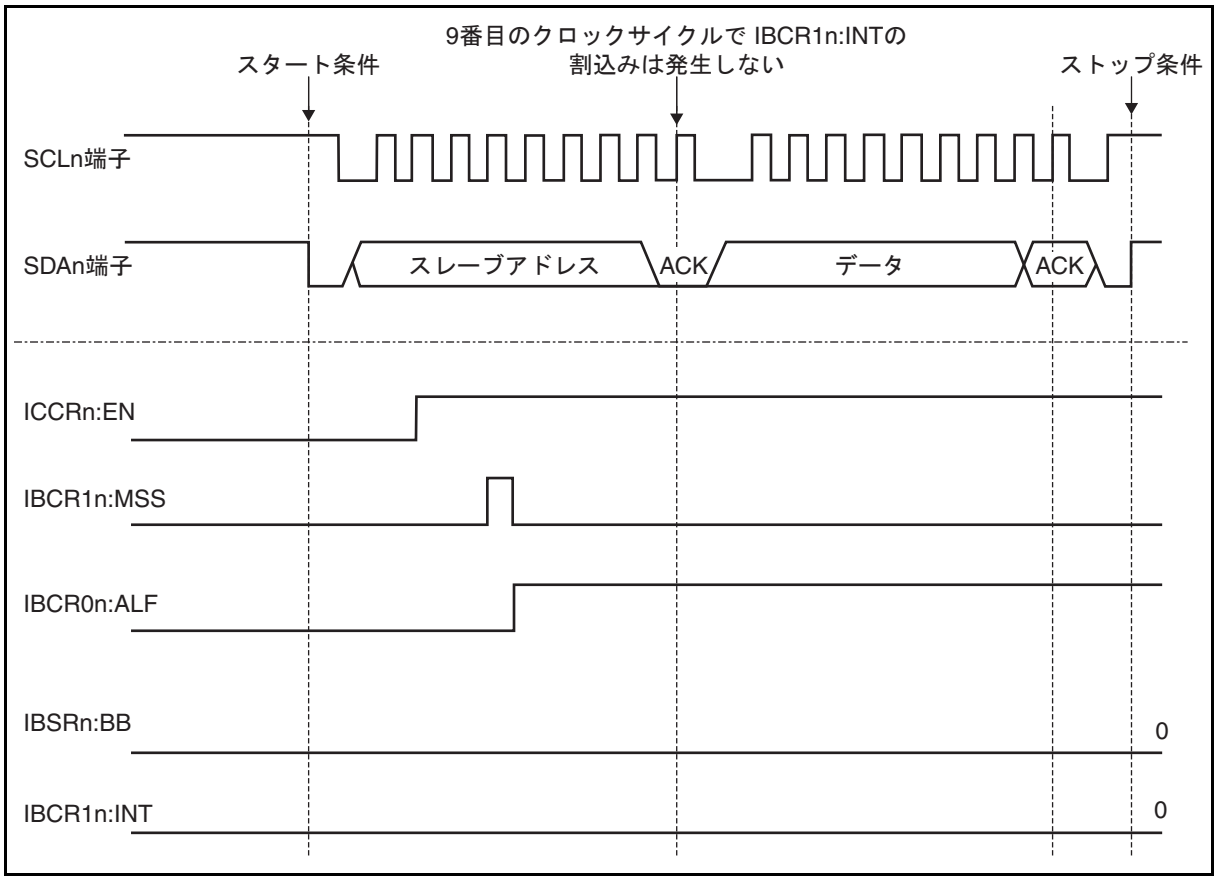


- アービトレーションロストにより割込みが発生しない条件 2

I2C バスがほかのマスタにより使用されているとき , プログラムにより I2C バスインタフェース の動作を許可 (ICCRn:ENを"1"に設定) し, スタート条件を発生 (IBCR1n:MSSを "1" に設定) させた場合。

これは , 図 23.6-4 に示すように , 本 I2C バスインタフェースの動作が禁止 (ICCRn:EN = 0) のときに I2C バス上のほかのマスタが通信を開始した場合, 本 I2Cバスインタフェース はスタート条件を検出できないためです (IBSRn:BB = 0)。

図 23.6-4 IBCR0n:ALF = 1 で割込みが発生しない場合のタイミングダイヤグラム



上記のような現象が発生し得る場合 , 以下のソフトウェアの設定手順に従ってください。

1. プログラムによりスタート条件を発生させる (IBCR1n:MSS を "1" に設定) 。
2. アービトレーションロスト割込みで IBCR0n:ALF と IBSRn:BB を確認。

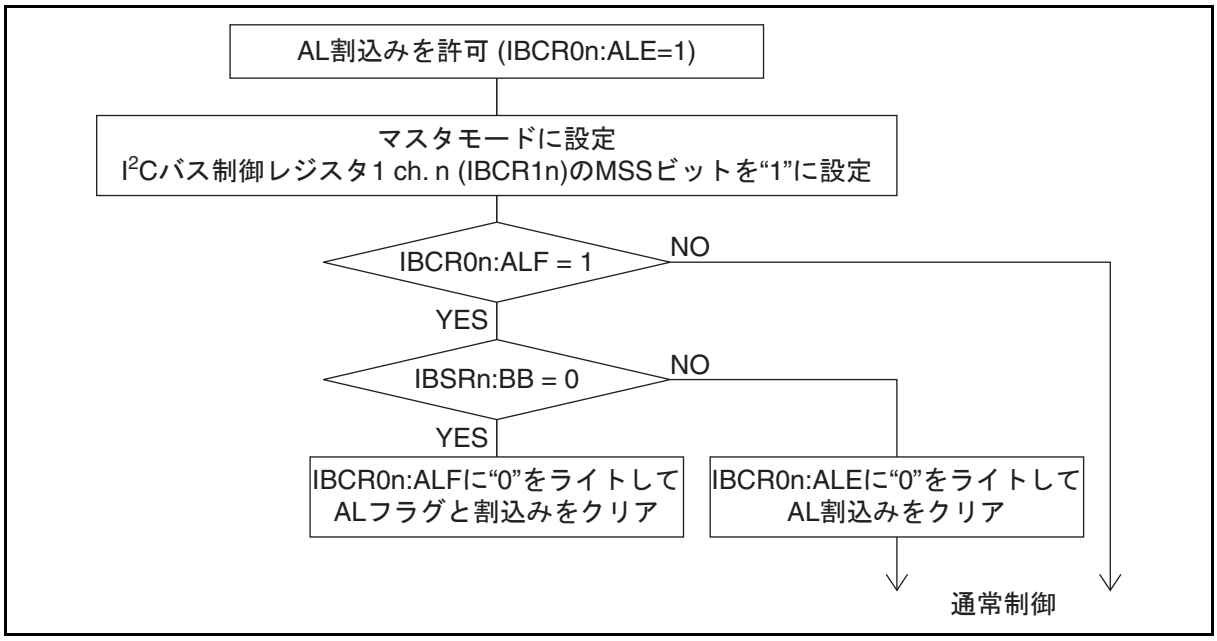
   IBCR0n:ALF = 1かつIBSRn:BB = 0であった場合, IBCR0n:ALFを "0" にクリアします。

   IBCR0n:ALF = 1 かつ IBSRn:BB = 1 であった場合 , IBCR0n:ALE を "0" にクリアして通常制御を行います (通常制御の INT 割込みにて , IBCR1n:INT への "0" の書込みで IBCR0n:ALF を "0" にクリアします)。

   それ以外は , 通常制御を行います (通常制御の INT 割込みにて , IBCR1n:INT への "0" の書込みで IBCR0n:ALF をクリアします)。

図 23.6-5 に , サンプルフローを示します。

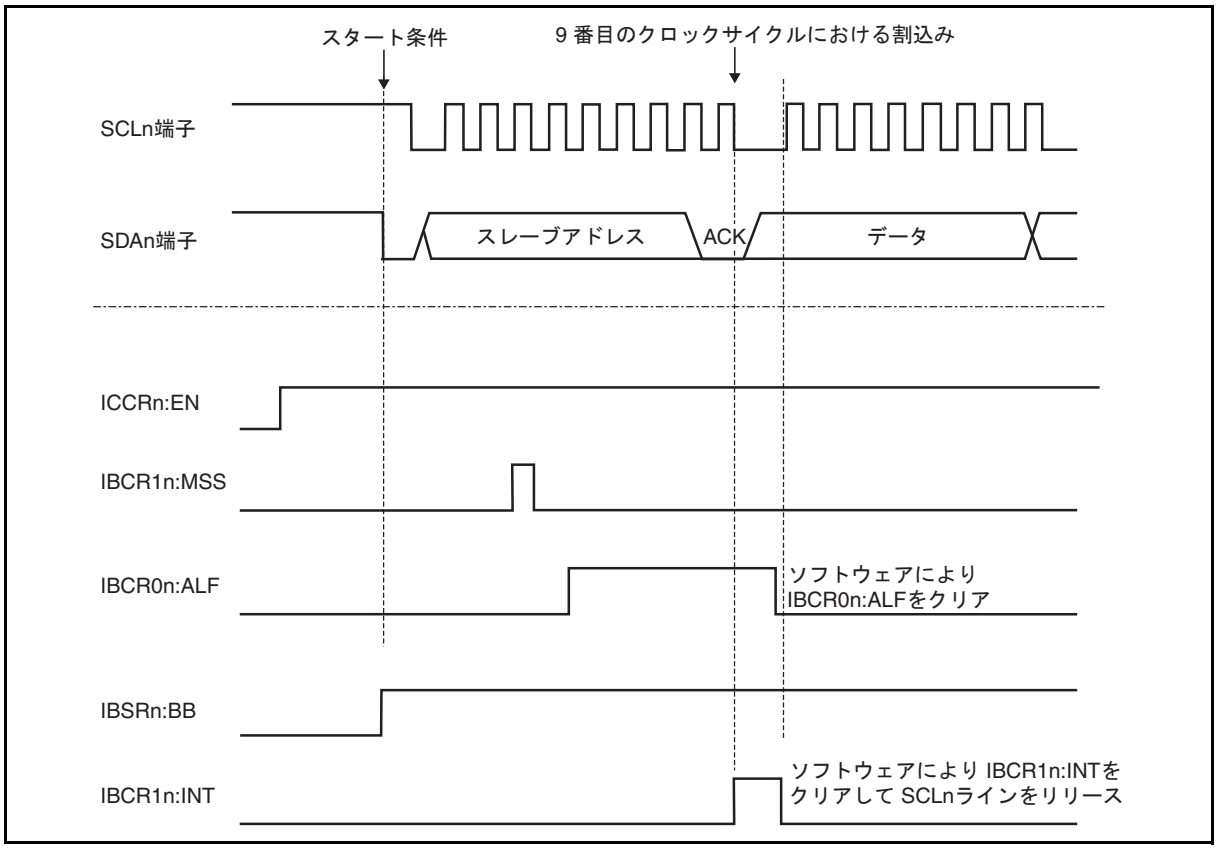
図 23.6-5 サンプルフロー 1



● 「IBCR0n:ALF = 1」の検出時における割込み (IBCR1n:INT = 1) 発生例

バスビジー(IBSRn:BB = 1) およびアービトレーションロストが検出されたとき , プログラムがスタート条件を発生させた場合 (IBCR1n:MSS を "1" に設定),「IBCR0n:ALF = 1」の検出により転送完了割込み (IBCR1n:INT = 1) が発生します。

図 23.6-6「IBCR0n:ALF = 1」検出時における割込み発生のタイミングダイヤグラム



23.6.2 MCU スタンバイモードに対するウェイクアップ機能

ウェイクアップ機能により , MCU のストップモード / 時計モードで I2C バスインタフェースへアクセスできます。

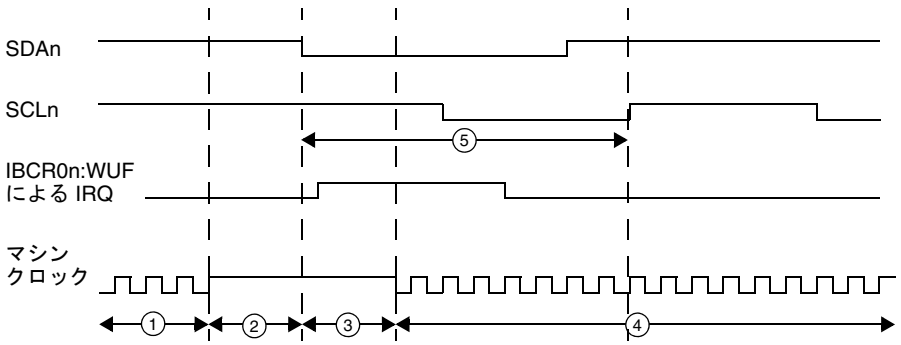
■ MCU スタンバイモードに対するウェイクアップ機能

本 I2C バスインタフェースは , MCU スタンバイモードウェイクアップ機能を内蔵しており , MCU スタンバイモードウェイクアップ機能許可ビット (IBCR0n:WUE) に "1" を書き込むと動作を許可できます。

MCU がストップ モード / 時計モードで WUE ビットが "1" のとき , I2C バス上にスタート条件を検出すると , MCU スタンバイモードウェイクアップ割込み要求フラグビット (IBCR0n:WUF) が "1" に設定され , MCU をストップモード / 時計モードからウェイクアップさせるためのウェイクアップ割込み要求を発生します。

- MCU をストップ モード / 時計モードに入れる直前に , WUE ビットを "1" に設定してください。また , MCU がストップモード / 時計モードからウェイクアップした後 , I2C の動作を直ちに再開できるように WUE ビット をクリア ("0" 書込み) してください。
- このウェイクアップ機能は MCU のストップ モード / 時計モードでのみ有効です。

図 23.6-7 通常の I2C バスインタフェース動作とウェイクアップ中の動作との比較



① ストップモード / 時計モードに入る直前に IBCR0n:WUE を "1" に設定し , IBSRn:BB = 0 を確認する。

② MCU をストップモード / 時計モードに設定し , マシンクロックを停止させる。

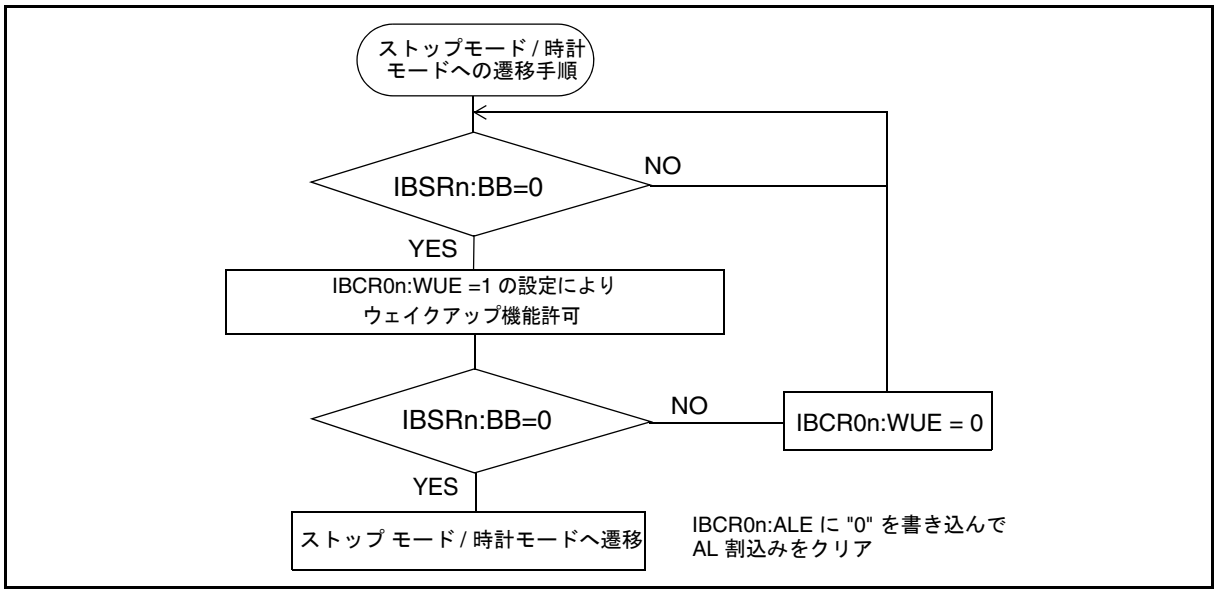
③ ストップモード / 時計モード中に , スタート条件を検出。IBCR0n : WUF = 1 となり , ウェイクアップ IRQ が発生。ストップモードの場合 , 発振安定待ち時間後 , MCU はウェイクアップし , ストップモード / 時計モードに入る前のクロックモードとなる。

④ I2C が通常動作を再び開始できるよう , WUE ビットを "0" にクリアし , さらに WUF ビットを "0" にしてウェイクアップ割込みをクリアする。

⑤ データバイトを正確に受信するため , I2C 送信開始 (SDAn の立下りエッジ検出) から 100 µs (最小の発振安定待ち時間が 100 µs と仮定した場合) 後に ,SCLn が最初のサイクルとして開放されなければなりません。

図 23.6-8 に , ウェイクアップ機能のサンプルフローを示します。

図 23.6-8 サンプルフロー 2



23.7 レジスタ

I2C バスインタフェースのレジスタについて説明します。

表 23.7-1 I2C バスインタフェースのレジスター覧

レジスタ略称	レジスタ名	参照先
IBCR0n	I2C バス制御レジスタ 0 ch.n	23.7.1
IBCR1n	I2C バス制御レジスタ 1 ch. n	23.7.2
IBSRn	I2C バスステータスレジスタ ch. n	23.7.3
IDDRn	I2C データレジスタ ch. n	23.7.4
IAARn	I2C アドレスレジスタ ch. n	23.7.5
ICCRn	I2C クロック制御レジスタ ch. n	23.7.6

23.7.1 I2C バス制御レジスタ 0 ch. n (IBCR0n)

I2C バス制御レジスタ 0 ch. n (IBCR0n) は , アドレスアクノリッジ , 転送完了フラグ (INT) タイミングの選択 , アービトレーションロスト割込みの許可 / 禁止 , ストップ条件検出割込みの許可 / 禁止および MCU スタンバイウェイクアップ機能の許可 / 禁止を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	AACKX	INTS	ALF	ALE	SPF	SPE	WUF	WUE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] AACKX: アドレスアクノリッジ禁止ビット

このビットは第 1 バイト送信時のアドレスアクノリッジを制御します。

このビットに "0" が書き込まれた場合 , アドレスアクノリッジが自動的に出力されます (スレーブアドレスと一致すると , アドレスアクノリッジが自動的に返されます) 。

このビットに "1" が書き込まれた場合 , アドレスアクノリッジは出力されません。

このビットの書き換えは , 次のどちらかの方法で行ってください。

- マスタモードで , このビットに "1" を書き込んでください。
- バスビジービットが "0" (IBSRn:BB) であることを確認後 , このビットを "0" にクリアしてください。

(注意事項)

- 転送完了割込み発生 (IBCR1n:INT = 1) 時に AACKX = 1 かつ IBSRn:FBT = 0 の場合 , I2C のアドレスとスレーブアドレスが一致してもアドレスアクノリッジは出力されませんが , アドレッシングされた場合と同様に 1 バイトのアドレス / データ転送終了ごとに割込みを発生するため , IBCR1n:INT ビットを "0" にクリアしてください。
- 転送完了割込み発生 (IBCR1n:INT = 1) 時に AACKX = 1 かつ IBSRn:FBT = 1 の場合 , スレーブモードとしてアドレッシングされた後に AACKX に "1" を書き込んだことが考えられるため , 再度 AACKX に "0" を設定した後に通常の通信を続けるか , I2C バスインタフェースの動作を禁止 (ICCRn:EN=0) した後に通信を再開するかしてください。

bit7	説明
"0" を書き込んだ場合	アドレスアクノリッジを許可します。
"1" を書き込んだ場合	アドレスアクノリッジを禁止します。

[bit6] INTS: データ受信時の転送完了フラグビットタイミング選択ビット

このビットはデータ受信時における転送完了割込み (IBCR1n:INT) のタイミングを選択します。このビットの設定を変更したい場合 , IBSRn:TRX = 0 かつ IBSRn:FBT = 0 のときに変更してください。
このビットに "0" が書き込まれた場合 , 9 番目の SCLn サイクルで転送完了割込み要求フラグビット (IBCR1n:INT) が "1" に設定されます。
このビットに "1" が書き込まれた場合 , 8 番目の SCLn サイクルで転送完了割込み要求フラグビット (IBCR1n:INT) が "1" に設定されます。

(注意事項)

- データ受信時 (IBSRn:TRX = 1 もしくは IBSRn:FBT = 1) 以外 , 転送完了割込み要求フラグビット (IBCR1n:INT) は常に 9 番目の SCLn サイクルで "1" に設定されます。
- データアクノリッジが受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェッキングなど), このビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で, データアクノリッジ許可ビット (IBCR1n:DACKE) の設定によりデータアクノリッジを制御してください。
- 最新のデータアクノリッジ (IBSRn:LRB) の読出しは, アクノリッジ受信後に実行できます (LRB の読出しは , 9 番目の SCLn サイクルにおける転送終了割込みで行われる必要があります) 。そのため , このビットが "1" のときにデータアクノリッジを読み出す場合は , 8 番目の SCLn サイクルによる転送終了割込み中に , このビットに "0" を書き込んで , 9 番目の SCLn サイクルで , 再度 , 転送終了割込みが発生するよう設定してください。

bit6	説明
"0" を書き込んだ場合	9 番目の SCLn サイクルで INT を設定します。
"1" を書き込んだ場合	8 番目の SCLn サイクルで INT を設定します。

[bit5] ALF: アービトレーションロスト割込み要求フラグビット

このビットはアービトレーションロストを検出します。
このビットと IBCR0n:ALE ビットがともに "1" のとき , アービトレーションロスト割込み要求が発生します。
このビットは以下の条件で "1" になります。

- マスタとしてデータ / アドレス送信中にアービトレーションロストが検出された場合
- ほかのシステムがバスを使用中に IBCR1n:MSS ビットに "1" を書き込んだ場合
  ただし , スレーブとして AACK または GACK を返した後 , MSS ビットに "1" を書き込んだ場合はこのビットは "1" に設定されません。

このビットは以下の条件で "0" になります。

- IBSRn:BB=0 のときに IBCR0n:ALF ビットに "0" を書き込んだ場合
- 転送終了フラグのクリアのために IBCR1n:INT ビットに "0" を書き込んだ場合

このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit5	説明
"0" が読み出された場合	アービトレーションロストが検出されていないことを示します。
"1" が読み出された場合	アービトレーションロストが検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit4] ALE: アービトレーションロスト割込み許可ビット
このビットはアービトレーションロスト割込みを許可または 禁止します。
このビットと IBCR0n:ALF ビットがともに "1" のとき , アービトレーションロスト割込み要求が発生します。

bit4	説明
"0" を書き込んだ場合	アービトレーションロスト割込みを禁止します。
"1" を書き込んだ場合	アービトレーションロスト割込みを許可します。

[bit3] SPF: ストップ検出割込み要求フラグビット
このビットはストップ条件を検出します。
このビットと IBCR0n:SPE ビットがともに "1" のとき , ストップ検出割込み要求が発生します。
このビットは , バスビジー中にストップ条件が正当に検出された場合は "1" になります。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit3	説明
"0" が読み出された場合	ストップ条件が検出されていないことを示します。
"1" が読み出された場合	ストップ条件が検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit2] SPE: ストップ検出割込み許可ビット
このビットはストップ検出割込みを許可 または 禁止します。
このビットと IBCR0n:SPF ビットがともに "1" のとき , ストップ検出割込み要求が発生します。

bit2	説明
"0" を書き込んだ場合	ストップ検出割込みを禁止します。
"1" を書き込んだ場合	ストップ検出割込みを許可します。

[bit1] WUF: MCU スタンバイモードウェイクアップ割込み要求フラグビット
このビットはストップモード / 時計モード中の MCU スタンバイモードウェイクアップを検出します。
このビットと IBCR0n:WUE ビットがともに "1" のとき , ウェイクアップ割込み要求が発生します。
このビットは , ウェイクアップ機能の許可 (IBCR0n:WUE = 1) 時に , スタート条件が検出された場合は "1" になります。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit1	説明
"0" が読み出された場合	スタート条件が検出されていないことを示します。
"1" が読み出された場合	スタート条件が検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit0] WUE: MCU スタンバイモードウェイクアップ機能許可ビット
このビットはストップモード / 時計モード中の MCU スタンバイモードウェイクアップ機能を許可または禁止します。
ストップモード / 時計モードでこのビットが "1" で , かつスタート条件が検出された場合 , I2C の動作開始のためにウェイクアップ割込み要求が発生します。

bit0	説明
"0" を書き込んだ場合	ストップモード / 時計モードにおける MCU スタンバイモードウェイクアップ機能を禁止します。
"1" を書き込んだ場合	ストップモード / 時計モードにおける MCU スタンバイモードウェイクアップ機能を許可します。

(注意事項)

- このビットへの "1" の書込みは , MCU がストップモード / 時計モードに入る直前に行ってください。また , MCU がストップモード / 時計モードからウェイクアップした後 , I2C の動作をすぐに再開できるように , できるだけ早くこのビットをクリア ("0" の 書込み) してください。
- ウェイクアップ割込み要求が発生した後 , MCU は発振安定待ち時間の経過後にウェイクアップします。したがって , ウェイクアップ直後のデータの取り逃しを避けるため , I2C 送信開始 (SDAn の立下りエッジ検出) によるウェイクアップから 100 µs (最小の発振安定待ち時間が 100 µs と仮定した場合) 以降に , SCLn が最初のサイクルとして立ち上り , 第 1 ビットがデータとして受信されなければなりません。
- MCU スタンバイモード中 , 本 I2C 機能のステータスフラグ , ステートマシンおよび I2C バス出力は , スタンバイモードに入る直前の状態を保持します。I2C バスシステム全体のハングアップを避けるため , スタンバイモードに入れる前に , IBSRn:BB = 0 となっていることを確認してください。
- ウェイクアップ機能は , IBSRn:BB = 1 における MCU のストップモード / 時計モードへの遷移をサポートしていません。IBSRn:BB = 1 で MCU がストップモード / 時計モードへ遷移した場合 , スタート条件が検出された段階でバスエラーが発生します。
- ウェイクアップ機能は MCU のストップモード / 時計モードでのみ有効です 。

＜注意事項＞

I2C の動作が禁止 (ICCRn:EN = 0) された場合 , IBCR0n レジスタの AACKX ビット , INTS ビットおよび WUE ビットは , "0" になり , 値の書込みができなくなります。

23.7.2 I2C バス制御レジスタ 1 ch. n (IBCR1n)

I2C バス制御レジスタ 1 ch. n (IBCR1n) は , バスエラー割込みの許可 / 禁止 , スタート条件発生 , マスタ / スレーブモードの選択 , データアクノリッジの許可 / 禁止 , ゼネラルコールアクノリッジの許可 / 禁止および転送完了割込みの許可 / 禁止を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BER	BEIE	SCC	MSS	DACKE	GACKE	INTE	INT
属性	R/W	R/W	W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] BER: バスエラー割込み要求フラグビット
このビットはバスエラーを検出します。
このビットと BEIE ビットがともに "1" のとき , バスエラー割込み要求が発生します。
不正なスタート条件または不正なストップ条件が検出された場合 , このビットは "1" になります。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit7	説明
"0" が読み出された場合	バスエラーが検出されていないことを示します。
"1" が読み出された場合	不正なスタート条件または不正なストップ条件が検出されていることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit6] BEIE: バスエラー割込み要求許可ビット
このビットはバスエラー割込みを許可または禁止します。
このビットと BER ビットがともに "1" のとき , バスエラー割込み要求が発生します。

bit6	説明
"0" を書き込んだ場合	バスエラー割込みを禁止します。
"1" を書き込んだ場合	バスエラー割込みを許可します。

[bit5] SCC: スタート条件発生ビット

このビットは , マスタモード中に繰返しスタート条件を発生し , 通信を再スタートさせます。
マスタモードでこのビットに "1" が書き込まれた場合 , 繰返しスタート条件が発生します。
このビットに "0" を書き込んでも動作に影響はありません。

bit5	説明
読出し動作	読出し値は常に "0" です。
"0" を書き込んだ場合	動作に影響はありません。
"1" を書き込んだ場合	マスタモードで繰返しスタート条件が発生します。

(注意事項)

- IBCR1n:SCC = 1 と IBCR1n:MSS = 0 を同時に設定しないでください。
- IBCR1n:INT = 0 のときに , このビットに "1" を書き込んだ場合 , 書込みは無視されます (スタート条件は発生しません) 。また , IBCR1n:INT = 1 のときに , このビットへの "1" の書込みと , IBCR1n:INT ビットへの "0" の書込みが同時に行われた場合 , このビットが優先されてスタート条件が発生します。

[bit4] MSS: マスタ / スレーブ選択ビット

このビットはマスタモードとスレーブモードから動作モードを選択します。
I2C バスがアイドル状態 (IBSRn:BB = 0) のときに , このビットに "1" が書き込まれると , マスタモードが選択され , スタート条件の発生後にアドレス転送が開始されます。
I2C バスがビジー状態 (IBSRn:BB = 1) のときに , このビットに "0" が書き込まれると , スレーブモードが選択され , ストップ条件の発生後にデータ転送が終了します。
マスタモードのデータ / アドレス転送中にアービトレーションロストが発生した場合 , このビットは "0" にクリアされて動作モードがスレーブモードになります。

bit4	説明
"0" を書き込んだ場合	スレーブモード
"1" を書き込んだ場合	マスタモード

(注意事項)

- IBCR1n:SCC = 1 と IBCR1n:MSS = 0 を同時に設定しないでください。
- IBCR1n:INT = 0 のときに , このビットに "0" を書き込んだ場合 , 書込みは無視されます。また , IBCR1n:INT = 1 のときに , このビットへの "0" の書込みと , IBCR1n:INT ビットへの "0" の書込みが同時に行われた場合 , このビットが優先されてストップ条件が発生します。
- スレーブモードで送受信中に MSS ビットに "1" が書き込まれても , IBCR0n:ALF ビットは設定されません。スレーブモードで送受信中に MSS ビットに "1" を書き込まないでください。

[bit3] DACKE: データアクノリッジ許可ビット

このビットはデータ受信時のデータアクノリッジを制御します。
このビットに "0" が書き込まれた場合 , データアクノリッジ出力は禁止されます。
このビットに "1" が書き込まれた場合 , データアクノリッジ出力は許可されます。このとき , マスタモードでは , データアクノリッジがデータ受信の 9 番目の SCLn サイクルで出力されます。また , スレーブモードでは , アドレスアクノリッジが既に出力されている場合のみ , データアクノリッジがデータ受信の 9 番目の SCLn サイクルで出力されます。

bit3	説明
"0" を書き込んだ場合	データアクノリッジ出力を禁止します。
"1" を書き込んだ場合	データアクノリッジ出力を許可します。

[bit2] GACKE: ゼネラルコールアドレスアクノリッジ許可ビット
このビットはゼネラルコールアドレスアクノリッジを制御します。
このビットに "0" が書き込まれた場合 , ゼネラルコールアドレスアクノリッジ出力は禁止されます。
このビットに "1" が書き込まれた場合 , マスタモード / スレーブモードで , ゼネラルコールアドレス (0x00) が受信されると , ゼネラルコールアドレスアクノリッジが出力されます。

bit2	説明
"0" を書き込んだ場合	ゼネラルコールアドレスアクノリッジを禁止します。
"1" を書き込んだ場合	ゼネラルコールアドレスアクノリッジを許可します。

[bit1] INTE: 転送完了割込み許可ビット
このビットは転送完了割込みを許可または禁止します。
このビットと IBCR1n:INT ビットがともに "1" のとき , 転送完了割込み要求が発生します。

bit1	説明
"0" を書き込んだ場合	転送完了割込みを禁止します。
"1" を書き込んだ場合	転送完了割込みを許可します。

[bit0] INT: 転送完了割込み要求フラグビット
このビットは転送完了を検出します。
このビットと INTE ビットがともに "1" のとき , 転送完了割込み要求が発生します。
このビットは , 以下の 4 つのいずれかの条件で , 1 バイトのアドレス / データ転送が完了 (アクノリッジを含むかどうかは INTS ビットの設定に依存する) した場合に "1" になります。
- バスマスタモードの場合
- スレーブとしてアドレッシングされている場合
- ゼネラルコールアドレスを受信している場合
- アービトレーションロストを検出している場合

このビットは以下の条件で "0" になります。
- このビットに "0" を書き込んだ場合
- マスタモードで , 繰返しスタート条件 (IBCR1n:SCC = 1) もしくはストップ条件 (IBCR1n:MSS = 0) が発生した場合

このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。
このビットが "1" のとき , SCLn ラインは "L" を保持します。
このビットに "0" を書き込んでクリアすると (値が "0" になります), SCLn ラインは開放されて次のバイトデータ送信が可能となります。

bit0	説明
"0" が読み出された場合	データ転送がまだ完了していないことを示します。
"1" が読み出された場合	1 バイトデータ (アクノリッジを含む) の転送が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

(注意事項)
- このビットが "0" のときに IBCR1n:SCC に "1" が書き込まれた場合 , IBCR1n:SCC ビットが優先されてスタート条件が発生します。
- このビットが "0" のときに IBCR1n:MSS に "0" が書き込まれた場合 , IBCR1n:MSS ビットが優先されてストップ条件が発生します。
- データ受信時に IBCR0n:INTS が "1" の場合 , このビットは 1 バイトデータ転送完了後 (アクノリッジを含みません) に "1" になります。それ以外の場合 , このビットはアクノリッジを含む 1 バイトのデータ / アドレス送受信完了後に "1" になります。

＜注意事項＞

- 割込み要求フラグビット (IBCR1n:BER) に "0" を書き込んでクリアするとき , 割込み要求許可ビット (IBCR1n:BEIE) を同時に書き換えないでください。
- BER ビット と BEIE ビットを除く IBCR1n レジスタ のすべてのビットは , I2C バスインタフェースの動作禁止 (ICCRn:EN = 0) により , "0" にクリアされます。

23.7.3 I²C バスステータスレジスタ ch. n (IBSRn)

I²C バスステータスレジスタ ch. n (IBSRn) は I²C バスインタフェースのステータスを示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BB	RSC	—	LRB	TRX	AAS	GCA	FBT
属性	R	R	—	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] BB: バスビジービット
このビットはバスの状態を示します。

bit7	説明
"0" が読み出された場合	ストップ条件が検出され , バスはアイドル状態になったことを示します。
"1" が読み出された場合	スタート条件が検出され , バスはビジー状態になったことを示します。

[bit6] RSC: 繰返しスタート条件検出ビット
このビットは繰返しスタート条件を検出します。
このビットは , 繰返しスタート条件が検出された場合に "1" になります。
このビットは以下の条件で "0" になります。

- IBCR1n:INT ビットに "0" を書き込んだ場合
- スレーブモードでスレーブアドレスが IAARn の設定アドレスと一致しない場合
- スレーブモードでスレーブアドレスが IAARn の設定アドレスと一致するが , IBCR0n:AACKX ビットが "1" である場合
- スレーブモードでデバイスはゼネラルコールアドレスを受信したが , IBCR1n:GACKE ビットが "0" である場合
- ストップ条件が検出された場合

bit6	説明
"0" が読み出された場合	繰返しスタート条件がまだ検出されていないことを示します。
"1" が読み出された場合	バス使用中に繰返しスタート条件が検出されていることを示します。

[bit5] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit4] LRB: アクノリッジ格納ビット

このビットは , データバイト転送時に , 9 番目のシフトクロックで SDAn ラインの値を取り込みます。
このビットは , アクノリッジが未検出のとき (SDAn = "H") に "1" になります。
このビットは以下の条件で "0" になります。

- アクノリッジを検出 (SDAn = "L") した場合
- スタート条件またはストップ条件を検出した場合

bit4	説明
"0" が読み出された場合	アクノリッジが 9 番目のシフトクロックで検出されていることを示します。
"1" が読み出された場合	アクノリッジが 9 番目のシフトクロックで検出されていないことを示します。

(注意事項) 上記のことから , このビットの読出しはアクノリッジの後に行う必要があります (9 番目の SCLn サイクルにおける転送完了割込みで値を読み出してください)。そのため , IBCR0n:INTS ビットが "1" のときにアクノリッジを読み出す場合は , 9 番目の SCLn サイクルで再度転送完了割込みが発生するように , 8 番目の SCLn サイクルにおける転送完了割込み中に , IBCR0n:INTS ビットに "0" を書き込んでください。

[bit3] TRX: データ転送状態ビット

このビットはデータ転送モードを示します。
このビットは , 送信モードでデータ転送が行われた場合に "1" になります。
このビットは以下の条件で "0" になります。

- 受信モードでデータ転送が行われた場合
- デバイスはスレーブ送信モードで NACK を受信した場合

bit3	説明
"0" が読み出された場合	データ転送モードが受信モードであることを示します。
"1" が読み出された場合	データ転送モードが送信モードであることを示します。

[bit2] AAS: アドレッシング検出ビット

このビットはスレーブモードで MCU がアドレッシングされているかどうかを示します。
このビットは , スレーブモードで MCU がアドレッシングされた場合に "1" になります。
このビットは , スタート条件またはストップ条件が検出された場合に "0" になります。

bit2	説明
"0" が読み出された場合	スレーブモードで MCU がアドレッシングされていないことを示します。
"1" が読み出された場合	スレーブモードで MCU がアドレッシングされていることを示します。

[bit1] GCA: ゼネラルコールアドレス検出ビット

このビットはゼネラルコールアドレスを検出します。
このビットは以下の条件で "1" になります。

- デバイスはスレーブモードでゼネラルコールアドレス (0x00) を受信した場合
- IBCR1n:GACKE=1 のとき , デバイスはマスタモードでゼネラルコールアドレス (0x00) を受信した場合
- マスタモードで , 2 バイト目のゼネラルコールアドレス送信中に , アービトレーションロストが検出された場合

このビットは以下の条件で "0" になります。

- スタート条件またはストップ条件が検出された場合
- マスタモードで , 2 バイト目のゼネラルコールアドレス送信中に , アービトレーションロストが検出されなかった場合

bit1	説明
"0" が読み出された場合	スレーブモードでゼネラルコールアドレス (0x00) の受信がないことを示します。
"1" が読み出された場合	スレーブモードでゼネラルコールアドレス (0x00) の受信があることを示します。

[bit0] FBT: 第 1 バイト検出ビット

このビットは第 1 バイトを検出します。
このビットは , スタート条件が検出された場合に "1" になります。
このビットは以下の条件で "0" になります。

- IBCR1n:INT ビットに "0" を書き込んだ場合
- スレーブモードでスレーブアドレスが IAARn レジスタの設定アドレスと一致しない場合
- スレーブモードでスレーブアドレスが IAARn レジスタの設定アドレスと一致するが , IBCR0n:AACKX ビットが "1" である場合
- スレーブモードでデバイスはゼネラルコールアドレスを受信したが ,IBCR1n:GACKE ビットが "0" である場合
- スレーブモードでストップ条件が検出された場合

bit0	説明
"0" が読み出された場合	データ受信時に受信データが第 1 バイトではないことを示します。
"1" が読み出された場合	データ受信時に受信データが第 1 バイト (アドレス) であることを示します。

23.7.4 I2C データレジスタ ch. n (IDDRn)

I2C データレジスタch. n (IDDRn) レジスタは, 送信データ / アドレスの設定および受信データ / アドレスの保持を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

送信モード時 , レジスタに書かれたデータ / アドレスが MSB ビットから SDAn ラインにビットごとにシフトされます。このレジスタの書込み側はダブルバッファになっており , バスが使用中 (IBSRn:BB = 1) の場合 , 書込みデータは , 現在のデータ転送完了割込みのクリア時 (IBCR1n:INT ビットへの "0" の書込み) または繰返しスタート条件発生時 (IBCR1n:SCC ビットへの "1" 書込み) に , 8 ビットのシフトレジスタにロードされます。シフトレジスタのデータはビットごとに SDAn ラインにシフト出力されます。

なお , このレジスタへの書込みは現在のデータ転送には影響がありません。ただし , スレーブモード時は , アドレスの確定後にシフトレジスタへデータが転送されます。

転送終了割込みの間 (IBCR1n:INT = 1), 受信データ / アドレスをこのレジスタから読み出せます。ただし , 読出し時はシリアル転送用のレジスタを直接読み出すため , 受信データは IBCR1n:INT = 1 の場合のみ有効です。

23.7.5 I2C アドレスレジスタ ch. n (IAARn)

I2C アドレスレジスタ ch. n (IAARn) はスレーブアドレスを設定します。スレーブアドレスの設定に使用されます。スレーブモード時に , マスタからのアドレスデータの受信後 , IAARn レジスタの値との比較判定に使用されます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	A6	A5	A4	A3	A2	A1	A0
属性	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit6:0] A[6:0]: アドレスビット
これらのビットはスレーブアドレスを設定します。

23.7.6 I2C クロック制御レジスタ ch. n (ICCRn)

I2C クロック制御レジスタ ch. n (ICCRn) は , I2C 動作の許可とシフトクロック周波数の選択を行います。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	DMBP	予約	EN	CS4	CS3	CS2	CS1	CS0
属性	R/W	W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] DMBP: 分周器 m バイパスビット

このビットはシフトクロック周波数を発生させるための分周器 m のバイパスに使用されます。

このビットに "0" が書き込まれた場合 , CS[4:3] で選択された値が分周器 m の値になります (m = ICCRn:CS[4:3]) 。

このビットに "1" が書き込まれた場合 , 分周器 m はバイパスされます。

分周器 n = 4 (ICCRn:CS[2:0] = 0b000) のとき , このビットに "1" を書き込まないでください。

bit7	説明
"0" を書き込んだ場合	ICCRn:CS[4:3](分周器 m) の設定が有効になります。
"1" を書き込んだ場合	ICCRn:CS[4:3](分周器 m) の設定が無効になります。

[bit6] 予約ビット

このビットは常に "0" に設定してください。

[bit5] EN: I2C バスインタフェース動作許可ビット

このビットは I2C バスインタフェースの動作を許可または禁止します。

このビットに "0" が書き込まれた場合 , I2C バスインタフェースの動作が禁止され , 以下のビットが "0" にクリアされます。

- IBCR0n レジスタの AACKX, INTS および WUE ビット
- IBCR1n レジスタの BER および BEIE ビットを除くすべてのビット
- IBSRn レジスタのすべてのビット

このビットに "1" が書き込まれた場合 , I2C バスインタフェースの動作が許可されます。

bit5	説明
"0" を書き込んだ場合	I2C バスインタフェースの動作を禁止します。
"1" を書き込んだ場合	I2C バスインタフェースの動作を許可します。

[bit4:3] CS[4:3]: クロック -1 選択ビット (分周器 m)
[bit2:0] CS[2:0]: クロック -2 選択ビット (分周器 n)
これらのビットは , シフトクロックの周波数を設定します。
シフトクロック周波数 (Fsck) は次式のように設定されます。

$$Fsck = \frac{\phi}{(m \times n + 2)}$$

ϕ はマシンクロックの周波数 (MCLK) です。

bit4:3	説明
"00" を書き込んだ場合	5
"01" を書き込んだ場合	6
"10" を書き込んだ場合	7
"11" を書き込んだ場合	8

bit2:0	説明
"000" を書き込んだ場合	4
"001" を書き込んだ場合	8
"010" を書き込んだ場合	22
"011" を書き込んだ場合	38
"100" を書き込んだ場合	98
"101" を書き込んだ場合	128
"110" を書き込んだ場合	256
"111" を書き込んだ場合	512

＜注意事項＞

スタンバイモードウェイクアップ機能を使用しない場合 , MCU をストップモード / 時計モードに遷移させる前に , I2C バスインタフェース の動作を禁止してください。

23.8 使用上の注意

I2C バスインタフェース使用上の注意を示します。

■ I2C バスインタフェース使用上の注意

● I2C バスインタフェースのレジスタの設定時の注意

- I2C バス制御レジスタ ch. n (IBCR0n, IBCR1n) を設定する前に , I2C バスインタフェースの動作を許可してください (ICCRn:EN)。
- マスタ / スレーブ選択ビット (IBCR1n:MSS) を設定する ("1" を書き込む) と , 転送が開始されます。

● シフトクロック周波数を設定する場合の注意

- Fsck 計算式を使用して , 分周器 m, 分周器 n および DMBP ビット の値を決めることにより , シフトクロック周波数を計算できます。Fsck 計算式について ,「23.7.6 I2C クロック制御レジスタ ch. n (ICCRn)」を参照してください。
- 分周器 n の値が "4" (ICCRn:CS[2:0] = 0b000) の場合は , DMBP を " 1" に書き込まないでください。

● 同時書込み時の優先度の注意

- 次バイト転送とストップ条件の競合
  IBCR1n:INT をクリアすると同時に IBCR1n:MSS に "0" を書き込むと , MSS ビットが優先されてストップ条件が発生します。
- 次バイト転送とスタート条件の競合
  IBCR1n:INT をクリアすると同時に IBCR1n:SCC に "1" を書き込むと , SCC ビットが優先されてスタート条件が発生します。

● ソフトウェアによる設定の注意

- 繰返しスタート条件 (IBCR1n:SCC = 1) とスレーブモード (IBCR1n:MSS = 0) を同時に選択しないでください。
- 割込み要求フラグビット (IBCR1n:BER/INT) が "1" で , 割込み要求 (IBCR1n:BEIE / INTE = 1) が許可されたとき , 割込み処理から復帰できません。割込み処理から復帰するには , 必ず先に IBCR1n:BER/INT ビットを "0" にクリアしてください。
- I2C バスインタフェースの動作が禁止された場合 (ICCRn:EN = 0), 以下のビットが "0" にクリアされます。
  - IBCR0n レジスタの AACKX, INTS および WUE ビット
  - IBCR1n レジスタの BER および BEIE ビットを除くすべてのビット
  - IBSRn レジスタのすべてのビット

● データアクノリッジに対する注意

スレーブモードでは , データアクノリッジは以下の条件で発生します。

- 受信アドレスがアドレスレジスタ (IAARn) の値と一致し , IBCR0n:AACKX = 0 の場合
- ゼネラルコールアドレス (0x00) が受信され , IBCR1n:GACKE = 1 の場合

● 転送完了タイミング選択時の注意

- データ受信時の転送完了フラグ(INT)タイミング選択ビット (IBCR0n:INTS) は, データ受信時 (IBSRn:TRX = 0 かつ IBSRn:FBT = 0) のみ有効です。
- データ受信時以外 (IBSRn:TRX = 1 か IBSRn:FBT = 1) では , 転送完了割込み要求 (IBCR1n: INT = 1) は常に 9 番目の SCLn サイクルで発生します。
- データアクノリッジが受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェッキングなど), IBCR0n:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で , データアクノリッジ許可ビット (IBCR1n:DACKE) の設定によりデータアクノリッジを制御してください。
- 最新のデータアクノリッジ (IBSRn:LRB) の読出しは , アクノリッジ受信後に行えます (IBSRn:LRB の読出しは , 9 番目の SCLn サイクルにおける転送終了割込みで行われる必要があります) 。そのため , INTS ビットが "1" のときにアクノリッジを読み出す場合は , 9 番目の SCLn サイクルで , 再度転送終了割込みが発生するように , 8 番目の SCLn サイクルによる転送終了割込み中に , INTS ビットに "0" を書き込んでください。

● MCU スタンバイモードウェイクアップ機能使用上の注意

- MCU をストップモード / 時計モードに入れる直前に , IBCR0n:WUE ビット を "1" に設定してください。また , MCU がストップモード / 時計モードからウェイクアップした後 , I2C バスインタフェースの動作を直ちに再開できるように WUE ビット をクリア ("0" の書込み) してください。
- ウェイクアップ割込み要求が発生された後 , MCU は発振安定待ち時間の経過後にウェイクアップします。したがって , ウェイクアップ直後のデータの取逃しを避けるため , I2C 送信開始 (SDAn の立下りエッジ検出)によるウェイクアップから 100 µs (最小の発振安定待ち時間が 100 µs と仮定した場合) 以降に , SCLn が最初のサイクルとして立ち上り , 第 1 ビットがデータとして送信されるようにシステムを設計してください。
- MCU スタンバイモードで , 本 I2C バスインタフェースのステータスフラグ , ステートマシンおよび I2C バス出力は , スタンバイモードに入る直前の状態を保持します。I2C バスシステム全体のハングアップを避けるため , スタンバイモードに入れる前に , IBSRn:BB = 0 となっていることを確認してください。
- ウェイクアップ機能は , IBSRn:BB = 1 における MCU のストップ モード / 時計モードへの遷移をサポートしません。IBSRn:BB = 1 で MCU がストップモード / 時計モードへ遷移した場合 , スタート条件が検出された段階でバスエラーが発生します。
- I2C バスインタフェースの動作を確実に行うため , I2C のウェイクアップ機能かほかの周辺機能を使ったウェイクアップ機能 (外部割込みなど) にかかわらず , ストップモード / 時計モードから MCU がウェイクアップした後 , WUE ビットを "0" にクリアしてください。

第 24 章

LCD コントローラ (MB95710L シリーズ)

LCD コントローラ (LCDC) の機能と動作について説明します。

24.1 概要
24.2 構成
24.3 端子
24.4 ディスプレイ RAM
24.5 割込み
24.6 動作説明
24.7 レジスタ
24.8 使用上の注意

24.1 概要

**LCD コントローラには , 8 COM モードと 4 COM モードがあります。
8 COM モードでは , LCD コントローラは 36 バイトの表示データメモリを使用でき , 8 本のコモン出力と 36 本のセグメント出力によって LCD 表示を制御します。また , LCD パネル (液晶表示器) を駆動するためのバイアス出力を 2 種類持っています。
4 COM モードでは , LCD コントローラは 20 バイトの表示データメモリを使用でき , 4 本のコモン出力と 40 本のセグメント出力によって LCD 表示の制御を行います。また , LCD パネルを駆動するためのバイアス出力を 3 種類持っています。**

■ LCD コントローラの機能

LCD コントローラは , セグメント出力とコモン出力によって , 表示データメモリ (ディスプレイ RAM) の内容を LCD パネルに直接表示します。

- ソフトウェアで 8 COM モードまたは 4 COM モードを選択します。
- LCD 駆動電圧分割抵抗を内蔵しており , 10 kΩ から 100 kΩ の範囲のレジスタ値をソフトウェアによって選択できます。代わりに外部分割抵抗も使用できます。
- 8 COM モードでは , 8 本のコモン出力 (COM0 ～ COM7) と 36 本のセグメント出力 (SEG00 ～ SEG35) を使用できます。
- 4 COM モードでは , 4 本のコモン出力 (COM0 ～ COM3) と 40 本のセグメント出力 (SEG00 ～ SEG39) を使用できます。
- ディスプレイ RAM サイズは , 8 COM モードでは , 36 バイト (36 × 8 ビット) で , 4 COM モードでは , 20 バイト (40 × 4 ビット) です。
- 動作クロックとして , メインクロックまたはサブクロックを使用できます。
- ブリンキング (点滅) 機能があります (端子制限あり)。
- LCD パネルを直接駆動できます。
- 8 COM モードでは , バイアスは , 1/3 または 1/4 から選択できます。
- 4 COM モードでは , デューティは , 1/2, 1/3, または 1/4 から選択できます。(バイアスの設定によって制限されます)。
- 割込みイベントは , LCD モジュールフレーム周波数と同期します。

表 24.1-1 に , 使用できるバイアス・デューティの組合せを示します。

表 24.1-1 バイアス・デューティの組合せ表

デューティ	1/2 バイアス	1/3 バイアス	1/4 バイアス
1/2	○	X	X
1/3	X	○	X
1/4	X	○	X
1/8, BLS8 = 0	X	○	X
1/8, BLS8 = 1	X	X	○

○ : 推奨組合せ

X : 使用禁止の組合せ

24.2 構成

LCD コントローラは，以下のブロックで構成されており，機能的にはディスプレイ RAM の内容に従って，セグメント信号とコモン信号を発生するコントローラ部と，LCD を駆動するためのドライバ部に分けられます。

コントローラ部

- **LCDC 制御レジスタ (LCDCC1 と LCDCC2)**
- **LCDC 許可レジスタ (LCDCE1 ～ LCDCE7)**
- **LCDC ブリンキング設定レジスタ (LCDCB1 と LCDCB2)**
- **ディスプレイ RAM**
- **クロック選択**
- **タイミング制御**

ドライブ部

- **交流波形発生回路**
- **コモンドライバ**
- **セグメントドライバ**
- **分割抵抗**

■ LCD コントローラのブロックダイヤグラム

図 24.2-1 LCD コントローラのブロックダイヤグラム (8 COM モード)

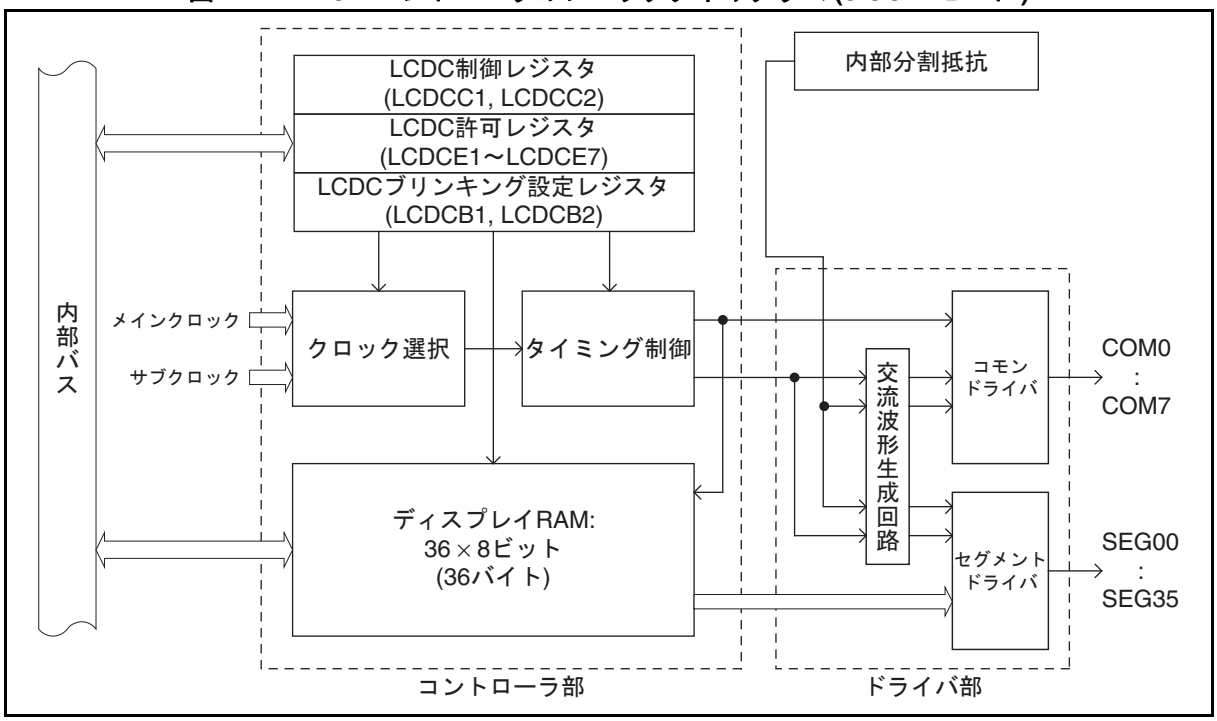
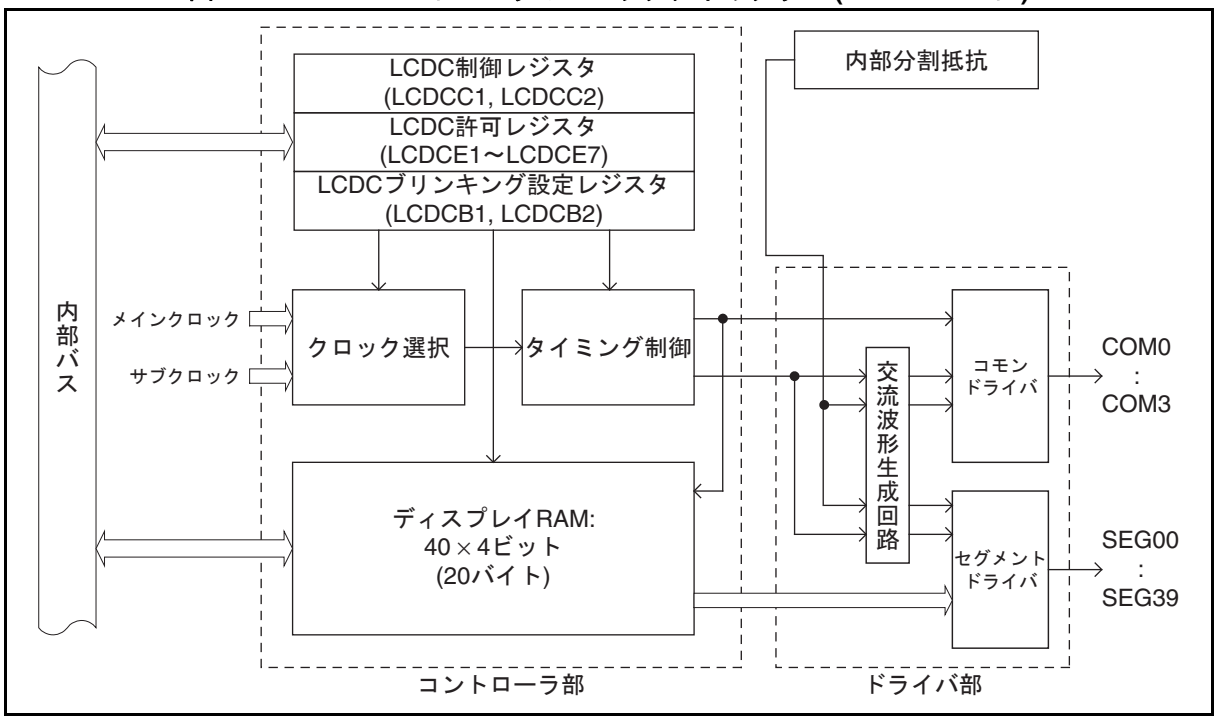


図 24.2-2 LCD コントローラのブロックダイヤグラム (4 COM モード)



- LCDC 制御レジスタ 1 (LCDCC1)

  フレーム周期発生用クロックの選択 , 表示モードの選択 , フレーム周期クロックの選択および LCD 駆動電源制御を行います。

- LCDC 制御レジスタ 2 (LCDCC2)

  割込みを有効または無効にしたり , 割込みの状態を示したりするレジスタです。下記のパラメータを設定します。

  - 内部抵抗値 (10 kΩ または 100 kΩ)
  - 8 COM モードで使用するバイアス (1/3 または 1/4)
  - 表示データまたはブランク画面
  - 反転表示

- LCDC 許可レジスタ 1 ～ 7 (LCDCE1 ～ LCDCE7)

  ポート入力制御 , ブリンク間隔選択および端子制御を行います。

- LCDC ブリンキング設定レジスタ 1 (LCDCB1), LCDC ブリンキング設定レジスタ 2 (LCDCB2)

  ブリンキングのオン / オフを設定します。

- **ディスプレイ RAM**

  8 COM モードでは , セグメント出力信号発生用の 36 × 8 ビットの RAM です。

  4 COM モードでは , セグメント出力信号発生用の 40 × 4 ビットの RAM です。

  RAM の内容は , コモン信号の選択タイミングに同期して自動的に読み出されてセグメント出力端子より出力されます。

  VRAM の内容は , ディスプレイ RAM への書換えと同時にセグメント出力端子より出力されます。

- **クロック選択**

  2 種類のクロックから生成される 8 種類の周波数から選択された設定によって , フレーム周波数を発生します。

- **タイミング制御**

  フレーム周波数と各レジスタの設定をもとに , コモン信号とセグメント信号の制御を行います。

- **交流波形生成回路**

  タイミング制御の信号から , LCD を駆動するための交流波形を生成します。

- **コモンドライバ**

  LCD のコモン端子 (COM) のドライバです。

- **セグメントドライバ**

  LCD のセグメント端子 (SEG) のドライバです。

- **分割抵抗**

  LCD 駆動電圧を発生させるための抵抗です。LCDC ドライバ電源端子 (V0 ～ V4) が分割抵抗接続端子として機能している場合は , 分割抵抗を外付けすることもできます。

■ LCD コントローラの電源電圧

LCD ドライバの電源電圧は , 内蔵の分割抵抗を使用するかまたは V0 ～ V4 端子に分割抵抗を接続することにより生成されます。

■ 入力クロック

LCD コントローラは , タイムベースタイマの出力クロックまたは時計プリスケーラの出力クロックを入力クロック (動作クロック) として使用します。

24.2.1 LCD コントローラの内部分割抵抗

LCD ドライバの電源電圧は , 内部分割抵抗によって生成されます。

■ 内部分割抵抗

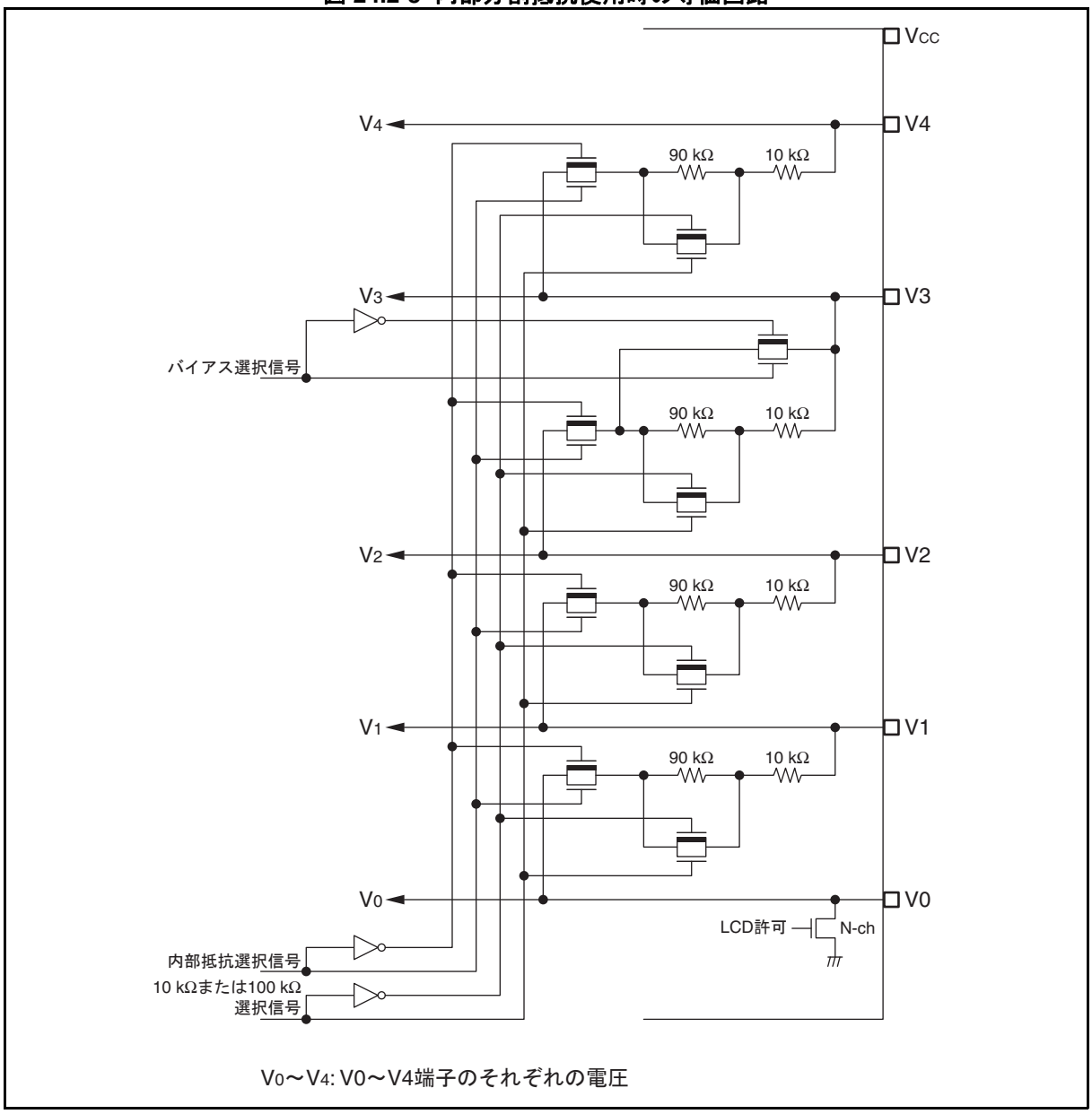
本シリーズには , 内部分割抵抗が内蔵されています。また , LCD 駆動用電源端子 (V0 ～ V4) に外部分割抵抗を接続することもできます。

内部分割抵抗と外部分割抵抗の選択は , LCDC 制御レジスタ 1 の駆動電源制御ビット (LCDCC1:VSEL) で行います。VSEL ビットを "1" にすることにより内部分割抵抗が通電状態になります。外部分割抵抗を使用せずに内部分割抵抗のみを使用するためには , LCDC 許可レジスタ 1 (LCDCE1) 内の VE3 ビットを "1" に設定してください (内部分割抵抗を使用する場合 , V4 端子を汎用 I/O ポートとして使用できません)。

LCD コントローラは , LCD 動作停止 (LCDCC1:MS[2:0] = 0b000) , メインストップモード, および時計モードでの動作を禁止 (LCDCC1:LCDEN = 0) した状態で, メインストップモード , および時計モード (STBC:TMD = 1) に遷移したときに停止します。

図 24.2-3 に , 内部分割抵抗使用時の等価回路を示します。

図 24.2-3 内部分割抵抗使用時の等価回路



V0～V4: V0～V4端子のそれぞれの電圧

■ 内部分割抵抗の使用および輝度調整

内部分割抵抗には 10 kΩ 抵抗と 100 kΩ 抵抗があります。図 24.2-4 に , 内部分割抵抗使用時の回路を示します。

内部分割抵抗を使用して輝度があがらない場合には , 外部 (Vcc ～ V4 端子間) に可変抵抗 (VR) を接続して V4 の電圧を調整してください。図 24.2-5 に VR を V4 端子に接続することによる輝度調整を示します。

図 24.2-4 内部分割抵抗使用時の回路状態

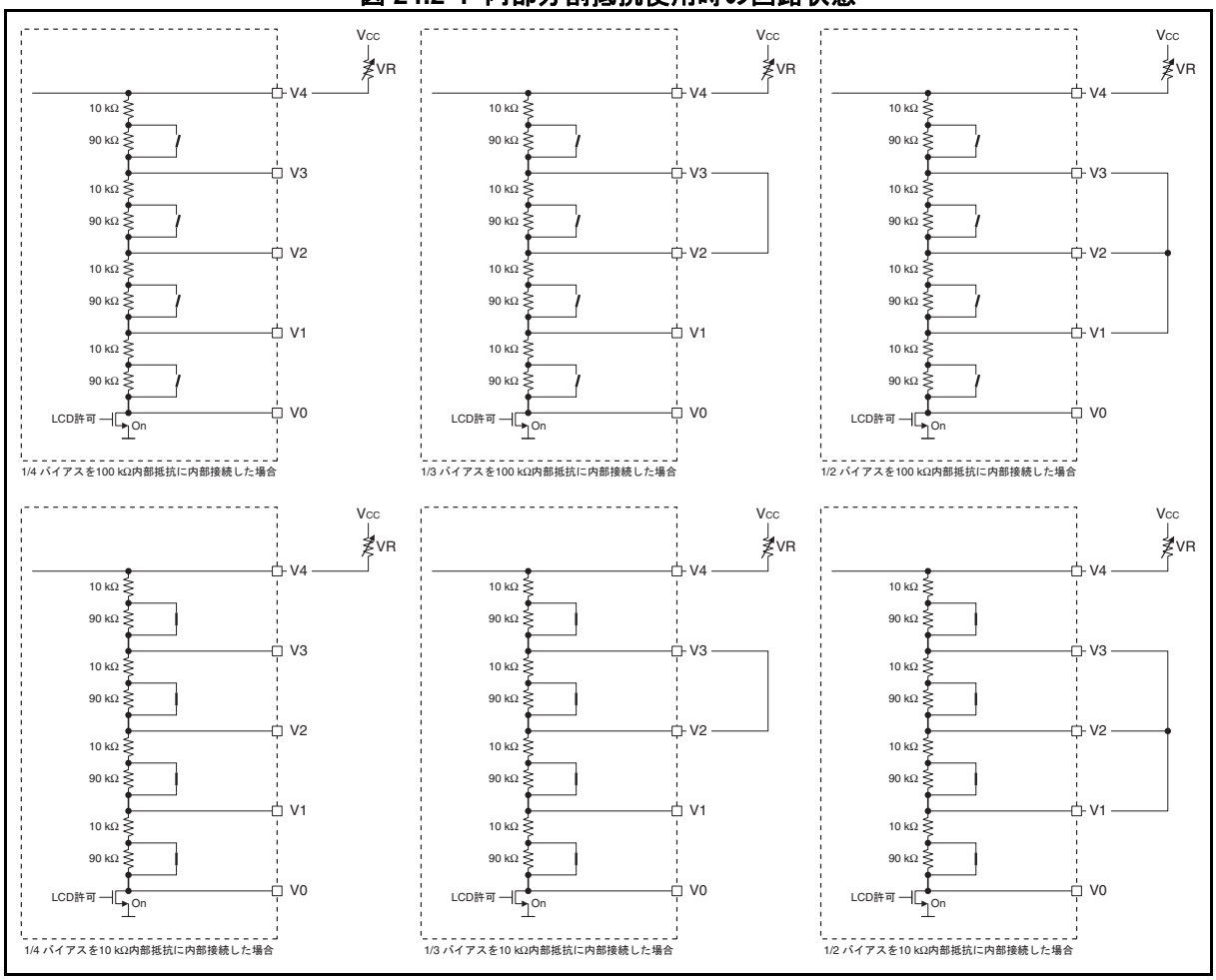
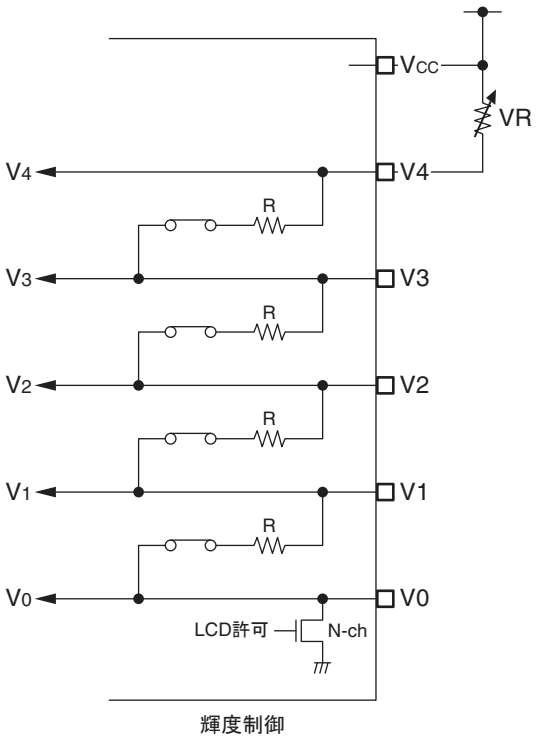


図 24.2-5 VR を V4 端子に接続することによる輝度調節



V_0～V_4: V0～V4端子のそれぞれの電圧

24.2.2 LCD コントローラの外部分割抵抗

本シリーズ は V0 ～ V4 端子に外部分割抵抗を接続できます。
また , Vcc と V4 端子間に可変抵抗を接続することで , 輝度を調整できます。

■ 外部分割抵抗

内部分割抵抗を使用せずに , LCD 駆動用電源端子 (V0 ～ V4) に外部分割抵抗を接続して使用できます。図 24.2-6 にバイアス方式に対応した外部分割抵抗の接続を , 表 24.2-1 に LCD 駆動電圧を示します。

図 24.2-6 外部分割抵抗の接続例

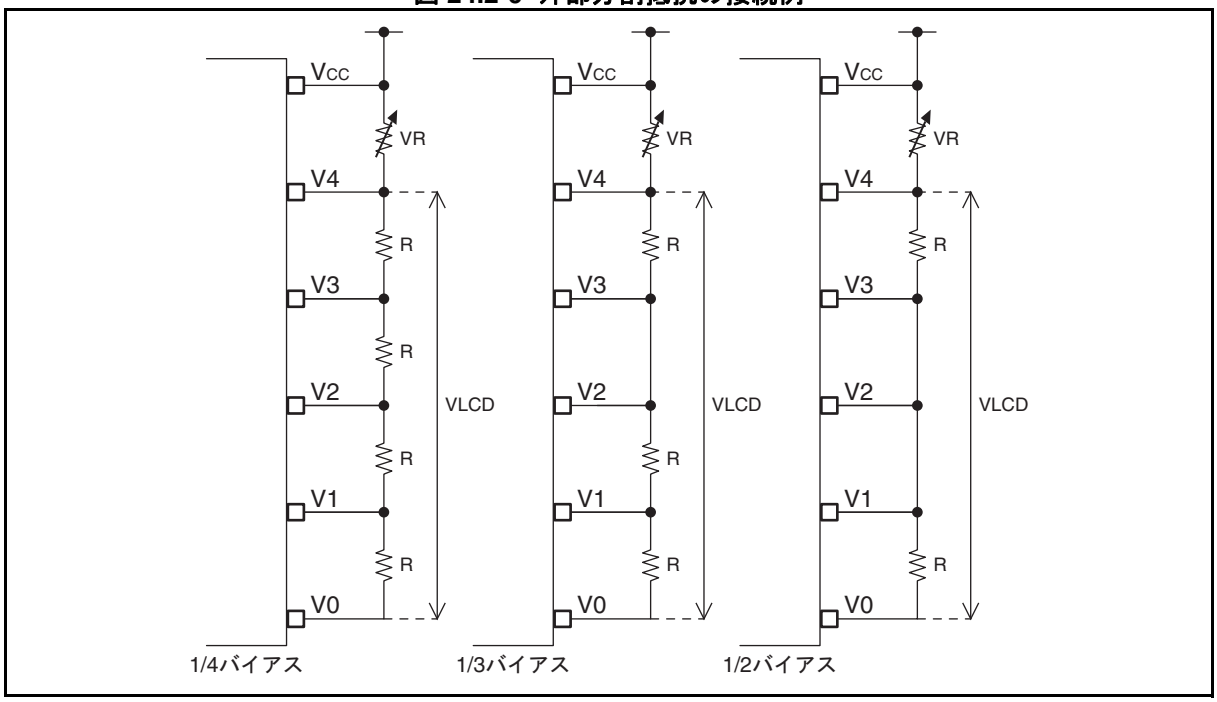


表 24.2-1 LCD 駆動電圧の設定

	V4	V3	V2	V1	V0
1/2 bias	VLCD	X	1/2 VLCD	X	GND
1/3 bias	VLCD	2/3 VLCD	2/3 VLCD	1/3 VLCD	GND
1/4 bias	VLCD	3/4 VLCD	1/2 VLCD	1/4 VLCD	GND

VLCD : LCD 動作電圧

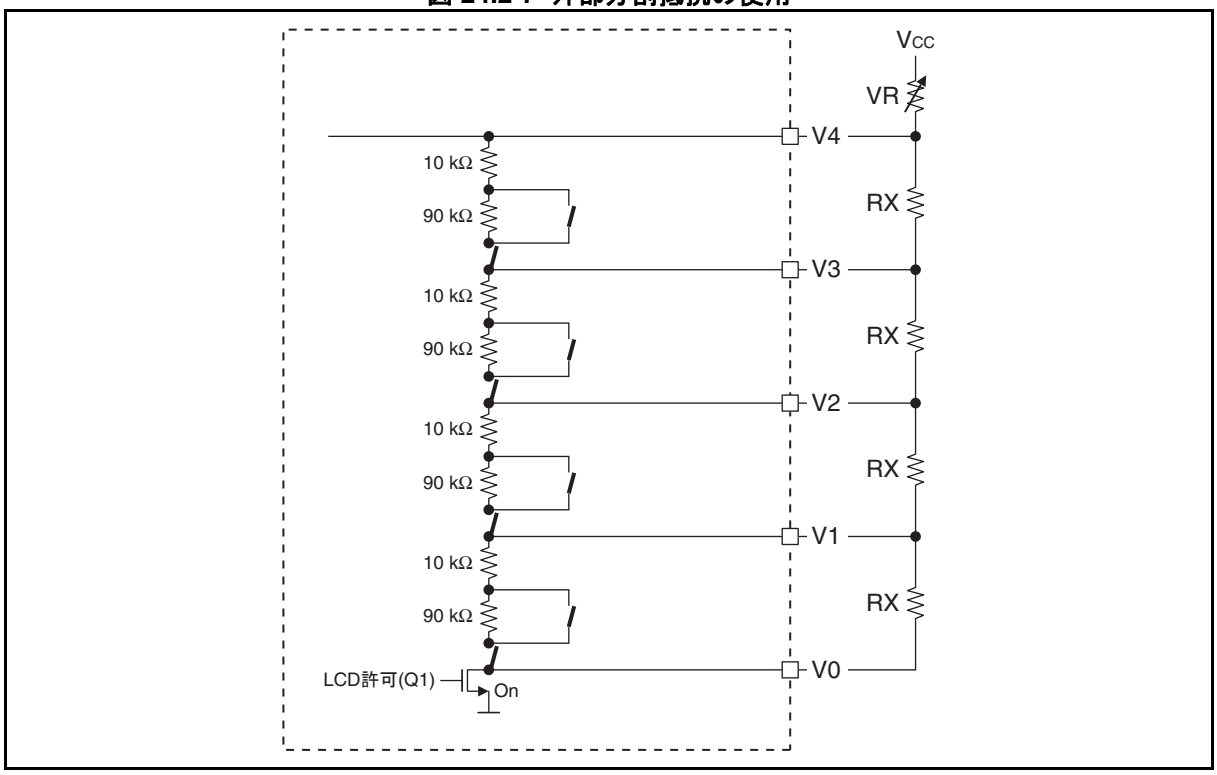
X : 外部分割抵抗なし

GND : 接地

■ 外部分割抵抗の使用

V0 端子は内部でトランジスタを通して Vss (GND) へ接続されているため , 外部分割抵抗を使用する場合 , 分割抵抗の Vss 側を V0 端子に接続することにより , LCD コントローラ停止時に抵抗へ流れる電流を遮断します。図 24.2-7 に , 外部分割抵抗使用時の状態を示します。

図 24.2-7 外部分割抵抗の使用



1. 内部分割抵抗の影響を受けずに外部に分割抵抗を接続するには , LCDC 制御レジスタ 1 の駆動電圧制御ビット (LCDCC1:VSEL) に "0" を書き込み , 内部分割抵抗全体を切り離してください。ポートを LCD の駆動用電源端子として設定するためには , LCDC 許可レジスタ 1 の V4 ～ V0 選択ビット (LCDCE1:VE[4:0]) に "1" を書き込んでください。
2. 内部分割抵抗が切り離された状態で , LCDCC1 レジスタの表示モード選択ビット (MS[2:0]) に "0b000" 以外の値を書き込むと LCDC 許可トランジスタ (Q1) が "ON" となって外部分割抵抗に電流が流れます。
3. MS[2:0] ビットに "0b000" を書き込むと LCDC 許可トランジスタ (Q1) が "OFF" となって分割抵抗に電流が流れなくなります。

＜注意事項＞

外部 RX 抵抗の適切な抵抗値は使用する LCD により異なります。使用する LCD に適する抵抗値を持つ外部 RX 抵抗を使用してください。

24.3 端子

LCD コントローラの端子について説明します。

■ LCD コントローラの端子

LCD コントローラの端子は , 8 本のコモン出力端子 (COM0 ～ COM7) , 40 本のセグメント出力端子 (SEG00 ～ SEG39) および 5 本の LCD 駆動用電源端子 (V0 ～ V4) です。

LCD 端子として使用する場合は , LCDC 許可レジスタ (LCDCE1 ～ LCDCE7) のその端子に対応するビットを "1" に設定してください。

汎用入出力ポートと兼用する LCD 端子を汎用入出力ポートとして使用する場合は , LCDC 許可レジスタ (LCDCE1 ～ LCDCE7) のその端子に対応するビットを "0" に設定してから , LCDC 許可レジスタ 1 のポート入力制御ビット (LCDCE1:PICTL) を "1" に設定してください。

- COM0 ～ COM7 端子

  8 COM モードでは , COM0 ～ COM7 端子は , LCD コモン出力端子です。

  4 COM モードでは, COM0 ～ COM3 端子は, LCD コモン出力端子です。COM4 ～ COM7 端子は , LCDCE1 ～ LCDCE7 レジスタの設定にかかわらず , 初期設定では汎用入出力ポートとして機能します。

  COM0 ～ COM7 端子は , 汎用入出力ポートと兼用しています。

- SEG00 ～ SEG39 端子

  8 COM モードでは, SEG00 ～ SEG35 端子は LCD セグメント出力端子 , SEG36 ～ SEG39 端子は , LCDCE1 ～ LCDCE7 レジスタの設定にかかわらず , 初期設定では汎用入出力ポートです。

  4 COM モードでは , SEG00 ～ SEG39 端子は LCD セグメント出力端子です。

  SEG00 ～ SEG39 端子は , 汎用入出力ポートと兼用しています。

- V0 ～ V4 端子

  LCD 駆動用電源端子です。

  汎用入出力ポートと兼用しています。

24.4 ディスプレイ RAM

ディスプレイ RAM のサイズは , 8 COM モードと 4 COM モードとでは異なります。
8 COM モードでは , ディスプレイ RAM には , セグメント出力信号発生用の 36 × 8 ビット (36 バイト) の表示データメモリがあります。
4 COM モードでは , ディスプレイ RAM には , セグメント出力信号発生用の 40 × 4 ビット (20 バイト) の表示データメモリがあります。

■ ディスプレイ RAM と出力端子

ディスプレイ RAM の内容は , コモン信号の選択タイミングで自動的に読み出され同期して , セグメント出力端子より出力されます。

各ビットの内容が "1" であれば選択電圧に変換 (LCD は表示) され , "0" であれば非選択電圧に変換 (LCD は非表示) されて出力されます。

LCD 表示動作は CPU の動作とは非同期で行われるため , ディスプレイ RAM に対しては任意のタイミングで書込み / 読込みができます。セグメント出力に指定されなかった端子は入出力ポートとして , また , 対応するディスプレイ RAM は通常の RAM として使用できます。表 24.4-1 に , デューティとコモン出力およびディスプレイ RAM の使用ビットの関係を示します。

図 24.4-1 と図 24.4-2 に , 8 COM モードおよび 4 COM モードにおける , コモン出力およびセグメント出力端子へのディスプレイ RAM アドレスの割当てを示します。

表 24.4-1 デューティとコモン出力およびディスプレイ RAM の使用ビットの関係

デューティ設定値	使用するコモン出力端子	使用するディスプレイデータビット							
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1/2	COM0, COM1 (2 本)	-	-	○	○	-	-	○	○
1/3	COM0 ～ COM2 (3 本)	-	○	○	○	-	○	○	○
1/4	COM0 ～ COM3 (4 本)	○	○	○	○	○	○	○	○
1/8	COM0 ～ COM7 (8 本)	○	○	○	○	○	○	○	○

○ : 使用するビット
- : 使用しないビット

図 24.4-1 ディスプレイ RAM およびコモン / セグメント出力端子 (8 COM モード)

RAM アドレス

n	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG00
n+1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG01
n+2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG02
n+3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG03
n+4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG04
:	:	:	:	:	:	:	:	:	:
n+30	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG30
n+31	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG31
n+32	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG32
n+33	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG33
n+34	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG34
n+35	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG35
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

1/8 デューティ比で使用される領域と COM 端子

図 24.4-2 ディスプレイ RAM およびコモン / セグメント出力端子 (4 COM モード)

RAM アドレス

n	Bit3	Bit2	Bit1	Bit0	SEG00
	Bit7	Bit6	Bit5	Bit4	SEG01
n+1	Bit3	Bit2	Bit1	Bit0	SEG02
	Bit7	Bit6	Bit5	Bit4	SEG03
n+2	Bit3	Bit2	Bit1	Bit0	SEG04
	Bit7	Bit6	Bit5	Bit4	SEG05
:	:	:	:	:	:
n+17	Bit3	Bit2	Bit1	Bit0	SEG34
	Bit7	Bit6	Bit5	Bit4	SEG35
n+18	Bit3	Bit2	Bit1	Bit0	SEG36
	Bit7	Bit6	Bit5	Bit4	SEG37
n+19	Bit3	Bit2	Bit1	Bit0	SEG38
	Bit7	Bit6	Bit5	Bit4	SEG39
	COM3	COM2	COM1	COM0	

1/2 デューティ比で使用される領域と COM 端子
1/3 デューティ比で使用される領域と COM 端子
1/4 デューティ比で使用される領域と COM 端子

＜注意事項＞

アドレスコラム内の "n" は "0x0FBD" を示します。

24.5 割込み

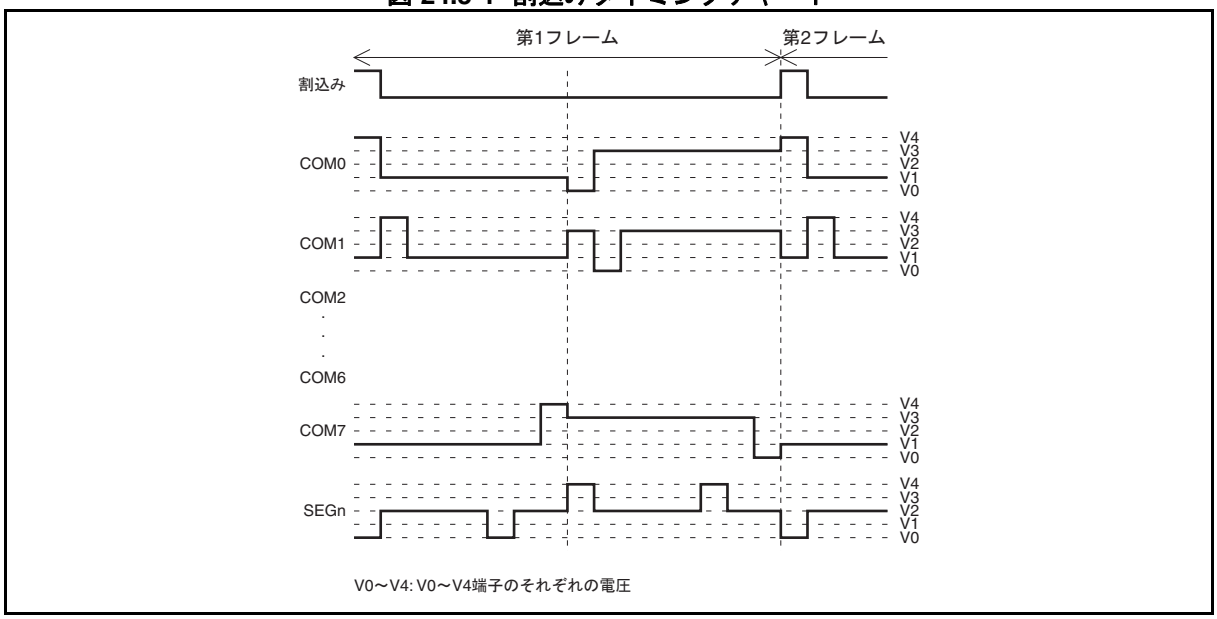
LCD コントローラは , LCD モジュールフレーム周波数と同期して , 割込みを生成します。

■ LCD コントローラ動作時の割込み

フレーム処理が完了すると , LCD コントローラは , LCDC 割込み要求フラグビット (LCDCC2:LCDIF) を "1" に設定します。LCDIF ビットが "1" に設定されたとき , すでに割込み要求が許可されている場合 (LCDCC2:LCDIEN = 1), LCD コントローラは , 割込みコントローラに割込み要求を発行します。割込み要求をクリアするには , 割込みサービスルーチンで , LCDIF ビットに "0" を書き込んでください。

LCD コントローラは , フレーム処理が完了次第 , LCDIEN ビットの値に関係なく , 常に LCDIF ビットを "1" に設定します。LCDC 割込み要求の発行後 , LCDIF ビットおよび LCDIEN ビットの両方が "1" に設定されたままの場合 , CPU は , 割込み処理から復帰できません。CPU が割込み処理から復帰できるように , LCDC 割込み要求の発行後は , 常に LCDIF ビットを "0" にクリアしてください。

図 24.5-1 割込みタイミングチャート



24.6 動作説明

LCD コントローラの動作を説明します。

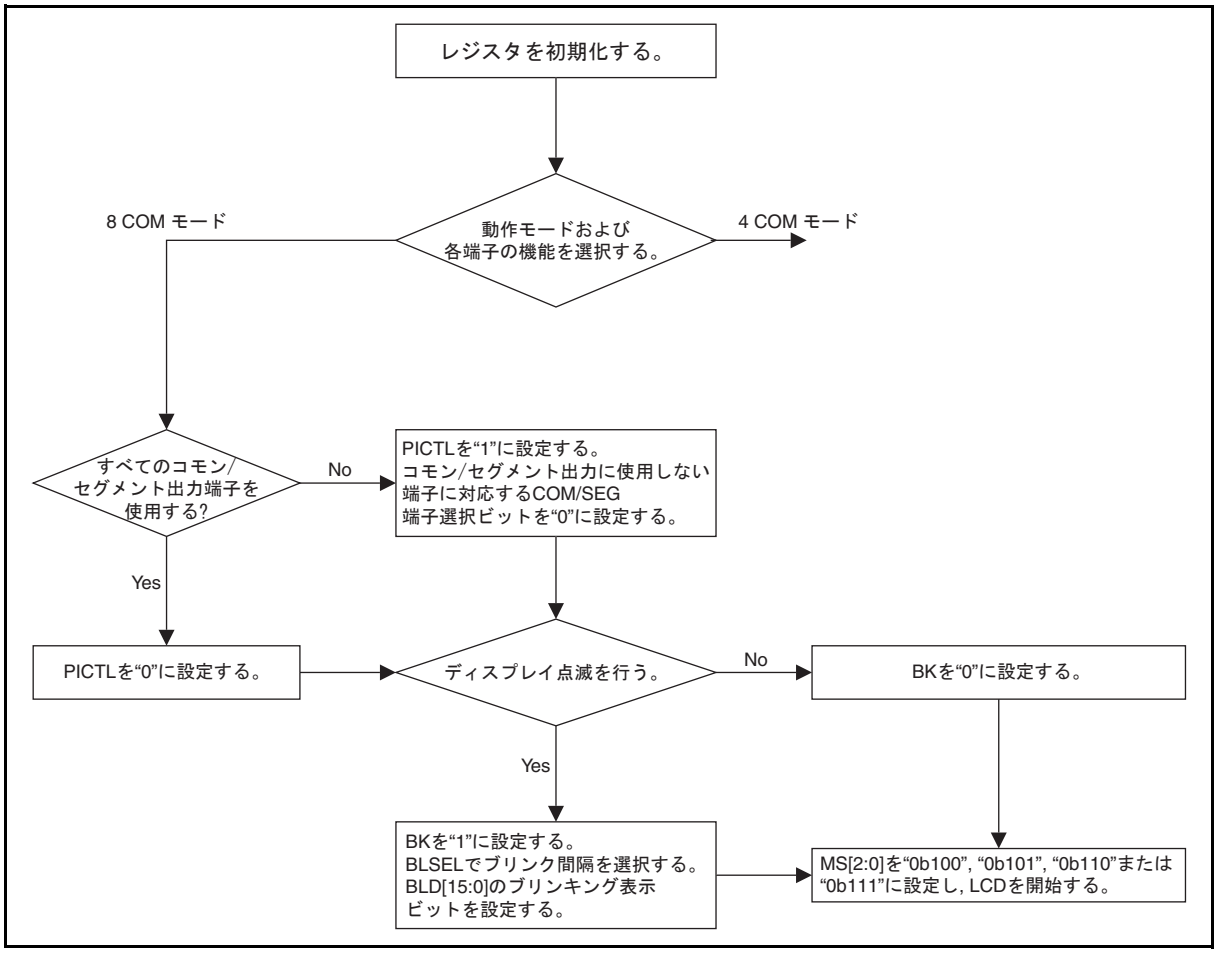
図 24.6-1 に , 8 COM モードで LCD 表示を行うために必要な設定を示します。

図 24.6-1 8 COM モードにおける LCD コントローラ設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
LCDCC1	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
	○	○	○	1	0/1	0/1	○	○
LCDCC2	-	-	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
	-	-	○	○	○	○	○	○
LCDCE1	PICTL	BLSEL	VE4	VE3	VE2	VE1	VE0	-
	○	○	○	○	○	○	○	-
LCDCE2	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
	○	○	○	○	○	○	○	○
LCDCE3	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
	○	○	○	○	○	○	○	○
LCDCE4	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
	○	○	○	○	○	○	○	○
LCDCE5	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	○	○	○	○	○	○	○	○
LCDCE6	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	○	○	○	○	○	○	○	○
LCDCE7	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
	-	-	-	-	○	○	○	○
LCDCB1	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
	○	○	○	○	○	○	○	○
LCDCB2	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
	○	○	○	○	○	○	○	○
ディスプレイ RAM	ディスプレイデータ							

○ ：使用するビット
- ：使用しないビット
1 ："1" を書き込んでください。
0/1："0" または "1" を書き込んでください。

図 24.6-2 8 COM モードにおける LCD コントローラ設定フロー



- 図 24.6-1 の設定が行われ , 選択したフレーム周期発生用クロックが発振している場合 , LCD コントローラは , ディスプレイ RAM および LCDC のレジスタの内容に従って , コモン出力端子とセグメント出力端子 (COM0 ～ COM7, SEG00 ～ SEG35) に LCD パネルの駆動波形を出力します。
- LCDCE1 ～ LCDCE7 により LCD の出力端子が選択されます。また , コモン / セグメント出力端子として選択されなかった端子は , 汎用入出力ポートと使用されます。
- LCD 表示動作中であっても , フレーム周期発生用クロックを切り換えられます。ただし , 切換え時に LCD 表示がちらつくことがあります。LCD 表示のちらつきを防止するには , ブランキング (LCDCC2:BK = 1) などで表示を一時的に停止させてから , フレーム周期発生用クロックを切り換えてください。
- 表示駆動出力は , バイアスおよびデューティの設定によって選択される , 2 フレームを交流化した波形です。
- ブリンク(点滅)機能を使用する場合は , LCDC ブリンキング設定レジスタ 1(LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により対応するビットを "1" (ON) に設定してください。ブリンキング間隔は LCDC 制御レジスタ 1 (LCDCE1) の BLSEL ビットで 2 種類から選択できます。

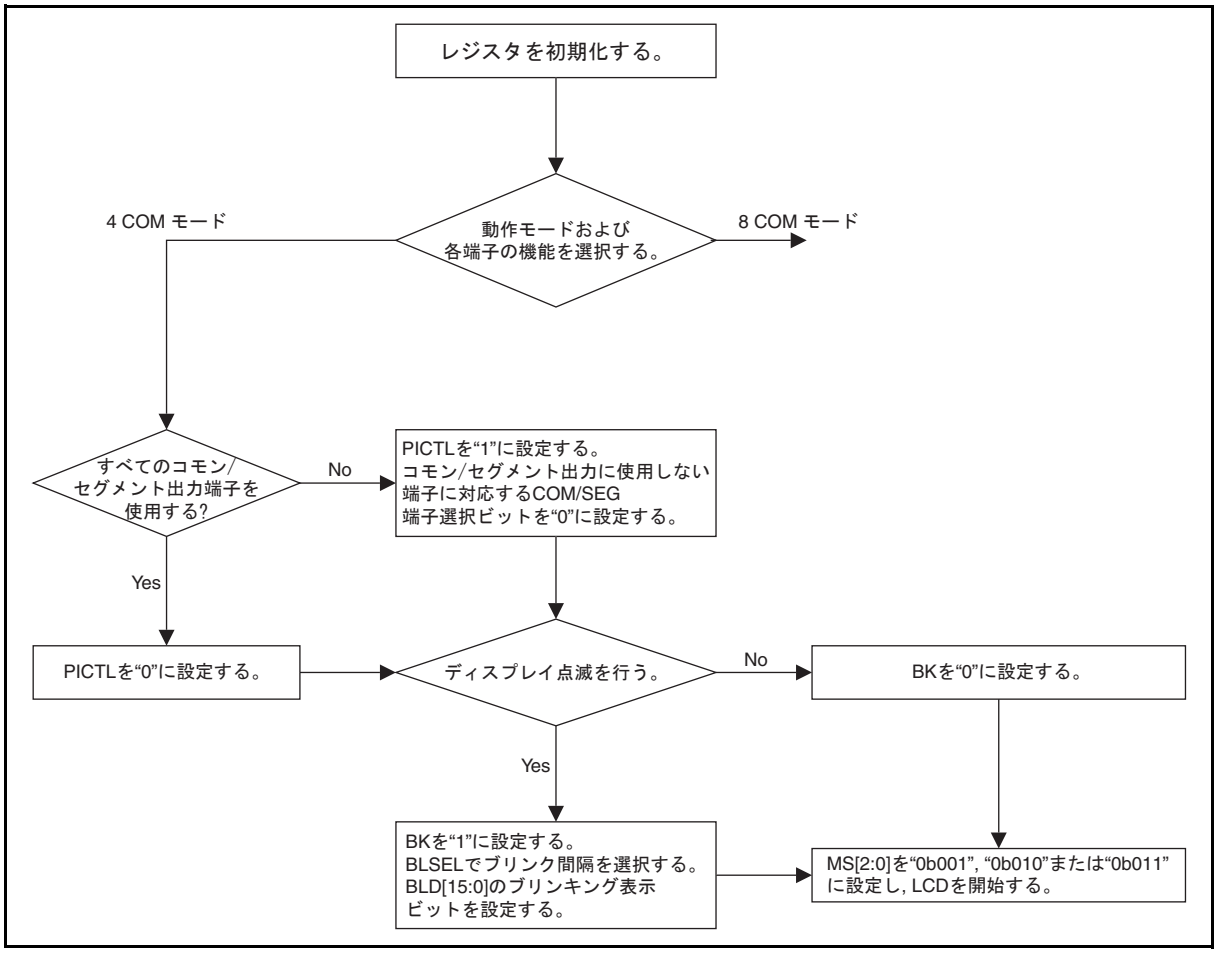
図 24.6-3 に , 4 COM モードで LCD 表示を行うために必要な設定を示します。

図 24.6-3 4 COM モードにおける LCD コントローラ設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
LCDCC1	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
	○	○	○	0	0/1	0/1	○	○
LCDCC2	-	-	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
	-	-	○	○	○	○	○	○
LCDCE1	PICTL	BLSEL	VE4	VE3	VE2	VE1	VE0	-
	○	○	○	○	○	○	○	-
LCDCE2	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
	-	-	-	-	○	○	○	○
LCDCE3	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
	○	○	○	○	○	○	○	○
LCDCE4	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
	○	○	○	○	○	○	○	○
LCDCE5	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	○	○	○	○	○	○	○	○
LCDCE6	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	○	○	○	○	○	○	○	○
LCDCE7	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
	○	○	○	○	○	○	○	○
LCDCB1	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
	○	○	○	○	○	○	○	○
LCDCB2	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
	○	○	○	○	○	○	○	○
ディスプレイ RAM	ディスプレイデータ							

○ ：使用するビット
- ：使用しないビット
1 ："1" を書き込んでください。
0/1："0" または "1" を書き込んでください。

図 24.6-4 4 COM モードにおける LCD コントローラ設定フロー



- 図 24.6-3 の設定が行われ , 選択したフレーム周期発生用クロックが発振している場合 , LCD コントローラは , ディスプレイ RAM および LCDC のレジスタの内容に従って , コモン出力端子とセグメント出力端子 (COM0 ～ COM3, SEG00 ～ SEG39) に LCD パネルの駆動波形を出力します。
- LCDCE1 ～ LCDCE7 により LCD の出力端子が選択されます。また , コモン / セグメント出力端子として選択されなかった端子は , 汎用入出力ポートと使用されます。
- LCD 表示動作中であっても , フレーム周期発生用クロックを切り換えられます。ただし , 切換え時に LCD 表示がちらつくことがあります。LCD 表示のちらつきを防止するには , ブランキング (LCDCC2:BK = 1) などで表示を一時的に停止させてから , フレーム周期発生用クロックを切り換えてください。
- 表示駆動出力は , バイアスおよびデューティの設定によって選択される , 2 フレームを交流化した波形です。
- 1/2 デューティの場合の COM2, COM3 端子の出力および 1/3 デューティの場合の COM3 端子の出力は , 非選択レベルの出力波形または入出力ポートとして使用可能となります。
- ブリンク(点滅)機能を使用する場合は, LCDCブリンキング設定レジスタ1(LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により対応するビットを "1" (ON) に設定してください。ブリンキング間隔はLCDC制御レジスタ1 (LCDCE1)のBLSEL ビットで 2 種類から選択できます。

＜注意事項＞

LCD 表示動作中に , 選択したフレーム周期発生用クロックが停止すると , 交流波形生成回路が停止するため液晶素子に直流電圧が印加されます。この場合あらかじめ LCD 表示動作を停止しておく必要があります。メインクロック (タイムベースタイマ) またはサブクロック (時計プリスケーラ) が停止する条件はクロックモードとスタンバイモードとの選択によります。また , フレーム周期発生用クロック選択ビット (LCDCC1:CSS) の設定に従い , タイムベースタイマまたは時計プリスケーラがクリアされるとフレーム周期が影響を受けます。

■ LCD の駆動波形

LCDはその性質上, 直流駆動を行うと液晶表示素子に化学変化が生じ, 液晶表示素子が劣化してしまいます。このため LCD コントローラ・ドライバは交流波形生成回路を内蔵し , 2 フレームを交流化した波形で LCD を駆動します。出力波形には以下の 5 種類があります。

8 COM モード :

- 1/3 バイアス , 1/8 デューティ出力波形
- 1/4 バイアス , 1/8 デューティ出力波形

4 COM モード :

- 1/2 バイアス , 1/2 デューティ出力波形
- 1/3 バイアス , 1/3 デューティ出力波形
- 1/3 バイアス , 1/4 デューティ出力波形

24.6.1 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/2 バイアス , 1/2 デューティ)

表示駆動出力は , 分割駆動タイプの 2 フレームを交流化した波形です。
4 COM モードでは , 1/2 バイアスおよび 1/2 デューティのときには , COM0 および COM1 が表示に使用され , COM2 および COM3 は使用されません。

■ 4 COM モード , 1/2 バイアス , 1/2 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

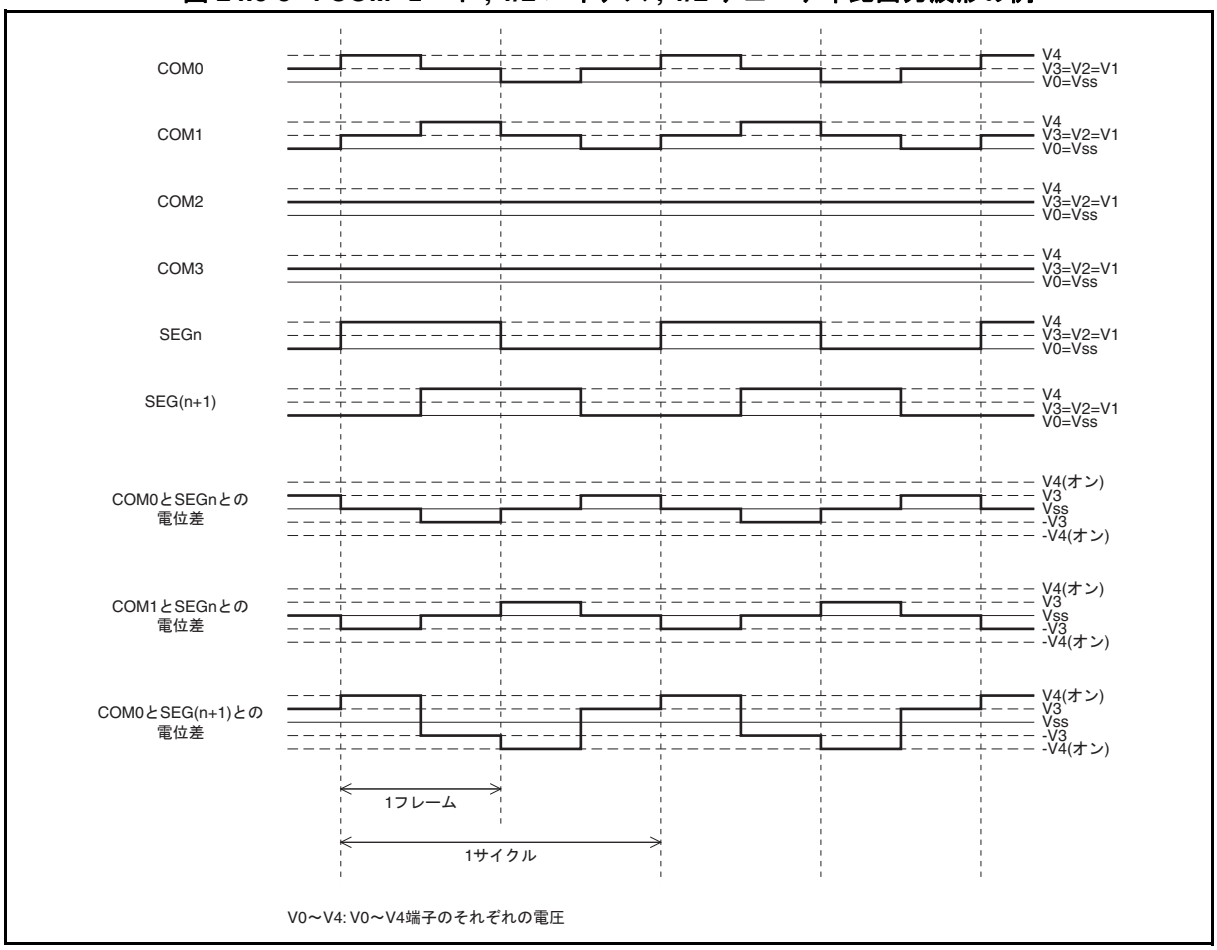
ディスプレイ RAM の内容が表 24.6-1 のときの出力波形を図 24.6-5 に示されます。

表 24.6-1 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	-	0	0
SEG(n+1)	-	-	0	1

-: 使用しない

図 24.6-5 4 COM モード , 1/2 バイアス , 1/2 デューティ比出力波形の例



24.6.2 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/3 デューティ)

4 COM モードでは , 1/3 バイアスおよび 1/3 デューティのときには , COM0, COM1, および COM2 が表示に使用され , COM3 は使用されません。

■ 4 COM モード , 1/3 バイアス , 1/3 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

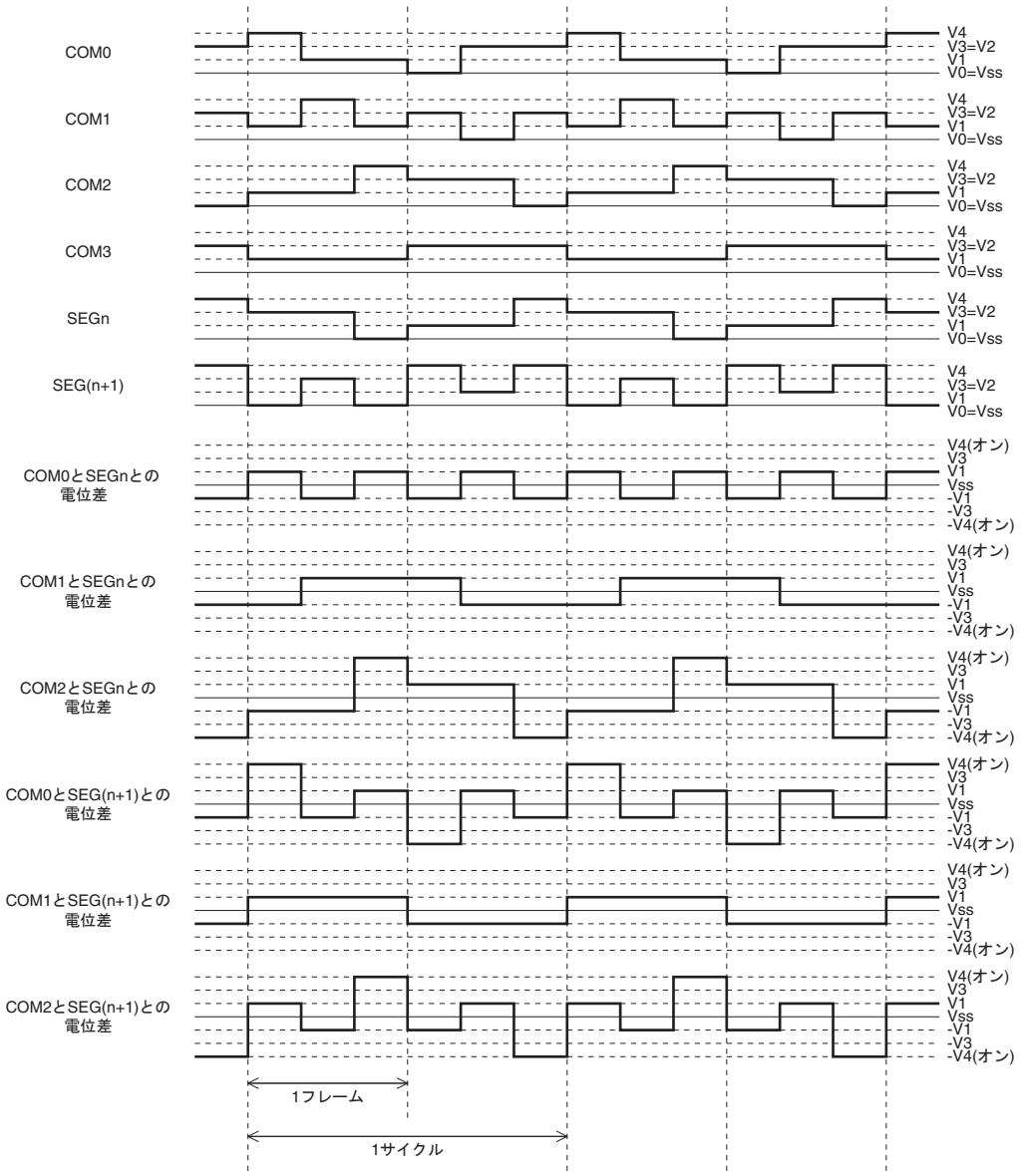
ディスプレイ RAM の内容が表 24.6-2 のときの出力波形を図 24.6-6 に示します。

表 24.6-2 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	1	0	0
SEG(n+1)	-	1	0	1

-: 使用しない

図 24.6-6 4 COM モード , 1/3 バイアス , 1/3 デューティ比出力波形の例



V0～V4: V0～V4端子のそれぞれの電圧

24.6.3 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/4 デューティ)

4 COM モードでは , 1/3 バイアスおよび 1/4 デューティのときには , COM0 ～ COM3 が表示に使用されます。

■ 4 COM モード , 1/3 バイアス , 1/4 デューティ出力波形例

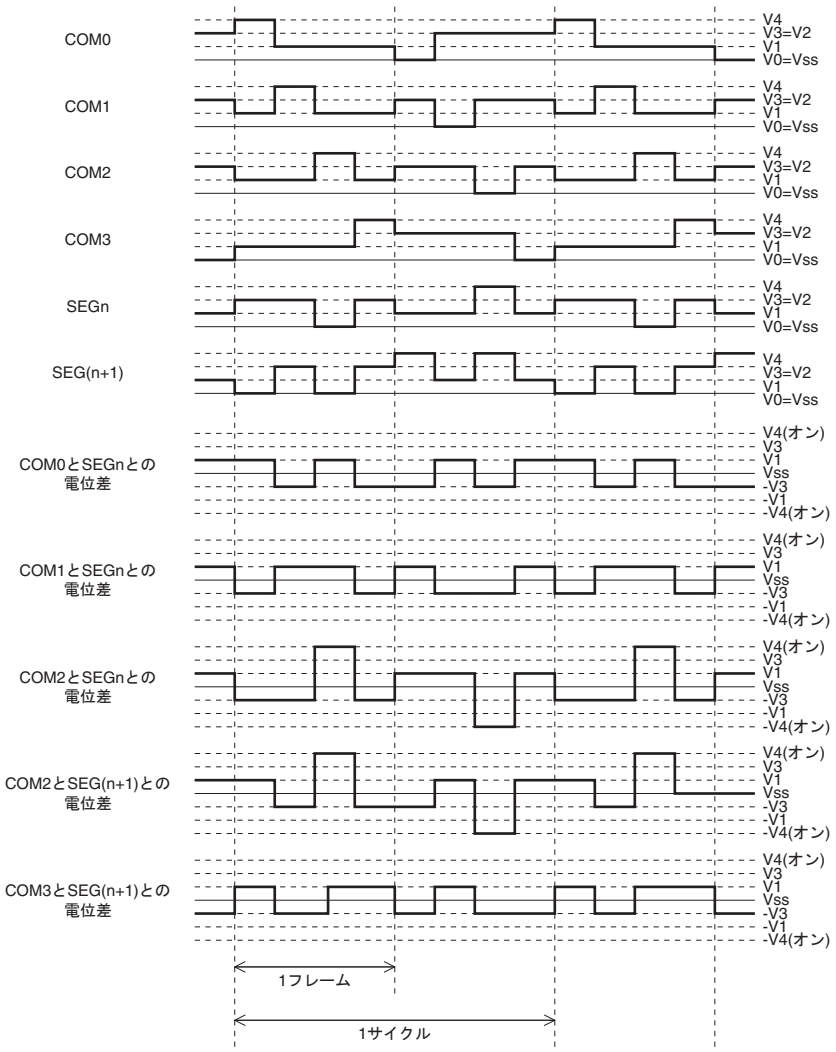
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 24.6-3 のときの出力波形を図 24.6-7 に示します。

表 24.6-3 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	0	1	0	0
SEG(n+1)	0	1	0	1

図 24.6-7 4 COM モード , 1/3 バイアス , 1/4 デューティ比出力波形の例



V0～V4: V0～V4端子のそれぞれの電圧

24.6.4 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/8 デューティ)

8 COM モードでは , 1/3 バイアスおよび 1/8 デューティのときには , COM0 ～ COM7 が表示に使用されます。

■ 8 COM モード , 1/3 バイアス , 1/8 デューティ出力波形例

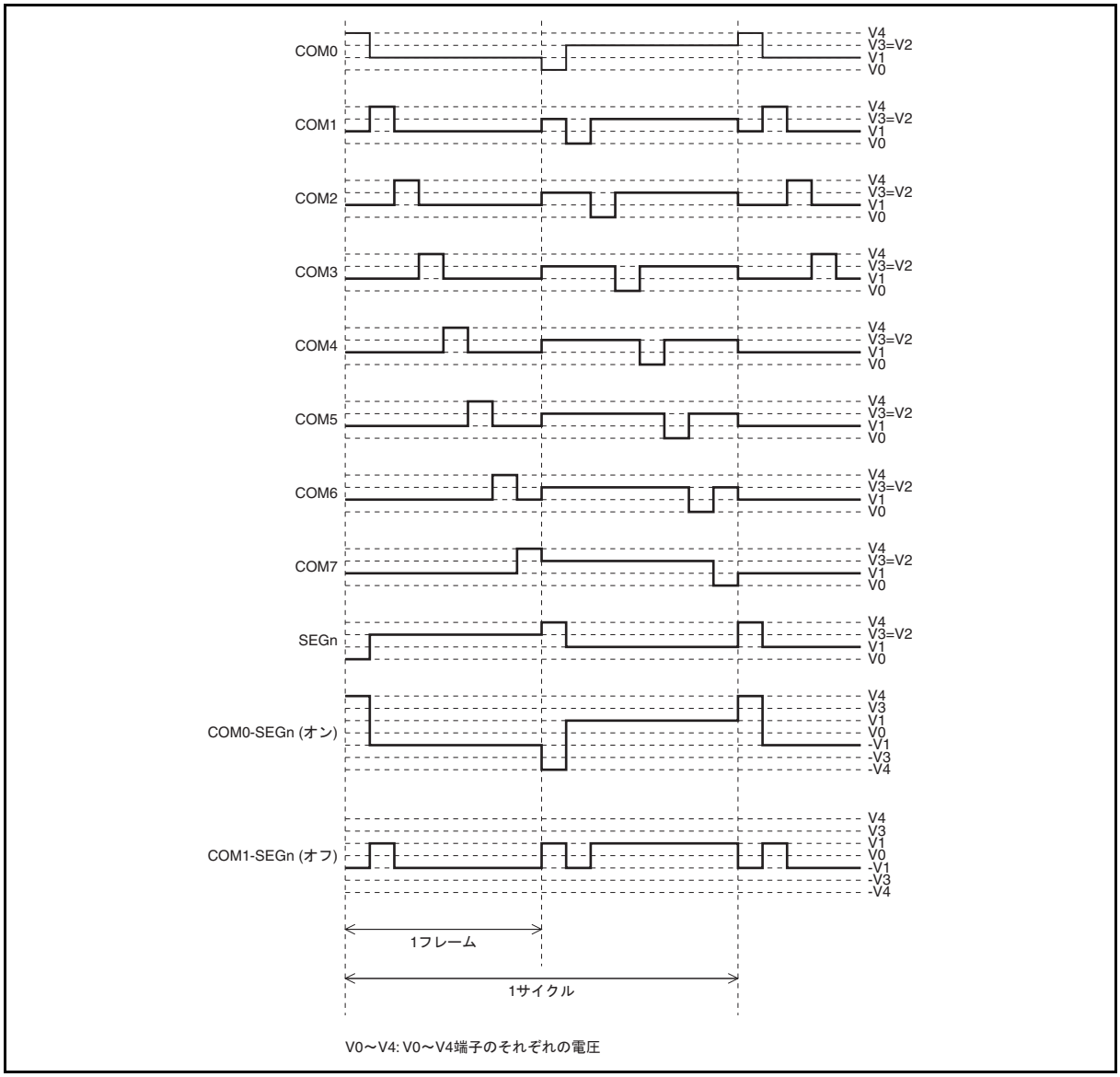
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 24.6-4 のときの出力波形を図 24.6-8 に示します。

表 24.6-4 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 24.6-8 8 COM モード , 1/3 バイアス , 1/8 デューティ比出力波形の例



24.6.5 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/4 バイアス , 1/8 デューティ)

8 COM モードでは , 1/4 バイアスおよび 1/8 デューティのときには , COM0 ～ COM7 が表示に使用されます。

■ 8 COM モード , 1/4 バイアス , 1/8 デューティ出力波形例

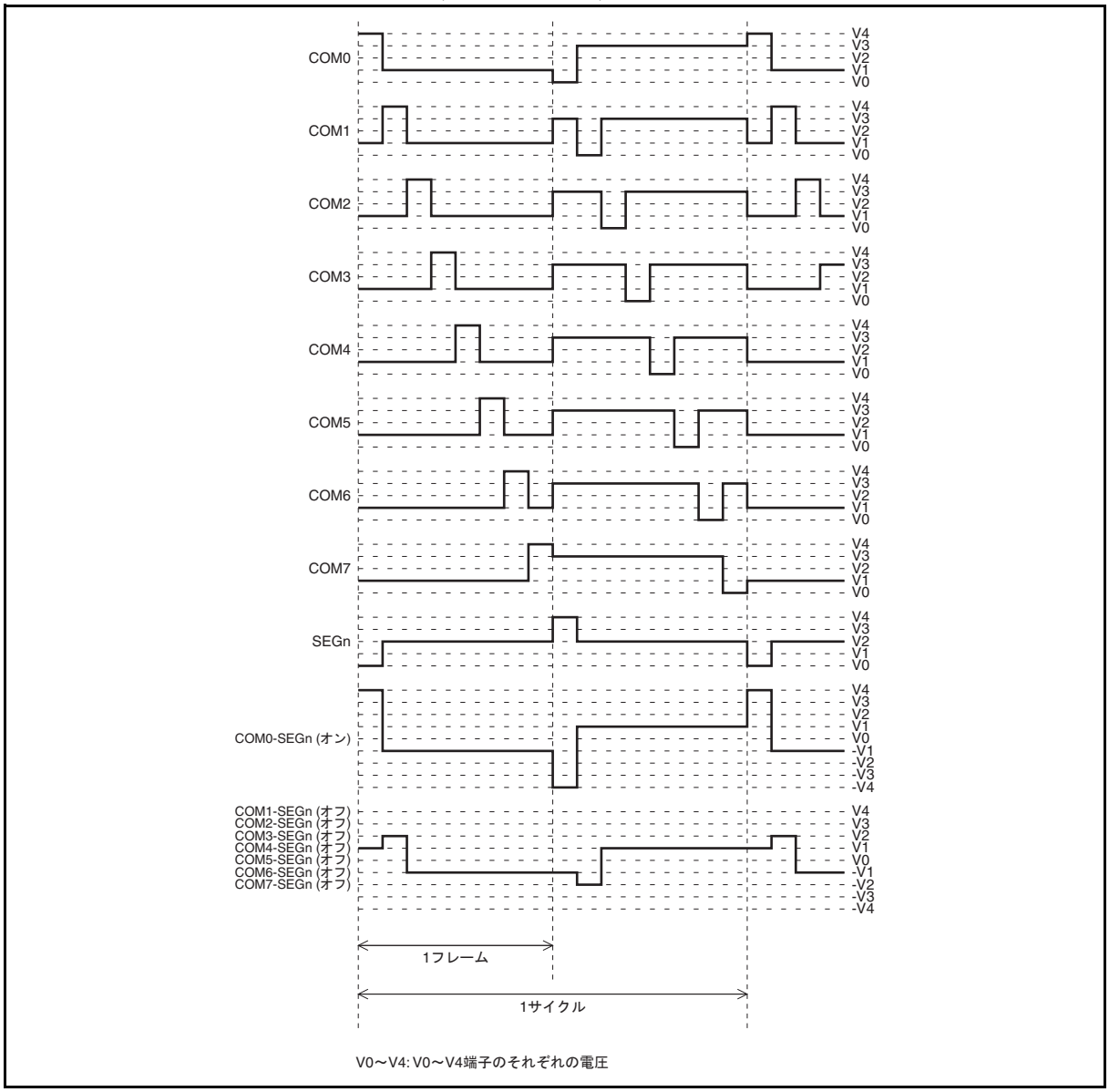
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 24.6-5 のときの出力波形を図 24.6-9 に示します。

表 24.6-5 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 24.6-9 8 COM モード , 1/4 バイアス , 1/8 デューティ比出力波形の例



24.7 レジスタ

LCD コントローラのレジスタについて説明します。

表 24.7-1 LCD コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
LCDCC1	LCDC 制御レジスタ 1	24.7.1
LCDCC2	LCDC 制御レジスタ 2	24.7.2
LCDCE1	LCDC 許可レジスタ 1	24.7.3
LCDCE2	LCDC 許可レジスタ 2	24.7.4
LCDCE3	LCDC 許可レジスタ 3	24.7.5
LCDCE4	LCDC 許可レジスタ 4	24.7.6
LCDCE5	LCDC 許可レジスタ 5	24.7.7
LCDCE6	LCDC 許可レジスタ 6	24.7.8
LCDCE7	LCDC 許可レジスタ 7	24.7.9
LCDCB1	LCDC ブリンキング設定レジスタ 1	24.7.10
LCDCB2	LCDC ブリンキング設定レジスタ 2	24.7.11

24.7.1 LCDC 制御レジスタ 1 (LCDCC1)

LCDC 制御レジスタ 1 (LCDCC1) はクロックと表示モードを設定し , 電源を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] CSS: フレーム周期発生用クロック選択ビット

このビットは LCD 表示のフレーム周期を発生するためのクロックを選択します。

LCD コントローラは , このビットが "0" のときメインクロック発振によるタイムベースタイマ出力で動作し , "1" のときサブクロックにより時計プリスケーラ出力で動作します。

タイムベースタイマ出力で動作中にメインクロックの速度切換え (ギア機能) を行っても , フレーム周期は影響を受けません。

フレーム周期発生用クロックが切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてからフレーム周期発生用クロックを切り換えてください。

bit7	説明
"0" を書き込んだ場合	LCD 表示のフレーム周期発生用クロックとしてメインクロックを選択します。
"1" を書き込んだ場合	LCD 表示のフレーム周期発生用クロックとしてサブクロックを選択します。

(注意事項) メインストップモードおよびサブクロックモードでは , メインクロックの発振が停止するため , タイムベースタイマ出力による動作はできません。

[bit6] LCDEN: メインストップ / 時計モード時動作許可ビット

このビットはメインストップモードおよび時計モードの場合に , LCD コントローラに動作を継続させるかどうかを制御します。

bit6	説明
"0" を書き込んだ場合	LCD コントローラを停止します。
"1" を書き込んだ場合	クロックモードがメインストップモードまたは時計モードに遷移した後も LCD コントローラに動作を継続させます。

(注意事項) メインストップモードまたは時計モード中も LCD コントローラに動作を継続させるには , サブクロックを LCD 表示のフレーム周期発生用クロックとして選択してください (CSS = 1)。

[bit5] VSEL: LCD 駆動電源制御ビット
このビットは内部分割抵抗に通電するかどうかを制御します。

bit5	説明
"0" を書き込んだ場合	内部分割抵抗を遮断します。
"1" を書き込んだ場合	内部分割抵抗を導通します。

(注意事項) 外部分割抵抗を接続する場合 , このビットに "0" を書き込んでください。

[bit4:2] MS[2:0]: 表示モード選択ビット
これらのビットは表示モードを 4 COM モードと 8 COM モードから選択し , 出力波形デューティを 4 種類から選択します。
使用されるコモン端子が選択したデューティ出力モードによって決まります。
これらのビットが "0b000" に設定されたときは , LCD コントローラ・ドライバは表示動作を停止します。
表示モードが切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてから表示モードを切り換えてください。

bit4:2	説明
"000" を書き込んだ場合	LCD 表示動作を停止します。
"001" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/2 (時間区分番号 N = 2) をそれぞれ選択します。
"010" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/3 (時間区分番号 N = 3) をそれぞれ選択します。
"011" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/4 (時間区分番号 N = 4) をそれぞれ選択します。
"100" を書き込んだ場合	表示モードとして 8 COM モードを , 出力波形デューティとして 1/8 (時間区分番号 N = 8) をそれぞれ選択します。
"101" を書き込んだ場合	
"110" を書き込んだ場合	
"111" を書き込んだ場合	

(注意事項) クロックモードがストップモードに遷移すると,LCD表示のフレーム周期発生用クロック (メインクロックまたはサブクロック) が停止します。そのため , クロックモードがストップモードに遷移する前に , LCD 表示動作を停止 (MS[2:0] = 0b000) してください。

[bit1:0] FP[1:0]: フレーム周期選択ビット
これらのビットは LCD 表示のフレーム周期を選択します。
フレーム周期が切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてからフレーム周期を切り換えてください。

bit1:0	説明	
	メインクロックにより発生されたフレーム周期 (LCDCC1:CSS = 0) (F_{CH}: メインクロック , F_{CRH}: メイン CR クロック)	サブクロックにより発生されたフレーム周期 (LCDCC1:CSS = 1) (F_{CL}: サブクロック , F_{CRL}: サブ CR クロック)
"00" を書き込んだ場合	$2^{14} \times N/F_{CH}$ *1 $2^{13} \times N/F_{CH}$ *2 $2^{13} \times N/F_{CRH}$	$2^{6} \times N/F_{CL}$ $2^{6} \times N/F_{CRL}$
"01" を書き込んだ場合	$2^{15} \times N/F_{CH}$ *1 $2^{14} \times N/F_{CH}$ *2 $2^{14} \times N/F_{CRH}$	$2^{7} \times N/F_{CL}$ $2^{7} \times N/F_{CRL}$
"10" を書き込んだ場合	$2^{16} \times N/F_{CH}$ *1 $2^{15} \times N/F_{CH}$ *2 $2^{15} \times N/F_{CRH}$	$2^{8} \times N/F_{CL}$ $2^{8} \times N/F_{CRL}$
"11" を書き込んだ場合	$2^{17} \times N/F_{CH}$ *1 $2^{16} \times N/F_{CH}$ *2 $2^{16} \times N/F_{CRH}$	$2^{9} \times N/F_{CR}$ $2^{9} \times N/F_{CRL}$

*1: メインクロックモード
*2: メイン PLL クロックモード

(注意事項) 使用する LCD モジュールに応じて最適フレーム周波数を計算して FP[1:0] ビットを設定してください。フレーム周期は原発振の周波数の影響を受けます。

24.7.2 LCDC 制御レジスタ 2 (LCDCC2)

LCDC 制御レジスタ 2 (LCDCC2) は , 割込みを許可または禁止し , 割込みの状態を示し , 以下のパラメータを設定します。

- **内部抵抗 (10 kΩ または 100 kΩ)**
- **8 COM モードで使用されるバイアス (1/3 または 1/4)**
- **表示データまたはブランク画面**
- **反転表示**

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	1	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] RSEL: 内部分割抵抗選択ビット
このビットは内部分割抵抗として使用される抵抗を選択します。

bit5	説明
"0" を書き込んだ場合	100 kΩ 抵抗を選択します。
"1" を書き込んだ場合	10 kΩ 抵抗を選択します。

[bit4] BLS8: 8 COM モードバイアス選択ビット
このビットは 8 COM モードでソフトウェアが使用するバイアスの種類を選択します。

bit4	説明
"0" を書き込んだ場合	1/3 バイアスを選択停止します。
"1" を書き込んだ場合	1/4 バイアスを選択停止します。

(注意事項) このビットには , 8 COM モードでも 4 COM モードでもアクセスできますが , 4 COM モードではこのビットに値を書き込んでも動作に影響はありません。

[bit3] INV: 反転表示制御ビット
このビットは LCD の反転表示を制御します。

bit3	説明
"0" を書き込んだ場合	LCD の反転表示を禁止します。
"1" を書き込んだ場合	LCD の反転表示を許可します。

[bit2] BK: 表示ブランキング制御ビット
このビットは表示ブランキングを制御します。
表示ブランキングが選択された場合 (BK ＝ 1) , セグメント出力端子は非選択波形 (表示条件とならない波形) を出力します。

bit2	説明
"0" を書き込んだ場合	LCD に LCD コントローラのディスプレイ RAM を表示させます。
"1" を書き込んだ場合	LCD を非表示にします。

[bit1] LCDIEN: LCDC 割込み要求許可ビット
このビットは LCD フレーム周波数に同期した割込み要求の生成を許可または禁止します。

bit1	説明
"0" を書き込んだ場合	割込み要求の生成を禁止します。
"1" を書き込んだ場合	割込み要求の生成を許可します。

[bit0] LCDIF: LCDC 割込み要求フラグビット
このビットは LCD コントローラがフレーム処理を完了したかどうかを示します。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit0	説明
"0" が読み出された場合	LCD コントローラがフレームを処理中であることを示します。
"1" が読み出された場合	LCD コントローラがフレーム処理を完了したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

24.7.3 LCDC 許可レジスタ 1 (LCDCE1)

LCDC許可レジスタ1 (LCDCE1)はポート入力を制御し, ブリンク周期を選択し, LCDコントローラの駆動電源端子を許可します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PICTL	BLSEL	VE4	VE3	VE2	VE1	VE0	—
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
初期値	0	0	1	1	1	1	1	0

■ レジスタ機能

[bit7] PICTL: ポート入力制御ビット

このビットはセグメント / コモン出力端子と兼用する汎用入出力ポートを制御します。

このビットに "0" が書き込まれると , そういう汎用入出力ポートの入出力機能が禁止され , LCD 出力時の貫通電流が抑えられます。

このビットに "1" が書き込まれると , そういう汎用入出力ポートの入出力機能が許可され , それらの端子はセグメント / コモン出力端子ではなく , 汎用入出力ポートとして機能します。

bit7	説明
"0" を書き込んだ場合	セグメント / コモン出力端子と兼用する汎用入出力ポートの入出力機能を禁止します。
"1" を書き込んだ場合	セグメント / コモン出力端子と兼用する汎用入出力ポートの入出力機能を許可します。

(注意事項) リセットでそういう汎用入出力ポートなどの入力機能は無効になるため , リセット発生後 , そういう汎用入出力ポートの入力機能を使用する場合は必ずこのビットに "1" を書き込んでください。そういう汎用入出力ポートは , セグメント / コモン出力端子として使用されるとき , このビットの設定にかかわらず入力機能が禁止されます。

[bit6] BLSEL: ブリンク間隔選択ビット

このビットはブリンク可能時のブリンク間隔を選択します。

ブリンクは , LCDC ブリンキング設定レジスタ 1 (LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により制御されます。

ブリンク間隔が 1.0 s の場合 , LCD は 0.5 s 点灯 , 0.5 s 消灯を行い , ブリンク間隔が 0.5 s の場合 , LCD は 0.25 s 点灯 , 0.25 s 消灯を行います。

bit6	説明
"0" を書き込んだ場合	0.5 s (サブクロック周波数が 32 kHz の場合) をブリンク間隔として選択します。
"1" を書き込んだ場合	1.0 s (サブクロック周波数が 32 kHz の場合) をブリンク間隔として選択します。

[bit5] VE4: V4 機能選択ビット

このビットは V4 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	V4 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V4 端子を LCD 駆動電源端子として機能させます。

[bit4] VE3: V3 機能選択ビット
このビットは V3 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	V3 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V3 端子を LCD 駆動電源端子として機能させます。

[bit3] VE2: V2 機能選択ビット
このビットは V2 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	V2 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V2 端子を LCD 駆動電源端子として機能させます。

[bit2] VE1: V1 機能選択ビット
このビットは V1 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	V1 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V1 端子を LCD 駆動電源端子として機能させます。

[bit1] VE0: V0 機能選択ビット
このビットは V0 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	V0 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V0 端子を LCD 駆動電源端子として機能させます。

[bit0] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

＜注意事項＞

内部分割抵抗を使用する場合 , V4 端子が汎用入出力ポートとして使用できないため , VE4 ビットに "1" を書き込んで , V4 端子を LCD 駆動電源端子として機能させてください。

24.7.4 LCDC 許可レジスタ 2 (LCDCE2)

LCDC 許可レジスタ 2 (LCDCE2) は COM0 ～ COM7 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] COM7: COM7 機能選択ビット
このビットは COM7 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	COM7 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM7 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit6] COM6: COM6 機能選択ビット
このビットは COM6 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	COM6 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM6 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit5] COM5: COM5 機能選択ビット
このビットは COM5 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	COM5 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM5 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit4] COM4: COM4 機能選択ビット
このビットは COM4 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	COM4 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM4 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit3] COM3: COM3 機能選択ビット
このビットは COM3 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	COM3 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM3 端子をコモン出力端子として機能させます。

[bit2] COM2: COM2 機能選択ビット
このビットは COM2 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	COM2 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM2 端子をコモン出力端子として機能させます。

[bit1] COM1: COM1 機能選択ビット
このビットは COM1 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	COM1 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM1 端子をコモン出力端子として機能させます。

[bit0] COM0: COM0 機能選択ビット
このビットは COM0 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	COM0 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM0 端子をコモン出力端子として機能させます。

24.7.5 LCDC 許可レジスタ 3 (LCDCE3)

LCDC 許可レジスタ 3 (LCDCE3) は SEG00 ～ SEG07 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG07: SEG07 機能選択ビット
このビットは SEG07 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG07 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG07 端子をセグメント出力端子として機能させます。

[bit6] SEG06: SEG06 機能選択ビット
このビットは SEG06 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG06 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG06 端子をセグメント出力端子として機能させます。

[bit5] SEG05: SEG05 機能選択ビット
このビットは SEG05 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG05 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG05 端子をセグメント出力端子として機能させます。

[bit4] SEG04: SEG04 機能選択ビット
このビットは SEG04 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG04 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG04 端子をセグメント出力端子として機能させます。

[bit3] SEG03: SEG03 機能選択ビット
このビットは SEG03 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG03 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG03 端子をセグメント出力端子として機能させます。

[bit2] SEG02: SEG02 機能選択ビット
このビットは SEG02 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG02 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG02 端子をセグメント出力端子として機能させます。

[bit1] SEG01: SEG01 機能選択ビット
このビットは SEG01 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG01 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG01 端子をセグメント出力端子として機能させます。

[bit0] SEG00: SEG00 機能選択ビット
このビットは SEG00 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG00 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG00 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE3 レジスタはセグメント出力端子 SEG00 ～ SEG07 を制御できます。

24.7.6 LCDC 許可レジスタ 4 (LCDCE4)

LCDC 許可レジスタ 4 (LCDCE4) は SEG08 ～ SEG15 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG15: SEG15 機能選択ビット
このビットは SEG15 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG15 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG15 端子をセグメント出力端子として機能させます。

[bit6] SEG14: SEG14 機能選択ビット
このビットは SEG14 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG14 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG14 端子をセグメント出力端子として機能させます。

[bit5] SEG13: SEG13 機能選択ビット
このビットは SEG13 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG13 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG13 端子をセグメント出力端子として機能させます。

[bit4] SEG12: SEG12 機能選択ビット
このビットは SEG12 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG12 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG12 端子をセグメント出力端子として機能させます。

[bit3] SEG11: SEG11 機能選択ビット
このビットは SEG11 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG11 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG11 端子をセグメント出力端子として機能させます。

[bit2] SEG10: SEG10 機能選択ビット
このビットは SEG10 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG10 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG10 端子をセグメント出力端子として機能させます。

[bit1] SEG09: SEG09 機能選択ビット
このビットは SEG09 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG09 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG09 端子をセグメント出力端子として機能させます。

[bit0] SEG08: SEG08 機能選択ビット
このビットは SEG08 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG08 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG08 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE4 レジスタはセグメント出力端子 SEG08 ～ SEG15 を制御できます。

24.7.7 LCDC 許可レジスタ 5 (LCDCE5)

LCDC 許可レジスタ 5 (LCDCE5) は SEG16 ～ SEG23 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG23: SEG23 機能選択ビット
このビットは SEG23 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG23 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG23 端子をセグメント出力端子として機能させます。

[bit6] SEG22: SEG22 機能選択ビット
このビットは SEG22 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG22 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG22 端子をセグメント出力端子として機能させます。

[bit5] SEG21: SEG21 機能選択ビット
このビットは SEG21 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG21 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG21 端子をセグメント出力端子として機能させます。

[bit4] SEG20: SEG20 機能選択ビット
このビットは SEG20 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG20 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG20 端子をセグメント出力端子として機能させます。

[bit3] SEG19: SEG19 機能選択ビット
このビットは SEG19 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG19 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG19 端子をセグメント出力端子として機能させます。

[bit2] SEG18: SEG18 機能選択ビット
このビットは SEG18 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG18 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG18 端子をセグメント出力端子として機能させます。

[bit1] SEG17: SEG17 機能選択ビット
このビットは SEG17 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG17 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG17 端子をセグメント出力端子として機能させます。

[bit0] SEG16: SEG16 機能選択ビット
このビットは SEG16 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG16 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG16 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE5 レジスタはセグメント出力端子 SEG16 ～ SEG23 を制御できます。

24.7.8 LCDC 許可レジスタ 6 (LCDCE6)

LCDC 許可レジスタ 6 (LCDCE6) は SEG24 ～ SEG31 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG31: SEG31 機能選択ビット
このビットは SEG31 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG31 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG31 端子をセグメント出力端子として機能させます。

[bit6] SEG30: SEG30 機能選択ビット
このビットは SEG30 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG30 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG30 端子をセグメント出力端子として機能させます。

[bit5] SEG29: SEG29 機能選択ビット
このビットは SEG29 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG29 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG29 端子をセグメント出力端子として機能させます。

[bit4] SEG28: SEG28 機能選択ビット
このビットは SEG28 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG28 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG28 端子をセグメント出力端子として機能させます。

[bit3] SEG27: SEG27 機能選択ビット
このビットは SEG27 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG27 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG27 端子をセグメント出力端子として機能させます。

[bit2] SEG26: SEG26 機能選択ビット
このビットは SEG26 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG26 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG26 端子をセグメント出力端子として機能させます。

[bit1] SEG25: SEG25 機能選択ビット
このビットは SEG25 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG25 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG25 端子をセグメント出力端子として機能させます。

[bit0] SEG24: SEG24 機能選択ビット
このビットは SEG24 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG24 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG24 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE6 レジスタはセグメント出力端子 SEG24 ～ SEG31 を制御できます。

24.7.9 LCDC 許可レジスタ 7 (LCDCE7)

LCDC 許可レジスタ 7 (LCDCE7) は SEG32 ～ SEG39 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG39: SEG39 機能選択ビット
このビットは SEG39 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG39 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG39 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit6] SEG38: SEG38 機能選択ビット
このビットは SEG38 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG38 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG38 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit5] SEG37: SEG37 機能選択ビット
このビットは SEG37 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG37 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG37 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit4] SEG36: SEG36 機能選択ビット
このビットは SEG36 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG36 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG36 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit3] SEG35: SEG35 機能選択ビット
このビットは SEG35 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG35 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG35 端子をセグメント出力端子として機能させます。

[bit2] SEG34: SEG34 機能選択ビット
このビットは SEG34 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG34 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG34 端子をセグメント出力端子として機能させます。

[bit1] SEG33: SEG33 機能選択ビット
このビットは SEG33 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG33 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG33 端子をセグメント出力端子として機能させます。

[bit0] SEG32: SEG32 機能選択ビット
このビットは SEG32 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG32 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG32 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE7 レジスタはセグメント出力端子 SEG32 ～ SEG39 を制御できます。

24.7.10 LCDC ブリンキング設定レジスタ 1 (LCDCB1)

LCDC ブリンキング設定レジスタ 1 (LCDCB1) はブリンキング機能を許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能 (8 COM モード)

[bit7] BLD7: S0C7 ブリンキング設定ビット
このビットは SEG00 と COM7 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG00 と COM7 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM7 にあるドットのブリンキングを許可します。

[bit6] BLD6: S0C6 ブリンキング設定ビット
このビットは SEG00 と COM6 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG00 と COM6 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM6 にあるドットのブリンキングを許可します。

[bit5] BLD5: S0C5 ブリンキング設定ビット
このビットは SEG00 と COM5 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG00 と COM5 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM5 にあるドットのブリンキングを許可します。

[bit4] BLD4: S0C4 ブリンキング設定ビット
このビットは SEG00 と COM4 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG00 と COM4 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM4 にあるドットのブリンキングを許可します。

[bit3] BLD3: S0C3 ブリンキング設定ビット
このビットは SEG00 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD2: S0C2 ブリンキング設定ビット
このビットは SEG00 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD1: S0C1 ブリンキング設定ビット
このビットは SEG00 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD0: S0C0 ブリンキング設定ビット
このビットは SEG00 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを許可します。

■ レジスタ機能 (4 COM モード)

[bit7] BLD7: S1C3 ブリンキング設定ビット
このビットは SEG01 と COM3 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを許可します。

[bit6] BLD6: S1C2 ブリンキング設定ビット
このビットは SEG01 と COM2 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを許可します。

[bit5] BLD5: S1C1 ブリンキング設定ビット
このビットは SEG01 と COM1 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを許可します。

[bit4] BLD4: S1C0 ブリンキング設定ビット
このビットは SEG01 と COM0 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを許可します。

[bit3] BLD3: S0C3 ブリンキング設定ビット
このビットは SEG00 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD2: S0C2 ブリンキング設定ビット
このビットは SEG00 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD1: S0C1 ブリンキング設定ビット
このビットは SEG00 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD0: S0C0 ブリンキング設定ビット
このビットは SEG00 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを許可します。

＜注意事項＞

- LCDCE1 レジスタの BLSEL ビットでブリンキング間隔を選択してください。
- ブリンキングが許可されたセグメントはすべて同期してブリンキングします。
- ブリンキング設定ビットに対応するディスプレイ RAM のビットが "1" のときでも , そのブリンキング設定ビットの設定が有効のままです。

24.7.11 LCDC ブリンキング設定レジスタ 2 (LCDCB2)

LCDC ブリンキング設定レジスタ 2 (LCDCB2) はブリンキング機能を許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能 (8 COM モード)

[bit7] BLD15: S1C7 ブリンキング設定ビット
このビットは SEG01 と COM7 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG01 と COM7 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM7 にあるドットのブリンキングを許可します。

[bit6] BLD14: S1C6 ブリンキング設定ビット
このビットは SEG01 と COM6 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG01 と COM6 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM6 にあるドットのブリンキングを許可します。

[bit5] BLD13: S1C5 ブリンキング設定ビット
このビットは SEG01 と COM5 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG01 と COM5 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM5 にあるドットのブリンキングを許可します。

[bit4] BLD12: S1C4 ブリンキング設定ビット
このビットは SEG01 と COM4 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG01 と COM4 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM4 にあるドットのブリンキングを許可します。

[bit3] BLD11: S1C3 ブリンキング設定ビット
このビットは SEG01 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD10: S1C2 ブリンキング設定ビット
このビットは SEG01 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD9: S1C1 ブリンキング設定ビット
このビットは SEG01 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD8: S1C0 ブリンキング設定ビット
このビットは SEG01 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを許可します。

■ レジスタ機能 (4 COM モード)

[bit7] BLD15: S3C3 ブリンキング設定ビット
このビットは SEG03 と COM3 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG03 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM3 にあるドットのブリンキングを許可します。

[bit6] BLD14: S3C2 ブリンキング設定ビット
このビットは SEG03 と COM2 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG03 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM2 にあるドットのブリンキングを許可します。

[bit5] BLD13: S3C1 ブリンキング設定ビット
このビットは SEG03 と COM1 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG03 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM1 にあるドットのブリンキングを許可します。

[bit4] BLD12: S3C0 ブリンキング設定ビット
このビットは SEG03 と COM0 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG03 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM0 にあるドットのブリンキングを許可します。

[bit3] BLD11: S2C3 ブリンキング設定ビット
このビットは SEG02 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG02 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD10: S2C2 ブリンキング設定ビット
このビットは SEG02 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG02 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD9: S2C1 ブリンキング設定ビット
このビットは SEG02 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG02 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD8: S2C0 ブリンキング設定ビット
このビットは SEG02 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG02 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM0 にあるドットのブリンキングを許可します。

＜注意事項＞

- LCDCE1 レジスタの BLSEL ビットでブリンキング間隔を選択してください。
- ブリンキングが許可されたセグメントはすべて同期してブリンキングします。
- ブリンキング設定ビットに対応するディスプレイ RAM のビットが "1" のときでも , そのブリンキング設定ビットの設定が有効のままです。

24.8 使用上の注意

LCD コントローラ使用上の注意を示します。

- LCD 端子を汎用入出力ポートとして使用する場合 , その端子に対応する , LCDC 許可レジスタ (LCDCE1 ～ LCDCE7) のコモン / セグメント選択ビットを "0" に , LCDC 許可レジスタ1のポート入力制御ビット(LCDCE1:PICTL)を"1"に設定してください。
- LCD 表示動作中に , 選択したフレーム周期発生用クロックが停止すると , 交流波形生成回路が停止するため液晶素子に直流電圧が印加されます。この場合あらかじめ LCD 表示動作を停止しておく必要があります。メインクロック (タイムベースタイマ) またはサブクロック (時計プリスケーラ) が停止する条件はクロックモードとスタンバイモードの選択によります。また , フレーム周期発生用クロック選択ビット (LCDCC1:CSS) の設定に従い , タイムベースタイマまたは時計プリスケーラがクリアされるとフレーム周期が影響を受けます。
- ディスプレイ RAM のデータを LCD に出力する動作は CPU がディスプレイ RAM にアクセスする動作とは独立したタイミングで行われます。ディスプレイ RAM の書換え間隔が設定した LCD 周期より短い場合は, フレームの表示パターンが異なるため , ちらつきが発生することがあります。

第 25 章

LCD コントローラ (MB95770L シリーズ)

LCD コントローラ (LCDC) の機能と動作について説明します。

25.1 概要
25.2 構成
25.3 端子
25.4 ディスプレイ RAM
25.5 割込み
25.6 動作説明
25.7 レジスタ
25.8 使用上の注意

25.1 概要

**LCD コントローラには , 8 COM モードと 4 COM モードがあります。
8 COM モードでは , LCD コントローラは 28 バイトの表示データメモリを使用でき , 8 本のコモン出力と 28 本のセグメント出力によって LCD 表示を制御します。また , LCD パネル (液晶表示器) を駆動するためのバイアス出力を 2 種類持っています。
4 COM モードでは , LCD コントローラは 16 バイトの表示データメモリを使用でき , 4 本のコモン出力と 32 本のセグメント出力によって LCD 表示の制御を行います。また , LCD パネルを駆動するためのバイアス出力を 3 種類持っています。**

■ LCD コントローラの機能

LCD コントローラは , セグメント出力とコモン出力によって , 表示データメモリ (ディスプレイ RAM) の内容を LCD パネルに直接表示します。

- ソフトウェアで 8 COM モードまたは 4 COM モードを選択します。
- LCD 駆動電圧分割抵抗を内蔵しており , 10 kΩ から 100 kΩ の範囲のレジスタ値をソフトウェアによって選択できます。代わりに外部分割抵抗も使用できます。
- 8 COM モードでは , 8 本のコモン出力 (COM0 ～ COM7) と 28 本のセグメント出力 (SEG00 ～ SEG27) を使用できます。
- 4 COM モードでは , 4 本のコモン出力 (COM0 ～ COM3) と 32 本のセグメント出力 (SEG00 ～ SEG31) を使用できます。
- ディスプレイ RAM サイズは , 8 COM モードでは , 28 バイト (28 × 8 ビット) で , 4 COM モードでは , 16 バイト (32 × 4 ビット) です。
- 動作クロックとして , メインクロックまたはサブクロックを使用できます。
- ブリンキング (点滅) 機能があります (端子制限あり)。
- LCD パネルを直接駆動できます。
- 8 COM モードでは , バイアスは , 1/3 または 1/4 から選択できます。
- 4 COM モードでは , デューティは , 1/2, 1/3, または 1/4 から選択できます。(バイアスの設定によって制限されます)。
- 割込みイベントは , LCD モジュールフレーム周波数と同期します。

表 25.1-1 に , 使用できるバイアス・デューティの組合せを示します。

表 25.1-1 バイアス・デューティの組合せ表

デューティ	1/2 バイアス	1/3 バイアス	1/4 バイアス
1/2	○	X	X
1/3	X	○	X
1/4	X	○	X
1/8, BLS8 = 0	X	○	X
1/8, BLS8 = 1	X	X	○

○ : 推奨組合せ

X : 使用禁止の組合せ

25.2 構成

LCD コントローラは，以下のブロックで構成されており，機能的にはディスプレイ RAM の内容に従って，セグメント信号とコモン信号を発生するコントローラ部と，LCD を駆動するためのドライバ部に分けられます。

コントローラ部

- **LCDC 制御レジスタ (LCDCC1 と LCDCC2)**
- **LCDC 許可レジスタ (LCDCE1 ～ LCDCE6)**
- **LCDC ブリンキング設定レジスタ (LCDCB1 と LCDCB2)**
- **ディスプレイ RAM**
- **クロック選択**
- **タイミング制御**

ドライブ部

- **交流波形発生回路**
- **コモンドライバ**
- **セグメントドライバ**
- **分割抵抗**

■ LCD コントローラのブロックダイヤグラム

図 25.2-1 LCD コントローラのブロックダイヤグラム (8 COM モード)

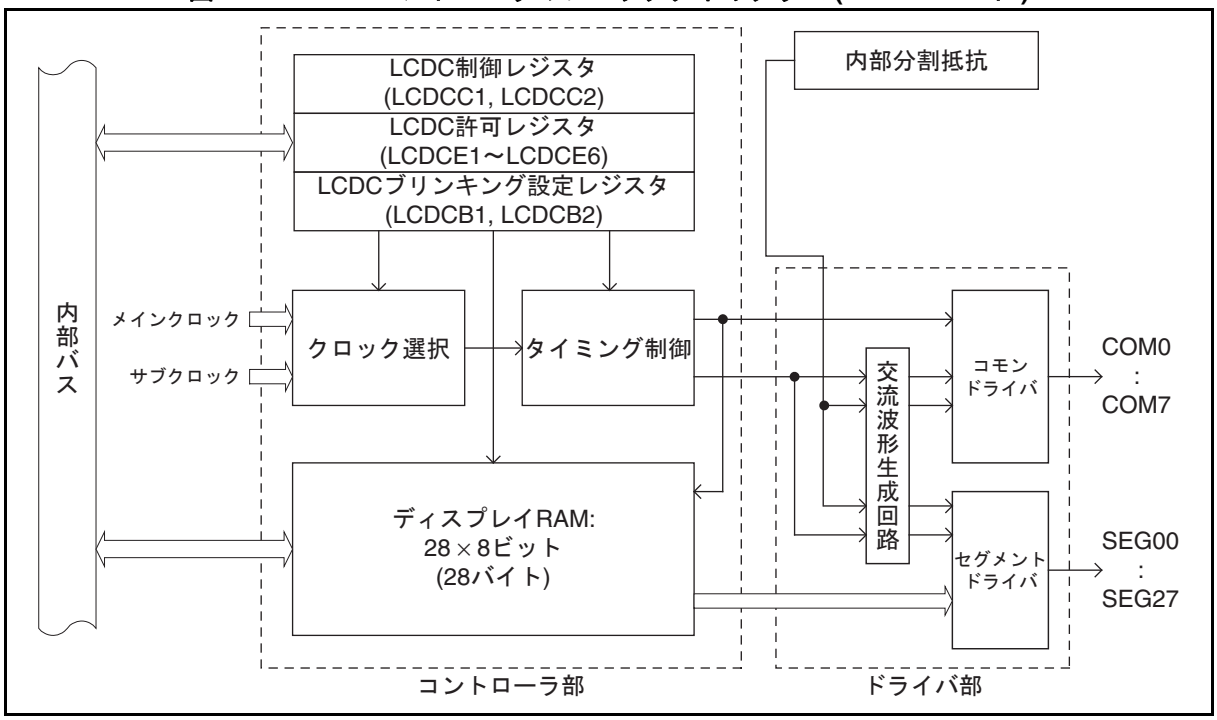
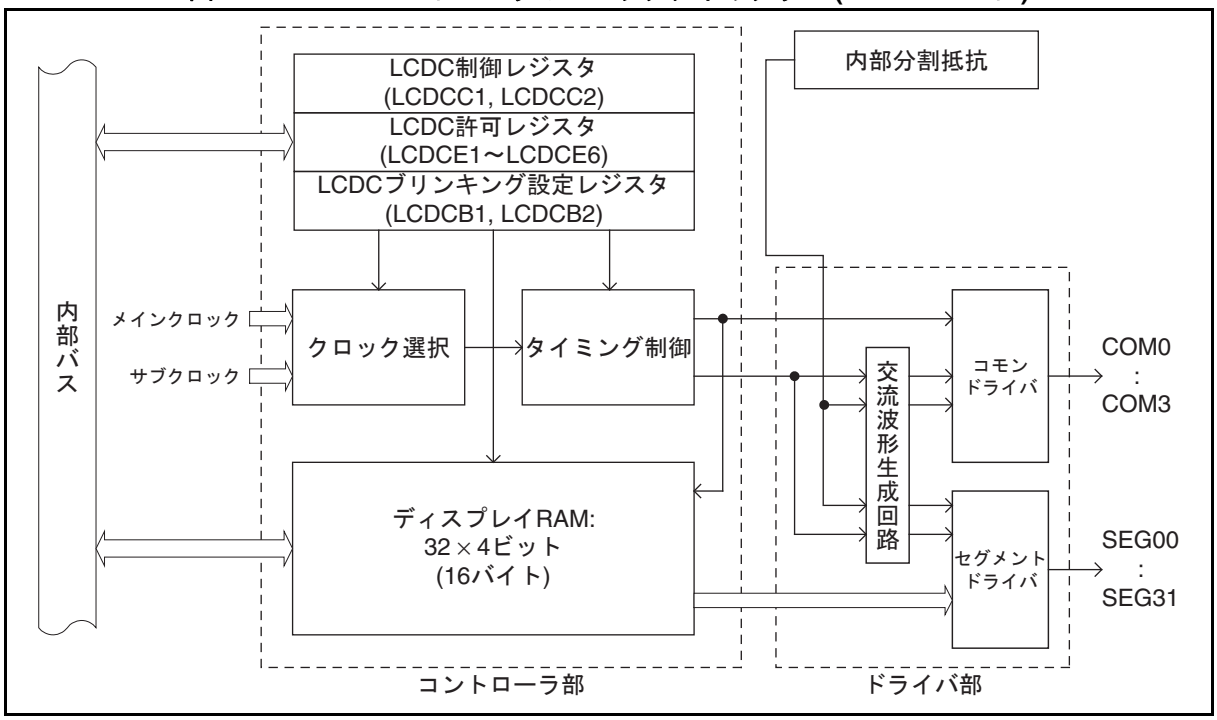


図 25.2-2 LCD コントローラのブロックダイヤグラム (4 COM モード)



- LCDC 制御レジスタ 1 (LCDCC1)

  フレーム周期発生用クロックの選択 , 表示モードの選択 , フレーム周期クロックの選択および LCD 駆動電源制御を行います。

- LCDC 制御レジスタ 2 (LCDCC2)

  割込みを有効または無効にしたり , 割込みの状態を示したりするレジスタです。下記のパラメータを設定します。

  - 内部抵抗値 (10 kΩ または 100 kΩ)
  - 8 COM モードで使用するバイアス (1/3 または 1/4)
  - 表示データまたはブランク画面
  - 反転表示

- LCDC 許可レジスタ 1 ～ 6 (LCDCE1 ～ LCDCE6)

  ポート入力制御 , ブリンク間隔選択および端子制御を行います。

- LCDC ブリンキング設定レジスタ 1 (LCDCB1), LCDC ブリンキング設定レジスタ 2 (LCDCB2)

  ブリンキングのオン / オフを設定します。

- **ディスプレイ RAM**

  8 COM モードでは , セグメント出力信号発生用の 28 × 8 ビットの RAM です。

  4 COM モードでは , セグメント出力信号発生用の 32 × 4 ビットの RAM です。

  RAM の内容は , コモン信号の選択タイミングに同期して自動的に読み出されてセグメント出力端子より出力されます。

  VRAM の内容は , ディスプレイ RAM への書換えと同時にセグメント出力端子より出力されます。

- **クロック選択**

  2 種類のクロックから生成される 8 種類の周波数から選択された設定によって , フレーム周波数を発生します。

- **タイミング制御**

  フレーム周波数と各レジスタの設定をもとに , コモン信号とセグメント信号の制御を行います。

- **交流波形生成回路**

  タイミング制御の信号から , LCD を駆動するための交流波形を生成します。

- **コモンドライバ**

  LCD のコモン端子 (COM) のドライバです。

- **セグメントドライバ**

  LCD のセグメント端子 (SEG) のドライバです。

- **分割抵抗**

  LCD 駆動電圧を発生させるための抵抗です。LCDC ドライバ電源端子 (V1 ～ V4) が分割抵抗接続端子として機能している場合は , 分割抵抗を外付けすることもできます。

■ LCD コントローラの電源電圧

LCD ドライバの電源電圧は , 内蔵の分割抵抗を使用するかまたは V1 ～ V4 端子に分割抵抗を接続することにより生成されます。

■ 入力クロック

LCD コントローラは , タイムベースタイマの出力クロックまたは時計プリスケーラの出力クロックを入力クロック (動作クロック) として使用します。

25.2.1 LCD コントローラの内部分割抵抗

LCD ドライバの電源電圧は , 内部分割抵抗によって生成されます。

■ 内部分割抵抗

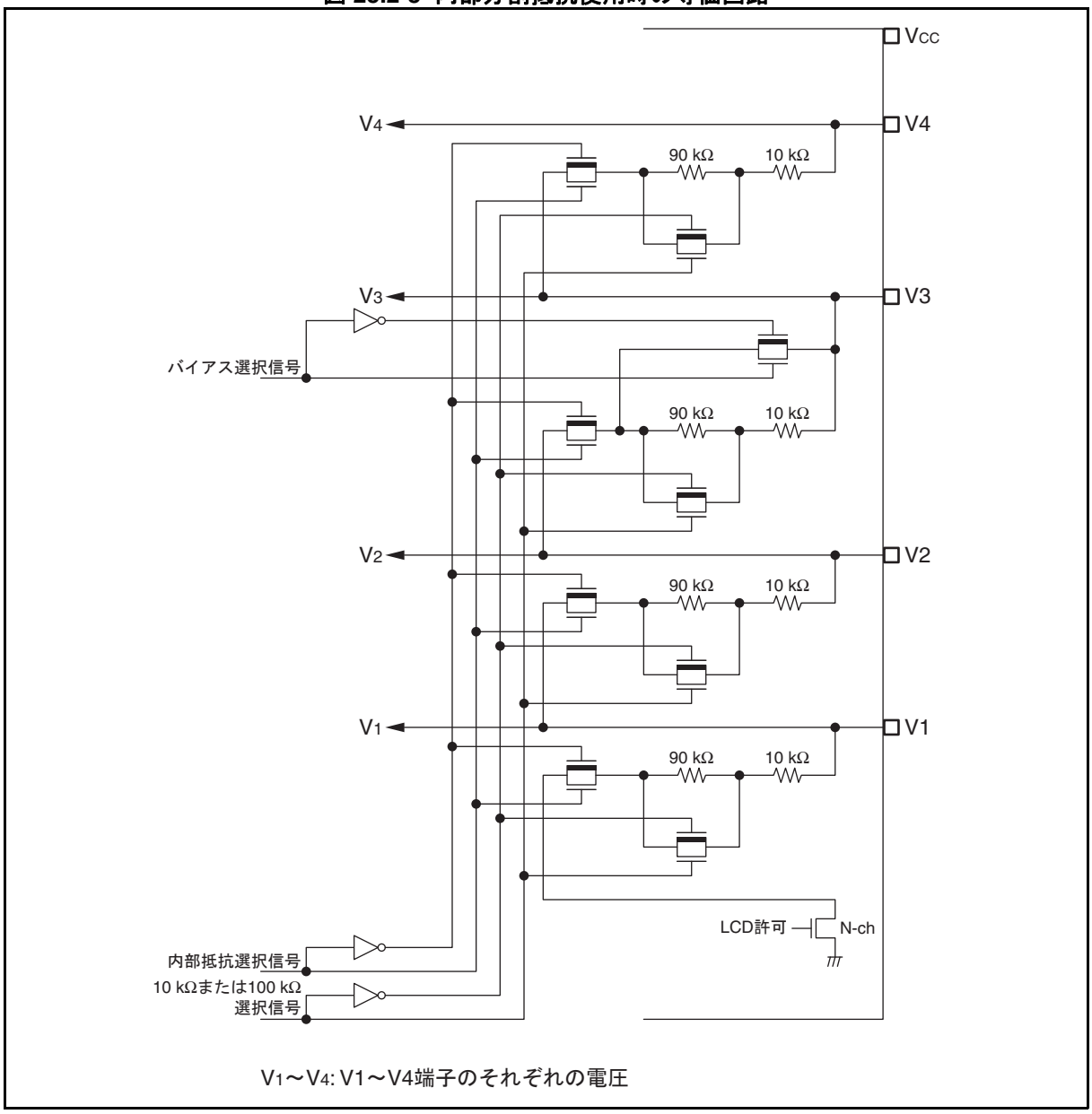
本シリーズには , 内部分割抵抗が内蔵されています。また , LCD 駆動用電源端子 (V1 ～ V4) に外部分割抵抗を接続することもできます。

内部分割抵抗と外部分割抵抗の選択は , LCDC 制御レジスタ 1 の駆動電源制御ビット (LCDCC1:VSEL) で行います。VSEL ビットを "1" にすることにより内部分割抵抗が通電状態になります。外部分割抵抗を使用せずに内部分割抵抗のみを使用するためには , LCDC 許可レジスタ 1 (LCDCE1) 内の VE3 ビットを "1" に設定してください (内部分割抵抗を使用する場合 , V4 端子を汎用 I/O ポートとして使用できません)。

LCD コントローラは , LCD 動作停止 (LCDCC1:MS[2:0] = 0b000) , メインストップモード, および時計モードでの動作を禁止 (LCDCC1:LCDEN = 0) した状態で, メインストップモード , および時計モード (STBC:TMD = 1) に遷移したときに停止します。

図 25.2-3 に , 内部分割抵抗使用時の等価回路を示します。

図 25.2-3 内部分割抵抗使用時の等価回路



V1～V4: V1～V4端子のそれぞれの電圧

■ 内部分割抵抗の使用および輝度調整

内部分割抵抗には 10 kΩ 抵抗と 100 kΩ 抵抗があります。図 25.2-4 に , 内部分割抵抗使用時の回路を示します。

内部分割抵抗を使用して輝度があがらない場合には, 外部 (Vcc ～ V4 端子間) に可変抵抗 (VR) を接続して V4 の電圧を調整してください。図 25.2-5 に VR を V4 端子に接続することによる輝度調整を示します。

図 25.2-4 内部分割抵抗使用時の回路状態

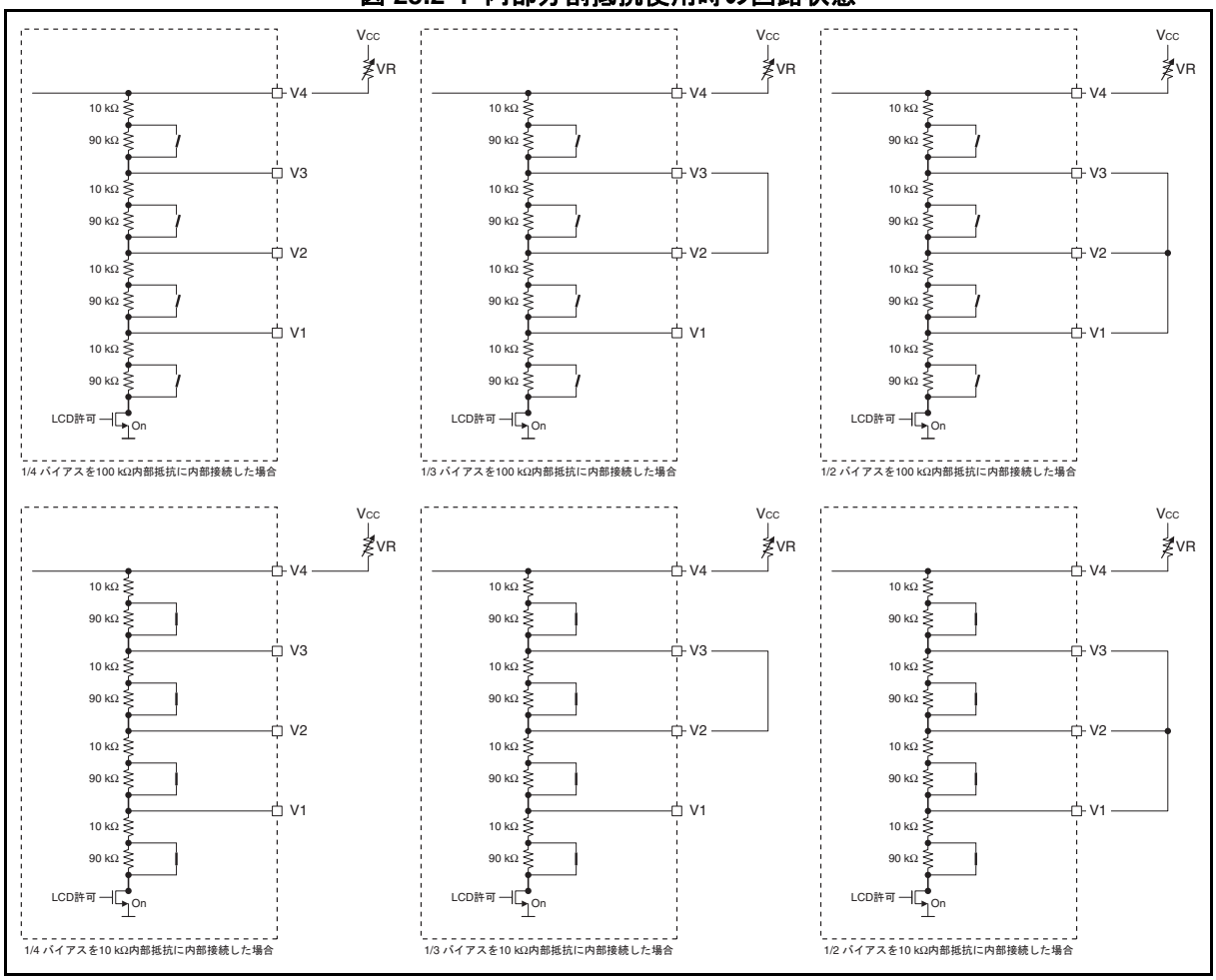
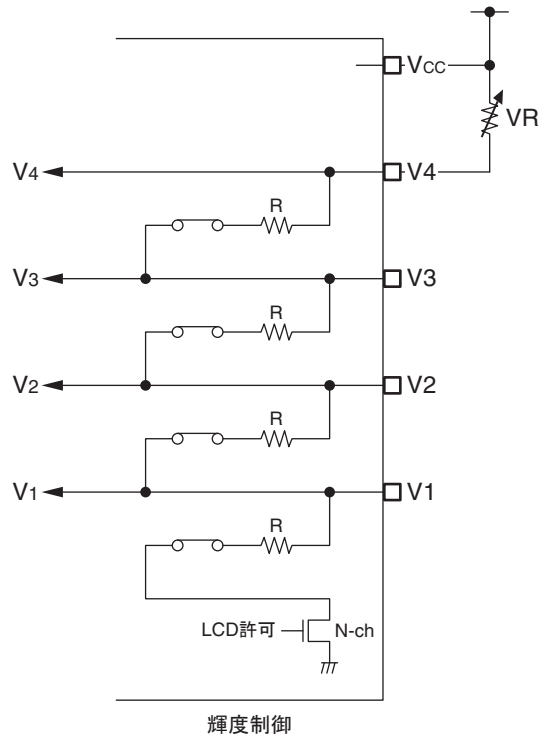


図 25.2-5 VR を V4 端子に接続することによる輝度調節



V_1～V_4: V1～V4端子のそれぞれの電圧

25.2.2 LCD コントローラの外部分割抵抗

本シリーズ は V1 ～ V4 端子に外部分割抵抗を接続できます。
また , Vcc と V4 端子間に可変抵抗を接続することで , 輝度を調整できます。

■ 外部分割抵抗

内部分割抵抗を使用せずに , LCD 駆動用電源端子 (V1 ～ V4) に外部分割抵抗を接続して使用できます。図 25.2-6 にバイアス方式に対応した外部分割抵抗の接続を , 表 25.2-1 に LCD 駆動電圧を示します。

図 25.2-6 外部分割抵抗の接続例

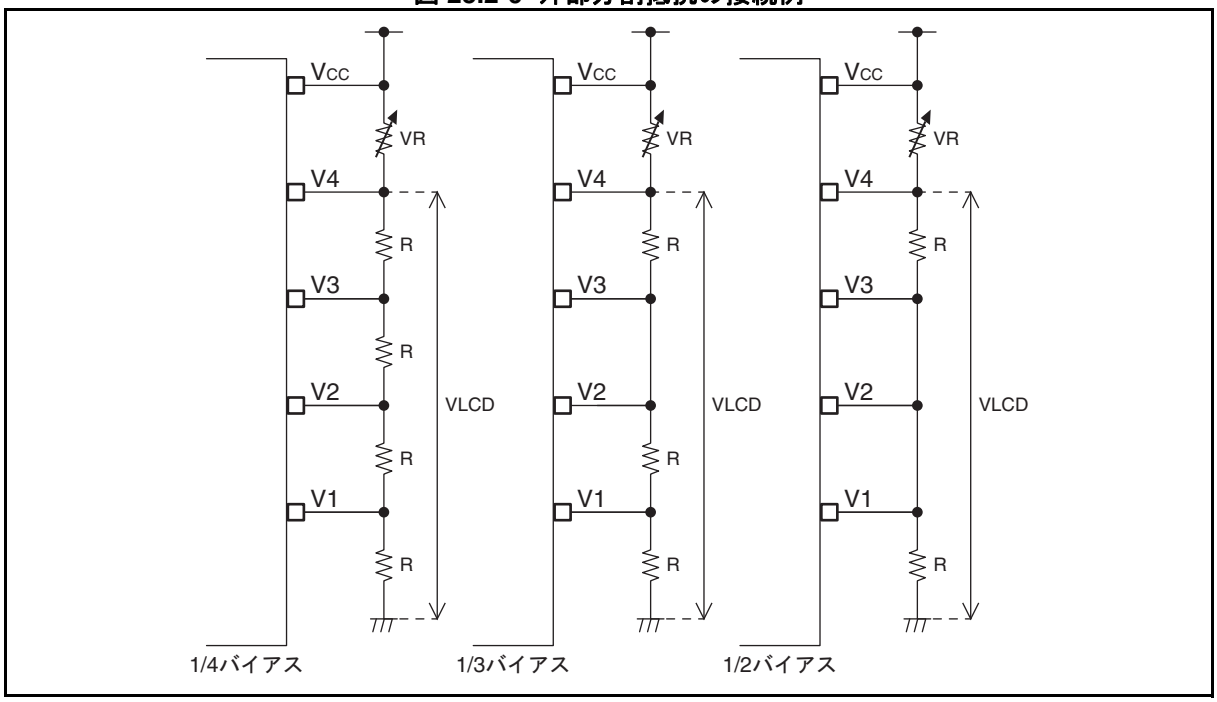


表 25.2-1 LCD 駆動電圧の設定

	V4	V3	V2	V1
1/2 bias	VLCD	X	1/2 VLCD	X
1/3 bias	VLCD	2/3 VLCD	2/3 VLCD	1/3 VLCD
1/4 bias	VLCD	3/4 VLCD	1/2 VLCD	1/4 VLCD

VLCD : LCD 動作電圧

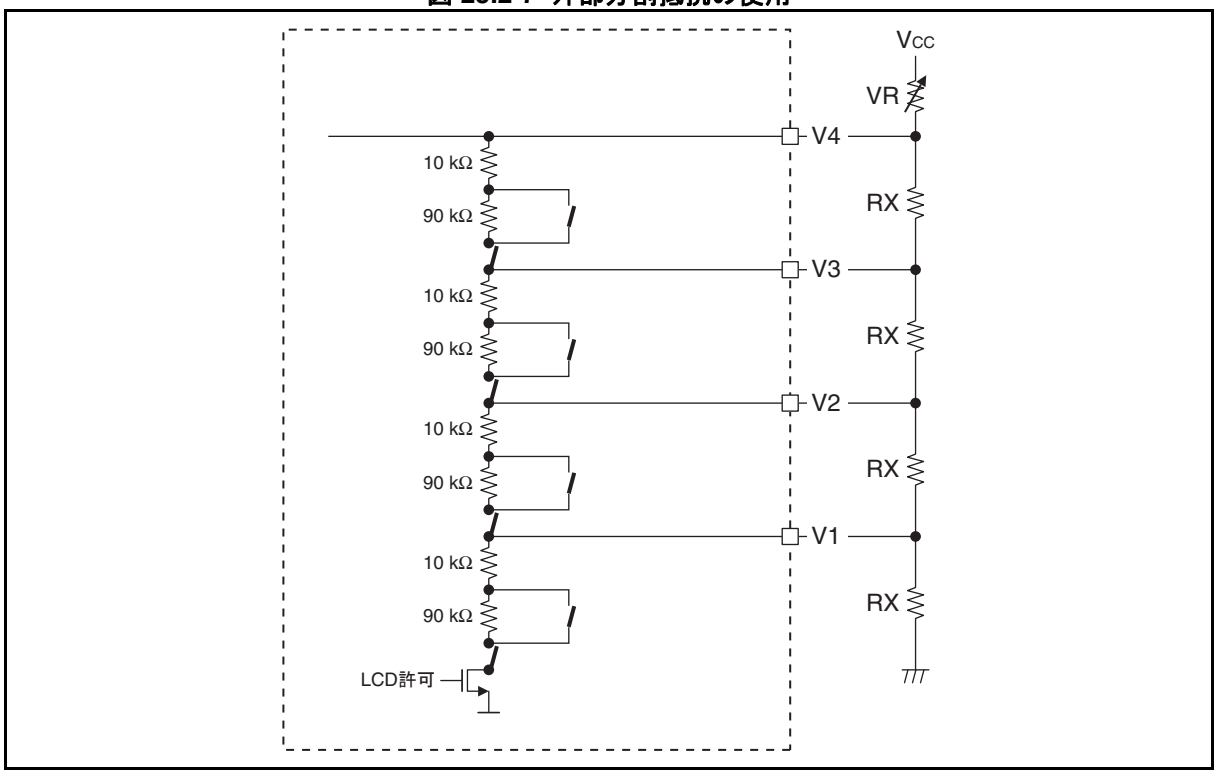
X : 外部分割抵抗なし

GND : 接地

■ 外部分割抵抗の使用

V0 端子は内部でトランジスタを通して Vss (GND) へ接続されているため , 外部分割抵抗を使用する場合 , 分割抵抗の Vss 側を V1 端子に接続することにより , LCD コントローラ停止時に抵抗へ流れる電流を遮断します。図 25.2-7 に , 外部分割抵抗使用時の状態を示します。

図 25.2-7 外部分割抵抗の使用



1. 内部分割抵抗の影響を受けずに外部に分割抵抗を接続するには , LCDC 制御レジスタ 1 の駆動電圧制御ビット (LCDCC1:VSEL) に "0" を書き込み , 内部分割抵抗全体を切り離してください。ポートを LCD の駆動用電源端子として設定するためには , LCDC 許可レジスタ 1 の V4 ～ V1 選択ビット (LCDCE1:VE[4:0]) に "1" を書き込んでください。
2. 内部分割抵抗が切り離された状態で , LCDCC1 レジスタの表示モード選択ビット (MS[2:0]) に "0b000" 以外の値を書き込むと LCDC 許可トランジスタ (Q1) が "ON" となって外部分割抵抗に電流が流れます。

＜注意事項＞

外部 RX 抵抗の適切な抵抗値は使用する LCD により異なります。使用する LCD に適する抵抗値を持つ外部 RX 抵抗を使用してください。

25.3 端子

LCD コントローラの端子について説明します。

■ LCD コントローラの端子

LCD コントローラの端子は , 8 本のコモン出力端子 (COM0 ～ COM7) , 32 本のセグメント出力端子 (SEG00 ～ SEG31) および 4 本の LCD 駆動用電源端子 (V1 ～ V4) です。

LCD 端子として使用する場合は , LCDC 許可レジスタ (LCDCE1 ～ LCDCE6) のその端子に対応するビットを "1" に設定してください。

汎用入出力ポートと兼用する LCD 端子を汎用入出力ポートとして使用する場合は , LCDC 許可レジスタ (LCDCE1 ～ LCDCE6) のその端子に対応するビットを "0" に設定してから , LCDC 許可レジスタ 1 のポート入力制御ビット (LCDCE:1PICTL) を "1" に設定してください。

- COM0 ～ COM7 端子

  8 COM モードでは , COM0 ～ COM7 端子は , LCD コモン出力端子です。

  4 COM モードでは, COM0 ～ COM3 端子は, LCD コモン出力端子です。COM4 ～ COM7 端子は , LCDCE1 ～ LCDCE6 レジスタの設定にかかわらず , 初期設定では汎用入出力ポートとして機能します。

  COM0 ～ COM7 端子は , 汎用入出力ポートと兼用しています。

- SEG00 ～ SEG31 端子

  8 COM モードでは, SEG00 ～ SEG27 端子は LCD セグメント出力端子 , SEG28 ～ SEG31 端子は , LCDCE1 ～ LCDCE6 レジスタの設定にかかわらず , 初期設定では汎用入出力ポートです。

  4 COM モードでは , SEG00 ～ SEG31 端子は LCD セグメント出力端子です。

  SEG00 ～ SEG31 端子は , 汎用入出力ポートと兼用しています。

- V1 ～ V4 端子

  LCD 駆動用電源端子です。

  汎用入出力ポートと兼用しています。

25.4 ディスプレイ RAM

ディスプレイ RAM のサイズは , 8 COM モードと 4 COM モードとでは異なります。
8 COM モードでは , ディスプレイ RAM には , セグメント出力信号発生用の 28 × 8 ビット (28 バイト) の表示データメモリがあります。
4 COM モードでは , ディスプレイ RAM には , セグメント出力信号発生用の 32 × 4 ビット (16 バイト) の表示データメモリがあります。

■ ディスプレイ RAM と出力端子

ディスプレイ RAM の内容は , コモン信号の選択タイミングで自動的に読み出され同期して , セグメント出力端子より出力されます。

各ビットの内容が "1" であれば選択電圧に変換 (LCD は表示) され , "0" であれば非選択電圧に変換 (LCD は非表示) されて出力されます。

LCD 表示動作は CPU の動作とは非同期で行われるため , ディスプレイ RAM に対しては任意のタイミングで書込み / 読込みができます。セグメント出力に指定されなかった端子は入出力ポートとして , また , 対応するディスプレイ RAM は通常の RAM として使用できます。表 25.4-1 に , デューティとコモン出力およびディスプレイ RAM の使用ビットの関係を示します。

図 25.4-1 と図 25.4-2 に , 8 COM モードおよび 4 COM モードにおける , コモン出力およびセグメント出力端子へのディスプレイ RAM アドレスの割当てを示します。

表 25.4-1 デューティとコモン出力およびディスプレイ RAM の使用ビットの関係

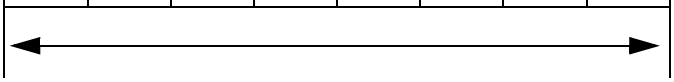
デューティ設定値	使用するコモン出力端子	使用するディスプレイデータビット							
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1/2	COM0, COM1 (2 本)	-	-	○	○	-	-	○	○
1/3	COM0 ～ COM2 (3 本)	-	○	○	○	-	○	○	○
1/4	COM0 ～ COM3 (4 本)	○	○	○	○	○	○	○	○
1/8	COM0 ～ COM7 (8 本)	○	○	○	○	○	○	○	○

○ : 使用するビット
- : 使用しないビット

図 25.4-1 ディスプレイ RAM およびコモン / セグメント出力端子 (8 COM モード)

RAM アドレス

n	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG00
n+1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG01
n+2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG02
n+3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG03
n+4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG04
:	:	:	:	:	:	:	:	:	:
n+22	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG22
n+23	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG23
n+24	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG24
n+25	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG25
n+26	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG26
n+27	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SEG27
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

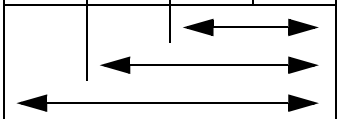


1/8 デューティ比で使用される領域と COM 端子

図 25.4-2 ディスプレイ RAM およびコモン / セグメント出力端子 (4 COM モード)

RAM アドレス

n	Bit3	Bit2	Bit1	Bit0	SEG00
	Bit7	Bit6	Bit5	Bit4	SEG01
n+1	Bit3	Bit2	Bit1	Bit0	SEG02
	Bit7	Bit6	Bit5	Bit4	SEG03
n+2	Bit3	Bit2	Bit1	Bit0	SEG04
	Bit7	Bit6	Bit5	Bit4	SEG05
:	:	:	:	:	:
n+13	Bit3	Bit2	Bit1	Bit0	SEG26
	Bit7	Bit6	Bit5	Bit4	SEG27
n+14	Bit3	Bit2	Bit1	Bit0	SEG28
	Bit7	Bit6	Bit5	Bit4	SEG29
n+15	Bit3	Bit2	Bit1	Bit0	SEG30
	Bit7	Bit6	Bit5	Bit4	SEG31
	COM3	COM2	COM1	COM0	



1/2 デューティ比で使用される領域と COM 端子
1/3 デューティ比で使用される領域と COM 端子
1/4 デューティ比で使用される領域と COM 端子

＜注意事項＞

アドレスコラム内の "n" は "0x0FBD" を示します。

25.5 割込み

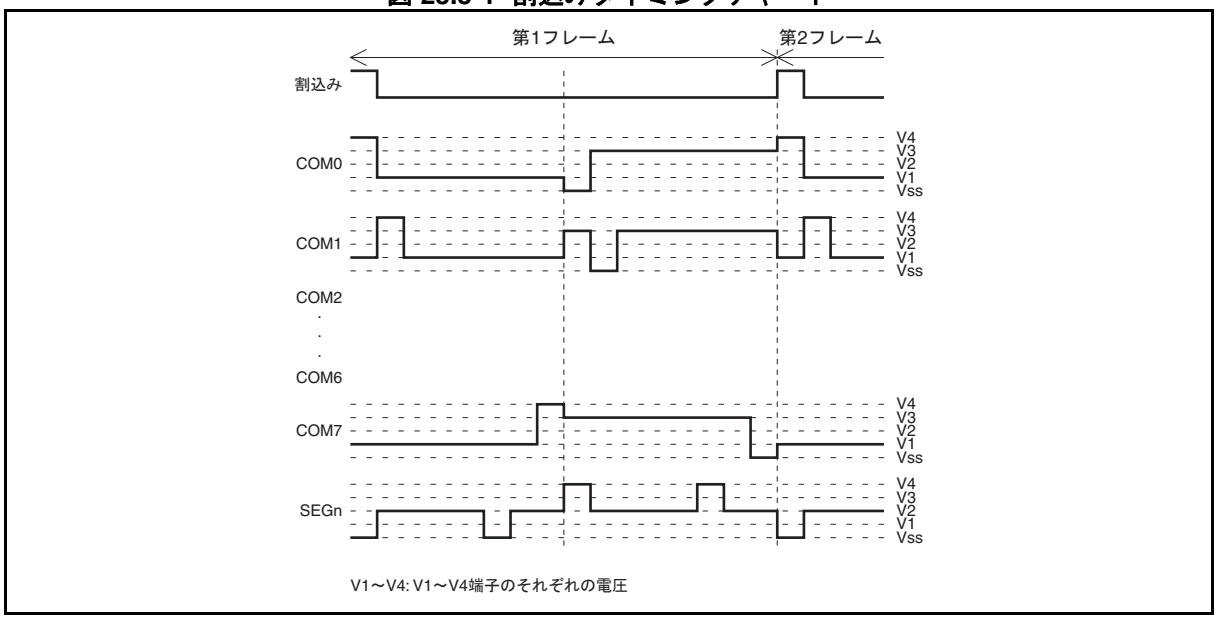
LCD コントローラは , LCD モジュールフレーム周波数と同期して , 割込みを生成します。

■ LCD コントローラ動作時の割込み

フレーム処理が完了すると , LCD コントローラは , LCDC 割込み要求フラグビット (LCDCC2:LCDIF) を "1" に設定します。LCDIF ビットが "1" に設定されたとき , すでに割込み要求が許可されている場合 (LCDCC2:LCDIEN = 1), LCD コントローラは , 割込みコントローラに割込み要求を発行します。割込み要求をクリアするには , 割込みサービスルーチンで , LCDIF ビットに "0" を書き込んでください。

LCD コントローラは , フレーム処理が完了次第 , LCDIEN ビットの値に関係なく , 常に LCDIF ビットを "1" に設定します。LCDC 割込み要求の発行後 , LCDIF ビットおよび LCDIEN ビットの両方が "1" に設定されたままの場合 , CPU は , 割込み処理から復帰できません。CPU が割込み処理から復帰できるように , LCDC 割込み要求の発行後は , 常に LCDIF ビットを "0" にクリアしてください。

図 25.5-1 割込みタイミングチャート



25.6 動作説明

LCD コントローラの動作を説明します。

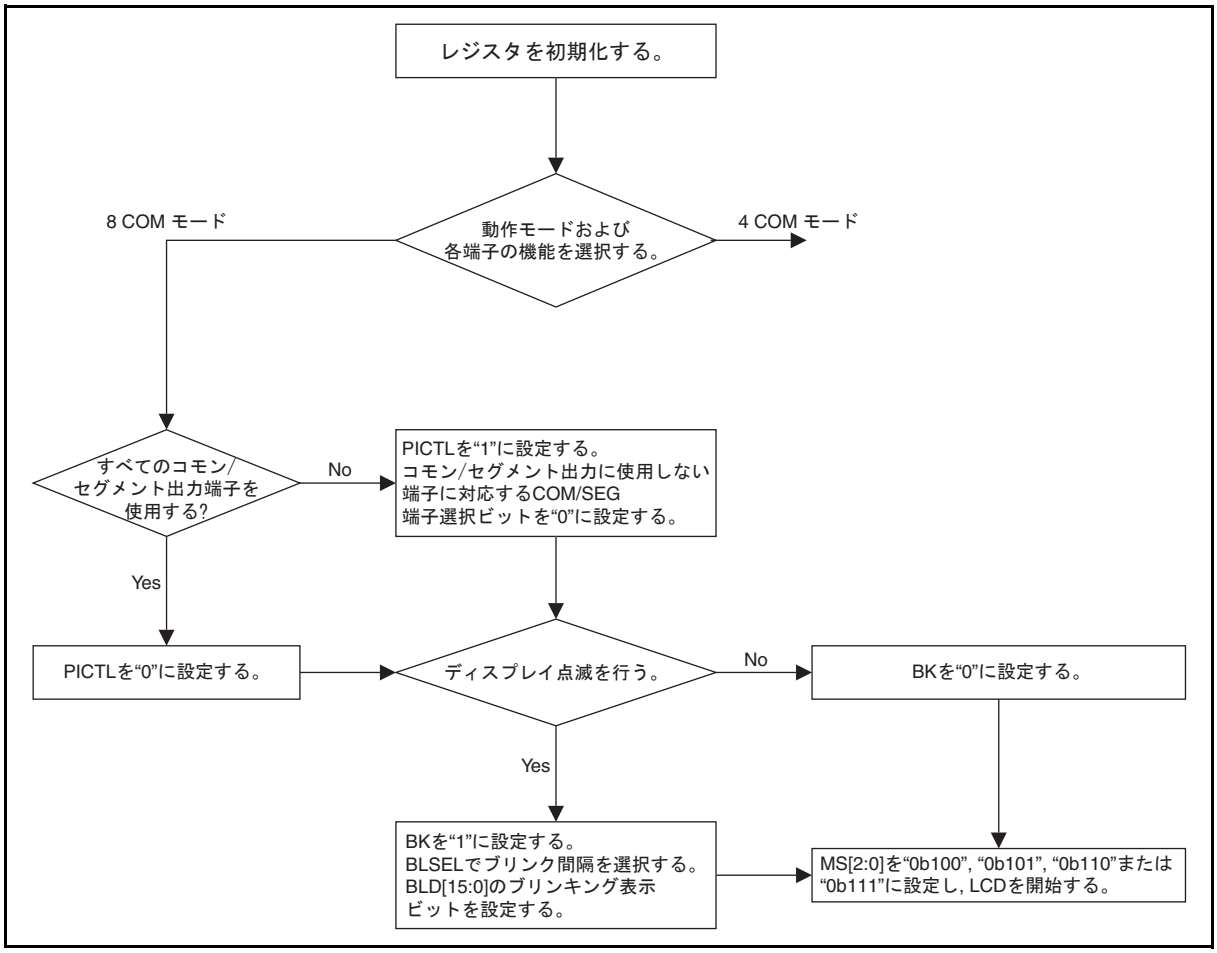
図 25.6-1 に , 8 COM モードで LCD 表示を行うために必要な設定を示します。

図 25.6-1 8 COM モードにおける LCD コントローラ設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
LCDCC1	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
	○	○	○	1	0/1	0/1	○	○
LCDCC2	-	-	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
	-	-	○	○	○	○	○	○
LCDCE1	PICTL	BLSEL	VE4	VE3	VE2	VE1	-	-
	○	○	○	○	○	○	-	-
LCDCE2	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
	○	○	○	○	○	○	○	○
LCDCE3	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
	○	○	○	○	○	○	○	○
LCDCE4	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
	○	○	○	○	○	○	○	○
LCDCE5	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	○	○	○	○	○	○	○	○
LCDCE6	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	-	-	-	-	○	○	○	○
LCDCB1	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
	○	○	○	○	○	○	○	○
LCDCB2	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
	○	○	○	○	○	○	○	○
ディスプレイ RAM	ディスプレイデータ							

○ ：使用するビット
- ：使用しないビット
1 ："1" を書き込んでください。
0/1："0" または "1" を書き込んでください。

図 25.6-2 8 COM モードにおける LCD コントローラ設定フロー



- 図 25.6-1 の設定が行われ , 選択したフレーム周期発生用クロックが発振している場合 , LCD コントローラは , ディスプレイ RAM および LCDC のレジスタの内容に従って , コモン出力端子とセグメント出力端子 (COM0 ～ COM7, SEG00 ～ SEG27) に LCD パネルの駆動波形を出力します。
- LCDCE1 ～ LCDCE6 により LCD の出力端子が選択されます。また , コモン / セグメント出力端子として選択されなかった端子は , 汎用入出力ポートと使用されます。
- LCD 表示動作中であっても , フレーム周期発生用クロックを切り換えられます。ただし , 切換え時に LCD 表示がちらつくことがあります。LCD 表示のちらつきを防止するには , ブランキング (LCDCC2:BK = 1) などで表示を一時的に停止させてから , フレーム周期発生用クロックを切り換えてください。
- 表示駆動出力は , バイアスおよびデューティの設定によって選択される , 2 フレームを交流化した波形です。
- ブリンク (点滅) 機能を使用する場合は , LCDC ブリンキング設定レジスタ 1(LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により対応するビットを "1" (ON) に設定してください。ブリンキング間隔は LCDC 制御レジスタ 1 (LCDCE1) の BLSEL ビットで 2 種類から選択できます。

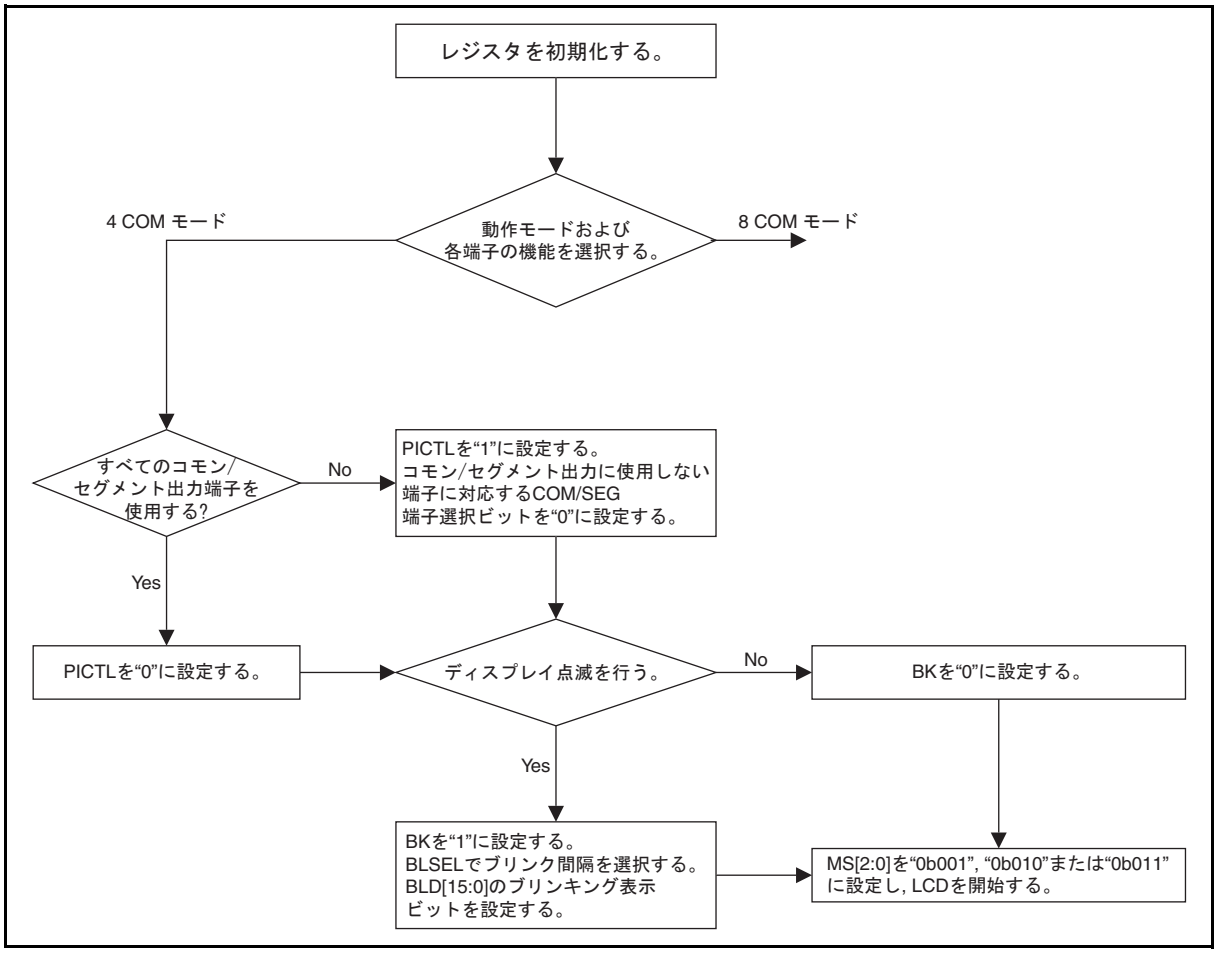
図 25.6-3 に , 4 COM モードで LCD 表示を行うために必要な設定を示します。

図 25.6-3 4 COM モードにおける LCD コントローラ設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
LCDCC1	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
	○	○	○	0	0/1	0/1	○	○
LCDCC2	-	-	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
	-	-	○	○	○	○	○	○
LCDCE1	PICTL	BLSEL	VE4	VE3	VE2	VE1	-	-
	○	○	○	○	○	○	-	-
LCDCE2	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
	-	-	-	-	○	○	○	○
LCDCE3	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
	○	○	○	○	○	○	○	○
LCDCE4	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
	○	○	○	○	○	○	○	○
LCDCE5	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	○	○	○	○	○	○	○	○
LCDCE6	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	○	○	○	○	○	○	○	○
LCDCB1	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
	○	○	○	○	○	○	○	○
LCDCB2	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
	○	○	○	○	○	○	○	○
ディスプレイ RAM	ディスプレイデータ							

○ ：使用するビット
- ：使用しないビット
1 ："1" を書き込んでください。
0/1："0" または "1" を書き込んでください。

図 25.6-4 4 COM モードにおける LCD コントローラ設定フロー



- 図 25.6-3 の設定が行われ , 選択したフレーム周期発生用クロックが発振している場合 , LCD コントローラは , ディスプレイ RAM および LCDC のレジスタの内容に従って , コモン出力端子とセグメント出力端子 (COM0 ～ COM3, SEG00 ～ SEG31) に LCD パネルの駆動波形を出力します。
- LCDCE1 ～ LCDCE6 により LCD の出力端子が選択されます。また , コモン / セグメント出力端子として選択されなかった端子は , 汎用入出力ポートと使用されます。
- LCD 表示動作中であっても , フレーム周期発生用クロックを切り換えられます。ただし , 切換え時に LCD 表示がちらつくことがあります。LCD 表示のちらつきを防止するには , ブランキング (LCDCC2:BK = 1) などで表示を一時的に停止させてから , フレーム周期発生用クロックを切り換えてください。
- 表示駆動出力は , バイアスおよびデューティの設定によって選択される , 2 フレームを交流化した波形です。
- 1/2 デューティの場合の COM2, COM3 端子の出力および 1/3 デューティの場合の COM3 端子の出力は , 非選択レベルの出力波形または入出力ポートとして使用可能となります。
- ブリンク(点滅)機能を使用する場合は, LCDCブリンキング設定レジスタ1(LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により対応するビットを "1" (ON) に設定してください。ブリンキング間隔はLCDC制御レジスタ1 (LCDCE1)のBLSEL ビットで 2 種類から選択できます。

＜注意事項＞

LCD 表示動作中に , 選択したフレーム周期発生用クロックが停止すると , 交流波形生成回路が停止するため液晶素子に直流電圧が印加されます。この場合あらかじめ LCD 表示動作を停止しておく必要があります。メインクロック (タイムベースタイマ) またはサブクロック (時計プリスケーラ) が停止する条件はクロックモードとスタンバイモードとの選択によります。また , フレーム周期発生用クロック選択ビット (LCDCC1:CSS) の設定に従い , タイムベースタイマまたは時計プリスケーラがクリアされるとフレーム周期が影響を受けます。

■ LCD の駆動波形

LCDはその性質上, 直流駆動を行うと液晶表示素子に化学変化が生じ, 液晶表示素子が劣化してしまいます。このため LCD コントローラ・ドライバは交流波形生成回路を内蔵し , 2 フレームを交流化した波形で LCD を駆動します。出力波形には以下の 5 種類があります。

8 COM モード :

- 1/3 バイアス , 1/8 デューティ出力波形
- 1/4 バイアス , 1/8 デューティ出力波形

4 COM モード :

- 1/2 バイアス , 1/2 デューティ出力波形
- 1/3 バイアス , 1/3 デューティ出力波形
- 1/3 バイアス , 1/4 デューティ出力波形

25.6.1 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/2 バイアス , 1/2 デューティ)

表示駆動出力は , 分割駆動タイプの 2 フレームを交流化した波形です。
4 COM モードでは , 1/2 バイアスおよび 1/2 デューティのときには , COM0 および COM1 が表示に使用され , COM2 および COM3 は使用されません。

■ 4 COM モード , 1/2 バイアス , 1/2 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

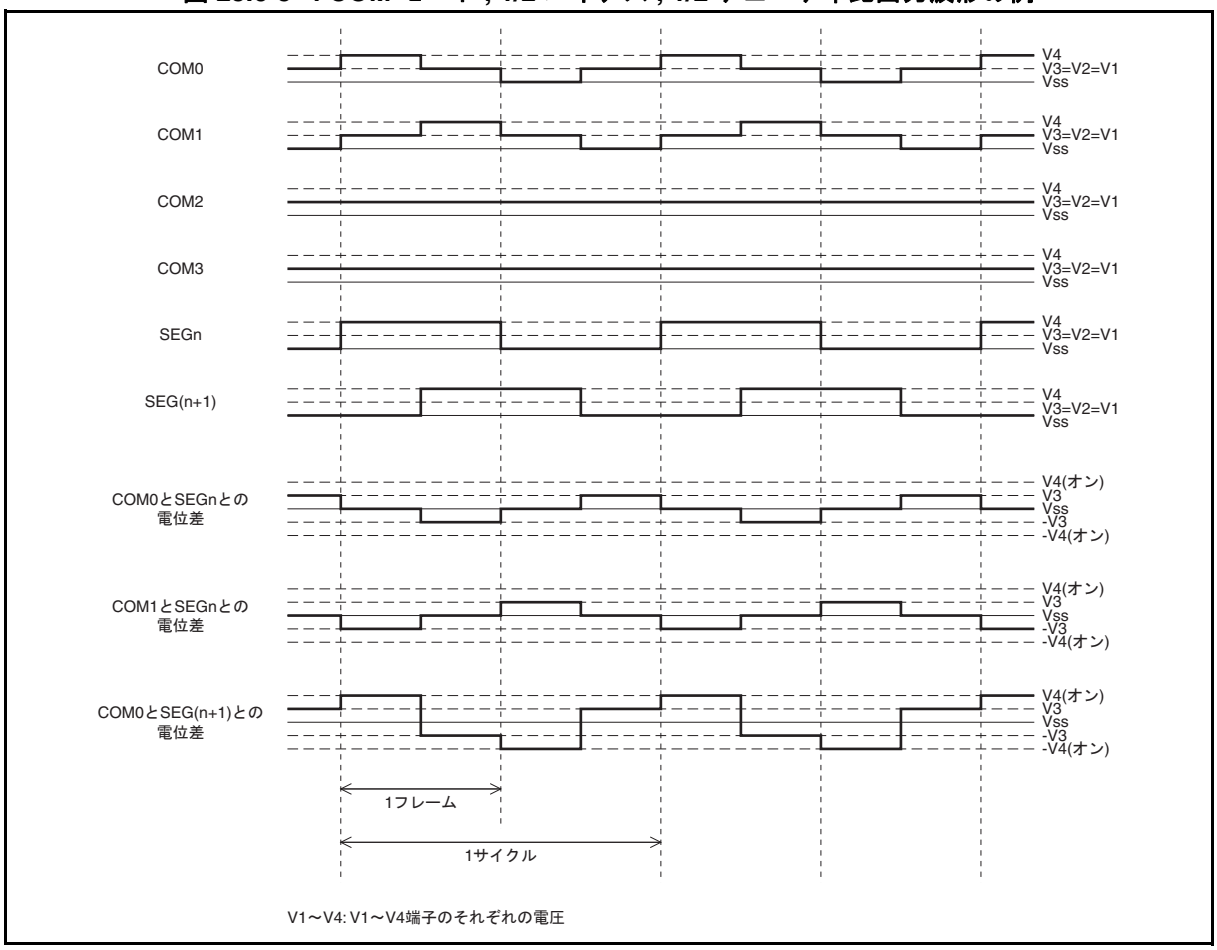
ディスプレイ RAM の内容が表 25.6-1 のときの出力波形を図 25.6-5 に示されます。

表 25.6-1 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	-	0	0
SEG(n+1)	-	-	0	1

-: 使用しない

図 25.6-5 4 COM モード , 1/2 バイアス , 1/2 デューティ比出力波形の例



25.6.2 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/3 デューティ)

4 COM モードでは , 1/3 バイアスおよび 1/3 デューティのときには , COM0, COM1, および COM2 が表示に使用され , COM3 は使用されません。

■ 4 COM モード , 1/3 バイアス , 1/3 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

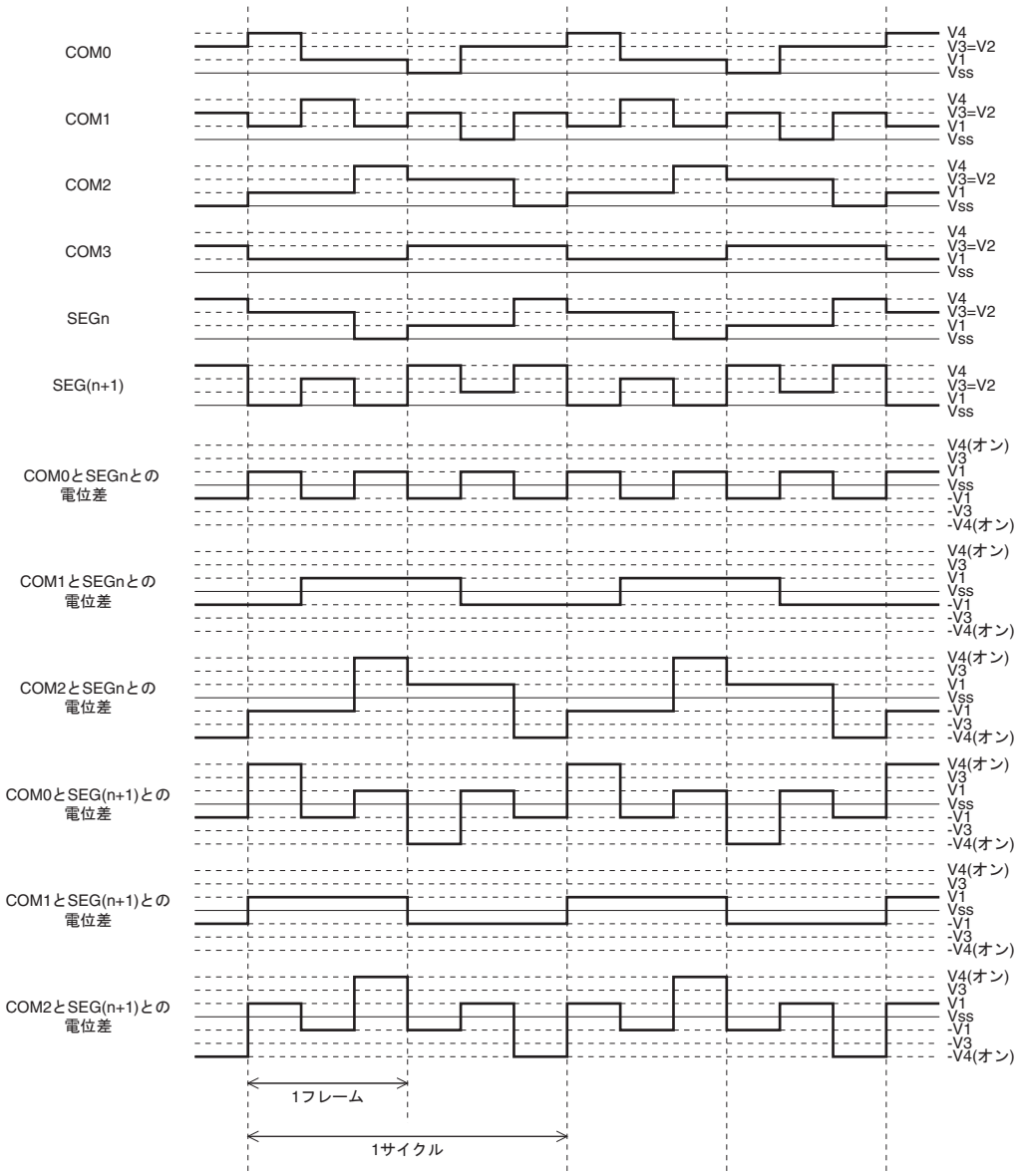
ディスプレイ RAM の内容が表 25.6-2 のときの出力波形を図 25.6-6 に示します。

表 25.6-2 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	1	0	0
SEG(n+1)	-	1	0	1

-: 使用しない

図 25.6-6 4 COM モード , 1/3 バイアス , 1/3 デューティ比出力波形の例



V1～V4: V1～V4端子のそれぞれの電圧

25.6.3 4 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/4 デューティ)

4 COM モードでは , 1/3 バイアスおよび 1/4 デューティのときには , COM0 ～ COM3 が表示に使用されます。

■ 4 COM モード , 1/3 バイアス , 1/4 デューティ出力波形例

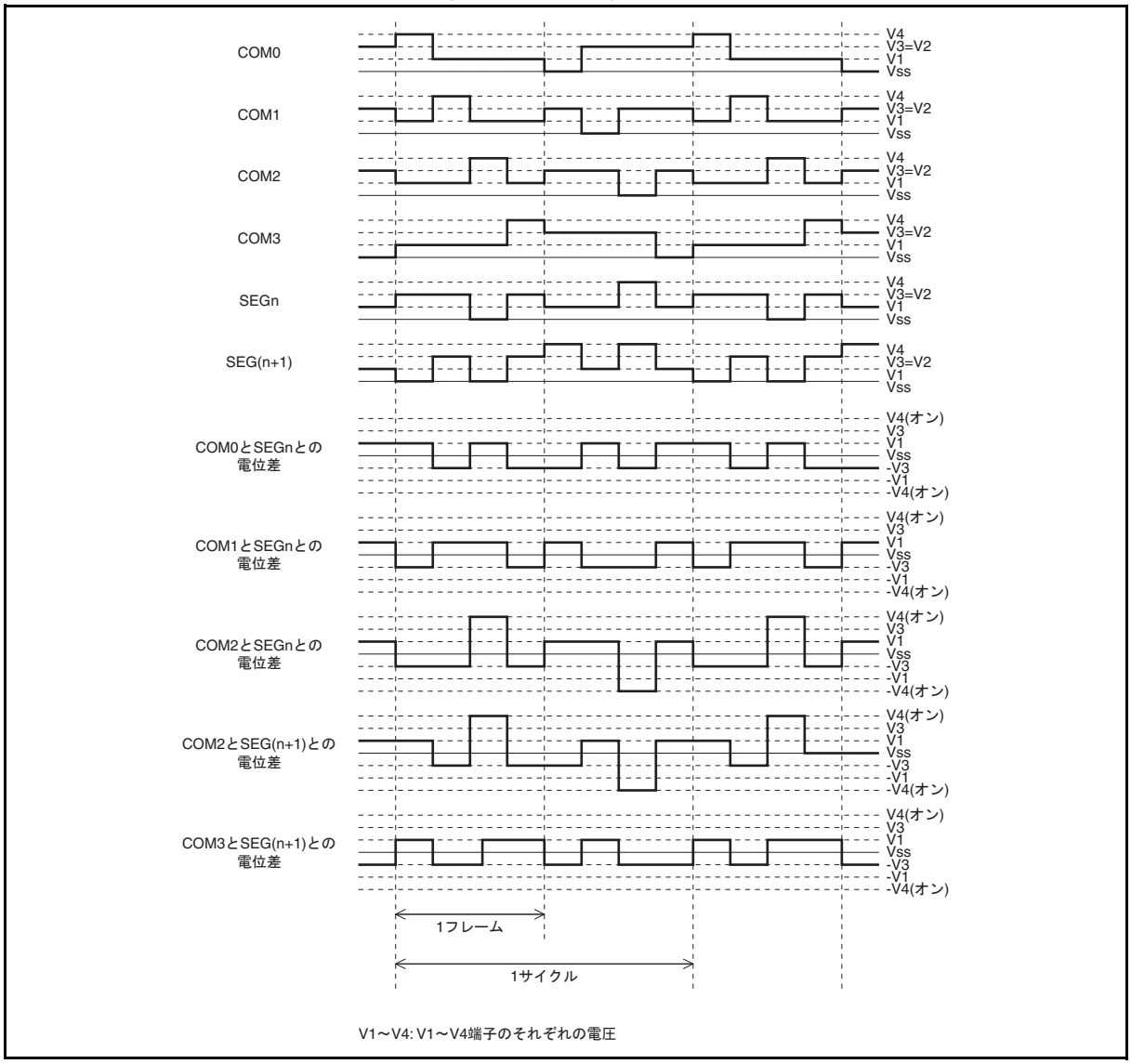
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 25.6-3 のときの出力波形を図 25.6-7 に示します。

表 25.6-3 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容			
	COM3	COM2	COM1	COM0
SEGn	0	1	0	0
SEG(n+1)	0	1	0	1

図 25.6-7 4 COM モード , 1/3 バイアス , 1/4 デューティ比出力波形の例



V1～V4: V1～V4端子のそれぞれの電圧

25.6.4 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/3 バイアス , 1/8 デューティ)

8 COM モードでは , 1/3 バイアスおよび 1/8 デューティのときには , COM0 ～ COM7 が表示に使用されます。

■ 8 COM モード , 1/3 バイアス , 1/8 デューティ出力波形例

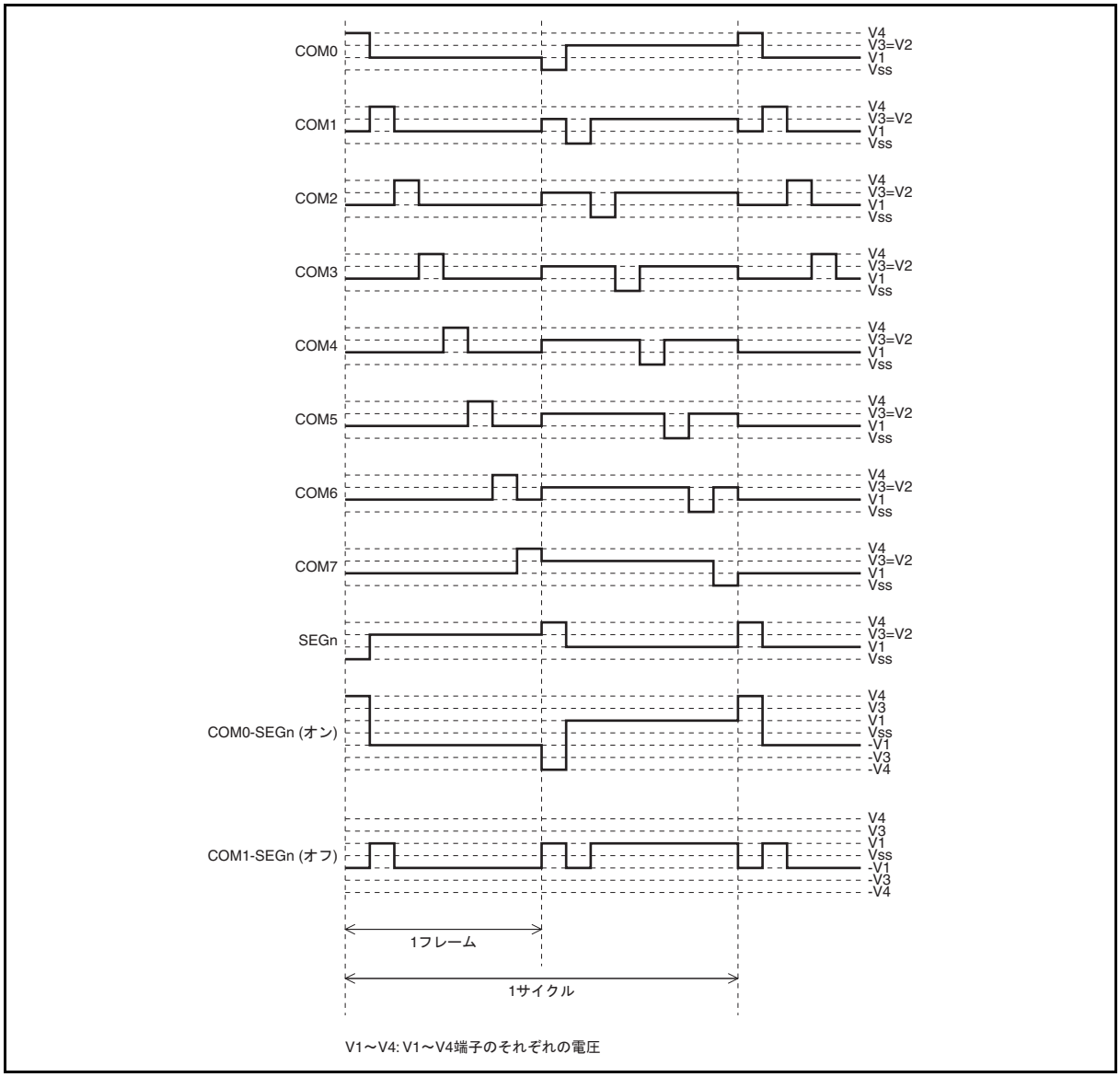
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 25.6-4 のときの出力波形を図 25.6-8 に示します。

表 25.6-4 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 25.6-8 8 COM モード , 1/3 バイアス , 1/8 デューティ比出力波形の例



25.6.5 8 COM モードにおける LCD コントローラ動作時の出力波形 (1/4 バイアス , 1/8 デューティ)

8 COM モードでは , 1/4 バイアスおよび 1/8 デューティのときには , COM0 ～ COM7 が表示に使用されます。

■ 8 COM モード , 1/4 バイアス , 1/8 デューティ出力波形例

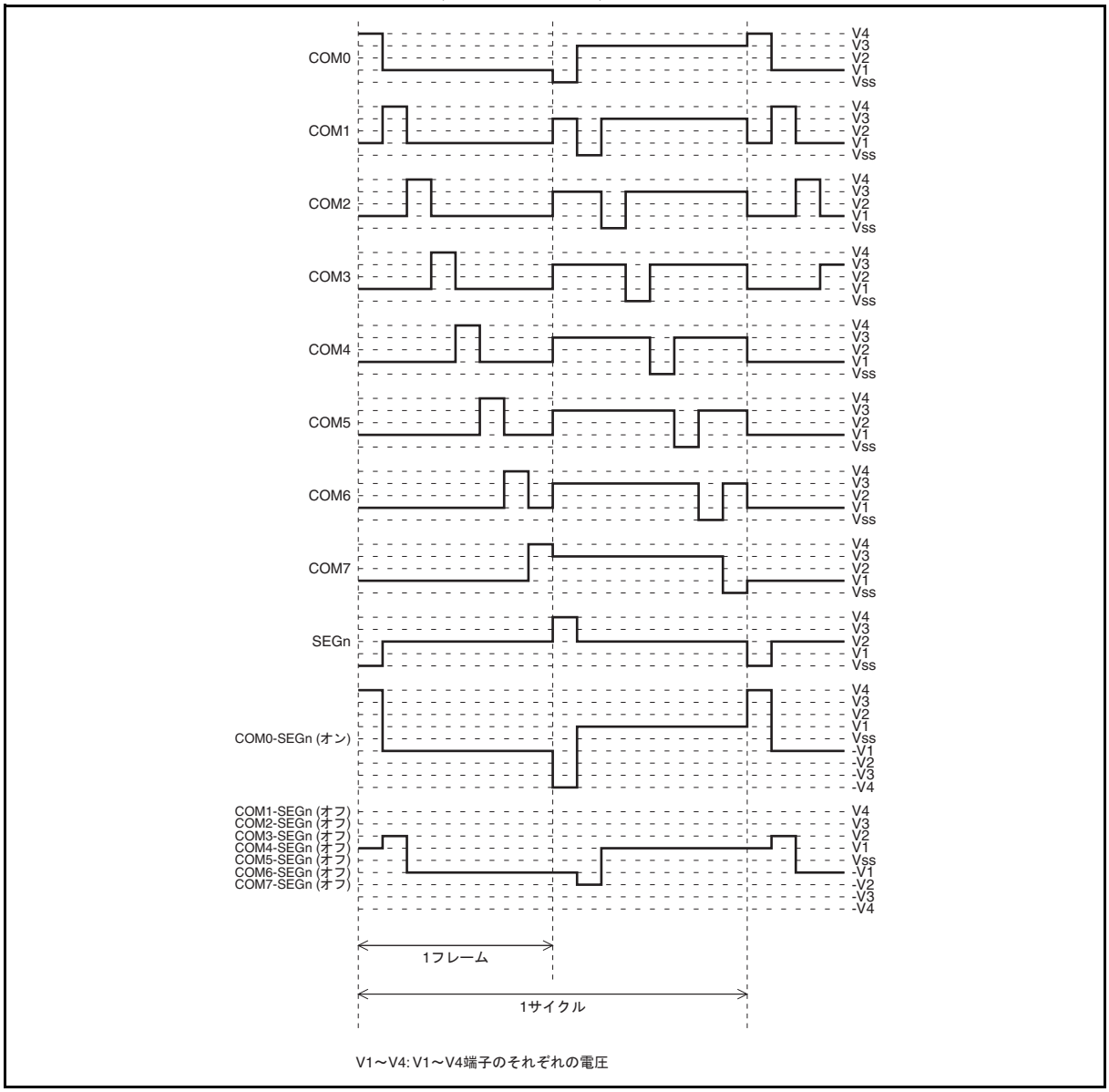
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が "ON" となります。

ディスプレイ RAM の内容が表 25.6-5 のときの出力波形を図 25.6-9 に示します。

表 25.6-5 ディスプレイ RAM の内容例

セグメント	ディスプレイ RAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 25.6-9 8 COM モード , 1/4 バイアス , 1/8 デューティ比出力波形の例



25.7 レジスタ

LCD コントローラのレジスタについて説明します。

表 25.7-1 LCD コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
LCDCC1	LCDC 制御レジスタ 1	25.7.1
LCDCC2	LCDC 制御レジスタ 2	25.7.2
LCDCE1	LCDC 許可レジスタ 1	25.7.3
LCDCE2	LCDC 許可レジスタ 2	25.7.4
LCDCE3	LCDC 許可レジスタ 3	25.7.5
LCDCE4	LCDC 許可レジスタ 4	25.7.6
LCDCE5	LCDC 許可レジスタ 5	25.7.7
LCDCE6	LCDC 許可レジスタ 6	25.7.8
LCDCB1	LCDC ブリンキング設定レジスタ 1	25.7.9
LCDCB2	LCDC ブリンキング設定レジスタ 2	25.7.10

25.7.1 LCDC 制御レジスタ 1 (LCDCC1)

LCDC 制御レジスタ 1 (LCDCC1) はクロックと表示モードを設定し , 電源を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	CSS	LCDEN	VSEL	MS2	MS1	MS0	FP1	FP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] CSS: フレーム周期発生用クロック選択ビット

このビットは LCD 表示のフレーム周期を発生するためのクロックを選択します。

LCD コントローラは , このビットが "0" のときメインクロック発振によるタイムベースタイマ出力で動作し , "1" のときサブクロックにより時計プリスケーラ出力で動作します。

タイムベースタイマ出力で動作中にメインクロックの速度切換え (ギア機能) を行っても , フレーム周期は影響を受けません。

フレーム周期発生用クロックが切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてからフレーム周期発生用クロックを切り換えてください。

bit7	説明
"0" を書き込んだ場合	LCD 表示のフレーム周期発生用クロックとしてメインクロックを選択します。
"1" を書き込んだ場合	LCD 表示のフレーム周期発生用クロックとしてサブクロックを選択します。

(注意事項) メインストップモードおよびサブクロックモードでは , メインクロックの発振が停止するため , タイムベースタイマ出力による動作はできません。

[bit6] LCDEN: メインストップ / 時計モード時動作許可ビット

このビットはメインストップモードおよび時計モードの場合に , LCD コントローラに動作を継続させるかどうかを制御します。

bit6	説明
"0" を書き込んだ場合	LCD コントローラを停止します。
"1" を書き込んだ場合	クロックモードがメインストップモードまたは時計モードに遷移した後も LCD コントローラに動作を継続させます。

(注意事項) メインストップモードまたは時計モード中も LCD コントローラに動作を継続させるには , サブクロックを LCD 表示のフレーム周期発生用クロックとして選択してください (CSS = 1)。

[bit5] VSEL: LCD 駆動電源制御ビット
このビットは内部分割抵抗に通電するかどうかを制御します。

bit5	説明
"0" を書き込んだ場合	内部分割抵抗を遮断します。
"1" を書き込んだ場合	内部分割抵抗を導通します。

(注意事項) 外部分割抵抗を接続する場合 , このビットに "0" を書き込んでください。

[bit4:2] MS[2:0]: 表示モード選択ビット
これらのビットは表示モードを 4 COM モードと 8 COM モードから選択し , 出力波形デューティを 4 種類から選択します。
使用されるコモン端子が選択したデューティ出力モードによって決まります。
これらのビットが "0b000" に設定されたときは , LCD コントローラ・ドライバは表示動作を停止します。
表示モードが切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてから表示モードを切り換えてください。

bit4:2	説明
"000" を書き込んだ場合	LCD 表示動作を停止します。
"001" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/2 (時間区分番号 N = 2) をそれぞれ選択します。
"010" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/3 (時間区分番号 N = 3) をそれぞれ選択します。
"011" を書き込んだ場合	表示モードとして 4 COM モードを , 出力波形デューティとして 1/4 (時間区分番号 N = 4) をそれぞれ選択します。
"100" を書き込んだ場合	表示モードとして 8 COM モードを , 出力波形デューティとして 1/8 (時間区分番号 N = 8) をそれぞれ選択します。
"101" を書き込んだ場合	
"110" を書き込んだ場合	
"111" を書き込んだ場合	

(注意事項) クロックモードがストップモードに遷移すると,LCD表示のフレーム周期発生用クロック (メインクロックまたはサブクロック) が停止します。そのため , クロックモードがストップモードに遷移する前に , LCD 表示動作を停止 (MS[2:0] = 0b000) してください。

[bit1:0] FP[1:0]: フレーム周期選択ビット

これらのビットは LCD 表示のフレーム周期を選択します。

フレーム周期が切り換わるときに表示がちらつくことがあるため , ブランキング (LCDCC2:BK=1) などで表示を一時的に停止させてからフレーム周期を切り換えてください。

bit1:0	説明	
	メインクロックにより発生されたフレーム周期 (LCDCC1:CSS = 0) (F_{CH}: メインクロック , F_{CRH}: メイン CR クロック)	サブクロックにより発生されたフレーム周期 (LCDCC1:CSS = 1) (F_{CL}: サブクロック , F_{CRL}: サブ CR クロック)
"00" を書き込んだ場合	$2^{14} \times N/F_{CH}$ *1 $2^{13} \times N/F_{CH}$ *2 $2^{13} \times N/F_{CRH}$	$2^{6} \times N/F_{CL}$ $2^{6} \times N/F_{CRL}$
"01" を書き込んだ場合	$2^{15} \times N/F_{CH}$ *1 $2^{14} \times N/F_{CH}$ *2 $2^{14} \times N/F_{CRH}$	$2^{7} \times N/F_{CL}$ $2^{7} \times N/F_{CRL}$
"10" を書き込んだ場合	$2^{16} \times N/F_{CH}$ *1 $2^{15} \times N/F_{CH}$ *2 $2^{15} \times N/F_{CRH}$	$2^{8} \times N/F_{CL}$ $2^{8} \times N/F_{CRL}$
"11" を書き込んだ場合	$2^{17} \times N/F_{CH}$ *1 $2^{16} \times N/F_{CH}$ *2 $2^{16} \times N/F_{CRH}$	$2^{9} \times N/F_{CR}$ $2^{9} \times N/F_{CRL}$

*1: メインクロックモード

*2: メイン PLL クロックモード

(注意事項) 使用する LCD モジュールに応じて最適フレーム周波数を計算して FP[1:0] ビットを設定してください。フレーム周期は原発振の周波数の影響を受けます。

25.7.2 LCDC 制御レジスタ 2 (LCDCC2)

LCDC 制御レジスタ 2 (LCDCC2) は , 割込みを許可または禁止し , 割込みの状態を示し , 以下のパラメータを設定します。

- **内部抵抗 (10 kΩ または 100 kΩ)**
- **8 COM モードで使用されるバイアス (1/3 または 1/4)**
- **表示データまたはブランク画面**
- **反転表示**

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	RSEL	BLS8	INV	BK	LCDIEN	LCDIF
属性	—	—	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	1	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] RSEL: 内部分割抵抗選択ビット
このビットは内部分割抵抗として使用される抵抗を選択します。

bit5	説明
"0" を書き込んだ場合	100 kΩ 抵抗を選択します。
"1" を書き込んだ場合	10 kΩ 抵抗を選択します。

[bit4] BLS8: 8 COM モードバイアス選択ビット
このビットは 8 COM モードでソフトウェアが使用するバイアスの種類を選択します。

bit4	説明
"0" を書き込んだ場合	1/3 バイアスを選択停止します。
"1" を書き込んだ場合	1/4 バイアスを選択停止します。

(注意事項) このビットには , 8 COM モードでも 4 COM モードでもアクセスできますが , 4 COM モードではこのビットに値を書き込んでも動作に影響はありません。

[bit3] INV: 反転表示制御ビット
このビットは LCD の反転表示を制御します。

bit3	説明
"0" を書き込んだ場合	LCD の反転表示を禁止します。
"1" を書き込んだ場合	LCD の反転表示を許可します。

[bit2] BK: 表示ブランキング制御ビット
このビットは表示ブランキングを制御します。
表示ブランキングが選択された場合 (BK ＝ 1) , セグメント出力端子は非選択波形 (表示条件とならない波形) を出力します。

bit2	説明
"0" を書き込んだ場合	LCD に LCD コントローラのディスプレイ RAM を表示させます。
"1" を書き込んだ場合	LCD を非表示にします。

[bit1] LCDIEN: LCDC 割込み要求許可ビット
このビットは LCD フレーム周波数に同期した割込み要求の生成を許可または禁止します。

bit1	説明
"0" を書き込んだ場合	割込み要求の生成を禁止します。
"1" を書き込んだ場合	割込み要求の生成を許可します。

[bit0] LCDIF: LCDC 割込み要求フラグビット
このビットは LCD コントローラがフレーム処理を完了したかどうかを示します。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit0	説明
"0" が読み出された場合	LCD コントローラがフレームを処理中であることを示します。
"1" が読み出された場合	LCD コントローラがフレーム処理を完了したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

25.7.3 LCDC 許可レジスタ 1 (LCDCE1)

LCDC許可レジスタ1 (LCDCE1)はポート入力を制御し, ブリンク周期を選択し, LCDコントローラの駆動電源端子を許可します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PICTL	BLSEL	VE4	VE3	VE2	VE1	—	—
属性	R/W	R/W	R/W	R/W	R/W	R/W	—	—
初期値	0	0	1	1	1	1	0	0

■ レジスタ機能

[bit7] PICTL: ポート入力制御ビット

このビットはセグメント / コモン出力端子と兼用する汎用入出力ポートを制御します。

このビットに "0" が書き込まれると , そういう汎用入出力ポートの入出力機能が禁止され , LCD 出力時の貫通電流が抑えられます。

このビットに "1" が書き込まれると , そういう汎用入出力ポートの入出力機能が許可され , それらの端子はセグメント / コモン出力端子ではなく , 汎用入出力ポートとして機能します。

bit7	説明
"0" を書き込んだ場合	セグメント / コモン出力端子と兼用する汎用入出力ポートの入出力機能を禁止します。
"1" を書き込んだ場合	セグメント / コモン出力端子と兼用する汎用入出力ポートの入出力機能を許可します。

(注意事項) リセットでそういう汎用入出力ポートなどの入力機能は無効になるため , リセット発生後 , そういう汎用入出力ポートの入力機能を使用する場合は必ずこのビットに "1" を書き込んでください。そういう汎用入出力ポートは , セグメント / コモン出力端子として使用されるとき , このビットの設定にかかわらず入力機能が禁止されます。

[bit6] BLSEL: ブリンク間隔選択ビット

このビットはブリンク可能時のブリンク間隔を選択します。

ブリンクは , LCDC ブリンキング設定レジスタ 1 (LCDCB1) と LCDC ブリンキング設定レジスタ 2 (LCDCB2) により制御されます。

ブリンク間隔が 1.0 s の場合 , LCD は 0.5 s 点灯 , 0.5 s 消灯を行い , ブリンク間隔が 0.5 s の場合 , LCD は 0.25 s 点灯 , 0.25 s 消灯を行います。

bit6	説明
"0" を書き込んだ場合	0.5 s (サブクロック周波数が 32 kHz の場合) をブリンク間隔として選択します。
"1" を書き込んだ場合	1.0 s (サブクロック周波数が 32 kHz の場合) をブリンク間隔として選択します。

[bit5] VE4: V4 機能選択ビット

このビットは V4 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	V4 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V4 端子を LCD 駆動電源端子として機能させます。

[bit4] VE3: V3 機能選択ビット
このビットは V3 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	V3 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V3 端子を LCD 駆動電源端子として機能させます。

[bit3] VE2: V2 機能選択ビット
このビットは V2 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	V2 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V2 端子を LCD 駆動電源端子として機能させます。

[bit2] VE1: V1 機能選択ビット
このビットは V1 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	V1 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	V1 端子を LCD 駆動電源端子として機能させます。

[bit1:0] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

＜注意事項＞

内部分割抵抗を使用する場合 , V4 端子が汎用入出力ポートとして使用できないため , VE4 ビットに "1" を書き込んで , V4 端子を LCD 駆動電源端子として機能させてください。

25.7.4 LCDC 許可レジスタ 2 (LCDCE2)

LCDC 許可レジスタ 2 (LCDCE2) は COM0 ～ COM7 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] COM7: COM7 機能選択ビット
このビットは COM7 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	COM7 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM7 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit6] COM6: COM6 機能選択ビット
このビットは COM6 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	COM6 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM6 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit5] COM5: COM5 機能選択ビット
このビットは COM5 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	COM5 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM5 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit4] COM4: COM4 機能選択ビット
このビットは COM4 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	COM4 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM4 端子をコモン出力端子として機能させます。

(注意事項) 4 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit3] COM3: COM3 機能選択ビット
このビットは COM3 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	COM3 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM3 端子をコモン出力端子として機能させます。

[bit2] COM2: COM2 機能選択ビット
このビットは COM2 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	COM2 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM2 端子をコモン出力端子として機能させます。

[bit1] COM1: COM1 機能選択ビット
このビットは COM1 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	COM1 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM1 端子をコモン出力端子として機能させます。

[bit0] COM0: COM0 機能選択ビット
このビットは COM0 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	COM0 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	COM0 端子をコモン出力端子として機能させます。

25.7.5 LCDC 許可レジスタ 3 (LCDCE3)

LCDC 許可レジスタ 3 (LCDCE3) は SEG00 ～ SEG07 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG07: SEG07 機能選択ビット
このビットは SEG07 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG07 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG07 端子をセグメント出力端子として機能させます。

[bit6] SEG06: SEG06 機能選択ビット
このビットは SEG06 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG06 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG06 端子をセグメント出力端子として機能させます。

[bit5] SEG05: SEG05 機能選択ビット
このビットは SEG05 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG05 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG05 端子をセグメント出力端子として機能させます。

[bit4] SEG04: SEG04 機能選択ビット
このビットは SEG04 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG04 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG04 端子をセグメント出力端子として機能させます。

[bit3] SEG03: SEG03 機能選択ビット
このビットは SEG03 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG03 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG03 端子をセグメント出力端子として機能させます。

[bit2] SEG02: SEG02 機能選択ビット
このビットは SEG02 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG02 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG02 端子をセグメント出力端子として機能させます。

[bit1] SEG01: SEG01 機能選択ビット
このビットは SEG01 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG01 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG01 端子をセグメント出力端子として機能させます。

[bit0] SEG00: SEG00 機能選択ビット
このビットは SEG00 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG00 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG00 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE3 レジスタはセグメント出力端子 SEG00 ～ SEG07 を制御できます。

25.7.6 LCDC 許可レジスタ 4 (LCDCE4)

LCDC 許可レジスタ 4 (LCDCE4) は SEG08 ～ SEG15 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG15: SEG15 機能選択ビット
このビットは SEG15 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG15 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG15 端子をセグメント出力端子として機能させます。

[bit6] SEG14: SEG14 機能選択ビット
このビットは SEG14 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG14 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG14 端子をセグメント出力端子として機能させます。

[bit5] SEG13: SEG13 機能選択ビット
このビットは SEG13 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG13 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG13 端子をセグメント出力端子として機能させます。

[bit4] SEG12: SEG12 機能選択ビット
このビットは SEG12 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG12 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG12 端子をセグメント出力端子として機能させます。

[bit3] SEG11: SEG11 機能選択ビット
このビットは SEG11 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG11 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG11 端子をセグメント出力端子として機能させます。

[bit2] SEG10: SEG10 機能選択ビット
このビットは SEG10 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG10 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG10 端子をセグメント出力端子として機能させます。

[bit1] SEG09: SEG09 機能選択ビット
このビットは SEG09 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG09 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG09 端子をセグメント出力端子として機能させます。

[bit0] SEG08: SEG08 機能選択ビット
このビットは SEG08 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG08 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG08 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE4 レジスタはセグメント出力端子 SEG08 ～ SEG15 を制御できます。

25.7.7 LCDC 許可レジスタ 5 (LCDCE5)

LCDC 許可レジスタ 5 (LCDCE5) は SEG16 ～ SEG23 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG23: SEG23 機能選択ビット
このビットは SEG23 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG23 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG23 端子をセグメント出力端子として機能させます。

[bit6] SEG22: SEG22 機能選択ビット
このビットは SEG22 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG22 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG22 端子をセグメント出力端子として機能させます。

[bit5] SEG21: SEG21 機能選択ビット
このビットは SEG21 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG21 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG21 端子をセグメント出力端子として機能させます。

[bit4] SEG20: SEG20 機能選択ビット
このビットは SEG20 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG20 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG20 端子をセグメント出力端子として機能させます。

[bit3] SEG19: SEG19 機能選択ビット
このビットは SEG19 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG19 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG19 端子をセグメント出力端子として機能させます。

[bit2] SEG18: SEG18 機能選択ビット
このビットは SEG18 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG18 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG18 端子をセグメント出力端子として機能させます。

[bit1] SEG17: SEG17 機能選択ビット
このビットは SEG17 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG17 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG17 端子をセグメント出力端子として機能させます。

[bit0] SEG16: SEG16 機能選択ビット
このビットは SEG16 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG16 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG16 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE5 レジスタはセグメント出力端子 SEG16 ～ SEG23 を制御できます。

25.7.8 LCDC 許可レジスタ 6 (LCDCE6)

LCDC 許可レジスタ 6 (LCDCE6) は SEG24 ～ SEG31 端子の機能を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] SEG31: SEG31 機能選択ビット
このビットは SEG31 端子の機能を選択します。

bit7	説明
"0" を書き込んだ場合	SEG31 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG31 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit6] SEG30: SEG30 機能選択ビット
このビットは SEG30 端子の機能を選択します。

bit6	説明
"0" を書き込んだ場合	SEG30 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG30 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit5] SEG29: SEG29 機能選択ビット
このビットは SEG29 端子の機能を選択します。

bit5	説明
"0" を書き込んだ場合	SEG29 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG29 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit4] SEG28: SEG28 機能選択ビット
このビットは SEG28 端子の機能を選択します。

bit4	説明
"0" を書き込んだ場合	SEG28 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG28 端子をセグメント出力端子として機能させます。

(注意事項) 8 COM モードでは , このビットに値を書き込んでも動作に影響はありません。

[bit3] SEG27: SEG27 機能選択ビット
このビットは SEG27 端子の機能を選択します。

bit3	説明
"0" を書き込んだ場合	SEG27 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG27 端子をセグメント出力端子として機能させます。

[bit2] SEG26: SEG26 機能選択ビット
このビットは SEG26 端子の機能を選択します。

bit2	説明
"0" を書き込んだ場合	SEG26 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG26 端子をセグメント出力端子として機能させます。

[bit1] SEG25: SEG25 機能選択ビット
このビットは SEG25 端子の機能を選択します。

bit1	説明
"0" を書き込んだ場合	SEG25 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG25 端子をセグメント出力端子として機能させます。

[bit0] SEG24: SEG24 機能選択ビット
このビットは SEG24 端子の機能を選択します。

bit0	説明
"0" を書き込んだ場合	SEG24 端子を汎用入出力ポートとして機能させます。
"1" を書き込んだ場合	SEG24 端子をセグメント出力端子として機能させます。

＜注意事項＞

LCDCE1 レジスタの PICTL ビットが "1" に設定されている場合のみ , LCDCE6 レジスタはセグメント出力端子 SEG24 ～ SEG31 を制御できます。

25.7.9 LCDC ブリンキング設定レジスタ 1 (LCDCB1)

LCDC ブリンキング設定レジスタ 1 (LCDCB1) はブリンキング機能を許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BLD7	BLD6	BLD5	BLD4	BLD3	BLD2	BLD1	BLD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能 (8 COM モード)

[bit7] BLD7: S0C7 ブリンキング設定ビット
このビットは SEG00 と COM7 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG00 と COM7 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM7 にあるドットのブリンキングを許可します。

[bit6] BLD6: S0C6 ブリンキング設定ビット
このビットは SEG00 と COM6 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG00 と COM6 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM6 にあるドットのブリンキングを許可します。

[bit5] BLD5: S0C5 ブリンキング設定ビット
このビットは SEG00 と COM5 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG00 と COM5 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM5 にあるドットのブリンキングを許可します。

[bit4] BLD4: S0C4 ブリンキング設定ビット
このビットは SEG00 と COM4 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG00 と COM4 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM4 にあるドットのブリンキングを許可します。

[bit3] BLD3: S0C3 ブリンキング設定ビット
このビットは SEG00 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD2: S0C2 ブリンキング設定ビット
このビットは SEG00 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD1: S0C1 ブリンキング設定ビット
このビットは SEG00 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD0: S0C0 ブリンキング設定ビット
このビットは SEG00 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを許可します。

■ レジスタ機能 (4 COM モード)

[bit7] BLD7: S1C3 ブリンキング設定ビット
このビットは SEG01 と COM3 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを許可します。

[bit6] BLD6: S1C2 ブリンキング設定ビット
このビットは SEG01 と COM2 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを許可します。

[bit5] BLD5: S1C1 ブリンキング設定ビット
このビットは SEG01 と COM1 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを許可します。

[bit4] BLD4: S1C0 ブリンキング設定ビット
このビットは SEG01 と COM0 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを許可します。

[bit3] BLD3: S0C3 ブリンキング設定ビット
このビットは SEG00 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD2: S0C2 ブリンキング設定ビット
このビットは SEG00 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD1: S0C1 ブリンキング設定ビット
このビットは SEG00 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD0: S0C0 ブリンキング設定ビット
このビットは SEG00 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG00 と COM0 にあるドットのブリンキングを許可します。

＜注意事項＞

- LCDCE1 レジスタの BLSEL ビットでブリンキング間隔を選択してください。
- ブリンキングが許可されたセグメントはすべて同期してブリンキングします。
- ブリンキング設定ビットに対応するディスプレイ RAM のビットが "1" のときでも , そのブリンキング設定ビットの設定が有効のままです。

25.7.10 LCDC ブリンキング設定レジスタ 2 (LCDCB2)

LCDC ブリンキング設定レジスタ 2 (LCDCB2) はブリンキング機能を許可または禁止します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD9	BLD8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能 (8 COM モード)

[bit7] BLD15: S1C7 ブリンキング設定ビット
このビットは SEG01 と COM7 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG01 と COM7 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM7 にあるドットのブリンキングを許可します。

[bit6] BLD14: S1C6 ブリンキング設定ビット
このビットは SEG01 と COM6 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG01 と COM6 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM6 にあるドットのブリンキングを許可します。

[bit5] BLD13: S1C5 ブリンキング設定ビット
このビットは SEG01 と COM5 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG01 と COM5 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM5 にあるドットのブリンキングを許可します。

[bit4] BLD12: S1C4 ブリンキング設定ビット
このビットは SEG01 と COM4 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG01 と COM4 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM4 にあるドットのブリンキングを許可します。

[bit3] BLD11: S1C3 ブリンキング設定ビット
このビットは SEG01 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD10: S1C2 ブリンキング設定ビット
このビットは SEG01 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD9: S1C1 ブリンキング設定ビット
このビットは SEG01 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD8: S1C0 ブリンキング設定ビット
このビットは SEG01 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG01 と COM0 にあるドットのブリンキングを許可します。

■ レジスタ機能 (4 COM モード)

[bit7] BLD15: S3C3 ブリンキング設定ビット
このビットは SEG03 と COM3 にあるドットのブリンキングを許可または禁止します。

bit7	説明
"0" を書き込んだ場合	SEG03 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM3 にあるドットのブリンキングを許可します。

[bit6] BLD14: S3C2 ブリンキング設定ビット
このビットは SEG03 と COM2 にあるドットのブリンキングを許可または禁止します。

bit6	説明
"0" を書き込んだ場合	SEG03 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM2 にあるドットのブリンキングを許可します。

[bit5] BLD13: S3C1 ブリンキング設定ビット
このビットは SEG03 と COM1 にあるドットのブリンキングを許可または禁止します。

bit5	説明
"0" を書き込んだ場合	SEG03 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM1 にあるドットのブリンキングを許可します。

[bit4] BLD12: S3C0 ブリンキング設定ビット
このビットは SEG03 と COM0 にあるドットのブリンキングを許可または禁止します。

bit4	説明
"0" を書き込んだ場合	SEG03 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG03 と COM0 にあるドットのブリンキングを許可します。

[bit3] BLD11: S2C3 ブリンキング設定ビット
このビットは SEG02 と COM3 にあるドットのブリンキングを許可または禁止します。

bit3	説明
"0" を書き込んだ場合	SEG02 と COM3 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM3 にあるドットのブリンキングを許可します。

[bit2] BLD10: S2C2 ブリンキング設定ビット
このビットは SEG02 と COM2 にあるドットのブリンキングを許可または禁止します。

bit2	説明
"0" を書き込んだ場合	SEG02 と COM2 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM2 にあるドットのブリンキングを許可します。

[bit1] BLD9: S2C1 ブリンキング設定ビット
このビットは SEG02 と COM1 にあるドットのブリンキングを許可または禁止します。

bit1	説明
"0" を書き込んだ場合	SEG02 と COM1 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM1 にあるドットのブリンキングを許可します。

[bit0] BLD8: S2C0 ブリンキング設定ビット
このビットは SEG02 と COM0 にあるドットのブリンキングを許可または禁止します。

bit0	説明
"0" を書き込んだ場合	SEG02 と COM0 にあるドットのブリンキングを禁止します。
"1" を書き込んだ場合	SEG02 と COM0 にあるドットのブリンキングを許可します。

＜注意事項＞

- LCDCE1 レジスタの BLSEL ビットでブリンキング間隔を選択してください。
- ブリンキングが許可されたセグメントはすべて同期してブリンキングします。
- ブリンキング設定ビットに対応するディスプレイ RAM のビットが "1" のときでも , そのブリンキング設定ビットの設定が有効のままです。

25.8 使用上の注意

LCD コントローラ使用上の注意を示します。

- LCD 端子を汎用入出力ポートとして使用する場合 , その端子に対応する , LCDC 許可レジスタ (LCDCE1 ～ LCDCE6) のコモン / セグメント選択ビットを "0" に , LCDC 許可レジスタ1のポート入力制御ビット(LCDCE1:PICTL)を"1"に設定してください。
- LCD 表示動作中に , 選択したフレーム周期発生用クロックが停止すると , 交流波形生成回路が停止するため液晶素子に直流電圧が印加されます。この場合あらかじめ LCD 表示動作を停止しておく必要があります。メインクロック (タイムベースタイマ) またはサブクロック (時計プリスケーラ) が停止する条件はクロックモードとスタンバイモードの選択によります。また , フレーム周期発生用クロック選択ビット (LCDCC1:CSS) の設定に従い , タイムベースタイマまたは時計プリスケーラがクリアされるとフレーム周期が影響を受けます。
- ディスプレイ RAM のデータを LCD に出力する動作は CPU がディスプレイ RAM にアクセスする動作とは独立したタイミングで行われます。ディスプレイ RAM の書換え間隔が設定した LCD 周期より短い場合は, フレームの表示パターンが異なるため , ちらつきが発生することがあります。

第 26 章
シリアル書込み接続例

シリアル書込み接続例を示します。

26.1 シリアル書込み接続の基本構成
26.2 シリアル書込み接続例

26.1 シリアル書込み接続の基本構成

MB95710L/770L シリーズは , フラッシュメモリのシリアルオンボード書込みをサポートしています。本節では , 構成について説明します。

■ シリアル書込み接続の基本構成

シリアルオンボード書込みには , Spansion Inc. 製の BGM アダプタ MB2146-07-E または MB2146-08-E が使用されます。

図 26.1-1 に , シリアル書込み接続の基本構成を示します。

図 26.1-1 シリアル書込み接続の基本構成

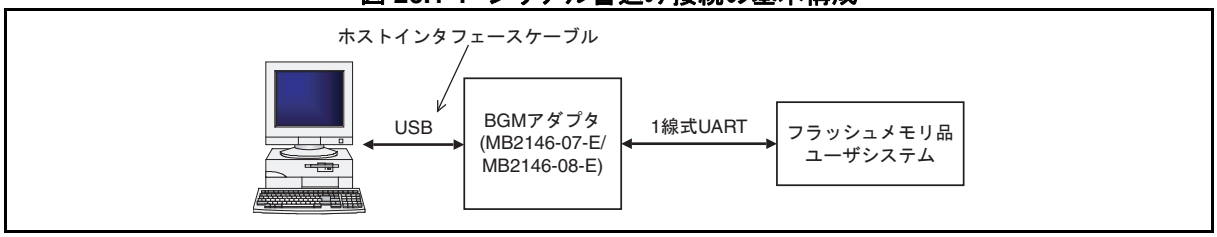


表 26.1-1 標準シリアルオンボード書込みに使用する端子

端子	機能	説明
V_{CC}	電源電圧供給端子	書込み電圧 (1.8 V ～ 5.5 V) は , ユーザシステムから供給されます。
V_{SS}	GND 端子	フラッシュマイコンプログラマの GND と兼用となっています。
C	バイパスコンデンサ接続端子	バイパスコンデンサに接続してから , グランドに接続してください。
$\overline{RST}$	リセット	$\overline{RST}$ 端子は , V_{CC} に設定 (プルアップ) されます。
DBG	1 線式 UART 設定シリアル書込みモード	DBG 端子は , プログラマとの 1 線式 UART 通信を提供します。 特定のタイミングで DBG 端子と V_{CC} 端子に電圧が供給されると , シリアル書込みモードが設定されます。 (そのタイミングについては , 図 26.2-1 を参照してください。)

● UART クロック

UART クロックは , 内部 CR クロックにより供給されます。

26.2 シリアル書込み接続例

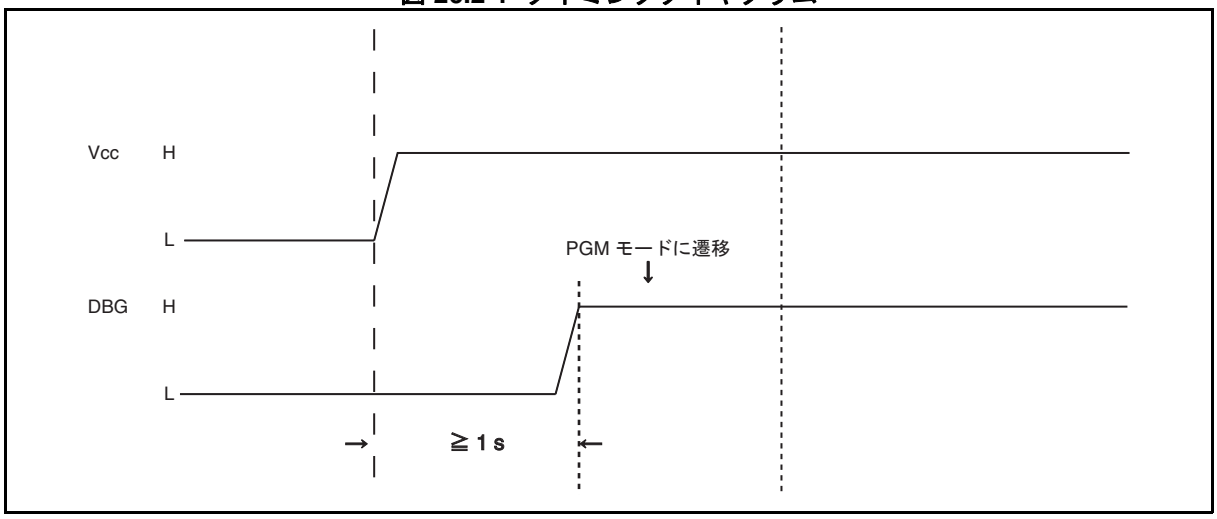
MCU は , 次のタイミングで PGM モードに遷移します。

■ MCU の PGM モードへの遷移

MCU は , 次のタイミングで PGM モードに遷移します。

シリアルプログラマは , V_{CC} 入力に従って , DBG 端子を制御します。

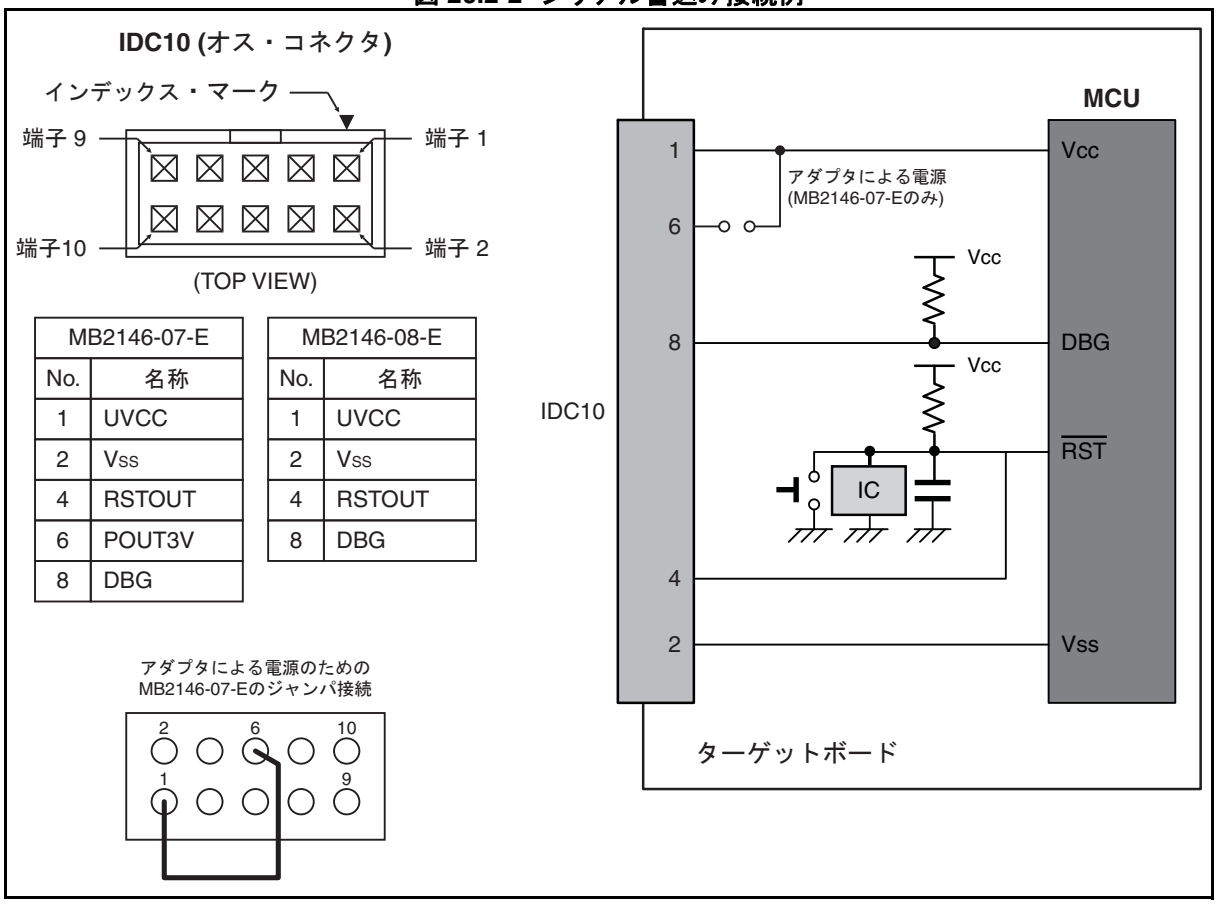
図 26.2-1 タイミングダイヤグラム



■ シリアル書込み接続例

図 26.2-2 に , シリアル書込みのための接続例を示します。

図 26.2-2 シリアル書込み接続例



プルアップ抵抗値は, 使用するツールや配線長に依存するため, ツールのドキュメントに従ってプルアップ抵抗を選択してください。

Spansion Inc. 製の BGM アダプタ MB2146-07-E を使用する場合 , 約 2 kΩ ～ 10 kΩ のプルアップ抵抗を使用することを推奨します。

第 27 章
デュアルオペレーション フラッシュメモリ

160/288/480 K ビットデュアルオペレーションフラッシュメモリの機能と動作について説明します。

27.1 概要
27.2 セクタ / バンク構成
27.3 フラッシュメモリ自動アルゴリズムの起動方法
27.4 自動アルゴリズム実行状態の確認
27.5 フラッシュメモリの書込み / 消去
27.6 動作説明
27.7 フラッシュセキュリティ
27.8 レジスタ
27.9 使用上の注意

27.1 概要

デュアルオペレーションフラッシュメモリは , 160 K ビットフラッシュメモリでは CPU メモリマップの 0x1000 ～ 0x1FFF および 0xC000 ～ 0xFFFF に , 288 K ビットフラッシュメモリでは CPU メモリマップの 0x1000 ～ 0x1FFF および 0x8000 ～ 0xFFFF に , 480 K ビットフラッシュメモリでは CPU メモリマップの 0x1000 ～ 0xFFFF に配置されています。
デュアルオペレーションフラッシュは , 上位バンクと下位バンク * で構成されており , 従来のフラッシュ品では行えなかったバンクごとの消去 / 書込みと読出しの同時実行が可能です。
***: MB95F718E/F718L/F778E/F778L**
上位バンク : 32 K バイト × 1 + 24 K バイト × 1, 下位バンク : 2 K バイト × 2
MB95F716E/F716L/F776E/F776L
上位バンク : 32 K バイト × 1, 下位バンク : 2 K バイト × 2
MB95F714E/F714L/F774E/F774L
上位バンク : 16 K バイト × 1, 下位バンク : 2 K バイト × 2

■ デュアルオペレーションフラッシュメモリの概要

フラッシュメモリへのデータの書込み / 消去の方法には , 以下の方法があります。

- 専用シリアルプログラマによる書込み / 消去
- プログラム実行による書込み / 消去

プログラム実行によるフラッシュメモリへのデータの書込み / 消去は , フラッシュメモリインタフェース回路を介して CPU からの命令により実行できるため , デバイスが回路基板に実装された状態でプログラムコードやデータを効率的に書き換えられます。また , セクタ構成も最小 2K バイトと小セクタで , プログラム / データ領域として扱いやすい構成になっています。

データの書換え方法は , RAM 上におけるプログラム実行またはデュアルオペレーションにおけるフラッシュメモリ上におけるプログラム実行があります。また , 異なるバンク (上位バンク / 下位バンク) における消去 / 書込みと読出しの同時実行が可能です。

デュアルオペレーションフラッシュでは , 次の組合せが可能です。

上位バンク	下位バンク
読出し	
読出し	書込み / セクタ消去
書込み / セクタ消去	読出し
チップ消去	
セクタ消去 (消去一時中断)	書込み
書込み	セクタ消去 (消去一時中断)

■ デュアルオペレーションフラッシュメモリの特長

- セクタ構成
  - 20 K バイト (16 K バイト + 2 K バイト × 2)
  - 36 K バイト (32 K バイト + 2 K バイト × 2)
  - 60 K バイト (32 K バイト + 24 K バイト + 2 K バイト × 2)
- 2 バンク構成 , 書込み / 消去動作と読込み動作を同時に行える
- 自動アルゴリズム (Embedded Algorithm)
- 消去一時停止 / 消去再開機能を搭載
- データポーリングフラグまたはトグルビットによる書込み / 消去完了の検出
- CPU 割込みによる書込み / 消去完了の検出
- セクタごとの消去が可能 (セクタ組合せ自由)
- JEDEC 標準規格コマンドとの互換性
- 書込み / 消去回数 (最小) : 100000 回
- フラッシュ読込みサイクルタイム (最小) : 1 マシンサイクル

■ フラッシュメモリの書込み / 消去

- フラッシュメモリは,同一バンクの書込みと読出しを同時に行うことはできません。
- フラッシュメモリバンクのデータを書込み/消去するには,ほかのバンクまたはRAM に書込み / 読込みプログラムをコピーしてから , そのプログラムを実行してください。
- デュアルオペレーションフラッシュメモリにより , フラッシュメモリ上におけるプログラム実行および割込みを用いた書込み制御が可能です。また , 書込みの際にプログラムを RAM 上へダウンロードして実行する必要もなく , ダウンロードの時間削減および RAM データの電源瞬断のケアも不要です。

27.2 セクタ / バンク構成

デュアルオペレーションフラッシュメモリのセクタ / バンク構成を示します。

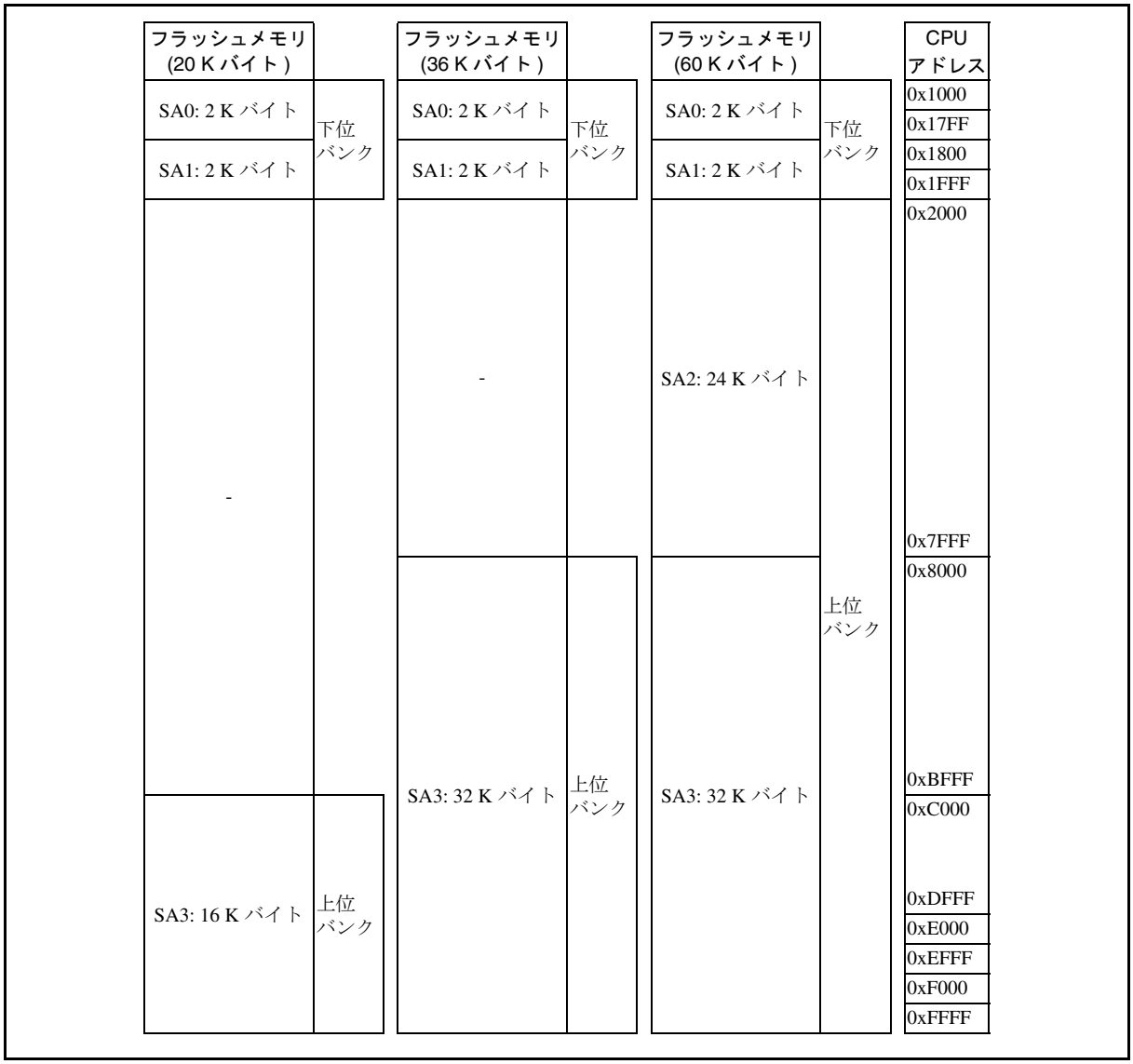
■ セクタ / バンク構成

図 27.2-1 に , デュアルオペレーションフラッシュメモリのセクタ / バンク構成を示します。図中アドレスは , 各セクタの上位アドレスと下位アドレスを示します。

- バンク構成

フラッシュメモリの下位バンクは SA0 と SA1 で , 上位バンクは SA2 と SA3 です。

図 27.2-1 デュアルオペレーションフラッシュメモリのセクタ / バンク構成



27.3 フラッシュメモリ自動アルゴリズムの起動方法

フラッシュメモリ自動アルゴリズムを起動するコマンドには , 読出し / リセット , 書込み , チップ消去 , セクタ消去の 4 種類があります。セクタ消去コマンドで , セクタ消去の停止 / 再開ができます。

■ コマンドシーケンス表

表 27.3-1 に, フラッシュメモリの書込み/消去時に使用するコマンドの一覧を示します。

表 27.3-1 コマンドシーケンス

コマンドシーケンス	バス書込みサイクル	最初のバス書込みサイクル		2 回目のバス書込みサイクル		3 回目のバス書込みサイクル		4 回目のバス書込みサイクル		5 回目のバス書込みサイクル		6 回目のバス書込みサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し / リセット	1	0xUXXX	0xF0	-	-	-	-	-	-	-	-	-	-
書込み	4	0xUAAA	0xAA	0xU554	0x55	0xUAAA	0xA0	PA	PD	-	-	-	-
チップ消去	6	0xUAAA	0xAA	0xU554	0x55	0xUAAA	0x80	0xUAAA	0xAA	0xU554	0x55	0xUAAA	0x10
セクタ消去	6	0xUAAA	0xAA	0xU554	0x55	0xUAAA	0x80	0xUAAA	0xAA	0xU554	0x55	SA	0x30
アンロックバイパスエントリ	3	0xUAAA	0xAA	0xU554	0x55	0xUAAA	0x20	-	-	-	-	-	-
アンロックバイパス書込み	2	0xUXXX	0xA0	PA	PD	-	-	-	-	-	-	-	-
アンロックバイパスリセット	2	0xUXXX	0x90	0xUXXX	any	-	-	-	-	-	-	-	-
セクタ消去一時停止		アドレス "0xUXXX" にデータ "0xB0" を入力することによって , セクタ消去を一時停止します。											
セクタ消去再開		アドレス "0xUXXX" にデータ "0x30" を入力することによって , セクタ消去一時停止後 , 消去を再開します。											
消去セクタ追加		SA にデータ "0x30" を入力することによって , 新しい消去セクタを追加します。											

PA : 書込みアドレス
SA : セクタアドレス (セクタ内の任意のアドレスを指定する。)
PD : 書込みデータ
U : 上位 4 ビットは , 書込みが許可されているセクタ内の任意のアドレスです。
X : 任意の値
any : 任意の書込みデータ

＜注意事項＞

- 表 27.3-1 にあるアドレスは , CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数で表記しています。ただし , "X" は任意の値です。
- 表 27.3-1 のアドレスにおける "U" は任意の値ではなく , アドレスの上位 4 ビット (bit15 ～ bit12) を表します。
- すべてのセクタへのデータ書込みが許可されている場合のみ , チップ消去コマンドが受け入れられます。フラッシュメモリセクタ書込み制御レジスタ 0(SWRE0) のどのセクタのビットであっても , "0" に設定されている (セクタへのデータ書込みが禁止されている) 場合は , チップ消去コマンドは無視されます。

■ コマンドの発行に関する注意事項

コマンドシーケンス表の第一コマンドを発行する前に ,必要なセクタへのデータ書込みを許可してください。

27.4 自動アルゴリズム実行状態の確認

フラッシュメモリは , 自動アルゴリズムを用いて書込み / 消去のフローを実行するため , フラッシュメモリ内部の動作状態をハードウェアシーケンスフラグによって確認できます。

■ ハードウェアシーケンスフラグ

● ハードウェアシーケンスフラグの概要

ハードウェアシーケンスフラグは , 以下の 5 ビットの出力で構成されます。

- データポーリングフラグ (DQ7)
- トグルビットフラグ (DQ6)
- タイミングリミットフラグ (DQ5)
- セクタ消去タイマフラグ (DQ3)
- トグルビット 2 フラグ (DQ2)

ハードウェアシーケンスフラグは , 書込みコマンド , チップ消去コマンド , あるいはセクタ消去コマンドが終了したかどうか , 消去コードが書き込まれたかおよび読出されているセクタが消去セクタであるか否かを示します。

ハードウェアシーケンスフラグの値は , コマンドシーケンス設定後にフラッシュメモリ内の対象セクタのアドレスにリードアクセスすることにより確認できます。ハードウェアシーケンスフラグは , コマンドが発行されたバンクにのみ出力されることに注意してください。

表 27.4-1 に , ハードウェアシーケンスフラグのビット割当てを示します。

表 27.4-1 ハードウェアシーケンスフラグのビット割当て

ビット No.	7	6	5	4	3	2	1	0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	DQ3	DQ2	-	-

- 書込み / チップ消去 , あるいはセクタ消去コマンドが実行中であるかまたは完了しているかを判断するためには , 対応するハードウェアシーケンスフラグまたはフラッシュメモリステータスレジスタのフラッシュメモリ書込み / 消去ステータスビット (FSR:RDY) を確認します。書込みまたはチップ消去の完了後 , フラッシュメモリは読出し / リセット状態に戻ります。
- 書込み / チップ消去プログラムを作成する際には , DQ2, DQ3, DQ5, DQ6 および DQ7 フラグにより書込み / チップ消去が完了していることを確認してから , データを読み出すように , プログラムを作成してください。
- ハードウェアシーケンスフラグは , 2 回目セクタ消去コード書込みおよびその後に実行されるこれらが有効であるか否かを確認するために使用できます。

● ハードウェアシーケンスフラグの説明

表 27.4-2 に , ハードウェアシーケンスフラグの機能を示します。

表 27.4-2 ハードウェアシーケンスフラグの機能一覧

状態		DQ7	DQ6	DQ5	DQ3	DQ2
通常動作時の状態遷移	書込み → 書込み完了 (書込みアドレス指定時)	$\overline{DQ7}$ → DATA: 7	Toggle → DATA: 6	0 → DATA: 5	0 → DATA: 3	0 → DATA: 2
	チップ / セクタ消去 → 消去完了	0 → 1	Toggle →1	0 → 1	1	Toggle →1
	セクタ消去待ち → 消去開始	0	Toggle	0	0 → 1	Toggle
	消去 → セクタ消去一時停止 (セクタ消去実行中)	0	Toggle →0	0	1	Toggle
	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	0	0 → Toggle	0	1	Toggle
	セクタ消去一時停止中 (セクタ消去停止)	DATA: 7	DATA: 6	DATA: 5	DATA: 3	DATA: 2
異常動作	書込み	$\overline{DQ7}$	Toggle	1	0	0
	チップ / セクタ消去	0	Toggle	1	1	Toggle

27.4.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は , 自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるハードウェアシーケンスフラグです。

■ データポーリングフラグ (DQ7)

表 27.4-3 と表 27.4-4 に , 正常動作時と異常動作時のそれぞれのデータポーリングフラグの状態遷移を示します。

表 27.4-3 データポーリングフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み → 書込み完了	チップ / セクタ消去 → 消去完了	セクタ消去待ち → 消去開始	消去 → セクタ消去一時停止 (セクタ消去実行中)	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	セクタ消去一時停止中 (セクタ消去停止)
DQ7	$\overline{DQ7}$ → DATA: 7	0 → 1	0	0	0	DATA: 7

表 27.4-4 データポーリングフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ / セクタ消去
DQ7	$\overline{DQ7}$	0

- **書込みの場合**

  自動書込みアルゴリズム実行中にリードアクセスを行った場合 , フラッシュメモリは最後に書き込まれたデータの bit7 を反転させた値を DQ7 に出力します。

  自動書込みアルゴリズム終了時にリードアクセスを行った場合 , フラッシュメモリはリードアクセスを行ったアドレスの読出し値の bit7 を DQ7 に出力します。

- **チップ / セクタ消去の場合**

  チップ / セクタ消去の自動アルゴリズム実行中に現在消去しているセクタをリードアクセスすると , フラッシュメモリの bit7 は "0" を出力します。チップ / セクタ消去が終了すると , フラッシュメモリの bit7 は "1" を出力します。

- **セクタ消去一時停止の場合**

  - セクタ消去一時停止時にリードアクセスすると , フラッシュメモリはアドレスの指し示す番地が消去中のセクタであれば "0" を DQ7 に出力し , 消去中のセクタでなければアドレスの指し示す番地の読出し値の bit7 (DATA: 7) を出力します。
  - トグルビットフラグ (DQ6) とともにデータポーリングフラグ (DQ7) を参照することによって , 現在セクタ一時停止状態であるか , どのセクタが消去中であるかの判定が可能です。

＜注意事項＞

自動アルゴリズムを起動した場合は , 指定したアドレスへのリードアクセスは無視されます。データの読出しは , データポーリングフラグ (DQ7) が "1" に設定された後 , 可能になります。自動アルゴリズム終了後のデータの読出しは , データポーリング終了を確認したリードアクセスの後に行ってください。

27.4.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) は , 自動アルゴリズム実行が進行中 , もしくは終了状態であることをトグルビット機能によって知らせるハードウェアシーケンスフラグです。

■ トグルビットフラグ (DQ6)

表 27.4-5 と表 27.4-6 に , 正常動作時と異常動作時のそれぞれのトグルビットフラグの状態遷移を示します。

表 27.4-5 トグルビットフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み → 書込み完了	チップ / セクタ消去 → 消去完了	セクタ消去待ち → 消去開始	消去 → セクタ消去一時停止 (セクタ消去実行中)	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	セクタ消去一時停止中 (セクタ消去停止)
DQ6	Toggle → DATA: 6	Toggle → 1	Toggle	Toggle → 0	0 → Toggle	DATA: 6

表 27.4-6 トグルビットフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ / セクタ消去
DQ6	Toggle	Toggle

- **書込みとチップ / セクタ消去の場合**
  - 自動書込みアルゴリズムまたはチップ / セクタ消去の自動アルゴリズムを実行中にリードアクセスを連続して行った場合 , フラッシュメモリは , 読出しを行うごとに "1" と "0" を交互にトグル出力します。
  - 自動書込みアルゴリズムまたはチップ / セクタ消去の自動アルゴリズムが終了した後にリードアクセスを連続して行った場合 , フラッシュメモリは読出しを行うごとにリードアドレスの読出し値の bit6 (DATA: 6) を出力します。

- **セクタ消去一時停止時**

  セクタ消去一時停止時にリードアクセスすると,フラッシュメモリはアドレスの指し示す番地が消去中のセクタに属する場合には , "0" を出力します。消去中のセクタに属さない場合には , アドレスの指し示す番地の読出し値の bit6 (DATA: 6) を出力します。

＜注意事項＞

デュアルオペレーションフラッシュメモリ (フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する) を用いる場合 , トグルビットフラグ (DQ6) を使用して書込み / 消去中の状態を確認することができません。「27.9 使用上の注意」記載の注意事項を参照の上 , プログラムを作成してください。

なお , フラッシュメモリ書込み制御プログラムを RAM 上で実行する場合は , 本注意事項は該当しません。

27.4.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は , 自動アルゴリズムの実行時間がフラッシュメモリ内の規定時間 (書込み / 消去に要する時間) を超えてしまったことを示すハードウェアシーケンスフラグです。

■ タイミングリミット超過フラグ (DQ5)

表 27.4-7 と表 27.4-8 に , 正常動作時と異常動作時のフラグそれぞれのタイミングリミット超過フラグの状態遷移を示します。

表 27.4-7 タイミングリミット超過フラグの状態遷移 (正常動作時)

動作状態	書込み → 書込み完了	チップ / セクタ消去 → 消去完了	セクタ消去待ち → 消去開始	消去 → セクタ消去一時停止 (セクタ消去実行中)	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	セクタ消去一時停止中 (セクタ消去停止)
DQ5	0 → DATA: 5	0 → 1	0	0	0	DATA: 5

表 27.4-8 タイミングリミット超過フラグの状態遷移 (異常動作時)

動作状態	書込み	チップ / セクタ消去
DQ5	1	1

● 書込みとチップ / セクタ消去時について

書込みまたはチップ / セクタ消去の自動アルゴリズム起動後にこのフラグにリードアクセスを行うと , 自動アルゴリズム実行時間が , 規定の時間 (書込み / 消去に要する時間) 以内であれば "0" が , また超えている場合は "1" が出力されます。

タイミングリミット超過フラグ (DQ5) は , 自動アルゴリズムが実行中か終了しているかにかかわらず , 書込み / 消去の成功または失敗を確認するために使用できます。タイミングリミット超過フラグ (DQ5) が "1" で , フラッシュメモリステータスレジスタ (FSR) のフラッシュメモリ書込み / 消去ステータスビット (RDY) が "0" ならば , 書込みは失敗したと判断できます。

例えば , "0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとすると , フラッシュメモリはロックされます。この場合 , 自動アルゴリズムは終了することができず , その実行時間がフラッシュメモリ内で設定された規定時間を超えてしまうため , タイミングリミット超過フラグ (DQ5) は "1" を出力します。DQ5 が "1" であることは , フラッシュメモリの不良ではなく , それが正しく使用されなかったことを示します。DQ5 が "1" を出力する場合は , リセットコマンドを実行してください。

27.4.4 セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグ (DQ3) は , セクタ消去コマンド起動後にセクタ消去待ち時間中であるか否かを知らせるフラグです。

■ セクタ消去タイマフラグ (DQ3)

表 27.4-9 と表 27.4-10 に , 正常動作時と異常動作時のフラグそれぞれのセクタ消去タイマフラグの状態遷移を示します。

表 27.4-9 セクタ消去タイマフラグの状態遷移 (正常動作時)

動作状態	書込み → 書込み完了	チップ / セクタ消去 → 消去完了	セクタ消去待ち → 消去開始	消去 → セクタ消去一時停止 (セクタ消去実行中)	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	セクタ消去一時停止中 (セクタ消去停止)
DQ3	0 → DATA: 3	1	0 → 1	1	1	DATA: 3

表 27.4-10 セクタ消去タイマフラグの状態遷移 (異常動作時)

動作状態	書込み	チップ / セクタ消去
DQ3	0	1

● **セクタ消去動作時**

- セクタ消去コマンド起動後にリードアクセスが行われると , セクタ消去タイマフラグ (DQ3) はセクタ消去待ち時間中の場合には "0" を , セクタ消去待ち時間を超えてしまっている場合には "1" を出力します。
- データポーリング機能やトグルビット機能によって消去アルゴリズムが実行中を示している場合に (DQ7 = 0, DQ6 はトグル出力を示す), フラッシュメモリはセクタ消去を行います。続けて設定されるコマンドがセクタ消去一時停止コマンドでなければ , 消去が終了されるまでそのコマンドは無視されます。
- このフラグが "0" の場合には , フラッシュメモリはセクタ消去コマンドを受付け可能です。フラッシュメモリへのセクタ消去コマンドの書込みに先立って , セクタ消去タイマフラグ (DQ3) が "0" であることを確かめてください。フラグが "1" であった場合には , フラッシュメモリはセクタ消去コマンドの一時停止を受け付けないことがあります。

● **セクタ消去一時停止時**

セクタ消去一時停止中にリードアクセスが行われると,フラッシュメモリはアドレスの示す番地が消去中のセクタに属する場合には "1" を出力します。消去中のセクタに属さない場合にはアドレスの示す番地の読出し値の bit3 (DATA: 3) を出力します。

27.4.5 トグルビット 2 フラグ (DQ2)

トグルビット 2 フラグ (DQ2) は , セクタ消去一時停止状態で読出しアドレスが消去対象セクタであるか否かおよび出力データがトグルされたかどうかをトグルビット機能によって知らせるハードウェアシーケンスフラグです

■ トグルビット 2 フラグ (DQ2)

表 27.4-11 と表 27.4-12 に , 正常動作時と異常動作時のそれぞれのトグルビット 2 フラグの状態遷移を示します。

表 27.4-11 トグルビット 2 フラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み → 書込み完了	チップ / セクタ消去 → 消去完了	セクタ消去待ち → 消去開始	消去 → セクタ消去一時停止 (セクタ消去実行中)	セクタ消去一時停止 → 消去再開 (セクタ消去実行中)	セクタ消去一時停止中 (セクタ消去停止)
DQ2	0 → DATA: 2	Toggle → 1	Toggle	Toggle	Toggle	DATA: 2

表 27.4-12 トグルビット 2 フラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ / セクタ消去
DQ2	0	Toggle

● **チップ / セクタ消去の場合**

- チップ / セクタ消去の自動アルゴリズムを実行中に消去対象セクタにリードアクセスを連続して行った場合 , フラッシュメモリはリードアクセスを行うごとに "1" と "0" を交互にトグル出力します。
- チップ / セクタ消去の自動アルゴリズムを実行中に消去対象ではないセクタにリードアクセスを連続して行った場合 , フラッシュメモリはリードアクセスを行うごとにリードアドレスの読出し値の bit2 (DATA: 2) を出力します。

● **セクタ消去一時停止時**

- セクタ消去一時停止時に消去対象セクタにリードアクセスを連続して行った場合 , フラッシュメモリはリードアクセスを行うごとに "1" と "0" を交互にトグル出力します。
- セクタ消去一時停止時に消去対象ではないセクタにリードアクセスを連続して行った場合 , フラッシュメモリはリードアクセスを行うごとにリードアドレスの読出し値の bit2 (DATA: 2) を出力します。

27.5 フラッシュメモリの書込み / 消去

自動アルゴリズムを起動する各コマンドを入力し , フラッシュメモリに読出し / リセット , 書込み , チップ消去 , セクタ消去 , セクタ消去一時停止 , セクタ消去再開のそれぞれの動作を行う手順を説明します。

■ フラッシュメモリの書込み / 消去の詳細説明

自動アルゴリズムは , 読出し / リセット , 書込み , チップ消去 , セクタ消去 , セクタ消去一時停止 , セクタ消去再開のコマンドシーケンスを CPU からフラッシュメモリに書き込むことにより起動できます。CPU からフラッシュメモリへのコマンドシーケンスのコマンドの書込みは , 必ず連続して行ってください。自動アルゴリズムの終了は , データポーリング機能により確認できます。自動アルゴリズムの正常終了後は , フラッシュメモリは読出し / リセット状態に戻ります。

動作について , 以下の順序で説明します。

- 読出し / リセット状態への遷移
- データの書込み
- 全データの消去 (チップ消去)
- 任意のデータの消去 (セクタ消去)
- セクタ消去の一時停止
- セクタ消去の再開
- アンロックバイパス書込み

27.5.1 フラッシュメモリの読出し / リセット状態への遷移

読出し / リセットコマンドを入力して , フラッシュメモリを読出し / リセット状態にする手順について説明します。

■ フラッシュメモリの読出し / リセット状態への遷移

- フラッシュメモリを読出し / リセット状態にするには , コマンドシーケンス表の読出し / リセットコマンドを CPU からフラッシュメモリに送信してください。
- 読出し / リセット状態はフラッシュメモリの初期状態であるため , フラッシュメモリは電源投入後またはコマンドの正常終了後は , 必ず読出し / リセット状態となります。読出し / リセット状態は , コマンドの入力待ち状態でもあります。
- 読出し / リセット状態では , フラッシュメモリへのリードアクセスによって , そのデータを読み出せます。
- フラッシュメモリにリードアクセスする場合は , 読出し / リセットコマンドは必要ありません。コマンドが正常に終了しなかった場合は , 自動アルゴリズムを初期化するために , 読出し / リセットコマンドを使用してください。

27.5.2 フラッシュメモリへのデータ書込み

書込みコマンドを入力して , フラッシュメモリにデータを書き込む手順について説明します。

■ フラッシュメモリへのデータ書込み

- フラッシュメモリにデータを書き込むための自動アルゴリズムを起動するには , コマンドシーケンス表の書込みコマンドを連続的に CPU からフラッシュメモリに送信してください。
- 4 サイクル目に対象のアドレスへデータを書き込むと , 自動アルゴリズムが起動され自動書込みを開始します。

● アドレッシング方式

書込みは , どのようなアドレスの順番でも , セクタの境界を越えても行えます。1 回の書込みコマンドによって書き込むことのできるデータは 1 バイトのみです。

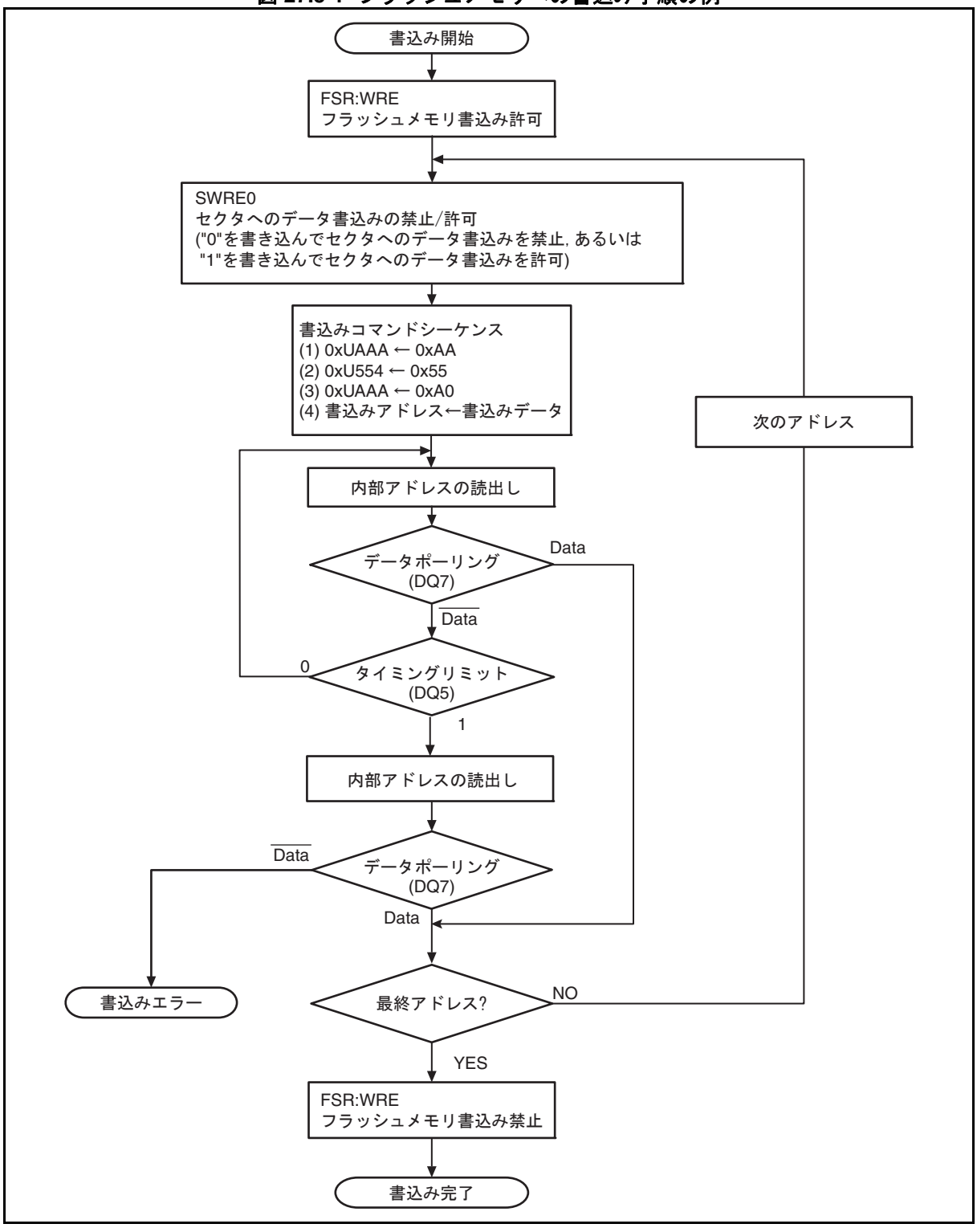
● データ書込みに関する注意事項

- 書込みによって , ビットデータを "0" から "1" に戻すことはできません。"0" であったビットデータに "1" が書き込まれると , データポーリング機能 (DQ7), あるいはトグル動作 (DQ6) が終了せず , フラッシュメモリ素子が不良であると判断され , 自動アルゴリズムの実行時間が規定の書込み時間を超えてしまうため , タイミングリミット超過フラグ (DQ5) がエラーの発生を示すことになります。読出し / リセット状態でデータを読み出すと , ビットデータは "0" のままです。ビットデータを "0" から "1" に戻すには , フラッシュメモリの消去を行ってください。
- 書込みの実行中は , すべてのコマンドが無視されます。
- 書込み中にハードウェアリセットが生じた場合は , その時点のアドレスに書込み中であったデータの整合性は保証されません。チップ消去コマンドまたはセクタ消去コマンドからデータの書込みをやり直してください。

■ フラッシュメモリ書込み手順

- 図 27.5-1 に , フラッシュメモリへのデータ書込み手順の例を示します。ハードウェアシーケンスフラグにより , フラッシュメモリ内の自動アルゴリズムの動作状態を確認できます。この例では , データポーリングフラグ (DQ7) を使用して , フラッシュメモリへのデータ書込みの終了を確認しています。
- フラグチェックのために読み出すデータは , 最後に書込みを行ったアドレスからの読出しとなります
- データポーリングフラグ (DQ7) およびタイミングリミット超過フラグ (DQ5) は , 同時に変更されるため , タイミングリミット超過フラグ (DQ5) が , "1" であっても , データポーリングフラグ (DQ7) を確認してください。
- 同様に , トグルビットフラグ (DQ6) は , タイミングリミット超過フラグ (DQ5) が , "1" に変化すると同時にトグルを停止するため , DQ5 が "1" に変化した後に , DQ6 を確認してください。

図 27.5-1 フラッシュメモリへの書込み手順の例



27.5.3 フラッシュメモリの全データ消去 (チップ消去)

チップ消去コマンドを発行して , フラッシュメモリの全データを消去する手順について説明します。

■ フラッシュメモリからのデータ消去 (チップ消去)

- フラッシュメモリから全データを消去するには , コマンドシーケンス表のチップ消去コマンドを連続的に CPU からフラッシュメモリに送信してください。
- チップ消去コマンドは , 6 回のバス動作で実行されます。チップ消去は , 書込みコマンドの 6 サイクル目が完了した時点で開始します。
- チップ消去では , データ消去を開始する前にユーザがフラッシュメモリにデータを書き込む必要はありません。自動消去アルゴリズム実行中には , フラッシュメモリはデータを消去する前にフラッシュメモリのすべてのセルに "0" を自動的に書き込んでから消去します。

■ チップ消去に関する注意事項

- すべてのセクタへのデータ書込みが許可されている場合のみチップ消去コマンドが受け付けられます。フラッシュメモリ書込み制御レジスタ 0 (SWRE0) 内の 1 セクタでもビットが "0" に設定 (当該セクタへのデータ書込みが禁止) されている場合は , チップ消去コマンドは無視されます。
- チップ消去中にハードウェアリセットが生じた場合は , フラッシュメモリ内のデータの整合性は保証されません。

27.5.4 フラッシュメモリの特定データ消去 (セクタ消去)

フラッシュメモリの特定セクタの消去のため , セクタ消去コマンドを入力する手順を説明します。セクタ別消去が可能で , かつ同時に複数のセクタも指定できます。

■ フラッシュメモリの特定データ消去 (セクタ消去)

フラッシュメモリの特定セクタからデータを消去するには , コマンドシーケンス表のセクタ消去コマンドを連続的に CPU からフラッシュメモリに送信してください。

- セクタの指定
  - セクタ消去コマンドは 6 回のバス動作で行われます。6 サイクル目のアドレスに消去対象のセクタ内のアドレスを指定し , データとしてセクタ消去コード (0x30) を書き込むことにより最小 35 µs のセクタ消去待ち時間が開始します。
  - 複数のセクタを消去する場合は , 上記に続き消去する消去対象のセクタ内のアドレスに消去コード (0x30) を書き込んでください。
- 複数セクタ指定する場合の注意事項
  - 最後のセクタ消去コードの書込みから最小 35 µs のセクタ消去待ち時間終了後 , 消去が開始します。
  - 複数のセクタを同時に消去する場合は , 消去セクタのアドレスと消去コード (コマンドシーケンス 6 サイクル目) を 35 µs 以内に入力してください。35 µs が経過した後に消去コードを入力した場合は , セクタ消去待ち時間終了により消去コードは受け付けられません。
  - セクタ消去コードの連続書込みが有効であるかどうかは , セクタ消去タイマフラグ (DQ3) で確認できます。
  - セクタ消去タイマフラグ (DQ3) を読み出す場合のアドレスには , 消去しようとしているセクタを指定してください。

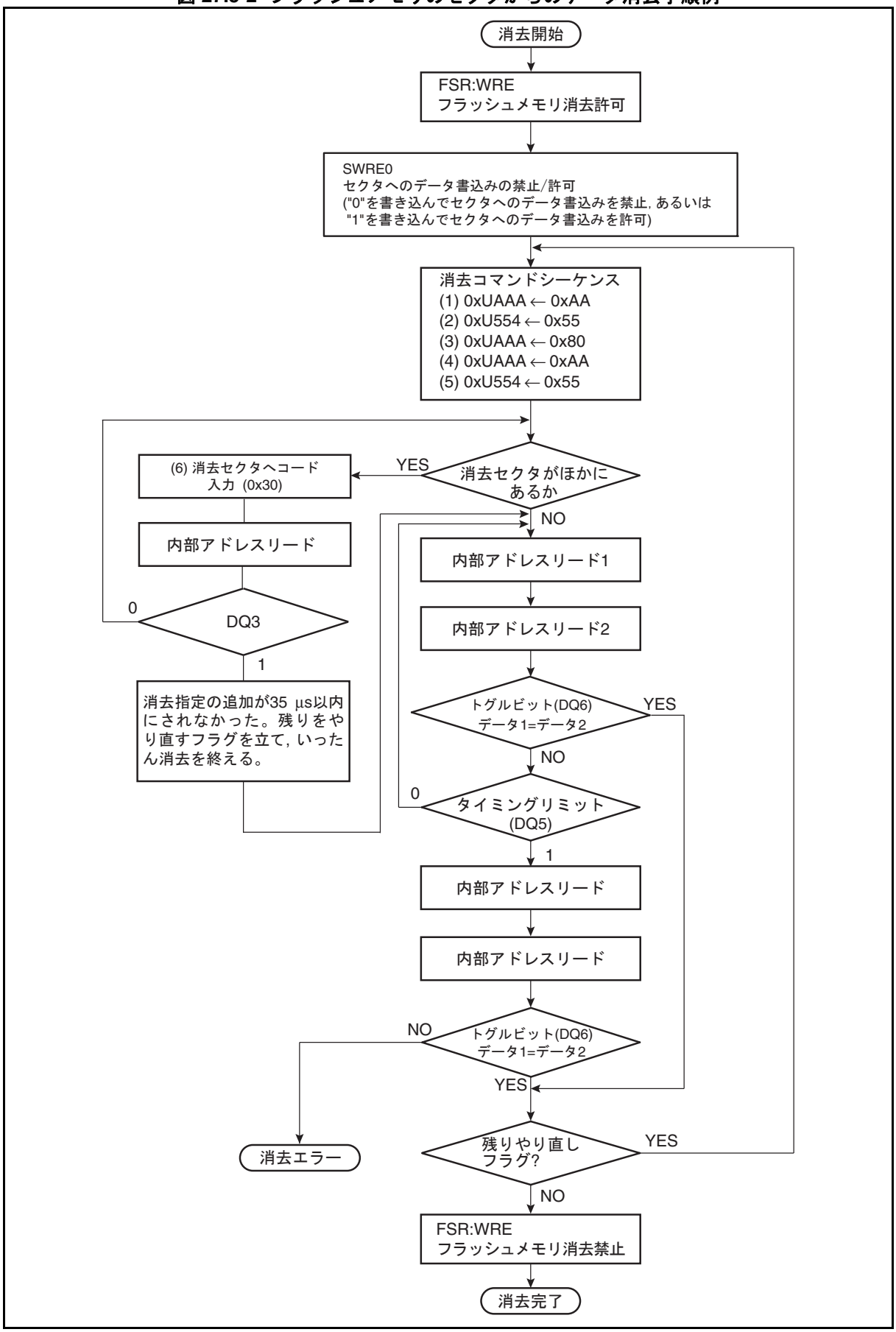
■ フラッシュメモリセクタ消去手順

- フラッシュメモリの自動アルゴリズムの状態をチェックするためにハードウェアシーケンスフラグを使用できます。図 27.5-2 に , フラッシュメモリセクタ消去手順の例を示します。この例では , トグルビットフラグ (DQ6) を , セクタ消去の終わりを確認するために使用します。
- トグルビットフラグ (DQ6) は , タイミングリミット超過フラグ (DQ5) が "1" に変更されると同時に , 出力のトグルを停止します。タイミングリミット超過フラグ (DQ5) が "1" であっても , トグルビットフラグ (DQ6) を確認してください。
- データポーリングフラグ (DQ7) とタイミングリミット超過フラグ (DQ5) は同時に変化するため , データポーリングフラグ (DQ7) を確認してください。

■ セクタデータ消去の注意事項

データ消去中に , ハードウェアリセットが起こると , フラッシュメモリ内のデータの整合性は保証されません。ハードウェアリセットが発生した後に , 再度セクタ消去手順を実行してください。

図 27.5-2 フラッシュメモリのセクタからのデータ消去手順例



27.5.5 フラッシュメモリセクタ消去の一時停止

フラッシュメモリのセクタ消去を一時停止するためにセクタ消去一時停止コマンドを入力する手順を説明します。消去実行中でないセクタからはデータの読出しが可能です。

■ フラッシュメモリのセクタ消去の一時停止

- フラッシュメモリセクタ消去を一時停止させるには， コマンドシーケンス表のフラッシュメモリセクタ消去一時停止コマンドを CPU からフラッシュメモリに送信します。
- セクタ消去一時停止コマンドは , セクタ消去中に消去を一時停止し , 消去中でないセクタからデータを読み出せます。
- セクタ消去一時停止コマンドは , 消去待ち時間を含むセクタ消去時間においてのみ許可されます。チップ消去時 , あるいは書込み時には , 本コマンドは無視されます。
- セクタ消去一時停止コマンドは, 消去一時停止コード (0xB0) を書き込むことで実行されます。このときのアドレスは , 消去指定したセクタ内の任意のアドレスを設定してください。消去一時停止中に再度 , セクタ消去一時停止コマンドを実行した場合 , 再度入力したコマンドは無視されます。
- セクタ消去待ち時間中に , セクタ消去一時停止コマンドを入力した場合 , 直ちにセクタ消去待ち時間を終了し , 消去動作を中断して消去停止状態になります。
- セクタ消去待ち時間後のセクタ消去中に , セクタ消去一時停止コマンドが入力されると , 最大 35 µs 後に消去一時停止状態となります。

＜注意事項＞

セクタ消去一時停止コマンドを発行する場合,セクタ消去コマンド発行後35 µs + 2 MCLK (マシンクロック) 以上経過してから発行してください。

また , セクタ消去再開コマンドによりセクタ消去再開後 , 再びセクタ消去一時停止コマンドを発行する場合 , セクタ消去再開コマンド発行後 2 ms 以上経過してから発行してください。

27.5.6 フラッシュメモリセクタ消去の再開

フラッシュメモリのセクタ消去の一時停止を再開するためのセクタ消去再開コマンドを入力する手順を説明します。

■ フラッシュメモリのセクタ消去の再開

- 一時停止しているセクタ消去を再開するには , コマンドシーケンス表のセクタ消去再開コマンドを CPU からフラッシュメモリに送信してください。
- セクタ消去再開コマンドは , セクタ消去一時停止コマンドで中断したセクタ消去動作を再開します。セクタ消去再開コマンドは , 消去再開コード (0x30) を書き込むことによって実行されますが , アドレスは消去を指定したセクタ内の任意のアドレスを指定してください。
- セクタ消去中は , セクタ消去再開コマンド入力は無視さます。

27.5.7 アンロックバイパス書込み

アンロックバイパス状態を説明します。

■ ノーマルコマンド状態からアンロックバイパス状態への遷移

ノーマルコマンド状態でアンロックバイパス書込みコマンドが入力されると , フラッシュメモリはアンロックバイパス状態に遷移します。アンロックバイパス状態では , 書込みコマンドが表 27.3-1 のように 2 サイクルで書込みコマンドを実行できます。

■ アンロックバイパス状態からノーマルコマンド状態への復帰

アンロックバイパス状態でアンロックバイパスリセットコマンドが入力されると , フラッシュメモリはアンロックバイパス状態からノーマルコマンド状態に復帰します。また , アンロックバイパス状態で , ハードウェアリセットを実行することによっても , フラッシュメモリはノーマルコマンド状態に復帰します。

27.6 動作説明

デュアルオペレーションフラッシュを使用する際には , 以下について注意してください。

- **上位バンクの書換え時における割込み発生**
- **フラッシュメモリステータスレジスタのセクタ変換許可ビット (FSR:SSEN) の設定手順**

■ 上位バンクの書換え時における割込み発生

デュアルオペレーションフラッシュは , 2 つのバンクで構成されていますが , 従来のフラッシュ同様 , 同一バンクにおける消去 / 書込みと読出しの実行は行えません。

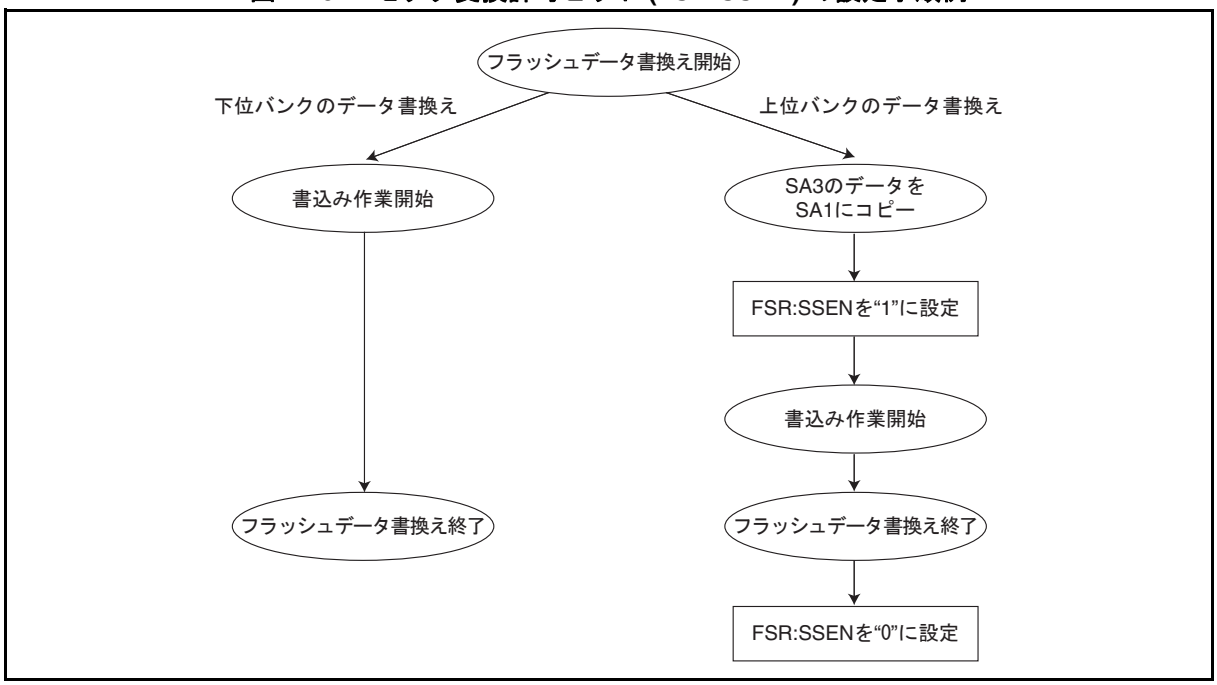
SA3 には割込みベクタがあるため , 上位バンク書込み時に割込みが発生した場合には CPU からの割込みベクタを正常に読み出せません。上位バンクの書換えを行う際にはセクタ変換許可ビットを "1" に設定 (FSR:SSEN = 1) してください。そのため , 割込み発生時は , SA1 に割込みベクタのデータを読み出すため , FSR:SSEN ビットを "1" に設定する前に SA1 と SA3 に同じデータをコピーしておいてください。

■ セクタ変換許可ビット (FSR:SSEN) の設定手順

図 27.6-1 に , セクタ変換許可ビット (FSR:SSEN) の設定手順例を示します。

上位バンクのデータを書き換える際には , FSR:SSEN ビットを "1" に設定してください。また , フラッシュメモリへの書込み中に FSR:SSEN ビットの設定変更は禁止です。FSR:SSEN ビットの設定は必ずフラッシュメモリへの書込み開始前または終了後に行ってください。また , FSR:SSEN ビットを設定する前に , フラッシュメモリの割込みを禁止とし , FSR:SSEN ビットを設定した後に , フラッシュメモリの割込みを許可してください。

図 27.6-1 セクタ変換許可ビット (FSR:SSEN) の設定手順例



■ 書込み / 消去中の動作について

フラッシュメモリへの書込み / 消去中に割込みが発生した場合 , 割込みルーチン内でフラッシュメモリへの書込みは禁止されています。

書込み / 消去ルーチンが複数存在する場合 , その書込み / 消去ルーチンが完了してからほかの書込み / 消去ルーチンを実行するようにしてください。

フラッシュメモリへの書込み / 消去中に , 書込み / 消去中のモード (クロックモードおよびスタンバイモード) から状態遷移することは禁止されています。書込み / 消去終了後に状態遷移するようにしてください。

27.7 フラッシュセキュリティ

フラッシュセキュリティコントローラ機能により , フラッシュメモリの内容が外部端子から読み出されることを防ぎます。

■ フラッシュセキュリティ

フラッシュメモリアドレス (0xFFFC) に保護コード "0x01" を書き込むと , フラッシュメモリへのアクセスが制限され , どの外部端子からもフラッシュメモリへの読出し / 書込みアクセスができなくなります。フラッシュメモリが一度保護されると , チップ消去コマンドを実行するまでこの機能のロックを解除することはできません。

保護コードは , フラッシュプログラミングの最後にコーディングしてください。これは , プログラミング中の不要な保護を回避するためです。

フラッシュメモリを一度保護すると , 再度フラッシュメモリにデータを書き込めるようにするにはチップ消去が必要になります。

27.8 レジスタ

デュアルオペレーションフラッシュメモリのレジスタについて説明します。

表 27.8-1 デュアルオペレーションフラッシュメモリのレジスター覧

レジスタ略称	レジスタ名	参照先
FSR2	フラッシュメモリステータスレジスタ 2	27.8.1
FSR	フラッシュメモリステータスレジスタ	27.8.2
SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	27.8.3
FSR3	フラッシュメモリステータスレジスタ 3	27.8.4
FSR4	フラッシュメモリステータスレジスタ 4	27.8.5

27.8.1 フラッシュメモリステータスレジスタ 2 (FSR2)

フラッシュメモリステータスレジスタ 2 (FSR2) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PEIEN	PGMEND	PTIEN	PGMTO	EEIEN	ERSEND	ETIEN	ERSTO
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] PEIEN: PGMEND 割込み許可ビット

このビットは , フラッシュメモリ書込みの完了による割込み要求の発生を許可または禁止します。

bit7	説明
"0" を書き込んだ場合	フラッシュメモリ書込みの完了 (FSR2:PGMEND = 1) による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリ書込みの完了 (FSR2:PGMEND = 1) による割込みを許可します。

[bit6] PGMEND: PGMEND 割込み要求フラグビット

このビットはフラッシュメモリ書込みの完了を示します。
PGMEND ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。
フラッシュメモリ書込み完了による割込み要求の発生が許可されている場合は (FSR2:PEIEN = 1), PGMEND ビットが "1" に設定されると , 割込み要求が発生します。
フラッシュメモリ書込みが完了した後 , PGMEND ビットが "0" に設定されていた場合 , これ以降フラッシュメモリ書込み / 消去はできません。リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
フラッシュメモリ書込みが失敗した場合 (FSR3:HANG = 1), PGMEND ビットが "0" にクリアされます。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit6	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリ書込み中であることを示します。
"1" が読み出された場合	フラッシュメモリ書込みが完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit5] PTIEN: PGMTO 割込み許可ビット
このビットはフラッシュメモリ書込みの失敗による割込み要求の発生を許可または禁止します。

bit5	説明
"0" を書き込んだ場合	フラッシュメモリ書込みの失敗 (FSR2:PGMTO = 1) による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリ書込みの失敗 (FSR2:PGMTO = 1) による割込みを許可します。

[bit4] PGMTO: PGMTO 割込み要求フラグビット
このビットはフラッシュメモリ書込みの失敗を示します。
フラッシュメモリ書込みが失敗すると , PGMTO ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。これ以降フラッシュメモリ書込み / 消去はできませんが , リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
フラッシュメモリ書込み失敗による割込み要求の発生が許可されている場合は (FSR2:PTIEN = 1), PGMTO ビットが "1" に設定されると , 割込み要求が発生します。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit4	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリ書込み中であることを示します。
"1" が読み出された場合	フラッシュメモリ書込みが失敗していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit3] EEIEN: ERSEND 割込み許可ビット
このビットはフラッシュメモリセクタ消去の完了による割込み要求の発生を許可または禁止します。

bit3	説明
"0" を書き込んだ場合	フラッシュメモリセクタ消去の完了 (FSR2:ERSEND = 1) による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリセクタ消去の完了 (FSR2:ERSEND = 1) による割込みを許可します。

[bit2] ERSEND: ERSEND 割込み要求フラグビット

このビットはフラッシュメモリセクタ消去の完了を示します。
ERSEND ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。
フラッシュメモリセクタ消去完了による割込み要求の発生が許可されている場合(FSR2:EEIEN = 1), ERSEND ビットが "1" に設定されると , 割込み要求が発生します。
フラッシュメモリセクタ消去が完了した後 , ERSEND ビットが "0" に設定されていた場合 , これ以降フラッシュメモリ書込み / 消去はできません。リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
フラッシュメモリセクタ消去が失敗した場合 (FSR3:HANG = 1), ERSEND ビットは "0" にクリアされます。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit2	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリセクタ消去中であることを示します。
"1" が読み出された場合	フラッシュメモリセクタ消去が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit1] ETIEN: ERSTO 割込み許可ビット

このビットはフラッシュメモリセクタ消去の失敗による割込み要求の発生を許可または禁止します。

bit1	説明
"0" を書き込んだ場合	フラッシュメモリセクタ消去の失敗 (FSR2:ERSTO = 1) による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリセクタ消去の失敗 (FSR2:ERSTO = 1) による割込みを許可します。

[bit0] ERSTO: ERSTO 割込み要求フラグビット

このビットはフラッシュメモリセクタ消去の失敗を示します。
フラッシュメモリセクタ消去に失敗すると , ERSTO ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。これ以降フラッシュメモリ書込み / 消去はできませんが , リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
フラッシュメモリセクタ消去失敗による割込み要求の発生が許可されている場合(FSR2:ETIEN = 1), ERSTO ビットが "1" に設定されると , 割込み要求が発生します。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit0	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリセクタ消去中であることを示します。
"1" が読み出された場合	フラッシュメモリセクタ消去が失敗したことを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

27.8.2 フラッシュメモリステータスレジスタ (FSR)

フラッシュメモリステータスレジスタ (FSR) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	RDYIRQ	RDY	予約	IRQEN	WRE	SSEN
属性	—	—	R/W	R	W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] RDYIRQ: フラッシュメモリ動作フラグビット
このビットはフラッシュメモリの動作状態を示します。
フラッシュメモリ書込み / 消去が完了すると , フラッシュメモリの自動アルゴリズムが終了した時点で RDYIRQ ビットに "1" が設定されます。
フラッシュメモリ書込み / 消去の完了による割込みが許可されている場合は (FSR:IRQEN=1), RDYIRQ ビットに "1" が設定されると , 割込み要求が発生します。
フラッシュメモリ書込み / 消去の完了後 , RDYIRQ ビットが "0" に設定されていた場合 , これ以降フラッシュメモリ書込み / 消去はできません。リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit5	説明
"0" が読み出された場合	フラッシュメモリ書込み / 消去が実行中であることを示します。
"1" が読み出された場合	フラッシュメモリ書込み / 消去が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit4] RDY: フラッシュメモリ書込み / 消去ステータスビット
このビットはフラッシュメモリの書込み / 消去状態を示します。
RDY ビットが "0" の場合は , フラッシュメモリへのデータの書込み / 消去は禁止されます。
RDY ビットが "0" の場合でも , 読出し / リセットコマンド / セクタ消去一時停止コマンドを受け付けることができます。書込みまたは消去が終了すると , RDY ビットに "1" が設定されます。
書込み / 消去コマンドの発行後 , RDY ビットが "0" となるまでに 2 マシンクロック (MCLK) サイクルの遅延があります。書込み / 消去コマンドの発行後は , この 2 マシンクロックサイクルが経過するのを待ってから (NOP 命令を 2 個挿入するなど) , このビットを読み出してください。

bit4	説明
"0" が読み出された場合	フラッシュメモリ書込み / 消去が実行中であることを示します。(次のデータの書込み / 消去は禁止されます。)
"1" が読み出された場合	フラッシュメモリ書込み / 消去が完了していることを示します。(次のデータの書込み / 消去は許可されます。)

[bit3] 予約ビット
このビットは常に "0" に設定してください。

[bit2] IRQEN: フラッシュメモリ書込み / 消去割込み許可ビット
このビットはフラッシュメモリの書込み / 消去の完了による割込み要求の発生を許可または禁止します。

bit2	説明
"0" を書き込んだ場合	フラッシュメモリ書込み / 消去による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリ書込み / 消去による割込みを許可します。

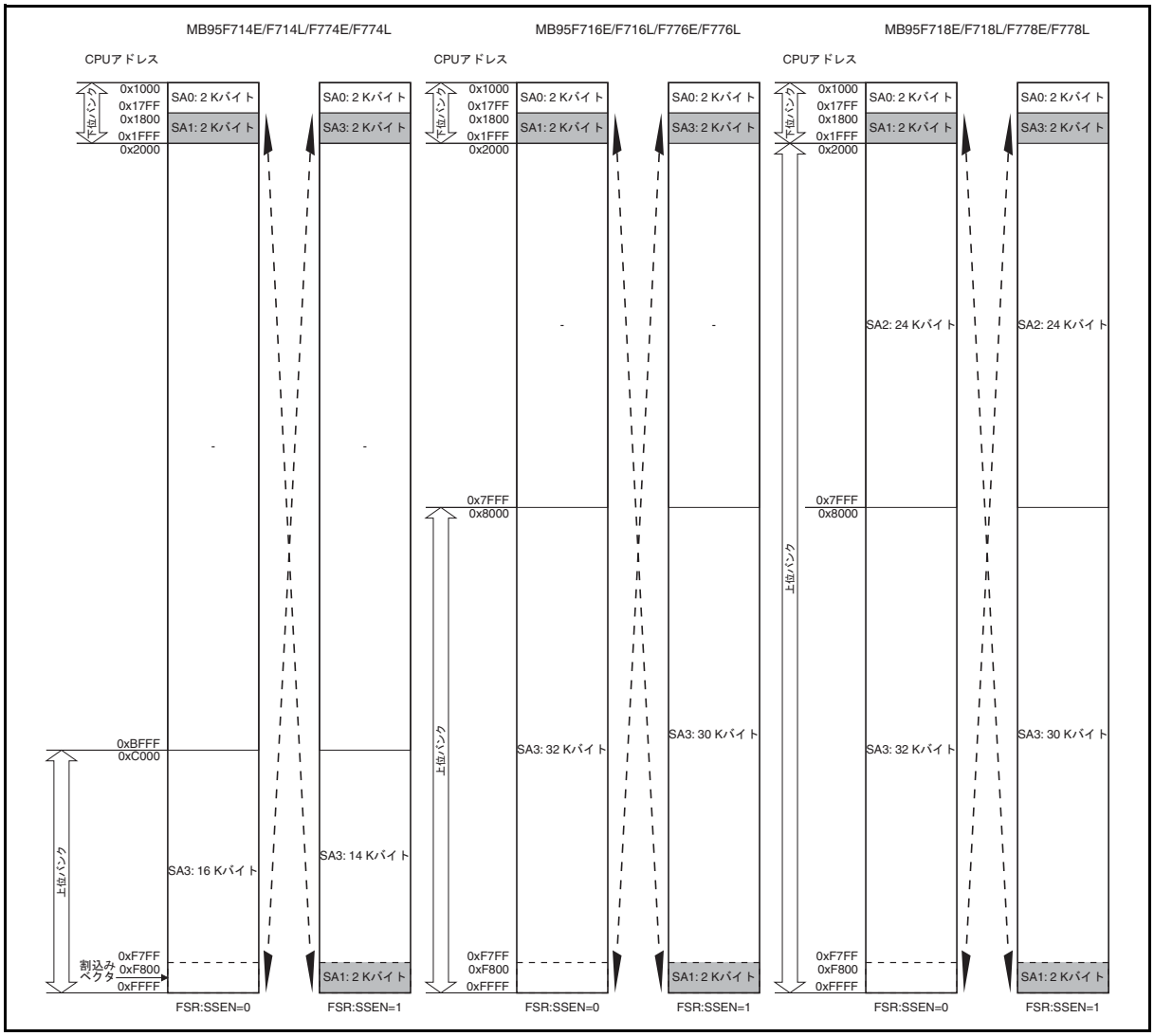
[bit1] WRE: フラッシュメモリ書込み / 消去許可ビット
このビットはフラッシュメモリ領域の書込み / 消去を許可または禁止します。
WRE ビットはフラッシュメモリの書込み / 消去コマンドの起動前に設定してください。
このビットに "0" が書き込まれた場合 , 書込み / 消去コマンドが入力されても , 書込み / 消去信号は生成されません。
このビットに "1" が書き込まれた場合 , 書込み / 消去コマンドが入力された後 , フラッシュメモリへのデータ書込み / 消去が許可されます。
フラッシュメモリへのデータの書込み / 消去を行わない時には , データが誤ってフラッシュメモリに書き込まれたり , フラッシュメモリから消去されたりすることを防ぐために , WRE ビットを "0" に設定してください。
フラッシュメモリにデータを書き込むには, FSR:WREを"1"に設定して, フラッシュメモリへのデータ書込みを許可し , さらにデータが書き込まれるフラッシュメモリのセクタに対応するフラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) を設定してください。フラッシュメモリ書込みが禁止されている場合 (FSR:WRE = 0) は , セクタに対応するフラッシュセクタ書込み制御レジスタ 0 (SWRE0) のビットが "1" に設定されて書込みが許可されていても , そのフラッシュメモリセクタへの書込みアクセスは実行できません。

bit1	説明
"0" を書き込んだ場合	フラッシュメモリ領域の書込み / 消去を禁止します。
"1" を書き込んだ場合	フラッシュメモリ領域の書込み / 消去を許可します。

[bit0] SSEN: セクタスワップ許可ビット
このビットは割込みベクタが存在する領域である上位バンクに位置する SA3 の一部を , 下位バンクに位置する SA1 と入れ替えるために使用します。

bit0	説明
"0" を書き込んだ場合	SA1 を 0x1800 ～ 0x1FFF に , SA3 の 2K バイトを 0xF800 ～ 0xFFFF にマッピングします。
"1" を書き込んだ場合	SA3 の 2K バイトを 0x1800 ～ 0x1FFF に , SA1 を 0xF800 ～ 0xFFFF にマッピングします。

図 27.8-1 FSR:SSEN 設定値におけるアクセスセクタマップ



27.8.3 フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)

フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) は , フラッシュメモリインタフェースにあるレジスタで , フラッシュメモリの誤書込み防止機能の設定を行う際に使用します。

フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) には , 個々のセクタ (SA3 ～ SA0) へのデータ書込みを許可 / 禁止するためのビットがあります。各ビットの初期値は "0" で , 書込み禁止の状態です。SWRE0 のビットに "1" を書き込むと , そのビットに対応するセクタへのデータ書込みが許可されます。SWRE0 のビットに "0" を書き込むと , そのビットに対応するセクタへの誤ったデータ書込みが防止されます。SWRE0 のビットに "0" を書き込むと , その後そのビットに "1" を書き込んでも , そのビットに対応するセクタへのデータを書き込むことはできません。再度書き込む場合はリセットしてください。

SWRE0 への書込みは , 必ずバイト書込みで行ってください。ビット操作命令による設定は禁止されます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	SA3E	SA2E	SA1E	SA0E
属性	W	W	W	W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:4] 予約ビット
これらのビットは常に "0" に設定してください。

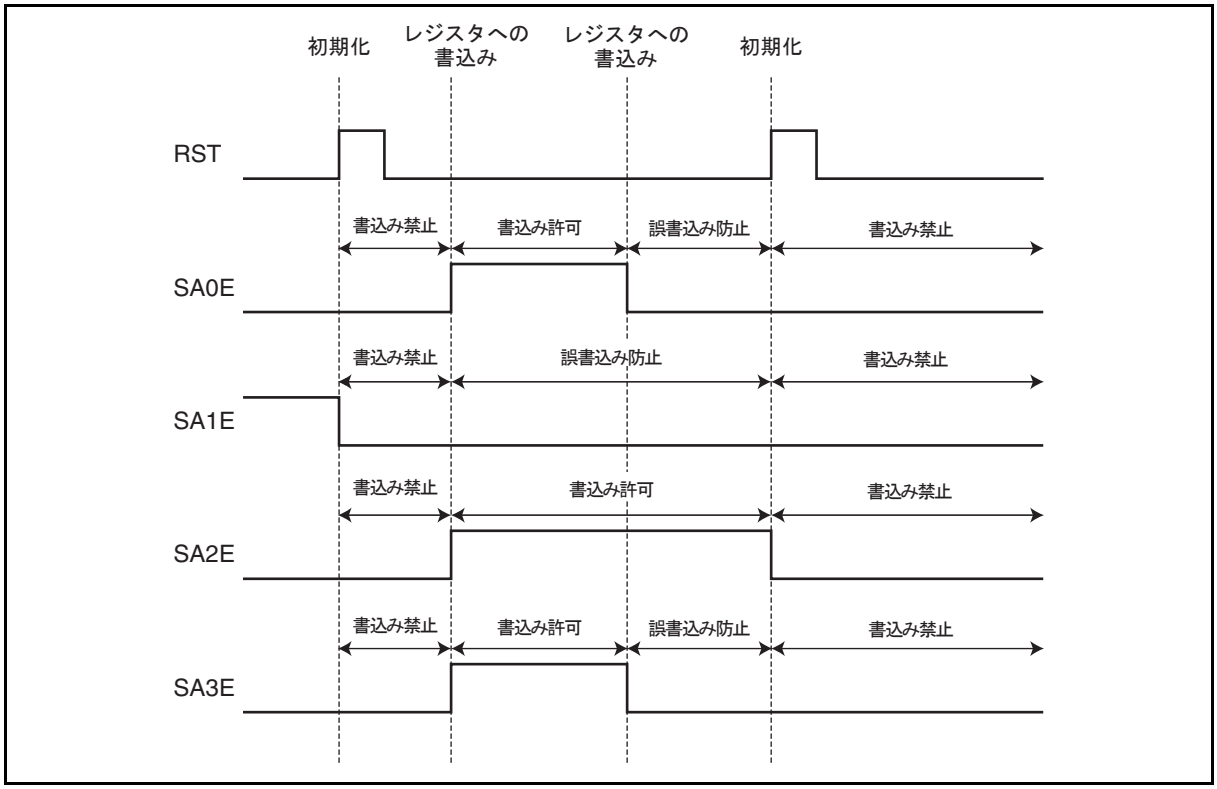
[bit3:0] SA3E, SA2E, SA1E, SA0E: 書込み機能セットアップビット
これらのビットは , データが誤ってフラッシュメモリのセクタに書き込まれることを防止する機能を設定するために使用されます。SWRE0 のビットに "1" を書き込むと , そのビットに対応するセクタにデータを書き込むことが可能になります。
SWRE0 のビットに "0" を書き込むことにより , そのビットに対応するセクタに誤ってデータが書き込まれることを防止します。また , リセットにより , そのビットが "0" に初期化されます (書込み禁止)。

書込み機能設定ビットとそれらに対応するフラッシュメモリセクタの一覧	
ビット名	対応するフラッシュメモリセクタ
SA3E	SA3
SA2E	SA2
SA1E	SA1
SA0E	SA0

SAxE (x = 0, 1, 2 または 3) の設定とそれに対応する書込み機能 :

- 書込み禁止 (SAxE = 0):
  フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" が書き込まれていない状態で , セクタに対応する SAxE ビットに "1" を書き込むことによって , セクタへのデータ書込みを許可します。(これはリセットされた後の状態です。)
- 書込み許可 (SAxE = 1):
  SAxE ビットに対応するセクタへデータを書き込めます。
- 誤書込み防止 (SAxE = 0):
  フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" が書き込まれた状態で , セクタに対応する SAxE ビットを "1" に書き込んでも , そのセクタへのデータ書込みは許可できません。

図 27.8-2 フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) による フラッシュメモリの書込み禁止 , 書込み許可 , 誤書込み防止の状態例



■ SWRE0 レジスタの設定上の注意

FSR:SSEN が "0" である場合 , フラッシュメモリの SA0 (0x1000 ～ 0x17FF), あるいは SA1 (0x1800 ～ 0x1FFF) へのデータ書込み / データ消去を行うには , 最初に , SWRE0 レジスタの SA0E と SA1E の両方に "1" を設定してください。

FSR:SSEN が "1" である場合 , データ書込み / データ消去を行うには , SWRE0 レジスタの SA0E, SA1E, SA2E, SA3E ビットをすべて "1" に設定してください。

フラッシュメモリのセクタマップの詳細に関しては , 図 27.2-1 および図 27.8-1 を参照してください。

27.8.4 フラッシュメモリステータスレジスタ 3 (FSR3)

フラッシュメモリステータスレジスタ 3 (FSR3) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	CERS	ESPS	SERS	PGMS	HANG
属性	—	—	—	R	R	R	R	R
初期値	0	0	0	X	X	X	X	X

■ レジスタ機能

[bit7:5] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit4] CERS: フラッシュメモリチップ消去ステータスビット
このビットはフラッシュメモリのチップ消去ステータスを示します。

bit4	説明
"0" が読み出された場合	フラッシュメモリのチップ消去が完了していることを示します。
"1" が読み出された場合	フラッシュメモリのチップ消去が実行中であることを示します。

[bit3] ESPS: フラッシュメモリセクタ消去一時中断ステータスビット
このビットはフラッシュメモリのセクタ消去一時中断ステータスを示します。

bit3	説明
"0" が読み出された場合	フラッシュメモリのセクタ消去が一時中断されていないことを示します。
"1" が読み出された場合	フラッシュメモリのセクタ消去が一時中断されていることを示します。

[bit2] SERS: フラッシュメモリセクタ消去ステータスビット
このビットはフラッシュメモリのセクタ消去ステータスを示します。

bit2	説明
"0" が読み出された場合	フラッシュメモリのセクタ消去が完了していることを示します。
"1" が読み出された場合	フラッシュメモリのセクタ消去が実行中であることを示します。

[bit1] PGMS: フラッシュメモリ書込みステータスビット
このビットはフラッシュメモリの書込みステータスを示します。
マシンンクロック (MCLK) サイクルタイムが 1 µs より長い場合, このビットはアサートされません。
サイクルタイムが 1 µs 以下のマシンクロック (MCLK) でこのビットを使用してください。

bit1	説明
"0" が読み出された場合	フラッシュメモリの書込みが完了していることを示します。
"1" が読み出された場合	フラッシュメモリの書込みが実行中であることを示します。

[bit0] HANG: フラッシュメモリハングアップステータスビット
このビットはフラッシュメモリの誤動作の有無を示します。

bit0	説明
"0" が読み出された場合	それまでコマンド入力の誤動作がないことを示します。
"1" が読み出された場合	コマンド入力の誤動作が発生していることを示します。

27.8.5 フラッシュメモリステータスレジスタ 4 (FSR4)

フラッシュメモリステータスレジスタ 4 (FSR4) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	CEREND	CTIEN	CERTO	—	—	—	—
属性	—	R/W	R/W	R/W	—	—	—	—
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7] 未定義ビット
読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。

[bit6] CEREND: CEREND 割込み要求フラグビット
このビットはフラッシュメモリチップ消去の完了を示します。
CEREND ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。
フラッシュメモリチップ消去が完了した後 , CEREND ビットが "0" に設定されていた場合 , これ以降フラッシュメモリ書込み / 消去はできません。リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
フラッシュメモリチップ消去が失敗した場合 (FSR3:HANG = 1), このビットは "0" にクリアされます。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit6	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリチップ消去中であることを示します。
"1" が読み出された場合	フラッシュメモリチップ消去が完了していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit5] CTIEN: CERTO 割込み許可ビット
このビットはフラッシュメモリチップ消去の失敗による割込み要求の発生を許可または禁止します。

bit5	説明
"0" を書き込んだ場合	フラッシュメモリチップ消去の失敗 (FSR4:CERTO = 1) による割込みを禁止します。
"1" を書き込んだ場合	フラッシュメモリチップ消去の失敗 (FSR4:CERTO = 1) による割込みを許可します。

[bit4] CERTO: CERTO 割込み要求フラグビット
このビットはフラッシュメモリチップ消去の失敗を示します。
フラッシュメモリチップ消去が失敗すると , CERTO ビットはフラッシュメモリ自動アルゴリズムの完了直後に "1" に設定されます。
フラッシュメモリチップ消去失敗による割込み要求の発生が許可されている場合(FSR4:CTIEN = 1), CERTO ビットは "1" に設定されると , 割込み要求が発生します。
フラッシュメモリチップ消去が完了した後 , CERTO ビットが "1" に設定されていた場合 , これ以降フラッシュメモリ書込み / 消去はできません。リセットコマンドを書き込むことによりノーマルコマンド状態に復帰できます。
このビットへの "0" の書込みはこのビットをクリアします。
このビットに "1" を書き込んでも動作に影響はありません。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit4	説明
"0" が読み出された場合	デバイスがコマンド入力待ち状態にあることまたはフラッシュメモリチップ消去中であることを示します。
"1" が読み出された場合	フラッシュメモリチップ消去が失敗していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

[bit3:0] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

■ フラッシュメモリステータスレジスタ 2, フラッシュメモリステータスレジスタ 3, フラッシュメモリステータスレジスタ 4 および RDY ビット (FSR:RDY) の状態例

図 27.8-3 FSR2:PGMEND (フラッシュメモリ書込み中)

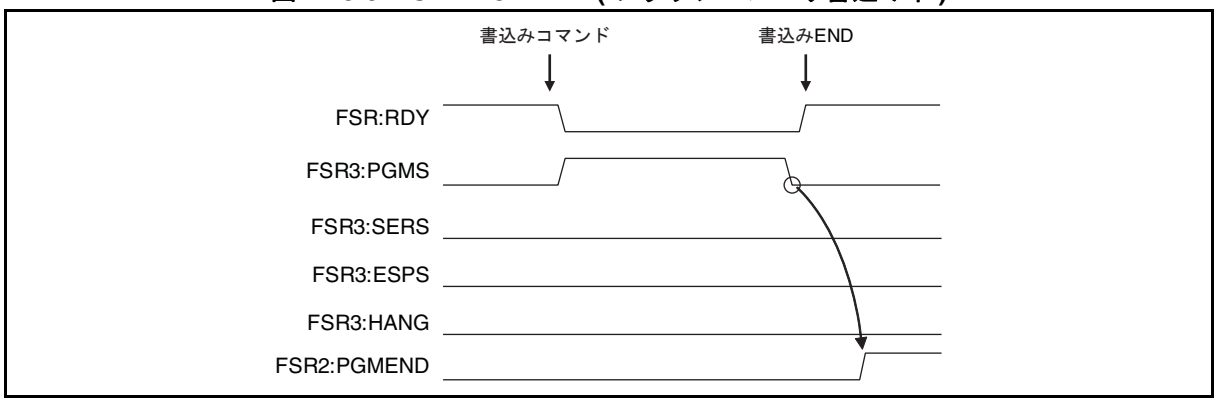


図 27.8-4 FSR2:PGMTO (フラッシュメモリ書込み失敗時)

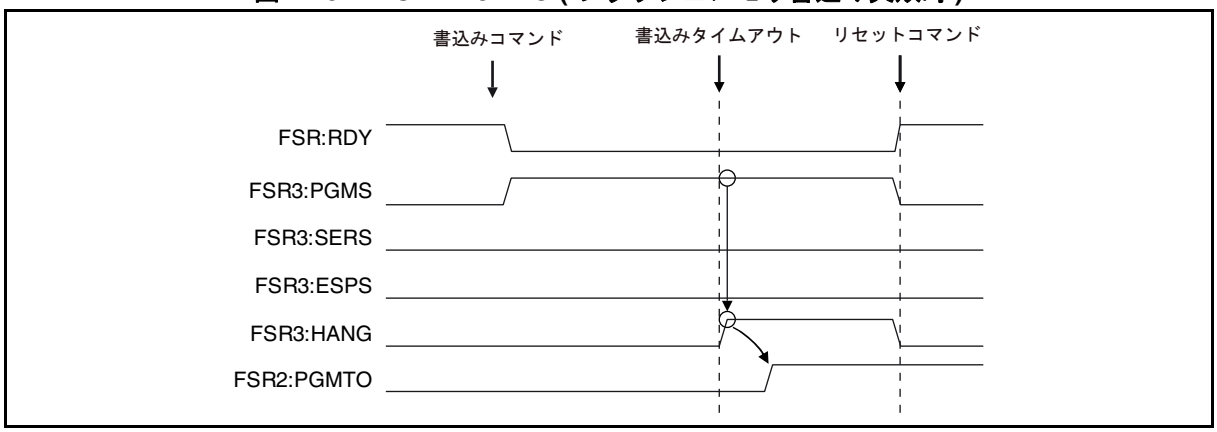


図 27.8-5 FSR2:ERSEND (フラッシュメモリセクタ消去時)

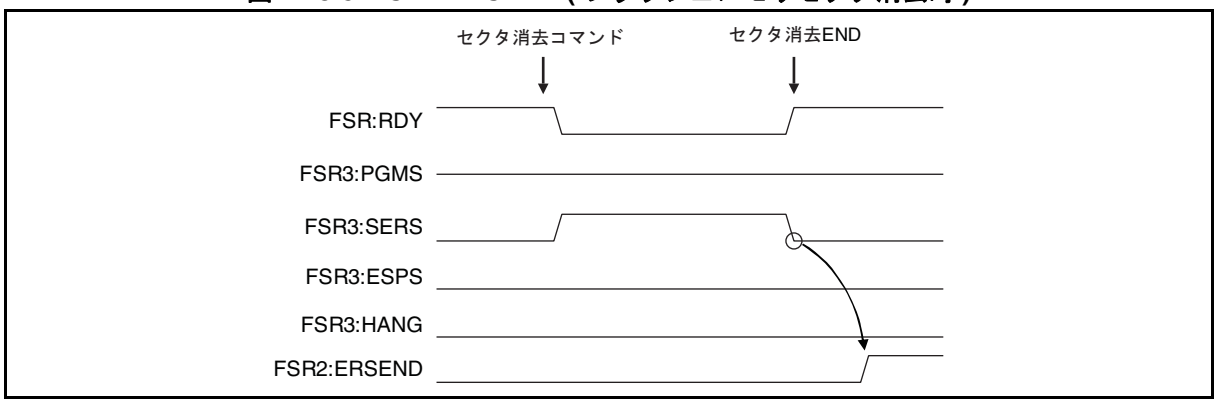


図 27.8-6 FSR2:ERSTO (フラッシュメモリセクタ消去失敗時)

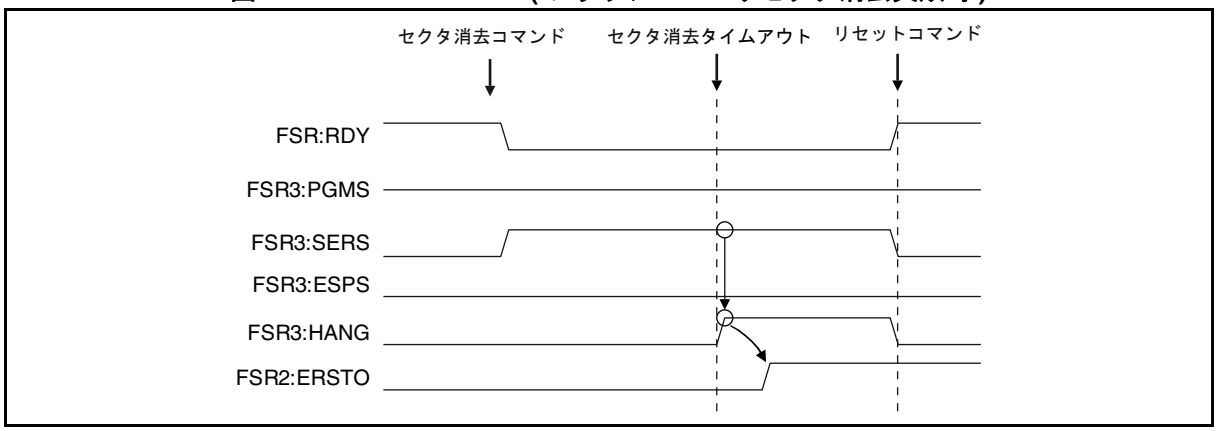


図 27.8-7 FSR2:PGMEND, FSR2:ERSEND
(フラッシュメモリセクタ消去一時停止中のフラッシュメモリ書込み)

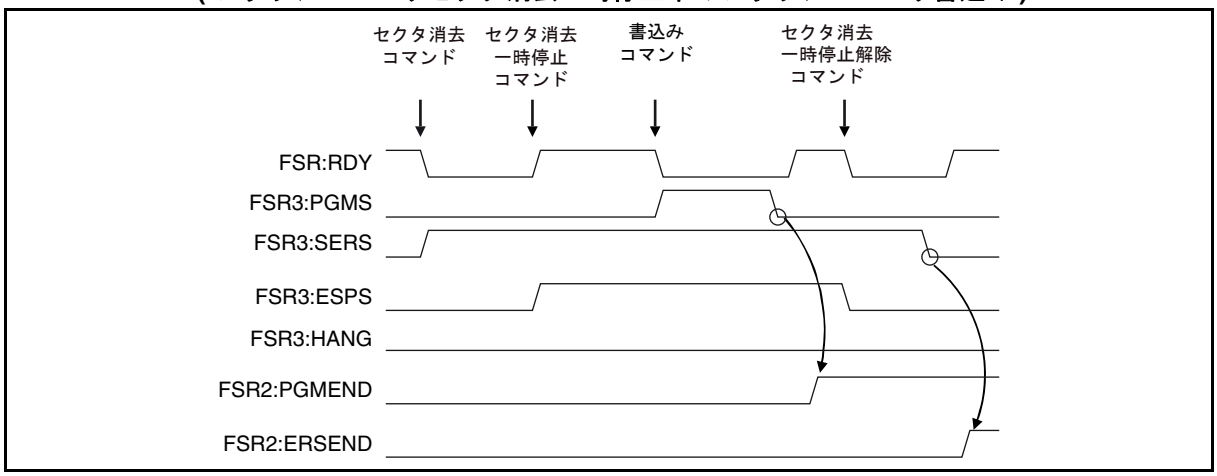


図 27.8-8 FSR2:PGMTO, FSR2:ERSEND
(フラッシュメモリセクタ消去一時停止中のフラッシュメモリ書込み)

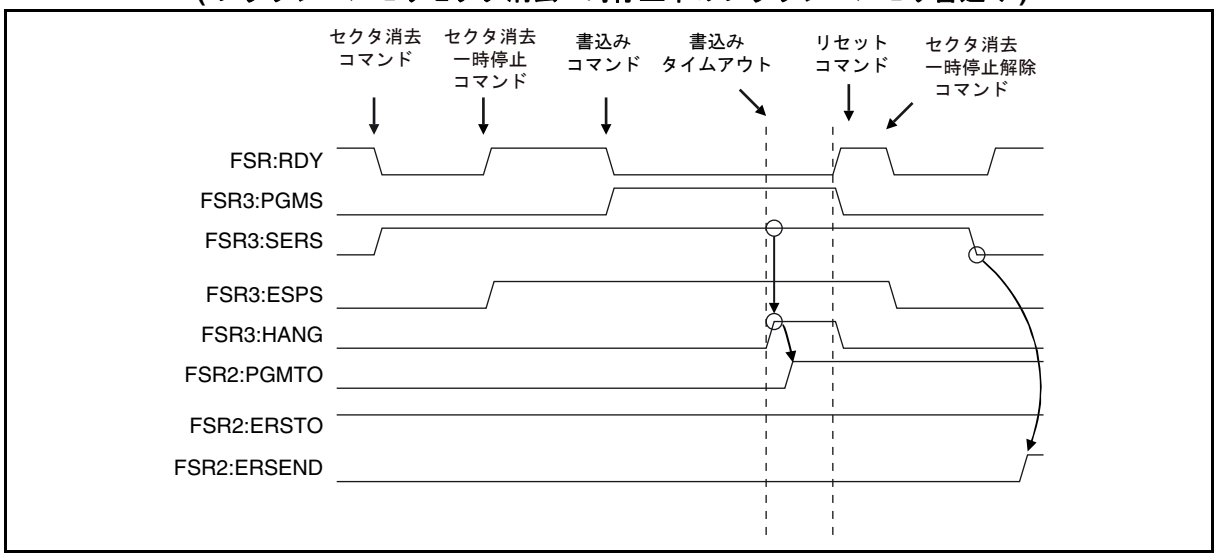


図 27.8-9 FSR2:ERSEND (フラッシュメモリセクタ消去一時停止中のフラッシュメモリ読出し)

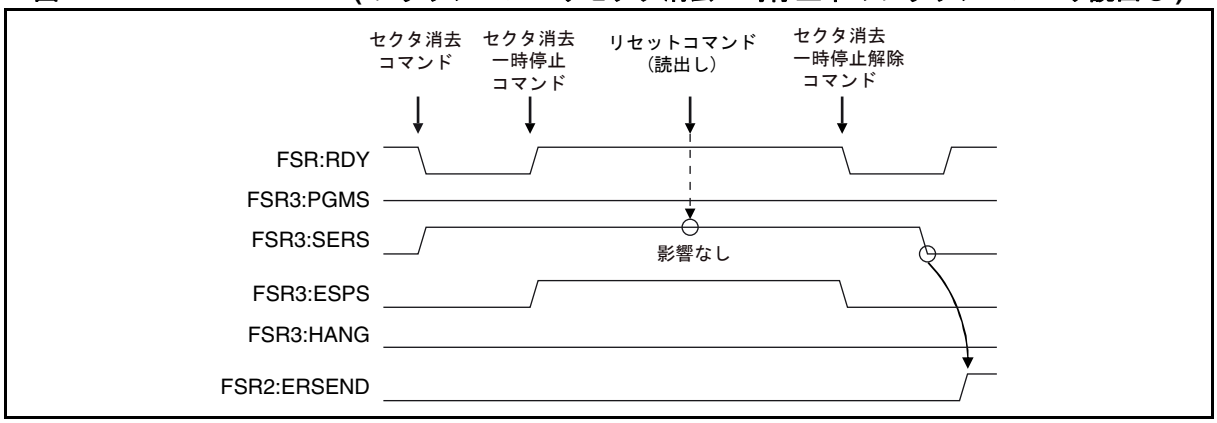


図 27.8-10 FSR2:PGMEND, FSR2:ERSTO (セクタ消去再開後のフラッシュメモリセクタ消去失敗時)

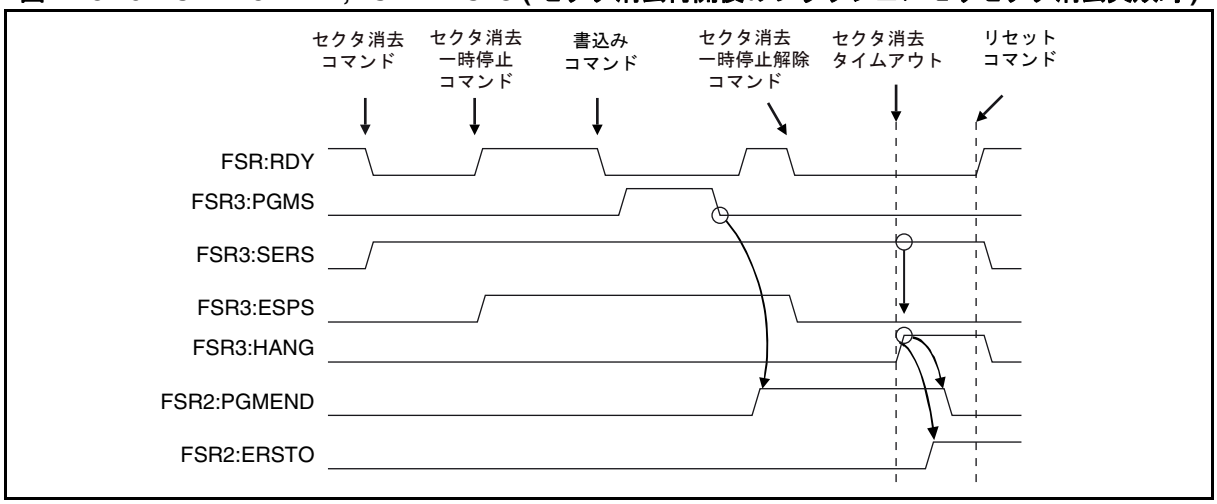


図 27.8-11 FSR4:CERTO (チップ消去失敗時)

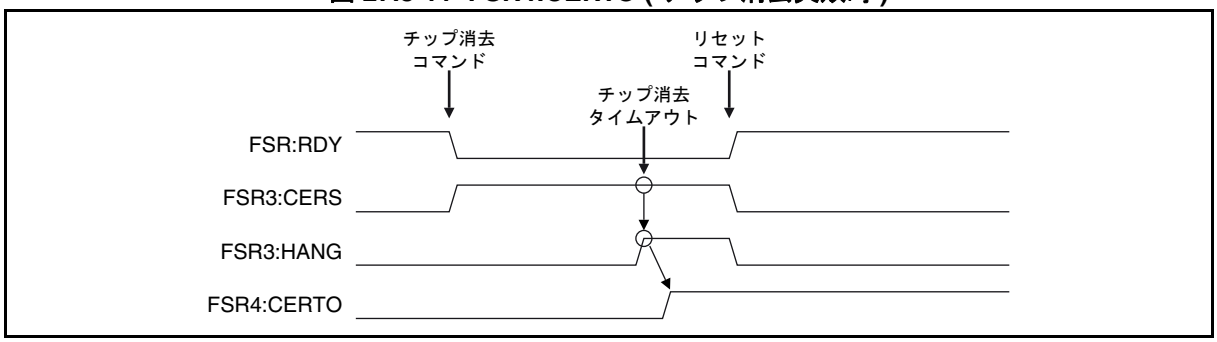
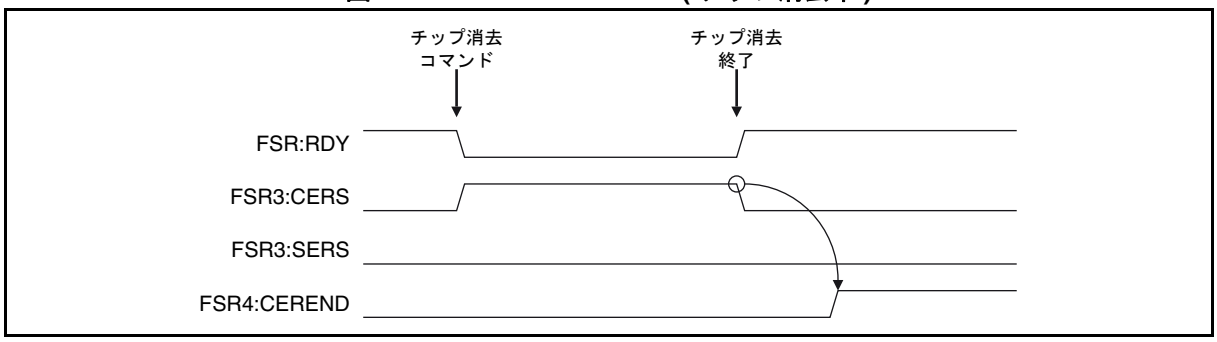


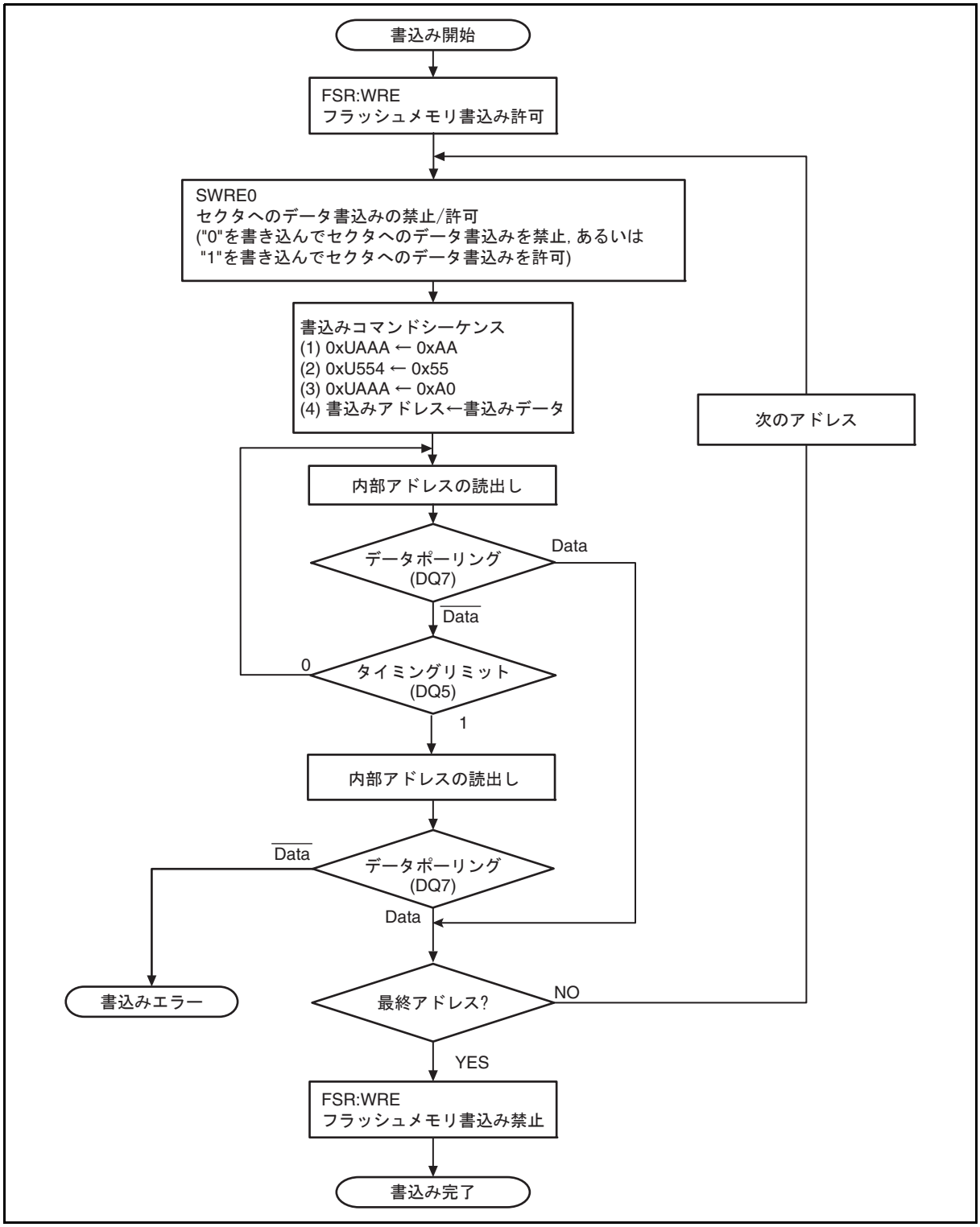
図 27.8-12 FSR4:CEREND (チップ消去中)



■ フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) フローチャート

FSR:WRE を "1" に設定してフラッシュメモリの書込みを可能にし , フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) のセクタに対応するビットに "1" または "0" を設定することによって , それぞれ許可 / 禁止を設定できます。

図 27.8-13 フラッシュメモリ書込み許可 / 禁止の手順例



■ (FSR:WRE) 設定上の注意事項

フラッシュメモリに書き込む際には , WRE ビットを "1" に設定し , 書込み許可にしてからフラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)の設定を行ってください。WRE ビットが書込み禁止 ("0") の場合 , フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) のセクタに対応するビットを書込み許可 ("1") にしても , セクタへの書込み動作は行われません。

27.9 使用上の注意

デュアルオペレーションフラッシュメモリ使用上の注意を示します。

■ トグルビットフラグ (DQ6) に関する制限事項

デュアルオペレーションフラッシュメモリ (フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する) を用いる場合, トグルビットフラグ (DQ6) を使用して書込み / 消去中の状態を確認することができません。このため , フラッシュメモリへの書込み , セクタ消去実行後のフラッシュメモリ内部動作状態は , 図 27.5-1 および図 27.5-2 の例を参考にデータポーリングフラグ (DQ7) を用いて確認してください。

なお , フラッシュ書込み制御プログラムを RAM 上で実行する場合は , 本注意事項は該当しません。

第 28 章

不揮発性レジスタ (NVR) インタフェース

NVR インタフェースの機能と動作について説明します。

28.1 概要
28.2 構成
28.3 レジスタ
28.4 メイン CR クロックトリミング使用上の注意
28.5 使用上の注意

28.1 概要

システム情報やオプション設定を格納する不揮発性レジスタ (NVR) 領域は , フラッシュメモリにおける予約領域です。リセット後 , NVR フラッシュ領域のデータは読み出され , NVR I/O 領域のレジスタに格納されます。MB95710L/770L シリーズでは , NVR インタフェースを用いて以下のデータを保存します。

- **メイン CR クロックのコアーストリミング値 (5 ビット)**
- **メイン CR クロックのファイントリミング値 (5 ビット)**
- **ウォッチドッグタイマ選択 ID (16 ビット)**
- **メイン CR クロックの温度依存調整値 (5 ビット)**

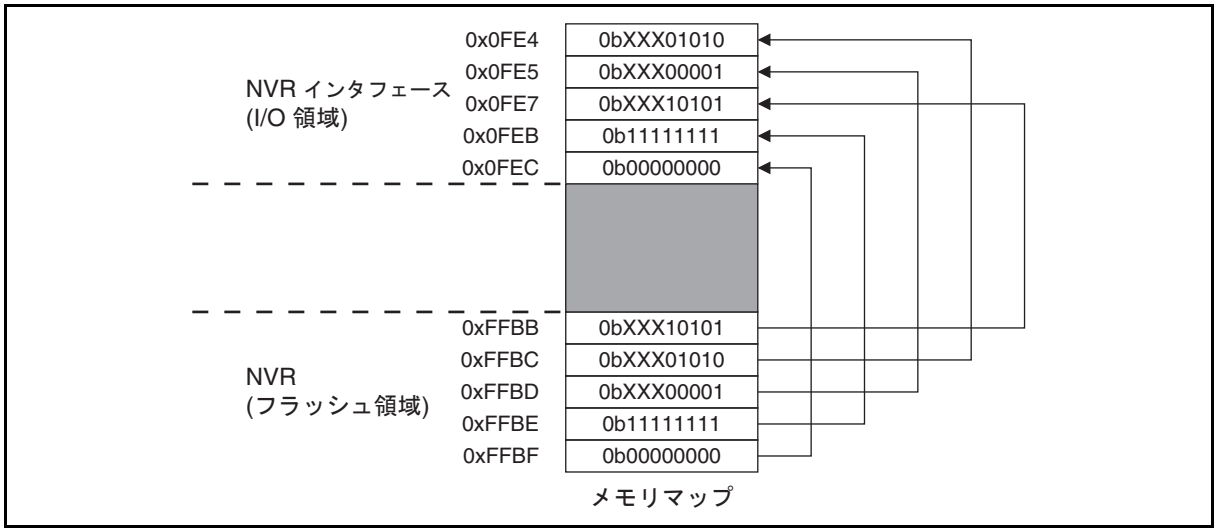
■ NVR インタフェースの機能

NVR インタフェースには , 以下のような機能があります。

1. NVRインタフェースはリセット後, NVRフラッシュ領域からすべてのデータを取り出し , NVR I/O 領域のレジスタに格納します (図 28.1-1 と図 28.2-1 を参照)。
2. NVRインタフェースにより, ユーザは, CRトリミング設定の初期値を確認できます。
3. NVR インタフェースにより , ユーザは , 16 ビットのウォッチドッグタイマ選択 ID を変更し , ハードウェアウォッチドッグタイマまたはソフトウェアウォッチドッグタイマを選択できます (CPU の稼働中は , ウォッチドッグタイマ選択 ID を変更できません)。

図 28.1-1 に , リセット中の NVR の読出しを示します。

図 28.1-1 リセット中の NVR の読出し



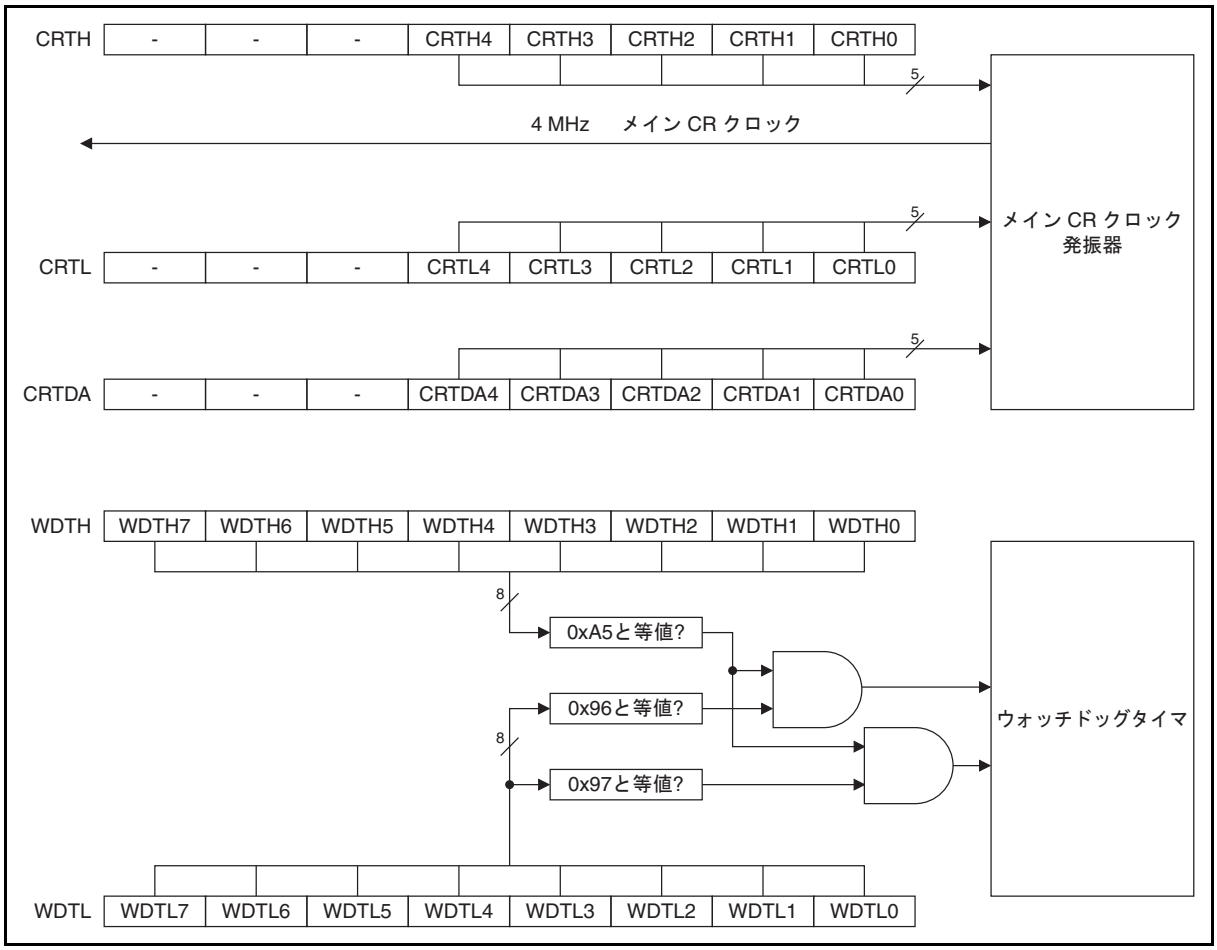
28.2 構成

NVR インタフェースは , 以下のブロックで構成されます。

- **メイン CR クロックのトリミング (CRTH と CRTL)**
- **ウォッチドッグタイマ選択 ID(WDTH と WDTL)**
- **メイン CR 温度依存調整 (CRTDA)**

■ NVR インタフェースのブロックダイヤグラム

図 28.2-1 NVR インタフェースのブロックダイヤグラム



28.3 レジスタ

NVR インタフェースのレジスタについて説明します。

表 28.3-1 NVR インタフェースのレジスター覧

レジスタ略称	レジスタ名	参照先
CRTH	メイン CR クロックトリミングレジスタ (上位)	28.3.1
CRTL	メイン CR クロックトリミングレジスタ (下位)	28.3.2
CRTDA	メイン CR クロック温度依存調整レジスタ	28.3.3
WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	28.3.4
WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	28.3.4

28.3.1 メイン CR クロックトリミングレジスタ (上位) (CRTH)

メイン CR クロックトリミングレジスタ (上位) (CRTH) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	CRTH4	CRTH3	CRTH2	CRTH1	CRTH0
属性	—	—	—	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	X	X	X	X	X

■ レジスタ機能

[bit7:5] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit4:0] CRTH[4:0]: メイン CR クロックコアーストリミングビット
これらのビットの設定はリセット後 , フラッシュメモリアドレス 0xFFBC (bit4:0) からロードされます。これらのビットの初期値は , NVR フラッシュ領域にプリロードされた値により決まります。コアーストリミングでは , メイン CR クロック周波数を粗調整できます。コアーストリミング値が大きくされると , メイン CR クロック周波数は小さくなります。

bit4:0	説明
"00000" を書き込んだ場合	メイン CR クロック周波数の最大値
:	:
"11111" を書き込んだ場合	メイン CR クロック周波数の最小値

メイン CR クロックトリミングの詳細と , メイン CR クロックの値の変更に関する注意事項については , それぞれ「28.4 メイン CR クロックトリミング使用上の注意」と「28.5 使用上の注意」を参照してください。

28.3.2 メイン CR クロックトリミングレジスタ (下位) (CRTL)

メイン CR クロックトリミングレジスタ (下位) (CRTL) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	CRTL4	CRTL3	CRTL2	CRTL1	CRTL0
属性	—	—	—	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	X	X	X	X	X

■ レジスタ機能

[bit7:5] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit4:0] CRTL[4:0]: メイン CR クロックファイントリミングビット
これらのビットの設定はリセット後 , フラッシュメモリアドレス 0xFFBD (bit4:0) からロードされます。これらのビットの初期値は , NVR フラッシュ領域にプリロードされた値により決まります。ファイントリミングでは , メイン CR クロック周波数を微調整できます。ファイントリミング値が大きくされると , メイン CR クロック周波数は小さくなります。

bit4:0	説明
"00000" を書き込んだ場合	メイン CR クロック周波数の最大値
:	:
"11111" を書き込んだ場合	メイン CR クロック周波数の最小値

メイン CR クロックトリミングの詳細と , メイン CR クロックの値の変更に関する注意事項については , それぞれ「28.4 メイン CR クロックトリミング使用上の注意」と「28.5 使用上の注意」を参照してください。

28.3.3 メイン CR クロック温度依存調節レジスタ (CRTDA)

メイン CR クロック温度依存調節レジスタ (CRTDA) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	CRTDA4	CRTDA3	CRTDA2	CRTDA1	CRTDA0
属性	—	—	—	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	X	X	X	X	X

■ レジスタ機能

[bit7:5] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit4:0] CRTDA[4:0]: メイン CR クロック温度依存調節ビット
これらのビットはリセット後 , フラッシュアドレス 0xFFBB (bit4:0) からロードされます。これらのビットの初期値は , NVR フラッシュ領域にプリロードされた値により決まります。
温度依存調節はメイン CR クロック周波数を微調整できます。メイン CR クロック周波数は , CRTH レジスタのコアーストリミング値の設定と , CRTL レジスタのファイントリミング値の設定の組み合わせで決まります。また , CRTDA レジスタの値を大きくするとメイン CR クロック周波数は小さくなります。

bit4:0	説明
"00000" を書き込んだ場合	メイン CR クロック周波数の最大値
:	:
"11111" を書き込んだ場合	メイン CR クロック周波数の最小値

メイン CR クロックトリミングの詳細と , メイン CR クロックの値の変更に関する注意事項については , それぞれ「28.4 メイン CR クロックトリミング使用上の注意」と「28.5 使用上の注意」を参照してください。

28.3.4 ウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL)

ウォッチドッグタイマ選択 ID レジスタ (上位 / 下位) (WDTH/WDTL) について説明します。

■ レジスタ構成

WDTH

bit	7	6	5	4	3	2	1	0
Field	WDTH7	WDTH6	WDTH5	WDTH4	WDTH3	WDTH2	WDTH1	WDTH0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

WDTL

bit	7	6	5	4	3	2	1	0
Field	WDTL7	WDTL6	WDTL5	WDTL4	WDTL3	WDTL2	WDTL1	WDTL0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

■ WDTH レジスタの機能

[bit7:0] WDTH[7:0]: ウォッチドッグタイマ選択 ID (上位) ビット

これらのビットはリセット後 , フラッシュアドレス 0xFFBE (bit7:0) からロードされます。これらのビットの初期値は , NVR フラッシュ領域にプリロードされた値により決まります。

CPU の稼働中は , これらのビットを変更できません。

ウォッチドッグタイマ選択については , 表 28.3-2 を参照してください。

NVR 値の書込みに関する注意事項については , 「28.5 使用上の注意」を参照してください。

■ WDTL レジスタの機能

[bit7:0] WDTL[7:0]: ウォッチドッグタイマ選択 ID (下位) ビット

これらのビットはリセット後 , フラッシュアドレス 0xFFBF (bit7:0) からロードされます。これらのビットの初期値は , NVR フラッシュ領域にプリロードされた値により決まります。

CPU の稼働中は , これらのビットを変更できません。

ウォッチドッグタイマ選択については , 表 28.3-2 を参照してください。

NVR 値の書込みに関する注意事項については , 「28.5 使用上の注意」を参照してください。

表 28.3-2 ウォッチドッグタイマ選択 ID レジスタ

WDTH[7:0], WDTL[7:0]	説明
0xA596	ハードウェアウォッチドッグタイマは無効になり , ソフトウェアウォッチドッグタイマは有効になります。
0xA597	ハードウェアウォッチドッグタイマが選択され , ソフトウェアウォッチドッグタイマは無効になります。 スタンバイモード (ストップモード , スリープモード , タイムベースタイマモードおよび時計モード) でハードウェアウォッチドッグタイマは動作を停止します。
上記以外の値	ハードウェアウォッチドッグタイマが選択され , ソフトウェアウォッチドッグタイマは無効になります。 スタンバイモード (ストップモード , スリープモード , タイムベースタイマモードおよび時計モード) でハードウェアウォッチドッグタイマは動作を継続します。

28.4 メイン CR クロックトリミング使用上の注意

メイン CR クロックトリミング使用上の注意を示します。

ハードウェアリセット後 , 10 ビットのメイン CR クロックトリミング値と 5 ビットの温度依存調節値は , NVR フラッシュ領域から NVR I/O 領域のレジスタへとロードされます。

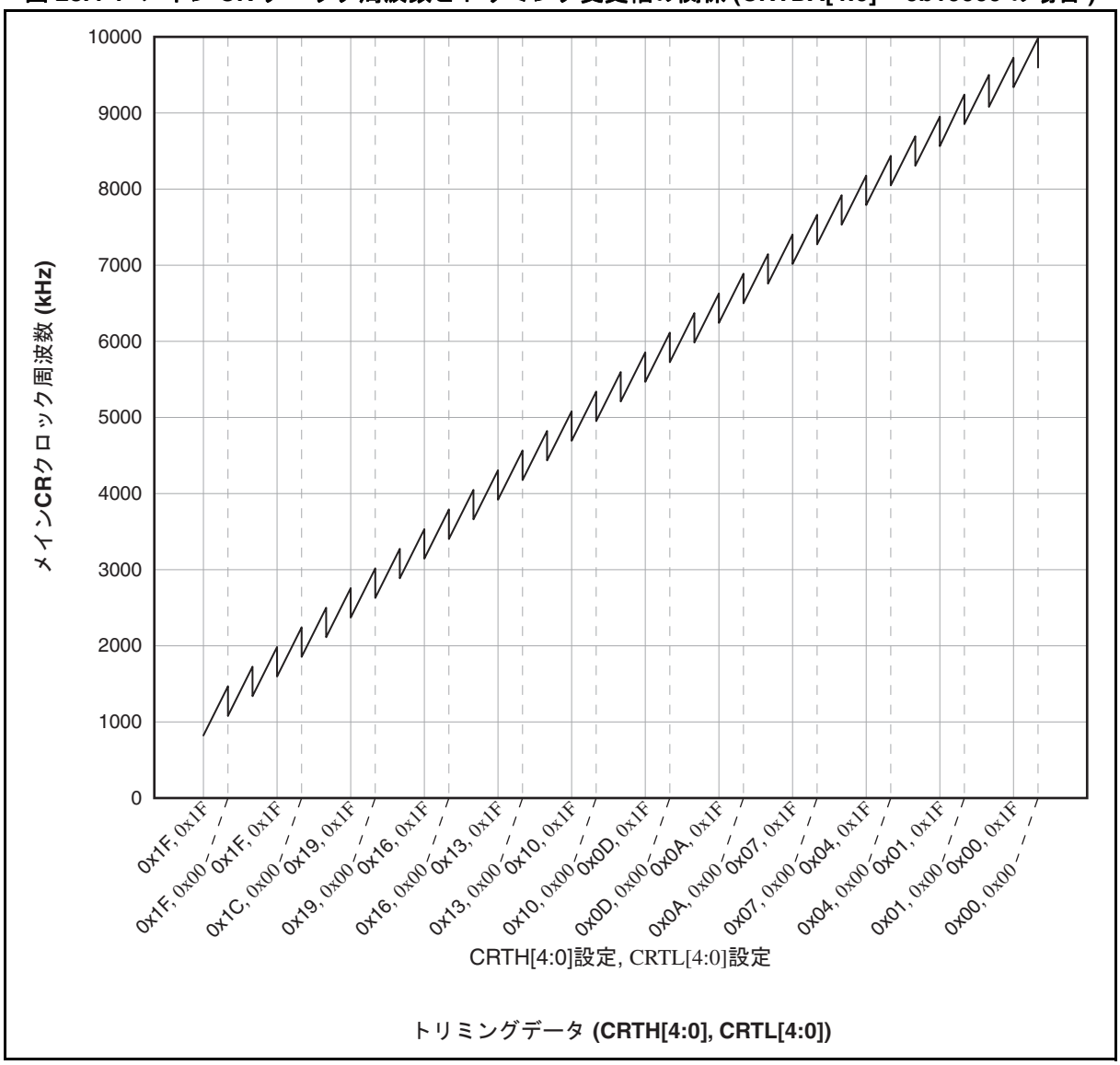
表 28.4-1 に , メイン CR クロックトリミングの変更幅を示します。

表 28.4-1 メイン CR クロックトリミングの変更幅

機能	コアーストリミング値 CRTH[4:0]	ファイントリミング値 CRTL[4:0]
周波数が最小となる値	0b11111	0b11111
周波数が最大となる値	0b00000	0b00000
変更幅	220 kHz ～ 300 kHz	14 kHz ～ 20 kHz

図 28.4-1 に , メイン CR クロック周波数とトリミング変更幅の関係を示します。

図 28.4-1 メイン CR クロック周波数とトリミング変更幅の関係 (CRTDA[4:0] = 0b10000 の場合)



28.5 使用上の注意

NVR 使用上の注意を示します。

■ メイン CR 周波数の変更に関する注意事項

変更値が NVR フラッシュ領域には書き込まれないことに留意してください。CRTH, CRTL および CRTDA レジスタを変更すると , その変更値は , フラッシュライタにより NVR フラッシュ領域に書き込まれます。

■ フラッシュ消去およびトリミング値に関する注意事項

1. フラッシュ消去操作では , すべての NVR データが消去されます。
   フラッシュライタは , 元のシステム設定を保持するために , 以下の処理を実行します。
   (1) CRTH:CRTH[4:0], CRTL:CRTL[4:0] および CRTDA:CRTDA[4:0] のデータのバックアップを作成します。
   (2) フラッシュを消去します。
   (3) CRTH:CRTH[4:0], CRTL:CRTL[4:0] および CRTDA:CRTDA[4:0] のすべてのデータを , NVR フラッシュ領域に復元します。
   CRTH:CRTH[4:0], CRTL:CRTL[4:0] および CRTDA:CRTDA[4:0] に新しいデータが存在する場合は , フラッシュライタが新しいデータを NVR フラッシュ領域に書き込みます。
2. トリミング値は , 本デバイスが出荷される前にプリセットされています。プリセットされたトリミング値が出荷後に変更された場合 , 変更されたトリミング値に基づいた使用に対し , デバイスの正常な動作を保証しません。
3. ユーザプログラムコードによりフラッシュ操作が実行された場合は , 元のトリミングデータもユーザプログラムコードにより NVR フラッシュ領域に復元してください。そうしなければ , 出荷前にデバイスにプリセットされたトリミング値は , フラッシュ消去操作により消去されてしまいます。

第 29 章
コンパレータ

コンパレータの機能と動作について説明します。

29.1 概要
29.2 構成
29.3 端子
29.4 割込み
29.5 動作説明と設定手順例
29.6 レジスタ

29.1 概要

コンパレータは 2 つのアナログ入力電圧を監視し , コンパレータ出力エッジの変化を検出すると自動的に割込みを発生させます。

■ コンパレータの機能

コンパレータには2つのアナログ外部入力電圧を監視し, それらを比較するという機能があります。コンパレータは反転アナログ入力電圧 (負入力) または専用 BGR の電圧を基準電圧として使用し , 非反転アナログ入力電圧 (正入力) が基準電圧よりも高ければ "H" レベルを , そうでなければ "L" レベルを出力します。さらに , コンパレータ出力の立上りエッジまたは立下りエッジを検出すると , コンパレータは対応する割込みを出力します。

29.2 構成

コンパレータモジュール全体は以下のブロックで構成されます。

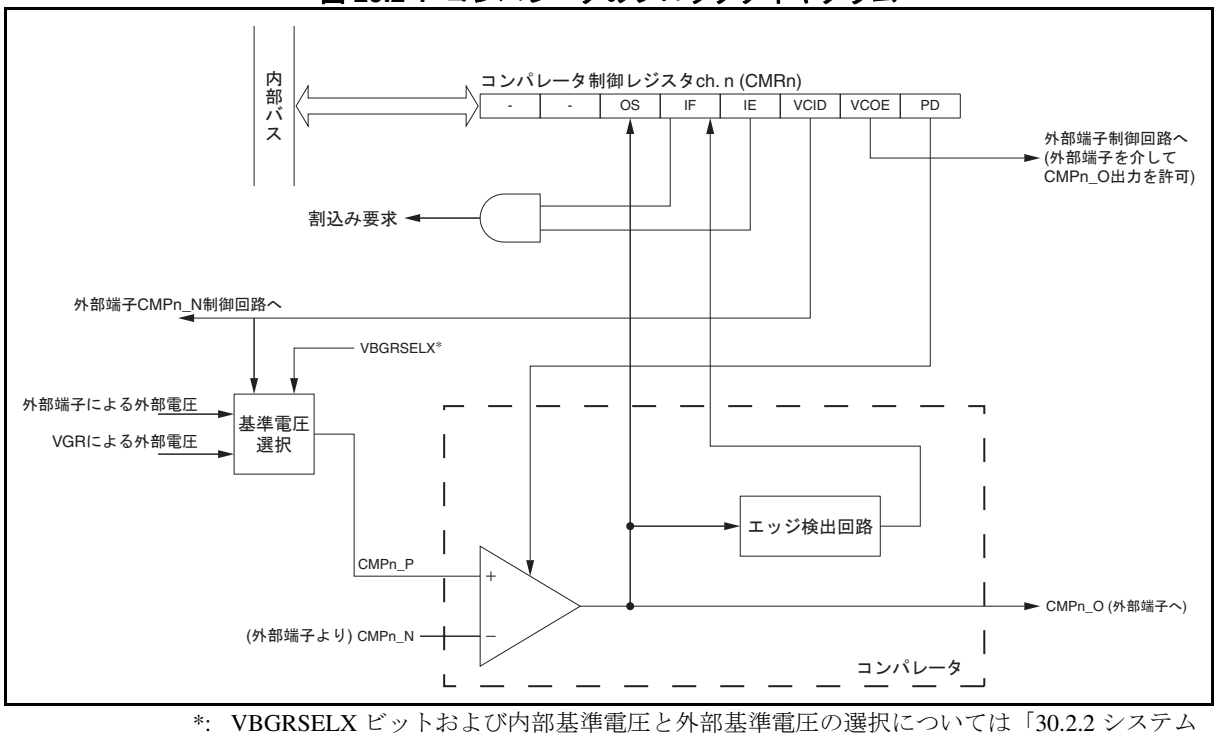
- **コンパレータ**
- **エッジ検出回路**
- **コンパレータ制御レジスタ ch. n (CMRn)**

品種により , コンパレータの端子数およびチャネル数は異なります。詳細は , デバイスのデータシートを参照してください。

本章において , 端子名とレジスタ略称にある "n" はチャネル番号を示します。各品種の端子名 , レジスタ名とレジスタ略称について , デバイスのデータシートを参照してください。

■ コンパレータのブロックダイヤグラム

図 29.2-1 コンパレータのブロックダイヤグラム



*: VBGRSELX ビットおよび内部基準電圧と外部基準電圧の選択については「30.2.2 システム構成レジスタ 2 (SYSC2)」を参照してください。

● コンパレータ

コンパレータは2つの外部アナログ入力電圧を監視し比較します。コンパレータは反転アナログ入力電圧 (負入力) または外部電圧を基準電圧として使用し , 非反転アナログ入力電圧 (正入力) が基準電圧よりも高ければ "H" レベルを , そうでなければ "L" レベルを出力します。

● エッジ検出回路

ストップモード , 時計モードまたはタイムベースタイマモード以外の状態で , コンパレータ出力の立上りエッジまたは立下りエッジが検出されると , エッジ検出回路は自動的に割込みフラグを立てます (CMRn:IF)。

● コンパレータ制御レジスタ ch. n (CMRn)

本レジスタは以下の機能を持っています。

- コンパレータの電源の投入または切断 (CMRn:PD)
- コンパレータの出力の許可または禁止 (CMRn:VCOE)
- コンパレータのアナログ入力の許可または禁止 (CMRn:VCID)

ストップモード , 時計モードまたはタイムベースタイマモード以外の状態で , CMRn レジスタの割込み要求許可ビット (IE) が "1" に設定された場合 , コンパレータ出力の立上りエッジまたは立下りエッジが検出されると , コンパレータは割込み要求を発生し , 同時に CMRn レジスタの出力エッジ検出割込みフラグビット (IF) が自動的に "1" に設定されます。

コンパレータの出力状態は CMRn レジスタの出力状態ビット (OS) から読み出せます。

29.3 端子

コンパレータの端子について説明します。

■ コンパレータの端子

コンパレータの端子を表 29.3-1 に示します。

表 29.3-1 コンパレータの端子

端子名	端子機能
CMPn_P	コンパレータ非反転アナログ入力 (正入力)
CMPn_N	コンパレータ反転アナログ入力 (負入力)
CMPn_O	コンパレータデジタル出力

29.4 割込み

コンパレータは出力エッジ検出割込みとよばれる割込みを発生させます。割込み要求番号と割込みベクタがこの割込みに割り当てられます。

■ 出力エッジ検出割込み

出力エッジ検出割込みを表 29.4-1 に示します。

表 29.4-1 出力エッジ検出割込み

項目	内容
割込み発生条件	出力立上りエッジまたは出力立下りエッジが発生。
割込みフラグ	CMRn:IF
割込み許可ビット	CMRn:IE

＜注意事項＞

ストップモード , 時計モードまたはタイムベースタイマモードでは , エッジ検出回路は動作を停止し , かつそれぞれのコンパレータ制御レジスタ ch. n (CMRn) の IF ビットはコンパレータの電源が投入されていても更新されません。

29.5 動作説明と設定手順例

コンパレータは , CMRn レジスタの PD ビットの設定に従って , ソフトウェアにより起動可能です。

■ コンパレータのソフトウェア起動 (外部端子からのアナログ入力を使用する場合)

外部端子からのアナログ入力を使用してコンパレータを起動するためには , 図 29.5-1 に示された設定をしてください。

図 29.5-1 コンパレータ起動のための設定 (外部端子からのアナログ入力を使用する場合)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CMRn	-	-	OS	IF	IE	VCID	VCOE	PD
	×	×	❍	❍	0	1	0	0

❍ : 使用ビット
× : 未使用ビット
0 : "0" に設定
1 : "1" に設定

上記設定によりコンパレータを起動した後 , 安定待ち時間を取る必要があります。コンパレータの安定待ち時間については , デバイスのデータシートを参照してください。

＜注意事項＞

起動時にコンパレータが不安定になり予期しない割込みが発生しないよう , コンパレータを起動する前にあらかじめ CMRn レジスタの IE ビットを "0" に設定してください。

■ 設定手順例

以下に , 反転アナログ入力 (負入力) 電圧が外部端子から入力される場合のコンパレータ設定手順例を示します。

● 初期設定

1. コンパレータの割込み要求を禁止してください (CMRn:IE = 0)。
2. 図 29.5-1 に示された設定に従ってコンパレータを起動してください。
3. コンパレータが安定するまで待ってください。
4. 割込みフラグビットをクリアしてください (CMRn:IF = 0)。
5. コンパレータの割込み要求を許可し , 必要に応じコンパレータの出力を許可してください (CMRn:IE = 1, CMRn:VCOE = 1)。

29.6 レジスタ

コンパレータのレジスタについて説明します。

表 29.6-1 コンパレータのレジスター覧

レジスタ略称	レジスタ名	参照先
CMRn	コンパレータ制御レジスタ ch. n	29.6.1

29.6.1 コンパレータ制御レジスタ ch. n (CMRn)

コンパレータ制御レジスタ ch. n (CMRn) は以下の機能があります。

- **コンパレータの電源の投入 / 切断 (CMRn:PD)**
- **コンパレータの出力の許可 / 禁止 (CMRn:VCOE)**
- **コンパレータのアナログ入力の許可 / 禁止 (CMRn:VCID)**

ストップモード , 時計モードまたはタイムベースタイマモード以外の状態で , 割込み要求許可ビット (CMRn:IE) が "1" に設定された場合 , コンパレータ出力の立上りエッジまたは立下りエッジが検出されると , コンパレータは割込み要求を発生し , 同時に割込みフラグビット (CMRn:IF) が自動的に "1" に設定されます。コンパレータの出力状態は出力状態ビット (CMRn:OS) から読み出せます。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	OS	IF	IE	VCID	VCOE	PD
属性	—	—	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

■ レジスタ機能

[bit7:6] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit5] OS: 出力状態ビット
このビットはコンパレータの出力状態を示します。

bit5	説明
"0" が読み出された場合	コンパレータの出力が "L" であることを示します。
"1" が読み出された場合	コンパレータの出力が "H" であることを示します。

(注意事項) このビットは , ストップモード , 時計モードまたはタイムベースタイマモードでは更新されません。PD ビットが "1"(コンパレータ電源の切断) に設定されると , OS ビットは "0" になります。

[bit4] IF: 出力エッジ検出割込みフラグビット
このビットはコンパレータの出力立上りエッジおよび出力立下りエッジを検出します。
コンパレータの動作中に出力立上りエッジまたは出力立下りエッジが発生すると, このビットは"1" に設定されます。
リードモディファイライト (RMW) 系命令でこのビットを読み出すと , 常に "1" が読み出されます。

bit4	説明
"0" が読み出された場合	出力立上りエッジ / 立下りエッジが発生していないことを示します。
"1" が読み出された場合	出力立上りエッジ / 立下りエッジが発生していることを示します。
"0" を書き込んだ場合	このビットをクリアします。
"1" を書き込んだ場合	動作に影響はありません。

(注意事項) このビットは, ストップモード, 時計モードまたはタイムベースタイマモードでは更新されません。

[bit3] IE: 割込み要求許可ビット
このビットはコンパレータの割込み要求を許可または禁止します。
このビットに "0" が書き込まれた場合 , コンパレータの割込み要求が禁止されます。
このビットに "1" が書き込まれた場合 , コンパレータの割込み要求が許可されます。割込み要求が許可されている場合 , コンパレータは出力立上りエッジまたは出力立下りエッジを検出すると割込み要求を発生させます。

bit3	説明
"0" を書き込んだ場合	コンパレータの割込み要求を禁止します。
"1" を書き込んだ場合	コンパレータの割込み要求を許可します。

[bit2] VCID: コンパレータアナログ入力禁止ビット
このビットはコンパレータのアナログ入力を許可または禁止します。

bit2	説明
"0" を書き込んだ場合	コンパレータのアナログ入力を許可します。
"1" を書き込んだ場合	コンパレータのアナログ入力を禁止します。

[bit1] VCOE: コンパレータ出力許可ビット
このビットはコンパレータの出力を許可または禁止します。

bit1	説明
"0" を書き込んだ場合	コンパレータの出力を禁止します。コンパレータの出力端子は汎用入出力ポートとして使用されます。
"1" を書き込んだ場合	コンパレータの出力を許可します。

[bit0] PD: コンパレータ電源切断制御ビット
このビットはコンパレータの電源を投入または切断するために使用されます。

bit0	説明
"0" を書き込んだ場合	コンパレータの電源を投入します。
"1" を書き込んだ場合	コンパレータの電源を切断します。

第 30 章

システム構成コントローラ

システム構成コントロー ラ (本章では「コントローラ」とよびます) の機能 と動作について説明します。

30.1 概要
30.2 レジスタ
30.3 使用上の注意

30.1 概要

コントローラは , システム構成レジスタ (SYSC) とシステム構成レジスタ 2 (SYSC2) で構成されます。SYSCレジスタは, クロックおよびリセットシステムを構成設定します。SYSC2 レジスタは , PLL で逓倍される外部クロックの選択とコンパレータの基準電圧の選択を行います。

■ SYSC の機能

- PF2/$\overline{\text{RST}}$ 端子の汎用入出力ポート / リセット機能の選択
- $\overline{\text{RST}}$ 端子のリセット出力の許可 / 禁止
- PF0/X0 端子および PF1/X1 端子の汎用入出力ポート / 発振機能の選択
- PG1/X0A 端子および PG2/X1A 端子の汎用入出力ポート / 発振機能の選択
- PF0/X0 端子および PF1/X1 端子の外部クロック入力機能の選択
- PG1/X0A 端子および PG2/X1A 端子の外部クロック入力機能の選択

■ SYSC2 の機能

- PLL で逓倍される外部クロックの選択
- コンパレータの基準電圧の選択

30.2 レジスタ

コントローラのレジスタについて説明します。

表 30.2-1 コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
SYSC	システム構成レジスタ	30.2.1
SYSC2	システム構成レジスタ 2	30.2.2

30.2.1 システム構成レジスタ (SYSC)

システム構成レジスタ (SYSC) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	予約	PGSEL1	PGSEL0	PFSEL1	PFSEL0	RSTOE	RSTEN
属性	W	W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	1	1	1	1

■ レジスタ機能

[bit7:6] 予約ビット
これらのビットは常に "0" に設定してください。

[bit5:4] PGSEL[1:0]: PG1 と PG2 機能選択ビット
これらのビットは PG1 端子と PG2 端子の機能を選択します。
これらのビットに "00" が書き込まれた場合 , PG1 端子と PG2 端子はサブクロック発振端子として機能します。水晶振動子またはセラミック振動子を使用するとき , これらのビットに "00" を書き込んでください。サブクロック発振は , サブクロック発振許可ビット (SYCC2:SOSCE) により許可または禁止されます。
これらのビットに "10" が書き込まれた場合 , PG1 端子はサブクロック外部入力端子として , PG2 端子は汎用入出力ポートとして機能します。外部サブクロックを使用するとき , これらのビットに "10" を書き込んでください。サブクロック発振は , サブクロック発振許可ビット (SYCC2:SOSCE) により許可または禁止されます。
このビットに "01" または "11" が書き込まれた場合 , PG1 端子と PG2 端子は汎用入出力ポートとして機能します。

bit5:4	説明
"00" を書き込んだ場合	PG1 端子と PG2 端子はサブクロック発振端子として機能します。
"01" を書き込んだ場合	PG1 端子と PG2 端子は汎用入出力ポートとして機能します。
"10" を書き込んだ場合	PG1 端子はサブクロック外部入力端子として , PG2 端子は汎用入出力ポートとして機能します。
"11" を書き込んだ場合	PG1 端子と PG2 端子は汎用入出力ポートとして機能します。

[bit3:2] PFSEL[1:0]: PF0 と PF1 機能選択ビット

これらのビットは PF0 端子と PF1 端子の機能を選択します。

これらのビットに "00" が書き込まれた場合 , PF0 端子と PF1 端子はメインクロック発振端子として機能します。水晶振動子またはセラミック振動子を使用するとき , これらのビットに "00" を書き込んでください。メインクロック発振は , メインクロック発振許可ビット (SYCC2:MOSCE) により許可または禁止されます。

これらのビットに "10" が書き込まれた場合 , PF0 端子はメインクロック外部入力端子として , PF1 端子は汎用入出力ポートとして機能します。外部メインクロックを使用するとき , これらのビットに "10" を書き込んでください。メインクロック発振は , メインクロック発振許可ビット (SYCC2:MOSCE) により許可または禁止されます。

このビットに "01" または "11" が書き込まれた場合 , PF0 端子と PF1 端子は汎用入出力ポートとして機能します。

bit3:2	説明
"00" を書き込んだ場合	PF0 端子と PF1 端子はメインクロック発振端子として機能します。
"01" を書き込んだ場合	PF0 端子と PF1 端子は汎用入出力ポートとして機能します。
"10" を書き込んだ場合	PF0 端子はメインクロック外部入力端子として , PF1 端子は汎用入出力ポートとして機能します。
"11" を書き込んだ場合	PF0 端子と PF1 端子は汎用入出力ポートとして機能します。

[bit1] RSTOE: リセット出力許可 / 禁止ビット

このビットは , リセット入力機能が許可されている場合に , PF2 /RST 端子のリセット出力機能を許可または禁止します。リセット入力機能が禁止されている (SYSC:RSTEN = 0) 場合は , このビットの設定にかかわらず , リセット出力機能は禁止されます。

リセット入力機能の選択について , PF2 機能選択ビット (SYSC:RSTEN) を参照してください。

bit1	説明
"0" を書き込んだ場合	PF2/RST 端子のリセット出力機能を禁止します。
"1" を書き込んだ場合	PF2/RST 端子のリセット出力機能を許可します。

[bit0] RSTEN: PF2 機能選択ビット

このビットはPF2/RST 端子のリセット入力機能を許可または禁止します。MB95F714L/F716L/F718L/F774L/F776L/F778L では , このビットの設定に関係なく , リセット入力機能は常に許可されます。

このビットに "0" が書き込まれた場合 , PF2/RST 端子のリセット入力機能は禁止され , 汎用入出力ポート機能が許可されます。

このビットに "1" が書き込まれた場合 , PF2/RST 端子のリセット入力機能は許可され , 汎用入出力ポート機能が禁止されます。

このビットを変更する前に , PDRF レジスタの bit2 を "1" に設定してください。

bit0	説明
"0" を書き込んだ場合	PF2/RST 端子の汎用入出力ポート機能を選択します。
"1" を書き込んだ場合	PF2/RST 端子のリセット入力機能を選択します。

＜注意事項＞

リセット後にリセット入出力機能を維持するために, SYSC:RSTENおよびSYSC:RSTOEは , 電源投入後に "1" に初期化されます。そのほかのリセットでは , これらのビットは初期化されません。

システムにおいてリセット入出力機能を使用する必要がある場合は, 安定した動作を維持するために , リセット後の初期化プログラムルーチンにおいて SYSC:RSTEN を "1" に初期化することを強く推奨します。リセット入出力機能が許可されている場合には , ウォッチドッグリセットを含むすべての種類のリセットを使用できます。

30.2.2 システム構成レジスタ 2 (SYSC2)

システム構成レジスタ 2 (SYSC2) について説明します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	予約	PLLSEL	VBGRSELX
属性	—	—	—	—	—	W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit7:3] 未定義ビット
読出し値は常に "0" です。これらのビットに値を書き込んでも動作に影響はありません。

[bit2] 予約ビット
このビットは常に "0" に設定してください。

[bit1] PLLSEL: PLL 対象選択ビット
メインクロックを PLL で 2 逓倍する場合 , このビットを外部クロックの周波数に応じて設定してください。
PLL 逓倍率が 2 のときのみ , このビットの設定が有効になります。PLL 逓倍率が 2.5, 3 または 4 のとき , このビットの設定は動作に影響しません。
メイン CR PLL クロックを使用する場合 , 必ずこのビットに "0" を書き込んでください。
このビットの設定が外部クロックの周波数と一致しない場合 , 動作周波数の精度は保証できません。

bit1	説明
"0" を書き込んだ場合	周波数が 5 MHz 以下の外部クロックを , PLL で 2 逓倍されるクロックとして選択します。
"1" を書き込んだ場合	周波数が 5 MHz より高い外部クロックを , PLL で 2 逓倍されるクロックとして選択します。

[bit0] VBGRSELX: コンパレータ基準電圧選択ビット
このビットはコンパレータの基準電圧を選択します。

bit0	説明
"0" を書き込んだ場合	内部電圧 (バンドギャップリファレンス電圧) をコンパレータの基準電圧として選択します。 バンドギャップリファレンス電圧について , MB95710L/770L シリーズのデータシートを参照してください。
"1" を書き込んだ場合	CMP0_P 端子からの外部電圧をコンパレータの基準電圧として選択します。

30.3 使用上の注意

コントローラの使用上の注意を示します。

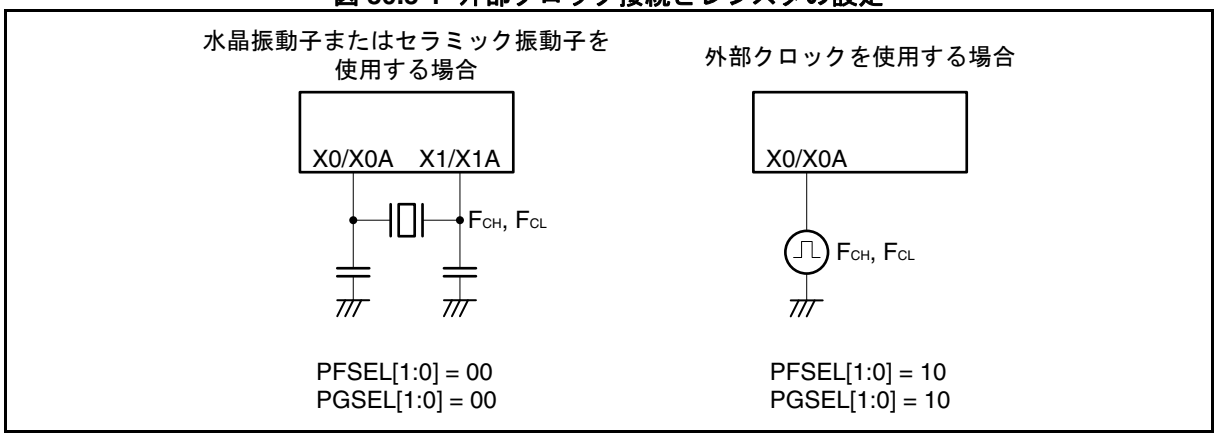
■ PFSEL[1:0] と PGSEL[1:0] の設定方法

X0 端子と X1 端子を水晶振動子またはセラミック振動子に接続する場合 , PFSEL[1:0] ビットに "00" を書き込んでください。PFSEL[1:0] ビットに "00" 以外の値を書き込んだ場合 , クロックが発振せず , デバイスはメインクロックモードに遷移しません。X0A 端子と X1A 端子を水晶振動子またはセラミック振動子に接続する場合 , PGSEL[1:0] ビットに "00" を書き込んでください。PGSEL[1:0] ビットに "00" 以外の値を書き込んだ場合 , クロックが発振せず , デバイスはサブクロックモードに遷移しません。

X0 端子を外部クロックに接続する場合 , PFSEL[1:0] ビットに "10" を書き込んでください。PFSEL[1:0] ビットに "00" 以外の値を書き込んだ場合 , 外部クロックがデバイスに供給されず , デバイスはメインクロックモードに遷移しません。X0A 端子を外部クロックに接続する場合 , PGSEL[1:0] ビットに "10" を書き込んでください。PGSEL[1:0] ビットに "00" 以外の値を書き込んだ場合 , 外部クロックがデバイスに供給されず , デバイスはサブクロックモードに遷移しません。

また , PFSEL[1:0] ビットと PGSEL[1:0] ビットを設定する前に , メインクロックとサブクロックがそれぞれ停止していることを確認してください。

図 30.3-1 外部クロック接続とレジスタの設定



■ サブクロック発振安定待ち時間

MB95710L/770L シリーズは , サブクロック発振の消費電流を低減させるため , 低消費電流サブクロック発振セルを搭載しています。少ない電流でセルを発振させるために , 発振開始時にセル発振が不安定となることがあります。

サブクロックに水晶振動子またはセラミック振動子を使用する場合 , サブクロック発振安定待ち時間を 7.75 ms 以上 (WATR:SWT[3:0] = 0b1000 以上 , サブクロック (F_{CL}) = 32. 768 kHz) に設定してください。

外部クロックを使用する場合は , 低消費電流サブクロック発振セルが使用されないために , サブクロック発振安定待ち時間は任意の値に設定できます。

■ VBGRSELX の書換えについての注意事項

SYSC2 レジスタの VBGRSELX ビットを書き換えるとき , RAM を通じて SYSC2 レジスタにアクセスするか周波数が 4 MHz 以下のソースクロックを使用することを推奨します。また , VBGRSELX ビットが書き換えられた直後はメイン CR クロックが不安定になるため , ソースクロックとしてメイン CR クロックまたはメイン CR PLL クロックを使用している場合は, UART/SIO などの周辺機能との通信を行わないことを推奨します。

付録

命令概要について説明します。

付録 A　命令概要
付録 B　主な変更内容

付録 A　命令概要

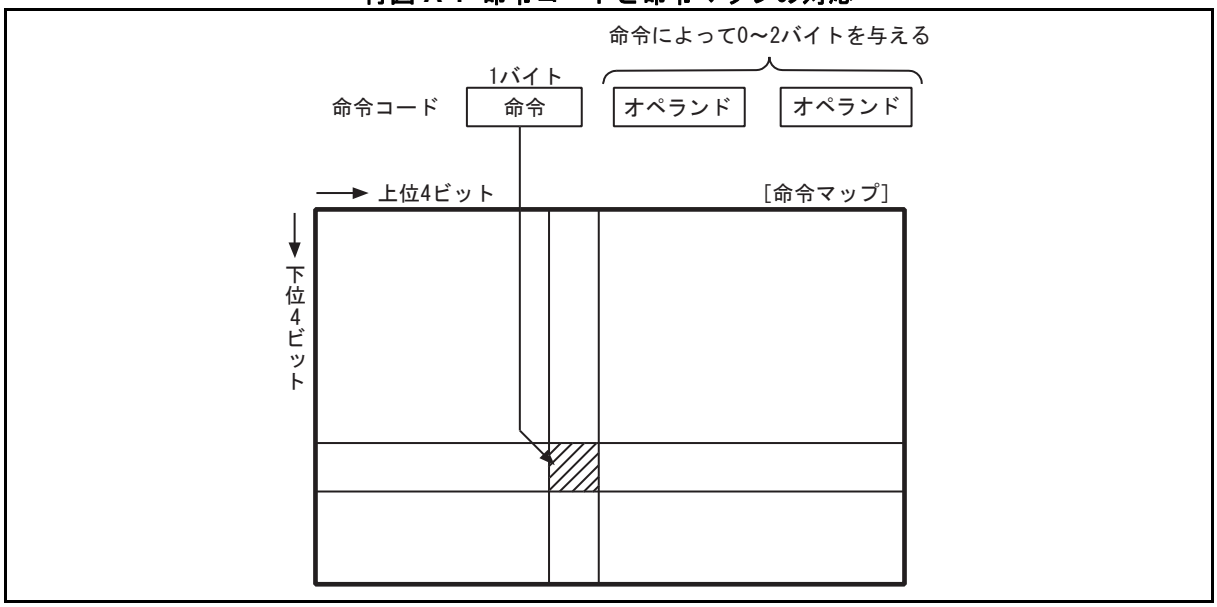
F²MC-8FX に使用している命令について説明します。

■ F²MC-8FX の命令の概要

F²MC-8FX には , 140 種類の 1 バイト命令 (マップとしては 256 バイト) があり , 命令とそれに続くオペランドによって命令コードを構成します。

付図 A-1 に命令コードと命令マップの対応について示します。

付図 A-1 命令コードと命令マップの対応



- 命令は転送系 , 演算系 , 分岐系 , そのほかの 4 つに分類されます。
- アドレッシングには各種の方法があり , 命令の選択とオペランド指定により 10 種類のアドレッシングを選択できます。
- ビット操作命令を備えており , リードモディファイライト動作が可能です。
- 特殊な動作を指示する命令があります。

管理番号 : CM26-00118-1

■ 命令コードの記号の説明

付表 A-1 に , この付録 A の命令コードの説明で使用している記号の意味を示します。

付表 A-1 命令コードの記号の説明

表 記	意 味
dir	ダイレクトアドレス (8 ビット長)
off	オフセット (8 ビット長)
ext	エクステンドアドレス (16 ビット長)
#vct	ベクタテーブル番号 (3 ビット長)
#d8	イミディエートデータ (8 ビット長)
#d16	イミディエートデータ (16 ビット長)
dir:b	ビットダイレクトアドレス (8 ビット長 :3 ビット長)
rel	分岐相対アドレス (8 ビット長)
@	レジスタ間接 (例 :@A,@IX,@EP)
A	アキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
AH	アキュムレータの上位 8 ビット (8 ビット長)
AL	アキュムレータの下位 8 ビット (8 ビット長)
T	テンポラリアキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
TH	テンポラリアキュムレータの上位 8 ビット (8 ビット長)
TL	テンポラリアキュムレータの下位 8 ビット (8 ビット長)
IX	インデックスレジスタ (16 ビット長)
EP	エクストラポインタ (16 ビット長)
PC	プログラムカウンタ (16 ビット長)
SP	スタックポインタ (16 ビット長)
PS	プログラムステータス (16 ビット長)
dr	アキュムレータまたはインデックスレジスタのいずれか (16 ビット長)
CCR	コンディションコードレジスタ (8 ビット長)
RP	レジスタバンクポインタ (5 ビット長)
DP	ダイレクトバンクポインタ (3 ビット長)
Ri	汎用レジスタ (8 ビット長 , i=0 ～ 7)
×	× が即値データそのものであることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
(×)	× の中身がアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
((×))	× の中身が示すアドレスがアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)

■ 命令一覧表の項目の説明

付表 A-2 命令一覧表の項目の説明

項 目	説 明
MNEMONIC	命令のアセンブル記述を表します。
～	命令のサイクル数を示します。1 命令サイクルは 1 マシンサイクルです。 (注意事項) 命令のサイクル数は , 直前の命令によって 1 サイクル延期される場合があります。また , I/O 領域へのアクセスでは , 命令のサイクル数が延長される場合があります。
#	命令のバイト数を示します。
動作	命令の動作を示します。
TL, TH, AH	TL, TH, AH の各命令実行時の内容の変化 (A から T への自動転送) を示します。欄内の記号は以下のものを , それぞれ示します。 ・－ は変化なし ・dH は動作に記述したデータの上位 8 ビット ・AL と AH はその命令実行直前の AL と AH の内容になること ・00 は 00 になること
N, Z, V, C	それぞれに対応するフラグが変化する命令を示します。欄内の記号は以下のものを , それぞれ表します。 ・－：変化しないこと ・＋：変化すること ・R："0" になること ・S："1" になること
OP CODE	命令のコードを示します。該当命令が複数のコードを占める場合は , 次のような記載規約に則っています。 【例】 48 ～ 4F ← これは 48, 49, …… 4F を示します。

A.1 アドレッシング

F²MC-8FX には , 次の 10 種類のアドレッシングがあります。

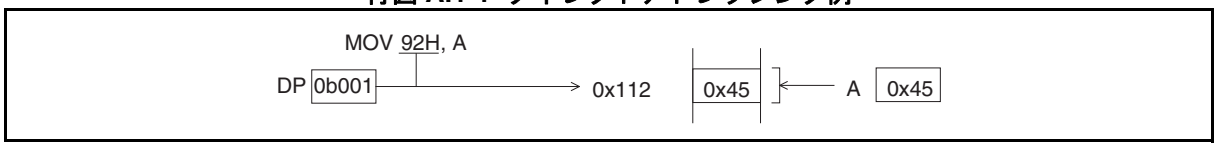
- **ダイレクトアドレッシング**
- **エクステンドアドレッシング**
- **ビットダイレクトアドレッシング**
- **インデックスアドレッシング**
- **ポインタアドレッシング**
- **汎用レジスタアドレッシング**
- **イミディエートアドレッシング**
- **ベクタアドレッシング**
- **相対アドレッシング**
- **インヘレントアドレッシング**

■ アドレッシングの説明

● ダイレクトアドレッシング

命令表中で "dir" と示したアドレッシングで , ダイレクト領域 "0x0000" ～ "0x047F" をアクセスする際に使用します。このアドレッシングでは , オペランドアドレスが "0x00" ～ "0x7F" の場合 ,"0x0000" ～ "0x007F" にアクセスします。また , オペランドアドレスが "0x80" ～ "0xFF" の場合 , ダイレクトバンクポインタ DP の設定により "0x0080" ～ "0x047F" にアクセスがマッピングできます。付図 A.1-1 に例を示します。

付図 A.1-1 ダイレクトアドレッシング例

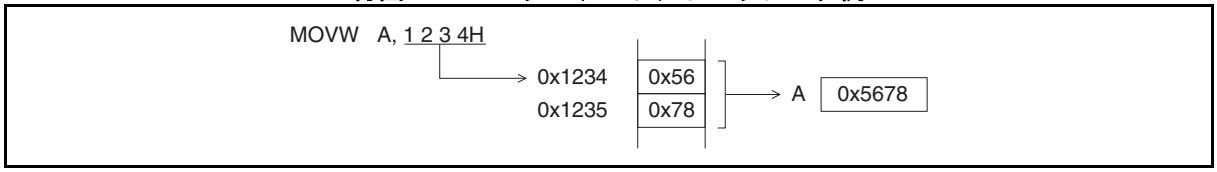


● エクステンドアドレッシング

命令表の中で "ext" と示したアドレッシングで , 64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは , 第 1 オペランドでアドレスの上位 1 バイトを , 第 2 オペランドでアドレスの下位 1 バイトを指定します。

付図 A.1-2 に例を示します。

付図 A.1-2 エクステンドアドレッシング例

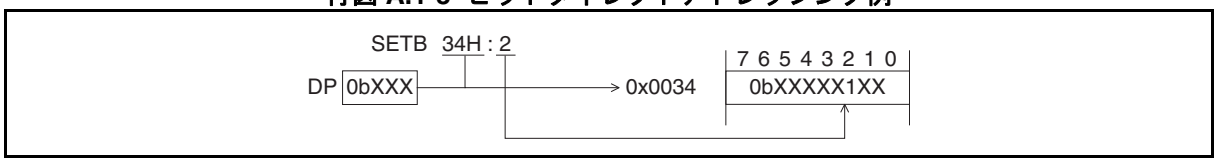


● ビットダイレクトアドレッシング

命令表中で "dir:b" と示したアドレッシングで , ダイレクト領域 "0x0000" ～ "0x047F" をビット単位でアクセスする際に使用します。このアドレッシングでは , オペランドアドレスが "0x00" ～ "0x7F" の場合 , "0x0000" ～ "0x007F" にアクセスします。また , オペランドアドレスが "0x80" ～ "0xFF" の場合 , ダイレクトバンクポインタ DP の設定により "0x0080" ～ "0x047F" にアクセスがマッピングできます。指定したアドレス内のビットの位置は命令コードの下位 3 ビットの値で指定します。

付図 A.1-3 に例を示します。

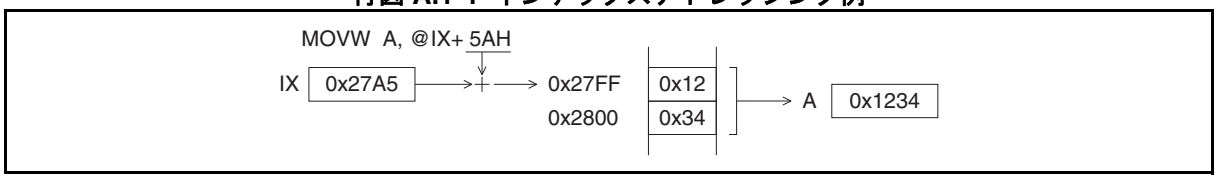
付図 A.1-3 ビットダイレクトアドレッシング例



● インデックスアドレッシング

命令表の中で "@IX ＋ off" と示したアドレッシングで , 64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは , 第 1 オペランドの内容を符号拡張した上で IX(インデックスレジスタ) に加算してその結果をアドレスとします。付図 A.1-4 に例を示します。

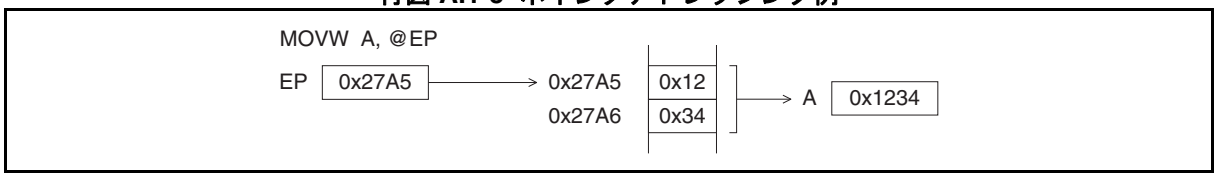
付図 A.1-4 インデックスアドレッシング例



● ポインタアドレッシング

命令表の中で "@EP" と示したアドレッシングで , 64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは , EP(エクストラポインタ) の内容をアドレスとします。付図 A.1-5 に例を示します。

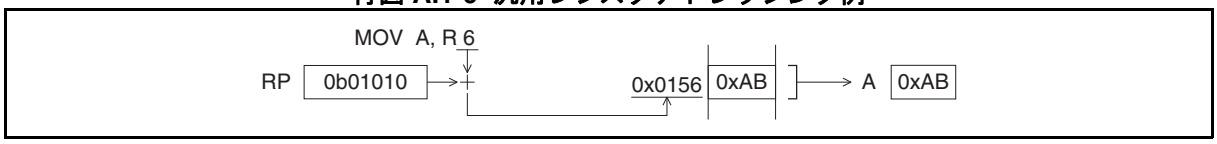
付図 A.1-5 ポインタアドレッシング例



● 汎用レジスタアドレッシング

命令表の中で "Ri" と示したアドレッシングで , 汎用レジスタ領域のレジスタバンクをアクセスするときに使用します。このアドレッシングでは , アドレスの上位 1 バイトは "01" に固定し , 下位 1 バイトを RP (レジスタバンクポインタ) の内容とオペコードの下位 3 ビットから作成し , このアドレスに対してアクセスを行います。付図 A.1-6 に例を示します。

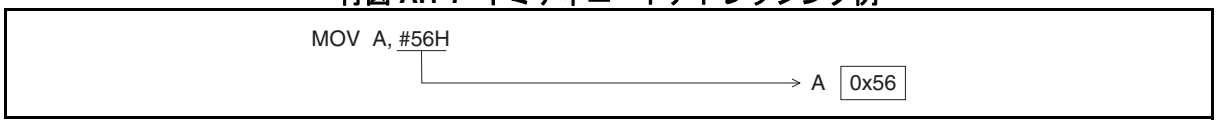
付図 A.1-6 汎用レジスタアドレッシング例



● イミディエートアドレッシング

命令表の中で "#d8" と示したアドレッシングで , 即値データを必要とするときに使用します。このアドレッシングでは , オペランドがそのまま即値データになります。バイト / ワードの指定はオペコードにより決まります。付図 A.1-7 に例を示します。

付図 A.1-7 イミディエートアドレッシング例



● ベクタアドレッシング

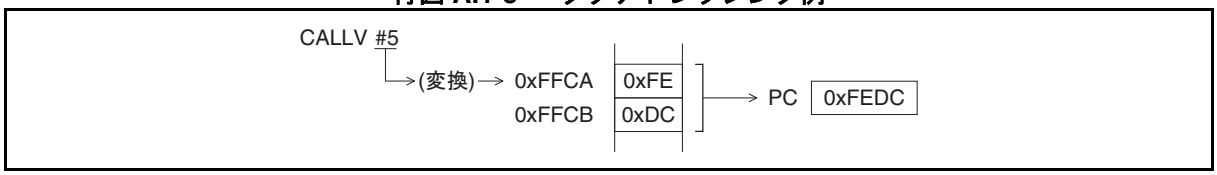
命令表の中で "#vct" と示したアドレッシングで , テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。このアドレッシングでは , オペコード内に "#vct" の情報を含み , 付表 A.1-1 に示す対応でテーブルのアドレスを作成します。

付表 A.1-1 "#vct" に対応したベクタテーブルアドレス

#vct	ベクタテーブルアドレス (ジャンプ先上位アドレス : 下位アドレス)
0	0xFFC0 : 0xFFC1
1	0xFFC2 : 0xFFC3
2	0xFFC4 : 0xFFC5
3	0xFFC6 : 0xFFC7
4	0xFFC8 : 0xFFC9
5	0xFFCA : 0xFFCB
6	0xFFCC : 0xFFCD
7	0xFFCE : 0xFFCF

付図 A.1-8 に例を示します。

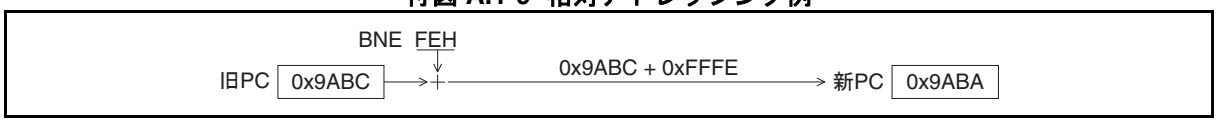
付図 A.1-8 ベクタアドレッシング例



● 相対アドレッシング

命令表の中で "rel" と示したアドレッシングで , PC(プログラムカウンタ) の前後 128 バイトの領域に分岐するときに使用します。このアドレッシングでは , オペランドの内容を PC に符号付きで加算し , その結果を PC に格納します。付図 A.1-9 に例を示します。

付図 A.1-9 相対アドレッシング例

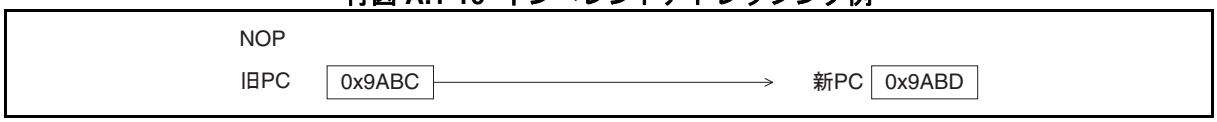


この例では, BNE のオペコードが格納されているアドレスへジャンプするため, 結果として無限ループになります。

● インヘレントアドレッシング

命令表の中でオペランドを持たないアドレッシングで,オペコードで決まる動作を行うときに使用します。このアドレッシングでは , 動作が命令ごとに異なります。
付図 A.1-10 に例を示します。

付図 A.1-10 インヘレントアドレッシング例



A.2 特殊な命令について

アドレッシング以外の特殊な命令について説明します。

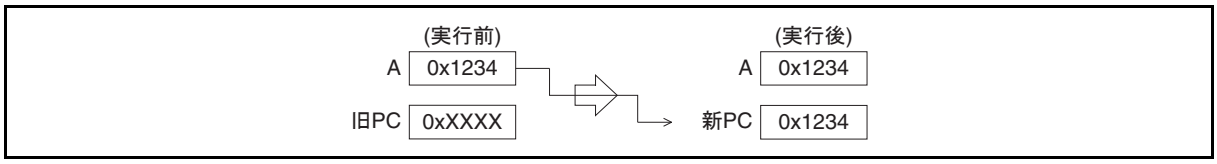
■ 特殊な命令について

● JMP @A

この命令は , A(アキュムレータ) の内容をアドレスとして PC(プログラムカウンタ) へ分岐するというものです。N 個のジャンプ先をテーブル上に並べておき , その内容のいずれか 1 つを選択して A に転送します。この命令を実行することによって N 分岐処理が行えます。

付図 A.2-1 に概要図を示します。

付図 A.2-1 JMP @A

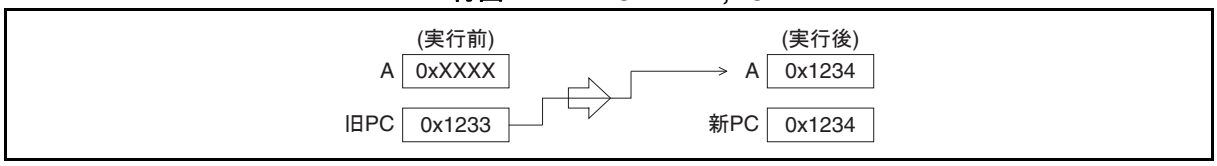


● MOVW A,PC

この命令は ,"JMP @A" と反対の動作を行うものです。すなわち , PC の内容を A に格納するものです。メインルーチン内でこの命令を実行しておき , 特定のサブルーチンを呼び出すような設定において , そのサブルーチン内で A の内容が決められた値になっていることを確認できます。予想できない部分からの分岐でないことが識別でき , 暴走判断に使用できます。

付図 A.2-2 に概要図を示します。

付図 A.2-2 MOVW A,PC



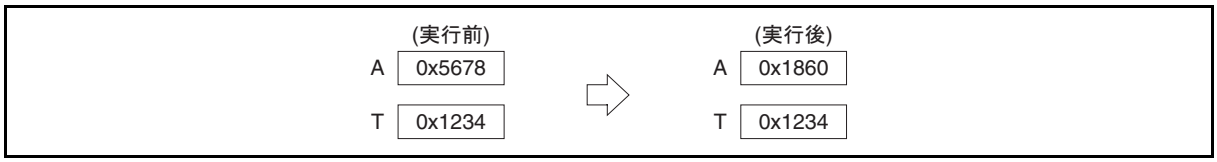
この命令を実行したときの A の内容は , この命令のオペコードが格納されているアドレスではなく , 次の命令が格納されているアドレスと同じ値になります。したがって , 付図 A.2-2 では A に格納した値 "0x1234" は「MOVW A,PC」の次のオペコードが格納されているアドレスに一致します。

● MULU A

この命令は , AL(アキュムレータの下位 8 ビット) と TL(テンポラリアキュムレータの下位 8 ビット) を符号なしで掛け合わせ , 16 ビット長の結果を A に格納します。T(テンポラリアキュムレータ) の内容は変化しません。演算に関して , 実行前の AH(アキュムレータの 8 上位ビット), TH(テンポラリアキュムレータの上位 8 ビット) の内容は使用していません。フラグは変化しないため , 乗算の結果によって分岐するときには注意してください。

付図 A.2-3 に概要図を示します。

付図 A.2-3 MULU A

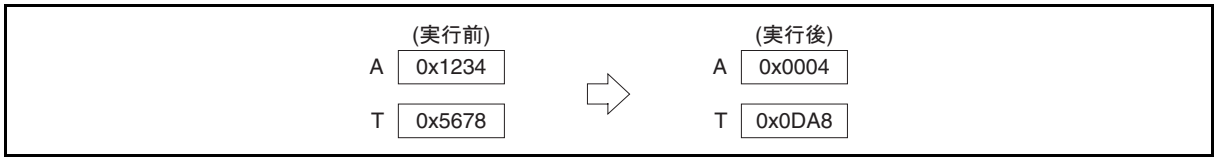


- DIVU A

この命令は , T の 16 ビットを A の 16 ビットで符号なしデータとして割り , 結果を 16 ビットとして A に , 余りも 16 ビットとして T に格納するものです。実行前の A の値が "0" の場合 , ゼロ除算が実行されたことを示すために Z フラグが "1" になります。そのほかのフラグは変化しないため除算の結果によって分岐するときには注意してください。

付図 A.2-4 に概要図を示します。

付図 A.2-4 DIVU A

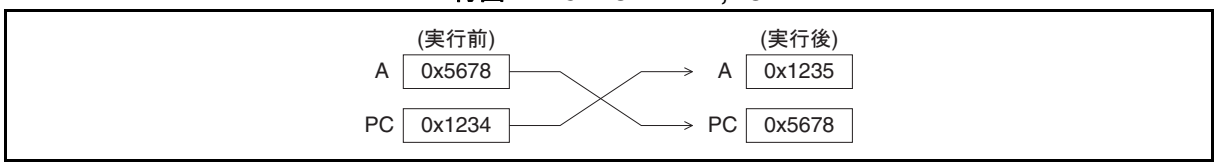


- XCHW A,PC

この命令は , A と PC の内容を交換するもので , 結果として実行前の A の内容が示す番地へ分岐します。実行後の A は ,「XCHW A,PC」のオペコードが格納されているアドレスの次のアドレスの値になります。この命令は , 特にメインルーチンでテーブルを指定し , サブルーチンで使用するときに有効です。

付図 A.2-5 に概要図を示します。

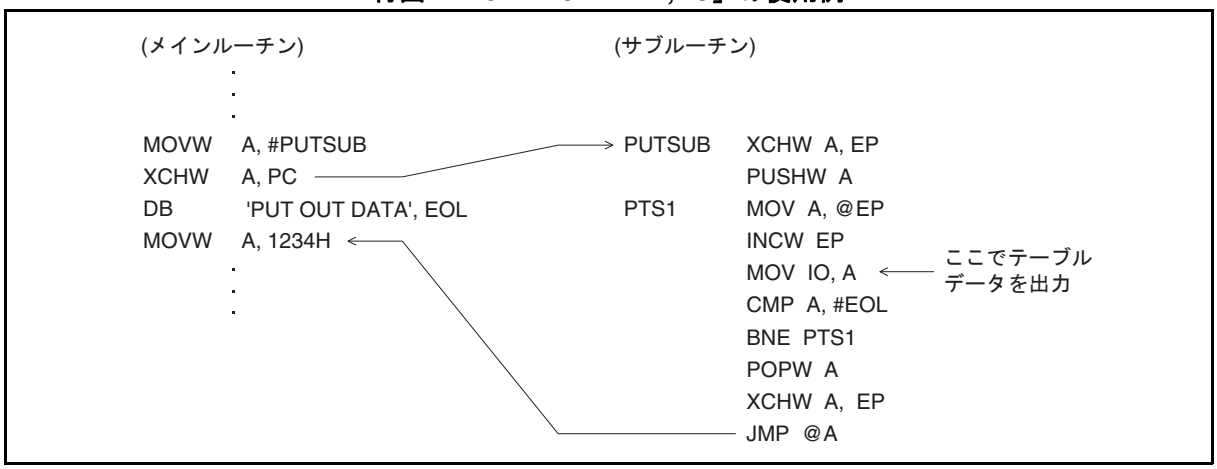
付図 A.2-5 XCHW A,PC



この命令を実行したときの A の内容は , この命令のオペコードが格納されているアドレスではなく , 次の命令が格納されているアドレスと同じ値になります。したがって , 付図 A.2-5 では A に格納した値 "0x1235" は「XCHW A,PC」の次のオペコードが格納されているアドレスに一致します。そのため , "0x1234" ではなく "0x1235" となっています。

付図 A.2-6 にアセンブラ表記例を示します。

付図 A.2-6 「XCHW A,PC」の使用例

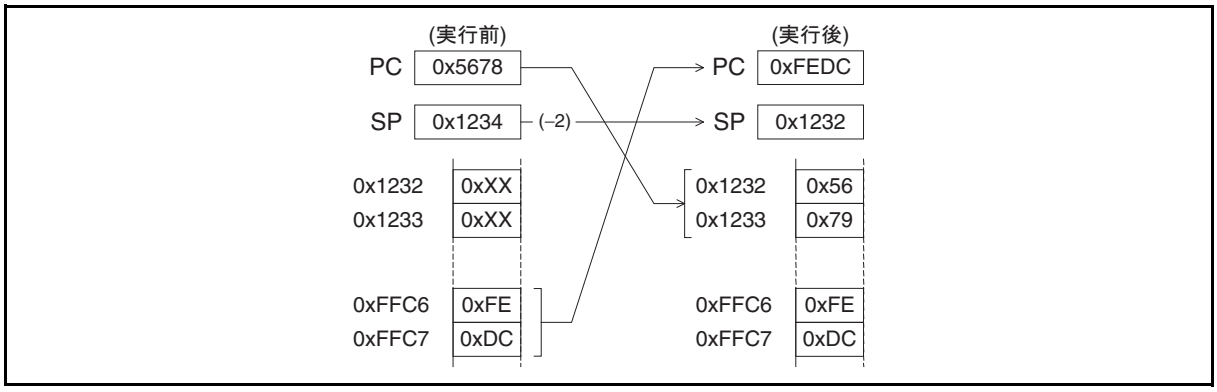


- CALLV #vct

テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。リターンアドレス (PC の内容) を SP(スタックポインタ) が示すアドレスへ退避した後 , ベクタアドレッシングによってベクタテーブルに記載したアドレスへ分岐します。1 バイトの命令のため , 頻繁に使用するサブルーチンに対してこの命令を使用することによって , プログラム全体のサイズを縮小できます。

付図 A.2-7 に概要図を示します。

付図 A.2-7 CALLV #3 の実行例



この命令を実行したときにスタック領域に退避される PC の内容は , この命令のオペコードが格納されているアドレスではなく,次の命令が格納されているアドレスと同じ値になります。したがって , 付図 A.2-7 ではスタック (0x1232, 0x1233) に退避された値 "0x5679" は「CALLV #vct」の次のオペコードが格納されているアドレス (リターンアドレス) に一致します。

付表 A.2-1 ベクタテーブル

ベクタ用途（コール命令）	ベクタテーブルのアドレス	
	上位	下位
CALLV #7	0xFFCE	0xFFCF
CALLV #6	0xFFCC	0xFFCD
CALLV #5	0xFFCA	0xFFCB
CALLV #4	0xFFC8	0xFFC9
CALLV #3	0xFFC6	0xFFC7
CALLV #2	0xFFC4	0xFFC5
CALLV #1	0xFFC2	0xFFC3
CALLV #0	0xFFC0	0xFFC1

A.3 ビット操作命令 (SETB, CLRB)

周辺機能のレジスタには , ビット操作命令に対して , 通常の読出し動作と異なる動作をするビットがあります。

■ リードモディファイライト動作

ビット操作命令では , レジスタまたは RAM の指定ビットのみを "1" に設定 (SETB) したり ,"0" にクリア (CLRB) したりできます。しかし , CPU は 8 ビット単位でデータを取り扱うため , 実際の動作としては , 8 ビットのデータを読み出し , 指定されたビットを変更し , 元のアドレスに書き戻す , という一連の動作 (リードモディファイライト動作) を行います。

付表 A.3-1 にビット操作命令時のバス動作を示します。

付表 A.3-1 ビット操作命令時のバス動作

CODE	MNEMONIC	～	サイクル	アドレスバス	データバス	RD	WR	RMW
A0 ～ A7	CLRB dir:b	4	1	N+2	次の命令	1	0	1
			2	dir アドレス	データ	1	0	1
A8 ～ AF	SETB dir:b		3	dir アドレス	データ	0	1	0
			4	N+3	次の次の命令	1	0	0

■ ビット操作命令実行時の読出し先

一部の I/O ポートや割込み要求フラグビットでは , 通常読出しによる読出し先と , リードモディファイライト時の読出し先が異なります。

- I/O ポート (ビット操作時)

  I/O ポートの中には , 通常読出し時は I/O 端子の値が読み出され , ビット操作時はポートデータレジスタの値が読み出されるものがあります。これは , 端子の入出力方向や端子の状態にかかわらず , ポートデータレジスタの , ほかのビットの不用意な変化を防止するためです。

- 割込み要求フラグビット (ビット操作時)

  割込み要求フラグビットは,通常読出し時は割込み要求の確認用フラグビットとして機能しますが , ビット操作時は常に "1" が読み出されます。これは , ほかのビットをビット操作したときに , 割込み要求フラグビットへの "0" の書込みによって , フラグが不用意にクリアされるのを防止するためです。

A.4 F²MC-8FX 命令一覧表

付表 A.4-1 ～付表 A.4-4 に , F²MC-8FX で使用している命令の一覧を示します。

■ 転送系命令

付表 A.4-1 転送系の命令一覧 (1 / 2)

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
1	MOV	dir, A	3	2	(dir) ← (A)	–	–	–	–	–	–	–	45
2	MOV	@IX + off, A	3	2	((IX) + off) ← (A)	–	–	–	–	–	–	–	46
3	MOV	ext, A	4	3	(ext) ← (A)	–	–	–	–	–	–	–	61
4	MOV	@EP, A	2	1	((EP)) ← (A)	–	–	–	–	–	–	–	47
5	MOV	Ri, A	2	1	(Ri) ← (A)	–	–	–	–	–	–	–	48 ～ 4F
6	MOV	A, #d8	2	2	(A) ← d8	AL	–	–	+	+	–	–	04
7	MOV	A, dir	3	2	(A) ← (dir)	AL	–	–	+	+	–	–	05
8	MOV	A, @IX + off	3	2	(A) ← ((IX) + off)	AL	–	–	+	+	–	–	06
9	MOV	A, ext	4	3	(A) ← (ext)	AL	–	–	+	+	–	–	60
10	MOV	A, @A	2	1	(A) ← ((A))	AL	–	–	+	+	–	–	92
11	MOV	A, @EP	2	1	(A) ← ((EP))	AL	–	–	+	+	–	–	07
12	MOV	A, Ri	2	1	(A) ← (Ri)	AL	–	–	+	+	–	–	08 ～ 0F
13	MOV	dir, #d8	4	3	(dir) ← d8	–	–	–	–	–	–	–	85
14	MOV	@IX + off, #d8	4	3	((IX) + off) ← d8	–	–	–	–	–	–	–	86
15	MOV	@EP, #d8	3	2	((EP)) ← d8	–	–	–	–	–	–	–	87
16	MOV	Ri, #d8	3	2	(Ri) ← d8	–	–	–	–	–	–	–	88 ～ 8F
17	MOVW	dir, A	4	2	(dir) ← (AH) , (dir + 1) ← (AL)	–	–	–	–	–	–	–	D5
18	MOVW	@IX + off, A	4	2	((IX) + off) ← (AH) , ((IX) + off + 1) ← (AL)	–	–	–	–	–	–	–	D6
19	MOVW	ext, A	5	3	(ext) ← (AH) , (ext + 1) ← (AL)	–	–	–	–	–	–	–	D4
20	MOVW	@EP, A	3	1	((EP)) ← (AH) , ((EP) + 1) ← (AL)	–	–	–	–	–	–	–	D7
21	MOVW	EP, A	1	1	(EP) ← (A)	–	–	–	–	–	–	–	E3
22	MOVW	A, #d16	3	3	(A) ← d16	AL	AH	dH	+	+	–	–	E4
23	MOVW	A, dir	4	2	(AH) ← (dir) , (AL) ← (dir + 1)	AL	AH	dH	+	+	–	–	C5
24	MOVW	A, @IX + off	4	2	(AH) ← ((IX) + off) , (AL) ← ((IX) + off + 1)	AL	AH	dH	+	+	–	–	C6
25	MOVW	A, ext	5	3	(AH) ← (ext) , (AL) ← (ext + 1)	AL	AH	dH	+	+	–	–	C4
26	MOVW	A, @A	3	1	(AH) ← ((A)) , (AL) ← ((A) + 1)	AL	AH	dH	+	+	–	–	93
27	MOVW	A, @EP	3	1	(AH) ← ((EP)) , (AL) ← ((EP) + 1)	AL	AH	dH	+	+	–	–	C7
28	MOVW	A, EP	1	1	(A) ← (EP)	–	–	dH	–	–	–	–	F3
29	MOVW	EP, #d16	3	3	(EP) ← d16	–	–	–	–	–	–	–	E7
30	MOVW	IX, A	1	1	(IX) ← (A)	–	–	–	–	–	–	–	E2
31	MOVW	A, IX	1	1	(A) ← (IX)	–	–	dH	–	–	–	–	F2
32	MOVW	SP, A	1	1	(SP) ← (A)	–	–	–	–	–	–	–	E1
33	MOVW	A, SP	1	1	(A) ← (SP)	–	–	dH	–	–	–	–	F1
34	MOV	@A, T	2	1	((A)) ← (T)	–	–	–	–	–	–	–	82
35	MOVW	@A, T	3	1	((A)) ← (TH) , ((A) + 1) ← (TL)	–	–	–	–	–	–	–	83
36	MOVW	IX, #d16	3	3	(IX) ← d16	–	–	–	–	–	–	–	E6
37	MOVW	A, PS	1	1	(A) ← (PS)	–	–	dH	–	–	–	–	70
38	MOVW	PS, A	1	1	(PS) ← (A)	–	–	–	+	+	+	+	71
39	MOVW	SP, #d16	3	3	(SP) ← d16	–	–	–	–	–	–	–	E5
40	SWAP		1	1	(AH) ←→ (AL)	–	–	AL	–	–	–	–	10

付表 A.4-1 転送系の命令一覧 (2 / 2)

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
41	SETB	dir : b	4	2	(dir) : b ← 1	−	−	−	−	−	−	−	A8 ～ AF
42	CLRB	dir : b	4	2	(dir) : b ← 0	−	−	−	−	−	−	−	A0 ～ A7
43	XCH	A, T	1	1	(AL) ←→ (TL)	AL	−	−	−	−	−	−	42
44	XCHW	A, T	1	1	(A) ←→ (T)	AL	AH	dH	−	−	−	−	43
45	XCHW	A, EP	1	1	(A) ←→ (EP)	−	−	dH	−	−	−	−	F7
46	XCHW	A, IX	1	1	(A) ←→ (IX)	−	−	dH	−	−	−	−	F6
47	XCHW	A, SP	1	1	(A) ←→ (SP)	−	−	dH	−	−	−	−	F5
48	MOVW	A, PC	2	1	(A) ← (PC)	−	−	dH	−	−	−	−	F0

＜注意事項＞

A へのバイト転送動作時の T への自動転送は , TL ← AL となります。
複数オペランド命令にあるオペランドは , MNEMONIC で表示された順に格納されるものとします。

■ 演算系命令

付表 A.4-2 演算系の命令一覧 (1 / 2)

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
1	ADDC	A, Ri	2	1	(A) ← (A) + (Ri) + C	−	−	−	+	+	+	+	28 ～ 2F
2	ADDC	A, #d8	2	2	(A) ← (A) + d8 + C	−	−	−	+	+	+	+	24
3	ADDC	A, dir	3	2	(A) ← (A) + (dir) + C	−	−	−	+	+	+	+	25
4	ADDC	A, @IX + off	3	2	(A) ← (A) + ((IX) + off) + C	−	−	−	+	+	+	+	26
5	ADDC	A, @EP	2	1	(A) ← (A) + ((EP)) + C	−	−	−	+	+	+	+	27
6	ADDCW	A	1	1	(A) ← (A) + (T) + C	−	−	dH	+	+	+	+	23
7	ADDC	A	1	1	(AL) ← (AL) + (TL) + C	−	−	−	+	+	+	+	22
8	SUBC	A, Ri	2	1	(A) ← (A) − (Ri) − C	−	−	−	+	+	+	+	38 ～ 3F
9	SUBC	A, #d8	2	2	(A) ← (A) − d8 − C	−	−	−	+	+	+	+	34
10	SUBC	A, dir	3	2	(A) ← (A) − (dir) − C	−	−	−	+	+	+	+	35
11	SUBC	A, @IX + off	3	2	(A) ← (A) − ((IX) + off) − C	−	−	−	+	+	+	+	36
12	SUBC	A, @EP	2	1	(A) ← (A) − ((EP)) − C	−	−	−	+	+	+	+	37
13	SUBCW	A	1	1	(A) ← (T) − (A) − C	−	−	dH	+	+	+	+	33
14	SUBC	A	1	1	(AL) ← (TL) − (AL) − C	−	−	−	+	+	+	+	32
15	INC	Ri	3	1	(Ri) ← (Ri) + 1	−	−	−	+	+	+	−	C8 ～ CF
16	INCW	EP	1	1	(EP) ← (EP) + 1	−	−	−	−	−	−	−	C3
17	INCW	IX	1	1	(IX) ← (IX) + 1	−	−	−	−	−	−	−	C2
18	INCW	A	1	1	(A) ← (A) + 1	−	−	dH	+	+	−	−	C0
19	DEC	Ri	3	1	(Ri) ← (Ri) − 1	−	−	−	+	+	+	−	D8 ～ DF
20	DECW	EP	1	1	(EP) ← (EP) − 1	−	−	−	−	−	−	−	D3
21	DECW	IX	1	1	(IX) ← (IX) − 1	−	−	−	−	−	−	−	D2
22	DECW	A	1	1	(A) ← (A) − 1	−	−	dH	+	+	−	−	D0
23	MULU	A	8	1	(A) ← (AL) × (TL)	−	−	dH	−	−	−	−	01
24	DIVU	A	17	1	(A) ← (T) / (A) , MOD → (T)	dL	dH	dH	−	+	−	−	11
25	ANDW	A	1	1	(A) ← (A) ∧ (T)	−	−	dH	+	+	R	−	63

付表 A.4-2 演算系の命令一覧 (2 / 2)

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
26	ORW	A	1	1	(A) ← (A) ∨ (T)	−	−	dH	+	+	R	−	73
27	XORW	A	1	1	(A) ← (A) ∀ (T)	−	−	dH	+	+	R	−	53
28	CMP	A	1	1	(TL) − (AL)	−	−	−	+	+	+	+	12
29	CMPW	A	1	1	(T) − (A)	−	−	−	+	+	+	+	13
30	RORC	A	1	1	C → A	−	−	−	+	+	−	+	03
31	ROLC	A	1	1	C ← A	−	−	−	+	+	−	+	02
32	CMP	A, #d8	2	2	(A) − d8	−	−	−	+	+	+	+	14
33	CMP	A, dir	3	2	(A) − (dir)	−	−	−	+	+	+	+	15
34	CMP	A, @EP	2	1	(A) − ((EP))	−	−	−	+	+	+	+	17
35	CMP	A, @IX + off	3	2	(A) − ((IX) + off)	−	−	−	+	+	+	+	16
36	CMP	A, Ri	2	1	(A) − (Ri)	−	−	−	+	+	+	+	18 ～ 1F
37	DAA		1	1	decimal adjust for addition	−	−	−	+	+	+	+	84
38	DAS		1	1	decimal adjust for subtraction	−	−	−	+	+	+	+	94
39	XOR	A	1	1	(A) ← (AL) ∀ (TL)	−	−	−	+	+	R	−	52
40	XOR	A, #d8	2	2	(A) ← (AL) ∀ d8	−	−	−	+	+	R	−	54
41	XOR	A, dir	3	2	(A) ← (AL) ∀ (dir)	−	−	−	+	+	R	−	55
42	XOR	A, @EP	2	1	(A) ← (AL) ∀ ((EP))	−	−	−	+	+	R	−	57
43	XOR	A, @IX + off	3	2	(A) ← (AL) ∀ ((IX) + off)	−	−	−	+	+	R	−	56
44	XOR	A, Ri	2	1	(A) ← (AL) ∀ (Ri)	−	−	−	+	+	R	−	58 ～ 5F
45	AND	A	1	1	(A) ← (AL) ∧ (TL)	−	−	−	+	+	R	−	62
46	AND	A, #d8	2	2	(A) ← (AL) ∧ d8	−	−	−	+	+	R	−	64
47	AND	A, dir	3	2	(A) ← (AL) ∧ (dir)	−	−	−	+	+	R	−	65
48	AND	A, @EP	2	1	(A) ← (AL) ∧ ((EP))	−	−	−	+	+	R	−	67
49	AND	A, @IX + off	3	2	(A) ← (AL) ∧ ((IX) + off)	−	−	−	+	+	R	−	66
50	AND	A, Ri	2	1	(A) ← (AL) ∧ (Ri)	−	−	−	+	+	R	−	68 ～ 6F
51	OR	A	1	1	(A) ← (AL) ∨ (TL)	−	−	−	+	+	R	−	72
52	OR	A, #d8	2	2	(A) ← (AL) ∨ d8	−	−	−	+	+	R	−	74
53	OR	A, dir	3	2	(A) ← (AL) ∨ (dir)	−	−	−	+	+	R	−	75
54	OR	A, @EP	2	1	(A) ← (AL) ∨ ((EP))	−	−	−	+	+	R	−	77
55	OR	A, @IX + off	3	2	(A) ← (AL) ∨ ((IX) + off)	−	−	−	+	+	R	−	76
56	OR	A, Ri	2	1	(A) ← (AL) ∨ (Ri)	−	−	−	+	+	R	−	78 ～ 7F
57	CMP	dir, #d8	4	3	(dir) − d8	−	−	−	+	+	+	+	95
58	CMP	@EP, #d8	3	2	((EP)) − d8	−	−	−	+	+	+	+	97
59	CMP	@IX + off, #d8	4	3	((IX) + off) − d8	−	−	−	+	+	+	+	96
60	CMP	Ri, #d8	3	2	(Ri) − d8	−	−	−	+	+	+	+	98 ～ 9F
61	INCW	SP	1	1	(SP) ← (SP) + 1	−	−	−	−	−	−	−	C1
62	DECW	SP	1	1	(SP) ← (SP) − 1	−	−	−	−	−	−	−	D1

■ 分岐系命令

付表 A.4-3 分岐系の命令一覧

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
1	BZ/BEQ	rel(分岐時)	4	2	if Z = 1 then PC ← PC + rel	−	−	−	−	−	−	−	FD
	BZ/BEQ	rel(非分岐時)	2										
2	BNZ/BNE	rel(分岐時)	4	2	if Z = 0 then PC ← PC + rel	−	−	−	−	−	−	−	FC
	BNZ/BNE	rel(非分岐時)	2										
3	BC/BLO	rel(分岐時)	4	2	if C = 1 then PC ← PC + rel	−	−	−	−	−	−	−	F9
	BC/BLO	rel(非分岐時)	2										
4	BNC/BHS	rel(分岐時)	4	2	if C = 0 then PC ← PC + rel	−	−	−	−	−	−	−	F8
	BNC/BHS	rel(非分岐時)	2										
5	BN	rel(分岐時)	4	2	if N = 1 then PC ← PC + rel	−	−	−	−	−	−	−	FB
	BN	rel(非分岐時)	2										
6	BP	rel(分岐時)	4	2	if N = 0 then PC ← PC + rel	−	−	−	−	−	−	−	FA
	BP	rel(非分岐時)	2										
7	BLT	rel(分岐時)	4	2	if V ∀ N = 1 then PC ← PC + rel	−	−	−	−	−	−	−	FF
	BLT	rel(非分岐時)	2										
8	BGE	rel(分岐時)	4	2	if V ∀ N = 0 then PC ← PC + rel	−	−	−	−	−	−	−	FE
	BGE	rel(非分岐時)	2										
9	BBC	dir : b, rel	5	3	if (dir : b) = 0 then PC ← PC + rel	−	−	−	−	+	−	−	B0 ～ B7
10	BBS	dir : b, rel	5	3	if (dir : b) = 1 then PC ← PC + rel	−	−	−	−	+	−	−	B8 ～ BF
11	JMP	@A	3	1	(PC) ← (A)	−	−	−	−	−	−	−	E0
12	JMP	ext	4	3	(PC) ← ext	−	−	−	−	−	−	−	21
13	CALLV	#vct	7	1	vector call	−	−	−	−	−	−	−	E8 ～ EF
14	CALL	ext	6	3	subroutine call	−	−	−	−	−	−	−	31
15	XCHW	A, PC	3	1	(PC) ← (A) , (A) ← (PC) + 1	−	−	dH	−	−	−	−	F4
16	RET		6	1	return from subroutine	−	−	−	−	−	−	−	20
17	RETI		8	1	return from interrupt	−	−	−		restore			30

■ そのほかの命令

付表 A.4-4 そのほかの命令一覧

No.	MNEMONIC		～	#	動　作	TL	TH	AH	N	Z	V	C	OPCODE
1	PUSHW	A	4	1	((SP)) ← (A), (SP) ← (SP) − 2	−	−	−	−	−	−	−	40
2	POPW	A	3	1	(A) ← ((SP)), (SP) ← (SP) + 2	−	−	dH	−	−	−	−	50
3	PUSHW	IX	4	1	((SP)) ← (IX), (SP) ← (SP) − 2	−	−	−	−	−	−	−	41
4	POPW	IX	3	1	(IX) ← ((SP)), (SP) ← (SP) + 2	−	−	−	−	−	−	−	51
5	NOP		1	1	No operation	−	−	−	−	−	−	−	00
6	CLRC		1	1	(C) ← 0	−	−	−	−	−	−	R	81
7	SETC		1	1	(C) ← 1	−	−	−	−	−	−	S	91
8	CLRI		1	1	(I) ← 0	−	−	−	−	−	−	−	80
9	SETI		1	1	(I) ← 1	−	−	−	−	−	−	−	90

A.5 命令マップ

付表 A.5-1 に , F²MC-8FX の命令マップを示します。

■ 命令マップ

付表 A.5-1 F²MC-8FX の命令マップ

H / L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SWAP	RET	RETI	PUSHW A	POPW A	MOV A, ext	MOVW A, PS	CLRI	SETI	CLRB dir : 0	BBC dir : 0, rel	INCW A	DECW A	JMP @A	MOVW A, PC
1	MULU A	DIVU A	JMP addr16	CALL addr16	PUSHW IX	POPW IX	MOV ext, A	MOVW PS, A	CLRC	SETC	CLRB dir : 1	BBC dir : 1, rel	INCW SP	DECW SP	MOVW SP, A	MOVW A, SP
2	ROLC A	CMP A	ADDC A	SUBC A	XCH A, T	XOR A	AND A	OR A	MOV @A, T	MOV A, @A	CLRB dir : 2	BBC dir : 2, rel	INCW IX	DECW IX	MOVW IX, A	MOVW A, IX
3	RORC A	CMPW A	ADDCW A	SUBCW A	XCHW A, T	XORW A	ANDW A	ORW A	MOVW @A, T	MOVW A, @A	CLRB dir : 3	BBC dir : 3, rel	INCW EP	DECW EP	MOVW EP, A	MOVW A, EP
4	MOV A, #d8	CMP A, #d8	ADDC A, #d8	SUBC A, #d8	/	XOR A, #d8	AND A, #d8	OR A, #d8	DAA	DAS	CLRB dir : 4	BBC dir : 4, rel	MOVW A, ext	MOVW ext, A	MOVW A, #d16	XCHW A, PC
5	MOV A, dir	CMP A, dir	ADDC A, dir	SUBC A, dir	MOV dir, A	XOR A, dir	AND A, dir	OR A, dir	MOV dir, #d8	CMP dir, #d8	CLRB dir : 5	BBC dir : 5, rel	MOVW A, dir	MOVW dir, A	MOVW SP, #d16	XCHW A, SP
6	MOV A, @IX+d	CMP A, @IX+d	ADDC A, @IX+d	SUBC A, @IX+d	MOV @IX+d, A	XOR A, @IX+d	AND A, @IX+d	OR A, @IX+d	MOV @IX+d, #d8	CMP @IX+d, #d8	CLRB dir : 6	BBC dir : 6, rel	MOVW A, @IX+d	MOVW @IX+d, A	MOVW IX, #d16	XCHW A, IX
7	MOV A, @EP	CMP A, @EP	ADDC A, @EP	SUBC A, @EP	MOV @EP, A	XOR A, @EP	AND A, @EP	OR A, @EP	MOV @EP, #d8	CMP @EP, #d8	CLRB dir : 7	BBC dir : 7, rel	MOVW A, @EP	MOVW @EP, A	MOVW EP, #d16	XCHW A, EP
8	MOV A, R0	CMP A, R0	ADDC A, R0	SUBC A, R0	MOV R0, A	XOR A, R0	AND A, R0	OR A, R0	MOV R0, #d8	CMP R0, #d8	SETB dir : 0	BBS dir : 0, rel	INC R0	DEC R0	CALLV #0	BNC rel
9	MOV A, R1	CMP A, R1	ADDC A, R1	SUBC A, R1	MOV R1, A	XOR A, R1	AND A, R1	OR A, R1	MOV R1, #d8	CMP R1, #d8	SETB dir : 1	BBS dir : 1, rel	INC R1	DEC R1	CALLV #1	BC rel
A	MOV A, R2	CMP A, R2	ADDC A, R2	SUBC A, R2	MOV R2, A	XOR A, R2	AND A, R2	OR A, R2	MOV R2, #d8	CMP R2, #d8	SETB dir : 2	BBS dir : 2, rel	INC R2	DEC R2	CALLV #2	BP rel
B	MOV A, R3	CMP A, R3	ADDC A, R3	SUBC A, R3	MOV R3, A	XOR A, R3	AND A, R3	OR A, R3	MOV R3, #d8	CMP R3, #d8	SETB dir : 3	BBS dir : 3, rel	INC R3	DEC R3	CALLV #3	BN rel
C	MOV A, R4	CMP A, R4	ADDC A, R4	SUBC A, R4	MOV R4, A	XOR A, R4	AND A, R4	OR A, R4	MOV R4, #d8	CMP R4, #d8	SETB dir : 4	BBS dir : 4, rel	INC R4	DEC R4	CALLV #4	BNZ rel
D	MOV A, R5	CMP A, R5	ADDC A, R5	SUBC A, R5	MOV R5, A	XOR A, R5	AND A, R5	OR A, R5	MOV R5, #d8	CMP R5, #d8	SETB dir : 5	BBS dir : 5, rel	INC R5	DEC R5	CALLV #5	BZ rel
E	MOV A, R6	CMP A, R6	ADDC A, R6	SUBC A, R6	MOV R6, A	XOR A, R6	AND A, R6	OR A, R6	MOV R6, #d8	CMP R6, #d8	SETB dir : 6	BBS dir : 6, rel	INC R6	DEC R6	CALLV #6	BGE rel
F	MOV A, R7	CMP A, R7	ADDC A, R7	SUBC A, R7	MOV R7, A	XOR A, R7	AND A, R7	OR A, R7	MOV R7, #d8	CMP R7, #d8	SETB dir : 7	BBS dir : 7, rel	INC R7	DEC R7	CALLV #7	BLT rel

付録 B　主な変更内容

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
17	第 3 章クロックコントローラ 3.1 クロック制御部の概要 ■ クロック制御部のブロックダイヤグラム 図 3.1-1	PLL クロック発振回路と PLLC 制御レジスタ (PLLC) の接続を訂正
63	第 4 章リセット 4.1 リセット動作 ■ リセット要因 ● 低電圧検出リセット (オプション)	以下の記述を追加 ただし , 低電圧検出回路の LVD 制御レジスタ (LVDC)は低電圧検出リセットによってはリセットされません。
68	4.2.1 リセット要因レジスタ (RSRR) ■ レジスタ機能	SWR ビットの詳細にある以下の記述を変更 読出し動作または書込み動作 ("0" または "1" の書込み) はこのビットを "0" に設定します。 → 読出し動作または書込み動作 ("0" または "1" の書込み) またはパワーオンリセットはこのビットを "0" に設定します。
239	第 15 章 8/12 ビット A/D コンバータ 15.8　使用上の注意 ■ 8/12 ビット A/D コンバータ使用上の注意 ● 8/12 ビット A/D コンバータのアナログ入力順序	アナログ入力端子の名前を訂正 AN → ANn
424	第 24 章 LCD コントローラ (MB95710L シリーズ) 24.4　ディスプレイ RAM ■ ディスプレイ RAM と出力端子	「＜注意事項＞」にある "n" の定義を訂正 0x0FCD → 0x0FBD
480	第 25 章 LCD コントローラ (MB95770L シリーズ) 25.4　ディスプレイ RAM ■ ディスプレイ RAM と出力端子	「＜注意事項＞」にある "n" の定義を訂正 0x0FCD → 0x0FBD
524	第 26 章シリアル書込み接続例 26.2　シリアル書込み接続例 ■ シリアル書込み接続例	プルアップ抵抗の使用に関する記述を追加

ページ	場所	変更箇所
Revision 3.0		
324~333	第 20 章イベントカウンタ 20.1 概要 20.2 構成 20.3 イベントカウンタ動作モードの動作説明 20.4 設定手順例 20.6.1 イベントカウンタ制御レジスタ (EVCR) 20.7 使用上の注意	MB95710L/770L シリーズに MB95710M/770M シリーズの記載内容を追加するため , 第 20 章イベントカウンタを以下の通り修正。 ・MB95710L/770L シリーズのイベントカウンタ使用方法を修正。 ・MB95710M/770M シリーズのイベントカウンタ使用方法を追加。 ・上記変更に伴う記載内容見直しと , 使用上の注意を追加。
325	第 20 章イベントカウンタ 20.2 構成	以下の誤記を修正。 MD ビットを ”1” に設定するとき , 外部クロックは外部クロックとして直接リロードタイマへ出力します。 ↓ MD ビットを ”0” に設定するとき , 外部クロックは外部クロックとして直接リロードタイマへ出力します。
-	-	社名変更および記述フォーマットの変換

MN702-00014-3v0-J

Spansion • CONTROLLER MANUAL
8 ビット・マイクロコントローラ
New 8FX
MB95710L/770L シリーズ
MB95710M/770M シリーズ
ハードウェアマニュアル

2014 年 4 月　第 3 版発行

発行　Spansion Inc.

編集　マーケティングコミュニケーション部

免責事項

本資料に記載された製品は、通常の産業用 , 一般事務用 , パーソナル用 , 家庭用などの一般的用途 (ただし、用途の限定はありません) に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御 , 航空機自動飛行制御 , 航空交通管制 , 大量輸送システムにおける運行制御 , 生命維持のための医療機器 , 兵器システムにおけるミサイル発射制御等をいう) 、ならびに (2) 極めて高い信頼性が要求される用途 (海底中継器 , 宇宙衛星等をいう) に使用されるよう設計・製造されたものではありません。上記の製品の使用法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故 , 火災事故 , 社会的な損害を生じさせないよう、お客様において、装置の冗長設計 , 延焼対策設計 , 過電流防止対策設計 , 誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性 , 完全性 , 実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示 , 黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2013-2014 Spansion Inc. All rights reserved.

商標 : Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。