本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

MB91550 シリーズ

32 ビット・マイクロコントローラ
FR ファミリ FR81S
MB91F552

HARDWARE MANUAL

Spansion のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

http://www.spansion.com/support/microcontrollers/

Publication Number MB91F552_MN705-00023 Revision 1.0 Issue Date July 7, 2014

はじめに

Spansion半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91F552 をご利用になる前に、本書および『MB91550 シリーズデータシート』をご一読ください。

■ 本書の目的と対象読者

本シリーズは自動車用，産業用制御などの用途向けに設計した、Spansion32ビットマイクロコントローラです。FRファミリと互換のFR81S CPUを搭載しています。FR81S CPUは命令パイプラインの強化，ロードストア処理の強化，内部バス転送の効率化により、FRファミリ最高性能を実現します。

本書は、実際に本シリーズを使用して製品を開発される技術者を対象に、機能や動作，使い方について解説しています。

■ 商標

FRは、Spansion Inc.の製品です。

REALOS, SOFTUNEは、Spansion LLCの登録商標です。

その他の記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

■ サンプルプログラムおよび開発環境

FR81Sファミリの周辺機能を動作させるためのサンプルプログラム*を無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイクロコントローラの動作仕様や使用方法の確認などにお役立てください。

・マイコンサポート情報
http://www.spansion.com/JP/Support/microcontrollers/

*：サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探せます。

・目次から探す
本書の内容を記載順に示します。

・レジスタから探す
本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から、配置アドレスやレジスタの説明ページを探せます。
本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『付録』の『A. I/O マップ』を参照してください。

・索引から探す
周辺機能の名称などのキーワードから機能の説明を探せます。

■ 章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

■ 本書の読み方

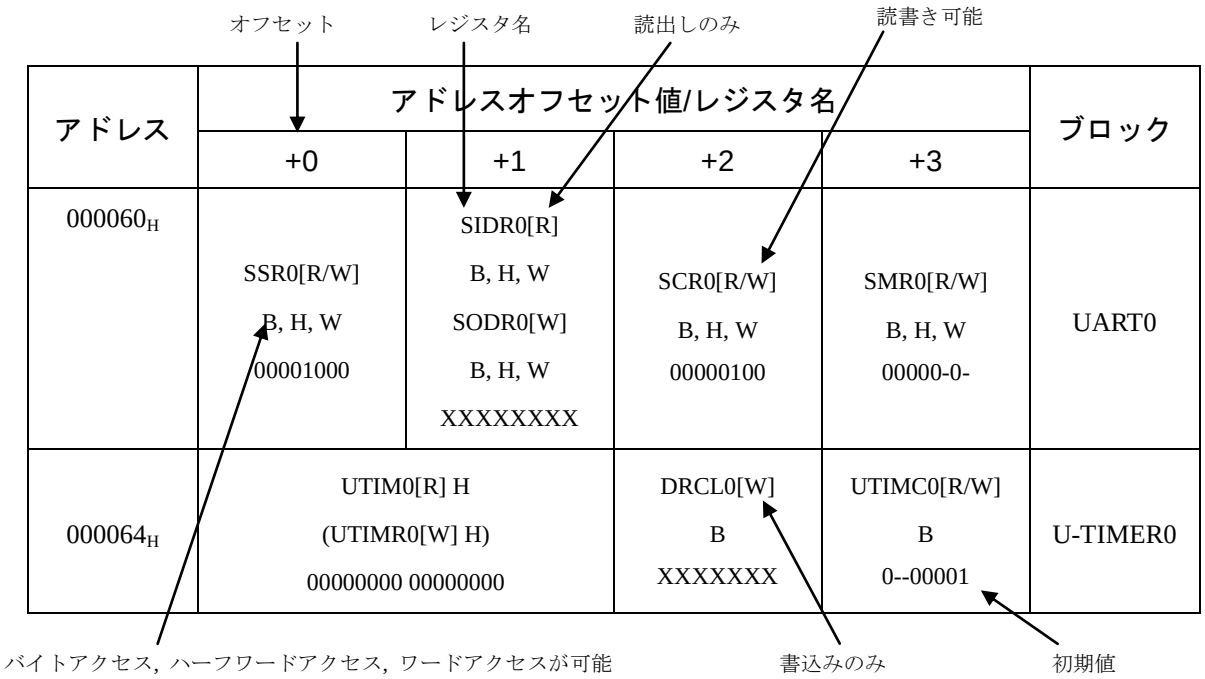
・主要な用語
本シリーズで使用する主要な用語に関して説明します。

用語	説明
XBS	32ビット幅の高速内部バスです。 バスマスタには、CPU (インストラクションフェッチ) , CPU (データ読み・書き) , オンチップバスからのアクセスがあります。 バススレーブにはオンチップバスへのアクセス, RAM, (XBS内蔵のワイルドレジスタを経由して) フラッシュメモリがあります。 バスはクロスバースイッチ構成となっており、各バスマスタから各バススレーブへ同時動作が可能です。

用語	説明
オンチップバス	32ビット幅の高速内部バスです。XBS用とDMA用の2レイヤ構成になっており、それぞれが同時動作できます。 XBS用レイヤのバスマスタにはXBSからのアクセスがあります。 DMA用レイヤのバスマスタにはDMAからのアクセスがあります。 双方のレイヤのバススレーブにはCAN, 16/32周辺バスブリッジなどがあります。 DMA 用レイヤのみのバススレーブに XBS へのアクセスがあります。
32 ビット周辺バス	32ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。
16 ビット周辺バス (R-Bus)	16ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。本バスへの32ビット幅のアクセスは16ビット× 2に分割されます。
メインクロック (MCLK)	高速側発振を起源としたLSI 動作の基準となるクロックです。 メイン発振安定待ち用タイマ, クロック発生部 (PLL) などに接続しています。
CR 発振	ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ) 用のクロックです。
PLL クロック (PLLCLK)	メインクロックを PLL で逓倍したものです。
CPU クロック (CCLK)	XBS 配下のペリフェラル用のクロックです。
オンチップバスクロック(HCLK)	オンチップバス配下のペリフェラル用のクロックです。
周辺クロック (PCLK)	32 ビット周辺バスおよび 16 ビット周辺バス配下のペリフェラル用のクロックです。
PWMクロック (PWMCLK)	PWM の動作クロックです。
メインクロックモード	メインクロックを基準に動作しているモードです。メインクロックモードの中にはメインRUN, メインスリープ, メインストップ, 発振安定待ちRUN, 発振安定待ちリセット, プログラムリセットの状態があります。
メインRUN	メインクロックモードであり、かつすべての回路が動作可能な状態です。
発振安定待ち時間	クロックを停止状態から発振状態に設定した場合、発振安定時間をとります。発振安定待ちの間は, そのクロックは供給されません。
OCD	本シリーズ用のオンチップデバッガです。
OCDU	本製品に内蔵されている、OCDのインタフェースです。
OCDツール	OCDツールを、本品種のDEBUG I/F端子に接続します。

用語	説明
チップリセット シーケンス	チップリセットシーケンス中にOCDツールの接続確認を行います。(1114+3) PCLK サイクルかかります。
SSCG	「スペクトラム拡散クロックジェネレータ」 = Spread Spectrum Clock Generator 電子機器内のクロックが単一の周波数を発生した場合、その周波数およびその高調波での輻射が大きくなります。 SSCGは、クロック周波数をわずかに変動させて発振させる（＝周波数変調）ことによって、EMIのピークを低く抑える働きをする技術です。

■ アクセス単位とアドレス位置



アクセスには、バイト, ハーフワード, ワードの3 種類がありますが、レジスタによってはアクセス制限がありますので注意してください。詳細につきましては、『A. I/O マップ』または、各章の『4. レジスタ詳細説明』を参照してください。

B, H, W ：バイトアクセス, ハーフワードアクセス, ワードアクセスが可能
B ：バイトアクセス (必ずバイトでアクセスしてください。)
H ：ハーフワードアクセス (必ずハーフワードでアクセスしてください。)
W ：ワードアクセス (必ずワードでアクセスしてください。)
B, H ：バイトアクセス, ハーフワードアクセスのみ (ワードではアクセスできません。)
H, W ：ハーフワードアクセス, ワードアクセスのみ (バイトではアクセスできません。)

(参考)

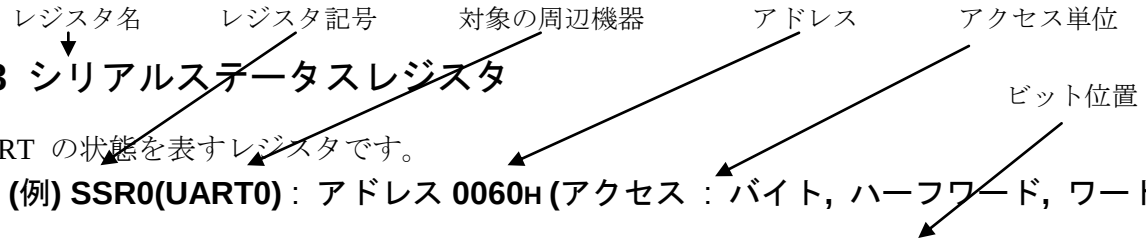
アクセス時のアドレス位置を説明します。

- ワードアクセスの場合、アドレスは 4 の倍数 (最下位 2 ビットは強制的に"00"です)
- ハーフワードアクセスの場合、アドレスは 2 の倍数 (最下位 1 ビットは強制的に"0"です)
- バイトアクセスの場合、アドレスはそのままです。

例えば、SSR0レジスタをハーフワードアクセスするためには、アドレス060_H番地に対して、SSR0+SIDR0 (SODR0)レジスタにアクセスすることを意味します。

(アドレスオフセットが+1 と+2 (例 : SIDR0+SCR0)によるハーフワードアクセスはできません。)

■ アクセス単位とビット位置について



4.3 シリアルステータスレジスタ

UART の状態を表すレジスタです。

(例) SSR0(UART0)：アドレス 0060H (アクセス：バイト，ハーフワード，ワード)

bit	7	6	5	4	3	2	1	0
	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE
初期値	0	0	0	0	1	0	0	0
属性	R/W	R/WX	R/WX	R/WX	R/WX	R/W	R/W	R/W

アクセス単位がかわるとビット位置が変わります。

アドレスオフセット値が+0 の場合 : (例 SSR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+0H	7	6	5	4	3	2	1	0
ハーフワード	060H+0H	15	14	13	12	11	10	9	8
バイト	060H+0H	31	30	29	28	27	26	25	24
ビット名		PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE

アドレスオフセット値が+1 の場合 : (例 SIDR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+1H	7	6	5	4	3	2	1	0
ハーフワード	060H+0H	7	6	5	4	3	2	1	0
バイト	060H+0H	23	22	21	20	19	18	17	16
ビット名		D7	D6	D5	D4	D3	D2	D1	D0

アドレスオフセット値が+2 の場合 : (例 SCR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+2H	7	6	5	4	3	2	1	0
ハーフワード	060H+2H	15	14	13	12	11	10	9	8
バイト	060H+0H	15	14	13	12	11	10	9	8
ビット名		PEN	P	SBL	CL	A/D	REC	RXE	TXE

アドレスオフセット値が+3 の場合 : (例 SMR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+3H	7	6	5	4	3	2	1	0
ハーフワード	060H+2H	7	6	5	4	3	2	1	0
バイト	060H+0H	7	6	5	4	3	2	1	0
ビット名		MD1	MD0	CS2	CS1	CS0	-	SCKE	-

■ ビット属性機能の意味について

R　　：読出し可能です。
W　　：書込み可能です。
RM　：リードモディファイライト(RMW) 動作時の読出し動作の意味です。
"/"(スラッシュ) R/W　：読出しと書込みが可能です。(読出し値は，書き込んだ値です。)
","(カンマ) R,W　：読出しと書込みで意味が違います。(読出し値は，書き込んだ値と異なります。)
R0　：読出し値は"0" です。
R1　：読出し値は"1" です。
W0　：必ず"0" を書き込んでください。
W1　：必ず"1" を書き込んでください。
(RM0): リードモディファイライト(RMW) 動作では"0" が読めます。
(RM1): リードモディファイライト(RMW) 動作では"1" が読めます。
RX　：読出し値は不定です。 (予約ビットまたは，未定義ビット)
WX　：書込みを行っても意味を持ちません。 (未定義ビット)

• R/W記載例

- R/W　：リード/ライト可能 (読出し値は書込み値と同じです。)
- R,W　：リード/ライト可能 (読出し値と書込み値が異なります。)
- R,RM/W　：リード/ライト可能 (読出し値と書込み値が異なります。 リードモディファイライト(RMW) 系命令時は書込み値が読み出されます。) 例: ポートデータレジスタ
- R(RM1), W　：リード/ライト可能 (読出し値と書込み値が異なります。リードモディファイライト(RMW) 系命令時は"1" を読み出します。) 例: 割込み要求フラグ
- R,WX　：リードオンリ (読出しは可能です。書込みは動作に影響ありません。)
- R1,W　：ライトオンリ (書込みは可能です。読出し値は"1" です。)
- R0,W　：ライトオンリ (書込みは可能です。読出し値は"0" です。)
- RX,W　：ライトオンリ (書込みは可能です。読出し値は不定です。)
- R/W0　：予約ビット (書込み値は"0" です。 読出し値は書込み値です。)
- R0,W0　：予約ビット (書込み値は"0" です。読出し値は"0" です。)
- R1,W0　：予約ビット (書込み値は"0" です。読出し値は"1" です。)
- RX,W0　：予約ビット (書込み値は"0" です。読出し値は不定です。)
- R/W1　：予約ビット (書込み値は"1" です。読出し値は書込み値です。)
- R1,W1　：予約ビット (書込み値は"1" です。読出し値は"1" です。)
- R0,W1　：予約ビット (書込み値は"1" です。読出し値は"0" です。)
- RX,W1　：予約ビット (書込み値は"1" です。読出し値は不定です。)
- RX,WX　：未定義ビット (読出し値は不定です。書込みは動作に影響ありません。)
- R0,WX　：未定義ビット (読出し値は"0" です。書込みは動作に影響ありません。)

目次

CHAPTER 1: 概要 1

1. 概要 2
2. 特長 3
   2.1. FR81S CPU コア 4
   2.2. 周辺機能 5
3. 品種構成 7
4. 機能概要 8
5. **ブロックダイヤグラム** 11
6. メモリマップ 12
7. 端子配列図 13
8. パッケージ外形寸法図 14
9. 端子機能一覧 15
   9.1. 各機能ごとの端子一覧 18
10. 入出力回路形式 23

CHAPTER 2: デバイスの取扱い 25

1. 取扱上のご注意 26
   1.1. 設計上の注意事項 26
   1.2. パッケージ実装上の注意事項 27
   1.3. 使用環境に関する注意事項 28
2. デバイス取り扱いについて 29
3. 使用上の注意事項 32
   3.1. 兼用ポートの機能切換え 33
   3.2. 低消費電力モード 34
   3.3. ステータスフラグを含むレジスタに書込みを行う場合の注意 35

CHAPTER 3: CPU 36

1. 概要 37
2. 特長 38
3. CPU 動作記述 40
   3.1. CPU 動作状態 41
      3.1.1. リセット状態 42
      3.1.2. 通常走行状態 43
      3.1.3. 低消費電力状態 44
      3.1.4. デバッグ走行状態 45
4. パイプライン動作 46
5. 浮動小数点演算処理 47
6. データ構造 48
7. アドレッシング 49
8. プログラミングモデル 50
   8.1. 汎用レジスタ、専用レジスタ、浮動小数点レジスタ 51
   8.2. システムレジスタ 52
9. リセット・EIT 処理 53
   9.1. リセット 54
   9.2. EIT 処理 55
   9.3. ベクタテーブル 56
10. メモリ保護機能(MPU) 58
   10.1. 概要 59
   10.2. レジスタ一覧 60
   10.3. レジスタ説明 61
      10.3.1. MPU 制御レジスタ : MPUCR 62
      10.3.2. 命令アクセス保護違反アドレスレジスタ : IPVAR 65

10.3.3. 命令アクセス保護違反ステータスレジスタ : IPVSR 66
10.3.4. データアクセス保護違反アドレスレジスタ : DPVAR 68
10.3.5. データアクセス保護違反ステータスレジスタ : DPVSR 69
10.3.6. データアクセスエラーアドレスレジスタ : DEAR 71
10.3.7. データアクセスエラーステータスレジスタ : DESR 72
10.3.8. 保護領域ベースアドレスレジスタ 0～7 : PABR0-7 74
10.3.9. 保護領域制御レジスタ 0～7 : PACR0～7 75
10.4. メモリ保護機能動作 79
10.4.1. メモリ保護領域の設定 80
10.4.2. 命令アクセス保護違反 81
10.4.3. データアクセス保護違反 82
10.4.4. データアクセスエラー 83
10.4.5. 遅延スロットでのメモリ保護動作 84
10.4.6. DEAR, DESR 更新 85
10.4.7. 注意事項 86

CHAPTER 4: 動作モード 87

1. 概要 88
2. 特長 89
3. 構成 90
4. レジスタ 91
4.1. バスモードレジスタ : BMODR (Bus MODe Register) 92
5. 動作説明 93
5.1. MD0, MD1, P044 端子の設定 94
5.2. 動作モードの取込み 95
5.3. 各モード説明 96
5.3.1. ユーザモード 97
5.3.2. シリアルライタモード 98

CHAPTER 5: クロック 101

1. 概要 102
2. 特長 104
3. 構成 105
4. レジスタ 110
4.1. 分周設定レジスタ 0 : DIVR0 (DIVide clock configuration Register 0) 111
4.2. 分周設定レジスタ 2 : DIVR2 (DIVide clock configuration Register 2) 112
4.3. クロックソース設定レジスタ : CSELR (Clock source SELect Register) 113
4.4. クロックソース監視レジスタ : CMONR (Clock source MONitor Register) 115
4.5. メインタイマ制御レジスタ : MTMCR (Main clock TiMer Control Register) 117
4.6. PLL 設定レジスタ: PLLCR (PLL Configuration Register) 119
4.7. 発振安定待ち設定レジスタ: CSTBR (Clock STaBilization select Register) 121
4.8. PLL 発振安定待ちタイマ設定レジスタ: PTMCR (PLL clock osc TiMer Control Register) 123
4.9. PLL/SSCG クロック選択レジスタ: CCPSSELR (CCtl Pll/Sscg clock SELect Register) 124
4.10. PLL/SSCG 出力クロック分周設定レジスタ: CCPSDIVR (CCtl Pll/Sscg clock DIVide Register) 125
4.11. PLL フィードバック分周設定レジスタ: CCPLLFBR (CCtl PLL FB clock divide Register) 127
4.12. SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0 (CCtl SScg FB clock divide Register 0) 128
4.13. SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1 (CCtl SScg FB clock divide Register 1) 129
4.14. SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (CCtl SSCg Config. Register 0) 130

4.15. SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (CCtl SSCg Config. Register 1) 132
4.16. クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (CCtl Clock Gear Config. Register 0) 133
4.17. クロックギアコンフィグ設定レジスタ 1 : CCCGRCR1 (CCtl Clock Gear Config. Register 1) 135
4.18. クロックギアコンフィグ設定レジスタ 2 : CCCGRCR2 (CCtl Clock Gear Config. Register 2) 136
4.19. Sync/Async Control Register 137
4.20. Peripheral Interface Clock Divider 138
5. 動作説明 139
5.1. 発振制御 140
5.1.1. メインクロック(MCLK) 141
5.1.2. PLL/SSCG クロック(PLLSSCLK) 142
5.1.3. PLL/SSCG クロック使用時の制限事項 144
5.2. 発振安定待ち 145
5.2.1. 安定待ち時間生成条件 146
5.2.2. 安定待ち時間選択 147
5.2.3. 安定待ち時間の終了 148
5.3. ソースクロック(SRCCLK)選択 149
5.3.1. 初期化時のソースクロック選択 150
5.3.2. ソースクロック切換え手順 151
5.4. タイマ 155
5.4.1. メインクロック発振安定待ちタイマ(メインタイマ) 156
5.4.2. PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ) 157
5.4.3. 設定 158
5.4.4. タイマ割込み設定手順 159
5.4.5. タイマ動作 160
5.4.6. 時計モードとタイマ割込み 161
5.5. クロック競合時の注意 162
5.6. クロックギア回路 163
5.6.1. ギアアップの手順 164
5.6.2. ギアダウンの手順 165
5.7. MDI 通信中の動作 166

CHAPTER 6: クロック・リセット状態遷移 167

1. 概要 168
2. デバイス状態と各遷移 169
2.1. 状態遷移図 170
2.2. 各状態の説明 171
2.3. 各状態遷移要求の優先順位 173
3. デバイス状態と対応するレギュレータモード 174

CHAPTER 7: リセット 175

1. 概要 176
2. 特長 177
3. 構成 178
4. レジスタ 180
4.1. リセット要因レジスタ : RSTRR (ReSeT Result Register) 181
4.2. リセット制御レジスタ : RSTCR (ReSeT Control Register) 183
4.3. CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register) 184
5. 動作説明 186
5.1. リセットレベル 187
5.1.1. イニシャライズリセット(INIT) 188
5.1.2. リセット(RST) 189

5.2. リセット要因 ... 190
5.2.1. パワーオンリセット ... 191
5.2.2. RSTX 端子入力 ... 192
5.2.3. ウォッチドッグリセット 0 ... 193
5.2.4. ウォッチドッグリセット 1 ... 194
5.2.5. 外部低電圧検出リセット ... 195
5.2.6. 不正スタンバイモード移行検出リセット ... 196
5.2.7. 内部低電圧検出リセット ... 197
5.2.8. フラッシュセキュリティ違反リセット ... 198
5.2.9. ソフトウェアリセット (RSTCR:SRST) ... 199
5.3. リセット受付 ... 200
5.3.1. リセット要求の生成 ... 201
5.3.2. リセット要求の受理 ... 202
5.3.3. リセット発行遅延カウンタ ... 203
5.3.4. イレギュラーリセット ... 204
5.4. リセット発行 ... 205
5.4.1. 電源投入リセット(SINIT) ... 206
5.4.2. イニシャライズリセット(INIT) ... 208
5.4.3. リセット(RST) ... 209
5.5. リセットシーケンス ... 210
5.5.1. リセットサイクル ... 211
5.5.2. リセット解除 ... 212
5.5.3. 動作モード確定 ... 213
5.5.4. バス権の遷移 ... 214
5.5.5. リセットベクタフェッチ ... 215
5.5.6. リセットと強制ブレーク ... 216

CHAPTER 8: DMA コントローラ(DMAC) ... 217

1. 概要 ... 218
2. 特長 ... 219
3. 構成 ... 220
4. レジスタ ... 221
4.1. DMA コントロールレジスタ :
DMACR (DMA Control Register) ... 223
4.2. DMA チャネルコントロールレジスタ 0-7 :
DCCR0-7 (DMA Channel Control Register 0-7) ... 225
4.3. DMA チャネルステータスレジスタ 0-7 :
DCSR0-7 (DMA Channel Status Register 0-7) ... 230
4.4. DMA 転送回数レジスタ 0-7 :
DTCR0-7 (DMA Transfer Count Register 0-7) ... 232
4.5. DMA 転送元レジスタ 0-7 :
DSAR0-7 (DMA Source Address Register 0-7) ... 233
4.6. DMA 転送先レジスタ 0-7 :
DDAR0-7 (DMA Destination Address Register 0-7) ... 234
4.7. DMA 転送抑止 NMI フラグレジスタ :
DNMIR (DMA-halt by NMI Register) ... 235
4.8. DMA 転送抑止レベルレジスタ :
DILVR (DMA-halt by Interrupt Level Register) ... 236
5. 動作説明 ... 237
5.1. 設定 ... 238
5.1.1. 全チャネルにおいて共通に設定する項目 ... 239
5.1.2. 各チャネルにおいて独立に設定する項目 ... 240
5.1.3. 動作 ... 244
5.2. オンチップバス IP と DMAC チャネルの対応表 ... 255
6. DMA 使用例 ... 256

CHAPTER 9: DMA 転送要求の発生・クリア 258

1. 概要 259
2. 特長 260
   2.1. 転送要求の発生設定 261
   2.2. 割込みクリアの設定 262
3. 構成 263
4. レジスタ 264
   4.1. DMA 要求クリアレジスタ 0 : ICSEL0 (Interrupt Clear SELect register 0) 265
   4.2. DMA 要求クリアレジスタ 2 : ICSEL2 (Interrupt Clear SELect register 2) 266
   4.3. DMA 要求クリアレジスタ 3 : ICSEL3 (Interrupt Clear SELect register 3) 267
   4.4. DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SELect register 5) 268
   4.5. DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SELect register 11) 269
   4.6. DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SELect register 13) 270
   4.7. DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SELect register 14) 271
   4.8. DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SELect register 15) 272
   4.9. DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SELect register 16) 273
   4.10. DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SELect register 17) 274
   4.11. DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SELect register 18) 275
   4.12. DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SELect register 19) 276
   4.13. DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SELect register 20) 277
   4.14. DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SELect register 21) 278
   4.15. DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SELect register 22) 279
   4.16. DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SELect register 23) 280
   4.17. DMA 要求クリアレジスタ 25 : ICSEL25 (Interrupt Clear SELect register 25) 281
   4.18. IO 転送要求設定レジスタ 0-7 : IORR0-7 (IO triggered DMA Request Register for ch. 0-7) 282
5. 動作説明 284
   5.1. 設定 285
   5.2. 注意事項 286

CHAPTER 10: FixedVector 機能 287

1. 概要 288
2. 特長 289
3. 構成 290
4. レジスタ 291
5. 動作説明 292
   5.1. リセット解除後の動作 293
   5.2. 使用方法 294
6. 注意事項 295

CHAPTER 11: I/O ポート 296

1. 概要 297
2. 特長 298
3. 構成 299
4. レジスタ 300
   4.1. ポートデータレジスタ 00,02～04 : PDR00,02-04 (Port Data Register 00,02-04) 301
   4.2. データ方向レジスタ 02～04 : DDR02-04 (Data Direction Register 02-04) 302
   4.3. ポート機能レジスタ 00,02～04 : PFR00,02-04 (Port Function Register 00,02-04) 303
   4.4. 入力データダイレクトレジスタ 00,02～04 : PDDR00,02-04 (Port Data Direct Register 00,02-04) 304
   4.5. プルアップダウン許可レジスタ 00,02～04 : PPER00,02-04 (Port Pull-up/down Enable Register 00,02-04) 305
   4.6. 拡張ポート機能レジスタ 02,16,26,35,65,86,88 : EPFR02,16,26,35,65,86,88 (Extended Port Function Register 02,16,26,35,65,86,88) 306
      4.6.1. 拡張ポート機能レジスタ 02 : EPFR02 (Extended Port Function Register 02) 307

4.6.2. 拡張ポート機能レジスタ 16 : EPFR16 (Extended Port Function Register 16)..... 308
4.6.3. 拡張ポート機能レジスタ 35 : EPFR35 (Extended Port Function Register 35)..... 309
4.6.4. 拡張ポート機能レジスタ 65 : EPFR65 (Extended Port Function Register 65)..... 310
4.6.5. 拡張ポート機能レジスタ 86 : EPFR86 (Extended Port Function Register 86)..... 311
4.6.6. 拡張ポート機能レジスタ 26 : EPFR26 (Extended Port Function Register 26)..... 312
4.6.7. 拡張ポート機能レジスタ 88 : EPFR88: EPFR88 (Extended Port Function Register 88)... 313
4.7. ポート入力許可レジスタ : PORTEN(PORT ENable register)..... 314
4.8. キーコードレジスタ : KEYCDR (KEY CoDe register)..... 315
5. 動作説明..... 317
5.1. 端子の入出力の割り当て..... 318
5.1.1. ペリフェラル入出力(双方向)端子の割り当て..... 319
5.1.2. ペリフェラル入力の割り当て..... 320
5.1.3. ペリフェラル出力の割り当て..... 321
5.1.4. ポート機能(入力)の割り当て..... 322
5.1.5. ポート機能(出力)の割り当て..... 323
5.1.6. A/D コンバータ入力の割り当て..... 324
5.2. EPFR 設定の優先度について..... 325
5.3. ノイズフィルタ..... 326
5.4. GPORTEN 入力遮断..... 327
5.5. A/D コンバータ機能のある端子の注意事項..... 328
5.6. ベースタイマ TIOA1,TIOA3 端子使用時の設定..... 329
5.7. キーコードレジスタ機能の設定..... 330
5.8. I/O ポート機能切換え時の注意事項..... 332
5.9. 特定リソース使用時の入力遮断..... 333

CHAPTER 12: 割込み制御(割込みコントローラ)..... 334

1. 概要..... 335
2. 特長..... 336
3. 構成..... 337
4. レジスタ..... 338
4.1. 割込みコントロールレジスタ 00-47 : ICR00-47 (Interrupt Control Register 00-47)..... 339
5. 動作説明..... 340
5.1. 設定..... 341
5.2. 起動..... 342
5.3. 優先順位判定..... 343
5.4. ストップモードからの復帰..... 344

CHAPTER 13: 外部割込み入力..... 345

1. 概要..... 346
2. 特長..... 347
3. 構成..... 348
4. レジスタ..... 349
4.1. 外部割込み要因レジスタ 0 : EIRR0: (External Interrupt Request Register 0)..... 350
4.2. 外部割込み許可レジスタ 0 : ENIR0: (ENable Interrupt request Register 0)..... 351
4.3. 外部割込み要求レベルレジスタ 0 : ELVR0: (External interrupt LeVel Register 0)..... 352
5. 動作説明..... 353
6. 設定..... 355
7. Q&A..... 356
8. 注意事項..... 357

CHAPTER 14: NMI 入力..... 358

1. 概要..... 359
2. 特長..... 360
3. 構成..... 361

4. レジスタ 362
5. 動作説明 363
6. 使用例 364

CHAPTER 15: 遅延割込み 365

1. 概要 366
2. 特長 367
3. 構成 368
4. レジスタ 369
5. 動作説明 370
6. 制限事項 371

CHAPTER 16: 割込み要求一括読出し 372

1. 概要 373
2. 特長 374
3. 構成 375
4. レジスタ 376
   4.1. 割込み要求一括読出しレジスタ 0 上位：
   IRPR0H (Interrupt Request Peripheral Read register 0H) 378
   4.2. 割込み要求一括読出しレジスタ 0 下位：
   IRPR0L (Interrupt Request Peripheral Read register 0L) 379
   4.3. 割込み要求一括読出しレジスタ 1 上位：
   IRPR1H (Interrupt Request Peripheral Read register 1H) 380
   4.4. 割込み要求一括読出しレジスタ 1 下位：
   IRPR1L (Interrupt Request Peripheral Read register 1L) 381
   4.5. 割込み要求一括読出しレジスタ 2 上位：
   IRPR2H (Interrupt Request Peripheral Read register 2H) 382
   4.6. 割込み要求一括読出しレジスタ 2 下位：
   IRPR2L (Interrupt Request Peripheral Read register 2L) 383
   4.7. 割込み要求一括読出しレジスタ 3 上位：
   IRPR3H (Interrupt Request Peripheral Read register 3H) 384
   4.8. 割込み要求一括読出しレジスタ 3 下位：
   IRPR3L (Interrupt Request Peripheral Read register 3L) 385
   4.9. 割込み要求一括読出しレジスタ 4 上位：
   IRPR4H (Interrupt Request Peripheral Read register 4H) 386
   4.10. 割込み要求一括読出しレジスタ 4 下位：
   IRPR4L (Interrupt Request Peripheral Read register 4L) 387
   4.11. 割込み要求一括読出しレジスタ 5 上位：
   IRPR5H (Interrupt Request Peripheral Read register 5H) 388
   4.12. 割込み要求一括読出しレジスタ 5 下位：
   IRPR5L (Interrupt Request Peripheral Read register 5L) 389
   4.13. 割込み要求一括読出しレジスタ 6 上位：
   IRPR6H (Interrupt Request Peripheral Read register 6H) 390
   4.14. 割込み要求一括読出しレジスタ 6 下位：
   IRPR6L (Interrupt Request Peripheral Read register 6L) 391
   4.15. 割込み要求一括読出しレジスタ 7 上位：
   IRPR7H (Interrupt Request Peripheral Read register 7H) 392
   4.16. 割込み要求一括読出しレジスタ 7 下位：
   IRPR7L (Interrupt Request Peripheral Read register 7L) 393
   4.17. 割込み要求一括読出しレジスタ 8 上位：
   IRPR8H (Interrupt Request Peripheral Read register 8H) 394
   4.18. 割込み要求一括読出しレジスタ 8 下位：
   IRPR8L (Interrupt Request Peripheral Read register 8L) 395
   4.19. 割込み要求一括読出しレジスタ 9 上位：
   IRPR9H (Interrupt Request Peripheral Read register 9H) 396
   4.20. 割込み要求一括読出しレジスタ 9 下位：
   IRPR9L (Interrupt Request Peripheral Read register 9L) 397

4.21. 割込み要求一括読出しレジスタ 10 上位：
IRPR10H (Interrupt Request Peripheral Read register 10H) 398
4.22. 割込み要求一括読出しレジスタ 10 下位：
IRPR10L (Interrupt Request Peripheral Read register 10L) 399
4.23. 割込み要求一括読出しレジスタ 11 上位：
IRPR11H (Interrupt Request Peripheral Read register 11H) 400
4.24. 割込み要求一括読出しレジスタ 11 下位：
IRPR11L (Interrupt Request Peripheral Read register 11L) 401
4.25. 割込み要求一括読出しレジスタ 12 上位：
IRPR12H (Interrupt Request Peripheral Read register 12H) 402
4.26. 割込み要求一括読出しレジスタ 12 下位：
IRPR12L (Interrupt Request Peripheral Read register 12L) 403
4.27. 割込み要求一括読出しレジスタ 13 上位：
IRPR13H (Interrupt Request Peripheral Read register 13H) 404
4.28. 割込み要求一括読出しレジスタ 13 下位：
IRPR13L (Interrupt Request Peripheral Read register 13L) 405
4.29. 割込み要求一括読出しレジスタ 14 上位：
IRPR14H (Interrupt Request Peripheral Read register 14H) 406
4.30. 割込み要求一括読出しレジスタ 15 上位：
IRPR15H (Interrupt Request Peripheral Read register 15H) 407
4.31. 割込み要求一括読出しレジスタ 15 下位：
IRPR15L (Interrupt Request Peripheral Read register 15L) 408
5. 動作説明 409

CHAPTER 17: ウォッチドッグタイマ 410

1. 概要 411
2. 特長 412
2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ) 413
2.2. ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ) 414
3. 構成 415
4. レジスタ 416
4.1. ウォッチドッグタイマ 0 制御レジスタ：
WDTCR0 (WatchDog Timer Configuration Register 0) 417
4.2. ウォッチドッグタイマ 0 クリアレジスタ：
WDTCPR0 (WatchDog Timer Clear Pattern Register 0) 419
4.3. ウォッチドッグタイマ 0 拡張制御レジスタ：
WDTECR0 (Watchdog Timer Extended Configuration Register 0) 420
4.4. ウォッチドッグタイマ 1 周期インフォメーションレジスタ：
WDTCR1 (WatchDog Timer Cycle information Register 1) 422
4.5. ウォッチドッグタイマ 1 クリアレジスタ：
WDTCPR1 (WatchDog Timer Clear Pattern Register 1) 423
5. 動作説明 424
5.1. ソフトウェアウォッチドッグ機能 425
5.1.1. 設定 426
5.1.2. 起動 427
5.1.3. 動作 428
5.2. ハードウェアウォッチドッグ機能 429
5.2.1. 設定 430
5.2.2. 起動 431
5.2.3. 動作 432
6. 使用例 433

CHAPTER 18: ベースタイマ 434

1. 概要 435
2. 特長 436

2.1. 16/32 ビットリロードタイマ 437
2.2. 16 ビット PWM タイマ 438
2.3. 16/32 ビット PWC タイマ 439
2.4. 16 ビット PPG タイマ 440
3. 構成 441
4. レジスタ 443
4.1. 共通レジスタ 445
4.1.1. タイマレジスタ 0〜3 :
BTxTMR (Base Timer 0/1/2/3 TiMer Register) 446
4.1.2. タイマ制御レジスタ 0-3 :
BTxTMCR (Base Timer 0/1/2/3 TiMer Control Register) 447
4.1.3. 入出力選択レジスタ :
BTSEL01/23 (Base Timer SElect register ch.0 and ch.1/ch.2 and ch.3) 453
4.1.4. 同時ソフト起動レジスタ :
BTSSSR/BTSSSRA (Base Timer Software Synchronous Start Register) 455
4.2. 16/32 ビットリロードタイマ時のレジスタ 457
4.2.1. ステータス制御レジスタ 0-3 :
BTxSTC (Base Timer 0/1/2/3 STatus Control) 458
4.2.2. 周期設定レジスタ 0-3 :
BTxPCSR (Base Timer 0/1/2/3 Pulse Counter Start Register) 459
4.3. 16 ビット PWM タイマ時のレジスタ 460
4.3.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1 /2/3STatus Control) 461
4.3.2. 周期設定レジスタ 0-3: BTxPCSR (Base Timer 0/1/2/3 Pulse Counter Start Register) 463
4.3.3. デューティ設定レジスタ 0-3 : BTxPDUT (Base Timer 0/1/2/3 Pulse DuTy register) 464
4.4. 16 ビット PPG タイマ時のレジスタ 465
4.4.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1/2/3 STatus Control) 466
4.4.2. L 幅設定レジスタ 0-3 : BTxPRLL (Base Timer 0/1/2/3 Pulse Length of "L" register) 468
4.4.3. H 幅設定レジスタ 0-3 : BTxPRLH (Base Timer 0/1/2/3 Pulse Length of "H" register) 469
4.5. 16/32 ビット PWC タイマ時のレジスタ 470
4.5.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1/2/3 STatus Control) 471
4.5.2. データバッファレジスタ 0-3 : BTxDTBF (Base Timer 0/1/2/3 DaTa BuFfer register) 473
5. 動作説明 474
5.1. タイマ機能の選択 475
5.2. 入出力割り当て 476
5.3. 32 ビットモード動作 479
5.3.1. 32 ビットモード機能 480
5.3.2. 32 ビットモード設定 481
5.3.3. 32 ビットモード動作 482
5.4. 16/32 ビットリロードタイマの動作 483
5.4.1. 概要 485
5.4.2. リロードモード時の動作 486
5.4.3. ワンショットモード時の動作 489
5.4.4. 32 ビットタイマモード時の動作 491
5.4.5. 割込み 493
5.4.6. 使用上の注意 494
5.5. 16 ビット PWM タイマの動作 495
5.5.1. 概要 496
5.5.2. リロードモード時の動作 497
5.5.3. ワンショットモード時の動作 501
5.5.4. 割込み 503
5.5.5. 使用上の注意 504
5.6. 16 ビット PPG タイマの動作 505
5.6.1. 概要 506
5.6.2. パルス幅の計算方法 507
5.6.3. リロードモード時の動作 508

5.6.4. ワンショットモード時の動作 ... 513
5.6.5. 割込み ... 516
5.6.6. 使用上の注意 ... 517
5.7. 16/32 ビット PWC タイマの動作 ... 518
5.7.1. 概要 ... 520
5.7.2. PWC 測定時の動作 ... 525
5.7.3. 32 ビットタイマモード時の動作 ... 528
5.7.4. 割込み ... 530
5.7.5. 使用上の注意 ... 531

CHAPTER 19: リロードタイマ ... 532

1. 概要 ... 533
2. 特長 ... 534
3. 構成 ... 535
4. レジスタ ... 536
4.1. コントロールステータスレジスタ： TMCSR (TiMer Control and Status Register) ... 537
4.2. 16 ビットタイマレジスタ： TMR (16bit TiMer Register) ... 541
4.3. 16 ビットタイマリロードレジスタ A、16 ビットタイマリロードレジスタ B : TMRLRA, TMRLRB (16bit TiMer ReLoad Register A/B) ... 542
5. 動作説明 ... 544
5.1. 設定 ... 545
5.1.1. カウントソース ... 546
5.1.2. タイマのアンダフロー周期 ... 547
5.1.3. トリガ ... 548
5.1.4. ゲート ... 549
5.1.5. カウンタ動作選択 ... 550
5.1.6. TOUT 端子レベル設定 ... 551
5.2. 動作手順 ... 553
5.2.1. 起動 ... 554
5.2.2. リトリガ ... 555
5.2.3. アンダフロー/リロード ... 556
5.2.4. 割込み要求発生 ... 557
5.2.5. レジスタ書込みとタイマ動作の同時動作 ... 558
5.3. 各カウンタ動作の説明 ... 559
5.3.1. シングルワンショット動作 ... 560
5.3.2. シングルリロード動作 ... 562
5.3.3. デュアルワンショット動作 ... 563
5.3.4. デュアルリロード動作 ... 565
5.3.5. コンペアワンショット動作 ... 567
5.3.6. コンペアリロード動作 ... 570
5.3.7. キャプチャモード ... 573
5.4. カスケード入力 ... 576
5.5. 同時動作の優先順位 ... 577
6. アプリケーションノート ... 578
6.1. シングルワンショットタイマ ... 580
6.2. リロードタイマ ... 582
6.3. PPG ... 584
6.4. PWM ... 587
6.5. PWC ... 590

CHAPTER 20: 16 ビットフリーランタイマ ... 592

1. 概要 ... 593
2. 特長 ... 594
3. 構成 ... 595
3.1.1. 16 ビットフリーランタイマの構成 ... 595

4. レジスタ 596
4.1. 16 ビットフリーランタイマのレジスタ 597
4.1.1. コンペアクリアバッファレジスタ: CPCLRB/コンペアクリアレジスタ: CPCLR 598
4.1.2. タイマデータレジスタ: TCDT0 600
4.1.3. タイマ状態制御レジスタ: TCCS0 602
5. 動作説明 609
5.1. 16 ビットフリーランタイマの割込み 610
5.2. 16 ビットフリーランタイマの動作 611
5.2.1. タイマクリア 612
5.2.2. タイマモード 613
5.2.3. コンペアクリアバッファ 614
5.2.4. タイマ割込み 616
5.2.5. 割込みマスク機能 617
5.2.6. 選択された外部カウントクロック 619
5.3. 動作仕様注意事項 620
5.3.1. バッファレジスタへアクセス時の注意 621
5.3.2. 16 ビットフリーランタイマの使用上の注意 622

CHAPTER 21: 16 ビットインプットキャプチャ 623

1. 概要 624
2. 特長 625
3. 構成 626
4. レジスタ 627
4.1. 16 ビットインプットキャプチャのレジスタ 628
4.1.1. インプットキャプチャデータレジスタ : IPCP0 629
4.1.2. インプットキャプチャ状態制御レジスタ : ICS 630
4.1.3. LIN SYNCH FIELD 切換えレジスタ ： LSYNS 633
5. 動作説明 634
5.1. 16 ビットインプットキャプチャの割込み 635
5.2. 16 ビットインプットキャプチャの動作 636
5.2.1. 16 ビットインプットキャプチャの動作 637
5.2.2. 16 ビットインプットキャプチャ入力タイミング 638
5.3. 16 ビットインプットキャプチャの使用上の注意 639

CHAPTER 22: WDT1 補正(キャリブレーション) 640

1. 概要 641
2. 特長 642
3. 構成 643
4. レジスタ 644
4.1. 補正ユニット制御レジスタ 1 : CUCR1 (Calibration Unit Control Register 1) 645
4.2. CR クロックタイマデータレジスタ : CUTD1 (Calibration Unit Timer Data register 1) 647
4.3. メイン発振タイマリザルトレジスタ 1 : CUTR1 (Calibration Unit Timer Result register 1) 648
5. 動作説明 649
5.1. CR クロックの誤差測定 650
5.2. 注意事項 651

CHAPTER 23: 消費電力制御 652

1. 概要 653
2. 特長 654
3. 構成 655
4. レジスタ 656
4.1. スタンバイ制御レジスタ : STBCR (STandby mode Control Register) 657
5. 動作説明 659
5.1. クロック制御 660
5.1.1. 分周設定 661

5.2. 各低消費電力モードにおけるクロック供給一覧 662
5.3. スリープモード 663
5.3.1. CPU スリープモード 664
5.3.2. バススリープモード 665
5.3.3. スリープモードの設定 666
5.3.4. スリープモードの起動 667
5.3.5. スリープモードからのウェイクアップ 668
5.3.6. スリープモードの効果 669
5.4. スタンバイモード：時計モード 670
5.4.1. 時計モードの設定 671
5.4.2. 時計モードの起動 672
5.4.3. 時計モードからのウェイクアップ 673
5.4.4. 時計モードの効果 674
5.5. スタンバイモード:ストップモード 675
5.5.1. ストップモードの設定 676
5.5.2. ストップモードの起動 677
5.5.3. ストップモードからのウェイクアップ 678
5.5.4. ストップモードの効果 679
5.6. マイコン停止状態 680
5.7. 不正スタンバイモード移行 681
6. 使用例 682

CHAPTER 24: 低電圧検出(内部低電圧検出) 683

1. 概要 684
2. 特長 685
3. 構成 686
4. レジスタ 687
4.1. 内部低電圧検出レジスタ : LVD (Low Voltage Detect internal power fall register) 688
5. 動作説明 690
5.1. 内部低電圧検出 691
6. 注意事項 692

CHAPTER 25: 低電圧検出(外部低電圧検出) 693

1. 概要 694
2. 特長 695
3. 構成 696
4. レジスタ 697
4.1. 外部低電圧検出立上り検出レジスタ :
LVD5R (Low- Voltage Detect external 5v Rise register) 698
4.2. 外部低電圧検出立下り検出レジスタ :
LVD5F (Low Voltage Detect external 5v Fall register) 699
5. 動作説明 701
6. 注意事項 702

CHAPTER 26: ワイルドレジスタ 703

1. 概要 704
2. 特長 705
3. 構成 706
4. レジスタ 707
4.1. ワイルドレジスタデータイネーブルレジスタ : WREN (Wild Register ENable register) 709
4.2. ワイルドレジスタアドレスレジスタ 00～15 :
WRAR00-15 (Wild Register Address Register 00-15) 710
4.3. ワイルドレジスタデータレジスタ 00～15 :
WRDR00-15 (Wild Register Data Register00-15) 711
5. 動作説明 712

6. 使用例 713

CHAPTER 27: クロックスーパバイザ 714

1. 概要 715
2. 構成 716
3. レジスタ 717
   3.1. クロックスーパバイザ制御レジスタ : CSVCR (Clock SuperVisor Control Register) 718
4. 動作説明 720
   4.1. 初期状態 721
   4.2. CR 発振器およびクロックスーパバイザ機能の停止 722
   4.3. クロックスーパバイザ再許可 723
   4.4. ストップモード 724
   4.5. 時計モード 725
   4.6. クロックスーパバイザによるリセット要因の確認 726
   4.7. CR クロックからの切戻り 727

CHAPTER 28: レギュレータ制御 728

1. 概要 729
2. 特長 730
3. 構成 731
4. レジスタ 732
   4.1. レギュレータ出力電圧選択レジスタ : REGSEL (REGulator output voltage SELect register) 733

CHAPTER 29: バス・パフォーマンス・カウンタ 735

1. 概要 736
2. 特長 737
3. 構成 738
4. レジスタ 739
   4.1. BPC-A 制御レジスタ : BPCCRA (Bus Performance Counter Control Register A) 740
   4.2. BPC-B 制御レジスタ : BPCCRB (Bus Performance Counter Control Register B) 741
   4.3. BPC-C 制御レジスタ : BPCCRC (Bus Performance Counter Control Register C) 742
   4.4. BPC-A カウントレジスタ : BPCTRA (Bus Performance CounTer Register A) 743
   4.5. BPC-B カウントレジスタ : BPCTRB (Bus Performance CounTer Register B) 744
   4.6. BPC-C カウントレジスタ : BPCTRC (Bus Performance CounTer Register C) 745
5. 動作説明 746
   5.1. 設定 747
   5.2. 起動と停止 749
   5.3. 動作 750
   5.4. 測定と結果処理 751

CHAPTER 30: CRC 753

1. 概要 754
2. 特長 755
3. 構成 756
4. レジスタ 757
   4.1. CRC 制御レジスタ : CRCCR (CRC Control Register) 758
   4.2. CRC 初期値レジスタ : CRCINIT (CRC Initial value register) 759
   4.3. Input Data レジスタ : CRCIN (CRC INput data register) 760
   4.4. CRC レジスタ : CRCR (CRC Register) 761
5. 動作説明 762
   5.1. CRC の定義 763
   5.2. リセット動作 764
   5.3. 初期化 765
   5.4. バイトオーダとビットオーダ 766

5.5. CRC 計算シーケンス 767
5.6. 使用例 768
5.6.1. 使用例 1 CRC16、バイト入力固定 769
5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在 770
5.6.3. 使用例 3 CRC32、バイトオーダ、ビッグエンディアン 771
5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン 772

CHAPTER 31: RAMECC 機能 773

1. 概要 774
2. 特長 775
3. 構成 776
4. レジスタ 777
4.1. シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX 778
4.2. ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX 779
4.3. ECC エラー制御レジスタ XBS RAM : EECSRX 780
4.4. ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEARX 781
4.5. ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX 782
5. 動作説明 785
5.1. RAMECC 機能 786
5.2. 割込み関連レジスタ 787
5.3. テストモード 788
5.4. 注意事項 789

CHAPTER 32: マルチファンクションシリアルインタフェース 790

1. 概要 791
2. 特長 792
3. 構成 798
4. レジスタ 799
4.1. 共通レジスタ 802
4.1.1. シリアルモードレジスタ : SMR (Serial Mode Register) 803
4.1.2. FIFO 制御レジスタ 1 : FCR1 (FIFO Control Register 1) 806
4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register 0) 808
4.1.4. FIFO バイトレジスタ : FBYTE (FIFO BYTE Register) 811
4.1.5. 送信 FIFO 割込み制御レジスタ : FTICR 813
4.2. UART **時レジスタ** 814
4.2.1. シリアル制御レジスタ : SCR (Serial Control Register) 815
4.2.2. シリアルステータスレジスタ : SSR (Serial Status Register) 817
4.2.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) 820
4.2.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register) 822
4.2.5. シリアル補助制御ステータスレジスタ : SACSR 825
4.2.6. シリアルタイマレジスタ : STMR 828
4.2.7. シリアルタイマ比較レジスタ : STMCR 829
4.2.8. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) 830
4.3. CSIO 時レジスタ 831
4.3.1. シリアル制御レジスタ : SCR (Serial Control Register) 832
4.3.2. シリアルステータスレジスタ : SSR (Serial Status Register) 834
4.3.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) 837
4.3.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register) 840
4.3.5. シリアル補助制御ステータスレジスタ : SACSR 844
4.3.6. シリアルタイマレジスタ : STMR 849
4.3.7. シリアルタイマ比較レジスタ : STMCR 850
4.3.8. シリアルチップセレクト制御ステータスレジスタ : SCSCR 851

4.3.9. シリアルチップセレクトタイミングレジスタ : SCSTR3-0 ... 856
4.3.10. シリアルチップセレクトフォーマットレジスタ : SCSFR0 ... 860
4.3.11. 転送バイトレジスタ : TBYTE1-0 ... 864
4.3.12. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) ... 866
4.4. LIN 時レジスタ ... 867
4.4.1. シリアル制御レジスタ : SCR (Serial Control Register) ... 868
4.4.2. シリアルステータスレジスタ : SSR (Serial Status Register) ... 871
4.4.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) ... 875
4.4.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register) ... 877
4.4.5. シリアル補助制御ステータスレジスタ : SACSR ... 880
4.4.6. シリアルタイマレジスタ : STMR ... 884
4.4.7. シリアルタイマ比較レジスタ : STMCR ... 885
4.4.8. シンクフィールド上限レジスタ : SFUR ... 886
4.4.9. シンクフィールド下限レジスタ : SFLR ... 887
4.4.10. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) ... 888
4.4.11. LIN アシストモードステータスレジスタ: LAMSR ... 889
4.4.12. LIN アシストモード制御レジスタ : LAMCR ... 892
4.4.13. LIN アシストモード割込み許可レジスタ : LAMIER ... 895
4.4.14. LIN アシストモード送信/受信 ID レジスタ : LAMTID / LAMRID ... 897
4.4.15. LIN アシストモードエラーステータスレジスタ : LAMESR ... 899
4.4.16. LIN アシストモード障害試験レジスタ : LAMERT ... 902
5. UART の動作説明 ... 906
5.1. UART の割込み ... 907
5.1.1. UART の割込み一覧 ... 908
5.1.2. 受信割込み発生とフラグセットのタイミング ... 909
5.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 911
5.1.4. 送信割込み発生とフラグセットのタイミング ... 913
5.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 914
5.1.6. タイマ割込み発生とフラグセットのタイミング ... 915
5.2. UART の動作 ... 916
5.2.1. 送受信データフォーマット ... 917
5.2.2. 送信動作 ... 919
5.2.3. 受信動作 ... 920
5.2.4. クロック選択 ... 921
5.2.5. スタートビット検出 ... 922
5.2.6. ストップビット ... 923
5.2.7. エラー検出 ... 924
5.2.8. パリティビット ... 925
5.2.9. データ信号方式 ... 926
5.2.10. シリアルタイマの動作 ... 927
5.2.11. テストモード ... 929
5.2.12. UART ボーレート選択・設定 ... 930
5.3. 設定手順とプログラムフロー ... 935
5.3.1. 動作モード 0 (1 : 1 接続) ... 936
5.3.2. 動作モード 1(1 : n 接続) ... 937
6. CSIO の動作説明 ... 939
6.1. CSIO の割込み ... 940
6.1.1. CSIO の割込み一覧 ... 941
6.1.2. 受信割込み発生とフラグセットのタイミング ... 943
6.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 944
6.1.4. 送信割込み発生とフラグセットのタイミング ... 945
6.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 946
6.1.6. タイマ割込みとフラグセットのタイミング ... 947
6.1.7. チップセレクトエラー発生とフラグセットのタイミング ... 948

6.2. CSIO の動作 ... 950
6.2.1. ノーマル転送(I) ... 951
6.2.2. ノーマル転送(II) ... 960
6.2.3. SPI 転送(I) ... 969
6.2.4. SPI 転送(II) ... 978
6.2.5. シリアルタイマの動作 ... 987
6.2.6. シリアルチップセレクトの動作 ... 991
6.2.7. テストモード ... 999
6.2.8. ボーレートの生成 ... 1000
6.3. 設定手順とプログラムフロー ... 1004
7. LIN インタフェース(v2.1)の動作説明 ... 1005
7.1. LIN インタフェース(v2.1)マニュアルモードの割込み ... 1006
7.1.1. LIN インタフェース(v2.1)の割込み一覧(マニュアルモード) ... 1007
7.1.2. 受信割込み発生とフラグセットのタイミング ... 1009
7.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 1011
7.1.4. 送信割込み発生とフラグセットのタイミング ... 1013
7.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 1014
7.1.6. タイマ割込みとフラグセットのタイミング ... 1015
7.1.7. シンクフィールド検出割込み発生とフラグセットのタイミング ... 1016
7.2. LIN インタフェース(v2.1)アシストモードの割込み ... 1017
7.2.1. LIN インタフェース(v2.1)の割込み一覧(アシストモード) ... 1018
7.2.2. アシストモードにおける受信割込み発生とフラグセットのタイミング ... 1020
7.2.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 1026
7.2.4. 送信割込み発生とフラグセットのタイミング ... 1027
7.2.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング ... 1028
7.2.6. タイマ割込み発生とフラグセットのタイミング ... 1029
7.2.7. アシストモードにおけるステータス割込み発生とフラグセットのタイミング ... 1030
7.3. シリアルタイマの動作 ... 1032
7.4. テストモード ... 1035
7.4.1. マニュアルモード ... 1036
7.4.2. アシストモード ... 1037
7.5. LIN インタフェース(v2.1)の動作 ... 1042
7.5.1. マニュアルモード ... 1043
7.5.2. アシストモード ... 1055
7.5.3. LIN ボーレート選択・設定 ... 1074
7.6. 設定手順とプログラムフロー ... 1075
7.6.1. マニュアルモード ... 1076
7.6.2. アシストモード ... 1080

CHAPTER 33: CAN コントローラ ... 1085

1. 概要 ... 1086
2. 特長 ... 1087
3. 構成 ... 1088
4. レジスタ ... 1089
4.1. 概要 ... 1090
4.1.1. ベースアドレス(Base-addr)・外部信号・バッファサイズ一覧 ... 1091
4.1.2. 全体コントロールレジスタ一覧 ... 1092
4.1.3. メッセージインタフェースレジスタ一覧 ... 1093
4.1.4. メッセージハンドラレジスタ一覧 ... 1096
4.2. 全体コントロールレジスタ ... 1098
4.2.1. CAN 制御レジスタ : CTRLR ... 1099
4.2.2. CAN ステータスレジスタ : STATR ... 1102
4.2.3. CAN エラーカウンタ : ERRCNT ... 1105
4.2.4. CAN ビットタイミングレジスタ : BTR ... 1106

4.2.5. CAN 割込みレジスタ : INTR 1107
4.2.6. CAN テストレジスタ : TESTR 1109
4.2.7. CAN プリスケーラ拡張レジスタ : BRPER 1111
4.3. メッセージインタフェースレジスタ 1112
4.3.1. IFx コマンド要求レジスタ : IFxCREQ 1113
4.3.2. IFx コマンドマスクレジスタ : IFxCMSK 1115
4.3.3. IFx マスクレジスタ 1,2 : IFxMSK1, IFxMSK2 1119
4.3.4. IFx アービトレーションレジスタ 1,2 : IFxARB1, IFxARB2 1120
4.3.5. IFx メッセージ制御レジスタ : IFxMCTR 1122
4.3.6. IFx データレジスタ A1,A2,B1,B2 : IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2 1123
4.4. メッセージオブジェクト 1124
4.4.1. メッセージオブジェクトの構成 1125
4.4.2. メッセージオブジェクトの機能 1126
4.5. メッセージハンドラレジスタ 1131
4.5.1. CAN 送信要求レジスタ : TREQR1～TREQR4 1132
4.5.2. CAN データ更新レジスタ : NEWDT1～NEWDT4 1135
4.5.3. CAN 割込みペンディングレジスタ : INTPND1～INTPND4 1138
4.5.4. CAN メッセージ有効レジスタ : MSGVAL1～MSGVAL4 1141
5. 動作説明 1144
5.1. メッセージオブジェクト 1145
5.1.1. メッセージオブジェクト 1146
5.1.2. メッセージ RAM とのデータ送受信 1147
5.2. メッセージ送信動作 1148
5.2.1. メッセージ送信 1149
5.2.2. 送信優先度 1150
5.2.3. 送信メッセージオブジェクトの設定 1151
5.2.4. 送信メッセージオブジェクトの更新 1152
5.3. メッセージ受信動作 1153
5.3.1. 受信メッセージの受容フィルタ 1154
5.3.2. 受信優先度 1155
5.3.3. データフレーム受信 1156
5.3.4. リモートフレーム 1157
5.3.5. 受信メッセージオブジェクトの設定 1158
5.3.6. 受信メッセージの処理 1159
5.4. FIFO バッファ機能 1160
5.4.1. FIFO バッファの構成 1161
5.4.2. FIFO バッファによるメッセージ受信 1162
5.4.3. FIFO バッファからの読出し 1163
5.5. 割込み機能 1165
5.6. ビットタイミング・CAN システムクロック(fsys)生成 1166
5.7. テストモード 1169
5.7.1. テストモード設定 1170
5.7.2. サイレントモード 1171
5.7.3. ループバックモード 1172
5.7.4. サイレントモードとループバックモードの結合 1173
5.7.5. ベーシックモード 1174
5.7.6. 信号 TX のソフトフェア制御 1175
5.8. ソフトウェア初期化 1176
5.9. CAN ウェイクアップ機能 1177
6. 制限事項 1178
6.1. Init ビット 1179
6.1.1. 制限事項 1180
6.1.2. 回避方法 1181

CHAPTER 34: CAN プリスケーラ 1182

1. 概要 1183
2. 特長 1184
3. 構成 1185
4. レジスタ 1186
4.1. CAN プリスケーラレジスタ : CANPRE 1187

CHAPTER 35: 12 ビット A/D コンバータ 1189

1. 概要 1190
2. 特長 1191
2.1. A/D 起動コンペアの機能 1192
2.2. A/D 起動調停の機能 1194
2.3. 12 ビット A/D コンバータ制御の機能 1195
3. 構成 1196
4. レジスタ 1199
4.1. アナログ入力制御のレジスタ 1201
4.1.1. アナログ入力制御レジスタ : ADER 1202
4.2. A/D 起動コンペアのレジスタ 1203
4.2.1. A/D ソフトウェア起動レジスタ : ADTSS0 1204
4.2.2. A/D ソフトウェア起動チャネル選択レジスタ : ADTSE0 1205
4.2.3. A/D 起動トリガ制御ステータスレジスタ : ADTCS0 ～ ADTCS7 1206
4.2.4. A/D 起動トリガ制御ステータス拡張レジスタ : EADTCS0 ～ 7 1210
4.2.5. A/D データレジスタ : ADTCD0 ～ ADTCD7 1211
4.2.6. A/D 起動トリガ拡張制御レジスタ : ADTECS0 ～ 7 1213
4.2.7. データ保護状態フラグレジスタ : ADPRTF0 1215
4.3. 12 ビット A/D コンバータ制御のレジスタ 1216
4.3.1. A/D 制御ステータスレジスタ : ADCS0 1217
4.3.2. A/D チャネルステータスレジスタ : ADCH 1218
4.3.3. A/D モード設定レジスタ : ADMD 1219
4.3.4. A/D チャネルごとのサンプリング時間設定レジスタ : ADSTPCS 1221
5. 動作説明 1223
5.1. A/D 起動コンペアの割込み 1224
5.1.1. A/D 変換終了割込み 1225
5.2. A/D 起動コンペアの動作 1226
5.2.1. A/D 起動 1227
5.2.2. A/D 起動許可 1228
5.2.3. アナログチャネル選択 1229
5.2.4. ソフトウェア起動 1230
5.2.5. 外部トリガ起動 1231
5.2.6. リロードタイマ起動 1232
5.2.7. PWM 起動 1233
5.2.8. 起動要求モード 1234
5.2.9. A/D 変換データ 1235
5.2.10. 保護機能 1236
5.2.11. 起動要求の強制終了 1237
5.3. A/D 起動調停の動作 1238
5.3.1. A/D 起動トリガ調停 1239
5.3.2. アナログチャネル選択 1240
5.3.3. A/D 変換キャンセル機能 1241
5.4. 12 ビット A/D コンバータの動作 1242
5.4.1. 動作タイミング 1243
5.4.2. 起動要因について 1244
5.4.3. A/D 変換について 1245
5.4.4. 再起動について 1246
5.4.5. A/D 変換キャンセルについて 1247

5.4.6. アナログチャネル選択制御 ... 1248
5.4.7. A/D 変換時間について ... 1249
5.4.8. A/D 変換終了、A/D データ取込み ... 1251
5.4.9. パワーダウン ... 1252
6. 注意事項 ... 1253

CHAPTER 36: フラッシュメモリ ... 1254

1. 概要 ... 1255
2. 特長 ... 1256
3. 構成 ... 1257
3.1. ブロックダイヤグラム ... 1258
3.2. セクタ構成図 ... 1259
3.3. セクタ番号・フラッシュマクロ番号対応表 ... 1260
4. レジスタ ... 1261
4.1. フラッシュ制御レジスタ:FCTLR (Flash ConTroL Register) ... 1262
4.2. フラッシュステータスレジスタ : FSTR (Flash STatus Register) ... 1264
4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR(Flash I/F Control Register) ... 1265
4.4. フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1(Flash I/F Feature ExtensiONRegister 1) ... 1267
4.5. フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2(Flash I/F Feature ExtensiONRegister 2) ... 1268
5. 動作説明 ... 1269
5.1. アクセスモード設定 ... 1270
5.1.1. CPU-ROM モードへの設定 ... 1271
5.1.2. CPU プログラミングモードへの設定 ... 1272
5.2. CPU によるフラッシュメモリ書込み ... 1273
5.3. 自動アルゴリズム ... 1274
5.3.1. コマンドシーケンス ... 1275
5.3.2. 自動アルゴリズム実行状態 ... 1278
5.4. リセットコマンド ... 1281
5.5. 書込みコマンド ... 1282
5.6. チップ消去コマンド ... 1285
5.7. セクタ消去コマンド ... 1286
5.8. セクタ消去一時停止コマンド ... 1289
5.9. セキュリティ機能 ... 1290
5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別 ... 1291
5.9.2. フラッシュセキュリティ設定方法 ... 1292
5.9.3. フラッシュセキュリティ解除方法 ... 1293
5.9.4. セキュリティ ON 時のフラッシュアクセス制限 ... 1294
5.10. フラッシュメモリの使用上の注意 ... 1295

CHAPTER 37: ワークフラッシュメモリ ... 1296

1. 概要 ... 1297
2. 特長 ... 1298
3. 構成 ... 1299
3.1. ブロックダイヤグラム ... 1300
3.2. セクタ構成図 ... 1301
4. レジスタ ... 1302
4.1. ワークフラッシュ制御レジスタ : DFCTLR (WorkFlash ConTroL Register) ... 1303
4.2. ワークフラッシュステータスレジスタ : DFSTR (WorkFlash STatus Register) ... 1304
4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR (Flash I/F Control Register) ... 1305
5. 動作説明 ... 1307
5.1. アクセスモード設定 ... 1308
5.1.1. CPU-ROM モードへの設定 ... 1309
5.1.2. CPU プログラミングモードへの設定 ... 1310

5.2. CPU によるワークフラッシュメモリ書込み 1311
5.3. 自動アルゴリズム 1312
5.3.1. コマンドシーケンス 1313
5.3.2. 自動アルゴリズム実行状態 1316
5.4. リセットコマンド 1319
5.5. 書込みコマンド 1320
5.6. チップ消去コマンド 1323
5.7. セクタ消去コマンド 1324
5.8. セクタ消去一時停止コマンド 1327
5.9. セキュリティ機能 1328
5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別 1329
5.9.2. フラッシュセキュリティ設定方法 1330
5.9.3. フラッシュセキュリティ解除方法 1331
5.9.4. セキュリティ ON 時のフラッシュアクセス制限 1332
5.10. ワークフラッシュメモリの使用上の注意 1333

CHAPTER 38: オンチップデバッガ(OCD) 1334

1. 概要 1335
2. 特長 1336
3. 構成 1338
3.1. DEBUG I/F 用クロック 1340
3.1.1. DEBUG I/F 用メインクロック(M_MCLK) 1341
3.1.2. DEBUG I/F 用 PLL クロック(M_PCLK) 1342
4. レジスタ 1343
4.1. DBG レジスタ 1344
4.1.1. DSU 制御レジスタ: DSUCR 1345
4.2. ユーザ IO レジスタ 1346
4.2.1. ユーザイベントレジスタ : UER 1347
4.2.2. 高速通信周波数レジスタ : HSCFR 1348
4.2.3. メッセージバッファ : MBR 1349
5. 動作説明 1350
5.1. OCDU 動作モード 1351
5.1.1. 動作モードについて 1352
5.1.2. 動作モード状態遷移 1353
5.2. DEBUG I/F 概要 1354
5.2.1. チップリセットシーケンス 1355
5.2.2. セキュリティ機能 1357
5.3. 本品種の OCD ツール接続時での仕様制限 1358
5.3.1. クロック設定 1359
5.3.2. スタンバイモード 1360
5.3.3. クロック・リセット状態遷移 1361
5.3.4. 仕様制限まとめ 1362
5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報 1364

CHAPTER 39: BUS 診断機能 1365

1. 概要 1366
2. 特長 1367
3. 構成 1368
4. レジスタ 1371
4.1. バス診断ステータスレジスタ: BUSDIGSR 1372
4.2. バス診断テストレジスタ: BUSTSTR0/1 1375
4.3. バス診断アドレスレジスタ:BUSADR 1380
5. 動作説明 1382
5.1. エラー検出 1383

5.2. テスト機能 ... 1385
5.3. 注意事項 ... 1387
5.4. バス診断動作例 ... 1388

CHAPTER 40: RAM 診断機能 ... 1394

1. 概要 ... 1395
2. 特長 ... 1396
3. 構成 ... 1397
4. レジスタ ... 1398
4.1. TEST エラーアドレスレジスタ 0 XBS RAM : TEAR0X ... 1399
4.2. TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X ... 1401
4.3. TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X ... 1403
4.4. TEST 開始アドレスレジスタ XBS RAM : TASARX ... 1405
4.5. TEST 終了アドレスレジスタ XBS RAM : TAEARX ... 1406
4.6. TEST 診断機能レジスタ XBS RAM : TTCRX ... 1407
4.7. TEST 初期化機能レジスタ XBS RAM : TICRX ... 1410
4.8. TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX ... 1412
4.9. TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX ... 1413
4.10. TEST キーコード制御レジスタ XBS RAM : TKCCRX ... 1414
5. 動作説明 ... 1415
5.1. RAM 診断 ... 1416
5.2. RAM 初期化 ... 1417
5.3. 割込み関連レジスタ ... 1418
5.4. RAM 診断擬似エラー発生手順 ... 1419
5.5. 所要サイクル数 ... 1420
5.6. 注意事項 ... 1422

CHAPTER 41: Timing Protection Unit ... 1423

1. 概要 ... 1424
2. 特長 ... 1425
3. 構成 ... 1426
4. レジスタ ... 1427
4.1. TPU アンロックレジスタ : TPUUNLOCK (TPU Unlock Register) ... 1428
4.2. TPU ロックステータスレジスタ : TPULST (TPU Lock Status Register) ... 1429
4.3. TPU アクセス違反検出レジスタ : TPUVST (TPU Access Violation Status Register) ... 1430
4.4. TPU 制御レジスタ : TPUCFG (TPU Configuration Register) ... 1431
4.5. TPU タイマ割込み要求レジスタ : TPUTIR (TPU Timer Interrupt Request Register) ... 1433
4.6. TPU タイマステータスレジスタ : TPUTST (TPU Timer Status Register) ... 1434
4.7. TPU タイマ割込み許可レジスタ : TPUTIE (TPU Timer Interrupt Register) ... 1435
4.8. TPU モジュール ID レジスタ : TPUTMID (TPU Module ID Register) ... 1436
4.9. TPU タイマ制御レジスタ 00-07 : TPUTCN00-07 (TPU Timer Control Register 00-07) ... 1437
4.10. TPU タイマ制御レジスタ 10-17 : TPUTCN10-17 (TPU Timer Control Register 10-17) ... 1439
4.11. TPU カウンタ値レジスタ 0-7 : TPUTCC0-7 (TPU Timer Current Count Register 0-7) ... 1441
5. 動作説明 ... 1442
5.1. TPU 制御レジスタアクセス保護 ... 1443
5.2. グローバルプリスケーラ ... 1444
5.3. 割込み制御 ... 1445
5.4. タイマ動作 ... 1446
5.5. フリーラン機能 ... 1447
5.6. 個別プリスケーラ機能 ... 1448
5.7. デバッグサポート機能 ... 1449
5.8. 操作フロー ... 1450

CHAPTER 42: クロックモニタ ... 1451

1. 概要 ... 1452

2. 特長 1453
3. 構成 1454
4. レジスタ 1455
4.1. クロックモニタ構成レジスタ: CMCFG 1456
5. 動作説明 1458
6. 設定 1459
7. Q&A 1460
7.1. 出力端子(MONCLK)を設定するには? 1461
7.2. 出力周波数を選択するには? 1462
7.3. クロックモニタ出力を許可または禁止するには? 1463
7.4. クロック出力のマークレベルを設定するには? 1464
8. 注意事項 1465

CHAPTER 43: PWM 1466

1. 概要 1467
2. 特長 1468
3. 構成 1470
4. レジスタ 1475
4.1. マスタクロック関連のレジスタ 1481
4.1.1. タイマ同時起動レジスタ: PWMTCGS 1482
4.1.2. タイマ同時起動許可レジスタ: PWMTCGSE 1484
4.1.3. コンペアクリアバッファレジスタ: PWMCPCLRB0, 1/コンペアクリアレジスタ: PWMCPCLR0, 1 1485
4.1.4. タイマデータレジスタ: PWMTCDT0 ～ PWMTCDT1 1487
4.1.5. タイマ状態制御レジスタ: PWMTCCS0 ～ PWMTCCS1 1489
4.1.6. タイマリセット制御レジスタ: PWMTRC 1497
4.1.7. SYNC 比較レジスタ: PWMSYNCP0 ～ PWMSYNCP1 1500
4.1.8. 特殊イベント制御レジスタ: PWMSEVCON 1502
4.1.9. 特殊イベントステータスレジスタ: PWMSEVST 1504
4.1.10. 特殊イベント比較レジスタ: PWMSEVCP0 ～ PWMSEVCP1 1505
4.1.11. マスタデューティ設定レジスタ: PWMMCD0B ～ PWMMCD1B 1506
4.2. PWM 共通ステータスのレジスタ 1507
4.2.1. PWM 共通ステータスレジスタ: PWMST0 ～ PWMST2 1508
4.2.2. フォルトステータスレジスタ: PWMFLTST 1510
4.3. PWM 生成関連のレジスタ 1512
4.3.1. 共通デューティ設定レジスタ: PWMCMD 1513
4.3.2. PWM 同時起動レジスタ: PWMPCGS 1514
4.3.3. PWM 制御レジスタ: PWMPCN01 ～ PWMPCN45 1515
4.3.4. PWM 周期設定レジスタ: PWMCC0B ～ PWMCC5B 1519
4.3.5. PWM 位相設定レジスタ: PWMCP0B ～ PWMCP5B 1521
4.3.6. PWM デューティ設定レジスタ: PWMCD0B ～ PWMCD5B 1523
4.3.7. PWM タイマレジスタ: PWMPTMR0 ～ PWM PTMR5 1525
4.4. フォルト機能関連のレジスタ 1526
4.4.1. フォルト制御レジスタ: PWMFLTCON00 ～ PWMFLTCON21 1527
4.4.2. フォルトリセット制御レジスタ: PWMFLTRCON0 ～ PWMFLTRCON2 1533
4.4.3. フォルトキャプチャ制御レジスタ: PWMFLTCAPCON0 ～ PWMFLTCAPCON2 1536
4.4.4. フォルトソフトリセットレジスタ: PWMFLTSR0 ～ PWMFLTSR2 1539
4.4.5. キャプチャ割込みしきい値設定レジスタ: PWMCAPITH0 ～ PWMCAPITH2 1541
4.4.6. フォルトリセット遅延制御レジスタ: PWMFLTRDCON00 ～ PWMFLTRDCON21 1542
4.4.7. フォルトキャプチャカウンタリセット遅延制御レジスタ: PWMFLTCAPRDCON0 ～ PWMFLTCAPRDCON2 1546
4.4.8. フォルトキャプチャデータレジスタ: PWMFLTCAPD0 ～ PWMFLTCAPD2 1548

4.5. ソフトオーバライトのレジスタ 1550
4.5.1. ソフトオーバライト制御レジスタ: PWMSOWCON0 ～ PWMSOWCON2 1551
4.6. デッドタイムのレジスタ 1554
4.6.1. デッドタイムモードレジスタ: PWMDMOD 1555
4.6.2. ハイサイド側立上りデッドタイム設定レジスタ: PWMHRTMRR0 ～ PWMHRTMRR2 1557
4.6.3. ハイサイド側立下りデッドタイム設定レジスタ: PWMHFTMRR0 ～ PWMHFTMRR2 1558
4.6.4. ロウサイド側立上りデッドタイム設定レジスタ: PWMLRTMRR0 ～ PWMLRTMRR2 1559
4.6.5. ロウサイド側立下りデッドタイム設定レジスタ: PWMLFTMRR0 ～ PWMLFTMRR2 1560
4.7. ブランキング関連のレジスタ 1561
4.7.1. ブランキング制御レジスタ: PWMLEBCON0 ～ PWMLEBCON2 1562
4.7.2. ブランキングスタート遅延制御レジスタ: PWMLEBSDCON00 ～ PWMLEBSDCON23 1566
4.7.3. ブランキング時間制御レジスタ: PWMLEBTCON00 ～ PWMLEBTCON21 1571
4.8. A/D コンバータトリガ生成のレジスタ 1575
4.8.1. A/DC トリガ制御レジスタ: PWMADTCON 1576
4.8.2. A/DC トリガステータスレジスタ: PWMADTST 1583
4.8.3. A/DC トリガ遅延制御レジスタ: PWMADTDCON0 ～ PWMADTDCON3 1585
5. 動作説明 1586
5.1. PWM の割込み 1587
5.2. マスタクロック生成のタイマ動作 1591
5.2.1. タイマクリア 1592
5.2.2. タイマモード 1593
5.2.3. コンペアクリアバッファ 1594
5.2.4. タイマ割込み 1596
5.2.5. 割込みマスク機能 1597
5.2.6. SYNCIN/SYNCOUT 機能 1599
5.3. PWM 生成の動作 1600
5.3.1. PWM 動作 (Normal Wave Form, マスタクロック同期, マスタクロック周期) 1601
5.3.2. PWM 動作 (Normal Wave Form, マスタクロック同期, 独立周期) 1603
5.3.3. PWM 動作 (Normal Wave Form, マスタクロック非同期, 独立周期) 1605
5.3.4. PWM 動作 (Center Aligned Wave Form, マスタクロック同期, マスタクロック周期) 1607
5.3.5. PWM 動作 (Center Aligned Wave Form, マスタクロック同期, 独立周期) 1609
5.3.6. PWM 動作 (Center Aligned Wave Form, マスタクロック非同期, 独立周期) 1611
5.4. フォルト制御の動作 1613
5.5. ソフトオーバライト制御の動作 1616
5.6. デッドタイムの動作 1617
5.7. ブランキング生成の動作 1618
5.8. A/D コンバータトリガ生成の動作 1619
6. 注意事項 1620

CHAPTER 44: PWM 専用クロック 1623

1. 概要 1624
2. 特長 1625
3. 構成 1626
4. レジスタ 1627
4.1. PWM PLL 分周(M 分周)選択レジスタ : PLL2DIVM 1628
4.2. PWM PLL 逓倍率 (N 分周)選択レジスタ : PLL2DIVN 1629
4.3. PWM PLL 逓倍率(K 分周)選択レジスタ : PLL2DIVK 1630
4.4. PWM PLL クロック出力コントロールレジスタ : CLKR2 1631

4.5. クロックギアコンフィグ設定レジスタ 0 : PWMCGRCR0 1633
4.6. クロックギアコンフィグ設定レジスタ 1 : PWMCGRCR1 1635
4.7. クロックギアコンフィグ設定レジスタ 2 : PWMCGRCR2 1636
5. クロックギア回路 1637
6. 操作 1638
7. 周波数、ギア計算例 1639
8. 注意事項 1641

CHAPTER 45: バッファ付き PWC 1642

1. 概要 1643
2. 特長 1644
3. 構成 1646
4. レジスタ 1647
4.1. バッファ付き PWC のレジスタ 1649
4.1.1. PWC 初期化レジスタ: PWCINIT0, PWCINIT1 1650
4.1.2. PWC 制御レジスタ: PWCC0 ,PWCC1 1651
4.1.3. コンペアクリアバッファレジスタ: PWCCPCLRB00 ～PWCCPCLRB11 / コンペアクリアレジスタ: PWCCPCLR00 ～PWCCPCLR11 1653
4.1.4. タイマデータレジスタ: PWCTCDT00 ～PWCTCDT11 1655
4.1.5. タイマ状態制御レジスタ: PWCTCCS00 ～PWCTCCS11 1657
4.1.6. データバッファリードレジスタ: PWCDBR00 ～PWCDBR31 1662
4.1.7. バッファ状態レジスタ: PWCDBS0, PWCDBS1 1664
4.1.8. バッファ割込みフラグレジスタ: PWCBFIRQF0, PWCBFIRQF1 1668
4.1.9. バッファ割込み制御レジスタ: PWCBFIRQC0, PWCBFIRQC1 1672
4.1.10. キャプチャデータ上限比較レジスタ: PWCCUC00 ～PWCCUC31 1676
4.1.11. キャプチャデータ下限比較レジスタ: PWCCLC00 ～PWCCLC31 1678
5. 動作説明 1680
5.1. バッファ付き PWC の割込み 1681
5.2. バッファ付き PWC の動作 1683
5.2.1. バッファ付き PWC の起動 1684
5.2.2. タイマクリア 1688
5.2.3. コンペアクリアバッファ 1689
5.2.4. タイマ割込み 1690
5.2.5. 割込みマスク機能 1691
5.2.6. キャプチャデータ上限比較・下限比較割込み 1692
5.2.7. データバッファ割込み 1694
5.2.8. バッファオーバラン割込み 1695
6. 注意事項 1696

CHAPTER 46: 12 ビット A/D コンバータ(4 チャネル同時サンプリング) 1698

1. 概要 1699
2. 特長 1700
2.1. A/D 起動制御の機能 1701
2.2. A/D 起動調停の機能 1702
2.3. 12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御の機能 1703
3. 構成 1704
4. レジスタ 1708
4.1. A/D 起動制御のレジスタ 1710
4.1.1. 4 チャネル A/D イネーブルレジスタ : AD4EN 1711
4.1.2. 4 チャネル A/D ソフトウェア起動レジスタ : AD4TSS 1712
4.1.3. 4 チャネル A/D ソフトウェア起動チャネル選択レジスタ : AD4TSE 1713
4.1.4. 4 チャネル A/D 起動トリガ制御ステータスレジスタ : AD4TCS0 ～ AD4TCS7 1714
4.1.5. 4 チャネル A/D 起動トリガステータスレジスタ : AD4TBUSY 1715
4.1.6. 4 チャネル A/D 起動トリガ拡張制御レジスタ : AD4TECS0 ～ AD4TECS7 1717

4.1.7. 4 チャネル A/D 割込み/保護制御レジスタ : AD4PTC8 ～ AD4PTC11 1721
4.1.8. 4 チャネル A/D データレジスタ : AD4TCD8 ～ AD4TCD11 1723
4.2. 12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御のレジスタ 1725
4.2.1. 4 チャネル A/D 制御ステータスレジスタ : AD4CS 1726
4.2.2. 4 チャネル A/D モード設定レジスタ : AD4MD 1728
4.2.3. 4 チャネルデータ保護状態フラグレジスタ : AD4PRTF 1730
5. 動作説明 1731
5.1. A/D 起動制御の割込み 1732
5.1.1. A/D 変換終了割込み 1733
5.1.2. サンプリング時間不足割込み 1734
5.1.3. イレギュラ起動割込み 1735
5.2. A/D 起動制御の動作 1736
5.2.1. A/D 起動 1737
5.2.2. A/D 起動許可 1738
5.2.3. ソフトウェア起動 1739
5.2.4. 外部トリガ起動 1740
5.2.5. リロードタイマ起動 1741
5.2.6. PWM 起動 1742
5.2.7. 起動要求モード 1743
5.2.8. A/D 変換データ 1744
5.2.9. 保護機能 1745
5.2.10. 起動要求の強制終了 1746
5.3. A/D 起動調停の動作 1747
5.3.1. A/D 起動トリガ調停 1748
5.3.2. A/D 変換キャンセル機能 1749
5.4. 12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作 1750
5.4.1. 動作タイミング 1751
5.4.2. 起動要因について 1754
5.4.3. A/D 変換について 1755
5.4.4. A/D 変換中の起動トリガ信号入力について 1756
5.4.5. A/D 変換キャンセルについて 1757
5.4.6. A/D 変換時間について 1758
5.4.7. A/D 変換終了、A/D データ取込み 1760
5.4.8. パワーダウン 1761
6. 注意事項 1762

CHAPTER 47: コンパレータ 1764

1. 概要 1765
2. 特長 1766
3. 構成 1767
4. レジスタ 1768
4.1. コンパレータ制御レジスタ : CMPCTL 1769
4.2. コンパレータ 0 用 D/A コンバータ制御レジスタ : CMPDACR0 1776
4.3. コンパレータ 0 用 D/A コンバータ出力設定レジスタ : CMPDADR0 1777
4.4. コンパレータ 1 用 D/A コンバータ制御レジスタ : CMPDACR1 1778
4.5. コンパレータ 1 用 D/A コンバータ出力設定レジスタ : CMPDADR1 1779
4.6. コンパレータ 2 用 D/A コンバータ制御レジスタ : CMPDACR2 1780
4.7. コンパレータ 2 用 D/A コンバータ出力設定レジスタ : CMPDADR2 1781
4.8. コンパレータ出力割込みフラグレジスタ : CMPINT 1782
4.9. コンパレータ出力ステータスレジスタ : CMPST 1784
5. 動作説明 1785
5.1. コンパレータ 1786
5.2. 比較基準電圧用 D/A コンバータ 1787
5.3. コンパレータ出力極性選択 1788
5.4. グリッジフィルタ 1789

5.5. 割込み要求 1790
6. 注意事項 1791

CHAPTER 48: スロープ補償 1792

1. 概要 1793
2. 特長 1794
3. 構成 1795
4. レジスタ 1796
4.1. 動作制御レジスタ : SLPCNT 1797
4.2. 状態遷移トリガエッジ選択レジスタ 1 : SLPEDGESEL1 1799
4.3. 状態遷移トリガエッジ選択レジスタ 2 : SLPEDGESEL2 1802
4.4. 動作制御スイッチ設定レジスタ : SLPSWA,SLPSWB,SLPSWC 1805
4.5. 状態遷移トリガ 1A 時間設定レジスタ : SLP1A 1809
4.6. 状態遷移トリガ 1B 時間設定レジスタ: SLP1B 1810
4.7. 状態遷移トリガ 1C 時間設定レジスタ : SLP1C 1811
4.8. 状態遷移トリガ 3 時間設定レジスタ : SLP3 1812
4.9. 状態遷移トリガ 2A 時間設定レジスタ : SLP2A 1813
4.10. 状態遷移トリガ 2B 時間設定レジスタ : SLP2B 1814
4.11. 状態遷移トリガ 2C 時間設定レジスタ : SLP2C 1815
4.12. 状態遷移トリガ 4 時間設定レジスタ : SLP4 1816
4.13. スロープ量設定レジスタ : SLPDADR 1817
4.14. 状態遷移トリガ遷移許可設定レジスタ 1 : SLPSTMSEL1 1819
4.15. 状態遷移トリガ遷移許可設定レジスタ 2 : SLPSTMSEL2 1823
4.16. スロープ伝達誤差補正量表示レジスタ : SLPCVE 1825
5. 動作説明 1826
5.1. スロープ補償 1827
5.2. スロープ量の設定 1834
6. 注意事項 1835

付録 1836

A. I/O マップ 1837
B. 割込みベクタテーブル 1861
C. CPU 状態における端子状態 1864
D. 変更内容 1865

CHAPTER: 概要

概要について説明します。

1. 概要
2. 特長
3. 品種構成
4. 機能概要
5. ブロックダイヤグラム
6. メモリマップ
7. 端子配列図
8. パッケージ外形寸法図
9. 端子機能一覧
10. 入出力回路形式

管理コード : OVER-1v0-91552-10-J

1. 概要

MB91F552 の概要について説明します。

MB91F552 は車載用途向けに設計された 32 ビットマイクロコントローラです。CPU には、FR ファミリと互換の FR81S CPU を使用しています。

2. 特長

MB91F552 の特長について説明します。

2.1. FR81S CPU コア

FR81S CPU コアについて示します。

- 32 ビット RISC, ロード/ストアアーキテクチャ, パイプライン 5 段
- 最大動作周波数: 80MHz (原発振=4.0MHz, 20 逓倍(PLL クロック逓倍方式))
- 汎用レジスタ 32 ビット 16 本
- 16 ビット固定長命令 (基本命令)、1 命令/1 サイクル
- 組込み用途に適した命令
  - メモリ→メモリ間転送命令
  - ビット処理命令
  - バレルシフト命令など
- 高級言語対応命令
  - 関数入口/出口命令
  - レジスタ内容のマルチロードストア命令
- ビットサーチ命令
  - 1 検出, 0 検出, 変化点検出
- 遅延スロット付き分岐命令
  - 分岐処理時のオーバヘッドの低減
- レジスタインターロック機能
  - アセンブラ記述の容易化
- 乗算器の内蔵/命令レベルでのサポート
  - 符号付き 32 ビット乗算 : 5 サイクル
  - 符号付き 16 ビット乗算 : 3 サイクル
- 割込み (PC/PS 退避)
  - 6 サイクル (16 プライオリティレベル)
- ハーバードアーキテクチャにより、プログラムアクセスとデータアクセスを同時に実行可能
- FR ファミリとの命令互換
- メモリ保護機能(MPU) 搭載
  - 命令・データ共用で 8 個の保護領域指定
  - 特権モード・ユーザモードそれぞれでアクセス権を制御
- FPU(浮動小数点演算) 搭載
  - IEEE754 準拠
  - 浮動小数点レジスタ 32 ビット × 16 本

2.2. 周辺機能

周辺機能について示します。

・クロック生成 CPU 用(SSCG 機能搭載)
  ・メイン発振(4 MHz～16MHz)
  ・PLL 逓倍率(1～20 逓倍)
・クロック生成 PWM 用
  ・メイン発振(4 MHz～16MHz)
  ・PLL 逓倍率(1～50 逓倍)
・内蔵プログラム用フラッシュ容量
    MB91F552 : 128+64K バイト
・内蔵データ用フラッシュ(ワークフラッシュ) 64K バイト
・内蔵 RAM 容量
  ・メイン RAM
    MB91F552 : 24K バイト
・汎用ポート:
    MB91F552 : 30 本
・DMA コントローラ
  ・同時に 8 チャネルの起動が可能
  ・2 つの転送要因(内部周辺要求/ソフトウェア)
・A/D コンバータ 1(逐次比較型)
  ・12 ビット分解能: 8 チャネル ×1 ユニット
    変換時間: 1μs
・A/D コンバータ 2 (4 チャネル入力同時サンプリング)
  ・12 ビット分解能: 最大 4 チャネル ×1 ユニット
    変換時間 :
      1 チャネル変換時 : 最小 0.7μs
      4 チャネル変換時 : 最小 1.75μs
・外部割込み入力: 4 チャネル
  ・レベル("H" / "L")、エッジ検出 (立上り/立下り) 可能
・マルチファンクションシリアル (送受信 FIFO 搭載) : 3 チャネル
  < UART (非同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
  ・パリティあり/なし選択可能
  ・専用ボーレートジェネレータ内蔵
  ・外部クロックを転送クロックとして使用可能
  ・パリティ, フレーム, オーバランエラー検出機能あり
  ・DMA 転送対応
  <CSIO (同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
  ・SPI に対応, マスタ/スレーブ両方に対応, データ長 5～16, 20, 24, 32 ビットに設定可能
  ・専用ボーレートジェネレータ内蔵(マスタ動作)
  ・外部クロック入力可能(スレーブ動作)
  ・オーバランエラー検出機能あり
  ・DMA 転送対応
  ・シリアルチップセレクト SPI 機能
  <LIN (LIN 対応非同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
  ・LIN プロトコル Revision2.1 に対応

  - マスタ/スレーブ両方に対応
  - フレーミングエラー, オーバランエラー検出
  - LIN Synch break 生成, 検出, LIN Synch Delimiter 生成
  - 専用ボーレートジェネレータ内蔵
  - 外部クロックをリロードカウンタで調整可能
  - DMA 転送対応
  - ハードアシスト機能
- CAN コントローラ CAN : 1 チャネル
  - 転送速度 最大 1Mbps
  - 64 送受信メッセージバッファ 1 チャネル
- リロードタイマ : 16 ビット× 5 チャネル
- フリーランタイマ: 16 ビット× 1 チャネル
- インプットキャプチャ: 16 ビット× 1 チャネル (フリーランタイマと連動)
- PWC : 2 チャネル
  - 最大 80MHz 動作
- PWM : 6 チャネル(2 チャネル×3 ペア)
  - 最大 200MHz 動作
- クロックスーパバイザ
  - 外部のメイン発振(4 MHz) の異常(水晶の破損など) 監視
  - 異常検出時には CR クロックに切り換える。
- ベースタイマ: 最大 4 チャネル
  - 16 ビットタイマ
  - PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能
  - PWC 機能とリロードタイマ機能は、2 チャネルカスケードモードで 32 ビットタイマとして使用可能
- CRC 生成
- ウォッチドッグタイマ
  - ハードウェアウォッチドッグ
  - ソフトウェアウォッチドッグ (カウンタクリアの有効範囲設定可能)
- スロープ補償(定電流ユニット):1 チャネル
- コンパレータ: 3 チャネル
- NMI
- 割込みコントローラ
- 割込み要求一括読出し
  - 複数の周辺からの割込み有無を、一連のレジスタで読出し可能
- 低消費電力モード
  - スリープ/ストップ/時計
- パワーオンリセット
- 低電圧検出リセット(外部電圧, 内部電圧を独立して監視)
- パッケージ:LQFP-64
- CMOS 90nm テクノロジ
- 電源
  - 5V 電源
  - 降圧回路により 5V から内部 1.2V 生成

3. 品種構成

MB91F552 の品種構成について示します。

表 3-1 品種構成

	MB91F552
システムクロック	オンチップ PLL クロック逓倍方式
最小命令実行時間	12.5ns(80MHz)
フラッシュ容量(プログラム)	128+64KB
フラッシュ容量(データ)	64KB
RAM 容量	24KB
DMA 転送	8ch
16bit ベースタイマ	4ch
フリーランタイマ	16bit×1ch
インプットキャプチャ	16bit×1ch
16bit リロードタイマ	5ch
クロックスーパバイザ	あり
外部割込み	4ch
A/D コンバータ	12bit×8ch(1ユニット) 12bit×4ch 入力同時サンプリング(1 ユニット)
マルチファンクションシリアル	3ch
CAN	64msg×1ch
ハードウェア ウォッチドッグ	あり
CRC 生成	あり
低電圧検出リセット	あり
フラッシュセキュリティ	あり
ECC フラッシュ/ワークフラッシュ	あり
ECC RAM	あり
メモリ保護機能(MPU)	あり
浮動小数点演算(FPU)	あり
汎用ポート(#GPIOs)	30 本
SSCG	あり
CR 発振器	あり
OCD(On-Chip Debug)	あり
TPU(Timing Protection Unit)	あり
キーコードレジスタ	あり
コンパレータ	3ch
スロープ補償 (定電流ユニット)	1ch
PWC	2ch
PWM	2ch×3 ペア
NMI 要求機能	あり
動作保証温度(Ta)	-40°C～+125°C
電源	4.5V～5.5V
パッケージ	LQFP-64

4. 機能概要

MB91F552 の機能概要について示します。

表 4-1 機能概要

機能	特長
CPU	32 ビット RISC マイコン FR81S CPU コア メモリ保護機能(MPU) 8 チャネル搭載 浮動小数点演算(FPU)搭載
クロック	メイン発振 4MHz(最大 16MHz まで入力可能) PLL 逓倍率(CPU 用) 最大 20 逓倍 PLL 逓倍率(PWM 用) 最大 50 逓倍 100kHz CR 発振器を搭載
入出力ポート	入力/出力または周辺信号として、ビット単位でプログラム可能 Pullup(一部 pulldown)を設定可能
内部バスインタフェース	オンチップバス 32 ビット、最大動作周波数 80MHz
周辺バスインタフェース	最大動作周波数 40MHz 32 ビット周辺バス、 もしくは 16 ビット周辺バス(R-bus) (注意事項)両者とも同一周波数で動作します
フラッシュインタフェース	ワイルドレジスタ機能あり。小セクタ(64KB)対応
DMA コントローラ	同時に最大 8 チャネルの起動が可能 転送要因(内部周辺要求/ソフトウェア) 選択可能 バースト/ブロックの転送モードを選択可能 ・1 つの割込みベクタに複数の割込みがある場合、どの割込みから DMA 要求を発生させるかを選択可能 ・1 つの割込みベクタに複数の割込みがある場合、DMA 転送完了によりクリアする割込みを選択可能
ベースタイマ	16 ビットタイマ PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能 リロードタイマ/PWC 機能に関して、2 チャネルカスケードモードで 32 ビットタイマとして使用可能
フリーランタイマ	16 ビットアップカウンタ フリーランタイマ: 16 ビット
インプットキャプチャ	立上りエッジ、立下りエッジまたはその両方を検出する 16 ビットキャプチャレジスタ 端子入力のエッジ検出で、フリーランタイマのカウンタ値を取り込み、割込み要求を発生 フリーランタイマとの連携は以下のとおり インプットキャプチャ: 16 ビット → フリーランタイマ LIN synch break/synch field の連携は以下のとおり インプットキャプチャ → マルチファンクションシリアル ch.0/ch.1/ch.2 から選択
リロードタイマ	16 ビットリロードタイマ動作(トグル出力、ワンショット出力選択可能) イベントカウント機能選択可能
PWM	200MHz 動作 ・周期とデューティと位相シフトをソフトウェアで変更可能

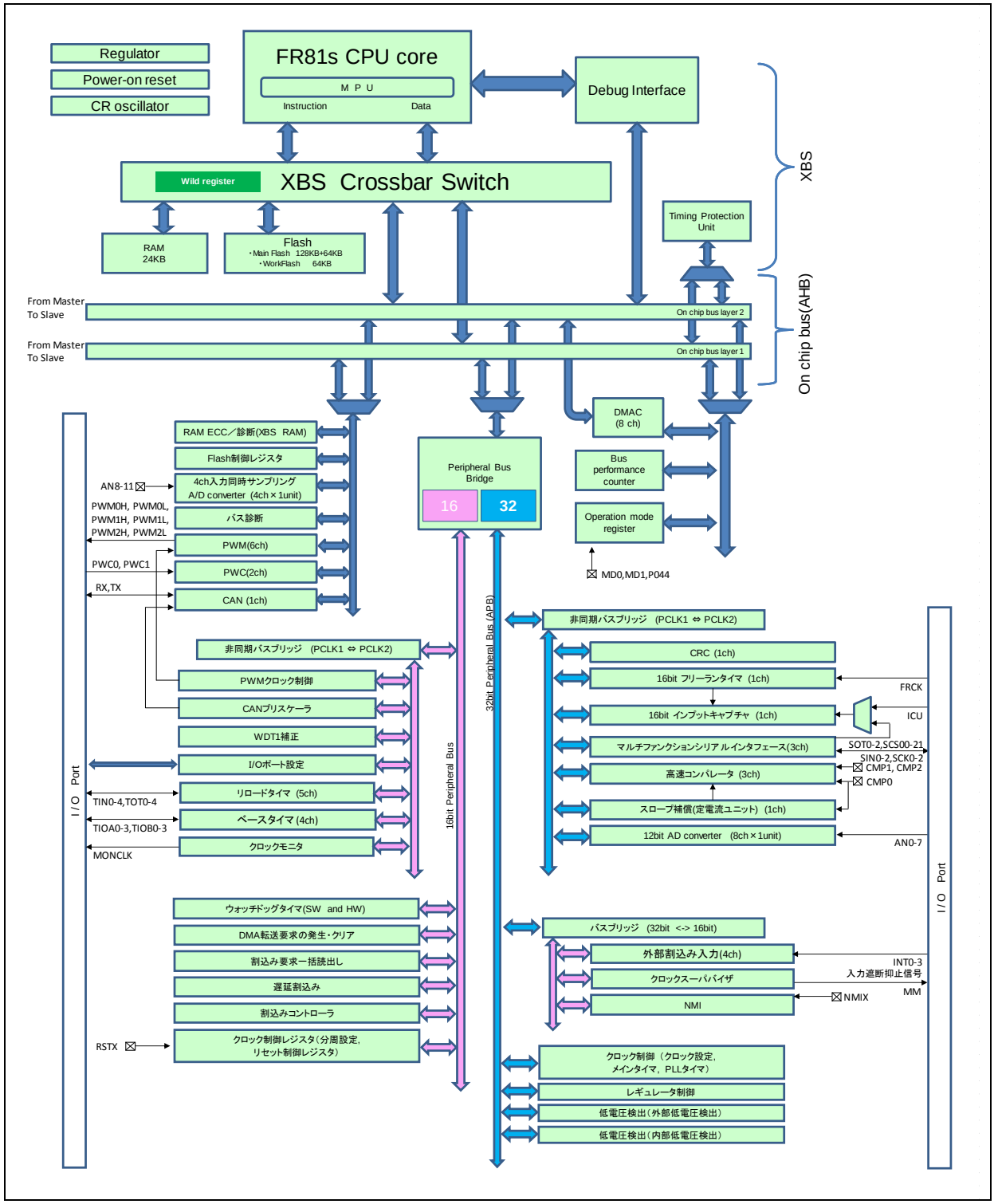
機能	特長
PWC	80MHz 動作 ・キャプチャデータはバッファ付き ・キャプチャデータと上限/下限値比較機能
遅延割込み	タスク切換え用の割込みを発生。 ソフトウェアで CPU に対して割込み要求の発生/取消しが可能。
外部割込み	4 チャネル独立 割込み要因:立上りエッジ/立下りエッジ/"L" レベル/"H" レベル選択可能 スタンバイ復帰時のエッジ入力検出に対応
A/D コンバータ 1	12 ビットの分解能の A/D コンバータ 1 ユニット内蔵 最大 8 チャネルの入力ポートからアナログ値をサンプル可能 変換時間: 12 ビット A/D コンバータ 1µs 外部トリガ起動可能 内部タイマによる起動可能(16 ビットリロードタイマ/PWM 使用) チャネルごとのサンプリング時間設定の選択機能
A/D コンバータ 2	12 ビットの分解能の A/D コンバータ 1 ユニット内蔵 最大4チャネルの入力ポートからアナログ値を4チャネル同時サンプル可能 変換時間: 12 ビット A/D コンバータ 1 チャネル変換時 : 0.7µs 4 チャネル変換時 : 1.75µs
マルチファンクションシリアル	UART / CSIO / LIN の 3 機能を選択して使用可能 送信 FIFO 16 バイト, 受信 FIFO 16 バイト搭載 受信割込み要因(3 種類) － 受信エラー検出 (パリティ, オーバラン, フレームエラー) － FIFO に設定しきい値分のデータが受信されたことを検出 － 受信データが FIFO 設定閾値以下のとき、ボーレートクロック 8 クロック以上のアイドル期間を検出 送信割込み要因(2 種類) － 送信動作なし － 送信 FIFO エンプティ(送信中を含む) SPI(Serial Peripheral Interface) 対応 LIN プロトコル Ver2.1 対応
割込みコントローラ	割込み要求の検出 割込みレベルの設定
割込み要求一括読出し	複数の周辺の割込み有無を、一連のレジスタで読出し可能
CAN インタフェース	CAN 仕様バージョン 2.0 パート A およびパート B に準拠 最大で 64 個のメッセージバッファ×1 チャネルをサポート 受入れフィルタの柔軟な構成: 全ビットコンペア 全ビットマスク 2 個の部分ビットマスク 最高 1Mbps までサポート CAN 動作クロックのために CAN プリスケーラを実装 CAN ウェイクアップ機能 CAN クロックソースがメインクロック/PLL クロック切替可能
ソフトウェアウォッチドッグ	CPU 動作中にカウント CPU 停止中はカウントを停止 周期は PCLK × (2^9 ～ 2^{24})サイクルの 16 とおりから選択可能 クリア有効期間の下限を最大 16 とおり設定可能

機能	特長
ハードウェアウォッチドッグ	CR ベースの CPU の動作検出カウンタ プログラム暴走対策 周期: 218～ 655ms (通常 328ms、CR 発振の精度によってばらつきあり) 周期に幅があるのは、製造のばらつきに起因するものです。任意に周期を設定できるわけではありませんので注意ください。
CRC 生成	入力レジスタへの逐次書込みにより、CRC コードを結果レジスタに表示
スロープ補償(定電流ユニット)	DC-DC コンバータの出力電圧にスロープ補償電圧を加算できます。
コンパレータ	10 ビット D/A コンバータの出力値とアナログ入力値の比較結果を出力 搭載チャネル:3 チャネル
外部低電圧検出リセット	外部低電圧検出時リセット/割込み発生 外部電圧が検出電圧値を下回った場合にリセット/割込みを発生します。 検出電圧値は 3.7～4.3V(7 とおり)から選択可能
内部低電圧検出リセット	内部低電圧検出時リセット発生 1.2V 系電圧を監視して、下回った場合はリセットを発生します。
低消費電力モード	スリープモード ストップモード 時計モード
NMI 要求	NMIX 端子から入力されるマスク不可能な割込み信号
デバッグインタフェース	OCD 搭載

5. ブロックダイヤグラム

MB91F552 のブロックダイヤグラムについて示します。

■ MB91F552

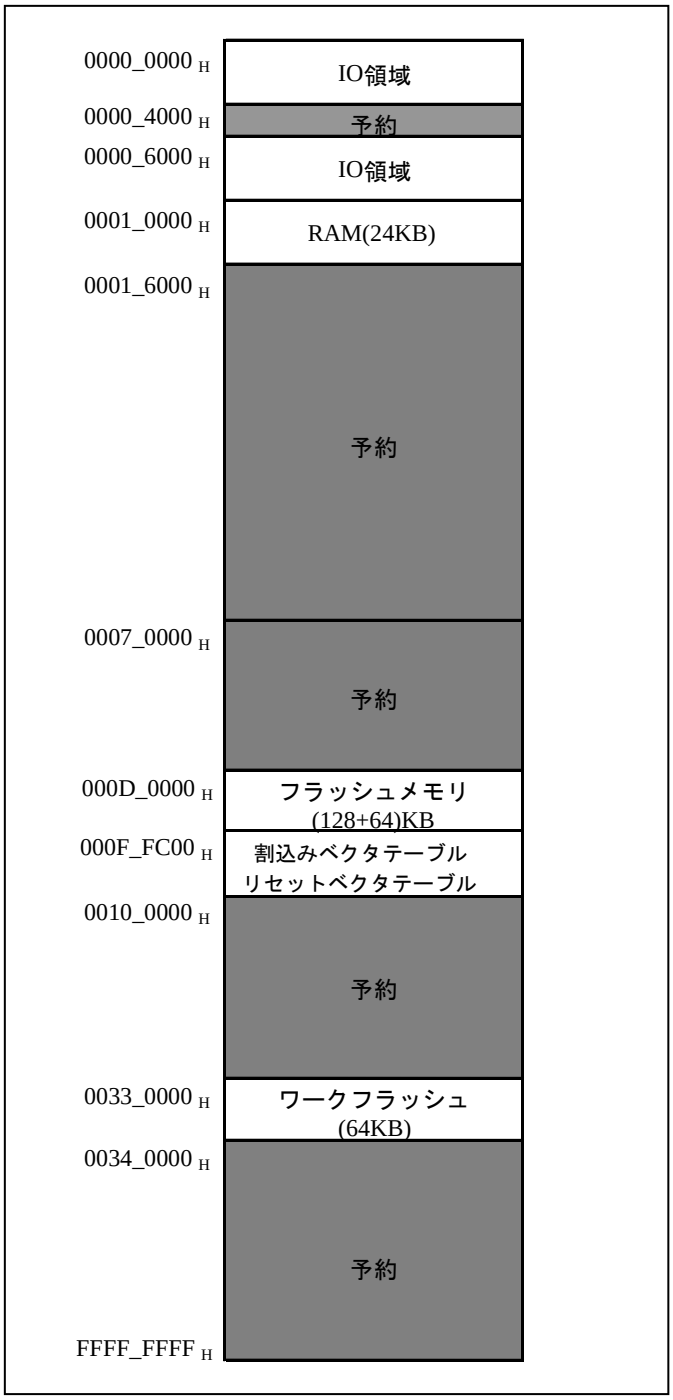


各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

6. メモリマップ

MB91F552 のメモリマップについて示します。

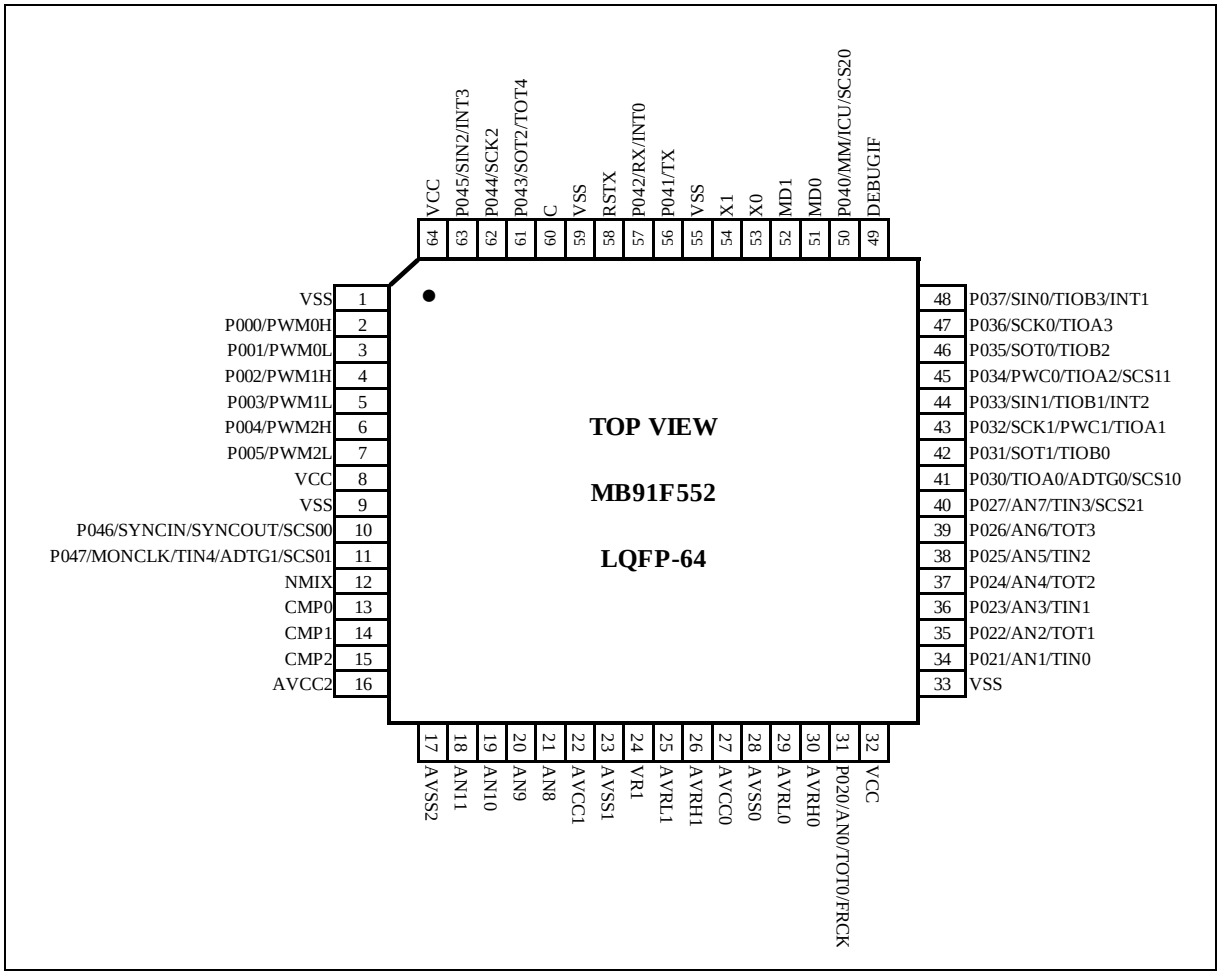
図 6-1 メモリマップ MB91F552



7. 端子配列図

MB91F552 の端子配列図について示します。

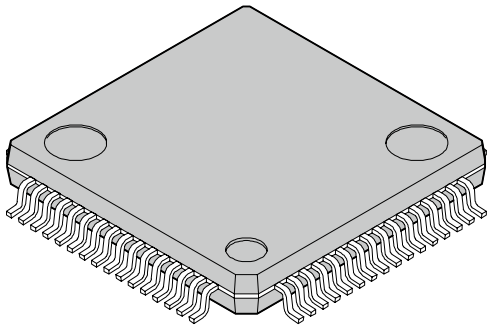
● 端子配列図 MB91F552

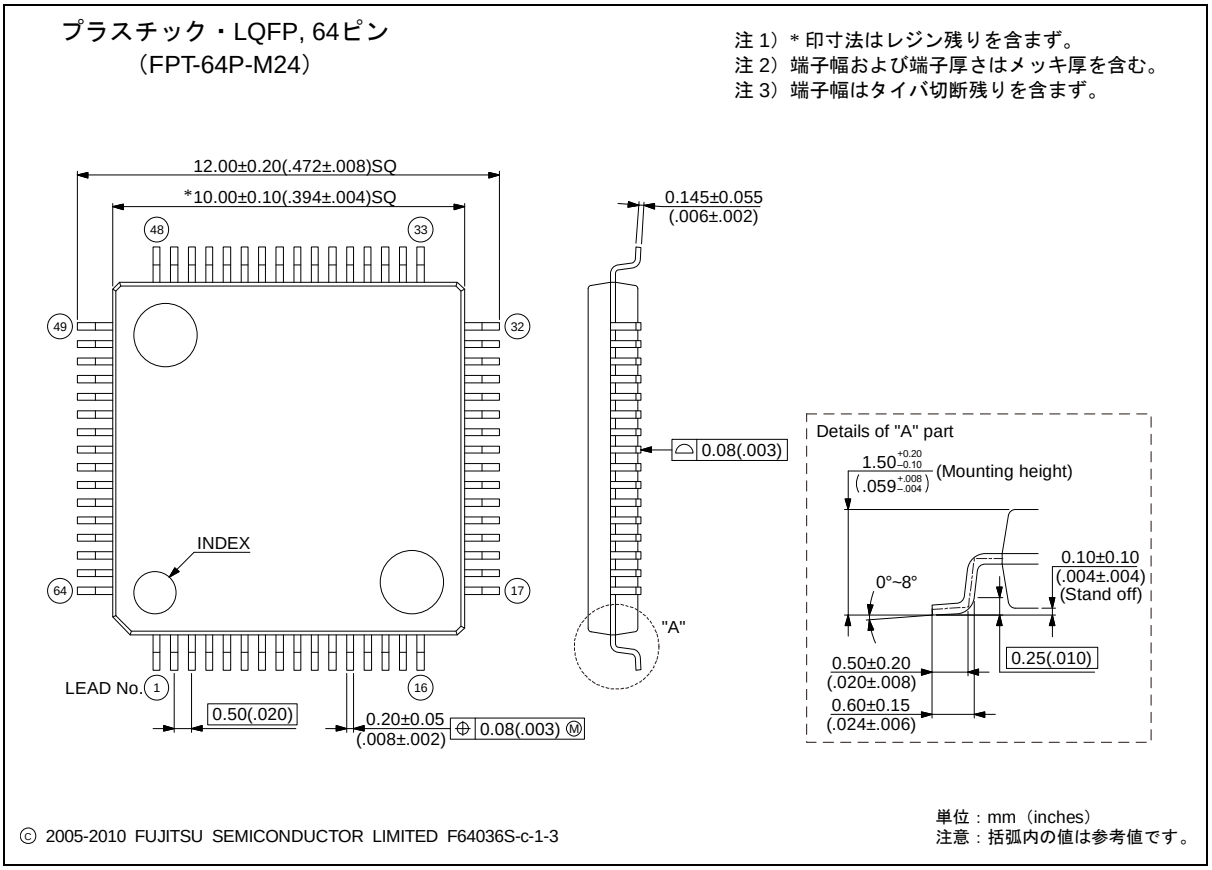


8. パッケージ外形寸法図

MB91F552 の外形寸法図について示します。

図 8-1 外形寸法図 LQFP-64 (FPT-64P-M24)

プラスチック・LQFP, 64 ピン		
	リードピッチ	0.50 mm
	パッケージ幅×パッケージ長さ	10.0 × 10.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm MAX
	質量	0.32 g
(FPT-64P-M24)	コード（参考）	P-LFQFP64-10 × 10-0.50



最新の外形寸法図については，下記 URL にてご確認ください。
http://edevice.fujitsu.com/package/jp-search/

9. 端子機能一覧

MB91F552 の端子機能一覧について示します。

表 9-1 端子機能表

端子名		極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
2	P000 PWM0H	- -	A	汎用入出力ポート PWM ch.0-H
3	P001 PWM0L	- -	A	汎用入出力ポート PWM ch.0-L
4	P002 PWM1H	- -	A	汎用入出力ポート PWM ch.1-H
5	P003 PWM1L	- -	A	汎用入出力ポート PWM ch.1-L
6	P004 PWM2H	- -	A	汎用入出力ポート PWM ch.2-H
7	P005 PWM2L	- -	A	汎用入出力ポート PWM ch.2-L
10	P046 SYNCIN SYNCOUT SCS00	- - - -	B	汎用入出力ポート PWM 並列動作駆動用マスタスレーブ入力 PWM 並列動作駆動用マスタスレーブ出力 マルチファンクションシリアル ch.0 シリアルチップセレクト 00 入出力
11	P047 MONCLK TIN4 ADTG1 SCS01	- - - - -	B	汎用入出力ポート クロックモニタ出力 リロードタイマ ch.4 イベント入力 A/D コンバータ ch.8-ch.11 外部トリガ入力端子 マルチファンクションシリアル ch.0 シリアルチップセレクト 01 出力
12	NMIX	N	L	マスクなし割込み入力
13	CMP0	-	C	コンパレータ ch.0 入力
14	CMP1	-	C	コンパレータ ch.1 入力
15	CMP2	-	C	コンパレータ ch.2 入力
18	AN11	-	C	A/D コンバータ ch.11 アナログ入力 (ch.8,ch.9,ch.10,ch.11 は同時サンプリング可能)
19	AN10	-	C	A/D コンバータ ch.10 アナログ入力 (ch.8,ch.9,ch.10,ch.11 は同時サンプリング可能)
20	AN9	-	C	A/D コンバータ ch.9 アナログ入力 (ch.8,ch.9,ch.10,ch.11 は同時サンプリング可能)
21	AN8	-	C	A/D コンバータ ch.8 アナログ入力 (ch.8,ch.9,ch.10,ch.11 は同時サンプリング可能)
31	P020 AN0 TOT0 FRCK	- - - -	D	汎用入出力ポート A/D コンバータ ch.0 アナログ入力 リロードタイマ ch.0 出力 フリーランタイマ クロック入力
34	P021 AN1 TIN0	- - -	D	汎用入出力ポート A/D コンバータ ch.1 アナログ入力 リロードタイマ ch.0 イベント入力

端子名		極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
35	P022 AN2 TOT1	- - -	D	汎用入出力ポート A/D コンバータ ch.2 アナログ入力 リロードタイマ ch.1 出力
36	P023 AN3 TIN1	- - -	D	汎用入出力ポート A/D コンバータ ch.3 アナログ入力 リロードタイマ ch.1 イベント入力
37	P024 AN4 TOT2	- - -	D	汎用入出力ポート A/D コンバータ ch.4 アナログ入力 リロードタイマ ch.2 出力
38	P025 AN5 TIN2	- - -	D	汎用入出力ポート A/D コンバータ ch.5 アナログ入力 リロードタイマ ch.2 イベント入力
39	P026 AN6 TOT3	- - -	D	汎用入出力ポート A/D コンバータ ch.6 アナログ入力 リロードタイマ ch.3 出力
40	P027 AN7 TIN3 SCS21	- - - -	D	汎用入出力ポート A/D コンバータ ch.7 アナログ入力 リロードタイマ ch.3 イベント入力 マルチファンクションシリアル ch.2 シリアルチップセレクト 21 出力
41	P030 TIOA0 ADTG0 SCS10	- - - -	B	汎用入出力ポート ベースタイマ ch.0 の TIOA 出力 A/D コンバータ ch.0-ch.7 外部トリガ入力端子 マルチファンクションシリアル ch.1 シリアルチップセレクト 10 入出力
42	P031 SOT1 TIOB0	- - -	B	汎用入出力ポート マルチファンクションシリアル ch.1 シリアルデータ出力 ベースタイマ ch.0 の TIOB 入力
43	P032 SCK1 PWC1 TIOA1	- - - -	E	汎用入出力ポート マルチファンクションシリアル ch.1 クロック入出力 PWC ch.1 入力 ベースタイマ ch.1 の TIOA 入出力
44	P033 SIN1 TIOB1 INT2	- - - -	E	汎用入出力ポート マルチファンクションシリアル ch.1 シリアルデータ入力 ベースタイマ ch.1 の TIOB 入力 INT2 外部割込み入力
45	P034 PWC0 TIOA2 SCS11	- - - -	B	汎用入出力ポート PWC ch.0 入力 ベースタイマ ch.2 の TIOA 出力 マルチファンクションシリアル ch.1 シリアルチップセレクト 11 出力
46	P035 SOT0 TIOB2	- - -	B	汎用入出力ポート マルチファンクションシリアル ch.0 シリアルデータ出力 ベースタイマ ch.2 の TIOB 入力
47	P036 SCK0 TIOA3	- - -	E	汎用入出力ポート マルチファンクションシリアル ch.0 クロック入出力 ベースタイマ ch.3 の TIOA 入出力
48	P037 SIN0 TIOB3 INT1	- - - -	E	汎用入出力ポート マルチファンクションシリアル ch.0 シリアルデータ入力 ベースタイマ ch.3 の TIOB 入力 INT1 外部割込み入力
49	DEBUGIF	-	F	デバッガ(OCD) 用 MDI 入出力
50	P040 MM ICU SCS20	- - - -	B	汎用入出力ポート クロックスーパバイザ メインクロック停止検出出力端子 インプットキャプチャ 入力 マルチファンクションシリアル ch.2 シリアルチップセレクト 20 入出力
51	MD0	-	G	モード端子 0

端子名		極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
52	MD1	-	G	モード端子 1
53	X0	-	H	メインクロック発振入力
54	X1	-	H	メインクロック発振出力
56	P041 TX	- -	B	汎用入出力ポート CAN 送信データ出力
57	P042 RX INT0	- - -	E	汎用入出力ポート CAN 受信データ入力 INT0 外部割込み入力
58	RSTX	N	L	外部リセット入力
61	P043 SOT2 TOT4	- - -	B	汎用入出力ポート マルチファンクションシリアル ch.2 シリアルデータ出力 リロードタイマ ch.4 出力
62	P044 SCK2	- -	E	汎用入出力ポート マルチファンクションシリアル ch.2 クロック入出力
63	P045 SIN2 INT3	- - -	E	汎用入出力ポート マルチファンクションシリアル ch.2 シリアルデータ入力 INT3 外部割込み入力
16	AVCC2	-	-	コンパレータ、スロープ補償回路用アナログ電源
22	AVCC1	-	-	4ch. 同時サンプリング/ホールド機能付き A/D コンバータ用アナログ電源
27	AVCC0	-	-	A/D コンバータ用アナログ電源
26	AVRH1	-	-	4ch. 同時サンプリング/ホールド機能付き A/D コンバータ用上限基準電圧
30	AVRH0	-	-	A/D コンバータ用上限基準電圧
17	AVSS2	-	-	コンパレータ、スロープ補償回路用 GND
23	AVSS1	-	-	4ch. 同時サンプリング/ホールド機能付き A/D コンバータ用 GND
25	AVRL1	-	-	4ch. 同時サンプリング/ホールド機能付き A/D コンバータ用下限基準電圧
24	VR1	-	-	4ch. 同時サンプリング/ホールド機能付き A/D コンバータ用中間基準電圧
28	AVSS0	-	-	A/D コンバータ用 GND
29	AVRL0	-	-	A/D コンバータ用下限基準電圧
60	C	-	-	外部容量接続出力
8 32 64	VCC	-	-	+5.0V 電源
1 9 33 55 59	VSS	-	-	GND

9.1. 各機能ごとの端子一覧

機能ごとの端子一覧について示します。

表 9-2 A/D コンバータの端子(ch.0～ch.11)

機能	端子名	ノイズフィルタ	端子番号
A/DC ch.8-ch.11 外部トリガ入力端子	ADTG1	あり	11
A/DC ch.0-ch.7 外部トリガ入力端子	ADTG0	あり	41
A/D コンバータ アナログ入力 ch.0	AN0	なし	31
A/D コンバータ アナログ入力 ch.1	AN1	なし	34
A/D コンバータ アナログ入力 ch.2	AN2	なし	35
A/D コンバータ アナログ入力 ch.3	AN3	なし	36
A/D コンバータ アナログ入力 ch.4	AN4	なし	37
A/D コンバータ アナログ入力 ch.5	AN5	なし	38
A/D コンバータ アナログ入力 ch.6	AN6	なし	39
A/D コンバータ アナログ入力 ch.7	AN7	なし	40
A/D コンバータ アナログ入力 ch.8	AN8	なし	21
A/D コンバータ アナログ入力 ch.9	AN9	なし	20
A/D コンバータ アナログ入力 ch.10	AN10	なし	19
A/D コンバータ アナログ入力 ch.11	AN11	なし	18
4チャネル同時サンプリング/ホールド機能付き A/D コンバータ用アナログ電源	AVCC1	-	22
A/D コンバータ用アナログ電源	AVCC0	-	27
4チャネル同時サンプリング/ホールド機能付き A/D コンバータ用上限基準電圧	AVRH1	-	26
A/D コンバータ用上限基準電圧	AVRH0	-	30
4チャネル同時サンプリング/ホールド機能付き A/D コンバータ用 GND	AVSS1	-	23
4チャネル同時サンプリング/ホールド機能付き A/D コンバータ用下限基準電圧	AVRL1	-	25
A/D コンバータ用 GND	AVSS0	-	28
A/D コンバータ用下限基準電圧	AVRL0	-	29
4チャネル同時サンプリング/ホールド機能付き A/D コンバータ用中間基準電圧	VR1	-	24

表 9-3 CAN の端子

機能	端子名	ノイズフィルタ	端子番号
CAN 受信データ入力	RX	なし	57
CAN 送信データ出力	TX	-	56

表 9-4 外部割込み入力の端子

機能	端子名	ノイズフィルタ	端子番号
INT0 外部割込み入力	INT0	あり	57
INT1 外部割込み入力	INT1	あり	48
INT2 外部割込み入力	INT2	あり	44
INT3 外部割込み入力	INT3	あり	63

表 9-5 マルチファンクションシリアルインタフェースの端子(ch.0～ch.2)

機能	端子名	ノイズフィルタ	端子番号
MFS ch.0 チップセレクト 00 入出力	SCS00	なし	10
MFS ch.0 チップセレクト 01 出力	SCS01	なし	11
MFS ch.0 クロック入出力	SCK0	なし	47
MFS ch.0 シリアルデータ出力	SOT0	-	46
MFS ch.0 シリアルデータ入力	SIN0	なし	48
MFS ch.1 チップセレクト 10 入出力	SCS10	なし	41
MFS ch.1 チップセレクト 11 出力	SCS11	なし	45
MFS ch.1 クロック入出力	SCK1	なし	43
MFS ch.1 シリアルデータ出力	SOT1	-	42
MFS ch.1 シリアルデータ入力	SIN1	なし	44
MFS ch.2 チップセレクト 20 入出力	SCS20	なし	50
MFS ch.2 チップセレクト 21 出力	SCS21	なし	40
MFS ch.2 クロック入出力	SCK2	なし	62
MFS ch.2 シリアルデータ出力	SOT2	-	61
MFS ch.2 シリアルデータ入力	SIN2	なし	63

表 9-6 インプットキャプチャの端子

機能	端子名	ノイズフィルタ	端子番号
インプットキャプチャ 入力	ICU	あり	50

表 9-7 フリーランタイマの端子

機能	端子名	ノイズフィルタ	端子番号
フリーランタイマ クロック入力	FRCK	あり	31

表 9-8 ベースタイマの端子(ch.0～ch.3)

機能	端子名	ノイズフィルタ	端子番号
ベースタイマ ch.0 の TIOA 出力	TIOA0	-	41
ベースタイマ ch.0 の TIOB 入力	TIOB0	あり	42
ベースタイマ ch.1 の TIOA 入出力	TIOA1	あり	43
ベースタイマ ch.1 の TIOB 入力	TIOB1	あり	44
ベースタイマ ch.2 の TIOA 出力	TIOA2	-	45
ベースタイマ ch.2 の TIOB 入力	TIOB2	あり	46
ベースタイマ ch.3 の TIOA 入出力	TIOA3	あり	47
ベースタイマ ch.3 の TIOB 入力	TIOB3	あり	48

表 9-9 リロードタイマの端子(ch.0～ch.4)

機能	端子名	ノイズフィルタ	端子番号
リロードタイマ ch.0 出力	TOT0	-	31
リロードタイマ ch.0 イベント入力	TIN0	あり	34
リロードタイマ ch.1 出力	TOT1	-	35
リロードタイマ ch.1 イベント入力	TIN1	あり	36
リロードタイマ ch.2 出力	TOT2	-	37
リロードタイマ ch.2 イベント入力	TIN2	あり	38
リロードタイマ ch.3 出力	TOT3	-	39
リロードタイマ ch.3 イベント入力	TIN3	あり	40
リロードタイマ ch.4 出力	TOT4	-	61
リロードタイマ ch.4 イベント入力	TIN4	あり	11

表 9-10 PWM の端子

機能	端子名	ノイズフィルタ	端子番号
PWM ch.0-H	PWM0H	-	2
PWM ch.0-L	PWM0L	-	3
PWM ch.1-H	PWM1H	-	4
PWM ch.1-L	PWM1L	-	5
PWM ch.2-H	PWM2H	-	6
PWM ch.2-L	PWM2L	-	7
PWM 並列動作駆動用マスタスレーブ入力	SYNCIN	なし	10
PWM 並列動作駆動用マスタスレーブ出力	SYNCOUT	-	10

表 9-11 PWC の端子

機能	端子名	ノイズフィルタ	端子番号
PWC ch.0 入力	PWC0	なし	45
PWC ch.1 入力	PWC1	なし	43

表 9-12 コンパレータの端子

機能	端子名	ノイズフィルタ	端子番号
コンパレータ入力 ch.0	CMP0	なし	13
コンパレータ入力 ch.1	CMP1	なし	14
コンパレータ入力 ch.2	CMP2	なし	15
コンパレータ，スロープ補償回路用アナログ電源	AVCC2	-	16
コンパレータ，スロープ補償回路用 GND	AVSS2	-	17

表 9-13 クロックモニタの端子

機能	端子名	ノイズフィルタ	端子番号
クロックモニタ出力端子	MONCLK	-	11

表 9-14 ポート機能(汎用入出力)の端子

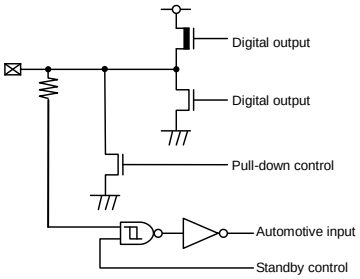
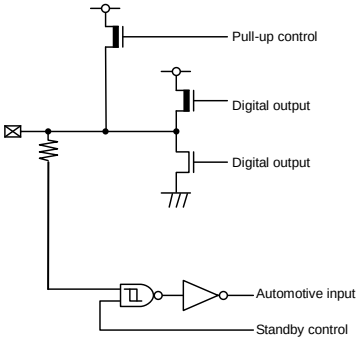
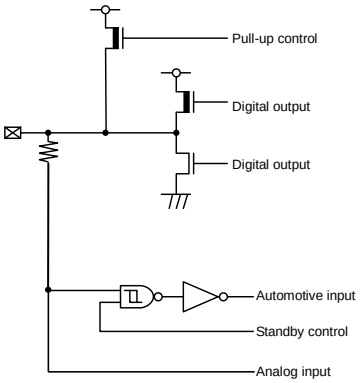
機能	端子名	ノイズフィルタ	端子番号
汎用入出力ポート	P000	あり	2
汎用入出力ポート	P001	あり	3
汎用入出力ポート	P002	あり	4
汎用入出力ポート	P003	あり	5
汎用入出力ポート	P004	あり	6
汎用入出力ポート	P005	あり	7
汎用入出力ポート	P020	あり	31
汎用入出力ポート	P021	あり	34
汎用入出力ポート	P022	あり	35
汎用入出力ポート	P023	あり	36
汎用入出力ポート	P024	あり	37
汎用入出力ポート	P025	あり	38
汎用入出力ポート	P026	あり	39
汎用入出力ポート	P027	あり	40
汎用入出力ポート	P030	あり	41
汎用入出力ポート	P031	あり	42
汎用入出力ポート	P032	あり	43
汎用入出力ポート	P033	あり	44
汎用入出力ポート	P034	あり	45
汎用入出力ポート	P035	あり	46
汎用入出力ポート	P036	あり	47
汎用入出力ポート	P037	あり	48
汎用入出力ポート	P040	あり	50
汎用入出力ポート	P041	あり	56
汎用入出力ポート	P042	あり	57
汎用入出力ポート	P043	あり	61
汎用入出力ポート	P044	あり	62
汎用入出力ポート	P045	あり	63
汎用入出力ポート	P046	あり	10
汎用入出力ポート	P047	あり	11

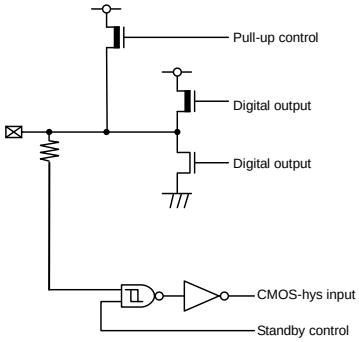
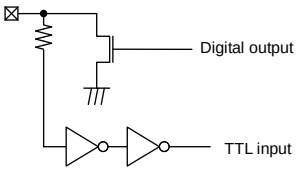
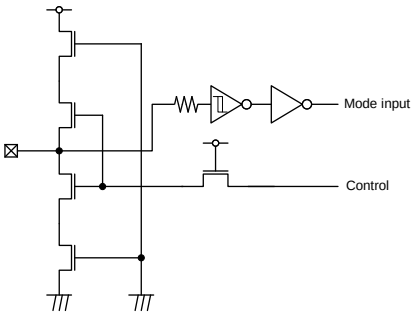
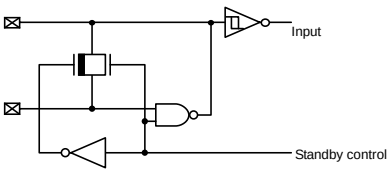
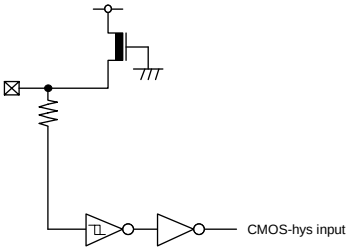
表 9-15 その他の端子

機能	端子名	ノイズフィルタ	端子番号
+5.0V 電源	VCC	-	8
		-	32
		-	64
GND	VSS	-	1
		-	9
		-	33
		-	55
		-	59
外部容量接続出力	C	-	60
メインクロック発振入力	X0	あり	53
メインクロック発振出力	X1	-	54
モード端子 0	MD0	-	51
モード端子 1	MD1	-	52
クロックスーパバイザ メインクロック停止検出出力端子	MM	-	50
マスクなし割込み入力	NMIX	あり	12
デバッガ(OCD) 用 DEBUGIF 入出力	DEBUGIF	あり	49
外部リセット入力	RSTX	あり	58

10. 入出力回路形式

入出力回路形式について示します。

分類	回路	概要
A		·汎用入出力ポート ·出力 8mA ·プルダウン抵抗制御付き 50kΩ ·Automotive 入力
B		·汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·Automotive 入力
C		·アナログ入力
D		·アナログ入力付き、汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·Automotive 入力

分類	回路	概要
E		·汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·CMOS ヒステリシス入力
F		·オープンドレイン入出力 ·出力 25mA (Nch オープンドレイン) ·TTL 入力
G		·モード入力 ·CMOS ヒステリシス入力
H		·メイン発振入出力
L		·CMOS ヒステリシス入力 ·プルアップ抵抗制御付き 50kΩ

CHAPTER: デバイスの取扱い

本製品の使用上の注意時について説明します。

1. 取扱上のご注意
2. デバイス取り扱いについて
3. 使用上の注意事項

1. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件 (回路条件, 環境条件など)によっても大きく左右されます。
以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

1.1. 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧, 電流, 温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。
本資料に記載されていない項目, 使用条件, 論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止
各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護
出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理
インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合(サイリスタ構造)が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ, サージ等にも注意してください。
(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や，電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様は、装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途(原子力施設における核反応制御，航空機自動飛行制御，航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途(海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

1.2. パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。
プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法(ウェーブソルダリング法)が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。
ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。
また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や，はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。
当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

(1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。

(2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5˚C～30˚C で保管をお願いします。
ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。

(3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。

(4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング(加熱乾燥)を実施することにより除湿することが可能です。
ベーキングは、当社の推奨する条件で実施してください。
条件：125˚C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

(1) 作業環境の相対湿度は 40 %～70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
(2) 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
(3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
(4) 治具，計器類は、接地または帯電防止化を実施してください。
(5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

1.3. 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境
高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。
(2) 静電気放電
半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。
このような場合、帯電の防止または放電の防止の処置をお願いします。
(3) 腐食性ガス，塵埃，油
腐食性ガス雰囲気中や，塵埃，油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。
(4) 放射線・宇宙線
一般のデバイスは、設計上、放射線，宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。
(5) 発煙・発火
樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他，特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

最新の取扱上のご注意については，下記の URL にてご確認ください。
http://www.spansion.com/fjdocuments/jp/datasheet/j-ds/DS00-00004.pdf

2. デバイス取り扱いについて

デバイス取り扱いについて説明します。

■ デバイス取扱い上の注意

ラッチアップ防止および端子処理について説明します。

● ラッチアップ防止のために

CMOS IC では入力端子や出力端子に VCC より高い電圧や VSS より低い電圧を印加した場合または VCC と VSS 間に定格を超える電圧を印加した場合に，ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し，素子の熱破壊に至ることがありますので使用に際しては最大定格を超えることのないよう十分に注意してください。

また、アナログ系の電源電源投入時、および切断時においてもアナログ電源(AVcc,AVRH)とアナログ入力は、デジタル電源(Vcc)を超えないように注意してください。

マイコン部の電源投入の順序は、デジタル電源(Vcc)、アナログ電源(AVcc,AVRH)、を同時に投入するか、デジタル電源(Vcc)を投入後、アナログ電源(AVcc,AVRH)を投入してください。

● 未使用端子の処理について

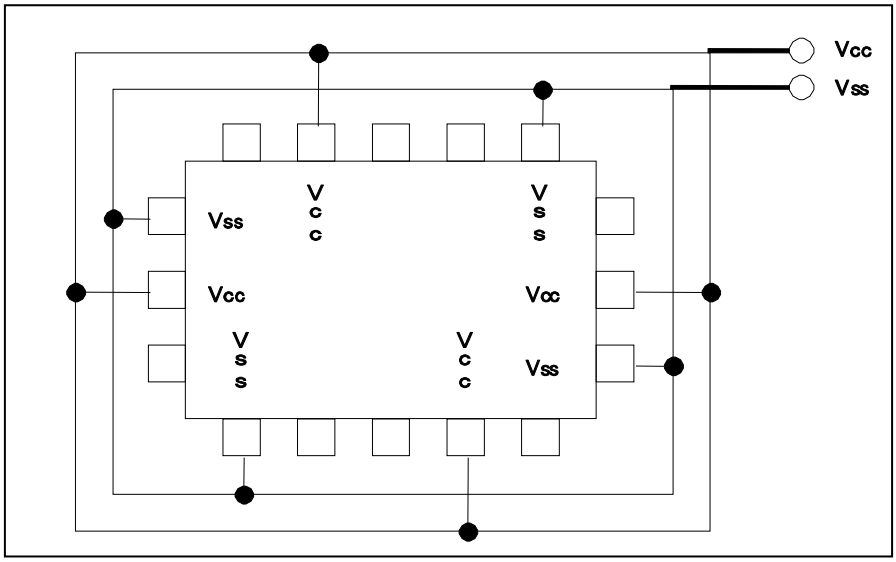
使用していない入力端子を開放のままにしておくと、 誤動作およびラッチアップによる永久破壊の原因になることがありますので、２kΩ以上の抵抗を介して、 プルアップまたはプルダウンなどの処置をしてください。

また、使用していない入出力端子がある場合は、出力状態に設定して解放とするか、入力状態に設定して入力端子と同じ処理をしてください。

● 電源端子について

VCC・VSS が複数ある場合，デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にするべきものどうしを接続してありますが，不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格の遵守などのため，必ずそれらすべてを外部で電源およびグランドに接続してください。図 2-1 に示すように、すべての Vss 電源端子も同様に扱ってください。複数の Vcc または Vss システムがある場合、デバイスは保証された動作範囲内でも正しく動作しません。

図 2-1 電源入力端子



また，電源供給源から低インピーダンスで本デバイスの VCC, VSS に接続するような配慮をお願いいたします。

本デバイスの近くで, VCC と VSS の間に C 端子のコンデンサより値の大きなセラミックコンデンサをバイパスコンデンサとして接続することを推奨いたします。

● 水晶発振回路について

X0, X1 端子へのノイズは誤動作の原因となります。X0 と X1 および水晶発振子 (あるいはセラミック発振子) さらにグランドへのバイパスコンデンサはデバイスの直近に配置するようにプリント板を設計してください。

X0, X1 端子の周りをグランドで囲むようなプリント板アートワークを推奨いたします。

● モード端子 (MD[1:0]) について

モード端子 MD[1:0]は, VCC または VSS に直接つないで使用してください。ノイズによって誤ってテストモードに入ってしまうことを防ぐために，プリント板上の各モード端子と VCC または VSS 間のパターン長を短くし，低インピーダンスで接続するようにしてください。

● 電源投入時について

内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上り時間は 50µs(0.2V～2.7V の間)以上を確保してください。

● PLL クロック動作中の注意について

PLL クロックを選択しているときに発振子が外れたり，あるいは入力が停止したりした場合, PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証範囲外の動作です。

● A/D コンバータの電源端子処理

A/D コンバータを使用しない場合においても AVcc=AVRH=Vcc、AVss/AVRL=Vss となるよう接続してください。

● 外部クロックは非対応

外部ダイレクトクロック入力は使用できません。

● A/D コンバータの電源アナログ入力の投入順序

A/D コンバータの電源(AVcc,AVRH,AVRL)およびアナログ入力(AN0～AN7,AN8～AN11)の印加は、必ずデジタル電源(Vcc)の投入後に行ってください。また、電源切断時は A/D コンバータの電源およびアナログ入力切断の後で、デジタル電源(Vcc)の切断を行ってください。その際、AVRH は AVcc を超えないように投入、切断を行ってください。アナログ入力と兼用している端子を入力ポートとして使用する場合においても、入力電圧は AVcc を超えないようにしてください (アナログ電源とデジタル電源を同時に投入・切断をすることは問題ありません)。

● コンパレータ，スロープ補償の電源およびアナログ入力の投入順序

コンパレータ，スロープ補償の電源(AVcc)およびアナログ入力(CMP0～CMP2)の印加は、必ずデジタル電源(Vcc)の投入後に行ってください。また、電源切断時はコンパレータ，スロープ補償の電源およびアナログ入力切断の後で、デジタル電源(Vcc)の切断を行ってください。(アナログ電源とデジタル電源を同時に投入・切断をすることは問題ありません)。

● C 端子の処理について

本デバイスは降圧回路を内蔵します。C 端子にはデバイス内部安定化のため，必ずコンデンサを接続してください。規格値については，最新データシートの「推奨動作条件」を参照してください。

＜注意事項＞

動作電圧の詳細仕様については，最新のデータシートを参照してください。

3. 使用上の注意事項

使用上の注意事項について説明します。

3.1. 兼用ポートの機能切換え

3.2. 低消費電力モード

3.3. ステータスフラグを含むレジスタに書込みを行う場合の注意

3.1. 兼用ポートの機能切換え

兼用ポートの機能切換えについて示します。

PORT と兼用端子の切換えは, PFR (ポートファンクションレジスタ) で行います。詳細は『I/O ポート』章を参照してください。

3.2. 低消費電力モード

低消費電力モードについて説明します。

スリープモード・時計モード・ストップモードに入れる場合は，『消費電力制御』章内、「スリープモード・時計モード・ストップモードの起動」で説明している手順を実行してください。

モニタデバッガを使用する場合は，以下のことを行わないでください。

・低消費電力移行プログラムに対する，ブレークポイントの設定
・低消費電力移行プログラムに対する，ステップ実行

3.3. ステータスフラグを含むレジスタに書込みを行う場合の注意

ステータスフラグを含むレジスタに書込みを行う場合の注意について説明します。

ステータスフラグ (特に割込み要求フラグなど) を含むレジスタに機能の制御のために書込みを行う場合には, ステータスフラグを誤ってクリアしないように配慮することが大切です。

つまり, ステータスビットに対してフラグをクリアしない設定でかつ, 制御ビットを希望した値になるように, 書込み時に注意してください。

特に複数ビットで構成している制御ビットの場合, ビット命令が使えないため (ビット命令は1ビットアクセスのみ), Byte/Half-word/Word アクセスによって, 同時に制御ビットとステータスフラグへの書込みを行います。しかし,このときに目的以外のビット (この場合ステータスフラグのビット) を誤ってクリアしないよう注意してください。

＜注意事項＞

ビット命令は,この点を配慮していますので, 注意の必要はありません。

CHAPTER: CPU

CPU について説明します。

1. 概要
2. 特長
3. CPU 動作記述
4. パイプライン動作
5. 浮動小数点演算処理
6. データ構造
7. アドレッシング
8. プログラミングモデル
9. リセット・EIT 処理
10. メモリ保護機能(MPU)

1. 概要

CPU の概要について説明します。

FR81 アーキテクチャは、FR ファミリ命令セットを採用し、浮動小数点機能、メモリ保護機能、オンチップデバッグシステムを搭載しています。

整数系命令セットは、FR80 シリーズと互換です。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

2. 特長

CPU の特長について説明します。

FR ファミリは 32 ビット RISC ベースのコントローラ向け CPU コアです。特に高速制御を行う必要がある組込み制御向けマイクロコントローラの CPU コアとして最適なアーキテクチャとなっています。

・全般
  - 汎用レジスタアーキテクチャ (32 ビット× 16 本)
  - 32 ビットアドレス空間 (4GB)
  - 16 ビット固定命令長 (即値データ転送命令除く)
  - 5 段パイプライン構造による基本命令 1 命令 1 サイクルの高速処理
  - 32 ビット× 32 ビットの演算を 5 サイクルで完了する乗算命令
  - ステップ除算命令による 32 ビット÷32 ビットの除算実行
  - 周辺アクセスのためのダイレクトアドレッシング命令
  - 6 サイクルで完了する高速割込み処理
  - 単精度浮動小数点演算命令
  - 浮動小数点レジスタ 32 ビット 16 本
  - 特権モード・ユーザモード
  - FPU、命令アクセス、データアクセス系例外機能
    - FPU 例外
    - 命令アクセス保護違反例外
    - データアクセス保護違反例外
    - 不正命令例外 (未定義命令例外からの変更)
    - データアクセスエラー例外
    - FPU 不在例外

・メモリ保護機能(MPU)
  - 命令・データ共用で 8 個の保護領域指定
  - 保護領域は固定優先順位で判定。 (領域の重複可能)
  - ページアドレスとページサイズで領域指定
    - ページサイズ: 16 バイトから 2^n で指定可能
    - ページアドレス: ミスアラインもサポート
  - 特権モード・ユーザモードそれぞれで以下のアクセス権を制御
    - 命令フェッチ(実行) 許可/禁止
    - リード 許可/禁止
    - ライト 許可/禁止
  - 領域ごとに以下の属性を指定可能
    - Bufferable/Non-Bufferable
  - 未設定領域に対してもアクセス権、属性指定可能
  - 保護違反時は、命令アクセス保護違反例外/データアクセス保護違反例外を発生

・浮動小数点演算
  - IEEE754 準拠
  - 単精度をサポート
  - 6 個の例外要因をサポート。
    - アンダフロー
    - オーバフロー
    - ゼロ除算
    - 無効演算
    - 不正確
    - 非正規化数の入力
  - 丸めモードは、最近値のみをサポート

- 非正規化数は"0"への切捨てもしくは例外発生
- 浮動小数点レジスタ 32 ビット × 16 本
- Multiply and Add, Multiply and Sub 命令サポート
- 除算、開平演算サポート

3. CPU 動作記述

CPU の動作について説明します。

3.1. CPU 動作状態

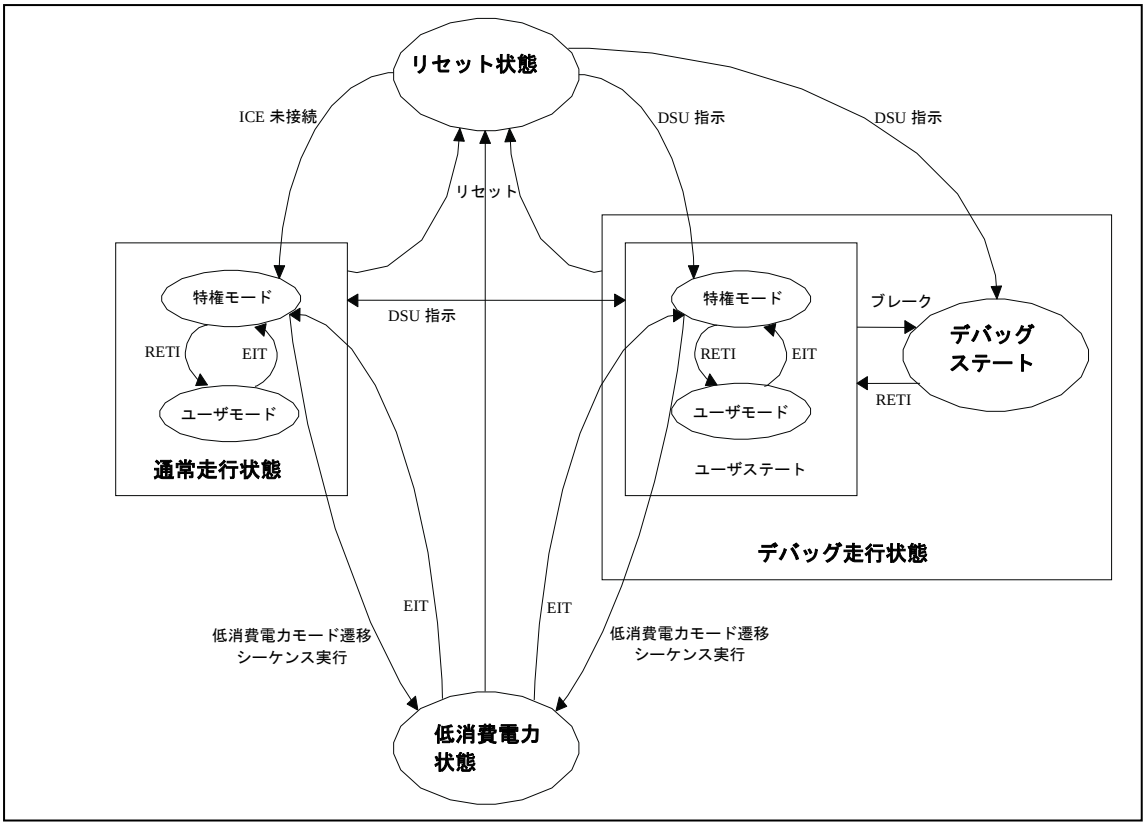
3.1. CPU 動作状態

CPU の動作状態について示します。

CPU の動作状態には、リセット状態/通常走行状態/低消費電力状態/デバッグ走行状態の 4 つの状態があります。

以下に動作状態の遷移を示します。

図 3-1 CPU 動作状態遷移図



3.1.1. リセット状態

リセット状態について示します。

CPU がリセットされている状態です。リセットにはイニシャライズレベルとリセットレベルの 2 レベルがあります。イニシャライズレベルのリセットが発行されるとチップ内のすべてが初期化されます。リセットレベルの場合は、デバッグ制御機能やクロック，リセット制御機能の一部を除き初期化されます。

3.1.2. 通常走行状態

通常走行状態について示します。

順次命令実行および EIT 処理が実行されている状態です。通常走行状態には特権モードとユーザモードがあります。

ユーザモードでは、命令やアクセス先に制限があり、特権モードでのみ実行可能な命令やアクセス先があります。リセット解除後通常走行状態になった場合は特権モードになり RETI の実行により、ユーザモードへ遷移します。通常走行状態でのユーザモードから特権モードへはリセット, EIT の実行で遷移し、特権モードからユーザモードへの遷移は RETI の実行で行います。

3.1.3. 低消費電力状態

低消費電力状態について示します。

CPU が動作を停止し、消費電力を抑えている状態です。低消費電力状態への移行はクロック制御部のスタンバイ制御で行います。低消費電力状態にはスリープ/ストップ/時計モードの3つのモードがあります。低消費電力状態からの復帰は割込みで行います。

3.1.4. デバッグ走行状態

デバッグ走行状態について示します。

ICE を接続し、デバッグ関連機能が有効な状態です。デバッグ走行状態にはユーザステートとデバッグステートがあります。デバッグ走行状態とほかの状態への遷移は基本的にリセット状態を介して行います。ただし、通常走行状態から強制的にデバッグ走行状態に遷移することも可能です。

ユーザステートには通常走行状態と同様に特権モードとユーザモードがあります。ただし、デバッグ用のブレークを行った場合はデバッグステートへ遷移します。デバッグステートでは、特権モードで実行され、メモリ保護機能などすべて無効な状態ですべてのレジスタ/メモリにアクセス可能です。デバッグステートからユーザステートへの遷移は RETI 命令実行により行います。

4. パイプライン動作

CPU のパイプライン動作について説明します。

FR81 ではデコードステージまでは共通に処理しますが、実行ステージからは整数パイプライン、浮動小数点パイプラインの 2 種のパイプラインを持ちます。各パイプライン間での完了は命令発行の順序とは異なりますが、プログラム列の順序に従った処理結果は保証します。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

5. 浮動小数点演算処理

CPU の浮動小数点演算処理について説明します。

本品種は FPU を搭載しています。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

6. データ構造

CPU のデータ構造について説明します。

FR81 ファミリ CPU で扱うことのできるデータ種類として、FR80 ファミリまでの整数型に加えて、単精度浮動小数点型が存在します。

整数型では、ビットオーダリングとしてリトルエンディアン、バイトオーダリングとしてビッグエンディアンを採用しています。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

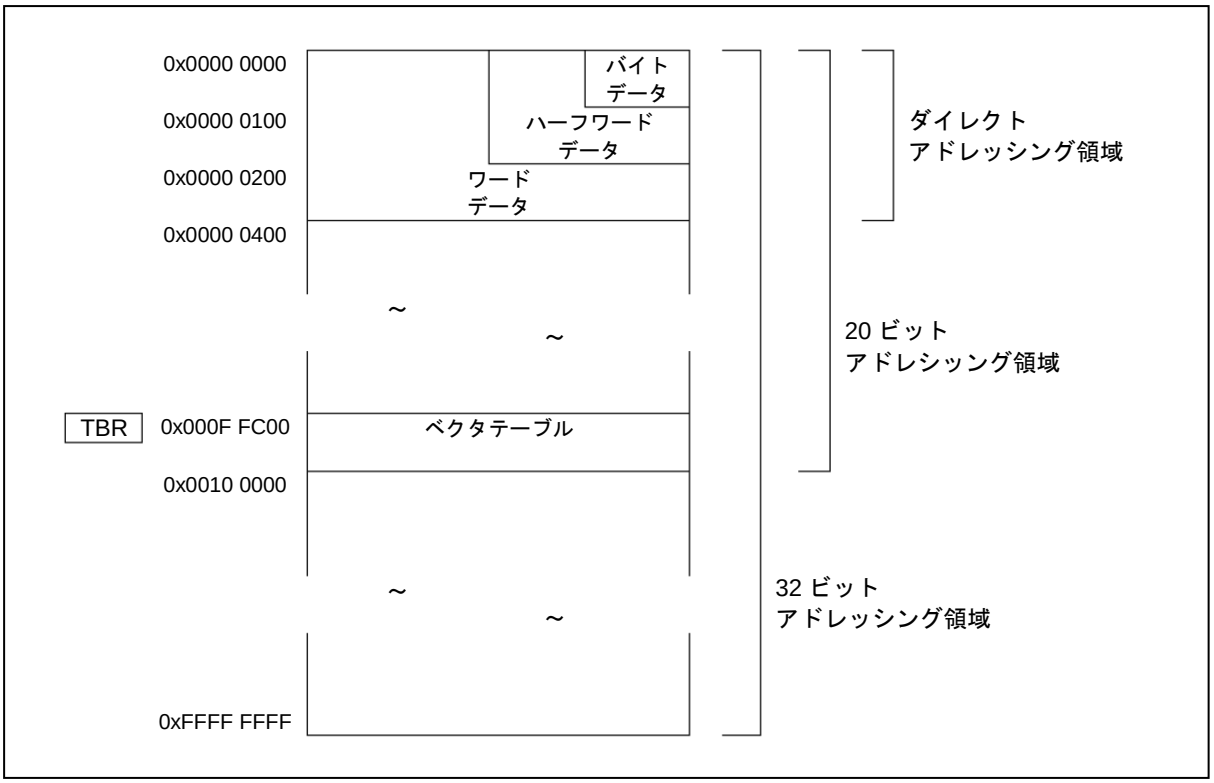
7. アドレッシング

CPU のアドレッシングについて説明します。

メモリ空間は 32 ビットリニアです。

CPU はアドレス空間をバイト単位で管理します。CPU からは、アドレス空間上のアドレスを 32 ビットの値で指定してアクセスします。アドレス空間を図 7-1 に示します。

図 7-1 メモリ空間



アドレス空間をメモリ空間ともよびます。アドレス空間は CPU から見た論理アドレス空間です。アドレス変換は行いません。CPU から見た論理アドレスと、実際にメモリや I/O の配置されている物理アドレスは同一になります。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

8. プログラミングモデル

CPU のプログラミングモデルについて説明します。

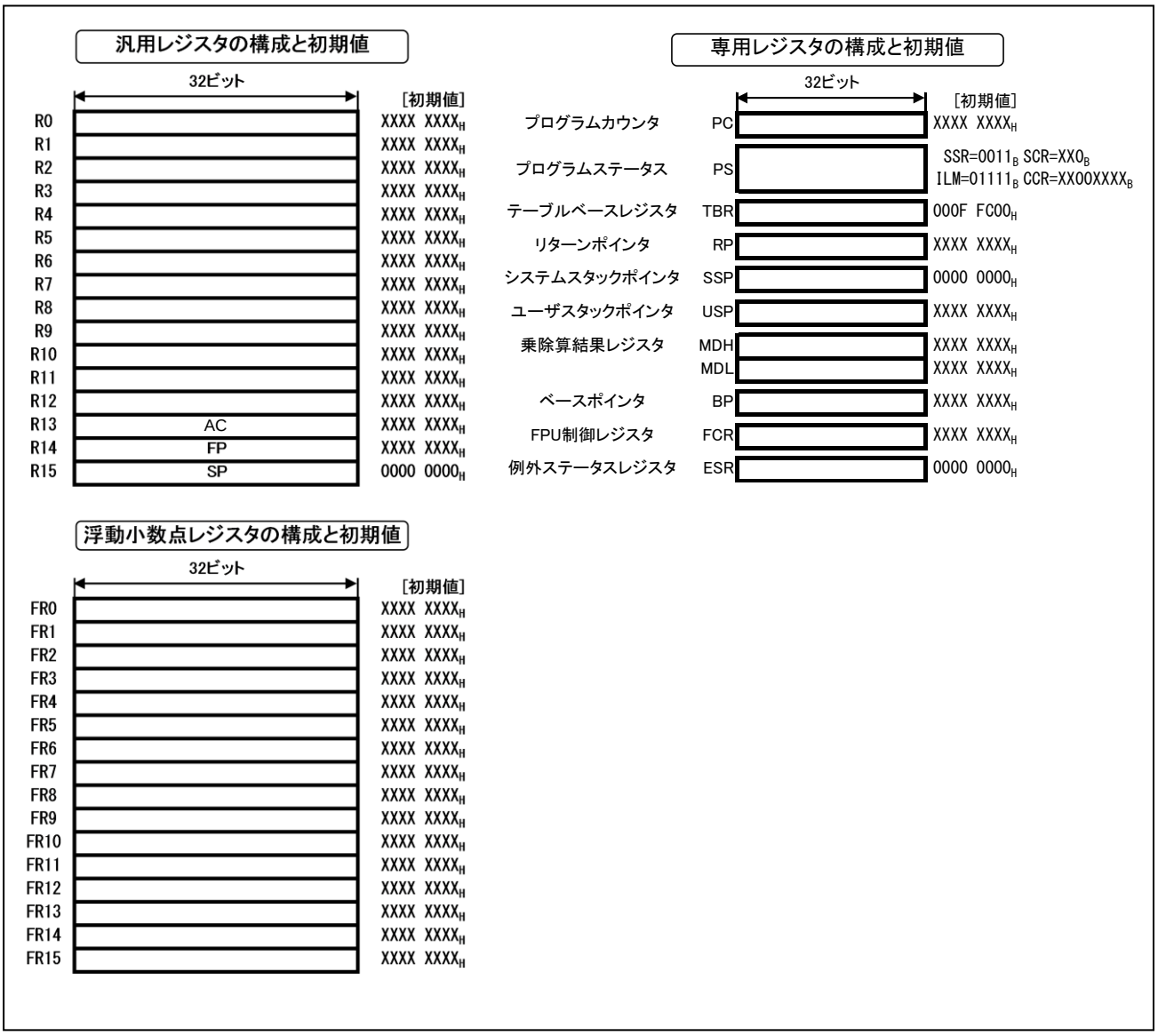
FR81 CPU には、汎用レジスタ，専用レジスタ，浮動小数点レジスタがあります。また、これらとは別に FR81 コアとしてアドレスマップされたシステムレジスタがあります。

8.1. 汎用レジスタ、専用レジスタ、浮動小数点レジスタ

汎用レジスタ，専用レジスタ，浮動小数点レジスタについて示します。

図 8-1 に、本品種での初期値を示します。各レジスタの詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

図 8-1 汎用レジスタ、専用レジスタ、浮動小数点レジスタ初期値



8.2. システムレジスタ

システムレジスタについて示します。

システムレジスタはアドレスマップされたシステム制御用のレジスタです。これらのレジスタは特権モードでのみアクセス可能です。システムレジスタには以下のようなものがあります。

・クロック制御関連レジスタ
・リセット制御関連レジスタ
・デバッグ制御関連レジスタ
・メモリ保護関連レジスタ
・DMA 関連レジスタ
・ウォッチドッグタイマレジスタ
・Wildregister 制御レジスタ
・FLASH 制御レジスタ
・TimingProtectionUnit レジスタ

ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外(データアクセスエラー)を発生させます。

システムレジスタへのアクセス保護は、メモリ保護機能に優先して判定します。したがって、メモリ保護機能でシステムレジスタ領域へユーザアクセス可能とした場合や特権モードでのアクセス不可とした場合もその設定は無効とし、特権モードでのみリード・ライト可能でユーザモードではリード・ライト不可となります。

9. リセット・EIT 処理

CPU のリセット・EIT 処理について説明します。

リセット・EIT 処理とは、リセット、例外(Exception)、割込み(Interrupt)、トラップ(Trap)が検出されたときに通常とは異なるプログラムで実行される処理のことです。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

9.1. リセット

リセットについて示します。

リセットは、現在実行中の処理を強制的に中断し、デバイスを初期化してリセットベクタエントリアドレスからプログラムを再開します。

＜注意事項＞

本品種では FixedVector 機能により、リセットベクタはフラッシュメモリ 0xF_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス+ 0x0024 番地が返されます。
詳細は『FixedVector 機能』の章を参照してください。

9.2. EIT 処理

EIT 処理について示します。

EIT 処理は、現在実行中の処理を中断し、再開できる情報をメモリへ退避した後に、決められた処理プログラムへ制御を移します。

9.3. ベクタテーブル

ベクタテーブルについて示します。

表 9-1 ベクタテーブル

割込み要因	割込み ベクタ番号		割込み レベル	オフセット	TBR 初期値時でのアドレス
	10 進	16 進			
リセット	0	00	―	0x3FC	0x000FFFFC
システム予約	1	01	―	0x3F8	0x000FFFF8
システム予約	2	02	―	0x3F4	0x000FFFF4
システム予約	3	03	―	0x3F0	0x000FFFF0
システム予約	4	04	―	0x3EC	0x000FFFEC
FPU 例外	5	05	―	0x3E8	0x000FFFE8
命令アクセス保護違反例外	6	06	―	0x3E4	0x000FFFE4
データアクセス保護違反例外	7	07	―	0x3E0	0x000FFFE0
データアクセスエラー割込み	8	08	―	0x3DC	0x000FFFDC
INTE 命令	9	09	―	0x3D8	0x000FFFD8
命令ブレーク	10	0A	―	0x3D4	0x000FFFD4
システム予約	11	0B	―	0x3D0	0x000FFFD0
システム予約	12	0C	―	0x3CC	0x000FFFCC
システム予約	13	0D	―	0x3C8	0x000FFFC8
不正命令例外	14	0E	―	0x3C4	0x000FFFC4
NMI 要求	15	0F	15(0xF)固定	0x3C0	0x000FFFC0
ペリフェラル割込み #0	16	10	ICR00	0x3BC	0x000FFFBC
ペリフェラル割込み #1	17	11	ICR01	0x3B8	0x000FFFB8
ペリフェラル割込み #2	18	12	ICR02	0x3B4	0x000FFFB4
ペリフェラル割込み #3	19	13	ICR03	0x3B0	0x000FFFB0
ペリフェラル割込み #4	20	14	ICR04	0x3AC	0x000FFFAC
ペリフェラル割込み #5	21	15	ICR05	0x3A8	0x000FFFA8
ペリフェラル割込み #6	22	16	ICR06	0x3A4	0x000FFFA4
ペリフェラル割込み #7	23	17	ICR07	0x3A0	0x000FFFA0
ペリフェラル割込み #8	24	18	ICR08	0x39C	0x000FFF9C
ペリフェラル割込み #9	25	19	ICR09	0x398	0x000FFF98
ペリフェラル割込み #10	26	1A	ICR10	0x394	0x000FFF94
ペリフェラル割込み #11	27	1B	ICR11	0x390	0x000FFF90
ペリフェラル割込み #12	28	1C	ICR12	0x38C	0x000FFF8C
ペリフェラル割込み #13	29	1D	ICR13	0x388	0x000FFF88
ペリフェラル割込み #14	30	1E	ICR14	0x384	0x000FFF84
ペリフェラル割込み #15	31	1F	ICR15	0x380	0x000FFF80
ペリフェラル割込み #16	32	20	ICR16	0x37C	0x000FFF7C

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時でのアドレス
	10 進	16 進			
ペリフェラル割込み #17	33	21	ICR17	0x378	0x000FFF78
ペリフェラル割込み #18	34	22	ICR18	0x374	0x000FFF74
ペリフェラル割込み #19	35	23	ICR19	0x370	0x000FFF70
ペリフェラル割込み #20	36	24	ICR20	0x36C	0x000FFF6C
ペリフェラル割込み #21	37	25	ICR21	0x368	0x000FFF68
ペリフェラル割込み #22	38	26	ICR22	0x364	0x000FFF64
ペリフェラル割込み #23	39	27	ICR23	0x360	0x000FFF60
ペリフェラル割込み #24	40	28	ICR24	0x35C	0x000FFF5C
ペリフェラル割込み #25	41	29	ICR25	0x358	0x000FFF58
ペリフェラル割込み #26	42	2A	ICR26	0x354	0x000FFF54
ペリフェラル割込み #27	43	2B	ICR27	0x350	0x000FFF50
ペリフェラル割込み #28	44	2C	ICR28	0x34C	0x000FFF4C
ペリフェラル割込み #29	45	2D	ICR29	0x348	0x000FFF48
ペリフェラル割込み #30	46	2E	ICR30	0x344	0x000FFF44
ペリフェラル割込み #31	47	2F	ICR31	0x340	0x000FFF40
ペリフェラル割込み #32	48	30	ICR32	0x33C	0x000FFF3C
ペリフェラル割込み #33	49	31	ICR33	0x338	0x000FFF38
ペリフェラル割込み #34	50	32	ICR34	0x334	0x000FFF34
ペリフェラル割込み #35	51	33	ICR35	0x330	0x000FFF30
ペリフェラル割込み #36	52	34	ICR36	0x32C	0x000FFF2C
ペリフェラル割込み #37	53	35	ICR37	0x328	0x000FFF28
ペリフェラル割込み #38	54	36	ICR38	0x324	0x000FFF24
ペリフェラル割込み #39	55	37	ICR39	0x320	0x000FFF20
ペリフェラル割込み #40	56	38	ICR40	0x31C	0x000FFF1C
ペリフェラル割込み #41	57	39	ICR41	0x318	0x000FFF18
ペリフェラル割込み #42	58	3A	ICR42	0x314	0x000FFF14
ペリフェラル割込み #43	59	3B	ICR43	0x310	0x000FFF10
ペリフェラル割込み #44	60	3C	ICR44	0x30C	0x000FFF0C
ペリフェラル割込み #45	61	3D	ICR45	0x308	0x000FFF08
ペリフェラル割込み #46	62	3E	ICR46	0x304	0x000FFF04
遅延割込み	63	3F	ICR47	0x300	0x000FFF00
システム予約(REALOS にて使用)	64	40	－	0x2FC	0x000FFEFC
システム予約(REALOS にて使用)	65	41	－	0x2F8	0x000FFEF8
INT 命令で使用	66 | 255	42 | FF	－	0x2F4 | 0x000	0x000FFEF4 | 0x000FFC00

10. メモリ保護機能(MPU)

CPU のメモリ保護機能(MPU)について説明します。

10.1. 概要

10.2. レジスター覧

10.3. レジスタ説明

10.4. メモリ保護機能動作

10.1. 概要

CPU のメモリ保護機能(MPU)の概要について説明します。

本アーキテクチャではメモリ保護機能をサポートします。メモリ保護機能とは、指定した領域に対するアクセスを監視し、許可されていないアクセスであれば例外を発生させる機能です。ただし、システムレジスタへの保護指定は無効です。

- 命令・データ共通で 8 個の保護領域を指定可能。
- 保護領域は領域 0 の優先度が高く、1, 2, 3, …優先度が低くなります。 (領域の重複可能)
- ページアドレスとページサイズで領域指定。
  - ページサイズ: 16 バイトから 2^n 単位で指定
  - ページアドレス: ミスアラインもサポート
- 特権モード/ユーザモードそれぞれに以下のアクセス権を制御
  - 命令フェッチ: 許可/禁止
  - データリード: 許可/禁止
  - データライト: 許可/禁止
- 領域ごとにアクセス属性を指定
  - バッファ: 許可/禁止
- 未定義領域はデフォルト領域として、アクセス権・属性を制御
- 保護違反発生時は保護違反例外を発生
- メモリ保護機能用レジスタはシステムレジスタとして特権モードでのみアクセス可能
- データアクセスエラー通知機能
- I/O 領域(00000000_H ～ $0000FFFF_H$) は、バッファ禁止固定

10.2. レジスター覧

レジスター覧について示します。

表 10-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0310	予約		MPUCR		MPU 制御レジスタ
0x0314	予約				
0x0318	予約				
0x031C	予約				
0x0320	DPVAR				データアクセス保護違反アドレスレジスタ
0x0324	予約		DPVSR		データアクセス保護違反ステータスレジスタ
0x0328	DEAR				データアクセスエラーアドレスレジスタ
0x032C	予約		DESR		データアクセスエラーステータスレジスタ
0x0330	PABR0				保護領域ベースアドレスレジスタ 0
0x0334	予約		PACR0		保護領域制御レジスタ 0
0x0338	PABR1				保護領域ベースアドレスレジスタ 1
0x033C	予約		PACR1		保護領域制御レジスタ 1
0x0340	PABR2				保護領域ベースアドレスレジスタ 2
0x0344	予約		PACR2		保護領域制御レジスタ 2
0x0348	PABR3				保護領域ベースアドレスレジスタ 3
0x034C	予約		PACR3		保護領域制御レジスタ 3
0x0350	PABR4				保護領域ベースアドレスレジスタ 4
0x0354	予約		PACR4		保護領域制御レジスタ 4
0x0358	PABR5				保護領域ベースアドレスレジスタ 5
0x035C	予約		PACR5		保護領域制御レジスタ 5
0x0360	PABR6				保護領域ベースアドレスレジスタ 6
0x0364	予約		PACR6		保護領域制御レジスタ 6
0x0368	PABR7				保護領域ベースアドレスレジスタ 7
0x036C	予約		PACR7		保護領域制御レジスタ 7

10.3. レジスタ説明

レジスタについて示します。

10.3.1. MPU 制御レジスタ : MPUCR

10.3.2. 命令アクセス保護違反アドレスレジスタ : IPVAR

10.3.3. 命令アクセス保護違反ステータスレジスタ : IPVSR

10.3.4. データアクセス保護違反アドレスレジスタ : DPVAR

10.3.5. データアクセス保護違反ステータスレジスタ : DPVSR

10.3.6. データアクセスエラーアドレスレジスタ : DEAR

10.3.7. データアクセスエラーステータスレジスタ : DESR

10.3.8. 保護領域ベースアドレスレジスタ 0〜7 : PABR0-7

10.3.9. 保護領域制御レジスタ 0〜7 : PACR0〜7

10.3.1. MPU 制御レジスタ ：MPUCR

MPU 制御レジスタのビット構成について示します。

MPU の有効無効、ならびにデフォルト領域(保護領域指定されていない領域)での特権モード、ユーザモードでのアクセス許可を設定します。

■ MPUCR： アドレス 0312$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PIE	PRE	PWE	UIE	URE	UWE	予約	BE
初期値	0	0	0	0	0	0	–	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PAN[1:0]		DEE	MPE
初期値	–	–	–	–	0	1	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,WX	R1,WX	R/W	R/W

[bit15] PIE (Privilege Mode Instruction Fetch Enable)

デフォルト領域(保護領域指定されていない領域)に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	デフォルト領域へのアクセス
0	特権モードで命令フェッチ禁止(初期値)
1	特権モードで命令フェッチ可能

[bit14] PRE (Privilege Mode Read Access Enable)

デフォルト領域(保護領域指定されていない領域)に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	デフォルト領域へのアクセス
0	特権モードでリードアクセス禁止(初期値)
1	特権モードでリードアクセス可能

[bit13] PWE (Privilege Mode Write Access Enable)
デフォルト領域(保護領域指定されていない領域)に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	デフォルト領域へのアクセス
0	特権モードでライトアクセス禁止(初期値)
1	特権モードでライトアクセス可能

[bit12] UIE (User Mode Instruction Fetch Enable)
デフォルト領域(保護領域指定されていない領域)に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	デフォルト領域へのアクセス
0	ユーザモードで命令フェッチ禁止(初期値)
1	ユーザモードで命令フェッチ可能

[bit11] URE (User Mode Read Access Enable)
デフォルト領域(保護領域指定されていない領域)に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	デフォルト領域へのアクセス
0	ユーザモードでリードアクセス禁止(初期値)
1	ユーザモードでリードアクセス可能

[bit10] UWE (User Mode Write Access Enable)
デフォルト領域(保護領域指定されていない領域)に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	デフォルト領域へのアクセス
0	ユーザモードでライトアクセス禁止(初期値)
1	ユーザモードでライトアクセス可能

[bit9] 予約
"0"を書き込んでください。"0"が読み出されます。

[bit8] BE (Buffer Enable)

デフォルト領域(保護領域指定されていない領域)に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPU はパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外を発生します。バッファが許可されている場合にはデータアクセスエラーは割込みとして通知可能です。

BE	デフォルト領域の Bufferable 指定
0	バッファ禁止(初期値)
1	バッファ許可

[bit7～bit4] 予約

予約ビットです。書込み時は必ず"0"を書き込んでください。

[bit3, bit2] PAN (Protection Area Number)

保護領域に指定可能な領域の実装個数を示します。本ビットはリードオンリでハードウェアで実装した個数を示します。

PAN[1:0]	メモリ保護領域実装数
00	予約
01	8 領域
10	12 領域
11	16 領域

[bit1] DEE (Data Access Error Interrupt Enable)

バッファ動作が有効になっている領域でデータアクセスエラーが発生したときの割込み発生を許可するビットです。このビットが有効な時にバッファ動作許可領域でデータアクセスエラーが発生するとデータアクセスエラー割込みを発生します。このときエラーを発生させたアドレスはデータアクセスエラーアドレスレジスタ(DEAR)にアクセス内容はデータアクセスエラーステータスレジスタ(DESR)に保持されます。割込みが禁止されている場合は上記レジスタの更新のみを行います。

DEE	データアクセスエラー割込みの許可
0	データアクセスエラー割込み禁止(初期値)
1	データアクセスエラー割込み許可

[bit0] MPE (Memory Protection Unit Enable)

メモリ保護機能を有効にするためのビットです。メモリ保護機能が無効な場合、すべての領域に対するアクセスがバッファ禁止の設定になります。

MPE	メモリ保護機能
0	メモリ保護機能無効(初期値)
1	メモリ保護機能有効

10.3.2. 命令アクセス保護違反アドレスレジスタ ：IPVAR

命令アクセス保護違反アドレスレジスタのビット構成について示します。

命令アクセス保護違反を発生したアドレスを保持します。

「10.4.2 命令アクセス保護違反」および「10.4.7 注意事項」も参照してください。

■ IPVAR： アドレス 0318$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	IPVA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] IPVA[31:0] (Instruction fetch Protection Violation Address)
命令アクセス保護違反ステータスレジスタで違反が発生していない時(IPVSR.IPV=0)に、命令アクセス保護違反を発生したアドレスを保持します。アラインはされません。

＜注意事項＞

本レジスタは、使用禁止です。

10.3.3. 命令アクセス保護違反ステータスレジスタ ：IPVSR

命令アクセス保護違反ステータスレジスタのビット構成について示します。

命令アクセス保護違反時のステータスを表示します。
本レジスタの内容は IPV=0 のときのみ、ハードウェアで更新されます。IPV ビットへの "0" 書込みのみ有効です。そのほかのビットへの書込みおよび IPV への"1" 書込みは無効です。
「10.4.2 命令アクセス保護違反」および「10.4.7 注意事項」も参照してください。

■ IPVSR ： アドレス 031E$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	–	–	–	–	–	–	–	–
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		SZ[1:0]		MD	予約		IPV
初期値	–	–	0	0	0	–	–	0
属性	R0,W0	R0,W0	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit6, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。

[bit5, bit4] SZ[1:0]
違反を発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] IPV (Instruction fetch Protection Violation)

命令アクセス保護違反が発生したことを示します。新たな保護違反の内容を保持するにはこのビットをクリアしてください。

IPV	命令アクセス保護違反
0	命令アクセス保護違反未検出(初期値)
1	命令アクセス保護違反検出

＜注意事項＞

本レジスタは、使用禁止です。

10.3.4. データアクセス保護違反アドレスレジスタ ：DPVAR

データアクセス保護違反アドレスレジスタのビット構成について示します。

データアクセス保護違反を発生したアドレスを保持します。

■ DPVAR ： アドレス 0320$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	DPVA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] DPVA[31:0] (Data Access Protection Violation Address)

データアクセス保護違反ステータスレジスタで違反が発生していないとき(DPVSR.DPV=0)に、データアクセス保護違反を発生したアドレスを保持します。CPU からの要求アドレスを示し、アドレスはアラインされません。

10.3.5. データアクセス保護違反ステータスレジスタ : DPVSR

データアクセス保護違反ステータスレジスタのビット構成について示します。

データアクセス保護違反時のステータスを表示します。
本レジスタは DPV=0 のときのみハードウェアで更新されます。DPV への "0" 書込みのみ有効です。そのほかのビットおよび DPV への"1" 書込みは無効です。

■ DPVSR : アドレス 0326$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RW[1:0]		SZ[1:0]		MD	予約		DPV
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit8, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。

[bit7, bit6] RW[1:0] (Read/Write)
違反を発生したときのアクセス種類です。リードモディファイライトの実行にはリードとライトのアクセス権が必要になり、判定は最初のリードサイクルで行いますので、リードモディファイライトのライトで違反となる場合にも RW=01$_B$ リード(リードモディファイライト)となります。

RW[1:0]	アクセス種類
00	リード
01	リード(リードモディファイライト)
10	ライト
11	予約

[bit5, bit4] SZ[1:0]
違反を発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] DPV (Data Access Protection Violation)
データアクセス保護違反が発生したことを示します。新たな保護違反の内容を保持するにはこのビットをクリアしてください。
本ビットへは"0" 書込みのみ有効です。"1" 書込みは無効です。

DPV	データアクセス保護違反
0	データアクセス保護違反未検出(初期値)
1	データアクセス保護違反検出

10.3.6. データアクセスエラーアドレスレジスタ ：DEAR

データアクセスエラーアドレスレジスタのビット構成について示します。

データアクセスエラーを発生したアドレスを保持します。

■ DEAR： アドレス 0328$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	DEA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] DEA[31:0] (Data Access Error Address)

データアクセスエラーステータスレジスタで違反が発生していないとき(DESR.DAE=0)に、データアクセスエラーを発生したアドレスを保持します。システムレジスタアクセス保護違反時は、CPU からのアクセスアドレスそのままでアラインされません。バスアクセスを行った結果エラーとなる場合にはアドレスはアラインされます。

10.3.7. データアクセスエラーステータスレジスタ ：DESR

データアクセスエラーステータスレジスタのビット構成について示します。

データアクセスエラー時のステータスを表示します。本レジスタは DAE=0 のときのみハードウェアで更新されます。DAE への "0" 書込みのみ有効です。そのほかのビットへの書込みおよび DAE への"1" 書込みは無効です。

■ DESR ： アドレス 032E$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RW[1:0]		SZ[1:0]		MD	予約		DAE
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit8, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。"0"が読み出されます。

[bit7, bit6] RW[1:0] (Read/Write)
エラーを発生したときのアクセス種類です。

RW[1:0]	アクセス種類
00	リード
01	リード(リードモディファイライト)
10	ライト
11	予約

[bit5, bit4] SZ[1:0]
エラーを発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] DAE (Data Access Error)
データアクセスエラーが発生したことを示します。新たなデータエラーの内容を保持するにはこのビットをクリアしてください。
データアクセスエラー割込みを有効にしている場合、本ビットをクリアすることで割込み要求を取下げます。本ビットへは "0" 書込みのみ有効です。"1" 書込みは無効です。

DAE	データアクセスエラー
0	データアクセスエラー未検出(初期値)
1	データアクセスエラー検出

10.3.8. 保護領域ベースアドレスレジスタ 0～7 : PABR0-7

保護領域ベースアドレスレジスタ 0～7 のビット構成について示します。

各 MPU チャネルの保護領域のベースアドレスを設定します。

■ PABR0-7 : アドレス 0330$_H$, 0338$_H$, 0340$_H$ ・・・ (アクセス: ワード)

	bit31	bit30	・	・	・	bit10	bit9	bit8
	PABR[31:8]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PABR[7:0]							
初期値	X	X	X	X	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX

[bit31～bit0] PABR[31:0] (Protection Area Base Address Register)

保護領域のベースアドレスを示します。ここで指定したアドレスから、保護領域制御レジスタ(PACR0～7)で指定されたサイズが対象となる保護領域となります。アドレスは、保護領域サイズでアラインする必要はありません。

PABR レジスタの下位 4 ビットは 0000_B 固定です。

10.3.9. 保護領域制御レジスタ 0～7 : PACR0～7

保護領域制御レジスタ 0～7 のビット構成について示します。

各 MPU チャネルによるアクセス許可制限を設定します。

■ PACR0-7 : アドレス 0336$_H$, 033E$_H$, 0346$_H$ ・・・ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PIE	PRE	PWE	UIE	URE	UWE	予約	BE
初期値	0	0	0	0	0	0	–	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ASZ[4:0]					予約		PAE
初期値	0	0	0	0	0	–	–	0
属性	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0	R/W

[bit15] PIE (Privilege Mode Instruction Fetch Enable)
指定保護領域に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	指定保護領域へのアクセス
0	特権モードで命令フェッチ禁止(初期値)
1	特権モードで命令フェッチ可能

[bit14] PRE (Privilege Mode Read Access Enable)
指定保護領域に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	指定保護領域へのアクセス
0	特権モードでリードアクセス禁止(初期値)
1	特権モードでリードアクセス可能

[bit13] PWE (Privilege Mode Write Access Enable)
指定保護領域に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	指定保護領域へのアクセス
0	特権モードでライトアクセス禁止(初期値)
1	特権モードでライトアクセス可能

[bit12] UIE (User Mode Instruction Fetch Enable)
指定保護領域に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	指定保護領域へのアクセス
0	ユーザモードで命令フェッチ禁止(初期値)
1	ユーザモードで命令フェッチ可能

[bit11] URE (User Mode Read Access Enable)
指定保護領域に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	指定保護領域へのアクセス
0	ユーザモードでリードアクセス禁止(初期値)
1	ユーザモードでリードアクセス可能

[bit10] UWE (User Mode Write Access Enable)
指定保護領域に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	指定保護領域へのアクセス
0	ユーザモードでライトアクセス禁止(初期値)
1	ユーザモードでライトアクセス可能

[bit9] 予約
"0"を書き込んでください。"0"が読み出されます。

[bit8] BE (Buffer Enable)
指定保護領域に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPU はパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外を発生します。バッファが許可されている場合にはデータアクセスエラーは割込みとして通知可能です。

BE	指定保護領域の Bufferable 指定
0	バッファ禁止(初期値)
1	バッファ許可

[bit7～bit3] ASZ[4:0] (Area Size)

指定保護領域のサイズを指定します。アドレス指定は下記サイズにアラインする必要はありません。また、アドレス・サイズ指定で領域の下限が $FFFFFFFF_H$ を超える場合は $FFFFFFFF_H$ を領域の下限とします。

ASZ[4:0]	指定保護領域のサイズ
00000_B	予約
00001_B	予約
00010_B	予約
00011_B	16B
00100_B	32B
00101_B	64B
00110_B	128B
00111_B	256B
01000_B	512B
01001_B	1KB
01010_B	2KB
01011_B	4KB
01100_B	8KB
01101_B	16KB
01110_B	32KB
01111_B	64KB
10000_B	128KB
10001_B	256KB
10010_B	512KB
10011_B	1MB
10100_B	2MB
10101_B	4MB
10110_B	8MB
10111_B	16MB
11000_B	32MB
11001_B	64MB
11010_B	128MB
11011_B	256MB
11100_B	512MB
11101_B	1GB
11110_B	2GB

ASZ[4:0]	指定保護領域のサイズ
11111_B	4GB

[bit2, bit1] 予約
予約ビットです。書込み時は必ず"0"を書き込んでください。

[bit0] PAE (Protection Area Enable)
メモリ保護機能を有効にするためのビットです。

PAE	メモリ保護領域
0	メモリ保護領域指定無効(初期値)
1	メモリ保護領域指定有効

10.4. メモリ保護機能動作

メモリ保護機能の動作について示します。

10.4.1. メモリ保護領域の設定

10.4.2. 命令アクセス保護違反

10.4.3. データアクセス保護違反

10.4.4. データアクセスエラー

10.4.5. 遅延スロットでのメモリ保護動作

10.4.6. DEAR, DESR 更新

10.4.7. 注意事項

10.4.1. メモリ保護領域の設定

メモリ保護領域の設定について示します。

メモリ保護機能はアドレスとサイズで指定される最大 8 個の保護領域とそれらの領域に含まれないデフォルト領域に対して、特権モード/ユーザモードで命令/データリード/データライトそれぞれ許可・禁止の設定をすることにより行います。同時に各領域に対して、バッファ許可・禁止の設定も可能です。

指定した保護領域に重なりがある場合は、領域番号の小さい方を優先させます。

メモリ保護機能が無効な場合(MPUCR.MPE=0)は、すべての領域に対してアクセス可能でバッファ禁止としてアクセスを行います。

10.4.2. 命令アクセス保護違反

命令アクセス保護違反について示します。

メモリ保護ユニット(MPU)は、CPU の命令フェッチを監視しアクセスのあった領域への命令フェッチが許可されているかの判断を行います。命令アクセス保護違反例外が発生したときの命令アドレスはシステムスタックに退避されている PC 値から判断してください。

10.4.3. データアクセス保護違反

データアクセス保護違反について示します。

メモリ保護ユニット(MPU)は、CPU のデータアクセスを監視し、該当領域へのアクセス(リード・ライト)が許可されているかの判断を行います。アクセスが許可されていなかった場合、MPU はそのアドレスとアクセス情報をそれぞれデータアクセス保護違反アドレスレジスタ(DPVAR), データアクセス保護違反ステータスレジスタ(DPVSR)に格納します。ただし、既にデータアクセス保護違反情報が上記レジスタに存在する場合(DPVSR.DPV=1)上書きは行いません。このとき違反を起こしたデータアクセスは行われません。

複数回のデータアクセスを行う命令実行中にデータアクセス保護違反が発生した場合、違反が発生するまでに実行したデータアクセスは取消しされません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中でデータアクセス保護違反例外が発生した場合例外ステータスレジスタ ESR.RL に残りのレジスタリストが保持されます。

EIT 処理シーケンスおよび RETI 命令中にデータアクセス保護違反が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

10.4.4. データアクセスエラー

データアクセスエラーについて示します。

データアクセス中に以下の条件が成立した場合にデータアクセスエラーとし、データアクセスエラーアドレスレジスタ(DEAR), データアクセスエラーステータスレジスタ(DESR)にそのときのアクセス情報を格納します。ただし、既にデータアクセスエラー情報が上記レジスタに存在する場合(DESR.DAE=1)上書きは行いません。

・ユーザモードでのシステムレジスタアクセス
・データアクセス中のバスエラー
データアクセス中のバスエラーはバッファ許可アクセスとバッファ禁止アクセスとでエラー発生後の動作が異なります。ユーザモードでのシステムレジスタアクセスは常に不正命令例外(データアクセス)として処理されます。

バッファ禁止領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は不正命令例外(データアクセスエラー)として処理します。

バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、MPU 制御レジスタ MPUCR.DEE=1 でデータアクセスエラー割込みが有効であればデータアクセスエラー割込みを通知し、CPU はデータアクセスエラー割込み処理を行います。バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は後続の命令を実行していますので、データアクセスエラー割込み時に退避される PC 値はデータアクセス命令を行った命令の PC 値とはなりません。

複数回のデータアクセスを行う命令実行中に不正命令例外(データアクセスエラー)が発生した場合、エラーが発生するまでに実行したデータアクセスは取消しされません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中で不正命令例外(データアクセスエラー)が発生した場合例外ステータスレジスタ ESR.RL に残りのレジスタリストが保持され、ESR.INV6 データアクセスエラーを示すビットがセットされます。

EIT 処理シーケンスおよび RETI 命令中に不正命令例外(データアクセスエラー)が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

10.4.5. 遅延スロットでのメモリ保護動作

遅延スロットでのメモリ保護動作について示します。

遅延スロットに配置された命令は 16 ビットとして処理します。したがって、遅延スロットに 32 ビット命令を配置しその下位 16 ビットに命令アクセス保護違反要因や命令アクセスエラー要因があったとしても不正命令例外(遅延スロットへ配置できない命令)として例外が発生します。

10.4.6. DEAR, DESR 更新

DEAR, DESR 更新について示します。

データアクセスエラーアドレスレジスタ(DEAR), データアクセスエラーステータスレジスタ(DESR)は次の場合に更新されます。

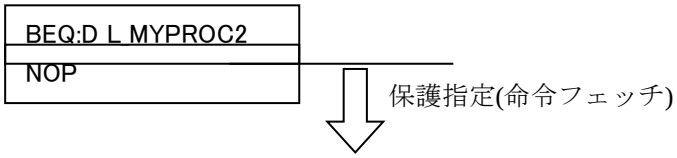
・ユーザモードでのシステムレジスタアクセス(不正命令例外)
・バッファ禁止領域アクセスでのバスエラー(不正命令例外)
・バッファ許可領域アクセスでのバスエラー(データアクセスエラー割込み)

不正命令例外の発生する場合では、該当するアクセスを行った命令で DEAR, DESR が更新されデータアクセスエラー割込みが発生する場合では命令動作とは非同期に更新されます。なお、要因が同時に発生した場合は不正命令例外要因を優先します。

10.4.7. 注意事項

注意事項について示します。

- アクセス保護違反例外はアクセス保護違反となる命令の実行時に発生します。詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。命令アクセス保護違反と命令アクセス保護違反例外については「10.4.2 命令アクセス保護違反」も参照してください。
- 下図のように遅延スロットと命令アクセス保護領域の境界が重なる場合、分岐の成立/不成立に関係なく命令アクセス保護違反が発生します。例外が発生する PC は遅延分岐命令の PC です。



CHAPTER: 動作モード

動作モードについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

動作モードの概要について説明します。

リセット解除後に決定される、本品種の動作モードについて説明します。各消費電力制御のモードや各クロック選択のモードについては『消費電力制御』の章を参照してください。

2. 特長

動作モードの特長について説明します。

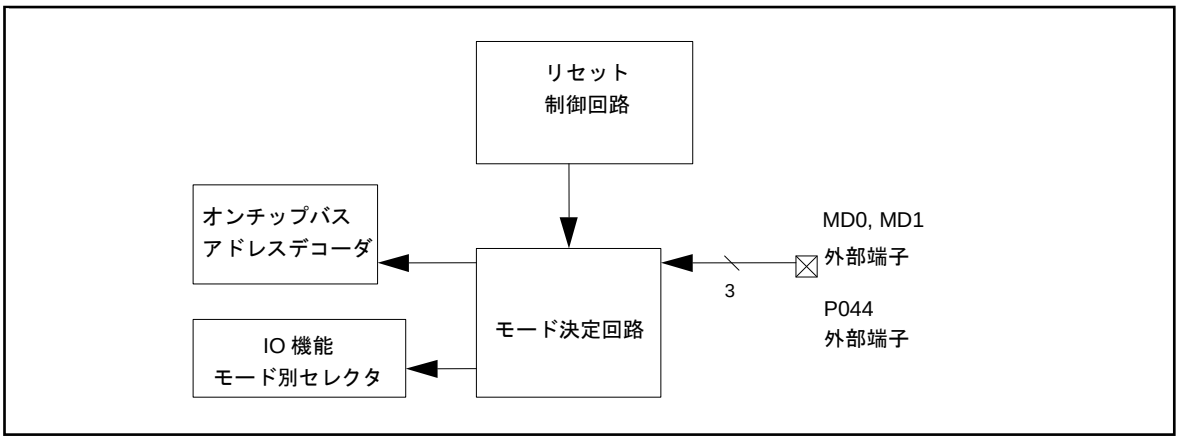
本品種は以下のモードを持ちます。

- ユーザモード
  - プログラムは内蔵フラッシュメモリから起動します。
- シリアルライタモード
  シリアルライタを使用して、内蔵フラッシュメモリをプログラムします。

3. 構成

動作モードの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

動作モードのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x07FC	BMODR	予約	予約	予約	バスモードデータレジスタ

4.1. バスモードレジスタ ：BMODR (Bus MODe Register)

バスモードレジスタのビット構成について示します。

起動時に設定されたモードを示すレジスタです。読出しのみ可能で、書込みは本レジスタの値に影響しません。

■ BMODR： アドレス 07FC$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BMOD[7:0]							
初期値	*	*	*	*	*	*	*	*
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

* 動作モードによります。

[bit7～bit0] BMOD[7:0] : 動作モード

動作モードを示します。書込みは無効です。

BMOD[7:0]	動作モード
0101xxxx	ユーザモード
0111xx1x	シリアルライタモード

5. 動作説明

動作モードの動作について説明します。

5.1. MD0, MD1, P044 端子の設定

5.2. 動作モードの取込み

5.3. 各モード説明

5.1. MD0, MD1, P044 端子の設定

MD0, MD1, P044 端子の設定について示します。

表 5-1 端子設定

動作モード	MD1	MD0	P044
ユーザモード	0	1	-
シリアルライタモード	1	0	1

表に示した設定以外は禁止です。

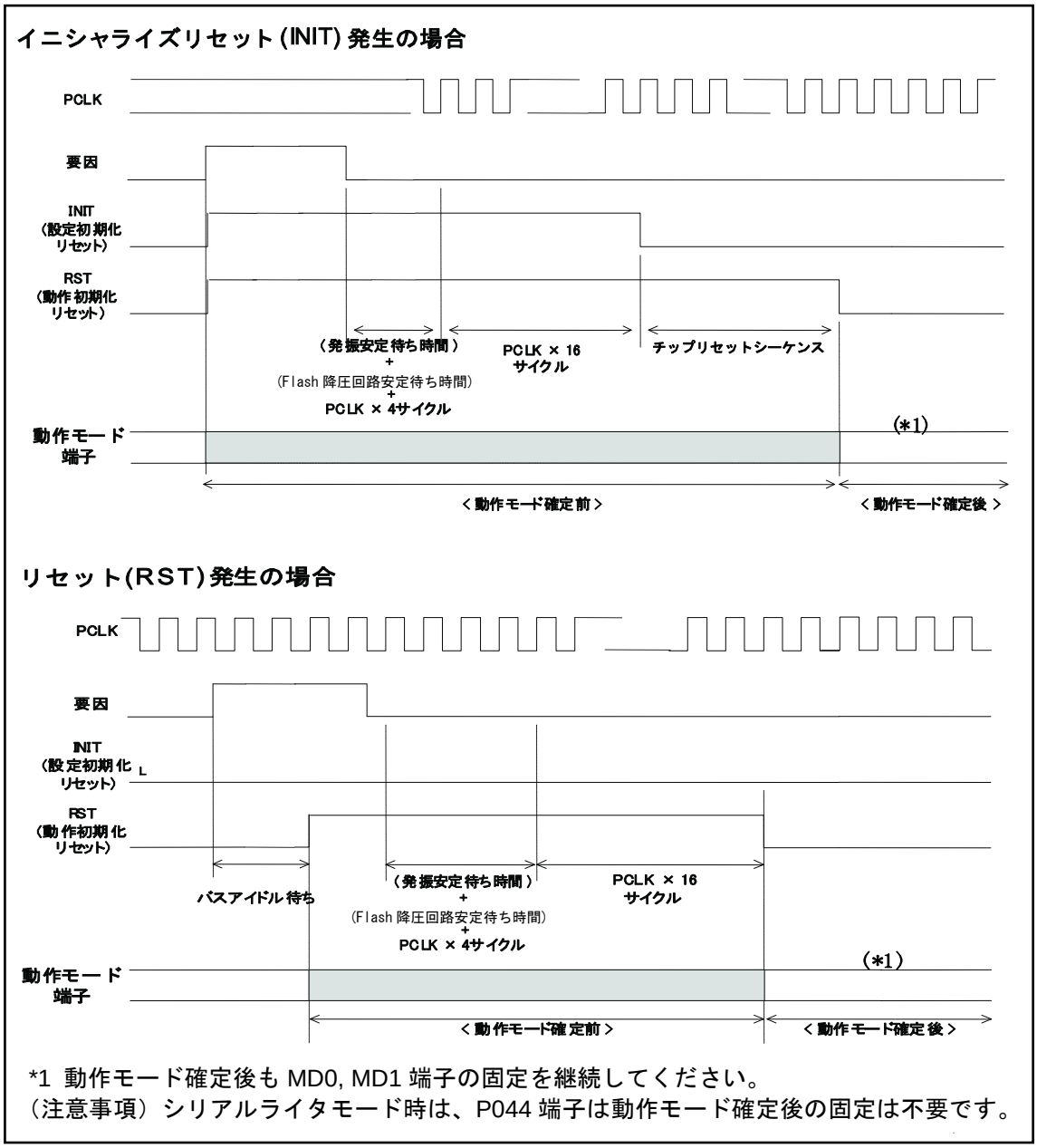
5.2. 動作モードの取込み

動作モードの取込みについて示します。

動作モードの取込みはRST(リセット)によりサンプリングされます。RSTが発行されてから解除されるまでの区間はMD0, MD1, P044端子入力を確定してください(ユーザモードのとき、P044端子確定は不要です) 。

以下にリセット要因発生～動作モード確定までのシーケンスを示します。

図 5-1 動作モード取込みタイミング図



*1 動作モード確定後もMD0, MD1端子の固定を継続してください。
（注意事項）シリアルライタモード時は、P044端子は動作モード確定後の固定は不要です。

5.3. 各モード説明

各モードについて示します。

以下に各動作モードの動作の詳細を示します。

5.3.1. ユーザモード

5.3.2. シリアルライタモード

5.3.1. ユーザモード

ユーザモードについて示します。

内部 I/O, 内蔵 RAM, 内蔵フラッシュメモリが有効で、それ以外の領域へのアクセスが無効であるモードです。外部端子は周辺機能または汎用ポートとして機能します。

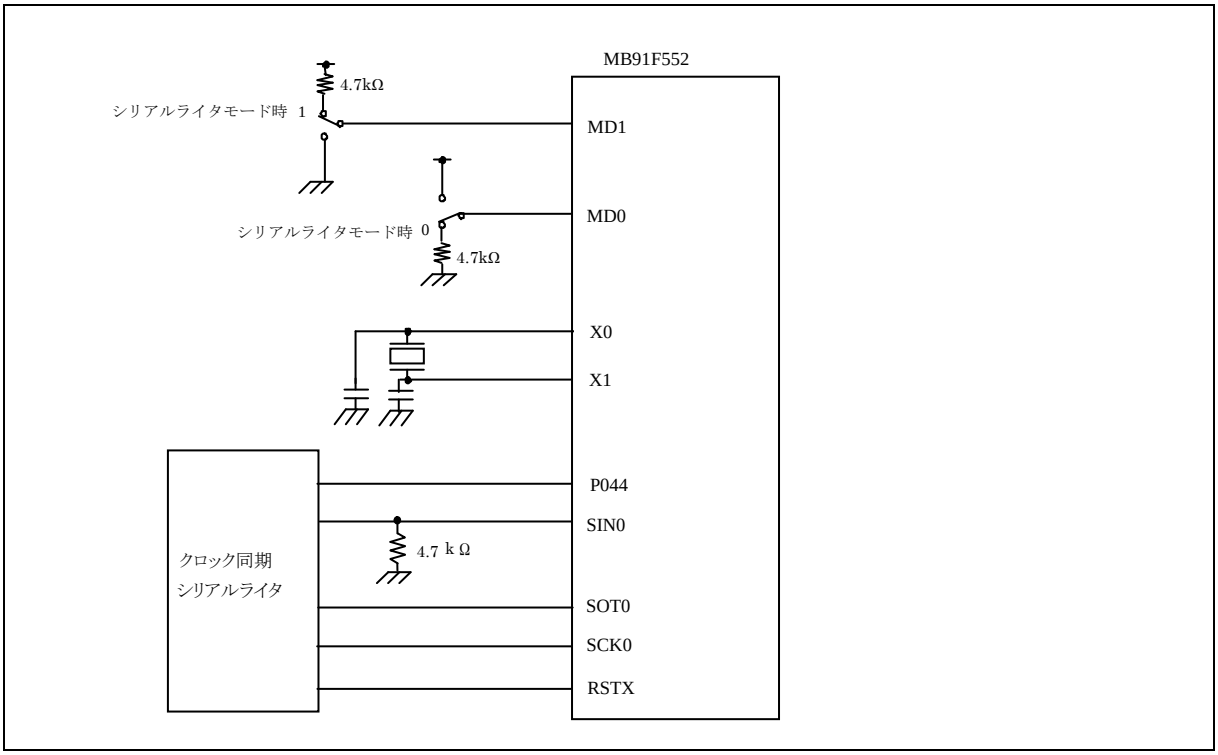
5.3.2. シリアルライタモード

シリアルライタモードについて示します。

表 5-2 シリアルライタモード設定端子

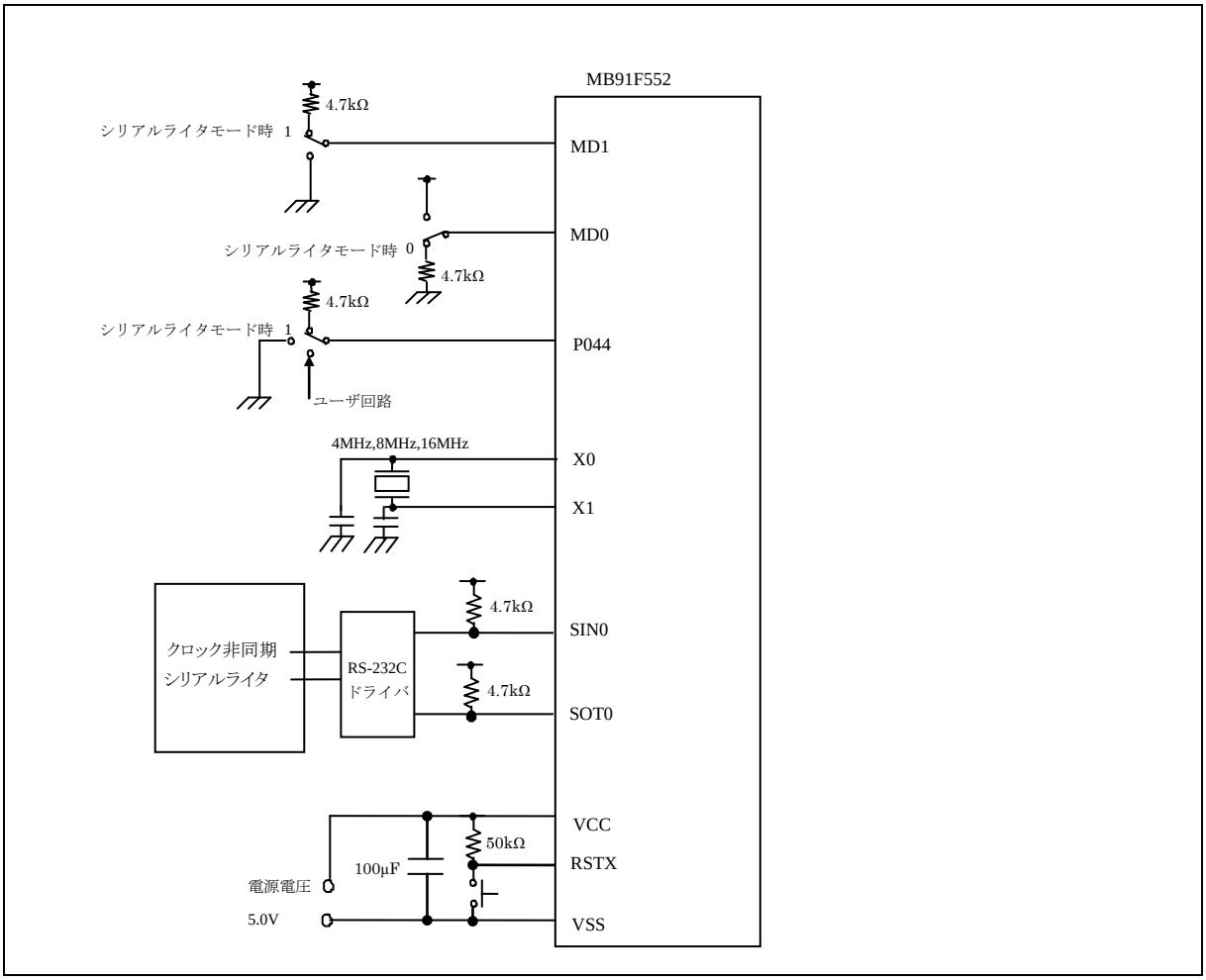
Pin 番号	端子名	シリアルライタモード		
		端子処置・接続先 （オンボード書込み時）	入力 レベル	出力 レベル
51	MD0	GND (プルダウン)	CMOS ヒステリシス	-
52	MD1	VCC (プルアップ)	CMOS ヒステリシス	-
58	RSTX	リセット入力	CMOS ヒステリシス	-
53	X0	発振端子	-	-
54	X1	発振端子	-	-
62	P044	外部にプルアップ抵抗を付加し、レベルを"H"にすることによってシリアルライタモードが起動します。	CMOS ヒステリシス	CMOS
48	P037 SIN0	通信を開始するまでの本端子の入力レベルを"H"にした場合クロック非同期通信モードとなり、"L" にした場合クロック同期通信モードとなります。 シリアルライタモードが起動し、通信が開始された時点で、UART シリアルデータ入力端子として使用します。	CMOS ヒステリシス	CMOS
46	P035 SOT0	シリアルライタモードが起動し、通信が開始された時点でシリアルデータ出力端子となります。	Automotive	CMOS
47	P036 SCK0	通信モードをクロック同期通信とした場合、シリアルクロック入出力端子となります。	CMOS ヒステリシス	CMOS
8, 32, 64	VCC	+5.0V 電源	-	-
1, 9, 33, 55, 59	VSS	GND	-	-
16 22 27	AVCC2 AVCC1 AVCC0	+5.0V 電源	-	-
17 23 28	AVSS2 AVSS1 AVSS0	GND	-	-
25 29	AVRL1 AVRL0	GND	-	-
26 30	AVRH1 AVRH0	+5.0V 電源	-	-

図 5-2 クロック同期シリアルを用いたシリアルライタモード時の接続例



プルアップ・プルダウン抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

図 5-3 クロック非同期シリアルを用いたシリアルライタモード時の接続例



プルアップ・プルダウン抵抗値と容量値は一例です。システムごとに最適な抵抗値を選択してください。

CHAPTER: クロック

クロックについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

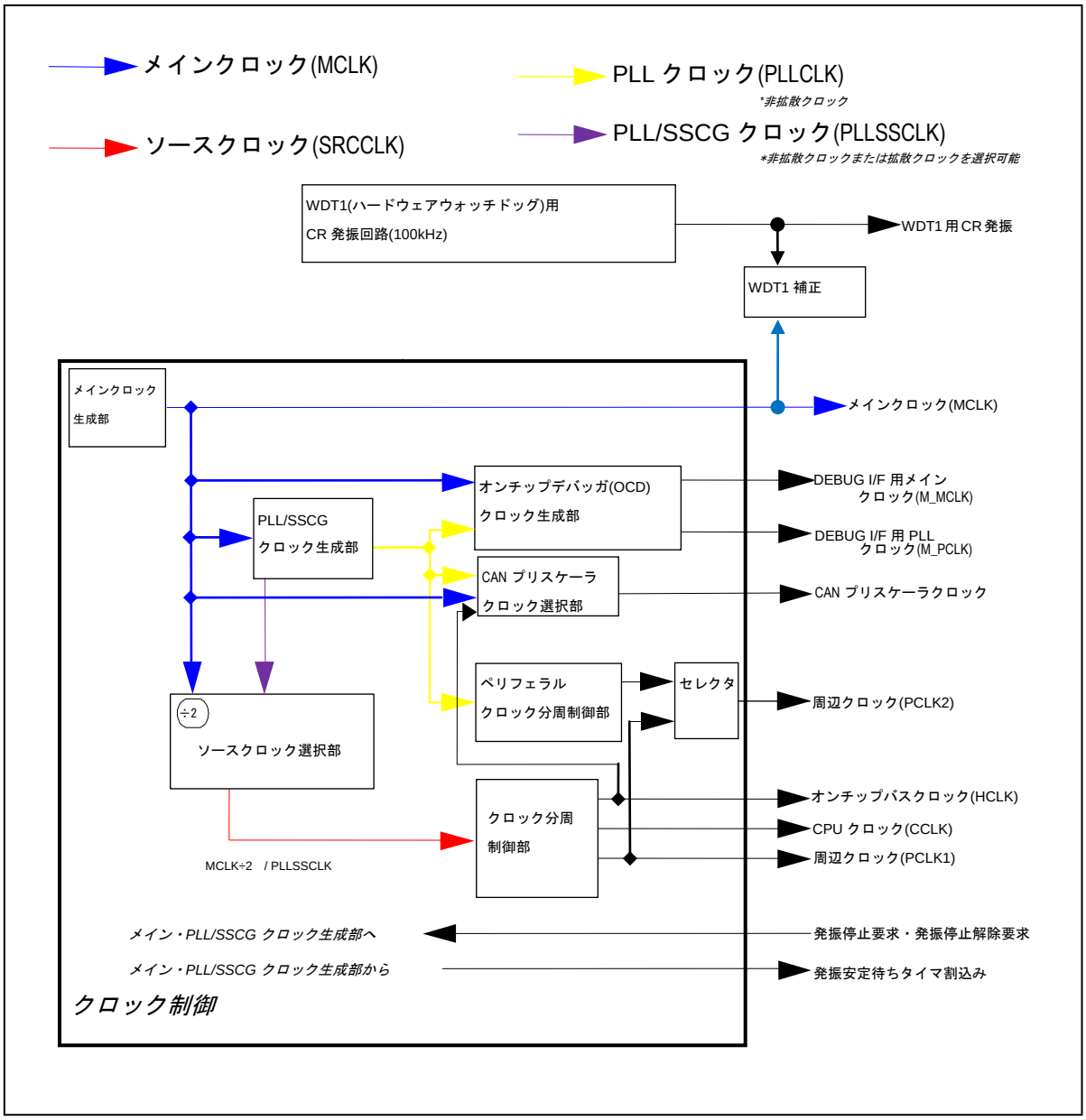
クロックの概要について説明します。

搭載発振回路で 1 系統のクロックを生成、そのクロックからチップ内各クロック系統を生成します。

・搭載発振回路用外部端子:
　　メインクロック　：水晶発振子を接続します。

・ソースクロックの生成: メインクロック(MCLK)を PLL/SSCG 逓倍したもの, 2 分周したものを選択します。
・ソースクロックの分周: ソースクロックを分周し、各部に供給する動作クロックを生成します。

図 1-1 クロック生成系統図



2. 特長

クロックの特長について説明します。

- 1 系統のオンチップオシレータを搭載
- メインクロック(MCLK)は、オンチップ PLL/SSCG により逓倍されます。
- 各クロックが安定するまで、各クロックはタイマにより供給停止されます。(発振安定待ちタイマ)
- 発振安定待ち終了の割込みを発生させることができます。
- メインクロック発振安定待ちタイマ(メインタイマ)はメインクロック発振安定後、汎用割込みインターバルタイマとして使用できます。
- 100kHz の WDT1 クロック用 CR 発振回路を搭載。
- CAN プリスケーラ用のクロックを生成します。PLL クロック(PLLCLK)[非拡散クロック]、メインクロック(MCLK)から選択可能です。PLL クロック選択時に PLL が停止した場合はオンチップバスクロック(HCLK)を使用します。
- ノイズ低減のため、CPU および周辺機能のクロックとして SSCG クロック[拡散クロック]を選択できます。

3. 構成

クロックの構成について説明します。

図 3-1 クロックの接続図 (1)-1 メインクロック生成部

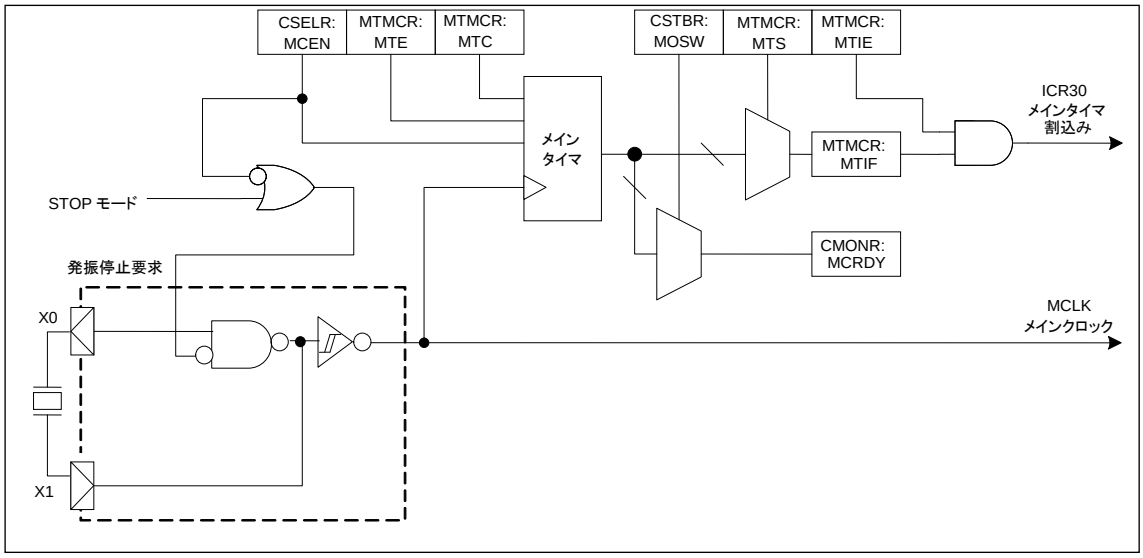


図 3-2 クロックの接続図 (1)-2 PLL/SSCG クロック生成部

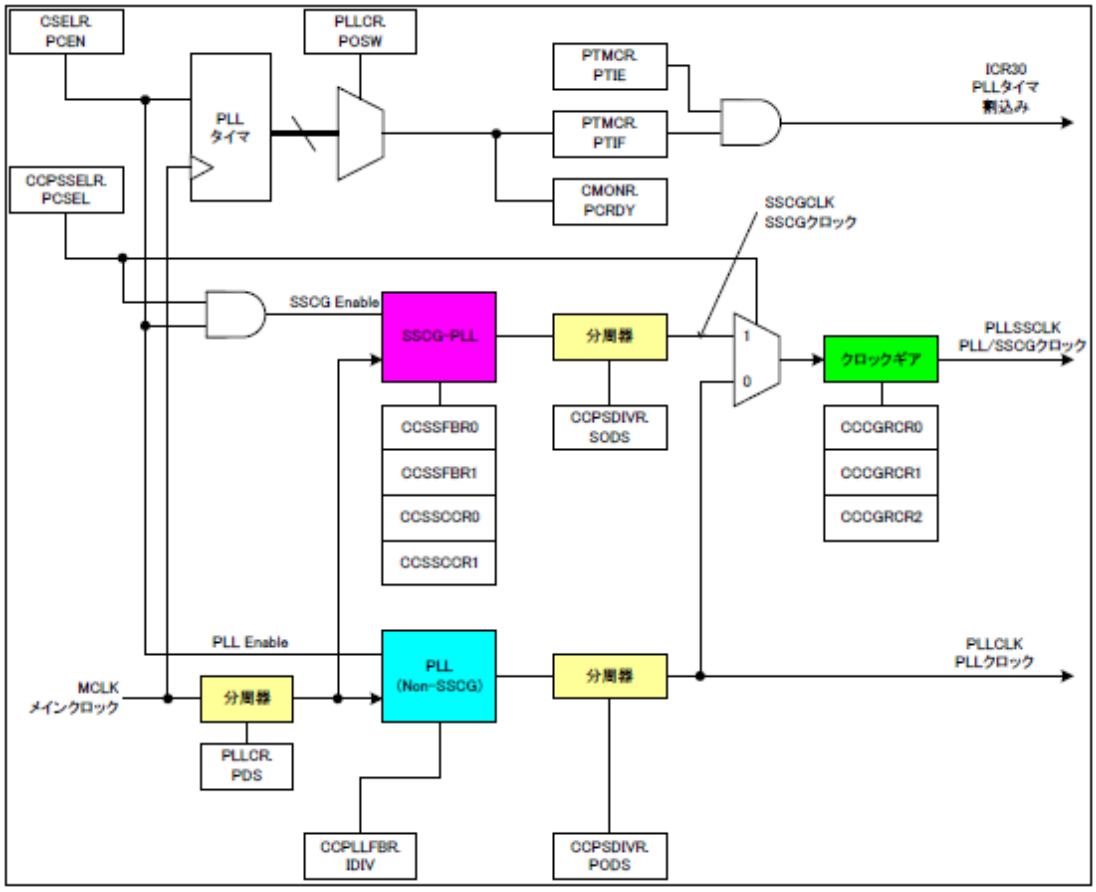


図 3-3 クロックの接続図(2)ソースクロック選択部

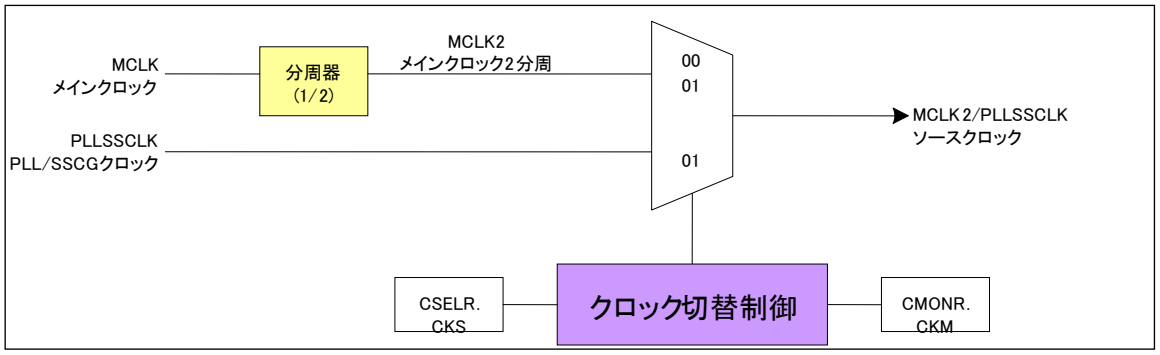


図 3-4 クロックの接続図(3)分周制御

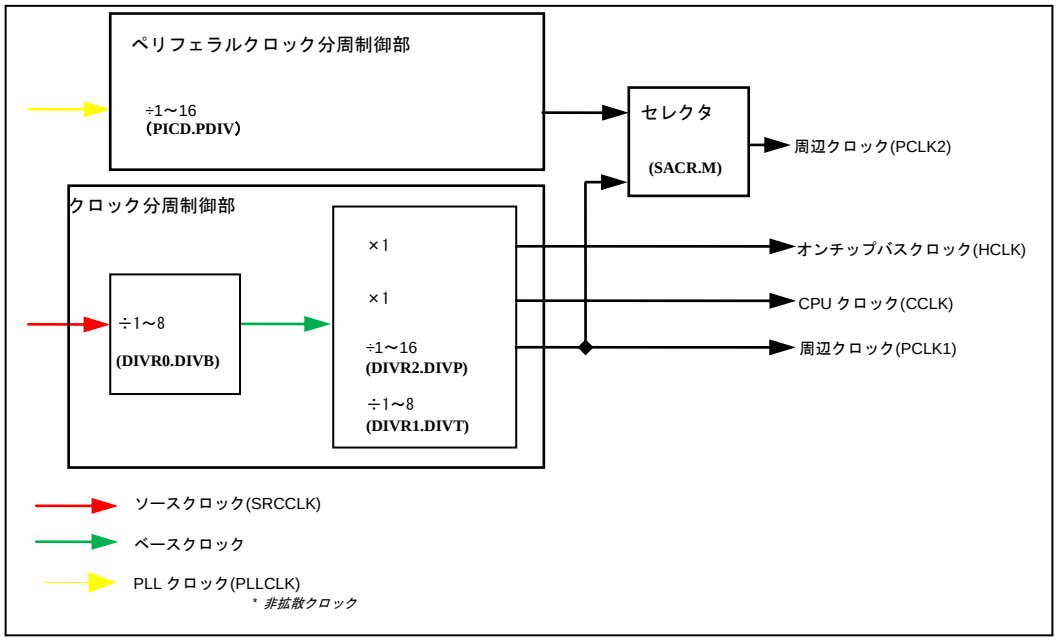


図 3-5 クロックの接続図(4) CAN プリスケーラクロック生成

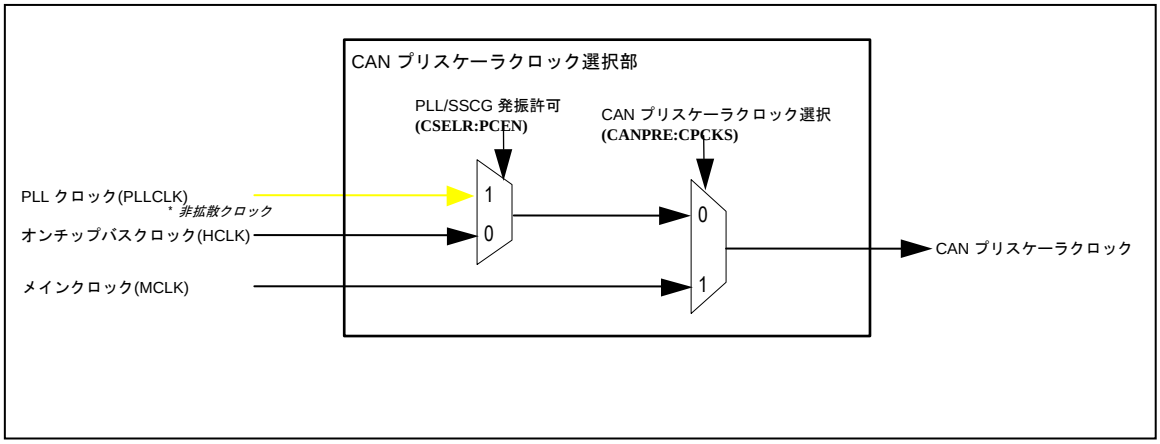


図 3-6 クロック系統図

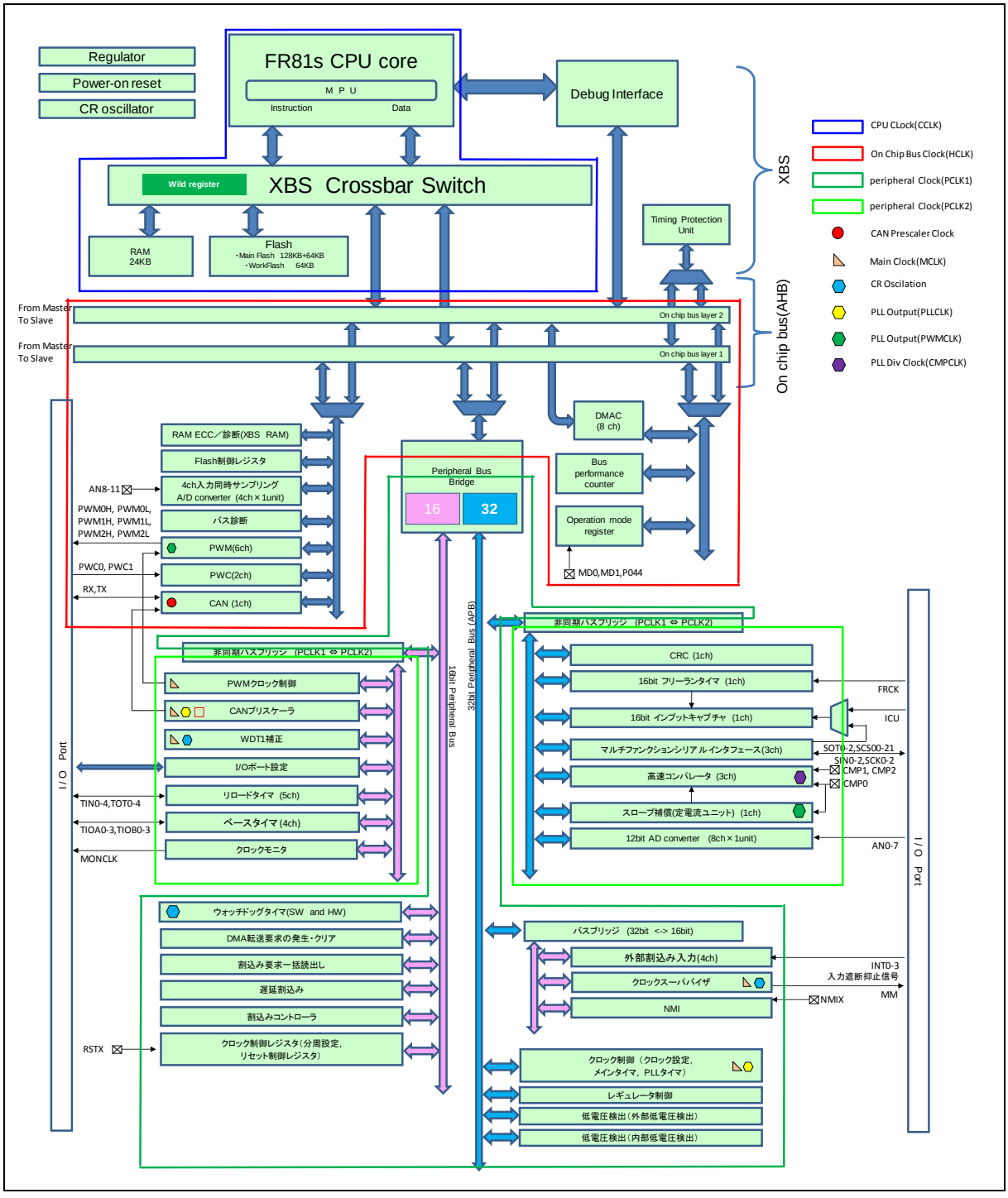

Regulator
Power-on reset
CR oscillator
FR81s CPU core
M P U
Instruction
Data
Debug Interface
Wild register
XBS Crossbar Switch
RAM
24KB
Flash
・Main Flash 128KB+64KB
・WorkFlash 64KB
Timing Protection Unit
XBS
On chip bus(AHB)
CPU CLock(CCLK)
On Chip Bus Clock(HCLK)
peripheral Clock(PCLK1)
peripheral Clock(PCLK2)
CAN Prescaler Clock
Main Clock(MCLK)
CR Oscilation
PLL Output(PLLCLK)
PLL Output(PWMCLK)
PLL Div Clock(CMPCLK)
From Master
To Slave
From Master
To Slave
On chip bus layer 2
On chip bus layer 1
DMAC
(8 ch)
RAM ECC／診断(XBS RAM)
Flash制御レジスタ
AN8-11
4ch入力同時サンプリング
A/D converter (4ch × 1unit)
PWM0H, PWM0L,
PWM1H, PWM1L,
PWM2H, PWM2L
パス診断
PWM(6ch)
PWC0, PWC1
PWC(2ch)
RX,TX
CAN (1ch)
Peripheral Bus
Bridge
16
32
Bus
performance
counter
Operation mode
register
MD0,MD1,P044
非同期バスブリッジ (PCLK1 ⇔ PCLK2)
非同期バスブリッジ (PCLK1 ⇔ PCLK2)
PWMクロック制御
CANプリスケーラ
WDT1補正
I/Oポート設定
TIN0-4,TOT0-4
リロードタイマ (5ch)
TIOA0-3,TIOB0-3
ベースタイマ (4ch)
MONCLK
クロックモニタ
16bit Peripheral Bus
32bit Peripheral Bus (APB)
CRC (1ch)
16bit フリーランタイマ (1ch)
FRCK
16bit インプットキャプチャ (1ch)
ICU
マルチファンクションシリアルインタフェース(3ch)
SOT0-2,SCS00-21
SIN0-2,SCK0-2
高速コンパレータ (3ch)
CMP1, CMP2
CMP0
スロープ補償(定電流ユニット) (1ch)
12bit AD converter (8ch × 1unit)
AN0-7
I/O Port
I/O Port
ウォッチドッグタイマ(SW and HW)
DMA転送要求の発生・クリア
割込み要求一括読出し
遅延割込み
割込みコントローラ
RSTX
クロック制御レジスタ(分周設定,
リセット制御レジスタ)
バスブリッジ (32bit <-> 16bit)
外部割込み入力(4ch)
クロックスーパバイザ
NMI
INT0-3
入力遮断抑止信号
NMIX
MM
クロック制御（クロック設定,
メインタイマ, PLLタイマ）
レギュレータ制御
低電圧検出(外部低電圧検出)
低電圧検出(内部低電圧検出)

表 3-1 PCLK1/PCLK2 を使用する機能の分類表

PCLK1 を使用する機能	PCLK2 を使用する機能
ウォッチドッグタイマ(SW and HW)	PWM クロック制御
DMA 転送要求の発生・クリア	CAN プリスケーラ
割込み要求一括読出し	WDT1 補正
クロック制御(分周設定)	I/O ポート設定
クロック制御 (クロック設定, メインタイマ, PLL タイマ)	リロードタイマ(5ch)
リセット制御	ベースタイマ(4ch)
レギュレータ制御	クロックモニタ
遅延割込み	CRC
割込みコントローラ	16 ビットフリーランタイマ(1ch)
外部割込み入力	16 ビットインプットキャプチャ(1ch)
クロックスーパバイザ	マルチファンクションシリアルインタフェース(3ch)
NMI	コンパレータ(3ch)
低電圧検出(外部低電圧検出)	スロープ補償(1ch)
低電圧検出(内部低電圧検出)	12 ビット A/D コンバータ(8ch×1unit)

4. レジスタ

クロックのレジスタ概要について説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0488	DIVR0	予約	DIVR2	予約	分周設定レジスタ 0 分周設定レジスタ 2
0x0510	CSELR	CMONR	MTMCR	予約	クロックソース設定レジスタ クロックソース監視レジスタ メインタイマ制御レジスタ
0x0514	PLLCR		CSTBR	PTMCR	PLL 設定レジスタ 発振安定待ち設定レジスタ PLL 発振安定待ちタイマ制御レジスタ
0x0520	CCPSSELR	予約	予約	CCPSDIVR	PLL/SSCG クロック選択レジスタ PLL/SSCG 出力クロック分周設定レジスタ
0x0524	予約	CCPLLFBR	CCSSFBR0	CCSSFBR1	PLL フィードバック分周設定レジスタ SSCG フィードバック分周設定レジスタ 0 SSCG フィードバック分周設定レジスタ 1
0x0528	予約	CCSSCCR0	CCSSCCR1		SSCG コンフィグ設定レジスタ 0 SSCG コンフィグ設定レジスタ 1
0x052C	予約	CCCGRCR0	CCCGRCR1	CCCGRCR2	クロックギアコンフィグ設定レジスタ 0 クロックギアコンフィグ設定レジスタ 1 クロックギアコンフィグ設定レジスタ 2
0x0530	予約	予約	予約	予約	予約
0x0534	予約	予約	予約	予約	予約
0x0538	予約	予約	予約	予約	予約
0x053C	予約	予約	予約	予約	予約
0x1000	SACR	PICD	予約	予約	Sync/Async Control Register Peripheral Interface Clock Divider

4.1. 分周設定レジスタ 0 : DIVR0 (DIVide clock configuration Register 0)

分周設定レジスタ 0 のビット構成について示します。

クロックの分周を制御します。

■ DIVR0 : アドレス 0488$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DIVB[2:0]			予約				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] DIVB[2:0] (DIVide ratio of Baseclock) : ベースクロック分周設定

ソースクロックからベースクロックを生成する部分での分周を以下のように設定します。
CPU 動作クロック, オンチップバスクロック(HCLK)はベースクロックと同一周波数です。

DIVB[2:0]	分周比
000	分周しない(初期値)
001	2 分周
010	3 分周
011	4 分周
100	5 分周
101	6 分周
110	7 分周
111	8 分周

[bit4～bit0] (予約)

4.2. 分周設定レジスタ 2 : DIVR2 (DIVide clock configuration Register 2)

分周設定レジスタ 2 のビット構成について示します。

クロックの分周を制御します。

■ DIVR2 : アドレス 048A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DIVP[3:0]				予約			
初期値	0	0	1	1	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit4] DIVP[3:0] (DIVide ratio of PCLK) : 周辺クロック分周設定

ベースクロックから周辺クロック(PCLK)を生成する際の分周比を設定します。

DIVP[3:0]	ベースクロック→PCLK 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周(初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

＜注意事項＞

周辺クロック(PCLK)は必ず 40MHz 以下になるように本レジスタを設定してください。

[bit3～bit0] (予約)

4.3. クロックソース設定レジスタ ：CSELR (Clock source SELect Register)

分周設定レジスタ 0 のビット構成について示します。

各クロックソースの制御，ソースクロック(SRCCLK)の選択を行います。

■ CSELR： アドレス 0510$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PCEN	MCEN	予約			CKS[1:0]	
初期値	0	0	1	0	0	0	0	0
属性	R,W0	R,W	R,W	R0,WX	R0,WX	R0,WX	R,W	R,W

＜注意事項＞

本レジスタに設定した値，また本レジスタを読み出した値は実際に制御/選択されている状態ではありません。 本レジスタに設定した値が実際に反映されたかどうかは、CMONR を読み出すことで確認できます。 本レジスタ値と CMONR が同じ値であることを確認した後に、本レジスタを書き換えてください。 クロック切換え中(CKS[1:0]≠CKM[1:0])、本レジスタの書込みは無視されます。

[bit7] 予約

[bit6] PCEN (PLL Clock ENable) : PLL 発振許可

PLL/SSCG クロック発振回路を以下のように制御します。

PCEN	PLL/SSCG クロック(PLLSSCLK)用発振制御
0	発振を停止する(初期値)
1	発振する

PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択している場合、本ビットは書き換えることができません。メイン発振停止またはメイン発振安定待ち中(CMONR.MCRDY=0)の場合、本ビットは書き換えることができません。
ストップモードにする前に、本ビットを"0"にしてください。
MCEN ビットを"0"に書き換えると、本ビットも"0"になります。

＜注意事項＞

MDI 高速通信中、本ビットの値にかかわらず、PLL は発振許可状態です。

[bit5] MCEN (Main Clock ENable) : メインクロック発振許可

メインクロック用発振回路を以下のように制御します。

MCEN	メインクロック用発振制御
0	発振を停止する
1	発振する(初期値)

メインクロック(MCLK)または PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択している場合、本ビットは書き換えることができません。

ストップモード時は、本ビットの値にかかわらずメインクロック用発振回路は停止します。

本ビットが"0"のとき、メインタイマがクリアされます。

＜注意事項＞

MDI 低速通信中、本ビットの値にかかわらず、メインクロックは発振許可状態です。

[bit4～bit2] (予約)

[bit1, bit0] CKS[1:0] (ClocK Select) : **ソースクロック選択**

ソースクロック(SRCCLK)を以下に示すように選択します。

CKS	ソース選択
00	メインクロック(MCLK)の 2 分周(初期値)
01	メインクロック(MCLK)の 2 分周
10	PLL/SSCG クロック(PLLSSCLK)
11	設定禁止(書込みによる動作への影響はありません)

ただし CKS[1:0]≠CKM[1:0]の場合、本ビットを書き換えることはできません。また本ビットで切り換えようとするクロックの発振が停止または安定待ち中(CMONR.xCRDY =0)の場合、本ビットは書き換えることができません。

本ビットを変更できる組み合わせは以下のとおりです。

変更前の CKS の値	書換え可能な値	書換え条件	書換え不可な値
00	00, 01	MCRDY=1	11
	10	PCRDY=1	
01	00, 01	MCRDY=1	10, 11
10	00	MCRDY=1	01, 11
	10	PCRDY=1	
11	禁止	禁止	禁止

書換え不可能な値を書き込まないでください。

4.4. クロックソース監視レジスタ ：CMONR (Clock source MONitor Register)

クロックソース監視レジスタのビット構成について示します。

各クロックソースの状態，ソースクロック(SRCCLK)を表示します。
本レジスタを読み出すことにより、CSELR に設定された値が実際の状態に反映されているかどうかを確認できます。

■ CMONR： アドレス 0511$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PCRDY	MCRDY	予約			CKM[1:0]	
初期値	0	0	1	0	0	0	0	0
属性	R0,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX

＜注意事項＞

CSELR設定値を変更した場合は、必ず本レジスタを読出し、CSELRに設定した値と同じ値を示すまで、次の CSELR 設定値変更は行わないでください。

[bit7] 予約

[bit6] PCRDY (PLL Clock ReaDY) : PLL クロックレディ

PLL/SSCG クロック(PLLSSCLK)の状態を以下のように示します。

PCRDY	PLL/SSCG クロック(PLLSSCLK)の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが"0"のときは、PLL/SSCGクロック(PLLSSCLK)をソースクロックとして選択できません。

＜注意事項＞

PCEN=1→0 に変更直後、PCRDY=1 が読み出される場合があります。
MDI 高速通信中、本ビットの値にかかわらず、PLL は発振許可状態です。

[bit5] MCRDY (Main Clock ReaDY) : メインクロックレディ

メインクロック(MCLK)の状態を以下のように示します。

MCRDY	メインクロック(MCLK)の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが"0"のときは、メインクロック(MCLK)またはPLL/SSCGクロック(PLLSSCLK)をソースクロックとして選択できません。
本ビットの初期値が"1 "であるのは、パワーオンリセット後の初のリセットベクタフェッチ時点で発振安定中であるという意味であり、パワーオンリセット直後に既に発振安定中であるという意味ではありません。

＜注意事項＞

MCEN=1→0 に変更直後、MCRDY=1 が読み出される場合があります。
MDI 高速通信中、本ビットの値にかかわらず、メインクロックは発振許可状態です。

[bit4～bit2] (予約)

[bit1, bit0] CKM[1:0] (ClocK Monitor) : **ソースクロック表示**
現在選択中のソースクロック(SRCCLK)を示します。

CKM[1:0]	ソース選択
00	メインクロック(MCLK)の 2 分周
01	メインクロック(MCLK)の 2 分周
10	PLL/SSCG クロック(PLLSSCLK)
11	予約

4.5. メインタイマ制御レジスタ ：MTMCR (Main clock TiMer Control Register)

メインタイマ制御レジスタのビット構成について示します。

メインクロック(MCLK)で動作するメインタイマの制御を行います。

■ MTMCR： アドレス 0512$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MTIF	MTIE	MTC	MTE	MTS[3:0]			
初期値	0	0	0	0	1	1	1	1
属性	R(RM1), W	R/W	R(RM0), W	R/W	R1,WX	R/W	R/W	R/W

メインタイマはメインクロック(MCLK)の発振安定待ち時間生成に使用されるため、メインクロックの発振が安定した後のみ使用できます。

メインクロック発振停止中(MCEN=0)またはストップモード中は、メインタイマはクリアされます。

メインタイマの動作が許可されていないとき(MTE=0)は、メインクロック発振安定待ち時以外、メインタイマは停止します。MTIE を除き、MCRDY=1 のときのみ本レジスタの書込みが有効です。そのため、メインクロック発振安定待ち時(MCEN=1 かつ MCRDY=0)の MTC=1 によるメインタイマクリアは無効です。

メインタイマ停止時(MTE=0)、メインタイマはクリアされ、クリア中は MTC=1 が読み出されます。

そのとき、メインタイマ割込みフラグはセットされません。メインタイマオーバフロー周期(MTS[3:0])の変更はメインタイマ停止(MTE=0)期間中に行ってください。

MTE=1→0 書換え時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが"1"になる場合があります。MTC=1 書込み時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが"1"になる場合があります。MTE=0→1 書換えと同時に MTC=1 書込みをすると、クリアしてから動作開始となり、スタートが遅れます。

[bit7] MTIF (Main clock Timer Interrupt Flag) : メインタイマ割込みフラグ

メインタイマの選択した周期でのオーバフローが発生したことを示すフラグです。

MTIE ビットが"1"のとき、本ビットがセットさせるとメインタイマ割込み要求が発生します。

クリア要因	・"0"書込み ・メインタイマ割込みによる DMA 転送の発生
セット要因	・MTS[3:0]で設定された周期でのオーバフロー発生 ・MCEN=0→1 後のメインクロックの発振安定待ち時間の終了 ・ストップモード解除時のメインクロック(MCLK)の発振安定待ち時間の終了 (SINIT によるリセット後の発振安定待ち時間の終了時はセットされません)

本ビットへの"1"書込みは無効です。

MTIE ビットが"0"のとき、DMA 転送による本ビットのクリアは行われません。

リードモディファイライト命令の場合は、"1"が読み出されます。

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit6] MTIE (Main clock Timer Interrupt Enable) : **メインタイマ割込み許可**

メインタイマのオーバフローによる割込みを以下に示すように制御します。

MTIE	メインタイマ割込み
0	割込み禁止(初期値)
1	割込み許可(MTIF ビットが"1"のとき、割込み要求を出力)

[bit5] MTC (Main clock Timer Clear) : **メインタイマクリア**

メインタイマをクリアします。

MTC	書込み時	読出し時
0	何もしない	通常動作中
1	メインタイマをクリアする	メインタイマクリア中

"1"書込み後は、自動的に"0"に戻ります。

リードモディファイライト命令の場合は、"0"が読み出されます。

MTC=1 のとき、MTC=1 を書き込むと、2 回目の書込みは無視されます。

[bit4] MTE (Main clock Timer Enable) : **メインタイマ動作許可**

メインタイマの動作を以下に示すように制御します。

MTE	メインタイマ動作
0	動作禁止(初期値)
1	動作許可

MTC=1 のとき、MTE=1 書込みは禁止です。

PLL/SSCG クロック発振安定待ちを行う場合、必ず本ビットを"0"にして、メインタイマを停止してください。

[bit3～bit0] MTS[3:0] (Main clock Timer interval Select) : **メインタイマ周期選択**

メインタイマのオーバフロー周期を以下に示すように選択します。

MTS[3:0]	メインタイマオーバフロー周期	4MHz 時
1000	2^9× メインクロック周期	128.0[µs]
1001	2^{10}× メインクロック周期	256.0[µs]
1010	2^{11}× メインクロック周期	512.0[µs]
1011	2^{12}× メインクロック周期	1024.0[µs]
1100	2^{13}× メインクロック周期	2048.0[µs]
1101	2^{14}× メインクロック周期	4096.0[µs]
1110	2^{15}× メインクロック周期	8192.0[µs]
1111	2^{16}× メインクロック周期(初期値)	16384.0[µs]

MTS[3]は常に"1"が読み出されます。

MTS[3:0]の変更はメインタイマ停止(MTE=0)期間中に行ってください。

4.6. PLL 設定レジスタ: PLLCR (PLL Configuration Register)

PLL 設定レジスタのビット構成について示します。

PLL/SSCG クロック発振回路内の逓倍率や分周比，発振安定待ち時間を設定します。

■ PLLCR : アドレス 0514$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	POSW[3:0]				PDS[3:0]			
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R,W	R,W	R,W	R,W	R,W	R,W	R,W

メインクロック(MCLK)から PLL/SSCG クロック(PLLSSCLK)を生成する PLL/SSCG クロック発振回路内の逓倍率を設定します。
PLL/SSCG クロック発振許可中(CSELR.PCEN=1)のとき、本レジスタへの書込みは無効です。

[bit15, bit14] (予約)
必ず"0"を書き込んでください。

[bit13] (予約)

[bit12～bit8] (予約)
必ず"0"を書き込んでください。

[bit7～bit4] POSW[3:0] (Pll clock OSc Wait) : PLL 発振安定待ち選択
PLL/SSCG クロック(PLLSSCLK)の発振安定待ち時間を以下に示すように選択します。

POSW[3:0]	PLL/SSCG クロック発振安定待ち時間	4MHz 時	8MHz 時
1000	2^9× メインクロック周期	128.0[µs]	64.0[µs]
1001	2^{10}× メインクロック周期	256.0[µs]	128.0[µs]
1010	2^{11}× メインクロック周期	512.0[µs]	256.0[µs]
1011	2^{12}× メインクロック周期	1024.0[µs]	512.0[µs]
1100	2^{13}× メインクロック周期	2048.0[µs]	1024.0[µs]
1101	2^{14}× メインクロック周期	4096.0[µs]	2048.0[µs]
1110	2^{15}× メインクロック周期	8192.0[µs]	4096.0[µs]
1111	2^{16}× メインクロック周期(初期値)	16384.0[µs]	8192.0[µs]

POSW3 は常に"1"が読み出されます。

＜注意事項＞

本品種のPLL/SSCGクロック ロックアップタイム待ち時間仕様は200[µs] となっています。
以下どちらかの方法で 200[µs] 以上の待ち時間を確保してください。

・256[µs] 以上の POSW[3:0] を選択
・POSW[3:0] の設定値にかかわらず、ソフトウェア処理で 200[µs] 以上の待ち時間を確保

[bit3～bit0] PDS[3:0] (Pll input clock Divider Select) : PLL 入力クロック分周選択

PLL および SSCG 入力クロックのメインクロック(MCLK)分周を以下に示すように選択します。

PDS[3:0]	PLL/SSCG 入力クロック分周選択
0000	PLL および SSCG 入力クロック = メインクロック / 1
0001	PLL および SSCG 入力クロック = メインクロック / 2
0010	PLL および SSCG 入力クロック = メインクロック / 3
0011	PLL および SSCG 入力クロック = メインクロック / 4
0100	PLL および SSCG 入力クロック = メインクロック / 5
0101	PLL および SSCG 入力クロック = メインクロック / 6
0110	PLL および SSCG 入力クロック = メインクロック / 7
0111	PLL および SSCG 入力クロック = メインクロック / 8
1000	PLL および SSCG 入力クロック = メインクロック / 9
1001	PLL および SSCG 入力クロック = メインクロック / 10
1010	PLL および SSCG 入力クロック = メインクロック / 11
1011	PLL および SSCG 入力クロック = メインクロック / 12
1100	PLL および SSCG 入力クロック = メインクロック / 13
1101	PLL および SSCG 入力クロック = メインクロック / 14
1110	PLL および SSCG 入力クロック = メインクロック / 15
1111	PLL および SSCG 入力クロック = メインクロック / 16

PLL/SSCG およびシステムのスペックに合わせて、設定してください。
設定例に関しては「5.1.2 PLL/SSCG クロック(PLLSSCLK」を参照してください。

設定値の制限があります。設定時には、「5.1.3　PLL/SSCG クロック使用時の制限事項」を参照してください。

4.7. 発振安定待ち設定レジスタ: CSTBR (Clock STaBilization select Register)

発振安定待ち設定レジスタのビット構成について示します。

各クロックソースの発振安定待ちを設定します。
本レジスタで設定した発振安定待ち時間は、ストップ/時計モードからの復帰時や、ソースクロックとして選択していないクロックを発振許可してからそのクロックのレディ(CMONR:*CRDY)が"1"となるまでに使用されます。リセット時に発振安定待ちが必要な場合、必ず本レジスタの初期値で選択される安定待ち時間となります。メインクロック発振安定待ち時間中は(MCEN=1 かつ MCRDY=0)、MOSW[3:0]への書込みは無効です。

■ CSTBR : アドレス 0516$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約			MOSW[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,W0	R,W0	R,W0	R,W	R,W	R,W	R,W

[bit7] (予約)

[bit6～bit4] (予約)

[bit3～bit0] MOSW[3:0] (Main clock OSc Wait) : メインクロック発振安定待ち選択
MOSW[3:0]の設定値により、メインタイマの周期が設定されます。
メインクロック(MCLK)の発振安定待ち時間を以下に示すように選択します。

MOSW[3:0]	メインクロック発振安定待ち時間	4MHz 時
0000	2^{15}×メインクロック周期 (初期値)	8[ms]
0001	2^{1}×メインクロック周期	500[ns]
0010	2^{5}×メインクロック周期	8[µs]
0011	2^{6}×メインクロック周期	16[µs]
0100	2^{7}×メインクロック周期	32[µs]
0101	2^{8}×メインクロック周期	64[µs]
0110	2^{9}×メインクロック周期	128[µs]
0111	2^{10}×メインクロック周期	256[µs]
1000	2^{11}×メインクロック周期	512[µs]
1001	2^{12}×メインクロック周期	1[ms]
1010	2^{13}×メインクロック周期	2[ms]
1011	2^{14}×メインクロック周期	4[ms]
1100	2^{17}×メインクロック周期	33[ms]
1101	2^{19}×メインクロック周期	131[ms]

MOSW[3:0]	メインクロック発振安定待ち時間	4MHz 時
1110	2^{21}×メインクロック周期	524[ms]
1111	2^{23}×メインクロック周期	2[s]

＜注意事項＞

クロックスーパバイザ機能が有効な場合、本レジスタの設定周期よりも断検出の周期が短いと、発振安定待ち中に断検出されてしまうため、注意してください。

4.8. PLL 発振安定待ちタイマ設定レジスタ: PTMCR (PLL clock osc TiMer Control Register)

PLL 発振安定待ちタイマ設定レジスタのビット構成について示します。

PLL/SSCG クロック発振安定待ちを行うメインクロックで動作するタイマの制御を行います。
PLL/SSCG クロック発振安定待ちタイマは PLL/SSCG クロックの発振安定待ち時間にのみ使用されます。
PLL/SSCG クロック発振安定待ち時間は PLLCR:POSW[3:0]で設定した時間です。
PLL/SSCGクロック発振安定待ちタイマはPLL/SSCGクロック発振許可(CSELR.PCEN = "1")されてから動作を開始し、発振安定待ち時間動作した後、停止します。また、PLL/SSCGクロック発振停止(CSELR.PCEN = "0")されるとクリアされます。

■ PTMCR : アドレス 0517$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PTIF	PTIE	予約					
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PTIF (Pll clock osc wait Timer Interrupt Flag) : PLL 発振安定待ちタイマ割込みフラグ

PLL 発振安定待ち選択(PLLCR:POSW[3:0])で設定した時間によるオーバフローが発生したことを示すフラグです。PTIE ビットが"1"のとき、本ビットがセットされるとPLL/SSCGクロック発振安定待ちタイマ割込み要求が発生します。

クリア要因	・0 書込み ・PLL/SSCG クロック発振安定待ちタイマによる DMA 転送の発生
セット要因	・PCEN=0→1 後の PLL/SSCG クロック発振安定待ちクロックの発振安定待ち時間の終了

本ビットへの"1"書込みは無効です。

PTIE ビットが"0"のとき、DMA 転送による本ビットのクリアは行われません。
リードモディファイライト命令の場合は、"1"が読み出されます。
セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit6] PTIE (Pll clock osc wait Timer Interrupt Enable) : PLL 発振安定待ちタイマ割込み許可

PLL/SSCGクロック発振安定待ちタイマのオーバフローによる割込みを以下に示すように制御します。

PTIE	動作
0	割込み禁止(初期値)
1	割込み許可(PTIF ビットが"1"のとき、割込み要求を出力)

[bit5～bit0] (予約)

4.9. PLL/SSCG クロック選択レジスタ: CCPSSELR (CCtl Pll/Sscg clock SELect Register)

PLL/SSCG クロック選択レジスタのビット構成について示します。

PLL もしくは SSCG のどちらを使用するか選択するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPSSELR: アドレス 0520_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							PCSEL
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] (予約)

[bit0] PCSEL (Pll Clock source SELect) : PLL/SSCG クロックソース選択
PLL/SSCG クロックのソースを選択します。

PCSEL	PLL or SSCG
0	PLL を選択
1	SSCG を選択

＜注意事項＞

PCSEL=0 の場合、SSCG は(未使用のため)常にリセット状態です。
PCSEL=1 の場合でも、CAN および OCDU には PLL クロックが供給されます。

4.10. PLL/SSCG 出力クロック分周設定レジスタ: CCPSDIVR (CCtl Pll/Sscg clock DIVide Register)

PLL/SSCG 出力クロック分周設定レジスタのビット構成について示します。

PLL/SSCG クロックの分周比を設定するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPSDIVR : アドレス 0523$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PODS[2:0]			予約	SODS[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

[bit7] (予約)

[bit6～bit4] PODS (Pll Oscillator Divider Select): PLL マクロ発振クロック分周比選択
PLL クロックの分周比を設定します。

PODS[2:0]	分周比設定
000	PLL クロック＝PLL マクロ発振クロック/2
001	PLL クロック＝PLL マクロ発振クロック/4
010	PLL クロック＝PLL マクロ発振クロック/6
011	PLL クロック＝PLL マクロ発振クロック/8
100	PLL クロック＝PLL マクロ発振クロック/10
101	PLL クロック＝PLL マクロ発振クロック/12
110	PLL クロック＝PLL マクロ発振クロック/14
111	PLL クロック＝PLL マクロ発振クロック/16

＜注意事項＞

本ビットによる設定は偶数分周のみです。奇数分周は設定できません。
出力するクロックの Duty は 50%です。
必ず PLL クロックが 80MHz 以下になるように設定してください(80MHz を超える周波数での動作保障は行っておりません)。

[bit3] (予約)

[bit2～bit0] SODS[2:0] (Sscg Oscillator Divider Select) : SSCG マクロ発振クロック分周比選択

SSCG クロックの分周比を設定します。

SODS[2:0]	分周比設定
000	SSCG クロック＝SSCG マクロ発振クロック/2
001	SSCG クロック＝SSCG マクロ発振クロック/4
010	SSCG クロック＝SSCG マクロ発振クロック/6
011	SSCG クロック＝SSCG マクロ発振クロック/8
100	SSCG クロック＝SSCG マクロ発振クロック/10
101	SSCG クロック＝SSCG マクロ発振クロック/12
110	SSCG クロック＝SSCG マクロ発振クロック/14
111	SSCG クロック＝SSCG マクロ発振クロック/16

＜注意事項＞

本ビットによる設定は偶数分周のみです。奇数分周は設定できません。
出力するクロックの Duty は 50%です。
必ず SSCG クロックが 80MHz 以下になるように設定してください(80MHz を超える周波数での動作保障は行っておりません)。

設定値の制限があります。設定時には、「5.1.3　PLL/SSCG クロック使用時の制限事項」を参照してください。

4.11. PLL フィードバック分周設定レジスタ: CCPLLFBR (CCtl PLL FB clock divide Register)

PLL フィードバック分周設定レジスタのビット構成について示します。

PLL の逓倍率を設定するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPLLFBR : アドレス 0525$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IDIV[6:0]						
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] (予約)

[bit6～bit0] IDIV[6:0] (pll feedback Input DIVider ratio settings) : PLL マクロ FB 入力分周比設定
PLL の逓倍率を設定します。

IDIV[6:0]	分周比設定
0000000～0001011	設定禁止
0001100	13
0001101	14
0001110	15
…	……
1100010	99
1100011	100
1100100～1111111	設定禁止

設定値の制限があります。設定時には、「5.1.3 PLL/SSCG クロック使用時の制限事項」を参照してください。

4.12. SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0 (CCtl SScg FB clock divide Register 0)

SSCG フィードバック分周設定レジスタ 0 のビット構成について示します。

SSCG の逓倍率 N を設定するレジスタです。SSCG の逓倍率は CCSSFBR1 の設定と合わせて P×N となります。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSFBR0 : アドレス 0526$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		NDIV[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] (予約)

[bit5～bit0] NDIV[5:0] (sscg feedback input N-DIVider ratio settings) : SSCG マクロ FB 入力 N 分周比設定

SSCG の逓倍率 N を設定します。

NDIV[5:0]	分周比設定
000000	設定禁止
000001	2
000010	3
…	……
111101	62
111110	63
111111	設定禁止

設定値の制限があります。設定時には、「5.1.3 PLL/SSCG クロック使用時の制限事項」を参照してください。

4.13. SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1 (CCtl SScg FB clock divide Register 1)

SSCG フィードバック分周設定レジスタ 1 のビット構成について示します。

SSCG の逓倍率 P を設定するレジスタです。SSCG の逓倍率は CCSSFBR0 の設定と合わせて P×N となります。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSFBR1 : アドレス 0527_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			PDIV[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約)

[bit4～bit0] PDIV[4:0] (sscg feedback input P-DIVider ratio settings): SSCG マクロ FB 入力 P 分周比設定

SSCG の逓倍率 P を設定します。

PDIV[4:0]	分周比設定
00000	1
00001	2
00010	3
…	……
11101	30
11110	31
11111	設定禁止

設定値の制限があります。設定時には、「5.1.3　PLL/SSCG クロック使用時の制限事項」を参照してください。

4.14. SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (CCtl SSCg Config. Register 0)

SSCG コンフィグ設定レジスタ 0 のビット構成について示します。

SSCG の各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSCCR0 : アドレス 0529_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SFREQ[1:0]		SMODE	SSEN
初期値	0	0	0	1	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約)

[bit4] (予約)
書込みは動作に影響しません。

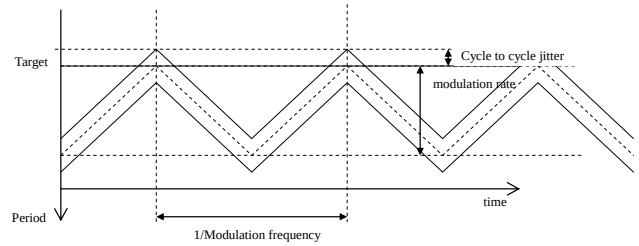
[bit3, bit2] SFREQ[1:0] (Spread spectrum modulation FREQuency settings) : 拡散モジュレーション周波数設定
SSCG の拡散変調周波数を設定します。

SFREQ[1:0]	モジュレーション周波数
00	1/1024
01	1/2048
1x	1/4096

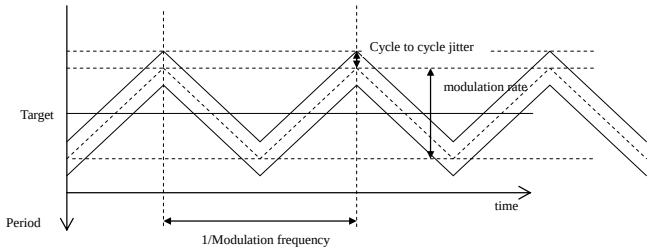
[bit1] SMODE (Spread spectrum modulation MODE settings) : 拡散モジュレーションモード選択
SSCG の拡散変調モードを設定します。

SMODE	モジュレーションモード
0	Down Spread
1	Center Spread

● Down Spread



● Center Spread



[bit0] SSEN (Spread Spectrum ENable) : 拡散スペクトル許可

SSCG の拡散スペクトルを有効にします。

SSEN	拡散スペクトル許可
0	拡散スペクトラム無効
1	拡散スペクトラム有効

＜注意事項＞

SSEN を無効に設定した場合、CCSSCCR1:RATESEL の設定にかかわらず拡散率は 0%です。

4.15. SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (CCtl SSCg Config. Register 1)

SSCG コンフィグ設定レジスタ 1 のビット構成について示します。

SSCG の各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSCCR1 : アドレス 052A$_H$ (アクセス : ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RATESEL[2:0]			予約				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R/W0	R/W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0

[bit15～bit13] RATESEL[2:0] (spread spectrum modulation RATE SELection) : 拡散モジュレーションレート選択
SSCG の拡散変調率を設定します。

RATESEL[2:0]	モジュレーションレート
00x	0.5%
010	1%
011	2%
100	3%
101	4%
110	5%
111	設定禁止

[bit12～bit10] (予約)
書込みは効果ありません。

[bit9～bit0] (予約)
必ず"0"を書き込んでください。

4.16. クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (CCtl Clock Gear Config. Register 0)

クロックギアコンフィグ設定レジスタ 0 のビット構成について示します。

クロックギアの各種設定を行います。

■ CCCGRCR0 : アドレス 052D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTS[1:0]		予約				GRSTR	GREN
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM0), W1	R/W

[bit7, bit6] GRSTS[1:0] (clock GeaR STatuS flags) : クロックギアステータスフラグ

クロックギアの状態を表示します。

GRSTS[1:0]	ステータス
00	クロックギア低速発振状態で停止または クロックギアを使用しない(CCCGRCR0.GREN=0)または PLL/SSCG リセット状態(CSELR.PCEN=0)
01	GEAR UP 動作中
10	クロックギア高速発振状態で停止
11	GEAR DOWN 動作中

[bit5～bit2] (予約)

[bit1] GRSTR (clock GeaR STaRt) : クロックギアスタート

本ビットへの"1"書込みによりクロックギアが動作を開始します。

クロックギアの動作は GRSTS ビットの値により動作が異なります。(ギアアップまたはギアダウン)

GRSTS=00 の場合

GRSTR	動作
"0"書込み	動作には影響しません
"1"書込み	ギアアップ動作開始

GRSTS=01/11 の場合

GRSTR	動作
"0"書込み	動作には影響しません
"1"書込み	動作には影響しません

GRSTS=10 の場合

GRSTR	動作
"0"書込み	動作には影響しません
"1"書込み	ギアダウン動作開始

＜注意事項＞

CSELR.CKS=10(PLL/SSCG クロック(PLLSSCLK)を選択)かつCCCGRCR0. GREN=1(クロックギア・イネーブル)のときのみ本ビットへの書込みが可能です。
本ビットはクロックギアアップ(ダウン)動作が終了すると、自動的に"0"にクリアされます。
また、CSELR.PCEN=0(PLL/SSCG クロック発振停止)のとき、本ビットは"0"にクリアされます。
リードモディファイライト命令の場合は、本ビットは常に"0"が読み出されます。本ビットが"1"の期間に書込みを行った場合、2 回目以降の書込みは無視されます。

[bit0] GREN (clock GeaR ENable) : **クロックギアイネーブル**

クロックギア動作を許可します。

GREN	動作
0	クロックギアを使用しない
1	クロックギアを使用する

＜注意事項＞

本ビットは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

4.17. クロックギアコンフィグ設定レジスタ 1 : CCCGRCR1 (CCtl Clock Gear Config. Register 1)

クロックギアコンフィグ設定レジスタ 1 のビット構成について示します。

クロックギアの各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCCGRCR1 : アドレス 052E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTP[1:0]		GRSTN[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] GRSTP[1:0] (clock GeaR STeP select) : クロックギアステップ選択
クロックギアアップ/ダウン時のステップ数(インクリメント・デクリメント数)を選択します。

GRSTP[1:0]	ステップ数
00	1
01	2
10	3
11	4

[bit5～bit0] GRSTN[5:0] (clock GeaR STart step Number select) : クロックギア開始ステップ選択
クロックギア動作開始時のステップを選択します。0～63 ステップの間で選択できます。

GRSTN[5:0]	ステップ数
000000	0
000001	1
000010	2
…	……
111101	61
111110	62
111111	63

＜注意事項＞

GRSTN = 111111(ステップ数 63)設定の場合にはギアは動作しません。

4.18. クロックギアコンフィグ設定レジスタ 2 : CCCGRCR2 (CCtl Clock Gear Config. Register 2)

分周設定レジスタ 0 のビット構成について示します。

クロックギアの各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCCGRCR2 : アドレス 052F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRLP[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] GRLP[7:0] (clock GeaR LooP number select) : クロックギア繰返し回数選択
1 ステップの繰返し回数を選択します。設定可能な繰返し回数は 1～256 です。本ビットで設定した回数が終了すると、ステップがインクリメント/デクリメントします。

GRLP[7:0]	ループ数
0000_0000	1
0000_0001	2
0000_0010	3
…	……
1111_1101	254
1111_1110	255
1111_1111	256

4.19. Sync/Async Control Register

Sync/Async Control Register のビット構成について示します。

周辺クロック選択を行います。

■ SACR : アドレス 1000$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							M
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit7～bit1] (予約)

[bit0] M: 周辺クロックの同期/非同期設定レジスタ

CPU が SSCG クロックを選択しているときに周辺クロックの切換えを行います。

M	同期/非同期設定
0	同期(CPU/周辺共に PLL/SSCG クロック)
1	非同期(CPU は PLL/SSCG クロック, 周辺は PLL クロック)

4.20. Peripheral Interface Clock Divider

Peripheral Interface Clock Divider のビット構成について示します。

周辺クロックの分周設定を行います。

■ PICD : アドレス 1001$_H$ (アクセス : バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PDIV[3:0]			
初期値	1	1	1	1	0	0	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit7～bit4] (予約)

[bit3～bit0] PDIV[3:0] : 周辺クロック分周比設定

SACR.M=1 時の PLL クロック(PLLCLK)[非拡散クロック]から周辺クロック(PCLK2)の分周比を設定します。

PDIV[3:0]	PLL クロック(PLLCLK)[非拡散クロック] → PCLK2 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周(初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

＜注意事項＞

周辺クロック(PCLK2)は必ず 40MHz 以下になるように本レジスタを設定してください。

5. 動作説明

クロックの動作について説明します。

5.1. 発振制御

5.2. 発振安定待ち

5.3. ソースクロック(SRCCLK)選択

5.4. タイマ

5.5. クロック競合時の注意

5.6. クロックギア回路

5.7. MDI 通信中の動作

5.1. 発振制御

発振制御について示します。

5.1.1. メインクロック(MCLK)

メインクロック(MCLK)について示します。

メインクロックが発振を停止するのは、以下のいずれかの条件です。

・SINIT リセット(『リセット』の章を参照してください。)
・ストップモード期間中

上記発振停止条件のすべてが取り下げられた後、CSTBR.MOSW[3:0]に設定された発振安定待ち時間を経過してから、クロック供給を開始します。リセット入力からの復帰の場合、CSTBR.MOSW[3:0]は初期化されるため、必ず初期値で規定される発振安定待ち時間となります。

5.1.2. PLL/SSCG クロック(PLLSSCLK)

PLL/SSCG クロック(PLLSSCLK)について示します。

本 LSI は、PLL および SSCG(拡散クロックを発生する PLL)を持ち、ノイズ低減の目的で SSCG を選択できます。CPU および周辺機能が選択できるクロックの組合せは以下のとおりです。

表 5-1 クロック・モード

	クロック・モード		
	RUN1	RUN2	RUN3
CPU	PLL	SSCG	SSCG
CAN	PLL	PLL	PLL
周辺	PLL	SSCG	PLL
OCDU	PLL	PLL	PLL

CPU/周辺(タイマ/通信系)クロックの選択は CCPSSELR.PCSEL で行います。また、CPU が SSCG クロックで動作しているとき、周辺(タイマ/通信系)を PLL クロックで動作させることができます。このときの周辺のクロック選択は SACR.M で行い、分周を PICD.PDIV[3:0]で行います。

＜注意事項＞

CPU を SSCG クロック, 周辺を PLL クロックで動作させた場合には、CPU/周辺間で非同期乗換えが入るため、アクセスサイクルに 5PCLK2～8PCLK2 のペナルティが加算されます。このとき、PCLK1 と PCLK2 の周波数は同一になるように設定してください。
また、CPU/周辺ともに PLL クロックで動作させたい場合には、必ず SACR:M で同期を選択してください。

PLL/SSCG クロック(PLLSSCLK)が発振を停止するのは、以下のいずれかの条件です。

- リセット発生後(停止前のバスアイドル待ち時間は取ります。『リセット』の章を参照してください。)
- メインクロックの発振が停止している期間中(PCEN=0 となる)
- メインクロックの発振安定待ち時間中(PCEN=0 となる)
- 時計モード期間中
- ソースクロックとして PLL/SSCG クロック(PLLSSCLK)以外を選択し、CSELR.PCEN に"0"を設定している期間中

上記発振停止条件のすべてが取り下げられた後、PLLCR.POSW[3:0]に設定された PLL/SSCG クロックのロック待ち時間を経過してから、クロック供給を開始します。リセット入力または INIT 状態からの復帰の場合、CSELR.PCEN は"0"に初期化されるため、"1"を設定するまでは PLL/SSCG クロックの発振は停止しています。

PLL/SSCG に関係するクロックの周波数と逓倍率の計算方法は、以下のとおりです。

(マイコン部の PLL/SSCG 設定)

- PLL/SSCG 入力クロック周波数 ＝(メイン発振周波数)/(PLLCR.PDS[3:0]分周比)
- PLL 逓倍率 ＝(CCPLLFBR.IDIV[6:0] FB 入力分周比)
  SSCG 逓倍率 ＝(CCSSFBR0.NDIV[5:0] FB 入力分周比)×(CCSSFBR1.PDIV[4:0] FB 入力分周比)
- PLL マクロ発振クロック周波数 ＝(PLL/SSCG 入力クロック周波数)× PLL 逓倍率
  SSCG マクロ発振クロック周波数 ＝(PLL/SSCG 入力クロック周波数)× SSCG 逓倍率

・ PLL クロック周波数　＝(PLL マクロ発振クロック周波数)÷
(CCPSDIVR.PODS[2:0]分周比)

・ SSCG クロック周波数　＝(SSCG マクロ発振クロック周波数)÷
(CCPSDIVR.SODS[2:0]分周比)

図 5-1 PLL 周辺ブロック図

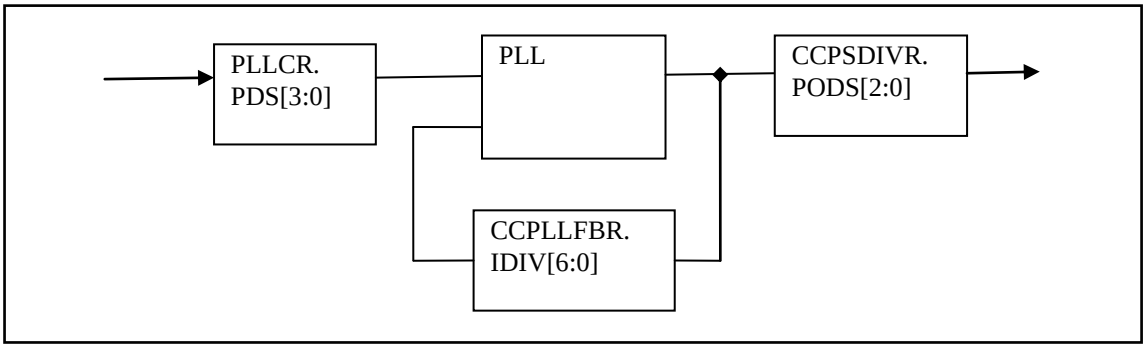
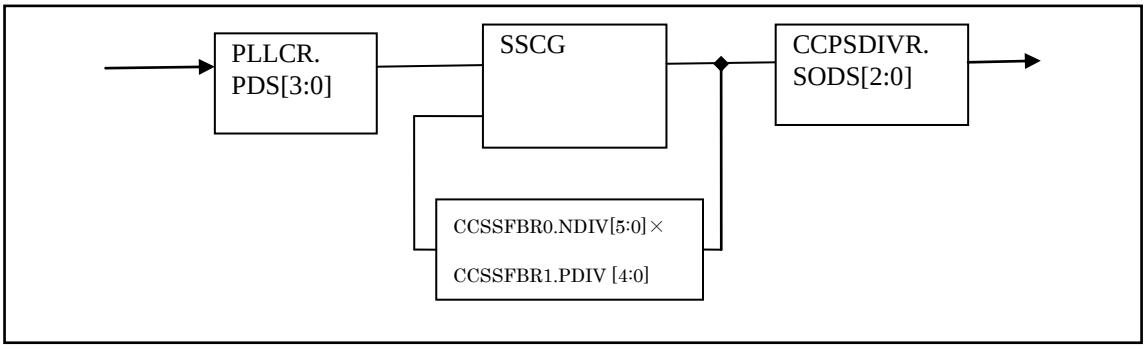


図 5-2 SSCG 周辺ブロック図



PLL/SSCG 入力クロック, PLL/SSCG 逓倍率, PLL/SSCG マクロ発振クロックは、本シリーズ搭載 PLL/SSCG の以下の使用条件内になるよう設定してください。

PLL/SSCG 使用条件範囲は、下記の注意事項を参照してください。

＜注意事項＞

・デバッグ動作時は､MDI 通信に常時 PLL クロック供給が必要なため､PLL は停止できません。
・PLL-SSCG 切換え時は、割込みを正常に受け渡しできません。
そのため、PLL-SSCG 同期/非同期の切換えを行う場合は、周辺機能からの割込みを禁止してください。
・PLL/SSCG マクロ発振クロック周波数は、上限および下限があります。下記の範囲を超えないように PLL/SSCG の逓倍率を設定してください。

マイコン部 PLL/SSCG:
・200MHz≦PLL マクロ発振クロック周波数≦320MHz
・200MHz≦SSCG マクロ発振クロック周波数≦288MHz(Down Spread)

5.1.3. PLL/SSCG クロック使用時の制限事項

PLL/SSCG クロック使用時の制限事項について示します。

PLL クロックおよび SSCG クロックを使用する場合には、以下の制限事項にしたがって使用してください。

クロック制御 PLL クロック周波数

周波数(max)	FCTLR:FAW	CCPSSELR: PCSEL	備考
80MHz	00	0	

＜注意事項＞

周波数(max)を超えないように、PLLCR, CCPSDIVR と CCPLLFBR を設定してください。
周辺クロックは 40MHz を超えないように DIVR2, PICD を設定してください。

マイコン部クロック制御 SSCG クロック周波数

周波数 (max)	FCTLR: FAW	CCPSSELR: PCSEL	CCSSCCR0: SSEN	CCSSCCR0: SMODE	CCSSCCR1: RATESEL	備考
72MHz	00	1	1	0	000 ～ 110	Down Spread
72MHz	00	1	1	1	000	Center Spread (0.5%)
72MHz	00	1	1	1	010	Center Spread (1%)
72MHz	00	1	1	1	011	Center Spread (2%)
71MHz	00	1	1	1	100	Center Spread (3%)
71MHz	00	1	1	1	101	Center Spread (4%)
70MHz	00	1	1	1	110	Center Spread (5%)
72MHz	01	1	0	0/1	000～110	拡散率 0%
72MHz	00	1	0	0/1	000～110	拡散率 0%

＜注意事項＞

周波数(max)を超えないように、CCPSDIVR, CCSSFBR0 と CCSSFBR1 を設定してください。
周辺クロックは 40MHz を超えないように DIVR2, PICD を設定してください。

SSCG 使用時のモジュレーションレートと分周比の関係

CCSSCCR1:RATESEL[2:0]		CCSSFBR0:NDIV[5:0]		
モジュレーション レート	設定値	分周比範囲	設定値下限	設定値上限
0.50%	00x	8 - 60	7_H	$3B_H$
1.00%	010	8 - 60	7_H	$3B_H$
2.00%	011	8 - 48	7_H	$2F_H$
3.00%	100	8 - 31	7_H	$1E_H$
4.00%	101	8 - 23	7_H	16_H
5.00%	110	8 - 18	7_H	11_H

5.2. 発振安定待ち

発振安定待ちについて示します。

各クロック入力の発振安定待ちについて説明します。

5.2.1. 安定待ち時間生成条件

安定待ち時間の生成条件について示します。

各クロックの発振停止制御が解除されると、発振安定待ち状態となります。クロックごとに設定された発振安定待ち時間を経由した後、発振安定待ち状態は解除され、クロック供給を再開します。

メインクロック(MCLK)は、リセットにより設定レジスタが初期化されますので、リセット解除前に発振停止していた場合は発振安定待ち状態に入ります。INIT レベルおよび RST レベルの場合はリセットによるメインクロック発振停止はしませんので、INIT レベルおよび RST レベルのリセットでメインクロックが発振していた場合は、発振安定待ちは取りません。

5.2.2. 安定待ち時間選択

安定待ち時間の選択について示します。

各クロックの発振安定待ち時間は、CSTBR, PLLCR の設定により変更できます。

・クロック発振安定待ち時間の設定リセット後の初期値
・メインクロック　　CSTBR.MOSW[3:0]ビット　　2^{15}×メインクロック周期
・PLL/SSCG クロック PLLCR.POSW[3:0]ビット　　2^{16}×メインクロック周期

リセット(INIT または RST)により、CSTBR.MOSW[3:0]は初期化されるため、必ず初期値で規定されるメイン発振安定待ち時間となります。それ以外の場合、CSTBR.MOSW[3:0]に設定することによりメイン発振安定待ち時間を変更できます。

リセット(INIT または RST)により、PLLCR.POSW[3:0]は初期化されるため、かならず初期値で規定される PLL/SSCG クロック　ロック待ち時間となります。それ以外の場合、PLLCR.POSW[3:0]に設定することにより PLL/SSCG クロック　ロック待ち時間を変更できます。PLLCR.POSW[3:0]を設定後、CSELR.PCEN を "1"に設定してください。詳細は「4.6 PLL 設定レジスタ: PLLCR (PLL Configuration Register) 」の、POSW の説明を参照してください。

5.2.3. 安定待ち時間の終了

安定待ち時間の終了について示します。

ソースクロックとして選択しているクロックが発振安定待ち状態にある場合、動作を停止しています。発振安定待ち時間の終了により、動作を再開します。ソースクロックとして選択していないクロックが発振安定待ち時間中であることは、各クロックがイネーブルのとき CMONR レジスタの各クロックに対応したレディビットの値で確認できます。

クロック発振安定待ち状態の表示発振安定状態の表示

・メインクロック CMONR:MCRDY="0" CMONR:MCRDY="1"
・PLL/SSCG クロック(PLLSSCLK)CMONR:PCRDY="0" CMONR:PCRDY="1"

5.3. ソースクロック(SRCCLK)選択

ソースクロック(SRCCLK)の選択について示します。

動作クロックとなるソースクロック(SRCCLK)の選択制御について説明します。

5.3.1. 初期化時のソースクロック選択

初期化時のソースクロックの選択について示します。

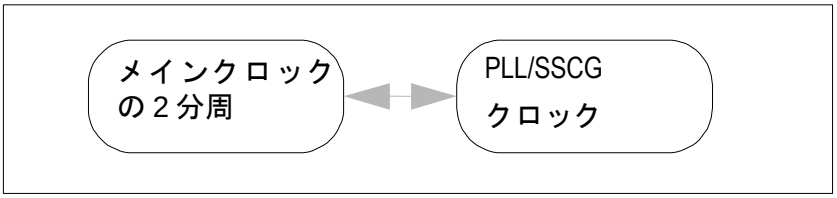
リセット(RST)の発生により、ソースクロックはメインクロック(MCLK)の 2 分周を選択します。
以降、プログラム動作開始後は、CSELR.CKS[1:0]の設定によってソースクロックを変更できます。

5.3.2. ソースクロック切換え手順

ソースクロックの切換え手順について示します。

ソースクロックを切り換えても発振許可ビット(CSELR.xCEN)の値は保持されているため、必要に応じて発振停止設定を行ってください。

図 5-3 ソースクロックの切換え手順



(1)メインクロックの 2 分周→PLL/SSCG クロック

ソースクロックにメインクロックの 2 分周を選択中(CMONR.CKM[1:0]=00)

↓

PLL/SSCG 逓倍率, SSCG 変調, PLL/SSCG 選択, PLL/SSCG クロックロック待ち時間を設定(PLLCR/ CCPSSELR/ CCPSDIVR/ CCPLLFBR/ CCSSFBR0/ CCSSFBR1/ CCSSCCR0/ CCSSCCR1 を設定)-- PLL 発振有効にしていない場合--

↓

クロックギアを設定(CCCGRCR0.GREN/CCCGRCR1/CCCGRCR2)

↓

PLL/SSCG クロック発振安定待ちタイマ割込み要因クリア(PTIF=0)

↓

(必要に応じ)PLL/SSCG クロック発振安定待ちタイマ割込みイネーブル設定(PTIE=1)

↓

PLL/SSCG クロック発振開始(PCEN=0→1)

↓

PLL/SSCG クロック ロック待ちループ(PCRDY=1 になるまでループ)または割込み待ち。

↓

PLL/SSCG クロック発振安定待ちタイマ割込みクリア(PTIF=0, PTIE=0)

↓

ソースクロックを PLL/SSCG クロックに切り換え(CSELR.CKS[1:0]=00→10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

クロックギアが高速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=10)

↓

ソースクロックに PLL/SSCG クロックを選択中(CMONR.CKM[1:0]=10)

(2)PLL/SSCG クロック→メインクロックの 2 分周

ソースクロックに PLL/SSCG クロックを選択中(CMONR.CKM[1:0]=10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

クロックギアが低速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=00)

↓

ソースクロックをメインクロックの 2 分周に切り換え(CSELR.CKS[1:0]=10→00)

↓

ソースクロックにメインクロックを選択中(CMONR.CKM[1:0]=00)

図 5-4 PLL/SSCG モード設定例 メイン→PLL/SSCG

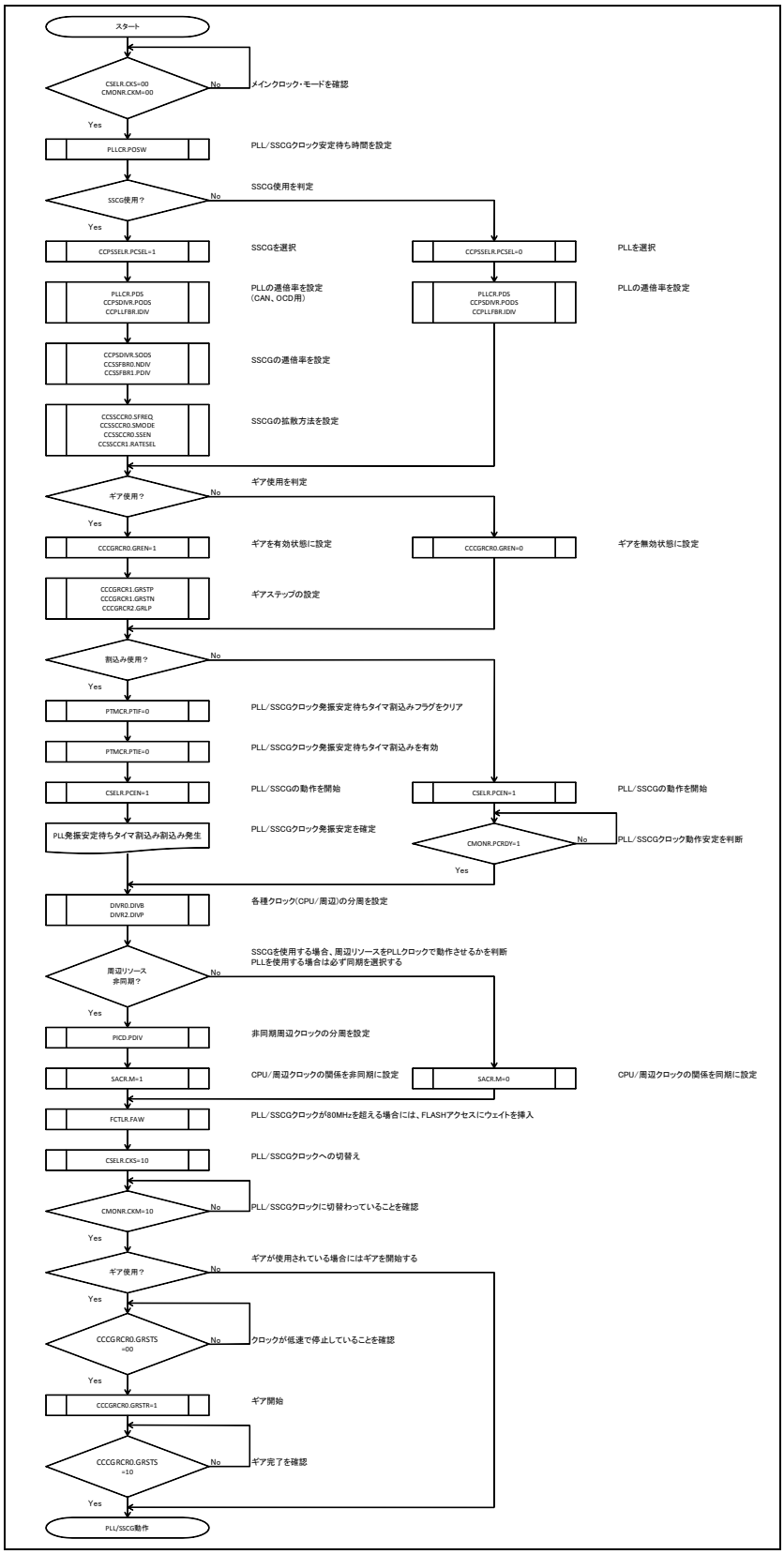
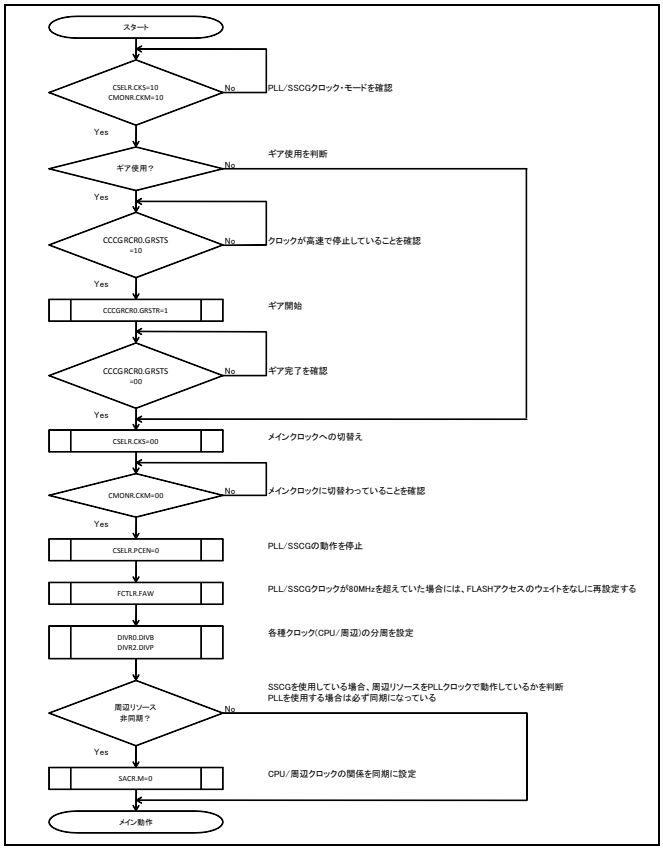


図 5-5 PLL/SSCG モード設定例 PLL/SSCG→メイン



5.4. タイマ

タイマについて示します。

5.4.1. メインクロック発振安定待ちタイマ(メインタイマ)

メインクロック発振安定待ちタイマ(メインタイマ)について示します。

メインタイマは、メインクロック(MCLK)で動作するタイマです。メインクロック発振安定待ち時間生成に使用され、それら以外のメインクロック安定状態の場合は一定期間で割込みを発生するタイマとして使用できます。

5.4.2. PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ)

PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ)について示します。

PLL タイマは、メインクロックで動作するタイマで、PLL/SSCG 発振安定待ち時間生成専用です。このタイマは汎用タイマとしては使用できません。

5.4.3. 設定

設定について示します。

メインタイマ動作許可(MTMCR.MTE=1)にするとメインタイマのカウントが開始します。メインタイマ動作禁止(MTMCR.MTE=0)にするとメインタイマのカウントが停止しメインタイマはクリアされます。

メインタイマクリア(MTMCR.MTC=1)にするとメインタイマはクリアされます。クリアされるまでの間、MTMCR.MTC=1 が読み出されます。MTMCR.MTS[3:0]で割込みの周期を設定できます。MTMCR.MTIE=1 のとき、MTMCR.MTIF=1 となるとメインタイマ割込みが発生します。MTMCR.MTIF は"0"書込みによりクリアされます。

＜注意事項＞

タイマ割込みの周期設定(MTS)は、PCLK×5 クロック以上の周期を設定してください。タイマ割込みの周期を極端に短く設定した場合、割込み要因がセットされないことがあります。

5.4.4. タイマ割込み設定手順

タイマ割込み設定手順について示します。

割込み設定手順について説明します。割込みの設定例を以下に示します。

タイマ割込み禁止設定(MTMCR.MTIE=0)、割込みフラグクリア設定(MTMCR.MTIF=0)

↓

タイマ動作禁止設定(MTMCR.MTE=0)

↓

MTC=0 =0 を確認

↓

タイマ周期設定(MTMCR.MTS=1000～1111)

↓

タイマ割込み許可設定(MTMCR.MTIE=1)

↓

タイマ動作許可設定(MTMCR.MTE=1)

↓

設定時間後割込み発生

↓

割込みルーチンへ

↓

割込みフラグクリア設定(MTMCR.MTIF=0)*

↓

割込みフラグ確認(MTMCR.MTIF=0)

↓

プログラム動作

↓

RETI

*割込みフラグクリア設定は"0"書込みしてもすぐに反映されないため、"0"になるまで読込みを繰り返してください。

5.4.5. タイマ動作

タイマ動作について示します。

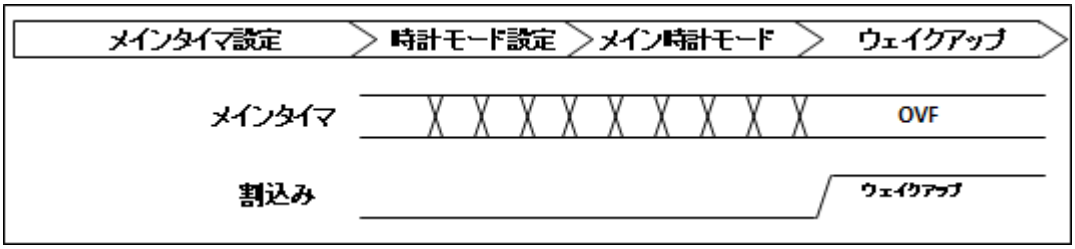
メインタイマは MTMCR.MTE=1 の間、メインクロック(MCLK)でカウントアップします。
MTMCR.MTS[3:0]で選択された周期でオーバフローしたら、MTMCR.MTIF=1 となります。

5.4.6. 時計モードとタイマ割込み

時計モードとタイマ割込みについて示します。

時計モードは、特定の機能とタイマ以外のすべての動作を停止させます(『消費電力制御』の章を参照してください)。メインタイマ割込みを利用して時計モードからウェイクアップできます。下記にメインタイマよりウェイクアップする設定での時計モードの遷移例を示します。

図 5-6 時計モードからのウェイクアップ



5.5. クロック競合時の注意

クロック競合時の注意について示します。

割込みハンドラ内において、CPUクロック(CCLK)より非常に低い周波数で駆動しているペリフェラルの割込みクリアをして直ちに割込みハンドラを終了した場合、割込みハンドラ期間内にペリフェラルは内部処理を完了しきれず、二重に割込みハンドラが呼び出されることがあるため注意してください。

5.6. クロックギア回路

クロックギア回路について示します。

メインクロックから PLL/SSCG クロックへの切換え時または PLL/SSCG クロックからメインクロックへの切換え時に周波数が急激に変動するため、電源電流も大きく変動します。クロック切換え部にクロックギア回路を持っており、これを使用することにより、動作周波数を低周波から高周波または高周波から低周波に徐々に変動させることができ、電源電流の変動を低減できます。

5.6.1. ギアアップの手順

ギアアップの手順について示します。

① 発振安定待ちタイマ完了後、クロックギア開始ステップ選択に設定した開始ステップのクロックを出力します。
② クロックギアスタート(CCCGRCR0.GRSTR)を 1 に設定し、立上りを検出すると、クロックギアステータスフラグ(CCCGRCR0.GRSTS[1:0])が"00"→"01"に遷移します。(ギアアップスタート)
③ クロックギアステップ選択, 繰返し回数選択にしたがって、ギアアップを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。
④ クロックが最大ステップに到達すると、クロックギアステータスフラグ(CCCGRCR0.GRSTS[1:0])が"01"→"10"に遷移します。(ギアアップ終了、ギア停止)
これ以降は最大ステップ(64 ステップ)でクロックを出力します。
⑤ ギア停止後、クロックギアスタート(CCCGRCR0.GRSTR)はハードウェアによって、"0"にクリアされます。

5.6.2. ギアダウンの手順

ギアダウンの手順について示します。

① クロックギアスタート(CCCGRCR0.GRSTR)を 1 に設定し、立上りを検出すると、クロックギアステータスフラグ(CCCGRCR0.GRSTS[1:0])が"10"->"11"に遷移します。(ギアダウンスタート)

② クロックギアステップ選択, 繰返し回数選択にしたがって、ギアダウンを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。

③ クロックが最小ステップに到達すると、クロックギアステータスフラグ(CCCGRCR0.GRSTS[1:0])が"11"->"00"に遷移します。(ギアダウン終了、ギア停止)
これ以降はクロックギア開始ステップ選択に設定した開始ステップでのクロックを出力します。

④ ギア停止後、クロックギアスタート(CCCGRCR0.GRSTR)はハードウェアによって、"0"にクリアされます。

5.7. MDI 通信中の動作

MDI 通信中の動作について示します。

MDI通信中は、STOPモードに移行した場合でもメイン発振が停止しないように制御しています。

また、MDI 高速通信中は、CSELR.PCEN がクリアされても PLL リファレンスクロックが供給されるように制御します。PLL 関連レジスタの値が保持されて更新されません。しかし、ソフトウェアが PLLCR.PCEN=0 を設定した場合、PLL 関連レジスタの値は自由に更新(書込み)可能です。

もし、PLL 関連レジスタに前回設定した値と違う値を書き込んで PLL/SSCG クロック発振許可を有効(CSELR.PCEN=1)とした場合、PLL クロックの周波数は更新されません。(PLL はロックした状態を保持しているため。)

通常は、PLL 関連レジスタには常に同じ値を書き込んでください。

*PLL 関連レジスタは、以下のとおりです。
・CCPSDIVR.PODS
・CCPLLFBR.IDIV
・PLLCR.PDS

CHAPTER: クロック・リセット状態遷移

クロック・リセット状態遷移について説明します。

1. 概要
2. デバイス状態と各遷移
3. デバイス状態と対応するレギュレータモード

管理コード : CRST-1v0-91552-5-J

1. 概要

クロック・リセット状態遷移の概要について説明します。

クロックおよびリセットにかかわる状態の遷移について説明します。消費電力制御の状態の特長、設定については『消費電力制御』の章を参照してください。リセットの動作については『リセット』の章を参照してください。レギュレータモードについては『レギュレータ制御』の章を参照してください。

2. デバイス状態と各遷移

クロック・リセット状態遷移のデバイス状態と各遷移について説明します。

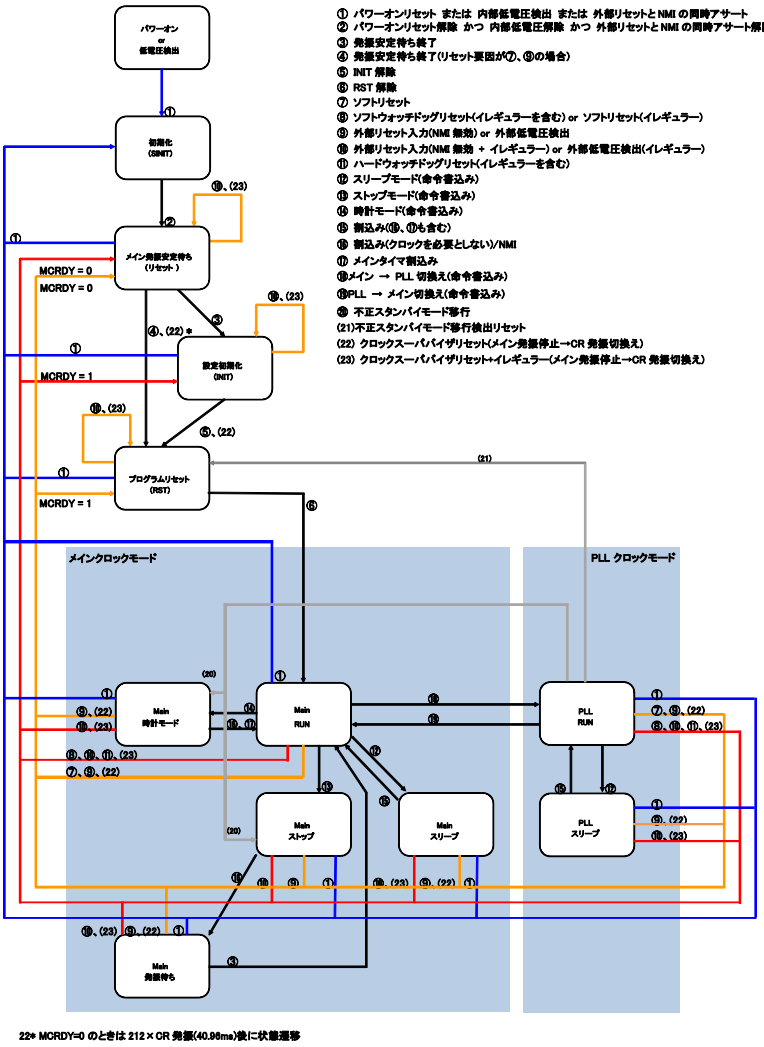
2.1. 状態遷移図
2.2. 各状態の説明
2.3. 各状態遷移要求の優先順位

2.1. 状態遷移図

状態遷移図について示します。

本品種のデバイス状態遷移を示します。

図 2-1 デバイス状態遷移図



＜注意事項＞

OCD ツール接続時は、上図と異なる遷移をする場合があります。『オンチップデバッガ(OCD)』の章を参照してください。

2.2. 各状態の説明

各状態について説明します。

本品種のデバイスの動作状態には以下のものがあります。

■ RUN 状態(通常動作)

プログラム実行状態です。すべての内部クロックが供給され、すべての回路が動作可能な状態です。ストップ状態と時計モード状態の外部端子のハイインピーダンス制御は解除されます。

■ スリープ状態

プログラム停止状態です。プログラム動作により遷移します。CPU のプログラム実行のみ停止する設定(CPU スリープモード)と、CPU およびオンチップバス(オンチップバス)およびオンチップバスクロック(HCLK)駆動のペリフェラルを停止させる設定(バススリープモード)があります。詳細は『消費電力制御』の章を参照してください。

■ 時計モード状態

デバイス停止状態です。プログラム動作により遷移します。発振回路(メインクロック生成部)以外の内部回路が停止します。時計モード状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにできます(一部端子を除く)。特定の(クロックを必要としない)有効な割込み、メインタイマ割込みにより、RUN 状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ ストップ状態

デバイス停止状態です。プログラム動作により遷移します。すべての内部回路が停止します。ストップ状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにできます(一部端子を除く)。NMI 割込みにより、発振安定待ち RUN 状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ メイン発振安定待ち (RUN)状態

デバイス停止状態です。ストップ状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、動作許可されていた発振回路は動作しています。設定された発振安定待ち時間の経過により、RUN 状態(通常動作)へ遷移します。

■ メイン発振安定待ち(リセット)状態

デバイス停止状態です。初期化(SINIT)状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、メイン発振回路は動作しています。内部回路に対し、プログラムリセット(RST)を出力します。受け付けたリセットレベルがイニシャライズリセットの場合、設定初期化リセット(INIT)も出力します。メインクロック発振安定待ち時間の経過(2^{15}×メインクロック周期)により、設定初期化(INIT)状態へ遷移します。

■ プログラムリセット(RST)状態

プログラム初期化状態です。動作初期化リセット(RST)要求の受付または設定初期化(INIT)状態の終了により遷移します。内部回路に対し、プログラムリセット(RST)を出力します。INIT から遷移してきた場合、OCD チップリセットシーケンス(1026+3 PCLK サイクル)をとります。

動作初期化リセット(RST)要求の消失により、RUN 状態(通常動作)へ遷移します。詳細は『リセット』の章を参照してください。

■ 設定初期化(INIT)状態

全設定初期化状態です。設定初期化(INIT)要求の受付により遷移します。メイン発振回路は動作しますが、PLL は動作を停止します。内部回路に対し、設定初期化(INIT)およびプログラムリセット(RST)を出力します。設定初期化(INIT)要求の消失により、本状態は解除され、プログラムリセット(RST)状態へ遷移します。詳細は『リセット』の章を参照してください。

2.3. 各状態遷移要求の優先順位

各状態遷移要求の優先順位について示します。

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

【最強】 初期化(SINIT)要求
↓ 設定初期化(INIT)要求
↓ 発振安定待ち時間の終了
(発振安定待ちリセット状態および発振安定待ち RUN 状態のみ発生)
↓ プログラムリセット(RST)要求
↓ 有効な割込み要求
(RUN, スリープ, ストップ, 時計モード状態のみ発生)
↓ ストップモード要求(レジスタ書込み) (RUN 状態のみ発生)
↓ 時計モード要求(レジスタ書込み) (RUN 状態のみ発生)
【最弱】 スリープモード要求(レジスタ書込み) (RUN 状態のみ発生)

3. デバイス状態と対応するレギュレータモード

デバイス状態と対応するレギュレータモードについて示します。

下表に各デバイス状態に対応するレギュレータモードを示します。レギュレータモードについては『レギュレータ制御』の章を参照してください。

表 3-1 デバイス状態とレギュレータモードの関係

デバイス状態	メインクロック	レギュレータモード
Main RUN	発振	メインモード
Main スリープ	発振	メインモード
Main 時計モード	発振	メインモード
Main ストップ	停止	メインモード
Main 発振待ち	発振	メインモード
PLL RUN	発振	メインモード
PLL スリープ	発振	メインモード

＜注意事項＞

OCD ツール接続時、レギュレータモードはメインモードとなります。

CHAPTER: リセット

リセットについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

リセットの概要について説明します。

リセット要因が発生すると、デバイスはすべてのプログラムおよび大部分のハードウェア動作を停止し、状態を初期化します。この状態をリセットとよびます。

2. 特長

リセットの特長について説明します。

本品種は、以下のリセット要因を持ち、各要因の受付によりデバイス内部の初期化のためのリセットを発行します。

・パワーオンリセット
・RSTX 端子入力
・ウォッチドッグリセット 0(ソフトウェアウォッチドッグ)
・ウォッチドッグリセット 1(ハードウェアウォッチドッグ)
・ソフトウェアリセット
・不正スタンバイモード移行検出リセット
・フラッシュセキュリティ違反
・内部低電圧検出
・外部低電圧検出
・クロックスーパバイザリセット

イレギュラーリセットになる場合を除き(4.1 参考)、リセット発行はすべてのバスアクセスの完了を確認後に行うため、リセットによるアクセス中のメモリ内容(RAM、Flash)は破壊されません。

バスの応答が一定時間内に返されない時の強制リセット発行のために、リセット発行遅延カウンタを持ち、設定された時間内に応答がない時はバスの応答の有無にかかわらずリセットを発行します。(リセットタイムアウト)

クロックスーパバイザリセットについては、『クロックスーパバイザ』の章を参照してください。

3. 構成

リセットの構成について説明します。

図 3-1 リセット構成図

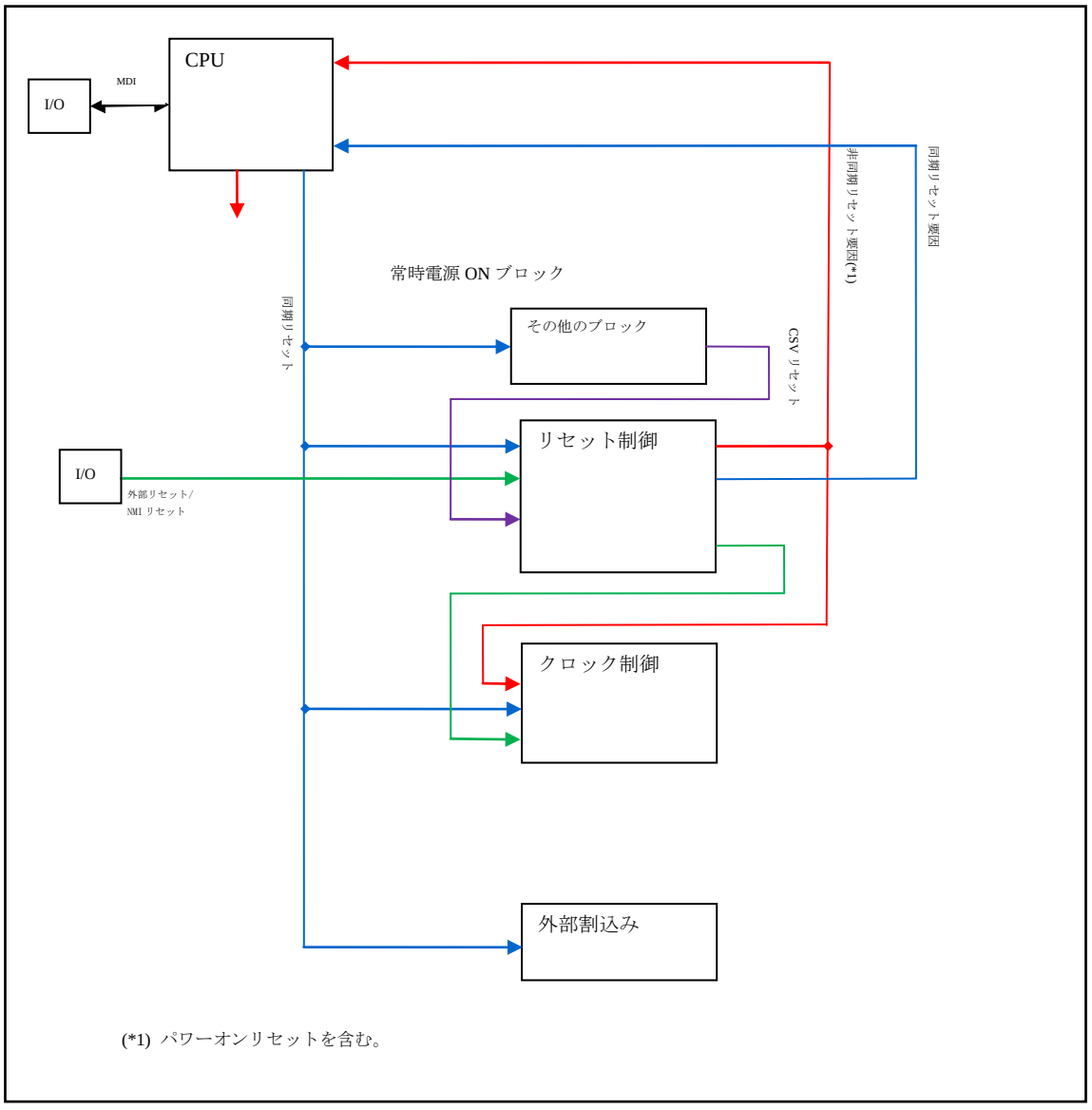


図 3-2 リセット構成図(リセット制御)

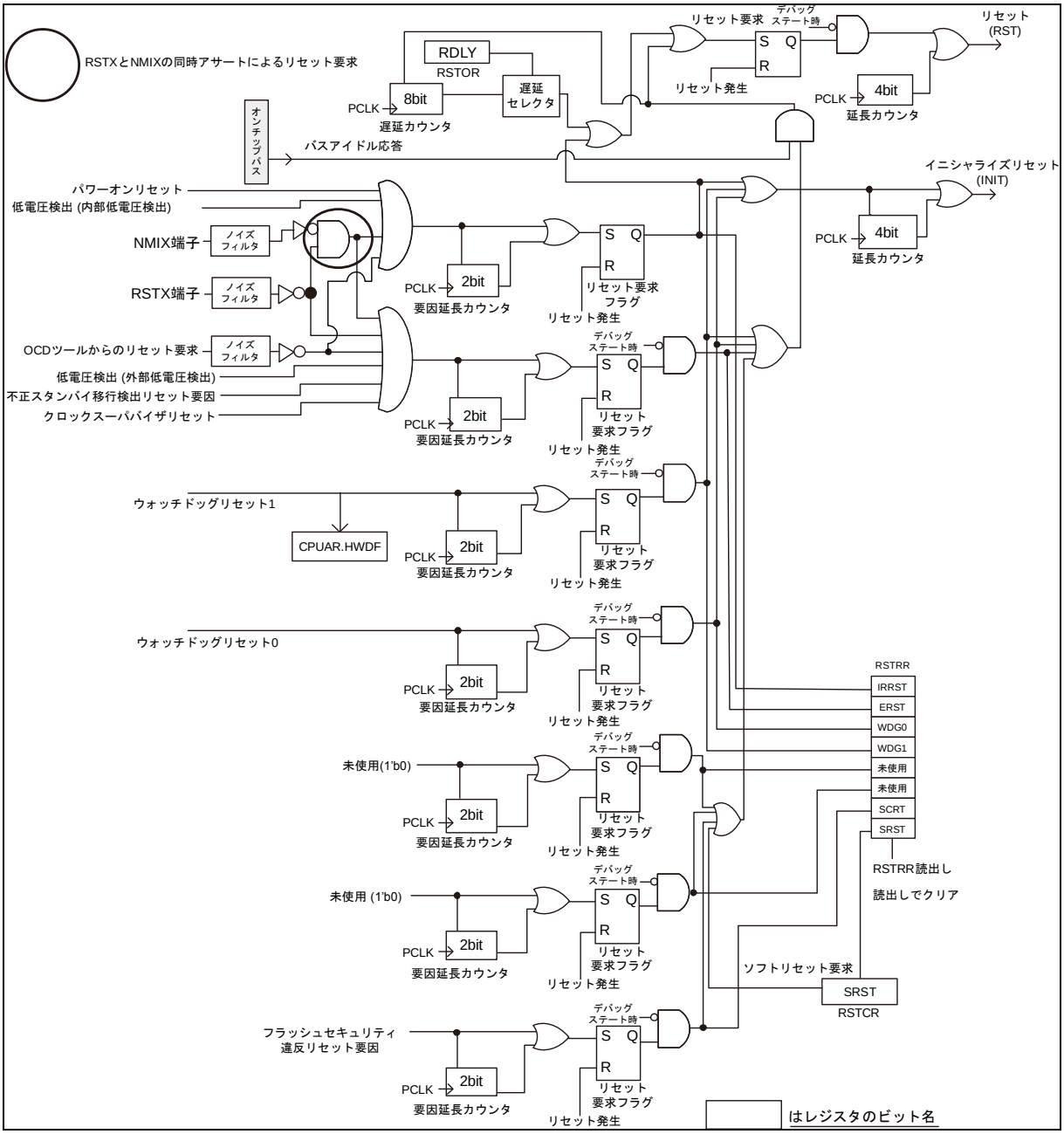
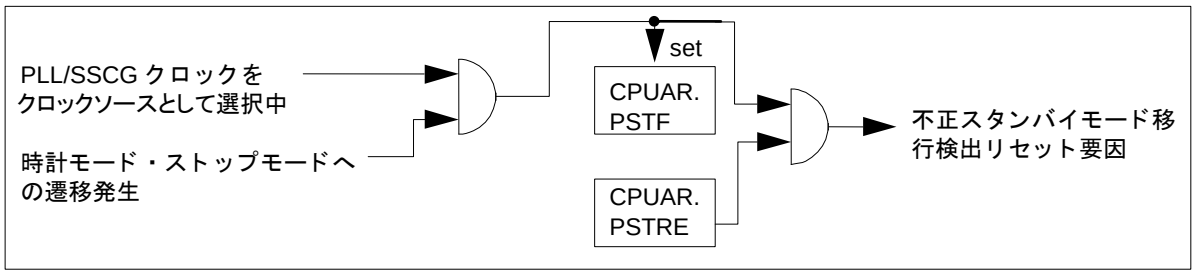


図 3-3 不正スタンバイモード移行検出リセット要因の生成図



4. レジスタ

リセットのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	RSTRR	RSTCR	予約	予約	リセット要因レジスタ リセット制御レジスタ
0x0518	予約	予約	CPUAR	予約	CPU 異常動作レジスタ

＜注意事項＞

0x0482, 0x0591 番地には、『消費電力制御』の章のレジスタが割り当てられているので注意してください。

4.1. リセット要因レジスタ ：RSTRR (ReSeT Result Register)

リセット要因レジスタのビット構成について示します。

直前までに発生した各種リセット要因を表示します。

■ RSTRR： アドレス 0480$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IRRST	ERST	WDG1	WDG0	予約		SCRT	SRST
初期値	*	*	*	*	−	−	*	*
属性	R,WX	R,WX	R,WX	R,WX	RX,WX	RX,WX	R,WX	R,WX

*リセット要因による

＜注意事項＞

このレジスタを読み出すと，すべてのビットがクリアされます。
デバッグステート中の読出しによるクリアはされません。
デバッグステート中は各リセット要因がマスクされるため、本レジスタもリセット要因を検出しません。

[bit7] IRRST (IRregular ReSeT) : イレギュラーリセット

パワーオンリセット、内部低電圧検出、リセットタイムアウトまたは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生し、リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが"0"のとき、直前のリセット時にはバスアクセスが行われず、メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが"1"のとき、直前のリセット時にはバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証されません。

IRRST	イレギュラーリセット検出
0	イレギュラーリセット未検出
1	イレギュラーリセット検出

本ビットは読出しでクリアされます。

[bit6] ERST (External ReSeT) : リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット・RSTX 外部端子と NMIX 外部端子の同時アサート

RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットまたは RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

ERST	RSTX 端子リセット検出，不正スタンバイモード移行検出，クロックスーパバイザリセット検出、低電圧検出(外部低電圧検出)または RSTX 外部端子と NMIX 外部端子の同時アサート検出
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit5] WDG1 (WatchDoG reset 1) : ウォッチドッグリセット 1

ウォッチドッグタイマ 1 からのリセットを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

WDG1	ウォッチドッグタイマ 1 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。
CPUAR レジスタにも、ウォッチドッグリセット 1 によるリセット要因発生を示すフラグがあります。CPUAR レジスタは読み出してもクリアされません。

[bit4] WDG0 (WatchDoG reset 0) : ウォッチドッグリセット 0

ウォッチドッグタイマ 0 からのリセットを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

WDG0	ウォッチドッグタイマ 0 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit1] SCRT (Flash SeCuRiTy violation) : フラッシュセキュリティ違反リセット

フラッシュメモリのセキュリティ違反リセットが発生したことを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

SCRT	フラッシュセキュリティ違反リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

RSTCR:SRST ビットへの"1"書込みによるリセットを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

SRST	ソフトウェアリセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

4.2. リセット制御レジスタ ：RSTCR (ReSeT Control Register)

リセット制御レジスタのビット構成について示します。

各種リセット発行制御を行うレジスタです。

■ RSTCR : アドレス 0481$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RDLY[2:0]			予約				SRST
初期値	1	1	1	0	0	0	0	0
属性	R,W	R,W	R,W	R/W	R/W	R/W	R/W	R,W

[bit7～bit5]: RDLY[2:0] (Reset DeLaY) : リセット発行遅延

リセットタイムアウト値を設定します。リセット要因が検出されてから、すべてのバスがアイドルになるか、本ビットによるリセットタイムアウトまでカウントされるとリセットが発行されます(後者の場合、イレギュラーリセットになります)。本ビットはリセット後 1 回のみ書込みが可能です。

RDLY[2:0]	リセットタイムアウト値
000	PCLK × 2 サイクル
001	PCLK × 4 サイクル
010	PCLK × 8 サイクル
011	PCLK × 16 サイクル
100	PCLK × 32 サイクル
101	PCLK × 64 サイクル
110	PCLK × 128 サイクル
111	PCLK × 256 サイクル (初期値)

[bit4～bit1] 予約

書込み、読出し共に効果ありません。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

本ビットに"1"を書き込んだ後、RSTCR を読み出すことによりソフトウェアリセット要求を発生します。

本ビットに"1"を書き込んだ後は、リセットが発生するまで RSTCR への書込みは無視され、レジスタ値を書き換えることはできません。

デバッグステート中の RSTCR 読出しによるリセットは発生しません。

SRST	ソフトウェアリセット
0	出力しない(初期値)
1	RSTCR 読出しによりリセット要求を出力する

4.3. CPU 異常動作レジスタ ：CPUAR (CPU Abnormal operation Register)

CPU 異常動作レジスタのビット構成について示します。

CPU 異常動作時に関する設定、状態を示すレジスタです。

■ CPUAR : アドレス 051A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PSTRE	予約				PMDF	PSTF	HWDF
初期値	0	0	0	0	*	*	*	*
属性	R/W	R0,WX	R0,WX	R0,WX	RX,WX	R(RM1), W	R(RM1), W	R(RM1), W

*: RSTX 端子のアサートで"0"に初期化されます(NMIX との同時アサートも含みます)。それ以外のリセット要因の場合は初期化されません。

[bit7] PSTRE (illegal PLL-run to STandby Reset Enable) : 不正スタンバイモード移行検出リセット許可

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)、リセットを発行するかどうかを設定します。
許可している場合、PLL ラン状態から時計モードまたはストップモードへ遷移すると不正スタンバイモード移行検出要因によるリセットが発生します。

PSTRE	説明
0	リセットを発生しない(初期値)
1	リセット発生許可

＜注意事項＞

本ビットをセットする場合は、本ビットをセットする前に PSTF ビットに"0"書き込みして PSTF ビットをクリアしてください。PSTF ビットのパワーオンリセット後の値は不定のため、PSTF ビットをクリアする前に本ビットをセットするとリセットが発生する場合があります。

[bit2] PMDF (Pll mode Main clock Down detection Flag) : PLL モードメイン発振断検出フラグ

PLL 出力をクロックソースとして選択時、クロックスーパバイザがメイン発振断検出をした場合に、本ビットがセットされます。またその場合、ソースクロックは自動的にメインモード(CKS=CKM=00)に書き換わり、すぐにリセット(RST レベル)が発生します。
リードモディファイライト系命令の場合は"1"が読み出されます。

PMDF	読出し	書込み
0	PLL モード中にメイン発振断検出なし (初期値)	本ビットをクリア
1	PLL モード中にメイン発振断検出有	効果ありません

[bit1] PSTF (illegal PLL-run to STandby Flag) : **不正スタンバイモード移行検出フラグ**

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)、本ビットがセットされます。またその場合、ソースクロックは自動的にメインモード(CKS=CKM=00)に書き換わります。PSTRE ビットが"1"の場合にはリセット(RST レベル)が発生します。

"0"書込みで本ビットをクリアします。

リードモディファイライト系命令の場合は"1"が読み出されます。

PSTF	読出し	書込み
0	不正スタンバイモード移行は検出されていません	本ビットをクリア
1	不正スタンバイモード移行を検出しました	効果ありません

[bit0] HWDF (Hardware WatchDog Flag) : **ハードウェアウォッチドッグ検出フラグ**

ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因が検出されると、本ビットがセットされます。

"0"書込みで本ビットをクリアします。

リードモディファイライト系命令の場合は"1"が読み出されます。

HWDF	読出し	書込み
0	ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因は発生していません	本ビットをクリア
1	ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因が発生しました	効果ありません

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

＜注意事項＞

RSTRR.WDG1 にも検出フラグはありますが、こちらはリードクリアであるため、一度リードを行うと要因が消えてしまいます。CPUAR.HWDF は保持されているのでクリアするまで要因が保持されています。

5. 動作説明

リセットの動作について説明します。

以下、本製品のリセットの各動作について説明します。

5.1. リセットレベル

リセットレベルについて示します。

本製品のリセットには以下の 2 つのレベルがあります。

・イニシャライズリセット(INIT)
・リセット(RST)

＜注意事項＞

本品種は、デバッグインタフェース部(OCDU)用レジスタを除き、双方のレベルのリセットで初期化されるレジスタは同一です。

5.1.1. イニシャライズリセット(INIT)

イニシャライズリセット(INIT)について示します。

すべてのレジスタ設定およびすべてのハードウェアを初期化します。CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メイン発振回路は動作継続、停止していた場合は動作再開しますが、PLL は動作を停止します。

以下のリセット要因によるリセット時のみ、このリセットレベルとなります。

・イレギュラーリセット
・ウォッチドッグリセット 0,1
  このリセットレベルでのみ初期化されるのは以下のレジスタです。
・デバッグインタフェース部(OCDU)のレジスタ

5.1.2. リセット(RST)

リセット(RST)について示します。

イニシャライズリセット(INIT)のみで初期化されるレジスタを除くすべてのレジスタおよびすべてのハードウェアを初期化します。CPU のプログラムは停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。
イニシャライズリセット(INIT)が発行されると、同時にリセット(RST)も発行されます。
すべてのドキュメント内にて、特に指定がない場合のリセットは、本リセットレベルを示します。

5.2. リセット要因

リセット要因について示します。

本品種の各リセット要因について説明します。

5.2.1. パワーオンリセット

パワーオンリセットについて示します。

電源の立上りを検出することにより発生するリセット要因です。
本リセット要因によるリセットは常にイレギュラーリセットとして検出され、イニシャライズリセット(INIT)を発行します。

5.2.2. RSTX 端子入力

RSTX 端子入力について示します。

デバイス外部から入力されるハードウェアリセットです。
本リセット要因によるリセットは、リセットタイムアウト時、または NMIX 端子が同時にアサートされていた場合にはイレギュラーリセットとして検出されます。
イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

5.2.3. ウォッチドッグリセット 0

ウォッチドッグリセット 0 について示します。

FR81S コア内蔵のウォッチドッグタイマ 0(ソフトウェアウォッチドッグ)から入力されるハードウェアリセットです。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット(INIT)を発行します。

5.2.4. ウォッチドッグリセット 1

ウォッチドッグリセット 1 について示します。

FR81S コア内蔵のウォッチドッグタイマ 1(ハードウェアウォッチドッグ)から入力されるハードウェアリセットです。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット(INIT)を発行します。

5.2.5. 外部低電圧検出リセット

外部低電圧検出リセットについて示します。

低電圧検出(外部電源電圧)はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。検出電圧については『低電圧検出(外部低電圧検出)』の章を参照してください。

5.2.6. 不正スタンバイモード移行検出リセット

不正スタンバイモード移行検出リセットについて示します。

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)発生されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

5.2.7. 内部低電圧検出リセット

内部低電圧検出リセットについて示します。

低電圧検出(内部電源低電圧)はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットはイレギュラーリセットとして検出され、イニシャライズリセット(INIT)を発行します。
検出電圧については『低電圧検出(内部低電圧検出)』の章を参照してください。

5.2.8. フラッシュセキュリティ違反リセット

フラッシュセキュリティ違反リセットについて示します。

フラッシュメモリのセキュリティ保護違反が発生した場合に発行されるリセットです。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。
イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

5.2.9. ソフトウェアリセット (RSTCR:SRST)

ソフトウェアリセット (RSTCR:SRST) について示します。

デバイス内部で発生するソフトウェアリセットです。
RSTCR の bit0:SRST ビットに"1"を書き込んだ後、RSTCR を読み出すことにより発生します。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

[例] ソフトウェアリセット発行のサンプルプログラム

```
        LDI     #value_of_reset, R0  ; SRST ビット="1"
        LDI     #_RSTCR, R12         ;
        STB     R0, @R12             ; ライト
        LDUB    @R12, R0             ; リード(ソフトウェアリセット要求発生)
        MOV     R0, R0               ; パイプライン調整のためのダミー処理
        NOP                          ; パイプライン調整のためのダミー処理
```

5.3. リセット受付

リセット受付について示します。

各リセット要因の受付処理について説明します。

5.3.1. リセット要求の生成

リセット要求の生成について示します。

少なくとも 1 つのリセット要因が取り込まれると、リセット要求を生成します。リセット要求は内部バス制御部へ通知され、以下の処理を行います。

・CPU のプログラム動作の停止(スリープモードと同一処理)
・オンチップバスのバス制御権の取得
・すべてのバスへアイドル要求が通知されたことの確認

5.3.2. リセット要求の受理

リセット要求の受理について示します。

リセット要求に対するすべての処理が完了すると、リセット発行部にてリセット要求が受理され、リセット要因に応じたレベルのリセットを発行します。また、リセット発行遅延カウンタのオーバフロー＝リセットタイムアウトが発生すると、リセット要求に対する処理の終了を待たずにリセット要求が受理され、イレギュラーリセットが発行されます。

5.3.3. リセット発行遅延カウンタ

リセット発行遅延カウンタについて示します。

リセット要求が生成されると同時に、8 ビット長のリセット発行遅延カウンタがカウントを開始します。リセットが発行されないまま、RSTCR レジスタの bit7-5:RDLY[2:0]ビットで指定された遅延サイクルが経過し、カウンタがオーバフローする＝リセットタイムアウトが発生すると、イレギュラーリセットが発行されます。

RSTCR の RDLY[2:0]ビットはリセットにより初期化され、リセット解除後は 1 回のみ書換えが可能です。遅延サイクルの設定が短い場合、イレギュラーリセットが発行される可能性が高くなります。遅延サイクルの設定が長い場合、リセット要因が発生してからリセットが発行されるまでに長時間かかる場合があります。

5.3.4. イレギュラーリセット

イレギュラーリセットについて示します。

リセット要求に対する処理完了を確認せずにリセットが発行されたとき、イレギュラーリセットとなります。

イレギュラーリセットが発生すると、以下の処理が行われます。

・リセット要因の種類にかかわらず、イニシャライズリセット(INIT)を発行します。
・RSTRR レジスタの bit7:IRRST ビットを"1"に設定します。

イレギュラーリセットが発生したときは、リセットが入力される時点でバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証できません。イレギュラーリセットの発生は必ずしもメモリの内容が破壊されたことを示す訳ではありませんが、その際のバスアクセスの内容を特定できないためです。

5.4. リセット発行

リセットの発行について示します。

リセット要求受理後、リセットが発行されます。以下、各種リセット発行について説明します。

5.4.1. 電源投入リセット(SINIT)

電源投入リセット(SINIT)について示します。

パワーオンリセットまたは内部低電圧検出、または RSTX・NMIX 同時アサート時に最初に電源投入リセット(SINIT)が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。

本リセット発行中はすべてのクロックが停止します。

本リセットが発行される時、必ず同時にイニシャライズリセット(INIT)およびリセット(RST)を発行します。

本リセットにより、クロック制御レジスタが初期化されます。

本リセットはメインクロック発振安定待ちを伴います。制御レジスタ初期化に伴い、発振安定待ち時間は 2^{15}×メインクロックになります。

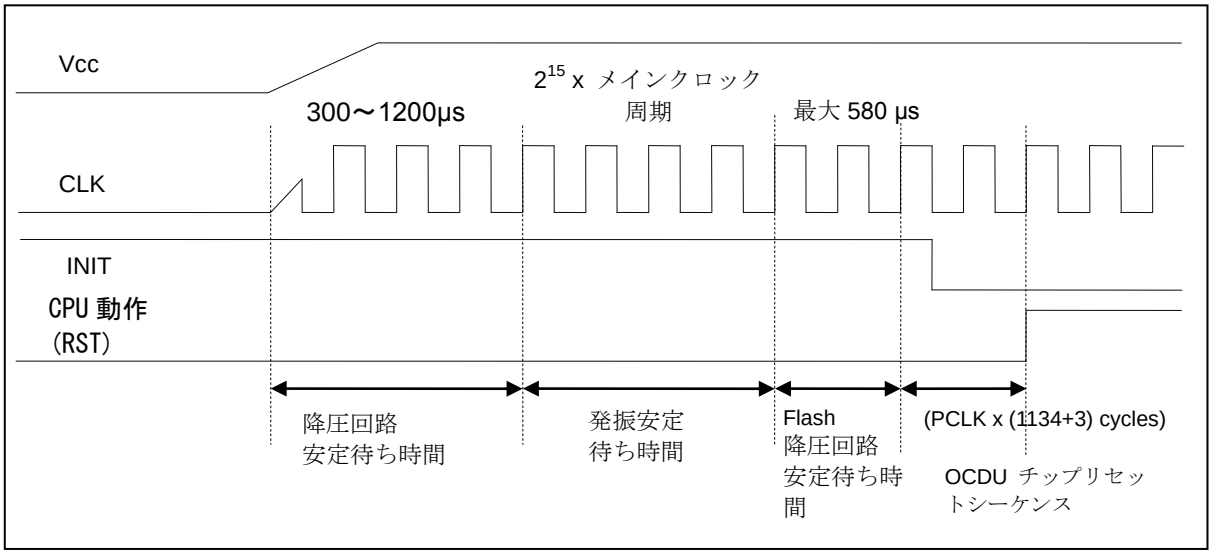
表 5-1 発振安定待ち時間(SINIT)

種類	メインクロック発振安定待ち時間
パワーオンリセット	2^{15}×メインクロック周期
内部低電圧検出	2^{15}×メインクロック周期
RSTX・NMIX 同時アサート	2^{15}×メインクロック周期

＜注意事項＞

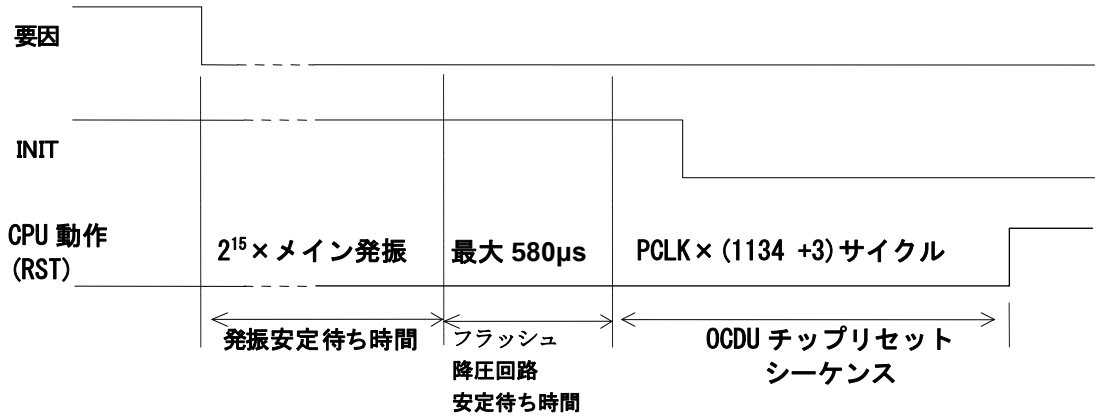
電源投入・電圧復帰にかかわる、レギュレータ安定待ち時間および FLASH 安定待ち時間は上表の発振安定待ち時間には含まれていません。パワーオンリセット時には、降圧回路の安定待ち時間(300µs～1200µs および最大 580µs)が必要になります。

図 5-1 パワーオンリセット時の発振安定待ち時間



本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-2 電源投入リセット(SINIT)シーケンス



リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.4.2. イニシャライズリセット(INIT)

イニシャライズリセット(INIT)について示します。

イニシャライズリセット(INIT)レベルのリセット要因が発生したとき、イニシャライズリセット(INIT)およびリセット(RST)を最初に同時に発行します。本リセットはリセット(RST)で初期化されない一部のレジスタの初期化のみに使用します。

本リセット発行中はすべてのクロックが動作します。本リセットが発行される場合、必ず同時にリセット(RST)を発行します。本リセットにより、クロック制御レジスタが初期化されますが、メインクロック(MCLK)が発振中の場合、発振しているという動作自体は変化しません。

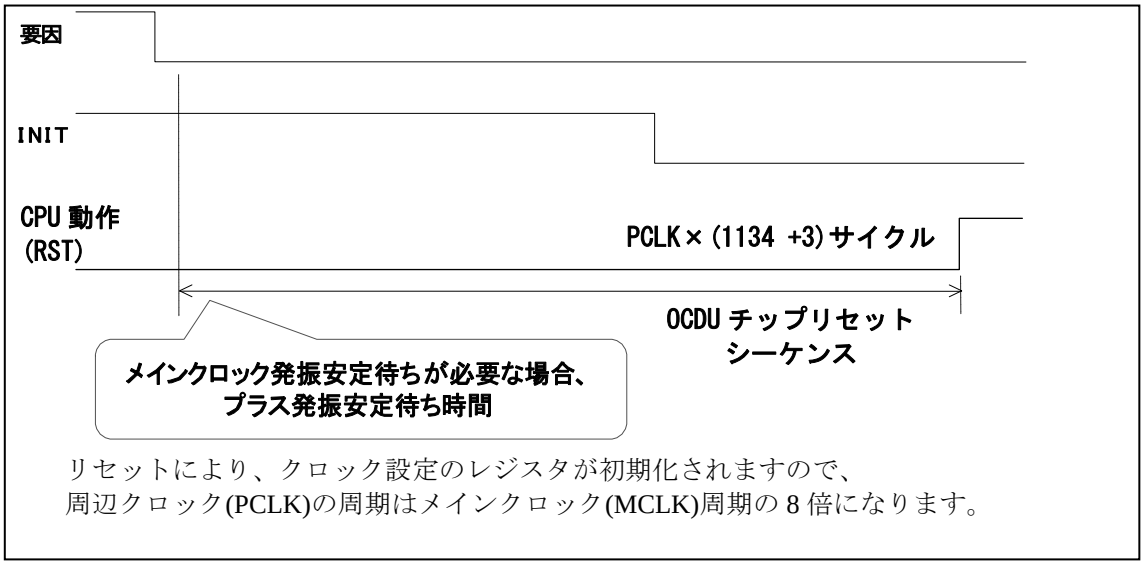
ストップモード中など、メインクロック停止中だった場合、メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため、発振安定待ち時間は本品種のデフォルト値(2^{15}×メインクロック)となります。

表 5-2 発振安定待ち時間(INIT)

リセット投入前メインクロック発振停止中？	メインクロック発振安定待ち時間
No	なし
Yes	2^{15}×メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-3 イニシャライズリセット(INIT)シーケンス



リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.4.3. リセット(RST)

リセット(RST)について示します。

イニシャライズリセット(INIT)レベルでないリセット要因が発生した場合、リセット(RST)のみを発行します。

本リセットは一部のレジスタ(5.1.1 参照)を除くすべてのハードウェアの初期化に使用します。

本リセット発行中はすべてのクロックが動作します。

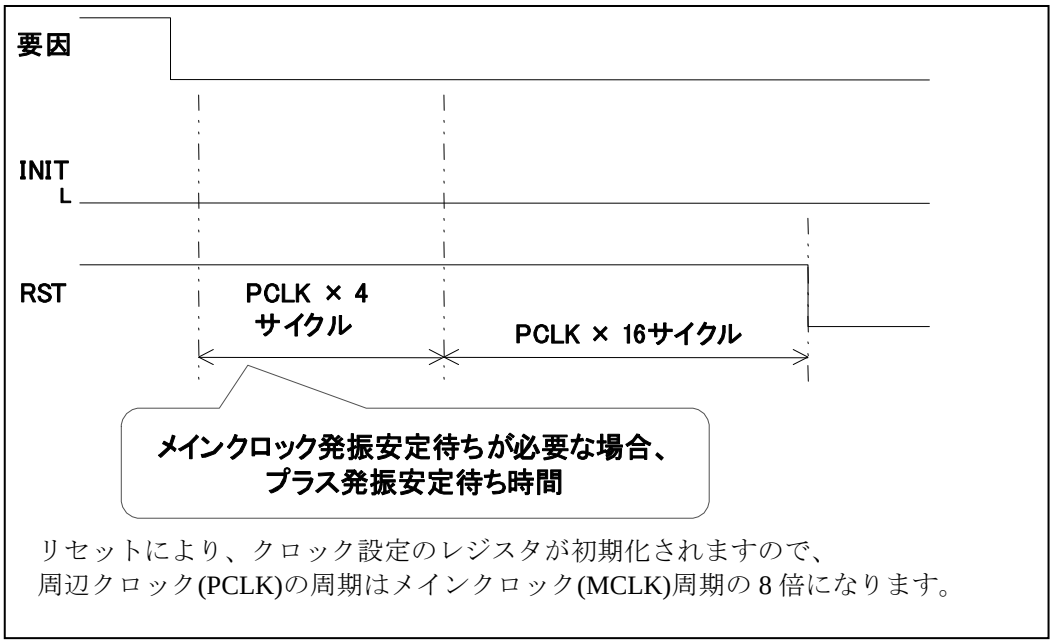
リセット前にストップモード中などでメインクロック停止中だった場合、メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため、発振安定待ち時間は本品種のデフォルト値(2^{15}×メインクロック)となります。

表 5-3 発振安定待ち時間(RST)

リセット投入前メインクロック発振停止中？	メインクロック発振安定待ち時間
No	なし
Yes	2^{15}×メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-4 リセット(RST)シーケンス



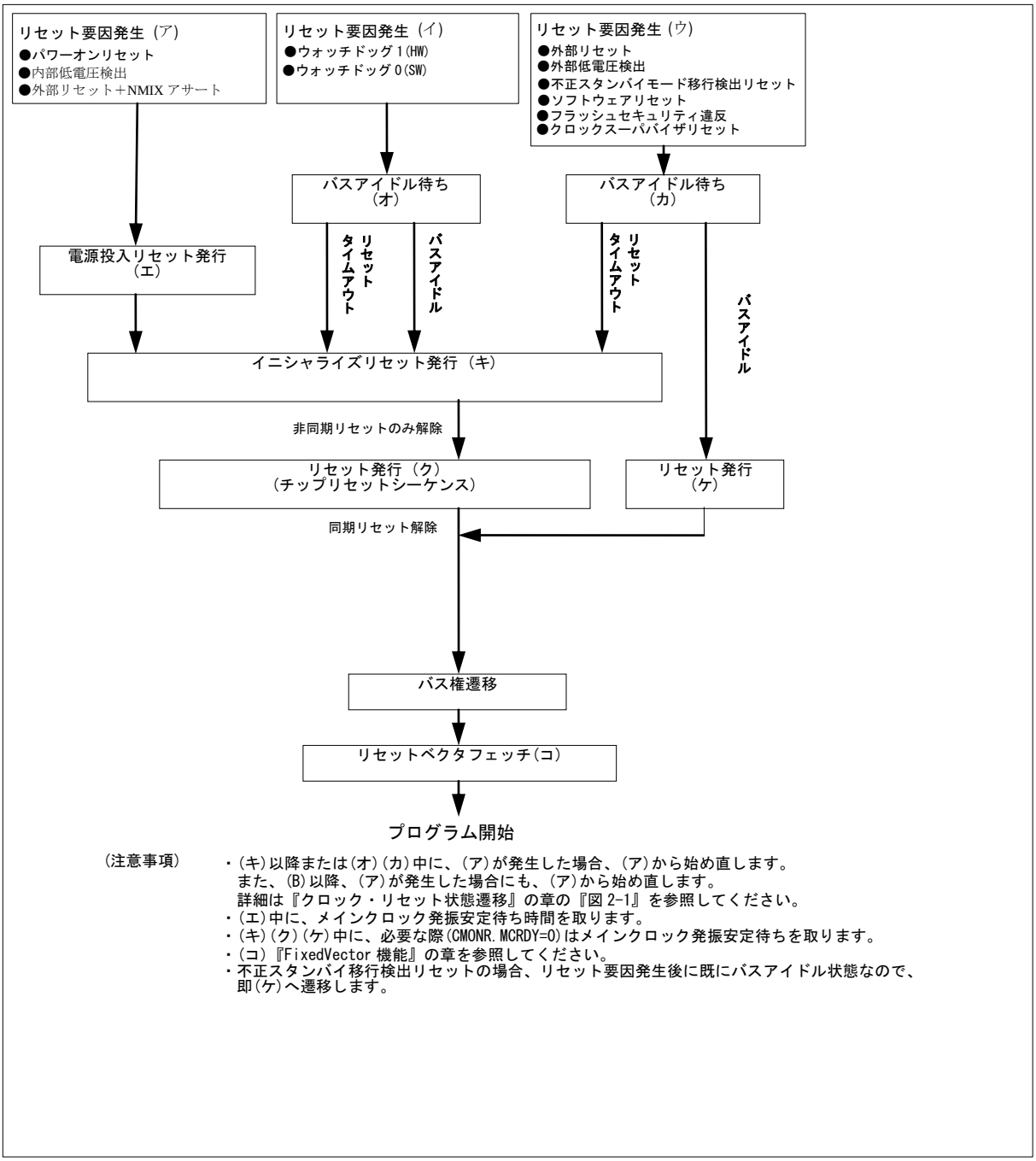
リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.5. リセットシーケンス

リセットシーケンスについて示します。

リセット要因の消失により、本品種は初期状態からプログラムおよびハードウェア動作を開始します。このリセットから動作開始にいたる一連の動作をリセットシーケンスとよびます。以下、リセットシーケンスについて説明します。

図 5-5 リセットシーケンス



（注意事項）
- (キ)以降または(オ)(カ)中に、(ア)が発生した場合、(ア)から始め直します。
  また、(B)以降、(ア)が発生した場合にも、(ア)から始め直します。
  詳細は『クロック・リセット状態遷移』の章の『図 2-1』を参照してください。
- (エ)中に、メインクロック発振安定待ち時間を取ります。
- (キ)(ク)(ケ)中に、必要な際(CMONR.MCRDY=0)はメインクロック発振安定待ちを取ります。
- (コ)『FixedVector 機能』の章を参照してください。
- 不正スタンバイ移行検出リセットの場合、リセット要因発生後に既にバスアイドル状態なので、即(ケ)へ遷移します。

5.5.1. リセットサイクル

リセットサイクルについて示します。

リセット要因の解除後、4×周辺クロック(PCLK)周期の間リセット要求が延長され、その後リセットレベルごとに周辺クロック(PCLK)×16サイクルの期間ずつリセットサイクルを維持します。これにより、各リセットの最小発行サイクル数は20サイクルとなります。メインクロック発振安定待ちが必要な際は、当該分だけ延長されます。

5.5.2. リセット解除

リセットの解除について示します。

リセットサイクルが終了すると、各リセットが解除され、各ハードウェアが動作を開始します。
リセット解除直後はモード制御回路がオンチップバスのバスマスタとなります。

5.5.3. 動作モード確定

動作モードの確定について示します。

バスマスタとなったモード制御回路は、取得したモード設定値に基づき決定した動作モードを各ハードウェアに通知し、その後にオンチップバスのバス権を解放します。

5.5.4. バス権の遷移

バス権の遷移について示します。

モード制御回路がオンチップバスのバス権を解放した後は、CPU がバス権を獲得し、CPU によるバス動作を開始します。

5.5.5. リセットベクタフェッチ

リセットベクタフェッチについて示します。

リセット解除後、CPU はリセットベクタのフェッチを開始します。

CPU がバス権を獲得後、リセットベクタへのアクセスがオンチップバスを介して行われ、取得したリセットベクタを PC に取り込み、プログラム動作を開始します。

5.5.6. リセットと強制ブレーク

リセットと強制ブレークについて示します。

リセット解除時に強制ブレークが発生していた場合、リセットベクタフェッチ終了後に強制ブレークを受付けます。このため、取得したリセットベクタによる PC 値がエミュレータ空間側へ退避されます(E_BPCHR,E_BPCLR レジスタにストアされます)。

CHAPTER: DMA コントローラ(DMAC)

DMA コントローラ(DMAC)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. DMA 使用例

1. 概要

DMA コントローラ(DMAC)の概要について説明します。

DMAC は、DMA (Direct Memory Access) 転送を行うモジュールです。本モジュール制御による DMA 転送により、CPU を介さずに各種データ転送を高速に行うことが可能となり、システムのパフォーマンスを増加させます。

2. 特長

DMA コントローラ(DMAC)の特長について説明します。

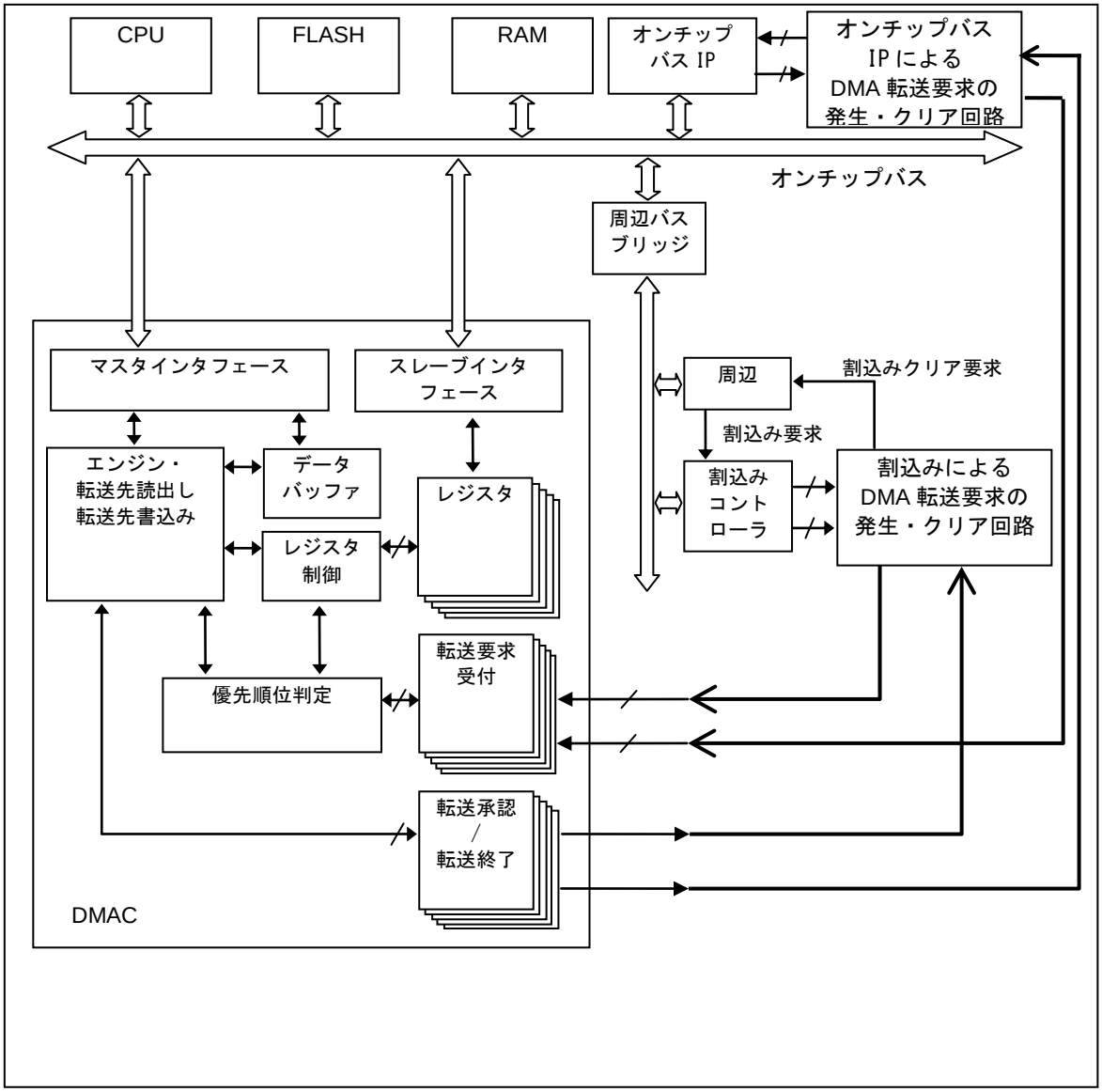
・チャネル数　　: 8 チャネル
・アドレス空間　　: 32 ビットのアドレス空間 (4GB)
・転送モード　　: ブロック転送/バースト転送
・アドレス更新　　: 増加/減少/固定 (増減値は 1, 2, 4 固定)
・転送サイズ　　: 8 ビット, 16 ビット, 32 ビット
・ブロックサイズ　　: 1 ～ 16
・転送回数　　: 1 ～ 65535 回
・転送要求　　:
  ・ ソフトウェア転送要求
  ・ 周辺バス IP の割込みによる転送要求(ペリフェラルの割込みによる転送要求の場合、チャネルごとに割込みの選択が必要になります。『DMA 転送要求の発生・クリア』の章を参照してください。)
  ・ オンチップバス IP による転送要求(各オンチップバス IP に対応する DMAC のチャネル番号は選択することができません。[5.2 オンチップバス IP と DMAC チャネル対応表]を参照してください。)

・転送停止要求　　: 割込みによる転送停止要求
・リロード機能　　: 全チャネルリロード指定可
  ・ 転送元アドレスリロード
  ・ 転送先アドレスリロード
  ・ 転送回数リロード
・優先順位　　:
  ・ 固定 (ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7)、
  ・ もしくはラウンドロビン
・割込み要求　　: 正常終了割込み要求、異常終了割込み要求、転送停止要求による転送中断割込み要求を発生可能

3. 構成

DMA コントローラ(DMAC)の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

DMA コントローラ(DMAC)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C00	DCCR0				DMA チャネルコントロールレジスタ 0
0x0C04	DCSR0		DTCR0		DMA チャネルステータスレジスタ 0 DMA 転送回数レジスタ 0
0x0C08	DSAR0				DMA 転送元アドレスレジスタ 0
0x0C0C	DDAR0				DMA 転送先アドレスレジスタ 0
0x0C10	DCCR1				DMA チャネルコントロールレジスタ 1
0x0C14	DCSR1		DTCR1		DMA チャネルステータスレジスタ 1 DMA 転送回数レジスタ 1
0x0C18	DSAR1				DMA 転送元アドレスレジスタ 1
0x0C1C	DDAR1				DMA 転送先アドレスレジスタ 1
0x0C20	DCCR2				DMA チャネルコントロールレジスタ 2
0x0C24	DCSR2		DTCR2		DMA チャネルステータスレジスタ 2 DMA 転送回数レジスタ 2
0x0C28	DSAR2				DMA 転送元アドレスレジスタ 2
0x0C2C	DDAR2				DMA 転送先アドレスレジスタ 2
0x0C30	DCCR3				DMA チャネルコントロールレジスタ 3
0x0C34	DCSR3		DTCR3		DMA チャネルステータスレジスタ 3 DMA 転送回数レジスタ 3
0x0C38	DSAR3				DMA 転送元アドレスレジスタ 3
0x0C3C	DDAR3				DMA 転送先アドレスレジスタ 3
0x0C40	DCCR4				DMA チャネルコントロールレジスタ 4
0x0C44	DCSR4		DTCR4		DMA チャネルステータスレジスタ 4 DMA 転送回数レジスタ 4
0x0C48	DSAR4				DMA 転送元アドレスレジスタ 4
0x0C4C	DDAR4				DMA 転送先アドレスレジスタ 4
0x0C50	DCCR5				DMA チャネルコントロールレジスタ 5
0x0C54	DCSR5		DTCR5		DMA チャネルステータスレジスタ 5 DMA 転送回数レジスタ 5
0x0C58	DSAR5				DMA 転送元アドレスレジスタ 5

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C5C	DDAR5				DMA 転送先アドレスレジスタ 5
0x0C60	DCCR6				DMA チャネルコントロールレジスタ 6
0x0C64	DCSR6		DTCR6		DMA チャネルステータスレジスタ 6 DMA 転送回数レジスタ 6
0x0C68	DSAR6				DMA 転送元アドレスレジスタ 6
0x0C6C	DDAR6				DMA 転送先アドレスレジスタ 6
0x0C70	DCCR7				DMA チャネルコントロールレジスタ 7
0x0C74	DCSR7		DTCR7		DMA チャネルステータスレジスタ 7 DMA 転送回数レジスタ 7
0x0C78	DSAR7				DMA 転送元アドレスレジスタ 7
0x0C7C	DDAR7				DMA 転送先アドレスレジスタ 7
0x0DF4	予約	予約	DNMIR	DILVR	DMA 転送抑止 NMI フラグレジスタ DMA 転送抑止割込みレベルレジスタ
0x0DF8	DMACR				DMA コントロールレジスタ
0x0DFC	予約				予約

4.1. DMA コントロールレジスタ ：DMACR (DMA Control Register)

DMA コントロールレジスタのビット構成について示します。

DMAC 全体(全チャネル)を制御するための 32 ビットレジスタです。本レジスタには 32 ビットでアクセスしてください。

■ DMACR： アドレス 0DF8$_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DME	予約						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	AT	予約						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit31] DME (DMA Enable) : DMA 動作許可

DMAC 全体の動作を制御します。本ビットが"0"の場合は各チャネルが動作許可状態であってもDMA 転送は行いません。本ビットが"1"の場合に各チャネルの設定に従った動作を行います。

DMA 転送中に"0"が書き込まれた場合は DCCRx.BLK で指定したブロック単位で転送を停止します。

DME	DMA 動作許可
0	DMA 動作禁止(初期値)
1	DMA 動作許可

[bit30～bit16] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit15] AT (Arbitration Type)： 優先順位設定

各チャネルの優先順位を決める方法を設定します。優先順位を固定(AT = 0)に設定した場合は、ch.0 > ch.1 > ch.2 > ch.3 となります。優先順位をラウンドロビン(AT =1)に設定した場合は、転送を開始したチャネルの優先順位が一番低くなり、それより下位にあったチャネルの優先順位が 1 つずつ上がります。優先順位の判定は、優先順位設定にかかわらず DCCRx.BLK で指定したブロック単位の転送ごとに行います。

AT	優先順位設定
0	固定(初期値)
1	ラウンドロビン

[bit14～bit0] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

4.2. DMA チャネルコントロールレジスタ 0-7 : DCCR0-7 (DMA Channel Control Register 0-7)

DMA チャネルコントロールレジスタ 0-7 のビット構成について示します。

DMAC 各チャネルの動作制御を行う 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

■ DCCR0-7 : アドレス BASE + 0000_H (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	CE	予約				AIE	SIE	NIE
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約		RS[1:0]		予約		TM[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ST	SAR	SAC[1:0]		DT	DAR	DAC[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TCR	予約	TS[1:0]		BLK[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W

[bit31] CE (Channel Enable) : **チャネル動作許可**

チャネルの動作を制御します。要求元をソフトウェアに設定している場合はこのビットに"1"を書き込むと設定した内容にしたがい DMA 転送が開始します。この場合、転送要求に応じた転送を終了した場合 CE ビットは自動でクリアされます。

要求元がソフトウェア以外の場合は"1"を書き込むとチャネル動作許可になります。チャネル動作許可後、対応する転送要求を検出した場合 DMA 転送が開始します。ソフトウェア以外の要求で転送回数リロード(DCCRx.TCR)が指定されている場合、CE ビットは自動でクリアされません。転送回数リロードを禁止している場合は、すべての転送が終了した場合 CE ビットがクリアされます。

要求元によらず、動作中に"0"が書き込まれた場合は DCCRx.BLK で指定したブロック単位で転送を停止します。再び"1"を書込み、新たに転送要求を検出した場合動作を再開します。

CE	チャネル動作許可
0	禁止(初期値)
1	許可

[bit30～bit27] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit26] AIE (Abnormal Completion Interrupt Enable) : 異常終了割込み許可

DMA チャネルコントロールレジスタ(DCCR)に設定禁止の値を設定した場合の割込み発生を制御します。レジスタの設定禁止項目は以下のとおりです。

- 転送モード : DCCRx.TM = 2'b10
- 転送元アドレスカウント : DCCRx.SAC = 2'b10
- 転送先アドレスカウント : DCCRx.DAC = 2'b10
- 転送サイズ : DCCRx.TS = 2'b11
- ソフトウェア要求によるデマンド転送モード
  : DCCRx.RS = 2'b00 かつ DCCRx.TM = 2'b11

割込み要因はステータスレジスタ(DCSRx)を確認してください。

AIE	異常終了割込み許可
0	禁止 (初期値)
1	許可

[bit25] SIE (Stop Interrupt Enable) : 転送停止要求による転送中断割込み許可

転送要求元からの転送停止要求により DMA 転送を中断した場合の割込み発生を制御します。割込み要因はステータスレジスタ(DCSRx)を確認してください。

SIE	転送中断割込み許可
0	禁止 (初期値)
1	許可

[bit24] NIE (Normal Completion Interrupt Enable) : 正常終了割込み許可

DMA 転送を正常に終了した場合の割込み発生を制御します。設定した転送回数(DTCRx.DTC)の転送が終了したときまたは転送回数が"0"のときに対応するチャネルの DCCRx.CE ビットに"1"書込みしたときに正常終了となります。

割込み要因はステータスレジスタ(DCSRx)を確認してください。

NIE	正常終了割込み許可
0	禁止 (初期値)
1	許可

[bit23, bit22] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit21, bit20] RS (Request Source) : DMA 転送要求元
チャネルに対する転送要求元を選択します。

Ch.1 から ch.3 にはオンチップバス IP を転送要求元とする転送がありませんので、RS[1:0]=2'b11 は、設定禁止です。

RS[1:0]	DMA 転送要求元
00	ソフトウェア (初期値)
01	割込み
10	予約(設定禁止)
11	オンチップバス IP

[bit19, bit18] 予約
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit17, bit16] TM (Transfer Mode) : 転送モード
DMA 転送モードを指定します。

TM[1:0]	転送モード
00	ブロック転送 (初期値)
01	バースト転送
10	予約(設定禁止)
11	予約(設定禁止)

[bit15] ST (Source Type) : 転送元タイプ
DMA 転送要求元(DCCRn.RS[1:0]), 転送元アドレス(DSAR), 転送先アドレス(DDAR)の組み合わせにより設定値が異なります。設定は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

ST	転送元タイプ
0	「■ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。
1	

[bit14] SAR (Source Address Reload) : 転送元アドレスリロード
転送元アドレスレジスタのリロードを指定します。リロードを指定している場合、転送終了後に転送元アドレスレジスタ値を初期設定値に戻します。リロードを禁止している場合、転送終了後の転送元アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

SAR	転送元アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit13, bit12] SAC (Source Address Count) : 転送元アドレスカウント
転送元アドレスの一転送ごとのアドレス更新を指定します。増加/減少を指定した場合の更新値は、転送サイズ(DCCRx.TS)により 1, 2, 4 のいずれかになります。

SAC[1:0]	転送元アドレスカウント
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit11] DT (Destination Type) : 転送先タイプ

DMA 転送要求元(DCCR.RS[1:0]), 転送元アドレス(DSAR), 転送先アドレス(DDAR)の組み合わせにより設定値が異なります。設定は「■ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

DT	転送先タイプ
0	「■ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。
1	

[bit10] DAR (Destination Address Reload) : 転送先アドレスリロード

転送先アドレスレジスタのリロードを指定します。リロードを指定している場合、転送終了後に転送先アドレスレジスタ値を初期設定値に戻します。

リロードを禁止している場合、転送終了後の転送先アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

DAR	転送先アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit9, bit8] DAC (Destination Address Count) : 転送先アドレスカウント

転送先アドレスの一転送ごとのアドレス更新を指定します。増加/減少を指定した場合の更新値は、転送サイズ (DCCRx.TS)により 1, 2, 4 のいずれかになります。

DAC[1:0]	転送先アドレスカウント
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit7] TCR (Transfer Count Reload) : 転送回数リロード

転送回数レジスタのリロードを指定します。

リロードを指定している場合、転送終了後に転送回数レジスタ値を初期設定値に戻します。ここで転送要求元をソフトウェア以外に設定している場合は、転送終了時に DCCRx.CE ビットはクリアされず転送要求待ち状態となります。

リロードを禁止している場合、転送終了後の転送回数レジスタは"0"を示します。この場合は、転送要求元によらず転送終了時に DCCRx.CE ビットはクリアされます。

TCR	転送回数リロード
0	リロード禁止 (初期値)
1	リロード

[bit6] 予約
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit5, bit4] TS (Transfer Size) : 転送サイズ
転送サイズを指定します。ここで指定されたビット幅で 1 回の DMA 転送を行います。

TS[1:0]	転送サイズ
00	8bit : バイト (初期値)
01	16bit: ハーフワード
10	32bit: ワード
11	予約 (設定禁止)

DSARx、DDARx レジスタは本ビットで指定する転送サイズに対してミスアラインドとならない値を設定してください。

[bit3～bit0] BLK (Block Size) : ブロックサイズ
ブロックサイズを指定します。1 ブロックは、DCCRx.TS ビットで指定した転送サイズでブロック数分転送を繰返します。

BLK[3:0]	転送回数
0000	1 回 (初期値)
0001	2 回
0010	3 回
0011	4 回
0100	5 回
0101	6 回
0110	7 回
0111	8 回
1000	9 回
1001	10 回
1010	11 回
1011	12 回
1100	13 回
1101	14 回
1110	15 回
1111	16 回

4.3. DMA チャネルステータスレジスタ 0-7 : DCSR0-7 (DMA Channel Status Register 0-7)

DMA チャネルステータスレジスタ 0-7 のビット構成について示します。

DMAC 各チャネルの状態を示す 16 ビットレジスタで、各チャネル独立して存在します。本レジスタには 16 ビットでアクセスしてください。

■ DCSR0-7 : アドレス BASE + 0004_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CA	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					AC	SP	NC
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	R,W	R,W

[bit15] CA (Channel Active) : チャネルアクティブ

チャネルの動作状態を示します。対応するチャネルの DCCRx.CE ビットに"1"を書き込むと起動状態となります。設定した転送回数が終了するか DCCRx.CE ビットに"0"を書き込むと停止状態となります。

本ビットへの書込みは無効です。

CA	チャネル動作状態
0	停止状態 (初期値)
1	チャネル起動中

[bit14～bit3] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit2] AC (Abnormal Completion) : 異常終了状態

DMA チャネルコントロールレジスタ(DCCR)に設定禁止の値を設定したことを示します。レジスタの設定禁止項目は以下のとおりです。

- 転送モード : DCCRx.TM = 2'b10
- 転送元アドレスカウント : DCCRx.SAC = 2'b10
- 転送先アドレスカウント : DCCRx.DAC = 2'b10
- 転送サイズ : DCCRx.TS = 2'11
- ソフトウェア要求によるデマンド転送モード
  : DCCRx.RS = 2'b00 かつ DCCRx.TM = 2'b11

異常終了割込み(DCCRx.AIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

AC	異常終了状態
0	異常終了未検出 (初期値)
1	異常終了

[bit1] SP (Stop) : 転送停止要求による転送中断状態

DMA 転送が転送要求元からの転送停止要求により中断したことを示します。転送中断割込み(DCCRx.SIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

SP	転送中断状態
0	転送中断未検出 (初期値)
1	転送中断

[bit0] NC (Normal Completion) : 正常終了状態

DMA 転送が正常終了したことを示します。設定した転送回数の転送を終了したときまたは転送回数が"0"のときに対応するチャネルの DCCRx.CE ビットに"1"書込みしたときに正常終了となります。正常終了割込み(DCCRx.NIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

NC	正常終了状態
0	正常終了未検出 (初期値)
1	正常終了

4.4. DMA 転送回数レジスタ 0-7 : DTCR0-7 (DMA Transfer Count Register 0-7)

DMA 転送回数レジスタ 0-7 のビット構成について示します。

DMAC 各チャネルの転送回数を示す 16 ビットレジスタで、各チャネル独立して存在します。本レジスタには 16 ビットでアクセスしてください。

■ DTCR0-7 : アドレス BASE + 0006_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DTC[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DTC[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit0] DTC (DMA Transfer Count) : DMA 転送回数

転送回数を示すレジスタです。ブロック単位の転送終了ごとにデクリメントし、"0"になると転送終了します。転送回数に"0"を設定した場合は転送を行いません。また、専用のリロードレジスタを持ち、DCCRx.TCR が"1"の場合、転送終了後に初期設定値に戻ります。

4.5. DMA 転送元レジスタ 0-7 : DSAR0-7 (DMA Source Address Register 0-7)

DMA 転送元レジスタ 0-7 のビット構成について示します。

DMAC 各チャネルの転送元アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

■ DSAR0-7: アドレス BASE + 0008_H (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DSA[31:24]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	DSA[23:16]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DSA[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DSA[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit31～bit0] DSA[31:0] (DMA Source Address) : DMA 転送元アドレス

転送元アドレスを示すレジスタです。DCCRx.SAC で増加/減少が指定されている場合は、転送サイズ(DCCRx.TS)にしたがってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCRx.SAR が"1"の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCRx.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合(DCCRx.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最小一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲としてください。詳細は「■ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

4.6. DMA 転送先レジスタ 0-7 : DDAR0-7 (DMA Destination Address Register 0-7)

DMA 転送先レジスタ 0-7 のビット構成について示します。

DMAC 各チャネルの転送先アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

■ DDAR0-7： アドレス BASE + 000C$_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DDA[31:24]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	DDA[23:16]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DDA[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DDA[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit31～bit0] DDA[31:0] (DMA Destination Address) : DMA 転送先アドレス

転送先アドレスを示すレジスタです。DCCRx.DAC で増加/減少が指定されている場合は、転送サイズ(DCCRx.TS)にしたがってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCRx.DAR が"1"の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCRx.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合(DCCRx.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最小一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲としてください。詳細は「■ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

4.7. DMA 転送抑止 NMI フラグレジスタ ：DNMIR (DMA-halt by NMI Register)

DMA 転送抑止フラグレジスタのビット構成について示します。

ユーザ NMI による DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8 ビットでアクセスしてください。

■ DNMIR： アドレス 0DF6$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NMIH	予約						NMIHD
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

[bit7] NMIH (NMI Halt) : DMA 抑止フラグ (NMI 要因)

NMIHD が"0"のときにユーザ用 NMI 要求が発生したことを示すフラグです。NMI の H レベルを検出して本ビットに"1"をセットします。DMA 転送を再開する場合には、本ビットに"0"を書き込んでください。

本ビットへの"1"書込みは無効です。

NMIH	DMA 抑止フラグ
0	DMA 転送を抑止していません。 (初期値)
1	ユーザ用 NMI により DMA 転送を停止しています。

[bit6～bit1] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit0] NMIHD (NMI Halt Disable) : DMA 抑止制御 (NMI 要因)

ユーザ用 NMI 要求が発生した場合に DMA 転送を停止することを指示する制御ビットです。

本ビットが"0"のときに NMI が発生した場合、DMAC は新たな DMA 転送を開始しません。DMA 転送中である場合は、ブロック単位の転送が終了した時点で転送を停止します。

NMIHD	DMA 抑止制御
0	ユーザ用 NMI により DMA を停止します。 (初期値)
1	ユーザ用 NMI により DMA を停止しません。

4.8. DMA 転送抑止レベルレジスタ ：DILVR (DMA-halt by Interrupt Level Register)

DMA 転送抑止レベルレジスタのビット構成について示します。

周辺割込みによる DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8 ビットでアクセスしてください。

■ DILVR： アドレス 0DF7$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			LVL4	LVL[3:0]			
初期値	0	0	0	1	1	1	1	1
属性	R0,W0	R0,W0	R0,W0	R1,WX	R/W	R/W	R/W	R/W

[bit7～bit5] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit4～bit0] LVL (Level) : DMA 抑止割込みレベル

DMA 転送抑止を行う割込みレベルを設定します。本レジスタに設定したレベルより強いレベルの周辺割込みが発生した場合 DMA 転送を抑止します。LVL4 は"1"固定で、LVL[3:0]が設定可能です。

LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。 (初期値)
11110	レベルが 1E$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが 1D$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが 1C$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが 1B$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが 1A$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11$_H$ より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求によって DMA 転送を抑止しません。

5. 動作説明

DMA コントローラ(DMAC)の動作について説明します。

5.1. チャネル状態確認

5.2. 転送動作

5.3. 転送モード

5.4. 転送要求

5.1. 設定

動作の設定について示します。

全チャネルにおいて共通に設定する項目と、各チャネルにおいて独立に設定する項目について説明します。

5.1.1. 全チャネルにおいて共通に設定する項目

全チャネルにおいて共通に設定する項目について示します。

DMAC 全体を制御するレジスタの設定項目を以下に示します。

■ DMA 動作許可

DMACR.DME により、DMAC 全体の動作制御を設定します。

・DMA 動作禁止 (DMACR.DME=0)
・DMA 動作許可 (DMACR.DME=1)

■ チャネル優先順位

DMACR.AT により、チャネル間の優先順位の決定方法を設定します。

・固定 (DMACR.AT=0)
・ラウンドロビン (DMACR.AT=1)

■ 割込み発生時の DMA 転送抑止設定

DNMIR.NMIHD により、ユーザ NMI 発生時の DMA 転送抑止制御を設定します。

・ユーザ NMI により DMA を停止します。 (DNMIR.NMIHD=0)
・ユーザ NMI により DMA を停止しません。 (DNMIR.NMIHD=1)

また、DILVR.LVL により割込み発生時に DMA 転送より優先して処理したい割込みレベルを設定します。設定可能なレベルは、0x1F から 0x10 までです。

5.1.2. 各チャネルにおいて独立に設定する項目

各チャネルにおいて独立に設定する項目について示します。

各チャネル独立に設定する項目とレジスタの設定手順を以下に示します。

■ レジスタの設定手順

チャネルレジスタの設定手順は以下のとおりです。DCCRx.CE ビットに"1"書込みする際は、必ずDTCRx に"1"以上を設定してから行ってください。

1) DCCRx.CE ビットをクリアし、チャネルの動作を禁止する。

2) DCSRx の各ビットをクリアし、チャネル状態を示すフラグを初期状態にする。

3) DSARx に転送開始時の転送元アドレス値を設定する。

4) DDARx に転送開始時の転送先アドレス値を設定する。

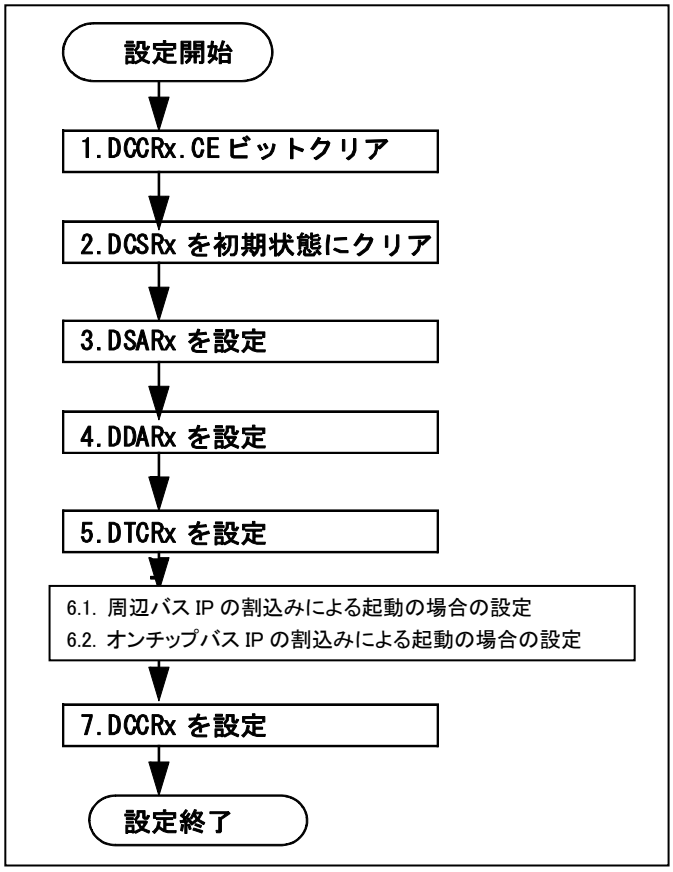
5) DTCRx に転送回数を設定する。このとき、必ず"1"以上を設定してください。

6.1) ペリフェラルの割込みによる起動の場合は、各ペリフェラルの割込み発生を許可し、ICSEL、IORR レジスタを設定する。 (ICSEL, IORR レジスタについては、『DMA 転送要求の発生・クリア』の章を参照してください。)

6.2) オンチップバス IP による起動の場合は、各オンチップバス IP の割込み発生を許可し、ICSEL レジスタを設定する。 (ICSEL レジスタについては、『DMA 転送要求の発生・クリア』の章を参照してください。)

7) DCCRx を設定する。このとき、DCCRx.CE ビットのセットによりチャネルは動作許可となります。

図 5-1 チャネルレジスタの設定手順



■ 転送元アドレス、転送先アドレスの設定

DSARx.DSA により、転送開始時の転送元アドレス値を設定します。

DDARx.DDA により、転送開始時の転送先アドレス値を設定します。

転送元および転送先アドレスは、転送サイズ(DCCRx.TS)にしたがってアドレスアラインを行い、転送サイズが 16 ビット の場合は下位 1 ビット を、転送サイズが 32 ビット の場合は下位 2 ビット をそれぞれ無視します。

■ 転送回数の設定

DTCRx.DTC により、転送終了までに転送するブロックの転送回数を設定します。転送回数は 1～65535 回から設定できます。DMAC は転送サイズおよびブロックサイズ(「■転送サイズ、ブロックサイズの設定」参照)で設定したバイト数のデータ(1 ブロックのデータ)を転送回数で設定した回数分転送します。

■ チャネル動作許可

DCCRx.CE により、チャネルの動作制御を設定します。

・チャネル動作禁止 (DCCRx.CE=0)
・チャネル動作許可 (DCCRx.CE=1)

転送要求元にソフトウェアが選択された場合、DCCRx.CE をセットした場合チャネル動作許可となるとともに転送を開始します。

■ 割込み許可設定

DCCRx.AIE により、異常終了した場合の割込み許可を設定します。

・異常終了割込み禁止 (DCCRx.AIE=0)
・異常終了割込み許可 (DCCRx.AIE=1)

DCCRx.SIE により、転送停止要求によって転送中断した場合の割込み許可を設定します。

・転送停止要求検出による転送中断割込み禁止 (DCCRx.SIE=0)
・転送停止要求検出による転送中断割込み許可 (DCCRx.SIE=1)

DCCRx.NIE により、正常終了した場合の割込み許可を設定します。

・正常終了割込み禁止 (DCCRx.NIE=0)
・正常終了割込み許可 (DCCRx.NIE=1)

■ 転送要求元の設定

DCCRx.RS により、転送要求を受け付ける転送要求元を設定します。

・ソフトウェアによる要求 (DCCRx.RS=00)
・周辺バス IP の割込みによる要求 (DCCRx.RS=01)
・オンチップバスの割込みによる要求(DCCRx.RS=11)

■ 転送モードの設定

DCCRx.TM により、DMA 転送の転送モードを設定します。

・ブロック転送 (DCCRx.TM=00)
・バースト転送 (DCCRx.TM=01)

■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定

以下の表にしたがい、設定します。⑤⑨の組み合わせでの DMA 転送は対応していません。

表 5-1 ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定

	転送要求元・転送元・転送先の組み合わせ			DMA 転送対応	ST・DT ビット設定
	転送要求元 (DCCR.RS[1:0])	転送元 (DSAR)	転送先 (DDAR)		
①	ソフトウェアによる要求 (DCCR.RS=00)	すべての組み合わせ		対応	ST=0、DT=0
②	周辺バス ペリフェラル割込み (DCCR.RS=01)	●	□	対応	ST=1、DT=0
③		□	●	対応	ST=0、DT=1
④		●	●	対応	ST=0、DT=1
⑤		□	□	非対応	―
⑥	オンチップバス ペリフェラル割込み (DCCR.RS=11)	○	■	対応	ST=1、DT=0
⑦		■	○	対応	ST=0、DT=1
⑧		○	○	対応	ST=0、DT=1
⑨		■	■	非対応	―

●: 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲

□: ●以外のアドレス範囲

○: オンチップバス配下のペリフェラルのアドレス範囲

■: ○以外のアドレス範囲

ST・DT ビットを上表の組み合わせ以外に設定した場合、割込みによる DMA 転送要求発生後の自動割込みクリアがされない場合があります。また DMA 転送していないオンチップバスペリフェラルの割込みがクリアされることがあります。

	●周辺バス領域	○オンチップバス領域
アドレス領域	000000_H～$0002FF_H$ 000400_H～$0005FF_H$ $000E00_H$～$001FFF_H$	000900_H～$000AFF_H$ 002000_H～$00EFFF_H$ 030000_H～$03FFFF_H$

■ 転送アドレスリロード設定

DCCRx.SAR により、転送終了後の転送元アドレスのリロード制御を設定します。

- 転送終了後、転送元アドレスのリロードはしません。 (最終アドレスの次アクセスアドレスを示す。) (DCCRx.SAR=0)
- 転送終了後、転送元アドレスを初期設定値に戻します。 (DCCRx.SAR=1)

DCCRx.DAR により、転送終了後の転送先アドレスのリロード制御を設定します。

- 転送終了後、転送先アドレスのリロードはしません。 (最終アドレスの次アクセスアドレスを示す。) (DCCRx.DAR=0)
- 転送終了後、転送先アドレスを初期設定値に戻します。 (DCCRx.DAR=1)

■ 転送アドレス更新設定

DCCRx.SAC により、DMA 転送における転送元アドレスのアドレス更新を設定します。

・アドレス増加 (DCCRx.SAC=00)
・アドレス減少 (DCCRx.SAC=01)
・アドレス固定 (DCCRx.SAC=11)

DCCRx.DAC により、DMA 転送における転送先アドレスのアドレス更新を設定します。
・アドレス増加 (DCCRx.DAC=00)
・アドレス減少 (DCCRx.DAC=01)
・アドレス固定 (DCCRx.DAC=11)

■ 転送回数リロード設定

DCCRx.TCR により、転送終了後の転送回数のリロード制御を設定します。

・転送終了後、転送回数のリロードはしません。 (転送正常終了後、転送回数は"0"を示す。) (DCCRx.TCR=0)
・転送終了後、転送回数を初期設定値に戻します。 (DCCRx.TCR=1)

■ 転送サイズ、ブロックサイズの設定

DMA 転送の転送単位(1 ブロックとして転送するバイト数)を指定するために、転送サイズ、ブロックサイズを設定します。

DCCRx.TS により、1 回の DMA 転送で転送するデータサイズ(8bit/16bit/32bit)を設定します。

・8bit (DCCRx.TS=00)
・16bit (DCCRx.TS=01)
・32bit (DCCRx.TS=10)

DCCRx.BLK により、1 ブロックとして転送する DMA 転送の回数を設定します。ブロックサイズは 1～16 回から設定できます。1 ブロックの転送は、転送サイズ(DCCRx.TS)で設定したビット幅のデータを、ブロックサイズで設定した回数転送することになります。

5.1.3. 動作

動作について示します。

DMAC の動作について、以下の項目を説明します。

(1) チャネル状態確認
(2) 転送動作

■ チャネル状態確認

DMAC のチャネルごとの状態は DCSRx により確認できます。

・チャネルが動作許可のとき(チャネル起動中)は、DCSRx.CA ビットは"1"を示します。チャネルが停止状態になると"0"を示します。
・データ転送が異常終了したときは、DCSRx.AC ビットは"1"を示します。
・データ転送が転送停止要求により中断したときは、DCSRx.SP ビットは"1"を示します。
・データ転送が正常終了したときは、DCSRx.NC ビットは"1"を示します。

DCSRx.CA ビットへの書込みは無効です。

DCSRx.AC, DCSRx.SP, DCSRx.NC ビットは自動でクリアしませんので、DMA 転送を許可する前に必ずクリアしてください。

■ 転送動作

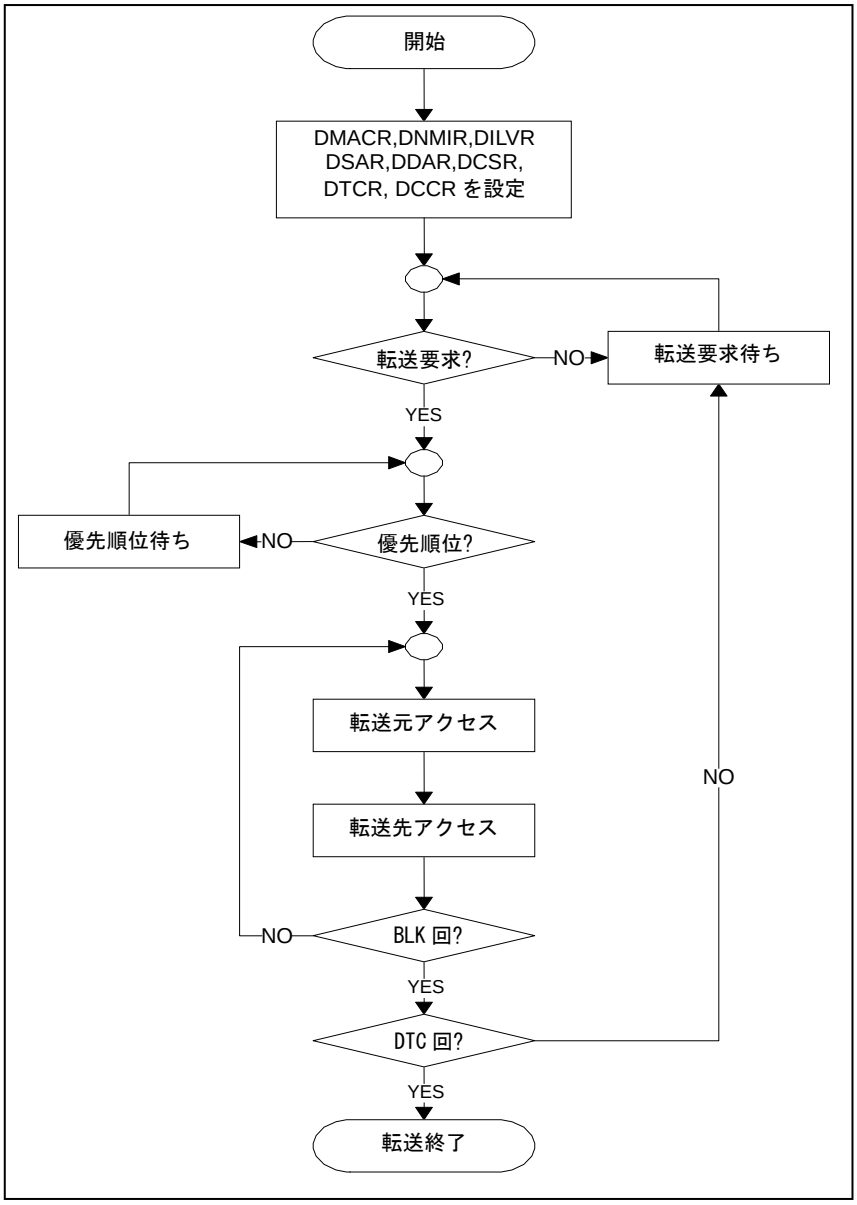
DMAC は、転送元アドレスと転送先アドレスを設定することにより DMA 転送を行います。転送元リードにより、DCCRx.TS で設定したビット幅(8 ビット/16 ビット/32 ビット)のデータを転送元アドレスより読出し DMAC 内部のデータバッファに一時格納します。引き続き転送先書込みにより、DMAC 内部に一時格納したデータを転送先アドレスに書込みます。

■ 転送モード

転送モードには、ブロック転送モード、バースト転送モードがあります。

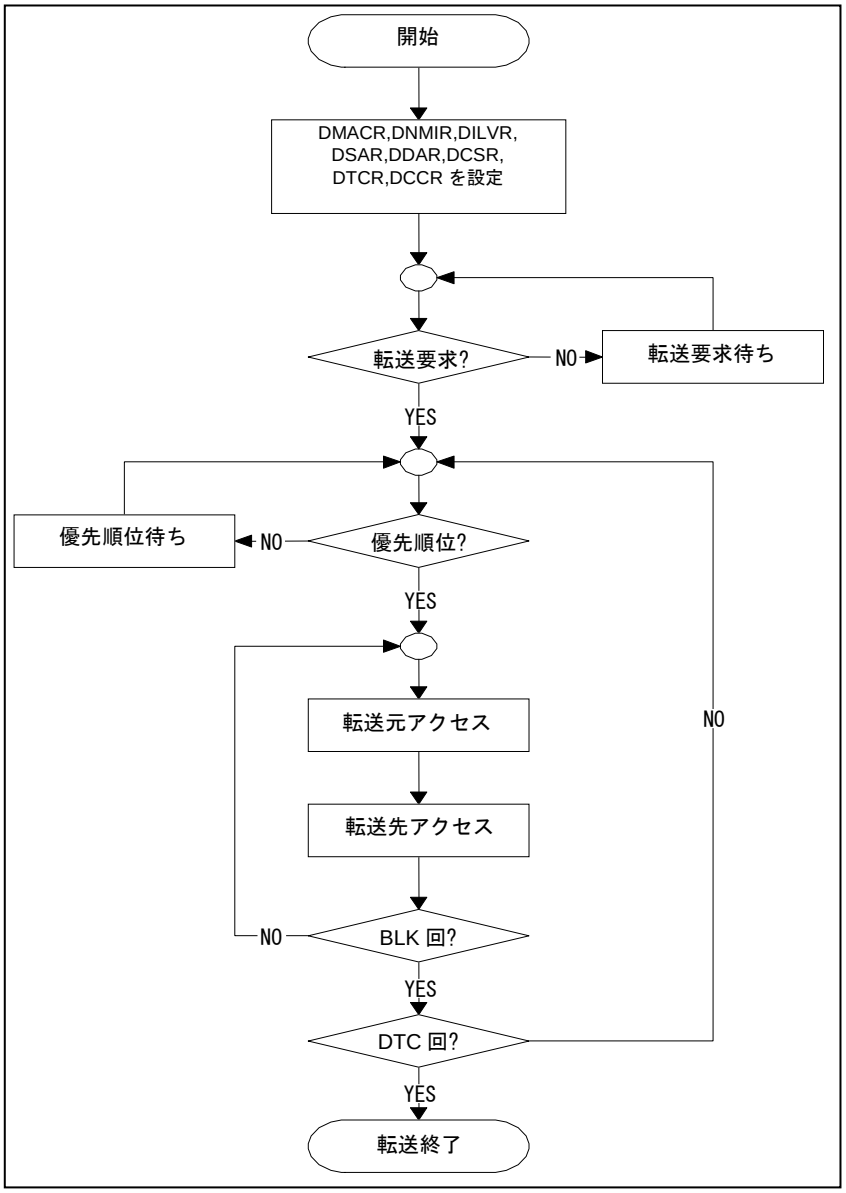
・ブロック転送モード
1 回の転送要求によって、1 ブロックの転送を行います。1 ブロックの転送終了後、再び転送要求を検出した場合さらに 1 ブロックの転送を行います。これを転送終了まで繰返し行います。1 ブロックの転送は、DCCRx.TS で設定したサイズのデータをブロックサイズで設定した回数分転送することになります。

図 5-2 各転送モード(ブロック転送)



・バースト転送モード
1 回の転送要求によって、転送終了まで連続して転送を行います。 (DCCRx.TS で設定したサイズのデータをブロックサイズ×転送回数分連続して転送します。)

図 5-3 各転送モード(バースト転送)



■ 転送要求

転送要求には、ソフトウェアによる要求、割込みによる要求があります。転送要求検出の条件と転送モードとの関係について以下に示します。

・ソフトウェアによる要求
DCCRx.CE ビットに"1"を書き込むと転送要求を検出します。DMA 動作許可状態(DMACR.DME=1)のとき、優先順位判定後直ちに転送を開始します。転送要求に応じた転送が終了した場合 DCCRx.CE ビットは自動でクリアされます。

・割込みによる要求
チャネルが動作許可(DCCRx.CE=1)のとき転送要求待ち状態となります。割込みコントローラで設定した周辺の割込みが発生した場合転送要求を検出します。DMA 動作許可状態(DMACR.DME=1)のとき、優先順位判定後直ちに転送を開始します。
周辺から転送停止要求がアサートされている期間は、転送要求の検出は行いません。
また、各チャネルごとに転送要求に使用する割込みベクタの設定が必要になります。『DMA 転送要求の発生・クリア』の章を参照してください。

<注意事項>

周辺からの割込み要求はエッジ検出のため、割込み要求発生中に CE=0→1 にしても転送要求を検出しません。CE=1 後に周辺機能の割込み許可などを行ってください。

表 5-2 転送要求検出の条件と転送モードの関係

	ブロック転送	バースト転送
ソフトウェアによる要求	DCCRx.CE に"1"書込み	DCCRx.CE に"1"書込み
割込みによる要求	エッジ検出	エッジ検出

また、検出した転送要求と DMACR.DME ビット、DCCRx.CE ビットとの関係について表 5-3 に示します。転送中に DME ビットまたは CE ビットをクリアした場合、ブロック単位で転送を停止します。

表 5-3 転送要求と DME ビット、CE ビットの関係

		DME ビット	CE ビット
DME/CE クリア		既に検出した転送要求はクリアされない。	既に検出した転送要求はクリアされる
転送中断後、DME/CE セット	ブロック転送	新たな転送要求を検出した場合、優先順位にしたがって転送再開。	新たな転送要求を検出した場合、優先順位にしたがって転送再開。
	バースト転送	DME ビットをセットした場合優先順位にしたがって直ちに転送再開。	

● DMA 転送要求によるスタンバイ復帰要求

DMAC は、MCU がスタンバイモード中に転送要求されると、MCU へスタンバイモードからの復帰を要求します。転送動作が許可された状態で転送要求元からの転送要求がアサートされている期間、スタンバイ復帰を要求します。

● チャネル優先順位

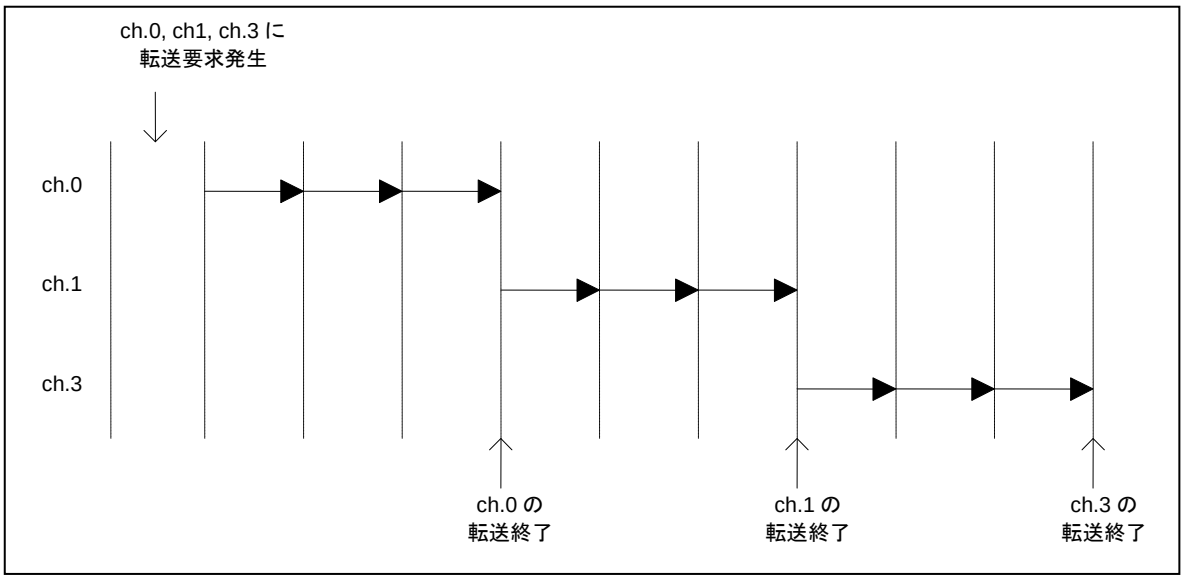
DMAC は複数の転送要求が発生した場合、チャネル優先順位にしたがって優先度の高いチャネルからデータ転送を行います。チャネル優先順位には、固定とラウンドロビンがあります。優先順位判定は、ブロック単位の転送毎、もしくは転送終了のタイミングで行います。

・固定 (DMACR.AT = 0)
ch.0 > ch.1 > ch.2 > ch.3 の順でチャネルの優先順位を固定します。具体例を以下に示します。
＜例 1＞ch.0、ch.1、ch.3 に転送要求が同時に発生した場合、ch.0 から転送が開始します。ch.0 の転送が終わると、続いて ch.1 の転送が開始します。ch.1 の転送が終わると、ch.3 の転送が開始します。以下に、転送例を示します。図中の点線はブロック単位の区切りです。

転送要求 : ch.0、ch.1、ch.3 に同時発生

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-4 チャネル優先順位固定における転送例 1

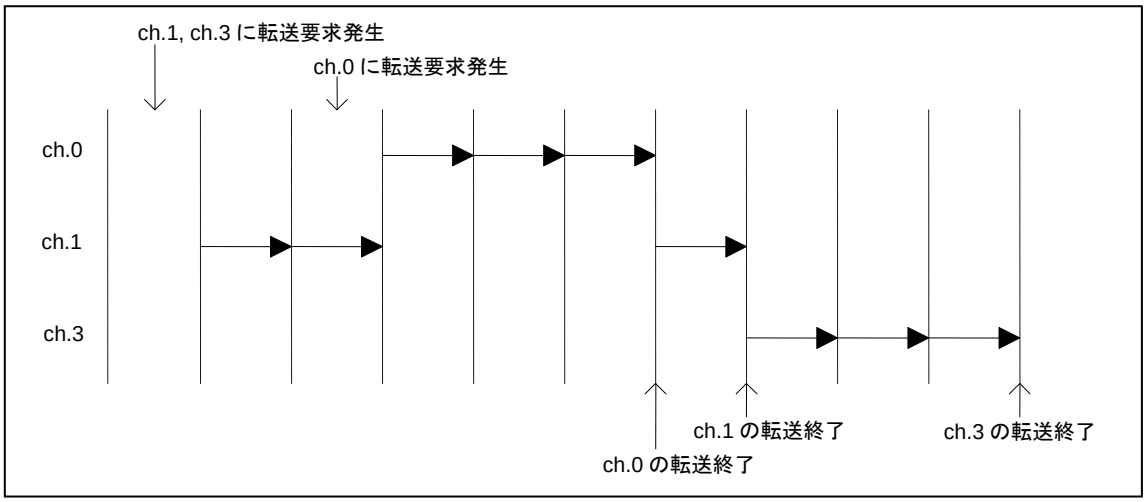


＜例 2＞ch.1, ch.3 に転送要求が同時にあり、ch.1 の転送中に ch.0 に転送要求が発生した場合、ch.1 の転送を一時中断し、ch.0 の転送を開始します。このとき、チャネルの遷移はブロック単位で行います。ch.0 の転送要求に応じた転送が終わると、ch.1 の転送を再開します。図中の点線はブロック単位の区切りです。

転送要求 : ch.1、ch.3 に同時発生。ch.1 転送中に ch.0 に発生。

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-5 チャネル優先順位固定における転送例 2



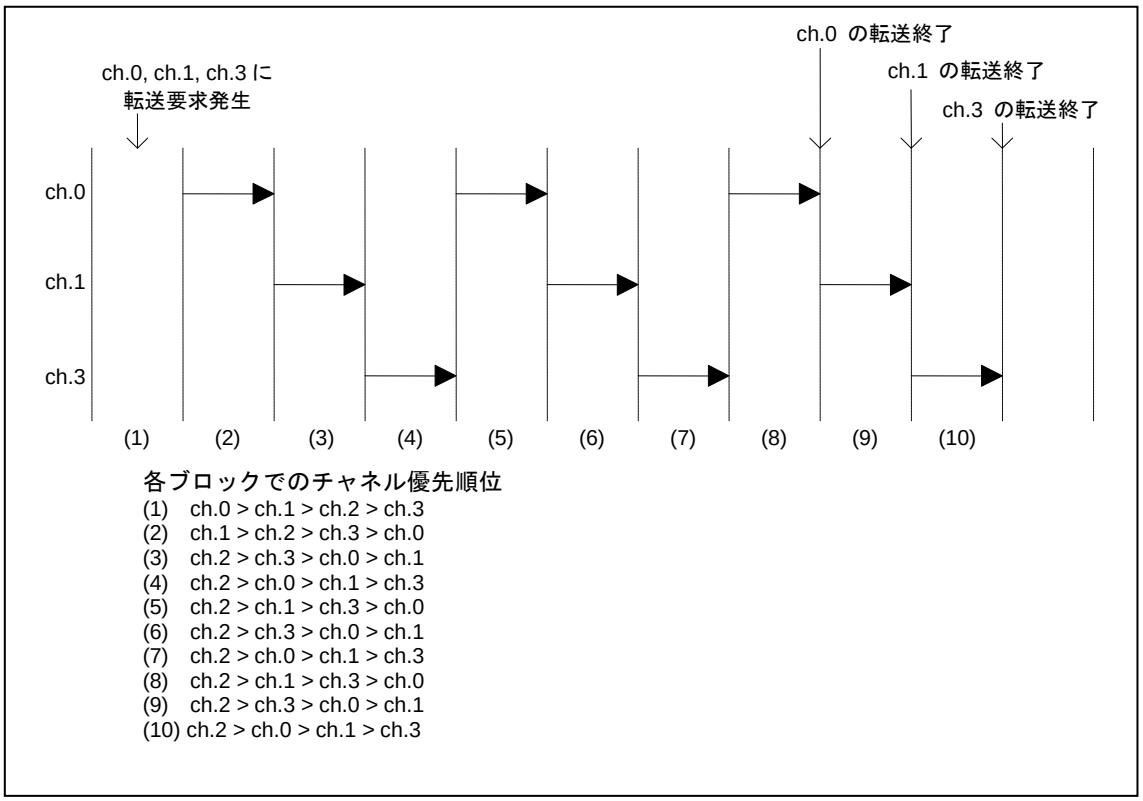
・ラウンドロビン (DMACR.AT = 1)

転送を開始したチャネルの優先順位が一番低くなり、それより下位にあったチャネルの優先順位が 1 つずつ上がります。ラウンドロビンの場合は、転送要求が発生した時点での優先順位にしたがって、優先度の高いチャネルから転送を行います。転送を開始したチャネルの優先順位は一番低くなります。ブロック単位の転送ごとに優先順位判定を行い、その時点で優先度の高いチャネルの転送を行います。以下に、転送例を示します。図中の点線はブロック単位の区切りです。

＜例＞転送要求 : ch.0、ch.1、ch.3 に同時発生

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-6 チャネル優先順位ラウンドロビンにおける転送例



● 転送アドレス更新

DCCRx.TS で設定したサイズのデータを転送するごとに、転送元アドレスと転送先アドレスを更新します。アドレスの更新は増加/減少/固定のいずれかです。増加/減少の場合、アドレス値の増減幅は転送サイズ(DCCRx.TS)により決まります。固定の場合は、アドレス値は変化しません。表 5-4 にアドレス更新におけるアドレス値の増減幅を示します。アドレス更新によりオーバフローが発生したときは、そのビットを切り捨てます。

表 5-4 転送元アドレス、転送先アドレスの更新

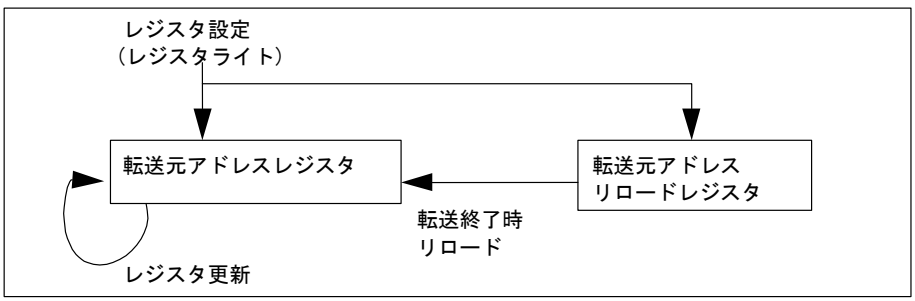
アドレス指定		転送サイズ (TS)	1 転送ごとのアドレス更新	
転送元(SAC)	転送先(DAC)		転送元(DSA)	転送先(DDA)
増加 ("00")	増加 ("00")	8bit ("00")	1 増加	1 増加
		16bit ("01")	2 増加	2 増加
		32bit ("10")	4 増加	4 増加
	減少 ("01")	8bit ("00")	1 増加	1 減少
		16bit ("01")	2 増加	2 減少
		32bit ("10")	4 増加	4 減少
	固定 ("11")	8bit ("00")	1 増加	更新しません。
		16bit ("01")	2 増加	
		32bit ("10")	4 増加	
減少 ("01")	増加 ("00")	8bit ("00")	1 減少	1 増加
		16bit ("01")	2 減少	2 増加
		32bit ("10")	4 減少	4 増加
	減少 ("01")	8bit ("00")	1 減少	1 減少
		16bit ("01")	2 減少	2 減少
		32bit ("10")	4 減少	4 減少
	固定 ("11")	8bit ("00")	1 減少	更新しません。
		16bit ("01")	2 減少	
		32bit ("10")	4 減少	
固定 ("11")	増加 ("00")	8bit ("00")	更新しません。	1 増加
		16bit ("01")		2 増加
		32bit ("10")		4 増加
	減少 ("01")	8bit ("00")		1 減少
		16bit ("01")		2 減少
		32bit ("10")		4 減少
	固定 ("11")	8bit ("00")		更新しません。
		16bit ("01")		
		32bit ("10")		

● 転送アドレスのリロード

DMAC は、転送回数で設定した回数の転送終了後に転送アドレスのリロードを行えます。

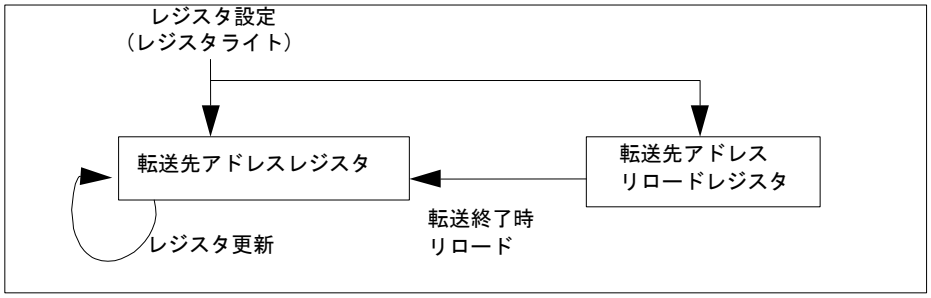
・転送元アドレスのリロード
転送元アドレスのリロードを指定している場合は、転送終了後に DSARx.DSA を初期設定値に戻します。
転送元アドレスのリロードを禁止している場合は、転送終了後の DSARx.DSA は最終アドレスの次のアクセスアドレスを示します。
転送元アドレスのリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DSARx.DSA は終了したアドレスの次のアクセスアドレスを示します。

図 5-7 転送元アドレスレジスタのリロード



・転送先アドレスレジスタのリロード
転送先アドレスのリロードを指定している場合は、転送終了後に DDARx.DDA を初期設定値に戻します。
転送先アドレスのリロードを禁止している場合は、転送終了後の DDARx.DDA は最終アドレスの次のアクセスアドレスを示します。
転送先アドレスのリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DDARx.DDA は終了したアドレスの次のアクセスアドレスを示します。

図 5-8 転送先アドレスレジスタのリロード



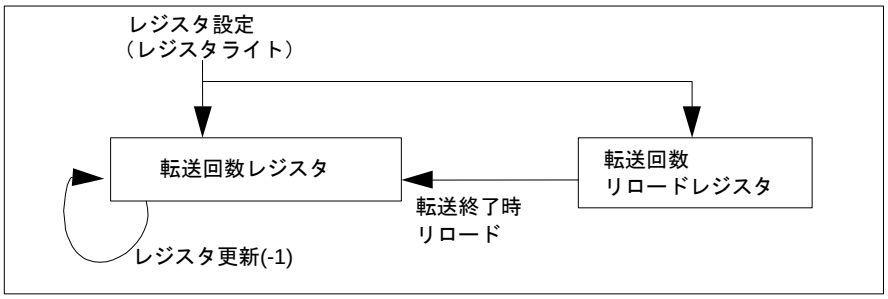
● 転送回数のリロード

転送回数のリロードを指定している場合は、転送終了後に DTCRx.DTC を初期設定値に戻します。

転送回数のリロードを禁止している場合は、転送終了後の DTCRx.DTC は"0"を示します。

転送回数のリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DTCRx.DTC は残りの転送回数を示します。

図 5-9 転送回数レジスタのリロード



転送回数のリロード設定により、転送終了時の DCCRx.CE ビットの状態が異なります。転送回数のリロード設定と転送要求元の関係を次に示します。

表 5-5 転送終了時における DCCRx.CE ビット

	ソフトウェア要求	ソフトウェア以外の要求
転送回数リロードを指定	DCCRx.CE はクリアされる。	DCCRx.CE はクリアされない。
転送回数リロードを禁止	DCCRx.CE はクリアされる。	DCCRx.CE はクリアされる。

● 転送中断

DMAC は、以下の要因により DMA 転送を中断します。

・DMACR.DME ビットのクリアによる中断
・DCCRx.CE ビットのクリアによる中断
・転送要求元ペリフェラルからの転送停止要求による中断

転送の中断は、ブロック単位で行います。転送を中断した場合新たな転送は行わず停止状態となります。転送を再開する場合は、中断の要因によって設定が異なります。

・DMACR.DME ビットのクリアによる中断
DMACR.DME ビットをクリアした場合すべてのチャネルが停止状態となり、転送中のチャネルはブロック単位の転送が終了した時点で転送を中断します。転送を再開する場合は、DMACR.DME ビットをセットしてください。
・DCCRx.CE ビットのクリアによる中断
DCCRx.CE ビットをクリアした場合そのチャネルは停止状態となり、ブロック単位の転送が終了した時点で転送を中断します。また、DCCRx.CE ビットのクリアにより、既に検出した転送要求もクリアされます。転送を再開する場合は、停止状態にあるチャネルの DCCRx.CE ビットをセットし、新たに転送要求を行ってください。
・転送要求元ペリフェラルからの転送停止要求
次のペリフェラルはそれぞれ示す条件で転送停止要求を発行します。

(A) マルチファンクションシリアルインタフェース

PE, FRE または ORE フラグ発生時

転送停止要求が発行されると、 転送中のデータを 1 ブロック転送し終わった時点で転送が中断されます。転送が中断されると次の状態が発生します。

- DMA チャネルステータスレジスタ(DCSR0～DCSR7)の SP ビットが"1"に変わる。

- DMA チャネルコントロールレジスタ(DCCR0～DCCR7)の CE ビットが"0"に変わる。

- 既に検出した転送要求がクリアされる。

転送停止要求が発行されている期間は、新たな転送要求を受付けません。次の手順で DMA 転送を再開してください

(1) (A)のフラグをクリアして転送停止要求を無効にする。

(2) 対応するチャネルの DMA チャネルステータスレジスタ(DCSR0～DCSR7)の SP ビットに"0"を書き込む。

(3) DMA チャネルコントロールレジスタ(DCCR0～DCCR7)の CE ビットに"1"を書き込む。

(4) 新たに転送要求を行う。

表 5-6 転送中断後の再開のための設定

	DME をクリア	CE をクリア	転送要求元ペリフェラルからの転送停止要求を検出
転送再開の設定	(1)DME をセット	(1)CE をセット (2)転送要求	(1)転送要求をネゲート (2)SP をクリア (3)CE をセット (4)転送要求

● 転送終了

転送終了には、正常終了と異常終了があります。

・正常終了
転送回数(DTCRx.DTC)で設定した回数の転送を終了した時点で正常終了となります。正常終

了した場合、対応するチャネルの DCSRx.NC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。ただし、転送要求元がソフトウェア以外で転送回数リロードを指定している場合、そのチャネルの DCCRx.CE ビットはクリアされません。
また、転送回数(DTCRx.DTC)が"0"のときに対応するチャネルの DCCRx.CE に"1"書込みした場合、正常終了と同様に、DCSRx.NC ビットをセットします。DCCRx.CE に"1"を設定する際は、必ず DTCRx.DTC に"1"以上を設定してからおこなってください。

・異常終了
レジスタに設定禁止の値を設定した場合異常終了となります。異常終了した場合、対応するチャネルの DCSRx.AC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。

レジスタの設定禁止項目は以下のとおりです。

・転送モード : DCCRx.TM = 10
・転送元アドレスカウント : DCCRx.SAC = 10
・転送先アドレスカウント : DCCRx.DAC = 10
・転送サイズ : DCCRx.TS = 11
・ソフトウェア要求によるデマンド転送モード : DCCRx.RS = 00 かつ DCCRx.TM = 11

● 割込み要求

DMAC は、転送の正常終了、異常終了、転送停止要求による転送中断によって割込み要求を発生できます。割込み要求を発生する場合、割込みコントローラの設定もおこなってください。
割込み要求の要因確認および割込み要求のクリアは DMA チャネルステータスレジスタ(DCSRx)によっておこなってください。

・正常終了による割込み要求
チャネルの正常終了割込みを許可(DCCRx.NIE=1)している場合、正常終了した場合割込み要求を出力します。ただし、対応するチャネルの DCSRx.NC ビットは正常終了割込み(DCCRx.NIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.NC ビットをクリアすることによりおこなってください。

・異常終了による割込み要求
チャネルの異常終了割込みを許可(DCCRx.AIE=1)している場合、異常終了した場合割込み要求を出力します。ただし、対応するチャネルの DCSRx.AC ビットは異常終了割込み(DCCRx.AIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.AC ビットをクリアすることによりおこなってください。

・転送停止要求による転送中断の割込み要求
チャネルの転送中断割込みを許可(DCCRx.SIE=1)している場合、転送停止要求によって転送を中断した場合割込み要求を出力します。ただし、対応するチャネルの DCSRx.SP ビットは転送中断割込み(DCCRx.SIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.SP ビットをクリアすることによりおこなってください。

・DMA 転送の抑止

以下の要因により、DMA 転送が抑止されます。

- DSU/OCD からの DMA 転送抑止要求 (デバッグ用)
- NMI
- 周辺割込み

DMA 転送の抑止は、ブロック単位でおこなわれます。転送が抑止されると新たな転送は行わず、停止状態となります。転送の再開は、DMA 転送抑止の要因によって異なります。

- DSU/OCD からの DMA 抑止要求 (デバッグ用)
  DSU/OCD からの DMA 転送抑止要求がアサートされた場合、新たな転送は行わず、転送中の場合はブロック単位で転送を停止します。DSU/OCD からの DMA 転送抑止に対しては、アクノリッジを返しません。

- NMI による DMA 転送抑止
  NMIHD ビットが"0"に設定されている場合、ユーザ NMI が発生した場合 NMIH フラグをセットし、ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
  転送を再開する場合は、NMIH フラグに"0"を書き込んでください。

- 周辺割込みによる DMA 転送抑止
  DILVR に設定した割込みレベルより強い割込みが発生した場合、ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
  割込み要求をクリアし、割込みレベルが LVL[4:0]と同じか弱いレベルになると DMA 転送を再開します。

表 5-7 DMA 転送抑止のための LVL[4:0]設定

LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。 /(初期値)
11110	レベルが $1E_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが $1D_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが $1C_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが $1B_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが $1A_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19_H より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18_H より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17_H より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16_H より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15_H より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14_H より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13_H より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12_H より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11_H より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求によって DMA 転送を抑止しません。

5.2. オンチップバス IP と DMAC チャネルの対応表

DMAC の各チャネルに対して以下のオンチップバス IP が割り付けられています。

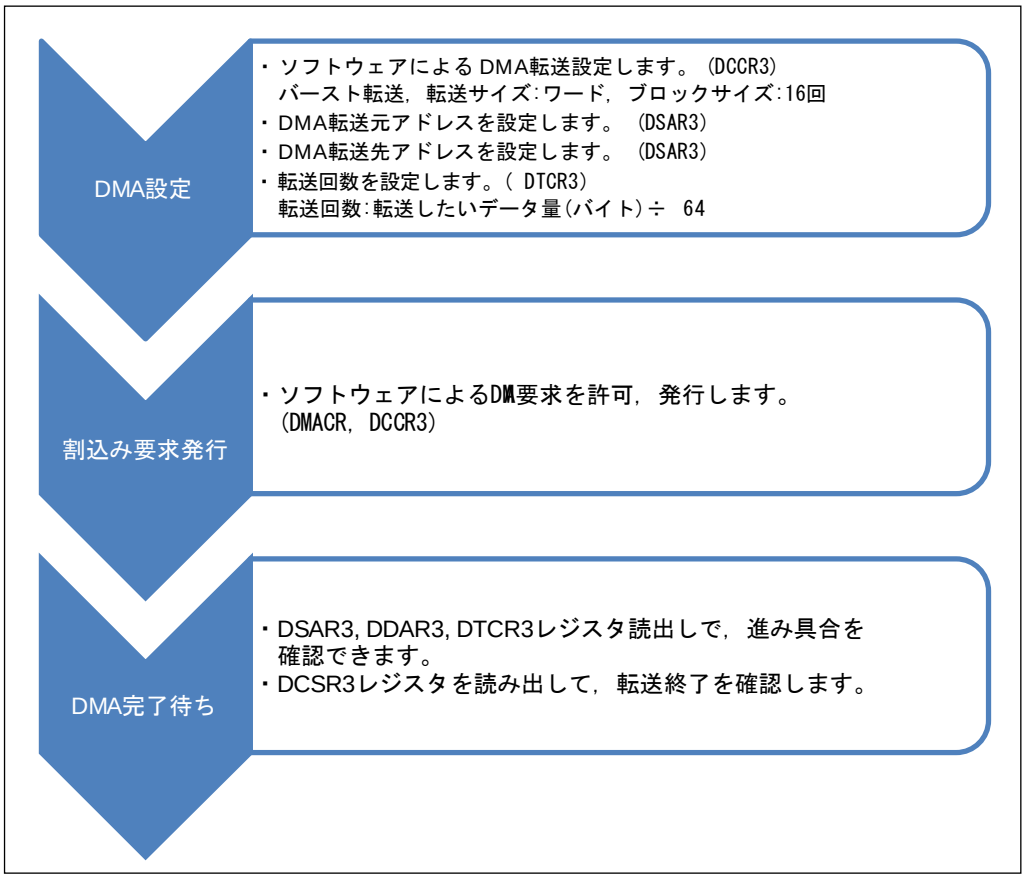
チャネル	オンチップバス IP
0	A/D コンバータ 8/9/10/11 割込みによる転送要求
1	対応するオンチップバス IP はありません。
2	対応するオンチップバス IP はありません。
3	対応するオンチップバス IP はありません。
4	PWC0 キャプチャデータ上限割込み 00/10/20/30 PWC0 キャプチャデータ下限割込み 00/10/20/30 PWC0 データバッファ割込み 00/10/20/30 PWC0 バッファオーバラン割込み 00/10/20/30 上記の割込みによる転送要求
5	PWC1 キャプチャデータ上限割込み 01/11/21/31 PWC1 キャプチャデータ下限割込み 01/11/21/31 PWC1 データバッファ割込み 01/11/21/31 PWC1 バッファオーバラン割込み 01/11/21/31 上記の割込みによる転送要求
6	PWC0 0 検出割込み 00/10 コンペアクリア割込み 00/10 上記の割込みによる転送要求
7	PWC1 0 検出割込み 01/11 コンペアクリア割込み 01/11 上記の割込みによる転送要求

6. DMA 使用例

DMA コントローラ(DMAC)の DMA 使用例について説明します。

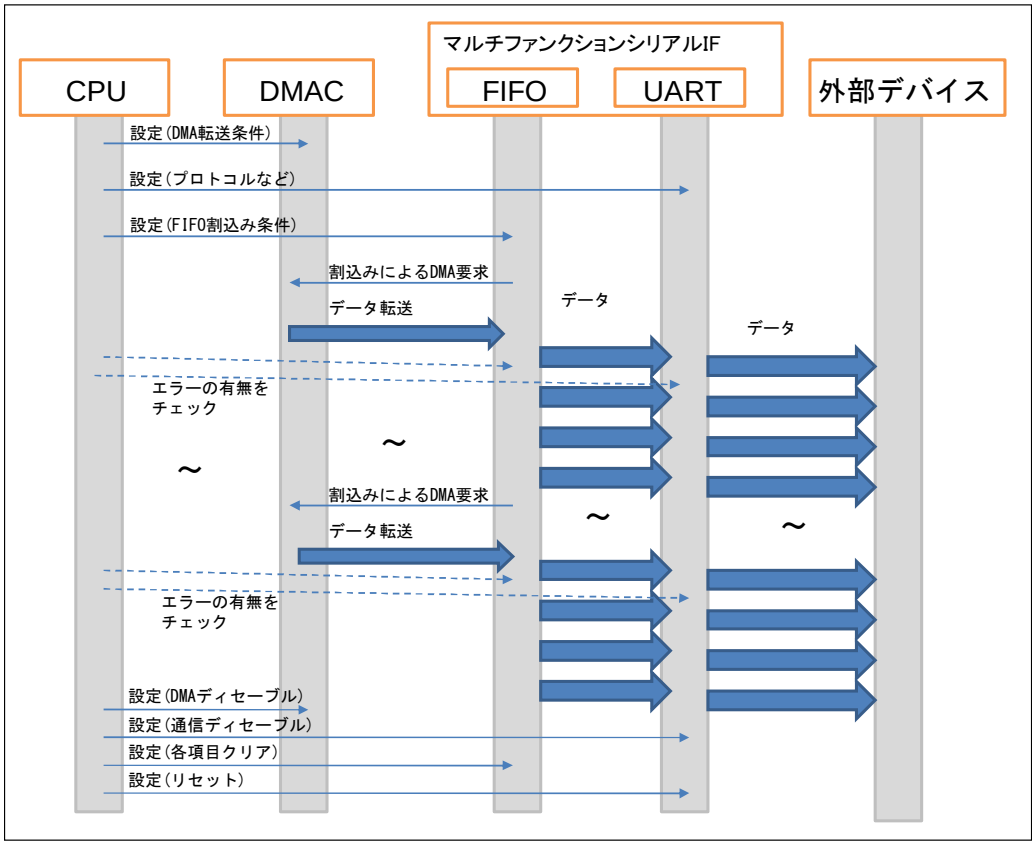
DMA を使用した 64 バイト単位 memcpy の例です。最もシンプルな DMA 転送の例です。

図 6-1 DMA を使用した memcpy 例 (ch.3 使用)



DMA を使用したマルチファンクションシリアルインタフェースでの通信例です。この例においてマルチファンクションシリアルインタフェースの割込みは DMA 転送要求に占有されるので、エラー有無のチェックに CPU でのステータスレジスタのポーリングを行っています。

図 6-2 DMA を使用したマルチファンクションシリアルインタフェース通信例



CHAPTER: DMA 転送要求の発生・クリア

DMA 転送要求の発生・クリアについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

DMA 転送要求の発生・クリアの概要について説明します。

本品種は、周辺機能の割込み要求を利用して DMA 転送を起動できます。DMA 転送を起動する割込み要求を選択するレジスタが DMA コントローラ(DMAC)のチャネルごとに用意されています。1 つの割込みベクタ番号に複数の割込み要求が割り当てられていた場合に、どの割込み要求フラグを DMA コントローラ(DMAC)でクリアするのかも設定してください。

DMA コントローラ(DMAC)のレジスタで DMA 転送要求の発生要因(転送要求元)を周辺機能の割込み要求に設定できます。割込みベクタ番号に対応する値を指定して、使用する割込み要求を選択します。

2. 特長

DMA 転送要求の発生・クリアの特長について説明します。

2.1. 転送要求の発生設定

2.2. 割込みクリアの設定

2.1. 転送要求の発生設定

転送要求の発生設定について示します。

8チャネルのDMAに対し、それぞれに割込みベクタ番号0x10(10進で16)から0x3F(10進で63)の、どの割込みにより DMA 転送要求を発生させるかを指定します。

2.2. 割込みクリアの設定

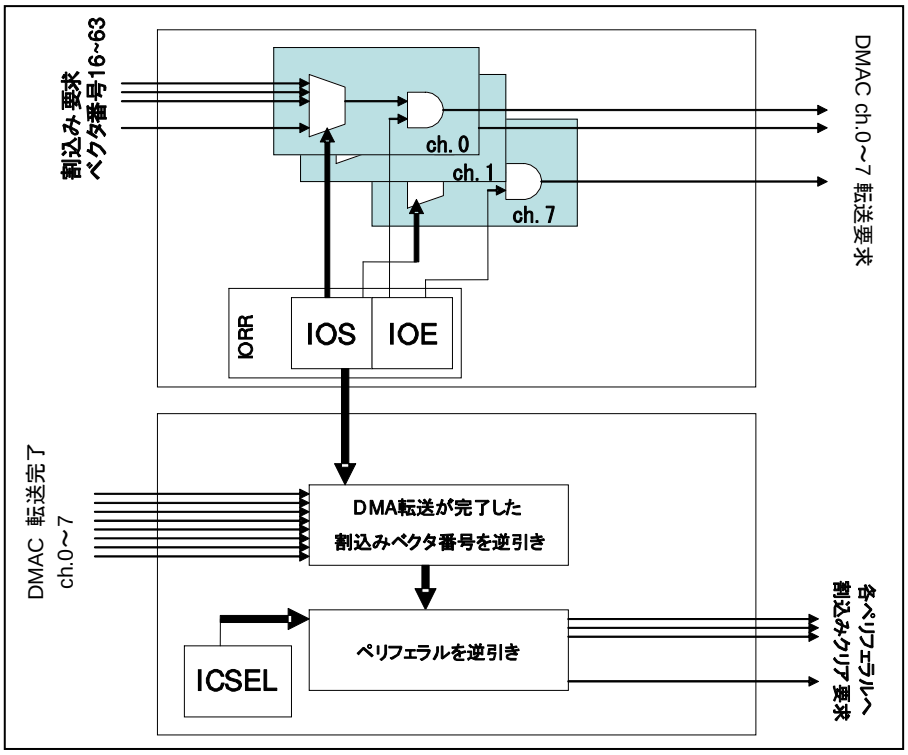
割込みクリアの設定について示します。

DMA の転送終了後に、転送要求元が複数の割込み元ペリフェラルを持つベクタ番号だった場合、どの割込み元の割込み要求をクリアするかを設定します。

3. 構成

DMA 転送要求の発生・クリアの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

DMA 転送要求の発生・クリアのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0400	ICSEL0	予約	ICSEL2	ICSEL3	DMA クリア要求レジスタ 0(ベクタ番号#16 用) DMA クリア要求レジスタ 2(ベクタ番号#18 用) DMA クリア要求レジスタ 3(ベクタ番号#19 用)
0x0404	予約	ICSEL5	予約	予約	DMA クリア要求レジスタ 5(ベクタ番号#39 用)
0x0408	予約	予約	予約	ICSEL11	DMA クリア要求レジスタ 11(ベクタ番号#46 用)
0x040C	予約	ICSEL13	ICSEL14	ICSEL15	DMA クリア要求レジスタ 13(ベクタ番号#52 用) DMA クリア要求レジスタ 14(ベクタ番号#53 用) DMA クリア要求レジスタ 15(ベクタ番号#54 用)
0x0410	ICSEL16	ICSEL17	ICSEL18	ICSEL19	DMA クリア要求レジスタ 16(ベクタ番号#55 用) DMA クリア要求レジスタ 17(ベクタ番号#56 用) DMA クリア要求レジスタ 18(ベクタ番号#57 用) DMA クリア要求レジスタ 19(ベクタ番号#58 用)
0x0414	ICSEL20	ICSEL21	ICSEL22	ICSEL23	DMA クリア要求レジスタ 20(ベクタ番号#59 用) DMA クリア要求レジスタ 21(ベクタ番号#60 用) DMA クリア要求レジスタ 22(ベクタ番号#61 用) DMA クリア要求レジスタ 23(ベクタ番号#45 用)
0x0438	予約	ICSEL25	予約	予約	DMA クリア要求レジスタ 25(ベクタ番号#48 用)
0x0490	IORR0	IORR1	IORR2	IORR3	IO 転送要求レジスタ 0 IO 転送要求レジスタ 1 IO 転送要求レジスタ 2 IO 転送要求レジスタ 3
0x0494	IORR4	IORR5	IORR6	IORR7	IO 転送要求レジスタ 4 IO 転送要求レジスタ 5 IO 転送要求レジスタ 6 IO 転送要求レジスタ 7

4.1. DMA 要求クリアレジスタ 0 : ICSEL0 (Interrupt Clear SELect register 0)

DMA 要求クリアレジスタ 0 のビット構成について示します。

割込みベクタ番号#16 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL0 : アドレス 0400$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					EISEL[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] EISEL[2:0] (External Interrupt request SELection) : 外部割込み 0-3 割込みクリア選択ビット

EISEL[2:0]	クリア対象
000	外部割込み 0
001	外部割込み 1
010	外部割込み 2
011	外部割込み 3
100~111	予約(どの割込みもクリアされません)

4.2. DMA 要求クリアレジスタ 2 : ICSEL2 (Interrupt Clear SELect register 2)

DMA 要求クリアレジスタ 2 のビット構成について示します。

割込みベクタ番号#18 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL2 : アドレス 0402$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						RTSEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1,0] RTSEL0 (Reload Timer SELection) : リロードタイマ 0/1/4 割込みクリア選択ビット

RTSEL0[1:0]	クリア対象
00	リロードタイマ 0
01	リロードタイマ 1
10	リロードタイマ 4
11	予約(どの割込みもクリアされません)

＜注意事項＞

RTSEL0[1:0]="11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.3. DMA 要求クリアレジスタ 3 : ICSEL3 (Interrupt Clear SELect register 3)

DMA 要求クリアレジスタ 3 のビット構成について示します。

割込みベクタ番号#19 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL3 : アドレス 0403$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							RTSEL1
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] RTSEL1 (Reload Timer SELection) : リロードタイマ 2/3 割込みクリア選択ビット

RTSEL1	クリア対象
0	リロードタイマ 2
1	リロードタイマ 3

4.4. DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SELect register 5)

DMA 要求クリアレジスタ 5 のビット構成について示します。

割込みベクタ番号#39 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL5 : アドレス 0405$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SG_RX_SEL1[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] SG_RX_SEL1[2:0] (SG_RX SELection1) :16 ビットフリーランタイマ 0 検出/コンペアクリア割込みクリア選択ビット

SG_RX_SEL1[2:0]	クリア対象
000	予約(どの割込みもクリアされません)
001	予約(どの割込みもクリアされません)
010	16bit フリーランタイマ 0 検出
011	16bit フリーランタイマ 0 コンペアクリア
100	予約(どの割込みもクリアされません)
101～111	予約(どの割込みもクリアされません)

＜注意事項＞

SG_RX_SEL1[2:0]="000", "001"および"100"～"111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.5. DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SELect register 11)

DMA 要求クリアレジスタ 11 のビット構成について示します。

割込みベクタ番号#46 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL11 : アドレス 040B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					PMSTSEL[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] PMSTSEL[2:0] (PLL, Main SELection) : メインタイマ/PLL タイマ 割込みクリア選択

PMSTSEL[2:0]	クリア対象
000	メインタイマ
001	予約 (どの割込みもクリアされません)
010	PLL タイマ
011	予約 (どの割込みもクリアされません)
100	予約 (どの割込みもクリアされません)
101	予約 (どの割込みもクリアされません)
110	予約 (どの割込みもクリアされません)
111	予約 (どの割込みもクリアされません)

＜注意事項＞

PMSTSEL[2:0]= "001"および"011～111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.6. DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SELect register 13)

DMA 要求クリアレジスタ 13 のビット構成について示します。

割込みベクタ番号#52 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL13 : アドレス 040D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						CMPSEL[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] CMPSEL[1:0] (CMP SELection): コンパレータ出力検出割込みクリア選択

CMPSEL[1:0]	クリア対象
00	コンパレータ出力検出割込み 0
01	コンパレータ出力検出割込み 1
10	コンパレータ出力検出割込み 2
11	予約 (どの割込みもクリアされません)

＜注意事項＞

CMPSEL[1:0]= "11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.7. DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SELect register 14)

DMA 要求クリアレジスタ 14 のビット構成について示します。

割込みベクタ番号#53 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL14 : アドレス 040E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PWCSEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] PWCSEL0[1:0] (PWC SELection0): PWC0ch 0 検出 00,10/PWC0ch コンペアクリア割込みクリア 00,10 選択

PWCSEL0[1:0]	クリア対象
00	PWC0ch 0 検出割込み 00
01	PWC0ch 0 検出割込み 10
10	PWC0ch コンペアクリア割込み 00
11	PWC0ch コンペアクリア割込み 10

4.8. DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SELect register 15)

DMA 要求クリアレジスタ 15 のビット構成について示します。

割込みベクタ番号#54 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL15 : アドレス 040F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PWCSEL1[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R,W	R,W	R,W	R/W

[bit3～bit0] (PWC SELection1): PWC0ch キャプチャデータ上限 00,10,20,30/PWC0ch キャプチャデータ下限 00,10,20,30/PWC0ch データバッファ 00,10,20,30/PWC0ch バッファオーバラン 00.10,20,30 割込みクリア選択

PWCSEL1[3:0]	クリア対象
0000	PWC0ch キャプチャデータ上限割込み 00
0001	PWC0ch キャプチャデータ上限割込み 10
0010	PWC0ch キャプチャデータ上限割込み 20
0011	PWC0ch キャプチャデータ上限割込み 30
0100	PWC0ch キャプチャデータ下限割込み 00
0101	PWC0ch キャプチャデータ下限割込み 10
0110	PWC0ch キャプチャデータ下限割込み 20
0111	PWC0ch キャプチャデータ下限割込み 30
1000	PWC0ch データバッファ割込み 00
1001	PWC0ch データバッファ割込み 10
1010	PWC0ch データバッファ割込み 20
1011	PWC0ch データバッファ割込み 30
1100	PWC0ch バッファオーバラン割込み 00
1101	PWC0ch バッファオーバラン割込み 10
1110	PWC0ch バッファオーバラン割込み 20
1111	PWC0ch バッファオーバラン割込み 30

4.9. DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SELect register 16)

DMA 要求クリアレジスタ 16 のビット構成について示します。

割込みベクタ番号#55 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL16 : アドレス 0410$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PWCSEL2[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] PWCSEL2[1:0] (PWC SELection2): PWC1ch 0 検出 01,11/PWC1ch コンペアクリア割込み 01,11 クリア選択

PWCSEL2[1:0]	クリア対象
00	PWC1ch 0 検出割込み 01
01	PWC1ch 0 検出割込み 11
10	PWC1ch コンペアクリア割込み 01
11	PWC1ch コンペアクリア割込み 11

4.10. DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SELect register 17)

DMA 要求クリアレジスタ 17 のビット構成について示します。

割込みベクタ番号#56 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL17 : アドレス 0411$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PWCSEL3[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R,W	R,W	R,W	R/W

[bit3～bit0] (PWC SELection3): PWC1ch キャプチャデータ上限 01,11,21,31/PWC1ch キャプチャデータ下限 01,11,21,31/PWC1ch データバッファ 01,11,21,31/PWC1ch バッファオーバラン 01.11,21,31 割込みクリア選択

PWCSEL3[3:0]	クリア対象
0000	PWC1ch キャプチャデータ上限割込み 01
0001	PWC1ch キャプチャデータ上限割込み 11
0010	PWC1ch キャプチャデータ上限割込み 21
0011	PWC1ch キャプチャデータ上限割込み 31
0100	PWC1ch キャプチャデータ下限割込み 01
0101	PWC1ch キャプチャデータ下限割込み 11
0110	PWC1ch キャプチャデータ下限割込み 21
0111	PWC1ch キャプチャデータ下限割込み 31
1000	PWC1ch データバッファ割込み 01
1001	PWC1ch データバッファ割込み 11
1010	PWC1ch データバッファ割込み 21
1011	PWC1ch データバッファ割込み 31
1100	PWC1ch バッファオーバラン割込み 01
1101	PWC1ch バッファオーバラン割込み 11
1110	PWC1ch バッファオーバラン割込み 21
1111	PWC1ch バッファオーバラン割込み 31

4.11. DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SELect register 18)

DMA 要求クリアレジスタ 18 のビット構成について示します。

割込みベクタ番号#57 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL18 : アドレス 0412$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						AD_SEL1[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] AD_SEL1[1:0] (AD SELection1): A/DC ch.8～ch.11 割込みクリア選択

AD_SEL1[1:0]	クリア対象
00	A/D コンバータ ch.8
01	A/D コンバータ ch.9
10	A/D コンバータ ch.10
11	A/D コンバータ ch.11

4.12. DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SELect register 19)

DMA 要求クリアレジスタ 19 のビット構成について示します。

割込みベクタ番号#58 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL19 : アドレス 0413$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							BTSEL2
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] BTSEL2 (BaseTimer Selection2) : BaseTimer2 IRQ0,IRQ1 割込みクリア選択ビット

BTSEL2	クリア対象
0	BaseTimer2 IRQ0
1	BaseTimer2 IRQ1

4.13. DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SELect register 20)

DMA 要求クリアレジスタ 20 のビット構成について示します。

割込みベクタ番号#59 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL20 : アドレス 0414$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							BTSEL3
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] BTSEL3 (BaseTimer Selection3) : BaseTimer3 IRQ0,IRQ1 割込みクリア選択ビット

BTSEL3	クリア対象
0	BaseTimer3 IRQ0
1	BaseTimer3 IRQ1

4.14. DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SELect register 21)

DMA 要求クリアレジスタ 21 のビット構成について示します。

割込みベクタ番号#60 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL21： アドレス 0415$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						BT_SG_SEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] BT_SG_SEL0[1:0] (BT_SG Selection0) : Base Timer0 IRQ0,IRQ1 割込みクリア選択ビット

BT_SG_SEL0[1:0]	クリア対象
00	Base Timer0 IRQ0
01	Base Timer0 IRQ1
10	予約 (どの割込みもクリアされません)
11	予約 (どの割込みもクリアされません)

＜注意事項＞

BT_SG_SEL0[1:0]= "10"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.15. DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SELect register 22)

DMA 要求クリアレジスタ 22 のビット構成について示します。

割込みベクタ番号#61 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL22 : アドレス 0416$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						BT_SG_SEL1[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] BT_SG_SEL1[1:0] (BT_SG_Selection1) : Base Timer1 IRQ0,IRQ1 割込みクリア選択ビット

BT_SG_SEL1[1:0]	クリア対象
00	Base Timer1 IRQ0
01	Base Timer1 IRQ1
10	予約 (どの割込みもクリアされません)
11	予約 (どの割込みもクリアされません)

＜注意事項＞

BT_SG_SEL1[1:0]= "10"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.16. DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SELect register 23)

DMA 要求クリアレジスタ 23 のビット構成について示します。

割込みベクタ番号#45 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL23 : アドレス 0417$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						MFS_SEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] MFS_SEL0[1:0] (MFS_Selection) : ICU0 割込みクリア選択ビット

MFS_SEL0[1:0]	クリア対象
00	予約 (どの割込みもクリアされません)
01	16bit ICU0
10	予約 (どの割込みもクリアされません)
11	予約 (どの割込みもクリアされません)

＜注意事項＞

MFS_SEL0[1:0]= "00"および"10"～"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.17. DMA 要求クリアレジスタ 25 : ICSEL25 (Interrupt Clear SELect register 25)

DMA 要求クリアレジスタ 25 のビット構成について示します。

割込みベクタ番号#48 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL25 : アドレス 0439$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			AD_SEL[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit4～bit0] AD_SEL[4:0] (AD_Selection) : A/DC ch.0～ch.7 割込みクリア選択ビット

AD_SEL[4:0]	クリア対象
00000	A/D コンバータ ch.0
00001	A/D コンバータ ch.1
00010	A/D コンバータ ch.2
00011	A/D コンバータ ch.3
00100	A/D コンバータ ch.4
00101	A/D コンバータ ch.5
00110	A/D コンバータ ch.6
00111	A/D コンバータ ch.7
01000～11111	予約 (どの割込みもクリアされません)

＜注意事項＞

AD_SEL[4:0]= "01000"～"11111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.18. IO 転送要求設定レジスタ 0-7 : IORR0-7 (IO triggered DMA Request Register for ch. 0-7)

IO 転送要求設定レジスタ 0-7 のビット構成について示します。

DMA 転送要求の発生要因をペリフェラルの割込み要求に設定したときに、どのベクタ番号の割込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。
DMA コントローラ(DMAC)のチャネルごとに、このレジスタが用意されています。

■ IORR0-7 : アドレス 0490$_H$ ～ 0497$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IOE	IOS[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit6] IOE (IO Enabled) : 転送要求許可ビット
IOS5～IOS0 ビットで指定した割込み要求が発生したときに、対応するチャネルの DMA コントローラ(DMAC)に、DMA 転送要求を出力するかどうかを設定します。

IOE	機能
0	DMA 転送要求を出力しません -- ペリフェラルで発生した割込み要求を DMA 転送要求として使用しません (初期値)
1	DMA 転送要求を出力します

[bit5～bit0] IOS (IO triggered DMA transfer request Select) : 転送要求選択ビット
このレジスタに対応するチャネルの DMA コントローラ(DMAC)が、どのベクタ番号の割込み要求を転送要求元として使用するか設定します。

IOS[5:0]	割込みベクタ番号(16 進)
000000	0x10 (初期値)
000001	0x11
000010	0x12
000011	0x13
000100	0x14
000101	0x15
:	:
101100	0x3C
101101	0x3D
101110	0x3E

IOS[5:0]	割込みベクタ番号(16 進)
101111	0x3F
11xxxx	予約

＜注意事項＞

同じ割込みベクタ番号の割込み要求が、複数の DMA チャネルの転送要求元になる設定(例: IORR0=0x42 と IORR1=0x42 の同時設定)は禁止です。

5. 動作説明

DMA 転送要求の発生・クリアの動作について説明します。

5.1. 設定

5.2. 注意事項

5.1. 設定

動作の設定について示します。

周辺バス配下のペリフェラルによる DMA 転送を設定する順番は次のようになります。

(1) IORR に、転送要求元ペリフェラルの割込みベクタ番号と IOE ビットをセット。
(2) (1)で選択したベクタ番号に複数のペリフェラルがある場合は、ICSEL をセット。
(3) ペリフェラル側の割込み設定関連のレジスタを設定。
(4) DMAC を設定。

オンチップバス配下のペリフェラルによる DMA 転送を設定する順番は次のようになります。

(1) 転送要求元ペリフェラルの割込みベクタ番号に複数のペリフェラルがある場合は、ICSEL をセット。
(2) ペリフェラル側の割込み設定関連のレジスタを設定。
(3) DMAC を設定。

5.2. 注意事項

注意事項について示します。

- DMAC が周辺バス配下のペリフェラルの要求による DMA 転送を許可している状態で、IORR および ICSEL を変更しないでください。
- DMAC がオンチップバス配下のペリフェラルの要求による DMA 転送を許可している状態で、ICSEL を変更しないでください。
- リソースナンバ割り当て(『付録』を参照してください)のないペリフェラルには、DMA 転送完了後の割込みクリア機構はありません。したがって、これらのペリフェラルに DMA 転送要求発生を割り当てても、DMA 転送完了後に割込みがクリアされませんので注意してください。
- 転送要求に使用した割込み要求は、CPU への割込み要求としても見えますので割込みコントローラの設定を割込み禁止に設定してください。 (ICR レジスタ)

CHAPTER: FixedVector 機能

FixedVector 機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

FixedVector 機能の概要について説明します。

FixedVector 機能は、リセット時の割込みベクタに当該番地(0xF_FFFC)のフラッシュメモリの内容でなく、フラッシュメモリの先頭アドレス＋0x0024 番地を返す機能です。

2. 特長

FixedVector 機能の概要について説明します。

・FixedVector 機能が返す、リセット時の割込みベクタ:
  ・ MB91F552　0x000D_0024

3. 構成

FixedVector 機能の構成について説明します。

構成図は、『フラッシュメモリ』の章の『図 3-2 セクタ構成図』を参照してください。

4. レジスタ

FixedVector 機能のレジスタについて説明します。

レジスタはありません。

5. 動作説明

FixedVector 機能の動作について説明します。

5.1. リセット解除後の動作

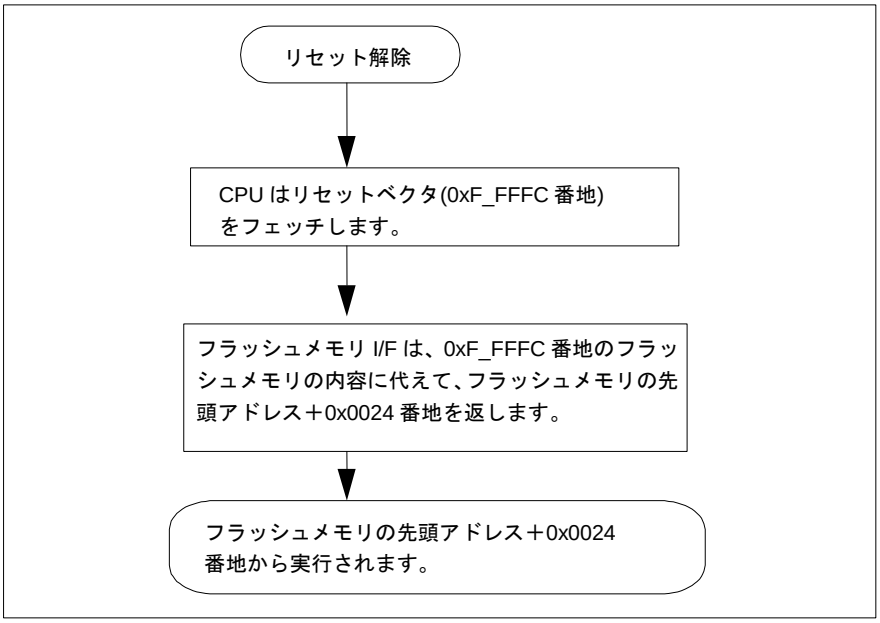
5.2. 使用方法

5.1. リセット解除後の動作

リセット解除後の動作について示します。

次に示すフローで、リセット解除時にフラッシュメモリ内の 0xF_FFFC 番地の内容に代えて、フラッシュメモリの先頭アドレス＋0x0024 番地を返します。

図 5-1 リセット後動作フロー



5.2. 使用方法

使用方法について示します。

本品種はリセット解除後、0x000F_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス＋0x0024 番地から実行されます。

6. 注意事項

FixedVector 機能の注意事項について説明します。

リセットベクタフェッチ以外での 0x000F_FFFC ～ 0x000F_FFFF 番地の読出し(例 : TBR が初期値(=0x000F_FC00)のときに INT #00H 実行した際の呼び出し先)の場合は、0x000F_FFFC ～ 0x000F_FFFF 番地のフラッシュメモリの内容が返されます。

CHAPTER: I/O ポート

I/O ポートについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

I/O ポートの概要について説明します。

外部端子の割当て設定(ペリフェラル)、ならびに外部端子を I/O ポートとして利用する際の設定を説明します。

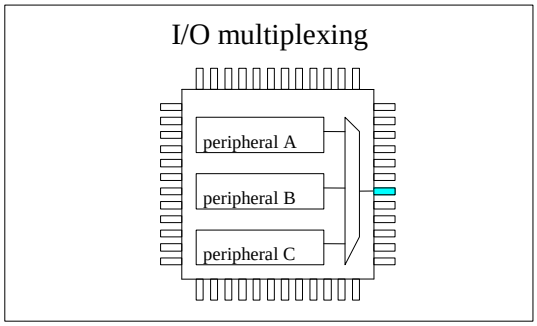
2. 特長

I/O ポートの特長について説明します。

- **I/O マルチプレクシング**
  1 つの外部端子に複数のペリフェラルから入出力が割り当てられている場合、どのペリフェラルを使用するかを選択します。

- **PORT 機能**
  外部端子を General Purpose I/O として出力にしてその値を設定したり、入力にしたりして入力値を読み取ります。

図 2-1 I/O マルチプレクシング説明図



- **キーコード機能**
  誤書込み保護機能です。キーコードレジスタ(KEYCDR) に所定の方法で書き込まないと、対象のレジスタへの書込みは無効となります。なお、対象となるレジスタへのワードアクセスはできません。

  以下にキーコード対象レジスタを示します。

  ・データ方向レジスタ
  ・ポート機能レジスタ
  ・拡張ポート機能レジスタ
  ・ポートプルアップダウン許可レジスタ
  ・ポート入力許可レジスタ
  ・アナログ入力制御レジスタ

3. 構成

I/O ポートの構成について説明します。

構成図はありません。

4. レジスタ

I/O ポートのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0000	PDR00	予約	PDR02	PDR03	ポートデータレジスタ 00,02～04
0x0004	PDR04	予約	予約	予約	
0x0E00	予約	予約	DDR02	DDR03	データ方向レジスタ 02～04 (キーコード対象レジスタ)
0x0E04	DDR04	予約	予約	予約	
0x0E20	PFR00	予約	PFR02	PFR03	ポート機能レジスタ 00,02～04 (キーコード対象レジスタ)
0x0E24	PFR04	予約	予約	予約	
0x0E40	PDDR00	予約	PDDR02	PDDR03	入力データダイレクトリードレジスタ 00,02～04
0x0E44	PDDR04	予約	予約	予約	
0x0E60	予約	予約	EPFR02	予約	拡張ポート機能レジスタ 02,26,35 (キーコード対象レジスタ)
0x0E64	予約	予約	予約	予約	
0x0E68	予約	予約	予約	予約	
0x0E6C	予約	予約	予約	予約	
0x0E70	EPFR16	予約	予約	予約	
0x0E74	予約	予約	予約	予約	
0x0E78	予約	予約	EPFR26	予約	
0x0E7C	予約	予約	予約	予約	
0x0E80	予約	予約	予約	EPFR35	
0x0EC0	PPER00	予約	PPER02	PPER03	ポートプルアップダウン許可レジスタ 00,02～04(キーコード対象レジスタ)
0x0EC4	PPER04	予約	予約	予約	
0x0F40	PORTEN	予約	予約	予約	ポート入力許可レジスタ (キーコード対象レジスタ)
0x0F44	KEYCDR		予約	予約	キーコードレジスタ
0x01B8	予約	EPFR65	予約	予約	拡張ポート機能レジスタ 65,86,88 (キーコード対象レジスタ)
0x01CC	予約	予約	EPFR86	予約	
0x01D0	EPFR88	予約	予約	予約	

4.1. ポートデータレジスタ 00,02～04 : PDR00,02-04 (Port Data Register 00,02-04)

ポートデータレジスタ 00,02～04 のビット構成について示します。

ポート出力モードにおけるポートごとの端子の出力レベルを格納するレジスタです。

■ PDR00,02-04 : アドレス 0000_H,0002_H, ・・・(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W

[bit7～bit0] P (Port) : ポートデータ設定ビット

ポート出力モード時の、外部端子 P000, P001, ・・・ の出力レベルを設定します。

PDR00.P[5:0]は外部端子 P005, P004, ・・・P000
PDR02.P[7:0]は外部端子 P027, P026, ・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	"0"を出力
1	"1"を出力

リードモディファイ系命令使用時の読出し値は、データ方向レジスタ(DDR)との組み合わせで決まります。

DDR	リードモディファイ系命令による読出し	PDR の読出し値
1	No	PDR の値が読めます
1	Yes	PDR の値が読めます
0	No	端子の値が読めます
0	Yes	PDR の値が読めます

PDR00.P[7:6]は予約ビットです。常に"1"が読み出されます。書込みは動作に影響ありません。

4.2. データ方向レジスタ 02～04 : DDR02-04 (Data Direction Register 02-04)

データ方向レジスタ 02～04 のビット構成について示します。

端子がポート機能時の際の入出力の方向を設定するレジスタです。また、ペリフェラル入力端子として使用する場合は本ビットを入力に設定します。P000～P005 は出力ポートとして使用できません。
DDR02-04 はキーコード対象レジスタです。

■ DDR02-04 : アドレス $0E02_H$,$0E03_H$,・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] P (Port) : データ方向選択ビット
ポート出力モード時の、外部端子 P020, P021, ・・・の入出力方向を設定します。
DDR02.P[7:0]は外部端子 P027, P026, ・・・P020
DDR03.P[7:0]は外部端子 P037, P036, ・・・P030
(以下同様)
という割り当てです。

P[n]	動作説明
0	入力(初期値)
1	出力

4.3. ポート機能レジスタ 00,02～04 : PFR00,02-04 (Port Function Register 00,02-04)

ポート機能レジスタ 00,02～04 のビット構成について示します。

端子をポート機能か、それ以外として使用するかを設定します。ペリフェラルの入力端子として使用する場合は、ポート機能側に設定します。
PFR00,02-04 はキーコード対象レジスタです。

■ PFR00,02-04 : アドレス $0E20_H$、$0E22_H$、・・・(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*各レジスタの初期値については、『付録』の『I/O マップ』を参照してください。

[bit7～bit0] P (Port) : ポート機能選択ビット
ポート機能を設定します。
PFR00.P[5:0]は外部端子 P005, P004, ・・・P000
PFR02.P[7:0]は外部端子 P027, P026, ・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	ポート機能またはペリフェラル入力端子(初期値)
1	ペリフェラル入出力(双方向)端子、ペリフェラル出力端子

PFR00.P[7:6]は予約ビットです。常に"1"が読み出されます。書込みは動作に影響ありません。

4.4. 入力データダイレクトレジスタ 00,02～04 : PDDR00,02-04 (Port Data Direct Register 00,02-04)

入力データダイレクトレジスタ 00,02～04 のビット構成について示します。

外部端子ごとの電圧レベルが常に読み出せるレジスタです。本レジスタの場合は条件なしで読み出せます。

■ PDDR00,02-04 : アドレス $0E40_H$, $0E42_H$, ・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7～bit0] P (Port) : 読出しビット
外部端子の値を読み出せます。
PDDR00.P[5:0]は外部端子 P005, P004, ・・・P000
PDDR02.P[7:0]は外部端子 P027, P026, ・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	"L" レベル
1	"H" レベル

PDDR00.P[7:6]は予約ビットです。常に"1"が読み出されます。書込みは動作に影響ありません。

4.5. プルアップダウン許可レジスタ 00,02～04 : PPER00,02-04 (Port Pull-up/down Enable Register 00,02-04)

プルアップダウン許可レジスタ 00,02～04 のビット構成について示します。

入力状態時に、ポートごとにプルアップまたはプルダウンの有無を設定するレジスタです。
PPER00,02-04 はキーコード対象レジスタです。

■ PPER02-04 : アドレス $0EC2_H$,$0EC3_H$,・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] P (Port) : プルアップダウン許可選択ビット
PPER02.P[7:0]は外部端子 P027, P026, ・・・P020
PPER03.P[7:0]は外部端子 P037, P036, ・・・P030
(以下同様)
という割り当てです。

P[n]	動作説明
0	プルアップなし(初期値)
1	プルアップあり

プルアップの有無は『概要』の章の『端子機能一覧』および『入出力回路形式』を参照してください。

■ PPER00 : アドレス $0EC0_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		P[5:0]					
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit5～bit0] P (Port) : プルアップダウン許可選択ビット
PPER00.P[5:0]は外部端子 P005, P004, ・・・P000
という割り当てです。

P[n]	動作説明
0	プルダウンなし(初期値)
1	プルダウンあり

プルダウンの有無は『概要』の章の『端子機能一覧』および『入出力回路形式』を参照してください。PPER00.P[7:6]は予約ビットです。常に"1"が読み出されます。書込みは動作に影響ありません。

4.6. 拡張ポート機能レジスタ 02,16,26,35,65,86,88 : EPFR02,16,26,35,65,86,88 (Extended Port Function Register 02,16,26,35,65,86,88)

拡張ポート機能レジスタ 02,16,26,35,65,86,88 のビット構成について示します。

I/O マルチプレクシングを制御するレジスタです。このレジスタはほかのポートレジスタとは異なり、端子ごとではなく、ペリフェラルごとにイネーブルビットを持ちます。

EPFR02,16,26,35,65,86,88 はキーコード対象レジスタです。

4.6.1. 拡張ポート機能レジスタ 02 : EPFR02 (Extended Port Function Register 02)

拡張ポート機能レジスタ 02 のビット構成について示します。

リロードタイマの出力の許可の選択を行います。 (I/O マルチプレクシング)

■ EPFR02 : アドレス 0E62$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			TOT4E	TOT3E	TOT2E	TOT1E	TOT0E
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit4] TOT4E : リロードタイマ TOT4 出力イネーブル
[bit3] TOT3E : リロードタイマ TOT3 出力イネーブル
[bit2] TOT2E : リロードタイマ TOT2 出力イネーブル
[bit1] TOT1E : リロードタイマ TOT1 出力イネーブル
[bit0] TOT0E : リロードタイマ TOT0 出力イネーブル

TOTnE (n=0~4)	動作説明
0	リロードタイマ TOTn の出力禁止(初期値)
1	リロードタイマ TOTn の出力許可

4.6.2. 拡張ポート機能レジスタ 16 : EPFR16 (Extended Port Function Register 16)

拡張ポート機能レジスタ 16 のビット構成について示します。

PWM 並列動作駆動用マスタスレーブ出力の許可を行います。 (I/O マルチプレクシング)

■ EPFR16 : アドレス 0E70$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							SYNOE
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit7～bit1] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit0] SYNOE : PWM 並列動作駆動用マスタスレーブ出力イネーブル

SYNOE	動作説明
0	PWM 並列動作駆動用マスタスレーブの出力禁止(初期値)
1	PWM 並列動作駆動用マスタスレーブの出力許可

4.6.3. 拡張ポート機能レジスタ 35 : EPFR35 (Extended Port Function Register 35)

拡張ポート機能レジスタ 35 のビット構成について示します。

マルチファンクションシリアルインタフェースの出力の許可を行います。 (I/O マルチプレクシング)

■ EPFR35 : アドレス 0E83$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		SOT2E	SCK2E	SOT1E	SCK1E	SOT0E	SCK0E
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit6] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit5] SOT2E : マルチファンクションシリアルインタフェース SOT2 出力イネーブル
[bit4] SCK2E : マルチファンクションシリアルインタフェース SCK2 出力イネーブル
[bit3] SOT1E : マルチファンクションシリアルインタフェース SOT1 出力イネーブル
[bit2] SCK1E : マルチファンクションシリアルインタフェース SCK1 出力イネーブル
[bit1] SOT0E : マルチファンクションシリアルインタフェース SOT0 出力イネーブル
[bit0] SCK0E : マルチファンクションシリアルインタフェース SCK0 出力イネーブル

SOTnE(n=0～2)	動作説明
0	マルチファンクションシリアルインタフェース SOTn 出力禁止(初期値)
1	マルチファンクションシリアルインタフェース SOTn 出力許可

SCKnE(n=0～2)	動作説明
0	マルチファンクションシリアルインタフェース SCKn 出力禁止(初期値)
1	マルチファンクションシリアルインタフェース SCKn 出力許可

4.6.4. 拡張ポート機能レジスタ 65 : EPFR65 (Extended Port Function Register 65)

拡張ポート機能レジスタ 65 のビット構成について示します。

シリアルチップセレクト入出力の許可を行います。

■ EPFR65 : アドレス 01B9$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		SCSO21E	SCSO20E	SCSO11E	SCSO10E	SCSO01E	SCSO00E
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit6] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit5] SCSO21E : マルチファンクションシリアルインタフェース SCS21 出力イネーブル
[bit4] SCSO20E : マルチファンクションシリアルインタフェース SCS20 入出力イネーブル
[bit3] SCSO11E : マルチファンクションシリアルインタフェース SCS11 出力イネーブル
[bit2] SCSO10E : マルチファンクションシリアルインタフェース SCS10 入出力イネーブル
[bit1] SCSO01E : マルチファンクションシリアルインタフェース SCS01 出力イネーブル
[bit0] SCSO00E : マルチファンクションシリアルインタフェース SCS00 入出力イネーブル

SCSOnE (n=00,01,10,11,20,21)	動作説明
0	SCSn 端子からの入力、出力禁止(初期値)*
1	SCSn 端子からの入力、出力許可

*SCSOnE(n=01,11,21)は、出力機能のみです。

4.6.5. 拡張ポート機能レジスタ 86 : EPFR86 (Extended Port Function Register 86)

拡張ポート機能レジスタ 86 のビット構成について示します。

CAN の出力の許可の選択を行います。 (I/O マルチプレクシング)

■ EPFR86 : アドレス 01CE$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					TX1E	予約	
初期値	1	1	1	1	1	0	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R1,WX	R1,WX

[bit7～bit3,bit1～bit0] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit2] TX1E CAN 送信データ出力イネーブル

TX1E	動作説明
0	CAN 出力禁止(初期値)
1	CAN 出力許可

4.6.6. 拡張ポート機能レジスタ 26 : EPFR26 (Extended Port Function Register 26)

拡張ポート機能レジスタ 26 のビット構成について示します。

ベースタイマの出力の許可の選択を行います。 (I/O マルチプレクシング)

■ EPFR26 : アドレス 0E7A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TIA3E	予約	TIA2E	予約	TIA1E	予約	TIA0E
初期値	1	0	1	0	1	0	1	0
属性	R1,WX	R/W	R1,WX	R/W	R1,WX	R/W	R1,WX	R/W

[bit7] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit6] TIA3E : ベースタイマ TIOA3 出力イネーブル

[bit5] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit4] TIA2E : ベースタイマ TIOA2 出力イネーブル

[bit3] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit2] TIA1E : ベースタイマ TIOA1 出力イネーブル

[bit1] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit0] TIA0E : ベースタイマ TIOA0 出力イネーブル

TIAnE(n=0～3)	動作説明
0	ベースタイマ TIOAn の出力禁止(初期値)
1	ベースタイマ TIOAn の出力許可

4.6.7. 拡張ポート機能レジスタ 88 : EPFR88: EPFR88 (Extended Port Function Register 88)

拡張ポート機能レジスタ 88 のビット構成について示します。

クロックモニタの出力許可を行います。 (I/O マルチプレクシング)

■ EPFR88 : アドレス 01D0$_H$ (アクセス: バイト, ハーフワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							MONKCLKE
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit7～bit1] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit0] MONKCLKE : クロックモニタ出力端子選択

MONKCLKE	動作説明
0	MONCLK 出力禁止 (初期値)
1	MONCLK 出力許可

4.7. ポート入力許可レジスタ ：PORTEN(PORT ENable register)

ポート入力許可レジスタのビット構成について示します。

ポートの入力遮断の解除を設定するレジスタです。ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、『付録』の『端子状態表』を参照してください。 各ポート端子をその機能に応じて設定した後、グローバルポート許可(PORTEN.GPORTEN)でポート入力を許可してください。

PORTEN はキーコード対象レジスタです。

■ PORTEN： アドレス 0F40$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							GPORTEN
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit7～bit1] :予約ビット
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit0] GPORTEN (Global PORT ENable) : グローバル入力遮断解除

GPORTEN	動作説明
0	大半の端子を入力遮断にします。入力遮断になる端子については、『付録』の『端子状態表』を参照してください。 (初期値)
1	本ビットによる入力遮断を解除します。

4.8. キーコードレジスタ : KEYCDR (KEY CoDe register)

キーコードレジスタのビット構成について示します。

誤書込み保護機能を有するレジスタの書込み設定をするレジスタです。
本レジスタに所定の方法で書き込まないと，対象のレジスタへの書込みは無効となります。本レジスタはハーフワードアクセスのみ有効です。

■ KEYCDR : アドレス 0F44$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	SIZE	RADR12	RADR11	RADR10	RADR9	RADR8
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RADR7	RADR6	RADR5	RADR4	RADR3	RADR2	RADR1	RADR0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit15, bit14] KEY1,KEY0 : キーコード
キーコード設定ビットです。本ビットに"00","01","10","11"の順番で連続的に書いてください。

＜注意事項＞

書込み順番が異なった時点でキーコード設定は無効となります。最初から設定してください。

[bit13] SIZE : アクセスサイズ
キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコード"00","01","10","11"を順番に書き込む際、本ビットには同じデータを書いてください。

SIZE	説明
0	バイトアクセスを設定
1	ハーフワードアクセスを設定

＜注意事項＞

- キーコード"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となります。最初から設定してください。
- キーコード対象レジスタへのワードアクセスは禁止です。

[bit12～bit0] RADR12～RADR0 : ポートアドレス

キーコード対象レジスタのアドレス下位 13 ビットを設定します。キーコード"00","01","10","11"を順番に書き込む際、本ビットには同じデータを書いてください。

＜注意事項＞

- キーコード"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となります。最初から設定してください。
- DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読出して、値が更新されているかを確認してください。

5. 動作説明

I/O ポートの動作について説明します。

5.1. 端子の入出力の割り当て

5.2. EPFR 設定の優先度について

5.3. ノイズフィルタ

5.4. GPORTEN 入力遮断

5.5. A/D コンバータ機能のある端子の注意事項

5.6. ベースタイマ TIOA1 端子使用時の設定

5.7. キーコードレジスタ機能の設定

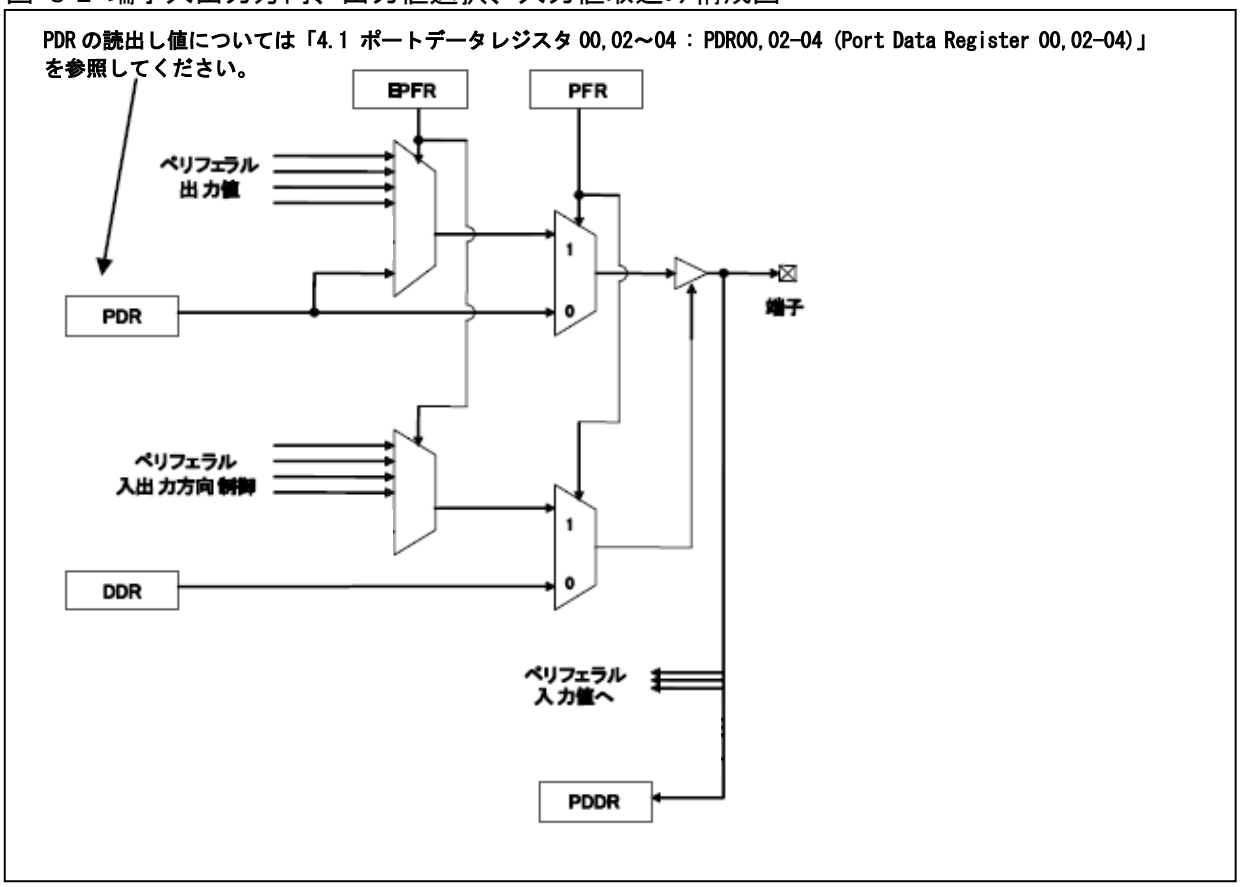
5.8. I/O ポート機能切換え時の注意事項

5.1. 端子の入出力の割り当て

端子の入出力の割り当てについて示します。

端子の入出力の割り当てについて説明します。各端子の入出力方向は図 5-1 に示す構成で制御されています。

図 5-1 端子入出力方向、出力値選択、入力値取込み構成図



端子割り当ての説明各項で説明するように、最初に PFR をポート機能側に変更してください。その際端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。その際、いったん、端子の入出力方向が DDR で指定される方向になりますので注意してください。

また、A/D コンバータ機能のある端子の場合は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

5.1.1. ペリフェラル入出力(双方向)端子の割り当て

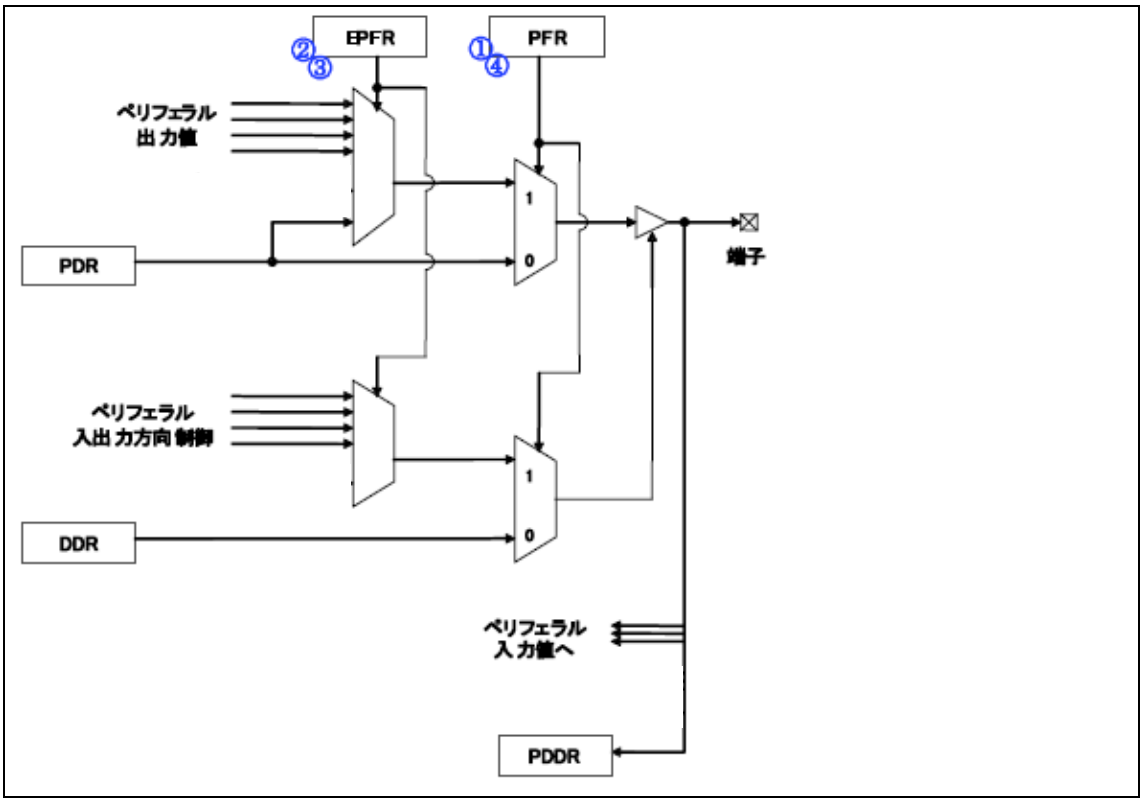
ペリフェラル入出力(双方向)端子の入出力の割り当てについて示します。

(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします
③当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。
④PFR をペリフェラル側に設定します。

図 5-2 ペリフェラル入出力の割り当て手順図



5.1.2. ペリフェラル入力の割り当て

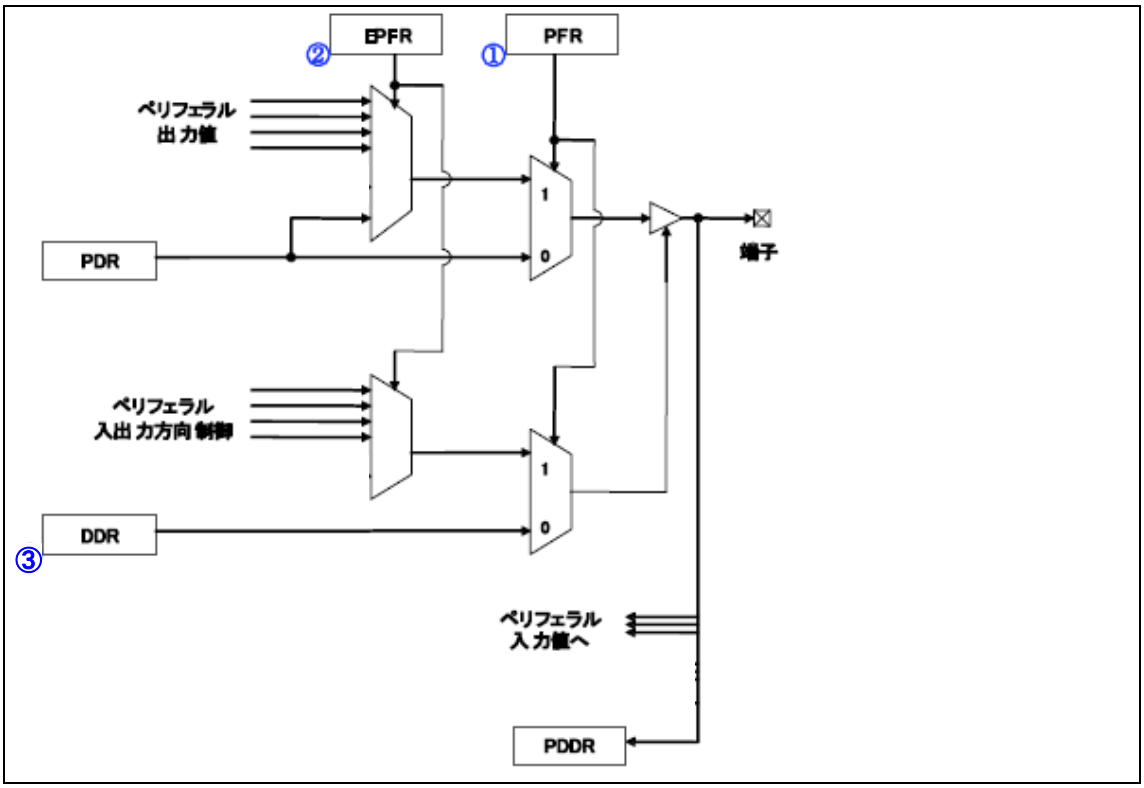
ペリフェラル入力の割り当てについて示します。

(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします
③DDR を入力側に設定します。

図 5-3 ペリフェラル入力の割り当て手順図



＜注意事項＞

上図で示しているように、端子がペリフェラル出力などに設定されている場合は、端子を共有するほかのペリフェラル入力へはその出力値が取り込まれます。

5.1.3. ペリフェラル出力の割り当て

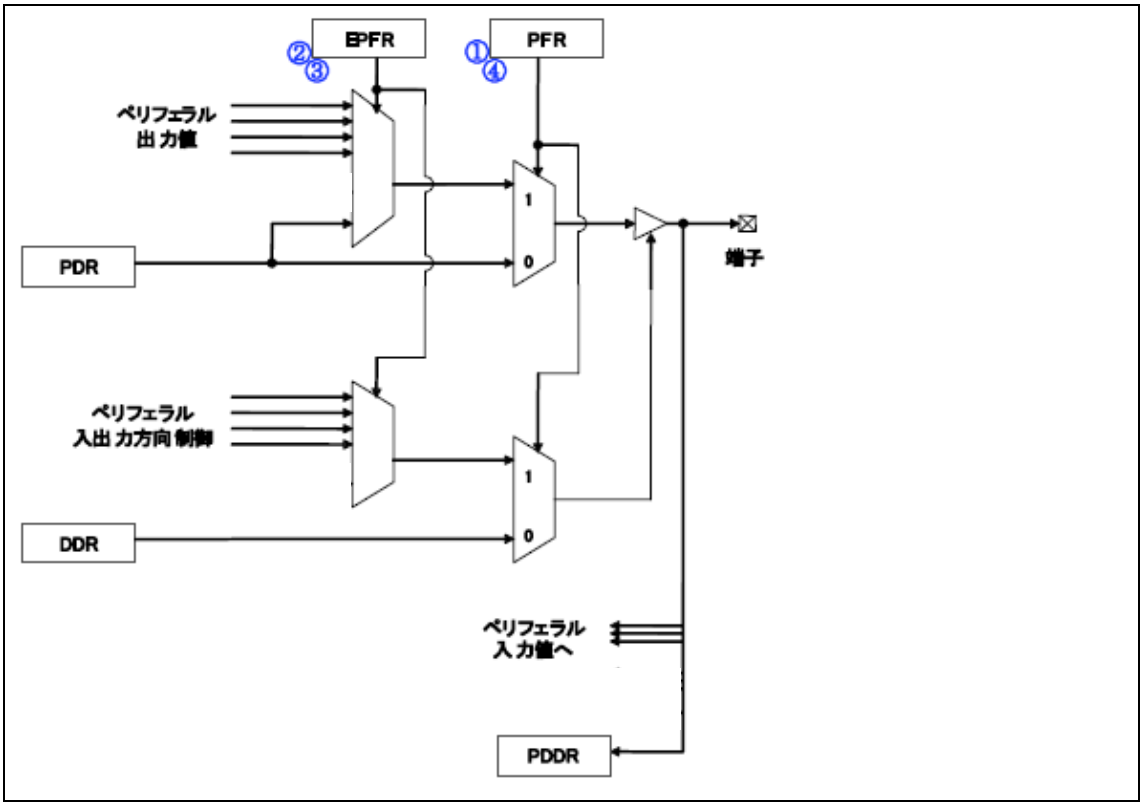
ペリフェラル出力の割り当てについて示します。

設定方法は「5.1.1 ペリフェラル入出力(双方向)端子の割り当て」と同一です。
(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
③当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。
④PFR をペリフェラル側に設定します。

図 5-4 ペリフェラル出力の割り当て手順図



5.1.4. ポート機能(入力)の割り当て

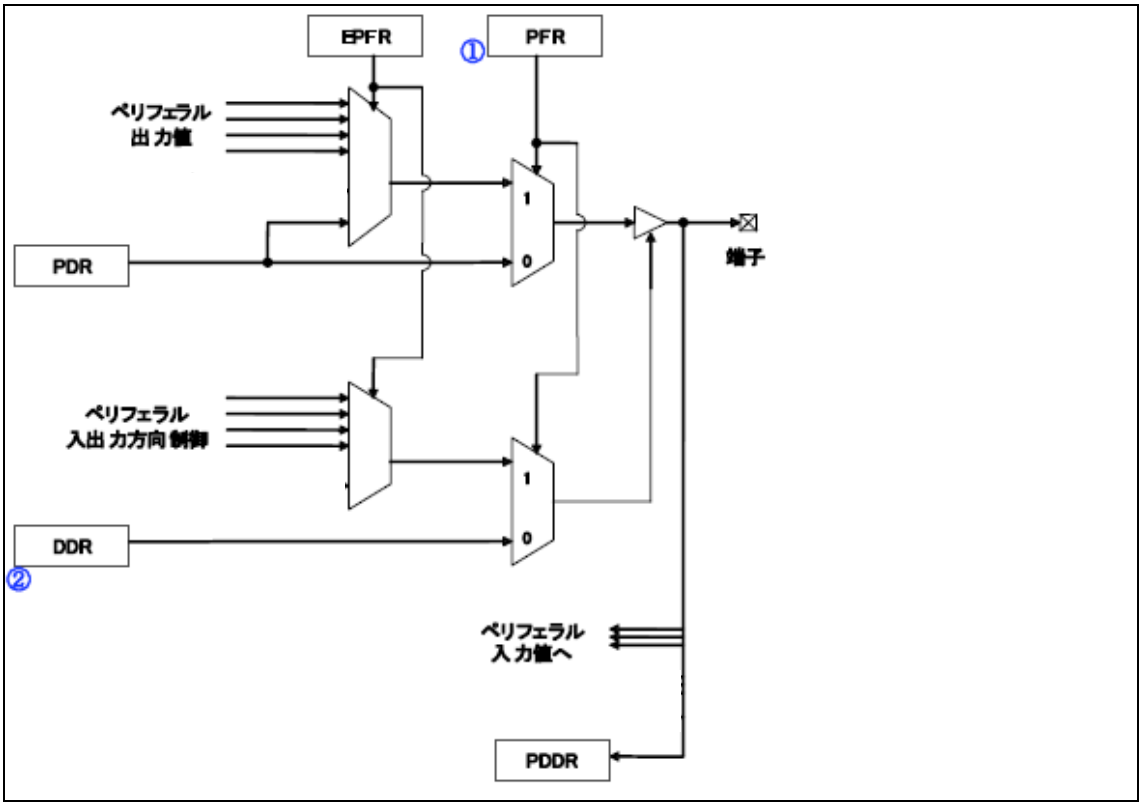
ポート機能(入力)の割り当てについて示します。

(準備)

- A/D コンバータ機能のある端子は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

①PFR をポート機能側に設定します。
②DDR を入力側に設定します。

図 5-5 ポート機能(入力)の割り当て手順図



5.1.5. ポート機能(出力)の割り当て

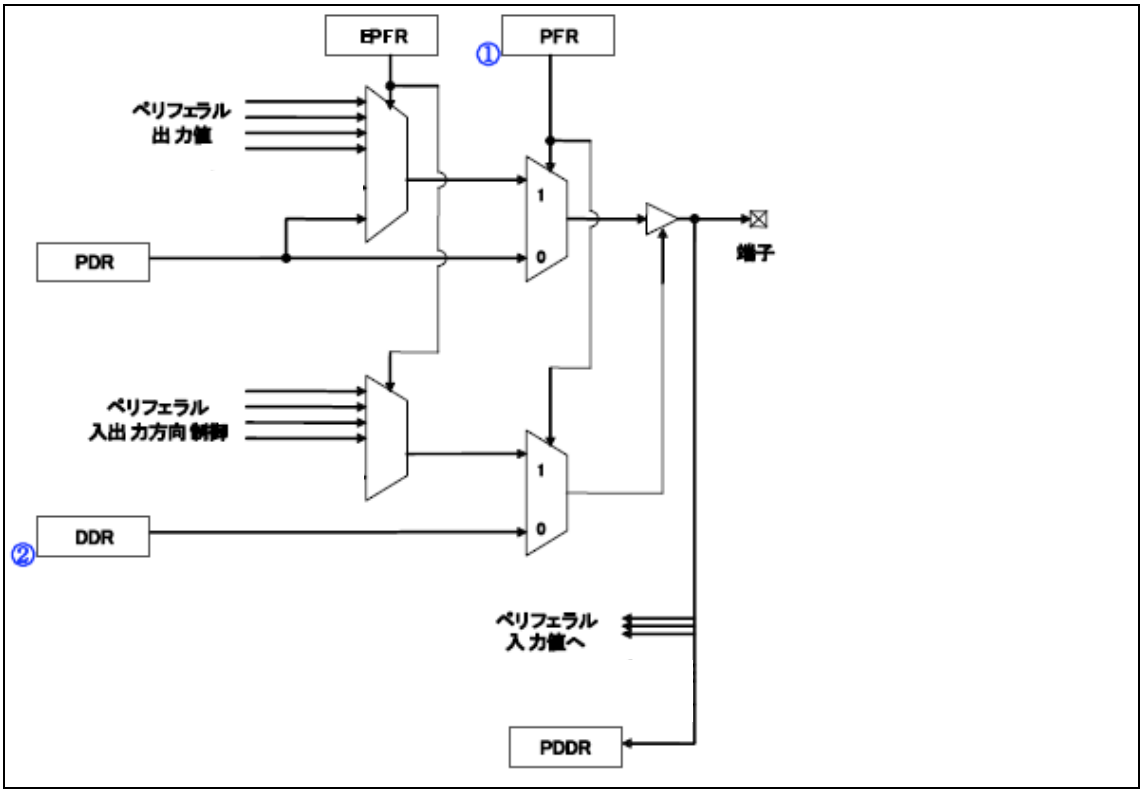
ポート機能(出力)の割り当てについて示します。

(準備)

- A/D コンバータ機能のある端子は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。

①PFR をポート機能側に設定します。
②DDR を出力側に設定します。

図 5-6 ポート機能(出力)割り当て手順図



＜注意事項＞

P000～P005 は出力ポートとして使用できません。

5.1.6. A/D コンバータ入力の割り当て

A/D コンバータ入力の割り当てについて示します。

①A/D コンバータのアナログ入力許可レジスタ(ADER)をアナログ入力モードに設定します。『A/D コンバータ』の章を参照してください。
A/D コンバータの割り当ては最上位の優先度なので、設定は以上のみです。

5.2. EPFR 設定の優先度について

EPFR 設定の優先度について示します。

PFR がペリフェラル側に設定されていて、1 つの端子に対し EPFR 設定が重複する場合、次の優先度で有効なペリフェラルが決定します。

(1) クロックスーパバイザ
(2) PWM
(3) マルチファンクションシリアルインタフェース
(4) ベースタイマ
(5) リロードタイマ
(6) クロックモニタ

＜注意事項＞

クロックスーパバイザの出力は EPFR レジスタの割り当てはありません。CSVCR.OUTE で設定してください。

5.3. ノイズフィルタ

ノイズフィルタについて示します。

外部端子を次の機能の入力で使用する場合、ノイズフィルタを通した値が入力レベルになります。

・ポート機能
・外部割込み要求
・フリーランタイマ
・リロードタイマ
・インプットキャプチャ
・A/D コンバータのトリガ入力
・ベースタイマ

＜注意事項＞

詳細は『概要』の章の『各機能ごとの端子一覧』を参照してください。

5.4. GPORTEN 入力遮断

GPORTEN 入力遮断について示します。

ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、『付録』の『端子状態表』を参照してください。入力遮断解除方法については「4.7 ポート入力許可レジスタ : PORTEN(PORTENable register)」を参照してください。GPORTEN による入力遮断中に、入力遮断となる端子の状態を読み出した場合、必ず"0"が読み出されます。

5.5. A/D コンバータ機能のある端子の注意事項

AD コンバータ機能のある端子の注意事項について示します。

A/D コンバータ機能のある端子で A/D コンバータ以外の機能を利用する場合は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを「アナログ入力禁止」に設定しておいてください。設定方法は『A/D コンバータ』の章を参照してください。 アナログ入力許可の場合、ポート機能レジスタ(PFR00～PFR04)や拡張ポート機能レジスタ(EPFR02,EPFR26,EPFR35, EPFR65, EPFR86, EPFR88)の設定にかかわらず、ポートおよび周辺機能からの入力は"0"に、出力は Hi-Z に固定されます。

5.6. ベースタイマ TIOA1,TIOA3 端子使用時の設定

ベースタイマ TIOA1,TIOA3 端子使用時の設定について示します。

ベースタイマ TIOA1 端子を使用する場合、ベースタイマ入出力モード 1 の場合は入力、ベースタイマ入出力モード 1 以外の場合は出力に設定してください。ベースタイマ TIOA1 端子を使用する場合で、ベースタイマ入出力モード 1 の場合は端子をペリフェラル入力(「5.1.2　ペリフェラル入力の割り当て」を参照してください)、ベースタイマ入出力モード 1 以外の場合は端子をペリフェラル出力(「5.1.3　ペリフェラル出力の割り当て」参照)に設定してください。ベースタイマ TIOA3 端子も同様です。

5.7. キーコードレジスタ機能の設定

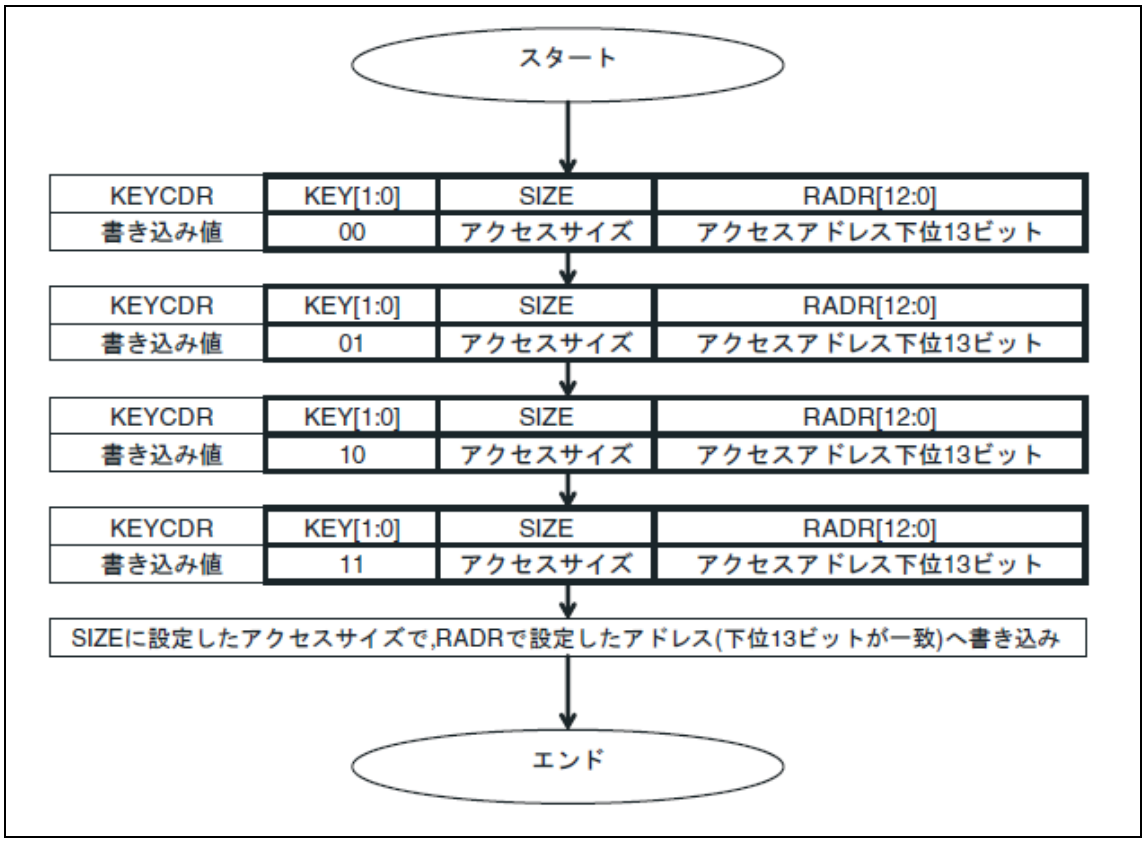
キーコードレジスタ機能の設定について示します。

キーコード対象レジスタへの書込みには、キーコードレジスタ(KEYCDR)に以下の設定が必要です。

・KEY1+KEY0+アクセスサイズ(SIZE)+アクセスアドレス(RADR[12:0])を、キーコードレジスタにハーフワードで設定する。
・(KEY1, KEY0)を(0,0),(0,1),(1,0),(1,1)の順で連続的に書き込む。 (KEY1, KEY0)に4回書くときのアドレスとアクセスサイズは、4回とも同じ値を設定する。

以下にフローチャートを示します。

図 5-7 キーコード設定フローチャート



以下の条件の場合、キーコードが解除されず対象のレジスタへの書込みは行われません。この場合、再度最初からキーコードレジスタの設定を行ってください。

・(KEY1, KEY0)を書く順番が異なる場合
・SIZE ビットへ書くデータが途中で変更された場合
・RADR ビットへ書くデータが途中で変更された場合
・SIZE ビットへ書いたアクセスサイズと、実際に対象のレジスタへアクセスする際のサイズが異なる場合
・RADR ビットへ書いたアドレス(下位 13 ビット)と、実際に対象のレジスタへアクセスする際のアドレス(下位 13 ビット)が異なる場合
・キーコードレジスタへの書込み途中で、キーコードレジスタやポート関連レジスタを読出した場合

＜注意事項＞

- DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読出して、値が更新されているかを確認してください。
- オンチップデバッガ(OCD)によるデバッグ中、キーコード設定の途中でブレーク機能を実行した場合、キーコード設定がキャンセルされます。
- DDR, PFR, EPFR, PPER, ADER, PORTEN はキーコード対象レジスタです。これらのレジスタへの書込みにはキーコード設定が必要です。

5.8. I/O ポート機能切換え時の注意事項

I/O ポート機能切換え時の注意事項について示します。

I/O ポートをポート機能から周辺機能に切換えた場合もしくは周辺機能からポート機能に切換えた場合、一瞬 PDR の値が出力されることがあります。

切換え時に、ポート機能が「入力から出力」もしくは「出力から入力」に変わる場合に起こります。

本出力が問題になる場合、あらかじめ PDR に問題の起こらないレベルの値を書き込んでください。

5.9. 特定リソース使用時の入力遮断

特定リソース使用時の入力遮断について注意事項を示します。

端子を A/D 機能として使用する場合、該当端子の状態を読み出した場合、必ず"0"が読み出されます。

CHAPTER: 割込み制御(割込みコントローラ)

割込み制御(割込みコントローラ)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

割込み制御(割込みコントローラ)の概要について説明します。

割込みコントローラは、割込み要求の調停を行います。

2. 特長

割込み制御(割込みコントローラ)の特長について説明します。

本モジュールは、以下により構成されています。

・ICR レジスタ
・割込み優先度判定回路
・割込みレベル, 割込みベクタ発生回路

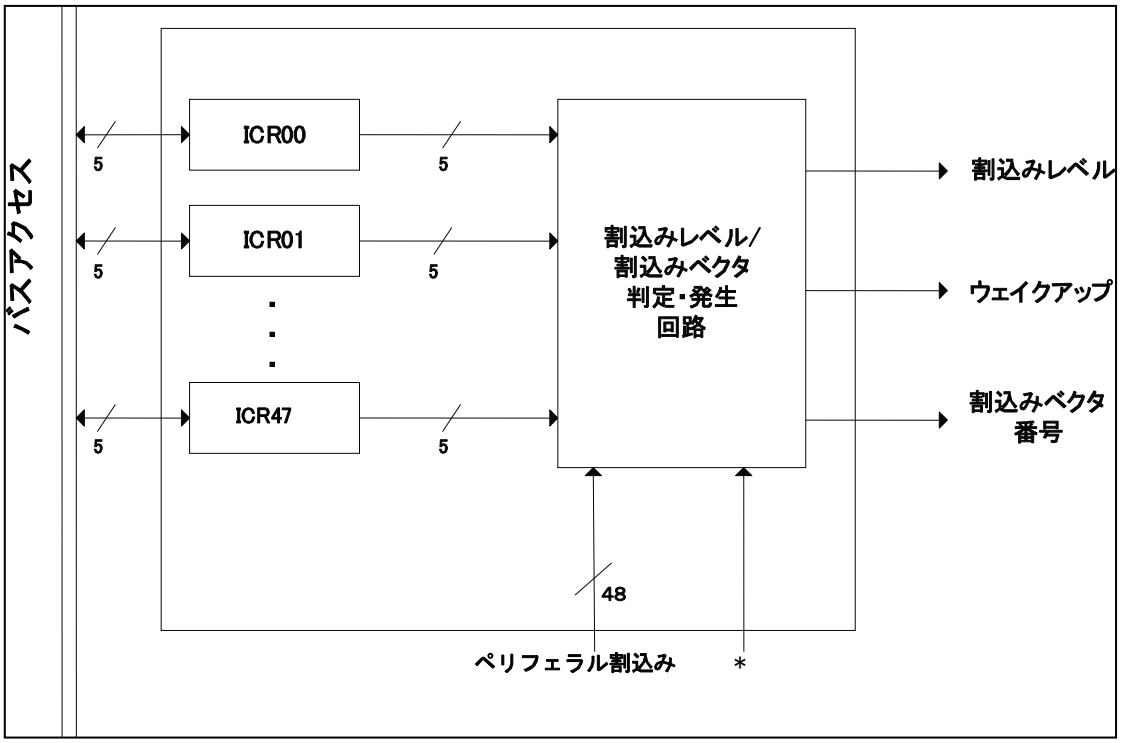
本モジュールには以下の機能があります。

・NMI 要求/ペリフェラル割込み要求の検出
・優先度判定(レベルおよび割込みベクタによる)
・最も優先度の高い要因の割込みレベルを CPU へ伝達
・最も優先度の高い要因の割込みベクタ番号を CPU へ伝達
・NMI/割込みレベルが"11111"以外の割込み発生によるウェイクアップ要求の生成

3. 構成

割込み制御(割込みコントローラ)の構成について説明します。

図 3-1 ブロックダイヤグラム



*: NMI or (XBS RAM ダブルビットエラー発生) or TPU 違反 or 内部バス診断時エラー発生

4. レジスタ

割込み制御(割込みコントローラ)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0440	ICR00	ICR01	ICR02	ICR03	割込みコントロールレジスタ 00～47
0x0444	ICR04	ICR05	ICR06	ICR07	
0x0448	ICR08	ICR09	ICR10	ICR11	
0x044C	ICR12	ICR13	ICR14	ICR15	
0x0450	ICR16	ICR17	ICR18	ICR19	
0x0454	ICR20	ICR21	ICR22	ICR23	
0x0458	ICR24	ICR25	ICR26	ICR27	
0x045C	ICR28	ICR29	ICR30	ICR31	
0x0460	ICR32	ICR33	ICR34	ICR35	
0x0464	ICR36	ICR37	ICR38	ICR39	
0x0468	ICR40	ICR41	ICR42	ICR43	
0x046C	ICR44	ICR45	ICR46	ICR47	

4.1. 割込みコントロールレジスタ 00-47 : ICR00-47 (Interrupt Control Register 00-47)

割込みコントロールレジスタ 00-47 のビット構成について示します。

各割込み入力に対して 1 ずつ設けられており、対応する割込み要求のレベルを設定します。

■ ICR00-47 : アドレス 0440-046F$_H$ (アクセス: バイト, ハーフワード, ワード)

bit	7	6	5	4	3	2	1	0
	予約			IL[4:0]				
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit4～bit0] IL[4:0] (Interrupt Level control) : 割込みレベルコントロール

割込みレベル設定ビットで、対応する割込み要求の割込みレベルを指定します。本レジスタに設定した割込みレベルが CPU の ILM レジスタのレベルマスク値以上の場合は、CPU 側にて割込み要求はマスクされます。リセットにより、"5’b11111"に初期化されます。

設定可能な割込みレベル設定ビットと割込みレベルの対応を示します。

IL[4:0]	割込みレベル	
10000	16	設定可能な最強レベル
10001	17	↑ (強)
10010	18	|
10011	19	|
10100	20	|
10101	21	|
10110	22	|
10111	23	|
11000	24	|
11001	25	|
11010	26	|
11011	27	|
11100	28	|
11101	29	|
11110	30	↓ (弱)
11111	31	割込み禁止

IL4 は 1 固定です。書込みは効果ありません。

5. 動作説明

割込み制御(割込みコントローラ)の動作について説明します。

5.1. 設定

5.2. 起動

5.3. 優先順位判定

5.4. ストップモードからの復帰

5.1. 設定

割込み制御(割込みコントローラ)の設定について説明します。

① 割込みを発生させたいペリフェラルに対応する割込みベクタ番号の ICR レジスタを設定します。

② 割込みを発生させたいペリフェラルの設定をします。 (ペリフェラル側で割込み出力を許可に設定します。)

5.2. 起動

割込み制御(割込みコントローラ)の起動について説明します。

設定したペリフェラルを起動します。

5.3. 優先順位判定

優先順位判定について示します。

本モジュールは、同時に発生している割込み要因の中で最も優先度の高い割込み要因を選択し、その割込み要因の割込みレベルと割込みベクタ番号を CPU へ出力します。

割込み要因の優先順位判定基準は、次のとおりです。

① NMI
② 以下の条件を満たす要因

・割込みレベルの数値が 31(5'b11111)以外。 (31 は割込み禁止)
・割込みレベルの数値が最も小さい要因。
・割込みレベルが同じ時(31 以外)は、その中で最も小さい割込みベクタ番号を持つ要因。

上記の判定基準により、割込み要因が 1 つも選択されなかった場合は、割込みレベルとして 31(5'b11111)を出力します。そのときの割込みベクタ番号は不定です。

5.4. ストップモードからの復帰

ストップモードからの復帰について示します。

割込み要求でストップモードから復帰する機能を本モジュールで実現します。 (NMI を含む)ペリフェラルからの割込み要求(割込みレベルが"5'b11111"以外)が発生した場合、クロック制御部に対してストップモードからの復帰要求を発生します。
割込み優先度判定部はストップから復帰後、クロックが供給されてから動作を再開しますので、割込み優先度判定部の結果が出るまでの間 CPU は命令を実行します。
ストップモードからの復帰要因として使用しない割込みは、対応する割込みコントロールレジスタ(ICR00-47)の割込みレベルを"5'b11111" (割込み禁止)に設定してください。

CHAPTER: 外部割込み入力

外部割込み入力について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. 注意事項

管理コード：BG04-1v0-91552-5-J

1. 概要

外部割込み入力の概要について説明します。

外部割込み入力端子(INT0～INT3)から入力される割込み要求です。

2. 特長

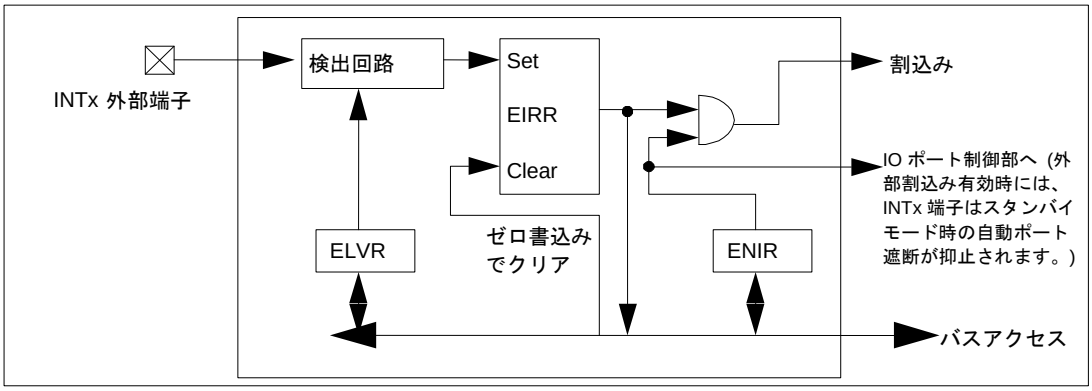
外部割込み入力の特長について説明します。

- 4 系統の外部割込み入力端子 (INT0～INT3)
- 割込み検出要因 : 4 種類 ("L" レベル,"H" レベル, 立上りエッジ, 立下りエッジ)

3. 構成

外部割込み入力の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

外部割込み入力のレジスタについて説明します。

チャネル	Base_addr	外部端子
		INT
0	0x0550	INT0
1	0x0550	INT1
2	0x0550	INT2
3	0x0550	INT3

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0550	EIRR0	ENIR0	ELVR0		外部割込み要因レジスタ 0 外部割込み許可レジスタ 0 外部割込み要求レベルレジスタ 0
0x0554	予約	予約	予約	予約	予約 (必ず"0"を書き込んでください)

4.1. 外部割込み要因レジスタ 0 : EIRR0: (External Interrupt Request Register 0)

外部割込み要因レジスタ 0 (EIRR0)のビット構成について示します。

外部割込み要因が発生したことを保持するレジスタです。

■ EIRR0 : アドレス 0550$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	ER3	ER2	ER1	ER0
初期値	X	X	X	X	X	X	X	X
属性	R0,W0	R0,W0	R0,W0	R0,W0	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W

[bit7～bit4] 予約ビット
必ず"0"を書き込んでください。

[bit3～bit0] ER3～ER0 (External interrupt Request3-0) : 外部割込みリクエストビット
INT 外部端子入力による割込み要求を示すフラグです。"0"書込みでクリアします。

ERn	意味	
	読出し時	書込み時
0	外部割込み要求なし	クリア
1	外部割込み要求あり	動作に影響なし

＜注意事項＞

- EIRR0:ER0 が INT0 端子, EIRR0:ER1 が INT1 端子, EIRR0:ER2 が INT2 端子, EIRR0:ER3 が INT3 端子に対応します。
- 本ビットへの"1"の書込みは意味を持ちません。
- リード・モディファイ・ライト(RMW)系命令における読出し値は常に"1"となります。
- 外部割込み検出条件が L レベルまたは"H"レベル設定のとき、EIRR レジスタの各ビットをクリアしても外部割込み端子入力がアクティブレベルならば該当するビットは再びセットされます。
- 割込み要求レベルレジスタの変更により、割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には、割込み要因レジスタを初期化してください。
- 本レジスタのリセット後の値は、リセット後の端子状態によります。
- 本レジスタはすべてのリセット要因で初期化されます。

4.2. 外部割込み許可レジスタ 0 : ENIR0: (ENable Interrupt request Register 0)

外部割込み許可レジスタ 0 (ENIR0)のビット構成について示します。

外部割込み入力を許可するレジスタです。

■ ENIR0 : アドレス 0551$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	EN3	EN2	EN1	EN0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7～bit4] 予約ビット
必ず"0"を書き込んでください。

[bit3～bit0] EN3～EN0 (interrupt ENable) : 外部割込み許可ビット
外部端子 INT 入力による割込み要求のマスク制御を行います。

ENn	外部端子検出時の動作
0	割込み要求マスク。割込み要求を保持するが出力しない。 (初期値)
1	割込み要求許可。割込み要求を許可する。

＜注意事項＞

- ENIR0:EN0 が INT0 端子、ENIR0:EN1 が INT1 端子、ENIR0:EN2 が INT2 端子、ENIR0:EN3 が INT3 端子に対応します。
- 本レジスタはすべてのリセット要因で初期化されます。

4.3. 外部割込み要求レベルレジスタ 0 : ELVR0: (External interrupt LeVel Register 0)

外部割込み要求レベルレジスタ 0 (ELVR0)のビット構成について示します。

外部割込み要求の検出条件を選択するレジスタです。

■ ELVR0 : アドレス 0552$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット
必ず"0"を書き込んでください。

[bit7～bit1] LB3～LB0 (Level select B) : レベル選択 B

[bit6～bit0] LA3～LA0 (Level select A) : レベル選択 A
外部割込み要求の検出条件を選択します。LA, LB ビットの 2 ビットを組み合わせて使用します。

LBn	LAn	検出条件
0	0	L レベル検出(初期値)
0	1	H レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

要求入力がレベルの場合(LAn, LBn ="00" または "01"), 外部割込み要求ビット(ERn)を"0"にしても INTn 端子入力が有効レベルならば該当するビット(ERn) は再び"1" になります。

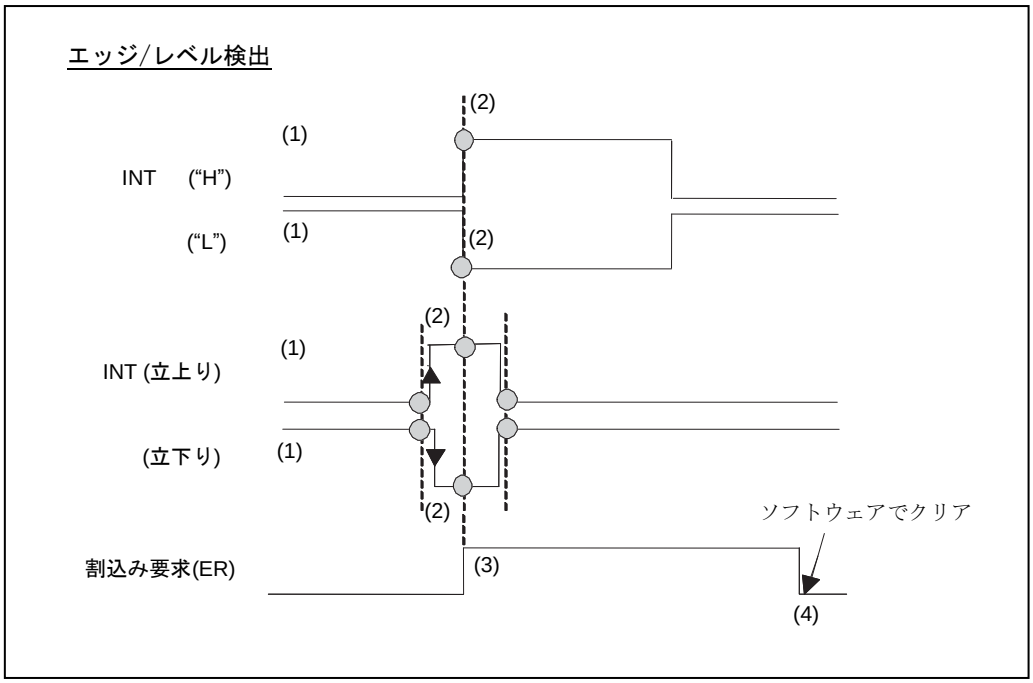
＜注意事項＞

- ELVR0:LA/LB0 が INT0 端子、ELVR0:LA/LB1 が INT1 端子、ELVR0:LA/LB2 が INT2 端子、ELVR0:LA/LB3 が INT3 端子に対応します。
- 割込み要求レベルレジスタの変更により、割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には、割込み要因レジスタを初期化してください。
- 本レジスタはすべてのリセット要因で初期化されます。

5. 動作説明

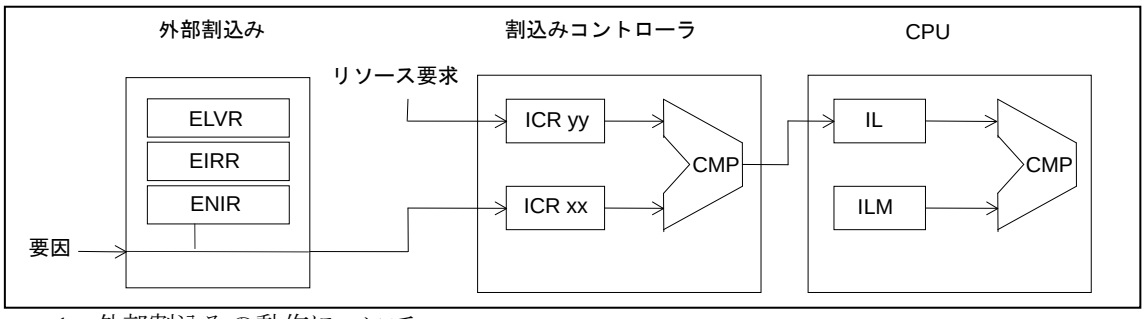
外部割込み入力の動作について説明します。

図 5-1 動作説明図



(1) 外部割込み信号 (INT) 入力
(2) 割込み信号を検出 (レベル/エッジ) する
(3) 割込み要求が発生する
(4) 割込み要求をソフトウェアでクリアする

図 5-2 外部割込みの動作



1. 外部割込みの動作について
   要求レベル、許可レジスタの設定の後、対応する端子に ELVR レジスタで設定された要求が入力されると本モジュールは、割込みコントローラに対して割込要求信号を発生します。割込みコントローラ内で同時発生した割込みの優先順位を識別した結果、本周辺機能からの割込みが最も優先順位が高かったときに、該当する割込みが発生します。

2. スタンバイモードへの移行について
   使用しないチャネルは、スタンバイに入る前に、必ず禁止状態にしてください。スタンバイモード時に外部端子は入力遮断状態になりますが、外部割込みを有効にしてあるチャネルの外部端子は入力許可の状態になります。

3. 外部割込みの設定手順について
   外部割込み部内に存在するレジスタの設定を行う際、次の手順で設定してください。

①. 許可レジスタの対象となるビットを禁止状態にする。
②. 要求レベル設定レジスタの対象となるビットを設定する。
③. 要求レベルレジスタを読み出す。
④. 要因レジスタの対象となるビットをクリアする。
⑤. 許可レジスタの対象となるビットを許可状態にする。
(ただし、④と⑤は 16 ビットデータによる同時書込み可能。)

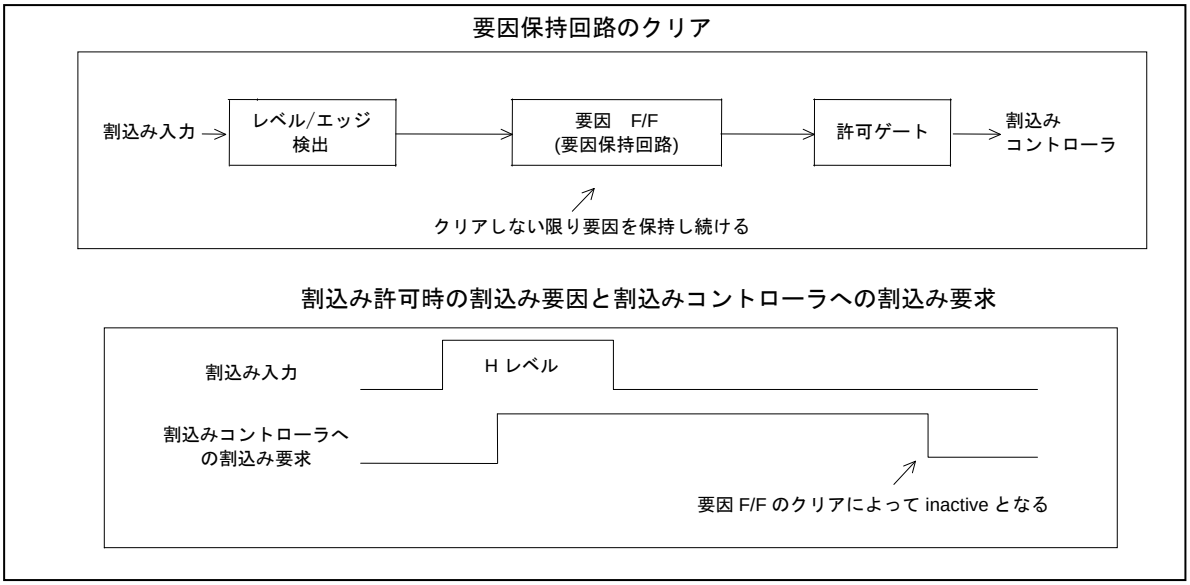
本モジュール内のレジスタを設定する場合には必ず許可レジスタを禁止状態に設定しておかなくてはなりません。また、許可レジスタを許可状態にする前に必ず要因レジスタをクリアしてください。

これは、レジスタの設定時や割込み許可状態時に誤って割込み要因が起こってしまうことを避けるためです。

4. 外部割込み要因について
外部より要求入力が入ってその後取下げられても内部に要因保持回路が存在するので、割込みコントローラへの要求はアクティブのままです。

割込みコントローラへの要求を取下げるには要因レジスタをクリアしてください。

図 5-3 要因保持回路のクリア、割込み許可時の割込み要因と割込みコントローラへの割込み要求



6. 設定

外部割込み入力の設定について説明します。

表 6-1 外部割込みを使うために必要な設定

設定	設定レジスタ	設定方法
検出レベルの設定	外部割込み要求レベル設定レジスタ (ELVR0)	「7. Q&A」の「■検出レベルの種類と設定方法は?」の項目を参照
外部端子を入力にする	『I/O ポート』を参照してください。	『I/O ポート』を参照してください。
外部割込み	外部端子より入力 → INT0～INT3 端子に信号を入力	—

7. Q&A

外部割込み入力の Q&A について説明します。

■ 検出レベルの種類と設定方法は?

検出レベルは 4 種類("L" レベル, "H" レベル, 立上り, 立下り)あります。

設定は, 検出レベルビット (ELVR0:LBn, LAn) (n=0～3) にて行ってください。

動作モード	検出レベルビット(LBn, LAn) n=0～3
"L" レベル検出にするには	"00"にする
"H" レベル検出にするには	"01"にする
立上り検出にするには	"10"にする
立下り検出にするには	"11"にする

■ 外部端子を入力にするには?

『I/O ポート』を参照してください。

■ 割込み関連レジスタは?

『割込み制御(割込みコントローラ)』を参照してください。

■ 割込みの種類は?

割込み要因は外部割込みのみです。選択のビットはありません。

■ 割込みを許可/禁止/クリアするには?

割込み要求の許可フラグ, 割込み要求フラグ

割込み許可の設定は, 割込み許可ビット(ENIR0:EN0～EN3)にて行います。

動作	割込み許可ビット(ENn)
割込み要求を禁止するには	"0"にする
割込み要求を許可するには	"1"にする

割込み要求のクリアは, 割込み要求ビット(EIRR0:ER0～ER3)にて行います。

動作	割込み要求ビット(ERn)
割込み要求をクリアするには	"0"を書き込む

8. 注意事項

外部割込み入力の注意事項について説明します。

CHAPTER : NMI 入力

NMI 入力について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

管理コード : FR81S10_NMI-1v1-91552-6-J

1. 概要

NMI 入力の概要について説明します。

NMI(Non Maskable Interrupt)は、NMIX 端子から入力されるマスクすることができない割込み入力です。NMI はストップモードからの復帰要因として使用できます。

2. 特長

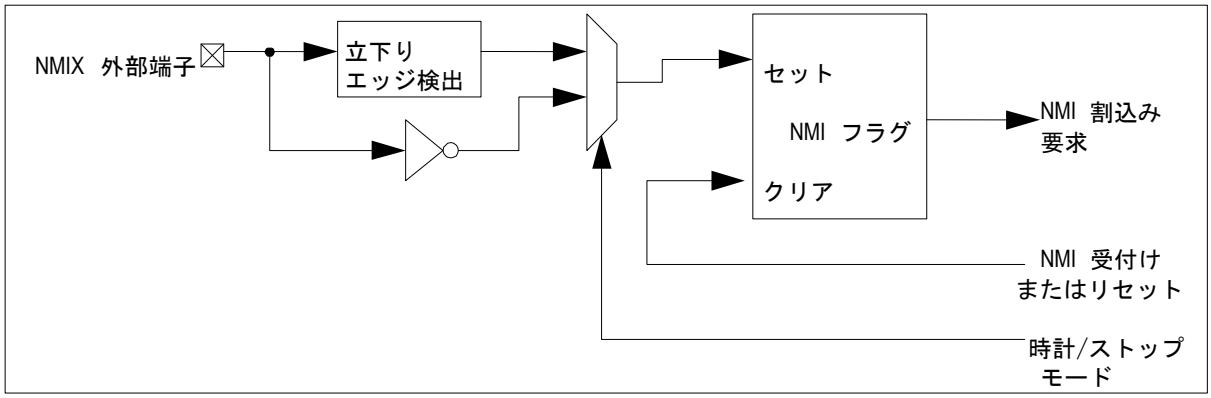
NMI 入力の特長について説明します。

ストップモード、時計モードでも使用可能。

3. 構成

NMI 入力の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

NMI 入力のレジスタについて説明します。

本機能は、レジスタを持ちません。

5. 動作説明

NMI 入力の動作について説明します。

■ NMI 割込みレベル

NMI は、ユーザ割込みの中で最強の割込みで、マスクできません。例外として、リセット後 CPU が ILM を設定するまで NMI はマスクされます。

■ NMI 外部端子

ストップモード中は L レベル検出、それ以外のときは立下りエッジ検出となります。

■ 割込み要求出力

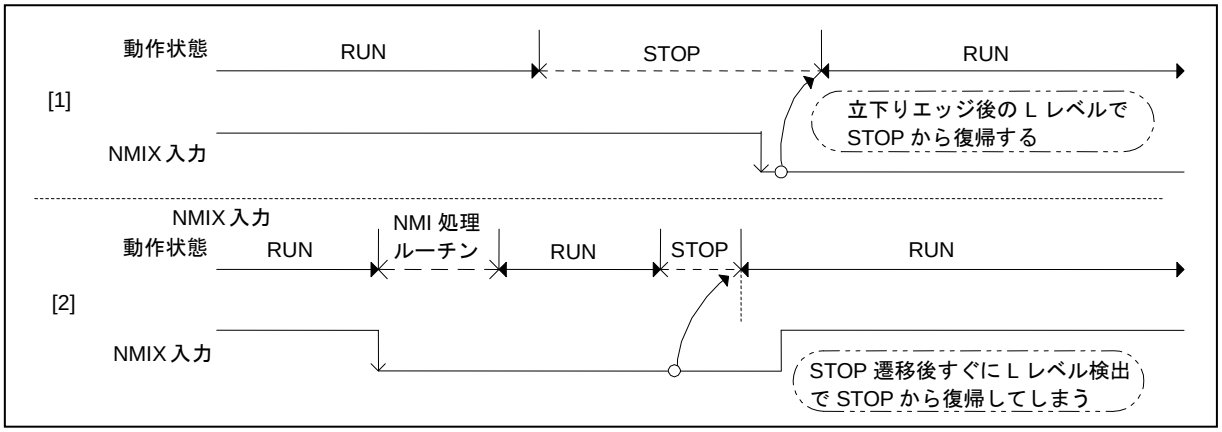
NMI 要求検出部は NMI フラグがあり、NMI 要求によりセットされ、NMI 自身の割込み受付けまたはリセットでのみクリアされます。NMI フラグはリード/ライトできません。

NMIX 外部端子による NMI かほかの要因による NMI かを判別するには IRPR15H レジスタを読出してください。同レジスタの詳細は『割込み要求一括読出し』を参照してください。

■ ストップモードからの復帰

ストップモードに遷移した場合、NMIX 入力が"L"レベルで NMI 要求が割込みコントローラに出力され、ストップモードから復帰します。通常状態(ストップモードではない時)で NMI 処理ルーチン終了後、NMIX 端子を"H"レベルに戻さずにストップモードに遷移した場合、ストップモードへの遷移後すぐにストップから復帰してしまいます(図 5-1[2])。ストップモード遷移前に NMIX 端子を"H"レベルに戻して、ストップモード中に NMIX 端子を"L"レベルにしてください。

図 5-1 ストップモードからの復帰



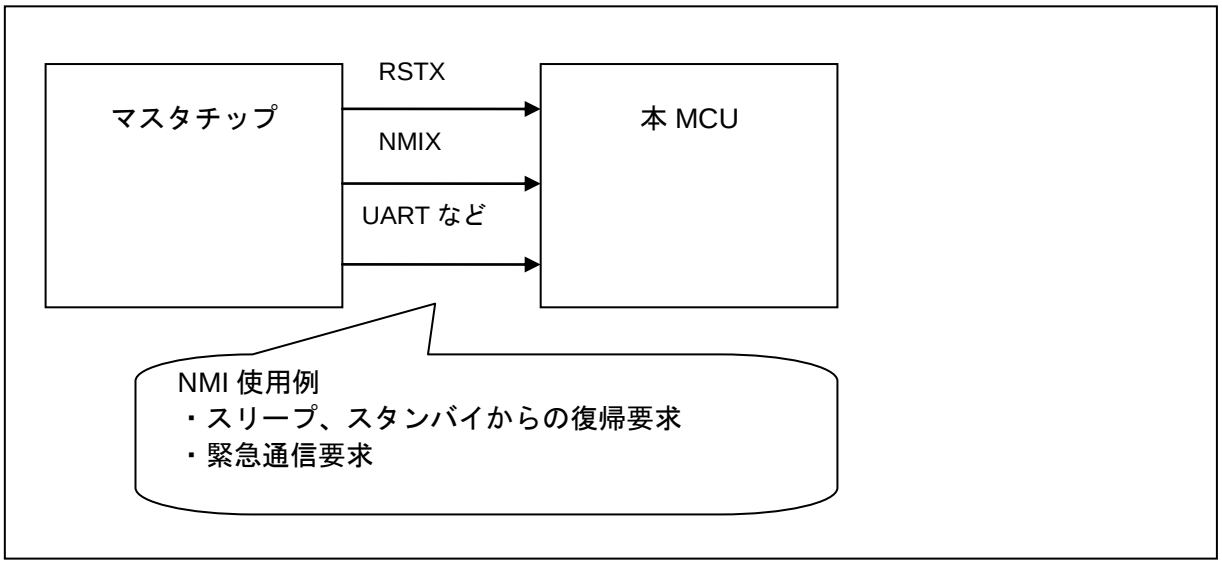
＜注意事項＞時計モードも同様な制御になります。

6. 使用例

NMI 入力の使用例について説明します。

NMI 機能の使用例です。

図 6-1 使用例



CHAPTER: 遅延割込み

遅延割込みについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 制限事項

管理コード：15_MB91552_HM_J_delayint_003_20121116

1. 概要

遅延割込みの概要について説明します。

遅延割込みとは、OS (オペレーションシステム)でのタスク切換え用の割込みを発生するための機能です。

本機能によって、ソフトウェアで CPU に対して割込み要求の発生 / 取消しを行えます。

2. 特長

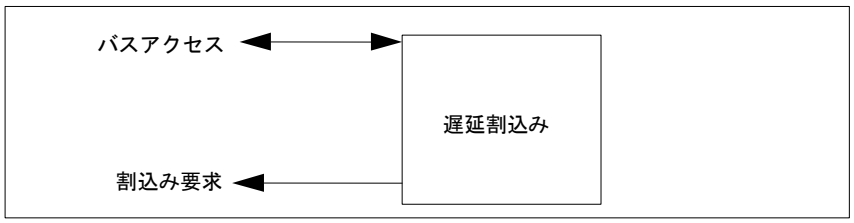
遅延割込みの特長について説明します。

レジスタ書込みにより、割込みを発生させることができます。

3. 構成

遅延割込みの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

遅延割込みのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0044	DICR	予約	予約	予約	遅延割込み制御レジスタ

■ 遅延割込み制御レジスタ: DICR (Delayed Interrupt Control Register)

遅延割込みを制御します。

● DICR : アドレス 0044$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DLYI
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit0] DLYI (DeLaYed Interrupt enable) : 遅延割込み許可ビット

遅延割込み要因の発生・解除をします。

DLYI	説明
“0”書込み	遅延割込み要因の解除
“1”書込み	遅延割込み要因の発生

5. 動作説明

遅延割込みの動作について説明します。

遅延割込みは、タスク切換え用の割込みを発生するものです。本機能を使用することにより、ソフトウェアで CPU に対して割込み要求の発生, 取消しを行うことができます。

■ 割込みベクタ番号

遅延割込みは、最も大きな割込みベクタ番号に対応した割込み要因に割り当てられています。

本コアでは、遅延割込みを割込みベクタ番号 63(0x3F)に割り当てています。

■ DICR レジスタの DLYI ビット

このビットに"1"を書き込むことで、遅延割込み要因が発生します。また、"0"を書き込むことで、遅延割込み要因を解除します。

本ビットは、ほかの割込みにおける割込み要因フラグと同じものであり、割込みルーチンの中で本ビットをクリアし、合わせてタスクの切換えを行うようにしてください。

6. 制限事項

遅延割込みの制限事項について説明します。

遅延割込みは DMA 転送要求に使用しないでください。

CHAPTER: 割込み要求一括読出し

割込み要求一括読出しの概要、特長、構成などについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

割込み要求一括読出しの概要について説明します。

本モジュールにおいて、1 つの割込みベクタ番号に割り当てられた複数の割込み要求を一括で読み出せます。FR80 ファミリ CPU のビットサーチ命令を使用することで、どの割込み要求が発生しているかを確認できます。

2. 特長

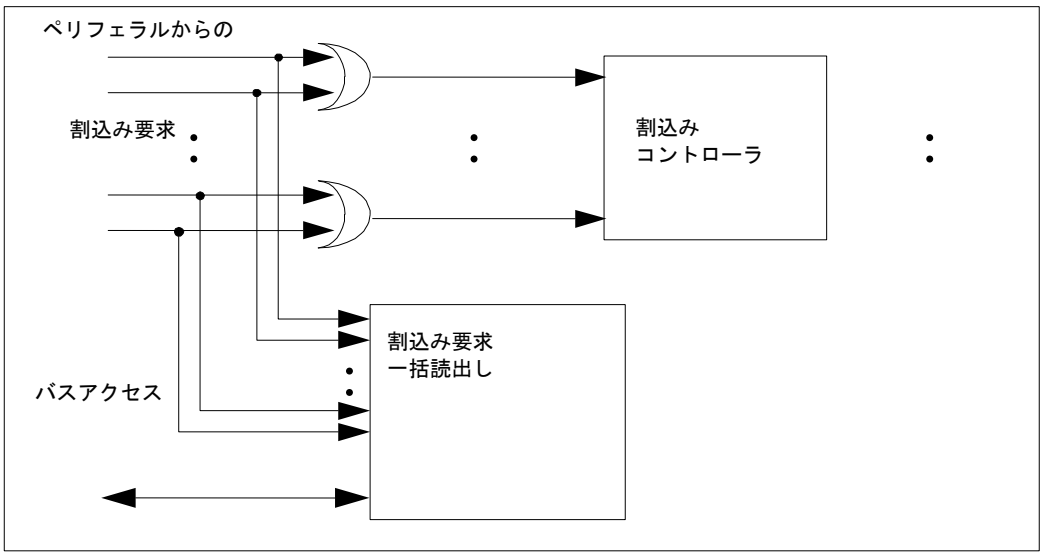
割込み要求一括読出しの特長について示します。

本モジュールを使用することにより割込み発生の有無を簡単に確認できます。

3. 構成

割込み要求一括読出しの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

割込み要求一括読出しのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0418	IRPR0H	IRPR0L	IRPR1H	IRPR1L	割込み要求一括読出しレジスタ 0 上位 (#18) 割込み要求一括読出しレジスタ 0 下位 (#19) 割込み要求一括読出しレジスタ 1 上位 (#20) 割込み要求一括読出しレジスタ 1 下位 (#22)
0x041C	IRPR2H	IRPR2L	IRPR3H	IRPR3L	割込み要求一括読出しレジスタ 2 上位 (#38) 割込み要求一括読出しレジスタ 2 下位 (#39) 割込み要求一括読出しレジスタ 3 上位 (#40) 割込み要求一括読出しレジスタ 3 下位 (#41)
0x0420	IRPR4H	IRPR4L	IRPR5H	IRPR5L	割込み要求一括読出しレジスタ 4 上位 (#42) 割込み要求一括読出しレジスタ 4 下位 (#43) 割込み要求一括読出しレジスタ 5 上位 (#44) 割込み要求一括読出しレジスタ 5 下位 (#24)
0x0424	IRPR6H	IRPR6L	IRPR7H	IRPR7L	割込み要求一括読出しレジスタ 6 上位 (#50) 割込み要求一括読出しレジスタ 6 下位 (#46) 割込み要求一括読出しレジスタ 7 上位 (#47) 割込み要求一括読出しレジスタ 7 下位 (#48)
0x0428	IRPR8H	IRPR8L	IRPR9H	IRPR9L	割込み要求一括読出しレジスタ 8 上位 (#52) 割込み要求一括読出しレジスタ 8 下位 (#53) 割込み要求一括読出しレジスタ 9 上位 (#54) 割込み要求一括読出しレジスタ 9 下位 (#54)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x042C	IRPR10H	IRPR10L	IRPR11H	IRPR11L	割込み要求一括読出しレジスタ 10 上位 (#56) 割込み要求一括読出しレジスタ 10 下位 (#56) 割込み要求一括読出しレジスタ 11 上位 (#55) 割込み要求一括読出しレジスタ 11 下位 (#57)
0x0430	IRPR12H	IRPR12L	IRPR13H	IRPR13L	割込み要求一括読出しレジスタ 12 上位 (#58) 割込み要求一括読出しレジスタ 12 下位 (#59) 割込み要求一括読出しレジスタ 13 上位 (#60) 割込み要求一括読出しレジスタ 13 下位 (#61)
0x0434	IRPR14H	予約	IRPR15H	IRPR15L	割込み要求一括読出しレジスタ 14 上位 (#62) 割込み要求一括読出しレジスタ 15 上位 (#15) 割込み要求一括読出しレジスタ 15 下位 (#35)

#nn : 割込みベクタ番号(10 進)

4.1. 割込み要求一括読出しレジスタ 0 上位 ：IRPR0H (Interrupt Request Peripheral Read register 0H)

割込み要求一括読出しレジスタ 0 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#18)

■ IRPR0H： アドレス 0418$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RTIR0	RTIR1	RTIR4	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RTIR0 (Reload Timer Interrupt Request 0) : リロードタイマ 0 割込み要求
[bit6] RTIR1 (Reload Timer Interrupt Request 1) : リロードタイマ 1 割込み要求
[bit5] RTIR4 (Reload Timer Interrupt Request 4) : リロードタイマ 4 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.2. 割込み要求一括読出しレジスタ 0 下位 ：IRPR0L (Interrupt Request Peripheral Read register 0L)

割込み要求一括読出しレジスタ 0 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#19)

■ IRPR0L： アドレス 0419$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RTIR2	RTIR3	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RTIR2 (Reload Timer Interrupt Request 2) : リロードタイマ 2 割込み要求

[bit6] RTIR3 (Reload Timer Interrupt Request 3) : リロードタイマ 3 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.3. 割込み要求一括読出しレジスタ 1 上位 ：IRPR1H (Interrupt Request Peripheral Read register 1H)

割込み要求一括読出しレジスタ 1 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#20)

■ IRPR1H： アドレス 041A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RXIR0	ISIR0	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RXIR0 (Multi-Function-Serial-Interface RX Interrupt Request 0) : マルチファンクションシリアルインタフェース ch.0 受信完了割込み要求

[bit6] ISIR0 (Multi-Function-Serial-Interface Status Interrupt Request 0) : マルチファンクションシリアルインタフェース ch.0 ステータス割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.4. 割込み要求一括読出しレジスタ 1 下位 ：IRPR1L (Interrupt Request Peripheral Read register 1L)

割込み要求一括読出しレジスタ 1 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#22)

■ IRPR1L： アドレス 041B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RXIR1	ISIR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RXIR1 (Multi-Function-Serial-Interface RX Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 受信完了割込み要求

[bit6] ISIR1 (Multi-Function-Serial-Interface Status Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 ステータス割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.5. 割込み要求一括読出しレジスタ 2 上位 ：IRPR2H (Interrupt Request Peripheral Read register 2H)

割込み要求一括読出しレジスタ 2 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#38)

■ IRPR2H： アドレス 041C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMSEIR0	PWMSEIR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMSEIR0 (PWM Special Event Interrupt Request 0) : PWM 特殊イベント割込み要求 0

[bit6] PWMSEIR1 (PWM Special Event Interrupt Request 1) : PWM 特殊イベント割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.6. 割込み要求一括読出しレジスタ 2 下位 ：IRPR2L (Interrupt Request Peripheral Read register 2L)

割込み要求一括読出しレジスタ 2 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#39)

■ IRPR2L： アドレス 041D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FRTZIR	FRTMIR	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] FRTZIR (FreeRunTimer Zero Interrupt Request) : フリーラインタイマ 0 検出割込み要求

[bit6] FRTMIR (FreeRunTimer CompareClear Interrupt Request) : フリーラインタイマ コンペアクリア割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.7. 割込み要求一括読出しレジスタ 3 上位 ：IRPR3H (Interrupt Request Peripheral Read register 3H)

割込み要求一括読出しレジスタ 3 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#40)

■ IRPR3H： アドレス 041E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMZIR0	PWMMIR0	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMZIR0 (PWM Zero Interrupt Request 0) : PWM 0 検出割込み要求 0

[bit6] PWMMIR0 (PWM Compare Match Interrupt Request 0) : PWM コンペアクリア割込み要求 0

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.8. 割込み要求一括読出しレジスタ 3 下位 ：IRPR3L (Interrupt Request Peripheral Read register 3L)

割込み要求一括読出しレジスタ 3 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#41)

■ IRPR3L： アドレス 041F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMZIR1	PWMMIR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMZIR1 (PWM Zero Interrupt Request 1) : PWM 0 検出割込み要求 1

[bit6] PWMMIR1 (PWM Compare Match Interrupt Request 1) : PWM コンペアクリア割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.9. 割込み要求一括読出しレジスタ 4 上位 ：IRPR4H (Interrupt Request Peripheral Read register 4H)

割込み要求一括読出しレジスタ 4 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#42)

■ IRPR4H： アドレス 0420$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMSIR0	PWMFIR0	PWMFIR1	PWMCIR0	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMSIR0 (PWM SOW Interrupt Request 0) : PWM SOW 割込み要求 0

[bit6] PWMFIR0 (PWM Fault Interrupt Request 0) : PWM フォルト割込み要求 0

[bit5] PWMFIR1 (PWM Fault Interrupt Request 1) : PWM フォルト割込み要求 1

[bit4] PWMCIR0 (PWM Capture Interrupt Request 0) : PWM キャプチャ割込み要求 0

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.10. 割込み要求一括読出しレジスタ 4 下位 ：IRPR4L (Interrupt Request Peripheral Read register 4L)

割込み要求一括読出しレジスタ 4 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#43)

■ IRPR4L： アドレス 0421$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMSIR1	PWMFIR2	PWMFIR3	PWMCIR1	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMSIR1 (PWM SOW Interrupt Request 1) : PWM SOW 割込み要求 1

[bit6] PWMFIR2 (PWM Fault Interrupt Request 2) : PWM フォルト割込み要求 2

[bit5] PWMFIR3 (PWM Fault Interrupt Request 3) : PWM フォルト割込み要求 3

[bit4] PWMCIR1 (PWM Capture Interrupt Request 1) : PWM キャプチャ割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.11. 割込み要求一括読出しレジスタ 5 上位 ：IRPR5H (Interrupt Request Peripheral Read register 5H)

割込み要求一括読出しレジスタ 5 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#44)

■ IRPR5H： アドレス 0422$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMSIR2	PWMFIR4	PWMFIR5	PWMCIR2	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMSIR2 (PWM SOW Interrupt Request 2) : PWM SOW 割込み要求 2

[bit6] PWMFIR4 (PWM Fault Interrupt Request 4) : PWM フォルト割込み要求 4

[bit5] PWMFIR5 (PWM Fault Interrupt Request 5) : PWM フォルト割込み要求 5

[bit4] PWMCIR2 (PWM Capture Interrupt Request 2) : PWM キャプチャ割込み要求 2

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.12. 割込み要求一括読出しレジスタ 5 下位 ：IRPR5L (Interrupt Request Peripheral Read register 5L)

割込み要求一括読出しレジスタ 5 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#24)。

■ IRPR5L： アドレス 0423$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RXIR2	ISIR2	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RXIR2 (Multi-Function-Serial-Interface RX Interrupt Request 2) : マルチファンクションシリアルインタフェース ch.2 受信完了割込み要求

[bit6] ISIR2 (Multi-Function-Serial-Interface Status Interrupt Request 2) : マルチファンクションシリアルインタフェース ch.2 ステータス割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.13. 割込み要求一括読出しレジスタ 6 上位 ：IRPR6H (Interrupt Request Peripheral Read register 6H)

割込み要求一括読出しレジスタ 6 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#50)

■ IRPR6H： アドレス 0424$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	OVF_IRQ	予約					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] OVF_IRQ (PWM PLL Over Flow Interrupt Request) : PWM 用 PLL アラーム割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.14. 割込み要求一括読出しレジスタ 6 下位 ：IRPR6L (Interrupt Request Peripheral Read register 6L)

割込み要求一括読出しレジスタ 6 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#46)

■ IRPR6L： アドレス 0425$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MTIR	予約	PTIR	予約	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] MTIR (Main Timer Interrupt Request) : メインタイマ割込み要求

[bit5] PTIR (PLL Timer Interrupt Request) : PLL タイマ割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.15. 割込み要求一括読出しレジスタ 7 上位 ：IRPR7H (Interrupt Request Peripheral Read register 7H)

割込み要求一括読出しレジスタ 7 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#47)

■ IRPR7H： アドレス 0426$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWMTIR0	PWMTIR1	PWMTIR2	PWMTIR3	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWMTIR0 (PWM Trigger Interrupt Request 0) : PWM トリガ割込み要求 0
[bit6] PWMTIR1 (PWM Trigger Interrupt Request 1) : PWM トリガ割込み要求 1
[bit5] PWMTIR2 (PWM Trigger Interrupt Request 2) : PWM トリガ割込み要求 2
[bit4] PWMTIR3 (PWM Trigger Interrupt Request 3) : PWM トリガ割込み要求 3

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.16. 割込み要求一括読出しレジスタ 7 下位 ：IRPR7L (Interrupt Request Peripheral Read register 7L)

割込み要求一括読出しレジスタ 7 下位のビット構成は、以下のとおりです。

割込みを要求を行っているペリフェラルを表示します。 (割込みベクタ番号#48)

■ IRPR7L： アドレス 0427$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADCIR0	ADCIR1	ADCIR2	ADCIR3	ADCIR4	ADCIR5	ADCIR6	ADCIR7
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] ADCIR0 (AD Converter Interrupt Request 0) : A/D コンバータ 0 変換終了割込み要求
[bit6] ADCIR1 (AD Converter Interrupt Request 1) : A/D コンバータ 1 変換終了割込み要求
[bit5] ADCIR2 (AD Converter Interrupt Request 2) : A/D コンバータ 2 変換終了割込み要求
[bit4] ADCIR3 (AD Converter Interrupt Request 3) : A/D コンバータ 3 変換終了割込み要求
[bit3] ADCIR4 (AD Converter Interrupt Request 4) : A/D コンバータ 4 変換終了割込み要求
[bit2] ADCIR5 (AD Converter Interrupt Request 5) : A/D コンバータ 5 変換終了割込み要求
[bit1] ADCIR6 (AD Converter Interrupt Request 6) : A/D コンバータ 6 変換終了割込み要求
[bit0] ADCIR7 (AD Converter Interrupt Request 7) : A/D コンバータ 7 変換終了割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.17. 割込み要求一括読出しレジスタ 8 上位 ：IRPR8H (Interrupt Request Peripheral Read register 8H)

割込み要求一括読出しレジスタ 8 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#52)

■ IRPR8H： アドレス 0428$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMPIR0	CMPIR1	CMPIR2	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] CMPIR0 (CMP Output Interrupt Request 0) : コンパレータ出力検出割込み 0
[bit6] CMPIR1 (CMP Output Interrupt Request 1) : コンパレータ出力検出割込み 1
[bit5] CMPIR2 (CMP Output Interrupt Request 2) : コンパレータ出力検出割込み 2

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.18. 割込み要求一括読出しレジスタ 8 下位 ：IRPR8L (Interrupt Request Peripheral Read register 8L)

割込み要求一括読出しレジスタ 8 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#53)

■ IRPR8L： アドレス 0429$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCZIR00	PWCZIR10	PWCMIR00	PWCMIR10	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWCZIR00 (PWC Zero Interrupt Request 00) : PWC 0 検出割込み要求 00

[bit6] PWCZIR10 (PWC Zero Interrupt Request 10) : PWC 0 検出割込み要求 10

[bit5] PWCMIR00 (PWC Compare Match Interrupt Request 00) : PWC コンペアクリア割込み要求 00

[bit4] PWCMIR10 (PWC Compare Match Interrupt Request 10) : PWC コンペアクリア割込み要求 10

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.19. 割込み要求一括読出しレジスタ 9 上位 ：IRPR9H (Interrupt Request Peripheral Read register 9H)

割込み要求一括読出しレジスタ 9 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#54)

■ IRPR9H： アドレス 042A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCCUIR00	PWCCUIR10	PWCCUIR20	PWCCUIR30	PWCCLIR00	PWCCLIR10	PWCCLIR20	PWCCLIR30
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] PWCCUIR00 (PWC Capture Data Upper Limit Interrupt Request 00) : PWC キャプチャデータ上限割込み要求 00

[bit6] PWCCUIR10 (PWC Capture Data Upper Limit Interrupt Request 10) : PWC キャプチャデータ上限割込み要求 10

[bit5] PWCCUIR20 (PWC Capture Data Upper Limit Interrupt Request 20) : PWC キャプチャデータ上限割込み要求 20

[bit4] PWCCUIR30 (PWC Capture Data Upper Limit Interrupt Request 30) : PWC キャプチャデータ上限割込み要求 30

[bit3] PWCCLIR00 (PWC Capture Data Lower Limit Interrupt Request 00) : PWC キャプチャデータ下限割込み要求 00

[bit2] PWCCLIR10 (PWC Capture Data Lower Limit Interrupt Request 10) : PWC キャプチャデータ下限割込み要求 10

[bit1] PWCCLIR20 (PWC Capture Data Lower Limit Interrupt Request 20) : PWC キャプチャデータ下限割込み要求 20

[bit0] PWCCLIR30 (PWC Capture Data Lower Limit Interrupt Request 30) : PWC キャプチャデータ下限割込み要求 30

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.20. 割込み要求一括読出しレジスタ 9 下位 ：IRPR9L (Interrupt Request Peripheral Read register 9L)

割込み要求一括読出しレジスタ 9 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#54)

■ IRPR9L： アドレス 042B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCDBIR00	PWCDBIR10	PWCDBIR20	PWCDBIR30	PWCBOIR00	PWCBOIR10	PWCBOIR20	PWCBOIR30
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] PWCDBIR00 (PWC Data Buffer Interrupt Request 00) : PWC データバッファ割込み要求 00

[bit6] PWCDBIR10 (PWC Data Buffer Interrupt Request 10) : PWC データバッファ割込み要求 10

[bit5] PWCDBIR20 (PWC Data Buffer Interrupt Request 00) : PWC データバッファ割込み要求 20

[bit4] PWCDBIR30 (PWC Data Buffer Interrupt Request 00) : PWC データバッファ割込み要求 30

[bit3] PWCBOIR00 (PWC Buffer Over Run Interrupt Request 00) : PWC バッファオーバラン割込み要求 00

[bit2] PWCBOIR10 (PWC Buffer Over Run Interrupt Request 10) : PWC バッファオーバラン割込み要求 10

[bit1] PWCBOIR20(PWC Buffer Over Run Interrupt Request 20) : PWC バッファオーバラン割込み要求 20

[bit0] PWCBOIR30 (PWC Buffer Over Run Interrupt Request 30) : PWC バッファオーバラン割込み要求 30

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.21. 割込み要求一括読出しレジスタ 10 上位 ：IRPR10H (Interrupt Request Peripheral Read register 10H)

割込み要求一括読出しレジスタ 10 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#56)

■ IRPR10H： アドレス 042C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCCUIR01	PWCCUIR11	PWCCUIR21	PWCCUIR31	PWCCLIR01	PWCCLIR11	PWCCLIR21	PWCCLIR31
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] PWCCUIR01 (PWC Capture Data Upper Limit Interrupt Request 01) : PWC キャプチャデータ上限割込み要求 01

[bit6] PWCCUIR11 (PWC Capture Data Upper Limit Interrupt Request 11) : PWC キャプチャデータ上限割込み要求 11

[bit5] PWCCUIR21 (PWC Capture Data Upper Limit Interrupt Request 21) : PWC キャプチャデータ上限割込み要求 21

[bit4] PWCCUIR31 (PWC Capture Data Upper Limit Interrupt Request 31) : PWC キャプチャデータ上限割込み要求 31

[bit3] PWCCLIR01 (PWC Capture Data Lower Limit Interrupt Request 01) : PWC キャプチャデータ下限割込み要求 01

[bit2] PWCCLIR11 (PWC Capture Data Lower Limit Interrupt Request 11) : PWC キャプチャデータ下限割込み要求 11

[bit1] PWCCLIR21 (PWC Capture Data Lower Limit Interrupt Request 21) : PWC キャプチャデータ下限割込み要求 21

[bit0] PWCCLIR31 (PWC Capture Data Lower Limit Interrupt Request 31) : PWC キャプチャデータ下限割込み要求 31

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.22. 割込み要求一括読出しレジスタ 10 下位 ：IRPR10L (Interrupt Request Peripheral Read register 10L)

割込み要求一括読出しレジスタ 10 下位のビット構成は、以下のとおりです。

割込みを行っているペリフェラルを表示します。 (割込みベクタ番号#56)

■ IRPR10L： アドレス 042D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCDBIR01	PWCDBIR11	PWCDBIR21	PWCDBIR31	PWCBOIR01	PWCBOIR11	PWCBOIR21	PWCBOIR31
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] PWCDBIR01 (PWC Data Buffer Interrupt Request 01) : PWC データバッファ割込み要求 01

[bit6] PWCDBIR11 (PWC Data Buffer Interrupt Request 11) : PWC データバッファ割込み要求 11

[bit5] PWCDBIR21 (PWC Data Buffer Interrupt Request 01) : PWC データバッファ割込み要求 21

[bit4] PWCDBIR31 (PWC Data Buffer Interrupt Request 01) : PWC データバッファ割込み要求 31

[bit3] PWCBOIR01 (PWC Buffer Over Run Interrupt Request 01) : PWC バッファオーバラン割込み要求 01

[bit2] PWCBOIR11 (PWC Buffer Over Run Interrupt Request 11) : PWC バッファオーバラン割込み要求 11

[bit1] PWCBOIR21(PWC Buffer Over Run Interrupt Request 21) : PWC バッファオーバラン割込み要求 21

[bit0] PWCBOIR31 (PWC Buffer Over Run Interrupt Request 31) : PWC バッファオーバラン割込み要求 31

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.23. 割込み要求一括読出しレジスタ 11 上位 ：IRPR11H (Interrupt Request Peripheral Read register 11H)

割込み要求一括読出しレジスタ 11 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#55)

■ IRPR11H： アドレス 042E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PWCZIR01	PWCZIR11	PWCMIR01	PWCMIR11	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PWCZIR01 (PWC Zero Interrupt Request 01) : PWC 0 検出割込み要求 01

[bit6] PWCZIR11 (PWC Zero Interrupt Request 11) : PWC 0 検出割込み要求 11

[bit5] PWCMIR01　PWC Compare Match Interrupt Request 01) : PWC コンペアクリア割込み要求 01

[bit4] PWCMIR11 (PWC Compare Match Interrupt Request 11) : PWC コンペアクリア割込み要求 11

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.24. 割込み要求一括読出しレジスタ 11 下位 ：IRPR11L (Interrupt Request Peripheral Read register 11L)

割込み要求一括読出しレジスタ 11 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#57)

■ IRPR11L： アドレス 042F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADCIR8	ADCIR9	ADCIR10	ADCIR11	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] ADCIR8 (AD Converter Interrupt Request 8) : A/D コンバータ 8 変換終了割込み要求
[bit6] ADCIR9 (AD Converter Interrupt Request 9) : A/D コンバータ 9 変換終了割込み要求
[bit5] ADCIR10 (AD Converter Interrupt Request 10) : A/D コンバータ 10 変換終了割込み要求
[bit4] ADCIR11 (AD Converter Interrupt Request 11) : A/D コンバータ 11 変換終了割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.25. 割込み要求一括読出しレジスタ 12 上位 ：IRPR12H (Interrupt Request Peripheral Read register 12H)

割込み要求一括読出しレジスタ 12 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#58)

■ IRPR12H : アドレス 0430$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT2IR0	BT2IR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT2IR0 (BT2 Interrupt Request 0) : ベースタイマ ch.2 割込み要求 0

[bit6] BT2IR1 (BT2 Interrupt Request 1) : ベースタイマ ch.2 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.26. 割込み要求一括読出しレジスタ 12 下位 ：IRPR12L (Interrupt Request Peripheral Read register 12L)

割込み要求一括読出しレジスタ 12 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#59)

■ IRPR12L： アドレス 0431$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT3IR0	BT3IR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT3IR0 (BT3 Interrupt Request 0) : ベースタイマ ch.3 割込み要求 0
[bit6] BT3IR1 (BT3 Interrupt Request 1) : ベースタイマ ch.3 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.27. 割込み要求一括読出しレジスタ 13 上位 ：IRPR13H (Interrupt Request Peripheral Read register 13H)

割込み要求一括読出しレジスタ 13 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#60)

■ IRPR13H : アドレス 0432$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT0IR0	BT0IR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT0IR0 (BT0 Interrupt Request 0) : ベースタイマ ch.0 割込み要求 0
[bit6] BT0IR1 (BT0 Interrupt Request 1) : ベースタイマ ch.0 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.28. 割込み要求一括読出しレジスタ 13 下位 ：IRPR13L (Interrupt Request Peripheral Read register 13L)

割込み要求一括読出しレジスタ 13 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#61)

■ IRPR13L： アドレス 0433$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT1IR0	BT1IR1	予約	予約	予約	予約		
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT1IR0 (BT1 Interrupt Request 0) : ベースタイマ ch.1 割込み要求 0
[bit6] BT1IR1 (BT1 Interrupt Request 1) : ベースタイマ ch.1 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.29. 割込み要求一括読出しレジスタ 14 上位 ：IRPR14H (Interrupt Request Peripheral Read register 14H)

割込み要求一括読出しレジスタ 14 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#62)

■ IRPR14H： アドレス 0434$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMAC0IR	DMAC1IR	DMAC2IR	DMAC3IR	DMAC4IR	DMAC5IR	DMAC6IR	DMAC7IR
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] DMAC0IR (DMAC 0 Interrupt Request) : DMAC ch.0 割込み要求
[bit6] DMAC1IR (DMAC 1 Interrupt Request) : DMAC ch.1 割込み要求
[bit5] DMAC2IR (DMAC 2 Interrupt Request) : DMAC ch.2 割込み要求
[bit4] DMAC3IR (DMAC 3 Interrupt Request) : DMAC ch.3 割込み要求
[bit3] DMAC4IR (DMAC 4 Interrupt Request) : DMAC ch.4 割込み要求
[bit2] DMAC5IR (DMAC 5 Interrupt Request) : DMAC ch.5 割込み要求
[bit1] DMAC6IR (DMAC 6 Interrupt Request) : DMAC ch.6 割込み要求
[bit0] DMAC7IR (DMAC 7 Interrupt Request) : DMAC ch.7 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.30. 割込み要求一括読出しレジスタ 15 上位 ：IRPR15H (Interrupt Request Peripheral Read register 15H)

割込み要求一括読出しレジスタ 15 上位のビット構成は、以下のとおりです。

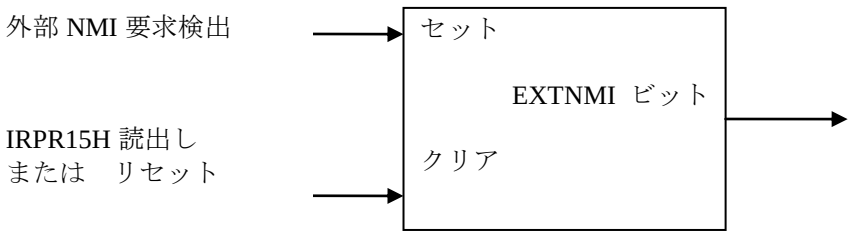
割込みを要求を行っているペリフェラルを表示します。 (割込みベクタ番号#15)

■ IRPR15H： アドレス 0436$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EXTNMI	XB_ECC_DE	BUS_NMI	TPU_VIO	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] EXTNMI： 外部 NMI 要求

EXTNMI ビットは、外部 NMI 要求の検出によりセットされ、本レジスタの読出しによりクリアされます。



[bit6] XB_ECC_DE : XBS RAM ダブルビットエラー発生割込み要求

[bit5] BUS_NMI： バス診断エラー割込み割込み要求

[bit4] TPU_VIO : TPU 違反割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.31. 割込み要求一括読出しレジスタ 15 下位 ：IRPR15L (Interrupt Request Peripheral Read register 15L)

割込み要求一括読出しレジスタ 15 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。 (割込みベクタ番号#35)

■ IRPR15L： アドレス 0437$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	XBTC	XBIC	XBTE	予約			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] XBTC(XBs ram Test Completed interrupt request) : XBS RAM 診断終了割込み要求
[bit5] XBIC(XBs ram Initialization Completed interrupt request) : XBS RAM 初期化完了割込み要求
[bit4] XBTE(XBs ram Test Error interrupt request) : XBS RAM 診断時エラー発生割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

5. 動作説明

割込み要求一括読出しの動作について説明します。

各割込みハンドラ内において、各レジスタを読出し、どのビットがセットされているかで、どの割込み要求が発生しているのかを判断します。

＜注意事項＞

- 外部割込み入力用には本レジスタ機能は用意されていません。外部割込み入力の EIRR0 レジスタを読出してください。
- 12 ビット A/D コンバータ(4 チャネル同時サンプリング)用には本レジスタ機能は用意されていません。12 ビット A/D コンバータ(4 チャネル同時サンプリング)の AD4CS レジスタを読出してください。

CHAPTER: ウォッチドッグタイマ

ウォッチドッグタイマについて説明します。

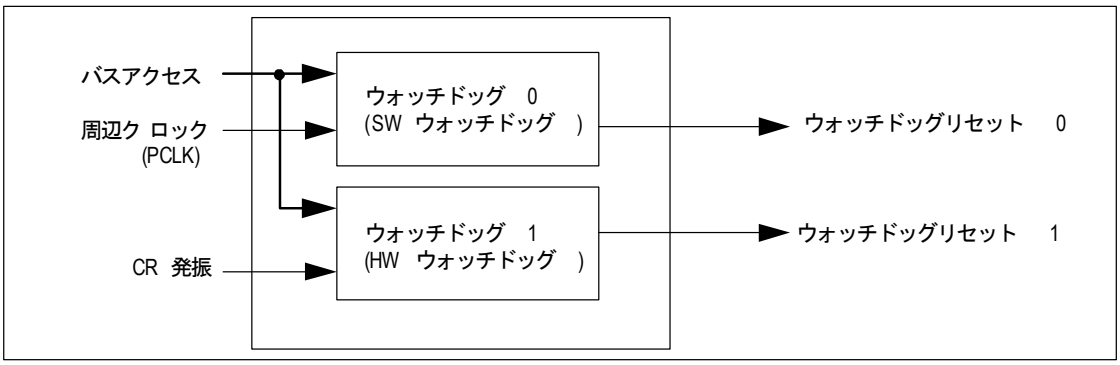
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

1. 概要

ウォッチドッグタイマの概要について説明します。

本品種は、2 つのウォッチドッグタイマを持ち、ソフトウェアおよびハードウェアの暴走状態を検出してリセット要求を発生できます。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

ウォッチドッグタイマの特長について説明します。

2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ)

2.2. ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ)

2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ)

ウォッチドッグタイマ 0 について説明します。

- ストップモード検出機能
  時計モード、ストップモードへの遷移を検出してリセット要求を発生できます。
- ウォッチドッグタイマのクリア
  動作初期化リセットまたは前回クリアレジスタに書いた値の反転値を書くことでタイマをクリアします。
- 不正書込み検出機能
  クリアレジスタに不正な値が書き込まれるとリセット要求を発生します。
- ウォッチドッグタイマ周期
  周辺クロック(PCLK) × (2^9 ～ 2^{24})サイクルの 16 とおりから選択できます。
- カウント停止条件
  CPU 停止中はカウントを停止します。
- ウォッチドッグタイマ下限値設定機能
  周辺クロック(PCLK) × (2^8 ～ 2^{23})サイクルの最大 16 とおりから選択できます。
- ウォッチドッグタイマウィンドウ監視・リセット発行機能
  ウォッチドッグタイマ下限設定値以下でクリアレジスタに書込みが行われるとリセット要求を発生します。

2.2. ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ)

ウォッチドッグタイマ 1 について説明します。

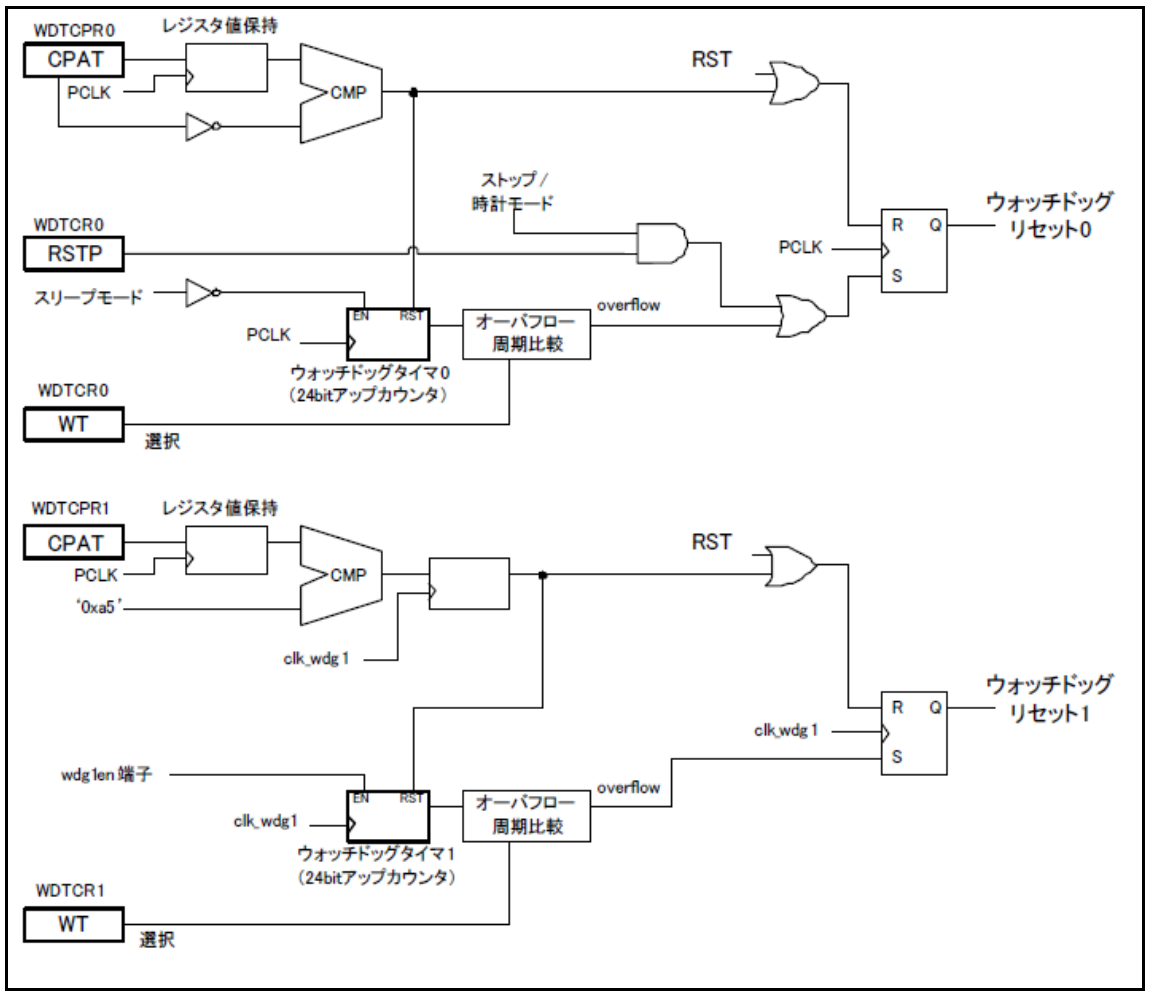
リセット解除後、すぐに搭載 CR 発振回路で生成されたクロックで駆動します。CR 発振の設定(キャリブレーション)については『WDT1 補正(キャリブレーション)』の章を参照してください。

- ウォッチドッグタイマのクリア
  動作初期化リセットまたはクリアレジスタに"0xa5"を書くことでタイマをクリアします。
- 不正書込み検出機能
  クリアレジスタに"0xa5"以外の値が書き込まれるとリセット要求を発生します。
- ウォッチドッグタイマ周期
  ハードウェア固定で、CR 発振×2^{15} サイクルです。
- カウント停止条件
  ICE 使用中、スリープモード時、時計モード時、ストップモード時、スタンバイモードからの復帰時の発振安定待ち中は、カウントを停止します。

3. 構成

ウォッチドッグタイマの構成について説明します。

図 3-1 ブロック図(詳細)



4. レジスタ

ウォッチドッグタイマのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0038	WDTECR0	予約			ウォッチドッグタイマ 0 拡張制御レジスタ
0x003C	WDTCR0	WDTCPR0	WDTCR1	WDTCPR1	ウォッチドッグタイマ 0 制御レジスタ ウォッチドッグタイマ 0 クリアレジスタ ウォッチドッグタイマ 1 周期インフォメーションレジスタ ウォッチドッグタイマ 1 クリアレジスタ

4.1. ウォッチドッグタイマ 0 制御レジスタ ：WDTCR0 (WatchDog Timer Configuration Register 0)

ウォッチドッグタイマ 0 制御レジスタのビット構成について示します。

ウォッチドッグタイマ 0 の各種設定を行います。
ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは無効です。

■ WDTCR0： アドレス 003C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	RSTP	予約		WT[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7] (予約) : (予約ビット)
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit6] RSTP (Reset by SToP) : ストップモード検出リセット許可
ウォッチドッグタイマ 0 動作時、時計モードまたはストップモード遷移を検出したとき、リセットを発生するかどうかを設定します。許可した場合、時計モードまたはストップモードへ遷移するとウォッチドッグリセット 0 が発生します。許可していない場合、時計モードまたはストップモードへ遷移するとウォッチドッグタイマ 0 は一時停止し、時計モードまたはストップモードから復帰するまでカウントを行いません。

RSTP	ストップモード検出
0	検出しない(初期値)
1	検出してリセットを発生する

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは無効です。

[bit5, bit4] (予約) : (予約ビット)
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit3～bit0] WT[3:0] (Watchdog Timer interval) : ウォッチドッグタイマ周期選択
ウォッチドッグタイマ 0 が最後にクリアされてからウォッチドッグリセット 0 が発行されるまでのサイクル数を以下のように設定します。

WT[3:0]	ウォッチドッグタイマ 0 周期
0000	PCLK(周辺クロック) × 2^9 サイクル
0001	PCLK × 2^{10} サイクル
0010	PCLK × 2^{11} サイクル
0011	PCLK × 2^{12} サイクル

WT[3:0]	ウォッチドッグタイマ 0 周期
0100	PCLK × 2^{13} サイクル
0101	PCLK × 2^{14} サイクル
0110	PCLK × 2^{15} サイクル
0111	PCLK × 2^{16} サイクル
1000	PCLK × 2^{17} サイクル
1001	PCLK × 2^{18} サイクル
1010	PCLK × 2^{19} サイクル
1011	PCLK × 2^{20} サイクル
1100	PCLK × 2^{21} サイクル
1101	PCLK × 2^{22} サイクル
1110	PCLK × 2^{23} サイクル
1111	PCLK × 2^{24} サイクル

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは無効です。
ウォッチドッグタイマ 0 は、CPU が動作停止している期間はカウントを行いません。
DMA 転送が行われていても、CPU が動作している期間はカウントを行います。

4.2. ウォッチドッグタイマ 0 クリアレジスタ ：WDTCPR0 (WatchDog Timer Clear Pattern Register 0)

ウォッチドッグタイマ 0 クリアレジスタのビット構成について示します。

ウォッチドッグタイマ 0 の起動およびクリア(リセット発行延期)を行うレジスタです。

■ WDTCPR0： アドレス 003D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CPAT[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit7～bit0] CPAT[7:0] (Clear PATtern) ：ウォッチドッグタイマ 0 クリア

リセット解除後、本レジスタへの 1 回目の書込みを行うことによりウォッチドッグタイマ 0 が起動します。起動後のウォッチドッグタイマのクリアは、前回書き込んだ値の全ビット反転した値を書き込むことにより行います。前回書き込んだ値の反転値以外を書き込んだ場合、その時点でウォッチドッグリセット 0 が発行されます。

本レジスタの読出し値は、書込み値にかかわらず常に"0x00"となります。

4.3. ウォッチドッグタイマ 0 拡張制御レジスタ ：WDTECR0 (Watchdog Timer Extended Configuration Register 0)

ウォッチドッグタイマ 0 拡張制御レジスタのビット構成について示します。

ウォッチドッグタイマ 0 のウィンドウウォッチドッグ機能の設定を行うレジスタです。

ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは無効です。

■ WDTECR0 : アドレス 0038$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			WTWE	WTLI[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約) : (予約ビット)
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit4] WTWE (Watchdog Timer Window Enable): ウォッチドッグタイマウィンドウ機能許可
ウォッチドッグタイマ 0 のウィンドウ機能を制御します。WTWE に"1"をセットした場合はウィンドウ機能を有効にします。
初期値は"0" (ウィンドウ機能無効)です。

WTWE	ウィンドウ機能許可
0	ウィンドウ機能無効(初期値)
1	ウィンドウ機能有効

[bit3～bit0] WTLI[3:0] (Watchdog Timer Lower Interval) : ウォッチドッグタイマ下限選択
ウォッチドッグタイマ 0 がクリアされてから次のクリアが入るまでの期間の下限値を設定します。
ウィンドウ機能が有効な場合、ここで設定したタイマ下限値より前にタイマクリア要求が入るとウォッチドッグリセットを発行します。

WTLI[3:0]	タイマ下限値
0000	PCLK(周辺クロック) × 2^8 サイクル
0001	PCLK × 2^9 サイクル
0010	PCLK × 2^{10} サイクル
0011	PCLK × 2^{11} サイクル
0100	PCLK × 2^{12} サイクル
0101	PCLK × 2^{13} サイクル
0110	PCLK × 2^{14} サイクル
0111	PCLK × 2^{15} サイクル

WTLI[3:0]	タイマ下限値
1000	PCLK × 2^{16} サイクル
1001	PCLK × 2^{17} サイクル
1010	PCLK × 2^{18} サイクル
1011	PCLK × 2^{19} サイクル
1100	PCLK × 2^{20} サイクル
1101	PCLK × 2^{21} サイクル
1110	PCLK × 2^{22} サイクル
1111	PCLK × 2^{23} サイクル

設定値は WTCR0.WT[3:0]で設定した周期より小さい値に設定してください。WTCR0.WT[3:0]で設定した周期より大きな値を設定した場合オーバフロー前にタイマのクリア動作を行ってもウィンドウ下限値以下でのクリア動作を満たしリセットが発生します。

4.4. ウォッチドッグタイマ 1 周期インフォメーションレジスタ : WDTCR1 (WatchDog Timer Cycle information Register 1)

ウォッチドッグタイマ 1 周期インフォメーションレジスタのビット構成について示します。

ウォッチドッグタイマ 1 の各種設定を行います。

■ WDTCR1 : アドレス 003E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				WT[3:0]			
初期値	0	0	0	0	0	1	1	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX	R1,WX	R0,WX

本レジスタは書換えができません。

[bit7～bit4] (予約) : (予約ビット)

常に"0"が読み出されます。書込みは意味を持ちません。

[bit3～bit0] WT[3:0] (Watchdog Timer interval) : ウォッチドッグタイマ周期選択

ウォッチドッグタイマ 1 が最後にクリアされてからウォッチドッグリセット 1 が発行されるまでのサイクル数です。2^{15} サイクルに固定されています。本ビットへの書込みは無効です。

WT[3:0]	ウォッチドッグタイマ 1 周期
0110	CR 発振 × 2^{15} サイクル(初期値・固定)

4.5. ウォッチドッグタイマ 1 クリアレジスタ ：WDTCPR1 (WatchDog Timer Clear Pattern Register 1)

ウォッチドッグタイマ 1 クリアレジスタのビット構成について示します。

ウォッチドッグタイマ 1 のクリア(リセット発行延期)を行うレジスタです。

■ WDTCPR1： アドレス 003F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CPAT[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit7～bit0] CPAT[7:0] (Clear PATtern) : ウォッチドッグタイマ 1 クリア

リセット解除後、ウォッチドッグタイマ 1 が起動します。起動後のウォッチドッグタイマのクリアは、"0xa5"を書き込むことにより行います。"0xa5"以外を書き込んだ場合、その時点でウォッチドッグリセット 1 が発行されます。本レジスタの読出し値は書込み値にかかわらず常に"0x00"となります。

5. 動作説明

ウォッチドッグタイマの動作について説明します。

5.1. ソフトウェアウォッチドッグ機能

5.2. ハードウェアウォッチドッグ機能

5.1. ソフトウェアウォッチドッグ機能

ソフトウェアウォッチドッグ機能について示します。

5.1.1. 設定

5.1.2. 起動

5.1.3. 動作

5.1.1. 設定

ソフトウェアウォッチドッグ機能の設定について示します。

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit3-0:WT[3:0]の設定を行い、ウォッチドッグタイマのクリアからリセット発生までの周期を選択します。

ウォッチドッグタイマ 0 は CPU 動作のみのカウントを行うため、プログラムステップ数とクロック分周の設定を基準に周期を設定してください。

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit6:RSTP の設定を行い、時計モード/ストップモード遷移を検出してリセットを発生するかどうかを選択します。

- RSTP="0"時、時計モード/ストップモード中はタイマを停止します。
- RSTP="1"時、時計モード/ストップモード遷移と同時にリセットを発生します。

時計モード、ストップモードを使用する場合は RSTP="0"を設定してください。ウォッチドッグタイマ 0 起動後の RSTP ビットへの書込みは無効です。

5.1.2. 起動

ソフトウェアウォッチドッグ機能の起動について示します。

ウォッチドッグタイマ 0 は、リセット後 1 回目の WDTCPR0 レジスタへの任意データの書込みにより起動します。

書込みデータに制限はありません。

WDTCPR0 レジスタは書込みデータにかかわらず常に"0x00"が読み出されます。

5.1.3. 動作

ソフトウェアウォッチドッグ機能の動作について示します。

起動後のウォッチドッグタイマ 0 の動作について説明します。

カウント条件

ウォッチドッグタイマ 0 は、CPU が動作中、周辺クロック(PCLK)の立上りエッジでカウントを行います。

DMA 転送は、カウント動作に影響を与えません。

スリープモードなど、CPU が停止している期間のみカウントを停止します。CPU 動作状態のサンプリングは周辺クロック(PCLK)で行うため、周辺クロック周期未満の動作状態の変化は無視されます。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

上記いずれの条件においても、カウントを停止する際にはカウンタのクリアは行わずに一時停止を行うので、カウントを再開した場合停止前のカウンタ値からの継続カウントとなります。

ソースクロックの発振安定待ち時間中は、周辺クロックが停止しますので、ウォッチドッグタイマのカウントも停止しています。

タイマのクリア

ウォッチドッグタイマの起動後、タイマ周期が経過する前に、タイマをクリアしなければなりません。

ウォッチドッグタイマのクリアは、WDTCPR0 へのデータの書込みにより行います。書き込むデータは、前回 WDTCPR0 に書き込んだデータの全ビット反転値でなければなりません。

ウォッチドッグタイマ 0 起動時に、WDTCPR0 に例えば"0x55"を書き込んで起動した場合は、以降は"0xAA"→"0x55"→"0xAA"→"0x55"と交互に書き込んで行くことによりタイマのクリアを行います。

WDTCPR0 は読出し値が常に"0x00"であるため、WDTCPR0 を読んで前回の書込み値を知ることはできません。前回書き込んだ値を他所に保持しておけない場合、1 回のクリア時に 2 回連続で書込みを行うことで対処してください。

監視期間ウィンドウ機能有効の場合は、カウンタクリアの有効範囲内でクリアしてください。

リセット要求生成

ウォッチドッグタイマ 0 は、以下の条件でウォッチドッグリセット要求を発生します。

- 設定したウォッチドッグタイマ周期のオーバフローの発生
- ストップモード検出リセット許可中の時計モードまたはストップモードへの遷移
- クリアレジスタへの前回書き込んだ値の反転値以外の値の書込み
- 監視期間ウィンドウ機能の下限設定値内でのクリアレジスタへの書込み

5.2. ハードウェアウォッチドッグ機能

ハードウェアウォッチドッグ機能について示します。

5.2.1. 設定

5.2.2. 起動

5.2.3. 動作

5.2.1. 設定

ハードウェアウォッチドッグ機能の設定について示します。

ウォッチドッグタイマ 1 の WDTCR1 レジスタの bit3-0:WT[3:0]は、ハードウェアで固定です。

5.2.2. 起動

ハードウェアウォッチドッグ機能の起動について示します。

ウォッチドッグタイマ 1 は、リセット解除後すぐに起動します。

5.2.3. 動作

ハードウェアウォッチドッグ機能の動作について示します。

起動後のウォッチドッグタイマ 1 の動作について説明します。

カウント条件

ウォッチドッグタイマ 1 は CR 発振の立上りエッジでカウントを行います。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

スリープモード時、時計モード時、ストップモード時、スタンバイモードからの復帰時の発振安定待ち中は、カウントを停止します。

タイマのクリア

ウォッチドッグタイマの起動後、タイマ周期が経過する前に、タイマをクリアしなければなりません。

ウォッチドッグタイマ 1 のクリアは、WDTCPR1 へ"0xa5"を書き込むことにより行います。

リセット要求生成

ウォッチドッグタイマ 1 は、以下の条件でウォッチドッグリセット要求を発生します。

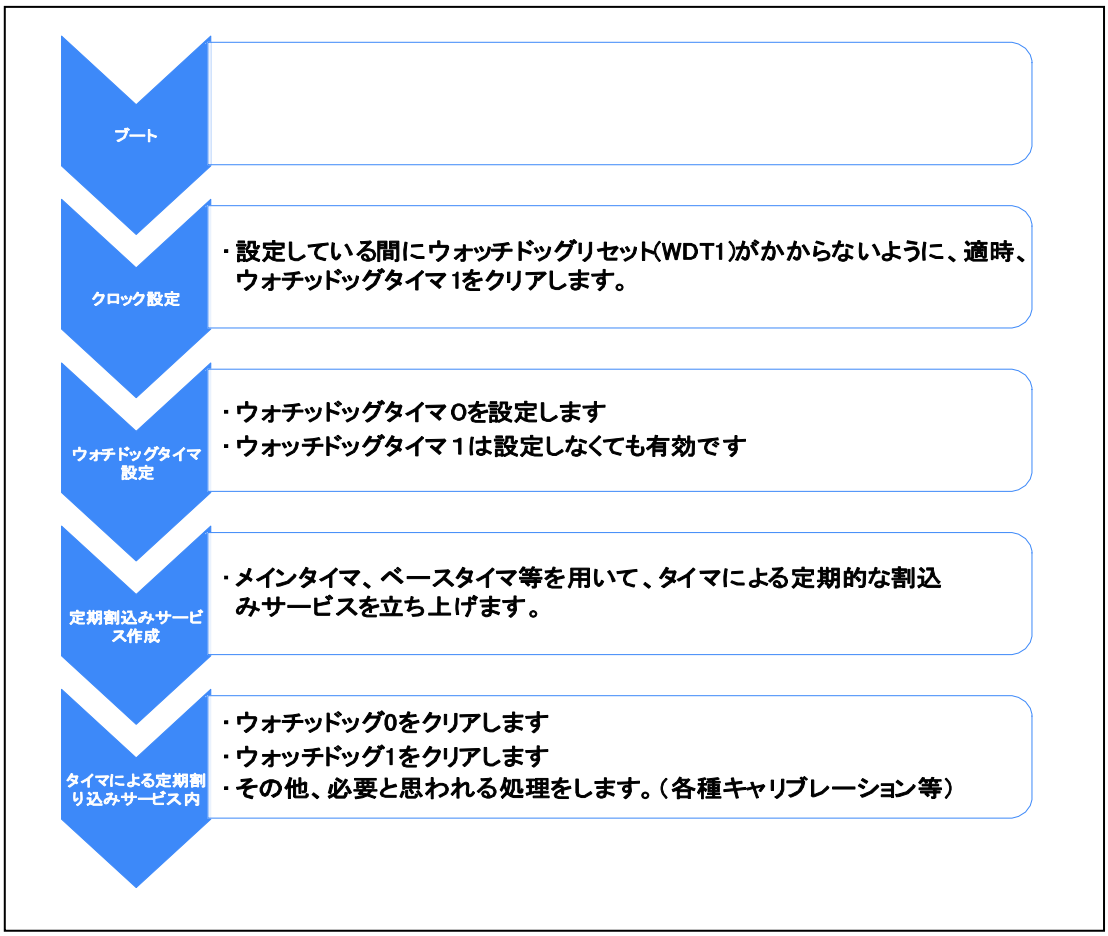
- ウォッチドッグタイマ周期のオーバフローの発生
- WDTCPR1 へ"0xa5"以外の値の書込み

6. 使用例

ウォッチドッグタイマの使用例について説明します。

ウォッチドッグタイマのクリアのための準備例です。

図 6-1 ウォッチドッグタイマクリアの例



CHAPTER: ベースタイマ

ベースタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

ベースタイマの概要について説明します。

本シリーズはベースタイマを最大 4 チャネル搭載しています。ベースタイマは、次の機能を提供します。

・16/32 ビットリロードタイマ
・16 ビット PWM タイマ
・16 ビット PPG タイマ
・16/32 ビット PWC タイマ

2. 特長

ベースタイマの特長について説明します。

本品種はベースタイマを 4 チャネル搭載しています。それぞれのチャネルで次の機能を選択して使用します。

2.1. 16/32 ビットリロードタイマ

2.2. 16 ビット PWM タイマ

2.3. 16/32 ビット PWC タイマ

2.4. 16 ビット PPG タイマ

2.1. 16/32 ビットリロードタイマ

16/32 ビットリロードタイマについて示します。

ベースタイマを 16/32 ビットリロードタイマとして使用できます。16/32 ビットリロードタイマはあらかじめ設定した値からカウントダウンするタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

タイマモード

チャネルごとに個別に動作させることも、2 チャネルの 16 ビットリロードタイマを組み合わせて 32 ビットリロードタイマとしても利用できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: ダウンカウンタがアンダフローした場合、設定している値(周期)をリロードしてカウントを繰り返すモードです。
- ワンショットモード: ダウンカウンタがアンダフローした場合、カウントを停止するモードです。

カウント用クロック

内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック): 周辺クロック(PCLK)の 1 分周・4 分周・16 分周・128 分周・256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号): 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント: 立上りエッジ、立下りエッジ、両エッジ
- 16/32 ビットリロードタイマの再起動: カウント動作中に起動トリガを検出したときに 16/32 ビットリロードタイマを再起動できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: アンダフローが発生したとき
- IRQ1: 16/32 ビットリロードタイマの起動トリガを検出したとき

2.2. 16 ビット PWM タイマ

16 ビット PWM タイマについて示します。

16 ビット PWM タイマは、パルス幅変調タイマ(Pulse Width Modulator Timer)の略で、パルス幅のデューティ比を設定することで外部端子から任意の波形を出力するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: 16 ビットダウンカウンタがアンダフローした場合設定してある周期をリロードしてカウントを繰り返すモードです。
- ワンショットモード: 16 ビットダウンカウンタがアンダフローした場合カウントを停止するモードです。

カウント用クロック

内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック): 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号): 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント 3 種類: (立上りエッジ、立下りエッジ、両エッジ検出)

16 ビット PWM タイマの再起動

カウント動作中に起動トリガを検出したときに、16 ビット PWM タイマを再起動できます。

出力波形

外部端子からの出力信号を"L"レベルまたは"H"レベルに固定できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: アンダフローが発生したとき、あらかじめ決めておいた値(デューティ)までカウントしたとき
- IRQ1: 16 ビット PWM タイマの起動トリガを検出したとき

2.3. 16/32 ビット PWC タイマ

16/32 ビット PWC タイマについて示します。

16/32 ビット PWC タイマは、パルス幅カウンタタイマ(Pulse Width Counter)の略で、パルス幅や周期を測定するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(波形)の入力動作を選択できます。

タイマモード

チャネルごとに個別に動作させることも、2 チャネルの 16 ビット PWC タイマを組み合わせて 32 ビット PWC タイマとしても利用できます。

動作モード

次の 2 種類から選択できます。

- 単発測定モード: 測定を 1 回のみ行うモードです。
- 連続測定モード: 1 回測定が終わると、次の測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。

カウント用クロック

周辺クロック(PCLK)を分周して生成した内部クロック(周辺クロック)5 種類の中から選択できます。

- 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周

測定モード

測定するパルス幅や周期を次の 5 種類から選択できます。

- "H"パルス幅: "H"レベルの信号が入力されている期間
- "L"パルス幅: "L"レベルの信号が入力されている期間
- 立上りエッジ間周期: 立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
- 立下りエッジ間周期: 立下りエッジを検出してから、次の立下りエッジを検出するまでの期間
- 全エッジ間パルス幅: 連続して入力されるエッジ間の幅は次のいずれかになります。
  - 立上りエッジを検出してから立下りエッジを検出するまでの期間
  - 立下りエッジを検出してから立上りエッジを検出するまでの期間

16/32 ビット PWC タイマの再起動

カウント動作中に起動トリガを検出したときに、16/32 ビット PWC タイマを再起動できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: オーバフローが発生したとき
- IRQ1: 測定が終了したとき

2.4. 16 ビット PPG タイマ

16 ビット PPG タイマについて示します。

16 ビット PPG タイマは、プログラマブルパルス発生タイマ(Programmable Pulse Generator Timer)の略で、任意のパルス幅を持つ波形を出力するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: "L"レベルと"H"レベルの信号を連続して出力(連続パルス)するモードです。
- ワンショットモード: "L"レベルと"H"レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

カウント用クロック

内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック): 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号): 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント 3 種類: (立上りエッジ、立下りエッジ、両エッジ検出)

16 ビット PPG タイマの再起動

カウント動作中に起動トリガを検出したときに、16 ビット PPG タイマを再起動できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値でアンダフローが発生したとき
- IRQ1: 16 ビット PPG タイマの起動トリガを検出したとき

3. 構成

ベースタイマの構成について説明します。

図 3-1 ブロックダイヤグラム チャネル 0、チャネル 1 (概要)

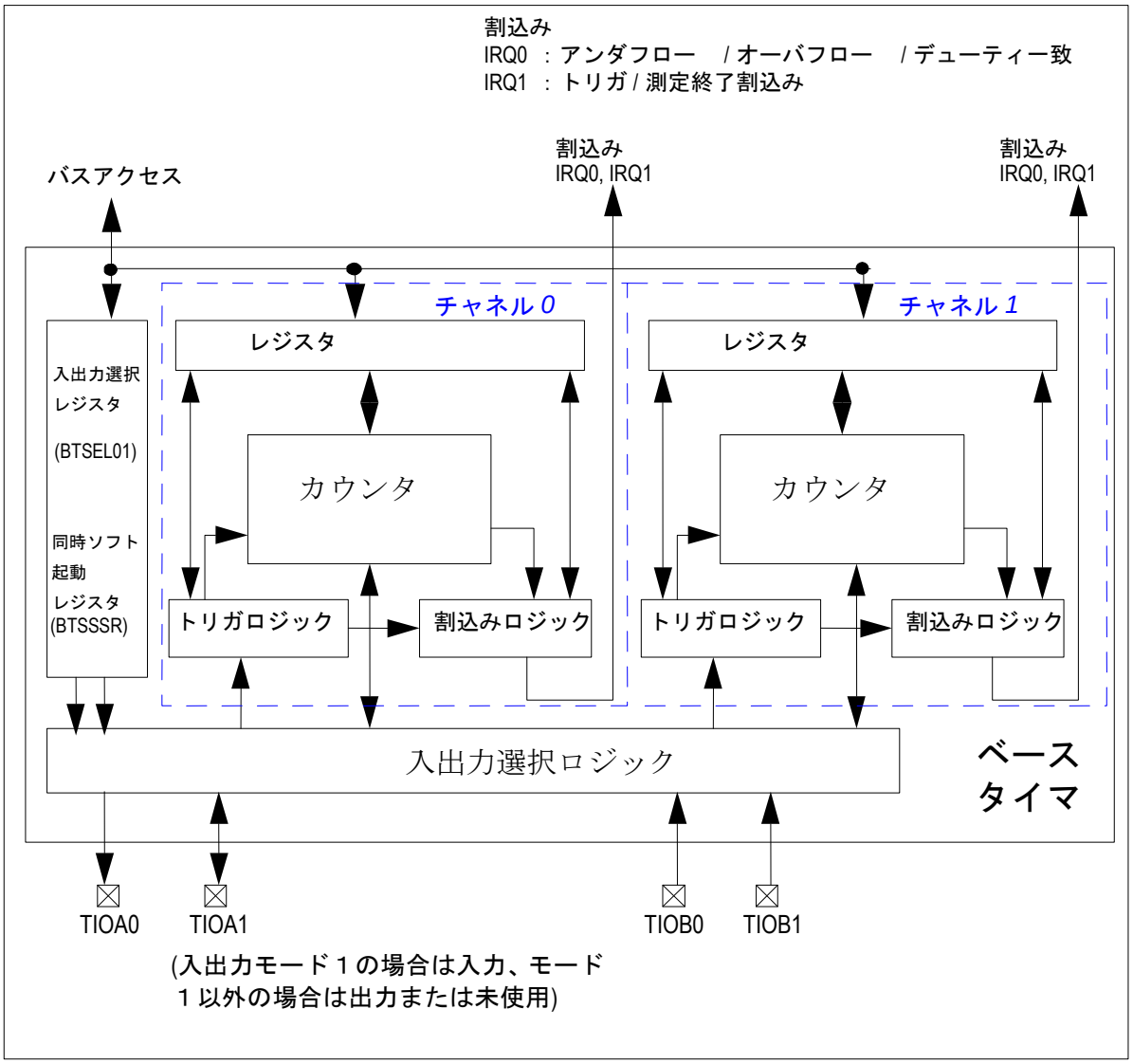
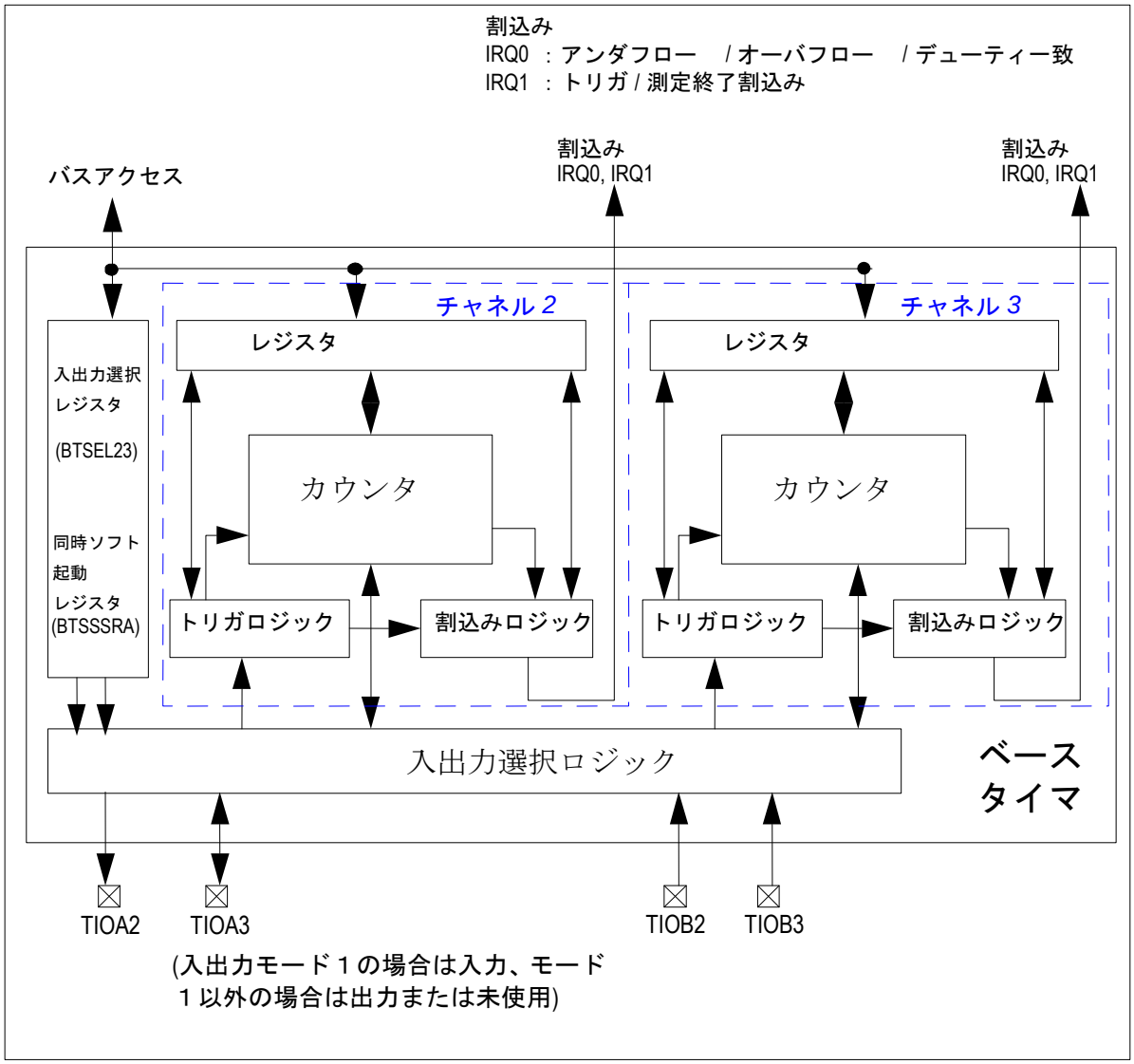


図 3-2 ブロックダイヤグラム チャネル 2、チャネル 3 (概要)



4. レジスタ

ベースタイマのレジスタについて説明します。

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル番号	ベースアドレス	外部端子
0	0x0080	TIOA0、TIOA1、TIOB0、TIOB1 を BTSEL01 レジスタの設定に応じて割り当て
1	0x0090	
2	0x0118	TIOA2、TIOA3、TIOB2、TIOB3 を BTSEL23 レジスタの設定に応じて割り当て
3	0x0124	

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0080	【共通】BT0TMR		【共通】BT0TMCR		【共通】タイマレジスタ 0 【共通】制御レジスタ 0
0x0084	【共通】 BT0TMCR2	【リロードタイマ】 BT0STC 【PWM】 BT0STC 【PPG】 BT0STC 【PWC】 BT0STC	予約		【共通】制御レジスタ 2 0 【リロードタイマ】 ステータス制御レジスタ 0 【PWM】ステータス制御レジスタ 0 【PPG】ステータス制御レジスタ 0 【PWC】ステータス制御レジスタ 0
0x0088	【リロードタイマ】 BT0PCSR 【PWM】 BT0PCSR 【PPG】 BT0PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT0PDUT 【PPG】 BT0PRLH 【PWC】 BT0DTBF		【リロードタイマ】 周期設定レジスタ 0 【PWM】周期設定レジスタ 0 【PPG】L 幅設定リロードレジスタ 0 【PWM】デューティ設定レジスタ 0 【PPG】H 幅設定リロードレジスタ 0 【PWC】データバッファレジスタ 0
0x008C	予約				
0x0090	【共通】BT1TMR		【共通】BT1TMCR		【共通】タイマレジスタ 1 【共通】制御レジスタ 1
0x0094	【共通】 BT1TMCR2	【リロードタイマ】 BT1STC 【PWM】 BT1STC 【PPG】 BT1STC 【PWC】 BT1STC	予約		【共通】制御レジスタ 2 1 【リロードタイマ】 ステータス制御レジスタ 1 【PWM】ステータス制御レジスタ 1 【PPG】ステータス制御レジスタ 1 【PWC】ステータス制御レジスタ 1

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0098	【リロードタイマ】 BT1PCSR 【PWM】 BT1PCSR 【PPG】 BT1PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT1PDUT 【PPG】 BT1PRLH 【PWC】 BT1DTBF		【リロードタイマ】 周期設定レジスタ 1 【PWM】周期設定レジスタ 1 【PPG】L 幅設定リロードレジスタ 1 【PWM】デューティ設定レジスタ 1 【PPG】H 幅設定リロードレジスタ 1 【PWC】データバッファレジスタ 1
0x009C	BTSEL01	予約	BTSSSR		入出力選択レジスタ 同時ソフト起動レジスタ
0x0118	【共通】BT2TMR		【共通】BT2TMCR		【共通】タイマレジスタ 2 【共通】制御レジスタ 2
0x011C	【共通】 BT2TMCR2	【リロードタイマ】 BT2STC 【PWM】 BT2STC 【PPG】 BT2STC 【PWC】 BT2STC	予約		【共通】制御レジスタ 2 2 【リロードタイマ】 ステータス制御レジスタ 2 【PWM】ステータス制御レジスタ 2 【PPG】ステータス制御レジスタ 2 【PWC】ステータス制御レジスタ 2
0x0120	【リロードタイマ】 BT2PCSR 【PWM】 BT2PCSR 【PPG】 BT2PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT2PDUT 【PPG】 BT2PRLH 【PWC】 BT2DTBF		【リロードタイマ】 周期設定レジスタ 2 【PWM】周期設定レジスタ 2 【PPG】L 幅設定リロードレジスタ 2 【PWM】デューティ設定レジスタ 2 【PPG】H 幅設定リロードレジスタ 2 【PWC】データバッファレジスタ 2
0x0124	【共通】BT3TMR		【共通】BT3TMCR		【共通】タイマレジスタ 3 【共通】制御レジスタ 3
0x0128	【共通】 BT3TMCR2	【リロードタイマ】 BT3STC 【PWM】 BT3STC 【PPG】 BT3STC 【PWC】 BT3STC	予約		【共通】制御レジスタ 2 3 【リロードタイマ】 ステータス制御レジスタ 3 【PWM】ステータス制御レジスタ 3 【PPG】ステータス制御レジスタ 3 【PWC】ステータス制御レジスタ 3
0x012C	【リロードタイマ】 BT3PCSR 【PWM】 BT3PCSR 【PPG】 BT3PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT3PDUT 【PPG】 BT3PRLH 【PWC】 BT3DTBF		【リロードタイマ】 周期設定レジスタ 3 【PWM】周期設定レジスタ 3 【PPG】L 幅設定リロードレジスタ 3 【PWM】デューティ設定レジスタ 3 【PPG】H 幅設定リロードレジスタ 3 【PWC】データバッファレジスタ 3
0x0130	BTSEL23	予約	BTSSSRA		入出力選択レジスタ 同時ソフト起動レジスタ

4.1. 共通レジスタ

共通レジスタについて示します。

各動作で共通のレジスタです。

4.1.1. タイマレジスタ 0～3 : BTxTMR (Base Timer 0/1/2/3 TiMer Register)

タイマレジスタ 0～3 のビット構成について示します。

タイマのカウンタ値を読み出すレジスタです。リロードタイマ、PWM、PPG 時のみ有効です。PWC 時の読出し値は不定です。読出し値については動作説明を参照してください。

■ BTxTMR : アドレス Base_addr + 00_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

＜注意事項＞

このレジスタは 16 ビットでアクセスしてください。

4.1.2. タイマ制御レジスタ 0-3 : BTxTMCR (Base Timer 0/1/2/3 TiMer Control Register)

タイマ制御レジスタ 0-3 のビット構成について示します。

ベースタイマの各種設定および動作停止、ソフトウェアトリガ発行を行うレジスタです。

■ BTxTMCR : アドレス Base_addr + 02_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	CKS[2:0]			【PWM・PPG】RTGEN 【他】予約	【PWM・PPG】PMSK 【PWC】EGS[2] 【他】予約	EGS[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W0 R0,W0(*3)	R/W	R/W	R/W	R/W R0,WX(*1)	R/W R0,WX(*1)	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	【リロードタイマ・PWC】T32 【他】予約	FMD[2:0]			【リロードタイマ・PWM・PPG】OSEL 【他】予約	MDSE	CTEN	STRG
初期値	0	0	0	0	0	0	0	0
属性	R/W R0,W0(*1) R0,W0(*2)	R/W	R/W	R/W	R/W R/W0(*1)	R/W	R,W	R0,W R0,W0(*1)

(*1) 予約の場合の属性
(*2) 32 ビットタイマ奇数チャネル側時の属性
(*3) 32 ビットタイマ奇数チャネル側時または 16/32 ビット PWC タイマ時の属性

■ BTxTMCR2 : アドレス Base_addr + 04_H (アクセス: バイト)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							CKS3
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

＜注意事項＞

- FMD[2:0]の設定を変更する場合、いったん FMD[2:0]=000 を設定してから、FMD[2:0]を設定してください。
- 予約となっているビットには必ず"0"を書き込んでください。
- ソフトウェアトリガ(STRG)以外の本レジスタビット設定する場合は、次の順序で行ってください。
  ①いったん FMD[2:0]=000 または CTEN=0 を書込みして動作を停止させる。
  ②各ビット、並びにタイマ機能選択(FMD[2:0])の設定したい値を書き込む。
- ソフトウェアトリガ(STRG)に書き込む際は、ほかのビットをクリアしてしまわないように注意してください。
- FMD[2:0]=000 はリセットモードのため、FMD[2:0]=000 と同時にほかのビットを設定することはできません。
- BTxTMCR は 16 ビットでアクセスしてください。

・本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15] 予約ビット
0 を書き込んでください。

BTxTMCR2:bit8 BTxTMCR:[bit14～bit12] CKS[3:0] (ClocK Select) : カウントクロック選択ビット
カウント用クロックを選択します。

CKS[3:0]	説明	
	クロックソース	説明
0000	内部クロック (周辺クロック(PCLK))	1 分周
0001		4 分周
0010		16 分周
0011		128 分周
0100		256 分周
0101	【リロードタイマ・PWM・PPG】外部クロック(ECK 信号) 【PWC】設定禁止	立上りエッジ
0110		立下りエッジ
0111		両エッジ
1000	内部クロック (周辺クロック(PCLK))	512 分周
1001		1024 分周
1010		2048 分周
他	設定禁止	

PWC モードのときは、0101,0110,0111 は設定禁止です。

【PWM・PPG】[bit11] RTGEN (Restart by TriGger ENable) : 再起動許可ビット
STRG ビットに"1"が書き込まれた場合や、外部起動トリガ(TGIN 信号)が検出された場合に、周期設定レジスタ(BTxPCSR)/L 幅設定リロードレジスタ(BTxPRLL)の値を 16 ビットダウンカウンタにリロードして、カウントし直すかどうかを設定します。

RTGEN	動作内容
0	再起動しない
1	再起動する

【PWM・PPG】[bit10] PMSK (Pulse MaSK) : パルス出力マスクビット
出力する波形(TOUT 信号)のレベルを次の中から選択します。
・通常出力: 16 ビット PWM/PPG タイマからの出力波形をそのまま出力します。
・固定出力: 周期やデューティの設定にかかわらず"L"レベルまたは"H"レベルを出力し続けます。

PMSK	説明
0	通常出力
1	固定出力

このビットに"1"を書き込んで固定出力を選択した場合、出力されるレベルは OSEL ビットの設定によって異なります。

・OSEL=0 の場合: "L"レベルが出力されます。
・OSEL=1 の場合: "H"レベルが出力されます。

【リロードタイマ・PWM・PPG】[bit9, bit8] EGS[1:0] (EdGe Select) : トリガ入力選択ビット
外部起動トリガ(TGIN)信号の有効エッジを選択します。

EGS[1:0]	説明
00	トリガ入力無効
01	立上りエッジ
10	立下りエッジ
11	両エッジ

【PWC】[bit10～bit8] EGS[2:0] (EdGe Select) : 測定モード選択ビット
測定する種類を選択します。

EGS[2:0]	説明
000	"H"パルス幅測定: "H"レベルの信号が入力されている期間
001	立上りエッジ間周期測定: 立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
010	立下りエッジ間周期測定: 立下りエッジを検出してから、次の立下りエッジを検出するまでの期間
011	全エッジ間パルス幅測定: 連続して入力されるエッジ間の幅 ①②のいずれかになります。 ①立上りエッジを検出してから立下りエッジを検出するまでの期間 ②立下りエッジを検出してから立上りエッジを検出するまでの期間
100	"L"パルス幅測定: "L"レベルの信号が入力されている期間 (立下りエッジを検出してから、立上りエッジを検出するまでの期間)
101～111	設定禁止

【リロードタイマ・PWC】[bit7] T32 (Timer 32bit) : 32 ビットタイマ選択ビット

16/32 ビットタイマを 1 チャネルずつ個別に動作させるか、2 チャネルをカスケード接続して 32 ビットのタイマとして使うかを選択します。チャネル 0 とチャネル 1(チャネル 2 とチャネル 3)の本ビットの両方を設定してください。

T32(チャネル 0/2)	T32(チャネル 1/3)	説明
0	0	それぞれ 16 ビット独立動作
0	1	設定禁止
1	0	32 ビットタイマとする。
1	1	設定禁止

＜注意事項＞

FMD[2:0]を"000"にしてから、本ビットを変更してください。 (いったん FMD[2:0]を"000"に設定した後、T32 ビットと FMD[2:0]を同時に所要の値に設定します。)

[bit6～bit4] FMD[2:0] (Function MoDe) : タイマ機能選択ビット

ベースタイマの機能を選択するビットです。本ビットを変更する際は、いったん"000"(リセットモード)を経由してから、ほかのモードへと設定してください。

FMD[2:0]	説明
000	リセットモード (FMD=000 書込みにより、ベースタイマをリセット後の状態に戻します。各レジスタは初期値に戻ります。)
001	16 ビット PWM タイマ
010	16 ビット PPG タイマ
011	16/32 ビットリロードタイマ
100	16/32 ビット PWC タイマ
101～111	設定禁止

[bit3] OSEL (Output SELect) : 出力極性指定ビット

本ビットがセットされていると、TOUT から出力される信号レベル(H/L)が反転されます。

OSEL	説明
0	通常出力
1	反転出力

[bit2] MDSE (MoDe Select) : モード選択ビット

【リロードタイマ・PWM】

MDSE	説明
0	リロードモード: ダウンカウンタがアンダフローした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードしてカウント動作を続けます。
1	ワンショットモード: ダウンカウンタがアンダフローした場合、カウント動作を停止します。

【PPG】

MDSE	説明
0	リロードモード: "L" レベルと "H" レベルの信号を連続して出力(連続パルス)するモードです。
1	ワンショットモード: "L" レベルと "H" レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

【PWC】

MDSE	説明
0	連続測定モード: 1 回測定が終わると、測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
1	単発測定モード: 測定を 1 回のみ行うモードです。

[bit1] CTEN (CounT ENable) : カウンタ動作許可ビット

カウンタ動作を許可・禁止します。

CTEN	説明	
	読出し	書込み
0	停止中	本ビットを 0 にします。
1	動作許可中	本ビットを 1 にします。

＜注意事項＞

・入出力モード 4, 入出力モード 6 のタイマ動作中に偶数チャネルから立下りエッジが出力されると奇数チャネルの本ビットは 0 にクリアされます。

[bit0] STRG (Software TRiGger) : ソフトウェアトリガビット

タイマ起動などのトリガとして機能します。

PWC のとき読出し値は"0"です。PWC の時、このビットへは"0"を書き込んでください。

STRG	説明
0	無視されます。
1	トリガを発行します。

＜注意事項＞

・本ビットを書き込む際に、ほかのビットをクリアしてしまわないように注意してください。
・CTEN、FMD[2:0]との同時書込みは、動作許可と同時にトリガを発行します。

4.1.3. 入出力選択レジスタ ：BTSEL01/23 (Base Timer SElect register ch.0 and ch.1/ch.2 and ch.3)

入出力選択レジスタのビット構成について示します。

ベースタイマの ch.0 および ch.1(ch.2 および ch.3)の入出力モードを設定するビットです。

■ BTSEL01： アドレス 009C$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SEL01[3:0]			
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit3～bit0] SEL01[3:0] (SELect) : ch.0/ch.1 用入出力選択ビット

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

■ BTSEL23： アドレス 0130$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SEL23[3:0]			
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit3～bit0] SEL23[3:0] (SELect) : ch.2/ch.3 用入出力選択ビット

ベースタイマの ch.2 および ch.3 の入出力モードを設定するビットです。

SELn[3:0] (n=01,23)	説明
0000	入出力モード 0 (16 ビットタイマ標準モード)
0001	入出力モード 1 (32 ビットタイマフルモード)
0010	入出力モード 2 (外部トリガ共有モード)
0011	設定禁止
0100	入出力モード 4 (タイマ起動/ 停止モード)
0101	入出力モード 5 (同時ソフト起動モード)
0110	入出力モード 6 (ソフト起動タイマ起動/ 停止モード)
0111	入出力モード 7 (タイマ起動モード)
1xxx	設定禁止

＜注意事項＞

- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマリセットモードに設定(FMD2～FMD0=000)してから書き換えてください。

4.1.4. 同時ソフト起動レジスタ ：BTSSSR/BTSSSRA (Base Timer Software Synchronous Start Register)

同時ソフト起動レジスタのビット構成について示します。

入出力モード5、6における入力信号になります。本レジスタを使用すれば、すべてのチャネルに同時にトリガを発生させることができます。

■ BTSSSR： アドレス 009E$_H$ (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						SSSR1	SSSR0
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,W	R1,W

[bit1] SSSR1 (Software Synchronous Start Register ch.1) : 同時ソフト起動ビット ch.1
[bit0] SSSR0 (Software Synchronous Start Register ch.0) : 同時ソフト起動ビット ch.0

入出力モード5、6における入力信号になります。接続は「図 5-2 各入出力モード配線図(2)」を参照してください。

■ BTSSSRA:アドレス 0132$_H$ (アクセス ： バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						SSSR3	SSSR2
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,W	R1,W

[bit1] SSSR3 (Software Synchronous Start Register ch.3) : 同時ソフト起動ビット ch.3
[bit0] SSSR2 (Software Synchronous Start Register ch.2) : 同時ソフト起動ビット ch.2

入出力モード5、6における入力信号になります。接続は「図 5-2 各入出力モード配線図(2)」を参照してください。

SSSRn(n=0～3)	説明
0	何もしません。
1	"1"パルスを入力に当て、対応したチャネルを起動します。

4.2. 16/32 ビットリロードタイマ時のレジスタ

16/32 ビットリロードタイマ時のレジスタについて示します。

4.2.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1/2/3 STatus Control)

ステータス制御レジスタ 0-3 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W

＜注意事項＞

- 予約ビットには必ず"0"を書き込んでください。
- TGIR,UDIR へのリードモディファイライト系命令の場合は"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16/32 ビットリロードタイマの起動トリガが検出されたとき(TGIR ビット=1)に、トリガ割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ダウンカウンタがアンダフローしたとき(UDIR=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16/32 ビットリロードタイマの起動トリガが検出されたことを示します。このビットが"1"のときに、TGIE ビットに"1"が設定されていると、トリガ割込み要求が発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : アンダフロー割込み要求フラグビット

ダウンカウンタの値が"0000_H"から"$FFFF_H$"に変わり、アンダフローしたことを示します。このビットが"1"のときに、UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/アンダフローがありました。	無視します。

4.2.2. 周期設定レジスタ 0-3 : BTxPCSR (Base Timer 0/1/2/3 Pulse Counter Start Register)

周期設定レジスタ 0-3 のビット構成について示します。

16/32 ビットリロードタイマの周期を設定するバッファ付きレジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

■ BTxPCSR : アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ (BTxTMCR) の FMD2～FMD0 ビットで, ベースタイマの機能を 16/32 ビットリロードタイマに選択 (FMD2～FMD0=011) してから, このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16/32 ビットリロードタイマの周期を設定するバッファ付きレジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- 16/32 ビットリロードタイマの起動時
- ダウンカウンタのアンダフロー時

2 チャネルの 16 ビットリロードタイマをカスケード接続して、32 ビットリロードタイマとして使用する場合は、このレジスタに設定した値は次のようになります。

- 偶数チャネルの周期設定レジスタ(BTxPCSR)の値: 下位 16 ビットの値
- 奇数チャネルの周期設定レジスタ(BTxPCSR)の値: 上位 16 ビットの値

そのため、32 ビットタイマモード時にこのレジスタに値を書き込む場合は、次の順番で値を書き込んでください。

1. 奇数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)
2. 偶数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)

4.3. 16 ビット PWM タイマ時のレジスタ

16 ビット PWM タイマ時のレジスタについて示します。

4.3.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1 /2/3STatus Control)

ステータス制御レジスタ 0-3 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	DTIE	UDIE	予約	TGIR	DTIR	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R0,W0	R(RM1), W	R(RM1), W	R(RM1), W

＜注意事項＞

- 予約ビットには必ず"0"を書き込んでください。
- TGIR、DTIR、UDIR へのリードモディファイライト系命令の場合は"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : **トリガ割込み要求許可ビット**

16 ビット PWM タイマの起動トリガが検出されたとき(TGIR ビット=1)にトリガ割込み要求を発生させるかどうかを設定します。

[bit5] DTIE (DuTy Interrupt Enable) : **デューティー致割込み要求許可ビット**

16 ビットダウンカウンタの値が、ベースタイマ x デューティ設定レジスタ(BTxPDUT)の値と一致したとき(DTIR ビット=1)にデューティー致割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : **アンダフロー割込み要求許可ビット**

ダウンカウンタがアンダフローしたとき(UDIR=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/DTIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : **トリガ割込み要求フラグビット**

16 ビット PWM タイマの起動トリガが検出されたことを示します。このビットが"1"のときに TGIE ビットに"1"が設定されていると、トリガ割込み要求発生します。

[bit1] DTIR (DuTy Interrupt Register) : **デューティー致割込み要求フラグビット**

16 ビットダウンカウンタの値が デューティ設定レジスタ(BTxPDUT)と一致したこと(デューティが一致したこと)を示します。このビットが"1"のときに DTIE ビットに"1"が設定されているとデューティ一致割込み要求が発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : **アンダフロー割込み要求フラグビット**

16 ビットダウンカウンタの値が"0000_H"から"$FFFF_H$"に変わりアンダフローが発生したことを示します。このビットが"1"のときに UDIE ビットに"1"が設定されているとアンダフロー割込み要求が発生します。

TGIR/DTIR/UDIR	読出し時	書込み時
0	トリガ検出/デューティ一致/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/デューティ一致/アンダフローがありました。	無視します。

4.3.2. 周期設定レジスタ 0-3: BTxPCSR (Base Timer 0/1/2/3 Pulse Counter Start Register)

周期設定レジスタ 0-3 のビット構成について示します。

16 ビット PWM タイマの周期を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。

■ BTxPCSR： アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- このレジスタを書き換えた場合 必ず デューティ設定レジスタ(BTxPDUT)も書き換えてください。
- このレジスタには デューティ設定レジスタ(BTxPDUT)より小さな値は設定しないでください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16 ビット PWM タイマの周期を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。

このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- 16 ビット PWM タイマの起動時
- 16 ビットダウンカウンタのアンダフロー時

このレジスタとベースタイマ x デューティ設定レジスタ(BTxPDUT)に同じ値を設定した場合、出力信号(TOUT 信号)のレベルを固定できます。出力される信号レベルはベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0: "H" レベル
- OSEL=1: "L" レベル

4.3.3. デューティ設定レジスタ 0-3 : BTxPDUT (Base Timer 0/1/2/3 Pulse DuTy register)

デューティ設定レジスタ 0-3 のビット構成について示します。

16 ビット PWM タイマのデューティを設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致した場合出力信号(TOUT 信号)のレベルが反転します。

■ BTxPDUT : アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- このレジスタを書き換えた場合 必ず 周期設定レジスタ(BTxPCSR)より大きい値は設定しないでください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16 ビット PWM タイマのデューティを設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致した場合出力信号(TOUT 信号)のレベルが反転します。
このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。
16 ビットダウンカウンタがアンダフローした場合、バッファの値が転送されます。
このレジスタとベースタイマ x 周期設定レジスタ(BTxPCSR)に同じ値を設定した場合、出力信号(TOUT 信号)のレベルを固定できます。出力される信号レベルはベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0: オール"H"レベル
- OSEL=1: オール"L"レベル

4.4. 16 ビット PPG タイマ時のレジスタ

16 ビット PPG タイマ時のレジスタについて示します。

4.4.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1/2/3 STatus Control)

ステータス制御レジスタ 0-3 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W

＜注意事項＞

- 予約ビットには必ず"0"を書き込んでください。
- TGIR,UDIR へのリードモディファイライト系命令の場合は"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16 ビット PPG タイマの起動トリガが検出されたとき(TGIR ビット=1)にトリガ割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)のカウントダウンが終了し、アンダフローが発生したとき(UDIR ビット=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16 ビット PPG タイマの起動トリガが検出されたことを示します。このビットが"1"のときに TGIE ビットに"1"が設定されていると、トリガ割込み要求発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : アンダフロー割込み要求フラグビット

ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)のカウントダウンが終了しアンダフローが発生したことを示します。16 ビットダウンカウンタの値が"0000_H"の状態でさらにカウントダウンした場合アンダフローが発生します。このビットが"1"のときに、UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/アンダフローがありました。	無視します。

4.4.2. L 幅設定レジスタ 0-3 : BTxPRLL (Base Timer 0/1/2/3 Pulse Length of "L" register)

L 幅設定レジスタ 0-3 のビット構成について示します。

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。

■ BTxPRLL : アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を PPG タイマに選択してから、このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) ： データビット

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると、出力波形(TOUT 信号)のレベルが反転します。このレジスタとベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)を設定することで、出力信号の"L"レベルの幅と"H"レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは、タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0 の場合: "L"レベルの幅
- OSEL=1 の場合: "H"レベルの幅

16 ビット PPG タイマの起動トリガ検出時や、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウントが終了し、アンダフローが発生したときに、このレジスタに設定した値が 16 ビットダウンカウンタにロードされます。

4.4.3. H 幅設定レジスタ 0-3 : BTxPRLH (Base Timer 0/1/2/3 Pulse Length of "H" register)

H 幅設定レジスタ 0-3 のビット構成について示します。

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値をカウント終了後に、出力される信号レベルの幅を設定するバッファ付きレジスタです。

■ BTxPRLH : アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を PPG タイマに選択してから、このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : データビット

L 幅設定リロードレジスタ(BTxPRLL)の値をカウント終了後に、出力される信号レベルの幅を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると、出力波形(TOUT 信号)の信号レベルが反転します。

このレジスタとベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)を設定することで、出力信号の"L"レベルの幅と"H"レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0 の場合: "H"レベルの幅
- OSEL=1 の場合: "L"レベルの幅

このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。このレジスタの値の転送タイミングは次のとおりです。

- バッファへの転送
  - 16 ビット PPG タイマの起動トリガ検出時
  - ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウントが終了し、アンダフローが発生したとき
- 16 ビットダウンカウンタへの転送
  - ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値のカウントが終了したとき

書き換えるタイミングについては、「■ 書込みタイミング」を参照してください。

4.5. 16/32 ビット PWC タイマ時のレジスタ

16/32 ビット PWC タイマ時のレジスタについて示します。

4.5.1. ステータス制御レジスタ 0-3 : BTxSTC (Base Timer 0/1/2/3 STatus Control)

ステータス制御レジスタ 0-3 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ERR	EDIE	予約	OVIE	予約	EDIR	予約	OVIR
初期値	0	0	0	0	0	0	0	0
属性	R,W0	R/W	R0,W0	R/W	R0,W0	R,WX	R0,W0	R(RM1),W

＜注意事項＞

- 予約ビットには必ず"0"を書き込んでください。
- OVIR へのリードモディファイライト系命令の場合は"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit7] ERR (ERRor) : **エラーフラグビット**

連続測定モードで動作中に データバッファレジスタ(BTxDTBF)から測定結果を読み出す前に次の測定が終了し、測定結果が新しい値に上書きされたことを示します。このとき上書きされる前の値は破棄されます。データバッファレジスタ(BTxDTBF)を読み出すとこのビットが"0"にクリアされます。

ERR	説明
0	測定結果は上書きされていません。
1	測定結果は上書きされました。

[bit6] EDIE (EnD Interrupt Enable) : **測定終了割込み要求許可ビット**

16/32 ビット PWC タイマの測定が終了したとき(EDIR ビット=1)に、測定終了割込み要求を発生させるかどうかを設定します。

[bit4] OVIE (OVerflow Interrupt Enable) : **オーバフロー割込み要求許可ビット**

アップカウンタがオーバフローしたとき(OVIR ビット=1)にオーバフロー割込み要求を発生させるかどうかを設定します。

EDIE/OVIE	説明
0	禁止します
1	許可します

[bit2] EDIR (EnD Interrupt Register) : **測定終了割込み要求フラグビット**

16/32 ビット PWC タイマの測定が終了したことを示します。このビットが"1"のときに EDIE ビットに"1"が設定されていると測定終了割込み要求が発生します。本ビットは測定結果(BTxDTBF)を読出しすることによりクリアされます。

[bit0] OVIR (OVerflow Interrupt Register) : **オーバフロー割込み要求フラグビット**

アップカウンタの値が"$FFFF_H$"から"0000_H"に変わり、オーバフローが発生したことを示します。このビットが"1"のときに、OVIE ビットに"1"が設定されていると、オーバフロー割込み要求が発生します。

本ビットは"0"書込みによりクリアされます。

EDIR/OVIR	読出し時	書込み時
0	測定終了/オーバフローはありません。	(EDIR) 無視します。 (OVIR)このビットをクリアします。
1	測定終了/オーバフローがありました。	無視します。

4.5.2. データバッファレジスタ 0-3 : BTxDTBF (Base Timer 0/1/2/3 DaTa BuFfer register)

データバッファレジスタ 0-3 のビット構成について示します。

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

■ BTxDTBF : アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit15～bit0] D[15:0] (Data) : データビット

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。このレジスタは、単発測定モード時と連続測定モード時で読み出す値が異なります。

- 単発測定モード時:アップカウンタの動作中はアップカウンタの値を、測定終了後は測定結果を読出します。
- 連続測定モード時:アップカウンタの動作中/測定終了後とも前回測定した結果を読出します。アップカウンタの値を読み出すことはできません。

2 チャネルの 16 ビット PWC タイマをカスケード接続して、32 ビット PWC タイマとして使用する場合は、このレジスタの値は次のようになります。

- 偶数チャネルのデータバッファレジスタ(BTxDTBF)の値: 下位 16 ビットの値
- 奇数チャネルのデータバッファレジスタ(BTxDTBF)の値: 上位 16 ビットの値

そのため、32 ビットタイマモード時は、次の順番でこのレジスタを読出してください。

1. 偶数チャネルのデータバッファレジスタ(BTxDTBF)
2. 奇数チャネルのデータバッファレジスタ(BTxDTBF)

5. 動作説明

ベーススタイマの動作について説明します。

5.1. タイマ機能の選択

タイマ機能の選択について示します。

BTxTMCR.FMD[2:0]で、使用するタイマ機能を選択してください。

5.2. 入出力割り当て

入出力割り当てについて示します。

タイマを使用する前に、BTSEL01/BTSEL23 レジスタでベースタイマの入出力設定を行ってください。次の 7 とおりから選択できます。

入出力モード 0

16 ビットタイマ標準モード

ベースタイマを 1 チャネルごとに個別に動作させるモードです。

入出力モード 1

32 ビットタイマフルモード

ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。

入出力モード 2

外部トリガ共有モード

2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用した場合、2 チャネルのベースタイマを同時に起動できます。

入出力モード 4

タイマ起動/ 停止モード

偶数チャネルで奇数チャネルの起動/ 停止を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ(*)で起動し、立下りエッジ(*)で停止します。

入出力モード 5

同時ソフト起動モード

ソフトウェアで複数のチャネルを同時に起動するモードです。

入出力モード 6

ソフト起動タイマ起動/ 停止モード

偶数チャネルで奇数チャネルの起動/ 停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ(*)で起動し、立下りエッジ(*)で停止します。

入出力モード 7

タイマ起動モード

偶数チャネルで奇数チャネルの起動を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ(*)で起動します。

*: トリガ入力選択ビット(BTxTMCR.EGS)で設定してください。

図 5-1 各入出力モード配線図(1)

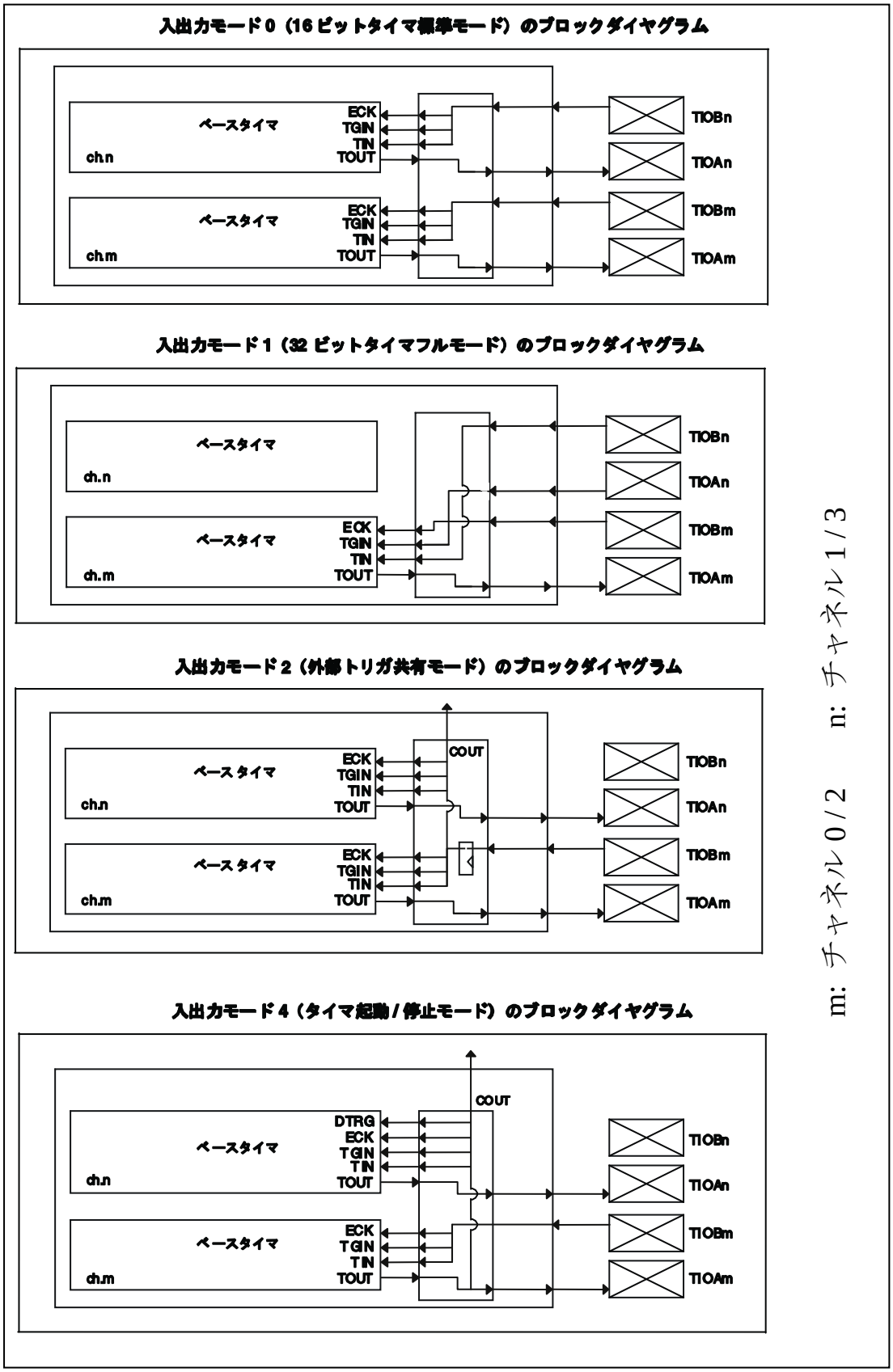
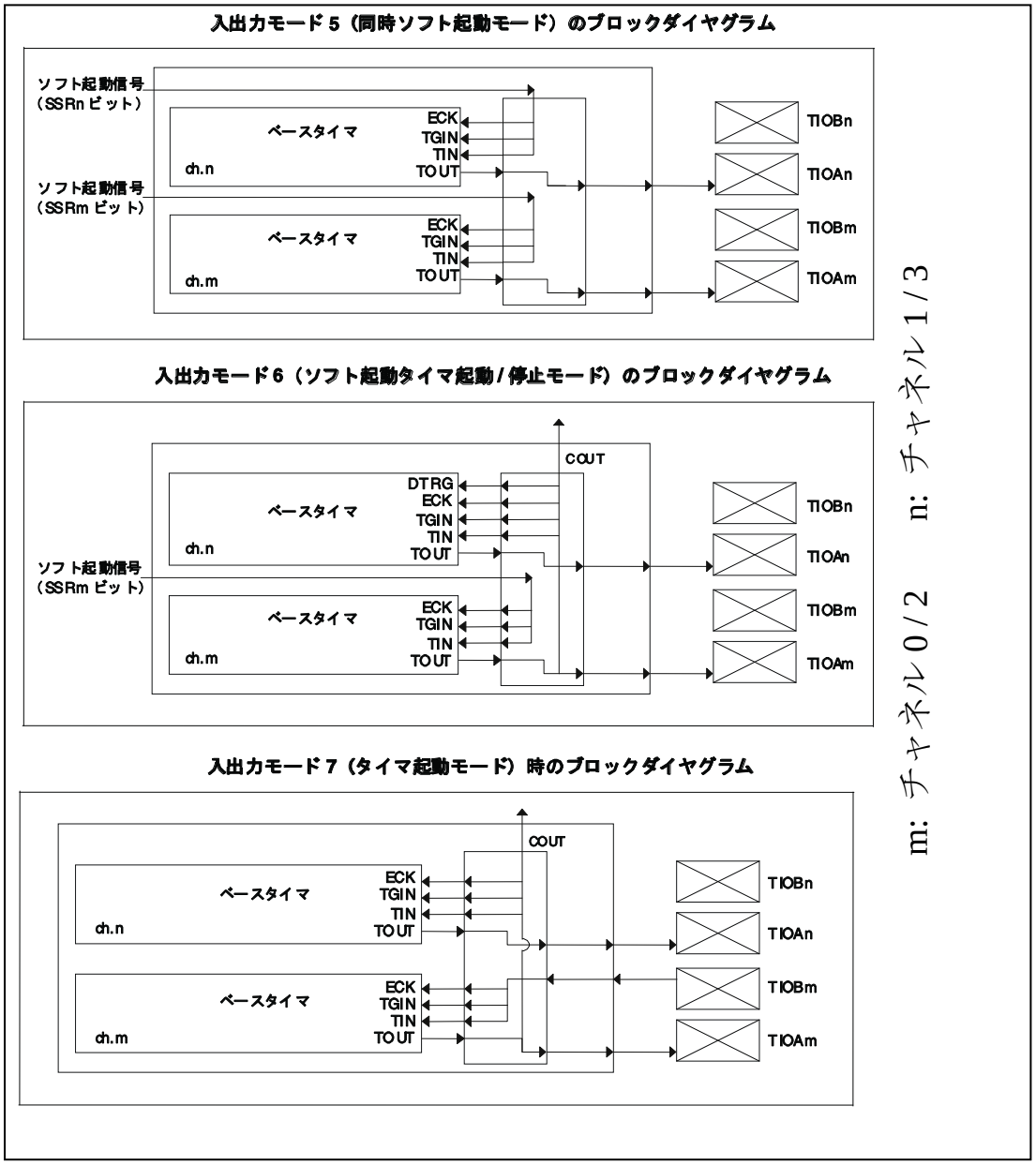


図 5-2 各入出力モード配線図(2)



5.3. 32 ビットモード動作

32 ビットモード動作について示します。

リロードタイマ、PWC タイマは、2 チャネルを使用して 32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能/ 動作について示します。

5.3.1. 32 ビットモード機能

32 ビットモード機能について示します。

ベースタイマを 2 チャネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャネルの上位 16 ビットタイマ・カウンタ値も取り込むので、動作中のタイマ・カウンタ値も読み出すことが可能です。

5.3.2. 32 ビットモード設定

32 ビットモード設定について示します。

まず、偶数チャネルの BTxTMCR レジスタの FMD ビットを"000"でリセットモードにして状態をリセットしてから、16 ビットモード時と同様にリロードタイマまたは PWC タイマ選択と動作の設定を行います。このとき、BTxTMCR レジスタの T32 ビットにも"1"を書き込むことで 32 ビット動作モードに設定します。奇数チャネルの T32 ビットは"0"のままにしてください。リセットモードの設定も必要ありません。

次に、リロードタイマの場合は、奇数チャネルの周期設定レジスタに 32 ビットのうち、上位 16 ビットのリロード値を設定し、その後に偶数チャネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後、直ちに反映されるので、設定変更は両チャネルともカウント停止状態で行ってください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャネルの BTxTMCR レジスタの FMD ビットを"000"でリセットモードにして偶数、奇数の両チャネルの状態をリセットし、チャネルごとに 16 ビットモードでの設定を行います。

5.3.3. 32 ビットモード動作

32 ビットモード動作について示します。

32 ビットモード設定の後、偶数チャネルの制御によりリロードタイマまたは PWC タイマを起動した場合、偶数チャネルのタイマ/ カウンタは下位 16 ビット動作となり、奇数チャネルのタイマ/カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャネルの設定に従うので、奇数チャネルの設定は (リロードタイマ時の周期設定レジスタを除き) 無視します。タイマ起動、波形出力、割込み信号も偶数チャネルのものが有効となります (奇数チャネルは L 固定にマスクされます)。

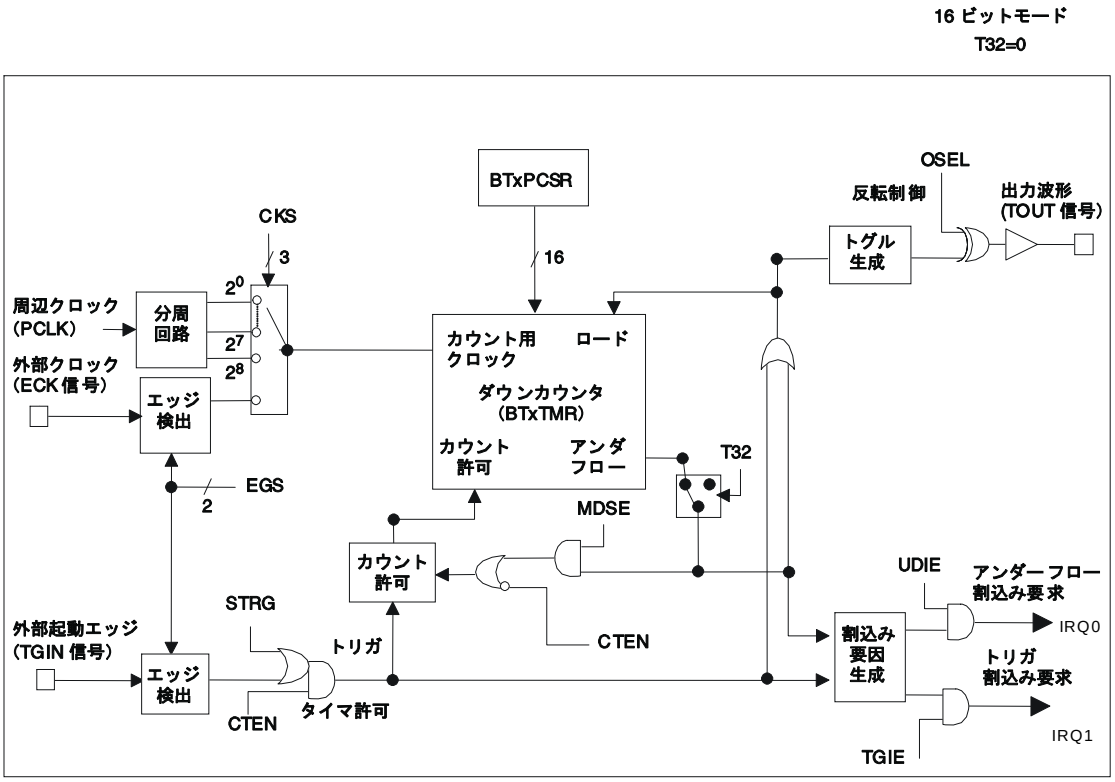
構成は「図 5-11 32 ビットタイマモード時の構成」および「図 5-29 32 ビットタイマモード時の構成」を参照してください。

5.4. 16/32 ビットリロードタイマの動作

16/32 ビットリロードタイマの動作について示します。

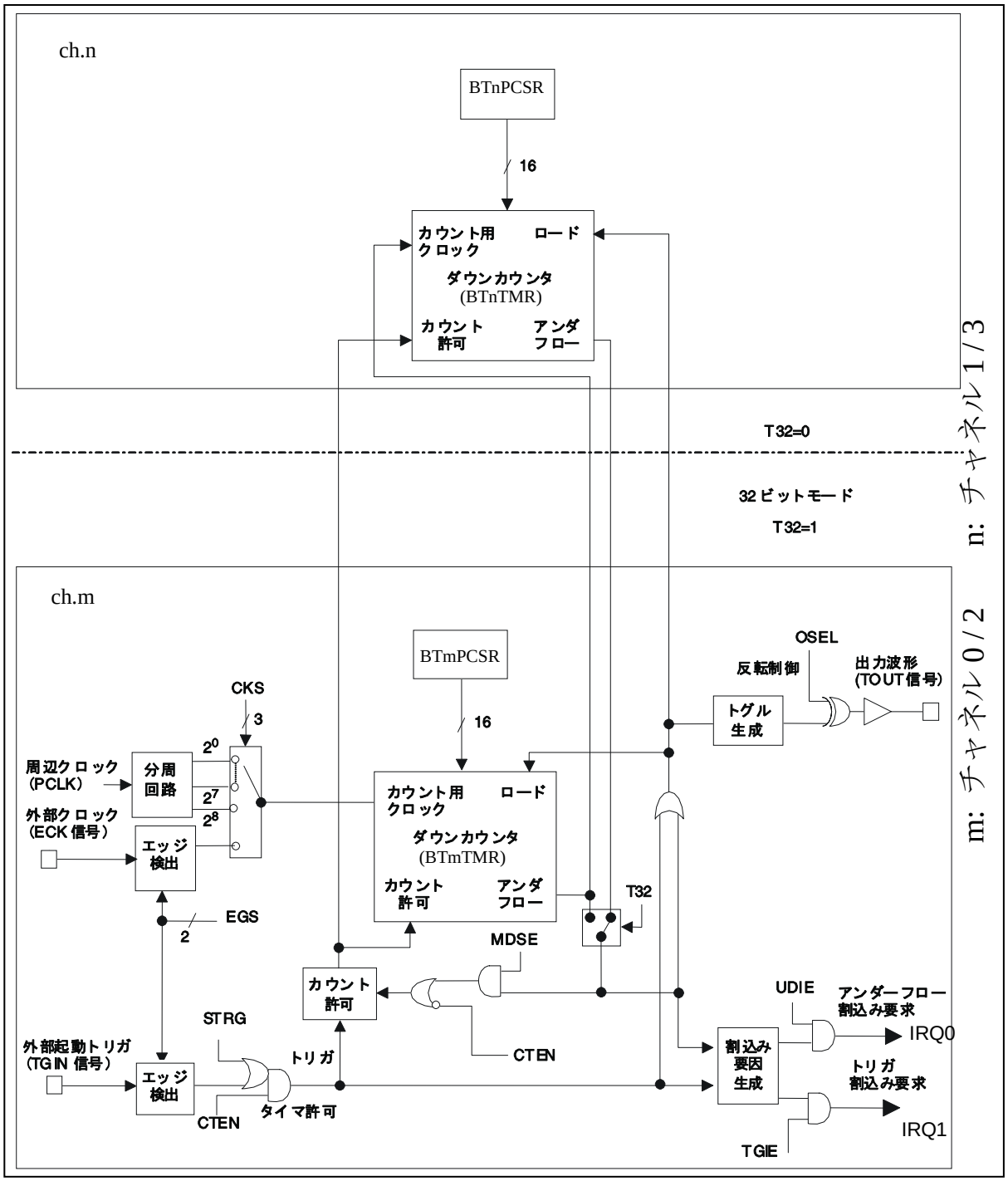
本製品に内蔵されているベースタイマを 16/32 ビットリロードタイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-3 ブロック図(16 ビットリロードタイマ動作時)



BTxPCSR ：ベースタイマ×周期設定レジスタ（BTxPCSR）
BTxTMR ：ベースタイマ×タイマレジスタ（BTxTMR）

図 5-4 ブロック図(32 ビットリロードタイマ動作時)



BTnPCSR : ベースタイマ n 周期設定レジスタ
BTnTMR : ベースタイマ n タイマレジスタ
BTmPCSR : ベースタイマ m 周期設定レジスタ
BTmTMR : ベースタイマ m タイマレジスタ

5.4.1. 概要

16/32 ビットリロードタイマの概要について示します。

16/32 ビットリロードタイマは、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンするタイマです。ダウンカウンタがアンダフローしたときに、アンダフロー割込み要求を発生させる機能があります。

16/32 ビットリロードタイマには、タイマモードと動作モードの 2 つのモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

- タイマモード: ベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットで次の 2 種類のモードから選択します。
  - 16 ビットタイマモード(T32=0): 16 ビットリロードタイマを 1 チャネルずつ個別に動作させます。
  - 32 ビットタイマモード(T32=1): 2 チャネルをカスケード接続して 32 ビットリロードタイマとして使用します。
- 動作モード: ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類のモードから選択します。
  - リロードモード(MDSE=0): ダウンカウンタがアンダフローした場合、設定している値(周期)をリロードしてカウントを繰り返すモードです。
  - ワンショットモード(MDSE=1): ダウンカウンタがアンダフローした場合、カウントを停止するモードです。

5.4.2. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

起動

次の手順で 16/32 ビットリロードタイマを起動してください。

(1) ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビットリロードタイマの動作を許可(CTEN=1)する。
16/32 ビットリロードタイマが起動トリガ待ち状態になります。

(2) 次のいずれかの方法で起動トリガを入力する。
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1"を書き込む(ソフトウェアトリガ)
- 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する。

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。
- 動作を許可した場合同時にカウントを開始したい場合はベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットと STRG ビットの両方に"1"を書き込んでください。

カウント動作

起動トリガが入力されると、次の時間の経過後にベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)がダウンカウンタにロードされ、カウントダウンが開始されます。

- ソフトウェアトリガ入力時: 1T (T: カウント用クロックの周期
- 外部起動トリガ(TGIN 信号)入力時: 2T～3T (T: カウント用クロックの周期)

カウントの開始タイミングを次に示します。

図 5-5 カウントの開始タイミング(ソフトウェアトリガ)

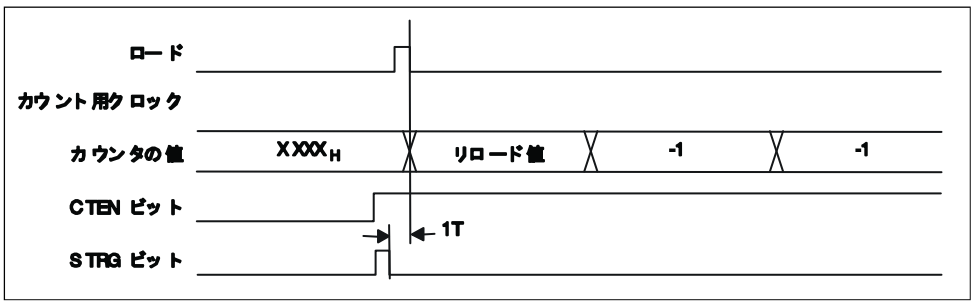
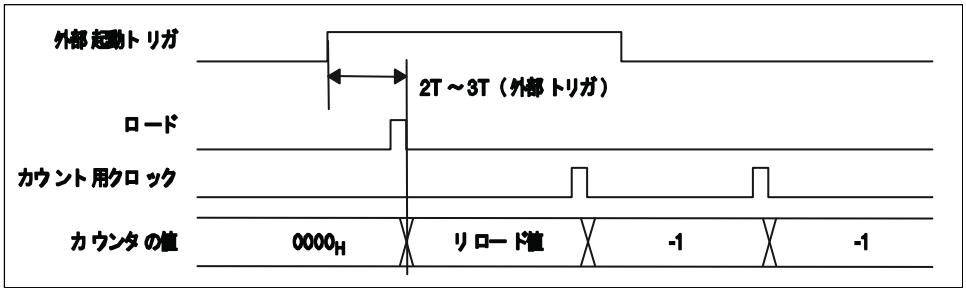


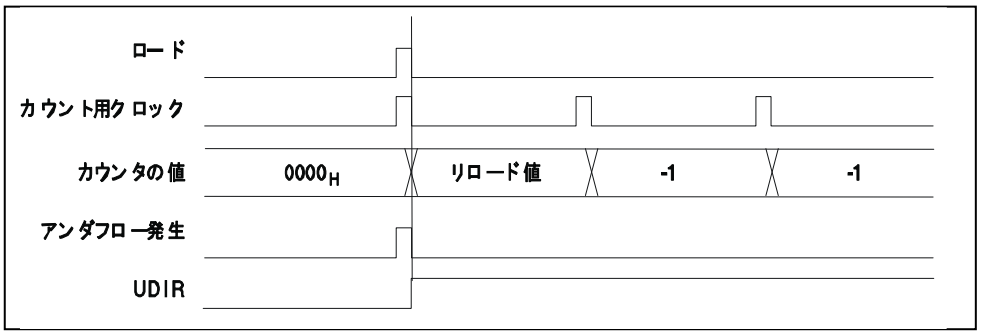
図 5-6 カウントの開始タイミング(外部起動トリガ(TGIN 信号), 有効エッジ= 立上りエッジ)



＜注意事項＞

外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。
ダウンカウンタの値が"0000_H"からさらにカウントダウンしようとして、アンダフローした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)が再びダウンカウンタにロードされ、カウント動作を続けます。
また、アンダフローが発生した場合、ベースタイマ x ステータス制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わります。このとき、UDIE ビットが"1"に設定されているとアンダフロー割込み要求が発生します。アンダフロー発生時の動作を次に示します。

図 5-7 アンダフロー発生時の動作



■ 出力波形

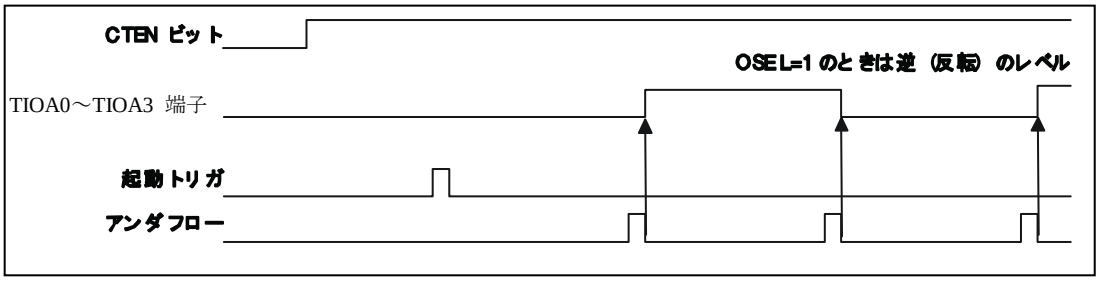
16/32 ビットリロードタイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

表 5-1 出力極性と出力波形の対応

出力極性	出力波形
通常極性(OSEL=0)	カウント開始時に"L"レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転
反転極性(OSEL=1)	カウント開始時に"H"レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転

リロードモード時の出力波形を次に示します。

図 5-8 リロードモード時の出力波形(通常極性時)



5.4.3. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ 概要

アンダフローが発生した場合カウントダウンを停止するモードです。
このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでワンショットモードを設定(MDSE=1)してください。

■ 動作

起動

リロードモード時の動作と同様です。「5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。

カウント動作

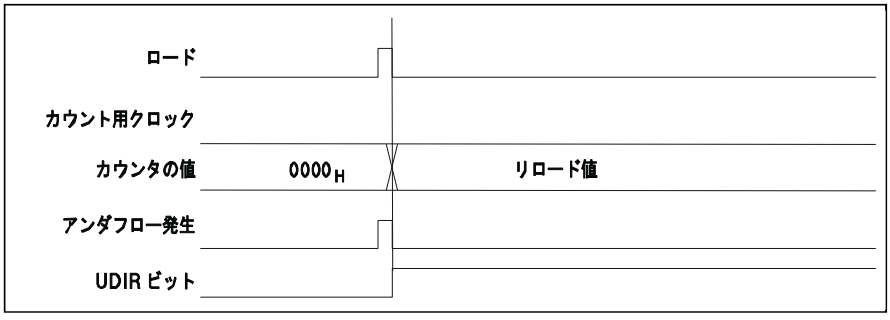
アンダフローが発生するまでの動作は、リロードモード時の動作と同様です。「5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。

アンダフローするとした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)が再びダウンカウンタにロードされます。ただし、ダウンカウンタはカウント動作を停止します。

また、アンダフローが発生した場合、ベースタイマ x ステータス制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わります。このとき、ベースタイマ x ステータス制御レジスタ(BTxSTC)の UDIE ビットが"1"に設定されているとアンダフロー割込み要求が発生します。

アンダフロー発生時の動作を次に示します。

図 5-9 アンダフロー発生時の動作



■ 出力波形

16/32 ビットリロードタイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

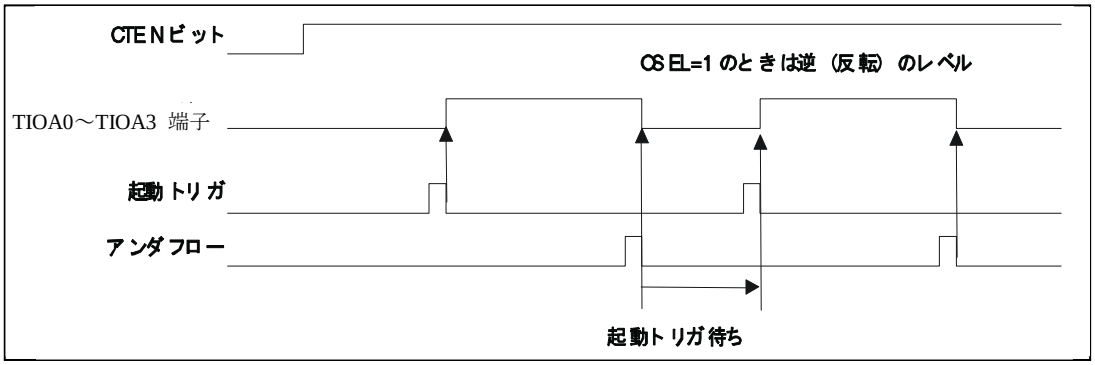
出力極性と出力波形の対応を次に示します。

表 5-2 出力極性と出力波形の対応

出力極性	出力波形
通常極性(OSEL=0)	起動トリガが入力されると(カウント中)"H"レベルを出力 起動トリガ待ち状態時は"L"レベルを出力
反転極性(OSEL=1)	起動トリガが入力されると(カウント中)"L"レベルを出力 起動トリガ待ち状態時は"H"レベルを出力

ワンショットモード時の出力波形を次図に示します。

図 5-10 ワンショットモード時の出力波形(通常極性時)



5.4.4. 32 ビットタイマモード時の動作

32 ビットタイマモード時の動作について示します。

16 ビットリロードタイマ 2 チャネルをカスケード接続して、32 ビットのリロードタイマとして使用する場合の設定と動作について説明します。

■ 概要

ベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットで 16 ビットリロードタイマ 2 チャネルをカスケード接続して、32 ビットのリロードタイマとして使用できます。

このモードの場合は、偶数チャネルが下位 16 ビットの動作に、奇数チャネルが上位 16 ビットの動作に対応します。そのため、リロード値の設定は、上位 16 ビット(奇数チャネル)→下位 16 ビット(偶数チャネル)の順に、ダウンカウンタの値の読出しは、下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"1"に、奇数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"0"に設定してください。

また、32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。偶数チャネルと奇数チャネルでレジスタの設定が異なります。カスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の FMD2～FMD0 ビットで ch.0 をリセットモードに設定(FMD2～FMD0=000)
2. ch.0 と ch.1 のベースタイマ x タイマ制御レジスタ(BT0TMCR、BT1TMCR)の FMD2～FMD0 ビットで、ch.0 と ch.1 を 16/32 ビットリロードタイマを設定(FMD2 ～FMD0=011)

   同時にベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の T32 ビットで 32 ビットタイマモードを設定(T32=1)
3. ベースタイマ 1 周期設定レジスタ(BT1PCSR)に上位 16 ビットのリロード値を設定
4. ベースタイマ 0 周期設定レジスタ(BT0PCSR)に下位 16 ビットのリロード値を設定

ch.2 および ch.3 の設定も同様の手順により行ってください。

＜注意事項＞

- T32 ビットは、偶数チャネル/ 奇数チャネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで確認できます(CTEN=0)。
- ベースタイマ x 周期設定レジスタ(BTxPCSR)にリロード値を設定する際は、必ず奇数チャネル→ 偶数チャネルの順番で設定してください。

■ 動作

32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。ただし、カウント動作は偶数チャネルの設定に従うため、奇数チャネルの次のレジスタの設定は無視されます。

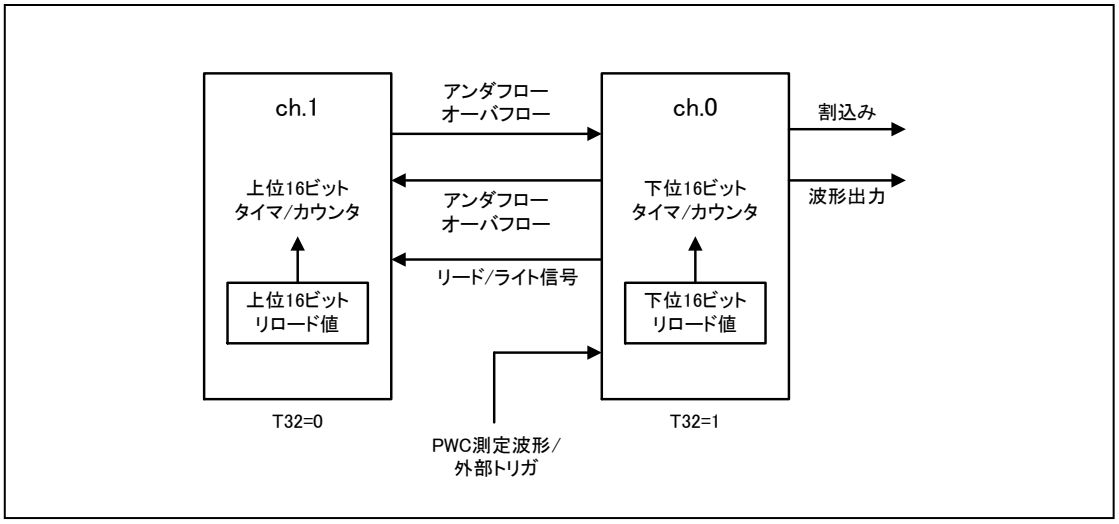
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)
- ベースタイマ x ステータス制御レジスタ(BTxSTC)

32 ビットタイマモード時のカウント動作について説明します。

1. 32 ビットリロードタイマが起動した場合、奇数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)と偶数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)の値(下位 16 ビット)がダウンカウンタにロードされます。
2. 偶数チャネルを下位 16 ビット、奇数チャネルを上位 16 ビットの 32 ビットカウンタとして、ダウンカウンタがカウント動作を開始します。
3. ダウンカウンタがアンダフローした場合、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の UDIR ビットが"1"に変わります。

32 ビットタイマモード時のチャネル構成を次に示します。

図 5-11 32 ビットタイマモード時の構成



＜注意事項＞

- ダウンカウンタの値は、ベースタイマ x タイマレジスタ(BTxTMR)を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順で読出してください。
- 32 ビットタイマモード時は、32 ビットリロードタイマの動作は偶数チャネルの設定にしたがいます。そのため、起動トリガや割込み要求は偶数チャネルのものが有効になります。また、奇数チャネルの端子からの出力信号(TOUT 信号)は"L"レベルに固定されます。

5.4.5. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- アンダフロー発生時(アンダフロー割込み要求)

表 5-3 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ(ICR00 ～ ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.4.6. 使用上の注意

使用上の注意について示します。

16/32 ビットリロードタイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

・ベースタイマ x タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから書き換えてください。
  ・ CKS2～CKS0 ビット
  ・ EGS1、EGS0 ビット
  ・ T32 ビット
  ・ FMD2～ FMD0 ビット
  ・ MDSE ビット
・タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
  ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2～FMD0=000)してから、これらのビットを書き換えてください。

■ 動作に関する注意

・ダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
・ワンショットモードで、カウント終了時に 16/32 ビットリロードタイマの起動トリガが検出されると、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値(周期)が 16 ビットダウンカウンタにロードされ、カウント動作を開始します。
  ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

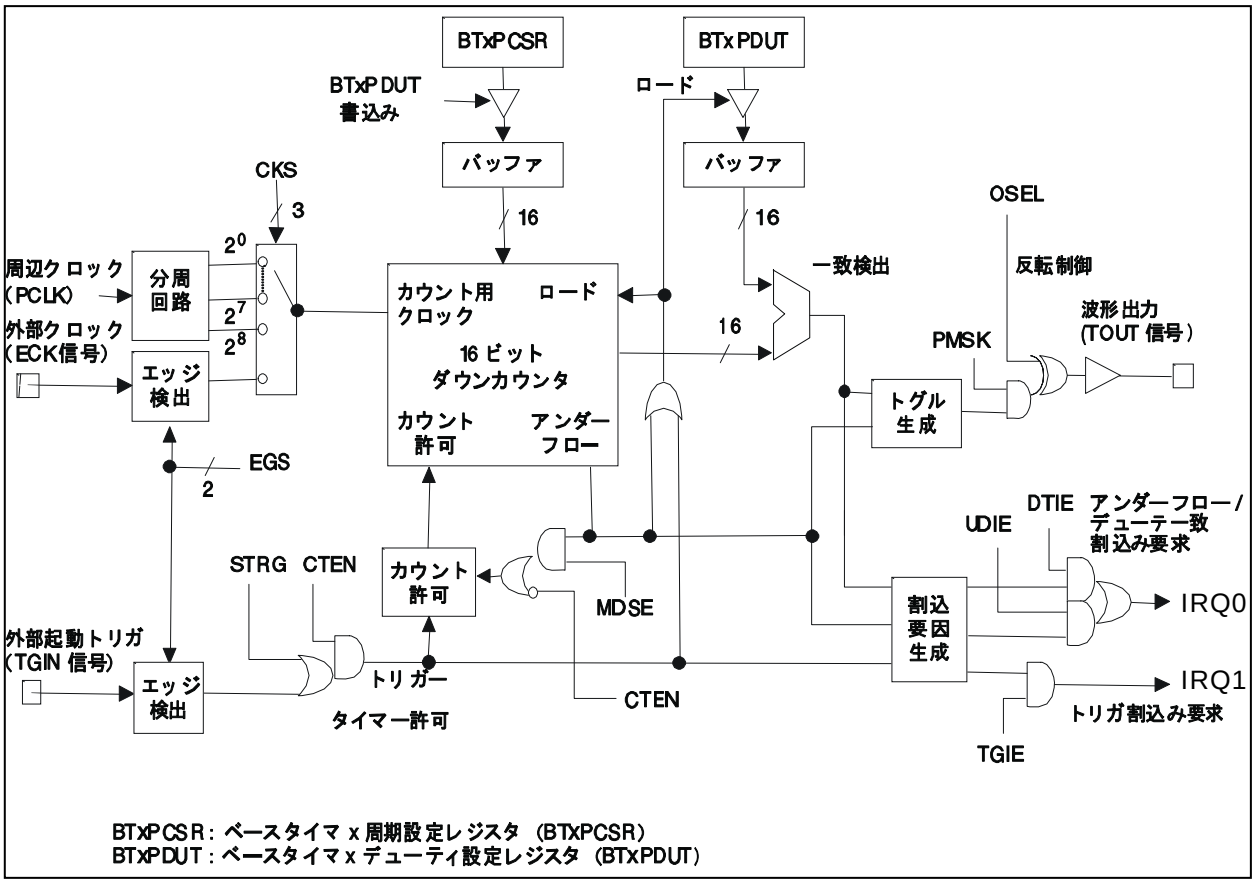
割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.5. 16 ビット PWM タイマの動作

16 ビット PWM タイマの動作について示します。

本製品に内蔵されているベースタイマを 16 ビット PWM タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-12 ブロック図(16 ビット PWM タイマ動作時)



5.5.1. 概要

概要について示します。

16 ビット PWM タイマは、周期設定レジスタ(BTxPCSR)に周期を、デューティ設定レジスタ(BTxPDUT)にデューティを設定します。これらのレジスタの値を設定することで任意の波形(TOUT 信号)を出力します。

16 ビット PWM タイマは、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンを開始します。ダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、出力信号(TOUT 信号)のレベルを反転させます。ダウンカウンタがアンダフローした場合再度出力レベルを反転させます。これにより、周期とデューティが任意の波形(TOUT 信号)を出力できます。

16 ビット PWM の動作モードは、タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類から選択できます。

- リロードモード(MDSE=0):16 ビットダウンカウンタがアンダフローした場合設定してある周期をリロードしてカウントを繰り返すモードです。
- ワンショットモード(MDSE=1):16 ビットダウンカウンタがアンダフローした場合カウントを停止するモードです。

5.5.2. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

● 起動

次の手順で 16 ビット PWM タイマを起動してください。

1. ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16 ビット PWM タイマの動作を許可(CTEN=1)する
   - 16 ビット PWM タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する
   - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1"を書き込む(ソフトウェアトリガ)
   - 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する

16 ビットダウンカウンタがベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンを開始します。

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。
- 16 ビット PWM タイマの起動トリガを検出してからベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。
  - ソフトウェアトリガ時: 1T (T: カウント用クロックの周期)
  - 外部イベントトリガ時: 2T～3T (T: カウント用クロックの周期)

● カウント動作

起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ(BTxPCSR)の値からカウントダウンを開始します。
16 ビットダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、次の動作が行われます。

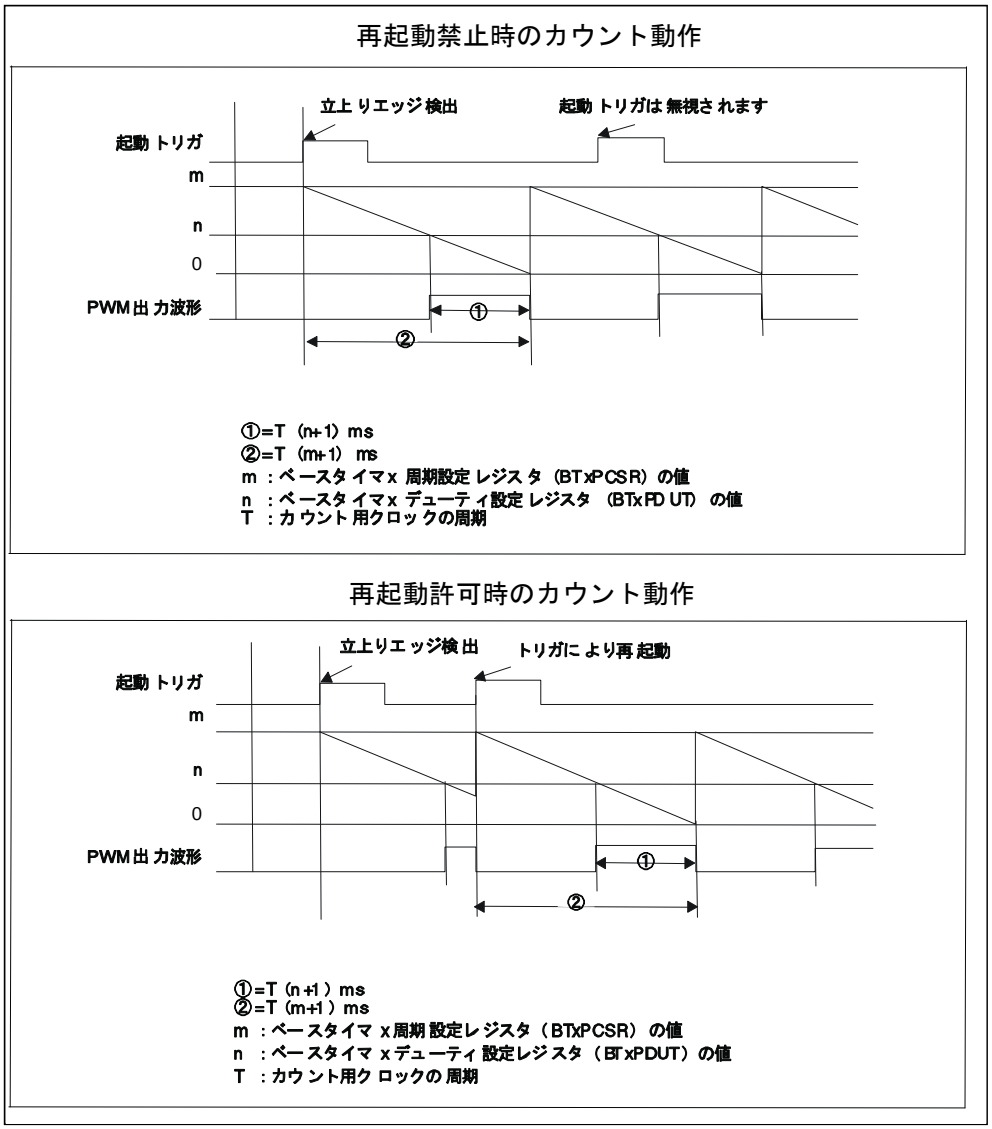
- ステータス制御レジスタ(BTxSTC)の DTIR ビットが"1"に変わる。
- 出力信号(TOUT 信号)のレベルが反転する。
- カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローした場合、次の動作が行われます。
- ステータス制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わる出力信号(TOUT 信号)のレベルが反転する。
- 周期設定レジスタ(BTxPCSR)の値をリロードし、カウントダウンを継続する。

このように、アンダフローが発生するたびに周期設定レジスタ(BTxPCSR)の値をリロードし、カウント動作を続けます。また、カウント中に、起動トリガが入力された場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

・再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
・再起動許可(RTGEN=1)の場合: ベースタイマ x ステータス制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

それぞれの動作を次に示します。

図 5-13 カウント動作



＜注意事項＞

16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は、ロード動作が優先されます。

■ 出力波形

16 ビット PWM タイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

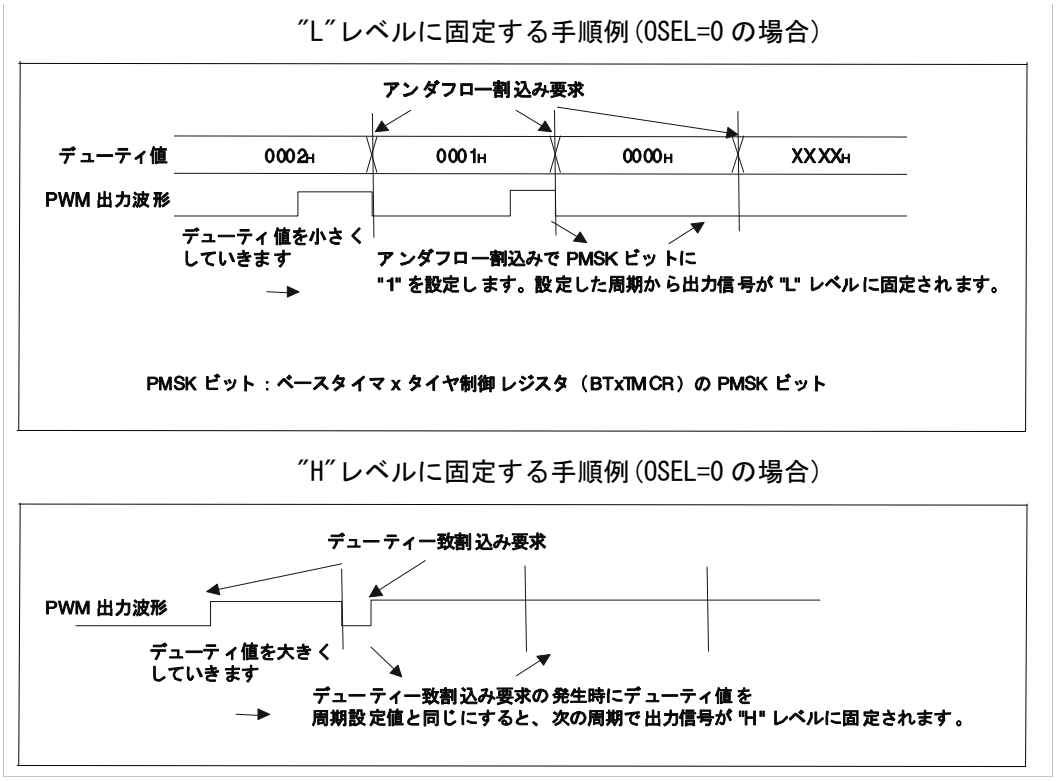
・通常極性(OSEL=0)時
- 16 ビット PWM タイマ起動時: "L"レベル
- デューティ一致発生時: "H"レベル
- アンダフロー発生時: "L"レベル

・反転極性(OSEL=1)時
- 16 ビット PWM タイマ起動時: "H" "レベル
- デューティ一致発生時: "L"レベル
- アンダフロー発生時: "H" "レベル

また、出力(TOUT 信号)を"L"レベルまたは"H"レベルに固定することもできます。

ベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって、出力レベルが変わります。手順例を次に示します。

図 5-14 "L"レベル・"H"レベルに固定する手順例



＜注意事項＞

16 ビット PWM タイマの波形(TOUT 信号)の出力方法/ 出力先は、次の設定によって異なります。

- ベースタイマの入出力モード
- TIOA0～ TIOA3 端子機能

■ 割込み発生タイミング

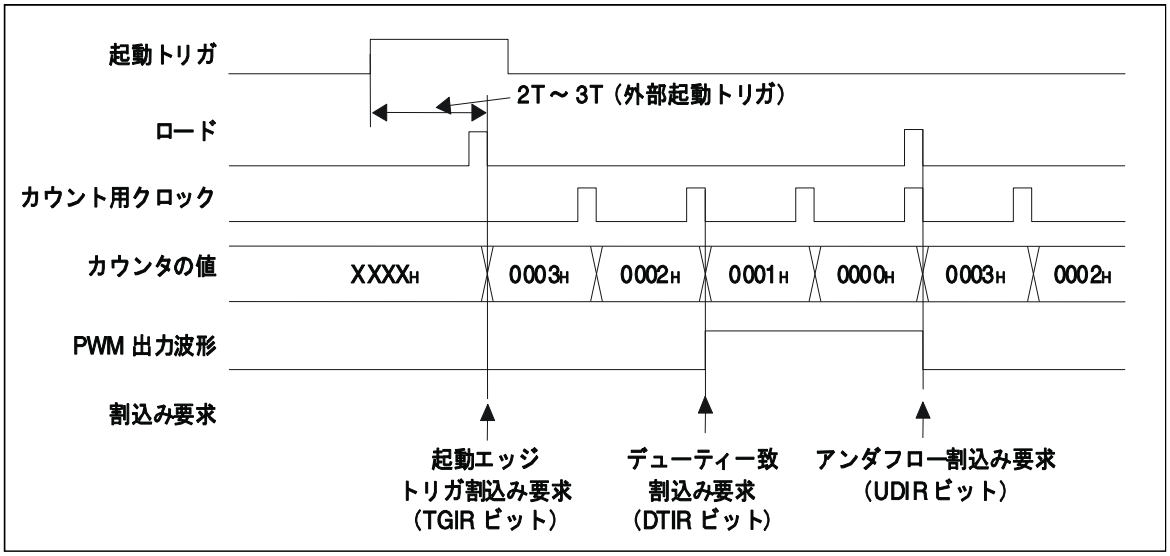
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

・起動トリガ検出時
・16 ビットダウンカウンタの値が、ベースタイマ x デューティ設定レジスタ(BTxPDUT)の値と一致したとき
・アンダフロー発生時

割込み要求発生のタイミングを次の設定がされているときを例にとって、次に示します。

- 周期設定レジスタ(BTxPCSR)の値=0003_H
- デューティ設定レジスタ(BTxPDUT)の値=0001_H

図 5-15 割込み要求発生のタイミングチャート



5.5.3. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ カウント動作

16 ビットダウンカウンタの値が周期設定レジスタの設定値(BTxPCSR)から"FFFF$_H$"に変わり、アンダフローが発生した場合カウント動作を停止するモードです。

このモードを利用するには、タイマ制御レジスタ(BTxTMCR)の MDSE ビットでワンショットモードを設定(MDSE=1)してください。

● 起動

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

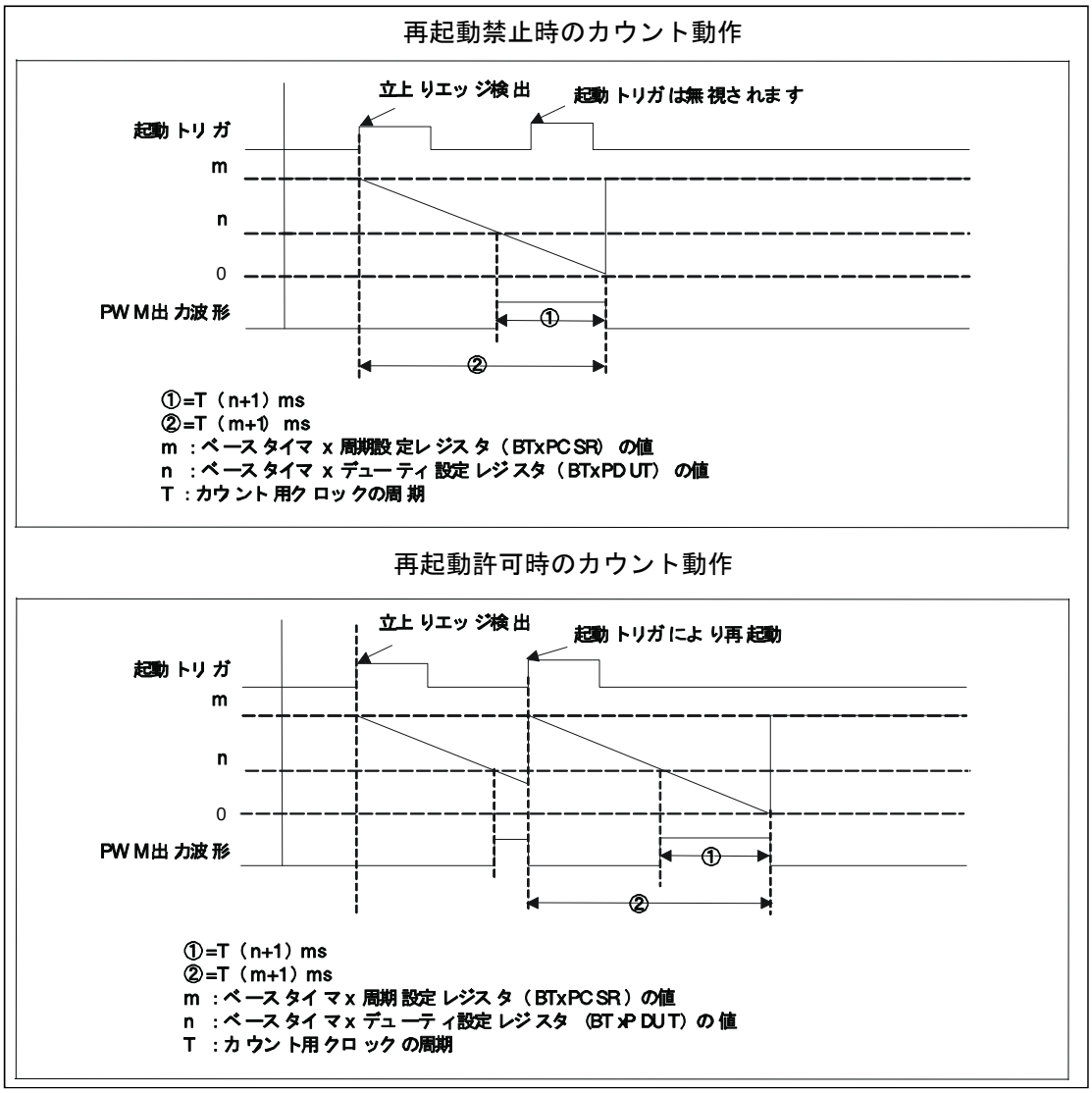
起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ(BTxPCSR)の値からカウントダウンを開始します。16 ビットダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、次の動作が行われます。

- ベースタイマ x ステータス制御レジスタ(BTxSTC)の DTIR ビットが"1"に変わる
- 出力信号(TOUT 信号)のレベルが反転する
- カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローした場合、次の動作が行われます。
  - ベースタイマ x ステータス制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わる
  - 出力信号(TOUT 信号)のレベルが反転する
  - カウント動作を停止する(16 ビットダウンカウンタの値は"FFFF$_H$"で止まります)。

また、カウント中に、起動トリガが入力された場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合: ベースタイマ x ステータス制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 5-16 カウント動作



＜注意事項＞

カウント終了時に、16 ビット PWM タイマの起動トリガが検出されると周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにロードされ、カウントを開始します。

■ 出力波形

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 出力波形」を参照してください。

■ 割込み発生タイミング

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

5.5.4. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- 16 ビットダウンカウンタの値が (ベースタイマ x デューティ設定レジスタ(BTxPDUT))の値と一致したとき(デューティ一致割込み要求)
- アンダフロー発生時(アンダフロー割込み要求)

表 5-4 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
デューティ一致割込み要求	BTxSTC の DTIR=1	BTxSTC の DTIE=1	BTxSTC の DTIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  －割込み要求の発生を許可する前に割込み要求をクリアする
  －割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ(ICR00 ～ ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.5.5. 使用上の注意

使用上の注意について示します。

16 ビット PWM タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS1, EGS0 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合は、一度ベースタイマをリセットしてください。リセット後に、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2 ～FMD0 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2～FMD0=000)してから、再度 FMD2～FMD0 ビットでベースタイマの機能を選択してください。
- 16 ビット PWM タイマの周期やデューティは次の手順で設定してください。
  1. ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでベースタイマの機能に 16 ビット PWM タイマを設定(FMD2～FMD0=001)
  2. ベースタイマ x 周期設定レジスタ(BTxPCSR)に周期を設定
  3. ベースタイマ x デューティ設定レジスタ(BTxPDUT)にデューティを設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PWM タイマの再起動トリガが検出されると、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

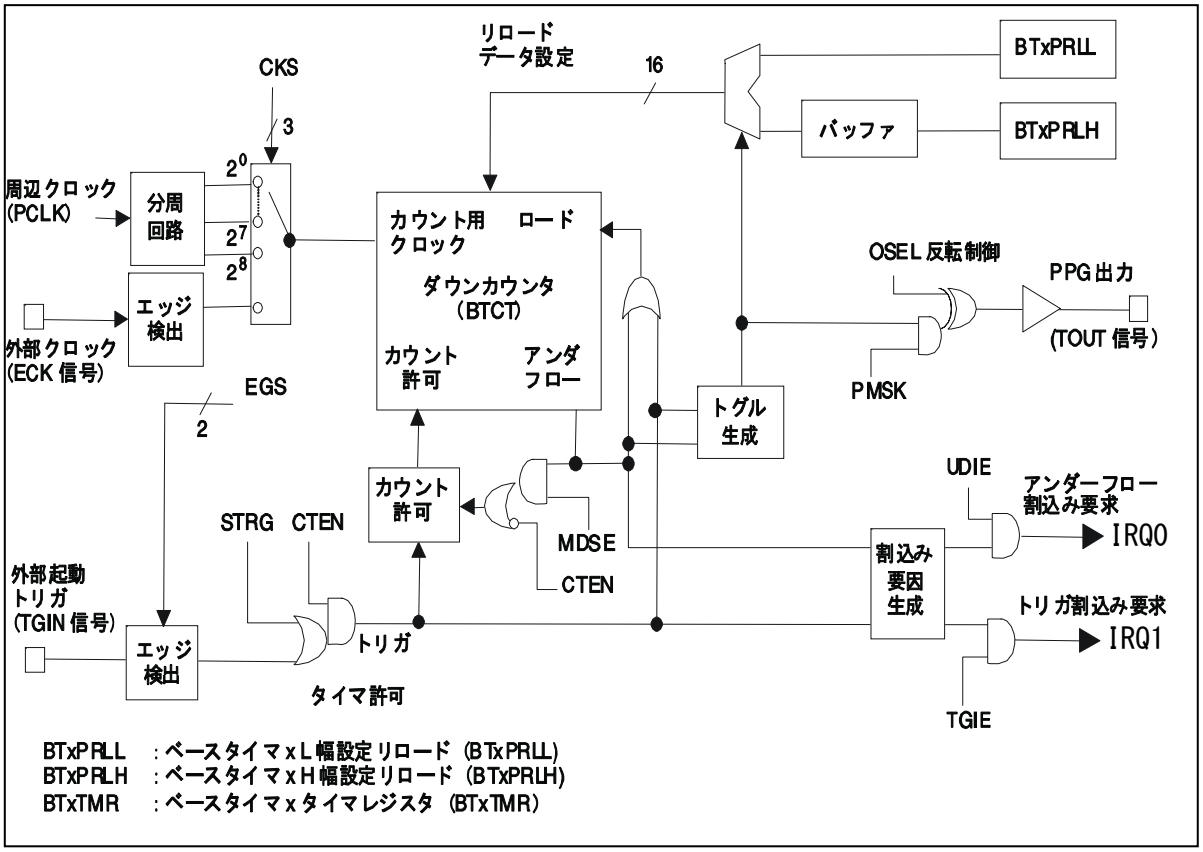
- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.6. 16 ビット PPG タイマの動作

16 ビット PPG タイマの動作について示します。

本製品に内蔵されているベースタイマを 16 ビット PPG タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-17 ブロック図(16 ビット PPG 動作時)



5.6.1. 概要

概要について示します。

16 ビット PPG タイマが起動した場合、初めにベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンします。L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わると、次に H 幅設定リロードレジスタ(BTxPRLH)に設定された値をカウントダウンします。

各レジスタの値をカウント終了後、出力信号(TOUT 信号)のレベルが反転するので、L 幅設定リロードレジスタ(BTxPRLL)H 幅設定リロードレジスタ(BTxPRLH)を設定することで出力する信号の"L"レベルの幅と"H"レベルの幅を任意に設定できます。

16 ビット PPG タイマの動作モードはタイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類から選択できます。

- リロードモード(MDSE=0): "L"レベルと"H"レベルの信号を連続して出力(連続パルス)するモードです。
- ワンショットモード(MDSE=1): "L"レベルと"H"レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

5.6.2. パルス幅の計算方法

パルス幅の計算方法について示します。

16 ビット PPG タイマは、L 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)に設定した値+1 カウントした場合、出力信号(TOUT 信号)のレベルが反転します。そのため、出力される信号のパルス幅は、次の計算式で求められます。

例: 出力極性が通常極性の場合

"L" レベルのパルス幅= T × (L+1)
"H" レベルのパルス幅= T × (H+1)

T: カウント用クロックの周期
L: ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値
H: ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値

つまり、L 幅設定リロードレジスタ(BTxPRLL)・H 幅設定リロードレジスタ(BTxPRLH)に"0000_H"を設定した場合、カウント用クロック 1 周期のパルス幅になります。また、"$FFFF_H$"を設定した場合、カウント用クロック 65536 周期のパルス幅が設定されます。

5.6.3. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)とベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値を交互にリロードして、カウントダウンを継続するモードです。アンダフロー割込み要求の発生タイミングで、ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)を書き換えると、任意のパルス幅を連続で出力できます。
このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

● 起動

次の手順で 16 ビット PPG タイマを起動してください。

1. タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16 ビット PPG タイマの動作を許可(CTEN=1)する。16 ビット PPG タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する
   - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1" を書き込む(ソフトウェアトリガ)
   - 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。
- 16 ビット PPG タイマの起動トリガを検出してから L 幅設定リロードレジスタ(BTxPRLL)に設定した値(周期)が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。
  －ソフトウェアトリガ時: 1T(T: カウント用クロックの周期)
  －外部イベントトリガ時: 2T～3T(T: カウント用クロックの周期)

● カウント動作

起動トリガが入力されてからのカウント動作を タイマ制御レジスタ(BTxTMCR)の OSEL ビットで通常極性を設定した(OSEL=0)場合を例にとって説明します。

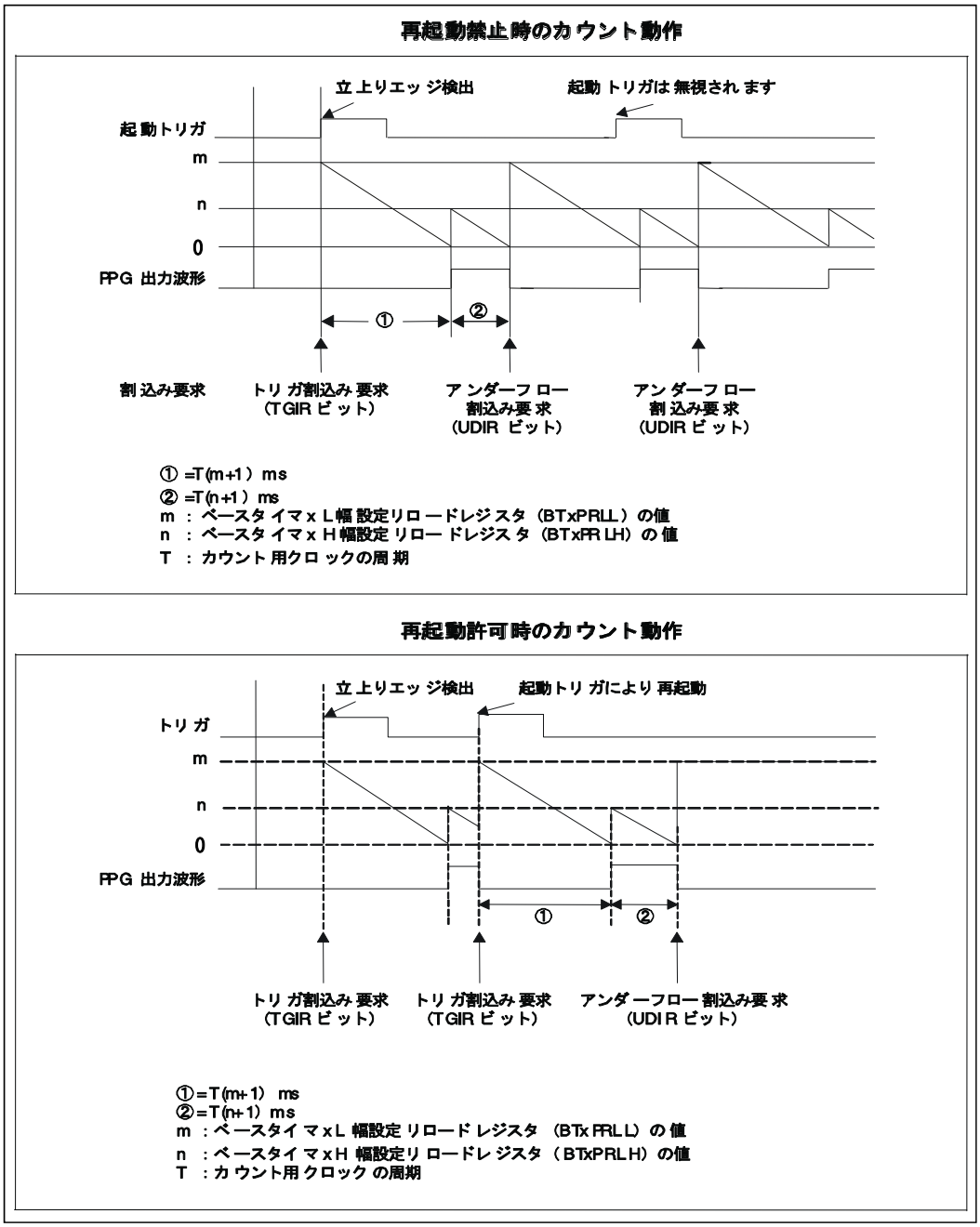
1. L 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタに、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送され、L 幅設定リロードレジスタ(BTxPRLL)の値のカウントダウンが開始される。このとき、出力信号(TOUT 信号)は"L" レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わる。
3. バッファに転送されていた H 幅設定リロードレジスタ(BTxPRLH)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"H"レベルになります。
4. 16 ビットダウンカウンタが、H 幅設定リロードレジスタ(BTxPRLH)に設定した値をカウントダウンし終わり、アンダフローが発生する。

5. L 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"L"レベルになります。また、H 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送されます。
6. 手順 2～5 が繰り返され、カウント動作を継続します。

また、カウント中の再起動が許可/ 禁止されている場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合: ベースタイマ x ステータス制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、L 幅設定リロードレジスタ(BTxPRLL)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 5-18 リロードモード時カウント動作例



＜注意事項＞

・16 ビット PPG タイマの出力信号(TOUT 信号)の出力方法/ 出力先は、次の設定によって異なります。
  - ベースタイマの入出力モード
  - TIOA0～ TIOA3 端子機能
・16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は、ロード動作が優先されます。

■ 書込みタイミング

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値は、次のタイミングでリロードされます。

● ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値

次のいずれかの場合に 16 ビットダウンカウンタへロードされます。

・起動トリガ検出時
・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウント後、アンダフローが発生したとき

● ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値

次のいずれかの場合にバッファに転送されます。

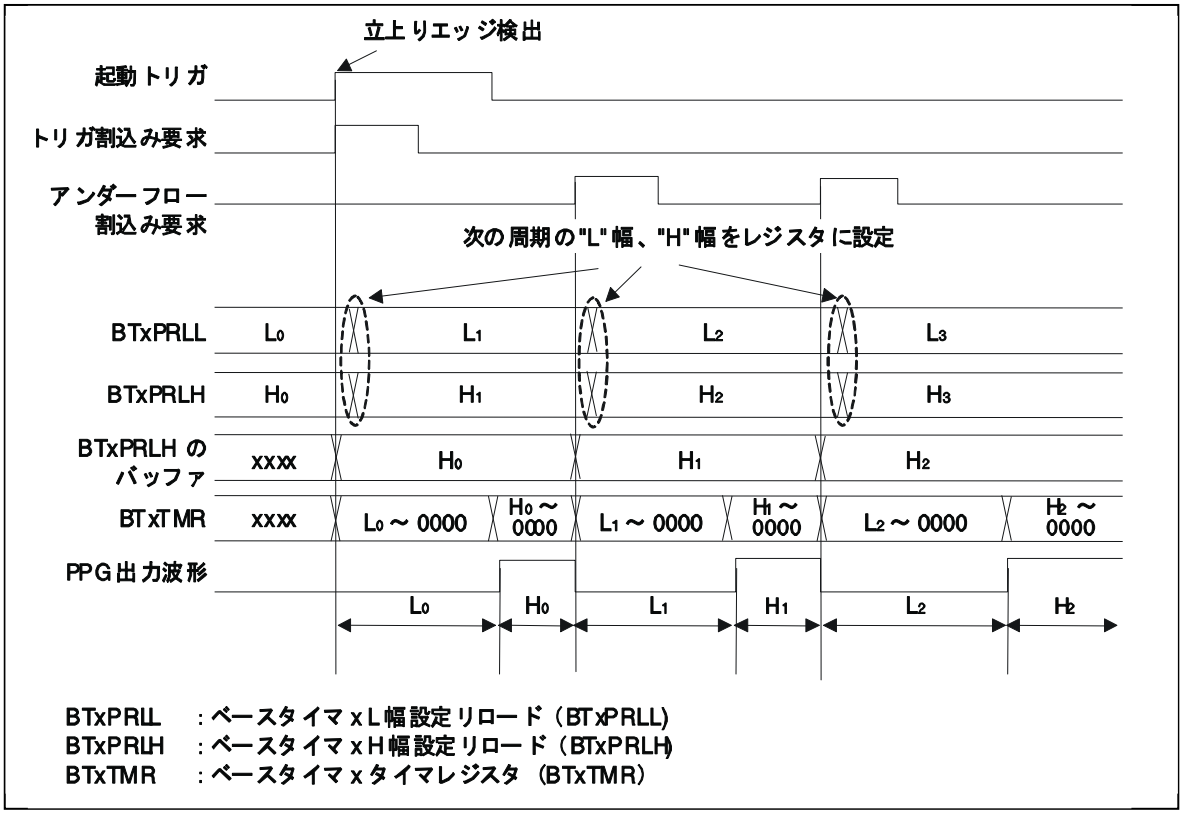
・起動トリガ検出時
・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウント後、アンダフローが発生したとき

次の場合に、バッファから 16 ビットダウンカウンタにロードされます。

・ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値のカウントが終了したとき

そのため、ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)は、アンダフローが発生してから(ステータス制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わってから)、次の周期のカウントが開始されるまでの間に書き換えてください。書き換えたデータは次の周期として反映されます。

図 5-19 書込みタイミング



■ 割込み発生タイミング

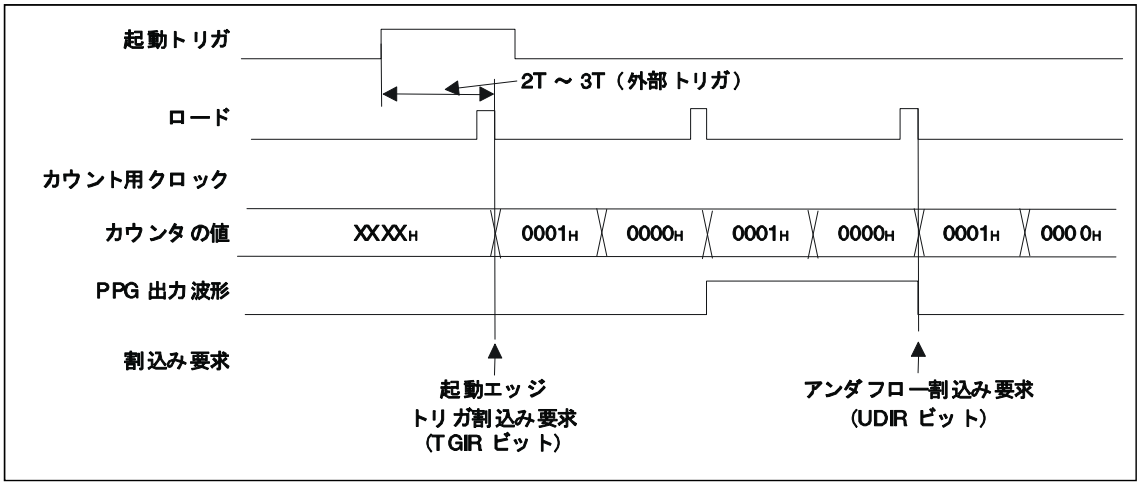
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

・起動トリガ検出時
・H 幅設定リロードレジスタ(BTxPRLH)の値で、アンダフローが発生したとき

割込み要求発生のタイミングを次の設定がされているときを例にとって、図 5-20 に割込み要求発生のタイミングチャートを示します。

・L 幅設定リロードレジスタ(BTxPRLL)の値=0001_H
・H 幅設定リロードレジスタ(BTxPRLH)の値=0001_H

図 5-20 割込み要求発生のタイミングチャート



5.6.4. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ カウント動作

● 起動

リロードモード時と同様です。「5.6.3 リロードモード時の動作」の「■動作」を参照してください。

● カウント動作

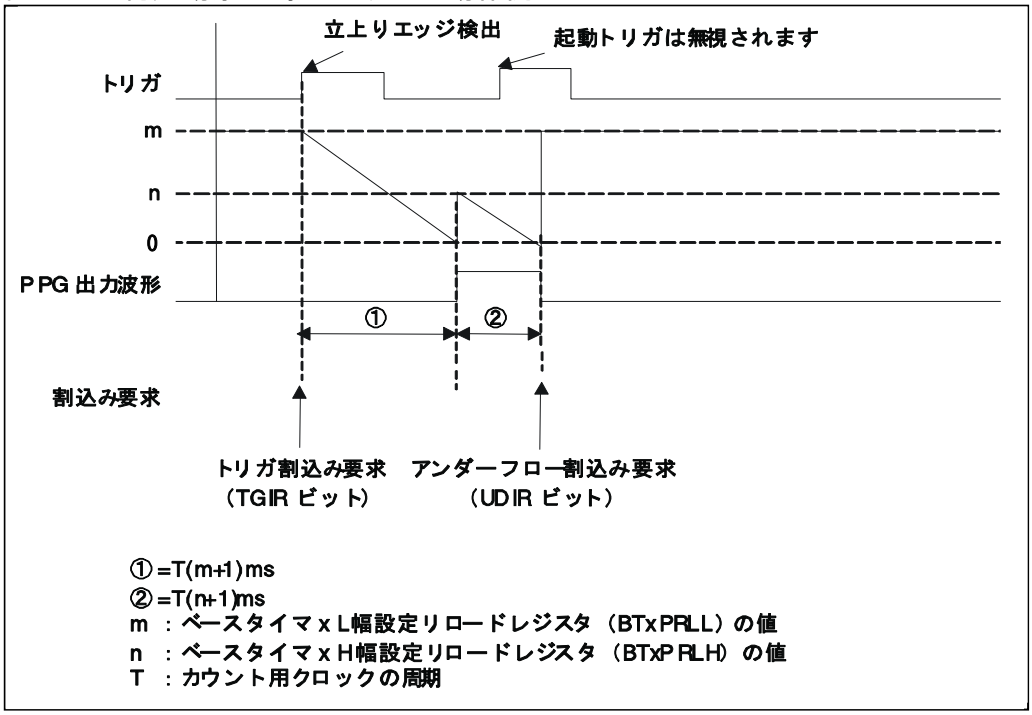
起動トリガが入力されてからのカウント動作をタイマ制御レジスタ(BTxTMCR)の OSEL ビットで通常極性を設定した(OSEL=0)場合を例にとって説明します。

1. ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタに、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送され、L 幅設定リロードレジスタ(BTxPRLL)の値のカウントダウンが開始される。このとき、出力信号(TOUT 信号)は"L"レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わる
3. バッファに転送されていた H 幅設定リロードレジスタ(BTxPRLH)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"H"レベルになります。
4. 16 ビットダウンカウンタが、H 幅設定リロードレジスタ(BTxPRLH)に設定した値をカウントダウンし終わり、アンダフローが発生する。
5. カウント動作が停止する。

また、カウント中の再起動が許可/ 禁止されている場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

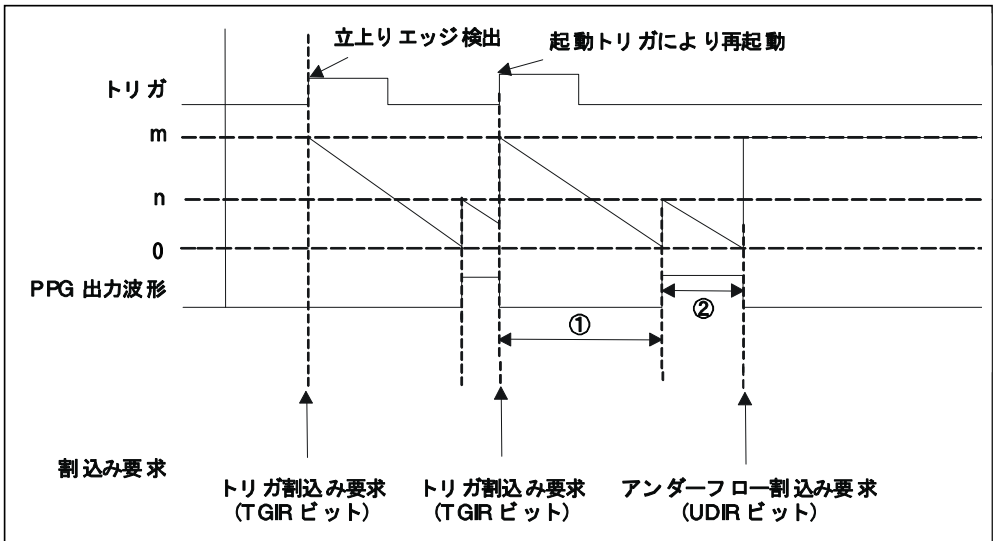
- 再起動禁止(RTGEN=0)の場合 : カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合 : ステータス制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、L 幅設定リロードレジスタ(BTxPRLL)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 5-21 再起動禁止時のカウント動作例



①＝T(m+1)ms
②＝T(n+1)ms
m ：ベースタイマ x L幅設定リロードレジスタ （BTxPRLL）の値
n ：ベースタイマ x H幅設定リロードレジスタ （BTxPRLH）の値
T ：カウント用クロックの周期

図 5-22 再起動許可時のカウント動作例



①＝T(m+1)ms
②＝T(n+1)ms
m ：ベースタイマ x L 幅設定リロードレジスタ （BTxPRLL）の値
n ：ベースタイマ x H 幅設定リロードレジスタ （BTxPRLH）の値
T ：カウント用クロックの周期

＜注意事項＞

・16 ビット PPG タイマの出力信号(TOUT 信号)の出力方法/ 出力先は、次の設定によって異なります。
  - ベースタイマの入出力モード
  - TIOA0～ TIOA3 端子機能
・カウント終了時に、16 ビット PPG タイマの起動トリガが検出されると、L 幅設定リロードレジスタ(BTxPRLL)の値(周期)が 16 ビットダウンカウンタにロードされ、カウントが開始されます。

■ 割込み発生タイミング

リロードモード時と同様です。「5.6.3 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

5.6.5. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- H 幅設定リロードレジスタ(BTxPRLH)の値でアンダフローが発生したとき(アンダフロー割込み要求)

表 5-5 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。
- 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ(ICR00～ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.6.6. 使用上の注意

使用上の注意について示します。

16 ビット PPG タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS1, EGS0 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2 ～FMD0 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2～FMD0=000)してから、再度 FMD2～FMD0 ビットでベースタイマの機能を選択してください。
- 16 ビット PPG タイマは次の手順で設定してください。
  1. タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでベースタイマの機能に 16 ビット PPG タイマを設定(FMD2～FMD0=010)
  2. L 幅設定リロードレジスタ(BTxPRLL)を設定
  3. H 幅設定リロードレジスタ(BTxPRLH)を設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PPG タイマの再起動トリガが検出されると、L 幅設定リロードレジスタ(BTxPRLL)の値(周期)が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

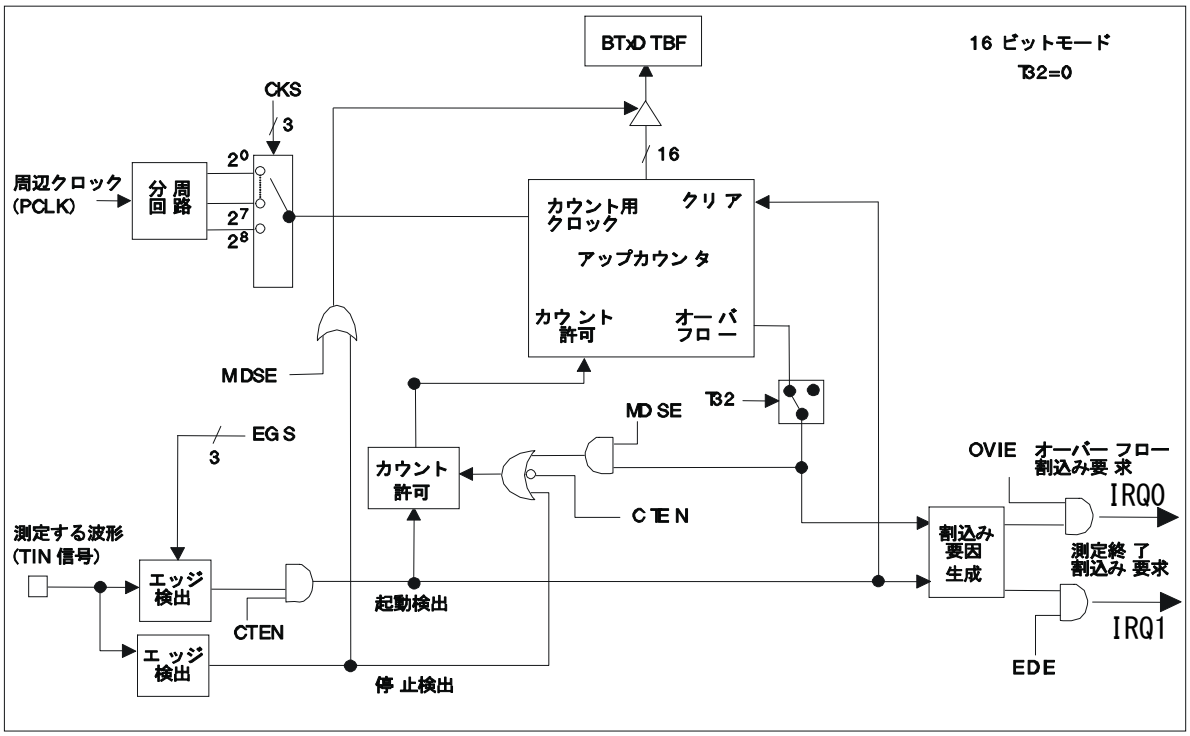
- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.7. 16/32 ビット PWC タイマの動作

16/32 ビット PWC タイマの動作について示します。

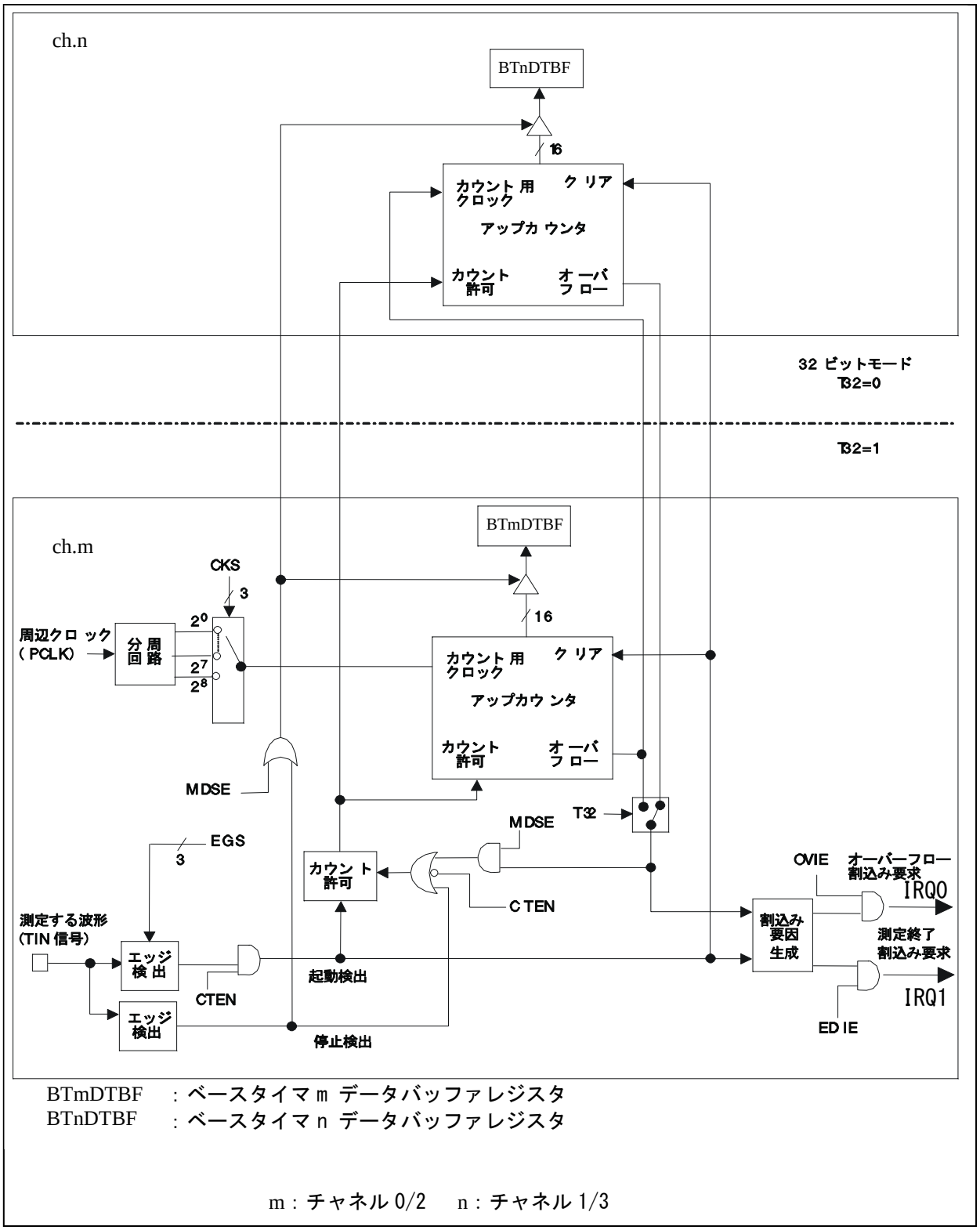
本製品に内蔵されているベースタイマを 16/32 ビット PWC タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-23 ブロック図(16 ビット PWC 動作時)



BTxDTBF：ベースタイマxデータバッファレジスタ（BTxDTBF）

図 5-24 ブロック図(32 ビット PWC 動作時)



BTmDTBF : ベースタイマ m データバッファレジスタ
BTnDTBF : ベースタイマ n データバッファレジスタ

m : チャネル 0/2 n : チャネル 1/3

5.7.1. 概要

概要について示します。

16/32 ビット PWC タイマは、入力される信号のパルス幅や周期を測定するタイマです。入力信号(TIN 信号)で測定開始エッジを検出した場合カウントアップを開始し、測定終了エッジを検出した場合カウント動作を停止します。カウントされた値(測定結果)がパルス幅や周期としてデータバッファレジスタ(BTxDTBF)に格納されます。

16/32 ビット PWC タイマには、タイマモード、動作モード、測定モードの 3 種類のモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

＜注意事項＞

TIN 信号の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。

■ タイマモード

タイマ制御レジスタ(BTxTMCR)の T32 ビットで次の 2 種類のモードから選択します。

- 16 ビットタイマモード(T32=0) :16 ビット PWC タイマを 1 チャネルずつ個別に動作させます。
- 32 ビットタイマモード(T32=1) : 2 チャネルをカスケード接続して 32 ビット PWC タイマとして使用します。

32 ビットタイマモード時の動作については、「5.7.3　32 ビットタイマモード時の動作」を参照してください。

＜注意事項＞

32 ビットタイマモードを設定する場合は、偶数チャネルと奇数チャネルの T32 ビットの設定が異なります。詳しくは、「5.7.3　32 ビットタイマモード時の動作」を参照してください。

■ 動作モード

タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類のモードから選択します。

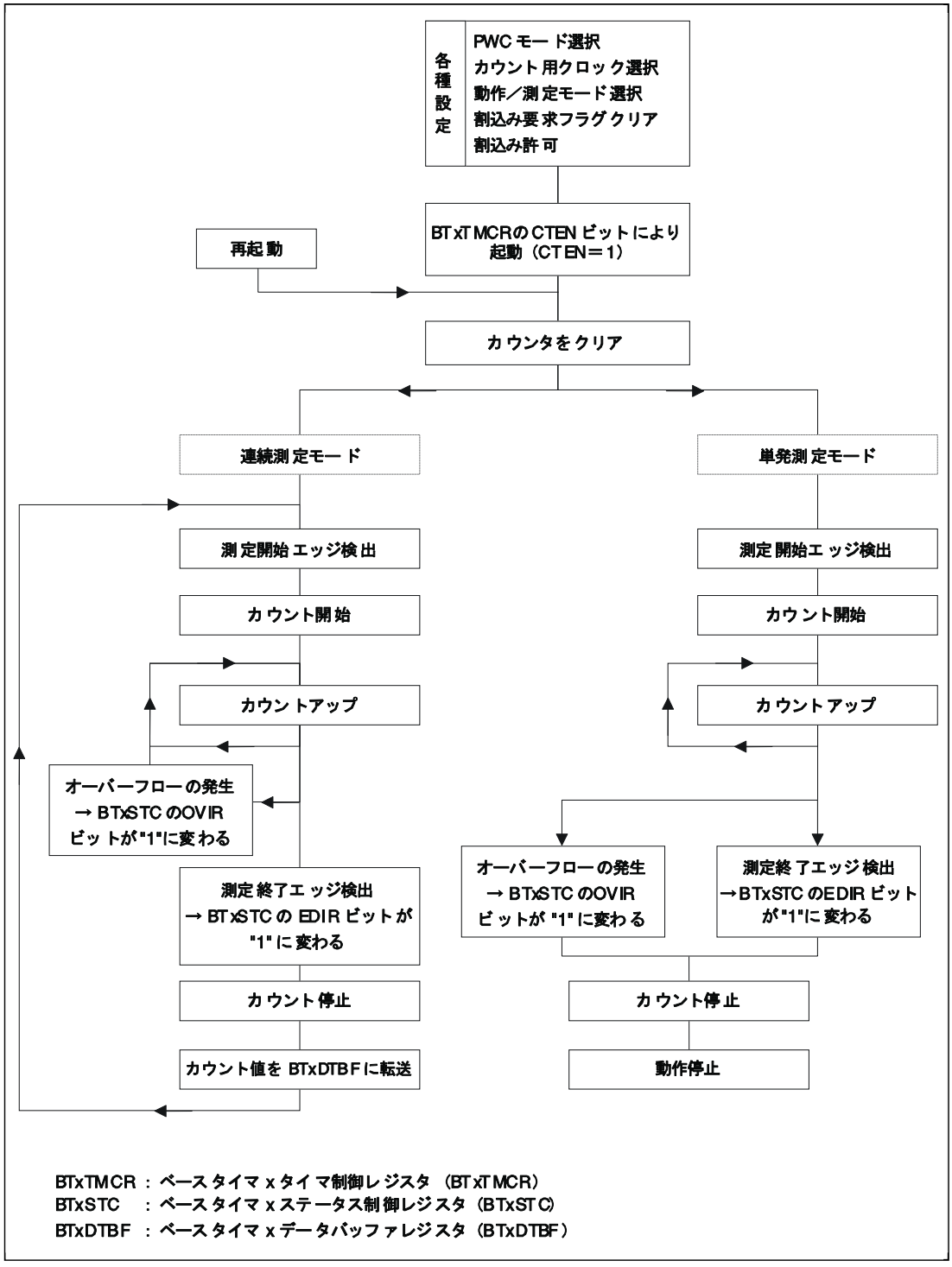
- 連続測定モード(MDSE=0): 1 回測定が終わると、測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
- 単発測定モード(MDSE=1): 測定を 1 回のみ行うモードです。表 5-6 に、単発測定モードと連続測定モードの相違点を示します。

表 5-6 単発測定モードと連続測定モードの相違点

	単発測定モード	連続測定モード
測定動作	測定終了エッジを検出した場合 測定動作を停止。	測定終了エッジを検出した場合、測定動作を停止し、測定開始エッジが検出されるまで待機。 測定開始エッジが検出した場合、再度測定を開始。
BTxDTBF の機能	測定動作中: 測定中の値を保持 測定終了後: 測定結果を保持	測定動作中: 前回の測定結果を保持 測定終了後: 測定結果を保持
オーバフロー時の動作	測定を停止。	0x0000 から再度測定を開始

動作フローを次に示します。

図 5-25 動作フロー



＜注意事項＞

連続測定モードの場合、データバッファレジスタ(BTxDTBF)から測定結果を読み出す前に次の測定が終了した場合、データバッファレジスタ(BTxDTBF)に保持されている値が新しい値に上書きされ、古い値は破棄されます。このとき、ステータス制御レジスタ(BTxSTC)のERRビットが"1"に変わります。ベースタイマxデータバッファレジスタ(BTxDTBF)を読み出すとERRビットを"0"にクリアできます。

■ 測定モード

タイマ制御レジスタ(BTxTMCR)の EGS2～EGS0 ビットで次の 5 種類から選択します。

図 5-26 測定モードと測定内容 1

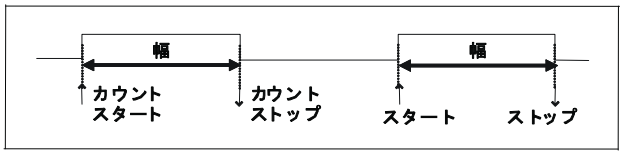
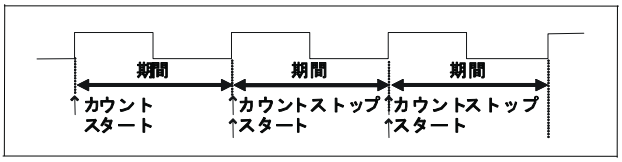
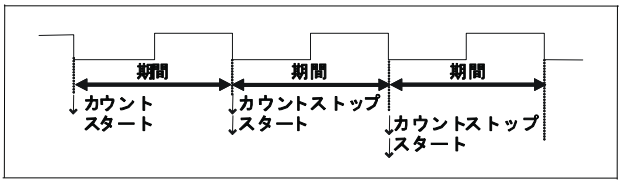
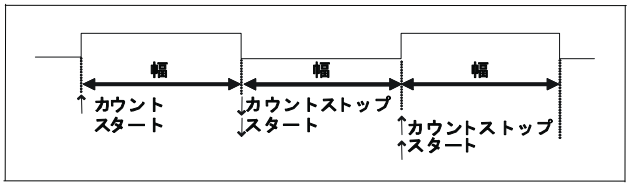
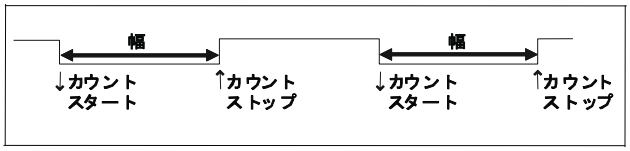
測定モード (EGS2 ～ EGS0)	測定内容	参照先
H パルス幅測定 (EGS2 ～ EGS0=000)	"H" レベルの信号が入力されている期間の幅を測定します。  カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時	
立上りエッジ間周期測定 (EGS2 ～ EGS0=001)	立上りエッジを検出してから ,次の立上りエッジを検出するまでの周期を測定します。  カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時	
立下りエッジ間周期測定 (EGS2 ～ EGS0=010)	立下りエッジを検出してから ,次の立下りエッジを検出するまでの周期を測定します。  カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時	

図 5-27 測定モードと測定内容 2

測定モード (EGS2 ～ EGS0)	測定内容	参照先
全エッジ間パルス幅測定 (EGS2 ～ EGS0=011)	連続して入力されるエッジ間の幅を測定します。 ・立上りエッジ検出から立下りエッジ検出まで ・立下りエッジ検出から立上りエッジ検出まで  カウント (測定) 開始 : エッジ検出時 カウント (測定) 終了 : エッジ検出時	
L パルス幅測定 (EGS2 ～ EGS0=100)	L" レベルの信号が入力されている期間の幅を測定します。  カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時	

5.7.2. PWC 測定時の動作

PWC 測定時の動作について示します。

測定時の動作について説明します。以下文中のセンシティブエッジ①およびセンシティブエッジ②の内容は、「図 5-26 測定モードと測定内容 1」および「図 5-27 測定モードと測定内容 2」を参照してください。

■ 起動

次の手順で 16/32 ビット PWC タイマを起動してください。

・タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビット PWC タイマの動作を許可(CTEN=1)する。
カウンタの値が"0000H" にクリアされ、16/32 ビット PWC タイマが測定開始エッジ入力待機状態になります。 (測定開始エッジが入力されるまではカウントは行われません。)

■ カウント動作

● 単発測定モード時の動作

測定開始エッジ待機中に、入力信号(TIN 信号)でセンシティブエッジ①を検出した場合、アップカウンタがカウント用クロックに同期して"0001_H"からカウントアップを開始します。入力信号(TIN 信号)でセンシティブエッジ②が検出されると、アップカウンタの動作が停止します。

また、アップカウンタの値がデータバッファレジスタ(BTxDTBF)に格納されます。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

＜注意事項＞

・単発測定モードの場合は、オーバフローが発生した場合カウント動作を停止します。
・測定する波形(TIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。

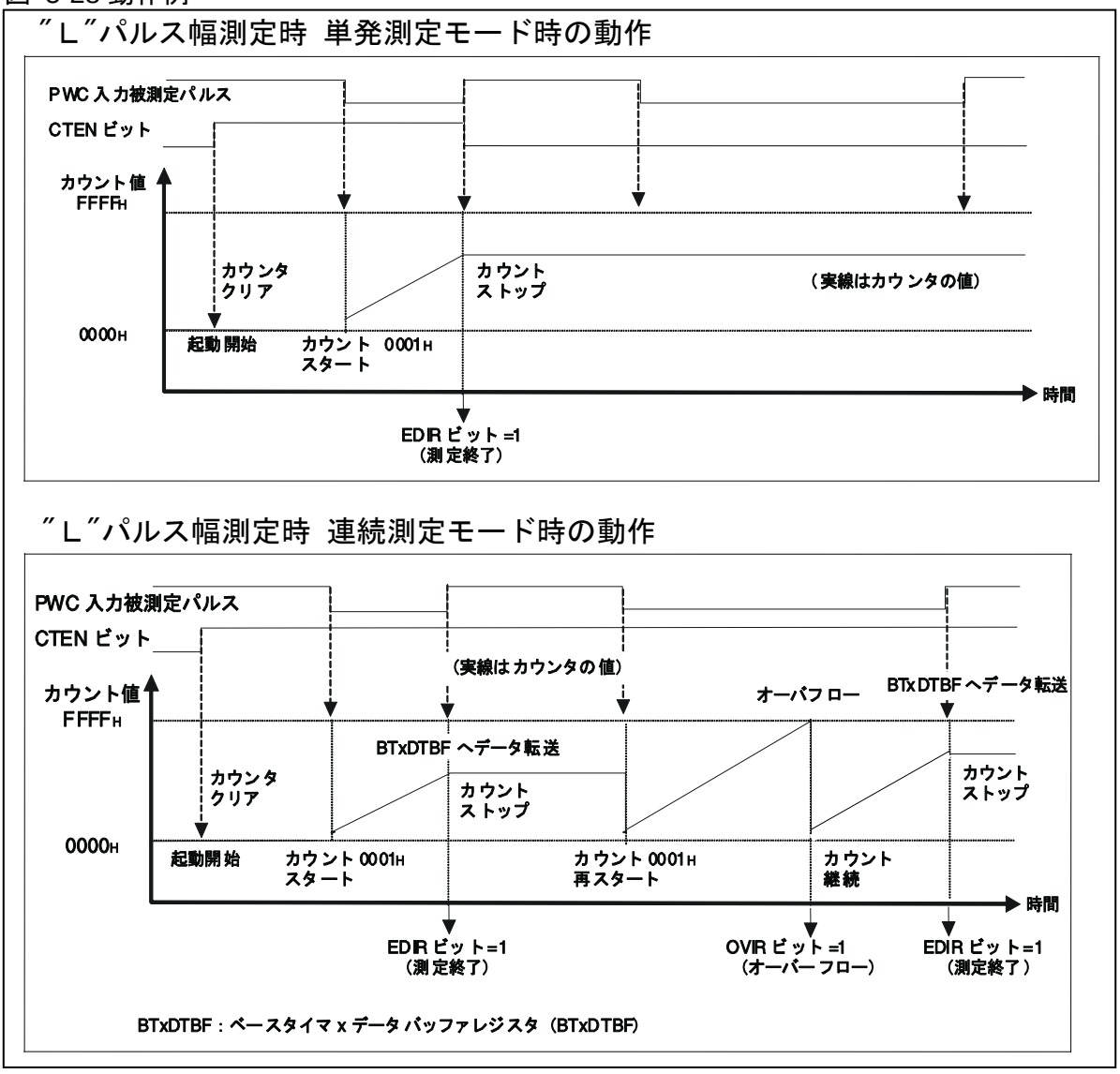
● 連続測定モード時の動作

測定開始エッジ待機中に、入力信号(TIN 信号)でセンシティブエッジ①を検出した場合、アップカウンタがカウント用クロックに同期して"0001_H"からカウントアップを開始します。入力信号(TIN 信号)でセンシティブエッジ②が検出されると、アップカウンタの動作が停止し、測定開始エッジ入力待機状態になります。また、アップカウンタの値が データバッファレジスタ(BTxDTBF)に格納されます。測定開始エッジ待機中に、入力信号(TIN 信号)で立上りエッジを検出した場合、アップカウンタが再度"0001_H"からカウントアップを開始します。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

＜注意事項＞

測定する波形(TIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01/BTSEL23)で設定した入出力モードによって異なります。

図 5-28 動作例



■ 再起動

カウント動作中にベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットに"1"が書き込まれると、アップカウンタに再起動がかかり次のように動作します。

測定開始エッジ待機中に再起動がかけられた場合

そのまま測定開始エッジ待機状態を継続します。

測定中に再起動がかけられた場合

アップカウンタの値が"0000_H"にクリアされ、測定開始エッジ待機状態になります。

＜注意事項＞

- 測定終了エッジの検出と再起動が同時に発生した場合、次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御をおこなってください。
  - 単発測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、ステータス制御レジスタ(BTxSTC)の EDIR ビット(測定終了割込み要求フラグ)が"1"に変わります。
  - 連続測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、ステータス制御レジスタ(BTxSTC)の EDIR ビット(測定終了割込み要求フラグ)が"1"に変わります。また、その時点での測定結果がデータバッファレジスタ(BTxDTBF)に転送されます。
- 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に、入力信号(TIN 信号)で測定開始エッジを検出した場合は直ちに"0001_H"からカウントを開始します。

■ パルス幅算出方法

測定終了後、ベースタイマ x データバッファレジスタ(BTxDTBF)に格納された測定結果から測定したパルス幅を次の計算式で算出できます。

パルス幅 ＝ n × T

n: データバッファレジスタ(BTxDTBF)の値
T: カウント用クロックの周期

5.7.3. 32 ビットタイマモード時の動作

32 ビットタイマモード時の動作について示します。

16 ビット PWC タイマ 2 チャネルをカスケード接続して、32 ビットの PWC タイマとして使用する場合の設定と動作について説明します。

■ 概要

タイマ制御レジスタ(BTxTMCR)の T32 ビットで 16 ビット PWC タイマ 2 チャネルをカスケード接続して、32 ビットの PWC タイマとして使用できます。
このモードでは、偶数チャネルが下位 16 ビットの動作に、奇数チャネルが上位 16 ビットの動作に対応します。そのためアップカウンタの値の読出しは、下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"1"に、奇数チャネルの T32 ビットを"0"に設定してください。また、32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。

偶数チャネルと奇数チャネルでレジスタの設定が異なります。ch.0 と ch.1 をカスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の FMD2～FMD0 ビットで ch.0 をリセットモードに設定(FMD2～FMD0=000)
2. ch.0 と ch.1 のベースタイマ x タイマ制御レジスタ(BT0TMCR、BT1TMCR)の FMD2～FMD0 ビットで、ch.0 と ch.1 を 16/32 ビット PWC タイマを設定(FMD2 ～FMD0=100)。同時にベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の T32 ビットで 32 ビットタイマモードを設定。(T32=1)

ch.2 および ch.3 の設定も同様の手順により行ってください。

＜注意事項＞

T32 ビットは、偶数チャネル/ 奇数チャネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは、タイマ制御レジスタ(BTxTMCR)の CTEN ビットで確認できます(CTEN=0)。

■ 動作

32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。ただし、カウント動作は偶数チャネルの設定に従うため、奇数チャネルの次のレジスタの設定は無視されます。

- ベースタイマ x タイマ制御レジスタ(BTxTMCR)
- ベースタイマ x ステータス制御レジスタ(BTxSTC)

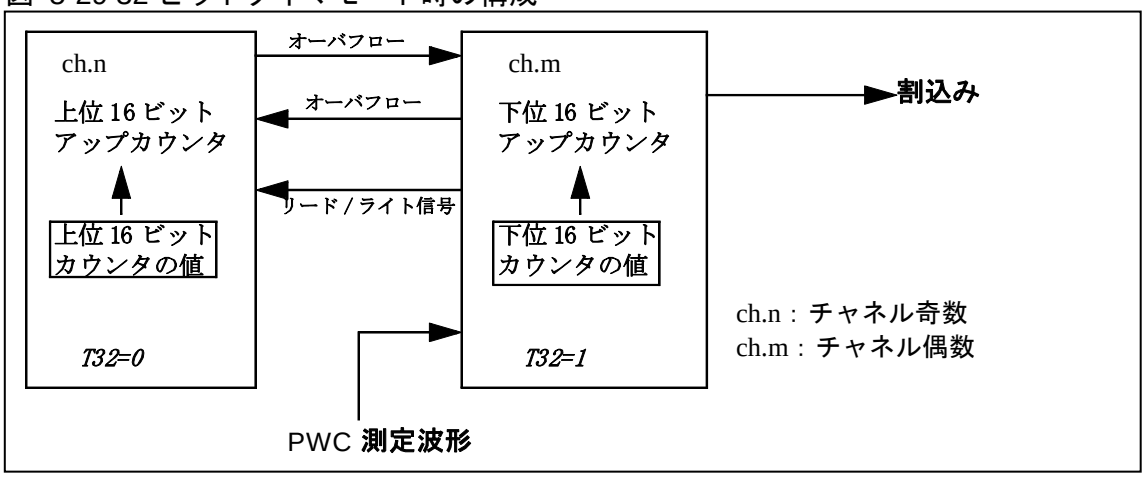
32 ビットタイマモード時のカウント動作について説明します。

1. 偶数チャネルのタイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビット PWC タイマの動作を許可(CTEN=1)した場合、32 ビット PWC タイマが起動します。
2. 入力信号(TIN 信号)で測定開始エッジを検出した場合カウント動作が開始されます。

3. 偶数チャネルが下位 16 ビット、奇数チャネルが上位 16 ビットの 32 ビットカウンタとしてアップカウンタがカウントを開始します。
4. 入力信号(TIN 信号)で測定終了エッジを検出した場合アップカウンタの値の下位 16 ビットが偶数チャネルの上位 16 ビットが奇数チャネルのデータバッファレジスタ(BTxDTBF)に格納されます。

32 ビットタイマモード時のチャネル構成を次に示します。

図 5-29 32 ビットタイマモード時の構成



＜注意事項＞

- ダウンカウンタの値はデータバッファレジスタ(BTxDTBF)を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順で読出してください。
- 32 ビットタイマモード時は、32 ビット PWC タイマの動作は、偶数チャネルの設定にしたがいます。そのため、割込み要求は偶数チャネルのものが有効になります。

5.7.4. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- オーバフロー発生時(オーバフロー割込み要求)
- 測定が終了したとき(測定終了割込み要求)

表 5-7 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
オーバフロー割込み要求	BTxSTC の OVIR=1	BTxSTC の OVIE=1	BTxSTC の OVIR ビットに"0"を書き込む。
測定終了割込み要求	BTxSTC の EDIR=1	BTxSTC の EDIE=1	BTxDTBF を読み出す

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。
- 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ(ICR00 ～ ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.7.5. 使用上の注意

使用上の注意について示します。

16/32 ビット PWC タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットでアップカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS2～ EGS0 ビット
  - T32 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2 ～FMD0=000)してから、これらのビットを書き換えてください。
- システムリセット/リセットモード時に、次の設定を同時に行うと、その直前の測定信号の状態によって動作する場合があります。
  - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16/32 ビット PWC タイマに設定(FMD2～FMD0=100)
  - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで 16/32 ビット PWC タイマの動作を許可(CTEN=1)

■ 動作に関する注意

- アップカウンタのカウントのタイミングと、ロードのタイミングが重なった場合は、ロード動作が優先されます。
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで 16/32 ビット PWC タイマの動作を許可(CTEN=1)した場合、アップカウンタの値がクリアされ、起動許可前のアップカウンタの値は無効になります。
- 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に入力信号(TIN 信号)で測定開始エッジを検出した場合は直ちに"0001_H"からカウントを開始します。
- 32 ビット PWC タイマとして使用する場合は、偶数チャネルの 16 ビット PWC タイマへの設定が有効になり、奇数チャネルの設定は無視されます。
- ベースタイマ入出力選択機能によって、測定する波形の入力動作が異なります。

■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。
- 測定終了エッジの検出と同時に 16/32 ビット PWC タイマを再起動した場合次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御をおこなってください。
  - パルス幅単発測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ(EDIR)は"1"に変わります。
  - パルス幅連続測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ(EDIR)が"1"に変わり、その時点での測定結果がデータバッファレジスタ(BTxDTBF)に転送されます。

CHAPTER: リロードタイマ

リロードタイマについて説明します。

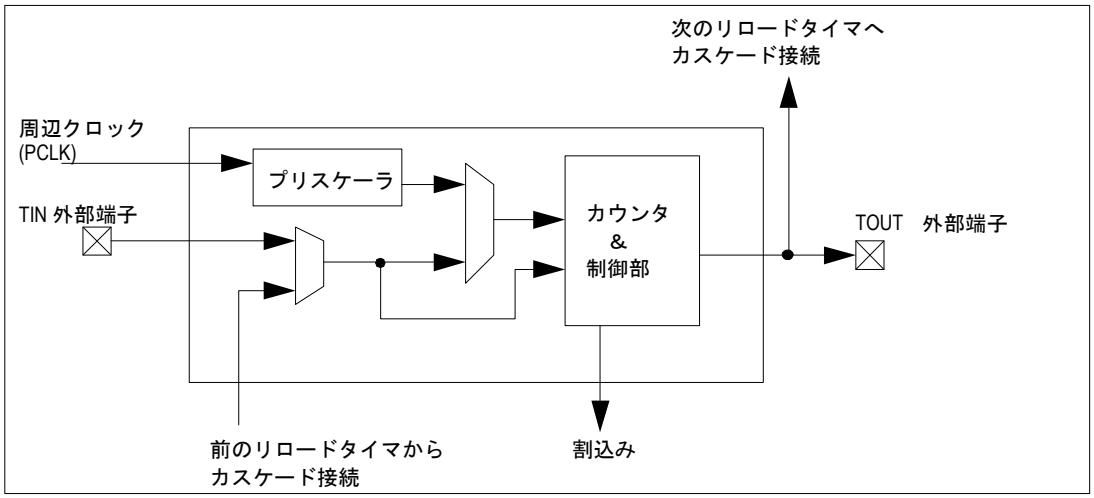
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. アプリケーションノート

1. 概要

リロードタイマの概要について説明します。

本モジュールは、内部クロックをカウントするインターバルタイマモードと、外部イベントをカウントするイベントカウンタモードを持つ、16 ビットのリロードダウンカウントタイマです。

図 1-1 ブロックダイヤグラム(1 チャネル分、概要)



2. 特長

リロードタイマの特長について説明します。

本製品は 5 チャネルのリロードタイマを搭載しています。

各チャネルは以下により構成されています。

- 16 ビットダウンカウンタ × 1
- 16 ビットリロードレジスタ × 1
- 16 ビットリロード / コンペア / キャプチャレジスタ × 1
- 上記 バッファ × 1
- 内部カウントクロック作成用 6 ビットプリスケーラ × 1
- 外部トリガ/イベント入力(TIN) × 1
- 外部トグル出力(TOUT) × 1
- コントロールレジスタ × 1
- カウント比較器 × 1

本タイマは以下のインターバルタイマモード/イベントカウンタモードをもち、レジスタを設定することにより、以下の用途・機能で使用できます。

● インターバルタイマモード

- シングルワンショット動作 >> シングルショットタイマ
- デュアルワンショット動作
- シングルリロード動作 >> リロードタイマ
- デュアルリロード動作 >> PPG(Programmable Pulse Generator)
- コンペアモード >> アウトプットコンペア、PWM(Pulse Width Modulator)
- キャプチャモード(外部トリガ入力/ソフトウェアトリガ使用)
  >> PWC(Pulse Width Counter)
- アンダフロー割込み / キャプチャ割込み
- 内部クロック 6 種類(周辺クロック(PCLK)の 2/4/8/16/32/64 分周)
- 外部トリガ入力(立上りエッジ / 立下りエッジ / 両エッジ)
- 外部ゲート入力

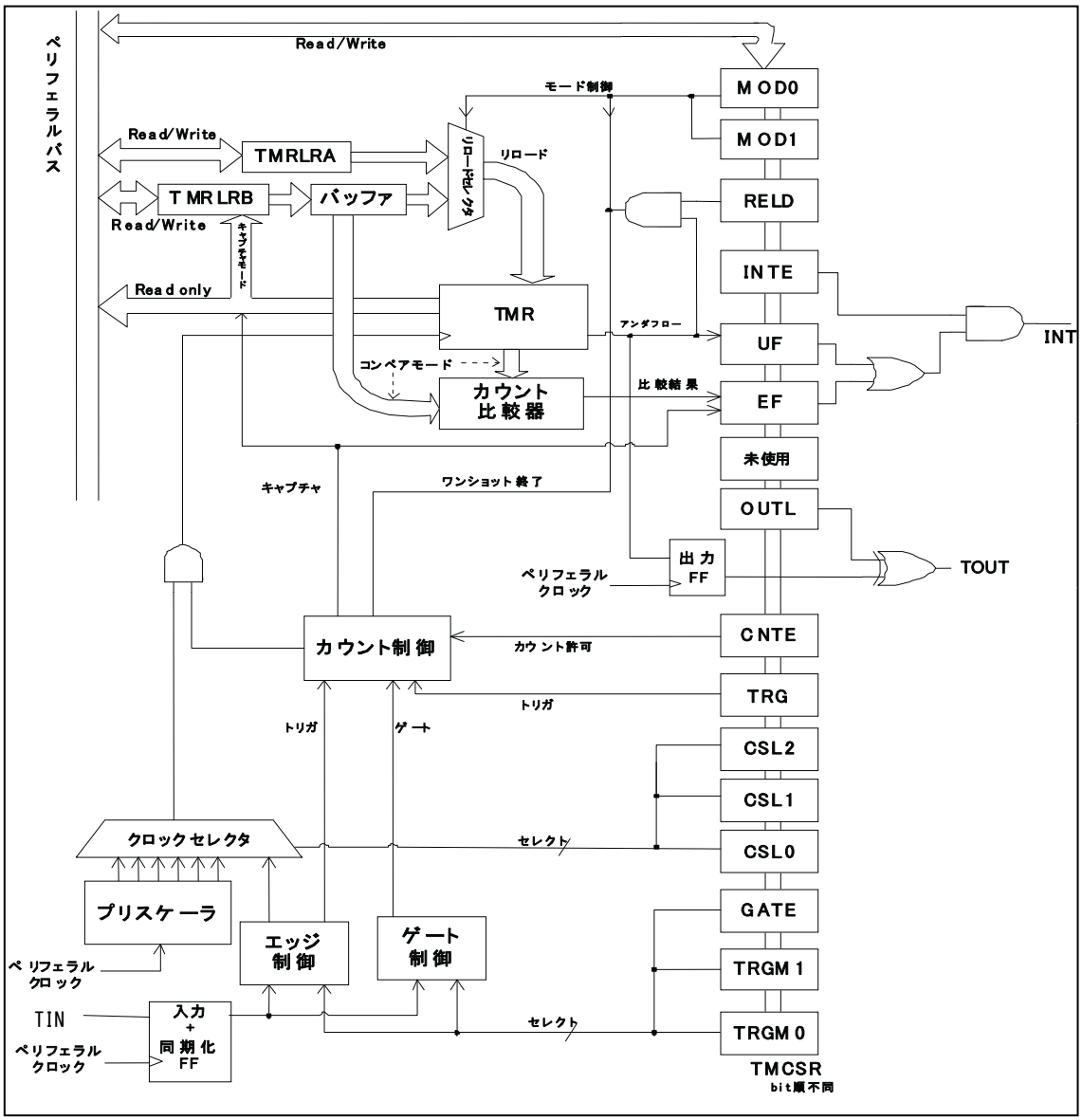
● イベントカウンタモード

- シングルワンショット動作
- デュアルワンショット動作
- シングルリロード動作
- デュアルリロード動作
- コンペアモード
- キャプチャモード(ソフトウェアトリガのみ)
- アンダフロー割込み / キャプチャ割込み / コンペア割込み
- 外部イベント入力エッジ検出(立上りエッジ検出 / 立下りエッジ検出 / 両エッジ検出)
- カスケードモード
  - ch.0 出力を ch.1 入力, ch.1 出力を ch.2 入力, ch.2 出力を ch.3 入力に使用。

3. 構成

リロードタイマの構成について説明します。

図 3-1 ブロックダイヤグラム (1 チャネル分、詳細)



4. レジスタ

リロードタイマのレジスタについて説明します。

■ ベースアドレス(Base_addr)・外部端子表

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル	Base_addr	外部端子	
		TOUT	TIN
0	0x0060	TOT0	TIN0
1	0x0100	TOT1	TIN1
2	0x0108	TOT2	TIN2
3	0x0110	TOT3	TIN3
4	0x01D8	TOT4	TIN4

■ レジスタマップ

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x01D8	TMRLRA4		TMR4		16 ビットタイマリロードレジスタ A4 16 ビットタイマレジスタ 4
0x01DC	TMRLRB4		TMCSR4		16 ビットタイマリロードレジスタ B4 コントロールステータスレジスタ 4
0x0060	TMRLRA0		TMR0		16 ビットタイマリロードレジスタ A0 16 ビットタイマレジスタ 0
0x0064	TMRLRB0		TMCSR0		16 ビットタイマリロードレジスタ B0 コントロールステータスレジスタ 0
0x0100	TMRLRA1		TMR1		16 ビットタイマリロードレジスタ A1 16 ビットタイマレジスタ 1
0x0104	TMRLRB1		TMCSR1		16 ビットタイマリロードレジスタ B1 コントロールステータスレジスタ 1
0x0108	TMRLRA2		TMR2		16 ビットタイマリロードレジスタ A2 16 ビットタイマレジスタ 2
0x010C	TMRLRB2		TMCSR2		16 ビットタイマリロードレジスタ B2 コントロールステータスレジスタ 2
0x0110	TMRLRA3		TMR3		16 ビットタイマリロードレジスタ A3 16 ビットタイマレジスタ 3
0x0114	TMRLRB3		TMCSR3		16 ビットタイマリロードレジスタ B3 コントロールステータスレジスタ 3

4.1. コントロールステータスレジスタ : TMCSR (TiMer Control and Status Register)

コントロールステータスレジスタのビット構成について示します。

動作モードおよび割込みを制御します。
bit7・bit3-0 以外は bit1: CNTE="1"のときは書換えできません。
bit15～8・bit6-4 の書換えと CNTE="1"書込みによるカウンタ動作許可の同時書込みまたは bit15-8・bit6-4 の書換えと CNTE="0"書込みによる動作停止の同時書込みは可能です。

■ TMCSR : アドレス Base_addr + 06_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MOD[1: 0]		TRGM[1: 0]		CSL[2: 0]			GATE
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EF	予約	OUTL	RELD	INTE	UF	CNTE	TRG
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R,W	R,W	R,W	R/W	R(RM1),W	R/W	R0,W

[bit15, bit14] MOD (MODe) : モード選択ビット

MOD[1: 0]	動作モード
00	シングルモード(初期値)
01	デュアルモード
10	コンペアモード
11	キャプチャモード

[bit13, bit12] TRGM[1: 0] (TRiGger input Mode select) : TIN 入力モード選択ビット

入力端子機能を制御します。インターバルタイマモードとイベントカウンタモードで機能が変わります。

【インターバルタイマモード時・トリガ入力(bit8: GATE ="0")のとき】
TIN 入力による、リロードトリガとなる有効外部エッジを以下のように選択します。

TRGM[1: 0]	TIN の有効外部エッジ
00	外部トリガ検出なし(初期値)
01	立上りエッジ
10	立下りエッジ
11	両エッジ

【インターバルタイマモード時・ゲート入力 (bit8: GATE ビット ="1")のとき】
TIN 入力中にカウンタ許可となる端子レベルを以下のように選択します。

TRGM[1: 0]	TIN の有効レベル
x0	TIN 端子"L"入力期間のみカウント(初期値)
x1	TIN 端子"H"入力期間のみカウント

【イベントカウンタモード時の有効エッジ設定】
イベントカウンタモード時、外部イベント検出用のエッジを以下のように選択します。外部イベントを検出した場合、カウンタはその都度ダウンカウントします。外部イベント選択時、bit8: GATE ビットの設定は無効となります。

TRGM[1: 0]	カウント対象エッジ
00	予約
01	立上りエッジ
10	立下りエッジ
11	両エッジ

[bit11～bit9] CSL[2: 0](Count source SeLect) : カウントソース選択ビット
カウントソース選択ビットです。内部クロック(周辺クロック(PCLK)と外部イベント(TIN 入力)より、カウントソースを以下に示すように選択します。イベントカウンタモードを設定した場合のカウント有効エッジは bit13, bit12: TRGM[1: 0]ビットで設定します。

CSL[2: 0]	カウントソース	動作モード
000	周辺クロックの 2 分周 (初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	
110	カスケードモード (ch.0: TIN0, ch.1: TOUT0, ch.2: TOUT1, ch.3: TOUT2)	イベントカウンタモード
111	外部イベント(TIN 入力)	

[bit8] GATE (GATE input enable) : ゲート入力許可ビット

インターバルタイマモード時(bit11,10,9: CSL[2: 0]=000～101)の入力端子(TIN)の機能を以下に示すように制御します。

GATE	TIN 入力端子機能
0	トリガ入力として使用 (初期値)
1	ゲート入力として使用

イベントカウンタモード時は、本ビットによる動作への影響はありません。

[bit7] EF (Extended Flag) : 拡張割込みフラグ

コンペアモード時にコンペア一致割込みまたは、キャプチャモード時にキャプチャ入力割込みが発生したことを示すフラグです。

セット要因	【イベントカウンタモードのコンペアモード時】 コンペア一致(TMR＝TMRLRB)からのカウントダウン発生 【キャプチャモード時】 キャプチャ入力(リトリガ)
クリア要因	本ビットへの"0"書込みまたはリセット

このビットへの"1"書込みは無効です。 コンペアモードでは、カウントクロックに同期して、セット・クリアを行います。 リードモディファイライト系命令における読出し値は、常に"1"となります。

[bit6] 予約

予約ビットです。書込みをしても効果ありません。

[bit5] OUTL (OUTput Level) : 出力極性設定ビット

タイマ出力端子(TOUT)の出力極性を制御します。

OUTL	TOUT の初期値	TOUT の初期出力レベル
0	正極性(初期値)	"L" レベル
1	負極性	"H" レベル

[bit4] RELD (RELoaD enable) : リロード動作許可ビット

アンダフロー発生時のリロード動作を以下に示すように設定します。

RELD	動作モード	動作内容
0	ワンショットモード	カウンタのアンダフローが発生した場合同時にカウント動作を停止します。次にトリガを入力するまでリロードを行いません。* (初期値)
1	リロードモード	カウンタのアンダフローが発生した場合同時にリロードレジスタの内容をカウンタへロードしてカウント動作を続けます。

* ただし、デュアルワンショット機能では TMRLRA のアンダフローと同時に TMRLRB のリロードを行い、 カウントを継続します。その後、TMRLRB のアンダフローと同時にカウント動作を停止します。

[bit3] INTE (INTerrupt Enable) : **割込み要求許可ビット**

アンダフロー発生/コンペア一致(イベントカウンタモード時)/キャプチャ時の割込み要求を以下に示すように制御をします。

INTE	動作内容
0	割込み禁止(UF/EF ビットがセットされても割込みは発生しません。) (初期値)
1	割込み許可(UF/EF ビットがセットされると割込み要求を発生します。)

[bit2] UF (Under flow Flag) : **アンダフローフラグ**

カウンタの値が、0x0000 からダウンカウントに行ったときに、アンダフローが発生したことを示すフラグです。

セット要因	カウンタのアンダフローの発生
クリア要因	本ビットへの"0"書込みまたはリセット

[bit1] CNTE(timer CouNTer Enable) : **タイマカウント許可ビット**

タイマの動作を以下のように制御します。

CNTE	動作内容
0	動作禁止　(初期値)
1	動作許可(起動トリガ待ち)

[bit0] TRG(software TRiGger) : **ソフトウェアトリガビット**

タイマのソフトウェアトリガを発生します。ソフトウェアトリガが発生した場合、リロードレジスタの内容をカウンタへロードしてカウント動作を開始します。

TRG	動作内容
"0"書込み	何もしない
"1"書込み	ソフトウェアトリガ発生

このビットへの"0"書込みは、タイマは何も動作を行いません。読出し値は常に"0"となります。

このレジスタによるトリガ入力は、bit1: CNTE ="1"のときのみ有効となります。

TRG ビットの"1"書込みは、タイマが起動状態(bit1: CNTE="1")のとき、動作モードにかかわらず常に有効トリガを発生します。

4.2. 16 ビットタイマレジスタ : TMR (16bit TiMer Register)

16 ビットタイマレジスタのビット構成について示します。

タイマのカウント値を読み出せます。
このレジスタには必ず 16 ビットアクセスをしてください。

■ TMR : アドレス Base_addr + 02_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMR[15: 0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit15～bit0] TMR (TiMeR) : 16 ビットタイマ
16 ビットタイマのカウンタ値を読み出す事ができるレジスタです。初期値は不定です。

4.3. 16 ビットタイマリロードレジスタ A、16 ビットタイマリロードレジスタ B： TMRLRA, TMRLRB (16bit TiMer ReLoad Register A/B)

コントロールステータスレジスタのビット構成について示します。

TMRLRA はカウント初期値を設定します。

TMRLRB は動作モードにより機能が異なります。

このレジスタには必ず 16 ビットアクセスをしてください。

■ TMRLRA： アドレス Base_addr + 00_H (アクセス： ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMRLRA[15: 0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

■ TMRLRB： アドレス Base_addr + 04_H (アクセス： ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMRLRB[15: 0]							
初期値	X	X	・	・	・	X	X	X
属性	R,W	R,W	・	・	・	R,W	R,W	R,W

[bit15～bit0] TMRLRA (TiMer ReLoad Register A)： 16 ビットリロード設定レジスタ A

[bit15～bit0] TMRLRB (TiMer ReLoad Register B)： 16 ビットリロード設定レジスタ B

TMRLRA レジスタは、カウント初期値を保持しておくレジスタです。TMRLRA は TMCSR レジスタの bit15,14: MOD[1: 0]の設定に関係なく全モードで使用されます。

TMRLRB は TMCSR レジスタの bit15,14: MOD[1: 0]の設定により以下のように使用されます。

モード	MOD[1: 0]	TMRLRB の機能
シングルモード	00	使用しません
デュアルモード	01	H 幅(OUTL="0"のとき)カウンタ値
コンペアモード	10	コンペアレジスタ(H 幅設定 OUTL="0"のとき)
キャプチャモード	11	キャプチャレジスタ(リトリガ入力時の TMR 値)

カウンタ値として使用の際は、0x0000 を書き込んだ時は 1 カウント、0xFFFF を書き込んだ時は 65,536 カウントした場合アンダフローを発生します。

タイマ出力波形(TOUT)の H 幅・L 幅は MOD[1: 0](TMCSR レジスタの bit15,14)、RELD(TMCSR レジスタの bit4)、OUTL(TMCSR レジスタの bit5)ビット設定と TMRLRA/B レジスタ値により決まります。

出力される波形(TOUT)の H 幅・L 幅の設定を下表に示します。

MOD[1: 0]	モード	RELD	OUTL	TOUT 出力	
				H 幅	L 幅
00	シングル	0	0	TMRLRA+1	― ― ―
			1	― ― ―	TMRLRA+1
		1	0	TMRLRA+1	
			1		
01	デュアル	0	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1
		1	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1
10	コンペア	0	0	* 以下を参照してください	
			1		
		1	0		
			1		
11	キャプチャ	0	0	TMRLRA+1	― ― ―
			1	― ― ―	TMRLRA+1
		1	0	TMRLRA+1	
			1		

*コンペアモード時の H 幅・L 幅は以下となります。

・ TMRLRB < TMRLRA のとき

(OUTL=0) TMRLRA-TMRLRB + 1 の"L"幅、TMRLRB の"H"幅
(OUTL=1) TMRLRA-TMRLRB + 1 の"H"幅、TMRLRB の"L"幅

・ TMRLRB = 0 のとき

(OUTL=0) "L"出力固定
(OUTL=1) "H"出力固定

・ TMRLRB > TMRLRA のとき

(OUTL=0) "H"出力固定
(OUTL=1) "L"出力固定

・ TMRLRB = TMRLRA のとき (OUTL=0) 1 サイクルの"L"出力、TMRLRB の"H"幅
(OUTL=1) 1 サイクルの"H"出力、TMRLRB の"L"幅

インターバルタイマモード時でシングルモード・デュアルモードとして使用している時の TOUT 出力時間(TOUT)を表す式を以下に示します。

TOUT = (本レジスタの設定値 + 1) × カウントソースの周期
(注意事項)上式はインターバルタイマモードのときのみ有効

5. 動作説明

リロードタイマの動作について説明します。

5.1. 設定

リロードタイマの設定について示します。

本タイマは「カウントソース」(TMCSR.CSL[2: 0]で選択)と、カウンタ動作({TMCSR.MOD[1: 0], TMCSR.RELD})で動作を設定します。

5.1.1. カウントソース

リロードタイマのカウントソースについて示します。

TMCSR.CSL[2: 0]により、ダウンカウンタのダウンカウント条件を選択します。

表 5-1 カウントソース一覧

CSL[2: 0]	カウントソース	動作モード
000	周辺クロックの 2 分周 (初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	
110	カスケードモード (ch.0: TIN0,ch.1: TOUT0,ch.2: TOUT1,ch.3: TOUT2)	イベントカウンタモード
111	外部イベント(TIN 入力)	

5.1.2. タイマのアンダフロー周期

リロードタイマのアンダフロー周期について示します。

カウンタが 0x0000 からダウンカウントする時をアンダフローとしています。タイマがカウント動作を初めてからアンダフローが発生するまでの時間(周期)をリロードレジスタ(TMRLRA/TMRLRB)に設定します。リロードレジスタのロード後は"リロードレジスタの設定値 ＋ 1"カウントでアンダフローを発生します。インターバルタイマモード時のタイマのアンダフロー周期 TUF は以下で表せます。

TUF = 周辺クロック(PCLK)周期 × プリスケーラの分周値(2～64)
× (リロードレジスタ値(TMRLRA/B) + 1)

5.1.3. トリガ

リロードタイマのトリガについて示します。

トリガには以下の 2 種類があります。

・ソフトフェアトリガ・・・TMCSR.TRG に"1"書込みで発生。
・外部端子トリガ・・・TIN 端子から入力。

イベントカウンタモードでは TIN 端子はカウントソースとして使用されるため、常にソフトフェアトリガを使用します。インターバルタイマモード時は TMCSR レジスタで設定します。

5.1.4. ゲート

リロードタイマのゲートについて示します。

インターバルタイマモード時・ゲート入力 (TMCSR.GATE ="1")設定において、TIN 外部端子を使用して、カウンタのダウンカウントを止めることができます。

表 5-2 TIN 有効レベル

TRGM[0]	TIN の有効レベル
0	TIN 端子"L"入力期間のみカウント(初期値)
1	TIN 端子"H"入力期間のみカウント

5.1.5. カウンタ動作選択

カウンタ動作の選択について示します。

カウンタのアンダフローが発生したときの動作をモード選択ビット(TMCSR レジスタの bit15,14: MOD[1: 0])と、リロード動作許可ビット(TMCSR レジスタの bit4: RELD)で選択します。 各モードでの動作詳細は各カウンタ動作の項を参照してください。

表 5-3 カウンタ動作一覧

MOD[1: 0]	RELD	アンダフロー発生時の動作	カウンタ動作名
00	0	カウントを 0xFFFF で停止	シングルワンショット
	1	TMRLRA をリロード	シングルリロード
01	0	①TMRLRB をリロード ②カウントを 0xFFFF で停止 (5.3.3.デュアルワンショット動作を参照)	デュアルワンショット
	1	TMRLRA、TMRLRB を交互にリロード	デュアルリロード
10	0	カウントを 0xFFFF で停止	コンペアワンショット
	1	TMRLRA をリロード	コンペアリロード
11	0	カウントを 0xFFFF で停止	キャプチャワンショット
	1	TMRLRA をリロード	キャプチャリロード

5.1.6. TOUT 端子レベル設定

TOUT 端子レベルの設定について示します。

TMCSR レジスタの bit5: OUTL ビットによって端子出力極性の設定を行います。
以下に各機能でのイベントと TOUT の関係を示します。
下中の UF(アンダフロー)の項の A/B は、TMRLRA/TMRLRB どちらのデータをロードした値でのダウンカウントでアンダフローが発生したかを表します。CMP(比較一致)は、TMRLRB = TMR からダウンカウントが発生したタイミングを表します。

図 5-1 各イベントでの TOUT 出力変化(1 / 3)



図 5-2 各イベントでの TOUT 出力変化(2 / 3)

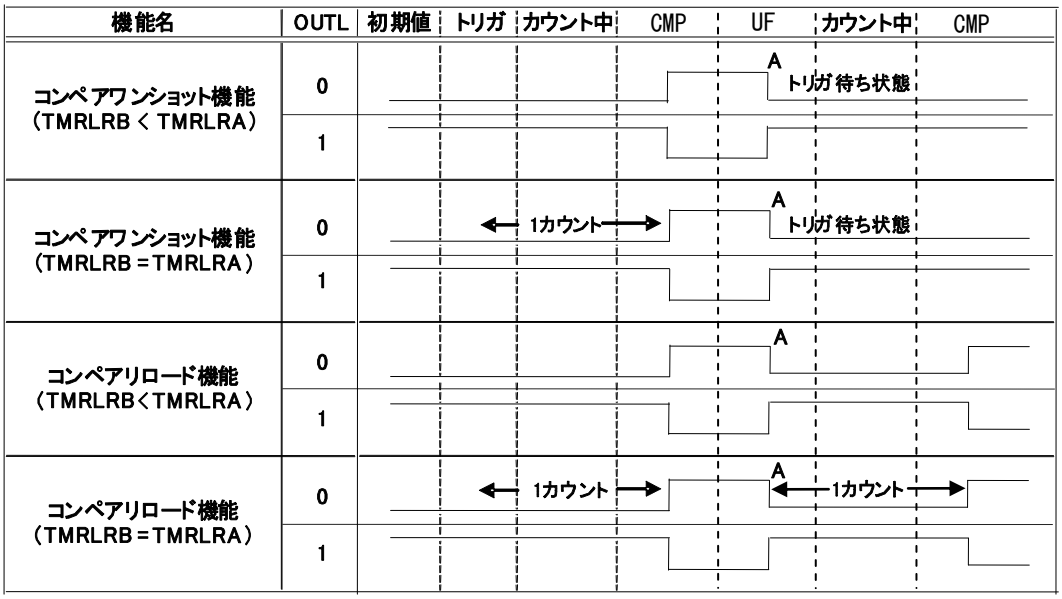
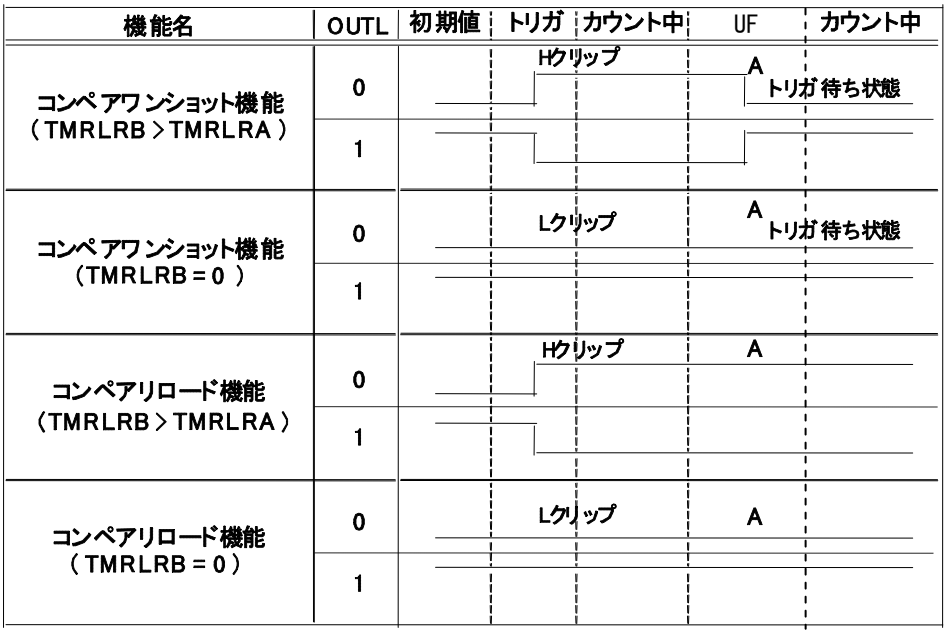


図 5-3 各イベントでの TOUT 出力変化(3 / 3)



5.2. 動作手順

動作の手順について示します。

5.2.1. 起動

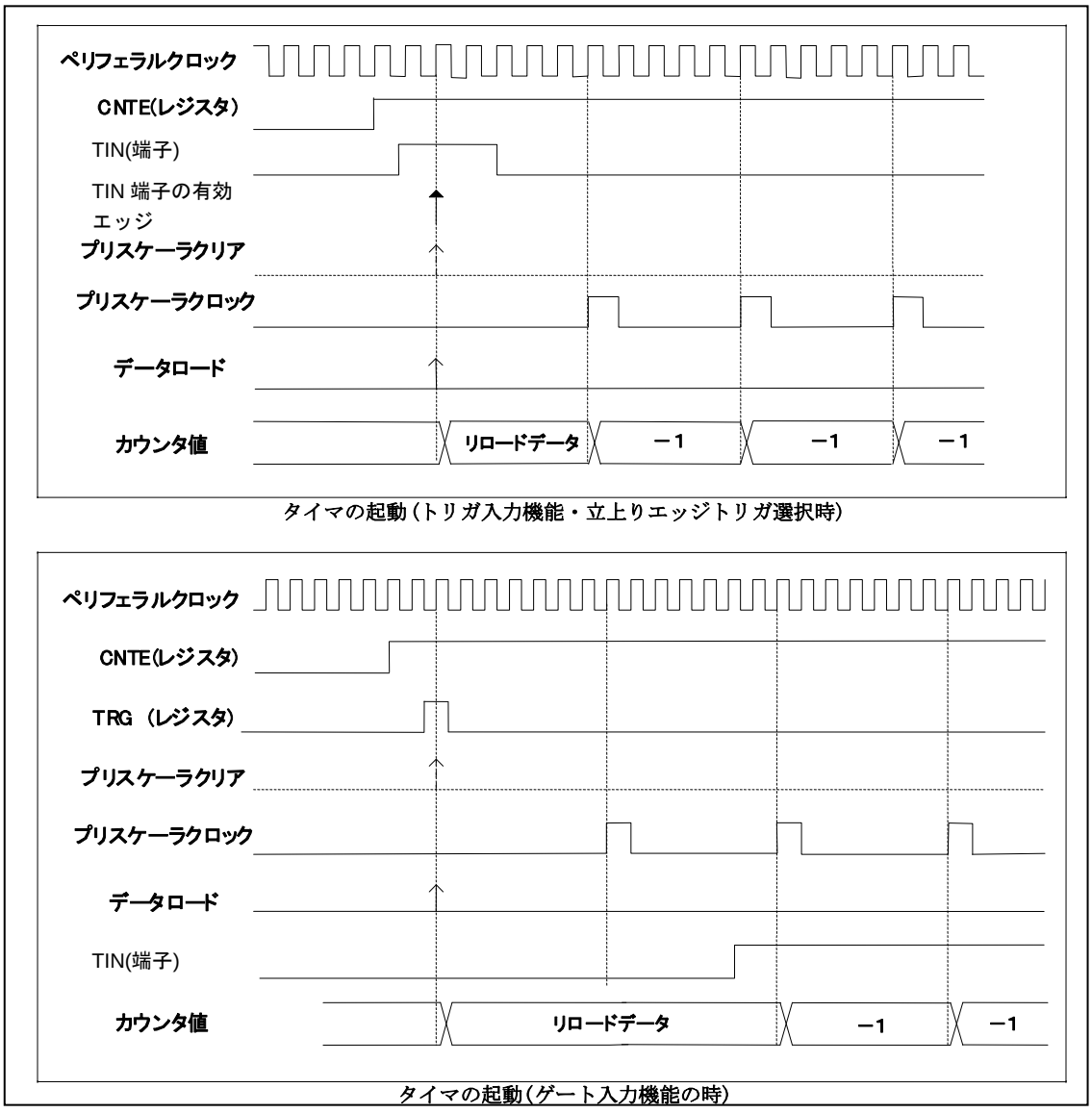
起動について示します。

TMCSR レジスタの bit1: CNTE ビットに"1"を書き込むとカウンタは起動トリガ待ち状態になります。

・TIN 入力がトリガ入力機能時
起動トリガ待ち状態中に TMCSR レジスタの bit0: TRG ビットへの"1"書込みまたは TIN 入力による外部トリガが入力されると、プリスケーラのクリアが発生し、タイマはリロードレジスタから値をロードしてダウンカウント動作を行います。TIN 入力は、2×T(T は周辺クロック(PCLK)周期)以上のパルスを入力してください。

・TIN 入力がゲート入力機能時
起動トリガ待ち状態中に TMCSR レジスタの bit0: TRG ビットへ"1"書込みを行うと、プリスケーラのクリアが発生し、タイマはリロードレジスタから値をロードし有効入力極性待ち状態になります。有効入力極性待ち 状態で TIN 入力から有効な極性のゲート入力があると、タイマはダウンカウント動作を行います。TIN 入力は、2×T(T は周辺クロック(PCLK)周期)以上のパルスを入力してください。

図 5-4 タイマの起動



5.2.2. リトリガ

リトリガについて示します。

タイマのカウント中にトリガが発生した場合の事をリトリガとよびます。その際、

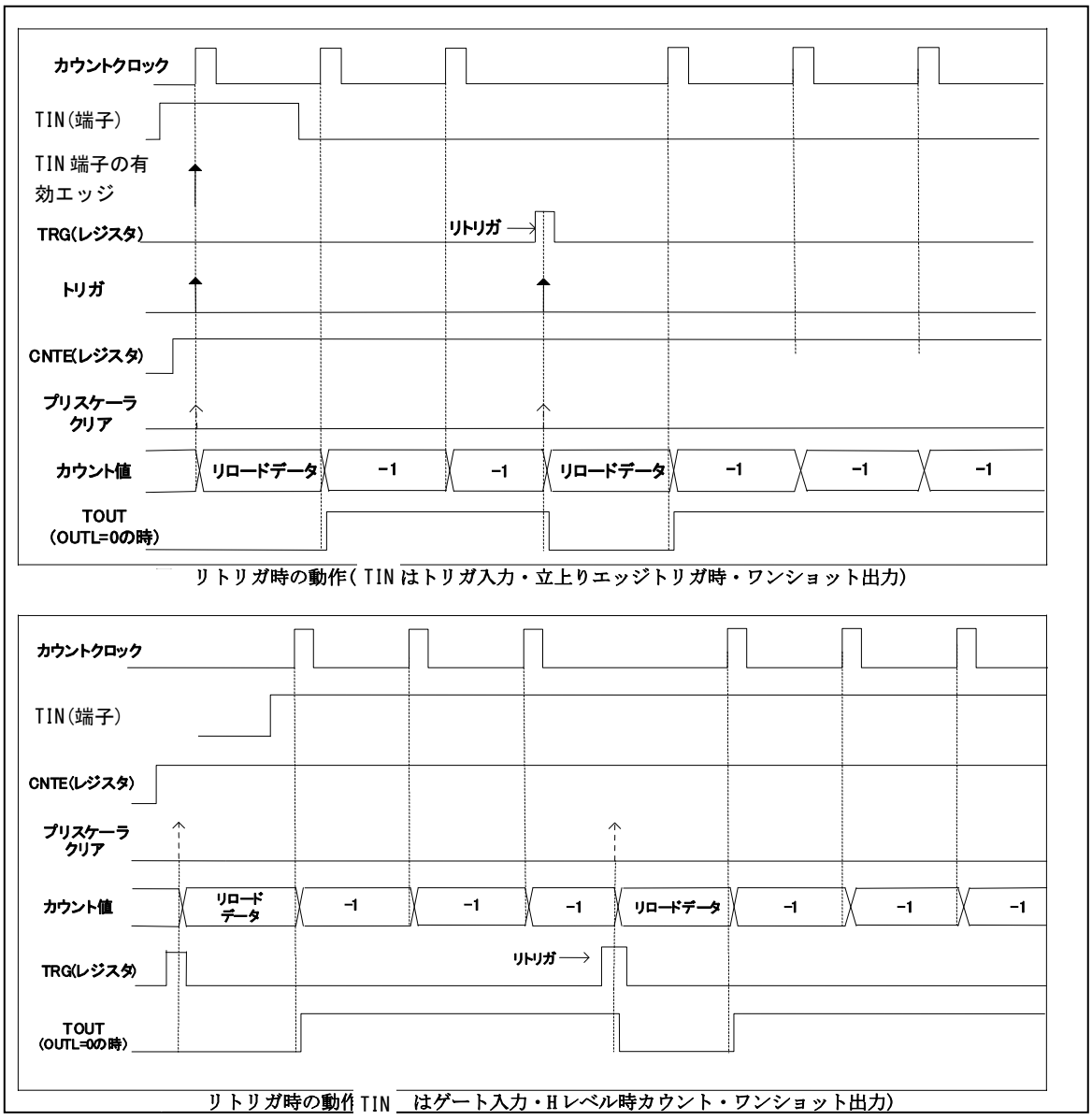
1. TOUT を初期化
2. リロードレジスタの値をカウンタにロード
3. 6 ビットプリスケーラのクリア
4. カウント継続

を行います。キャプチャモード時のみ、リトリガ発生によりカウント中の値を TMRLRB に転送し、TMCSR レジスタの EF ビットをセットします。

＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

図 5-5 リトリガ時の動作



5.2.3. アンダフロー/リロード

アンダフロー/リロードについて示します。

タイマが 0x0000 からダウンカウントする時をアンダフローとしています。アンダフローが発生した場合、TMCSR レジスタの bit2: UF ビットがセットされます。タイマは"リロードレジスタの設定値＋1"カウントでアンダフローを発生します。

5.2.4. 割込み要求発生

割込み要求発生について示します。

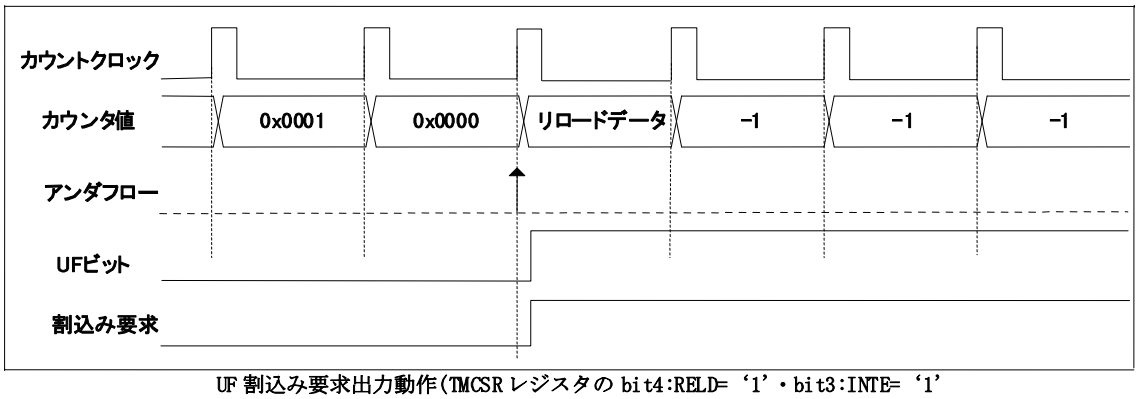
TMCSR レジスタの bit3: INTE ビットが"1"のときに、bit2: UF ビット/bit7: EF ビットがセットされると割込み要求が発生します。インターバルタイマモードでは、以下の条件のときに UF ビット/EF ビットがセットされます。

・UF ビットがセット:　カウンタのアンダフローが発生したとき
・EF ビットがセット:　キャプチャモード時にキャプチャ入力が発生したとき

TMCSR レジスタの bit2: UF ビットのセットと、UF ビットへの"0 書込み"によるクリアが同時に発生したときは、UF ビットへの"0 書込み"は無効となり UF ビットがセットされます。また、bit7: EF ビットのセットと EF ビットへの"0 書込み"によるクリアが同時に発生したときは、EF ビットへの"0 書込み"は無効となり EF ビットがセットされます。

割込み要求発生例を以下に示します。

図 5-6 UF 割込み要求出力動作例



UF 割込み要求出力動作(TMCSR レジスタの bit4:RELD=‘1’・bit3:INTE=‘1’

5.2.5. レジスタ書込みとタイマ動作の同時動作

レジスタ書込みとタイマ動作の同時動作について示します。

ユーザの操作によるレジスタ書込みとタイマ動作が同時に発生したときの実行動作について表 5-4 に示します。

表 5-4 同時動作

レジスタ書込み	タイマ動作	実行する動作
UF ビットへの"0"書込みによるクリア	UF ビットのセット	UF ビットのセット ("0"書込みは無効になる)
EF ビットの"0"書込みによるクリア	EF ビットのセット	EF ビットのセット ("0"書込みは無効になる)
リロードレジスタへの書込み	リトリガによるタイマのロード	旧データのリロード (新しく書き換えた値は次回)

5.3. 各カウンタ動作の説明

各カウンタ動作について示します。

5.3.1. シングルワンショット動作

シングルワンショット動作について示します。

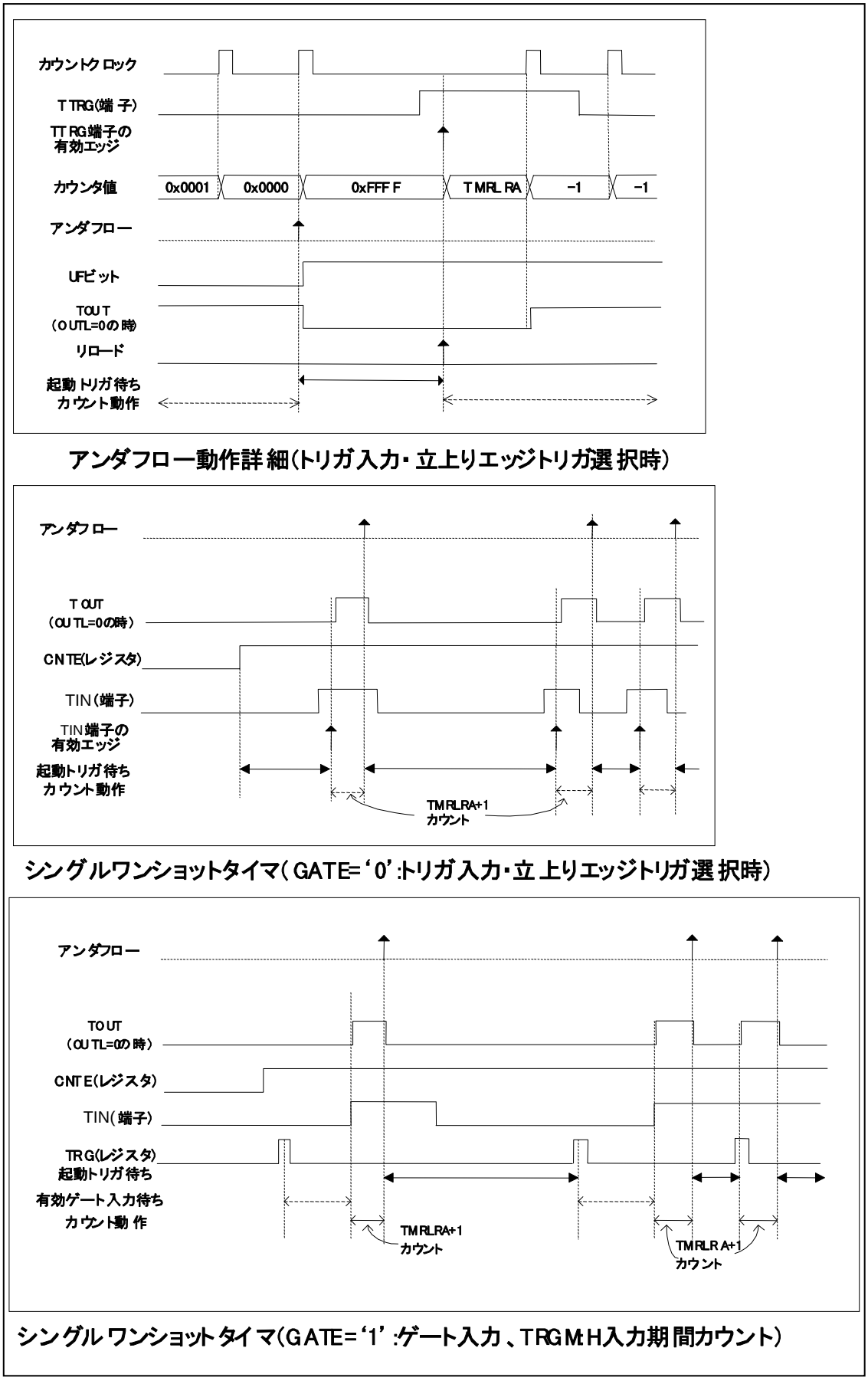
TMCSR レジスタの bit15,14: MOD[1: 0] ="00"、bit4: RELD="0"のとき、タイマはアンダフローの発生により 0xFFFF で停止するシングルワンショット動作を行います。

シングルワンショット設定時にアンダフローが発生したときは以下の動作を行います。

・TMCSR レジスタの UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
・0xFFFF でカウント停止
・TOUT 出力を初期化
・タイマはトリガ待ち状態

シングルワンショットタイマでは TMRLRA はリロード時のカウンタの初期値になります。
TMRLRB は使用しません。

図 5-7 シングルワンショット動作



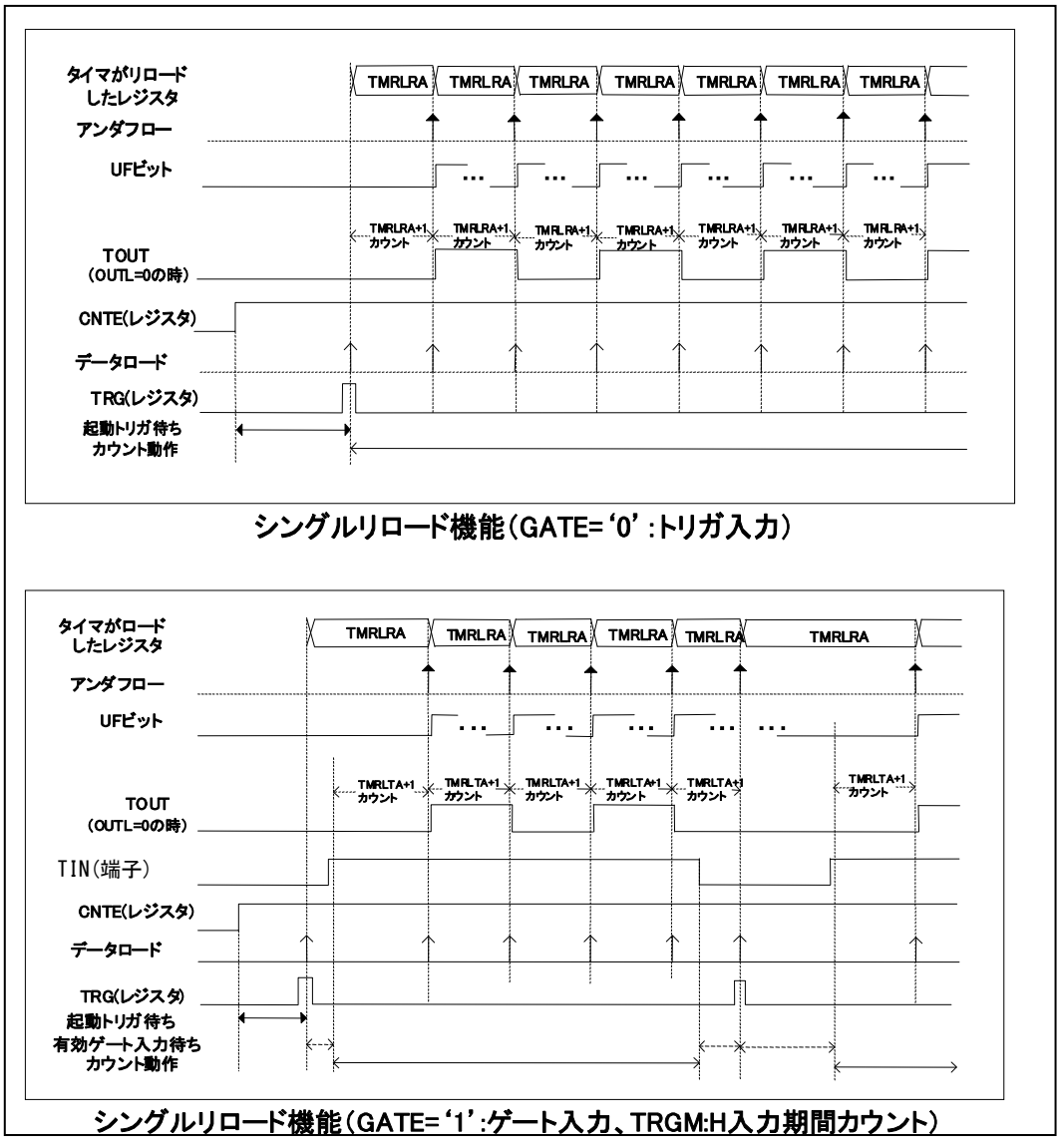
5.3.2. シングルリロード動作

シングルリロード動作について示します。

TMCSR レジスタの bit15,14: MOD[1: 0] ="00"、bit4: RELD ="1"のとき、シングルリロード動作を行います。
シングルリロード動作は、トリガ入力により TMRLRA から値をタイマへロードして、ダウンカウント動作を始めます。アンダフローが発生した場合、再び TMRLRA から値をリロードしてダウンカウント動作を継続します。TMRLRA の値はタイマがリロードする時間を表します。
TMRLRB レジスタは使用しません。シングルリロード設定時に、アンダフローが発生したときは以下の動作を行います。

- TMCSR レジスタの bit2: UF ビットをセット
- 割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
- TMRLRA レジスタをカウンタにロード
- TOUT 出力を反転
- ダウンカウント継続

図 5-8 シングルリロード動作

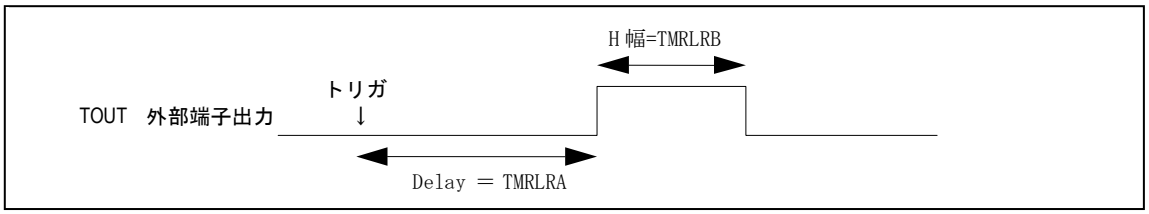


5.3.3. デュアルワンショット動作

デュアルワンショット動作について示します。

TMCSR レジスタの bit15,14: MOD[1: 0] ="01"、bit4:　RELD ="0"のとき、タイマはデュアルワンショット動作を行います。ワンショット PPG として使用できます。
デュアルワンショット動作では、TMRLRA→TMRLRB の順に 1 回ずつ値をカウンタへロードして、それぞれダウンカウントを行い、2 回目のアンダフローによりカウントを停止します。
TMCSR レジスタの bit5: OUTL="0"のとき、TMRLRA の値はタイマの起動(TOUT 出力は L レベル)から TOUT 出力が H へトグルするまでの時間、TMRLRB の値は TOUT 出力の H 幅の時間を示します。

図 5-9 TOUT パルス幅



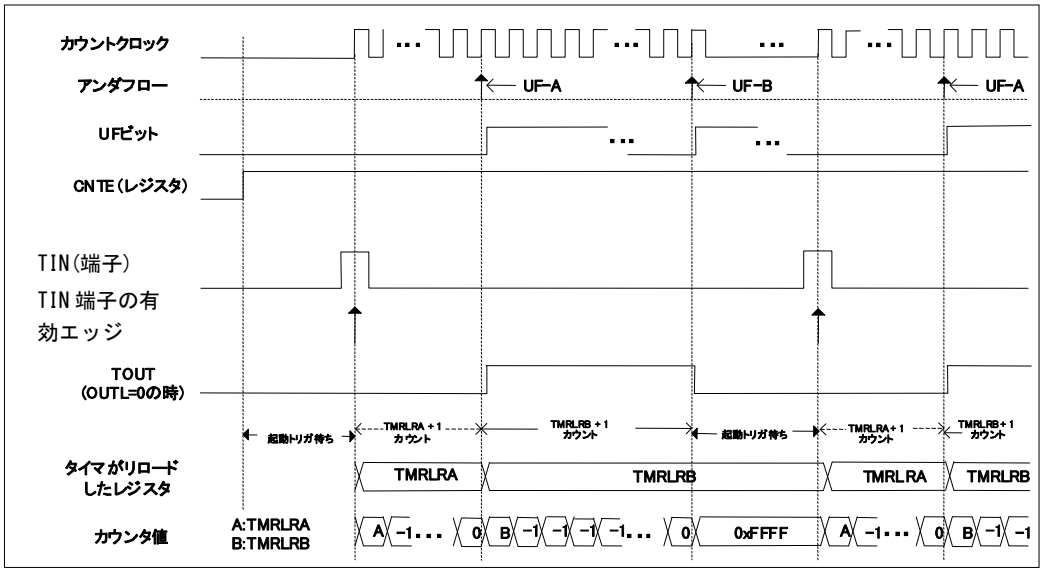
1 回目のアンダフロー(UF-A)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
・TMRLRB をカウンタにロード
・TOUT 出力を反転
・TMRLRB からダウンカウント開始

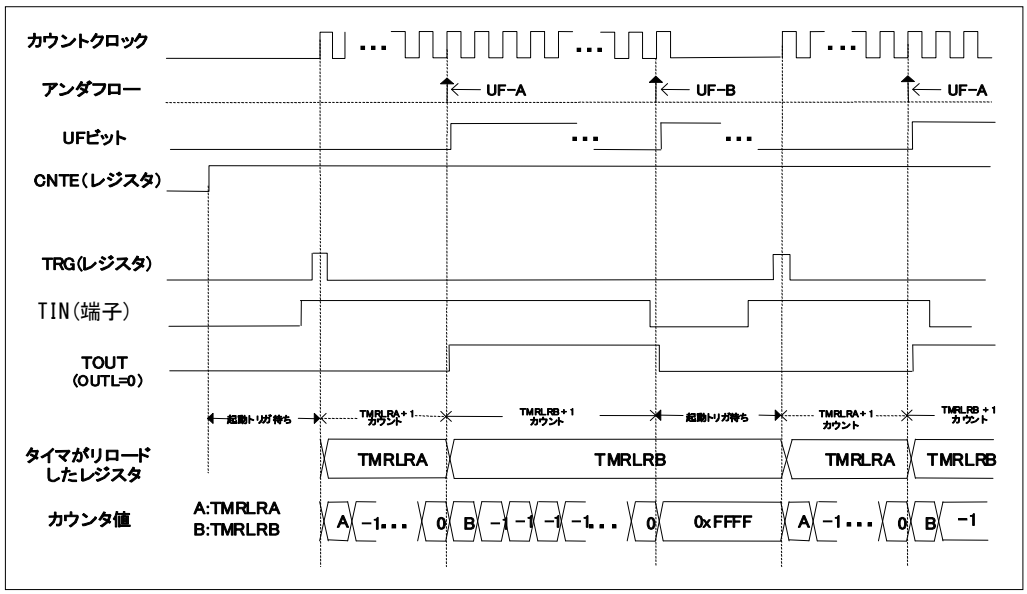
2 回目のアンダフロー(UF-B)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
・0xFFFF でカウント停止
・TOUT 出力を初期化
・タイマは起動トリガ待ち状態へ

図 5-10 デュアルワンショット動作



デュアルワンショット動作(トリガ入力・立上りエッジトリガ選択時)



デュアルワンショット動作(ゲート入力)

5.3.4. デュアルリロード動作

デュアルリロード動作について示します。

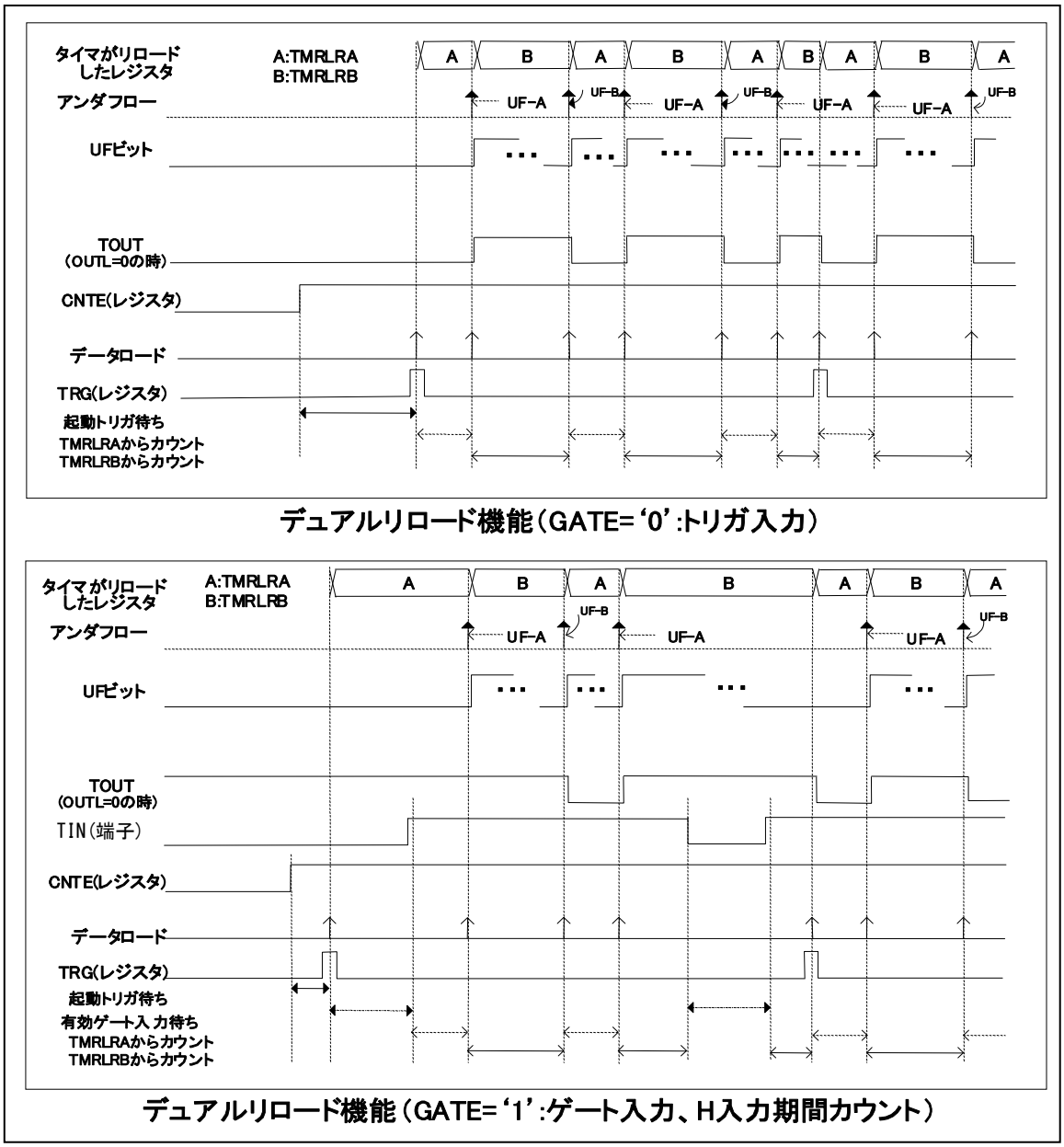
TMCSR レジスタの bit15,14: MOD[1: 0] ="01"、bit4:　RELD ="1"のとき、タイマはデュアルリロード動作を行います。
デュアルリロード動作では、TMRLRA をカウンタへロードして、ダウンカウントを行い、アンダフローが発生した場合、TMRLRB をカウンタへロードして、ダウンカウントを行いアンダフローが発生した場合、TMRLRA をカウンタへロードしてダウンカウント・・・のように TMRLRA と TMRLRB を交互にロードしカウントを行う機能です。
TMCSR レジスタの bit5: OUTL="0"のとき、TMRLRA の値はタイマの起動(TOUT 出力は L レベル)から TOUT 出力が H へトグルするまでの時間、TMRLRB の値は TOUT 出力の H 幅の時間を示します。
TMRLRA から値をロードした後のダウンカウントでアンダフロー(UF-A)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1") のとき、割込み発生
・TMRLRB をカウンタにロード
・TOUT 出力を反転
・TMRLRB からダウンカウント開始

TMRLRB から値をロードした後のダウンカウントでアンダフロー(UF-B)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1") のとき、割込み発生
・TMRLRA をカウンタにロード
・TOUT 出力を反転
・TMRLRA からダウンカウント開始

図 5-11 デュアルリロード動作



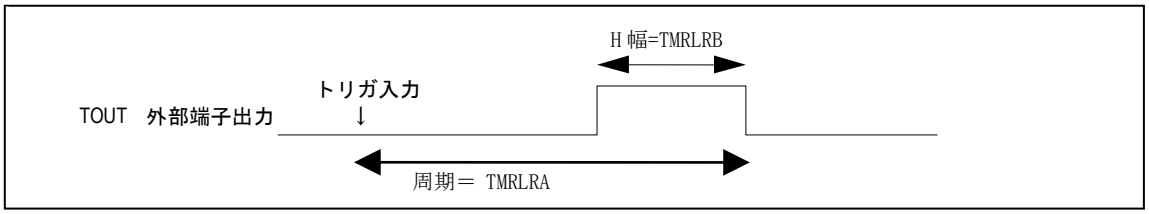
5.3.5. コンペアワンショット動作

コンペアワンショット動作について示します。

TMCSR レジスタの bit15,14: MOD[1: 0] ="10"、bit4: RELD ="0"のとき、ダウンカウントごとにカウンタ値(TMR)と TMRLRB レジスタの値を比較するコンペアワンショット動作を行います。トリガを受付け後、TMRLRA レジスタの値のロードを行い、ダウンカウントを始めます。比較一致 (TMR = TMRLRB) からダウンカウントした場合、TOUT 出力を反転させます。アンダフローが発生した場合、カウント動作を停止・TOUT 出力を初期化し、起動トリガ待ち状態になります。

TMRLRA の値はタイマの起動から停止するまでの時間、TMRLRB の値は、TOUT 出力の H 幅が出力され始めるカウンタ値を示します。OUTL="0"のとき、TMR < TMRLRB のときに TOUT 出力は"H レベル"となります。

図 5-12 TOUT 周期、パルス幅



ダウンカウント開始時から TMR = TMRLRB となるまで(TMR ≧ TMRLRB のとき)は以下の動作を行います。

・TOUT 出力は初期値継続
・タイマはカウント継続

TMR = TMRLRB からダウンカウントが発生したときは以下の動作を行います。

・TOUT 出力を反転
・タイマはカウント継続

(インターバルタイマモードでのコンペア動作時は、TMCSR レジスタの bit7: EF ビットはセットされません。)

アンダフローが発生したときは以下の動作を行います。

・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
・TOUT 出力を初期化
・タイマは 0xFFFF で停止
・タイマは起動トリガ待ち状態

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

図 5-13 コンペアワンショット動作(1 / 2)

・TMRLRB < TMRLRA を設定

上記レジスタ関係のとき、タイマへのロードを行ってから TMR = TMRLRB になるまで、TOUT 出力は、'L レベル' となります。比較一致(TMR = TMRLRB) からダウンカウントすると、TOUT 出力を反転させて、アンダフローが発生するまで'H レベル' となります。アンダフローが発生すると、TOUT 出力は初期化されます。アンダフローによりタイマはカウント動作を停止して起動トリガ待ち状態になります。(OUTL= '0' のとき)

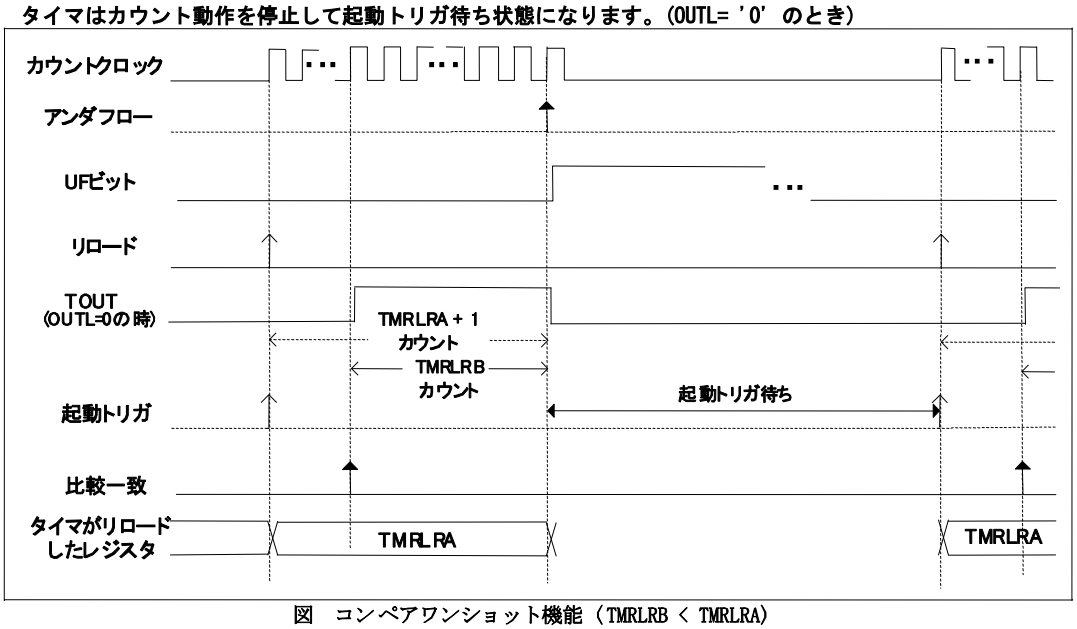
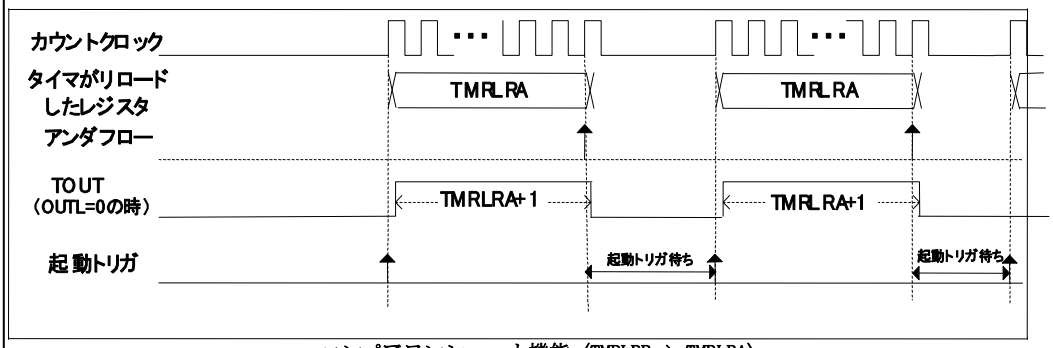


図 コンペアワンショット機能 (TMRLRB < TMRLRA)

・TMRLRB > TMRLRA を設定

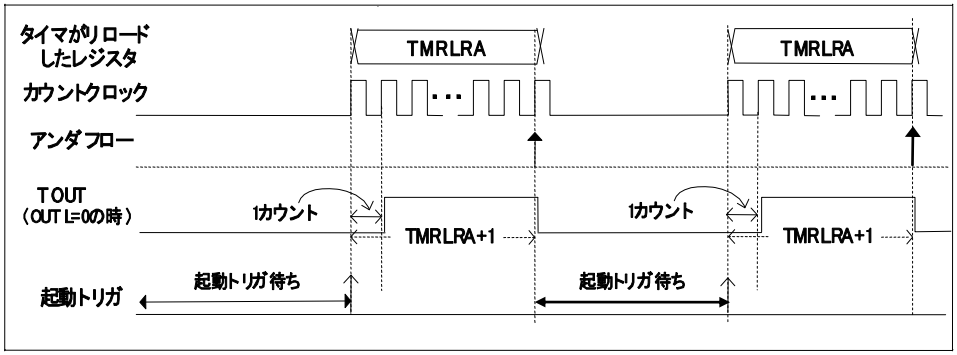
上記レジスタ関係のとき、タイマへのロードを行うと、既に TMR < TMRLRB となっているので、TOUT 出力は、起動トリガが発生してからアンダフローが発生するまで'H レベル' となります。アンダフローの発生によりタイマは起動トリガ待ち状態となり、TOUT 出力は'L レベル' となります。(OUTL = '0' のとき)



コンペアワンショット機能 (TMRLRB > TMRLRA)

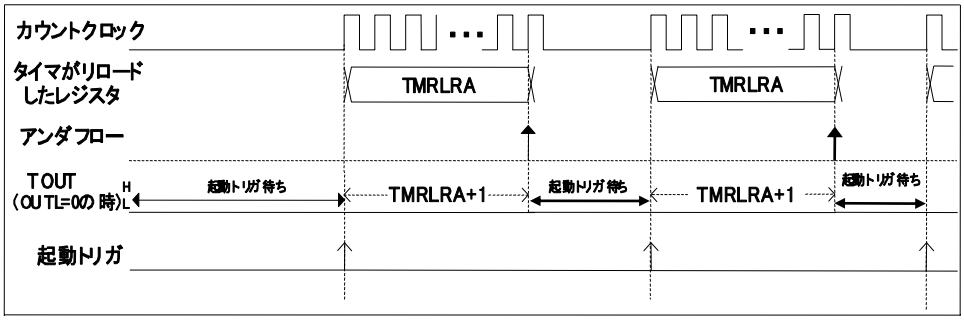
図 5-14 コンペアワンショット動作(2 / 2)

・TMRLRB = TMRLRA を設定
上記レジスタ関係のとき、タイマへのロード後、1 カウントすると TMR < TMRLRB となるので、TOUT 出力は、ダウンカウント 1 カウント分'L レベル'を出力し、アンダフローが発生するまで'H レベル'を出力します。アンダフ



コンペアワンショット機能（TMRLRB = TMRLRA）

・TMRLRB = 0 を設定
上記レジスタの関係のとき、TMR < TMRLRB となることはないので、ダウンカウント開始時からアンダフローが発生するまで TOUT 出力は'L レベル'となります。アンダフロー発生後も'L レベル'のままです。(OUTL='0'のとき)



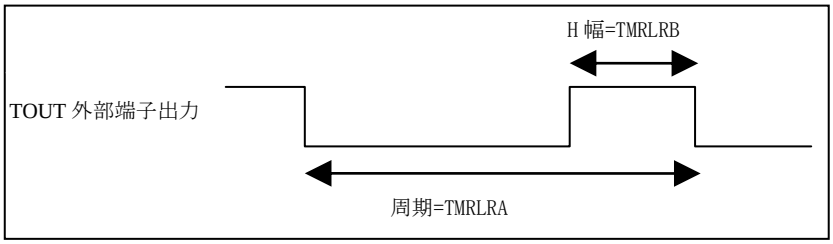
コンペアワンショット機能 (TMRLRB = "0")

5.3.6. コンペアリロード動作

コンペアリロード動作について示します。

TMCSR レジスタの bit15,14: MOD[1: 0] ="10"、bit4: RELD ="1"のとき、タイマはダウンカウントごとにカウンタ値(TMR)と TMRLRB の値を比較し、比較一致(TMR = TMRLRB)からダウンカウントした場合 TOUT 出力を反転します。アンダフローが発生した場合、再び TMRLRA から値をロードしダウンカウント動作を行うコンペアリロード動作を行います。カウンタへのロードは TMRLRA から行います。
TMRLRA の値はタイマが起動してからリロードするまでのカウンタ周期、TMRLRB の値は TOUT 出力が"L レベル出力"から"H レベル出力"へ反転した後の"H レベル幅"を示します。
TMR + 1 = TMRLRB のとき、TOUT 出力は反転し、"H レベル"となります(OUTL="0"のとき)。

図 5-15 TOUT 周期、パルス幅



ダウンカウント開始時から TMR = TMRLRB となるまで(TMR ≧ TMRLRB のとき)は以下の動作を行います。

・TOUT 出力は初期値継続
・カウント継続

TMR = TMRLRB からダウンカウントとなったときは以下の動作を行います。

・TOUT 出力を反転
・カウント継続
(インターバルタイマモードでのコンペア動作時は、TMCSR レジスタの bit7: EF ビットはセットされません。)

アンダフローが発生したときは以下の動作を行います。

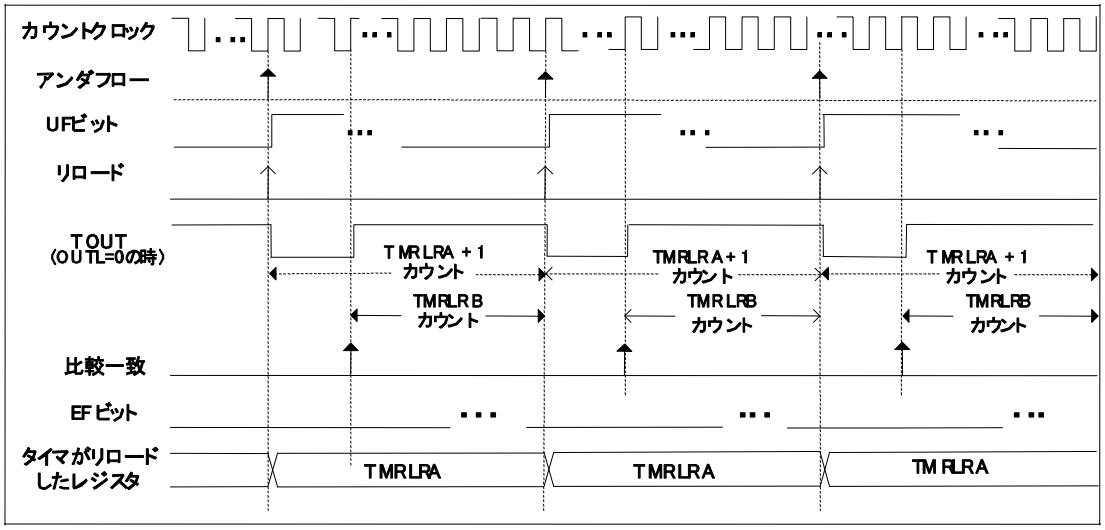
・TMCSR レジスタの bit2: UF ビットをセット
・割込み許可(TMCSR レジスタの bit3: INTE="1")のとき、割込み発生
・TOUT 出力を初期化
・TMRLRA から値をリロード
・タイマはカウント継続

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

図 5-16 コンペアリロード動作(1 / 2)

・TMRLRB < TMRLRA を設定

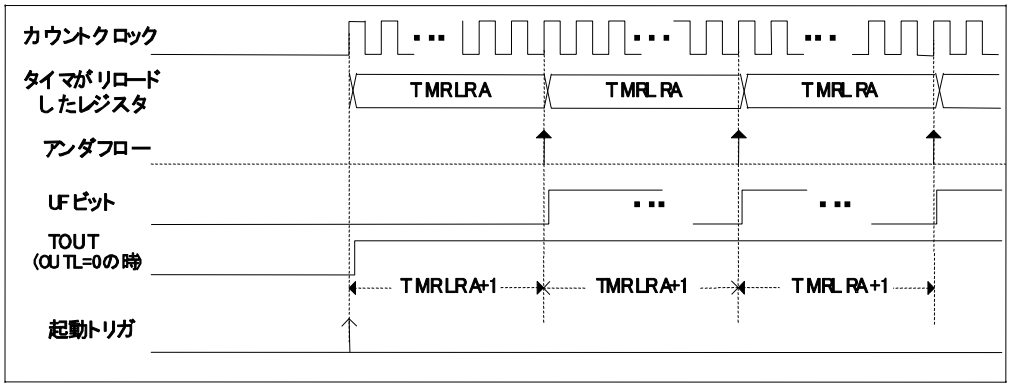
上記レジスタ関係のとき、タイマへのロードを行ってから TMR = TMRLRB の関係になるまで、TOUT 出力は、'L レベル' となります。比較一致(TMR = TMRLRB)からダウンカウントしたとき、TOUT 出力を反転させ、アンダフローが発生するまで'H レベル' となります。アンダフローが発生すると、TOUT 出力は初期化されます。 アンダフローにより、タイマは TMRLRA からリロードを行い、カウント動作を継続します。(OUTL = '0' のとき)



コンペアリロード機能 (TMRLRB < TMRLRA) トリガ入力

・TMRLRB > TMRLRA を設定

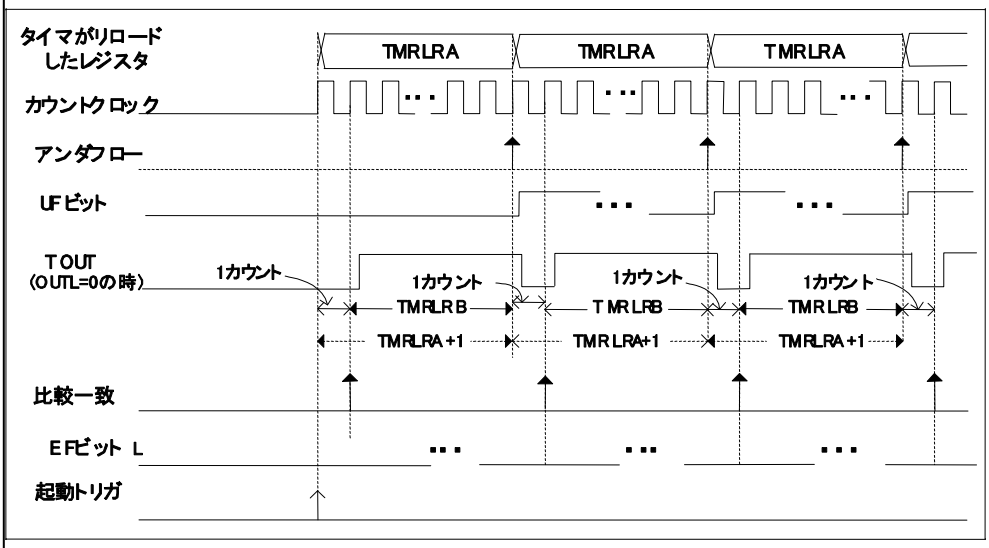
上記レジスタ関係のとき、常に TMR < TMRLRB なので、TOUT 出力は、起動トリガが発生してからアンダフローが発生するまで'H レベル' となります。アンダフローが発生しても TOUT 出力は'H レベル' を継続します。また、アンダフローによりタイマは TMRLRA からロードを行い、カウント動作を継続します。
(OUTL = '0' のとき)



コンペアリロード機能 (TMRLRB > TMRLRA) トリガ入力

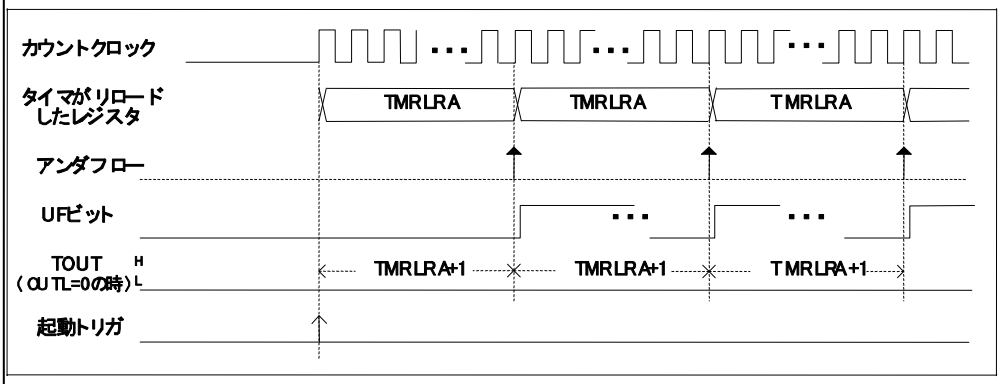
図 5-17 コンペアリロード動作(2 / 2)

・TMRLRB = TMRLRA を設定
上記レジスタ関係のとき、タイマへのロード後、1 カウントすると TMR < TMRLRB となるので、TOUT 出力は、ダウンカウント 1 カウント分'L レベル'を出力し、アンダフローが発生するまで'H レベル'を出力します。
アンダフローの発生によりタイマは TMRLRA からロードを行い、カウント動作を継続します。TOUT 出力は'L レベル'となります。(OUTL = '0' のとき)



コンペア リロード機能 (TMRLRB = TMRLRA) トリガ入力

・TMRLRB = 0 を設定
上記レジスタ関係のとき、タイマへのロード後、TMR < TMRLRB となることはないので、ダウンカウント開始時かアンダフローが発生するまで TOUT 出力は'L レベル'となります。アンダフローが発生後も'L レベル'のままです。



コンペア リロード機能 (TMRLRB = '0') トリガ入力

5.3.7. キャプチャモード

キャプチャモードについて示します。

TMCSR レジスタの bit15,14: MOD[1: 0] ="11"のとき、タイマはキャプチャ動作を行います。リトリガが発生したとき、その時点の TMR の値を TMRLRB レジスタにキャプチャし、TMCSR レジスタの bit7: EF をセットします。
TIN 入力をゲート入力として使用(TMCSR レジスタの bit8: GATE="1"のとき)している場合は、TMCSR レジスタの bit0: TRG によってリトリガを発生させてください。
キャプチャモード以外では、リトリガ発生時にキャプチャは行いません。EF 割込みも発生しません。
タイマの動作/TOUT 出力はシングルワンショット機能・シングルリロード機能どちらも同じです。

＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

図 5-18 キャプチャ動作

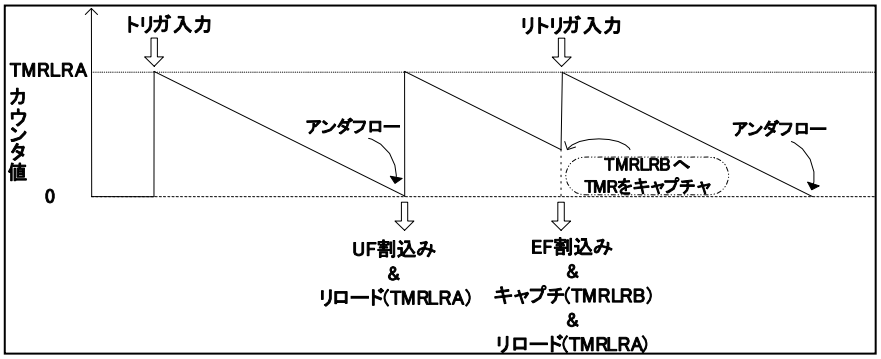


図 5-19 インターバルタイマモード時におけるトリガ入力機能のフローチャート

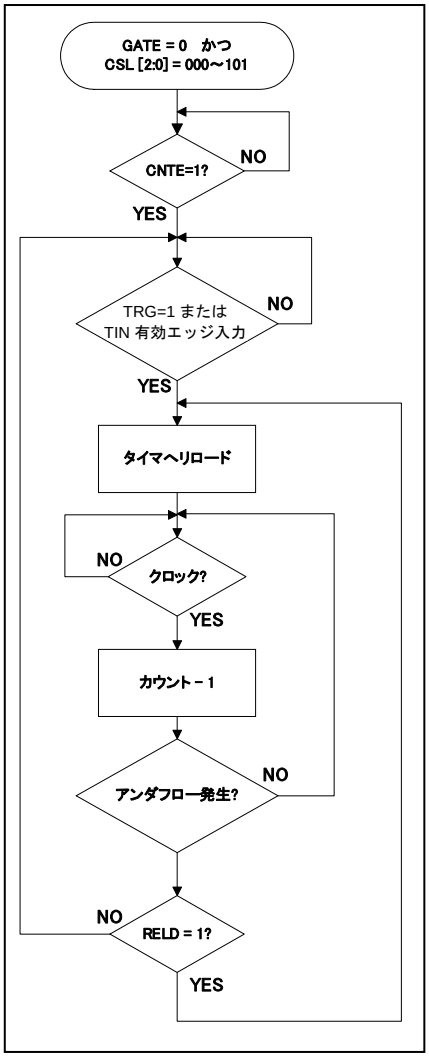
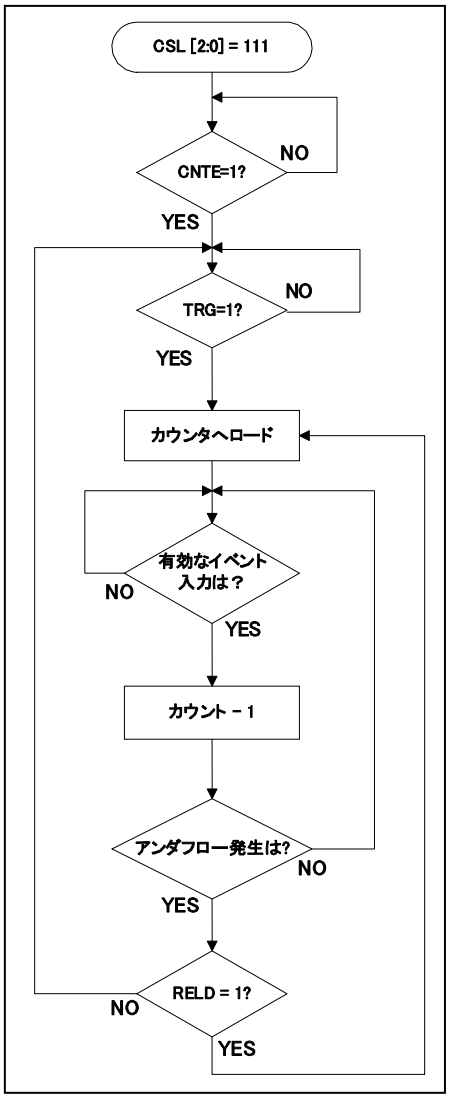


図 5-20 イベントカウンタモード時におけるフローチャート

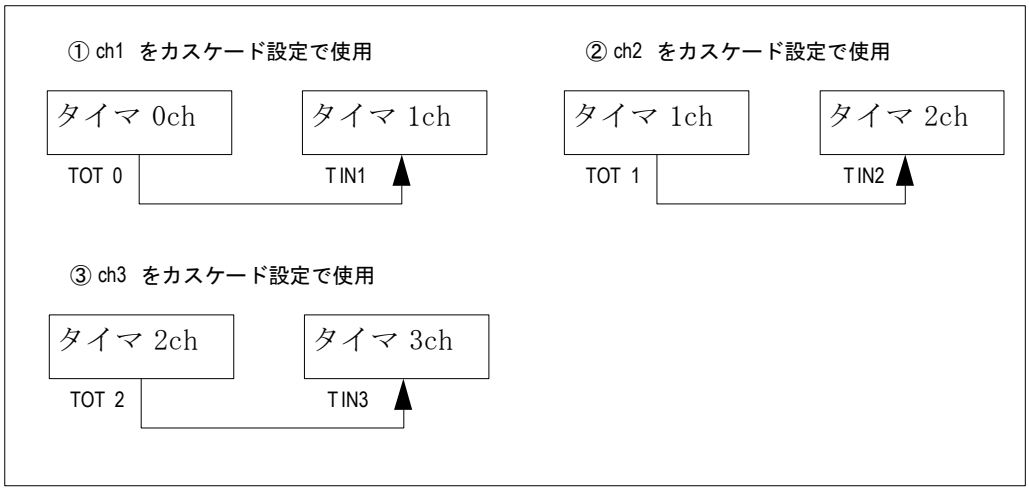


5.4. カスケード入力

カスケード入力について示します。

カスケード入力(TMCSR レジスタの bit11-9: CSL[2: 0]= "110")を選択した場合、タイマの ch.0 の出力(TOUT0)を ch.1 の入力(TIN1)として、ch.1 の出力(TOUT1)を ch.2 の入力(TIN2)として、ch.2 の出力(TOUT2)を ch.3 の入力(TIN3)として使用できます。

図 5-21 カスケード入力設定時のタイマの入出力



5.5. 同時動作の優先順位

同時動作の優先順位について示します。

タイマの動作を決定するイベントが同時に発生したときに、動作状態を決定する優先順位を示します。

1. レジスタ書込み
2. トリガ入力
3. アンダフロー
4. クロック入力

タイマの動作による各フラグのセットと、レジスタ書込みによるフラグのクリアが同時に発生したときの動作を決定する優先順位を示します。

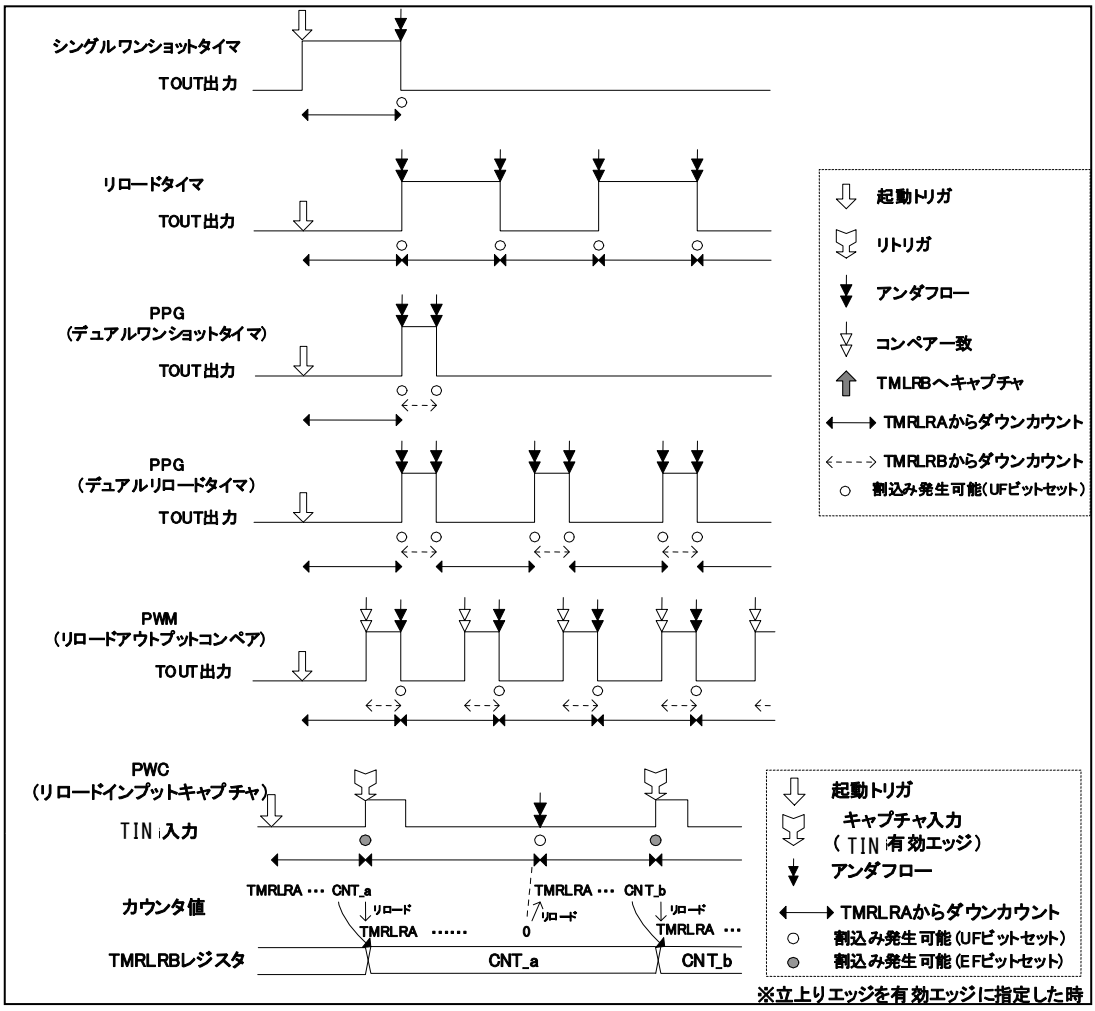
1.タイマ動作によるフラグのセット
2.UF ビット/EF ビットへのフラグクリアのためのレジスタ書込み

6. アプリケーションノート

リロードタイマのレジスタのアプリケーションノートについて説明します。

本タイマで実現できる代表的な機能を示します。

図 6-1 使用例



上図の例を使用するための設定を示します。

表 6-1 設定例

機能	MOD[1: 0]	RELD	TMRLRA	TMRLRB
シングルワンショットタイマ	00 (シングルモード)	0	必須	――――
リロードタイマ	00 (シングルモード)	1	必須	――――
PPG (Programmable Pulse Generator)	01 (デュアルモード)	0 or 1	必須	必須
PWM (Pulse Width Modulator)	10 (コンペアモード)	1	必須	必須
PWC (Pulse Width Counter)	11 (キャプチャモード)	1	必須	――――

6.1. シングルワンショットタイマ

シングルワンショットタイマについて示します。

シングルワンショットタイマは、トリガが入力されると、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を行います。アンダフローが発生した場合カウント動作を停止します。
TOUT 端子は、カウント中は"H レベル"を出力し、アンダフローが発生した場合"L レベル"を出力します。 (OUTL="0"のとき)

【設定】シングルワンショットタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	*1	0	―	*2	0	*3	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL=0・・初期値 L>>カウント開始 H>>アンダフロー発生 L
OUTL=1・・初期値 H>>カウント開始 L>>アンダフロー発生 H

*3: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	1	―	*3	0	*4	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1: 0]=x0・・L 入力期間のみカウント
TRGM[1: 0]=x1・・H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L>>カウント開始 H>>アンダフロー発生 L
OUTL= 1・・初期値 H>>カウント開始 L>>アンダフロー発生 H

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	0	―	*3	0	*4	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1: 0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1: 0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

OUTL= 0・・初期値 L>>カウント開始 H>>アンダフロー発生 L
OUTL= 1・・初期値 H>>カウント開始 L>>アンダフロー発生 H

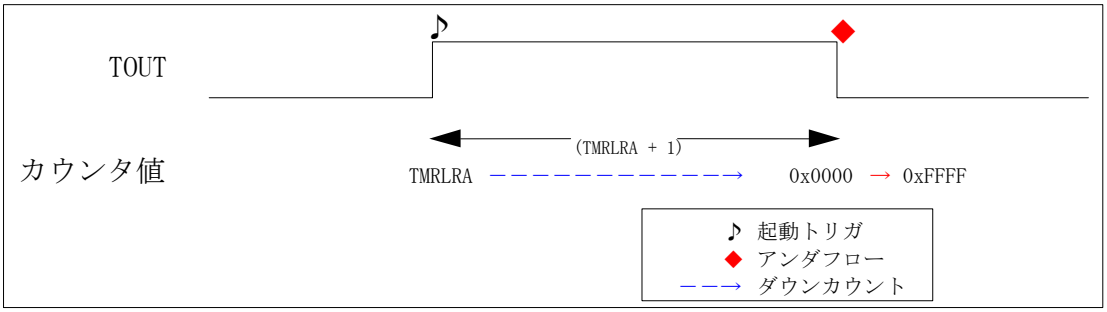
*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】 以下の手順でタイマの起動を行ってください。

・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-2 動作例(OUTL = 0)



6.2. リロードタイマ

リロードタイマについて示します。

リロードタイマは、アンダフローが発生するたびに、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を繰返します。TOUT 出力は、起動トリガから最初のアンダフローまでのカウント中は"L レベル"、アンダフローが発生するたびに出力は反転し、最初のアンダフローの発生によって"H レベル"を出力します。また、リトリガが発生した場合、TOUT 出力は初期値になります。 (OUTL="0"のとき)

【設定】リロードタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	*1	0	―	*2	1	*3	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL=0・・初期値 L>>カウント開始 L>>アンダフロー発生のたびに反転
OUTL=1・・初期値 H>>カウント開始 H>>アンダフロー発生のたびに反転

*3: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	1	―	*3	1	*4	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1: 0]=x0・・TIN=L 入力期間のみカウント
TRGM[1: 0]=x1・・TIN=H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

OUTL=0・・初期値 L>>カウント開始 L>>アンダフロー発生のたびに反転
OUTL=1・・初期値 H>>カウント開始 H>>アンダフロー発生のたびに反転

*4: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	0	―	*3	1	*4	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1: 0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1: 0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

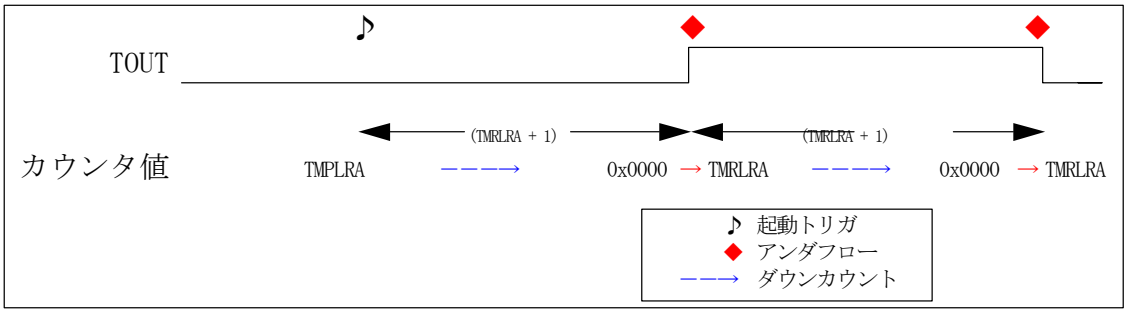
OUTL= 0・・初期値 L>>カウント開始 L>>アンダフロー発生のたびに反転
OUTL= 1・・初期値 H>>カウント開始 H>>アンダフロー発生のたびに反転

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-3 動作例(OUTL=0)



6.3. PPG

PPG について示します。

PPG は、パルスの L 幅/H 幅を設定して出力パルスを生成する機能です。起動トリガによって TMRLRA からカウンタへロードしダウンカウントを行い、アンダフローが発生した場合 TMRLRB から値をロードしダウンカウントを実行します。
RELD="0"のときは起動トリガ>>TMRLRA ロード>>ダウンカウント>>アンダフロー>>TMRLRB ロード>>ダウンカウント>>アンダフローでダウンカウントを停止します。
RELD="1"のときは起動トリガ>>TMRLRA ロード>>ダウンカウント>>アンダフロー>>TMRLRB ロード>>ダウンカウント⇒アンダフロー>> TMRLRA ロード>>ダウンカウント>>アンダフロー >>TMRLRB ロード というように、アンダフローが発生するたびに TMRLRA/TMRLRB を交互にロードを行い、ダウンカウントを実行します。
TOUT 出力は、TMRLRA からのダウンカウントによるアンダフローが発生するまでのカウント中は"L レベル"、TMRLRB からのダウンカウントによるアンダフローが発生するまでは、"H レベル"を出力します。また、リトリガが発生した場合、TOUT 出力は初期値になります。

＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

【設定】PPG として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	00	*1	0	―	*2	*3	*4	―	1	S		

(A): 起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)
(B): TMRLRA 値からのカウントによるアンダフロー時のリロード値
S : タイマ起動時に使用
―: 動作に影響なし

* 1: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

* 2: TOUT 出力極性設定

OUTL= 0・・

初期値 L>>TMRLRA からカウント L>> アンダフロー発生で H>>
TMRLRB からカウント H>>アンダフロー発生で L

OUTL= 1・・

初期値 H>>TMRLRA からカウント H>> アンダフロー発生で>>
TMRLRB からカウント L>> アンダフロー発生で H

*3: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	*1	*2	1	―	*3	*4	*5	―	1	S		

(A): 起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)
(B): TMRLRA 値からのカウントによるアンダフロー時のリロード値
S : タイマ起動時に使用
―: 動作に影響なし

* 1: TIN の有効レベル設定

TRGM[1: 0]= x0・・TIN=L 入力期間のみカウント
TRGM[1: 0]= x1・・TIN=H 入力期間のみカウント

* 2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・

初期値 L>>TMRLRA からカウント L>>アンダフロー発生で H>>
TMRLRB からカウント H>> アンダフロー発生で L

OUTL= 1・・

初期値 H>>TMRLRA からカウント H>>アンダフロー発生で L>>
TMRLRB からカウント L>> アンダフロー発生で H

*4: アンダフロー発生時リロード設定

RELD=0・・ワンショットモード
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(3) TIN 入力をトリガ入力として使用するとき

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	*1	*2	0	―	*3	*4	*5	―	1	S		

(A): 起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)
(B): TMRLRA 値からのカウントによるアンダフロー時のリロード値
S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1: 0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1: 0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L>>TMRLRA からカウント L>>アンダフロー発生のたびに反転
OUTL= 1・・初期値 H>>TMRLRA からカウント H>>アンダフロー発生のたびに反転

*4: アンダフロー発生時リロード設定

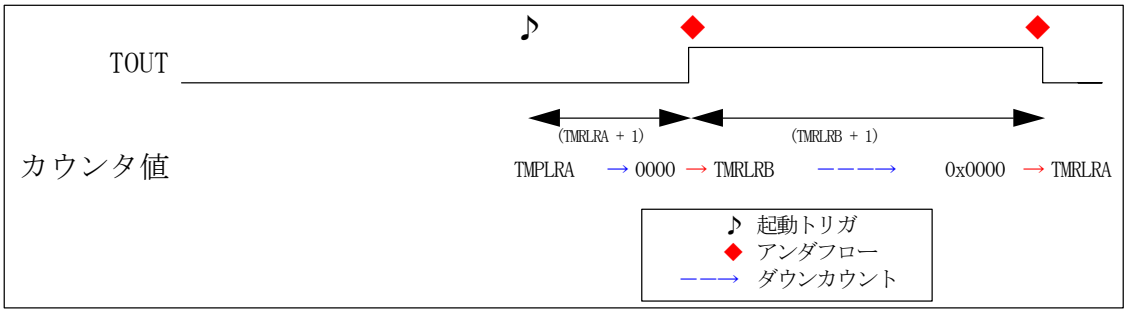
RELD=0・・ワンショットモード
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-4 動作例(OUTL=0)



6.4. PWM

PWM について示します。

PWM は、パルスの周期と H 幅を設定して出力パルスを生成する機能です。
起動トリガによって TMRLRA からカウンタへロードしダウンカウント動作を行います。
TOUT 出力は、起動トリガ後は"L レベル"を出力し、TMRLRB の設定値よりもカウンタ値が小さくなると"H レベル"を出力します。アンダフローが発生した場合、TOUT 出力は初期値に戻ります。 (OUTL="0"のとき)

RELD="0"のときは起動トリガ>>TMRLRA ロード>>ダウンカウント>>アンダフローでダウンカウントを停止します。
RELD="1"のときは起動トリガ>>TMRLRA ロード>>ダウンカウント>>アンダフロー>>TMRLRA ロード>>ダウンカウント・・というように、アンダフローが発生するたびに TMRLRA のロードを行い、ダウンカウントを実行します。

【設定】PWM として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	0	*1	0	―	*2	*3	*4	―	1	S		

(A): 起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *5
S : タイマ起動時に使用
―: 動作に影響なし

*1: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL= 0・・初期値 L>>TMRLRA からカウント L>>TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H>>TMRLRA からカウント H>>TMRLRB よりカウンタ値が小さい L

*3: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

*5: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB = "TMRLRA + 1"に設定

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	*1	*2	1	―	*3	*4	*5	―	1	S		

(A): 起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *6
S : タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1: 0]= x0・・TRGM=L 入力期間のみカウント
TRGM[1: 0]= x1・・TRGM=H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L>>TMRLRA からカウント L>>TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H>>TMRLRA からカウント H>>TMRLRB よりカウンタ値が小さい L

*4: アンダフロー発生時リロード設定

RELD=0・・ワンショットモード
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

*6: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB ="TMRLRA + 1"に設定

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	*1	*2	0	―	*3	*4	*5	―	1	S		

(A): 起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *6
S : タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1: 0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1: 0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L>>TMRLRA からカウント L>>TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H>>TMRLRA からカウント H>>TMRLRB よりカウンタ値が小さい L

*4: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*5: 割込み要求許可設定

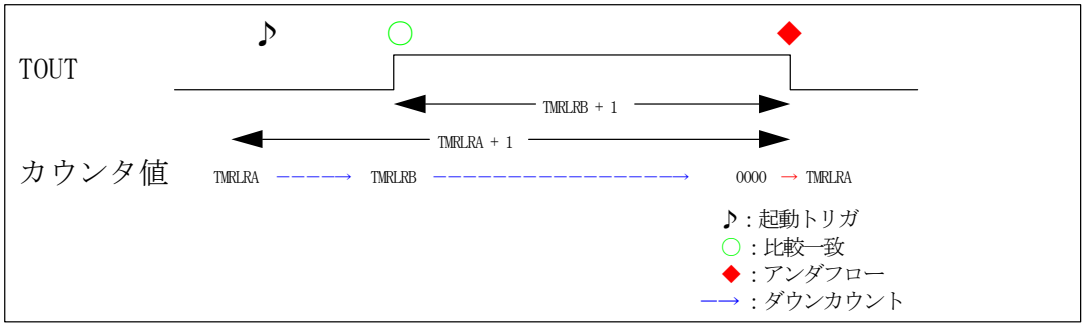
INTE= 0・・割込み禁止
INTE= 1・・割込み許可

*6: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB = "TMRLRA + 1"に設定

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-5 動作例(OUTL=0)



6.5. PWC

PWC について示します。

PWC は、入力するトリガのトリガ間の時間を測定する機能です。
起動トリガの入力によって TMRLRA からカウンタへ値をロードしダウンカウント動作を開始します。カウント中にトリガ入力をすることにより、TMRLRB へそのときのカウンタ値をキャプチャするので、入力トリガ間の時間の測定ができます。

【設定】PWC として使用するためには、以下の設定を行ってください。

TMCSR											TMRLRA	TMRLRB
MOD [1: 0]	TRGM [1: 0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
11	*1	*2	0	―	*3	*4	*5	―	1	S		

(A): 起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B): カウント動作中のトリガ発生時のカウント値
S : タイマ起動時に使用
―: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1: 0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1: 0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L>>TMRLRA からカウント L>>アンダフロー発生のたびに反転
OUTL= 1・・初期値 H>>TMRLRA からカウント H>>アンダフロー発生のたびに反転

*4: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*5: 割込み要求許可設定

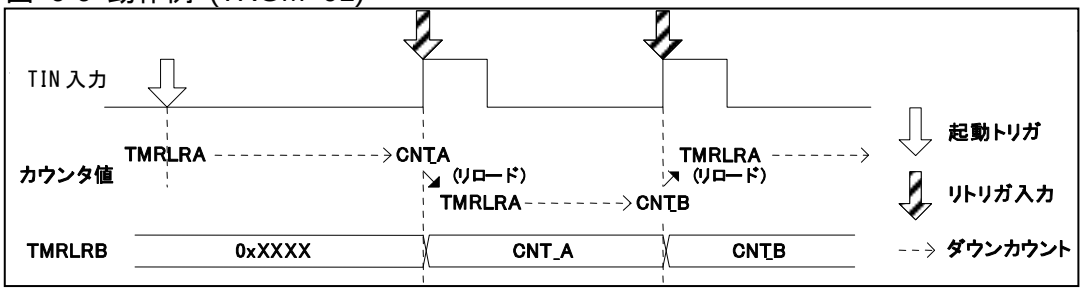
INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。

・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
ダウンカウント中、トリガ入力があるたびにカウンタ値が TMRLRB へキャプチャされます。
入力するトリガのエッジ間の時間は以下となります。

T = (TMRLRA の設定値 － TMRLRB のキャプチャ値) × 周辺クロック(PCLK)の周期 × CSL で設定した分周比

図 6-6 動作例 (TRGM=01)



CHAPTER: 16 ビットフリーランタイマ

16 ビットフリーランタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

16 ビットフリーランタイマの概要について説明します。

フリーランタイマは、16 ビットフリーランタイマから構成されます。

2. 特長

16 ビットフリーランタイマの特長について説明します。

■ 16 ビットフリーランタイマの機能

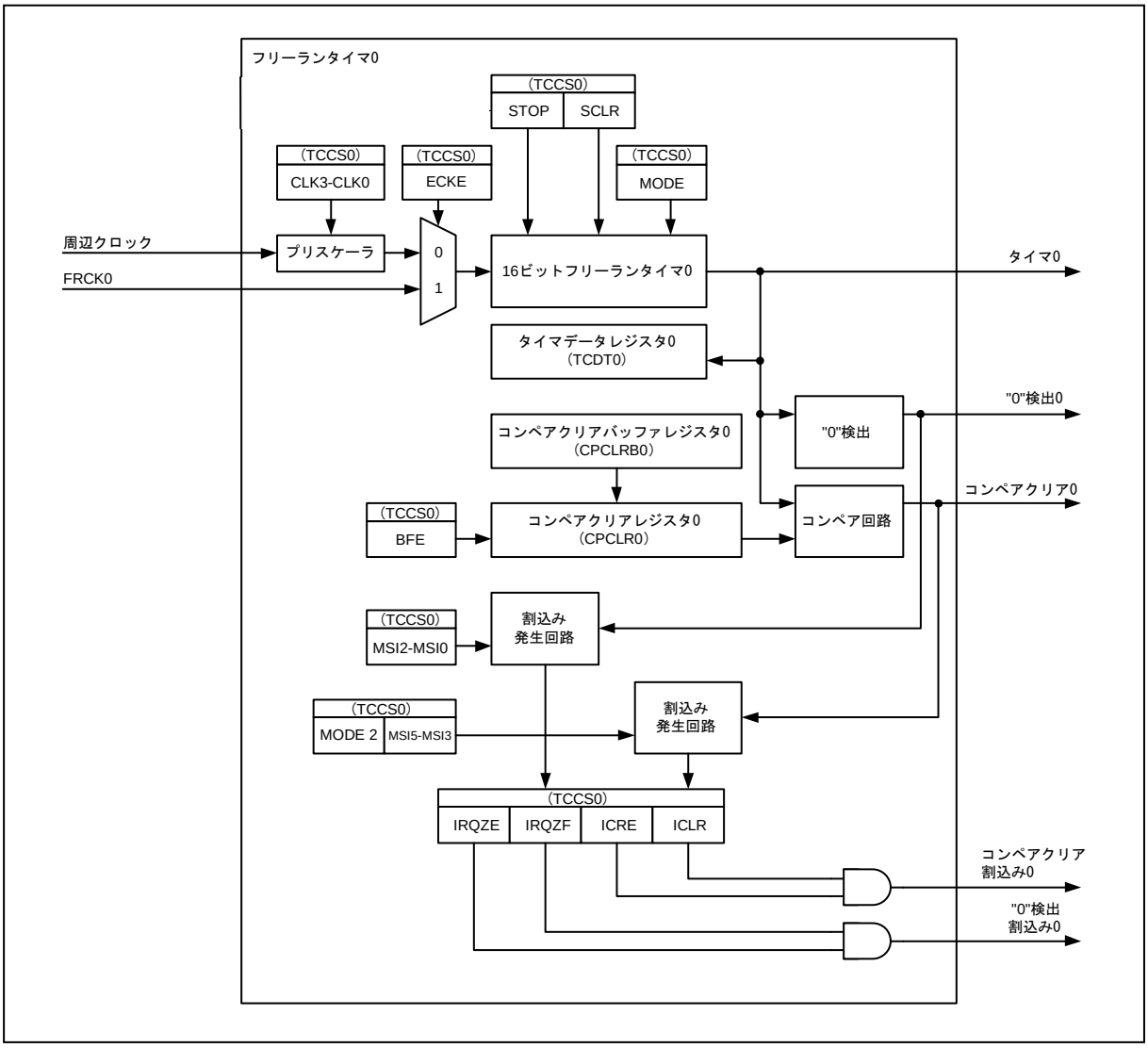
- 16 ビットフリーランタイマは 16 ビットアップ/ ダウンカウンタ, 制御レジスタ, 16 ビットコンペアクリアレジスタ(バッファレジスタがあります) およびプリスケーラから構成されます。
- 9 種類のカウンタ動作クロック(φ, φ/2, φ/4, φ/8, φ/16, φ/32, φ/64, φ/128, φ/256)を選択できます(φ : 周辺クロック)。
- コンペアクリア割込みは、コンペアクリアレジスタと 16 ビットフリーランタイマが比較され、一致した場合に生成されます。0 検出割込みは、16 ビットフリーランタイマがカウント値"0"を検出している間に生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります(本バッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16 ビットフリーランタイマが停止し、バッファにデータが書き込まれると、転送は直ちに実行されます。16 ビットフリーランタイマの動作中にタイマ値"0"が検出されるとバッファからデータが転送されます。
- リセットやソフトウェアクリアあるいはコンペアクリアレジスタとのコンペア一致が発生した場合、カウンタ値は"0x0000"にリセットされます。
- 本カウンタの出力値は、インプットキャプチャのクロックカウントとして使用できます。

3. 構成

16 ビットフリーランタイマの構成について説明します。

3.1.1.16 ビットフリーランタイマの構成

図 3-1 16 ビットフリーランタイマの構成



4. レジスタ

16 ビットフリーランタイマのレジスタについて説明します。

■ 外部端子表

表 4-1 16 ビットフリーランタイマの外部端子表

チャネル	外部端子(FRCK)
0	FRCK

■ レジスター覧

表 4-2 16 ビットフリーランタイマのレジスター覧

アドレス	+0	+1	+2	+3
0x1204	コンペアクリアバッファレジスタ 0 (CPCLR0) コンペアクリアレジスタ 0 (CPCLR0)		タイマデータレジスタ (TCDT0)	
0x1208	タイマ状態制御レジスタ 0 (TCCS0)			予約

4.1. 16 ビットフリーランタイマのレジスタ

16 ビットフリーランタイマのレジスタについて説明します。

16 ビットフリーランタイマには、コンペアクリアバッファレジスタ，コンペアクリアレジスタ，タイマデータレジスタおよびタイマ状態制御レジスタがあります。

4.1.1. コンペアクリアバッファレジスタ: CPCLRB/コンペアクリアレジスタ: CPCLR

コンペアクリアバッファレジスタ/コンペアクリアレジスタのビット構成について示します。

コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)に存在する 16 ビットバッファレジスタです。
CPCLRB レジスタと CPCLR レジスタは、両方とも同じアドレスに存在します。

■ CPCLRB0: アドレス 1204H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値バッファビット

CL15～CL00	機能
	コンペアクリア値バッファ

- コンペアクリアバッファレジスタは、コンペアクリアレジスタ(CPCLR)と同じアドレスに存在するバッファレジスタです。
- バッファ機能が無効になるか(タイマ状態制御レジスタ(TCCS)の BFE:bit23=0) またはフリーランタイマが停止した場合、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。
- バッファ機能が有効な場合、16 ビットフリーランタイマのカウント値"0"が検出されたときに値がコンペアクリアレジスタへ転送されます。

＜注意事項＞

コンペアクリアバッファレジスタに、"0x0000"は設定禁止です。
本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令によるアクセスは行わないでください。

■ CPCLR0: アドレス 1204H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値ビット

CL15～CL00	機能
	コンペアクリア値

- コンペアクリアレジスタは、16 ビットフリーランタイマのカウント値と比較するために使用されます。
- アップカウントモード時は、本レジスタが 16 ビットフリーランタイマのカウント値と一致した場合、16 ビットフリーランタイマは"0x0000"にリセットされます。
- アップダウンカウントモード時は、本レジスタが 16 ビットフリーランタイマのカウント値と一致した場合、16 ビットフリーランタイマはアップカウントからダウンカウントに変わるかまたは、"0"検出時にダウンカウントからアップカウントに変わります。

＜注意事項＞

本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令によるアクセスは行わないでください。

4.1.2. タイマデータレジスタ: TCDT0

タイマデータレジスタのビット構成について示します。

タイマデータレジスタ(TCDT)は、16 ビットフリーランタイマのカウント値を読み出すために使用します。また、16 ビットフリーランタイマのカウント値を設定できます。

■ TCDT0: アドレス 1206H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	T15	T14	T13	T12	T11	T10	T09	T08
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	T07	T06	T05	T04	T03	T02	T01	T00
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15 ～ bit0] T15 ～ T00 : カウント値ビット

T15～T00	機能
	カウント値

- タイマデータレジスタは、16 ビットフリーランタイマのカウント値を読み出すために使用してください。
- カウント値は、リセットが発生した場合、直ちに"0x0000"にクリアされます。
- タイマ値は、本レジスタへ値を書き込むことによって設定できます。ただし、値の書込みはタイマの停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1)の状態でなければなりません。
- 16 ビットフリーランタイマは、以下の要因が発生した場合、直ちに初期化されます。
  - リセット
  - 16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)のタイマ状態制御レジスタ(TCCS)のクリアビット(SCLR:bit20)=1
  - アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0) 時におけるコンペアクリアレジスタとタイマカウント値の一致

＜注意事項＞

16 ビットフリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1)の、タイマ状態制御レジスタ(TCCS)のクリアビット(SCLR:bit20)=1 としても、16 ビットフリーランタイマは初期化されません。
タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)にカウント値を書き込むと、意図しないカウントを行うことがあります。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)にカウント値を書き込む場合、次の手順によって書き込んでください。

1. 16 ビットフリーランタイマのカウントを停止する。(タイマ状態制御レジスタ(TCCS)の STOP:bit21 への"1"書込み)
2. タイマデータレジスタにカウント値を設定する。
3. ソフトウェアクリアを行う。(タイマ状態制御レジスタ(TCCS)の SCLR:bit20 への"1"書込み)
4. 16 ビットフリーランタイマのカウントを開始する。

4.1.3. タイマ状態制御レジスタ: TCCS0

タイマ状態制御レジスタのビット構成について示します。

タイマ状態制御レジスタ(TCCS)は、16 ビットフリーランタイマの動作を制御するために使用するレジスタです。

■ **TCCS0: アドレス 1208H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R(RM1), W	R/W	R,W	R,W	R,W	R(RM1), W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	BFE	STOP	MODE	SCLR	CLK3	CLK2	CLK1	CLK0
初期値	0	1	0	0	0	0	0	0
属性	R/W	R,W	R/W	R0,W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				MODE2	MSI5	MSI4	MSI3
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1

[bit31] ECKE : クロック選択ビット

ECKE	機能
0	周辺クロック
1	外部クロック

・本ビットは、周辺クロックまたは外部クロックを 16 ビットフリーランタイマのカウントクロックとして選択するために使用してください。
・本ビットに"0"を設定した場合:
周辺クロックが選択されます。カウントクロック周波数を選択するためには、TCCS レジスタのクロック周波数選択ビット(CLK3 ～ CLK0)も選択しなければなりません。

・本ビットに"1"を設定した場合:
外部クロックが選択され、"外部クロック(FRCK)"端子からクロック入力されます。

＜注意事項＞

カウントクロックは、本ビットが設定されると直ちに変更されます。したがって、本ビットの変更は、インプットキャプチャが停止している状態でなければなりません。

[bit30] IRQZF :0 検出割込みフラグビット

IRQZF	機能	
	読出し時	書込み時
0	0 検出なし	本ビットをクリアする
1	0 検出あり	本ビットに影響を与えない

・16 ビットフリーランタイマのカウント値が"0x0000"のとき、本ビットには"1"がセットされます。
・本ビットに"0"を設定した場合 ： 本ビットはクリアされます。
・本ビットに"1"を設定した場合 ： 本ビットは影響を受けません。
・本ビットは 0 検出割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW) 系命令時には、必ず"1"が読み出されます。
16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)の、ソフトウェアクリア(タイマ状態制御レジスタ(TCCS)の SCLR:bit20 への"1"書込み)の場合、本ビットは設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1) 時は、割込みマスク選択ビット(タイマ状態制御レジスタ(TCCS)の MSI2 ～ MSI0:bit28 ～ bit26 が"000"以外)に設定した割込みが発生したときに本ビットに"1"が設定されます。割込みが発生しないときは、本ビットに"1"は設定されません。
アップカウントモード(MODE:bit21=0) 時には、MSI2 ～MSI0:bit28 ～ bit26 の値とは無関係に、本ビットは 0 検出が発生するたびに設定されます。
ソフトウェアクリア("0"書込み) または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit29] IRQZE : 0 検出割込み要求許可ビット

IRQZE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・本ビットと割込みフラグビット(IRQZF:bit30)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit28 ～ bit26] MSI2 ～ MSI0 : 割込みマスク選択ビット

MSI2	MSI1	MSI0	機能
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

・タイマ状態制御レジスタ(TCCS)の MODE2:bit11=0 のとき
  ・これらのビットは、アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0) 時には、コンペアクリア割込みのマスク回数を設定するために使用してください。アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1) 時は、0 検出割込みのマスク回数を設定するために使用してください。
  ・本ビットに"0"を設定した場合、割込み要因はマスクされません。
・タイマ状態制御レジスタ(TCCS)の MODE2:bit11=1 のとき
  ・これらのビットはアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1) 時は、0 検出割込みのマスク回数を設定するために使用してください。
  ・アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0)の設定は禁止します。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。
フリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)の、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。
フリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1) の、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit25] ICLR : コンペアクリア割込みフラグビット

ICLR	機能	
	読出し時	書込み時
0	コンペアクリア一致なし	本ビットをクリアする
1	コンペアクリア一致あり	本ビットに影響を与えない

・コンペアクリア値と 16 ビットフリーランタイマ値が一致した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。
・本ビットはコンペアクリア一致割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW) 系命令時には、必ず"1"が読み出されます。
アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0) 時は、割込みマスク選択ビットに設定した割込みが発生したときに本ビットに"1"が設定されます。
割込みが発生しないときは、本ビットに"1"は設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1) 時は、MSI2 ～ MSI0 ビットの値とは無関係に、本ビットはコンペアクリアが発生するたびに設定されます。
ソフトウェアクリア("0"書込み) または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit24] ICRE : **コンペアクリア割込み要求許可ビット**

ICRE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・本ビットとコンペアクリア割込みフラグビット(ICLR:bit25)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit23] BFE : **コンペアクリアバッファ許可ビット**

BFE	機能
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

・本ビットはコンペアクリアバッファレジスタ(CPCLRB)を有効にするために使用してください。
・本ビットに"0"を設定した場合:
コンペアクリアバッファレジスタ(CPCLRB)は無効になります。したがって、コンペアクリアレジスタ(CPCLR)に直接書き込むことが可能です。

・本ビットに"1"を設定した場合:
コンペアクリアバッファレジスタ(CPCLRB)は有効になります。コンペアクリアバッファレジスタ(CPCLRB)に書き込まれて保持されていたデータは、16 ビットフリーランタイマからのカウント値"0"が検出されると、コンペアクリアレジスタへ転送されます。

[bit22] STOP : **タイマ許可ビット**

STOP	機能
0	カウントを許可する(カウント開始する)
1	カウントを禁止する(カウント停止する)

・本ビットは、16 ビットフリーランタイマのカウントを停止/ 開始するために使用してください。
・本ビットに"0"を設定した場合:
16 ビットフリーランタイマのカウントを開始します。

・本ビットに"1"を設定した場合:
16 ビットフリーランタイマのカウントを停止します。

・フリーランタイマ停止中(本ビット=1)に、タイマ状態制御レジスタ(TCCS)の SCLR:bit20=1 としても、フリーランタイマは初期化されません。

[bit21] MODE : タイマカウントモードビット

MODE	機能
0	アップカウントモード
1	アップダウンカウントモード

・本ビットは、16 ビットフリーランタイマのカウントモードを選択するために使用してください。
・本ビットに"0"を設定した場合:
アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致して"0x0000"にリセットされるまでカウントアップし、その後、再びカウントアップします。

・本ビットに"1"を設定した場合:
アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致するまでカウントアップしてその後、ダウンカウントに変わります。その後、カウント値が"0x0000"に達した場合、再びアップカウントに変わります。

・本ビットは、タイマが動作中であっても停止されていても書込みが可能です。タイマが動作中の場合は、本ビットに書き込まれた値はバッファに入れられ、その後、タイマ値が"0x0000"になるとバッファの値によりカウントモードが変わります。

[bit20] SCLR : タイマクリアビット

SCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0x0000"に初期化

・本ビットは、16 ビットフリーランタイマを"0x0000"に初期化するために使用してください。
・16 ビットフリーランタイマの初期化:
16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0) に、本ビットに"1"を設定した場合、16 ビットフリーランタイマは、設定した次のカウントクロックにおいて"0x0000"に初期化されます。16 ビットフリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1) に、本ビットに"1"を設定した場合、16 ビットフリーランタイマは初期化されません。

・読出し値は、必ず"0"です。

＜注意事項＞

本ビットに"1"を書き込むことによるカウンタ初期化の場合、0 検出割込みは生成されません。
"1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。

[bit19 ～ bit16] CLK3 ～ CLK0 : クロック周波数選択ビット

CLK3	CLK2	CLK1	CLK0	機能					
				カウントクロック	φ=40MHz	φ=20MHz	φ=10MHz	φ=5MHz	φ=2.5MHz
0	0	0	0	φ	25ns	50ns	100ns	200ns	400ns
0	0	0	1	φ/2	50ns	100ns	200ns	400ns	800ns
0	0	1	0	φ/4	100ns	200ns	400ns	800ns	1.6µs
0	0	1	1	φ/8	200ns	400ns	800ns	1.6µs	3.2µs
0	1	0	0	φ/16	400ns	800ns	1.6µs	3.2µs	6.4µs
0	1	0	1	φ/32	800ns	1.6µs	3.2µs	6.4µs	12.8µs
0	1	1	0	φ/64	1.6µs	3.2µs	6.4µs	12.8µs	25.6µs
0	1	1	1	φ/128	3.2µs	6.4µs	12.8µs	25.6µs	51.2µs
1	0	0	0	φ/256	6.4µs	12.8µs	25.6µs	51.2µs	102.4µs
その他　設定禁止				-	-	-	-	-	-

・本ビットは、16 ビットフリーランタイマのカウントクロック周波数を選択するために使用してください。

＜注意事項＞

CLK3 ～ CLK0 ビットを設定する場合、必ずフリーランタイマが停止していることを確認してください。

[bit15 ～ bit12] Reserved: 予約ビット

- 読出し時、"0"が読み出されます。
- 書込み時、"0"を書いてください。

[bit11] MODE2 : 割込みマスクモードビット 2

MODE2	MODE	機能
0	0	MSI5～MSI3 の設定値は無効
0	1	MSI5～MSI3 の設定値は無効
1	0	設定禁止(動作は保証されません)
1	1	MSI5～MSI3 の設定値が有効

・本ビットは、16 ビットフリーランタイマがアップダウンカウントモード時(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)、0 検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用してください。
・タイマ状態制御レジスタ(TCCS)の MODE:bit21="1"のとき、本ビットに"1"を設定した場合、本レジスタの MSI5 ～ MSI3:bit10 ～ bit8 に設定した値が有効となり、コンペアクリア割込みを設定した回数、マスクします。0 検出割込みのマスク回数は、タイマ状態制御レジスタ(TCCS) の MSI2 ～ MSI0:bit28 ～ bit26 に設定した値が有効となります。

＜注意事項＞

タイマ状態制御レジスタ(TCCS)のMODE:bit21="0"のとき、本ビットに"1"を設定した場合、動作は保証されません。

[bit10 ～ bit8] MSI5 ～ MSI3 : コンペアクリア割込みマスク選択ビット

MSI5	MSI4	MSI3	機能
0	0	0	1 回目の一致が発生したときに割込み発生
0	0	1	2 回目の一致が発生したときに割込み発生
0	1	0	3 回目の一致が発生したときに割込み発生
0	1	1	4 回目の一致が発生したときに割込み発生
1	0	0	5 回目の一致が発生したときに割込み発生
1	0	1	6 回目の一致が発生したときに割込み発生
1	1	0	7 回目の一致が発生したときに割込み発生
1	1	1	8 回目の一致が発生したときに割込み発生

- 本ビットは、本レジスタのMODE2:bit11=1かつタイマ状態制御レジスタ(TCCS)のMODE:bit21=1のときのみ有効で、コンペアクリア割込みのマスク回数を設定するために使用してください。0検出割込みのマスク回数はタイマ状態制御レジスタ(TCCS)の MSI2～ MSI0:bit28 ～ bit26 に設定してください。
- 本ビットに"000"を設定した場合、コンペアクリア割込み要因はマスクされません。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。
フリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0) 時は、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。
フリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1) 時は、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit7 ～ bit0] Reserved: 予約ビット

必ず″1″を書き込んでください。

5. 動作説明

動作について説明します。

- **16 ビットフリーランタイマ**

  16 ビットフリーランタイマはカウント動作を許可することによって、タイマデータレジスタ(TCDT)に設定されている値からカウントアップを開始します。カウント値は、16 ビットインプットキャプチャの基準時間として使用されます。

5.1. 16 ビットフリーランタイマの割込み

16 ビットフリーランタイマの割込みについて説明します。

16 ビットフリーランタイマの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 16 ビットフリーランタイマの割込み制御ビットと割込み要因

	16 ビットフリーランタイマ	
	コンペアクリア	0 検出
割込み要求フラグビット	タイマ状態制御レジスタ (TCCS)の ICLR:bit25	タイマ状態制御レジスタ (TCCS)の IRQZF:bit30
割込み要求許可ビット	タイマ状態制御レジスタ (TCCS)の ICRE:bit24	タイマ状態制御レジスタ (TCCS)の IRQZE:bit29
割込み要因	16 ビットフリーランタイマ値がコンペアクリアレジスタ (CPCLR)と一致する	16 ビットフリーランタイマ値が"0x0000"になる

16 ビットフリーランタイマの値がコンペアクリアレジスタ(CPCLR)と一致した場合、タイマ状態制御レジスタ(TCCS)の ICLR:bit25 がセットされます。セット状態において割込み要求が許可(TCCS の ICRE:bit24=1)になった場合、割込み要求が割込みコントローラへ出力されます。

タイマ値が"0x0000"になった場合、タイマ状態制御レジスタ(TCCS)の IRQZF:bit30 がセットされます。

セット状態において割込み要求が許可(TCCS の IRQZE:bit29=1)になった場合、割込み要求が割込みコントローラへ出力されます。

5.2. 16 ビットフリーランタイマの動作

16 ビットフリーランタイマの動作について説明します。

16 ビットフリーランタイマは、リセット完了後、タイマデータレジスタ(TCDT)に設定されている値からカウントアップを開始します。カウント値は、16 ビットインプットキャプチャの基準時間として使用されます。

5.2.1. タイマクリア

タイマクリアについて説明します。

16 ビットフリーランタイマのカウント値は、下記のいずれかの場合にクリアされます。

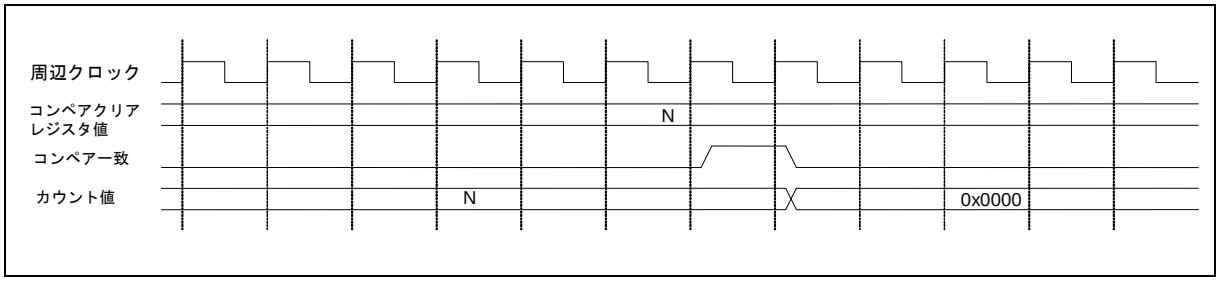
・アップカウントモード(TCCS レジスタの MODE:bit21=0)によってコンペアクリアレジスタとの一致が検出された場合
・動作中に TCCS レジスタの SCLR:bit20 に"1"が書き込まれた場合
・停止中に TCDT レジスタに"0x0000" が書き込まれた場合
・リセットされた場合

リセットされると、カウンタは直ちにクリアされます。タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR:bit20)に"1"が書込まれた場合、または、コンペアクリアレジスタとの一致が発生した場合は、 カウンタはカウントタイミングと同期してクリアされます。

＜注意事項＞

停止中に TCCS レジスタの SCLR:bit20 に"1"が書き込まれても、16 ビットフリーランタイマのカウント値はクリアされません。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)に TCDT レジスタに"0x0000"を書き込むと、意図しないカウントを行う場合があります。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)の TCDT レジスタの設定手順については「4.1.2. タイマデータレジスタ: TCDT0」を参照してください。

図 5-1 16 ビットフリーランタイマのクリアタイミング



5.2.2. タイマモード

タイマモードについて説明します。

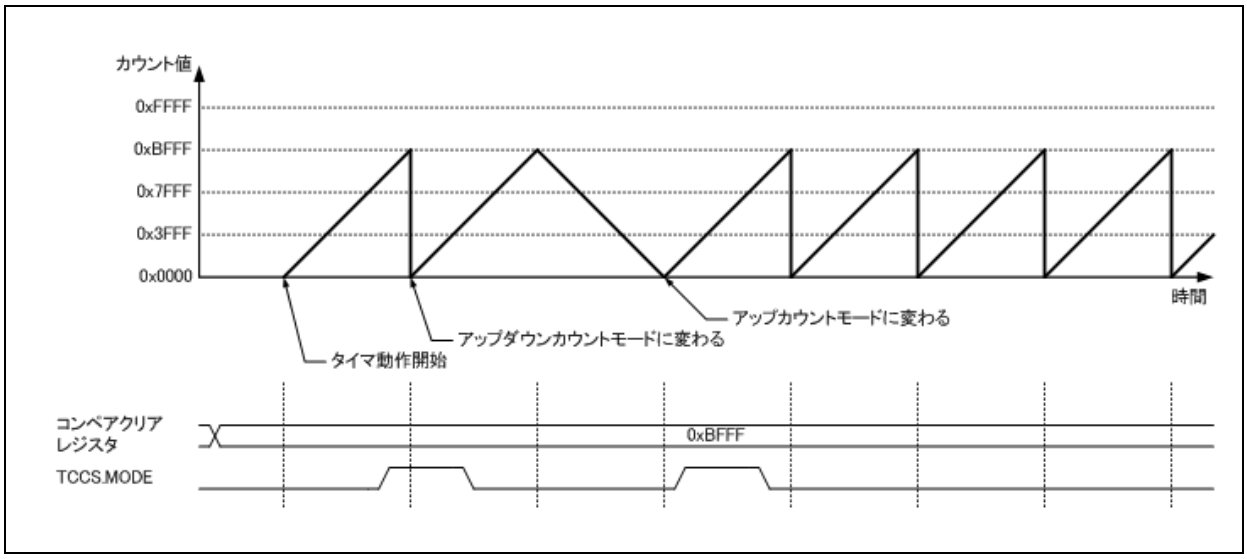
16 ビットフリーランタイマは、以下のどちらかのモードを選択できます。

・アップカウントモード(TCCS レジスタの MODE:bit21=0)
・アップダウンカウントモード(TCCS レジスタの MODE:bit21=1)
アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウンタは"0x0000"にクリアされて再びカウントアップします。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウンタ値が"0x0000"に達するまでカウントダウンして再びカウントアップします。

モードビット(TCCS レジスタの MODE:bit21)には、タイマが動作中であろうと停止していようと、いつでも値を書き込むことができます。タイマ動作中に本ビットに書き込まれた値はバッファに入れられ、カウントモードはタイマ値が"0x0000"になると変わります。

図 5-2 タイマ動作中にタイマモードを変える



5.2.3. コンペアクリアバッファ

コンペアクリアバッファについて説明します。

コンペアクリアレジスタ(CPCLR)には、有効または無効にできるバッファ機能が存在します。バッファ機能が有効(TCCS レジスタの BFE:bit23=1)の場合は、コンペアクリアバッファレジスタ(CPCLRB)に書き込まれたデータは、16 ビットフリーランタイマ値"0"が検出されると CPCLR レジスタに転送されます。バッファ機能が無効(TCCS ビットの BFE:bit23=0)の場合は、データは CPCLR レジスタに直接書き込むことができます。

図 5-3 コンペアクリアバッファが無効(TCCS レジスタ BFE:bit23=0) 時のアップカウントモードによる動作

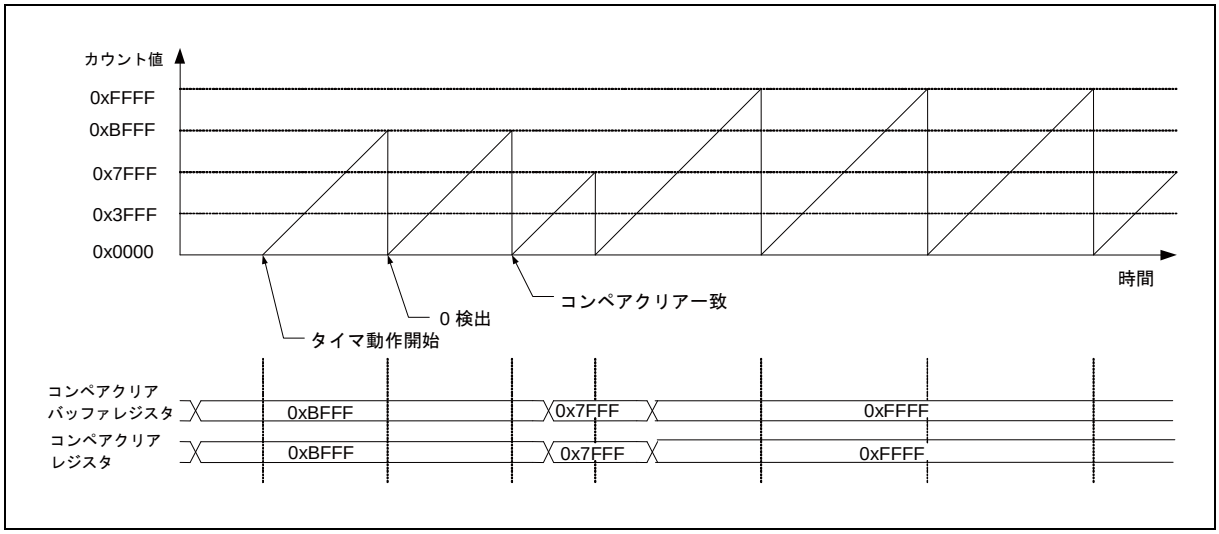


図 5-4 コンペアクリアバッファが有効(TCCS レジスタ BFE:bit23=1) 時のアップカウントモードによる動作

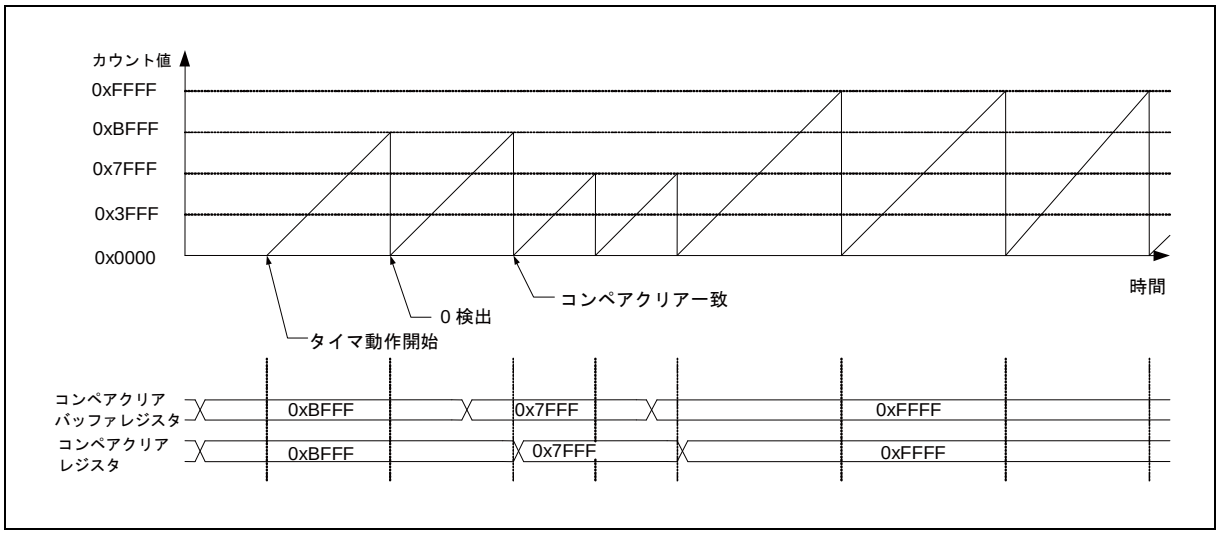
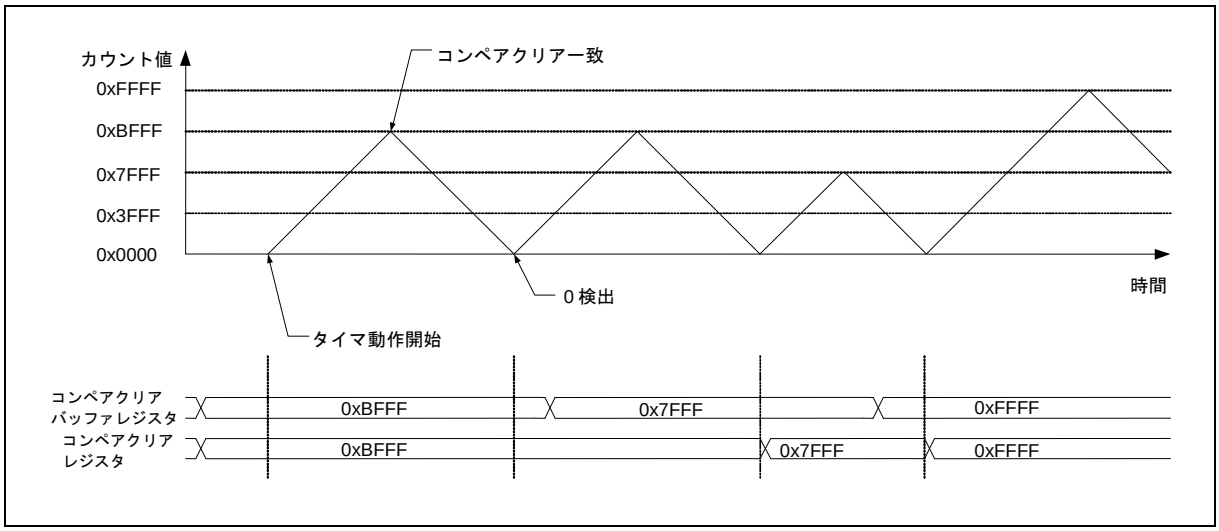


図5-5 コンペアクリアバッファが有効(TCCS レジスタ BFE:bit23=1) 時のアップダウンカウントモードによる動作



5.2.4. タイマ割込み

タイマ割込みについて説明します。

16 ビットフリーランタイマは、以下の 2 つの割込みを生成できます。

・コンペアクリア割込み
・0 検出割込み
コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致した場合、生成されます。

0 検出割込みは、タイマ値が"0x0000"に達した場合、生成されます。

＜注意事項＞

ソフトウェアクリア(TCCS レジスタの SCLR:bit20=1)は、0 検出割込みを生成しません。

図 5-6 アップカウントモード(TCCS レジスタ MODE:bit21=0)において生成された割込み

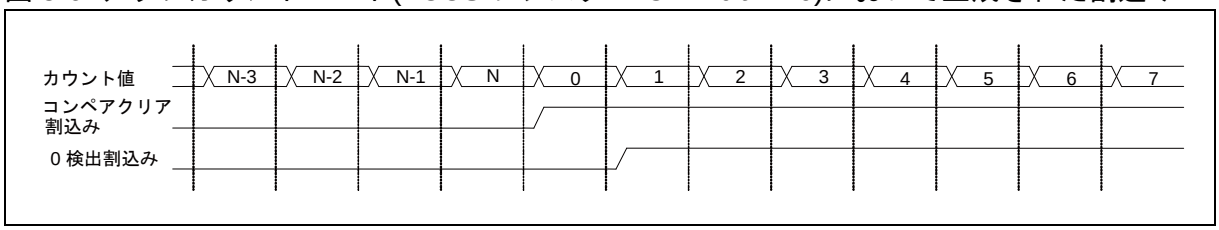
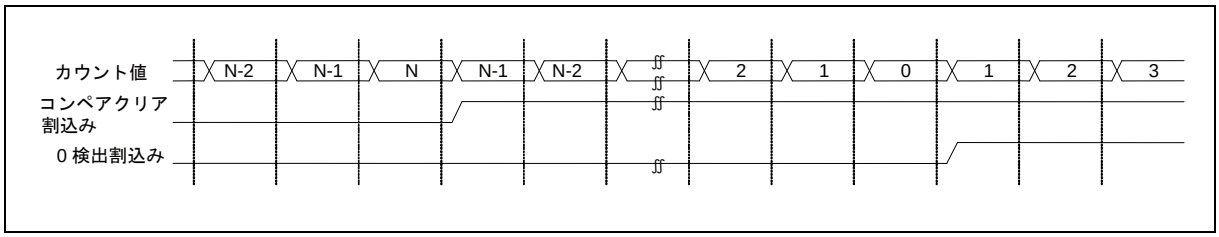


図 5-7 アップダウンカウントモード(TCCS レジスタ MODE:bit21=1)において生成された割込み



5.2.5. 割込みマスク機能

割込みマスク機能について説明します。

0検出割込み/コンペアクリア割込みのどちらか1つ、もしくは両方をマスクできます。以下にどちらか1つの割込みをマスクする場合について説明します。

- TCCS レジスタの MSI2 ～ MSI0:bit28 ～ bit26 を設定することによって、割込み要求をマスクできます。MSI2 ～ MSI0 ビットは、カウント値が"000"に達することによって値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ～ MSI0 ビットに直接書くことによってもロードできます。マスクカウントは、MSI2 ～ MSI0 に設定された値です。MSI2 ～ MSI0 ビットが"000"になった場合、割込み要求はマスクされません。
- 割込み要求はカウントモード(TCCS レジスタの MODE:bit21)によって異なります。アップカウントモード時は、コンペアクリア割込みのみをマスクでき、0 検出割込みは"0"が検出されるたびに生成されます。アップダウンカウントモード時は 0 検出割込みのみをマスクできます。

以下に両方の割込み要求をマスクする場合について説明します。

- フリーランタイマがアップダウンカウントモード時のみ、TCCS レジスタの MODE2=1 かつ TCCS レジスタの MODE=1 に設定した場合、両方の割込みマスクができます。

0 検出割込みマスク用には TCCS レジスタの MSI2 ～ MSI0 ビットを、コンペアクリア割込みマスク用には TCCS レジスタの MSI5 ～ MSI3 ビットを使用してください。

＜注意事項＞

ソフトウェアクリア(TCCS レジスタの SCLR:bit20=1)は、0 検出割込みを生成しません。

図 5-8 アップカウントモードにおいてマスクされるコンペアクリア割込み

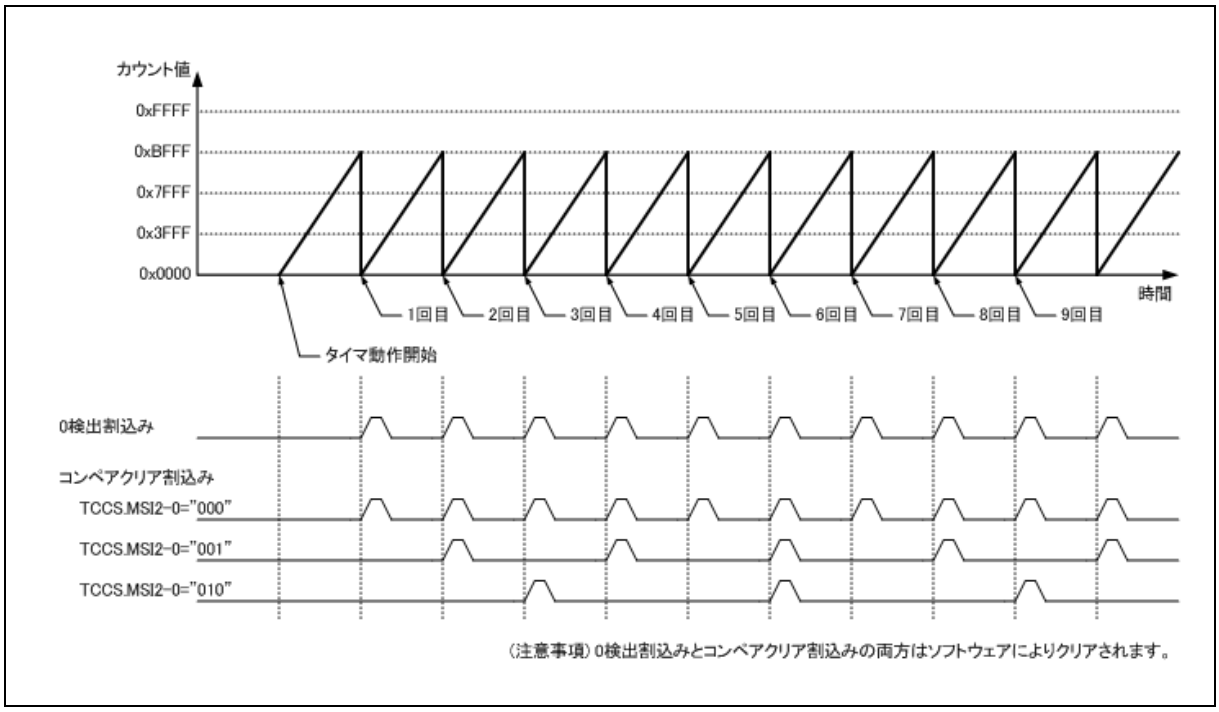
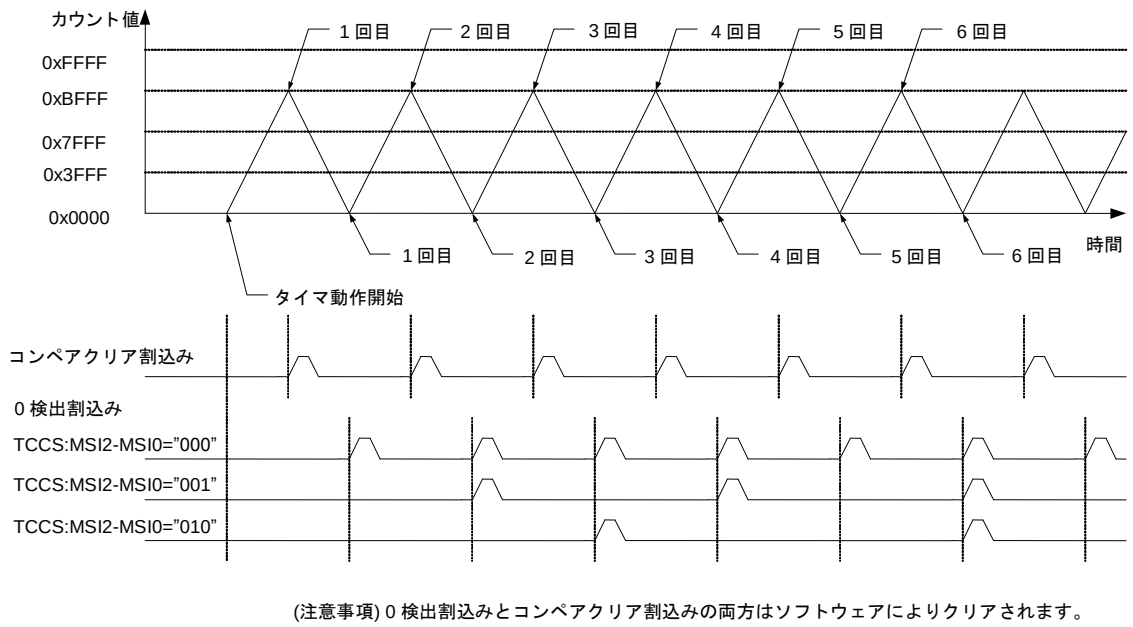
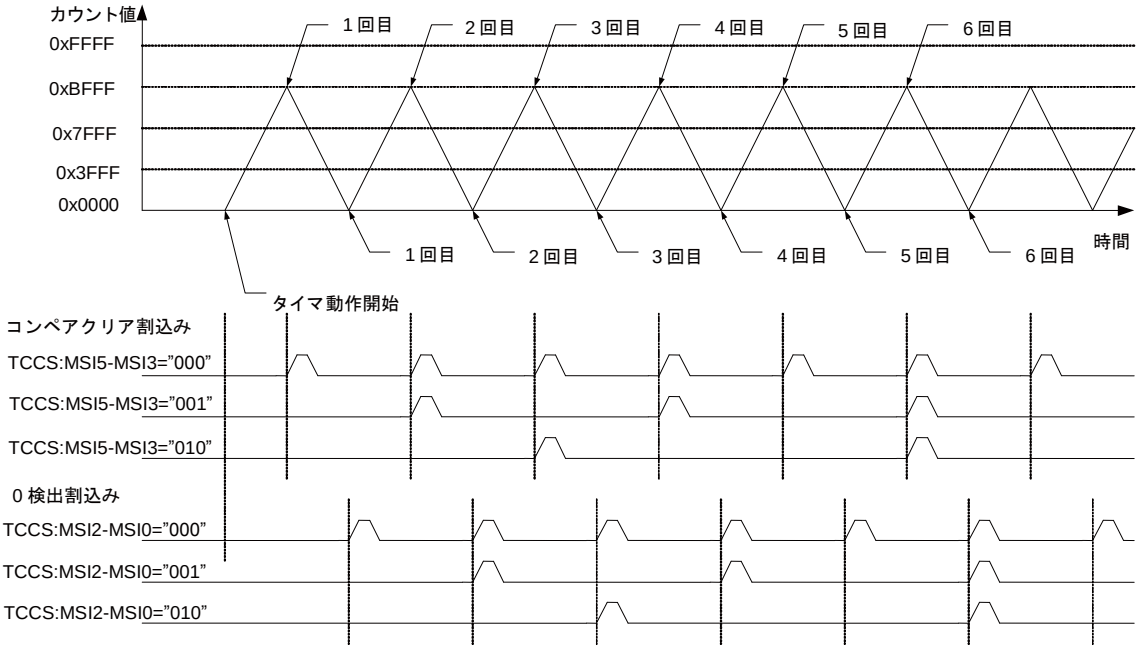


図 5-9 アップダウンカウントモードにおいてマスクされる 0 検出割込み



(注意事項) 0 検出割込みとコンペアクリア割込みの両方はソフトウェアによりクリアされます。

図 5-10 アップダウンカウントモードにおいてマスクされる 0 検出割込みとコンペアクリア割込み



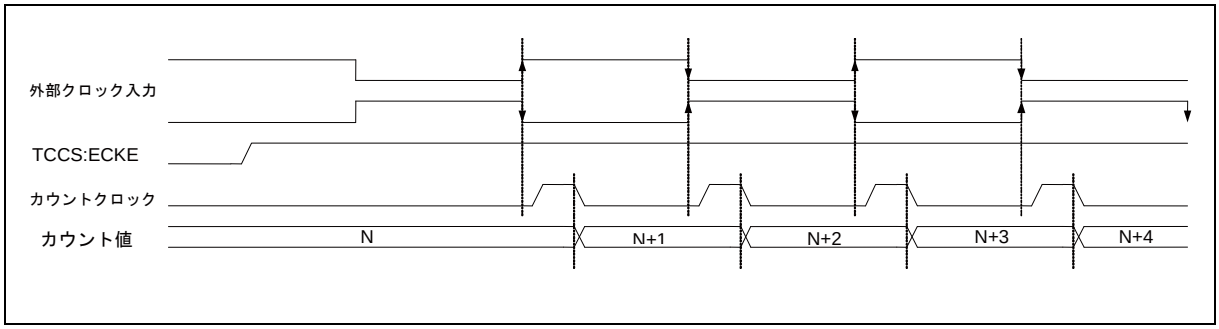
(注意事項) 0 検出割込みとコンペアクリア割込みの両方はソフトウェアによりクリアされます。

5.2.6. 選択された外部カウントクロック

選択された外部カウントクロックについて説明します。

16 ビットフリーランタイマは、入力クロック(周辺クロックまたは外部クロック)に基づいてインクリメントされます。外部クロックが選択されると、外部クロックモード(TCCS レジスタの ECKE:bit31=1)が選択された後、16 ビットフリーランタイマは外部クロック入力の初期値が"1"の場合、立上りエッジによっておいてトアップを開始します。その後は両エッジにおいてカウントアップします。外部クロック入力の初期値が"0"の場合、立下りエッジによってカウントアップを開始します。その後は両エッジにおいてカウントアップします。

図 5-11 16 ビットフリーランタイマのカウントタイミング



＜注意事項＞

外部クロック入力のカウントは、外部クロックの両エッジとなります。

5.3. 動作仕様注意事項

動作の注意事項について説明します。

5.3.1. バッファレジスタへアクセス時の注意

バッファレジスタへアクセス時の注意について説明します。

フリーランタイマ内のCPCLRレジスタにはバッファ機能があります。本レジスタに対して、リードモディファイライト系命令によるアクセスは行わないでください。

5.3.2. 16 ビットフリーランタイマの使用上の注意

16 ビットフリーランタイマの使用上の注意について説明します。

● プログラムによる設定上の注意

- リセットを実行した場合、タイマ値が"0x0000"になりますが、0検出割込みフラグは設定されません。
- タイマモードビット(TCCS レジスタの MODE)には、バッファがあるため、0 検出後に変更されたタイマモードが有効になります。
- ソフトウェアクリア(TCCS レジスタの SCLR=1)はタイマを初期化しますが、0 検出割込みを生成しません。
- コンペア値とカウント値が一致しているときにカウントを開始する場合は、コンペアクリアフラグは設定されません。
- コンペア値は、"0x0000"以外の値となるように設定してください。仮に設定した場合は、以下の動作となりますので、ご注意ください。
  - タイマモードビット(TCCS レジスタの MODE)がアップカウントモードのときは、タイマ値が"0x0000"に更新されてからタイマ値は"0x0000"固定となります。0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとに設定され続けます。
  - タイマモードビット(TCCS レジスタの MODE)がアップダウンカウントモードのときは、タイマ値は"0x0000"から"$FFFF_H$"までのアップカウント動作を繰り返します。0 検出割込みフラグとコンペアクリアフラグはタイマ値が"0x0000"と一致することによって設定されます。

● TCCS レジスタアクセス時の注意

- リードモディファイライト系命令の場合、MSI2 ～ MSI0/MSI5 ～ MSI3からは設定値が読み出されます。
- 通常の読出し時の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からはカウンタ値が読み出されます。

CHAPTER: 16 ビットインプットキャプチャ

16 ビットインプットキャプチャについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

16 ビットインプットキャプチャの概要について説明します。

1 チャネルの 16 ビットインプットキャプチャが搭載されています。

2. 特長

16 ビットインプットキャプチャの特長について説明します。

■ 16 ビットインプットキャプチャの機能

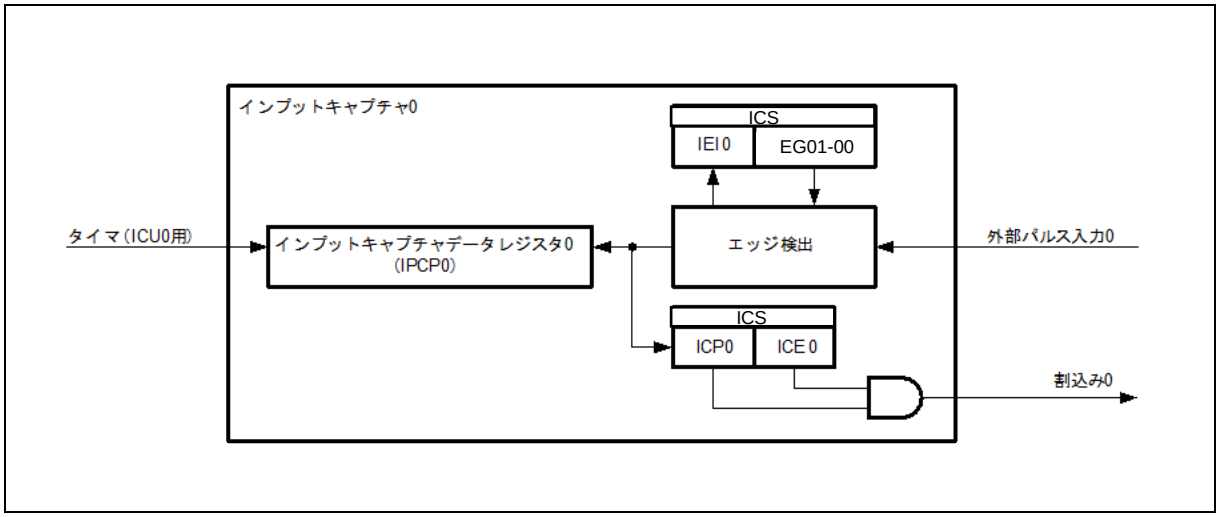
・16 ビットインプットキャプチャは、1 つの外部入力端子と、この端子に対応するインプットキャプチャレジスタおよびキャプチャ制御レジスタから構成されています。外部入力信号のエッジを検出した場合、16 ビットフリーランタイマの値をインプットキャプチャレジスタへ格納することができ、また、割込みも同時に生成されます。
  ・外部入力信号の 3 種類のトリガエッジ(立上りエッジ, 立下りエッジおよびその両方のエッジ) を選択することができ、また、トリガエッジが立上りエッジであるか立下りエッジであるかを示すレジスタがあります。
  ・割込みは外部入力信号からの有効エッジが検出されると生成されます。
  ・各コンペアユニットに対応するフリーランタイマのチャネルを任意に設定できます。
  ・インプットキャプチャが 1 チャネルあり、フリーランタイマ 0 をインプットキャプチャ 0 用入力として選択できます。

3. 構成

16 ビットインプットキャプチャの構成について説明します。

■ 16 ビットインプットキャプチャの構成

図 3-1 インプットキャプチャの構成



4. レジスタ

16 ビットインプットキャプチャのレジスタについて説明します。

■ 外部端子表

表 4-1 16 ビットインプットキャプチャの外部端子表

チャネル	外部端子(外部パルス入力)
0	ICU

■ 16 ビットインプットキャプチャのレジスター覧

表 4-2 16 ビットインプットキャプチャのレジスター覧

アドレス	+0	+1	+2	+3
0x0000127C	インプットキャプチャデータレジスタ 0 (IPCP0)		予約	
0x00001280	インプットキャプチャ状態制御レジスタ 01 (ICS)		予約	LIN SYNCH FIELD 切換えレジスタ (LSYNS)

4.1. 16 ビットインプットキャプチャのレジスタ

16 ビットインプットキャプチャのレジスタについて説明します。

16 ビットインプットキャプチャには、インプットキャプチャデータレジスタおよびインプットキャプチャ状態制御レジスタがあります。

4.1.1. インプットキャプチャデータレジスタ ：IPCP0

16 ビットインプットキャプチャのレジスタについて説明します。

インプットキャプチャデータレジスタ(IPCP) は、入力波形の有効エッジが検出されたときのフリーランタイマのカウント値を保持するために使用します。

■ IPCP0: アドレス 127CH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

【bit15 ～ bit0】CP15 ～ CP00: フリーランタイマ値

CP15～CP00	機能
	フリーランタイマ値

- このレジスタは、対応する外部端子入力波形の有効エッジが検出されたときのフリーランタイマ値を格納するために使用します。
- 以上の説明中のフリーランタイマはインプットキャプチャが選択しているフリーランタイマの動作状態についてです。

＜注意事項＞

本レジスタへアクセスする場合は、16 ビットもしくは 32 ビットアクセス命令をご使用ください。本レジスタにデータを書き込むことはできません。

4.1.2. インプットキャプチャ状態制御レジスタ ：ICS

インプットキャプチャ状態制御レジスタのビット構成について示します。

インプットキャプチャ状態制御レジスタ(ICS)は、エッジ選択, 割込み要求許可および割込み要求フラグを制御するために使用します。また、インプットキャプチャにおいて検出された有効なエッジを示すためにも使用します。

■ ICS: アドレス 1280H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						予約	IEI0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICP0	予約	ICE0	予約	予約	EG01	EG00
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R(RM1),W	R0,W0	R/W	R0,W0	R0,W0	R/W	R/W

【bit15 ～ bit10】予約ビット

必ず"0 "を書き込んでください。

【bit9】予約ビット

常に"0 "が読み出されます。書込みは動作に影響ありません。

【bit8】IEI0:有効エッジ指示ビット

IEI0	機能
0	立下りエッジが検出される
1	立上りエッジが検出される

- このビットは、インプットキャプチャレジスタ(IPCP)の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると、このビットに"0"が書き込まれます。
- 立上りエッジが検出されると、このビットに"1"が書き込まれます。
- このビットは読出し専用ビットです。

＜注意事項＞

インプットキャプチャ状態制御レジスタ(ICS)の EG01-00:bit1, bit0=00_B の場合、読出し値は意味がありません。

【bit7】予約ビット

必ず"0"を書き込んでください。

【bit6】ICP0: 割込み要求フラグビット

ICP0	機能	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

・このビットは、インプットキャプチャの割込み要求フラグとして使用します。
・このビットは、外部入力端子の有効エッジが検出されると直ちに"1"が設定されます。
・割込み要求許可ビット(ICE0:bit4)が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。

・このビットに"0"を書き込んだ場合 : このビットはクリアされます。
・このビットに"1"を書き込んだ場合 : このビットは影響を受けません。
・リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。

＜注意事項＞

ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

【bit5】予約ビット

必ず"0"を書き込んでください。

【bit4】ICE0: 割込み要求許可ビット

ICE0	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・このビットは、インプットキャプチャのインプットキャプチャ割込み要求を許可するために使用します。
・このビットに"1"が設定されている間に割込み要求フラグビット(ICP0:bit6)が設定されると、インプットキャプチャ割込みが生成されます。

【bit3, bit2】予約ビット

必ず"0"を書き込んでください。

【bit1, bit0】EG01-00：エッジ選択ビット

EG01	EG00	機能
0	0	エッジは検出されない (停止)
0	1	立上りエッジが検出される
1	0	立下りエッジが検出される
1	1	両方のエッジが検出される

・これらのビットは、インプットキャプチャの外部入力の有効エッジ極性を指定するために使用します。
・これらのビットは、インプットキャプチャの動作を有効にするためにも使用します。

4.1.3. LIN SYNCH FIELD 切換えレジスタ ： LSYNS

LIN SYNCH FIELD 切換えレジスタのビット構成について示します。

LIN SYNCH FIELD 切換えレジスタ(LSYNS)は、LIN の連携制御をするのに使用します。

■ LSYNS: アドレス 1283H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					LSYN2	LSYN1	LSYN0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

【bit7 ～ bit3】予約
必ず"0"を書き込んでください。

【bit2 ～ bit0】LSYN2～LSYN0: インプットキャプチャ 0 入力選択

LSYN2	LSYN1	LSYN0	機能
0	0	0	外部端子入力(ICU)
0	0	1	マルチファンクションシリアルインタフェース ch.0 からの Lin Synch Field 検出信号を入力
0	1	0	マルチファンクションシリアルインタフェース ch.1 からの Lin Synch Field 検出信号を入力
0	1	1	マルチファンクションシリアルインタフェース ch.2 からの Lin Synch Field 検出信号を入力
その他			設定禁止(動作を保障しません)

・このビットは、マルチファンクションシリアルインタフェース ch.2 ～ ch.0 からの Lin SynchField を許可するために使用します。

5. 動作説明

動作について説明します。

5.1. 16 ビットインプットキャプチャの割込み

5.2. 16 ビットインプットキャプチャの動作

5.3. 16 ビットインプットキャプチャの使用上の注意

5.1. 16 ビットインプットキャプチャの割込み

16 ビットインプットキャプチャの割込みについて説明します。

16 ビットインプットキャプチャの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 16 ビットインプットキャプチャの割込み制御ビットと割込み要因

制御ビット	割込み要因
割込み要求 フラグビット	インプットキャプチャ状態 制御レジスタ(ICS)の ICP0:bit6
割込み要求 許可ビット	インプットキャプチャ状態 制御レジスタ(ICS)の ICE0:bit4
割込み要因	有効なエッジが IN 端子で検出される

16 ビットインプットキャプチャでは、有効なエッジが端子で検出されると、インプットキャプチャ状態制御レジスタ(ICS)の ICP0: bit6 に"1"が設定されます。この状態において割込み要求が許可(ICS の ICE0: bit4=1)になると、割込み要求は割込みコントローラへ出力されます。

5.2. 16 ビットインプットキャプチャの動作

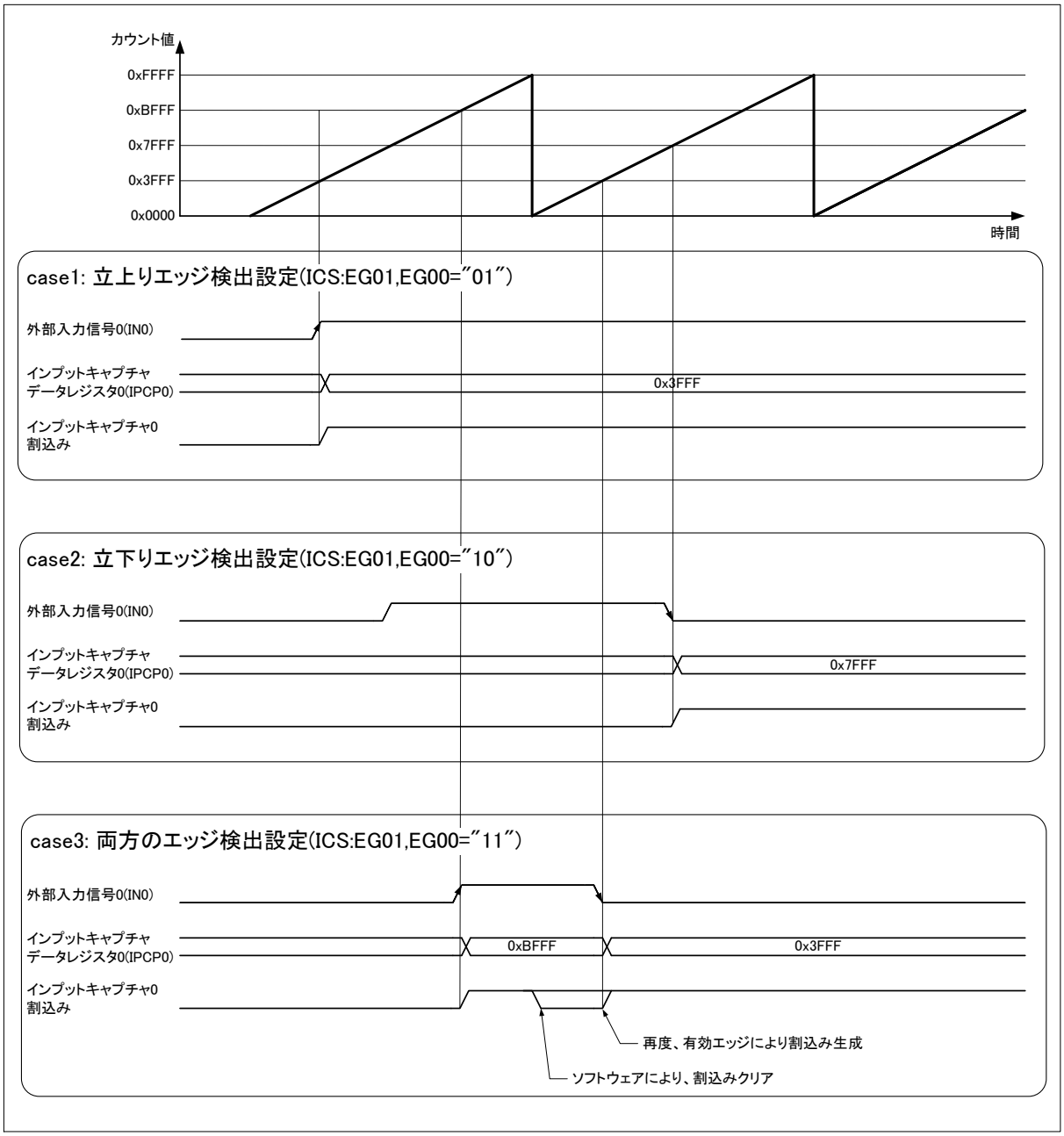
16 ビットインプットキャプチャの動作について示します。

インプットキャプチャは、指定された有効なエッジを検出するために使用します。有効なエッジが検出されると割込みフラグが設定され、16 ビットフリーランタイマの値がインプットキャプチャレジスタへロードされます。

5.2.1. 16 ビットインプットキャプチャの動作

16 ビットインプットキャプチャの動作について示します。

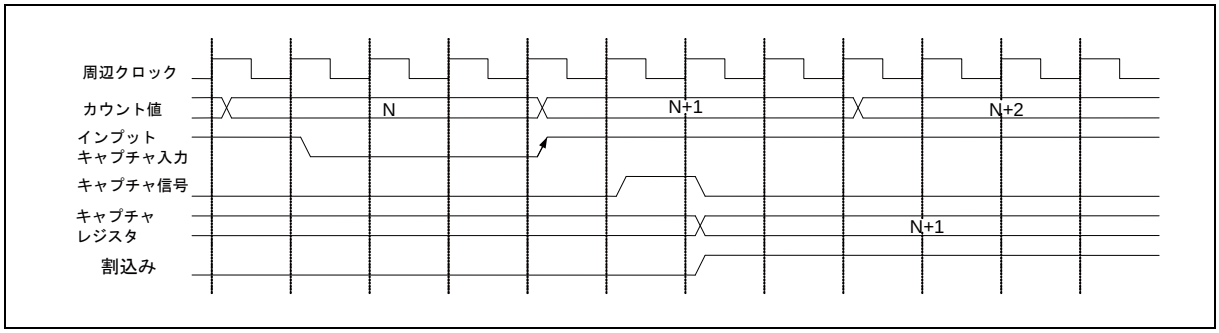
図 5-1 インプットキャプチャタイミング例



5.2.2. 16 ビットインプットキャプチャ入力タイミング

16 ビットインプットキャプチャ入力タイミングについて示します。

図 5-2 入力信号に対する 16 ビットインプットキャプチャタイミング例



5.3. 16 ビットインプットキャプチャの使用上の注意

16 ビットインプットキャプチャの使用上の注意について説明します。

インプットキャプチャ状態制御レジスタ(ICS)の ICP0 がビット設定されてから割込みルーチンが処理されるまでの間にインプットキャプチャ端子(IN)レベルが切り換わると、ICP0 の有効エッジ指示ビット(ICS レジスタの IEI0)は、検出された最新のエッジを示します。

- **インプットキャプチャレジスタ**
  インプットキャプチャレジスタからの読出しは、常に 16 ビットまたは 32 ビットアクセスを使用して行われる必要があります。
- **リードモディファイライト**
  リードモディファイライトを使用して読み出す場合は、インプットキャプチャ状態制御レジスタ(ICS)の ICP0 は"1"で読み出されます。
- **割込みの注意**
  インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(ICE0)に"1"を設定する前に、必ず割込みフラグ(ICP0)をクリアしてください。

CHAPTER: WDT1 補正(キャリブレーション)

WDT1 補正(キャリブレーション)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

WDT1 補正(キャリブレーション)の概要について説明します。

本モジュールを使用して、WDT1 用搭載 CR 発振回路の周波数の補正のための値を計算します。

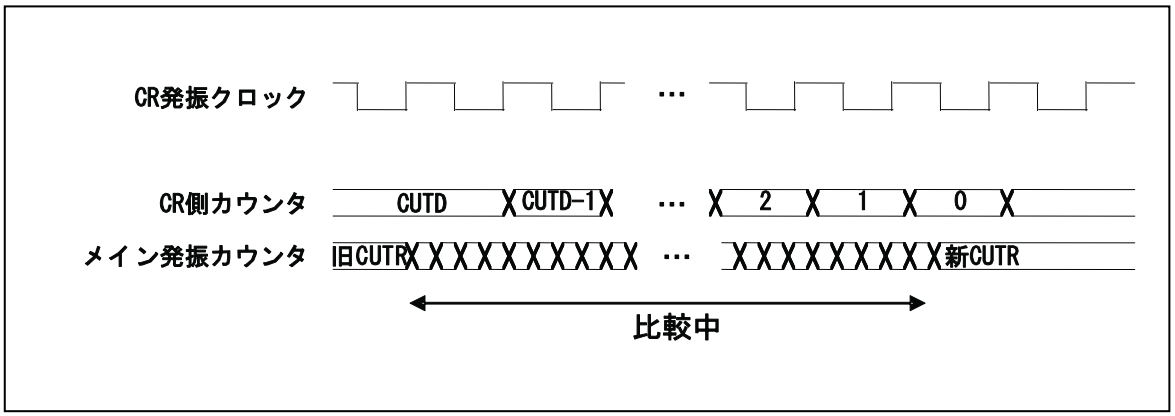
2. 特長

WDT1 補正(キャリブレーション)の特長について説明します。

● WDT1(CR クロック)補正

・本品種には CR クロック補正機能はありません。
本モジュール内のレジスタを使用して、CR クロックの誤差を測定できます。

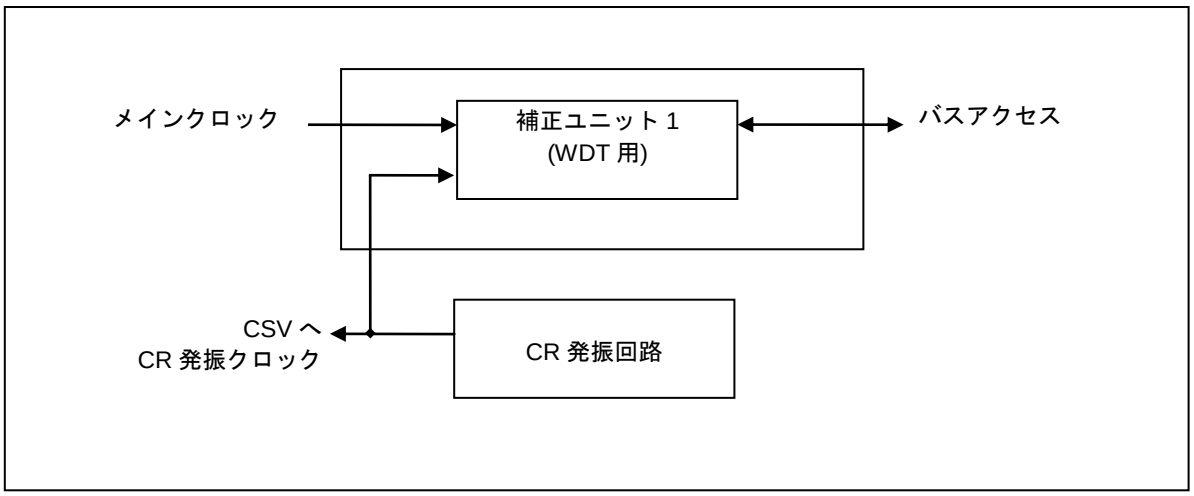
図 2-1 各クロック駆動カウンタ比較



3. 構成

WDT1 補正(キャリブレーション)の構成について説明します。

図 3-1 ブロック図



4. レジスタ

WDT1 補正(キャリブレーション)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04C0	予約	予約	予約	予約	予約
0x4C4	CUCR1		CUTD1		補正ユニット制御レジスタ 1 CR 発振タイマデータレジスタ
0x4C8	CUTR1				メイン発振タイマデータレジスタ 1

4.1. 補正ユニット制御レジスタ 1 : CUCR1 (Calibration Unit Control Register 1)

補正ユニット制御レジスタ 1 のビット構成について示します。

WDT 用補正ユニットの補正開始、割込みの設定をします。

■ CUCR1： アドレス 04C4$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約		STRT	予約		INT	INTEN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,WX	R0,WX	R,W	R0,WX	R0,WX	R,W0	R/W

[bit15～bit8] 予約

必ず"1"が読み出されます。書込みはほかの機能に影響しません。

[bit7] 予約

必ず"0"を書き込んでください。

[bit6, bit5, bit3, bit2] 予約

必ず"0"が読み出されます。書込みはほかの機能に影響しません。

[bit4] STRT (calibration STaRT) : 補正開始

メインクロック、CR クロック駆動カウンタを開始させます。比較が完了すると、INT ビットがセットされます。

STRT	機能
'0'書込み	比較を中止します
'1'書込み	比較を開始します

"0"をセットすると、比較を中止します。比較中に"1"書込みを行っても影響はありません。比較が完了すると、本ビットは"0"にクリアされます。

[bit1] INT (calibration INTerrupt) : 割込み

比較が完了すると、INT ビットが"1"に設定されます。INTEN ビットがセットされている場合は、割込みが発生します。本ビットは"0"書込みでクリアされます。

[bit0] INTEN (calibration INTerrupt Enable) : **割込み許可**

INT ビットがセットされた際の、割込みの有無を設定します。

INTEN	割込み
0	無効
1	有効

4.2. CR クロックタイマデータレジスタ ：CUTD1 (Calibration Unit Timer Data register 1)

CR クロックタイマデータレジスタのビット構成について示します。

CR クロック駆動カウンタ駆動期間を設定します。

■ CUTD1： アドレス 04C6$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDD[15:8]							
初期値	1	1	0	0	0	0	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDD[7:0]							
初期値	0	1	0	1	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TDD[15:0] (Timer Data Data field) : タイマデータ

比較期間を CR クロック数で設定します。

4.3. メイン発振タイマリザルトレジスタ 1 : CUTR1 (Calibration Unit Timer Result register 1)

メイン発振タイマリザルトレジスタ 1 のビット構成について示します。

CUTD1 で設定された期間内の、メインクロック駆動カウンタ数を表示します。

■ CUTR1 : アドレス 04C8$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	TDR[23:16]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDR[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31～bit24] 予約

必ず"0"が読み出されます。書込みは他の機能に影響しません。

[bit23～bit0] TDR[23:0] (Timer Data Register) : タイマデータ

比較期間内でカウントされたカウント数を表示します。比較完了後に読み出してください。比較中の読出し値は不定です。書込みは無効です。

5. 動作説明

動作について説明します。

5.1. CR クロックの誤差測定

5.2. 注意事項

5.1. CR クロックの誤差測定

CR クロックの誤差測定について示します。

誤差測定の手続きは以下のようになります。
(1) CUTD1 設定。
(2) CUCR1.INTEN セット
(3) CUCR1.STRT セット
(4) 割込み待ちループ
(5) 割込み発生
(6) CUTR1 読出し
(7) CUTR1: CUTD1 で、メインクロック周波数: CR クロック周波数の比が
計算できます。

5.2. 注意事項

注意事項について示します。

スタンバイモード移行などの要因が入った場合のカウンタ値は無効になります。STRT ビットに"0"書込みを行い停止させてから、もう一度"1"を書き込み、やりなおしてください。

$T_{OSC100} > 2 \times T_{OSC4} + 3 \times T_{CLKP}$ を満たす必要があります。

T_{OSC4} ： メインクロック周期

T_{OSC100} : CR 発振回路発振周期

T_{CLKP} ： 周辺クロック発振周期

CHAPTER: 消費電力制御

消費電力制御について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

1. 概要

消費電力制御の概要について説明します。

本品種は、多彩な低消費電力モードを持ち、状況に応じた消費電力制御を行えます。

2. 特長

消費電力制御の特長について説明します。

● クロック制御

・クロック分周
各動作クロックの分周比を変更し、動作周波数を落とすことができます。『クロック』の章を参照してください。

● スリープモード

・CPU スリープモード
CPU のみ動作を停止させることができます。
・バススリープモード
CPU およびオンチップバスの動作を停止させることができます。

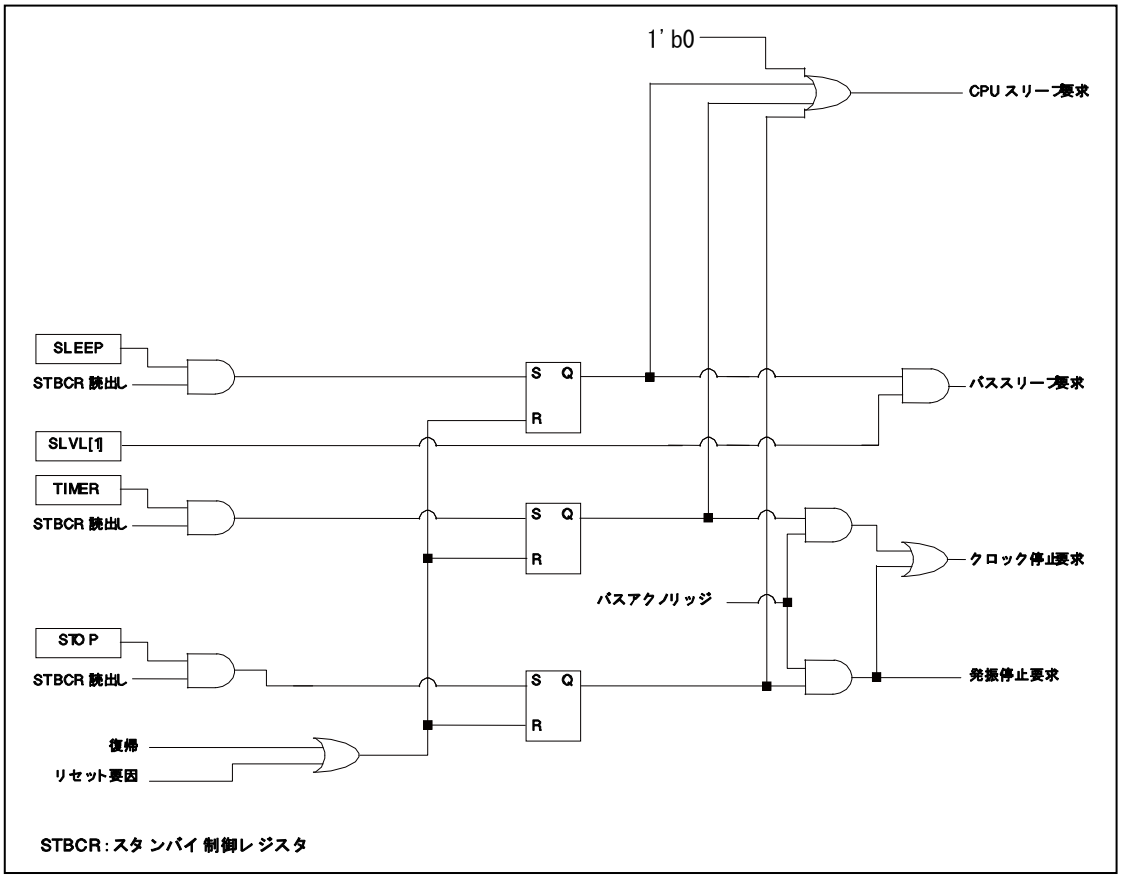
● スタンバイモード

・時計モード
特定のクロック発振とタイマ以外のすべての動作を停止させることができます。
・ストップモード
すべてのクロック発振と動作を停止させることができます。

3. 構成

消費電力制御の構成について説明します。

図 3-1 制御ブロックダイヤグラム



4. レジスタ

消費電力制御のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	予約	予約	STBCR	予約	スタンバイ制御レジスタ

＜注意事項＞

0x0480～0x0481 番地には、『リセット』のレジスタが割り当てられているので注意してください。
(『リセット』の章を参照してください。)

4.1. スタンバイ制御レジスタ ：STBCR (STandby mode Control Register)

スタンバイ制御レジスタのビット構成について示します。

各低消費電力モードの設定を行います。

■ STBCR： アドレス 0482$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STOP	TIMER	SLEEP	予約	予約		SLVL[1:0]	
初期値	0	0	0	0	0	0	1	1
属性	R,W	R,W	R,W	R0,W0	R0,W0	R0,W0	R/W	R/W

＜注意事項＞

本レジスタへの DMA による書込みは禁止です。

[bit7] STOP (STOP mode) : ストップモード許可

[bit6] TIMER (TIMER mode) : 時計モード許可

[bit5] SLEEP (SLEEP mode) : スリープモード許可

ストップ/時計/スリープの各スタンバイモードへの遷移を許可します。本ビットに下記に示す値を書き込んだ後、STBCR を読み出すことにより各モードへ遷移します。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない(初期値)
0	0	1	STBCR 読出しによりスリープモードへ遷移する
0	1	X	STBCR 読出しにより時計モードへ遷移する
1	X	X	STBCR 読出しによりストップモードへ遷移する

なお、各ビットの読出し値は、書き込んだ値にかかわらず以下のとおりとなります。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない
0	0	1	スリープモードへ遷移する
0	1	0	時計モードへ遷移する
1	0	0	ストップモードへ遷移する

各低消費電力モードからのウェイクアップ要因の発生により初期値へクリアされます。

[bit4] 予約

常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit3, bit2] 予約
常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit1, bit0] SLVL[1:0] (Standby LeVeL) : スタンバイレベル設定
各スタンバイモード、スリープモードにおける詳細動作を以下のように制御します。

モード	SLVL[1:0]	各動作制御
ストップモード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする
時計モード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする
スリープモード	0x	CPU スリープモード(CPU のみ停止)
	1x	バススリープモード(CPU、オンチップバス停止) *

* DMA 転送中のみはオンチップバスが動作します。

ハイインピーダンスされる端子については『付録』を参照してください。

5. 動作説明

消費電力制御の動作について説明します。

以下、本品種の消費電力制御機能について説明します。

5.1. クロック制御

クロック制御について示します。

本品種の各動作クロックを調整することで、消費電力と処理能力の最適化を行うことができます。

5.1.1. 分周設定

分周設定について示します。

『クロック』の章を参照してください。

5.2. 各低消費電力モードにおけるクロック供給一覧

各低消費電力モードにおけるクロック供給一覧について示します。

表 5-1 各低消費電力モードにおけるクロック供給一覧

クロック	スタンバイ		スリープ	
	ストップ	時計	バス	CPU
CPU クロック(CCLK)	○	○	○	×
CAN プリスケーラクロック	○	○	*1	×
オンチップバスクロック (HCLK)	○	○	○	×
周辺クロック(PCLK)	○	○	×	×
PLL クロック(PLLCLK)	○	○	×	×
メインクロック(MCLK)	○	×	×	×
CR 発振	○ *3	○ *3	×*2	×*2

○： 停止します。
×： 停止しません。(メイン・PLL が各クロック設定レジスタで停止させているときはそれに従います。)

*1 :CAN プリスケーラクロックにオンチップバスクロック(HCLK)が選択されている場合に停止します。PLL 出力が選択されている場合は、PLL 出力に従います。それ以外の場合は停止しません。

*2 :スリープモード中は、CR 発振は停止しませんが、ウォッチドッグタイマ 1(HWWDT)は停止します。

*3 :CR 発振をスタンバイ時に停止させるには、あらかじめ設定が必要です。『クロックスーパバイザ』の章の CSVCR.RCE の記述を参照してください。

5.3. スリープモード

スリープモードについて示します。

スリープモードは、CPU やオンチップバスを停止させ、ペリフェラルのみ動作させるモードです。スリープモードには、停止させる範囲の違いにより、以下のモードがあります。

・CPU スリープモード　　: CPU のみを停止します。
・バススリープモード　　: CPU とオンチップバスを停止します。

ウェイクアップ要求が発生するまで、停止状態を継続します。ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰できます。

以下、各モードの動作を説明します。

5.3.1. CPU スリープモード

CPU スリープモードについて示します。

CPU スリープモードは、CPU 動作を停止させるモードです。

本モードでは、DMA コントローラやオンチップバスは動作を継続できますが、その分バススリープモードより多くの電力を消費します。

5.3.2. バススリープモード

バススリープモードについて示します。

バススリープモードは、CPU およびオンチップバスを停止させるモードです。本モードでは、CPU クロック(CCLK)およびオンチップバスクロック(HCLK)は停止します。

バススリープモード中に DMA 転送要求を受け付けると、一時的にオンチップバスクロック(HCLK)の供給を再開し、DMA 転送を行います。DMA 転送が終了後、再度オンチップバスクロック(HCLK)を停止します。

本モードでは、CPU スリープモードより消費電力を低減できますが、DMA 転送要求に対するレスポンスが若干低下します。

5.3.3. スリープモードの設定

スリープモードの設定について示します。

スリープモードを起動する際、STBCR レジスタの bit1:SLVL1 へ設定する値により、スリープモードのレベルを選択します。

・STBCR レジスタの bit1:SLVL1= "0"時、CPU スリープモードとなります。
・STBCR レジスタの bit1:SLVL1= "1"時、バススリープモードとなります。

5.3.4. スリープモードの起動

スリープモードの起動について示します。

スリープモードは、以下の手順で起動します。

・STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"001"を書込みする
・STBCR を読出しする

FR81S コアは、リード値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、スリープモードに入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] スリープモード起動のサンプルプログラム

```
        LDI     #value_of_sleep, R0   ; SLEEP ビット="1", SLVL 設定
        LDI     #_STBCR, R12          ;
        STB     R0, @R12              ; ライト
        LDUB    @R12, R0              ; リード (スリープの起動)
        MOV     R0, R0                ; パイプライン調整のためのダミー処理
        NOP                           ; パイプライン調整のためのダミー処理
```

5.3.5. スリープモードからのウェイクアップ

スリープモードからのウェイクアップについて示します。

スリープモードは、以下の条件により終了します。

・リセット
・対応する ICR レジスタ値が"0x1F"以外の割込み要求の発生
・NMI 要求の発生
・ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、スリープモードを起動した次の命令より、プログラムを続行します。

バススリープモードでは、DMA 転送要求の発生によりオンチップバスクロック(HCLK)を一時的に復帰させ、DMA 転送を行います。DMA 転送の終了後、再度オンチップバスクロック(HCLK)を停止します。

5.3.6. スリープモードの効果

スリープモードの効果について示します。

スリープモードにより、ペリフェラルや外部入力のイベント待ち状態での消費電力を大幅に低減できます。周辺クロック(PCLK)は動作するため、時計モードやストップモードほどの消費電力低減はできません。反面、ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰できます。

5.4. スタンバイモード : 時計モード

スタンバイモード : 時計モードについて示します。

時計モードは、特定のクロック発振のみを継続し、そのクロックに対応したクロックタイマのみをカウントさせるモードです。

＜注意事項＞

- スタンバイモードに入るのは、メイン RUN 時のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.7 不正スタンバイモード移行」を参照してください。
- FLASH プログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.4.1. 時計モードの設定

時計モードの設定について示します。

時計モードを起動する前に、STBCR レジスタの bit1:SLVL1 により、時計モード中の外部端子の状態を設定します。

・STBCR レジスタの bit1:SLVL1= "0"時、外部端子は直前状態の保持となります。
・STBCR レジスタの bit1:SLVL1= "1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

5.4.2. 時計モードの起動

時計モードの起動について示します。

時計モードは、以下の手順で起動します。

・PLL RUN 時の場合、メイン RUN に遷移します。
・STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に"010"を書込みます。
・STBCR レジスタを読出します。

FR81S コアは、リード値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、時計モードに入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] 時計モード起動のサンプルプログラム

```
LDI     #value_of_timer, R0   ; TIMER ビット="1", SLVL 設定
LDI     #_STBCR, R12          ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード(時計モードの起動)
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                           ; パイプライン調整のためのダミー処理
```

5.4.3. 時計モードからのウェイクアップ

時計モードからのウェイクアップについて示します。

時計モードは、以下の条件により終了します。

- リセット
- 対応する ICR レジスタ値(『割込み制御(割込みコントローラ)』の章を参照)が"0x1F"以外の割込み要求の発生
- NMI 要求の発生
- ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、時計モードを起動した次の命令より、プログラムを続行します。

5.4.4. 時計モードの効果

時計モードの効果について示します。

時計モードにより、外部入力のイベント待ち状態での消費電力を大幅に低減できます。許可されたクロックの発振は動作するため、ストップモードほどの消費電力低減はできません。反面、クロックタイマを動作させることもでき、またウェイクアップ要求の発生により、ストップモードからの復帰に比べて短時間でプログラム動作へ復帰できます。

5.5. スタンバイモード:ストップモード

スタンバイモード:ストップモードについて示します。

ストップモードは、すべてのクロック発振を停止し、本品種の消費電力を最少にするモードです。

＜注意事項＞

- スタンバイモードに入るのは、メイン RUN のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.7 不正スタンバイモード移行」を参照してください。
- FLASH プログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.5.1. ストップモードの設定

ストップモードの設定について示します。

ストップモードを起動する前に、STBCR レジスタの bit1:SLVL1 により、ストップモード中の外部端子の状態を設定します。

・STBCR レジスタの bit1:SLVL1="0"時、外部端子は直前状態の保持となります。
・STBCR レジスタの bit1:SLVL1="1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

5.5.2. ストップモードの起動

ストップモードの起動について示します。

ストップモードは、以下の手順で起動します。

・PLL RUN 時の場合、メイン RUN に遷移します。
・STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"100"を書込みます。
・STBCR レジスタを読出します。

FR81S コアは、リード値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、ストップモードに入る前に、命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例]ストップモード起動のサンプルプログラム

```
        LDI     #value_of_stop, R0    ; STOP ビット="1", SLVL 設定
        LDI     #_STBCR, R12          ;
        STB     R0, @R12              ; ライト
        LDUB    @R12, R0              ; リード(ストップモードの起動)
        MOV     R0, R0                ; パイプライン調整のためのダミー処理
        NOP                           ; パイプライン調整のためのダミー処理
```

5.5.3. ストップモードからのウェイクアップ

ストップモードからのウェイクアップについて示します。

ストップモードは、以下の条件により終了します。

・リセット
・対応する ICR レジスタ値(『割込み制御(割込みコントローラ)』の章を参照)が"0x1F"以外の割込み要求の発生
・NMI 要求の発生
・ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、ストップモードを起動した次の命令より、プログラムを続行します。

5.5.4. ストップモードの効果

ストップモードの効果について示します。

ストップモードにより、外部入力のイベント待ち状態での消費電力を最小化できます。反面、ウェイクアップ要求の発生後、プログラム動作へ復帰するまでには、発振安定待ち時間を必要とします。

5.6. マイコン停止状態

マイコン停止状態について示します。

スタンバイモード(時計モード・ストップモード)移行禁止状態からスタンバイへの移行を制御しようとしたとき、スタンバイ移行が完結しません。

＜スタンバイ移行禁止状態＞

① OCD 接続中

② PLL 動作中

＜マイコン停止状態で行われないスタンバイ制御＞

③ フラッシュメモリ省電力制御

④ 発振停止(ストップモードのとき)

ただし、PLL 動作中にスタンバイモード移行制御を行ったときには、不正スタンバイモード移行を検出して、発振停止動作を行います。不正スタンバイモード移行については、「5.7 不正スタンバイモード移行」を参照してください。

5.7. 不正スタンバイモード移行

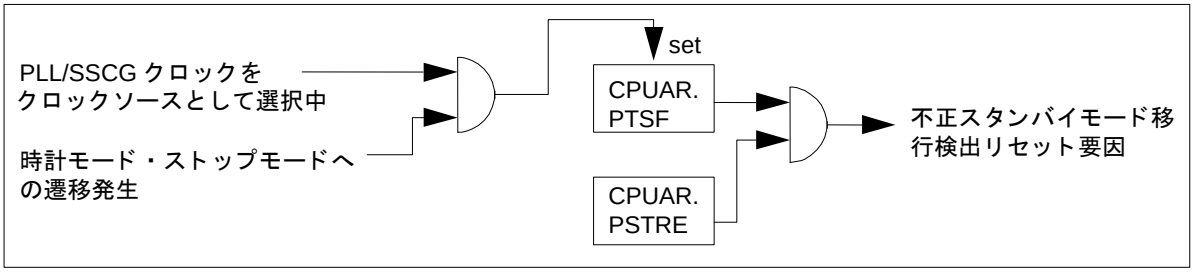
不正スタンバイモード移行について示します。

PLL ラン状態からスタンバイモード(時計モード・ストップモード)への遷移を行うと、スタンバイモードに設定され、PLL 発振安定は解除されます。(不正スタンバイモード移行)

スタンバイモードからの復帰後は CSELR.CKS[1:0]=00 および CMONR.CKM[1:0]=00(メインクロックの 2 分周)になります。

また、スタンバイモード移行と同時に CPUAR レジスタの PSTF フラグがセットされます。CPUAR レジスタの PSTRE ビットがセットされている場合は、不正スタンバイモード移行検出リセット要因によるリセットが発生します。CPUAR レジスタについては『リセット』の章の『CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register)』を参照してください。

図 5-1 不正スタンバイモード移行検出リセット要因の生成図

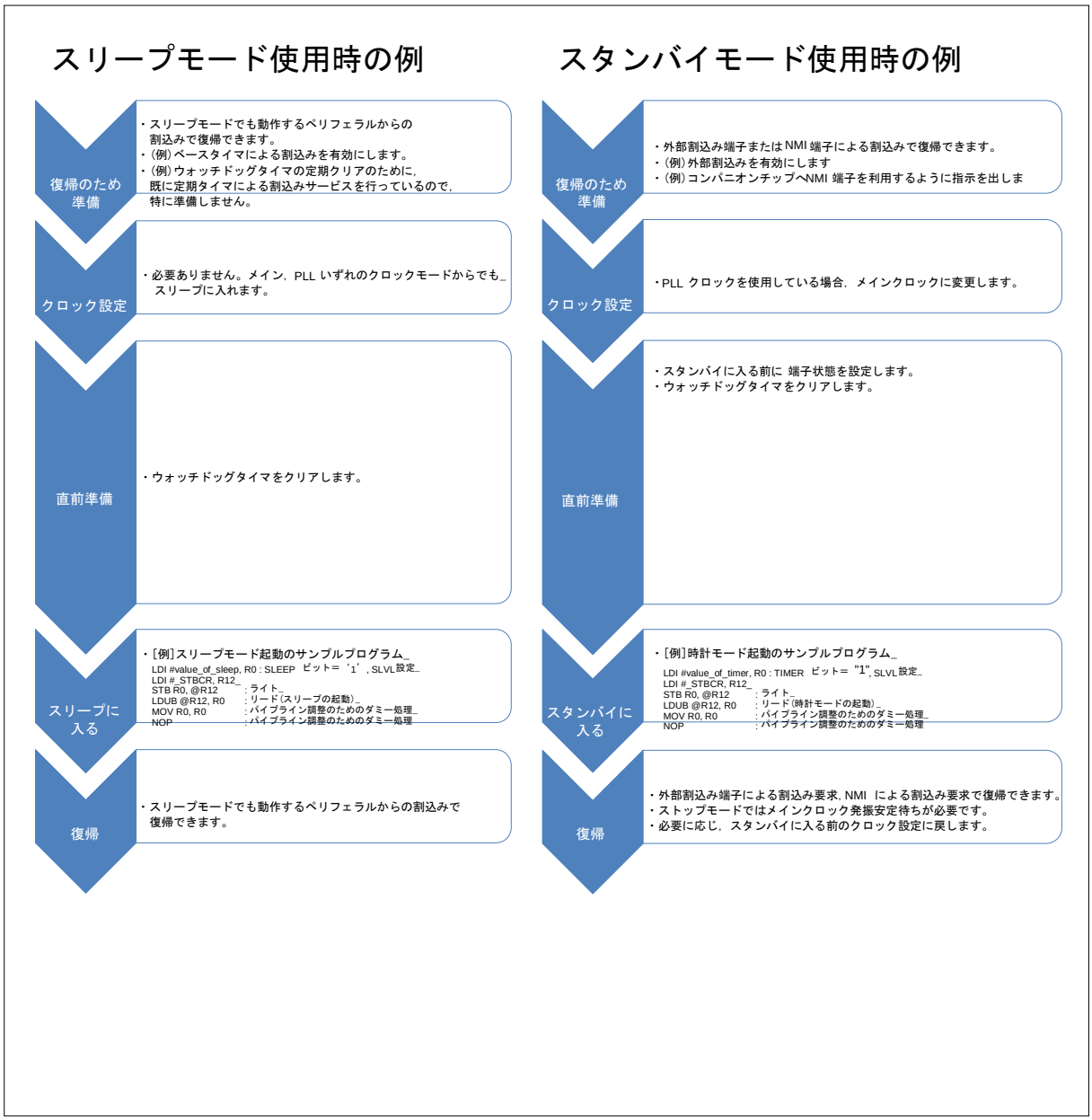


6. 使用例

消費電力制御の使用例について説明します。

スリープモード、スタンバイモード起動例です。

図 6-1 スリープモード、スタンバイモード起動例



CHAPTER: 低電圧検出(内部低電圧検出)

低電圧検出(内部低電圧検出)について説明します。

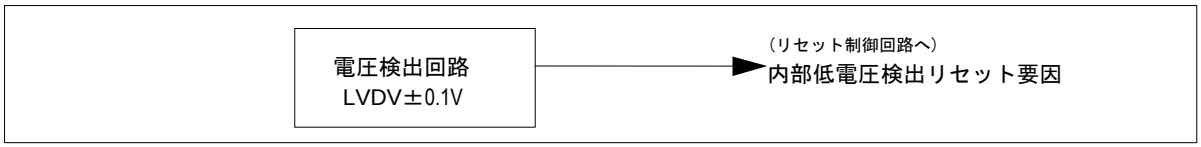
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

低電圧検出(内部低電圧検出)の概要について説明します。

内部低電圧検出は、内部電圧を監視し、検出電圧値より内部電圧が下がったことを検出する機能です。低電圧を検出した場合に、検出フラグをセットします。検出フラグをセットすると、低電圧検出リセットによりリセット状態となります。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

低電圧検出(内部低電圧検出)の特長について説明します。

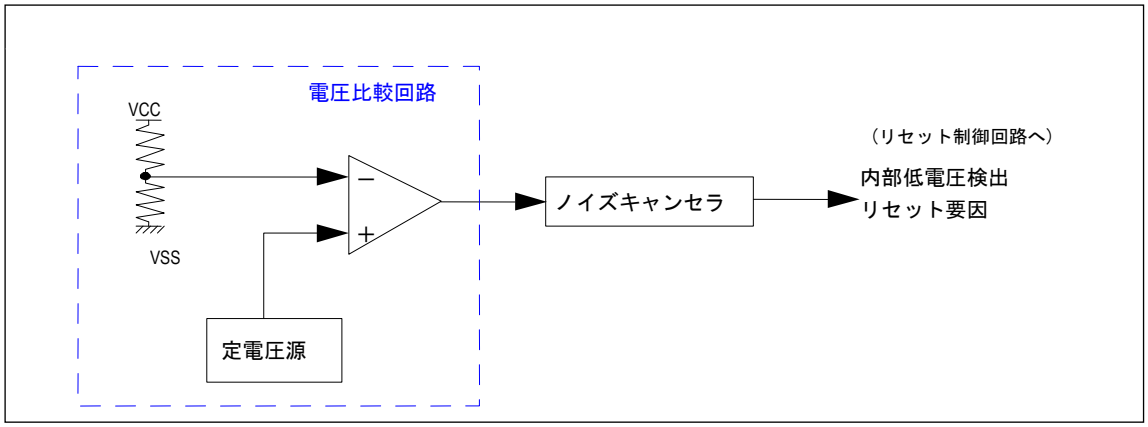
内部低電圧検出回路

形式　　: 電圧 LVDV±0.1V 以下の電圧検出による設定初期化リセット発生(LVDV : 0.9V)
個数　　: 1
動作　　: スリープ, ストップ, 時計モード時も動作を続けます。
電圧比較回路: 検出電圧との内部電圧を比較して低電圧を検出すると出力を"H"から"L"にします。
電源投入後は、常に動作しています。

3. 構成

低電圧検出(内部低電圧検出)の構成について説明します。

図 3-1 構成図



4. レジスタ

低電圧検出(内部低電圧検出)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R	LVD5F	LVD	予約	内部低電圧検出レジスタ

4.1. 内部低電圧検出レジスタ ：LVD (Low Voltage Detect internal power fall register)

内部低電圧検出レジスタのビット構成について示します。

内部低電圧検出フラグ(LVD_F)および制御ビットをもつレジスタです。

■ LVD: アドレス 0586H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LVD_PD	LVD_SEL[2:0]			LVD_OE	予約		LVD_F
初期値	0	1	0	0	0	0	0	0
属性	R/W	R/W1	R/W0	R/W0	R/W	R0,WX	R0,WX	R(RM1),W

[bit7] LVD_PD (Low Voltage Detect fall Power Down)
マイコン部の内部電圧立下り検出をするかしないかの設定です。

LVD_PD	マイコン部内部電圧立下りパワーダウン設定
0	無効(検出を実行)
1	有効(検出を停止)

本ビットはパワーオンリセットでのみ初期化されます。

＜注意事項＞

本ビットの設定によるパワーダウン有効⇒無効(動作開始)時には、100µs 後に検出許可(OE=0)にしてください。100µs より前に検出許可にした場合、検出フラグがセットされる場合があります。

[bit6～bit4] LVD_SEL[2:0] (Low Voltage Detect power fall SELect)
内部電圧立下り検出の検出レベルの選択信号です。

LVD_SEL[2:0]	内部電圧立下り検出電圧設定
100	0.9V±0.1V
上記以外	設定禁止

LVD_OE="1"時のみ書換えが可能です。

[bit3] LVD_OE (Low Voltage Detect power fall Output Enable)
内部電圧立下り検出の出力許可信号です。

LVD_OE	内部電圧立下り検出出力許可設定
0	許可
1	停止

本ビットはパワーオンリセットでのみ初期化されます。

[bit2, bit1] 予約

[bit0] LVD_F (Low Voltage Detect power fall Flag)
内部電圧立下り検出フラグです

LVD_F	内部電圧立下り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

内部電圧の低下が検出されると、LVD_F ビットが"1"に設定されます。
外部リセット入力時のみ初期化されます。

5. 動作説明

低電圧検出(内部低電圧検出)の動作について説明します。

5.1. 内部低電圧検出

5.1. 内部低電圧検出

内部低電圧検出について示します。

内部低電圧検出は、内部電圧を監視し、検出電圧値よりも内部電圧が低下したことを検出し、検出フラグをセットします。低電圧を検出してフラグがセットされた場合、設定初期化リセットが発生します。

内部電圧が、検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に発振安定待ち時間をとります。詳細は『リセット』の章を参照してください。

発振安定待ち時間	2^{15}×メインクロック周期

6. 注意事項

低電圧検出(内部低電圧検出)の注意事項について説明します。

- **内部低電圧検出の動作**
  内部電圧が低下してマイコン部内部低電圧検出フラグがセットされたとき(LVD:LVD_F="1")は、低電圧検出リセット機能により内部リセットが発生しています。したがって、マイコン部内部低電圧検出レジスタ(LVD)の書込み/読出しはできません。内部低電圧検出回路はスリープ、ストップモード、時計モード動作時においても、動作可能であり、動作している場合には電流を消費します。内部低電圧検出回路はユーザの設定によって動作/停止が可能です。

- **内部低電圧検出フラグ(LVD:LVD_F)の初期値**
  内部低電圧検出フラグは、パワーオン直後に"1"に設定されます。内部低電圧検出フラグは、外部リセットまたは内部低電圧検出レジスタ(LVD)の LVD_F ビットへの"0"書込みでクリアされます。

- **発振安定待ち時間**
  内部電圧が検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に発振安定待ち時間をとります。詳細は『リセット』の章を参照してください。

- **検出解除のヒステリシス**
  検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。LVD: 0.9V±0.1V 設定の場合、解除電圧は 1.0V±0.1V となります。

CHAPTER: 低電圧検出(外部低電圧検出)

低電圧検出 (外部低電圧検出)について説明します。

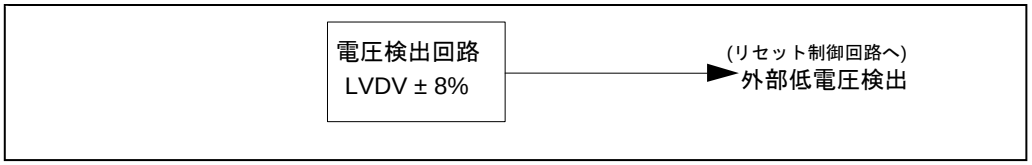
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

低電圧検出(外部低電圧検出)の概要について説明します。

外部低電圧検出は、外部電圧を監視し、検出電圧値より電源電圧が下がったことを検出する機能があります。

図 1-1 ブロック図



(注意事項)　立上り LVDV: 2.3V

立下り LVDV: 3.7~4.3V(計 7 とおり) 可変

2. 特長

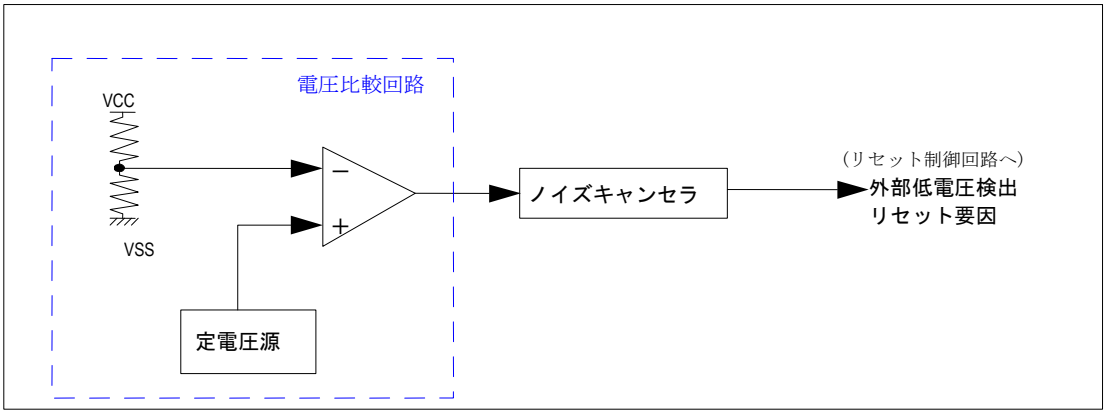
低電圧検出(外部低電圧検出)の特長について説明します。

- 形式　　: 電圧 LVDV±8%以下の電圧検出による設定初期化リセット発生
  (立上り LVDV: 2.3V 固定、立下り LVDV: 3.7~4.3V 可変)
- 個数　　: 1 個
- 動作　　: ユーザ設定により、動作/停止を切り換えます。
  内部 RAM 書込み期間は、書込み終了後に低電圧リセットが発生します。
- 電圧比較回路: 検出電圧と電源電圧を比較して低電圧を検出すると出力を"L"にします。
- 低電圧検出時にリセットをかけるか、割込みを発生するかを選択できます。

3. 構成

低電圧検出(外部低電圧検出)の構成について説明します。

図 3-1 構成図



4. レジスタ

低電圧検出(外部低電圧検出)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R	LVD5F	LVD	予約	外部低電圧検出立上り検出レジスタ 外部低電圧検出立下り検出レジスタ

4.1. 外部低電圧検出立上り検出レジスタ : LVD5R (Low-Voltage Detect external 5v Rise register)

外部低電圧検出立上り検出レジスタ(LVD5R)について説明します。

外部電源電圧立上り検出フラグです。

■ LVD5R: アドレス 0584$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							LVD5R_F
初期値	0	0	0	0	0	0	0	1
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1),W

[bit7～bit1] 予約

[bit0] LVD5R_F (Low Voltage Detect external 5v Rise Flag) : 外部電圧立上り検出フラグ

外部電圧立上り検出フラグです。

LVD5R_F	外部電圧立上り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

外部電圧の立上りが検出されると、LVD5R_F ビットが"1"に設定されます。
外部リセット入力時にクリアされます。

4.2. 外部低電圧検出立下り検出レジスタ : LVD5F (Low Voltage Detect external 5v Fall register)

外部低電圧検出立下り検出レジスタ(LVD5F)について説明します。

低電圧検出リセットフラグクリアと低電圧検出回路の設定を行うレジスタです。

■ LVD5F: アドレス 0585$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LVD5F_PD	LVD5F_SEL[3: 1]			LVD5F_OE	LVD5F_SEL[0]	LVD5F_RI	LVD5F_F
初期値	0	0	1	1	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R(RM1),W

[bit7] LVD5F_PD (Low Voltage Detect external 5v Fall Power Down) : 外部電圧立下りパワーダウン設定

外部電圧立下り検出をするかしないかの設定です。

LVD5F_PD	外部電圧立下りパワーダウン設定
0	無効(検出を実行)
1	有効(検出を停止)

本ビットはパワーオンリセットでのみ初期化されます。

＜注意事項＞

本ビットの設定によるパワーダウン有効⇒無効(動作開始)時には、LVD5F_OE=1 設定してから 100µs 後に検出許可(OE=0)にしてください。100µs より前に検出許可にした場合、検出フラグがセットされる場合があります。

[bit6～bit4, bit2] LVD5F_SEL (Low Voltage Detect external 5v Fall SELect) : 外部電圧立下り検出電圧設定

外部電圧立下り検出の検出レベルの選択信号です。

LVD5F_SEL[3: 0]	外部電圧立下り検出電圧設定
0000	設定禁止
0001	設定禁止
0010	設定禁止
0011	設定禁止
0100	3.70V±8%
0101	3.80V±8%
0110	3.90V±8%
0111	4.00V±8%

LVD5F_SEL[3: 0]	外部電圧立下り検出電圧設定
1000	4.10V±8%
1001	4.20V±8%
1010	4.30V±8%
上記以外	設定禁止

LVD5F_OE="1"時のみ書き換えが可能です。

[bit3] LVD5F_OE (Low Voltage Detect external 5v Fall Output Enable) : 外部電圧立下り検出出力許可設定

外部電圧立下り検出の出力許可信号です。

LVD5F_OE	外部電圧立下り検出出力許可設定
0	許可
1	停止

本ビットはパワーオンリセットでのみ初期化されます。

[bit1] LVD5F_RI (Low Voltage Detect external 5v Fall Reset Interrupt select)

低電圧検出リセット/割込み選択信号です。

LVD5F_RI	低電圧検出リセット/割込み選択設定
0	リセット
1	割込み

[bit0] LVD5F_F (Low Voltage Detect external 5v Fall Flag) : 外部電圧立下り検出フラグ

外部電圧立下り検出フラグです。

LVD5F_F	外部電圧立下り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

外部電圧の低下が検出されると、LVD5F_F ビットが"1"に設定されます。
外部リセット入力時にクリアされます。

5. 動作説明

低電圧検出(外部低電圧検出)の動作について説明します。

外部低電圧検出は、外部電圧を監視し、設定値よりも外部電圧が低下したときに初期化リセットまたは割込みを発生します。

低電圧を検出して設定初期化リセットが発生した場合、レジスタの内容は保証できません。低電圧リセット解除後は発振安定待ち時間を取らずに、リセットシーケンスを実行した後にリセットベクタで指定されたアドレスからプログラムが再スタートします。

6. 注意事項

低電圧検出(外部低電圧検出)の注意事項について説明します。

低電圧検出リセット回路使用上の注意

● プログラムでの動作

・低電圧検出リセット回路は、外部低電圧検出立上り検出を除き、設定にしたがって、動作します。外部低電圧検出立上り検出はパワーオンリセットとして使用されます。
・外部低電圧検出立上り検出は常に動作していますので、スリープモード、ストップモード、時計モード動作時においても、電流を消費します。

● ストップモード時の動作

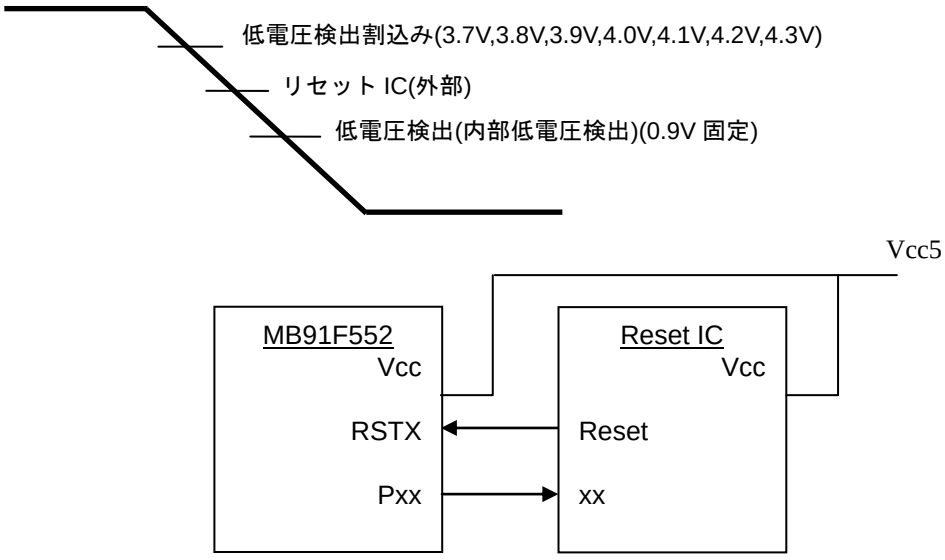
・低電圧検出リセットは、設定によってストップモードでも動作を続けることができます。このとき、ストップモード中に低電圧を検出すると、設定初期化リセットが発生し、ストップモードは解除されます。

● 検出/解除のヒステリシス

・検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。
立下り検出電圧の場合、設定値は検出電圧を示します。
例えば 3.9V±8%設定のとき、解除電圧は 4.0V±8%となります。
立上り検出電圧の場合、解除電圧を示します。
例えば 2.3V±8%設定のとき、検出電圧は 2.2V±8%となります。

● 低電圧検出時の動作として割込み発生を使用する場合、必ず外部にリセット IC を接続してください。

また、リセット要求信号は、CPU の保証電圧である 3.4V 以上としてください。



CHAPTER: ワイルドレジスタ

ワイルドレジスタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

1. 概要

ワイルドレジスタの概要について説明します。

ワイルドレジスタ機能は、アドレスレジスタに設定したパッチ対象アドレスのデータをデータレジスタに設定したデータとの置換えを行います。

2. 特長

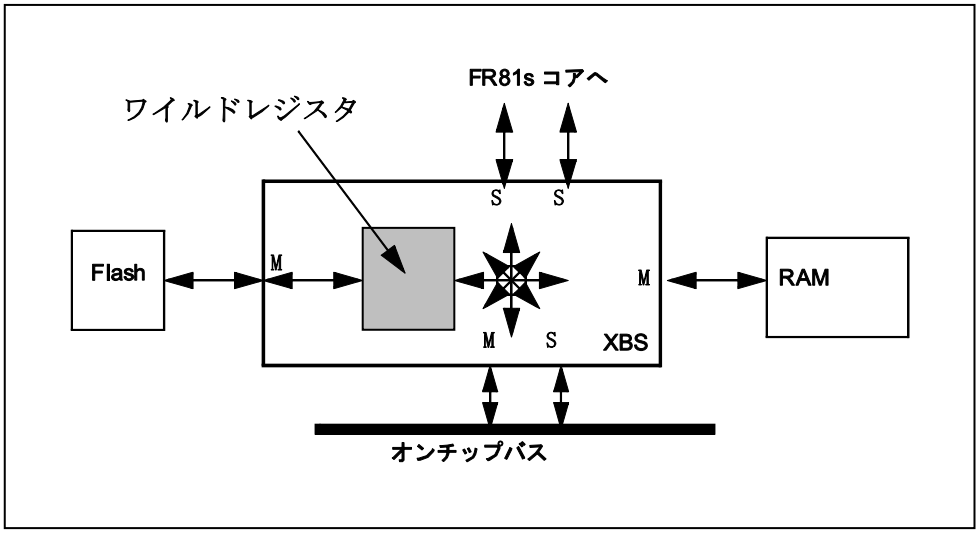
ワイルドレジスタの特長について説明します。

・1 ワードごとに 16 箇所にパッチを当てることができます。
・対象は FLASH 領域のみです。
・16 ビット 制御レジスタ 1 本
・32 ビットアドレス設定レジスタ 16 本
・32 ビットデータ設定レジスタ 16 本

3. 構成

ワイルドレジスタの構成について説明します。

図 3-1 構成図



＜注意事項＞

本機能は、FLASH メモリへのアクセス・ウェイトを 1 サイクルに設定すると、使用できません。

4. レジスタ

ワイルドレジスタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0858	予約		WREN		ワイルドレジスタデータイネーブルレジスタ
0x0880	WRAR00				ワイルドレジスタアドレスレジスタ 00
0x0884	WRDR00				ワイルドレジスタデータレジスタ 00
0x0888	WRAR01				ワイルドレジスタアドレスレジスタ 01
0x088C	WRDR01				ワイルドレジスタデータレジスタ 01
0x0890	WRAR02				ワイルドレジスタアドレスレジスタ 02
0x0894	WRDR02				ワイルドレジスタデータレジスタ 02
0x0898	WRAR03				ワイルドレジスタアドレスレジスタ 03
0x089C	WRDR03				ワイルドレジスタデータレジスタ 03
0x08A0	WRAR04				ワイルドレジスタアドレスレジスタ 04
0x08A4	WRDR04				ワイルドレジスタデータレジスタ 04
0x08A8	WRAR05				ワイルドレジスタアドレスレジスタ 05
0x08AC	WRDR05				ワイルドレジスタデータレジスタ 05
0x08B0	WRAR06				ワイルドレジスタアドレスレジスタ 06
0x08B4	WRDR06				ワイルドレジスタデータレジスタ 06
0x08B8	WRAR07				ワイルドレジスタアドレスレジスタ 07
0x08BC	WRDR07				ワイルドレジスタデータレジスタ 07
0x08C0	WRAR08				ワイルドレジスタアドレスレジスタ 08
0x08C4	WRDR08				ワイルドレジスタデータレジスタ 08
0x08C8	WRAR09				ワイルドレジスタアドレスレジスタ 09
0x08CC	WRDR09				ワイルドレジスタデータレジスタ 09
0x08D0	WRAR10				ワイルドレジスタアドレスレジスタ 10
0x08D4	WRDR10				ワイルドレジスタデータレジスタ 10
0x08D8	WRAR11				ワイルドレジスタアドレスレジスタ 11
0x08DC	WRDR11				ワイルドレジスタデータレジスタ 11
0x08E0	WRAR12				ワイルドレジスタアドレスレジスタ 12
0x08E4	WRDR12				ワイルドレジスタデータレジスタ 12

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x08E8	WRAR13				ワイルドレジスタアドレスレジスタ 13
0x08EC	WRDR13				ワイルドレジスタデータレジスタ 13
0x08F0	WRAR14				ワイルドレジスタアドレスレジスタ 14
0x08F4	WRDR14				ワイルドレジスタデータレジスタ 14
0x08F8	WRAR15				ワイルドレジスタアドレスレジスタ 15
0x08FC	WRDR15				ワイルドレジスタデータレジスタ 15

4.1. ワイルドレジスタデータイネーブルレジスタ ：WREN (Wild Register ENable register)

ワイルドレジスタデータイネーブルレジスタのビット構成について示します。

チャネルごとに、ワイルドレジスタの機能の有効・無効を設定します。

■ WREN： アドレス 085A$_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	WREN[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit15～bit0] WREN[15:0] (Wild Register ENable) : イネーブルビット

チャネルごとに、ワイルドレジスタ機能の有効・無効を設定します。

WRENn (n=0～15)	機能
0	チャネル n のワイルドレジスタ機能は無効です
1	チャネル n のワイルドレジスタ機能は有効です

4.2. ワイルドレジスタアドレスレジスタ 00～15 : WRAR00-15 (Wild Register Address Register 00-15)

ワイルドレジスタアドレスレジスタ 00～15 のビット構成について示します。

ワイルドレジスタ機能により修正するアドレスを設定するレジスタです。ワイルドレジスタ動作許可中の読出し値は不定です。
レジスタの設定は必ず 32 ビット単位で行ってください。

■ WRAR : アドレス 0880$_H$ ～08F8$_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約		WRAR[21:16]					
初期値	0	0	X	X	X	X	X	X
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	WRAR[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	WRAR[7:2]						予約	
初期値	X	X	X	X	X	X	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,WX	R0,WX

[bit21～bit2] WRAR[21:2] (Wild Register Address Register) : アドレスレジスタ
パッチ対象のアドレスを設定します。対象アドレスは(WRAR & 0x003FFFFC)となります。
ワイルドレジスタ動作許可中の読出し値は不定です。

4.3. ワイルドレジスタデータレジスタ 00～15 : WRDR00-15 (Wild Register Data Register00-15)

ワイルドレジスタデータレジスタ 00～15 のビット構成について示します。

置き換えるデータを設定するレジスタです。ワイルドレジスタアドレスレジスタ(WRAR00 ～ WRAR15)で指定したアドレスのメモリ内容を読み出すと、実際のメモリ内容ではなく、このレジスタに設定した値が読み出されます。
ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。
レジスタの設定は必ず 32 ビット単位で行ってください。

■ WRDR : アドレス 0884$_H$ ～08FC$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	WRDR[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] WRDR[31:0] (Wild Register Data Register) : データレジスタ
置換え値を設定します。
ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。

5. 動作説明

ワイルドレジスタの動作について説明します。

本機能を使用して FLASH 領域にパッチを当てます。イネーブルレジスタがリセットで初期化されるので、使用する際はリセットごとに本レジスタを設定する必要があります。
設定するアドレスは重ならないように設定してください。アドレスが重なる場合の読出し値は不定です。
データのバイト並びはビッグエンディアンです。
置換対象となる領域は FLASH 領域のみです。

6. 使用例

ワイルドレジスタの使用例について示します。

本機能の使用例です。この例ではリセット解除後に外付けデバイスから本機能の設定を呼び出します。

図 6-1 使用例



CHAPTER: クロックスーパバイザ

クロックスーパバイザについて説明します。

1. 概要
2. 構成
3. レジスタ
4. 動作説明

1. 概要

クロックスーパバイザの概要について説明します。

クロックになんらかの問題が生じて、意図せず停止した場合、内蔵 CR 発振器にクロックの代行をさせる事ができます。

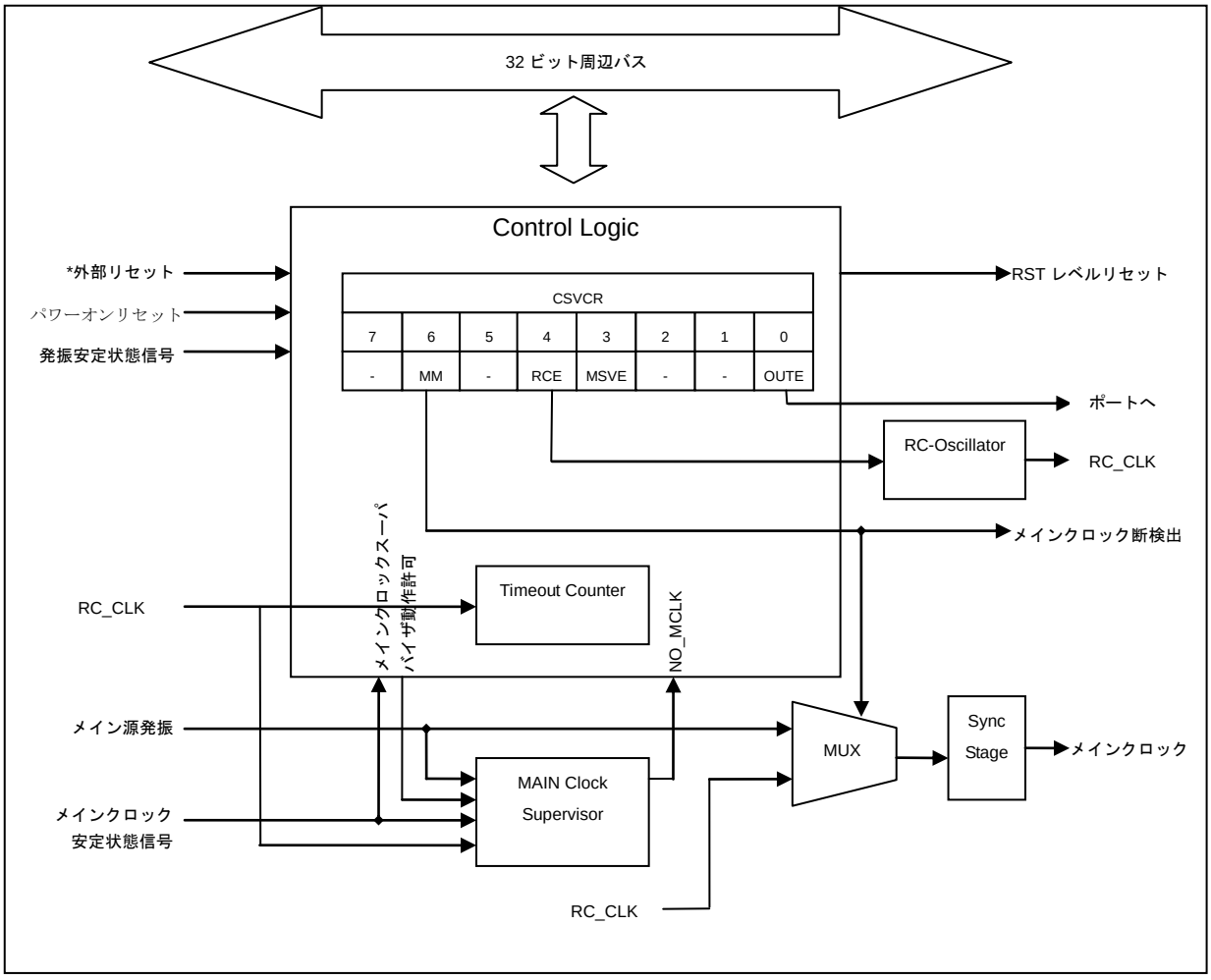
2. 構成

クロックスーパバイザの構成について説明します。

クロックスーパバイザを構成するブロックは、以下のとおりです。

- クロックスーパバイザ
- タイムアウトカウンタ
- 制御ロジック
- CR 発振器

図 2-1 ブロック図 (詳細)



*:外部リセット: RSTX 端子のアサート(NMIX との同時アサートも含みます。)

3. レジスタ

クロックスーパバイザのレジスタについて説明します。

表 3-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x056C	予約	CSVCR	予約	予約	クロックスーパバイザ制御レジスタ

3.1. クロックスーパバイザ制御レジスタ ：CSVCR (Clock SuperVisor Control Register)

クロックスーパバイザ制御レジスタのビット構成について示します。

本レジスタは、クロックスーパバイザの動作モードを設定します。
クロックの故障を示すビットが存在します。

■ CSVCR：アドレス 056D$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	MM	予約	RCE	MSVE	予約	予約	OUTE
初期値	0	0	0	1	1	1	0	0
属性	R0/W0	R/W	R0/W0	R/W	R/W	R/W1	R0/W0	R/W

[bit7] 予約
必ず"0"を書き込んでください。

[bit6] MM(Main clock Missing) : メインクロック停止
このビットが"1"の場合、メイン発振クロックに問題が生じている事を示します。
このビットが"0"の場合、メインクロックには問題がありません。
メインクロックが復旧していない時、"0"書込みは無視されます。
このビットは、電源投入時もしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

MM	読出し	書込み
0	メイン発振クロック停止未検出	メインクロックが復旧している時、本ビットをクリア
1	メイン発振クロック停止検出	効果ありません

＜注意事項＞

本ビットが"1"の場合、PLL/SSCG 発振動作は許可しないでください。

[bit5] 予約

必ず"0"を書き込んでください。

[bit4] RCE(RC-oscillator Enable) : CR 発振許可
このビットを"1"に設定すると、スタンバイモード時にも CR 発振器の発振が許可されます。
メインクロックスーパバイザがまだ許可されている間は、このビットを"0"に設定することは禁止です。
まずスーパバイザを禁止してから、MM ビットが"0"であることを確認する必要があります。その後、RCE を"0"に設定してください。
MM ビットが"1"の場合は、RCE を"0"に設定しないでください。
このビットは、電源投入時もしくは外部リセットにより"1"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

RCE	説明
0	STBY モード時の CR 発振禁止
1	STBY モード時の CR 発振許可(初期値)

[bit3] MSVE(Main clock SuperVisor Enable) : **メインクロックスーパバイザ許可**

このビットを"1"に設定すると、メインクロックスーパバイザが許可されます。このビットは、電源投入時にのみ"1"に初期化されます。
ほかの種類のリセットは、このビットに影響を与えません。

MSVE	説明
0	メインクロックスーパバイザ禁止
1	メインクロックスーパバイザ許可(初期値)

[bit2] **予約**

必ず"1"を書き込んでください。

[bit1] **予約**

必ず"0"を書き込んでください。

[bit0] OUTE(Output Enable) : **出力許可**

本ビットは, MM ビットをポートから出力するための許可ビットです。本ビット"1"に設定すると, MM ビットの出力が許可されます。本ビットは, パワーオンリセットもしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは, このビットに影響を与えません。

OUTE	説明
0	ポートから MM 出力を許可しない(初期値)
1	ポートから MM 出力を許可する

4. 動作説明

クロックスーパバイザの動作について説明します。

CPU がメインクロックで動作中にメインクロックが停止した場合は、クロックが CR 発振器に置き換わった後、直ちにリセットされます。20µs ～80µs の期間、クロックが入力されない場合、停止と判断します。メインクロックが停止したことを示すビットはレジスタに残るので、ソフトウェアで問題が起きた事を判断可能です。

意図してメインクロックを停止させた場合、メインクロックスーパバイザは自動的に停止します。スタンバイモード時の CR 発振を禁止しておくと、スタンバイモード遷移時、CR 発振器は自動的に停止します。スタンバイモードから復帰するときに、CR 発振器は自動的に再起動します。

＜注意事項＞

メインクロック停止検出後、メインクロックが CR 発振器に置き換わって動作しているとき、PLL/SSCG 発振動作は許可しないでください。

以下にクロックスーパバイザの動作モードについて説明します。

4.1. 初期状態

初期状態について説明します。

初期設定時は、CR 発振器の発振、メインクロックスーパバイザ機能が許可されています。

■ CR 発振

電源投入時に発振が許可されます。

スタンバイモード時の発振許可ビット(CSVCR.RCE)に"0"を書き込んだ状態で、スタンバイモードに遷移したときのみ停止します。スタンバイモードが解除されると自動的に発振を再開します。

■ メインクロックスーパバイザ

メイン発振安定待ち時間経過後に許可されます。

メインクロックスーパバイザが許可されている時に、メインクロックが停止した場合、メインクロックは CR 発振クロックで置き換えられます。

このとき、CSVCR レジスタの MM ビットが"1"になり、RST レベルのリセットが発生します。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

4.2. CR 発振器およびクロックスーパバイザ機能の停止

CR 発振器およびクロックスーパバイザ機能の停止について説明します。

■ CR 発振器

CR 発振器は、スタンバイモード時のみ停止させる事ができます。スタンバイモード時の発振許可ビット(CSVCR.RCE)を"0"に設定してから、スタンバイモードに遷移してください。

メインクロックに問題があるときに CR 発振器を停止することは禁止です。クロックに問題があるかないかは、CSVCR レジスタの MM ビットで確認できます。

【補足】

クロックに問題がある場合は、既に動作クロックが CR 発振クロックに置き換わっているので、CR 発振を停止すると動作クロックも停止してしまいます。

■ メインクロックスーパバイザ

CSVCR レジスタの MSVE ビットを"0"に設定します。

4.3. クロックスーパバイザ再許可

クロックスーパバイザ再許可について説明します。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能を再許可するには、CSVCR レジスタの MSVE ビットを"1"に設定します。

CR 発振器が停止している状態で、メインクロックスーパバイザ機能を許可することは禁止です。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

4.4. ストップモード

ストップモードについて説明します。

■ CR 発振器

ストップモード時の発振許可ビット(CSVCR.RCE)が"0"に設定されている場合、ストップモードに遷移することで発振が停止します。
ストップモード解除後、自動的に再許可されます。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能が許可されている状態で、ストップモードに遷移すると、自動的に停止します。
メインクロックスーパバイザ許可ビット(CSVCR.MSVE)は"0"になりません。
ストップモード解除後、メイン発振安定待ち時間を待って、自動的に再許可されます。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。
その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

＜注意事項＞

メインクロックスーパバイザ機能が禁止されている状態で、ストップモードに遷移した場合は、ストップモードが解除後も禁止のままです。

4.5. 時計モード

時計モードについて説明します。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能は時計モードへの遷移に影響を受けません。

メインクロックスーパバイザ機能が許可されている場合は、メインクロックが停止すると CR 発振クロックに切り換わり、リセットを発行します。

4.6. クロックスーパバイザによるリセット要因の確認

クロックスーパバイザによるリセット要因の確認について示します。

クロックスーパバイザがクロックの問題を検知してリセットが発生したかどうかを調べる方法は以下のとおりです。
まず、RSTRR レジスタ(『リセット』の章の『4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)』を参照)を読み出してリセット要因を確認します。

RSTRR レジスタの ERST ビットが"1"になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部低電圧検出、クロックスーパバイザリセット、もしくは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生したことを示します。
この場合に、CSVCR レジスタを読み出して、MM ビットを確認してください。

リセット要因は、以下のように確認できます。

表 4-1 リセット要因

ERST	MM	リセット要因
1	1	クロックスーパバイザリセット
1	0	RSTX 外部端子からのリセット入力 不正スタンバイモード移行検出リセット 外部低電圧検出 RSTX 外部端子と NMIX 外部端子の同時アサート

【補足】
MM ビットは、電源投入および外部リセット以外ではクリアされませんので、RSTRR レジスタ(『リセット』の章の『4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)』を参照してください。)を読み出してほかのリセット要因も合わせて確認する必要があります。

4.7. CR クロックからの切戻り

CR クロックからの切戻りについて示します。

■ メインクロックスーパバイザ

CPU はリセットからの回復後に MM ビットがセットされていたことを検出すると、メインクロックが停止して CR 発振クロックに切り換っていると判断できます。このとき、メインクロックが復旧していることを確認できれば、MM ビットに"0"を書き込むことによって、メインクロックに切り戻すことが可能です。

メインクロックが復旧していない場合、MM ビットへの"0"書込みは何の影響をあたえません。MM ビットは"1"を保持し続けます。

MM ビットに"0"を書き込んだ時にメインクロックが動作していた場合、MM ビットはクリアされ、クロックは同期ステージを経由してメインクロックに切り戻ります。

メインクロックが復旧するまで MM ビットをポーリングできます。

```
ldi #_csvcr,r1
clear_CSV_loop:
bandh #0b1001,@r1 ;; Clear MM
btsth #0b0110,@r1 ;; Check: Is one of them 1?
bne clear_CSV_loop
```

CHAPTER: レギュレータ制御

レギュレータ制御について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ

1. 概要

レギュレータ制御の概要について説明します。

内部電圧を生成しているレギュレータの動作は、以下になります。

・メインモード(通常動作時、ストップ・時計モード時)

2. 特長

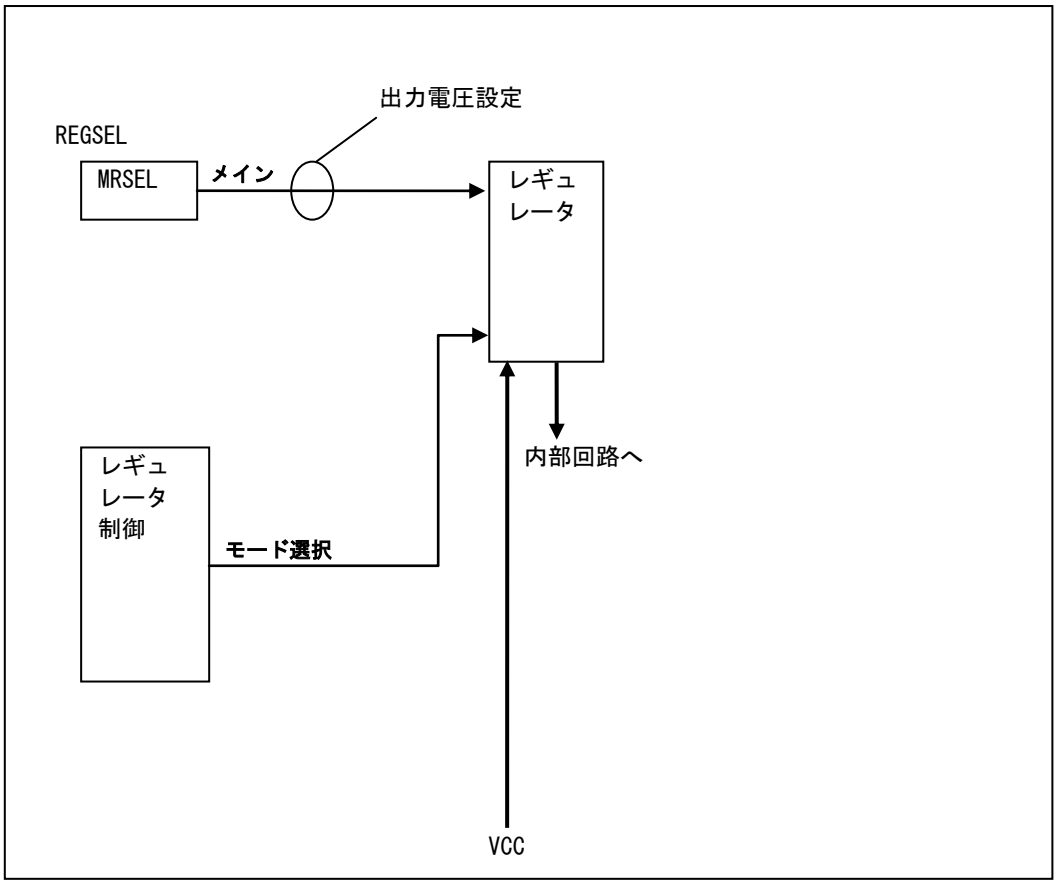
レギュレータ制御の特長について説明します。

デバイス状態遷移に応じて、自動的にレギュレータモードを変更する。

3. 構成

レギュレータ制御の構成について説明します。

図 3-1 レギュレータ制御概略図



4. レジスタ

レギュレータ制御のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0580	REGSEL	予約	予約	予約	レギュレータ出力電圧選択レジスタ

4.1. レギュレータ出力電圧選択レジスタ ：REGSEL (REGulator output voltage SELect register)

レギュレータ出力電圧選択レジスタのビット構成について示します。

メイン・スタンバイの各レギュレータモードの出力電圧レベルを選択するレジスタです。

■ REGSEL： アドレス 0580$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MRSEL[1:0]		予約		予約			予約
初期値	0	1	1	0	0	1	1	0
属性	R/W0	R/W1	R1/W1	R0/W0	R0/W0	R1/W1	R1/W1	R0,WX

[bit7, bit6] MRSEL[1:0] (Main Regulator voltage SELect)

メインレギュレータ(レギュレータモード：メインモード)出力電圧レベルを設定します。

MRSEL[1:0]	メインレギュレータ出力電圧
00	予約
01	1.2±0.1V
10	予約
11	予約

[bit5] 予約

必ず"1"を書き込んでください。

[bit4] 予約

必ず"0"を書き込んでください。

[bit3] 予約
必ず"0"を書き込んでください。

[bit2～bit1] 予約
必ず"1"を書き込んでください。

[bit0] 予約
常に"0"が読み出されます。書込みは、動作に影響ありません。

CHAPTER: バス・パフォーマンス・カウンタ

バス・パフォーマンス・カウンタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

バス・パフォーマンス・カウンタの概要について説明します。

本品種は、オンチップバスのパフォーマンスを測定するバス・パフォーマンス・カウンタ(BPC)を搭載しています。BPC は、オンチップバス上のトラフィックの内訳を計測し、バスのパフォーマンス改善の指針となる情報を提供します。BPC では、オンチップバスがアイドル状態でのカウントは行いませんので、時間計測のためにはシステム内のタイマを同時に使用してください。

2. 特長

バス・パフォーマンス・カウンタの特長について説明します。

・カウンタ構成
カウントクロック　：オンチップバス用クロック
カウンタビット長　：32 ビット × 3 チャネル (BPC-A, BPC-B, BPC-C)
オーバフロー検出　：なし
カウンタ値書換え　：可能

・主要機能
各チャネルにおいて、以下の動作を選択してカウント

- オンチップバス上のリードアクセス回数
- オンチップバス上のライトアクセス回数
- オンチップバス上のウェイトサイクル数

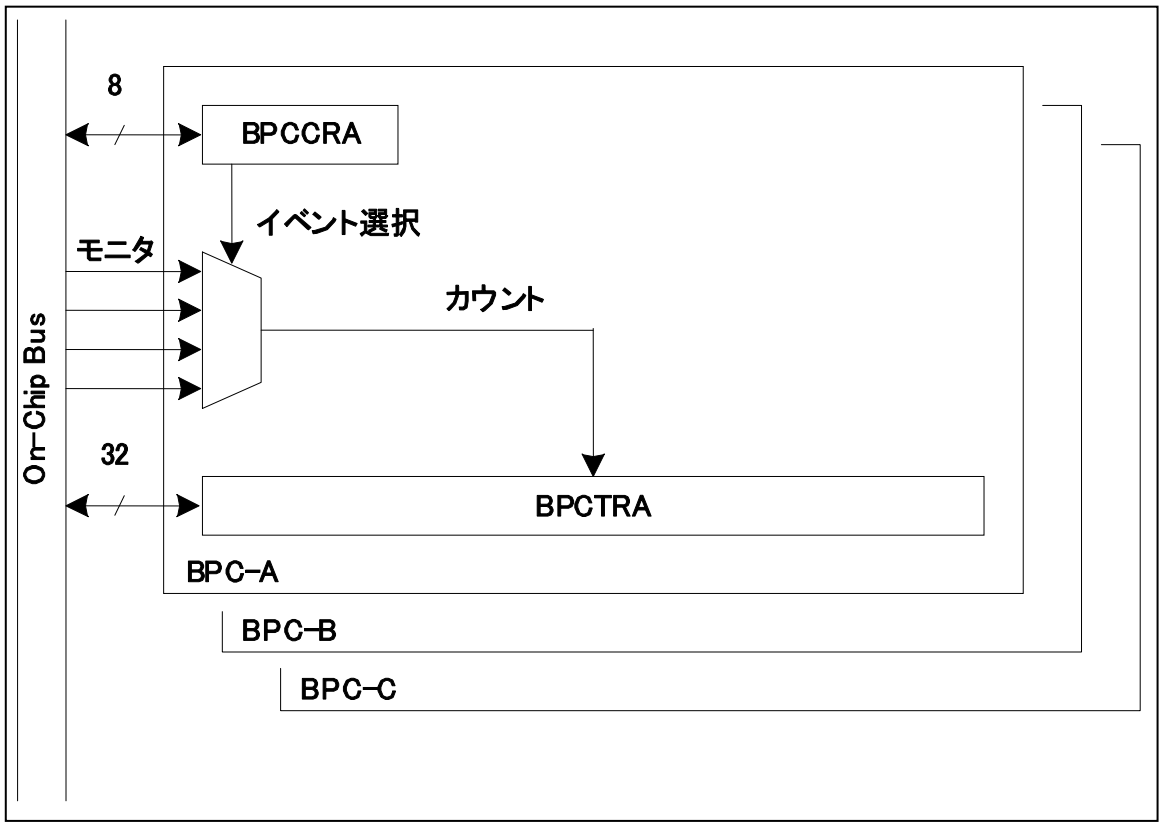
各チャネルにおいて、以下のうちいずれかを選択してカウント

- 特定のバスマスタ(CPU, DMAC, そのほかまたはすべて)
- 特定のターゲット(ICH, MCH, そのほかまたはすべて)

3. 構成

バス・パフォーマンス・カウンタの構成について説明します。

図 3-1 ブロック図



4. レジスタ

バス・パフォーマンス・カウンタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0710	BPCCRA	BPCCRB	BPCCRC	予約	BPC-A 制御レジスタ BPC-B 制御レジスタ BPC-C 制御レジスタ
0x0714	BPCTRA				BPC-A カウントレジスタ
0x0718	BPCTRB				BPC-B カウントレジスタ
0x071C	BPCTRC				BPC-C カウントレジスタ

4.1. BPC-A 制御レジスタ ：BPCCRA (Bus Performance Counter Control Register A)

BPC-A 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ A(BPC-A)の測定対象の設定を行います。
バス・パフォーマンス・カウンタには A, B, C の 3 チャネルありそれぞれのカウンタに対して制御レジスタが存在します。制御レジスタの各フィールドは、各チャネル共通です。

■ BPCCRA : アドレス 0710$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1: 0]		MST[3: 0]				SLV[1: 0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] FUNC[1: 0] (Function Selection) : 測定イベント選択
BPC で測定するイベントを選択します。

FUNC[1: 0]	イベント
00	BPC-A 動作停止(初期値)
01	リードアクセス回数
10	ライトアクセス回数
11	ウェイトサイクル数

[bit5～bit2] MST[3: 0] (bus MaSTer select) : バスマスタ選択
BPC で測定するイベント対象となるバスマスタを選択します。

MST[3: 0]	バスマスタ
0000	すべてのバスマスタ(初期値)
0001	CPU(XBS)
0010	DMAC
0011	Reserved
0100	Reserved
上記以外	Reserved

[bit1, bit0] SLV[1: 0] (SLaVe select) : スレーブ選択
BPC で測定するイベント対象となるスレーブを選択します。

SLV	スレーブ
00	すべてのスレーブ(初期値)
01	MCH(レジスタ)
10	ICH(ペリフェラル)
11	MCH/ICH 以外

4.2. BPC-B 制御レジスタ ：BPCCRB (Bus Performance Counter Control Register B)

BPC-B 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ B(BPC-B)の測定対象の設定を行います。
各ビットの機能は BPCCRA と等価です。

■ BPCCRB： アドレス 0711$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1: 0]		MST[3: 0]				SLV[1: 0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.3. BPC-C 制御レジスタ ：BPCCRC (Bus Performance Counter Control Register C)

BPC-C 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ C(BPC-C)の測定対象の設定を行います。
各ビットの機能は BPCCRA と等価です。

■ BPCCRC： アドレス 0712$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1: 0]		MST[3: 0]				SLV[1: 0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.4. BPC-A カウントレジスタ ：BPCTRA (Bus Performance CounTer Register A)

BPC-A カウントレジスタのビット構成について示します。

BPCCRA で設定したイベントをカウントする 32 ビット長のカウントレジスタです。

■ BPCTRA : アドレス 0714$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRA[31: 0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

[bit31～bit0] BPCTRA[31: 0] (Bus Performance CounTer Register A) : BPC-A カウント

BPCCRA の bit7-6: FUNC に"00"以外を設定すると、対象イベントのカウントを開始します。本レジスタはリードライト可能で、32 ビットアクセスのみ可能です。

カウント開始時にカウンタの初期は行いませんので、新たにカウントを始める場合は初期値の設定を行ってください。またオーバフロー制御は行いませんので、カウンタがオーバフローした場合は"0"に戻ってカウントを継続します。

4.5. BPC-B カウントレジスタ ：BPCTRB (Bus Performance CounTer Register B)

BPC-B カウントレジスタのビット構成について示します。

BPCCRB で設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

■ BPCTRB： アドレス 0718$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRB[31: 0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

4.6. BPC-C カウントレジスタ ：BPCTRC (Bus Performance CounTer Register C)

BPC-C カウントレジスタのビット構成について示します。

BPCCRC で設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

■ BPCTRC： アドレス 071C$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRC[31: 0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

5. 動作説明

動作について説明します。

5.1. 設定

5.2. 起動と停止

5.3. 動作

5.4. 測定と結果処理

5.1. 設定

設定ついて説明します。

BPC の各チャネルを起動する前に、BPCTRA/BPCTRB/BPCTRC へ"0x00000000"を書込み、各カウンタの初期化を行ってください。測定対象を変更する際も、同様に各カウンタの初期化を行ってください。リセット後はカウンタ値が不定となっていますので、動作許可する前に必ずカウンタ値を書き込んでください。

BPC の各チャネルを起動する際に、BPCCRA/BPCCRB/BPCCRC により、各カウンタの測定対象を設定します。

バス・パフォーマンス・カウンタ A(B,C)制御レジスタ (BPCCRA(B,C))の設定により監視するイベントは以下のようになります。下記の表に存在しない組み合わせの場合は、動作を保証しません。また、エミュレータモード時はカウントを行いません。

表 5-1 BPC 設定一覧

FUNC[1: 0]	MST[3: 0]	SLV[1: 0]	対象イベント
01	0000	00	XBS,DMAC から読出し
		01	XBS,DMAC から MCH 読出し
		10	XBS,DMAC から ICH 読出し
		11	XBS,DMAC から MCH/ICH 以外の読出し
	0001	00	XBS から読出し
		01	XBS から MCH 読出し
		10	XBS から ICH 読出し
		11	XBS から MCH/ICH 以外への読出し
	0100	00	DMAC から読出しアクセス
		01	DMAC から MCH 読出し
		10	DMAC から ICH 読出し
		11	DMAC から MCH/ICH 以外への読出し
10	0000	00	XBS,DMAC から書込み
		01	XBS,DMAC から MCH 書込み
		10	XBS,DMAC から ICH 書込み
		11	XBS,DMAC から MCH/ICH 以外への書込み
	0001	00	XBS から書込み
		01	XBS から MCH 書込み
		10	XBS から ICH 書込み
		11	XBS から MCH/ICH 以外への書込み
	0100	00	DMAC から書込み
		01	DMAC から MCH 書込み
		10	DMAC から ICH 書込み
		11	DMAC から MCH/ICH 以外への書込み

FUNC[1: 0]	MST[3: 0]	SLV[1: 0]	対象イベント
11	0000	00	XBS,DMAC のウェイトアクセス
		01	XBS,DMAC から MCH ウェイト
		10	XBS,DMAC から ICH ウェイト
		11	XBS,DMAC から MCH/ICH 以外のウェイト
	0001	00	XBS からウェイトアクセス
		01	XBS から MCH ウェイト
		10	XBS から ICH ウェイト
		11	XBS から MCH/ICH 以外へのウェイト
	0100	00	DMAC からウェイトアクセス
		01	DMAC から MCH ウェイト
		10	DMAC から ICH ウェイト
		11	DMAC から MCH/ICH 以外へのウェイト

5.2. 起動と停止

起動と停止について説明します。

バス・パフォーマンス・カウンタ A 制御レジスタ(BPCCRA)の FUNC[1: 0]フィールドを"00"以外の値に設定することにより、対象イベントのカウントを開始します。ただし、このときバス・パフォーマンス・カウンタ A レジスタ (BPCTRA)は初期化せず、その時点の値からカウント開始します。BPCCRA: FUNC[1: 0]を"00"に設定するとバス・パフォーマンス・カウンタ動作を停止します。

5.3. 動作

動作について説明します。

制御レジスタの設定により動作許可されると、以降オンチップバスが動作中は各測定対象動作のカウントを続けます。ただし、以下に示す状態ではカウントを一時停止します。

・エミュレータモード中

各種低消費電力制御を設定している場合のカウント動作は次のようになります。

・CPU スリープモード
各種測定対象動作をカウントします。

・バススリープモード
オンチップバスが動作する DMA 転送時にのみカウントします。それ以外の期間は、測定対象動作が発生しませんので、カウントを行いません。
・スタンバイモード(時計モード/ストップモード)
測定対象動作が発生しませんので、カウントを行いません。

リセットの発生により、制御レジスタが初期化されます。リセット発生直後は、カウントを行いません。

5.4. 測定と結果処理

測定と結果処理について説明します。

BPC の使用は、ICE 接続時あるいはモニタデバッガ利用時を想定しています。測定の設定および結果の読出しは、ユーザプログラムの実行が中断しているデバッグモードにて行います。

測定例としては、以下のようなものがあります。

- ユーザプログラム上の 2 点間の測定
- 基準時間ベースの測定

以下、これらについて説明します。

● ユーザプログラム上の 2 点間の測定

この測定では、ユーザプログラム上の測定開始ポイントおよび測定終了ポイントを以下のとおりに設定します。

- 測定開始ポイント: ユーザプログラムの実行開始ポイント

- 測定終了ポイント: ユーザプログラムのブレークポイント

測定フローを以下に示します。

1. デバッグモードにて測定の設定およびカウンタの初期化を行う
2. 測定開始ポイントからユーザプログラムを実行開始する
3. 測定終了ポイントにてブレークし、ユーザプログラムを実行終了する
4. デバッグモードへ移行し、測定結果を読み出す

基準時間ベースの測定

この測定では、基準時間ごとにデバッグモードに移行して、測定結果の読出しとカウンタの初期化を行います。

基準時間ごとのデバッグモード移行方法としては、次の 2 つが挙げられます。

- ICE 側から基準時間ごとにツールブレークをアサートし、デバッグモードに移行する(ICE 接続時)

- 内蔵タイマのインターバル時間に基準時間を設定し、タイマ割込みルーチンにおける INTE 命令実行でデバッグモードへ移行する

測定フローを以下に示します。

1. デバッグモードにて測定の設定およびカウンタの初期化を行う
2. 測定対象のユーザプログラムを実行開始する
3. 基準時間によるツールブレーク、あるいは、内蔵タイマの割込みルーチンにおける INTE 命令実行
4. デバッグモードへ移行し、測定結果を読み出す
5. 測定カウンタの初期化
6. 以下、2.～5.を繰り返す

測定結果は、Softune Workbench などのデバッガのホストプログラムにて解析します。解析結果は、直感的に理解できるようにグラフ(円グラフ, 棒グラフ, 折れ線グラフなど)にて視覚的に表示され、ユーザのプログラムチューニングに有益な情報を提供します(バス・パフォーマンス・アナライザ機能)。以下は、解析例です。

解析例:

1. バスマスタのアクセス比率
   Ex. CPU アクセス対 DMAC アクセスの比率、全アクセスに占める特定バスマスタアクセスなど
2. 発生イベント比率
   Ex. リードアクセス対ライトアクセスの比率、全サイクルに占めるウェイトサイクル比率など
3. ターゲットの被アクセス比率
   Ex. MCH 対 ICH の比率、全アクセスに占める特定ターゲットへのアクセス比率など
4. 特定バスマスタから特定ターゲットへの特定アクセス比率
   Ex. 全アクセスに占める CPU から MCH へのリードアクセスの比率など
5. 特定ターゲットでのウェイトサイクル発生比率
   Ex. 全ウェイトサイクルに占める MCH アクセス時のウェイトサイクル比率など
6. プログラムの特定 2 点間の各種バス動作解析
   Ex. プログラムの特定 2 点間の全サイクルに占めるリード/ライト/ウェイトサイクル比率など
7. 一定時間ごとの時間推移における各種バス動作解析
   Ex. 全アクセスに占める特定バスマスタの/特定ターゲットへのアクセス比率の時間推移など

CHAPTER: CRC

CRC について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

CRC の概要について説明します。

本モジュールは、CRC 値を計算します。

CRC(Cyclic Redundancy Check)とは、誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データは正しいと判断します。

2. 特長

CRC の特長について説明します。

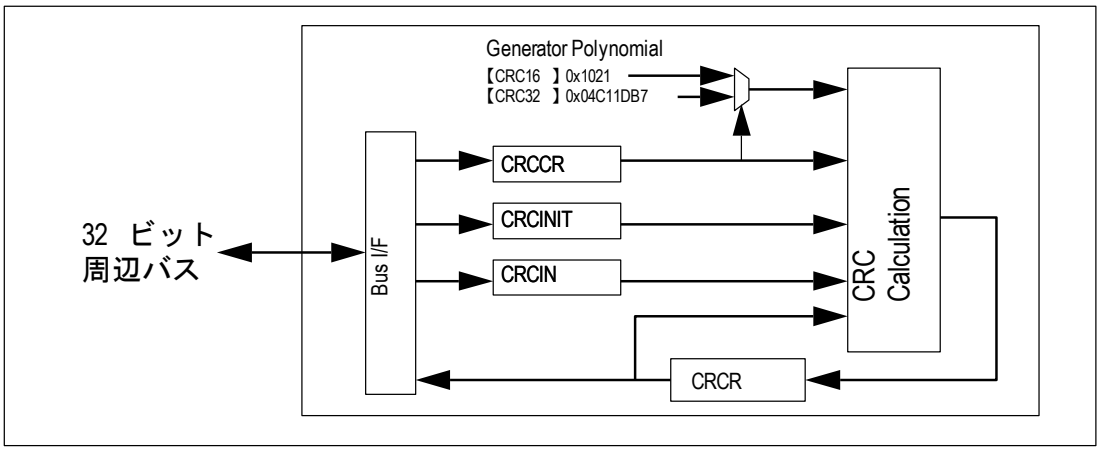
本モジュールでは、CCITT CRC16 と、IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つ用の数値に固定されていますので、他の生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式 : 0x1021
- IEEE-802.3 CRC32 生成多項式 : 0x04C11DB7

3. 構成

CRC の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

CRC のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1130	予約			CRCCR	CRC 制御レジスタ
0x1134	CRCINIT				初期値レジスタ
0x1138	CRCIN				Input Data レジスタ
0x113C	CRCR				CRC レジスタ

4.1. CRC 制御レジスタ ：CRCCR (CRC Control Register)

CRC 制御レジスタのビット構成について示します。

CRC 計算の制御を行います。

■ CRCCR : アドレス 1133$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
初期値	0	0	0	0	0	0	0	0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R0,W

[bit7] Reserved : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書いてください。

[bit6] FXOR (Final XOR) : Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。XOR 値は 0xFFFFFFFF で、FXOR=1 時はビット反転となります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。

[bit5] CRCLSF (CRC result LSb First) : CRC 結果ビットオーダ設定ビット

CRC 結果のビットオーダ設定ビットです。バイト内のビット並び替えを行います。"0"のとき MSB First、"1"のとき LSB First になります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。

[bit4] CRCLTE (CRC result LiTtle Endian) : CRC 結果バイトオーダ設定ビット

CRC 結果のバイトオーダ設定ビットです。ワード内のバイトオーダ並び替えを行います。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。 CRC16 の場合に本ビットを"1"にすると、31-16 ビット目に出力となります。

[bit3] LSBFST (LSB FirST) : ビットオーダ設定ビット

ビットオーダ設定ビットです。バイト(8bit)の先頭ビットを指定します。"0"のとき MSB First、"1"のとき LSB First になります。LTLEND の設定と組み合わせて、4 通りの処理順を指定可能です。

[bit2] LTLEND (LitTtLe ENDian) : バイトオーダ設定ビット

バイトオーダ設定ビットです。書込み幅でのバイト配置順を指定します。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

[bit1] CRC32 (CRC32) : CRC モード選択ビット

CRC16 と CRC32 のモード選択ビットです。CRC32=1 のとき、CRC32 の演算モードになります。

[bit0] INIT (INITialize) : 初期化ビット

初期化ビットです。ソフトウェアにより、本ビットに"1"を書き込むと、初期化が行われます。このビットは値を持たず、読込み時は常に"0"を返します。 初期化では、初期値レジスタの値が、ハードウェアにより CRC レジスタにロードされます。 初期化は、CRC 計算の最初に 1 度実行する必要があります。

4.2. CRC 初期値レジスタ ：CRCINIT (CRC Initial value register)

CRC 初期値レジスタのビット構成について示します。

CRC 計算の初期値を設定します。

■ CRCINIT： アドレス 1134$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit 31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	1	1	・	・	・	1	1	1
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] D (Data)： 初期値ビット

CRC 計算の初期値を記憶します。ソフトウェアは、CRC 計算の初期値を書込みします。(リセット後は 0xFFFF_FFFF) CRC16 のときは、D15-D0 を使用し、D31-D16 は無視します。

4.3. Input Data レジスタ ：CRCIN (CRC INput data register)

Input Data レジスタのビット構成について示します。

CRC 計算の入力データを設定します。

■ CRCIN： アドレス 1138$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit 31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] D (Data) : Input Data ビット

CRC 計算の入力データを設定します。ソフトウェアは、CRC 計算の入力データを書込みします。ビット幅は 8, 16, 32 に対応します。混在も可能です。バイト書込み、ハーフワード書込み時の、書込み位置は任意です。取り得るアドレス位置は、バイト書込み: +0, +1, +2, +3、ハーフワード書込み: +0, +2。

4.4. CRC レジスタ : CRCR (CRC Register)

CRC レジスタのビット構成について示します。

CRC 計算の結果を出力します。

■ CRCR : アドレス 113C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit 31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	1	1	・	・	・	1	1	1
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] D (Data) : CRC ビット

CRC 計算の結果を出力します。ソフトウェアが、初期化ビット(CRCCR.INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値が本レジスタにロードされます。ソフトウェアが、CRC 計算の入力データを Input Data レジスタ(CRCIN)に書込みすると、ハードウェアによって、直ちに CRC 計算結果が本レジスタに設定されます。すべての入力データ書込みが完了したとき、本レジスタは最終的な CRC コードを保持していることになります。 CRC16 の場合は、バイトオーダがビッグエンディアン(CRCLTE=0)のときは D15～D0、リトルエンディアン(CRCLTE=1)のときは D31-D16 の位置に結果が出力されます。

5. 動作説明

CRC について説明します。

5.1. CRC の定義
5.2. リセット動作
5.3. 初期化
5.4. バイトオーダとビットオーダ
5.5. CRC 計算シーケンス
5.6. 使用例

5.1. CRC の定義

CRC の定義について示します。

CCITT CRC16 Standard

生成多項式	0x1021	(CRCCR:CRC32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR:FXOR=0)
ビットオーダ	MSB First	(CRCCR:LSBFST=0)
出力ビットオーダ	MSB First	(CRCCR:CRCLSF=0)

(入出力のバイトオーダは任意に設定可能)

IEEE-802.3 CRC32 Ethernet Standard

生成多項式	0x04C11DB7	(CRCCR:CRC32=1)
初期値	0xFFFF_FFFF	
Final XOR 値	0xFFFF_FFFF	(CRCCR:FXOR=1)
ビットオーダ	LSB First	(CRCCR:LSBFST=1)
出力ビットオーダ	LSB First	(CRCCR:CRCLSF=1)

(入出力のバイトオーダは任意に設定可能)

5.2. リセット動作

リセット動作について示します。

リセット時は、初期値レジスタ(CRCINIT)と、CRC レジスタ(CRCR)を 0xFFFF_FFFF に設定します。
その他は"0"クリアです。

5.3. 初期化

初期化について示します。

CRCCR:INIT による初期化では、初期値レジスタの値を CRC レジスタ(CRCR)にロードします。

5.4. バイトオーダとビットオーダ

バイトオーダとビットオーダについて示します。

例を用いて説明します。次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101 01010010 10101011 00000001

バイトオーダをビッグエンディアン(CRCCR:LTLEND=0)とすると、バイト単位の送信順序は、

10000101	01010010	10101011	00000001
(1 番目)	(2 番目)	(3 番目)	(4 番目)

ビットオーダを LSB First(CRCCR:LSBFST=1)とするとビット単位の送信順序は、

10100001	01001010 11010101 10000000	
(先頭)		(最後)

＜注意事項＞

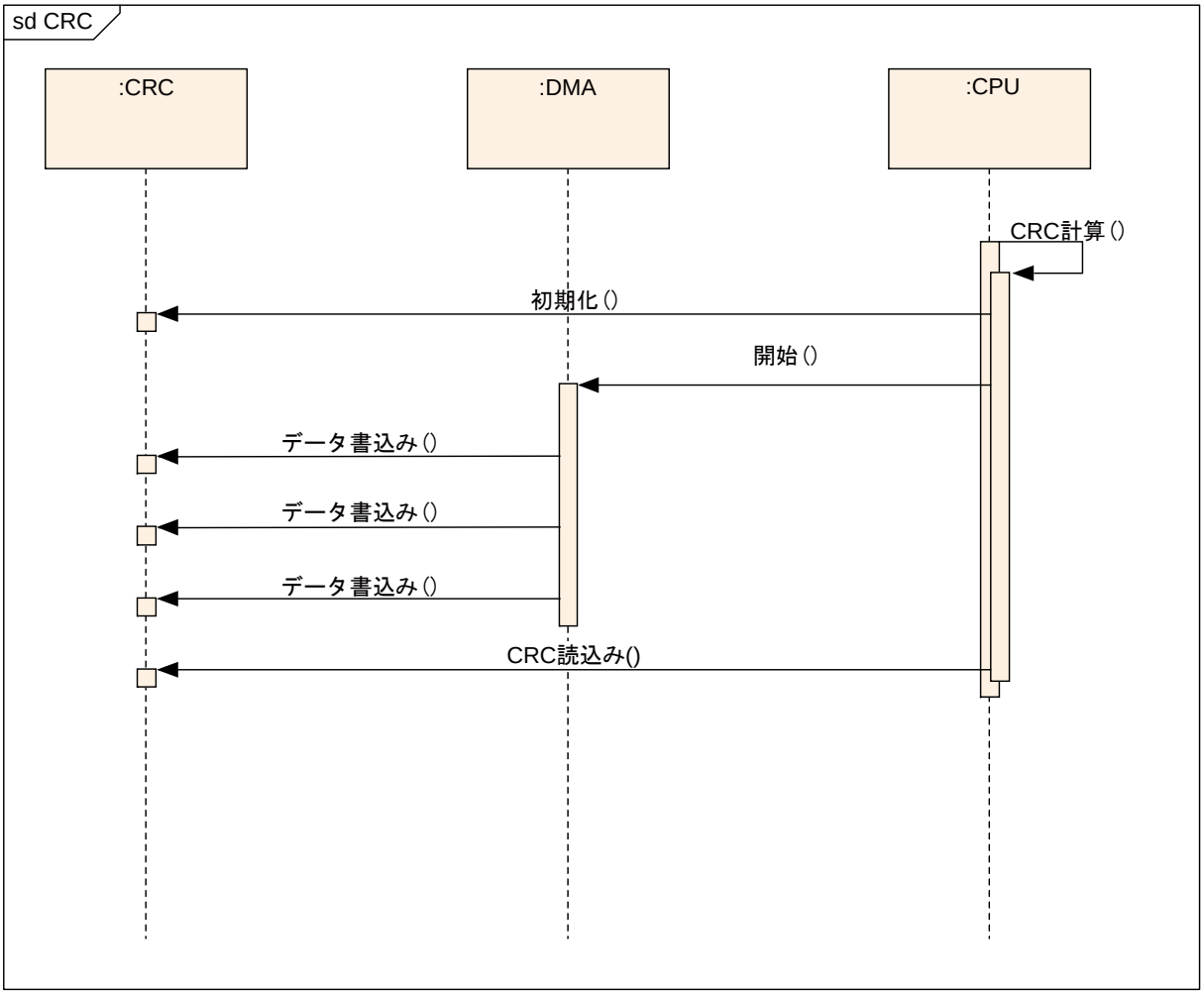
- CRCCR:CRCLTE=1 のとき、CRC 結果は、CRC16,CRC32 ともに 32bit 幅でのバイト並び替えとなります。
- 特に CRC16 のときは bit31-bit16 の位置に出力となりますので注意が必要です。

5.5. CRC 計算シーケンス

CRC 計算シーケンスについて示します。

CRC 計算のシーケンスを次に示します。初期値レジスタ(CRCINIT)の設定、CRC16/32 の選択(CRCCR:CRC32)、バイトオーダ・ビットオーダの設定(CRCCR:LTLEND, CRCCR:LSBFST)は既にされているとします。(初期値が 0xFFFFFFFF で良い場合は、初期値レジスタ(CRCINIT)の設定操作は省略可能です)

図 5-1 CRC 計算シーケンス



- 初期化は、初期化ビット(CRCCR:INIT)への"1"書込みで行います。CRC レジスタ(CRCR)に初期値レジスタの値がロードされます。
- 入力データ書込みは、Input Data レジスタ(CRCIN)への書込みで行います。書込み操作により、CRC 計算が開始されます。連続書込みに対応します。また、異なる bit 幅書込みをシーケンス中に混在させることが可能です。
- CRC コード取得は、CRC レジスタ(CRCR)の読出しで行います。

5.6. 使用例

使用例について示します。

5.6.1. 使用例 1 CRC16、バイト入力固定

5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在

5.6.3 使用例 3 CRC32、バイトオーダ、ビッグエンディアン

5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン

5.6.1. 使用例 1 CRC16、バイト入力固定

使用例 1 CRC16、バイト入力固定について示します。

図 5-2 使用例 1

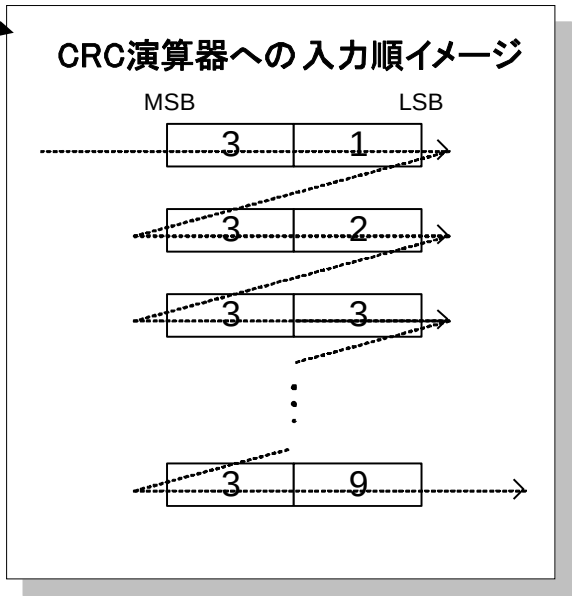
```
//**************************************
// CRC16 (CRC ITU-T)
// polynomial: 0x1021
// initial value: 0xFFFF
// CRCCR.CRC32:  0 // CRC16
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 0 // MSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 0 // CRC MSB First
// CRCCR.FXOR:   0 // CRC Final XOR off
//**************************************
//
// 例 1-1 (byte 単位書込み)
//
// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例１－２ (CRC チェック)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);
B_WRITE (CRCIN, 0x29); // <-- CRC
B_WRITE (CRCIN, 0xB1); // <-- CRC

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

（以下を想定）

B_WRITE — バイト書込み
H_WRITE — ハーフワード書込み
W_WRITE — ワード書込み

B_READ — バイト読込み
H_READ — ハーフワード読込み
W_READ — ワード読込み

CRCCR — 制御レジスタアドレス
CRCINIT — 初期値レジスタアドレス
CRCIN — 入力データレジスタアドレス
CRCR — カレントCRCレジスタアドレス



- バイト・ハーフワードの書込み位置は任意です。本使用例では+0 の位置に連続して書込みをしています。
- CRC16 で、CRC 結果のバイトオーダがビッグエンディアンの場合は bit15～bit0 の位置に結果が出力となりますので、H_READ8 (ハーフワード読込み)のアドレスは+2 としています。

5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在

使用例 2 CRC16、入力 bit 幅異種混在について示します。

図 5-3 使用例 2

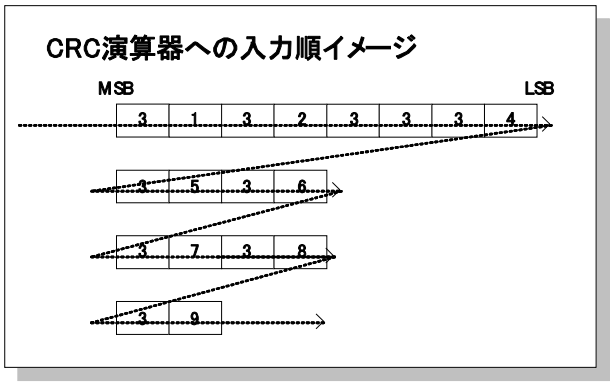
```
//************************************
// CRC16 (CRC ITU-T)
// polynomial:    0x1021
// initial value: 0xFFFF
// CRCCR.CRC32    0 // CRC16
// CRCCR.LTLEND:  0 // big endian
// CRCCR.LSBFST:  0 // MSB First
// CRCCR.CRCLTE:  0 // CRC big endian
// CRCCR.CRCLSF:  0 // CRC MSB First
// CRCCR.FXOR:    0 // CRC Final XOR off
//************************************

//
//  例２－１(書込みサイズ混在)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
W_WRITE (CRCIN, 0x31323334);
H_WRITE (CRCIN, 0x3536);
H_WRITE (CRCIN+2, 0x3738);
B_WRITE (CRCIN+3, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例 2-2(CRC チェック)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
W_WRITE (CRCIN, 0x31313334);
W_WRITE (CRCIN, 0x35363738);
H_WRITE (CRCIN, 0x3929);  // <-- CRC(0x29)
B_WRITE (CRCIN, 0xB1);    // <-- CRC(0xB1)

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

（以下を想定）

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読込み
H_READ　— ハーフワード読込み
W_READ　— ワード読込み

CRCCR　— 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— 入力データレジスタアドレス
CRCR　— カレントCRCレジスタアドレス



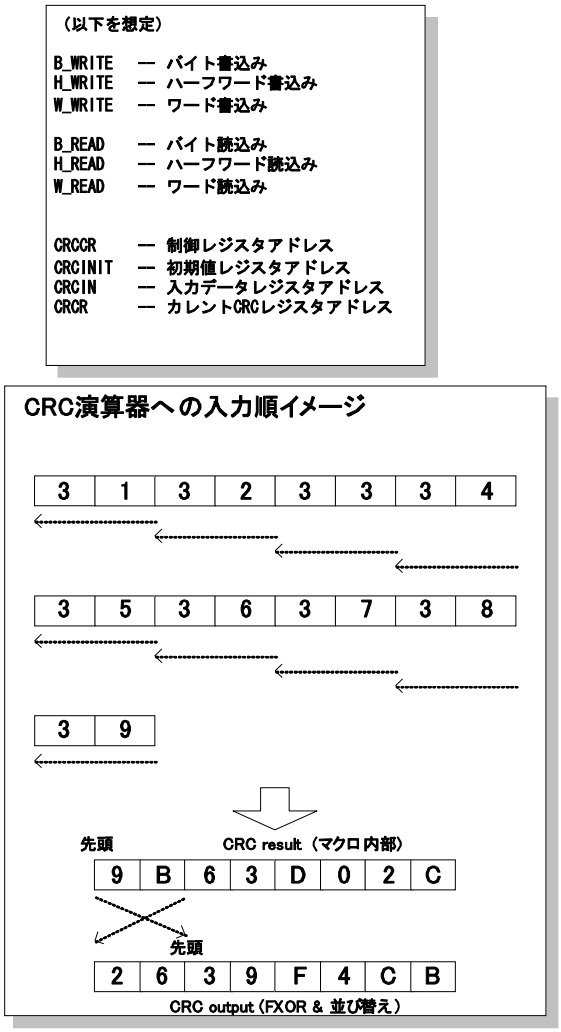
- バイトオーダ、ビットオーダを正しく設定し、CRC 演算器への bit 入力順が同じであれば、書込み幅は任意にできます。
- 例えば、基本をワード書込みとし、最後に 1, 2, 3 バイトの端数が出た場合に、バイト・ハーフワード書込みが混在するケースが考えられます。

5.6.3. 使用例 3 CRC32、バイトオーダ、ビッグエンディアン

使用例 3 CRC32、バイトオーダ、ビッグエンディアンについて示します。

図 5-4 使用例 3

```
//**********************************
// CRC32 (IEEE-802.3)
// polynomial: 0x04C11DB7
// initial value: 0xFFFF_FFFF
// CRCCR.CRC32 1 // CRC32
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 1 // LSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 1 // CRC LSB First
// CRCCR.FXOR: 1 // CRC Final XOR on
//**********************************

//
// 例 3-1(CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x6B);

// data write "123456789"
W_WRITE (CRCIN, 0x31323334);
W_WRITE (CRCIN, 0x35363738);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check CRC result
assert (data == 0x2639F4CB);
 // <- big endian & LSB First
```



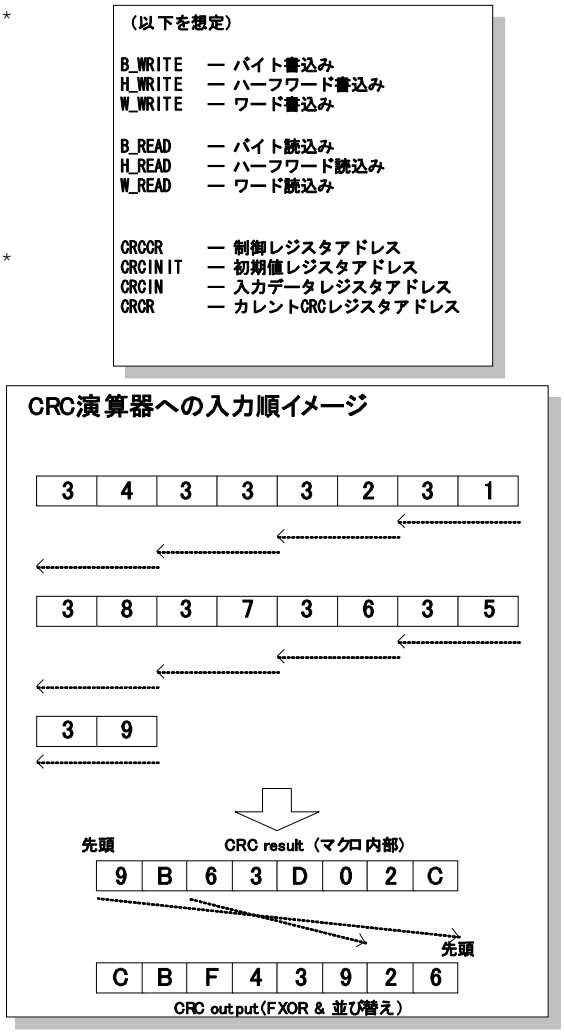
・CRC32(IEEE-802.3)のときは、ビットオーダは LSB First となります。本 CRC 演算器では、バイトオーダはどちらでも対応可能であり、上図はビッグエンディアンの場合を示しています。

5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン

使用例 4 CRC32、バイトオーダ、リトルエンディアンについて示します。

図 5-5 使用例 4

```
//**************************************
// CRC32 (IEEE-802.3)
// polynomial: 0x04C11DB7
// initial value: 0xFFFF_FFFF
// CRCCR.CRC32 1 // CRC32
// CRCCR.LTLEND: 1 // little endian
// CRCCR.LSBFST: 1 // LSB First
// CRCCR.CRCLTE: 1 // CRC little endian
// CRCCR.CRCLSF: 1 // CRC LSB First
// CRCCR.FXOR: 1 // CRC Final XOR on
//**************************************

//
// 例 4-1 (CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x7F);

// data write "123456789"
W_WRITE (CRCIN, 0x34333231);
W_WRITE (CRCIN, 0x38373635);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check result
assert (data == 0xCBF43926);
 // <- little endian & LSB First
```



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First となります。本 CRC 演算器では、バイトオーダはどちらでも対応可能であり、上図はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は、初期化を 0x3F で行って演算を行うか、データ入力後に、CRCCR.FXOR ビットを"0"(例えば CRCCR=0x3E)にすることで、現在の結果に対してビット反転を解除できます。

CHAPTER: RAMECC 機能

RAMECC 機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS28_ECC-3v1-91552-5-J

1. 概要

RAMECC の概要について説明します。

RAMECC 機能は、RAM に読出しまたは書込みするデータについて、バイト単位での 1 ビット誤り訂正 2 ビット誤り検出を実施します。

2. 特長

RAMECC の特長について説明します。

■ 対象 RAM

・XBS RAM
24K バイト

■ RAMECC 機能

RAM に読出しまたは、書込みするデータについて、バイト単位で 2 ビットまでの誤り検出を実施します。
また、誤り検出が 1 ビットの場合、誤り訂正を実施します。

■ 割込み機能

ダブルビットエラーを感知し RAM ダブルビットエラー割込み信号を発生します。

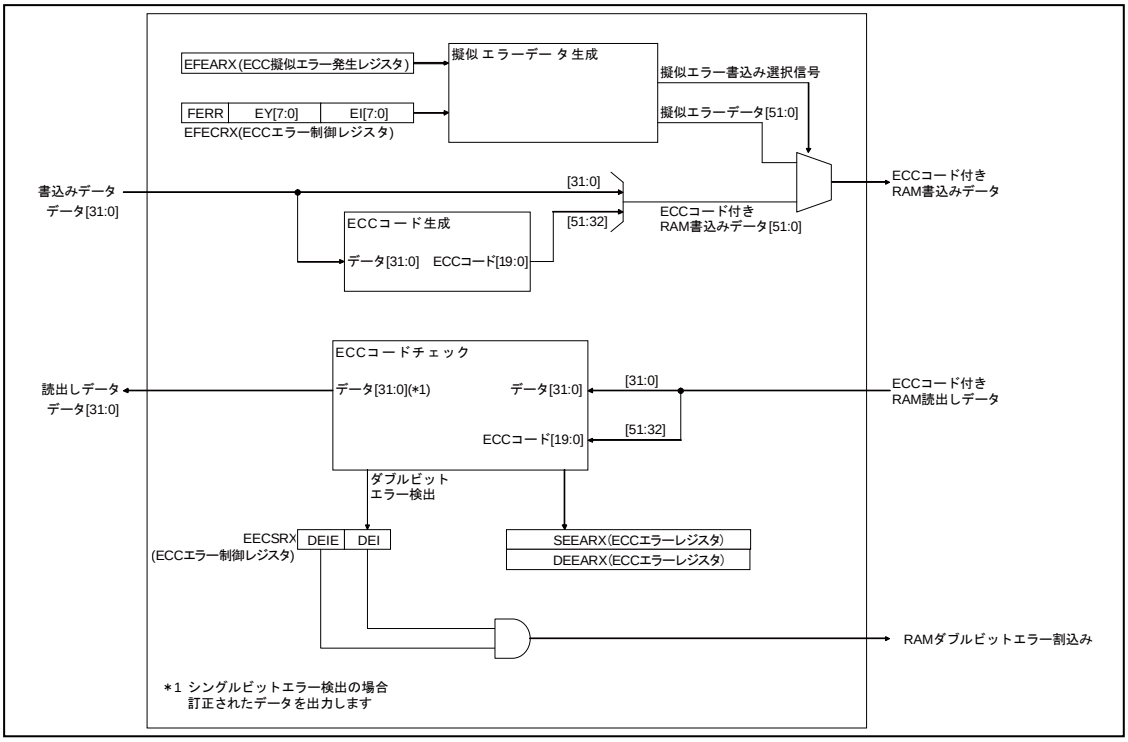
■ テストモード

ソフトデバッグ用として、擬似エラーを発生します。

3. 構成

RAMECC の構成について説明します。

図 3-1 XBS RAM ECC 機能のブロックダイヤグラム(構成)



4. レジスタ

RAMECC のレジスタについて説明します。

表 **4-1** レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x2400	SEEARX		DEEARX		シングルビット ECC エラーアドレスレジスタ XBS RAM ダブルビット ECC エラーアドレスレジスタ XBS RAM
0x2404	EECSRX	予約	EFEARX		ECC エラー制御レジスタ XBS RAM ECC 擬似エラー発生アドレスレジスタ XBS RAM
0x2408	予約	EFECRX			ECC 擬似エラー発生制御レジスタ XBS RAM

4.1. シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX

シングルビット ECC エラーアドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。

■ SEEARX: アドレス 2400H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] 予約
必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : シングルビットエラー発生アドレスビット
ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。
本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(SEEARX で示されるオフセット+2'b00)

4.2. ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX

ダブルビット ECC エラーアドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

■ DEEARX: アドレス 2402_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] 予約
必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : ダブルビットエラー発生アドレスビット
ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。
本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットです。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(DEEARX で示されるオフセット+2'b00)

4.3. ECC エラー制御レジスタ XBS RAM : EECSRX

ECC エラー制御レジスタ XBS RAM のビット構成について示します。

XBS RAMのECC検査時に1ビット誤り訂正または2ビット誤り検出が実施されたかどうかという状態を保持し、また2ビット誤り検出による割込みを許可するかどうかの設定を行います。

■ EECSRX: アドレス 2404_H (アクセス: バイト、ハーフワード、ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				DEIE	DEI	予約	SEI
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W0	R(RM1),W0

[bit7 ～ bit4] 予約
必ず"0"を書込んでください。

[bit3] DEIE : ダブルビットエラー要因の割込み許可ビット

DEIE	機能
0	割込み禁止
1	割込み許可

[bit2] DEI : ダブルビットエラー発生ビット

DEI	読出し	書込み
0	ダブルビットエラーは発生していない	本ビットをクリア
1	ダブルビットエラーが発生した	効果ありません

[bit1] 予約
必ず"0"を書込んでください。

[bit0] SEI : シングルビットエラー発生ビット

SEI	読出し	書込み
0	シングルビットエラーは発生していない	本ビットをクリア
1	シングルビットエラーが発生した	効果ありません

4.4. ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEARX

ECC 擬似エラー発生アドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の擬似エラーを発生させるアドレスを指定します。

■ EFEARX: アドレス 2406_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約
必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : 擬似エラー発生アドレス設定ビット
XBS RAM の擬似 ECC エラーを発生させるアドレスを設定します。
EFECRX.FERR=1 のとき、本アドレスへのライトアクセスを発生させ、EFECRX の設定にしたがって、書き込むデータに故意にエラーを含ませることで ECC エラーを起こします。

＜注意事項＞

上記アドレスはワード単位のオフセットです。絶対アドレスはベースアドレスに下位 2 ビットを加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(EFEARX で設定するオフセット+2'b00)

4.5. ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX

ECC 擬似エラー発生制御レジスタ XBS RAM のビット構成について示します。

ECC擬似エラー発生制御レジスタ(EFECRX)は、発生させるXBS RAMの擬似エラーの内容を、発生バイト，発生ビットという形で指定します。

■ EFECRX: アドレス 2409_H (アクセス: バイト、ハーフワード、ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							FERR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EY7	EY6	EY5	EY4	EY3	EY2	EY1	EY0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EI7	EI6	EI5	EI4	EI3	EI2	EI1	EI0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit23 ～ bit17] 予約
必ず"0"を書込んでください。

[bit16] FERR : 擬似エラー発生許可ビット

FERR	機能
0	擬似 ECC エラーの発生を禁止
1	擬似 ECC エラーの発生を許可

XBS RAM の擬似 ECC エラーの発生を許可します。

"0"に設定した場合 ： 擬似 ECC エラーの発生を禁止します。(通常動作)
なお、ソフトウェアからの"0"書込みは無視されます。

"1"に設定した場合 ： 擬似 ECC エラーの発生を許可します。

"1"に設定されると、以下の動作シーケンスを自動的に行います。

1. EFEARX で指定されたアドレスに、EY7-0, EI7-0 の内容にしたがって、故意にエラーを含むデータを書込みする
2. 同アドレスを読出し、ECC エラーを検出する
3. このビットを"0"にクリアする

[bit15 ～ bit8] EY7 ～ EY0 : 擬似エラー発生バイト設定ビット

EY7 ～ EY0	RAM 上の対象バイト
EY0	RAM データ[7:0]
EY1	RAM データ[15:8]
EY2	RAM データ[23:16]
EY3	RAM データ[31:24]
EY4	RAM データ[36:32]
EY5	RAM データ[41:37]
EY6	RAM データ[46:42]
EY7	RAM データ[51:47]

XBS RAM の擬似 ECC エラーを発生させる対象のバイト位置を指定します。
例えば、EY2=1 でほかは"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[23:16] となり、ほかのデータではエラーは発生しません。
また、EY2=EY3=1 でほかは"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[31:16]となります。

[bit7 ～ bit0] EI7 ～ EI0 : 擬似エラー発生ビット設定ビット

EI7 ～ EI0	Byte 上の対象ビット
EI0	[0]
EI1	[1]
EI2	[2]
EI3	[3]
EI4	[4]
EI5	[5]
EI6	[6]
EI7	[7]

XBS RAM の擬似 ECC エラーを発生させる対象のビット位置を指定します。
例えば、EY2=1, EI4=1 でほかは"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[20] となり、シングルビットエラーを訂正することになります。
また、EY2=1, EI4=EI7=1 でほかは"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[23], RAM データ[20]となり、ダブルビットエラーを検出することになります。
また、EY2=EY3=1, EI4=1 でほかは"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[28], RAM データ[20]となり、それぞれのバイトでシングルビットエラーを訂正することになります。

＜注意事項＞

2408_Hは予約ビットです。ハーフワード、ワードアクセス時の動作は以下になります。
読出し時は、必ず"0"が読み出されます。
書込み時は、必ず"0"を書込んでください。

5. 動作説明

動作の説明をします。

5.1. RAMECC 機能

5.2. 割込み関連レジスタ

5.3. テストモード

5.4. 注意事項

5.1. RAMECC 機能

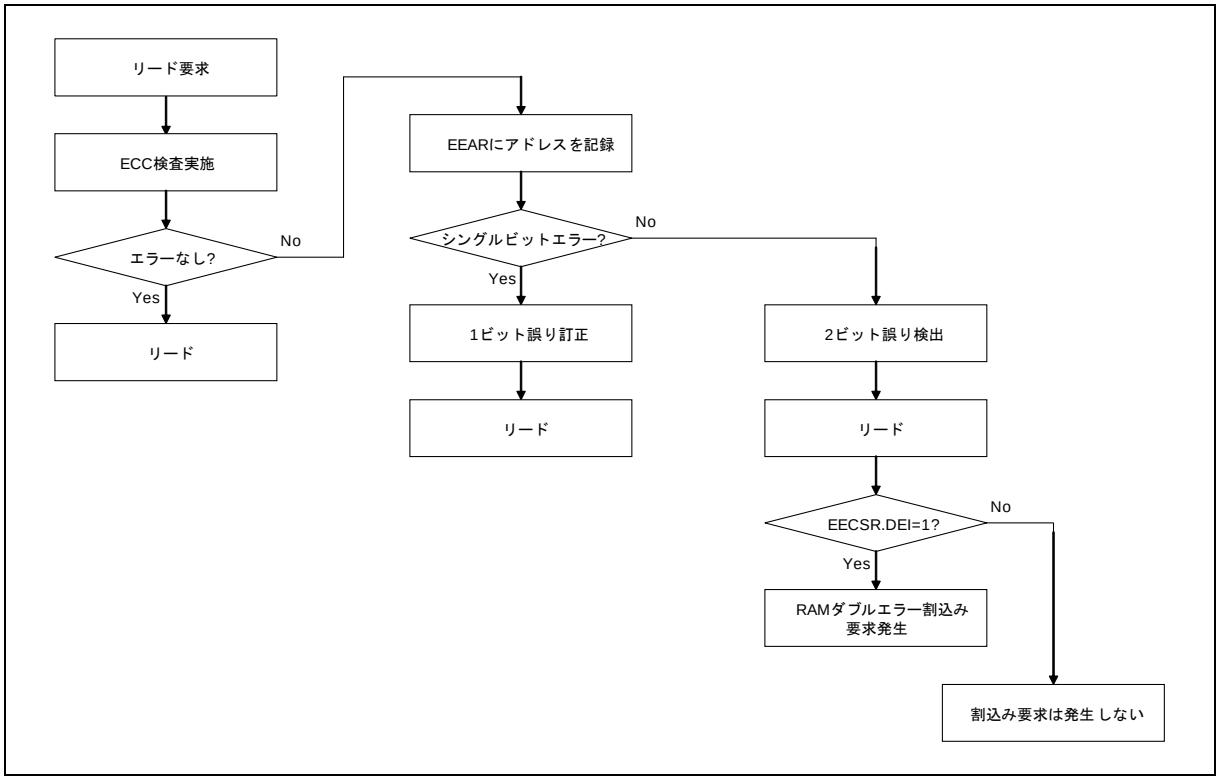
RAMECC 機能について説明します。

RAMECC 機能は常に動作します(ただし、RAM 診断実施時は停止します)。
エラー検出時、EEAR レジスタにエラー発生アドレスが保持されます。EEAR レジスタにエラー発生アドレスが保持された状態で、さらにエラーが検出された場合、EEAR レジスタは上書きされることなく、最初の値が保持されます。

ECC 符号行列は、バイトごとに冗長 5 ビットを ECC 符号として記録します。

RAM データ [51:0]	[7:0]	[15:8]	[23:16]	[31:24]	[36:32]	[41:37]	[46:42]	[51:47]
データ [31:0]	データ [7:0]	データ [15:8]	データ [23:16]	データ [31:24]	ECC [4:0]	ECC [9:5]	ECC [14:10]	ECC [19:15]

以下に、動作フローチャートを示します。



5.2. 割込み関連レジスタ

割込み関連レジスタについて説明します。

割込みを発生させるには、用途に応じて割込み発生許可ビット(DEIE) に"1"を書込み、RAMECC 割込みベクタの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
DEI (RAM ダブルビットエラー割込み)	#15($000FFFC0_H$)	15(F_H) 固定

割込みレベル, 割込みベクタの詳細については、『割込み制御(割込みコントローラ)』の章を参照してください。
割込み要求フラグ(DEI)は自動的にはクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください(DEI ビットに"0" を書き込む)。

5.3. テストモード

テストモードについて説明します。

ソフトデバッグ用として、擬似エラーを発生します。
XBS RAM の ECC 擬似エラー発生動作は、以下の手順で発生します。

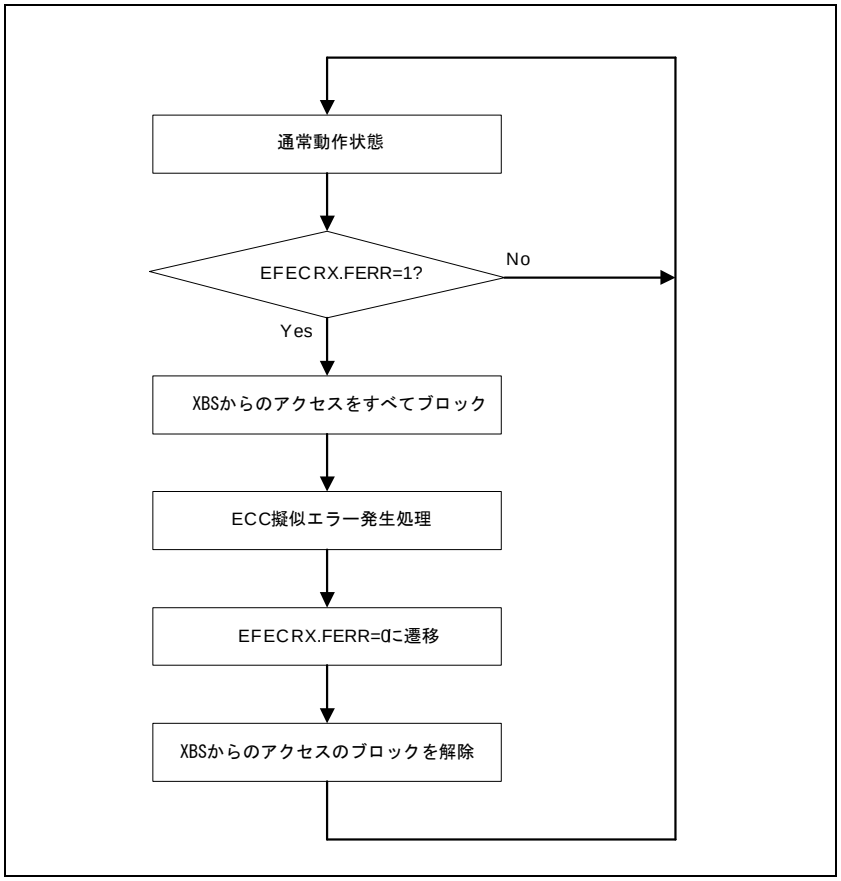
1. ECC 擬似エラー発生アドレスレジスタ(EFEARX) に擬似エラーを発生させるアドレスを指定する。
2. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX)で、バイト，ビットを設定する。
   (ア) EFECRX.EY[7:0]に擬似エラーを発生させるバイト位置を指定する

   (イ) EFECRX.EI[7:0]に擬似エラーを発生させるビット位置を指定する

3. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX)の FERR ビットに"1"を書き込む

EFEARX で指定されたアドレスに、EY[7:0], EI[7:0]の内容にしたがって、故意にエラーを含むデータを書込みます。書込みに引き続き読出しを行い、擬似エラーを検出します。
FERR ビットに"1"が書き込まれてからの動作は自動的に行われます。

以下に、動作フローチャートを示します。



5.4. 注意事項

注意事項について説明します。

3 ビット以上の故障検出時には、シングルビットエラーを検出し、意図しない補正動作が走る場合があります。

XBS RAM の ECC 擬似エラー発生動作中に XBS RAM にアクセスした場合、アクセスがブロックされます。したがって、ECC 擬似エラー処理完了後に XBS RAM へのアクセスを行ってください。

CHAPTER: マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. UART の動作説明
6. CSIO の動作説明
7. LIN インタフェース(v2.1)の動作説明

管理コード : FIP002-2v3-91552-9-J

1. 概要

マルチファンクションシリアルインタフェースの概要について説明します。

本モジュールは、UART(非同期シリアルインタフェース), CSIO(SPI 対応, クロック同期シリアルインタフェース), LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))を提供します。

2. 特長

マルチファンクションシリアルインタフェースの特長について説明します。

本品種には最大 3 チャネルのマルチファンクションシリアルインタフェース通信モジュールが搭載されており、それぞれシリアルモードレジスタ(SMR)で、UART/CSIO/LIN インタフェース(v2.1)のいずれかを選択して使用します。

■ UART

UART(非同期シリアルインタフェース) は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード), マスタ/スレーブ型通信機能(マルチプロセッサモード : マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用の FIFO を搭載しています。

項目	機能
データ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/ 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い, サンプリング値の多数決により受信値を決定します。
転送形式	非同期
ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) ・外部クロック入力をリロードカウンタで調節可能。
データ長	5～9 ビット(ノーマルモード時), 7, 8 ビット(マルチプロセッサモード時)
信号方式	NRZ (Non Return to Zero), 反転 NRZ
スタートビット検出	・スタートビット立下りエッジに同期(NRZ 方式の場合) ・スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
受信エラー検出	・フレーミングエラー ・オーバランエラー ・パリティエラー*
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)
割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*) ・送信割込み (送信データエンプティ, 送信バスアイドル) ・送信 FIFO 割込み (送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり ・ステータス割込み(シリアルタイマ割込み)
マスタ/ スレーブ型通信機能(マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 ステータス : 対応していません

*: パリティエラーはノーマルモード時のみ。

■ CSIO

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです。(SPI に対応します)また、送信/受信(各 64 バイト)の FIFO を搭載しています。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO (各 64 バイト) (FIFO 使用時)
転送形式	・クロック同期(スタートビット/ストップビットなし) ・マスタ/スレーブ機能 ・SPI に対応 (マスタ/スレーブ両方サポート)
ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成, マスタ動作時) ・外部クロック入力可能(スレーブ動作時)
データ長	5～16, 20, 24, 32 ビットに可変可能
受信エラー検出	オーバランエラー
割込み要求	・受信割込み(受信完了, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル, チップエラー割込み) ・送信 FIFO 割込み(送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり* ・ステータス割込み(シリアルタイマ割込み)
シリアルチップセレクト	・Ch.0,1,2: 2 チャネル制御(単独制御、ラウンド制御) ・セットアップ/ホールド/ディセレクト時間を可変に設定可能 ・各チャネルでアクティブレベル選択可能
同期送信機能	シリアルタイマに同期し、定期的にデータを自動送信可能
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロック分周値選択可能(1～256 分周)
同期モード	マスタまたはスレーブ機能
端子アクセス	シリアルデータ出力端子を"1"設定可能
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 ステータス : 対応していません

*: 送受信データのアクセスサイズが 16 ビットかつ FIFO 未使用の場合、連続転送ができません。連続転送される場合は、送受信データのアクセス幅を 32 ビットアクセス(SSR:AWC=1)とするか、FIFO をご使用ください。

■ LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))

● マニュアルモード

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。
また、送信/受信(各 64 バイト)の FIFO を搭載しています。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
転送モード	非同期
ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) ・外部クロック入力をリロードカウンタで調節可能。 ・Sync Field 受信によるボーレート自動調整
データ長	8 ビット
信号方式	NRZ (Non Return to Zero)
スタートビット検出	スタートビット立下りエッジに同期
受信エラー検出	・フレーミングエラー ・オーバランエラー
割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル) ・ステータス割込み(LIN Break Field 検出, シリアルタイマ割込み) ・ICU への割込み要求(LIN sync Field 検出: LSYN) ・送信 FIFO 割込み(送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)
LIN バスオプション	・LIN プロトコル Revision 2.1 に対応 ・マスタデバイス動作 ・スレーブデバイス動作 ・LIN Break Field 生成(13～ 16 ビット長に可変可能) ・LIN Break デリミタ生成(1～4 ビット長に可変可能) ・LIN Break Field 検出 ・インプットキャプチャに接続している LIN sync Field のスタート/ ストップエッジをインプットキャプチャで検出(『インプットキャプチャ』の章を参照してください。)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 ステータス : 対応していません

● アシストモード

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。
LIN 通信におけるヘッダ部の自動送信/自動検出が可能です。また、送信/受信(各 64 バイト)の FIFO を搭載しています。

(注意事項)マスタモードのみサポートします。スレーブモードでは使用できません。

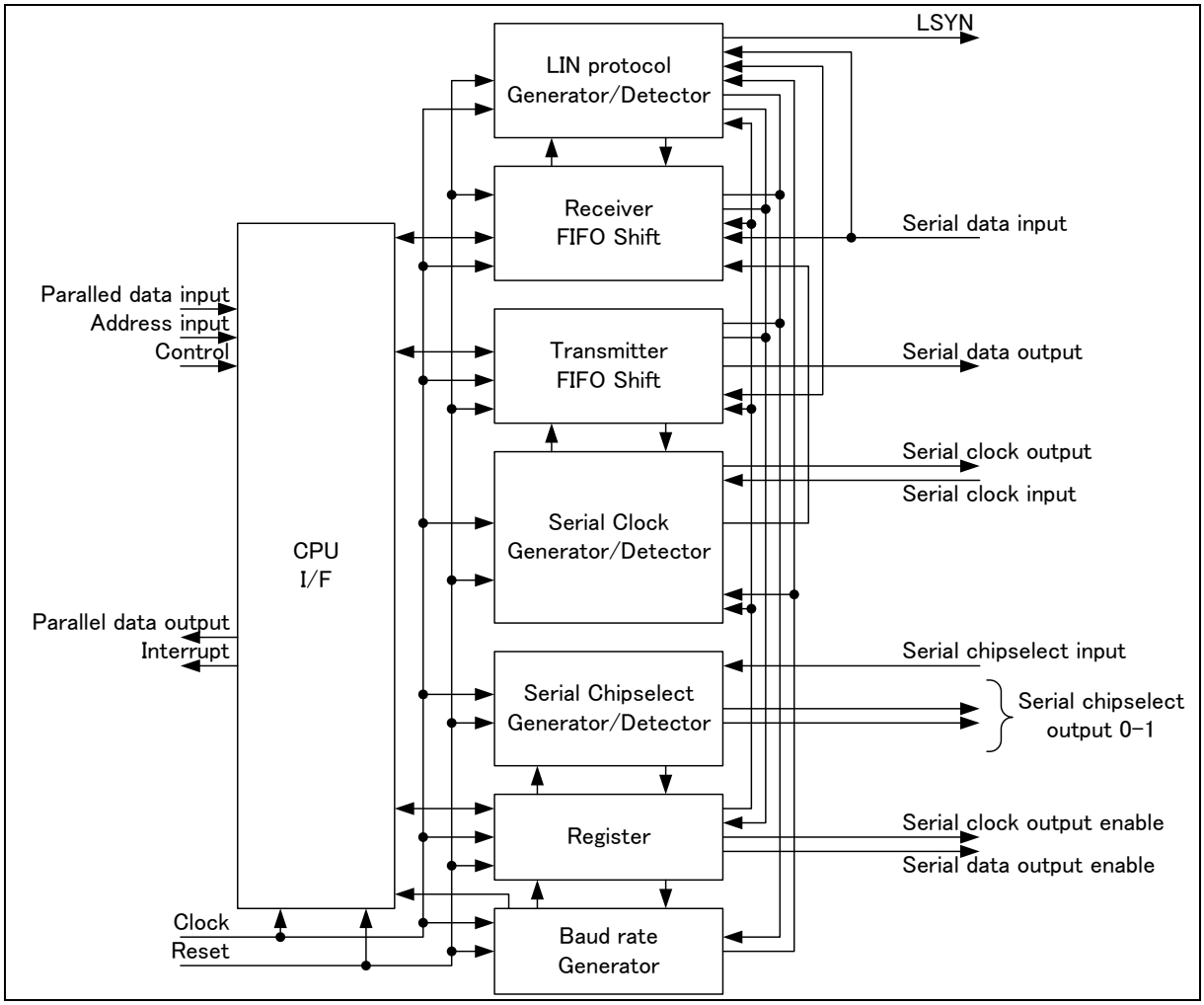
項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/ 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
転送モード	非同期
ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタから構成) ・外部クロック入力をリロードカウンタで調節可能。 ・Sync Field 受信によるボーレート自動調整
データ長	9 ビット
信号方式	NRZ (Non Return to Zero)
スタートビット検出	スタートビット立下りエッジに同期
受信エラー検出	＜送信側の自己チェックにより検出＞ ・LIN バスエラー ＜送信側の自己チェックおよび受信側で検出＞ ・フレーミングエラー ・オーバランエラー ・LIN ID パリティエラー ・LIN チェックサムエラー ＜自動ボーレート調整禁止の受信側で検出＞ ・LIN Sync Data エラー
割込み要求	・送信割込み (1) データ送信割込み(送信データエンプティ，送信バスアイドル) (2) 送信 FIFO 割込み(送信 FIFO が割込みしきい値以下のときまたは送信 FIFO がエンプティのとき) ・受信割込み (1) データ受信割込み(受信完了) (2) 受信 FIFO 割込み(受信 FIFO が割込みしきい値以上のとき) (3) 各種エラー割込み(LIN バスエラー, LIN Sync Data エラー, LIN ID パリティエラー，フレーミングエラー，オーバランエラー, LIN チェックサムエラー) ・ステータス割込み (1) 自動ヘッダ完了割込み (2) Sync Field 検出割込み (3) チェックサム演算完了割込み ・送受信とも DMA 機能あり
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)

項目	機能
LIN バスオプション	・LIN プロトコル Revision 2.1 に対応 ・マスタ/ スレーブデバイスのヘッダの自動送信/ 受信 (1) LIN Break Field 生成(13～20 ビット長に可変可能) (2) LIN Break デリミタ生成(1～4 ビット長に可変可能) (3) Sync Fileld の自動生成および自動データ値(0x55)チェック (4) ID Field パリティ値の自動生成/ チェック (5) チェックサムの自動生成/ チェック(標準/拡張に対応) ・インプットキャプチャに接続している LIN sync Field のスタート/ストップエッジをインプットキャプチャで検出(『インプットキャプチャ』の章を参照してください。)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
LIN 通信テスト機能	・シリアル通信テスト機能 ・擬似障害発生機能(LIN バスエラー, LIN ID パリティエラー, LIN チェックサムエラー, LIN Sync Data エラー, フレーミングエラー)

3. 構成

マルチファンクションシリアルインタフェースの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

マルチファンクションシリアルインタフェースのレジスタについて説明します。

■ ベースアドレス(Base_addr)・外部端子表

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル	Base_addr	外部端子			
		SCK	SOT	SIN	SCS
0	0x1750	SCK0	SOT0	SIN0	SCS00/SCS01
1	0x1778	SCK1	SOT1	SIN1	SCS10/SCS11
2	0x17A0	SCK2	SOT2	SIN2	SCS20/SCS21

■ レジスタマップ

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
Base+ 00_H	[UART] SCRn [CSIO] SCRn [LIN] SCRn	[共通] SMRn	[UART] SSRn [CSIO] SSRn [LIN] SSRn	[UART] ESCRn [CSIO] ESCRn [LIN] ESCRn	[UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ
Base+ 04_H	[UART] 予約 [CSIO] RDR1n/TDR1n [LIN] 予約		[UART] RDR0n/TDR0n [CSIO] RDR0n/TDR0n [LIN] RDR0n/TDR0n		[CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ
Base+ 08_H	[UART] SACSRn [CSIO] SACSRn [LIN] SACSRn		[UART] STMRn [CSIO] STMRn [LIN] STMRn		[UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ
Base+ $0C_H$	[UART] STMCRn [CSIO] STMCRn [LIN] STMCRn		[UART] 予約 [CSIO] SCSCRn [LIN] SFURn		[UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ
Base+ 10_H	[UART] 予約 [CSIO] SCSTR3n [LIN] LAMSRn	[UART] 予約 [CSIO] SCSTR2n [LIN] LAMCRn	[UART] 予約 [CSIO] SCSTR1n [LIN] SFLR1n	[UART] 予約 [CSIO] SCSTR0n [LIN] SFLR0n	[CSIO] シリアルチップセレクトタイミングレジスタ [LIN] LIN アシストモードステータスレジスタ [LIN] LIN アシストモード制御レジスタ [LIN] シンクフィールド下限レジスタ
Base+ 14_H	予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] SCSFR0n [LIN] 予約	[CSIO] シリアルチップセレクトフォーマットレジスタ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
Base+ 18_H	[UART] 予約 [CSIO] 予約 [LIN] LAMESRn	[UART] 予約 [CSIO] 予約 [LIN] LAMERTn	[UART] 予約 [CSIO] TBYTE1n [LIN] LAMIERn	[UART] 予約 [CSIO] TBYTE0n [LIN] LAMTIDn/ LAMRIDn	[CSIO] 転送バイトレジスタ [LIN]LINアシストモードエラーステータスレジスタ [LIN] LIN アシストモード障害試験レジスタ [LIN] LIN アシストモード割込み許可レジスタ [LIN] LIN アシストモード送信/ 受信 ID レジスタ
Base+ $1C_H$	[UART] BGRn [CSIO] BGRn [LIN] BGRn		[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ
Base+ 20_H	[共通] FCR1n	[共通] FCR0n	[共通] FBYTEn		[共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
Base+ 24_H	[共通] FTICRn		予約		[共通] 送信 FIFO 割込み制御レジスタ(FTICR)

4.1. 共通レジスタ

共通レジスタについて示します。

4.1.1. シリアルモードレジスタ ：SMR (Serial Mode Register)

シリアルモードレジスタのビット構成について示します。

シリアル通信方式を選択します。bit3～bit0 は UART か CSIO かにより機能が変わります。

■ SMRn(n=0～2): アドレス Base_addr+01$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MD[2:0]			予約	SBL/ SCINV	BDS	SCKE/ (予約)	SOE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W0	R/W	R/W (R/W0)	R/W (R/W0)	R/W (R/W0)

[bit7～bit5] MD2～MD0 (MoDe) : 動作モード

通信方式を設定します。

"000_B" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001_B" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010_B" : 動作モード 2(CSIO モード)に設定されます。
"011_B" : 動作モード 3(LIN 通信モード)に設定されます。

＜注意事項＞

- 上記設定以外は禁止です。
- 動作モード設定後、各レジスタを設定してください。
- [UART] [CSIO] [LIN] 動作モードを切り換える場合は、プログラマブルクリア実行 (SCR:UPCL=1)後、動作モードを切り換えてください。

[bit4] 予約ビット

必ず"0"を書き込んでください。

[bit3] SBL/SCINV (Stop Bit Length / Serial Clock Inversion) :ストップビット長選択ビット・シリアルクロック反転ビット

[UART] [LIN]

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL= 0, ESCR.ESBL= 0 に設定した場合 ： ストップビットは 1 ビットに設定されます。
SBL= 1, ESCR.ESBL= 0 に設定した場合 ： ストップビットは 2 ビットに設定されます。
SBL= 0, ESCR.ESBL= 1 に設定した場合 ： ストップビットは 3 ビットに設定されます。
SBL= 1, ESCR.ESBL= 1 に設定した場合 ： ストップビットは 4 ビットに設定されます。

＜注意事項＞

- 受信時は、常にストップビットの 1 ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE= 0)のときに設定してください。

[CSIO]

シリアルクロックフォーマットを反転するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

"0"に設定した場合 :
・ シリアルクロック出力のマークレベルを"H"にします。
・ 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ, SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
・ 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ, SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合 :
・ シリアルクロック出力のマークレベルを"L"にします。
・ 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ, SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
・ 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ, SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

＜注意事項＞

- 本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。
- 本ビットは、シリアルクロック出力禁止(SCKE=0)のときに設定してください。
- SCINV ビット設定後に、受信許可(SCR:RXE=1)に設定してください。
- 本ビットは下記の何れかで使用されます。
  - ・チップセレクト端子禁止(SCSCR:CSEN1-0="00"b)のとき
  - ・スレーブモード(SCR:MS=1)のとき
  - ・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
  - ・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子0がアクティブのとき

[bit2] BDS (Bit Direction Select) : **転送方向選択ビット**

[LIN]
LIN では本ビットに常に 0 を書いてください。

[UART] [CSIO]
・転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。
・マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

＜注意事項＞

- 本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。
- [CSIO] 本ビットは下記のいずれかで使用されます。
  - ・チップセレクト端子禁止(SCSCR:CSEN1-0="00"b)のとき
  - ・スレーブモード(SCR:MS=1)のとき
  - ・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
  - ・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき

[bit1] SCKE (Serial ClocK Enable) : **シリアルクロック出力許可ビット**

[CSIO]
シリアルクロックの入出力ポートを制御するビットです。
"0"に設定した場合 : SCK 端子はシリアルクロック入力端子になります。
"1"に設定した場合 : シリアルクロック出力端子となり、送信動作中にクロックを出力します。

＜注意事項＞

- SCK 端子をシリアルクロック入力(SCKE=0)として使用する場合は、汎用入出力ポートを入力ポートに設定してください。
- SCINV ビット設定後にシリアルクロック出力許可(SCKE=1)に設定してください。
- SCK 端子をシリアルクロック出力として使用する場合、ペリフェラル出力端子(EPFR にて設定)として設定してください。設定方法は『I/O ポート』の章を参照してください。

[UART] [LIN]
予約ビットです。必ず"0"を書き込んでください。

[bit0] SOE (Serial Output Enable) : **シリアルデータ出力許可ビット**
[UART] [CSIO] [LIN]
シリアルデータの出力を許可/ 禁止するビットです。
"0"に設定した場合 : シリアルデータの出力は停止します。
"1"に設定した場合 : シリアルデータ出力端子(SOT)となります。

＜注意事項＞

SOT 端子はペリフェラル出力端子(EPFR にて設定)として設定してください。設定方法は『I/O ポート』の章を参照してください。

4.1.2. FIFO 制御レジスタ 1 : FCR1 (FIFO Control Register 1)

FIFO 制御レジスタ 1 のビット構成について示します。

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定，送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FCR1n(n=0～2): アドレス Base addr+20$_H$(アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL
初期値	0	0	0	0	0	1	0	0
属性	R/W0	R/W0	R,W0	R/W	R/W	R(RM1),W	R/W	R/W

[bit7,～bit5] 予約ビット
必ず"0"を書き込んでください。

[bit4] FLSTE (Flag for data LoST detection Enable) : 再送データロスト検出許可ビット
FIFO 再送データロストフラグ(FLST)検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

＜注意事項＞

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit3] FRIIE (Flag for Receive FIFO IdlE detection Enable) : 受信 FIFO アイドル検出許可ビット
受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit2] FDRQ (transmit FIFO Data ReQuest) : 送信 FIFO データ要求ビット
送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件

- 送信 FIFO 割込み制御未使用時
- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット
- 送信 FIFO 割込み制御使用時
- FTICR 設定値≧ FTICR 読出し値(送信 FIFO の格納データ数が割込みトリガレベル以下)
- 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの"0"書込み。
- 送信 FIFO がフルになった場合。

＜注意事項＞

- 送信 FIFO 許可のときに"0"書込みは有効です。
- FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
- 本ビットが"0"のときに FSEL ビットの変更は禁止です。
- 本ビットに"1"を設定した場合動作に影響を与えません。
- リードモディファイライト系命令時、"1"が読み出されます。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- [LIN]設定値以下のとき、"0"書込みは禁止です。

[bit1] FTIE (Flag for Transmit Interrupt Enable) : **送信 FIFO 割込み許可ビット**

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定すると FDRQ ビットが"1"のときに割込みが発生します。

[bit0] FSEL (FIFO SELect) : **FIFO 選択ビット**

送受信 FIFO を選択するビットです。

"0"に設定した場合 ： 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。
"1"に設定した場合 ： 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

＜注意事項＞

- 本ビットは、FIFO リセット(FCL2, FCL1=1)ではクリアされません。
- 本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。
- FDRQ="0"のときに本ビットの変更は禁止です。

4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register 0)

FIFO 制御レジスタ 0 のビット構成について示します。

FIFO制御レジスタ0(FCR0)は、FIFO動作の許可/ 禁止, FIFOリセット, リードポインタの保存, 再送信設定を行います。

■ FCR0n(n=0～2): アドレス Base addr+21$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R,WX	R/W	R0,W	R0,W	R0,W	R/W	R/W

[bit7] 予約ビット
必ず"0"を書き込んでください。

[bit6] FLST (FIFO data LoST) : FIFO 再送データロストフラグビット
送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件
・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存 したリードポインタが一致している時に FIFO へ書き込んだ(上書きした)場合

FLST リセット条件
・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

[bit5] FLD (FIFO pointer reLoaD bit) : FIFO ポインタリロードビット
送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。再送設定が完了した場合、本ビットは"0"になります。

＜注意事項＞

- 本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
- [UART] [CSIO] [LIN] SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

[bit4] FSET (FIFO pointer SET) : FIFO ポインタ保存ビット
送信 FIFO のリードポインタを保存するビットです。通信前にリードポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能となります。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 影響しません。

＜注意事項＞

送信バイト数(FBYTE)が"0"を示している時に本ビットを"1"に設定してください。

[bit3] FCL2 (FIFO Clear 2) : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定すると、FIFO2 の内部状態を初期化します。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

＜注意事項＞

- 送受信を禁止してから、FIFO2 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE2 レジスタの有効データ数は"0"になります。

[bit2] FCL1 (FIFO Clear 1) : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定すると、FIFO1 の内部状態を初期化します。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

＜注意事項＞

- 送受信を禁止してから、FIFO1 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE1 レジスタの有効データ数は"0"になります。

[bit1] FE2 (FIFO Enable 2) : FIFO2 動作許可ビット

FIFO2 の動作を許可/ 禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- [UART] [CSIO] FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"を設定してください。
- [LIN] FIFO2 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。

[bit0] FE1 (FIFO Enable 1) : FIFO1 動作許可ビット

FIFO1 の動作を許可/ 禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- [UART] [CSIO] FIFO1 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"を設定してください。
- [LIN] FIFO1 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。

4.1.4. FIFO バイトレジスタ ：FBYTE (FIFO BYTE Register)

FIFO バイトレジスタのビット構成について示します。

本レジスタは読出し時と書込み時で機能が異なります。
読出し時は、FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。
書込み時は、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FBYTEn(n=0～2): アドレス Base addr+22$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FBYTE2[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FBYTE1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit8] FBYTE2 (FIFO Byte 2) : FIFO2 データ数表示ビット

[bit7～bit0] FBYTE1 (FIFO Byte 1) : FIFO1 データ数表示ビット

FBYTE レジスタは、FIFO に書込みまたは受信した有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下のようになります。

FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE の転送数の初期値は 08_H です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致すると割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- [CSIO] マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。その後、SCR:TXE ビットが"1"のとき設定データ分のシリアルクロックが出力され、設定値分データを受信できます。SCR:TIE ビット, SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が"1"になった後に"1"に設定してください。

・[CSIO] TDR に送信データを 1 回書き込むと、送信 FIFO の FBYTE が＋1 されます。なお、SSR:AWC=0 でデータ長が 20, 24, 32 ビットのとき、1 回分の送信データを書き込むのに TDR に 2 回に分けて送信データを書き込む必要があります。このとき、送信 FIFO の FBYTE は+2 されます。
・[CSIO] RDR から受信データを 1 回読み出すと、受信 FIFO の FBYTE が - 1 されます。なお、SSR:AWC=0 でデータ長が 20，24，32 ビットのとき、1 回分の受信データを読み出すのに RDR から 2 回に分けて受信データを読み出す必要があります。このとき、受信 FIFO の FBYTE は-2 されます。

＜注意事項＞

- [UART] [LIN] 送信 FIFO の FBYTE レジスタには"8'h00"を設定してください。
- [UART] [LIN]受信を禁止してから変更してください。
- [CSIO] マスタ動作で、データを受信する時以外、送信 FIFO の FBYTE レジスタには"8'h00"を設定してください。
- [CSIO] マスタ動作でデータを受信する時の送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが"0"のときに行ってください。
- [CSIO] マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。
- [CSIO] 受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。
- [LIN] FIFO 選択ビット(FCR1:FSEL)設定後､FIFO バイトレジスタ(FBYTE)を設定してください。
- [LIN] FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)を同時に設定することはできません。
- [LIN] 送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは､TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- [LIN] 受信時の FIFO データ数表示は､受信 FIFO に受信され読出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。
- [共通] 受信 FIFO の FBYTE には"1"以上のデータを設定してください。
- [共通] 本レジスタはリードモディファイライト系命令を使用できません。
- [共通] FIFO 容量を超える設定は禁止です。

4.1.5. 送信 FIFO 割込み制御レジスタ ：FTICR

送信 FIFO 割込み制御レジスタのビット構成について示します。

送信 FIFO 割込み制御レジスタ (FTICR)は、FIFO の送信有効データ数による割込みの設定を行います。

■ FTICRn(n=0～2): アドレス Base addr+24$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FTICR2[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FTICR1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] FTICR2 : FIFO2 データ数表示ビット

[bit7～bit0] FTICR1 : FIFO1 データ数表示ビット

FTICR レジスタは、送信 FIFO の送信有効データ数(残量)による割込みトリガレベルを設定します。
FCR1:FSEL ビットによる設定を以下に示します。

FSEL	送信 FIFO 選択	送信 FIFO 割込み制御レジスタ
0	FIFO1	FTICR1
1	FIFO2	FTICR2

- FTICR レジスタの割込みを発生させる有効なデータ数の初期値は 0x00 です。
- 送信 FIFO の FTICR に送信割込みを発生させるデータ数を設定します。この設定されたデータ数と送信 FIFO の有効データ数(FBYTE)の表示が一致、または小さくなった場合、割込みフラグ(FDRQ)が"1"に設定されます。
- 送信 FIFO の有効なデータ数を表示します。

FTICR2, FTICR1 : FIFIO2 データ数表示ビット、FIFO1 データ数表示ビット

書込み	割込みを発生させる有効なデータ数を設定
読出し	有効なデータ数を読出し

＜注意事項＞

- FIFO の容量を超える設定は禁止です。
- 設定値の読出しはできません。
- 本レジスタはリードモディファイライト命令を使用できません。

4.2. UART 時レジスタ

UART 時のレジスタについて示します。

4.2.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタについて示します。

シリアル制御レジスタ(SCR)は、送受信の許可/ 禁止，送受信割込みの許可/禁止，送信バスアイドル割込みの許可/禁止, UART リセットできます。

■ SCRn(n=0～2): アドレス Base addr+00$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	予約	予約	RIE	TIE	TBIE	RXE	TXE
初期値	0	-	-	0	0	0	0	0
属性	R0,W	RX,WX	RX,WX	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL: プログラマブルクリアビット	UART の内部状態を初期化するビットです。 "1"を設定した場合: ・UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。 ・すべての送受信割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI, TINT)は初期化(0000110b)されます。 "0"を設定した場合:影響ありません。 リード時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。 ・プログラマブルクリアを実行(SSR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません。
bit6, bit5	予約ビット	読出しした場合 ： 値は不定です。 書込みした場合 ： 動作に影響しません。
bit4	RIE : 受信割込み許可ビット	・CPU への受信割込み要求出力を許可/禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合、または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。
bit3	TIE : 送信割込み許可ビット	・CPU への送信割込み要求出力を許可/禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み許可ビット	・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

ビット名		機能
bit1	RXE : 受信動作許可ビット	UART の受信動作を許可/禁止します。 ・"0"に設定した場合 ： 受信動作が禁止されます。 ・"1"に設定した場合 ： 受信動作が許可されます。 (注意事項) ・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません。 (反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上りエッジが入力されるまで受信動作を開始しません) ・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。
bit0	TXE : 送信動作許可ビット	UART の送信動作を許可/禁止します。 ・"0"に設定した場合 ： 送信動作が禁止されます。 ・"1"に設定した場合 ： 送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.2.2. シリアルステータスレジスタ ：SSR (Serial Status Register)

シリアルステータスレジスタのビット構成について示します。

シリアルステータスレジスタ(SSR)は、送受信の状態の確認, 受信エラーフラグの確認また, 受信エラーフラグをクリアします。

■ SSRn(n=0～2): アドレス Base addr+02$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約	PE	FRE	ORE	RDRF	TDRE	TBI
初期値	0	-	0	0	0	0	1	1
属性	R0,W	RX,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグ クリアビット	シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 読出しした場合、常に"0"が読み出されます。
bit6	予約ビット	読出しした場合 ：値は不定です。 書込みした場合 ：動作に影響しません。
bit5	PE : パリティエラー フラグビット (動作モード 0 のみ機能)	"0"読出し ： パリティエラーなし "1"読出し ： パリティエラーあり ・ESCR:PEN=1 で受信時にパリティエラーが発生すると"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

ビット名		機能
bit4	FRE : フレーミングエラーフラグビット	"0"読出し：フレーミングエラーなし "1"読出し：フレーミングエラーあり ・受信時にフレーミングエラーが発生すると"1"に設定され、シリアルステータスレジスタ(SSR)のRECビットに"1"を書き込むとクリアされます。 ・FREビットとSCR:RIEビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信FIFO使用時に本フラグがセットされた場合は、受信FIFOの許可ビットがクリアされ、受信データは受信FIFOに格納されません。
bit3	ORE : オーバラン エラーフラグビット	"0"読出し：オーバランエラーなし "1"読出し：オーバランエラーあり ・受信時にオーバランが発生すると"1"に設定され、シリアルス テータスレジスタ(SSR)のRECビットに"1"を書き込むとクリアされます。 ・OREビットとSCR:RIEビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信FIFO使用時に本フラグがセットされた場合は、受信FIFOの許可ビットがクリアされ、受信データは受信FIFOに格納されません。
bit2	RDRF : 受信データ フルフラグビット	"0"読出し：受信データレジスタRDRがエンプティ "1"読出し：受信データレジスタRDRにデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDRに受信データがロードされると、"1"に設定され、受信 データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRFビットとSCR:RIEビットが"1"の場合、受信割込み要求を出力します。 ・受信FIFO使用時は、受信FIFOに所定のデータ数を受信したらRDRFが"1"に設定されます。 ・受信FIFO使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで8クロック以上続いた場合、RDRFが"1"に設定されます。 ・受信FIFOアイドル検出許可ビット(FCR1:FRIIE)が"1" ・受信FIFOに所定のデータ数を受信せずに受信FIFOにデータが残ってる。 8クロックカウント中、RDRを読み出すとそのカウンタは"0"にリセットされ、再度8クロックをカウントします。 ・受信FIFO使用時は、受信FIFOがエンプティになると"0"にクリアされます。

ビット名		機能
bit1	TDRE : 送信データエンプティフラグビット	"0"読出し : 送信データレジスタ TDR にデータが存在する "1"読出し : 送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TDRE ビットは"1"になります。 ・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit0	TBI : 送信バスアイドルフラグビット	"0"読出し : 送信中 "1"読出し : 送信動作なし ・UART が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"になります。 ・送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"になります。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TBI ビットは"1"になります。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

4.2.3. 拡張通信制御レジスタ ：ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, パリティビットの許可/禁止, パリティビットの選択, シリアルデータフォーマットの反転, ストップビット長の選択の設定ができます。

■ ESCRn(n=0～2): アドレス Base addr+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ESBL	INV	PEN	P	L[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	予約ビット	必ず"0"を書き込んでください。
bit6	ESBL : 拡張ストップビット長選択ビット	ストップビット(送信データのフレームエンドマーク)のビット長を設定します。 SBL= 0, ESCR:ESBL= 0 に設定した場合 ： ストップビットは 1 ビットに設定されます。 SBL= 1, ESCR:ESBL= 0 に設定した場合 ： ストップビットは 2 ビットに設定されます。 SBL= 0, ESCR:ESBL= 1 に設定した場合 ： ストップビットは 3 ビットに設定されます。 SBL= 1, ESCR:ESBL= 1 に設定した場合 ： ストップビットは 4 ビットに設定されます。 (注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。 ・本ビットは送信が禁止(TXE=0)のときに設定してください。
bit5	INV : 反転シリアルデータフォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。 ・"0"に設定した場合 : NRZ フォーマットに設定されます。 ・"1"に設定した場合 ： 反転 NRZ フォーマットに設定されます。
bit4	PEN : パリティ許可ビット (動作モード 0 のみ機能)	パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。 ・"0"に設定した場合 ： パリティビットは付加されません。 ・"1"に設定した場合 ： パリティビットは付加されます。 (注意事項) 動作モード 1 のときは、本ビットは内部で"0"に固定されます。
bit3	P : パリティ選択ビット (動作モード 0 のみ機能)	パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"か偶数パリティ"0"のいずれかに設定します。 ・"0"に設定した場合 ： 偶数パリティに設定されます。 ・"1"に設定した場合 ： 奇数パリティに設定されます。

ビット名		機能
bit2, bit1, bit0	L2, L1, L0 : データ長選択ビット	送受信データのデータ長を指定します。 ・"000_B"に設定した場合 ： データ長は、8 ビットに設定されます。 ・"001_B"に設定した場合 ： データ長は、5 ビットに設定されます。 ・"010_B"に設定した場合 ： データ長は、6 ビットに設定されます。 ・"011_B"に設定した場合 ： データ長は、7 ビットに設定されます。 ・"100_B"に設定した場合 ： データ長は、9 ビットに設定されます。 (注意事項) ・ 上記以外の設定は禁止です。 ・動作モード 1 では、データ長は、7, 8 ビットに設定してください。 そのほかの設定は禁止です。

4.2.4. 送信データレジスタ・受信データレジスタ ：RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。読出しした場合は、受信データレジスタとして機能し、書込みした場合は送信データレジスタとして機能します。FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し、書込みアドレスとなります。

■ 読出し

■ RDR0n(n=0～2): アドレス Base addr+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							D8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効となります。
- 動作モード 1 (マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
- 9 ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

＜注意事項＞

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ 書込み

■ TDR0n(n=0～2): アドレス Base addr+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-							D8
初期値	-	-	-	-	-	-	-	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ(SSR:TDRE)は送信データが送信データレジスタ(TDR)に書き込まれると、"0"クリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送および動作モード 1 の場合 TDR への書込みは 16 ビットアクセスで行います。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで，受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.2.5. シリアル補助制御ステータスレジスタ ：SACSR

シリアル補助制御ステータスレジスタについて示します。

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御、タイマ割込みの許可/ 禁止、同期送信の許可/ 禁止、シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

■ SACSRn(n=0～2): アドレス Base addr+08$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	予約						TINT
初期値	0	0	0	0	0	0	0	0
属性	R/W	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	RX,W0	RX,W0	R/W	R/W	R/W	R/W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。
シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。
シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)のときのみ変更可能です。

[bit14～bit9] 予約ビット

必ず"0"を書き込んでください。

＜注意事項＞

外部トリガ許可ビット(TRGE)が"0"のときは無効です。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリア

ルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。
本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。
本ビットが"1"でタイマ割込みフラグ(TINT) が"1"の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6～bit5] **予約ビット**

必ず″0″を書き込んでください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ : バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : **シリアルタイマ許可ビット**

シリアルタイマの動作許可または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

4.2.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=0～2): アドレス Base addr+0A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに 1 が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは"0"に初期化されます。

4.2.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～2): アドレス Base addr+0C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を"1"にします。

下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。

・SACSR:TINT が"1"に設定される。

＜注意事項＞

- 本レジスタに(0000) H を設定した場合、シリアルタイマレジスタは"0"のままです。
- 本レジスタに"0000"H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000"b に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、本レジスタは変更可能です。

4.2.8. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ BGRn(n=0～2): アドレス Base addr+1C$_H$ (アクセス ： ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EXT	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] EXT (EXTernal clock) : 外部クロック選択ビット

ボーレート生成用内部リロードカウンタに、内部クロックソースを使用するか、外部クロックソースを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT= 1 に設定した場合、外部クロックを選択します。

[bit14～bit0] BGR14～BGR0 (Baud rate GeneratoR) : ボーレートジェネレータビット

・シリアルクロックの分周比を設定します。
・カウントするリロード値の書込み、設定値の読出しが可能です。
・リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"の方がバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- BGR へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ(BGR)に"0"を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

4.3. CSIO 時レジスタ

CSIO 時のレジスタについて説明します。

4.3.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタのビット構成について示します。

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止，送信アイドル割込みの許可/ 禁止，送受信動作の許可/禁止の設定を行います。また、SPI に接続するための設定, CSIO をリセットできます。

■ SCRn(n=0～2): アドレス Base addr+00_H (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R,W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL : プログラマブルクリアビット	CSIO の内部状態を初期化するビットです。 "1"を設定した場合: ・CSIO を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは、BGR レジスタの設定値をリロードし、 再スタートします。 ・すべての送受信およびステータス割込み要因(SSR:TDRE, TBI, RDRF, ORE, TINT, CSE)は初期化されます。 ・全シリアルチップセレクト端子がインアクティブになります。 "0"を設定した場合 ：動作に影響を及ぼしません。 リード時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。 ・プログラマブルクリアを実行(SCR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません。
bit6	MS : マスタ/スレーブ機能選択ビット	マスタまたはスレーブモードを選択します。 "0"に設定した場合 ：マスタモードに設定されます。 "1"に設定した場合 ：スレーブモードに設定されます。 (注意事項) ・スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。 ・本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。 ・MS ビット設定後に、受信許可(RXE=1)に設定してください。

ビット名		機能
bit5	SPI : SPI 対応ビット	本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。 "0"に設定した場合 : ノーマル同期通信を行います。 "1"に設定した場合 : SPI に対応します。 (注意事項) ・本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。 ・本ビットは下記のいずれかで使用されます。 ・チップセレクト端子禁止(SCSCR:CSEN1-0="00"$_B$) ・スレーブモード(SCR:MS=1)のとき ・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき ・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき
bit4	RIE : 受信割込み許可ビット	・"0"に設定した場合 : 受信割込みが禁止されます。 ・"1"に設定した場合 : 受信割込みが許可されます。 ・CPU への受信割込み要求出力を許可/禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合またはエラーフラグビット(ORE)のいずれかが"1"の場合、受信割込み要求を出力します。
bit3	TIE : 送信割込み許可ビット	・"0"に設定した場合 : 送信割込みが禁止されます。 ・"1"に設定した場合 : 送信割込みが許可されます。 ・CPU への送信割込み要求出力を許可/禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み許可ビット	・"0"に設定した場合 : 送信バスアイドル割込みが禁止されます。 ・"1"に設定した場合 : 送信バスアイドル割込みが許可されます。 ・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。
bit1	RXE : 受信動作許可ビット	CSIO の受信動作を許可/禁止します。 ・"0"に設定した場合 : データフレーム受信動作が禁止されます。 ・"1"に設定した場合 : データフレーム受信動作が許可されます。 (注意事項) ・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・MS ビットおよび SMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。
bit0	TXE : 送信動作許可ビット	CSIO の送信動作を許可/禁止します。 ・"0"に設定した場合 : データフレーム送信動作が禁止されます。 ・"1"に設定した場合 : データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.3.2. シリアルステータスレジスタ ：SSR (Serial Status Register)

シリアルステータスレジスタのビット構成について示します。

シリアルステータスレジスタ(SSR)は、送受信の状態の確認，受信エラーフラグの確認，また，受信エラーフラグをクリアします。

■ SSRn(n=0～2): アドレス Base addr+02$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約		AWC	ORE	RDRF	TDRE	TBI
初期値	0	0	0	0	0	0	1	1
属性	R0,W	R0,W0	R/W0	R/W	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグ クリアビット	シリアルステータスレジスタ(SSR)の ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 読出しした場合、常に"0"が読み出されます。
bit6, bit5	予約ビット	必ず"0"を書き込んでください。
bit4	AWC : アクセス幅制御ビット	送信データレジスタ(TDR)と受信データレジスタ(RDR)へのアクセス時に、16 または 32 ビットアクセスを行うかを選択するビットです。 ・"0"に設定した場合 : 16 ビットアクセス ・"1"に設定した場合 : 32 ビットアクセス (注意事項) 本ビットは送受信禁止(SCR:TXE=RXE=0)で TDR と RDR が空(SSR:TDRE=1, SSR:RDRF=0)のときのみ変更可能です。 ・送信 FIFO 未使用時に DMA 転送を行う場合、本ビットに"1"を設定してください。 ・データ長が 20、24、32 ビットの場合は、本ビットに"1"を設定してください。 ・送信 FIFO 許可(FCR0.FE2,FE1=0)時、スレーブモードで SPI モードを使用する場合では、本ビットを"1"に設定してください。

ビット名		機能
bit3	ORE : オーバラン エラーフラグビット	"0"読出し : オーバランエラーなし "1"読出し : オーバランエラーあり ・受信時にオーバランが発生すると"1"に設定され、シリアルス テータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。
bit2	RDRF : 受信データ フルフラグビット	"0"読出し : 受信データレジスタ RDR がエンプティ "1"読出し : 受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDR に受信データがロードされると、"1"に設定され、受信 データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。 ・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。 ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1" ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。 ・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。
bit1	TDRE : 送信データエンプティ フラグビット	"0"読出し : 送信データレジスタ TDR にデータが存在する "1"読出し : 送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"を設定すると TDRE ビットは"1"になります。 ・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

ビット名		機能
bit0	TBI : 送信バスアイドル フラグビット	"0"読出し : 送信中 "1"読出し : 送信動作なし ・CSIO が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へデータを書き込んだ場合に本ビットは"0"になります。 ・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"になります。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"を設定すると TDRE ビットは"1"になります。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。 (注意事項) 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクトエラー(CSE=1)が発生した場合に本ビットは"1"になります。

4.3.3. 拡張通信制御レジスタ ：ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, シリアル出力を"H"固定の設定ができます。

■ ESCRn(n=0～2): アドレス Base addr+03$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SOP	L[3]	CSFE	WT[1:0]		L[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	SOP : シリアル出力端子セットビット	・シリアル出力端子を"H"に設定するビットです。本ビットに"1"を書き込んだ時に SOT 端子を"H"にしますが、その後、本ビットに"0"を書き込む必要はありません。 ・読出しした場合、常に"0"が読み出されます。 (注意事項) シリアルデータ送信中に、本ビットの設定はしないでください。
bit5	CSFE: シリアルチップセレクトフォーマット許可ビット	シリアルチップセレクト端子ごとのフォーマット設定を許可または禁止します。 ・"0"に設定した場合 ： すべてのシリアルチップセレクト端子で同一のデータフォーマットおよびクロックフォーマットを設定 ・"1"に設定した場合 ： シリアルチップセレクト端子ごとにデータフォーマットおよびクロックフォーマットを設定 本ビットに"1"が設定されているとき、シリアルチップセレクト端子ごとに以下の設定を行います。 ・シリアルチップセレクトのインアクティブレベル ・シリアルクロックのマークレベル ・SPI 転送/ノーマル転送の選択 ・シリアルデータの転送方向 ・シリアルデータのデータ長 (注意事項) 本ビットの設定は以下のいずれかの場合、無効です。 ・チップセレクト端子禁止(SCSCR:CSEN1-0="00"$_B$)のとき ・スレーブモード(SCR:MS=1)のとき 本ビットに"1"を設定する場合、以下の設定をしてください。 ・受信 FIFO 許可 ・ホールドディレイを 2 以上に設定(SCSTR1 レジスタの CSHD7-0 ビットを 2 以上に設定) ・複数のスレーブデバイスと通信を行う場合、各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定 ・シリアルチップセレクトごとに 9 ビット以下、10 ビット以上を

ビット名		機能
		設定することは禁止 (禁止例) シリアルチップセレクト 0 = 9 ビット シリアルチップセレクト 1 = 10 ビット (可能例) シリアルチップセレクト 0 = 16 ビット シリアルチップセレクト 1 = 10 ビット
bit4, bit3	WT1,WT0 : データ送受信ウェイト選択ビット	マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は"00"の動作になります。 ・"00"に設定した場合 : 連続的に SCK が出力されます。 ・"01"に設定した場合 : 1 ビット時間ウェイト後、SCK が出力されます。 ・"10"に設定した場合 : 2 ビット時間ウェイト後、SCK が出力されます。 ・"11"に設定した場合 : 3 ビット時間ウェイト後、SCK が出力されます。 (注意事項) 以下のすべての条件が揃う状態で使用する場合、WT1,WT0 は"00"に設定してください。 ・チップセレクトを使用 ・SPI モード(SCR:SPI=1)を使用 ・TBYTE レジスタに"01"H を設定 ・SCSCR レジスタの SCAM ビットに"1"を設定

ビット名		機能
bit6, bit2 ～ bit0	L3, L2, L1, L0 : データ長選択ビット	送受信データのデータ長を指定します。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。 ・"0000_B"に設定した場合 ： データ長は、8 ビットに設定されます。 ・"0001_B"に設定した場合 ： データ長は、5 ビットに設定されます。 ・"0010_B"に設定した場合 ： データ長は、6 ビットに設定されます。 ・"0011_B"に設定した場合 ： データ長は、7 ビットに設定されます。 ・"0100_B"に設定した場合 ： データ長は、9 ビットに設定されます。 ・"0101_B"に設定した場合 ： データ長は、10 ビットに設定されます。 ・"0110_B"に設定した場合 ： データ長は、11 ビットに設定されます。 ・"0111_B"に設定した場合 ： データ長は、12 ビットに設定されます。 ・"1000_B"に設定した場合 ： データ長は、13 ビットに設定されます。 ・"1001_B"に設定した場合 ： データ長は、14 ビットに設定されます。 ・"1010_B"に設定した場合 ： データ長は、15 ビットに設定されます。 ・"1011_B"に設定した場合 ： データ長は、16 ビットに設定されます。 ・"1100_B"に設定した場合 ： データ長は、20 ビットに設定されます。 ・"1101_B"に設定した場合 ： データ長は、24 ビットに設定されます。 ・"1110_B"に設定した場合 ： データ長は、32 ビットに設定されます。 (注意事項) ・上記設定以外は禁止です。 ・本ビットは下記のいずれかで使用されます。 　・チップセレクト端子禁止(SCSCR:CSEN1-0="00_B")のとき 　・スレーブモード(SCR:MS=1)のとき 　・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき 　・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき

4.3.4. 送信データレジスタ・受信データレジスタ ：RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。読出しした場合は、受信データレジスタとして機能し、書込みした場合は送信データレジスタとして機能します。

■ 読出し

■ RDR1n-0n(n=0～2): アドレス Base addr+04$_H$ (アクセス: ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	D31	D30	D29	D28	D27	D26	D25	D24
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	D23	D22	D21	D20	D19	D18	D17	D16
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

・シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。

データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは"0"となります。

例 ：データ長が 8 ビットで"45"h を受信した場合　D7-D0="45"h，D31-D8=0

・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
・受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:ORE が"1")した場合，受信データレジスタ(RDR)のデータは無効となります。
・RDR の読出しを行う場合、以下のようにアクセスしてください。

・ SSR:AWC=0 の場合、RDR の下位 16 ビットに対して 16 ビットアクセス
・ SSR:AWC=1 の場合、32 ビットアクセス

・SSR:AWC=1 はすべてのデータ長で読出し回数は 1 回です。
・SSR:AWC=0 でデータ長が 5～16 ビットの場合、読出し回数は 1 回です。

＜注意事項＞

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生(SSR:ORE が"1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。
- SSR:AWC=0 のとき、D31-D16 の読出し値は不定です。

■ 書込み

■ TDR1n-0n(n=0～2): アドレス Base addr+04$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	D31	D30	D29	D28	D27	D26	D25	D24
初期値	0	0	0	0	0	0	0	0
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	D23	D22	D21	D20	D19	D18	D17	D16
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用の 32 ビットデータバッファレジスタです。

・送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
・データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは"無効"となります。

例：データ長が 8 ビットで"45"h を送信する場合　D7-D0="45"h，D31-D8 は無効。

・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"クリアされます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
・送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
・送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。
・TDR への書込みを行う場合、以下のようにアクセスしてください。
  ・ SSR:AWC=0 の場合、TDR の下記 16 ビットに対して 16 ビットアクセス
  ・ SSR:AWC=1 の場合、32 ビットアクセス
・SSR:AWC=1 はすべてのデータ長で書込み回数は 1 回です。
・SSR:AWC=0 でデータ長が 5～ 16 ビットの場合、書込み回数は 1 回です。

■ 送信データレジスタ(TDR)と送信データエンプティフラグの関係

16 ビットアクセス(SSR:AWC=0)の場合、TDR レジスタは 16 ビット境界になり、1 回の書込みで 16 ビットずつ、送信データが格納されます。また、TDR レジスタに 32 ビットの送信データがある場合、送信データエンプティフラグ(SSR:TDRE)は"0"になります。

32 ビットアクセス(SSR:AWC=1)の場合、TDR レジスタは 32 ビット境界になり、1 回の書込みで 32 ビットずつ、送信データが格納されます。

表 4-3 送信データレジスタ(TDR)と送信データエンプティフラグの関係

データアクセス幅	データ長	TDR レジスタ格納データ数	TBI フラグ	TDRE フラグ	送信
16 ビットアクセス (SSR:AWC=0)	5-16 ビット	0 ビット	1	1	送信不可
		16 ビット	0		送信可能
		32 ビット		0	
32 ビットアクセス (SSR:AWC=1)	全データ長	0 ビット	1	1	送信不可
		32 ビット	0	0	送信可能

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.3.5. シリアル補助制御ステータスレジスタ ：SACSR

シリアル補助制御ステータスレジスタのビット構成について示します。

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御、タイマ割込みの許可/ 禁止, 同期送信の許可/禁止、シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

■ SACSRn(n=0～2): アドレス Base addr+08_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	予約	TBEEN	CSEIE	CSE	予約		TINT
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R/W	R/W	R(RM1),W	RX,W0	RX,W0	R(RM1),W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	TSYNE	予約	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R,W	RX,W0	R,W	R,W	R,W	R,W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。
シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。
シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=0,SCR:RXE=0)のときのみ変更可能です。
- 本ビットはスレーブモード(SCR:MS=1)時に"0"に設定してください。

[bit14] 予約ビット

読出しした場合 ： 読出し値は"0"です。
書込みした場合 ： 常に"0"を書き込んでください。

[bit13] TBEEN : 転送バイトエラー許可ビット

マスタモード時(SCR:MS="0")に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していない時に 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE="1")場合、シリアルチップセレクトエラーの発生の有無を選択します。

・チップセレクト使用時
・シリアルタイマの同期送信使用時

TBEEN	転送バイトエラー許可ビット
0	マスタモード(SCR:MS=0)時のチップセレクトエラーの発生を禁止
1	マスタモード(SCR:MS=0)時のチップセレクトエラーの発生を許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。

[bit12] CSEIE : **チップセレクトエラー割込み許可ビット**

チップセレクトエラー割込み要求出力を許可/禁止するビットです。
CSEIE ビットとチップセレクトエラーフラグビット(CSE)が"1"の場合、送信割込み要求を出力します。

CSEIE	チップセレクトエラー割込み許可ビット
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE : **チップセレクトエラーフラグビット**

転送バイトエラー許可(TBEEN=1)でマスタモード時(SCR:MS=0)に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、本ビットは"1"に設定されます。

・チップセレクト使用時
・シリアルタイマによる同期送信使用時

スレーブモード(SCR:MS="1")時、送信動作中(SSR:TBI=0)にシリアルチップセレクト端子がインアクティブになった場合、本ビットは"1"に設定されます。
本ビットが"1"でチップセレクトエラー割込み許可ビット(CSEIE)が"1"のとき、送信割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

CSE	チップセレクトエラーフラグビット
0	チップセレクトエラーなし
1	チップセレクトエラーあり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリ設定されます。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- スレーブモード(SCR:MS=1)でシリアルチップセレクト未使用(SCSCR:CSEN0="0")時、本ビットは"1"に設定されません。
- チップセレクトエラー発生(CSE=1)時、送信を禁止(SCR:TXE=0)に設定後、本ビットに"0"を書き込んでください。送信を再開させる場合、本ビットに"0"を書込み後、送信許可(SCR:TXE=1)および送信データバッファ(TDR)へ送信データの書込みを行ってください。
- スレーブ送信時にシリアルチップセレクト入力に1バスクロック以上のノイズが発生した場合、本ビットが"1"に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。

[bit10, bit9] **予約ビット**

必ず"0"を書き込んでください。

[bit8] TINT : **タイマ割込みフラグ**

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリ設定されます。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE : **同期送信許可ビット**

同期送信を許可または禁止を選択します。
本ビットが"1"の場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、送信が起動されます。

TSYNE	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE) が"0"のときのみ変更可能です。
- 同期送信許可時(TSYNE="1")で送信が禁止(SCR:TXE="0")時、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR) が一致しても送信は起動されません。
- スレーブモード(SCR:MS="1")時、本ビットは内部で"0"に固定されます。

[bit5] **予約ビット**

必ず"0"を書き込んでください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ : バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット

シリアルタイマの動作許可、または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

＜注意事項＞

シリアルタイマによる同期送信による送信を行う場合、本ビットは下記の条件のいずれかのときに変更してください。

・送信禁止(SCR:TXE="0")時
・送信バスアイドル(SSR:TBI="1")時

4.3.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ (STMR)は、シリアルタイマのタイマ値を示します。

■ **STMRn(n=0～2):アドレス Base addr+0A$_H$ (アクセス ： バイト ，ハーフワード ，ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : **タイマデータビット**

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは "0"に初期化されます。

4.3.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～2):アドレス Base addr+0C$_H$ (アクセス ： バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。本ビットはシリアルタマレジスタ(STMR)と比較され、シリアルタイマレジスタ (STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、同期送信禁止(SACSR:TSYNE="0")の場合はタイマ割込みフラグ(SACSR:TINT)を"1"にし、同期送信許可(SACSR:TSYNE="1")の場合は送信を起動します。

下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。

・SACSR:TINT が"1"に設定される
・シリアルタイマに同期した送信で送信起動が行われる

＜注意事項＞

- 本レジスタに"0000 $_H$"を設定した場合、シリアルタイマレジスタは "0"のままです。
- 本レジスタに"0000$_H$"が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000$_B$"に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、レジスタは変更可能です。

4.3.8. シリアルチップセレクト制御ステータスレジスタ : SCSCR

シリアルチップセレクト制御ステータスレジスタのビット構成について示します。

シリアルチップセレクト制御ステータスレジスタ (SCSCR)は、シリアルチップセレクトの開始端子および終了端子の選択、シリアルチップセレクトの出力端子の表示、シリアルチップセレクトのアクティブレベルの保持、シリアルチップセレクトの反転, シリアルチップセレクト端子の出力許可 /禁止の設定を行います。

■ SCSCRn(n=0～2):アドレス Base addr+0E$_H$ (アクセス : バイト , ハーフワード , ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	SST0	予約	SED0	予約	SCD0	SCAM	CDIV2
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CDIV1	CDIV0	CSLVL	予約		CSEN1	CSEN0	CSOE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R0,W0	R0,W0	R/W	R/W	R/W

[bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14] SST0 :シリアルチップセレクト開始ビット
シリアルチップセレクトが開始する端子を選択します。送信禁止(SCR:TXE="0")から送信許可(SCR:TXE="1")にした場合、本ビットで設定したシリアルチップセレクト端子からアクティブになります。

SST0	開始端子
0	SCS0
1	SCS1

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST0)とシリアルチップセレクト終了ビット(SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- シリアルチップセレクト許可(CSEN="1")されているシリアルチップセレクト端子のみアクティブになります。

[bit13] 予約ビット
必ず"0"を書き込んでください。

[bit12] SED0 : シリアルチップセレクト終了ビット

シリアルチップセレクトが終了する端子を選択します。
本ビットで設定したシリアルチップセレクト端子までアクティブになると、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SST0)で指定した端子になります。

SED0	終了端子
0	SCS0
1	SCS1

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST0)とシリアルチップセレクト終了ビット (SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子の みアクティブになります。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- シリアルチップセレクト許可(CSEN="1")されているシリアルチップセレクト端子のみアクティブになります。

[bit11] 予約ビット

必ず"0"を書き込んでください。

[bit10] SCD0 : シリアルチップセレクト表示ビット

シリアルチップセレクト端子がアクティブになっている端子を表示します。

SCD0	表示端子
0	SCS0
1	SCS1

＜注意事項＞

- シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。
- 本ビットはスレーブモード(SCR:MS="1"), ソフトウェアリセット(SCR:UPCL="1")または送信禁止(SCR:TXE="0")時は"0b"になります。

[bit9] SCAM : シリアルチップセレクトアクティブ保持ビット

シリアルチップセレクト端子のアクティブ状態の保持または非保持を選択します。本ビットが"1"に設定されている場合、シリアルチップセレクト端子がアクティブになった後に送信動作を終了(SSR:TBI="1")してもシリアルチップセレクト端子はインアクティブになりません。シリアルチップセレクト端子がアクティブで本ビットが "1"のときに本ビットに"0"に設定した場合、送信終了後にシリアルチップセレクト端子はインアクティブになります。

SCAM	シリアルチップセレクトアクティブ保持ビット
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

＜注意事項＞

- 送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL="1")の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- シリアルチップエラー発生(SACSR:CSE=1)時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- 以下のすべての条件が揃う状態で使用する場合、本ビットには"0"を設定してください。
  - ・マスタモード(SCR:MS=0)を使用
  - ・チップセレクトを使用
  - ・SPI モード(SCR:SPI=1)を使用
  - ・TBYTE レジスタに"01"H を設定
  - ・ESCR レジスタの WT1,WT0 ビットに"00"以外の値を設定

[bit8～bit6] CDIV2-0 : シリアルチップセレクトタイミング動作クロック分周ビット

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

CDIV2	CDIV1	CDIV0	シリアルチップセレクトタイミング動作クロック						
			分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs

ϕ : バスクロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- 上記の設定以外は禁止です。

[bit5] CSLVL : シリアルチップセレクトレベル設定ビット

シリアルチップセレクト端子のインアクティブ時のレベルを"H"または"L"に選択します。
本ビットはチップセレクト端子 0 の通信で使用されます。

CSLVL	シリアルチップセレクトレベル設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- 本ビットの設定は下記のいずれかで使用します。
- スレーブモード(SCR:MS="1")時
- チップセレクトのデータフォーマット禁止(ESCR:CSFE="0")時
- チップセレクトのデータフォーマット許可(ESCR:CSFE="1")、シリアルチップセレクト端子 0 がアクティブのとき

[bit4,bit3] 予約ビット

必ず"0"を書き込んでください。

[bit2,bit1] CSEN1-0 : シリアルチップセレクト許可ビット

各シリアルチップセレクト端子の許可または禁止を選択します。
CSEN1 ビットが SCS1 端子、CSEN0 ビットが SCS0 端子に対応します。
スレーブモード(SCR:MS="1")の場合、CSEN0 ビットのみでシリアルチップ端子の許可、または禁止を設定します。

CSEN	シリアルチップセレクト許可ビット
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0") 時のみ変更可能です。
- マスタモード(SCR:MS="0")時、CSEN1-0 を"00b"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
- スレーブモード(SCR:MS="1")時、CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。

[bit0] CSOE : シリアルチップセレクト出力許可ビット

シリアルチップセレクト端子の出力を許可または禁止に設定します。

CSOE	シリアルチップセレクト出力許可ビット
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットは"0"に設定してください。

4.3.9. シリアルチップセレクトタイミングレジスタ : SCSTR3-0

シリアルチップセレクトタイミングレジスタのビット構成について示します。

シリアルチップセレクトタイミングレジスタ(SCSTR3-0)は、シリアルチップセレクトのセットアップディレイ時間、シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

＜注意事項＞

マスタモード(SCR:MS=0)でノーマルモード(SCR:SPI=0)の場合、以下のいずれかの条件をみたすようにセットアップディレイ時間(CSSU7-0)、あるいはホールドディレイ時間(CSHD7-0)を設定してください。

ボーレート/2[ns] ＜ ホールドディレイ[ns] ＋ 3× バスクロック [ns]

ホールドディレイ ＋ セットアップディレイ ＜ ボーレート － 2× バスクロック[ns]

■ SCSTR1n-0n(n=0～2): アドレス Base addr+12$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] CSSU7-0 : シリアルチップセレクトセットアップディレイビット

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。本ビットに"00$_H$"を設定した場合、シリアルクロックが出力されるタイミングとシリアルチップセレクト端子がアクティブになるタイミングは同時になります。

CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	セットアップディレイ時間
0	0	0	0	0	0	0	0	セットアップディレイ時間なし
0	0	0	0	0	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	0	0	0	1	0	2× シリアルチップセレクト タイミング動作クロック
・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
1	1	1	1	1	1	1	0	254× シリアルチップセレクト タイミング動作クロック
1	1	1	1	1	1	1	1	255× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。
- 本ビットを"00_H"に設定した場合、シリアルチップセレクト端子がアクティブになるタイミングとシリアルクロックが最初にエッジを出力するタイミングが一致します。

[bit7～bit0] CSHD7-0 : シリアルチップセレクトホールドディレイビット

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。本ビットに"00_H"を設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時になります。

CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0	ホールドディレイ時間
0	0	0	0	0	0	0	0	ホールドディレイ時間なし
0	0	0	0	0	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	0	0	0	1	0	2× シリアルチップセレクト タイミング動作クロック
・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
1	1	1	1	1	1	1	0	254× シリアルチップセレクト タイミング動作クロック
1	1	1	1	1	1	1	1	255× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。
- 本ビットを"00_H"に設定した場合、シリアルチップセレクト端子がアクティブになるタイミングとシリアルクロックが最初にエッジを出力するタイミングが一致します。

■ SCSTR3n-2n(n=0～2): アドレス Base addr+10$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] CSDS15-0 : シリアルチップディセレクトビット

シリアルチップセレクト端子がインアクティブになってから、次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

CSDS15	CSDS14	CSDS13	･･･	CSDS2	CSDS1	CSDS0	ディセレクト最小時間
0	0	0	･･･	0	0	0	ディセレクト最小時間なし (5 バスクロック時間)
0	0	0	･･･	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	･･･	0	1	0	2× シリアルチップセレクト タイミング動作クロック
・ ・	・ ・	・ ・	･･･	・ ・	・ ・	・ ・	・ ・
1	1	1	･･･	1	1	0	65534× シリアルチップセレクト タイミング動作クロック
1	1	1	･･･	1	1	1	65535× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。

4.3.10. シリアルチップセレクトフォーマットレジスタ : SCSFR0

シリアルチップセレクトフォーマットレジスタのビット構成について示します。

シリアルチップセレクトフォーマットレジスタ(SCSFR0)は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択、シリアルクロックの反転、SPI に接続するための設定、シリアルデータ出力のデータ方向およびデータ長の設定を行います。

■ SCSFR0n(n=0～2): アドレス Base addr+16$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	0	0	0	0	0	0	0
属性	R1,W1	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
初期値	1	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約ビット
必ず"1"を書き込んでください。

[bit14～bit8] 予約ビット
必ず"0"を書き込んでください。

[bit7] CS1CSLVL : チップセレクト 1 のシリアルチップセレクトレベル設定ビット
チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 のインアクティブ時のレベルを選択します。

CS1CSLVL	シリアルチップセレクト端子 1 シリアルチップセレクト設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit6] CS1SCINV : チップセレクト 1 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合:
- シリアルクロック出力のマークレベルを"H" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合:
- シリアルクロック出力のマークレベルを"L" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

CS1SCINV	シリアルチップセレクト端子 1 シリアルクロック反転ビット
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0" のとき、本ビットの設定は無効です。

[bit5] CS1SPI : チップセレクト 1 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0"に設定した場合 : ノーマル同期通信を行います。
- "1"に設定した場合 : SPI に対応します。

CS1SPI	シリアルチップセレクト端子 1 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

＜注意事項＞
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit4] CS1BDS : チップセレクト 1 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子1がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS="0")最上位ビット側から先に転送するか(MSB ファースト, BDS="1")を選択するビットです。

CS1BDS	シリアルチップセレクト端子 1 転送方向選択ビット
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit3～bit0] CS1 L3, L2, L1, L0 : チップセレクト 1 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子1がアクティブ時に送受信データのデータ長を指定します。

CS1L3	CS1L2	CS1L1	CS1L0	シリアルチップセレクト端子 1 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

＜注意事項＞

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

4.3.11. 転送バイトレジスタ ：TBYTE1-0

転送バイトレジスタのビット構成について示します。

転送バイト(TBYTE)は、各シリアルチップセレクト端子のアクティブ時の転送データ数を示します。

■ TBYTE1n-0n(n=0～2): アドレス Base addr+18$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TBYTE1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TBYTE0[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8, bit7～bit0] TBYTE : 転送データ数表示ビット

転送バイトレジスタは、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了するとシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 0 (SCS0)は TBYTE0, シリアルチップセレクト端子 1 (SCS1)は TBYTE1 に対応します。

下記のいずれかを満たす場合、転送バイトレジスタ 0(TBYTE0) は同期送信に使用されます。同期送信により送信動作が開始すると TBYTE0 に設定した値のデータ数を転送します。

・シリアルチップセレクト禁止(SCSCR:CSEN1-0="00"b)のとき
送信動作中(SSR:TBI=0)に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
ライト	TBYTE への書込み
リード	TBYTE の設定値

＜注意事項＞

- 本ビットに"00_H"設定した場合、転送回数は 8 回です。
- マスタ動作(SCR:MS="0")でチップセレクト使用時に同期送信を行う場合、転送回数は以下のようになります。
  - ・チップセレクト端子 0 がアクティブの場合、TBYTE0 の設定数
  - ・チップセレクト端子 1 がアクティブの場合、TBYTE1 の設定数
- 以下のすべての条件が揃う状態で使用する場合、TBYTE レジスタに"01"H 以外を設定してください。
  - ・マスタモード(SCR:MS=0)を使用
  - ・チップセレクトを使用
  - ・SPI モード(SCR:SPI=1)を使用
  - ・SCSCR レジスタの SCAM ビットに"1"を設定
  - ・ESCR レジスタの WT1,WT0 ビットに"00"以外の値を設定

4.3.12. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。

■ BGRn(n=0～2): アドレス Base addr+1C$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	RX,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義
書込みは動作に影響ありません。

[bit14～bit0] BGR (Baud rate GeneratoR) : ボーレートジェネレータビット
・カウントするリロード値の書込み、設定値の読出しが可能です。
・リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SCINV ビットの設定によって以下のようになります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
- SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。
- 受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR にボーレートを設定してください。

4.4. LIN 時レジスタ

LIN 時レジスタについて説明します。

4.4.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタのビット構成について示します。

シリアル制御レジスタ(SCR) は、送受信割込みの許可/ 禁止, 送信アイドル割込みの許可/ 禁止, 送受信動作の許可/禁止の設定を行います。また、LIN break Field 生成, LIN インタフェース(v2.1) リセットの設定があります。

■ SCRn(n=0～2): アドレス Base addr+00_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL : プログラマブルクリアビット	LIN インタフェース(v2.1)の内部状態を初期化するビットです。 "1"を設定した場合: ・LIN インタフェース(v2.1)を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは、BGR レジスタの設定値をリロードし、再スタートします。 ・すべての送受信およびステータス割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD, TINT, SFD)は初期化されます。 ・ボーレート設定フラグ(SACSR:BST)は初期化されます。 "0"を設定した場合 ：影響ありません。 読出し時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください ・プログラマブルクリアにより送信/受信 FIFO はクリアされません。 ・プログラマブルクリアを実行(SSR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません。
bit6	MS : マスタ/スレーブ選択ビット	マスタ/スレーブを選択します。 "0"を設定した場合 ：マスタモードに設定されます。 "1"を設定した場合 ：スレーブモードに設定されます。

ビット名		機能
bit5	LBR : LIN Break Field 設定ビット(マスタ時のみ機能します)	・LIN マニュアルモード動作(LAMCR: LAMEN ="0")の場合、本ビットに"1"を設定した場合、ESCR:LBL1/0 ビットおよび、ESCR:DEL1/0 で設定された長さの LIN Break Field と LIN Break デリミタを生成します。 ・LIN アシストモード動作(LAMCR: LAMEN ="1")の場合、本ビットに"1"を設定した場合、ESCR:LBL2/1/0 ビットおよび、ESCR:DEL1/0 で設定された長さの LIN Break Field と LIN Break デリミタを生成した後、Sync Field および ID Field を送信します。 書込みした場合: "0"を書込み ： 影響しません。 "1"を書込み : LIN マニュアルモード動作(LAMCR: LAMEN ="0")の場合、LIN break Field を生成します。 LIN アシストモード動作(LAMCR: LAMEN ="1")の場合、LIN Break Field を生成し、Sync Field および ID Field を送信します。 読出しした場合 ： 常に"0"が読み出されます。 (注意事項) ・マスタ動作(MS="0")のみ機能します。 ・ヘッダ送信中およびレスポンス送信中に LIN Break Field 設定を行う場合は、送受信データの初期化を行ってください。「7.5.2.●アシストモード処理中の LIN Break Field 再送信」を参照してください。
bit4	RIE: 受信割込み許可ビット	・CPU への受信割込み要求出力を許可/ 禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF) が"1"の場合、または、エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合、受信割込み要求を出力します。
bit3	TIE : 送信割込み許可ビット	・CPU への送信割込み要求出力を許可/ 禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み 許可ビット	・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

ビット名		機能
bit1	RXE : 受信動作許可ビット	LIN インタフェース(v2.1)の受信動作を許可/ 禁止します。 ・"0"に設定した場合 ：データフレーム受信動作が禁止されます。 ・"1"に設定した場合 ：データフレーム受信動作が許可されます。 (注意事項) ・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。 ・マスタ動作時、LIN break Field 送信中、受信動作が許可(RXE=1)状態でもデータは受信しません。 ・マニュアルモード(LAMCR:LAMEN=0)時、受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・アシストモード(LAMCR:LAMEN=1)時、ヘッダの送受信期間およびレスポンス送信期間は受信禁止設定(RXE=0)してください。 ・アシストモード(LAMCR:LAMEN=1)時のヘッダ受信中に受信動作を禁止(RXE=0)としても、ヘッダ受信動作は停止しません。停止させたい場合は、受信禁止設定(RXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。 ・アシストモード(LAMCR:LAMEN=1)時のレスポンス受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・LIN Break Field 受信時、受信許可(RXE=1)設定されている場合、フレーミングエラー検出(SSR:FRE=1)します。
bit0	TXE : 送信動作許可ビット	LIN インタフェース(v2.1)の送信動作を許可/禁止します。 ・"0"に設定した場合 ：データフレーム送信動作が禁止されます。 ・"1"に設定した場合 ：データフレーム送信動作が許可されます。 (注意事項) ・マニュアルモード(LAMCR:LAMEN=0)時、送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。 ・アシストモード(LAMCR:LAMEN=1)時のヘッダ送信中に送信動作を禁止(TXE=0)としても、ヘッダ送信動作は停止しません。停止させたい場合は、送信禁止設定(TXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。 ・アシストモード(LAMCR:LAMEN=1)時のレスポンス送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.4.2. シリアルステータスレジスタ ：SSR (Serial Status Register)

シリアルステータスレジスタのビット構成について示します。

シリアルステータスレジスタ(SSR)は、送受信状態の確認, 受信エラーフラグの確認, LIN break Field の検出また, 受信エラーフラグのクリアを行います。

■ SSRn(n=0～2): アドレス Base addr+02$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約	LBD	FRE	ORE	RDRF	TDRE	TBI
初期値	0	0	0	0	0	0	1	1
属性	R0,W	R0,W0	R(RM1),W	R,WX	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグクリアビット	シリアルステータスレジスタ(SSR)の FRE, ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 読出しした場合、常に"0"が読み出されます。
bit6	予約ビット	読出しした場合 ： 常に"0"が読み出されます。 書込みした場合 ： 常に"0"を書いてください。
bit5	LBD : LIN break Field 検出フラグビット	LIN break Field 検出を示すビットです。 シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"に設定されます。このとき、LIN break Field 割込み許可ビット(LBIE)が"1"に設定されていると、ステータス割込みを発生します。 (読出しした場合) "1"の場合 ：LIN break Field が検出されています。 "0"の場合 ：LIN break Field が検出されていません。 (書込みした場合) "0"を書込みした場合 ：LBD ビットをクリアします。 "1"を書込みした場合 ： 影響しません。 (注意事項) ・リードモディファイライト系命令時、"1"が読み出されます。

ビット名		機能
bit4	FRE : フレーミングエラーフラグビット	"0"読出し：フレーミングエラーなし "1"読出し：フレーミングエラーあり ・受信時にフレーミングエラーが発生すると"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。 (注意事項) ・LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。 ・アシストモード(LAMCR:LAMEN=1)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
bit3	ORE : オーバランエラーフラグビット	"0"読出し：オーバランエラーなし "1"読出し：オーバランエラーあり ・受信時にオーバランが発生すると"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

ビット名		機能
bit2	RDRF : 受信データフルフラグビット	"0"読出し：受信データレジスタ RDR がエンプティ "1"読出し：受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDR に受信データがロードされると、"1"に設定されます。 受信データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。 ・受信 FIFO 使用時は, 受信 FIFO がエンプティになると"0"にクリアされます。 (注意事項) アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)の場合、受信 ID Field 値が受信データレジスタ(RDR)にロードされると受信データフルフラグビットがセット(RDRF=1)されます。また、同時に LIN 自動ヘッダ完了フラグもセット(LAMSR:LAHC=1)されます。
bit1	TDRE : 送信データエンプティフラグビット	"0"読出し：送信データレジスタ TDR にデータが存在する "1"読出し：送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"になります。 ・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

ビット名		機能
bit0	TBI : 送信バスアイドルフラグビット	"0"読出し : 送信中 "1"読出し : 送信動作なし ・LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"になります。 ・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。 ・マニュアルモード(LAMCR:LAMEN=0)の場合 ・LIN Break Field が設定(SMR:LBR=1)された場合に本ビットは"0"に設定されます。 ・LIN Break Field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・アシストモード(LAMCR:LAMEN=1)の場合 ・マスタ(SCR:MS=0)のヘッダ送信中本ビットは"0"に設定されます。 ・ヘッダ送信(ID Field 送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・レスポンス送信中本ビットは"0"に設定されます。 ・レスポンス送信(チェックサム送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

4.4.3. 拡張通信制御レジスタ ：ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、LIN break Field 割込みの許可/ 禁止, LIN break Field の検出, LIN break Field 長, Break デリミタ長の設定, ストップビット長の選択を行います。

■ ESCRn(n=0～2): アドレス Base addr+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ESBL	LBL2	LBIE	LBL[1:0]		DEL[1:0]	
初期値	-	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	予約ビット	必ず"0"を書き込んでください。
bit6	ESBL : 拡張ストップビット長選択ビット	ストップビット(送信データのフレームエンドマーク)のビット長を設定します。 SBL="0", ESCR:ESBL="0"に設定した場合 ： ストップビットは 1 ビットに設定されます。 SBL="1", ESCR:ESBL="0"に設定した場合 ： ストップビットは 2 ビットに設定されます。 SBL="0", ESCR:ESBL="1"に設定した場合 ： ストップビットは 3 ビットに設定されます。 SBL="1", ESCR:ESBL="1"に設定した場合 ： ストップビットは 4 ビットに設定されます。 (注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。 ・本ビットは送信が禁止(TXE=0)のときに設定してください。 ・アシストモード(LAMCR:LAMEN=1)の場合、LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。
bit4	LBIE : LIN break Field 検出割込み許可ビット	LIN break Field 検出割込みを許可/禁止するビットです。 LIN break Field 検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みを発生します。 ・"0"に設定した場合 : LIN break Field 検出割込み禁止 ・"1"に設定した場合 : LIN break Field 検出割込み許可

ビット名		機能
bit5, bit3, bit2	LBL[2:0] : LIN break Field 長選択ビット (マスタ動作のみ機能)	"000" : 13 ビット長 "001" : 14 ビット長 "010" : 15 ビット長 "011" : 16 ビット長 "100" : 17 ビット長 "101" : 18 ビット長 "110" : 19 ビット長 "111" : 20 ビット長 ・本ビットは、LIN break Field の生成時間を何ビット分とするかを設定します。 ・シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN break Field 送信)する前に、本ビットを設定してください。 ・スレーブ動作時、LIN break Field 検出タイミングは、本ビットの設定値によらず、常に 11 ビット目で検出します。 (注意事項) ・本機能は、マスタ動作(SMR:MS="0")のみ機能します。 ・LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。 ・マニュアルモード(LAMCR:LAMEN=0)の場合、13 ビット長から 16 ビット長までしか動作しません。そのため、LBL2 に常に"0"を設定してください。
bit1, bit0	DEL[1:0] : LIN Break デリミタ長選択ビット (マスタ動作のみ機能)	"00" : 1 ビット長 "01" : 2 ビット長 "10" : 3 ビット長 "11" : 4 ビット長 ・これらのビットは、LIN Break デリミタ長を何ビット分とするかを設定します。 ・シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN break Field 送信)する前に、本ビットを設定してください。 (注意事項) 本機能は、マスタ動作(SMR:MS="0")のみ機能します。

4.4.4. 送信データレジスタ・受信データレジスタ :RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。読出しした場合は、受信データレジスタとして機能し、書込みした場合は送信データレジスタとして機能します。

■ 読出し

■ RDR0n(n=0～2): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SSR:RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効となります。

＜注意事項＞

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。
- アシストモード(LAMCR:LAMEN=1)時は以下の動作になります。
  - スレーブ動作において、ID Field の受信に LIN アシストモード受信 ID レジスタを使用する設定(LAMCR:LIDEN=1)のとき、ID Field を受信した場合、受信 ID 値は受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
  - スレーブ動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)のとき、ID Field を受信した場合、受信 ID 値が受信データレジスタ(RDR)に格納されます。ただし、受信データフルビット(SSR:RDRF)はセットされません。このとき、LIN 自動ヘッダ完了フラグのセット(LAMSR:LAHC=1)により ID 値を確認してください。
  - Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
  - 送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
  - 受信エラー(SSR:FRE,ORE, LAMESR:LCSER,LSFER,LBSER,LPTER)が発生した場合、アシストモードの送受信処理は停止します。このとき、レスポンス受信処理は、受信許可設定(SCR:RXE=1)にかかわらず受信データレジスタへの受信データの格納動作は停止します。
- 受信 FIFO 使用時は以下の動作になります。
  - 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"に設定されます。
  - 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。
  - 受信 FIFO 使用時に、受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ 書込み

■ TDR0n(n=0～2): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで, 受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.4.5. シリアル補助制御ステータスレジスタ ：SACSR

シリアル補助制御ステータスレジスタのビット構成について示します。

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御,タイマ割込みの許可/ 禁止, 同期送信の許可/ 禁止, シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

■ SACSRn(n=0～2): アドレス Base addr+08_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	BST	SFD	SFDE	AUTE	予約		TINT
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W0	R(RM1),W	R/W	R,W	RX,W0	RX,W0	R(RM1),W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W0	R,W0	R,W	R,W	R,W	R,W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。
シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。
シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

[bit14] BST : ボーレート設定フラグ

Sync Field 受信による自動ボーレート調整が行われたことを示します。
Sync Field で LIN バスの 5 回目の立下りを検出した場合、本ビットは更新されます。

BST	ボーレート設定フラグ	
	ライト	リード
0	影響なし	自動ボーレート調整なし
1		自動ボーレート調整あり

＜注意事項＞

・自動ボーレート調整禁止(AUTE=0)のとき、本ビットは"0"に固定されます。

・ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。

・シンクフィールド検出フラグ(SACSR:SFD)が"1"のときのみ、本ビットは有効です。

・本ビットへの書込みは無効です。

[bit13] SFD : シンクフィールド検出フラグ

Sync Field を検出したことを示します。
本ビットは Sync Field で LIN バスの 5 回目の立下りを検出すると"1"になります。
本ビットが"1"でシンクフィールド検出割込み許可ビット(SFDE) が"1"のとき、ステータス割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。

SFD	シンクフィールド検出フラグ	
	書込み	読出し
0	クリア	Sync Field を検出なし
1	影響なし	Sync Field を検出あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- 本ビットへの"1"書込みは無効です。
- マスタモード(SCR:MS="0")およびスレーブモード(SCR:MS="1")共に本ビットは有効です。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit12] SFDE : シンクフィールド検出割込み許可ビット

CPU へのシンクフィールド割込みの許可/ 禁止するビットです。
本ビットが"1"でシンクフィールド検出フラグ(SFD)が"1"の場合、ステータス割込み要求を出力します。

SFDE	シンクフィールド検出割込み許可ビット
0	シンクフィールド検出による割込み禁止
1	シンクフィールド検出による割込み許可

[bit11] AUTE : 自動ボーレート調整ビット

自動ボーレート調整を許可/ 禁止するビットです。

AUTE	自動ボーレート調整ビット
0	自動ボーレート調整を禁止
1	自動ボーレート調整を許可

＜注意事項＞

- マスタモード(SCR:MS="0")時、本ビットは内部で"0"に固定されます。
- 本ビットが"1"のとき、タイマ動作クロック分周ビット(TDIV3-0)は"3h"(8 分周)に設定されます。
- シリアルタイマ許可ビット(TMRE)が"0"のときのみ本ビットは"0"から"1"に変更可能です。

[bit10, bit9] **予約ビット**

必ず"0"を書き込んでください。

[bit8] TINT : **タイマ割込みフラグ**

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。
本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

TINT	説明	
	ライト	リード
0	クリア	タイマ割込み要求なし
1	影響なし	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。
本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6,bit5] **予約ビット**

必ず"0"を書き込んでください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ : バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット (TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : **シリアルタイマ許可ビット**

シリアルタイマの動作許可または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

4.4.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=0～2): アドレス Base addr+0A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは"0"に初期化されます。

4.4.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～2): アドレス Base addr+0C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TC15-0 : コンペアビット

本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を"1"にします。

＜注意事項＞

- 本レジスタに"0000$_H$"を設定した場合、シリアルタイマレジスタは"0"のままです。
- 同期送信禁止(SACSR:TSYNE="0")で本レジスタに"0000$_H$"が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000$_B$"に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、本レジスタは変更可能です。
- 下記の条件をすべて満たす場合、ボーレート調整を行う前にシリアルタイマレジスタ(STMR)が"0000$_H$"にリセットされてしまう可能性があります。そのため、自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、本ビットはシンクフィールド上限ビット(SFUR)で設定した値より大きな値を設定してください。
  - ・自動ボーレート調整ビット(SACSR:AUTE) が"1"のとき
  - ・本ビットがシンクフィールド上限ビット(SFUR)で設定した値以下の場合

4.4.8. シンクフィールド上限レジスタ ：SFUR

シンクフィールド上限レジスタのビット構成について示します。

シンクフィールド上限レジスタ(SFUR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の上限値を設定します。

■ SFURn(n=0～2): アドレス Base addr+0E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	TU14	TU13	TU12	TU11	TU0	TU9	TU8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TU7	TU6	TU5	TU4	TU3	TU2	TU1	TU0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義
読出し値は"0"です。書込みは動作に影響ありません。

[bit14～bit0] TU14-0 : 上限ビット
自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の上限値を設定します。
自動ボーレート調整ビット(SACSR:AUTE)が"1"でスレーブモード(SCR:MS="1")のとき、Sync Field 受信後のシリアルタイマレジスタ(STMR)値が本ビット以下でシンクフィールド下限レジスタ(SFLR)以上だと、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)値が設定されます。

＜注意事項＞

自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき、変更可能です。

4.4.9. シンクフィールド下限レジスタ ：SFLR

シンクフィールド下限レジスタのビット構成について示します。

シンクフィールド下限レジスタ(SFLR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の下限値を設定します。

■ SFLR1n-0n(n=0～2): アドレス Base addr+12$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	TL14	TL13	TL12	TL11	TL0	TL9	TL8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TL7	TL6	TL5	TL4	TL3	TL2	TL1	TL0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義
読出し値は"0"です。書込みは動作に影響ありません。

[bit14～bit0] TL14-0 : 下限ビット
自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の下限値を設定します。

自動ボーレート調整ビット(SACSR:AUTE) が"1"でスレーブモード(SCR:MS="1")のとき、Sync Field 受信後のシリアルタイマレジスタ(STMR)値がシンクフィールド上限レジスタ(SFUR)以下で本ビット以上だと、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)値が設定されます。

＜注意事項＞

自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき、変更可能です。

4.4.10. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ BGRn(n=0～2): アドレス Base addr+1C$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EXT	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] EXT (EXTernal clock) : 外部クロック選択ビット

ボーレート生成用内部リロードカウンタに、 内部クロックソースを使用するか、外部クロックソースを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

[bit14～bit0] BGR (Baud rate GeneratoR) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅の方がバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ(BGR)に"0"を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

4.4.11. LIN アシストモードステータスレジスタ: LAMSR

LIN アシストモードステータスレジスタのビット構成について示します。

LIN アシストモードステータスレジスタ(LAMSR)は、自動ヘッダ送受信状態の確認, 受信エラーフラグの確認を行います。

■ LAMSRn(n=0～2): アドレス Base addr + 10_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LER	SER	RDRF	TDRE	TBI	LCSC	予約	LAHC
初期値	0	0	0	1	1	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,W	R0,W0	R,W

[bit7] LER : LIN 代表エラーフラグビット

以下のエラーが発生した場合、"1"に設定されます。エラーフラグビットの設定条件およびクリア条件は、LIN アシストモードエラーステータスレジスタ(LAMESR)の各ビット説明を参照してください。

・LIN バスエラーフラグビット(LBSER)
・LIN Sync Data エラーフラグビット(LSFER)
・LIN ID パリティエラーフラグビット(LPTER)
・LIN チェックサムエラーフラグビット(LCSER)

LER	LIN 代表エラーフラグ
0	エラーなし
1	エラーあり

＜注意事項＞

マニュアルモード(LAMCR:LAMEN=0)の場合、本ビットの読出し値は常に"0"です。

[bit6] SER : シリアルインタフェース代表エラーフラグビット

以下のエラーが発生した場合、"1"に設定されます。エラーフラグビットの設定条件およびクリア条件は、シリアルステータスレジスタ(SSR)の各ビット説明を参照してください。

・フレーミングエラーフラグビット(FRE)
・オーバランエラーフラグビット(ORE)

SER	シリアルインタフェース代表エラーフラグ
0	エラーなし
1	エラーあり

[bit5] RDRF : 受信データフルフラグビット

シリアルステータスレジスタ(SSR)の受信データフルフラグビット(RDRF)と同じです。ビット説明は、シリアルステータスレジスタ(SSR)を参照してください。

[bit4] TDRE : 送信データエンプティフラグビット
シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)と同じです。ビット説明は、シリアルステータスレジスタ(SSR)を参照してください。

[bit3] TBI : 送信バスアイドルフラグビット
シリアルステータスレジスタ(SSR)の送信バスアイドルフラグビット(TBI)と同じです。ビット説明は、シリアルステータスレジスタ(SSR)を参照してください。

[bit2] LCSC : LIN チェックサム演算完了フラグビット
LIN チェックサム演算の完了を示すフラグです。
アシストモード(LAMCR:LAMEN="1")の受信動作時に、設定されたデータ設定長(LAMCR:LDL3-0)分のデータとチェックサムを受信すると、チェックサム演算が完了し"1"に設定されます。
LIN チェックサム演算完了フラグビット(LCSC)とチェックサム演算完了割込み許可ビット(LCSCIE)が"1"の場合、ステータス割込み要求を出力します。

・読出しした場合
"1"の場合 : チェックサム演算完了が検出されています。
"0"の場合 : チェックサム演算完了が検出されていません。

・書込みした場合
"0"を書込みした場合 : LCSC ビットをクリアします。
"1"を書込みした場合 : 影響しません。

LCSC	チェックサム演算完了フラグ	
	書込み	読出し
0	LCSC フラグクリア	チェックサム演算中 もしくは チェックサム演算開始待ち
1	影響なし	チェックサム演算完了

＜注意事項＞

リードモディファイライト命令時、"1"が読み出されます。
マニュアルモード(LAMCR:LAMEN="0")の場合、本ビットの読出し値は常に"0"です。

[bit1] 予約ビット
必ず"0"を書き込んでください。

[bit0] LAHC : LIN 自動ヘッダ完了フラグビット
・LIN 自動ヘッダの状態を示すフラグです。
・アシストモード(LAMCR:LAMEN=1)時に、LIN ヘッダを受信すると"1"に設定されます。
・LIN 自動ヘッダ完了フラグビット(LAHC)と LIN 自動ヘッダ完了割込み許可ビット(LAHCIE)が"1"の場合、ステータス割込み要求を出力します。
・本ビットに"1"が設定された後に LIN 自動ヘッダ受信 ID レジスタ(LAMRID)の読出しを行うと"0"に設定されます。
・読出しした場合
"1"の場合 : LIN 自動ヘッダ完了が検出されています。
"0"の場合 : LIN 自動ヘッダ完了が検出されていません。

・書込みした場合
"0"を書込みした場合 : LAHC ビットをクリアします。
"1"を書込みした場合 : 影響しません。

LAHC	LIN 自動ヘッダ完了フラグ	
	書込み	読出し
0	LAHC フラグクリア	LIN 自動ヘッダ受信中 もしくは、受信待ち
1	影響なし	LIN 自動ヘッダ受信完了

＜注意事項＞

リードモディファイライト命令時、"1"が読み出されます
マニュアルモード(LAMCR:LAMEN=0)の場合、本ビットの読出し値は常に"0"です。

4.4.12. LIN アシストモード制御レジスタ ：LAMCR

LIN アシストモード制御レジスタのビット構成について示します。

LIN アシストモード制御レジスタ(LAMCR)は、LIN 自動ヘッダ処理の許可, LIN ID レジスタの使用許可, LIN チェックサムタイプの選択, LIN アシストモード時に TDR のクリアおよび LIN データ長の設定を行います。

■ LAMCRn(n=0～2): アドレス Base addr + 11_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LDL3	LDL2	LDL1	LDL0	LTDRCL	LCSTYP	LIDEN	LAMEN
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0,W	R/W	R/W	R/W

[bit7～bit4] LDL3, LDL2, LDL1, LDL0: LIN データ長設定ビット

LIN のレスポンスデータ長 0~8 バイトを設定します。
設定値は、データ長の値を設定してください。
送信動作の場合、本データ長分のデータ送信後チェックサムを生成し送信します。
受信動作の場合、本データ長分のデータ受信後の次の受信データに対しチェックサムのチェックを行います。

LDL3	LDL2	LDL1	LDL0	LIN データ長設定ビット
0	0	0	0	0 バイト長
0	0	0	1	1 バイト長
0	0	1	0	2 バイト長
0	0	1	1	3 バイト長
0	1	0	0	4 バイト長
0	1	0	1	5 バイト長
0	1	1	0	6 バイト長
0	1	1	1	7 バイト長
1	0	0	0	8 バイト長

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本設定は、レスポンス部の送受信前に設定してください。
- LDL3~0 設定は"1001"~"1111"を設定しないでください。
- レスポンス送信するノードにおいて､LIN データ長を 0 バイト長(LDL3-0="0000")設定した場合、チェックサムを送信するために、TDR レジスタにダミー書込み(書込み値は don’tcare)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LDL3-0="0000")設定したときのチェックサム値は以下となります。
  ・標準チェックサム設定(LCSTYP=0)時、チェックサム値は 0xFF となります。
  ・拡張チェックサム設定(LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

[bit3] LTDRCL: 送信データレジスタクリアビット

送信データレジスタ(TDR)のクリアを行うビットです。
"1"に設定した場合: 送信データレジスタをリセットします。
"0"に設定した場合: 動作に影響ありません。
読出し時は常に"0"が読み出されます。

LTDRCL	送信データレジスタクリアビット	
	書込み	読出し
0	影響なし	常に"0"をリード
1	送信データレジスタ(TDR)クリア	

＜注意事項＞

- 送信データレジスタクリアにより送信 FIFO はリセットされません。
- 送信 FIFO を使用している場合、送信 FIFO をクリア(FCR0:FCL1 or FCR0:FCL2)後に送信データレジスタクリアを実行してください。
- 送信 FIFO を使用していない場合または送信 FIFO が空の場合で、送信データレジスタ(TDR)にデータが入っているときに送信データレジスタクリアを実施(LTDRCL=1)すると、送信データエンプティフラグビットがセット(SSR:TDRE=1 および LAMSR:TDRE=1)されます。

[bit2] LCSTYP: LIN チェックサムタイプ選択ビット

LIN のチェックサムタイプを選択します。

LCSTYP	LIN チェックサムタイプ選択ビット
0	標準チェックサム
1	拡張チェックサム

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- マスタの場合は LIN Break field 生成(LBR="1")前に設定してください。
- スレーブの場合は本ビットは"0"に固定してください。

[bit1] LIDEN: LIN ID レジスタ使用許可ビット

LIN アシストモード送信/ 受信 ID レジスタ(LAMTID/LAMRID)の使用許可を設定します。

・マスタ(SCR:MS=0) の場合
"0"に設定した場合 : LIN ID Field の送信に送信データレジスタ(TDR)が使用されます。
"1"に設定した場合 : LIN ID Field の送信に LIN アシストモード送信 ID レジスタ(LAMTID)が使用されます。

・スレーブ(SCR:MS=1) の場合
"0"に設定した場合 : LIN ID Field の受信に受信データレジスタ(RDR)が使用されます。
"1"に設定した場合 : LIN ID Field の受信に LIN アシストモード受信 ID レジスタ(LAMRID)が使用されます。

LIDEN	LIN ID レジスタ使用許可ビット	
	マスタ	スレーブ
0	送信データレジスタ(TDR)を使用	受信データレジスタ(RDR)を使用
1	LIN アシストモード送信 ID レジスタ(LAMTID)を使用	LIN アシストモード受信 ID レジスタ(LAMRID)を使用

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本設定は、ヘッダ部の送受信前に設定してください。
- 受信 FIFO 使用時に、本設定を"1"(LAMRID 使用)にした場合、受信した ID は受信 FIFO に格納されません。

[bit0] LAMEN: LIN アシストモード処理許可ビット

LIN アシストモード処理の許可設定をします。

LAMEN	LIN アシストモード許可ビット
0	マニュアルモード
1	アシストモード

＜注意事項＞

- マニュアルモード時、LIN の送受信禁止(SCR: RXE ="0", SCR:TXE=0)のときに本ビットを変更してください。
- アシストモード時､本ビットは強制停止による設定変更以外 LIN 動作途中で変更しないでください。
- 本ビットを変更した場合は、ソフトウェアリセット(SCR:UPCL=1)を行ってください

4.4.13. LIN アシストモード割込み許可レジスタ : LAMIER

LIN アシストモード割込み許可レジスタのビット構成について示します。

LIN アシストモード割込み許可レジスタ(LAMIER)は、LIN 自動ヘッダ完了割込みの許可/禁止, LIN チェックサム演算完了割込み許可/禁止, LIN バスエラー割込みの許可/禁止, LIN ID パリティエラー割込みの許可/禁止, LIN Sync Data エラー割込み許可/禁止および LIN チェックサムエラー割込みの許可/禁止の設定を行います。

■ LAMIERn(n=0～2): アドレス Base addr + $1A_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	LCSERIE	LPTERIE	LSFERIE	LBSERIE	LCSCIE	予約	LAHCIE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

[bit7] 予約ビット
必ず"0"を書き込んでください。

[bit6] LCSERIE : LIN チェックサムエラー割込み許可ビット
CPU への LIN チェックサムエラー割込み要求出力を許可/禁止するビットです。
LCSERIE ビットと LAMESR: LCSER ビットが"1"の場合、受信割込み要求を出力します。

LCSERIE	LIN チェックサムエラー割込み許可ビット
0	LIN チェックサムエラー割込み禁止
1	LIN チェックサムエラー割込み許可

[bit5] LPTERIE : LIN ID パリティエラー割込み許可ビット
CPU への LIN ID パリティエラー割込み要求出力を許可/禁止するビットです。
LPTERIE ビットと LAMESR: LPTER ビットが"1"の場合、受信割込み要求を出力します。

LPTERIE	LIN ID パリティエラー割込み許可ビット
0	LIN ID パリティエラー割込み禁止
1	LIN ID パリティエラー割込み許可

[bit4] LSFERIE : LIN Sync Data エラー割込み許可ビット
CPU への LIN Sync Data エラー割込み要求出力を許可/禁止するビットです。
LSFERIE ビットと LAHESR:LSFER ビットが"1"の場合、受信割込み要求を出力します。

LSFERIE	LIN Sync Data エラー割込み許可ビット
0	LIN Sync Data エラー割込み禁止
1	LIN Sync Data エラー割込み許可

[bit3] LBSERIE : LIN バスエラー割込み許可ビット

CPU への LIN バスエラー割込み要求出力を許可/禁止するビットです。
LBSERIE ビットと LAMESR: LBSER ビットが"1"の場合、受信割込み要求を出力します。

LBSERIE	LIN バスエラー割込み許可ビット
0	LIN バスエラー割込み禁止
1	LIN バスエラー割込み許可

[bit2] LCSCIE : LIN チェックサム演算完了割込み許可ビット

CPU への LIN チェックサム演算完了割込み要求出力を許可/禁止するビットです。
LCSCIE ビットと LAMSR: LCSC ビットが"1"の場合、ステータス割込み要求を出力します。

LCSCIE	LIN チェックサム演算完了割込み許可ビット
0	LIN チェックサム演算完了割込み禁止
1	LIN チェックサム演算完了割込み許可

[bit1] 予約ビット

必ず"0"を書き込んでください。

[bit0] LAHCIE: LIN 自動ヘッダ完了割込み許可ビット

CPU への LIN 自動ヘッダ完了割込み要求出力を許可/禁止するビットです。
LAHCIE ビットと LAMSR: LAHC ビットが"1"の場合、ステータス割込み要求を出力します。

LAHCIE	LIN 自動ヘッダ完了割込み許可ビット
0	LIN 自動ヘッダ送信完了割込み禁止
1	LIN 自動ヘッダ送信完了割込み許可

4.4.14. LIN アシストモード送信/受信 ID レジスタ ：LAMTID / LAMRID

LIN アシストモード送信/受信 ID レジスタのビット構成について示します。

LIN アシストモード送信/受信 ID レジスタ(LAMTID/LAMRID)は、受信 LIN ID パリティ表示および送信 LIN ID 設定、受信 ID 表示を行います。

■ LIN アシストモード送信 ID レジスタ(LAMTID)

■ LAMTIDn(n=0～2): アドレス Base addr + $1B_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	LID5	LID4	LID3	LID2	LID1	LID0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit7, bit6] 予約ビット
必ず"0"を書き込んでください。

[bit5～bit0] LID5~LID0 : LIN ID 設定ビット
(書込みした場合)
アシストモードのマスタ設定時、LIN ID レジスタ使用許可ビット(LIDEN)が使用許可の場合、送信 LIN ID 値を設定します。

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN ="1")のみ機能します。
- 本設定は、LIN Break 起動前(SCR:LBR="1")に設定してください。

■ LIN アシストモード受信 ID レジスタ(LAMRID)

■ LAMRIDn(n=0～2): アドレス Base addr + $1B_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P1	P0	LID5	LID4	LID3	LID2	LID1	LID0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7, bit6] P1, P0 : LIN ID パリティ表示ビット
(読出しした場合)
アシストモード時、受信した LIN ID のパリティ値を表示します。

[bit5～bit0] LID5~LID0 : LIN ID 設定ビット
(読出しした場合)
アシストモード時、受信した LIN ID 値を表示します。

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR:LAMEN ="1")のみ機能します。

4.4.15. LIN アシストモードエラーステータスレジスタ : LAMESR

LIN アシストモードエラーステータスレジスタのビット構成について示します。

LIN アシストモードエラーステータスレジスタ(LAMESR)は、LIN チェックサムエラー, LIN ID パリティエラーおよび LIN バスエラーのフラグの確認を行います。

■ LAMESRn(n=0～2): アドレス Base addr + 18_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	LCSER	LPTER	LSFER	LBSER	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,W	R,W	R,W	R,W	R0,W0	R0,W0	R0,W0

[bit7] 予約ビット
必ず"0"を書き込んでください。

[bit6] LCSER : LIN チェックサムエラーフラグビット
LIN チェックサムエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LCSER ビットと LCSERIE ビットが"1"の場合、受信割込み要求を出力します。

LCSER	LIN チェックサムエラーフラグビット	
	書込み	読出し
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

[bit5] LPTER : LIN ID パリティエラーフラグビット

LIN ID パリティエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LPTER ビットと LPTERIE ビットが"1"の場合、受信割込み要求を出力します。
本フラグがセットされた場合、受信 ID データは無効です。

LPTER	LIN ID パリティエラーフラグビット	
	書込み	読出し
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

[bit4] LSFER : LIN Sync Data エラーフラグビット

LIN Sync Data エラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LSFER ビットと LSFERIE ビットが"1"の場合、受信割込み要求を出力します。

LSFER	LIN Sync Data エラーフラグビット	
	書込み	読出し
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- 本機能は、スレーブモード(SCR:MS=1)の自動ボーレート調整禁止(SACSR:AUTE="0")時のみ検出します。
- 自動ボーレート調整禁止(SACSR:AUTE="0")でフレーミングエラーを検出した場合でも、Sync Field 値(0x55)照合結果は表示されますが、このときの照合結果は保証されません。

[bit3] LBSER: LIN バスエラーフラグビット

LIN バスエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LBSER ビットと LBSERIE ビットが"1"の場合、受信割込み要求を出力します。
ID Field とデータフィールドで本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。

LBSER	LIN バスエラーフラグビット	
	書込み	読出し
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。
- ID Field でバスエラーを検出した場合、LIN ID パリティエラーも検出されます。
- チェックサムでバスエラーを検出した場合、LIN チェックサムエラーも検出されます。

[bit2～bit0] 予約ビット

必ず"0"を書き込んでください。

4.4.16. LIN アシストモード障害試験レジスタ ：LAMERT

LIN アシストモード障害試験レジスタのビット構成について示します。

LIN アシストモード障害試験レジスタ(LAMERT)は、キーコード制御ビットと擬似障害設定ビットの設定により、フレーミングエラー, LIN バスエラー, LIN Sync Field エラー, LIN ID パリティエラーおよび LIN チェックサムエラーの擬似障害設定を行います。

■ LAMERTn(n=0～2): アドレス Base addr + 19_H (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約	LCSERT	LPTERT	LSFERT	LBSERT	FRET
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] KEY1,KEY0 : キーコード制御ビット

以下の疑似障害設定を有効にするキーコードレジスタです。

・フレーミングエラー疑似障害設定ビット(FRET)
・LIN バスエラー疑似障害設定ビット(LBSERT)
・LIN Sync Field エラー疑似障害設定ビット(LSFERT)
・LIN ID パリティエラー疑似障害設定ビット(LPTERT)
・LIN チェックサムエラー疑似障害設定ビット(LCSERT)

疑似障害設定を行う場合は、以下の手順で書込みを行ってください。

1. KEY1-0="00"+疑似障害設定値を書込み
2. KEY1-0="01"+疑似障害設定値(前回と同じ値)を書込み
3. KEY1-0="10"+疑似障害設定値(前回と同じ値)を書込み
4. KEY1-0="11"+疑似障害設定値(前回と同じ値)を書込み
5. 4 回目の書込み時、疑似障害設定値が有効になります。

本設定手順に従わない場合(書込み手順の途中で、ほかのレジスタに書込みや読出しを行う場合、書込み値が正しくない場合、および書込み手順の途中で本レジスタに読出しを行う場合)、書込みは無効となります。

疑似障害設定を解除する場合も、設定と同様の手順により行ってください。
読出し値は、"0"が読み出されます。

＜注意事項＞

アシストモードで以下のエラーが発生した場合、アシストモードが停止しますので、設定に注意してください。
・LIN バスエラー
・LIN フレーミングエラー
・LIN Sync Data エラー
・LIN ID パリティエラー
・LIN チェックサムエラー

[bit5] 予約ビット
必ず"0"を書き込んでください。

[bit4] LCSERT : LIN チェックサムエラー疑似障害設定ビット
LIN チェックサムエラーの発生を制御するビットです。
アシストモード時、チェックサムのスタートビット前に本ビットの設定が"1"(エラー発生あり)のとき、チェックサムを反転出力します。反転されたチェックサムを受信した場合、LIN チェックサムエラーが発生し、フラグビット(LAMESR: LCSER)に"1"が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LCSERT	LIN チェックサムエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
フレーミングエラーと LIN チェックサムエラーの疑似障害設定後、レスポンス送信を処理した場合、データフィールドでフレーミングエラーが検出され、チェックサムの自動送信が停止します。このため、LIN チェックサムエラーは検出されません。

[bit3] LPTERT : LIN ID パリティエラー疑似障害設定ビット
LIN ID パリティエラーの発生を制御するビットです。
アシストモード時、ID Field のスタートビット前に本ビットの設定が"1"(エラー発生あり)のとき、ID パリティの全ビットを反転出力します。反転された ID パリティの ID Field を受信した場合、LIN ID パリティエラーが発生し、フラグビット(LAMESR: LPTER)に"1" が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LPTERT	LIN ID パリティエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
フレーミングエラーと LIN ID パリティエラーの疑似障害設定後、自動ヘッダ送信が行われた場合、Sync Field でフレーミングエラーが検出され、自動送信が停止します。このため、LIN ID パリティエラーは検出されません。
LIN バスエラーと LIN ID パリティエラーの疑似障害設定時、LIN バスエラーが優先され LIN ID パリティエラーは検出されません。

[bit2] LSFERT : LIN Sync Data エラー疑似障害設定ビット

LIN Sync Data エラーの発生を制御するビットです。
アシストモードのマスタ設定(SCR:MS="0")および Sync Field のスタートビット前に本ビットの設定が"1"(エラー発生あり)の場合、LIN Sync Field の全ビットを反転して出力します。
本ビットは、設定解除(="0")されるまで疑似障害機能は有効となり、Sync Field の送信は反転し続けます。

LSFERT	LIN Sync Data エラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本ビットをセット(LSFERT="1")する場合は、LIN バスエラー疑似障害設定ビットも一緒に設定(LBSERT="1")してください。マスタは LIN バスエラーの検出によって LIN Sync Data エラー疑似障害の送信完了が分かります。

[bit1] LBSERT : LIN バスエラー疑似障害設定ビット

LIN バスエラーの発生を制御するビットです。
アシストモードのマスタ設定時、送信した各 Field (Sync Field, ID Field, データ, チェックサム)のストップビット前に本ビットの設定が"1"(エラー発生あり)のとき、 LIN バスエラーが発生し、フラグビット(LAMESR:LBSER)に"1"が設定されます。
アシストモードのスレーブ設定時、レスポンス送信した各 Field(データ, チェックサム)のストップビット前に本ビットの設定が"1"(エラー発生あり)の場合、LIN バスエラーが発生し、フラグビット(LAMESR:LBSER)に"1"が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LBSERT	LIN バスエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
LIN Break Field の LIN バスエラー疑似障害設定はできません。
LIN バスエラーと LIN チェックサムエラーもしくは LIN ID パリティエラーを同時に疑似障害設定した場合、LIN バスエラーのみが検出されます。LIN チェックサムエラーおよび LIN ID パリティエラーは検出されません。
LIN 送信起動設定(SCR:LBR="1")前に LIN バスエラーと LIN Sync Data エラーもしくはフレーミングエラーを同時に疑似障害設定した場合、LIN バスエラーと LIN Sync Data エラーもしくはフレーミングエラーを同時に検出します。
LIN バスエラーを検出するとアシストモードによる送受信処理は停止します。

[bit0] FRET : フレーミングエラー疑似障害設定ビット

LIN フレーミングエラーの発生を制御するビットです。
アシストモード時、各 Field(Sync Field, ID Field, データ, チェックサム)のストップビットの前に本ビットの設定が"1"(エラー発生あり)のとき、ストップビットを反転して出力します。反転したストップビットを受信した場合、フレーミングエラーが発生し、フラグビット(SSR:FRE)に"1"が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

FRET	フレーミングエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
フレーミングエラーと LIN ID パリティエラーの疑似障害設定後、自動ヘッダ送信を実行した場合、Sync Field でフレーミングエラーが検出され、自動送信が停止します。このため LIN ID パリティエラーは検出されません。
フレーミングエラーと LIN チェックサムエラーの疑似障害設定後、レスポンス送信を処理した場合、データフィールドでフレーミングエラーが検出されチェックサムの自動送信が停止します。このため、LIN チェックサムエラーは検出されません。

5. UART の動作説明

UART の動作について説明します。

5.1. UART の割込み

UART の割込みについて示します。

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求。

5.1.1. UART の割込み一覧

UART の割込み一覧について示します。

表 5-1 に、UART の割込み制御ビットと割込み要因について示します。

表 5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	FDRQ	FCR1	○	○	送信 FIFO の格納データが FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	TINT	SACSR	○	○	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

5.1.2. 受信割込み発生とフラグセットのタイミング

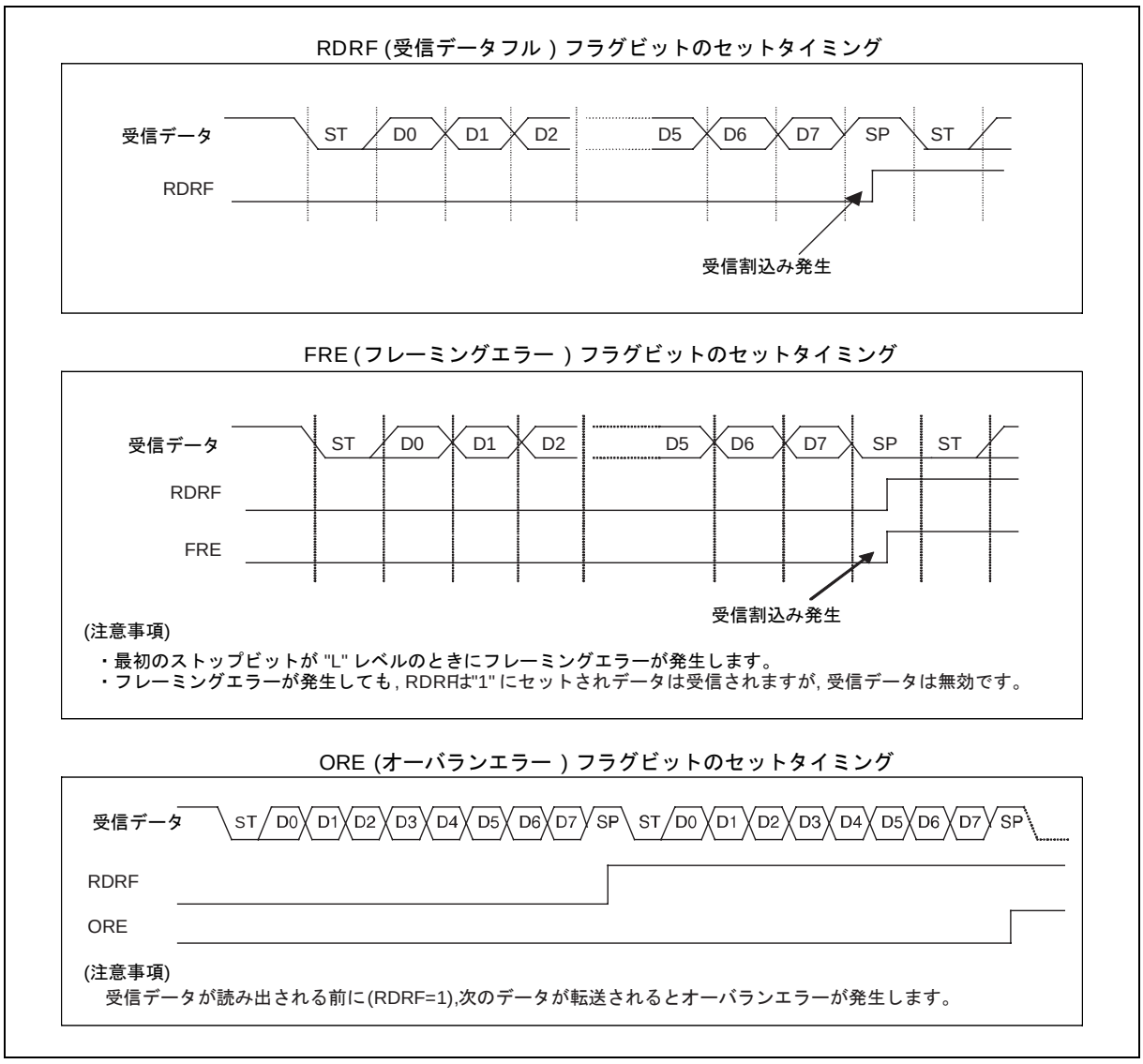
受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。
最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:PE, ORE, FRE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

図 5-1 各フラグビットのセットのタイミング



＜注意事項＞

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に下記を検出すると、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

・シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
・シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

5.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

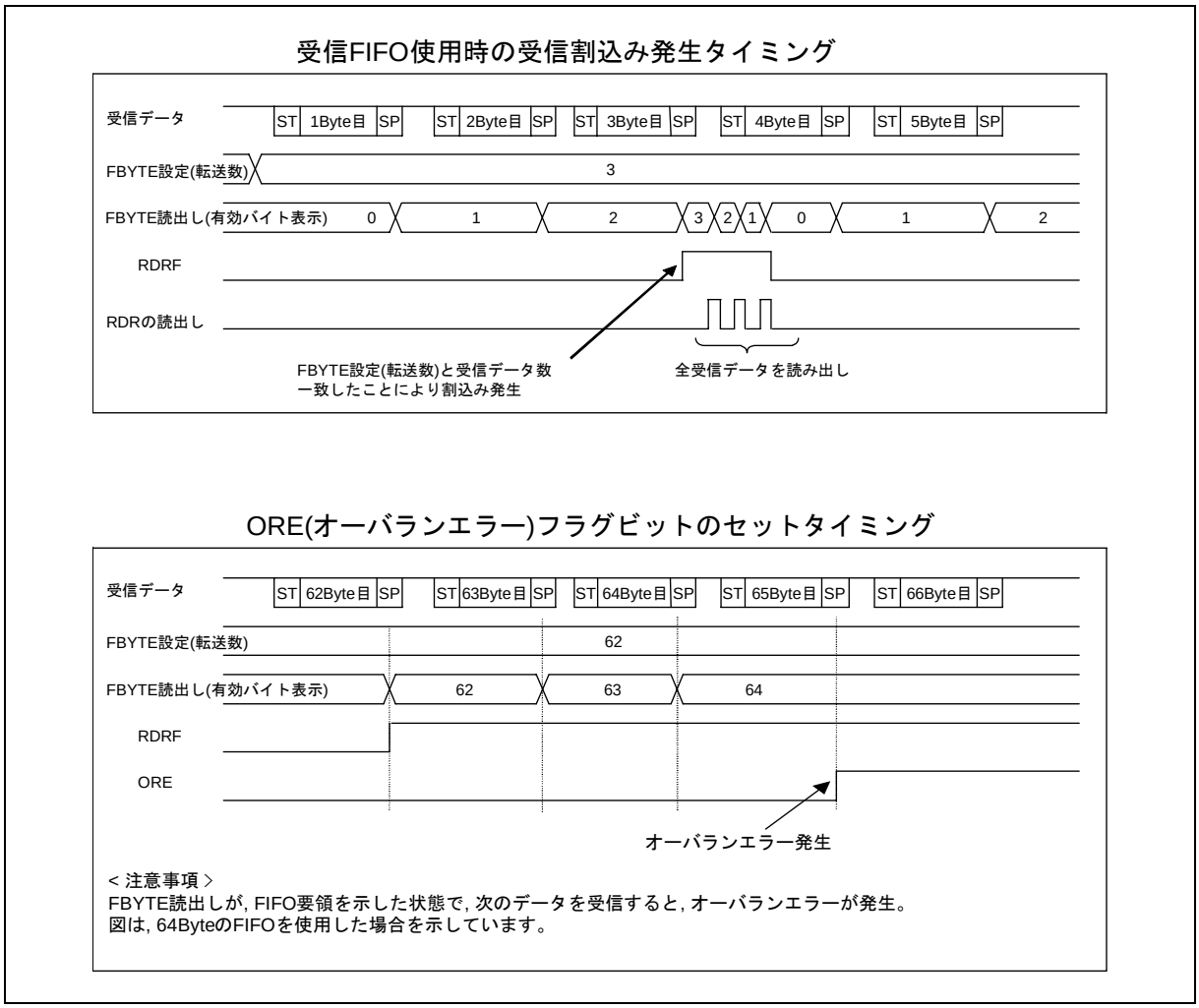
受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバランエラー(SSR:ORE=1)が発生します。

図 5-2 FIFO 使用時のタイミング



5.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない時(SSR:TBI=1)に発生します。

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

送信データレジスタが空(TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。

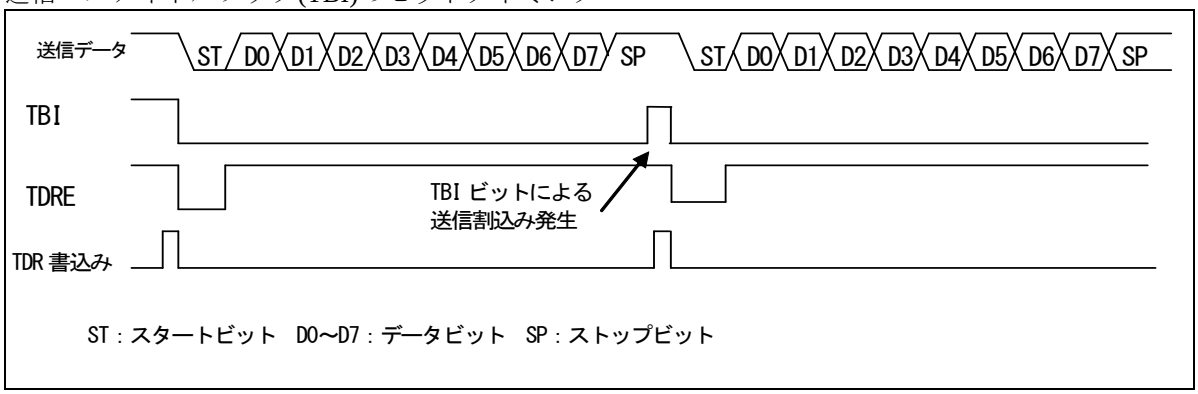
送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 5-3 送信割込みフラグのタイミング

送信データエンプティフラグ(TDRE)のセットタイミング



送信バスアイドルフラグ(TBI)のセットタイミング



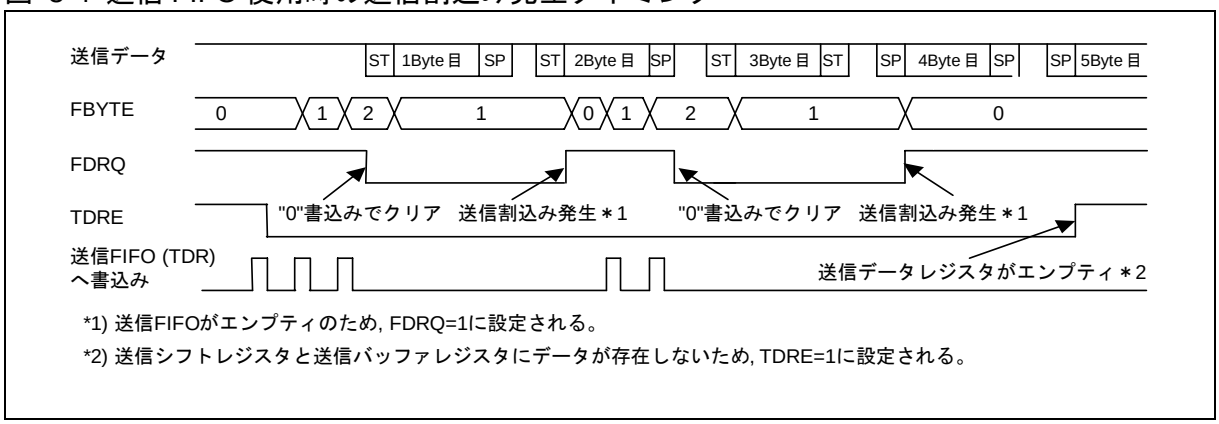
5.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。
送信 FIFO 使用時の割込み発生は、FTICR レジスタの設定値によって決定されます。

- 送信 FIFO に格納されているデータ数が、FTICR レジスタの設定数以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
- このとき、FIFO 送信割込み許可(FCR1:FTIE="1")されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことで確認できます。
- FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 5-4 送信 FIFO 使用時の送信割込み発生タイミング



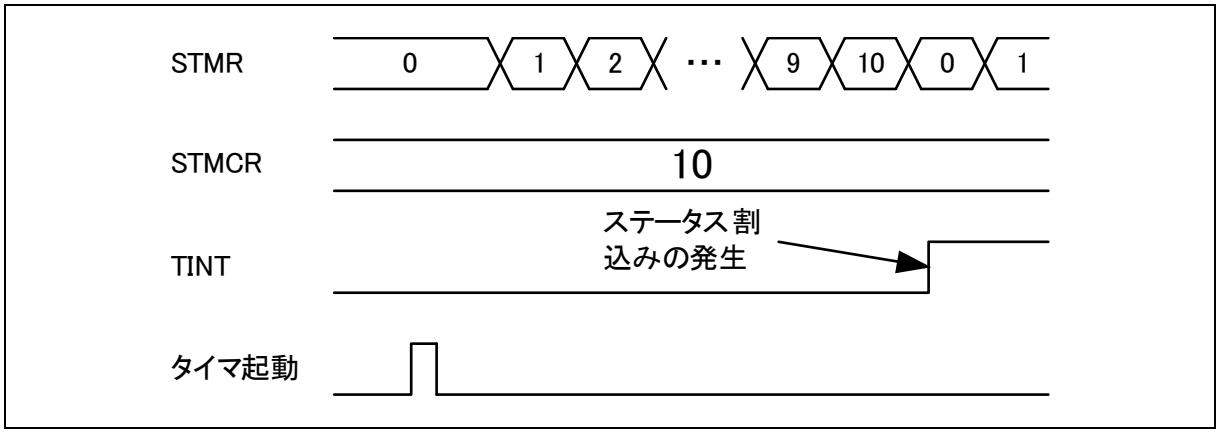
5.1.6. タイマ割込み発生とフラグセットのタイミング

タイマ割込み発生とフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

・シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
このとき、タイマ割込み許可(SACSR:TINTE="1")されているとステータス割込みが発生します。

図 5-5 タイマ割込み発生タイミング



5.2. UART の動作

UART の動作について説明します。

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

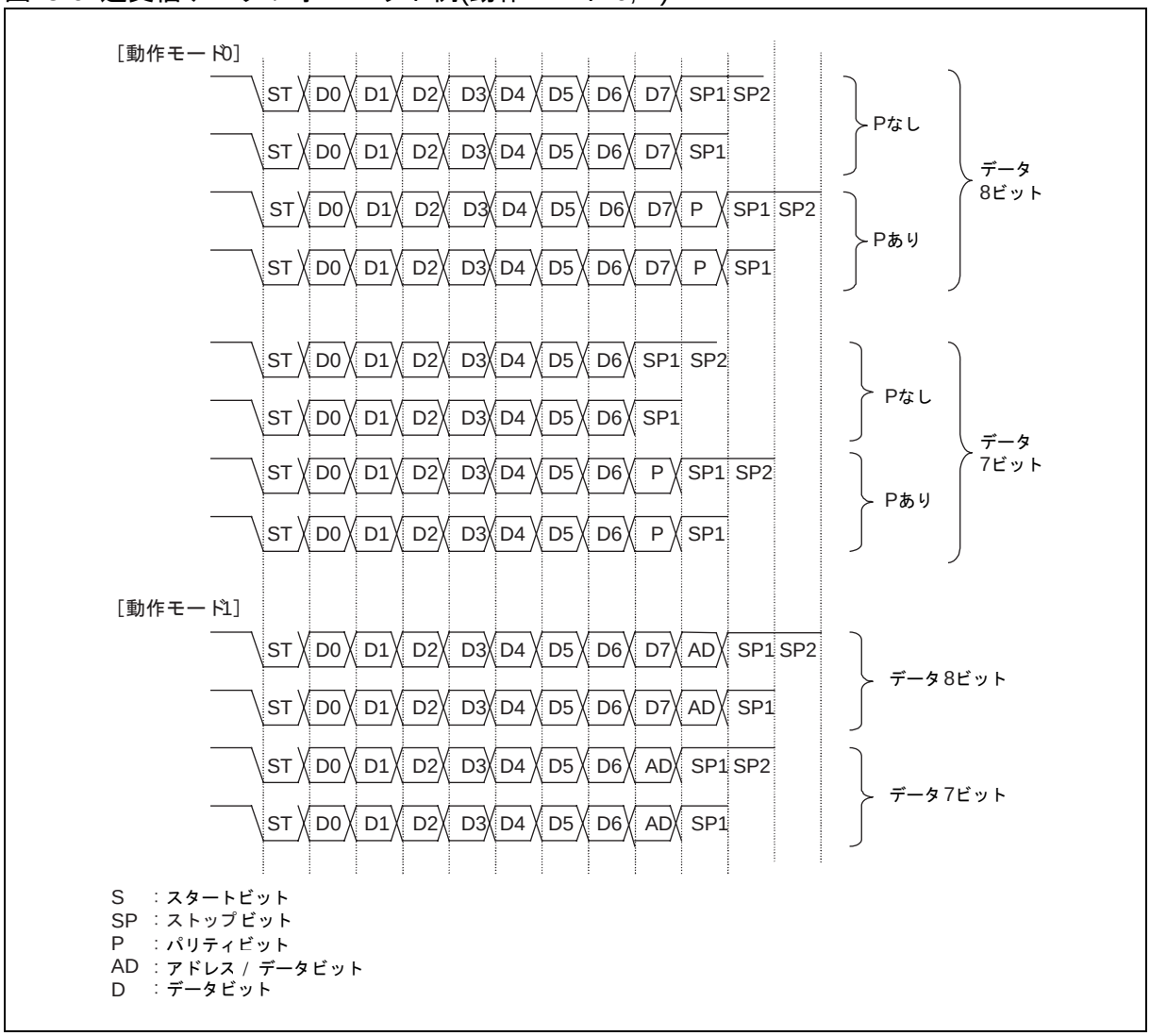
5.2.1. 送受信データフォーマット

送受信データフォーマットについて示します。

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0(通常モード)では, パリティは、あり/なしの選択ができます。
- 動作モード 1(マルチプロセッサモード)では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 5-6 に示します。

図 5-6 送受信データフォーマット例(動作モード 0, 1)



＜注意事項＞

- 図は、データ長 7, 8 ビットに設定した場合を示しています。(データ長は、動作モード 0 の場合、5～9 ビットまで設定できます。)
- シリアルモードレジスタ(SMR)の BDS ビットを"1"(MSB ファースト)に設定した場合、ビットは D7, D6, D5,・・・, D1, D0(P)の順で処理されます。
- データ長が、X ビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位 X ビットが有効になります。

5.2.2. 送信動作

送信動作について示します。

- シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"であれば、送信データレジスタ(TDR)に送信データを書き込めます。(送信 FIFO が許可されている場合には TDRE= "0"でも送信データを書くことは可能)
- 送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"になります。
- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定すると、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込みが許可(SCR:TIE="1")されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込めます。

＜注意事項＞

- 送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、 FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。

5.2.3. 受信動作

受信動作について示します。

・受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
・スタートビットを検出すると、拡張通信制御レジスタ(ESCR:PEN, P, L2, L1, L0)およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットにしたがって 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下り(ESCR:INV="0"の場合)または立上り(ESCR:INV="1"の場合)を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。
・1 フレームの受信が完了すると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE="1")されている場合、受信割込みが発生します。
・受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には, エラー処理を行ってください。
・受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
・受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信すると受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
・下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  ・受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

受信 FIFO が許可されている場合、シリアルステータスレジスタ(SSR)のエラーフラグが"1"に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません。(ただし、オーバランエラーの場合、RDRF フラグは"1"に設定されます。) 受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。

・受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

＜注意事項＞

- 受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が"1"に設定され、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効となります。
- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に下記を検出すると、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
  ・シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
  ・シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

5.2.4. クロック選択

クロック選択について示します。

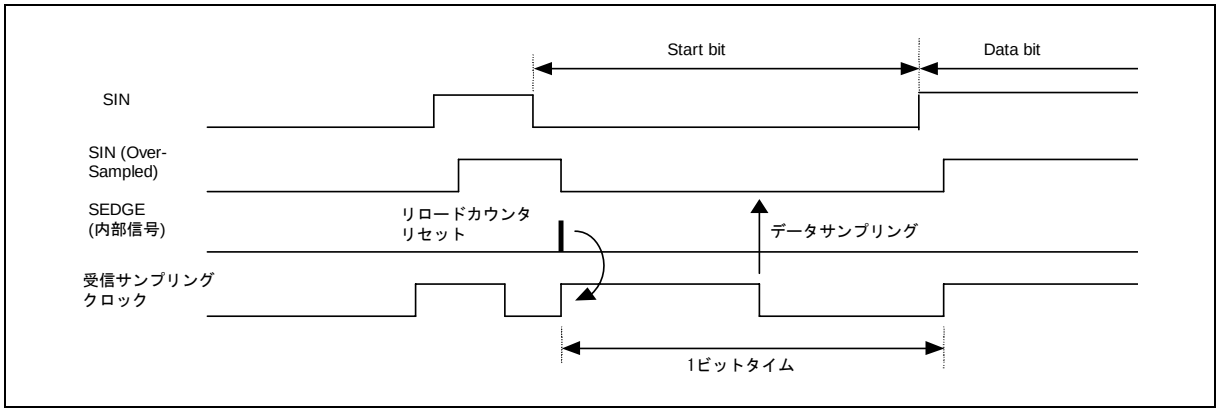
- 内部クロックまたは外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR:EXT="1"に設定します。この場合、外部クロックが、ボーレートジェネレータで分周されます。

5.2.5. スタートビット検出

スタートビット検出について示します。

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。
  このため受信動作許可(SCR:RXE="1")しても、SIN 信号の立下りエッジが入力されないと、受信動作を開始しません。
- スタートビットの立下りエッジを検出すると、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中心でサンプリングします。

図 5-7 スタートビット検出



5.2.6. ストップビット

ストップビットについて示します。

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット(SSR:RDRF)は、最初のストップビットを検出すると"1"に設定されます。

5.2.7. エラー検出

エラー検出について示します。

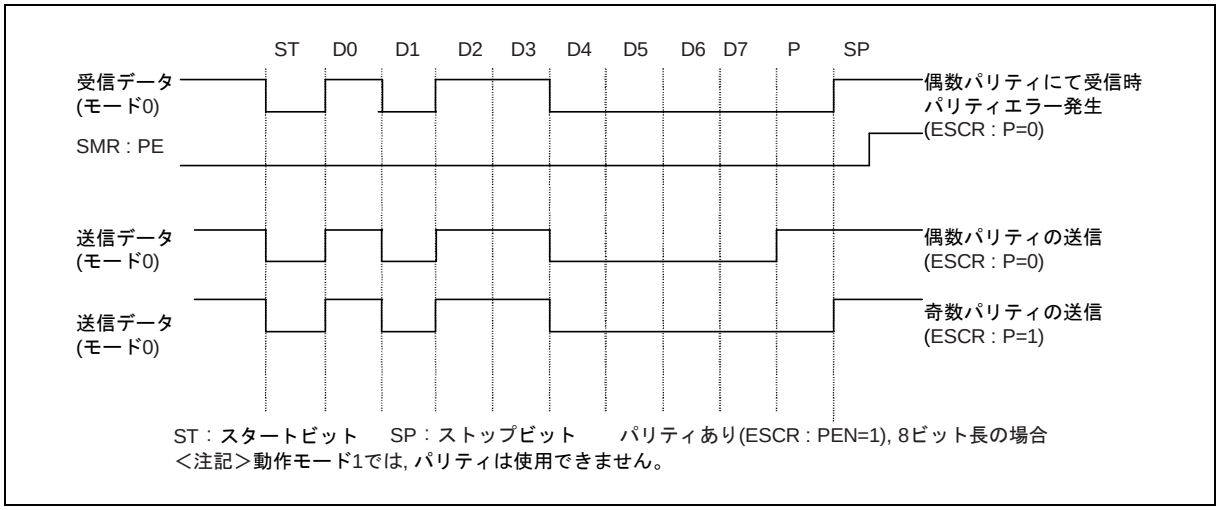
- 動作モード 0 では、パリティエラー，オーバランエラー，フレームエラーが検出できます。
- 動作モード 1 では、オーバランエラー，フレームエラーが検出できます。パリティエラーは検出できません。

5.2.8. パリティビット

パリティビットについて示します。

- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
- 動作モード 1 では、パリティを使用できません。

図 5-8 パリティ有効時の動作

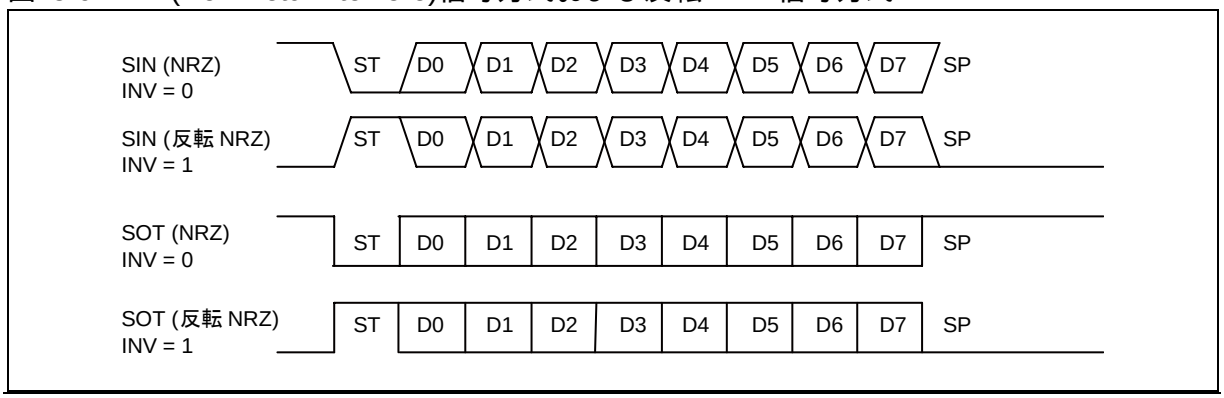


5.2.9. データ信号方式

データ信号方式について示します。

拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。

図 5-9 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



5.2.10. シリアルタイマの動作

シリアルタイマの動作について示します。

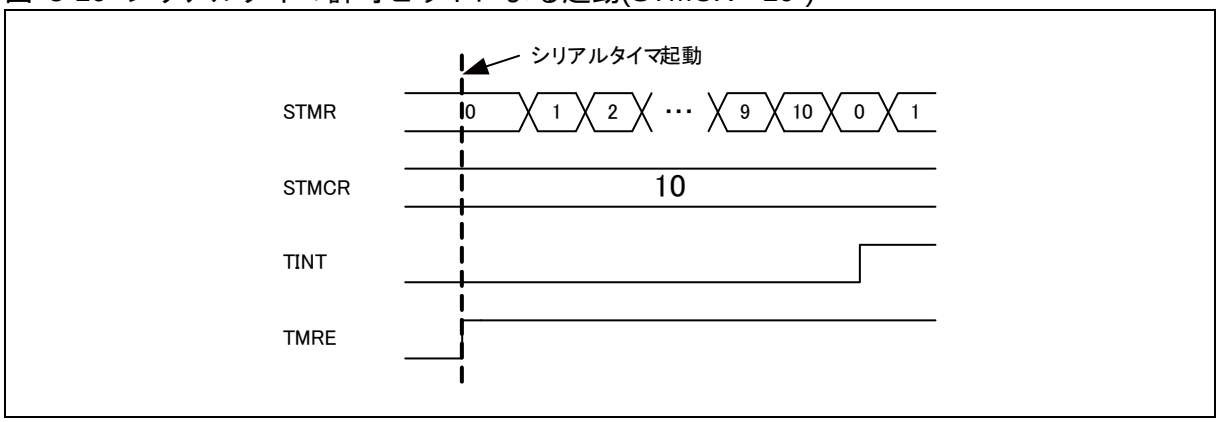
シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するにはシリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定してください。

・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 5-10 シリアルタイマ許可ビットによる起動(STMCR="10")



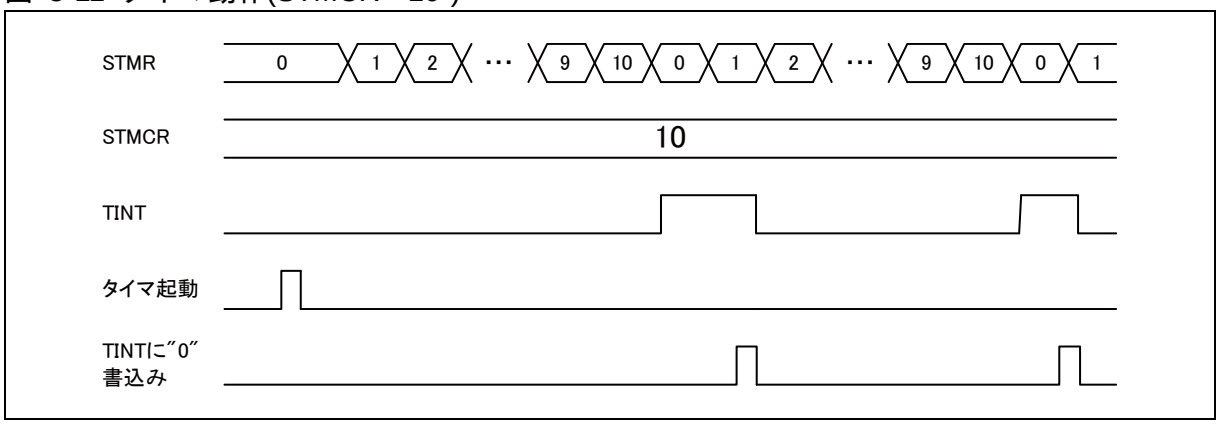
● シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。

● タイマ動作

シリアルタイマはタイマとして動作します。
シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"に設定し、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 5-11 タイマ動作(STMCR="10")



＜注意事項＞

タイマ比較レジスタ(STMCR)に"0000_H"を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000_B"に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

5.2.11. テストモード

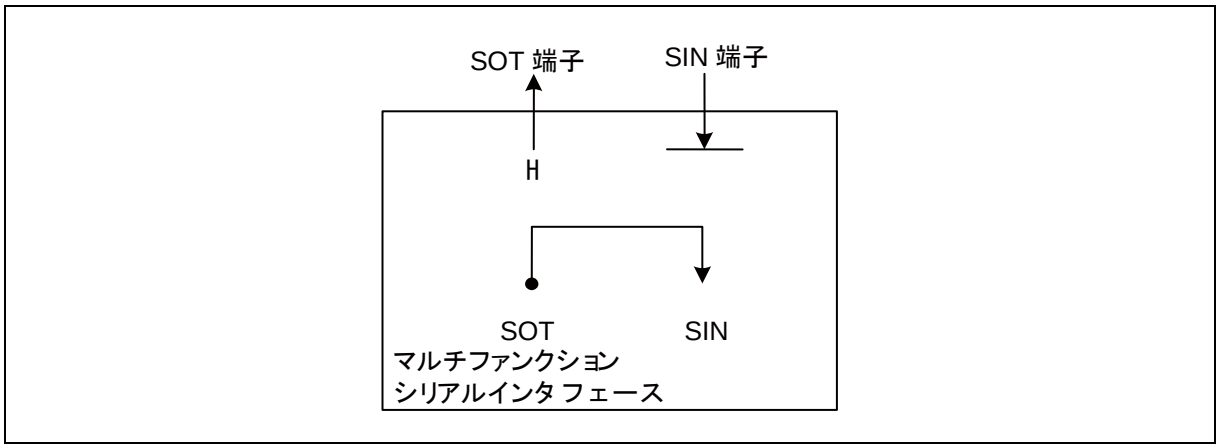
テストモードについて説明します。

テストモードの動作について説明します。

- **シリアルテストモード**

  シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。
  シリアルテストモード許可時(SACSR:STST="1")、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

図 5-12 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

5.2.12. UART ボーレート選択・設定

UART ボーレート選択・設定について示します。

UART の送受信ボーレートジェネレータは、次のいずれかを選択できます。

- **専用ボーレートジェネレータ(リロードカウンタ) で内部クロックを分周して得られるボーレート**

  2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
  リロードカウンタは、設定された値で内部クロックを分周します。
  クロックソースの設定は、内部クロックを選択(BGR:EXT=0)してください。

- **専用ボーレートジェネレータ(リロードカウンタ) で外部クロックを分周して得られるボーレート**

  リロードカウンタのクロックソースに外部クロックを使用します。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

  リロードカウンタは、設定された値で外部クロックを分周します。

  クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR:EXT=1)してください。

  本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

＜注意事項＞

- 外部クロックの設定(EXT=1)は、リロードカウンタが停止した状態(BGR=15'h00)で行ってください。
- 外部クロックに設定(EXT=1)した場合、外部クロックの"H"幅, "L"幅は 2 バスクロック以上必要です。

■ ボーレートの計算

2つの15ビットリロードカウンタは、ボーレートジェネレータレジスタ(BGR)で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値

$\vee = \phi / b - 1$

$\vee$: リロード値

b : ボーレート

ϕ : バスクロック周波数, 外部クロック周波数

(2) 計算例

バスクロック16MHz, 内部クロック使用, ボーレート19200 bpsに設定する場合のリロード値は次のようになります。

リロード値:

$\vee = (16 \times 1{,}000{,}000) / 19200 - 1 = 832$

よって、ボーレートは

b = (16 × 1,000,000) / (832+1) = 19208 bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差(%) = (計算値 - 目標値) / 目標値 × 100

(例) バスクロック20MHz, 目標ボーレート153600 bps に設定する場合

リロード値= (20 × 1,000,000) / 153600 − 1 = 129

ボーレート(計算値) = (20 × 1,000,000) / (129+1) = 153846 bps

誤差(%) = (153846 − 153600) / 153600 × 100 = 0.16(%)

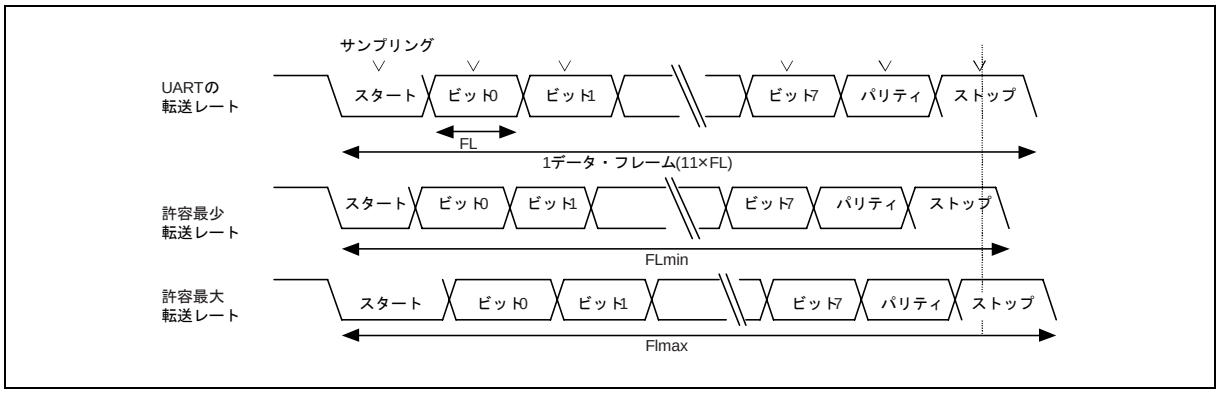
＜注意事項＞

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 受信時のボーレートの許容誤差範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。
受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 5-13 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット) までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、次のようになります。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は次のようになります。

FLmin = (11bit × (V+1) − (V+1) / 2 +2) / ϕ = (21V+25) / 2ϕ (s)

V : リロード値　ϕ : バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は次のようになります。

BGmax = 11/FLmin = 22ϕ / (21V+25) (bps)

V : リロード値　 ϕ : バスクロック

許容最大転送レート(FLmax)データを受信する場合、11 ビット目の受信データを始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は次のようになります。

10/11 × FLmax = (11bit × (V+1) − (V+1) / 2) / ϕ

Flmax = (21/20 × 11 × (V+1)) /φ (s)

V: リロード値　 ϕ : バスクロック

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(FLmax)は次のようになります。

FLmax = (21/20 × 11 × (V+1) − 2) / ϕ = (231V+191) / 20ϕ (s)

V : リロード値　 ϕ : バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は次のようになります。

BGmin = 11 / FLmax = 220ϕ / (231V+191) (bps)

V : リロード値　 ϕ : バスクロック

前述の最小/最大ボーレート値の算出式から、UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 5-2 許容ボーレート誤差

リロード値	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0%
10	2.98%	-3.24%
50	4.37%	-4.44%
100	4.56%	-4.60%
200	4.66%	-4.68%
32767	4.76%	-4.76%

＜注意事項＞

受信の精度は、1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高くなります。

■ 各内部クロック(周辺クロック(PCLK))・ボーレートに対するリロード値と誤差

表 5-3 各内部クロック (周辺クロック(PCLK)) ・ボーレートに対するリロード値と誤差

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	-	-	-	7	0	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	<0.01	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2083	0.03	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

・Value : BGR レジスタの設定値(10 進)
・ERR : ボーレート誤差(%)

■ 外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

＜注意事項＞

外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定になります。

● リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

● カウントの開始

ボーレートジェネレータレジスタ(BGR)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

● 再スタート

リロードカウンタは下記の条件で再スタートします。

・送信/ 受信リロードカウンタ共通
  ・ プログラマブルリセット (SCR:UPCL ビット)
・受信リロードカウンタ
  ・ 非同期モードでのスタートビット立下りエッジ検出

5.3. 設定手順とプログラムフロー

設定手順とプログラムフローについて示します。

5.3.1. 動作モード 0 (1 : 1 接続)

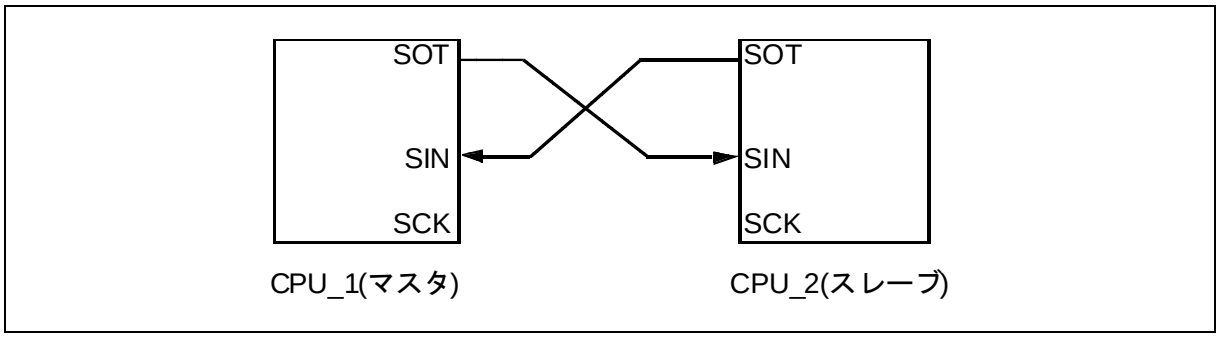
動作モード 0 (1 : 1 接続)について示します。

動作モード 0 では, 非同期シリアル双方向通信ができます。

■ CPU 間接続

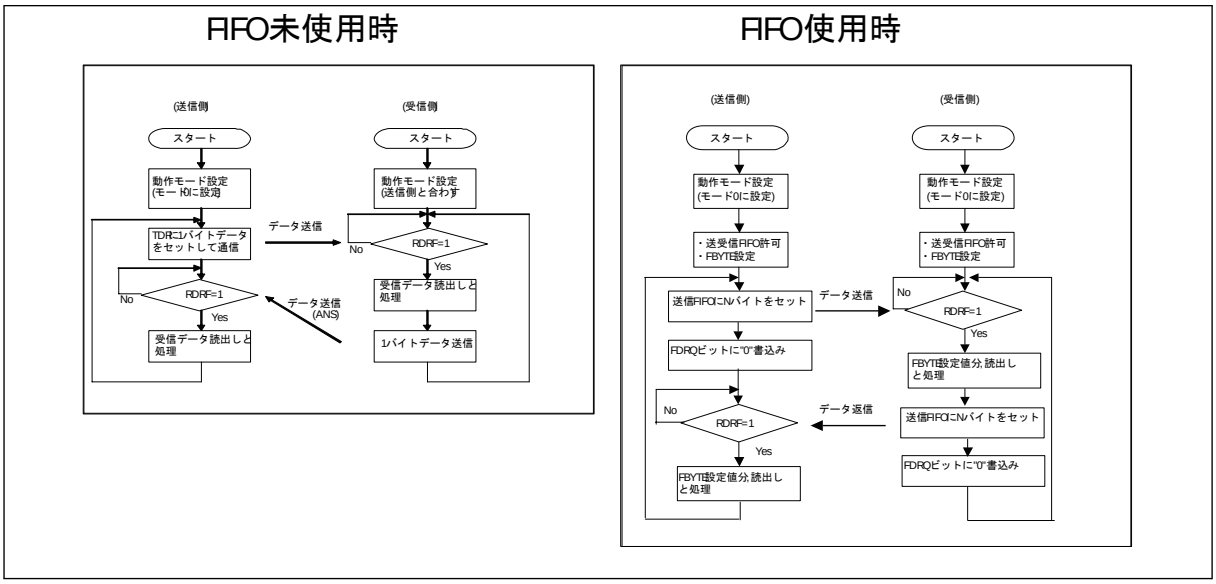
動作モード 0(通常モード)では、双方向通信を選択します。図 5-14 に示すように 2 つの CPU を相互に接続します。

図 5-14 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

図 5-15 双方向通信設定例



5.3.2. 動作モード 1(1 : n 接続)

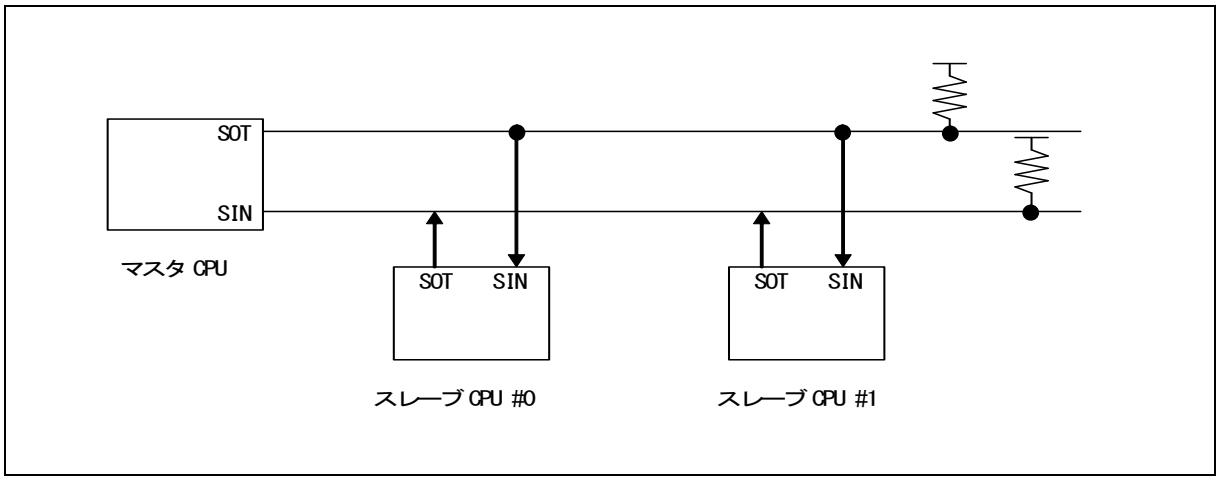
動作モード 1(1 : n 接続)について示します。

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 5-16 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 5-4 に示すように動作モードとデータ転送方式を選択してください。

表 5-4 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = "1" + 7 または 8 ビットアドレス	なし	1 ビットまたは 2 ビット	LSB または, MSB ファースト
データ送受信			AD = "0" + 7 または 8 ビットデータ			

＜注意事項＞

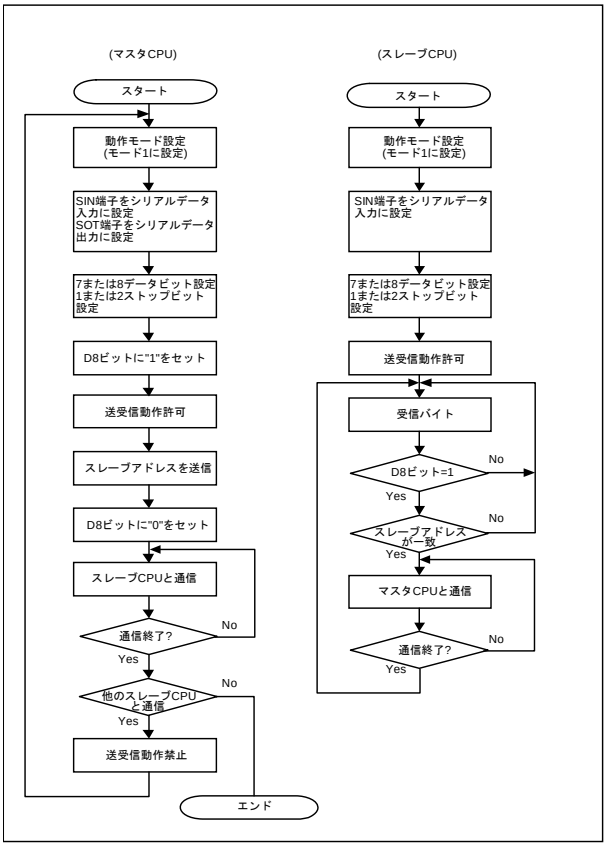
動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。

■ 通信手順

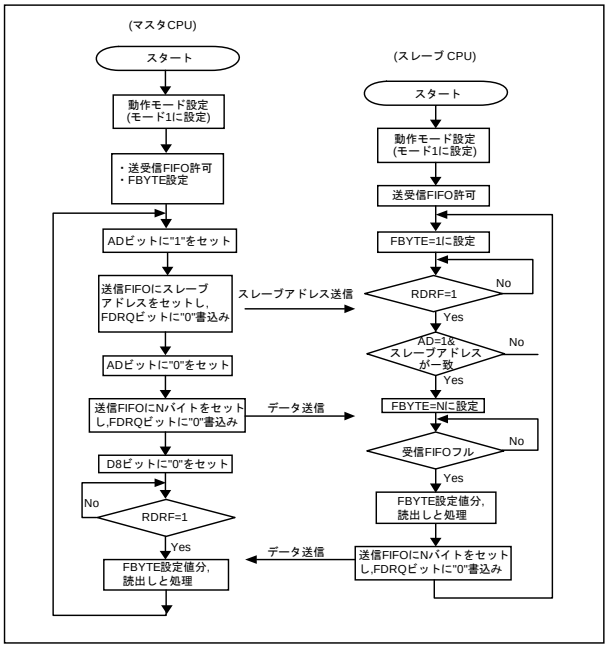
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを"1"としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信(通常データ)をします。図 5-17 に、マスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

図 5-17 マスタ/スレーブ型通信フローチャートの例

FIFO 未使用時



FIFO 使用時



6. CSIO の動作説明

CSIO の動作について説明します。

6.1. CSIO の割込み

CSIO の割込みについて示します。

CSIO(クロック同期シリアルインタフェース)の割込みには、受信割込みと送信割込みがあり、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合、または受信エラーが発生した場合。
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求。
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMR)が一致
- チップセレクトエラー発生

6.1.1. CSIO の割込み一覧

CSIO の割込み一覧について示します。

表 6-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR: RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*
	TBI	SSR	送信動作なし	SCR: TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1: FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
	CSE	SACSR	スレーブモード(SCR:MS="1")時、送信動作中にシリアルチップセレクト端子がインアクティブ マスタモード(SCR:MS=0)時、送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない(SSR:TDRE=1)	SACSR: SCEIE	シリアルチップセレクトフラグビット(SACSR:CSE)への"0"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR: TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

6.1.2. 受信割込み発生とフラグセットのタイミング

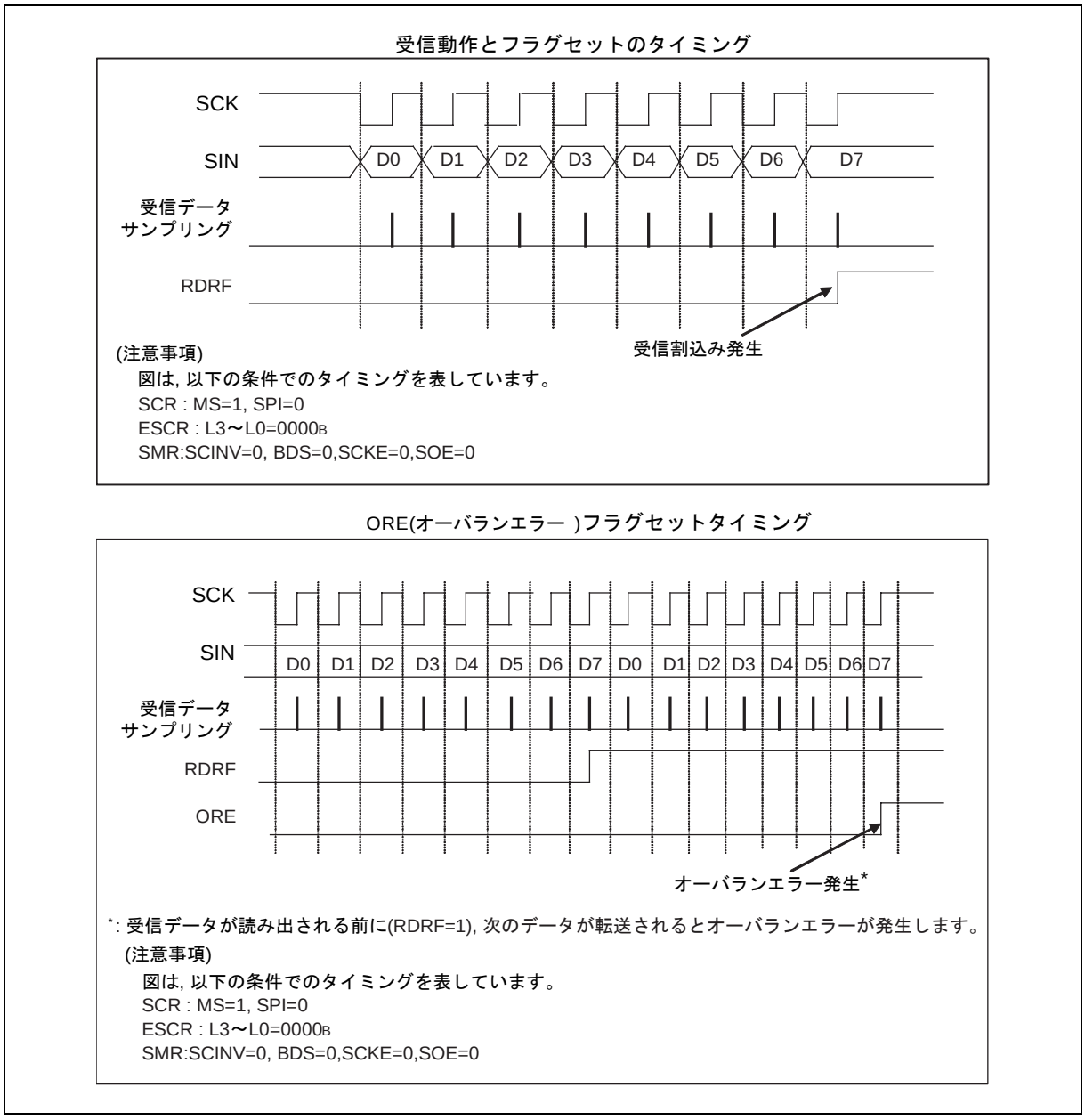
受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:ORE)があります。最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:ORE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE="1")されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

図 6-1 フラグセットのタイミング



6.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

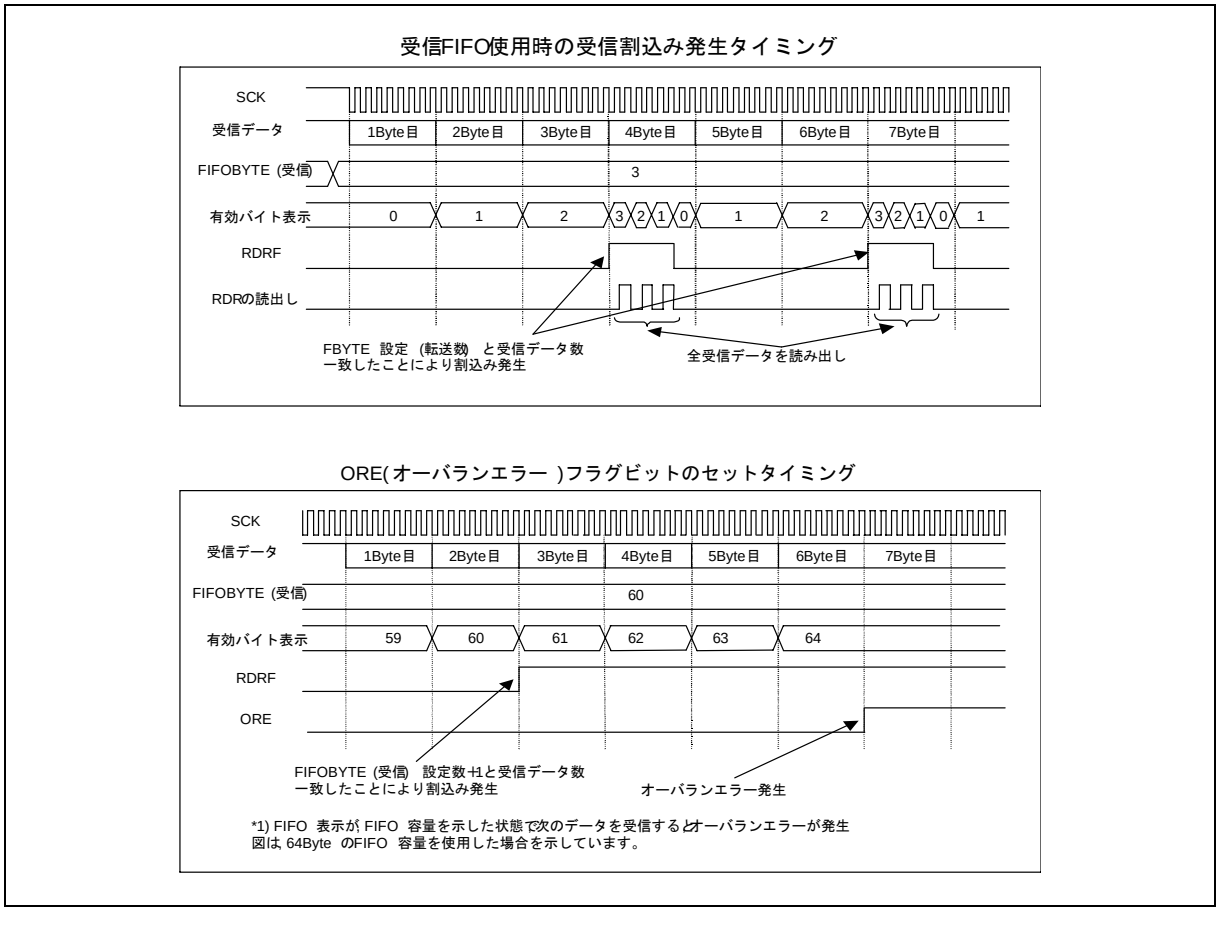
受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバランエラー(SSR:ORE="1")が発生します。

図 6-2 割込み発生・フラグセットのタイミング



6.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE="1")送信が開始された場合と、送信動作をしていない時(SSR:TBI="1")に発生します。

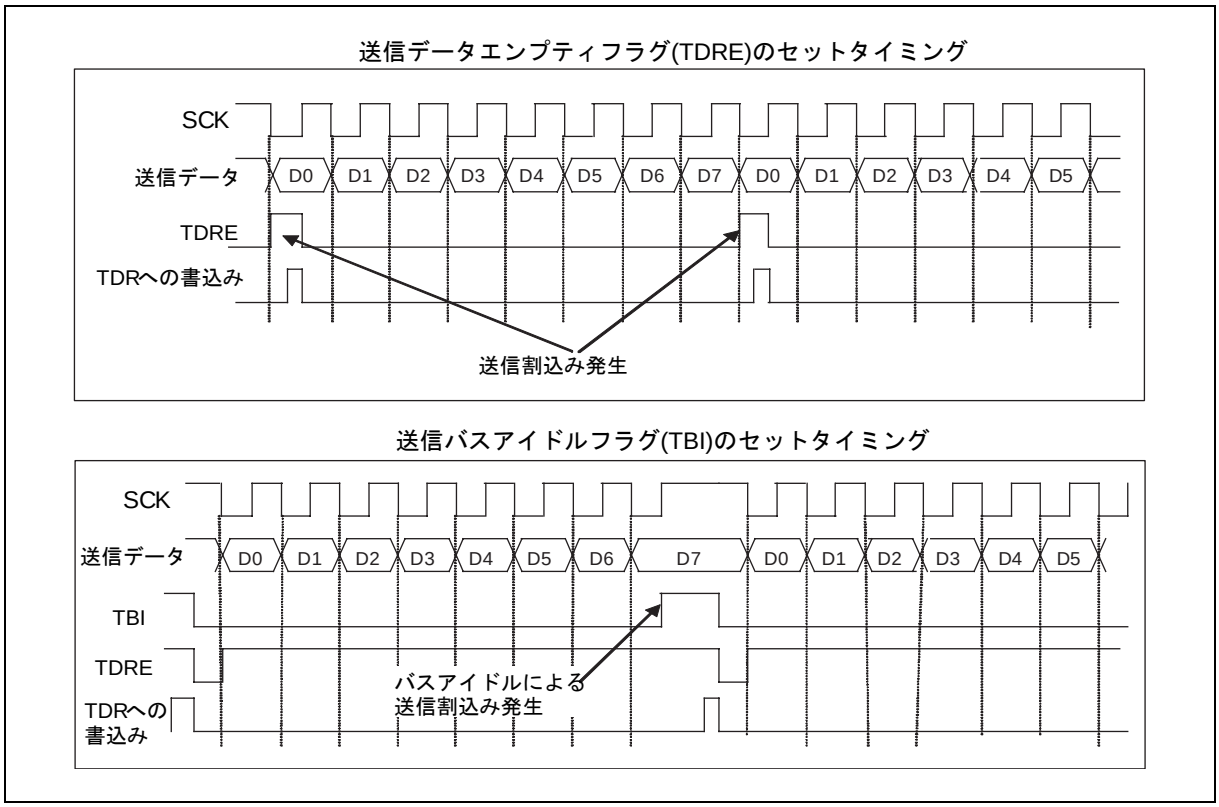
- **送信データエンプティフラグ(TDRE) のセットタイミング**

  送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE="1")になります。そのとき、送信割込みが許可(SCR:TIE="1")されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

- **送信バスアイドルフラグ(TBI) のセットタイミング**

  送信データレジスタがエンプティ(TDRE="1")で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE="1")されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットすると SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 6-3 フラグセットのタイミング



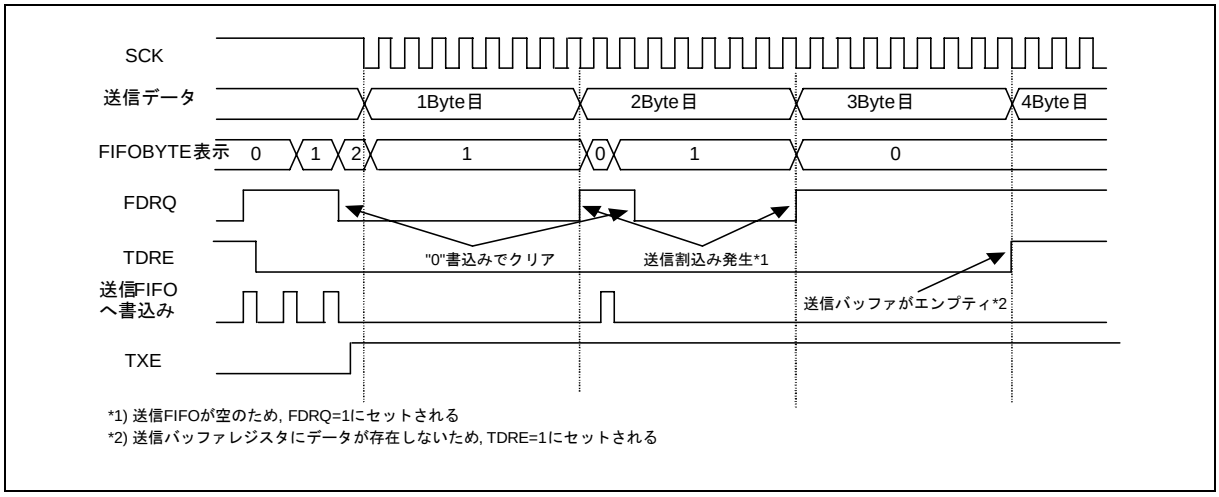
6.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE)または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことで確認できます。
  FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 6-4 割込み発生タイミング



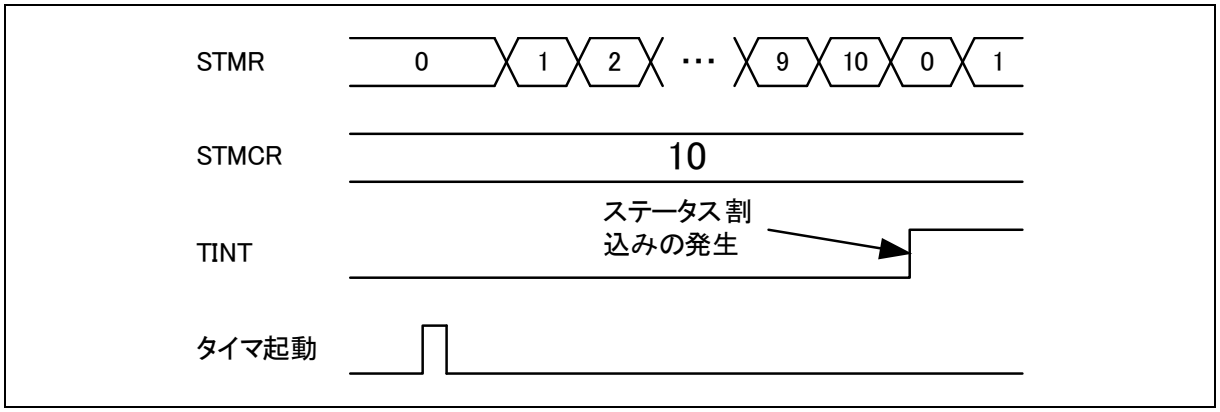
6.1.6. タイマ割込みとフラグセットのタイミング

タイマ割込みとフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
  このとき、タイマ割込み許可(SACSR:TINTE="1")されているとステータス割込みが発生します。

図 6-5 タイマ割込み発生タイミング



6.1.7. チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラー発生とフラグセットのタイミングについて示します。

チップセレクトエラーは、マスタモード(SCR:MS="0")時に、TBYTE の設定値より少ないフレーム数しか送信していない場合、1 フレーム送信後に送信データレジスタ(TDR)に有効なデータがない(SSR:TDRE="1")場合に発生します。また、スレーブモード(SCR:MS=1)の送信動作中にシリアルチップセレクト端子がインアクティブになるとチップセレクトエラーは発生します。

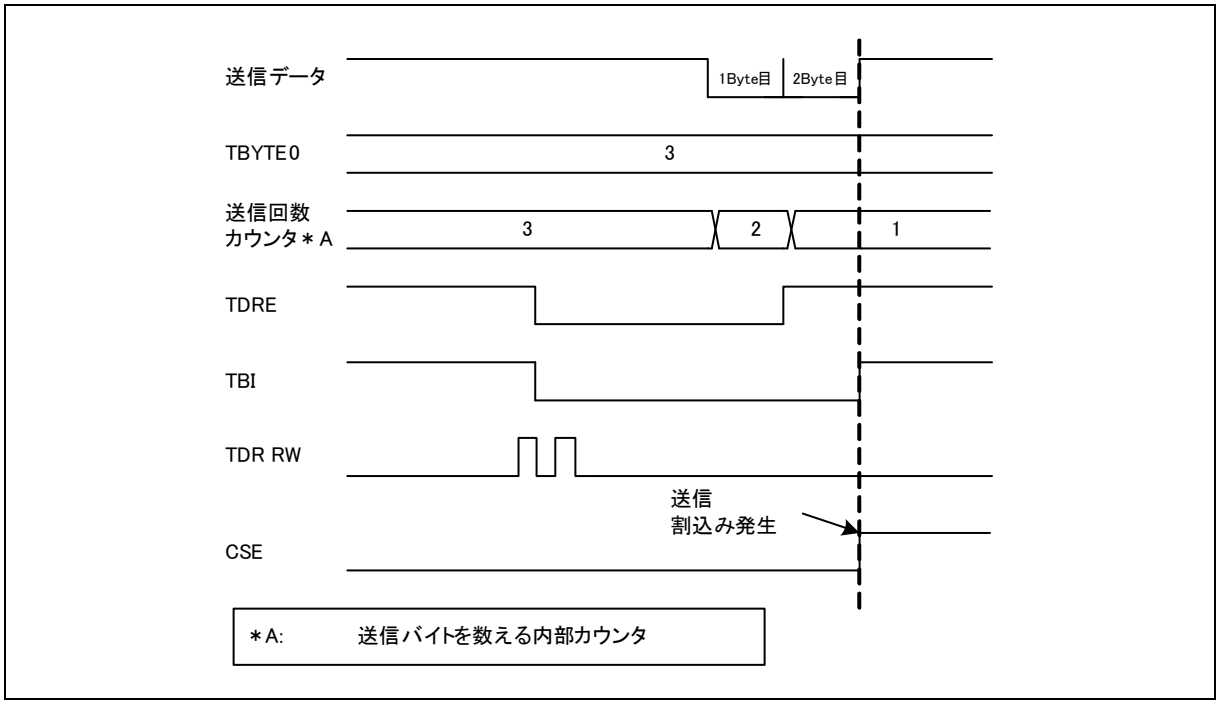
- **マスタモード(SCR:MS="0")**

  チップセレクトエラーは、転送バイトエラー許可(TBEEN="1")で以下のいずれかのとき、TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE="1")場合、発生します。

  ・チップセレクト使用時
  ・シリアルタイマによる同期送信使用時

  このとき、チップセレクトエラー割込み許可(SACSR:CSEIE="1")されていると送信割込みが発生します。

図 6-6 チップセレクトエラー発生タイミング



＜注意事項＞

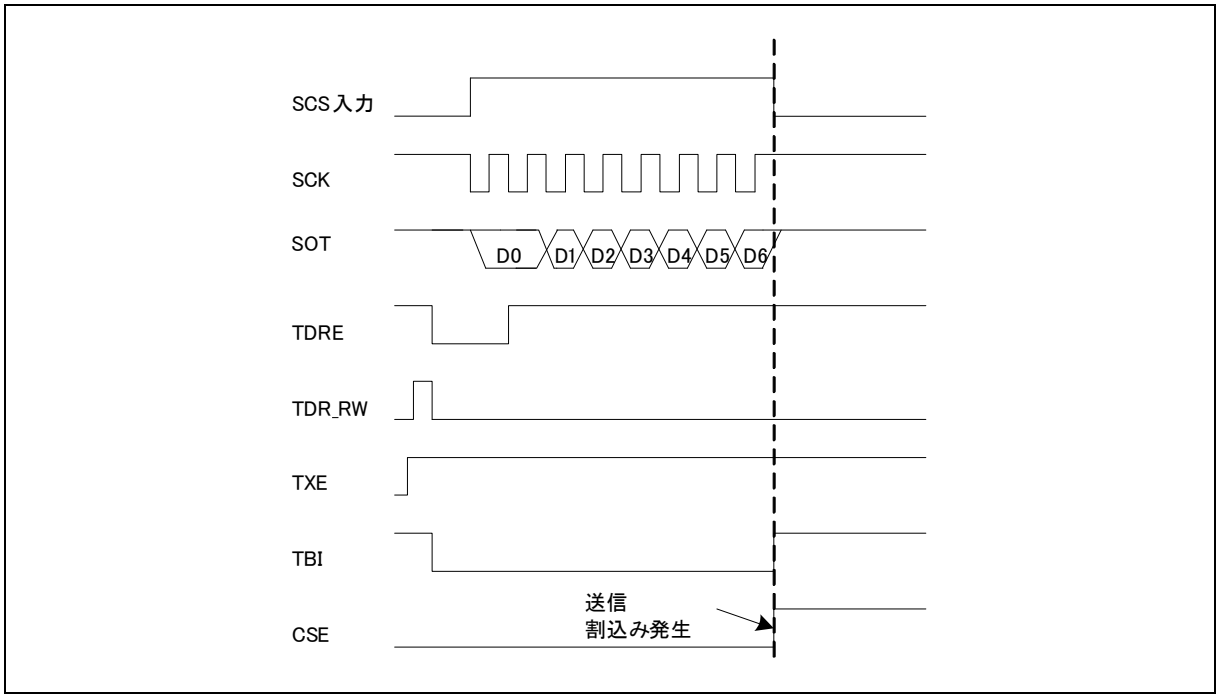
- シリアルチップセレクト使用時、チップセレクトエラー発生後からホールドディレイ時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定され、同時にシリアルチップセレクト端子はインアクティブになります。また、ホールドディレイ時間中に送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始せず、ホールドディレイ時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。
- チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。
- シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。
- シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。

● スレーブモード(SCR:MS="1")

チップセレクトエラーは、送信動作中(SSR:TBI="0")にシリアルチップセレクト端子がインアクティブになると発生します。

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE="1")されていると送信割込みが発生します。

図 6-7 チップセレクトエラー発生タイミング



6.2. CSIO の動作

CSIO の動作について示します。

6.2.1. ノーマル転送(I)

ノーマル転送(I)について説明します。

■ 特長

表 6-2 ノーマル転送(I) の特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送(I)に必要なレジスタの設定値を以下に示します。

SCR:SPI=0*, SMR:MD2=0, MD1=1, MD0=0, SCINV=0*
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

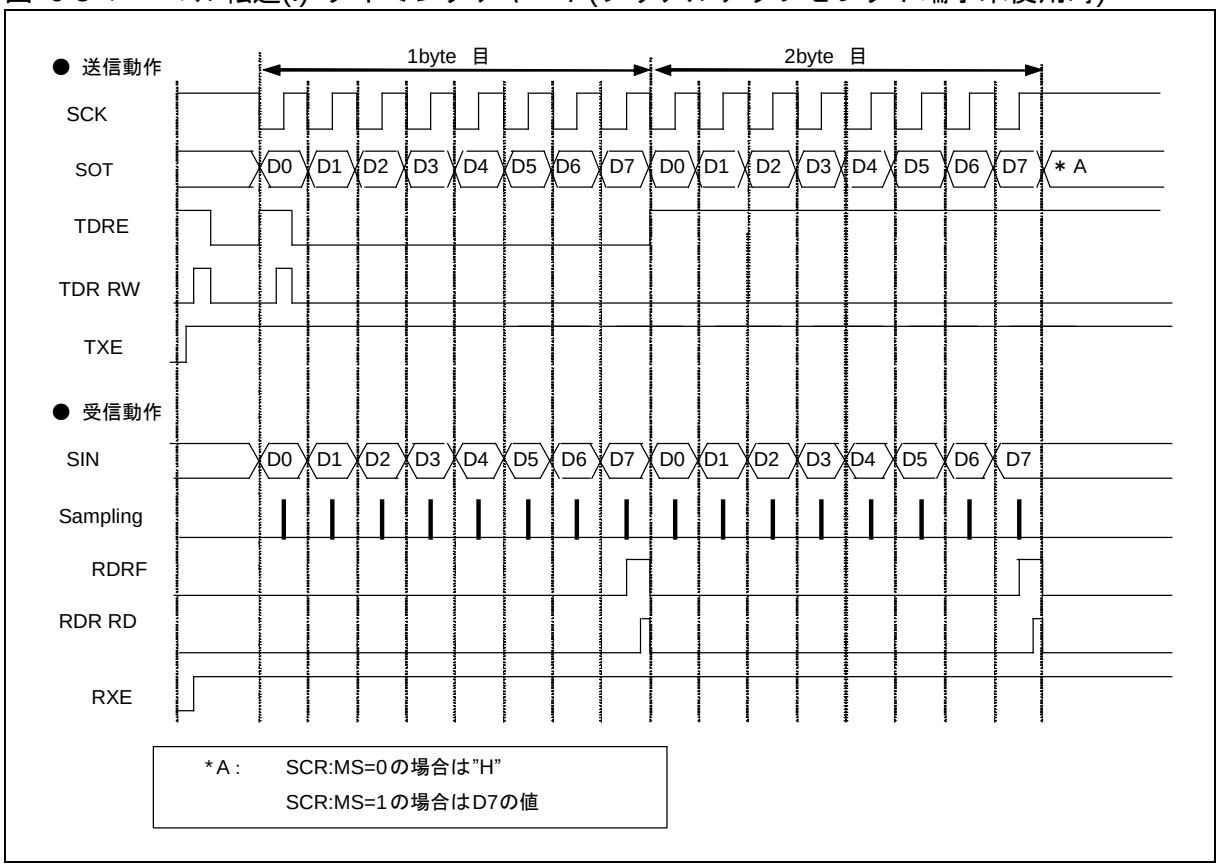
*: 条件により設定するビットが異なります。表 6-6 を参照してください。

＜注意事項＞

上記ビット以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-8 ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN1-0="00"bに設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1")および受信動作禁止(SCR:RXE="0")にした後、TDR に送信データを書き込むと、SSR:TDRE="0"となります。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" となります。このため、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0"), 送信動作許可(SCR:TXE="1")および受信動作許可(SCR:RXE="1")に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF="1"となります。このとき、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。
- 送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

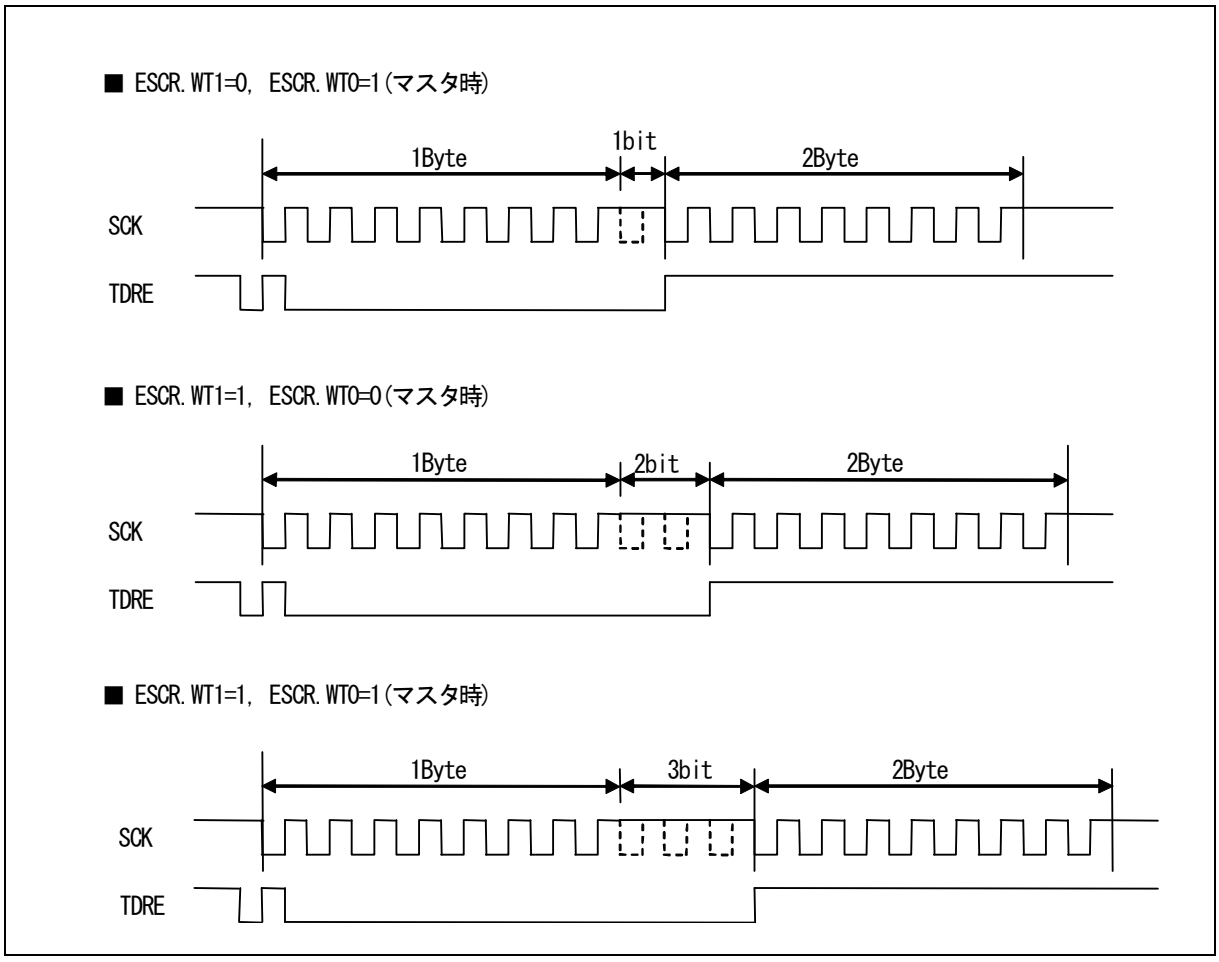
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にしてください。

② TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。



[2] スレーブ動作(SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。このため、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となります。送信割込み許可(SCR:TIE="1")されていると、送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")にすると、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

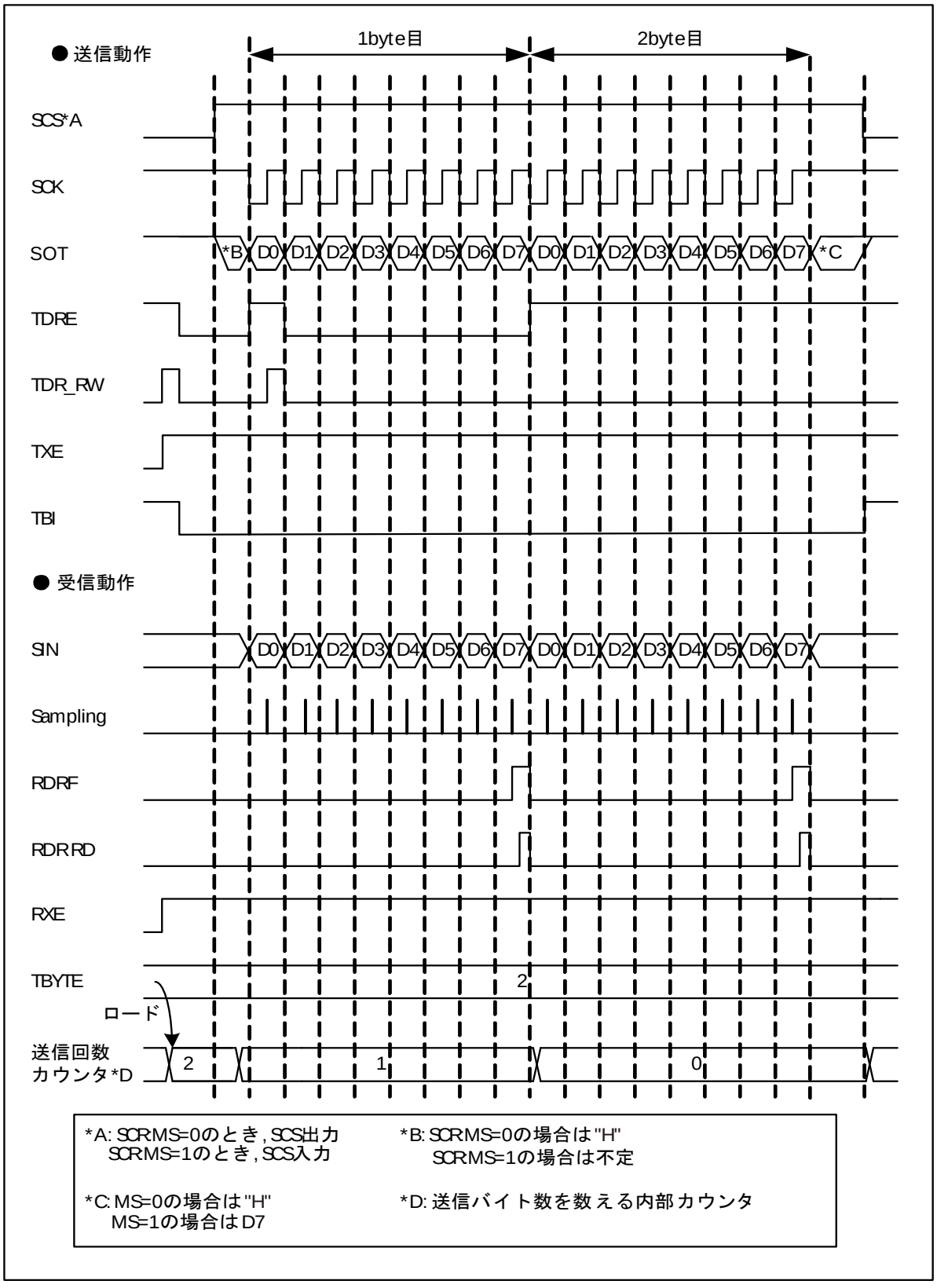
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0" となりシリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されるとSSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ ノーマル転送(I)タイミングチャート(シリアルチップセレクト端子使用時)

図 6-9 ノーマル転送(I)タイミングチャート(シリアルチップセレクト端子使用時)



[1] マスタ動作(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

* : nには使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1"), 受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作を開始します。送信動作が開始するとシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③TBYTE で設定している回数のデータ送信終了後、送信動作が終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")、送信動作許可(SCR:TXE="1")、受信動作許可(SCR:RXE="1")にし、TDR にダミーデータを書き込むとリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック出力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS) がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1") が保持されている場合、シリアルチップセレクト端子(SCS) はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。
- 送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、リアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。送受信動作が開始すると、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

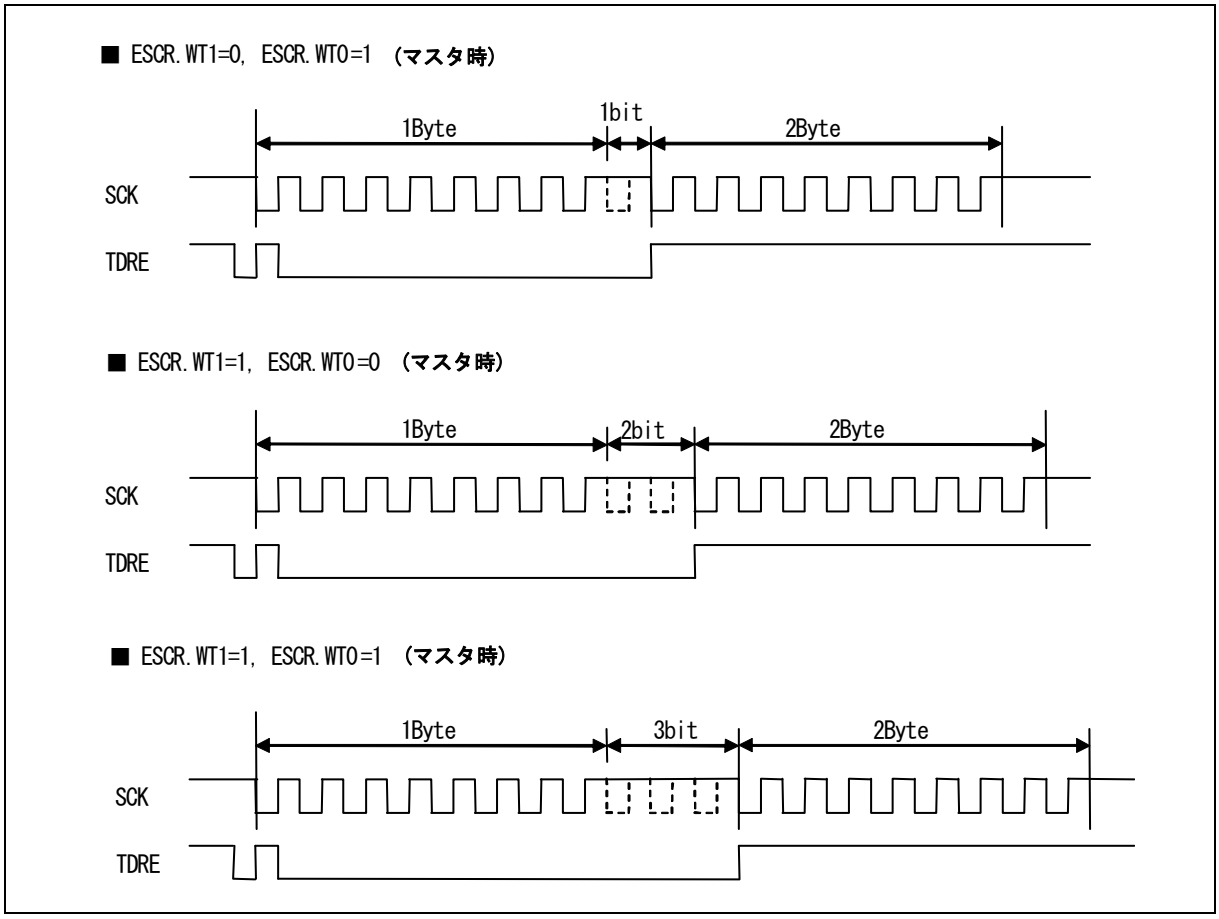
③送受信動作中は受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④TBYTE で設定している回数のデータ送受信終了後、送受信動作が終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと、SSR:TDRE="0"となります。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③送受信動作中に受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作を終了し、シリアル出力端子(SOT)が"H"になります。

6.2.2. ノーマル転送(II)

ノーマル転送(II)について説明します。

■ 特長

表 6-3 ノーマル転送(II) の特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送(II)に必要なレジスタの設定値を以下に示します。

SCR:SPI*=0, SMR:MD2=0, MD1=1, MD0=0, SCINV*=1
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

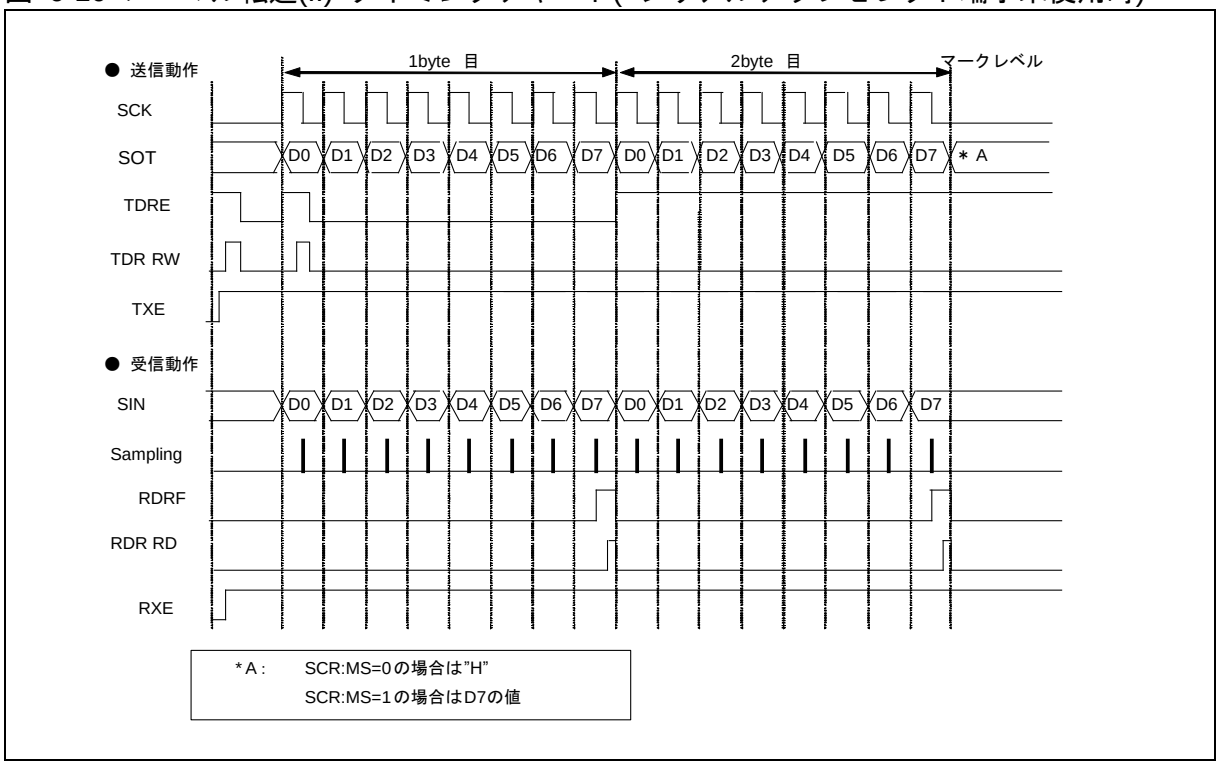
*: 条件により設定するビットが異なります。表 6-6 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送(II) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-10 ノーマル転送(II) タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")、送信動作許可(SCR:TXE="1")および受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。これにより、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となります。このため、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")、送信動作許可(SCR:TXE="1")および受信動作許可(SCR:RXE="1")に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。このとき、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

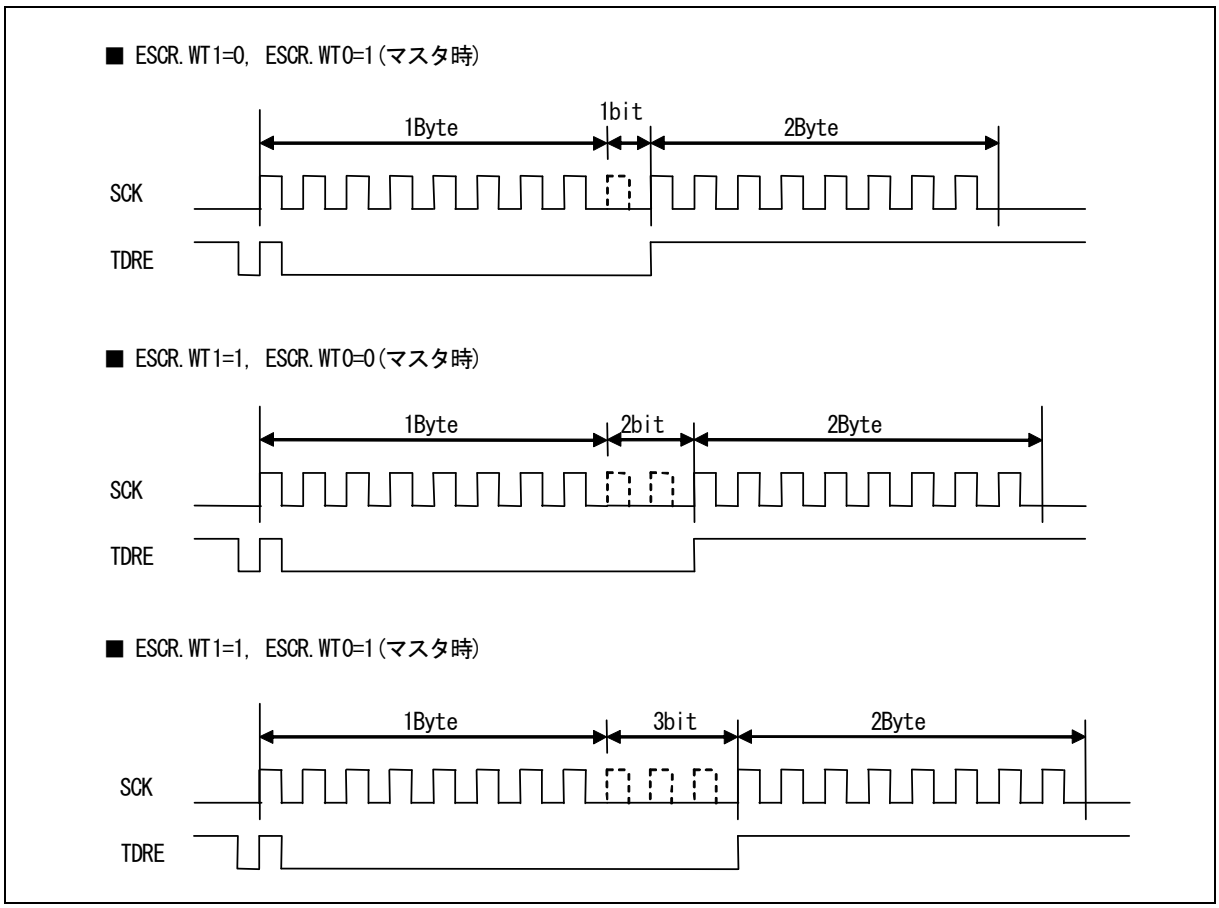
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"),送受信動作許可(SCR:TXE, RXE="1")にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。
受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。このため、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となります。送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")にすると、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR) を読み出すと、SSR:RDRF は"0" にクリアされます。

● 送受信動作

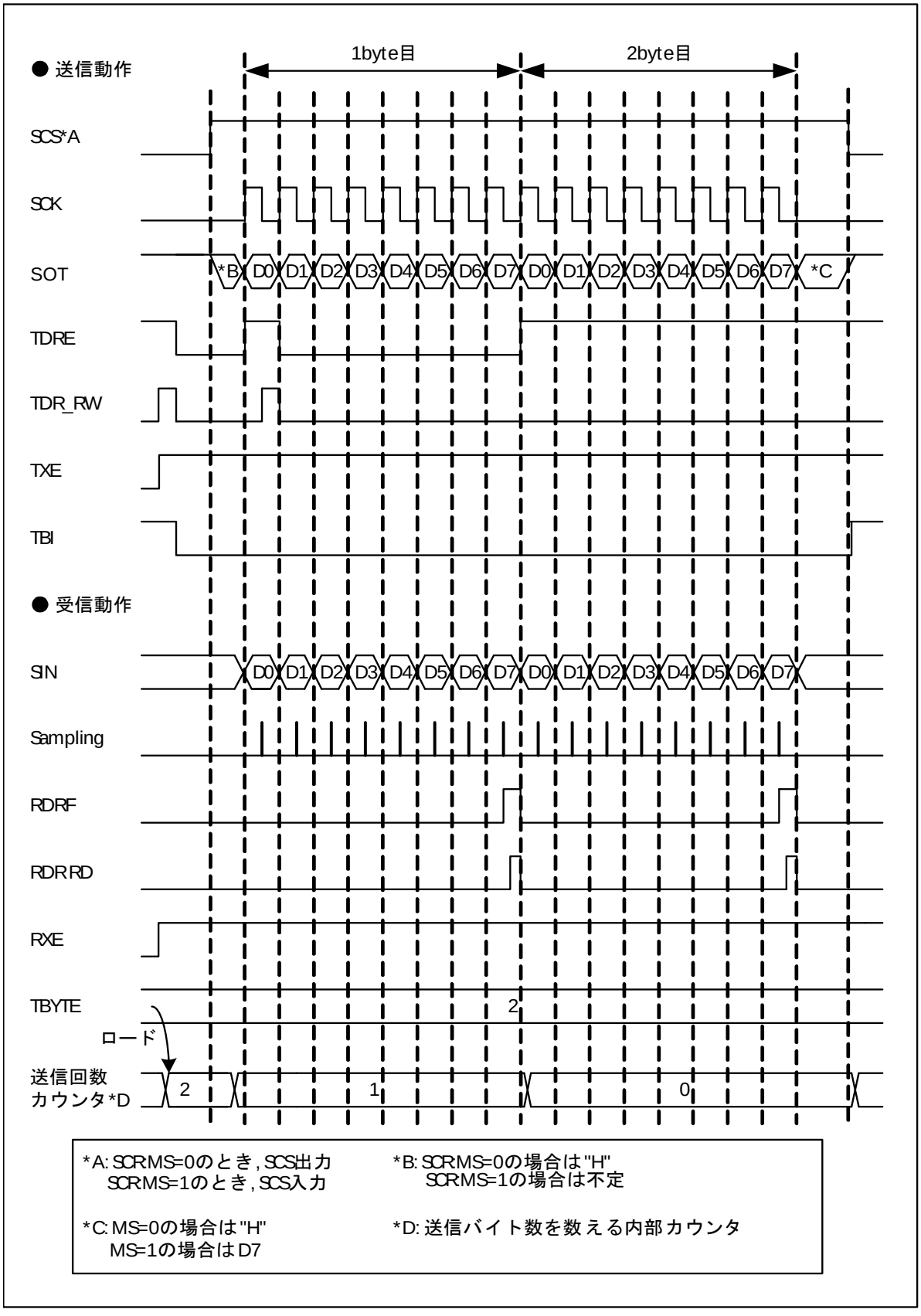
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1") にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ ノーマル転送(II)タイミングチャート(シリアルチップセレクト端子使用時)

図 6-11 ノーマル転送(II)タイミングチャート(シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

* : n には使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1"), 受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作を開始します。送信動作が開始するとシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③TBYTE で設定している回数のデータ送信終了後、送信動作を終了します。

④送信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")、送信動作許可(SCR:TXE="1")、受信動作許可(SCR:RXE="1")にし、TDR にダミーデータを書き込むとリアルチップセレクト端子(SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④TBYTE で設定している回数のデータ受信終了後、受信動作が終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1")、送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、リアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。送受信動作が開始すると、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

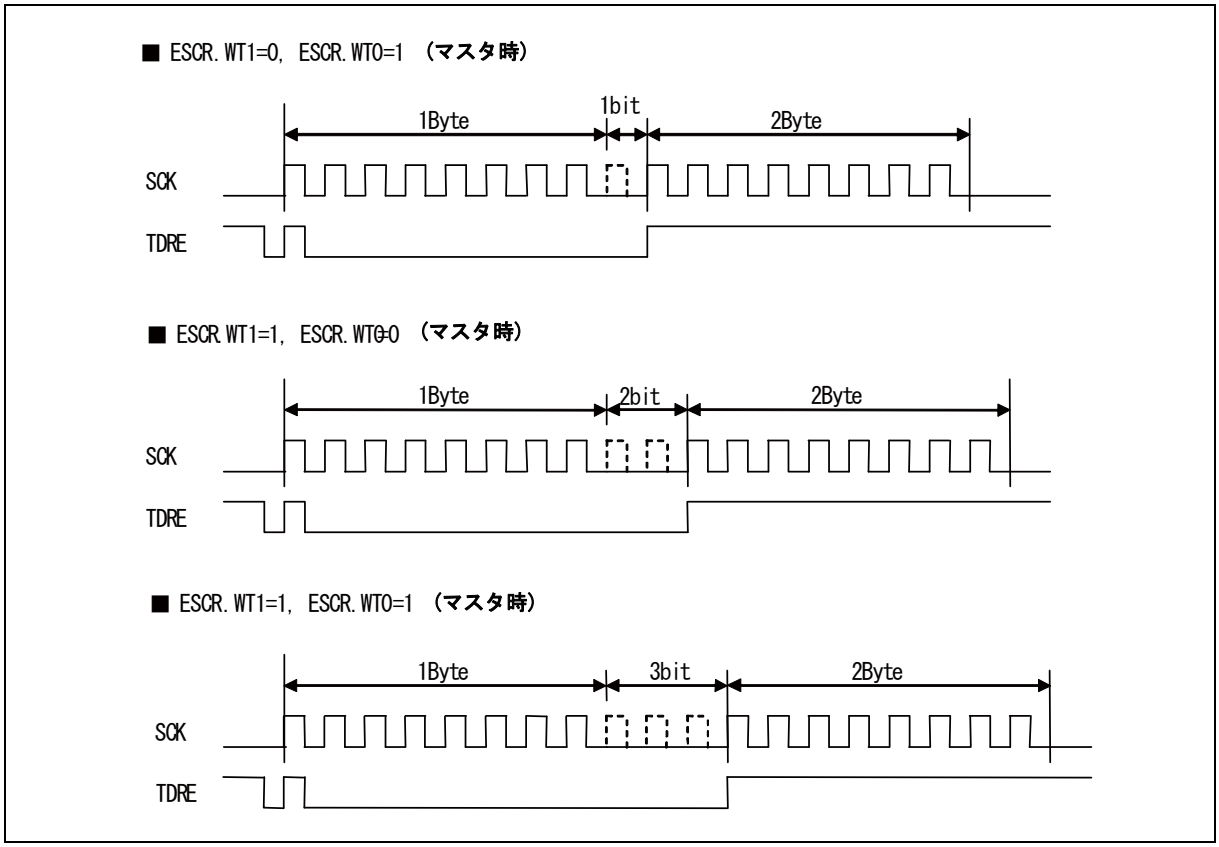
③送受信動作中は受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。

③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1")、送受信動作許可(SCR:TXE, RXE="1")にします。

② TDR に送信データを書き込むと、SSR:TDRE="0"となります。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③送受信動作中に受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作し、シリアル出力端子(SOT)が"H"になります。

6.2.3. SPI 転送(I)

SPI 転送(I)について説明します。

■ 特長

表 6-4 SPI 転送(I)の特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～9 ビット

■ レジスタ設定

SPI 転送(I)に必要なレジスタの設定値を以下に示します。

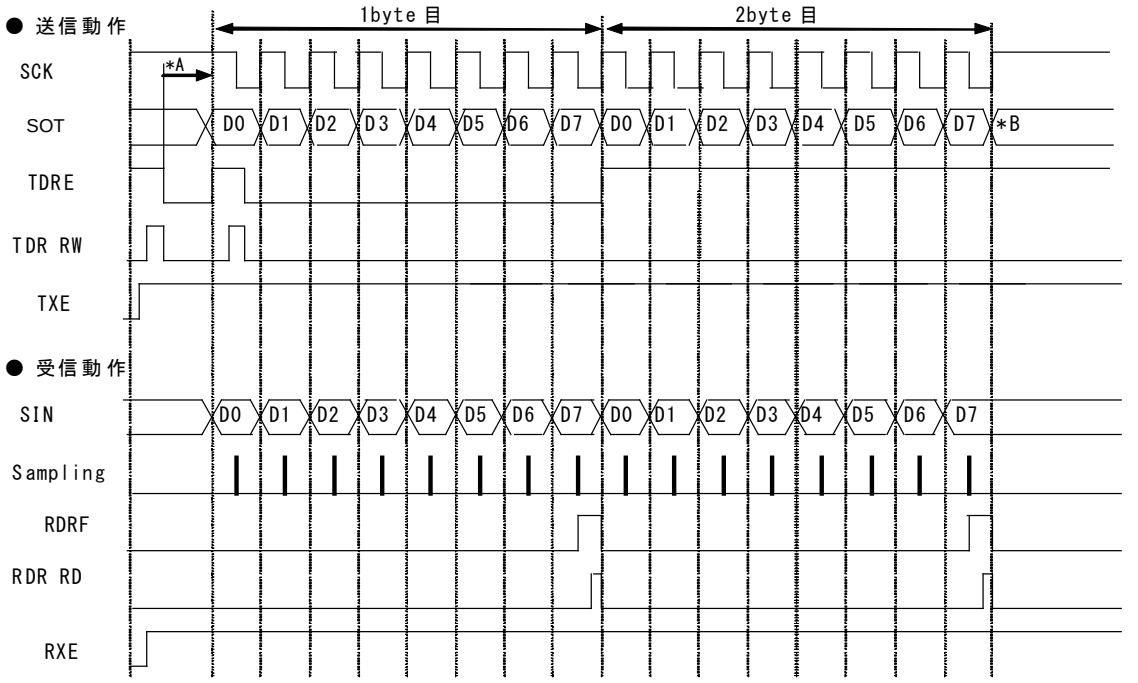
SCR:SPI*=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*=0
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0
*: 条件により設定するビットが異なります。表 6-6 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-12 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)



*A:スレーブ送信時(MS=1, SCKE=0, SOE=1)、TDR に書いてから 4 マシンサイクル以上の時間が必要。
*B: SCR:MS=0 の場合は"H"
SCR:MS=1 で TDRE が"L"の場合は 3byte 目の"D0"
SCR:MS=1 で TDRE が"H"の場合は"H"

[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN1-0="00"bに設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。これにより、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となります。
このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック(SCK)出力の立下りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF=1 となります。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

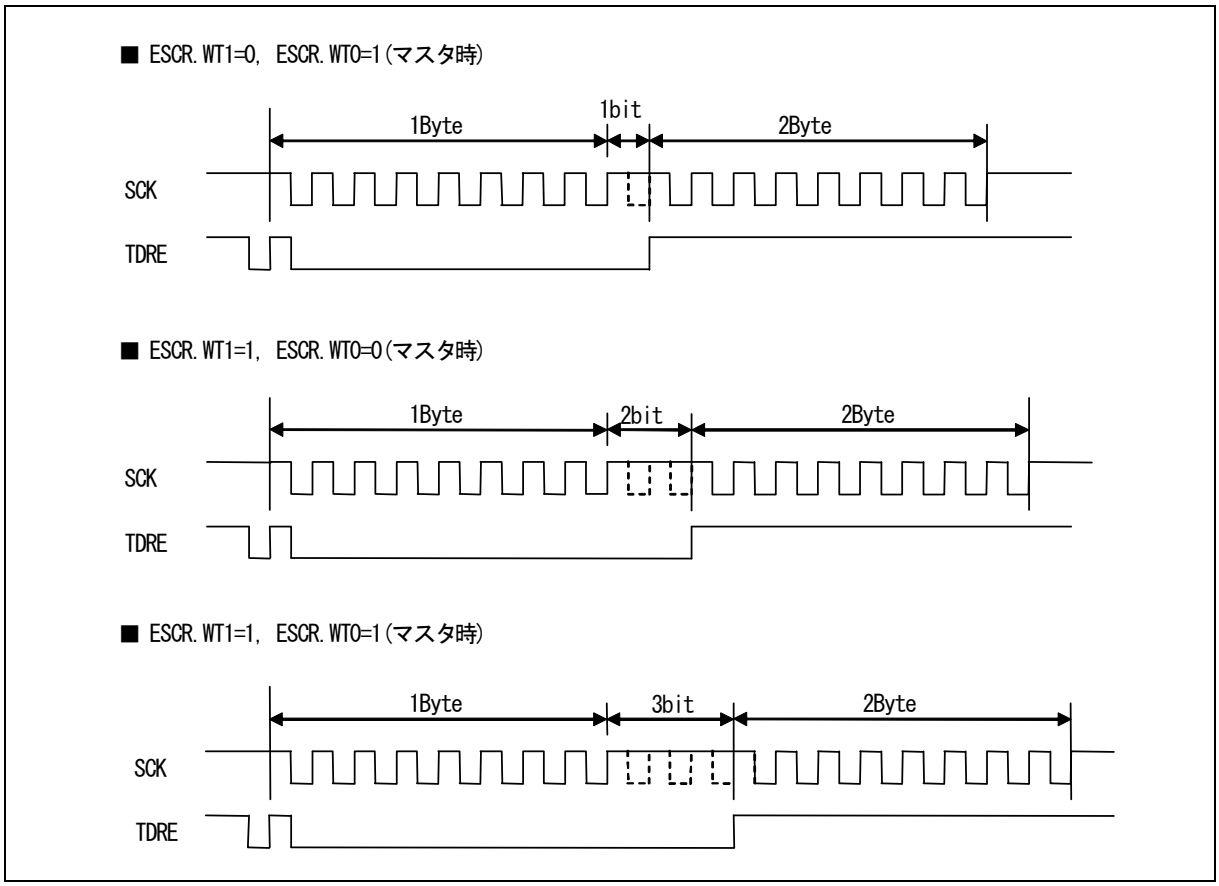
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

②TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE=1 となります。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にすると、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

②TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

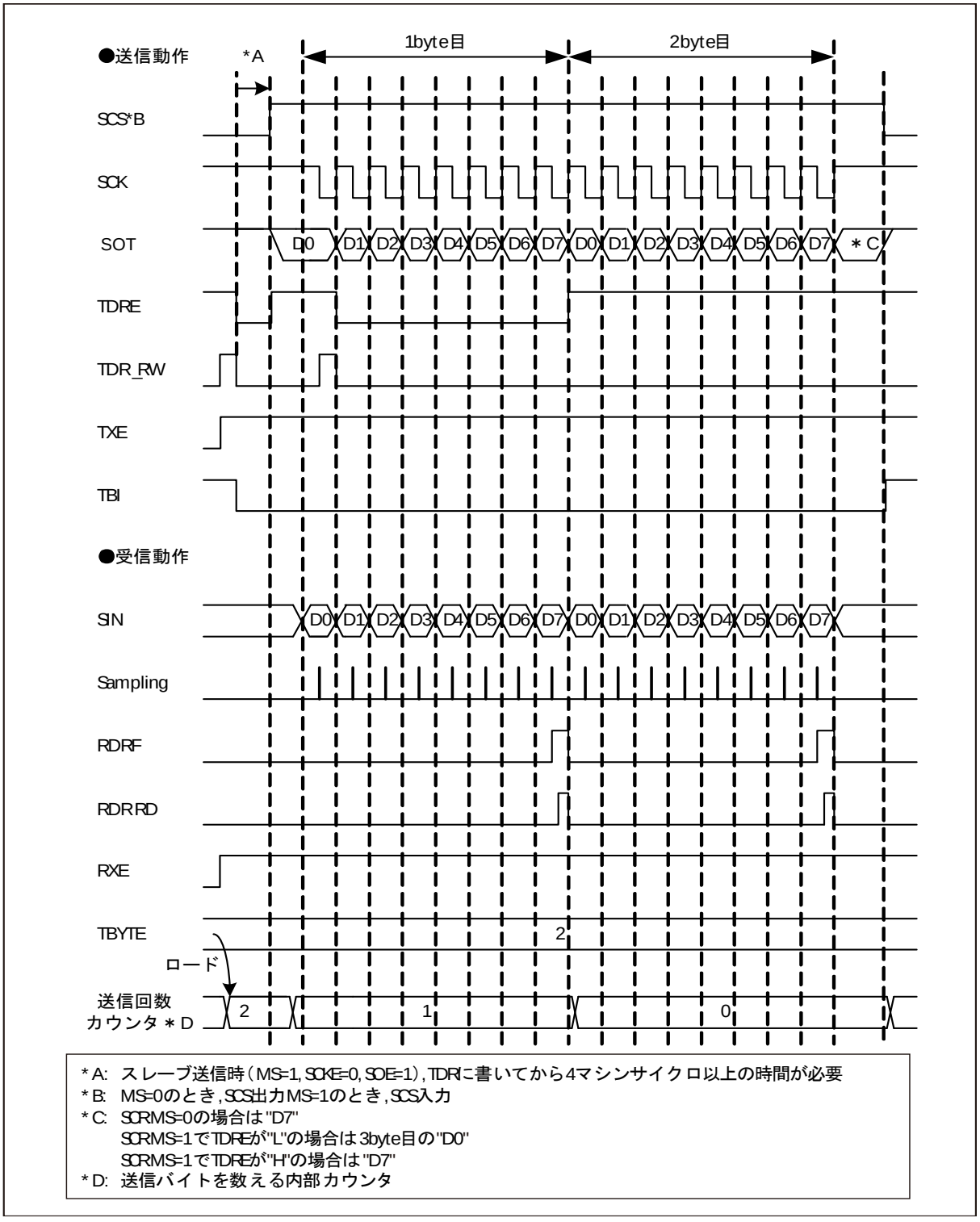
①シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1) にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。

③受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK) の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書込みと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)

図 6-13 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

*: n には使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作が開始します。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後、送信動作が終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック(SCK)出力の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと, SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で, SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

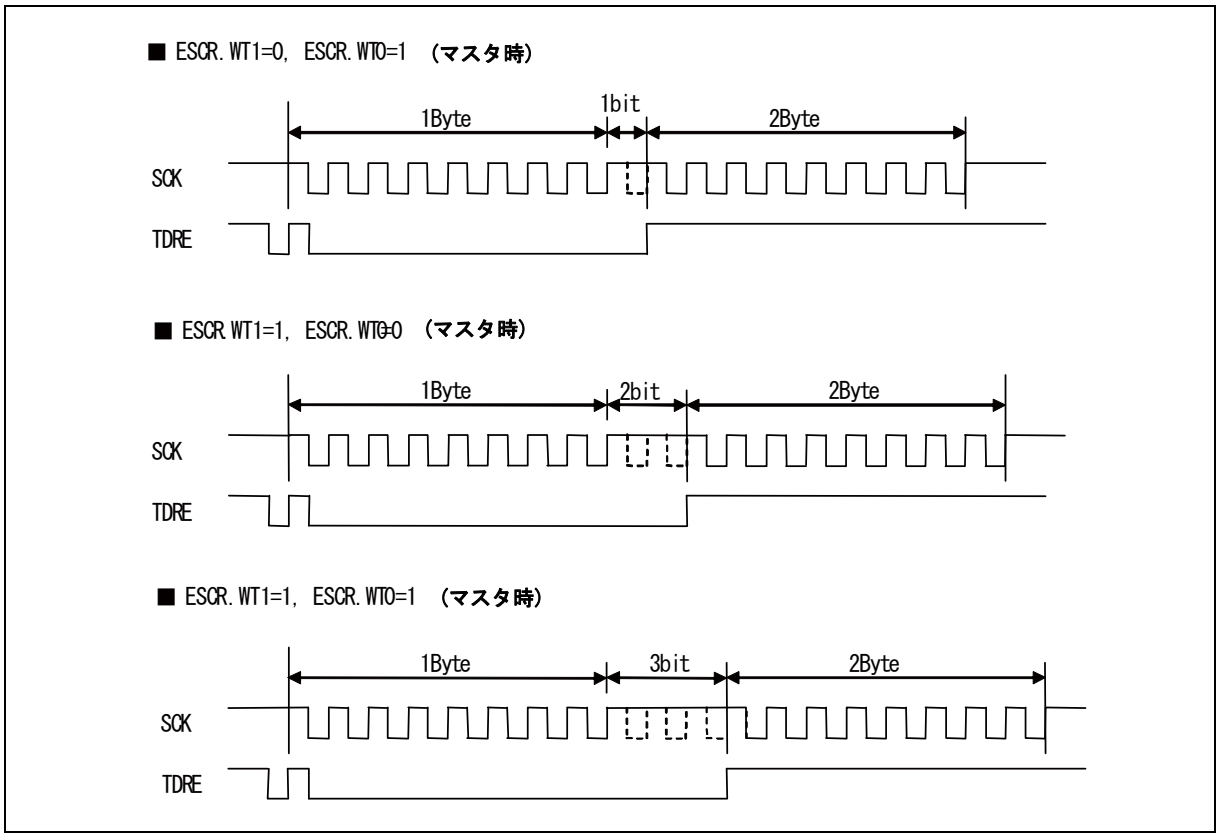
③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

③送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと, SSR:TDRE=0 となります。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が終了し、シリアル出力端子(SOT)が"H"になります。

6.2.4. SPI 転送(II)

SPI 転送(II)について説明します。

■ 特長

表 6-5 SPI 転送(II)の特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16，20，24，32 ビット

■ レジスタ設定

SPI 転送(II)に必要なレジスタの設定値を以下に示します。

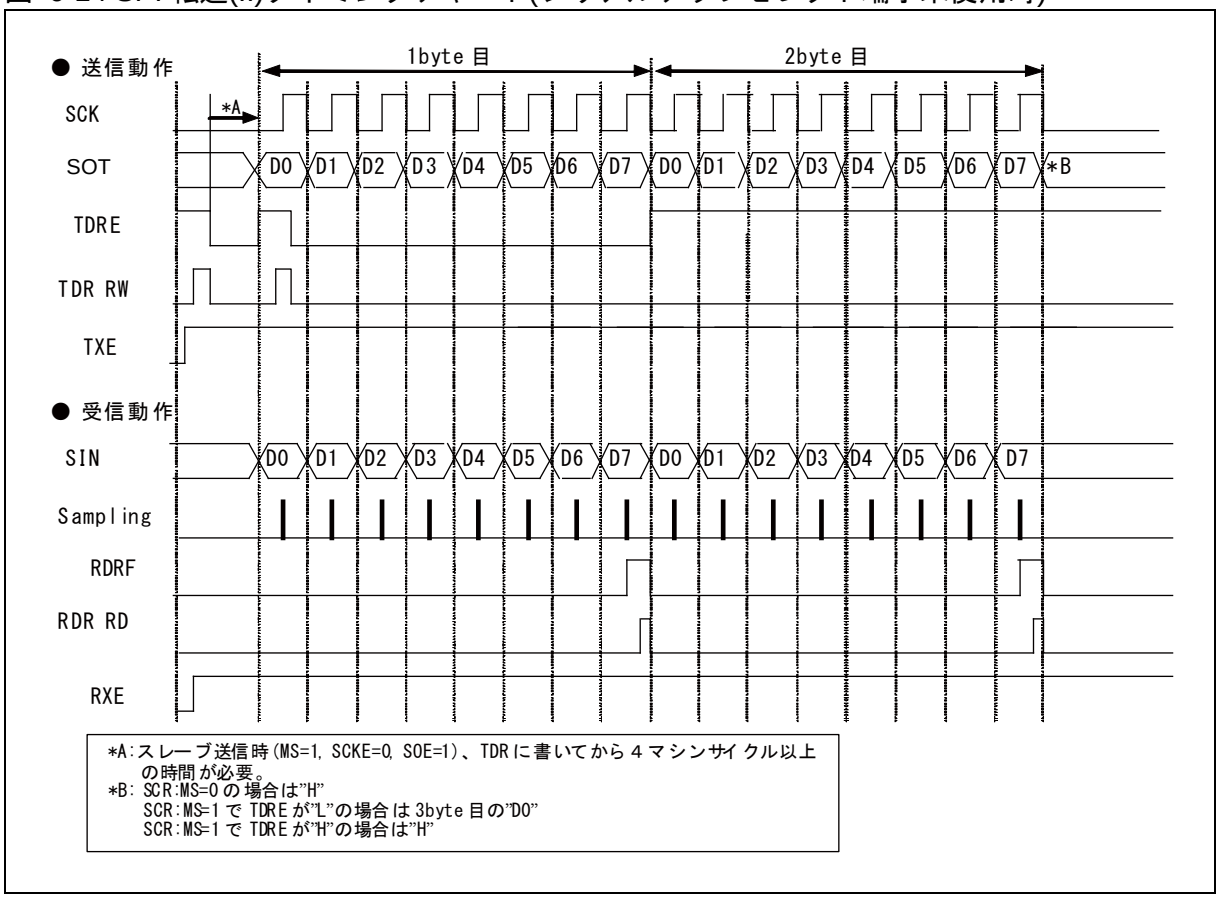
SCR:SPI*=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*=1
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0
*: 条件により設定するビットが異なります。表 6-6 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送(II)タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-14 SPI 転送(II)タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。

②最初のシリアルクロック(SCK)出力の立上りエッジの半サイクル前で, SSR:TDRE=1 となります。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF=1 となります。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

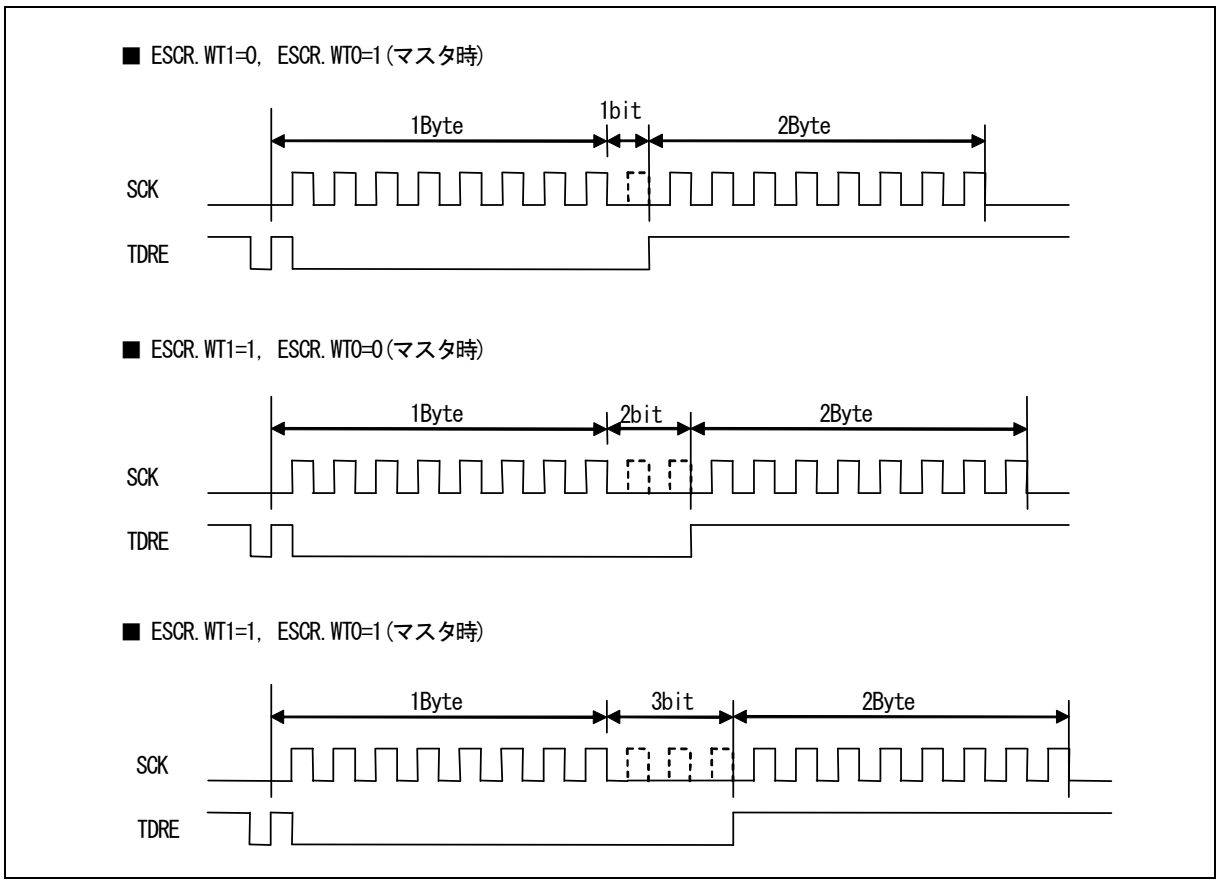
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

② TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE=1 となります。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にすると、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

② TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。
受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

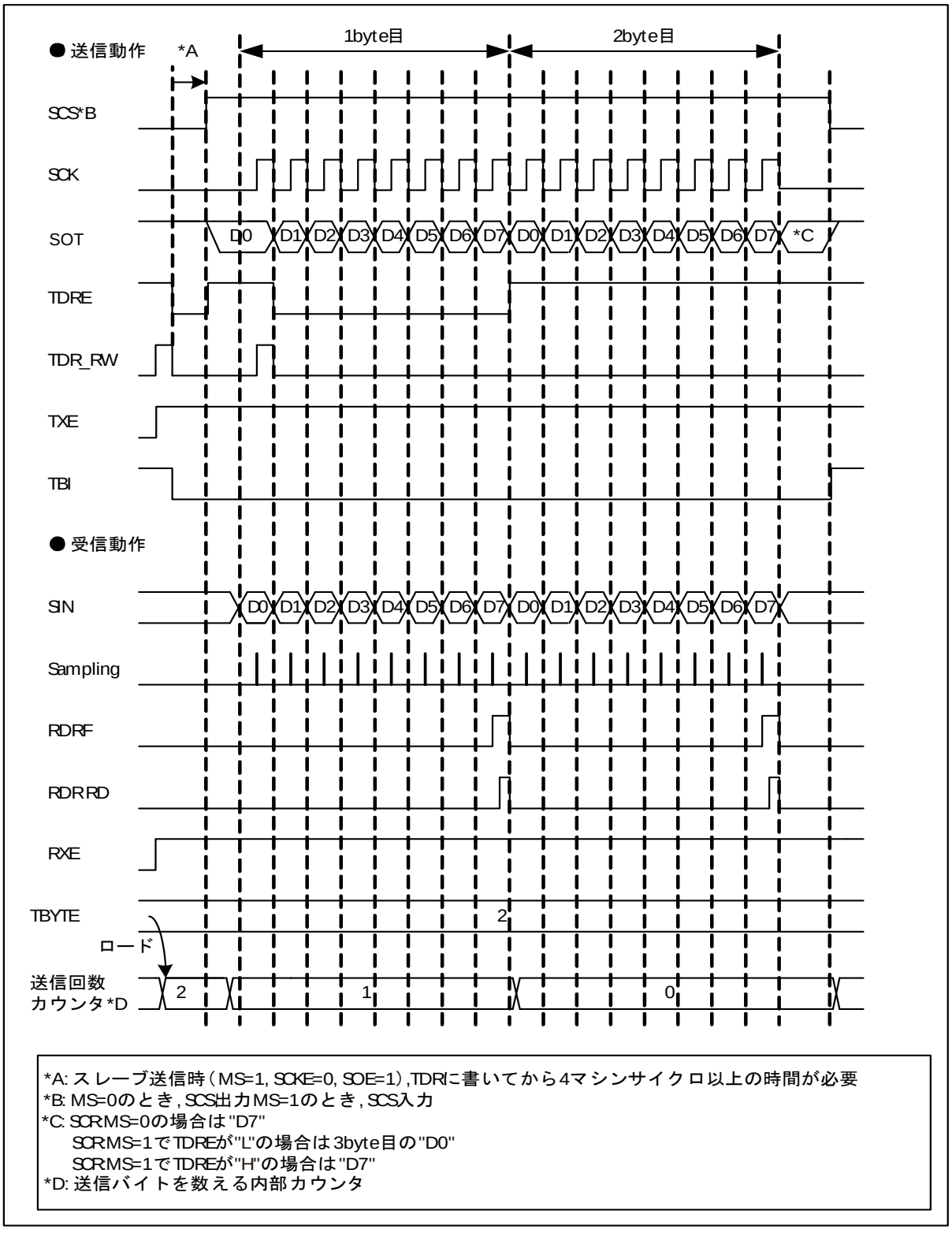
①シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。

③受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書込みと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送(II) タイミングチャート(シリアルチップセレクト端子使用時)

図 6-15 SPI 転送(II) タイミングチャート(シリアルチップセレクト端子使用時)



*A: スレーブ送信時（MS=1, SCKE=0, SOE=1）,TDRに書いてから4マシンサイクロ以上の時間が必要
*B: MS=0のとき, SCS出力 MS=1のとき, SCS入力
*C: SCR:MS=0の場合は"D7"
SCR:MS=1でTDREが"L"の場合は3byte目の"D0"
SCR:MS=1でTDREが"H"の場合は"D7"
*D: 送信バイトを数える内部カウンタ

[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

*: nには使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作が開始します。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後, 送信動作を終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック(SCK)出力の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと、SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

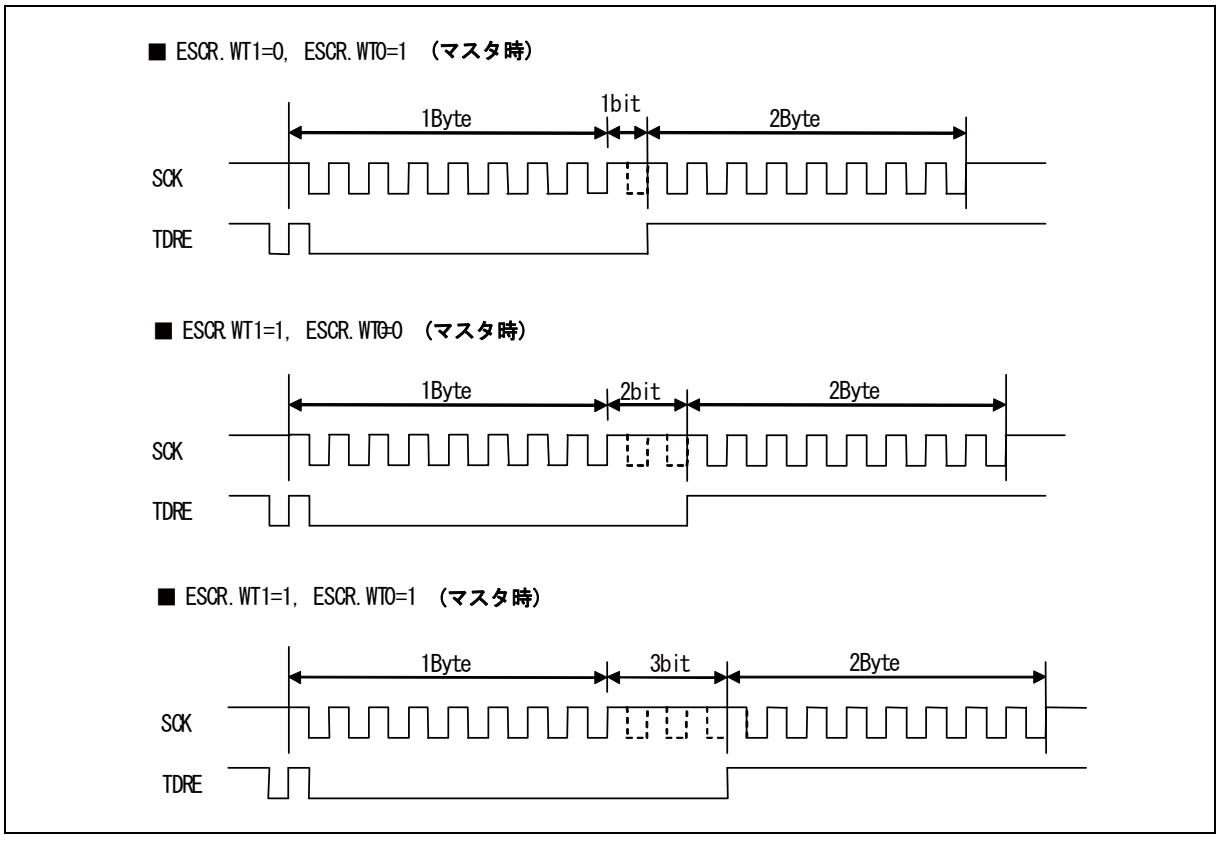
③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

③送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると, SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと、SSR:TDRE=0 となります。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が終了し、シリアル出力端子(SOT)が"H"になります。

6.2.5. シリアルタイマの動作

シリアルタイマの動作について示します。

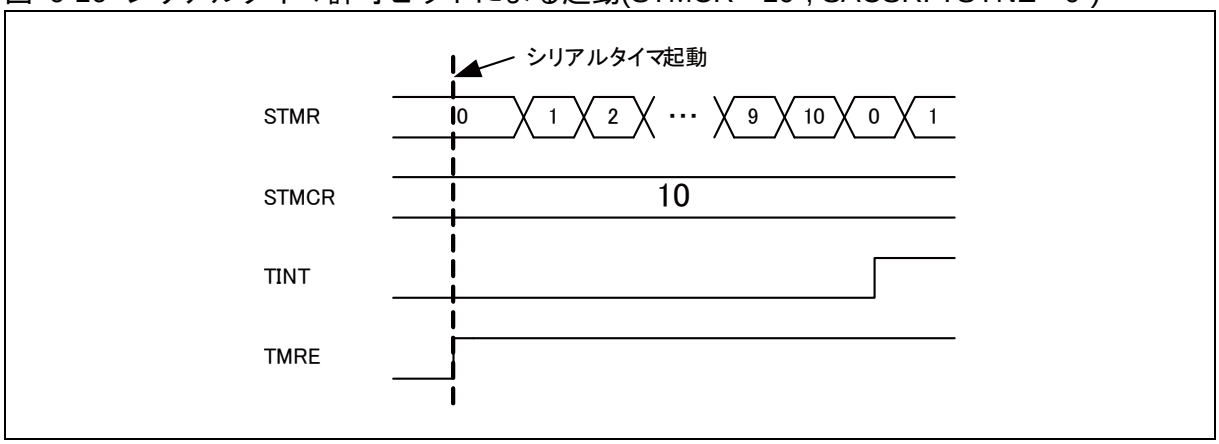
シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するにはシリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定してください。

・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 6-16 シリアルタイマ許可ビットによる起動(STMCR="10", SACSR: TSYNE="0")



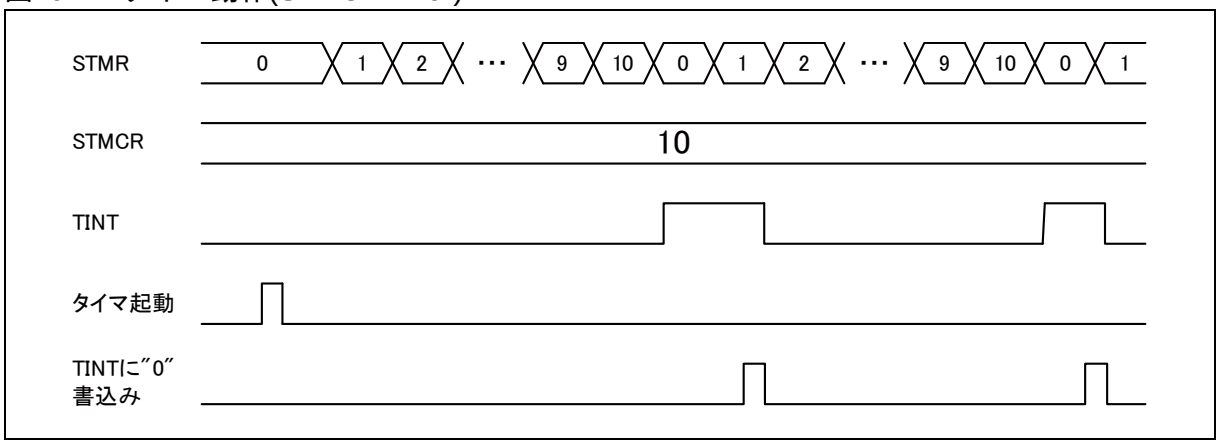
● シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。

● タイマ動作

同期送信許可ビット(SAGSR:TSYNE)が"0"のときに、シリアルタイマはタイマとして動作します。シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"に設定し、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 6-17 タイマ動作(STMCR="10")



＜注意事項＞

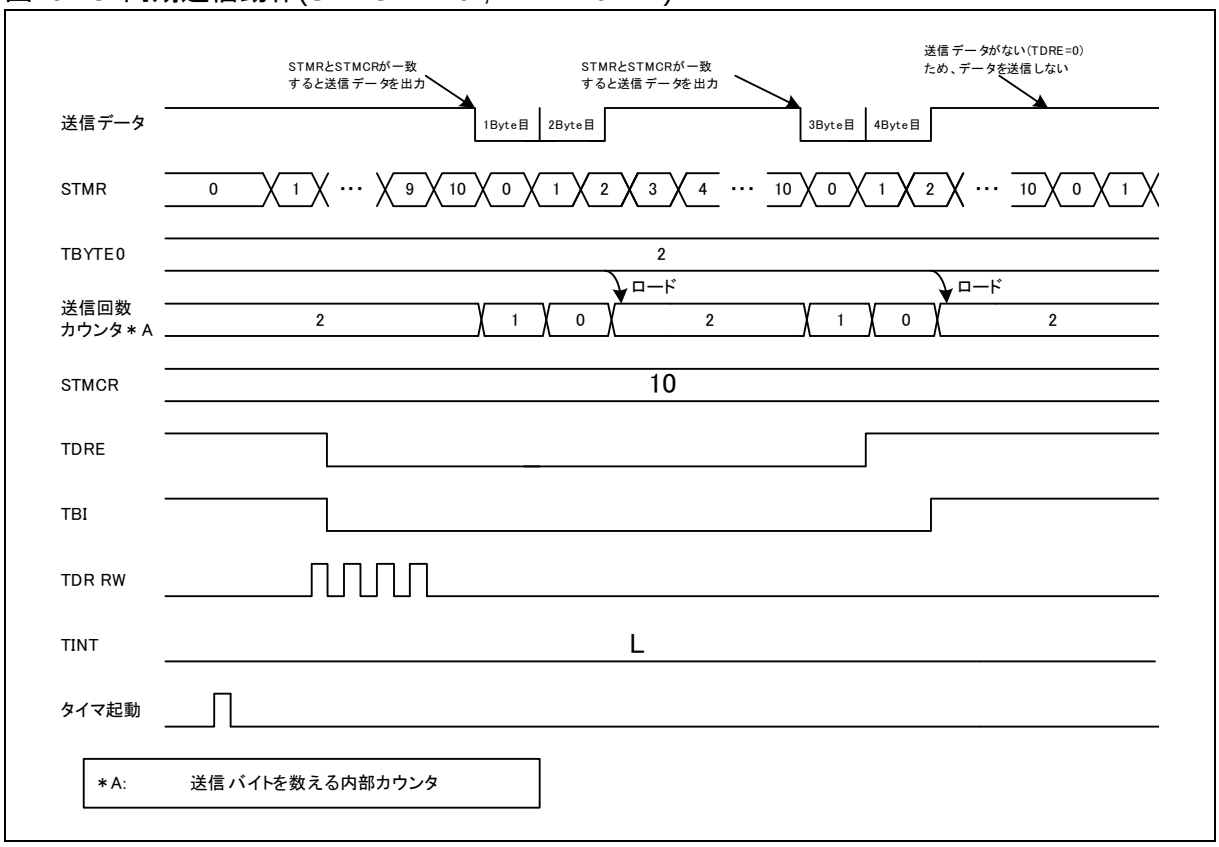
同期送信禁止(SACSR:TSYNE="0")でタイマ比較レジスタ(STMCR)に "0000_H"を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000_B"に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

● 同期送信動作

同期送信許可ビット(SAGSR:TSYNE)が"1"のときに、シリアルタイマは同期送信に利用されます。同期送信は以下のように動作します。

1. 送信データレジスタにデータがある(SSR:TDRE="0")場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、送信動作が開始し、シリアルタイマレジスタ(STMR)は"0"にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了すると、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

図 6-18 同期送信動作(STMCR="10", TBYTE0="2")



同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致して時に下記の条件の場合、送信は起動されません。

・送信禁止(SCR:TXE=0)時
・スレーブモード(SCR:MS="1")時
・チップセレクトエラー(SACSR:CSE="1")発生時
・送信データレジスタに有効なデータがない(SSR:TDRE=1)場合

ただし、送信データレジスタに有効なデータがない(SSR:TDRE=1)場合に同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。
TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE="0")場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。
ただし、同期送信許可(SACSR:TSYNE="1")で下記の条件のときにシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

・送信動作中(SSR : TBI="0")の場合

同期受信動作を行う場合、シリアルデータ出力禁止(SMR:SOE="0"), 送信動作許可(SCR:TXE="1"), 受信動作許可(SCR:RXE="1")にし、受信回数分だけ TDR にダミーデータを書き込んでください。

＜注意事項＞

TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信　データがない(SSR:TDRE="1")場合、以下の動作を行います。

- 転送バイトエラー許可(TBEEN="1")の場合、チップセレクトエラー(SACSR:CSE="1")が発生します。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
- 転送バイトエラー禁止(TBEEN="0")の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

6.2.6. シリアルチップセレクトの動作

シリアルチップセレクトの動作について示します。

シリアルチップセレクト動作について示します。

● マスタモードの動作(SCR:MS="0")

マスタモード(SCR:MS=0) 時、シリアルチップセレクト端子は以下のように動作します。

①シリアルチップセレクト動作許可(SCSCR:CSENn="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。

②シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。

③ TBYTE で設定した回数のデータ送受信動作後、送受信動作を終了します。

④送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子はインアクティブになります。

図 6-19 シリアルチップセレクト動作(マスタ送信(MS="0"), 通常転送(SPI="0"), SCINV="0")

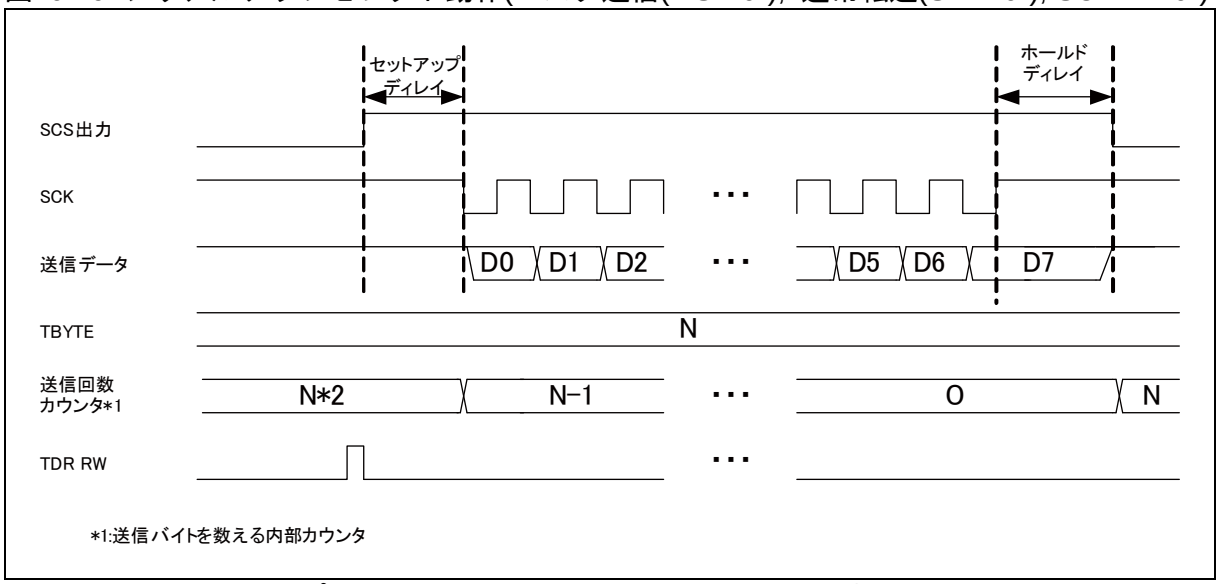
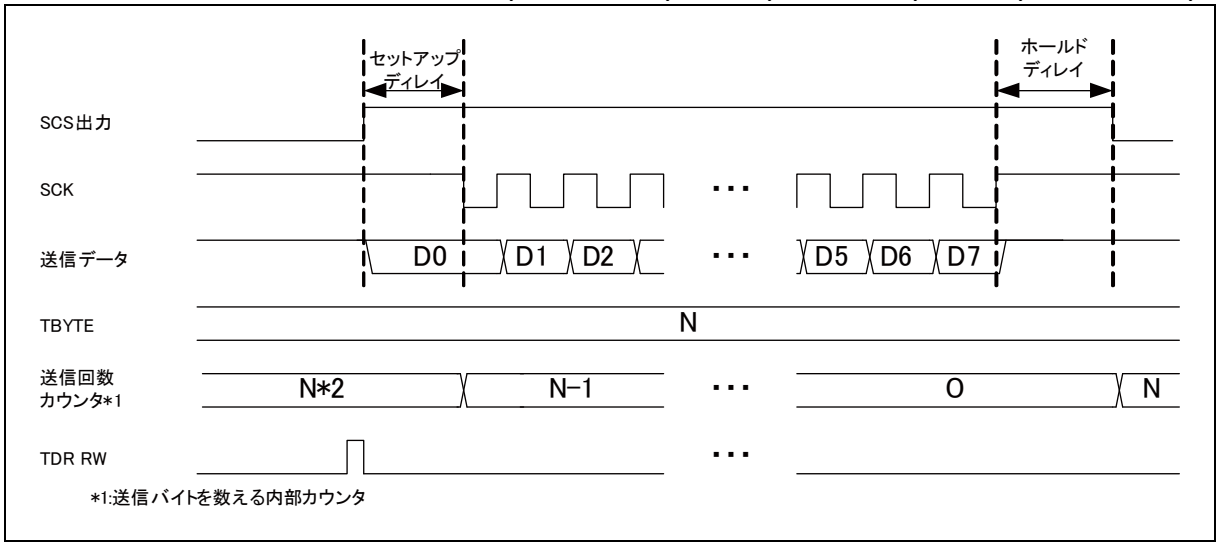


図 6-20 シリアルチップセレクト動作(マスタ送信(MS="0"), SPI 転送(SPI="1"), SCINV="0")



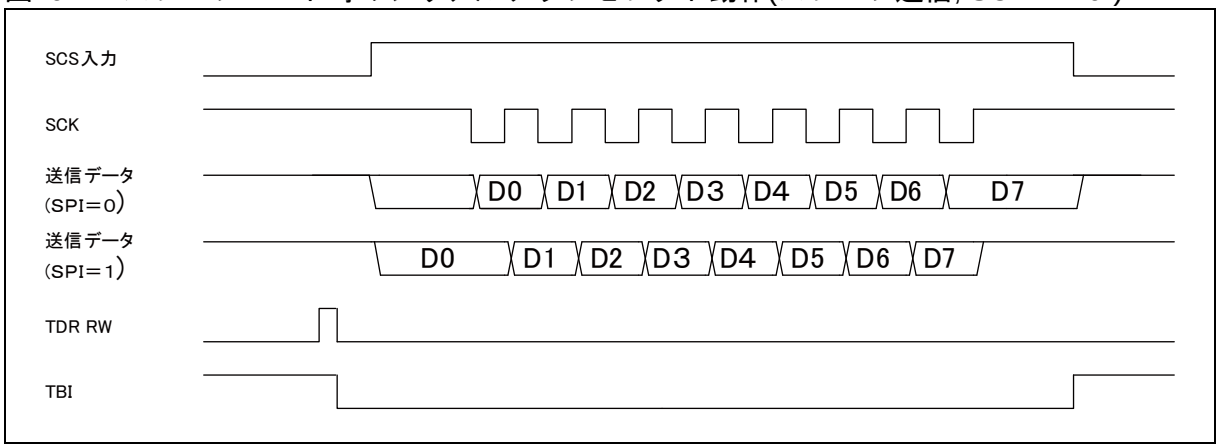
＜注意事項＞

- シリアルチップセレクト端子がアクティブ時に送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL=1)にした場合、シリアルチップセレクト端子はインアクティブになります。
- シリアルチップセレクト端子のホールドディレイ時間に送信データを書き込んだ場合，シリアルチップセレクト端子はインアクティブにならず、次の送信データを送信します。
- シリアルチップセレクト端子のアクティブ状態を保持していない(SCSCR:SCAM=0)場合、シリアルチップセレクト端子がインアクティブになると送信バスアイドル(SSR:TBI=1)になります。
- マスタモード時(SCR:MS=0)時、SCSCR:CSEN1-0 を"00b"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
- TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。
  - ・転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラー(SACSR:CSE=1)が発生してからホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
  - ・転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。このとき、シリアルチップセレクト端子はアクティブです。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

● スレーブモードの動作(SCR:MS="1")

シリアルチップセレクト端子 0(SCS0)が許可(SCSCR:CSEN0="1")でシリアルチップセレクト端子入力がアクティブになると、シリアルクロック(SCK)に同期して、送信動作または受信動作を行います。その後、シリアルチップセレクト端子入力がインアクティブになると、送信動作または受信動作を終了します。

図 6-21 スレーブモード時のシリアルチップセレクト動作(スレーブ送信, SCINV="0")



＜注意事項＞

- シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。
- 受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力がインアクティブになると、受信中のデータは消去されます。
- 送信動作中にシリアルチップセレクト入力がインアクティブになると、送信中のデータは消去され、チップセレクトエラーが発生(SACSR:CSE)します。

- シリアルチップセレクト端子入力がインアクティブになると送信バスアイドル(SSR: TBI=1)になります。
- スレーブモード(SCR:MS=1)時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。

● シリアルチップセレクトのタイミング調整

マスタモード(SCR:MS=0)でシリアルチップセレクト動作許可(SCSCR:CSENn="1")の場合、シリアルチップセレクトタイミングレジスタ(SCSTR3-0)を調整することでセットアップディレイ，ホールドディレイおよびディセレクト時間を調節できます。

・セットアップディレイ時間
シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでのとき間です。セットアップディレイ時間の規定は図 6-22 と図 6-23 を参照してください。チップセレクトセットアップディレイビット(SCSTR0:CSSU7-0)で調整できます。

・ホールドディレイ時間
シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでのとき間です。ホールドディレイ時間の規定は図 6-22 と図 6-23 を参照してください。チップセレクトホールドディレイビット(SCSTR1:CSHD7-0)で調整できます。

・ディセレクト時間
シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ(TDR)に書き込んでも、ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は図 6-22 と図 6-23 を参照してください。

図 6-22 タイミング調整(通常転送(SPI="0"), SCINV="0")

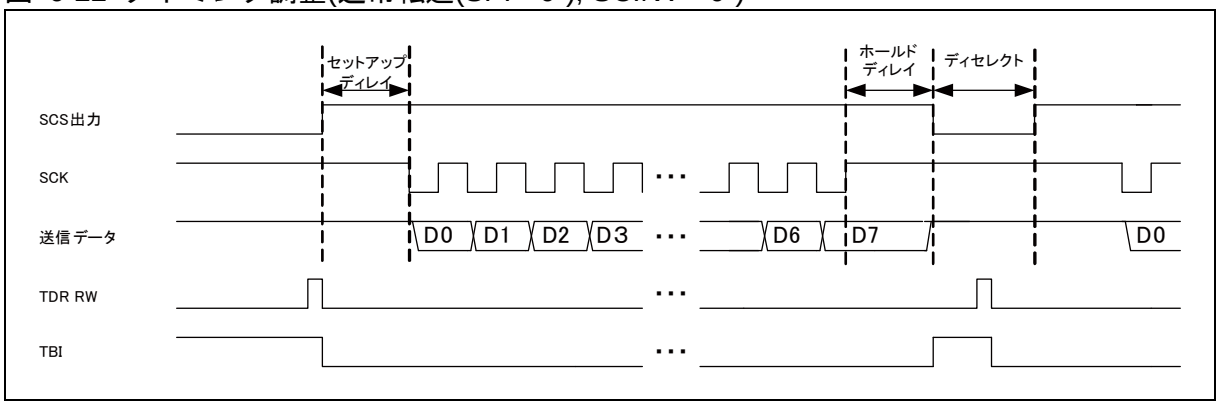
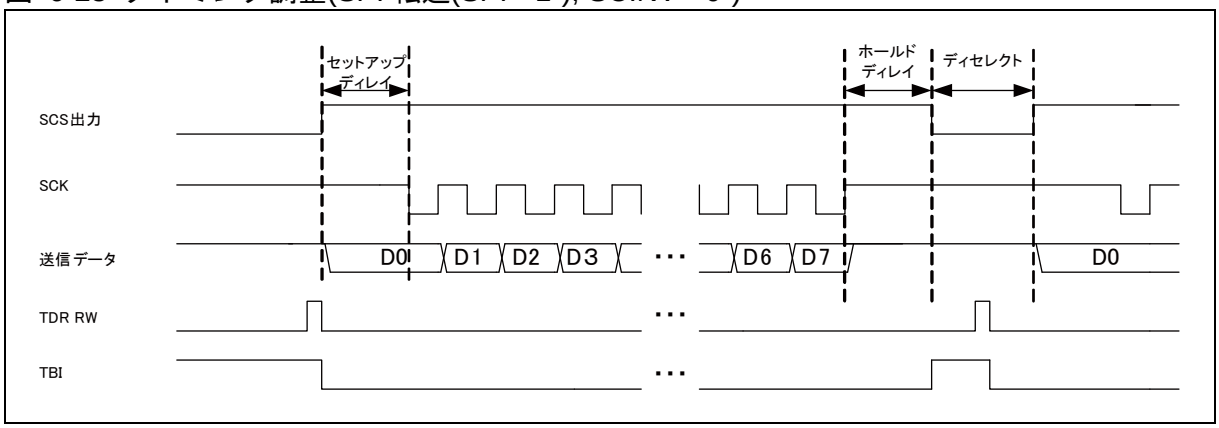


図 6-23 タイミング調整(SPI 転送(SPI="1"), SCINV="0")



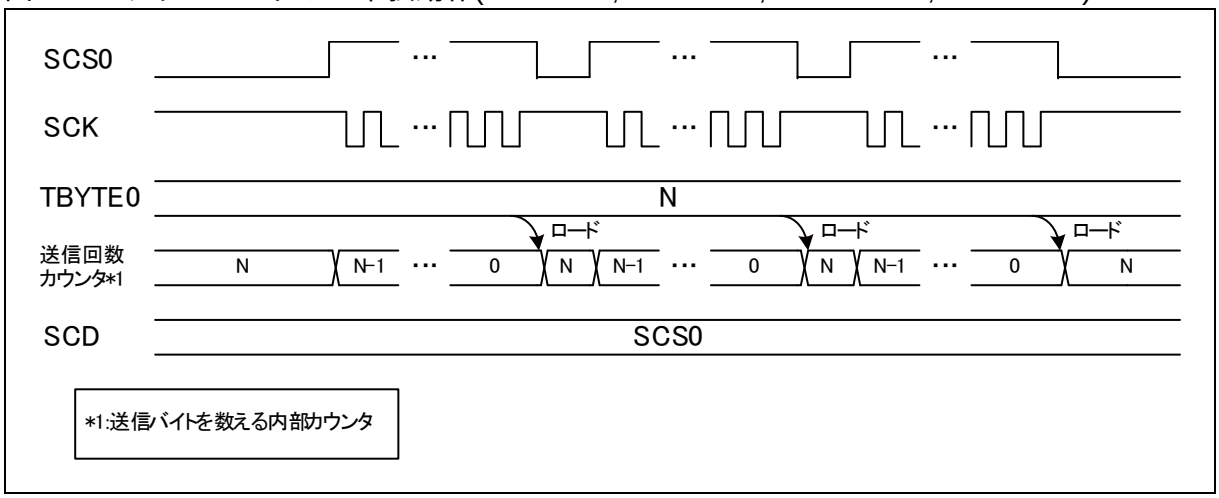
＜注意事項＞

通常転送(SPI=0)でホールドディレイ時間なし(SCSTR1:CSHD7-0="00"h)のとき、最終ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR1:CSHD7-0 の値を増やすことで、調節してください。

● チップセレクト端子の単独動作(マスタモード(SCR:MS="0")時のみ有効)

シリアルチップセレクト開始ビット(SCSCR:SST0)とシリアルチップセレクト終了ビット(SCSCR:SED0)が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。
シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE で設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。
シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=0)の場合の動作は「シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。

図 6-24 チップセレクトの単独動作(SST0="0", SED0="0", CSEN0="1", SCAM="0")



＜注意事項＞

単独動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間, ホールド時間, ディセレクト時間)は有効です。

● チップセレクト端子のラウンド動作(マスタモード(SCR:MS=0) 時のみ有効)

①シリアルチップセレクト出力許可(SCSCR:CSOE="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST0)で指定したシリアルチップセレクト端子からアクティブになります。

②シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後, 前にアクティブになったシリアルチップセレクト端子番号に＋1 したシリアルチップセレクト端子がアクティブになります。

ただし、次にアクティブになるシリアルチップセレクト端子が禁止(SCSCR:CSENn=0)されていた場合、そのシリアルチップセレクト端子のアクティブにならず、スキップされます。

③アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット(SCSCR:SED0)で指定したシリアルチップセレクト端子が一致している場合、次にアクティブ

になるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST0)で指定したシリアルチップセレクト端子になります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=0)の場合の動作は「シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード (SCR:MS=0) 時のみ有効)」を参照してください。
図 6-25 はシリアルチップセレクト端子の開始端子が SCS0(SST0=0)で終了端子が SCS1 (SED0=1) の場合のタイミングチャートです。

図 6-25 チップセレクトのラウンド動作
(SST0=0, SED0=1, CSEN1=1, CSEN0=1, SCAM=0)

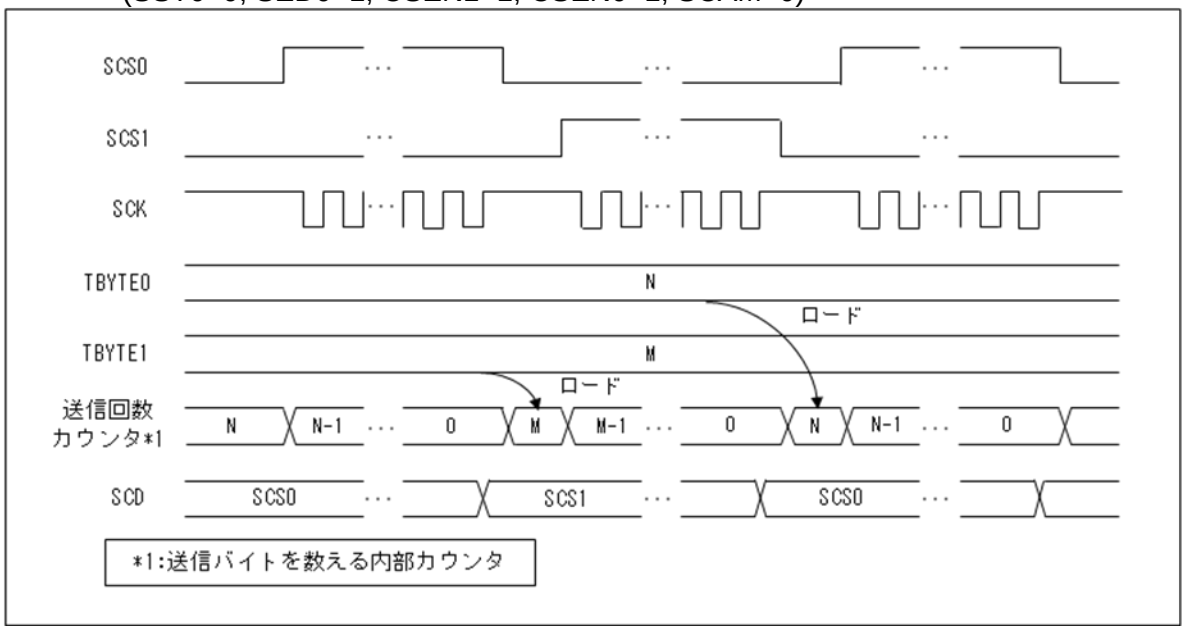
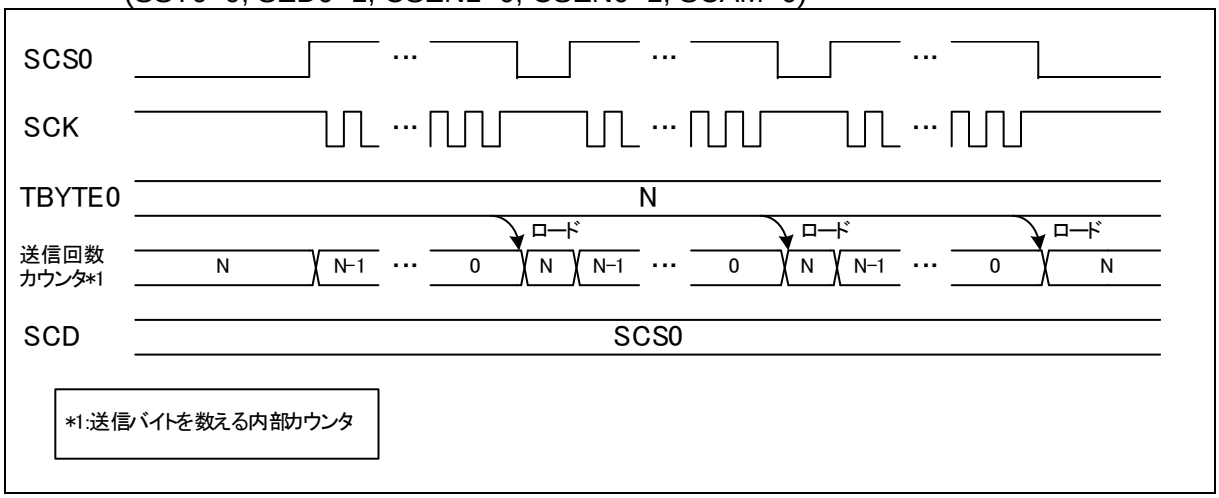


図 6-26 はシリアルチップセレクト端子の開始端子が SCS0(SST0=0)で終了端子が SCS1 (SED0=1)で、チップセレクト端子 1 が禁止(CSEN1="0"b)の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 を飛ばして、端子 0 がアクティブになります。

図 6-26 チップセレクトのラウンド動作
(SST0=0, SED0=1, CSEN1=0, CSEN0=1, SCAM=0)



＜注意事項＞

- 送信動作禁止(SCR:TXE=0)から送信動作許可(SCR:TXE=1)に変更した場合、シリアルチップセレクト開始ビット(SCSCR:SST0)で指定したシリアルチップセレクト端子からアクティブになります。
- シリアルチップセレクトアクティブレベル保持(SCSCR:SCAM=1)中の場合は、送信バスアイドル(SCR:TBI=1)に送信データを書き込んでも次のシリアルチップ端子には遷移されません。
- ラウンド動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間,ホールド時間, ディセレクト時間)は有効です。
- ソフトウェアリセット(SCR:UPCL=1)後、シリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST0)で指定したシリアルチップセレクト端子からアクティブになります。

● シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)を"1"に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。
TBYTEの設定数の送信回数ごとにシリアルチップセレクトアクティブ保持ビットの値を確認します。TBYTE の設定数の回数の送受信終了後、下記のように動作します。

- シリアルチップセレクトアクティブ保持ビットが"0"であれば、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブにします。
- シリアルチップセレクトアクティブ保持ビットが"1"でシリアルタイマ同期送信使用時の場合、シリアルチップセレクト端子をアクティブ状態に保持します。その後、シリアルタイマ値(STMR)とシリアルタイマ比較値(STMCR)が一致すると、再度送信動作が再開されます。送信動作再開後、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

送信動作再開後、TBYTEの設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

- シリアルチップセレクトアクティブ保持ビットが"1"でシリアルタイマ同期送信の場合、シリアルチップセレクト端子をアクティブ状態に保持します。そのとき、送信データレジスタ(TDR)に送信データが存在(SSR:TDRE=0)する場合、送信動作は継続され、次に TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)に"0"を書き込んだ場合、以下のように動作します。

- TBYTE に設定した回数のデータ送受信を終了してホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)利用時にシリアルチップセレクト端子のインアクティブになる条件は下記です。

- TBYTE の数の送信後に、SCSCR:SCAM=0 の場合
- チップセレクトエラー発生時(SACSR:CSE=1)
- 送信禁止(SCR:TXE=0)にした場合
- ソフトウェアリセットを行った(SCR:UPCL=1)場合

＜注意事項＞

転送バイトエラー許可(SACSR:TBEEN=1)時に TBYTE に設定した回数のデータ送受信を終了していない場合に送信データレジスタ(TDR)が空(SSR:TDRE=1)の場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになりチップセレクトエラー(SACSR:CSE=1)を発生します。

● シリアルチップセレクト端子のフォーマット設定

各シリアルチップセレクト端子のチップセレクトのアクティブレベル，シリアルクロックのマークレベル, SPI モードの許可・禁止，シリアルデータ出力のデータ方向およびデータ長は表 6-6 に示すビットで設定できます。

表 6-6 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトのアクティブレベル	シリアルクロックの反転	SPI 設定	データ方向	データ長
チップセレクトフォーマット許可(SCR:CSFE="1")でマスタモード(SCR:MS="0")	シリアルチップセレクト端子 0 出力	SCSCR0: CSLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	シリアルチップセレクト端子 1 出力	SCSFR0: CS1CSLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
チップセレクトフォーマット禁止(SCR:CSFE="0")		SCSCR0: CSLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
スレーブモード(MS="1")						
チップセレクト未使用時(CSEN1-0="$00"_B)						

6.2.7. テストモード

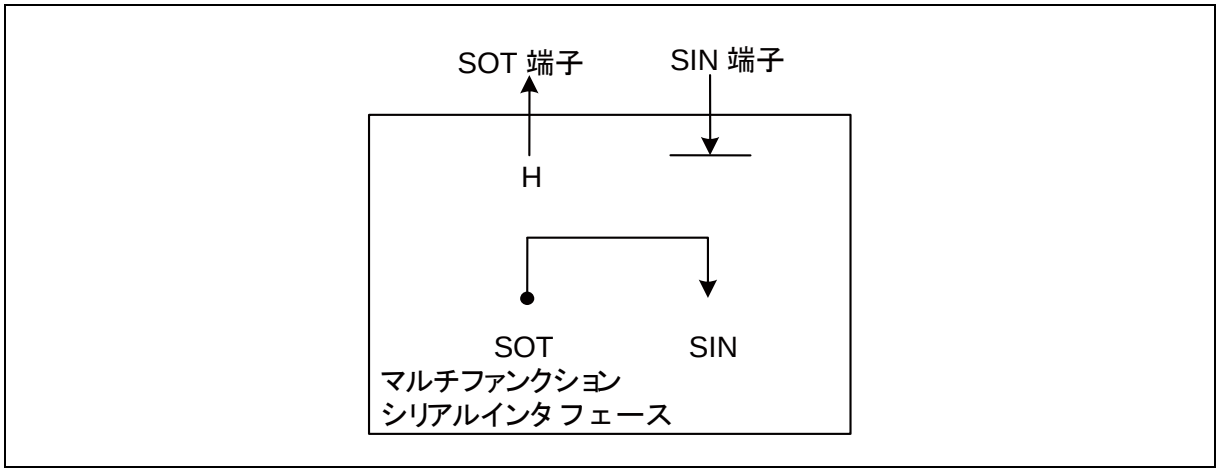
テストモードについて示します。

テストモードの動作について説明します。

- **シリアルテストモード**

  シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。
  シリアルテストモード許可時(SACSR:STST="1")、端子 SOT は"H" 固定となり、端子 SIN に入力されたデータは無視されます。

図 6-27 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

6.2.8. ボーレートの生成

ボーレートの生成について示します。

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1] マスタ動作時

- 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。
- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

[2] スレーブ動作時

スレーブ動作時(SCR:MS="1")は、専用ボーレートジェネレータは機能しません。(クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

＜注意事項＞

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ ボーレートの計算

2つの15ビットリロードカウンタは，ボーレートジェネレータレジスタ(BGR)で設定します。ボーレートの計算式を以下に示します。

(1) リロード値

$\vee = \phi : b - 1$

$\vee$: リロード値　ϕ : バスクロック周波数　b : ボーレート

(2) 計算例

バスクロック 16MHz，内部クロック使用，ボーレート 19200bps に設定する場合のリロード値は次のようになります。

リロード値:

$\vee = (16 \times 1{,}000{,}000) / 19200 - 1 = 832$

よって，ボーレートは

$B = (16 \times 1{,}000{,}000) / (832+1) = 19208$ bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差(%) = (計算値 − 目標値) / 目標値 × 100

(例) バスクロック20MHz，目標ボーレート153600 bpsに設定する場合

リロード値= (20 × 1,000,000) / 153600 − 1 = 129

ボーレート(計算値) = (20 × 1,000,000) / (129+1) = 153846 bps

誤差(%) = (153846 − 153600) / 153600 × 100 = 0.16(%)

＜注意事項＞

- リロード値を"0"に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SCINV ビットの設定によって以下のようになります。奇数の場合，シリアルクロックの"H"幅と"L"幅は同じになります。
  SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
  SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。

■ 各バスクロック周波数に対するリロード値とボーレート

表 6-7 リロード値とボーレート設定例

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	-	-
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	-0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	208	0.01	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

・Value : BGR レジスタの設定値
・ERR : ボーレート誤差(%)

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信/ 受信リロードカウンタ共通

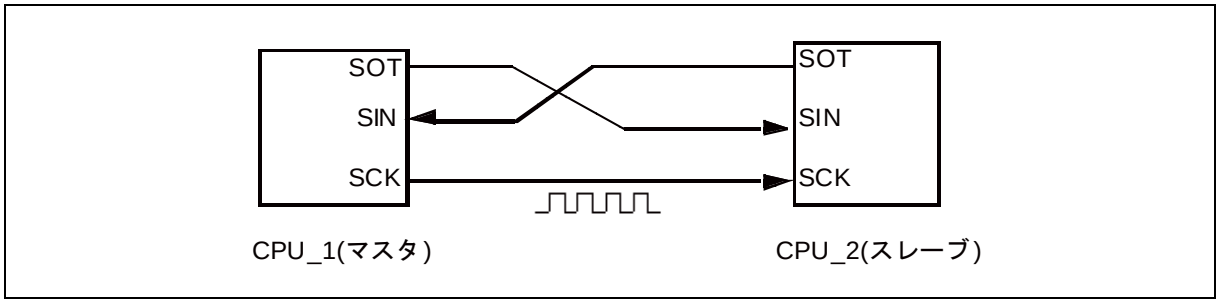
プログラマブルリセット(SCR:UPCL ビット)

6.3. 設定手順とプログラムフロー

設定手順とプログラムフローについて示します。

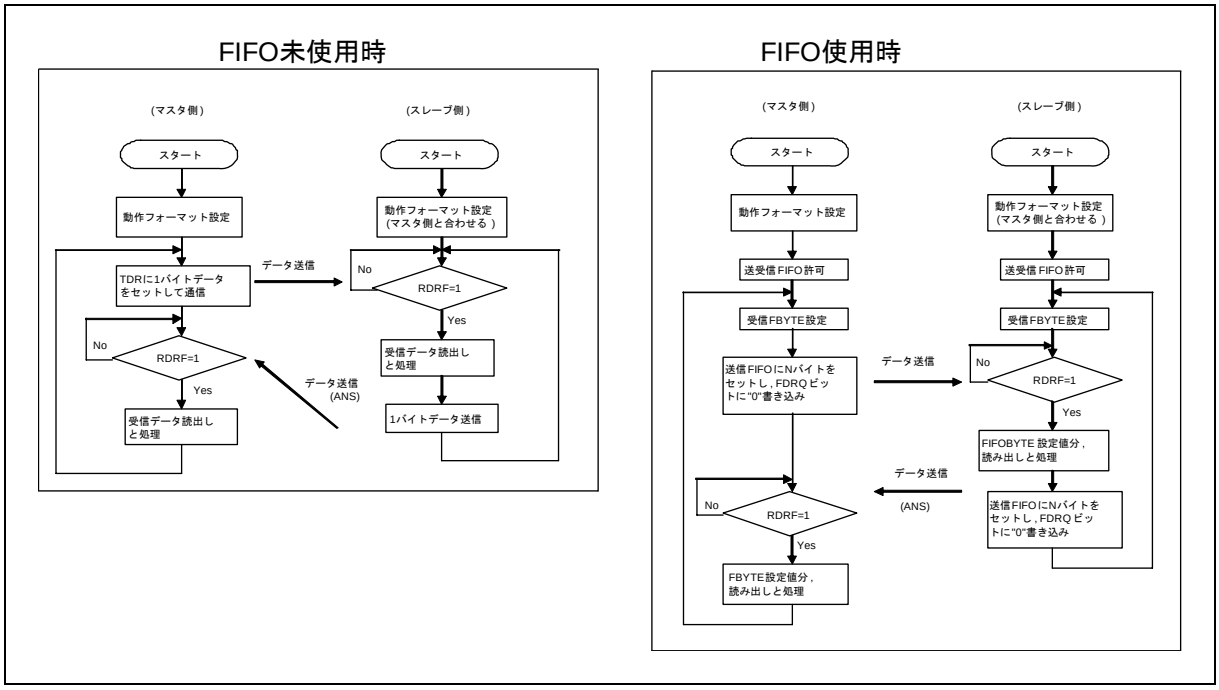
■ CPU 間接続

図 6-28 CSIO チップ間接続例



■ フローチャート

図 6-29 フローチャート例



7. LIN インタフェース(v2.1)の動作説明

LIN インタフェース(v2.1)の動作について説明します。

LIN 通信機能には、LIN ヘッダ部を割込み機能を用いて送信/受信するマニュアルモードと、LIN ヘッダ部を自動で送信/受信するアシストモードの２つのモードがあります。アシストモードは、LIN プロトコル Revision1.X と LIN プロトコル Revision2.X のマスタノードと LIN プロトコル Revision1.X のスレーブノードに対応しています。LIN プロトコル Revision2.X のスレーブノードに対応する場合は、マニュアルモードを使用してください。

7.1. LIN インタフェース(v2.1)マニュアルモードの割込み

LIN インタフェース(v2.1)マニュアルモードの割込みについて示します。

LIN インタフェース(v2.1)には、受信割込みと送信割込みがあります。マニュアルモードでは、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求。
- LIN Break Field 検出

7.1.1. LIN インタフェース(v2.1)の割込み一覧(マニュアルモード)

LIN インタフェース(v2.1)の割込み一覧(マニュアルモード)について示します。

表 7-1 にマニュアルモードにおける LIN の割込み制御ビットと割込み要因について示します。

表 7-1 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因(マニュアルモード)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み, LIN break field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込み, または送信 FIFO がフル
ステータス	LBD	SSR	LIN break field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
	SFD	SACSR	Sync Field 検出	SACSR: SFDE	シンクフィールド検出フラグ(SACSR:SFD)への"0"書込み
	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR: TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
インプットキャプチャ	ICP	ICS	LIN Sync Field の 1 回目の立下りエッジ	ICS : ICE0	ICP をディセーブル
	ICP	ICS	LIN Sync Field の 5 回目の立下りエッジ		

* : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

7.1.2. 受信割込み発生とフラグセットのタイミング

受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF), 受信エラーの発生(SSR:ORE, FRE)および LIN break Field 検出があります。

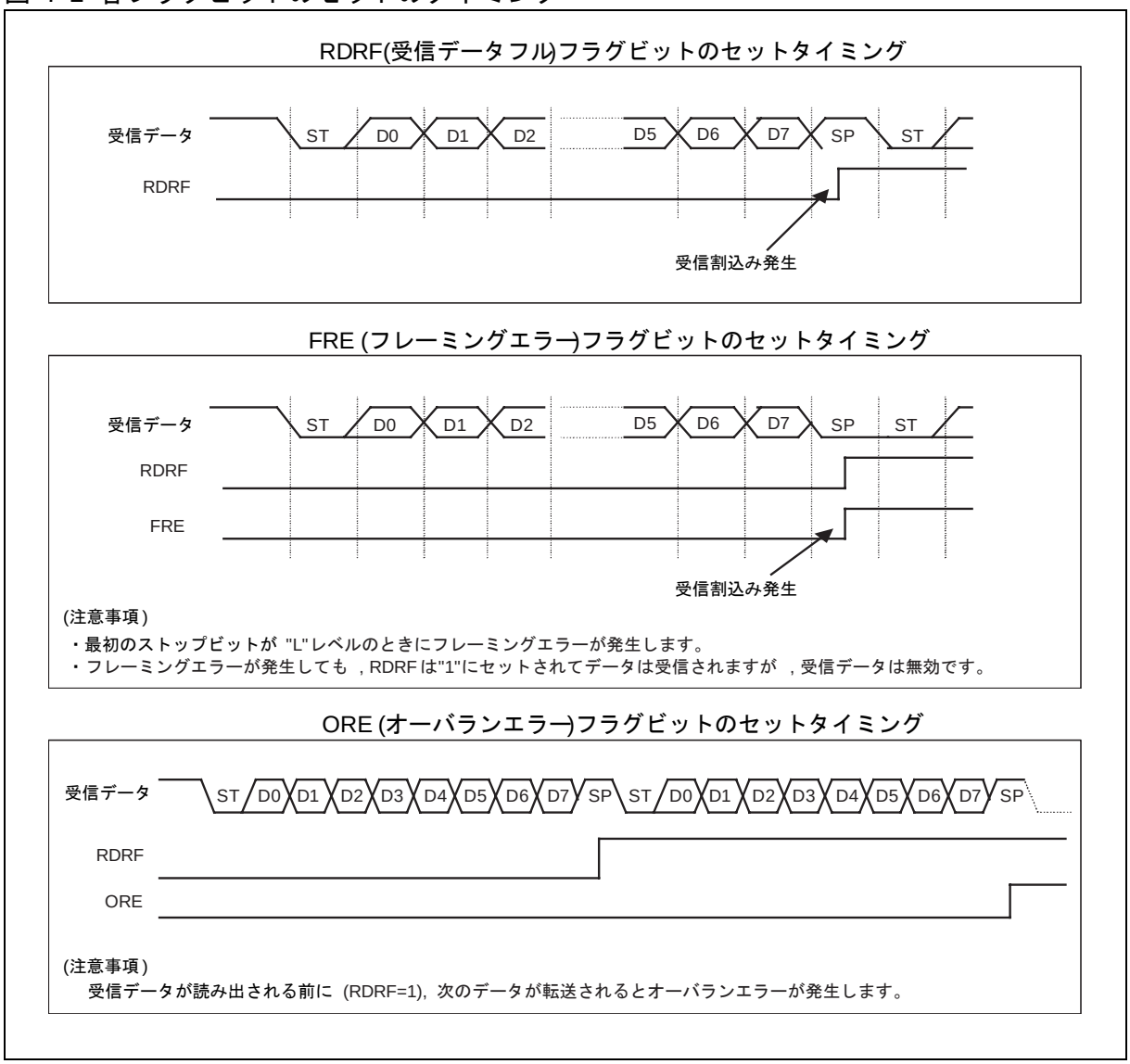
■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:ORE, FRE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE="1")されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

図 7-1 各フラグビットのセットのタイミング



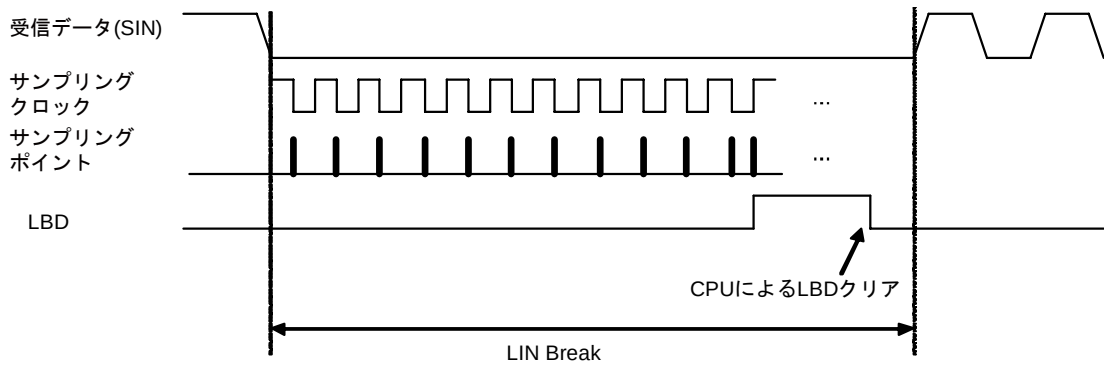
＜注意事項＞

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

■ LIN break Field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"に設定されます。このとき、LIN break Field 割込みが許可(ESCR:LBIE=1)されていると受信割込みを発生します。

図 7-2 LIN Break Field フラグ(LBD)のセットタイミング



受信データをサンプリングクロックの立下りで11ビット"L"を検出後, サンプリングクロックの立上がりでLIN Break を検出する。LIN Break 検出時にLBD は"1"にセットされる。

7.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

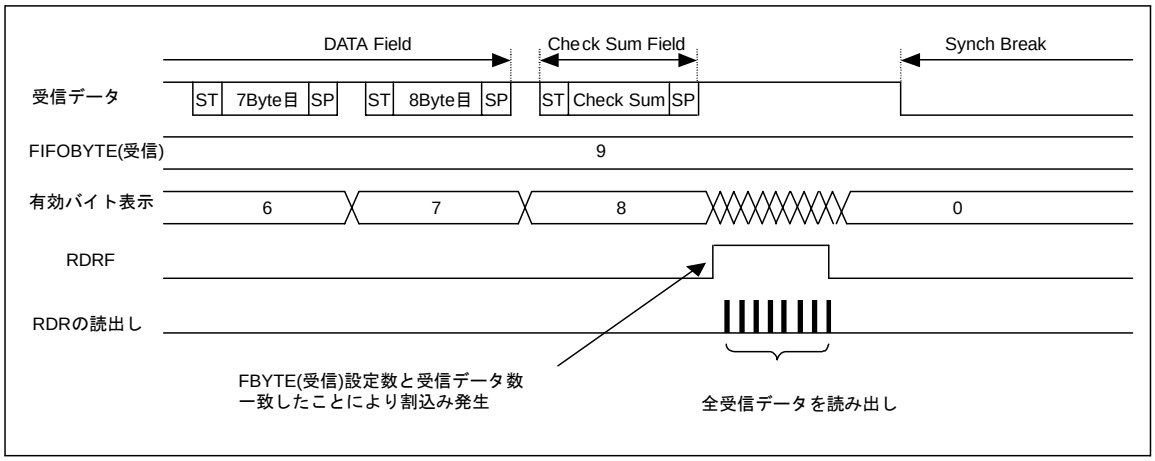
- FBYTE レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

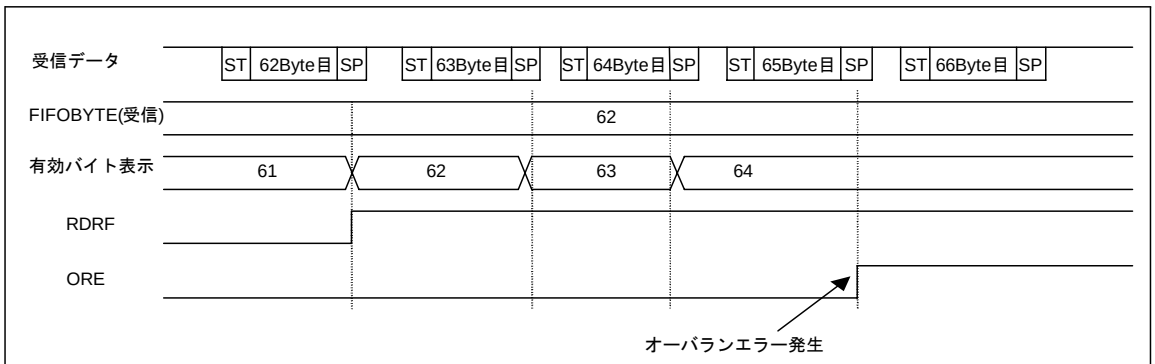
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信するとオーバランエラー(SSR:ORE="1")が発生します。

図 7-3 割込み発生タイミング

受信 FIFO 使用時の受信割込み発生タイミング



ORE (オーバランエラー)フラグビットのセットタイミング



FBYTE表示が, FIFO容量を示した状態で, 次のデータを受信すると, オーバランエラーが発生
図は, 64ByteのFIFO容量を使用した場合を示しています。

7.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない時(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

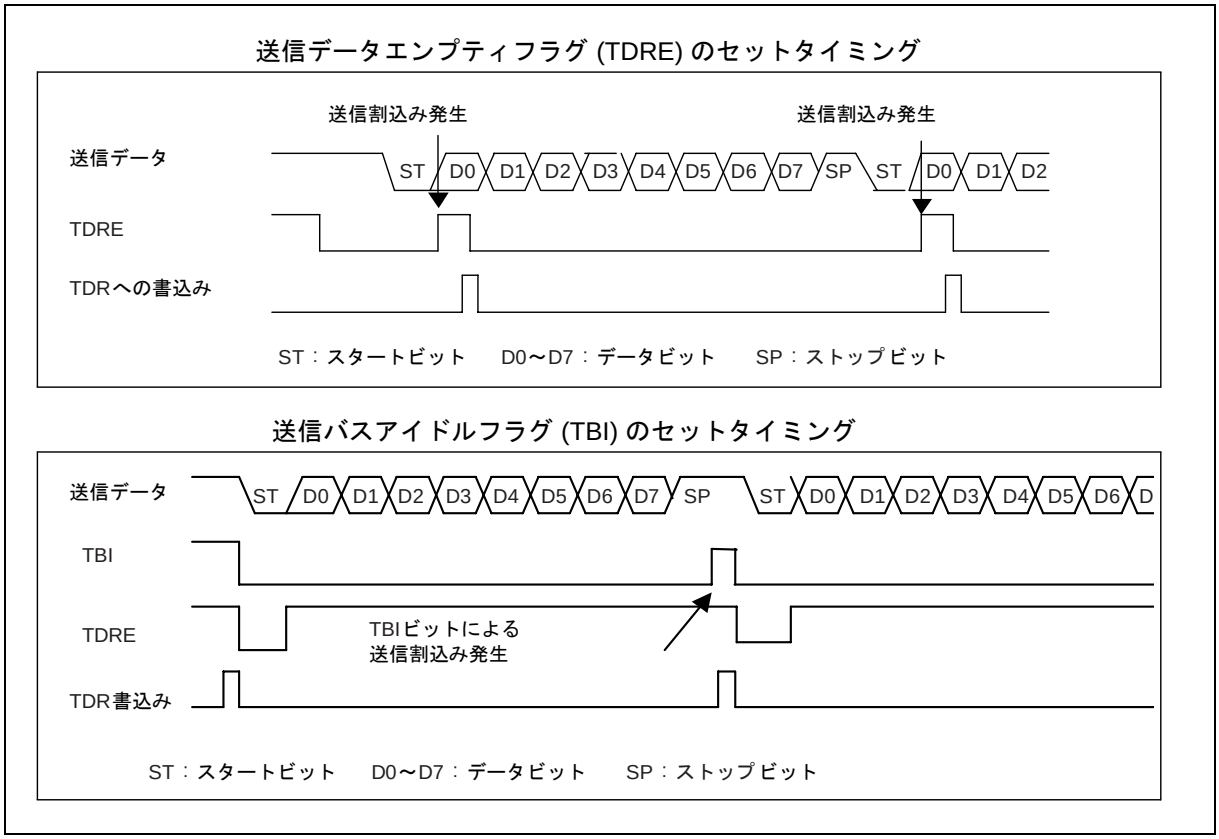
● 送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE="1")になります。そのとき、送信割込みが許可(SCR:TIE="1")されていると、送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ(TDR)へのデータ書込みにより"0"にクリアされます。

● 送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(TDRE="1")で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE="1")されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 7-4 TDRE, TBI のセットタイミング



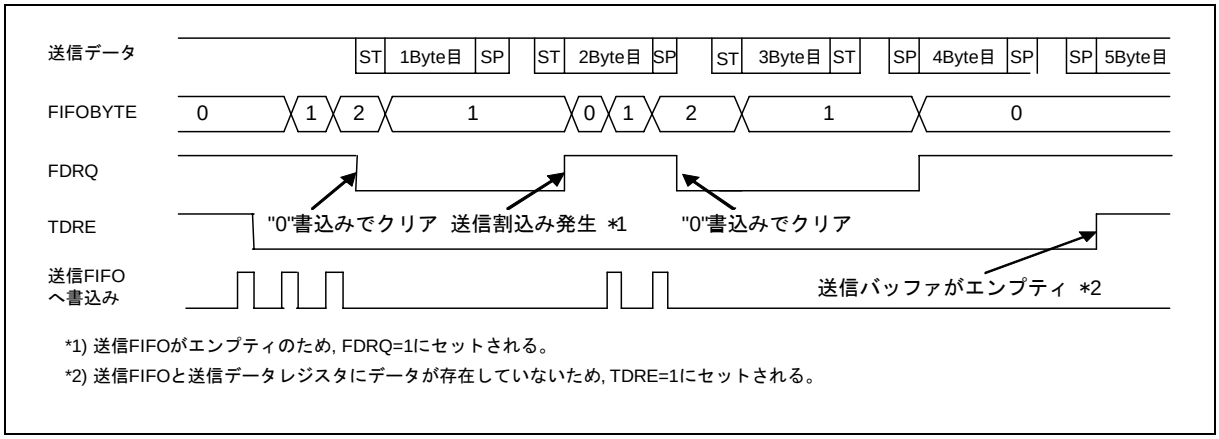
7.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE="1")されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在の確認は, FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことでも確認可能です。
  FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 7-5 送信 FIFO 使用時の送信割込み発生タイミング



*1) 送信FIFOがエンプティのため, FDRQ=1にセットされる。

*2) 送信FIFOと送信データレジスタにデータが存在していないため, TDRE=1にセットされる。

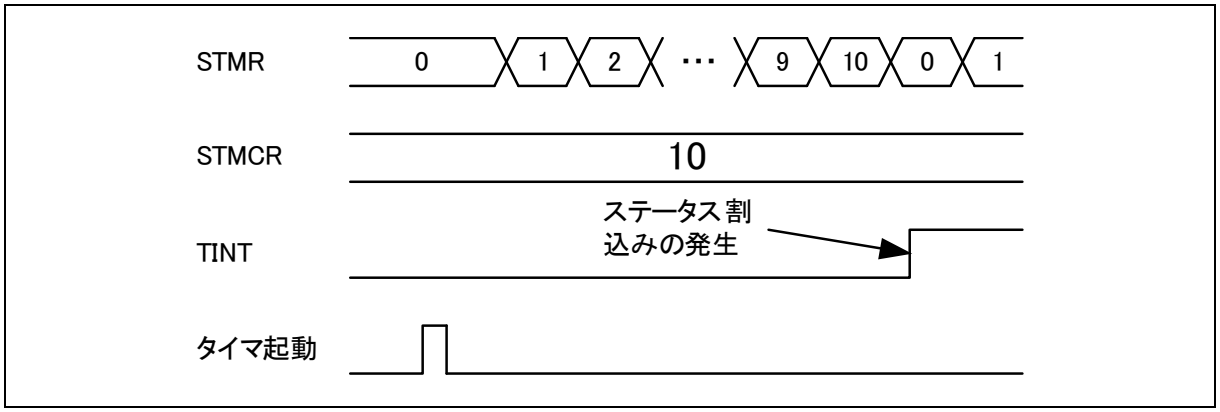
7.1.6. タイマ割込みとフラグセットのタイミング

タイマ割込みとフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
  このとき、タイマ割込み許可(SACSR:TINTE="1")されているとステータス割込みが発生します。

図 7-6 タイマ割込み発生タイミング



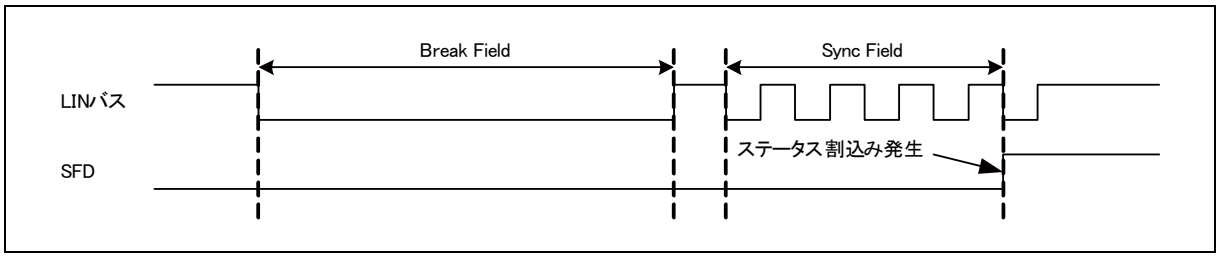
7.1.7. シンクフィールド検出割込み発生とフラグセットのタイミング

シンクフィールド検出割込み発生とフラグセットのタイミングについて示します。

シンクフィールド検出割込みは、Sync Field の検出を完了すると発生します。

・自動ボーレート調整許可(SACSR:AUTE="1")で Sync Field で LIN バスの 5 回目の立下りを検出するとシンクフィールド検出フラグ(SACSR:SFD)は"1"に設定されます。
このとき、シンクフィールド割込み許可(SACSR:SFDE="1")されているとステータス割込みが発生します。

図 7-7 シンクフィールド検出割込み発生タイミング



7.2. LIN インタフェース(v2.1)アシストモードの割込み

LIN インタフェース(v2.1)アシストモードの割込みについて示します。

LIN インタフェース(v2.1)には、受信割込みと送信割込みおよびステータス割込みがあります。アシストモードでは、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求。
- LIN Break Field 検出
- LIN Sync Field 検出
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMR)が一致
- LIN 自動ヘッダ完了またはチェックサム演算完了を検出

7.2.1. LIN インタフェース(v2.1)の割込み一覧(アシストモード)

LIN インタフェース(v2.1)の割込み一覧(アシストモード)について示します。

表 7-2 にアシストモードにおける、LIN の割込み制御ビットと割込み要因について示します。

表 7-2 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因(アシストモード)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
	LBSER	LAMSER	LIN バスエラーの検出	LAMIER:LASERIE	LAMESR:LBSER への"0"書込み
	LPFER	LAMESR	LIN Sync Data エラーの検出	LAMIER:LSFERIE	LAMESR: LSFER への"0"書込み
	LPTER	LAMESR	LIN ID パリティエラーの検出	LAMIER:LPTERIE	LAMESR: LPTER への"0"書込み
	LCSER	LAMESR	LIN チェックサムエラーの検出	LAMIER:LCSERIE	LAMESR:LCSER への"0"書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み, Lin break Field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込み, または送信 FIFO がフル

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
ステータス(アシストモード)	LBD	SSR	LIN Break Field 検出	ESCR:LBIE	SSR:LBD ビットへの"0" 書込み
	SFD	SACSR	Sync Field 検出	SACSR:SFDE	シンクフィールド検出フラグ(SACSR:SFD) への"0" 書込み
	TINIT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み
	LAHC	LAMSR	自動ヘッダ完了	LAMIER:LAHCIE	LAMSR:LAHC への"0"書込み
	LCSC	LAMSR	チェックサム演算完了	LAMIER:LCSCIE	LAMSR:CSC への"0"書込み
インプットキャプチャ	ICP	ICS	LIN Sync Field の 1 回目の立下りエッジ	ICS : ICE0	ICP をディセーブル
	ICP	ICS	LIN Sync Field の 5 回目の立下りエッジ		

* : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

7.2.2. アシストモードにおける受信割込み発生とフラグセットのタイミング

アシストモードにおける受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF), 受信エラーの発生(SSR:ORE, FRE, LAMESR: LBSER, LSFER, LPTER, LCSER)があります。

■ 受信割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)の場合、以下の各フィールドの最初のストップビットが検出されることにより、受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)、フラグがセットされます。受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。

- スレーブ設定(SCR:MS=1) かつ ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)の場合の ID Field
- レスポンスの Data Field

受信データフルフラグビット(SSR:RDRF) のセットタイミングについては、マニュアルモードの、「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

＜注意事項＞

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります
- ID Field の受信に LIN アシストモード受信 ID レジスタを使用(LAMCR:LIDEN=1)している場合、ID Field を受信した場合に受信 ID 値は受信データレジスタ(RDR)に格納されず、受信データフルフラグビット(SSR:RDRF)はセットされません。
- Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
- 送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

■ フレーミングエラー割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)では、Sync Field、ID Field、データ、チェックサムの受信においてストップビットで"L"レベルが検出された場合、フレーミングエラーが検出し、フレーミングエラーがセット(SSR:FRE=1)されます。受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。
また、フレーミングエラーが検出されると、アシストモードによるヘッダおよびレスポンスの送受信処理は停止します。
フレーミングエラーフラグがセットされている(SSR:FRE=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1=0 or FCR0:FE2=0)されます。
フレーミングエラーフラグビット(SSR:FRE)のセットタイミングについては、マニュアルモードにおける「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

■ オーバランエラー割込み発生とフラグセットのタイミング

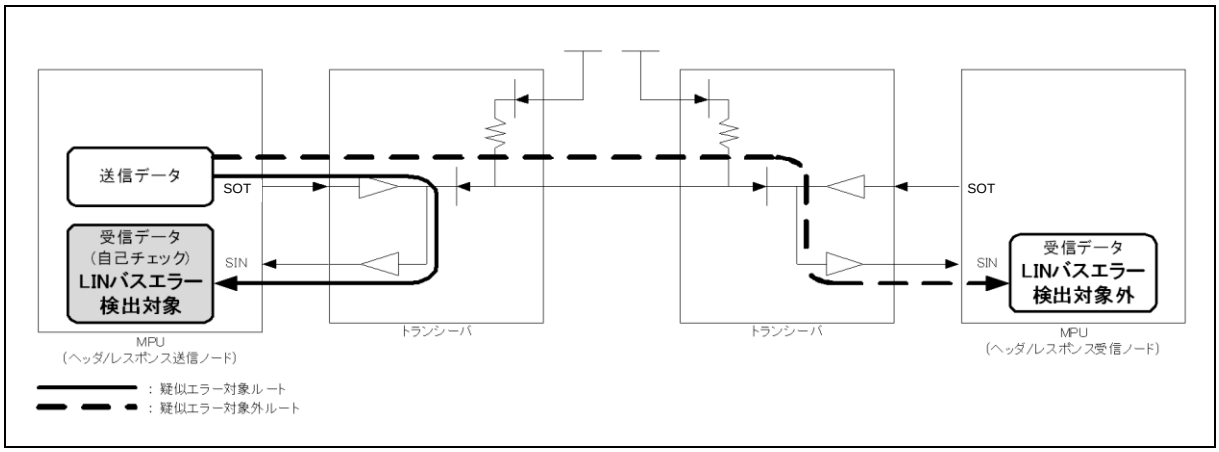
受信データが読み出される前に(RDRF=1)、次のデータの受信が検出された場合、オーバランエラーが検出されます。受信が完了したとき(SSR:RDRF=1)、オーバランエラーフラグがセット(SSR:ORE=1)されます。受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。
また、オーバランエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の受信処理は停止します。
オーバランエラーフラグがセットされている(SSR:ORE=1)間、受信 FIFO の動作許可ビットはクリ

ア(FCR0:FE1=0 or FCR0:FE2=0)されます。
オーバランエラーフラグビット(SSR:ORE)のセットタイミングについては、マニュアルモードにおける「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

■ LIN バスエラー検出割込み発生とフラグセットのタイミング

LIN バスエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、ヘッダ/レスポンスを送信する側の自己チェックにより行います。ヘッダ/レスポンスを受信する側では LIN バスエラー検出は行えません。
LIN バスエラー検出対象を図 7-8 に示します。

図 7-8 LIN バスエラー検出対象



LIN バスエラーの検出範囲は、LIN Break と、Sync Field/ID Field/Data Field/Check Sum Field のスタートビットおよびバイトデータです。ストップビットは LIN バスエラーの検出範囲外です。
ストップビットが"L"レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。
また、LIN バスエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の送信処理は停止します。
ID Field 送信完了時に LIN バスエラーが発生した場合でも、LIN 自動ヘッダ完了フラグ(LAMSR: LAHC=1)はセットされます。

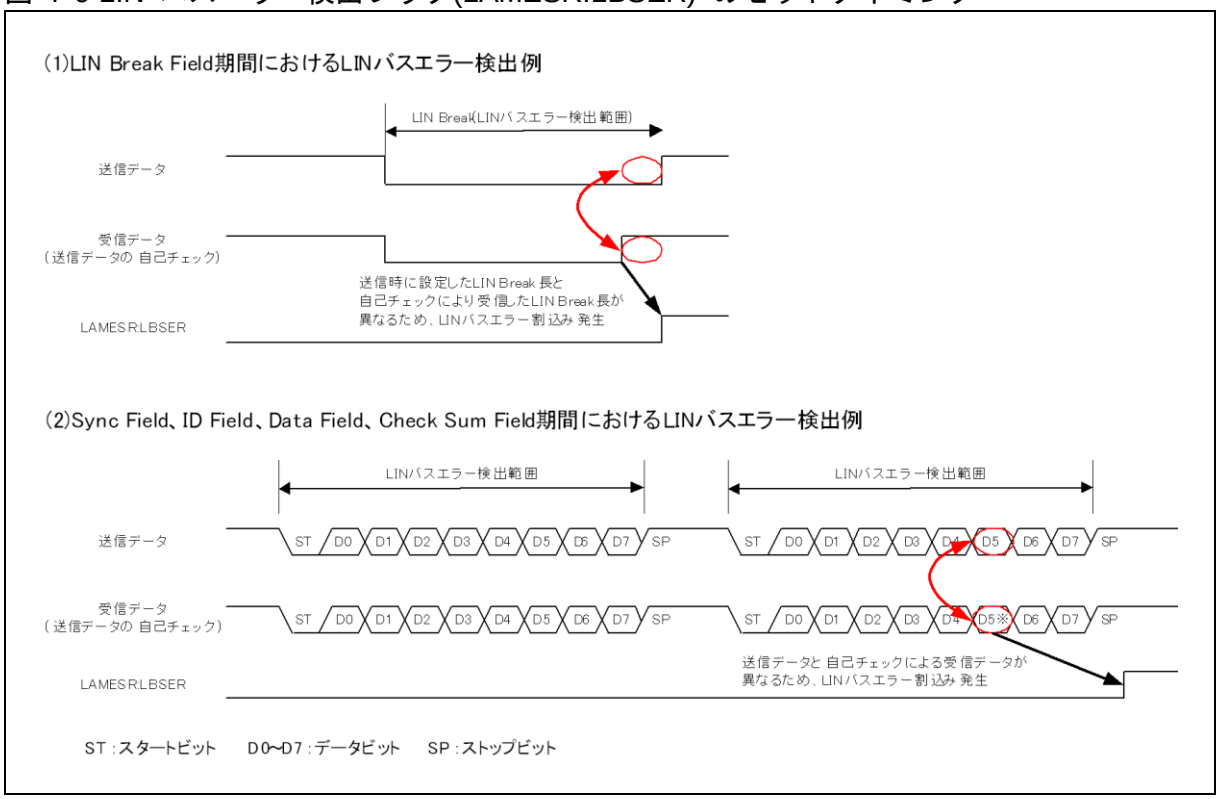
● マスタ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

マスタ側(SCR:MS=0)では、ヘッダ/レスポンス送信時に LIN バスエラー検出を行います。
送信 LIN Break 長と受信 LIN Break 長もしくは送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSER=1)されます。割込みを許可(LAMIER:LBSERIE=1)に設定している場合、受信割込みが発生します。

● スレーブ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

スレーブ側(SCR:MS=1)では、レスポンス送信時に LIN バスエラー検出を行います。
送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSER=1)されます。割込みを許可(LAMIER:LBSERIE=1)に設定している場合、受信割込みが発生します。

図 7-9 LIN バスエラー検出フラグ(LAMESR:LBSER) のセットタイミング



■ LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

LIN Sync Data エラー検出は、アシストモード(LAMCR:LAMEN=1)に設定したスレーブノード(SCR:MS=1)で自動ボーレート調整禁止(SACSR:AUTE=0)時に行います。

LIN Sync Data エラーの検出範囲は、Sync Field 期間のスタートビットおよびバイトデータです。ストップビットは LIN Sync Data エラーの検出対象外です。ストップビットが L レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。

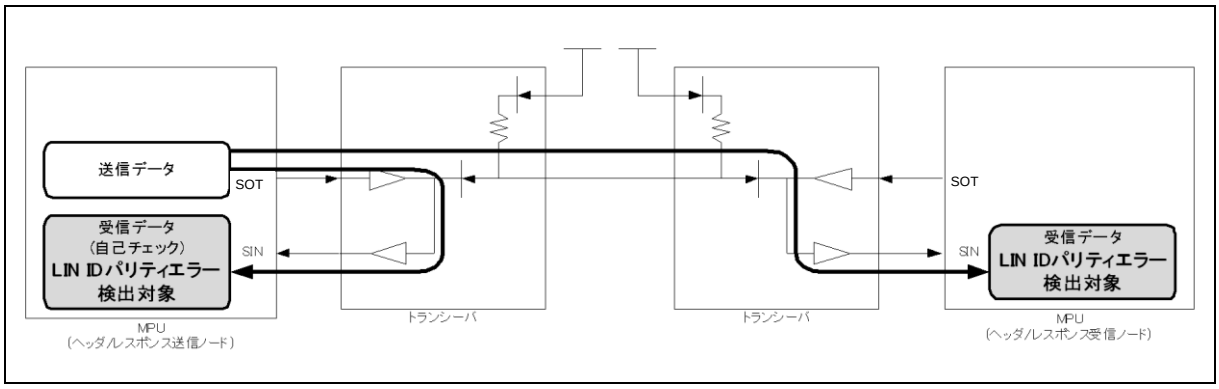
● ボーレート自動調整禁止時における、LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

自動ボーレート調整禁止(SACSR:AUTE=0)に設定したスレーブノード(SCR:MS=1)では、Sync Field のデータ値のチェックを行い、0x55 以外の値を検出した場合、LIN Sync Data エラーを検出しフラグがセット(LAMESR:LSFER=1)されます。そのとき割込みを許可(LAMIER:LSFERIE=1)に設定している場合、受信割込みが発生します。

■ LIN ID パリティエラー検出フラグ割込み発生とフラグセットのタイミング

LIN ID パリティエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、ID Field を送信するマスタの自己チェック、および ID Field を受信するスレーブで行います。
LIN ID パリティエラー検出対象を図 7-10 に示します。

図 7-10 LIN ID パリティエラー検出対象



LIN IDパリティエラーの検出範囲は、IDデータとパリティのバイトデータです。スタートビットとストップビットはLIN ID パリティエラー検出範囲外です。ストップビットで"L"レベルが検出された場合、フレーミングエラー(SSR:FRE=1)となります。

LIN アシストモード(LAMCR:LAMEN=1)は、自動ヘッダ送信中にLIN ID パリティエラーが発生した場合、自動ヘッダ送信完了フラグはセット(LAMSR:LAHC=1)されます。
自動ヘッダ受信中、LIN ID パリティエラーが発生した場合、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。

LIN ID パリティエラーを検出した場合、アシストモードによるレスポンスの送受信処理は停止します。
LIN ID パリティエラーフラグがセットされている(LAMESR:LPTER=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1 or FCR0:FE2=0)されます。

＜注意事項＞

ID Field でフレーミングエラーを検出した場合でも、ID パリティ演算結果は表示されますが、このときの演算結果は保証されません。

● マスタにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

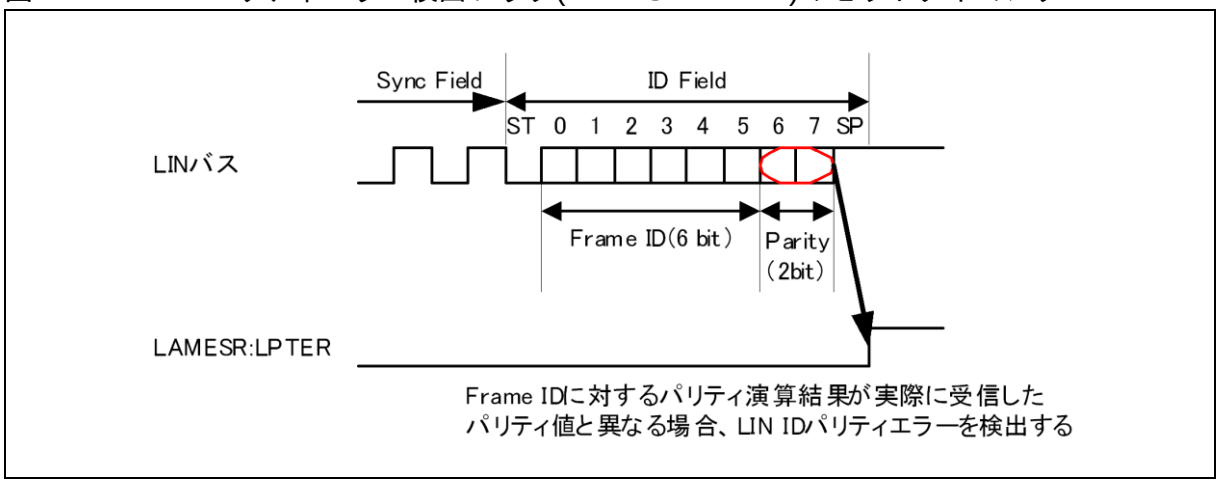
アシストモード(LAMCR:LAMEN=1)に設定したマスタ(SCR:MS=0)では、ID Field 送信時に LIN ID パリティエラー検出を行います。マスタは、送信データレジスタ(TDR)または LIN アシストモード送信 ID レジスタ(LAMTID)で設定した 6 ビットの Frame ID に対してパリティ演算を行い、ID Field を自動生成して送信します。

自己チェックによって ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。
そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、割込みが発生します。

● スレーブにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)に設定したスレーブ(SCR:MS=1)では、ID Field 受信時に LIN ID パリティエラー検出を行います。ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。
そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、受信割込みが発生します。

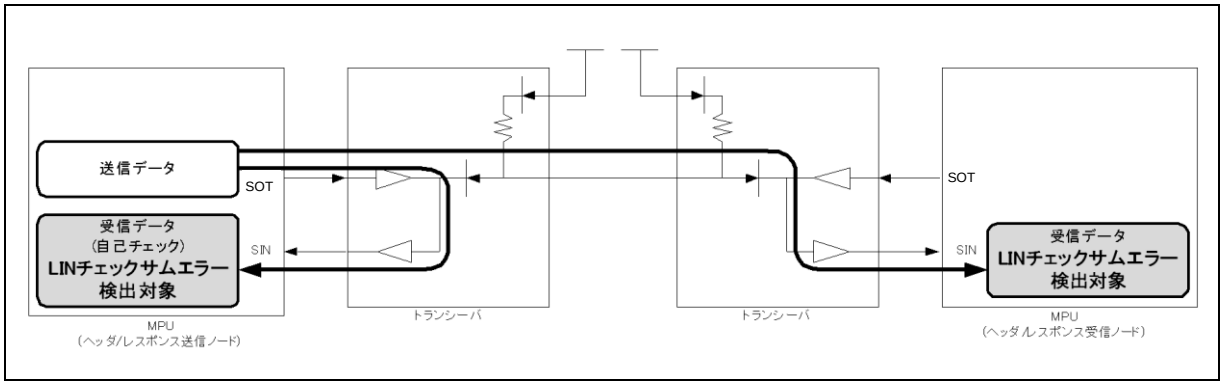
図 7-11 LIN ID パリティエラー検出フラグ(LAMESR:LPTER)のセットタイミング



■ LIN チェックサムエラー検出フラグ割込み発生とフラグセットのタイミング

LIN チェックサムエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、チェックサムを送信する側の自己チェック、およびチェックサムを受信する側で行います。
LIN チェックサムエラー検出対象を図 7-12 に示します。

図 7-12 LIN チェックサムエラー検出対象



自動送信するチェックサムの演算方法は、標準(対象：データ)/ 拡張(対象：ID Field+ データ) から選択が可能です。
チェックサム送信完了時に LIN チェックサムエラーが発生した場合でも、データの送信を停止しません。

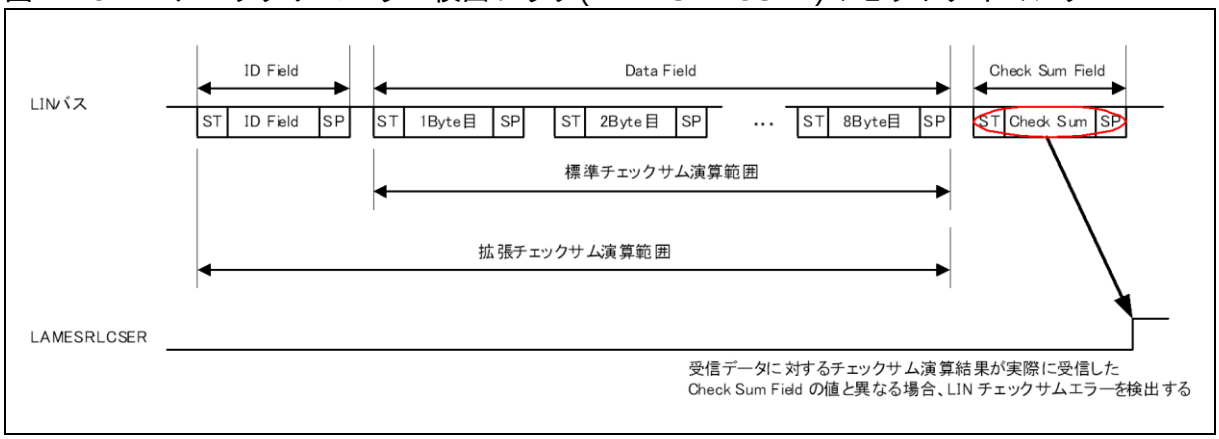
● 標準チェックサム演算設定における、LIN チェックサムエラー検出割込み発生とフラグセットのタイミング

標準チェックサム演算設定時(LAMCR:LCSTYP=0)、レスポンス(データ, チェックサム)を送信する側は設定した LIN データ長(LAMCR:LDL)分の送信データでチェックサム演算を行い、最終データの送信後に自動的に送信します。
レスポンス(データ, チェックサム)受信する側は、設定した LIN データ長(LAMCR:LDL)分の受信データでチェックサム演算を行い、受信したチェックサムと演算結果の値が異なる場合、LIN チェックサムエラーを検出しフラグがセット(LAMESR:LCSER=1)されます。
そのとき、割込みを許可(LAMIER:LCSCIE =1)に設定している場合、受信割込みが発生します。

● 拡張チェックサム演算設定における、LIN チェックサムエラー検出割込み発生とフラグセットのタイミング

拡張チェックサム演算設定時(LAMCR:LCSTYP=1)、レスポンス(データ，チェックサム)を送信する側は ID Field の値と設定した LIN データ長(LAMCR:LDL)分の送信データでチェックサム演算を行い、最終データの送信後にチェックサムを自動的に送信します。
レスポンス(データ，チェックサム)受信する側は、設定した LIN データ長(LAMCR:LDL)分の受信データでチェックサム演算を行い、受信したチェックサムと演算結果の値が異なる場合、LIN チェックサムエラーを検出しフラグがセット(LAMESR:LCSER=1)されます。
そのとき、割込みを許可(LAMIER:LCSCIE =1) に設定している場合、受信割込みが発生します。

図 7-13 LIN チェックサムエラー検出フラグ(LAMESR:LCSER)のセットタイミング



＜注意事項＞

標準/拡張チェックサム演算結果に関係なく、ヘッダ部およびレスポンス部のデータでエラー(LIN バスエラー, LIN ID エラー, LIN Sync Data エラー，フレーミングエラー)を検出した場合、アシストモードによる処理が停止しチェックサム演算は実行しません。

7.2.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.3 受信 FIFO 使用時の割込み発生とフラグセットのタイミング」と同様です。

7.2.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送されて(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ(TDRE)のセットタイミング

マニュアルモードにおける「7.1.4 送信割込み発生とフラグセットのタイミング」と同様です。

● 送信バスアイドルフラグ(TBI)のセットタイミング

以下のいずれかの送信動作をしていない時、送信バスアイドルフラグビット(SSR:TBI)は"1"に設定されます。このとき送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。

・送信データがエンプティ(TDRE=1)で送信処理をしていない
・アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において、ヘッダ送信処理を行っていない
・アシストモード(LAMCR:LAMEN=1)において、レスポンス送信処理を行っていない。

また、以下により送信バスアイドルフラグビット(SSR:TBI)および送信割込み要求はクリアされます。

・送信データレジスタ(TDR)に送信データを書込み
・アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において、ヘッダ送信処理(LIN Break Field, Sync Field, ID Field) 中
・アシストモード(LAMCR:LAMEN=1)において、レスポンス送信処理(データ, チェックサム)中

7.2.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」と同様です。

7.2.6. タイマ割込み発生とフラグセットのタイミング

タイマ割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.6 タイマ割込みとフラグセットのタイミング」と同様です。

7.2.7. アシストモードにおけるステータス割込み発生とフラグセットのタイミング

アシストモードにおけるステータス割込み発生とフラグセットのタイミングについて示します。

アシストモードにおけるステータス割込みは、LIN Break Field 検出時(SSR:LBD)、シンクフィールド検出時(SACSR:SFD)、自動ヘッダ完了時(LAMSR:LAHC)、チェックサム演算完了時(LAMSR:LCSC)に発生します。

■ LIN Break Field 検出フラグのセットタイミング

シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break Field 割込みが許可(ESCR:LBIE=1)されているとステータス割込みを発生します。

＜注意事項＞

LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
アシストモード(LAMCR:LAMEN=1)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。

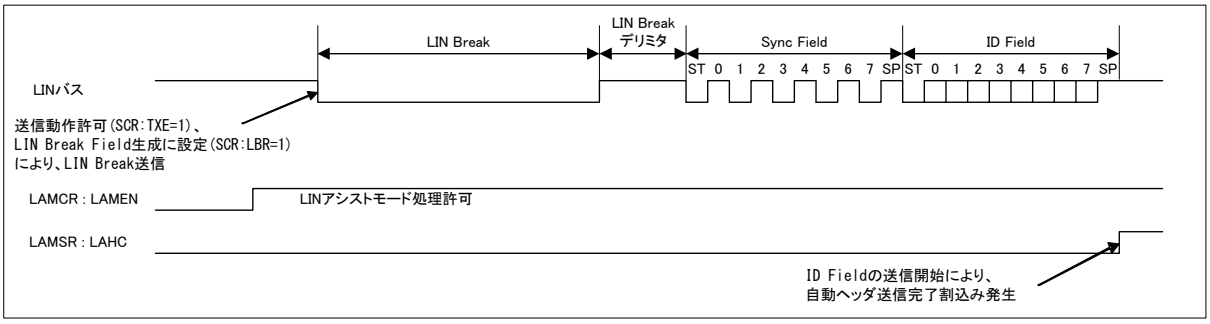
■ シンクフィールド検出割込みとフラグセットのタイミング

マニュアルモードにおける「7.1.7 シンクフィールド検出割込み発生とフラグセットのタイミング」と同様です。

■ 送信時の自動ヘッダ完了割込みとフラグセットのタイミング

LIN アシストモード(LAMCR:LAMEN=1)に設定したマスタでは、LIN Break～ID Field までのヘッダ送信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:LAHCIE =1)されている場合、ステータス割込みが発生します。
LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

図 7-14 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング

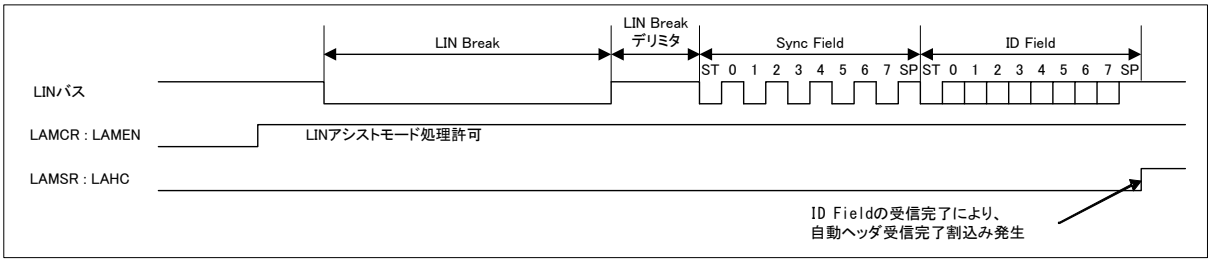


■ 受信時の自動ヘッダ完了割込みとフラグセットのタイミング

LIN アシストモード(LAMCR:LAMEN=1)に設定したスレーブは、LIN Break～ID Field までのヘッダ受信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:LAHCIE =1)されている場合、ステータス割込みが発生します。

LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

図 7-15 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング



■ LIN チェックサム検出完了フラグ割込み発生とフラグセットのタイミング

チェックサム検出は、アシストモード(LAMCR:LAMEN=1)に設定した場合、チェックサムを送信する側の自己チェック、およびチェックサムを受信する側で行います。設定されたデータ設定長(LAMCR:LDL3-0)分のデータとチェックサムを受信すると、チェックサム演算が完了し、フラグがセット(LAMSR:LCSC=1)されます。割込みが許可(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。

チェックサムの受信が完了した場合、受信チェックサム値は RDR レジスタに格納されず SSR:RDRF は"1"に設定されません。FIFO 使用時は受信 FIFO に格納されません。

＜注意事項＞

データ設定長(LAMCR:LDL3-0)分の最終データでフレーミングエラーを検出した場合、チェックサムでフレーミングエラーを検出した場合、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

7.3. シリアルタイマの動作

シリアルタイマの動作について示します。

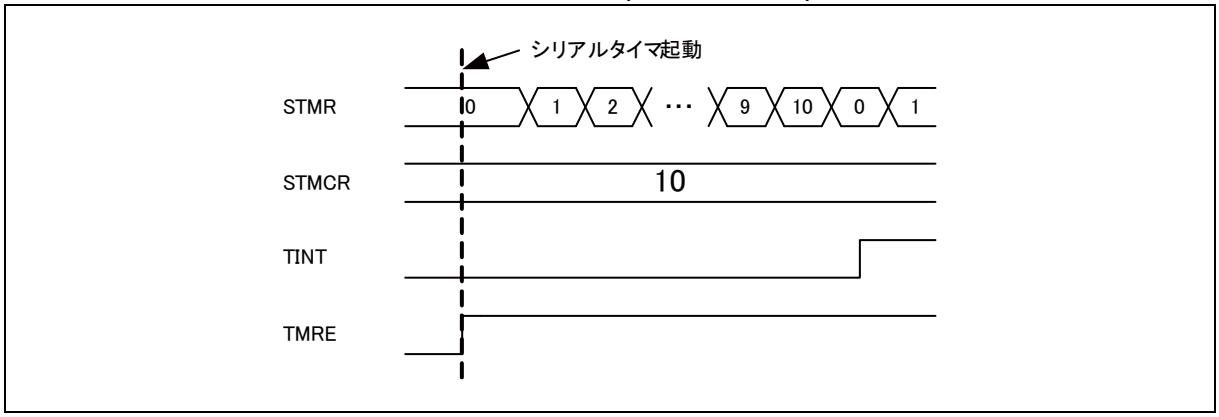
シリアルタイマは、タイマ機能が利用できます。

● シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定する方法、Sync Field により起動させる方法の 2 種類あります。

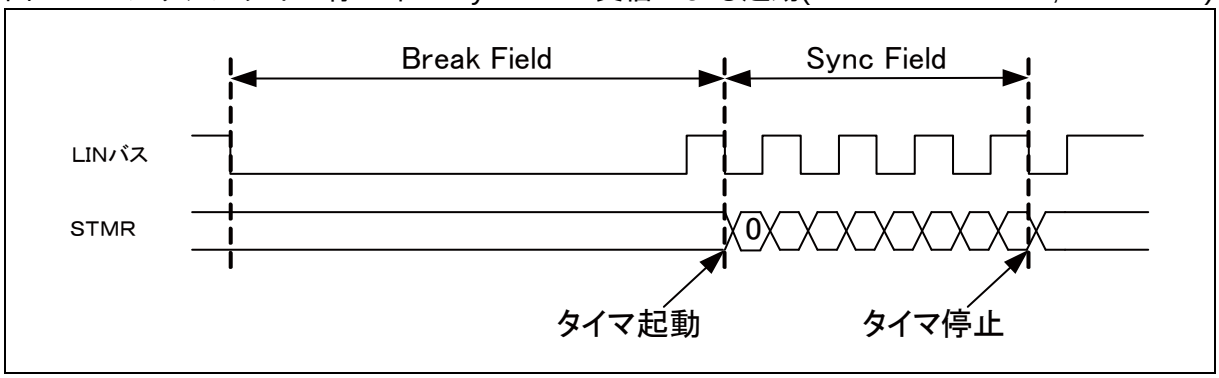
・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 7-16 シリアルタイマ許可ビットによる起動(STMCR="10")



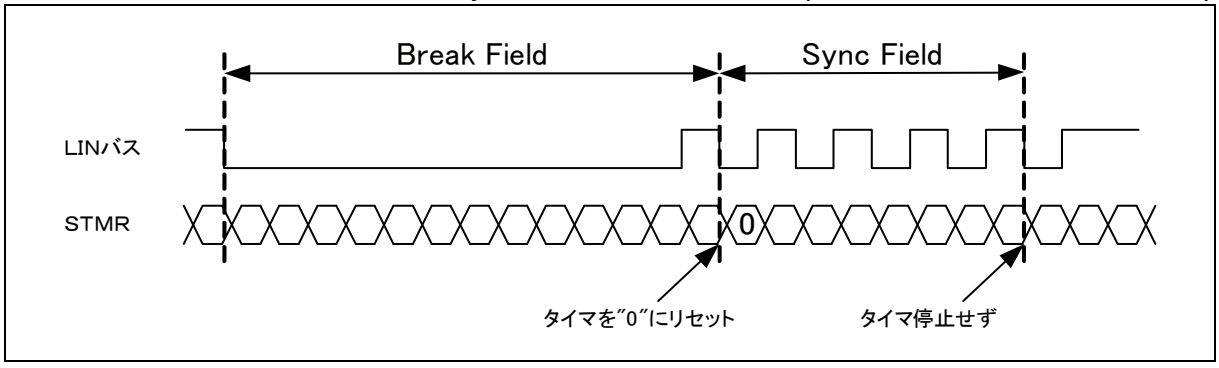
・Sync Field 受信による起動
シリアルタイマ停止中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントします。

図 7-17 シリアルタイマ停止中に Sync Field 受信による起動(SACSR:AUTE="1", TMRE="0")



シリアルタイマ動作中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマレジスタ(STMR)が"0"からカウントします。

図 7-18 シリアルタイマ動作中に Sync Field 受信による起動(SACSR:AUTE="1", TMRE="1")



● シリアルタイマの停止方法

以下の条件のときに停止します。

- 自動ボーレート調整ビット(AUTE)が"0"のとき、シリアルタイマ許可ビット(SACSR:TMRE)を"0"にリセットするとシリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"1"のとき、Sync Field 受信中以外でシリアルタイマ許可ビット(SACSR:TMRE)を"0"にリセットするとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"0"のとき、Sync Field の 5 回目の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマは停止し、シリアルタイマレジスタ(STMR)の値は保持されます。

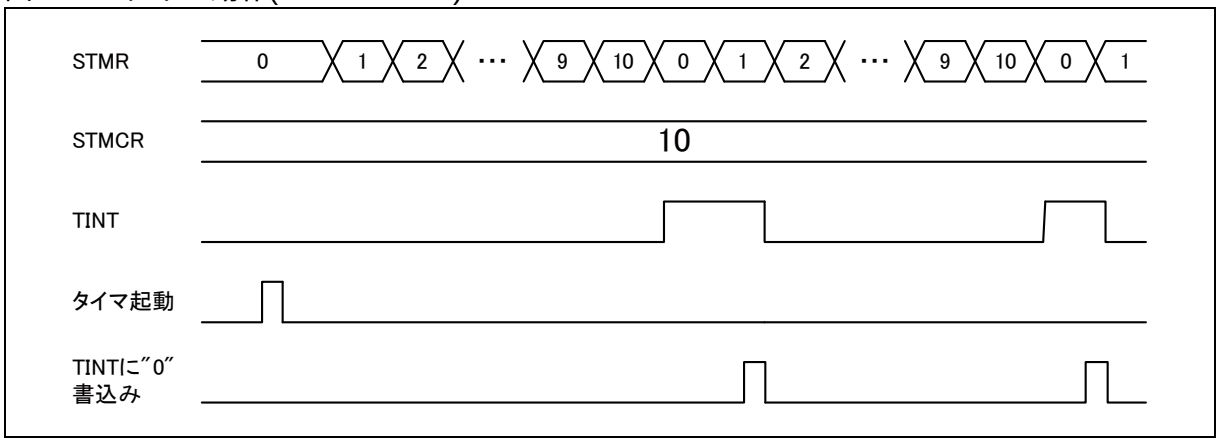
＜注意事項＞

自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"1"のとき、Sync Field の 5 回目の立下りエッジを LIN インタフェース(v2.1)が検出してもシリアルタイマは停止せず、動作を継続します。

● タイマ動作

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"に設定し、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 7-19 タイマ動作(STMCR="10")



＜注意事項＞

- タイマ比較レジスタ(STMCR)に"0000_H"を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000_B"に設定されている場合、タイマ割込みフラグ (SACSR:TINT)は"1"に固定されます。
- 自動ボーレート調整ビット(SACSR:AUTE)を"1"に設定されている場合、Sync Field を受信するとシリアルタイマレジスタ(STMR)は"0"にリセットされます。

7.4. テストモード

テストモードについて示します。

テストモードの動作について説明します。

7.4.1. マニュアルモード

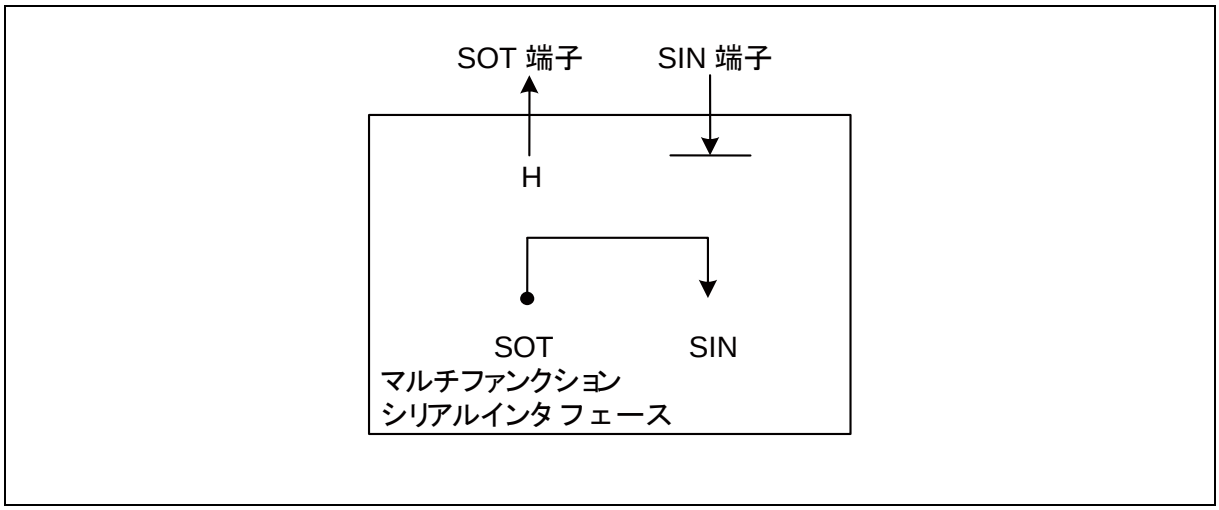
マニュアルモードについて示します。

■ シリアルテストモード

シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時(SACSR:STST="1")、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

図 7-20 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

7.4.2. アシストモード

アシストモードについて示します。

■ シリアルテストモード

マニュアルモードにおけるシリアルテストモードと同様です。
ただし、LIN アシストモード(LAMCR:LAMEN=1)では、マスタノード(SCR:MS=0)のみシリアルテストを実行できます。シリアルテストの結果確認は、送受信フラグおよびステータスフラグにより行います。送受信フラグおよびステータスフラグに関しては、表 7-2 を参照してください。

■ 擬似エラーテストモード

アシストモード(LAMCR:LAMEN=1)では、LIN バスエラー、LIN ID パリティエラー、LIN チェックサムエラー、フレーミングエラーを疑似的に発生させることが可能です。これらのエラーは、複数同時に発生させることができます。

また、シリアルテストモードの併用により以下の自己診断が可能となります。

・疑似 LIN バスエラーテストモード
・疑似 LIN ID パリティエラーテストモード
・疑似 LIN チェックサムエラーテストモード
・疑似フレーミングエラーテストモード

● 擬似エラーテストモードの起動方法

疑似エラーテストモードを起動するには、キーコード制御ビット(LAMERT:KEY1, KEY0)に下記の手順で書込みを行い、疑似障害設定を有効にする必要があります。

・KEY1-0="00"+ 疑似障害設定値を書込み
・KEY1-0="01"+ 疑似障害設定値(前回と同じ値)を書込み
・KEY1-0="10"+ 疑似障害設定値(前回と同じ値)を書込み
・KEY1-0="11"+ 疑似障害設定値(前回と同じ値)を書込み
・4 回目の書込み時、疑似障害設定値が有効になります。

本設定手順に従わない場合(書込み手順の途中でほかのレジスタに書込みや読出しを行う場合、書込み値が正しくない場合、および書込み手順の途中で本レジスタに読出しを行う場合)、書込みは無効となります。

疑似障害設定を解除する場合も、設定と同様の手順により行ってください。

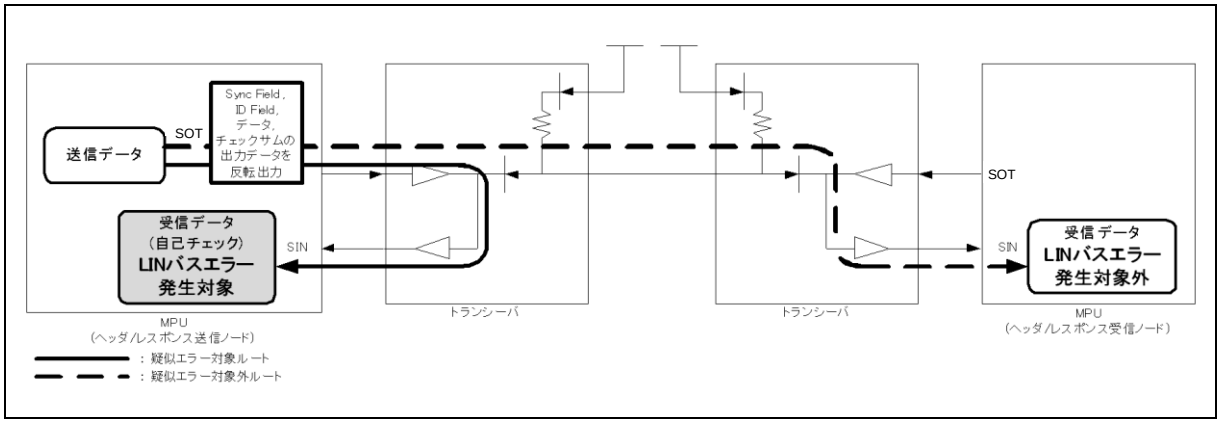
＜注意事項＞

アシストモードで以下のエラーが発生した場合、アシストモードが停止しますので、設定に注意してください。
・LIN バスエラー
・LIN ID パリティエラー
・フレーミングエラー

● 擬似 LIN バスエラーテストモードの概要

疑似 LIN バスエラーテストは、データを送信するマスタ/スレーブの自己チェックにより実施します。データを受信するマスタ/スレーブでは、疑似 LIN バスエラーを検出することができません。

図 7-21 疑似 LIN バスエラーテストモードの概要



疑似 LIN バスエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN バスエラー疑似障害設定ビットをセット(LAMERT:LBSERT=1)してください。
疑似 LIN バスエラーテストモードの起動は、以下の動作を行います。

・マスタ
Sync Field, ID Field, データ, チェックサムを送信します。
LIN バスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され、自己チェック時に、LIN バスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

・スレーブ
データ, チェックサムを送信します。
LIN バスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され自己チェック時に、LIN バスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

疑似 LIN バスエラーテストモード設定が解除(LAMESR:LBSER=0)されるまで、LIN バスエラーを発生させます。

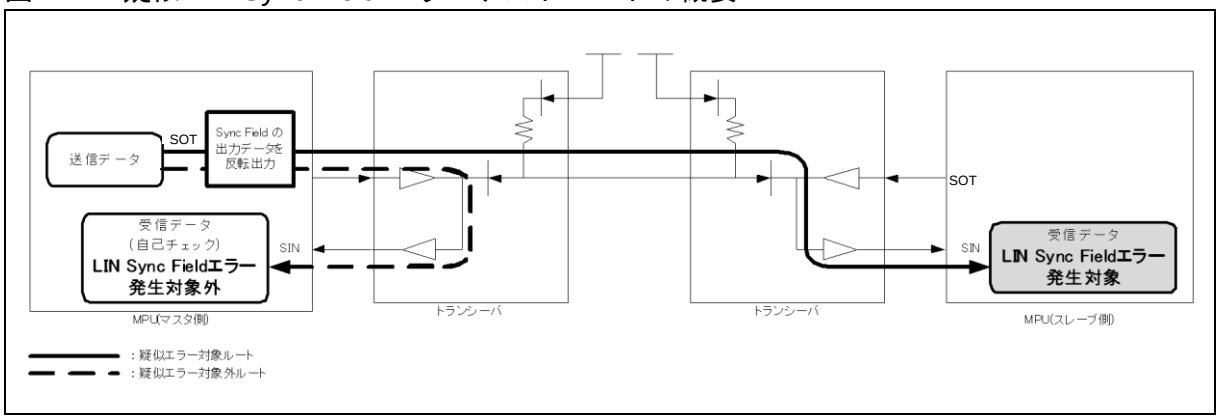
＜注意事項＞

LIN バスエラー検出(LAMESR:LBSER=0)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。

● 擬似 LIN Sync Data エラーテストモードの概要

疑似 LIN Sync Data エラーテストは、Sync Field 値(0x55)をチェックするスレーブで実施できます。
Sync Field を送信するマスタでは、疑似 LIN Sync Field エラーを検出することができません。

図 7-22 疑似 LIN Sync Field エラーテストモードの概要



疑似 LIN Sync Data エラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN Sync Data エラー疑似障害設定ビットを有効(LAMERT:LSFERT=1)に設定する必要があります。
Sync Field のスタートビット前に疑似 LIN Sync Data エラー疑似障害設定(LAMERT:LSFERT=1)されたマスタが、Sync Field 送信時に値(0x55)をすべて反転出力します。
疑似 LIN Sync Data エラーテストモード設定が解除(LAMESR:LSFERT=0)されるまで、本動作を続けて行います。

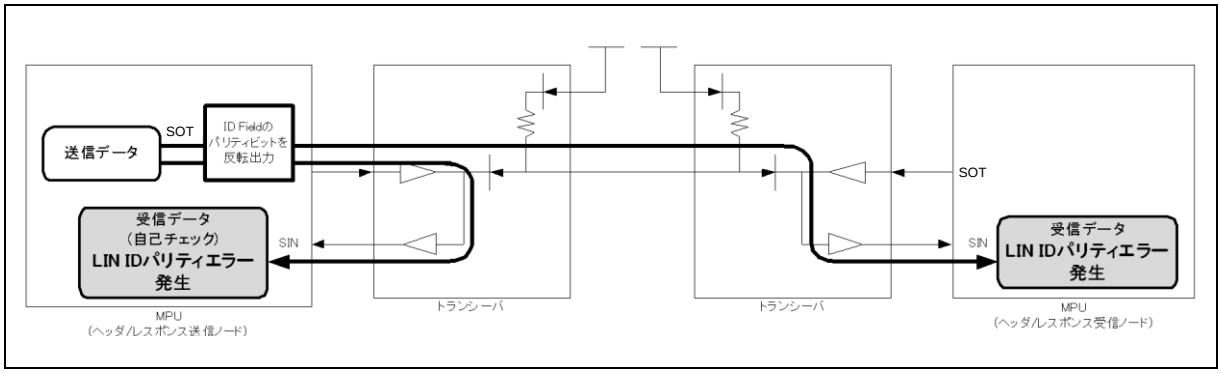
＜注意事項＞

LIN Sync Data エラーの検出は、アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)において検出します。
LIN Sync Data エラー検出(LAMESR:LBSER=1)により、アシストモードのヘッダ受信およびレスポンスの送受信処理は停止します。

● 擬似 LIN ID パリティエラーテストモードの概要

疑似 LIN ID パリティエラーテストは、ID Field を送信するマスタの自己チェックおよび ID Field を受信するスレーブで実施できます。

図 7-23 疑似 LIN ID パリティエラーテストモードの概要



疑似 LIN ID パリティエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN ID パリティエラー疑似障害設定ビットを有効(LAMERT:LPTERT=1)に設定する必要があります。
ID Field のスタートビット前に疑似 LIN ID パリティエラー障害設定(LAMERT:LPTERT=1)されたマスタは、ID Field 送信時に ID Field 内のパリティ値(2bit)をすべて反転出力します。
ID Field の受信時に、LIN ID パリティエラーが発生し、フラグビット(LAMESR:LPTER)に"1"がセットされます。
疑似 LIN ID パリティエラーテストモード設定が解除(LAMESR:LPTERT=0)されるまで、LIN ID パリティエラーを発生させます。

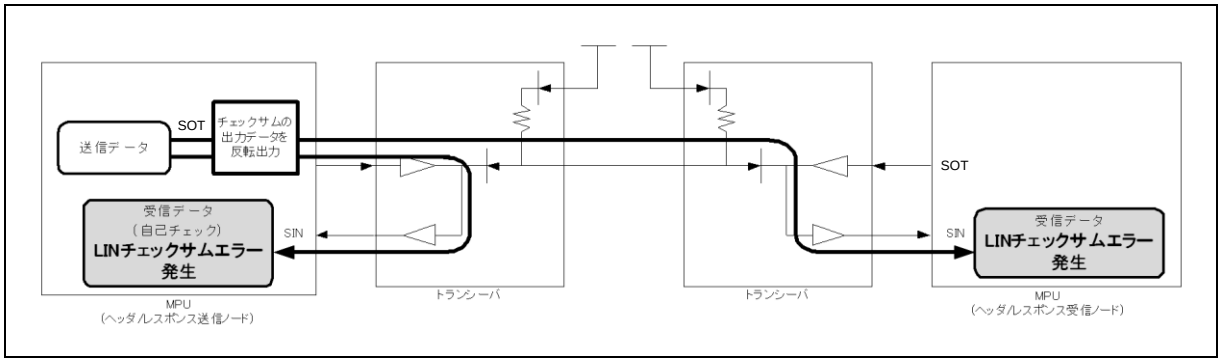
＜注意事項＞

LIN ID パリティエラー検出(LAMESR:LPTER=1)により、アシストモードのレスポンスの送受信処理は停止します。

● 擬似 LIN チェックサムエラーテストモードの概要

疑似 LIN チェックサムエラーテストは、レスポンスを送信する側の自己チェックおよびレスポンスを受信する側で実施できます。

図 7-24 疑似 LIN チェックサムエラーテストモードの概要

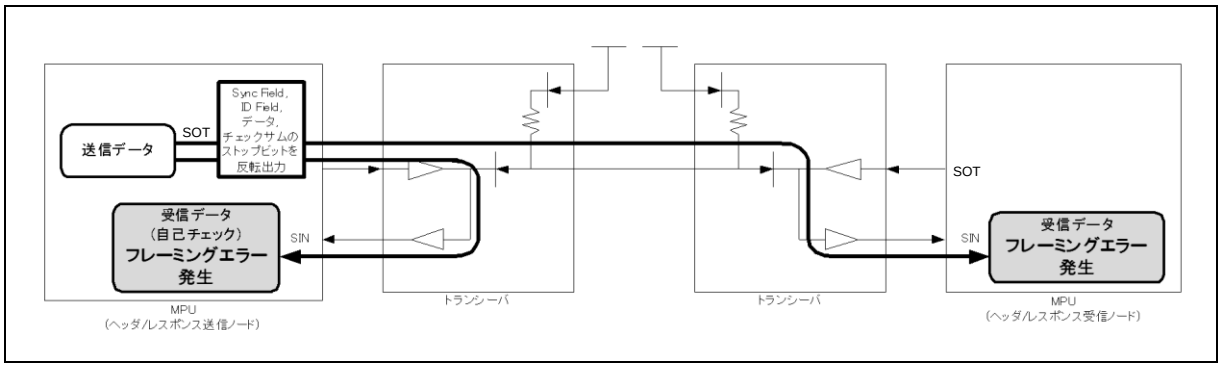


疑似 LIN チェックサムエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN チェックサムエラー疑似障害設定ビットを有効(LAMERT:LCSERT=1)に設定する必要があります。
チェックサムのスタートビット前に疑似 LIN チェックサムエラー疑似障害設定(LAMERT:LCSERT=1)されたノードは、チェックサム送信時に値をすべて反転出力します。
チェックサムの受信時に、LIN チェックサムエラーが発生し、フラグビット(LAMESR:LCSER)に"1" がセットされます。
疑似 LIN チェックサムエラーテストモード設定が解除(LAMESR:LCSERT=0)されるまで、LIN チェックサムエラーを発生させます。

● 擬似フレーミングエラーテストモードの概要

疑似フレーミングエラーテストは、データを送信する側の自己チェックおよびデータを受信する側で実施できます。

図 7-25 疑似フレーミングエラーテストモードの概要



疑似フレーミングエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、フレーミングエラー疑似障害設定ビットを有効(LAMERT:FRET=1) に設定する必要があります。
疑似フレーミングエラーテストモードの起動は、以下の動作を行います。

・マスタ
各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、Sync Field, ID Field, データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。
受信時に、フレーミングエラーが発生し、フラグビット(LAMESR: FRE)に"1"が設定されます。

・スレーブ
各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。
受信時に、フレーミングエラーが発生し、フラグビット(LAMESR: FRE)に"1"が設定されます。
疑似フレーミングエラーテストモード設定が解除(LAMESR:FRET=0)されるまで、フレーミングエラーを発生させます。

＜注意事項＞

フレーミングエラー検出(LAMESR:FRE=1)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。

7.5. LIN インタフェース(v2.1)の動作

LIN インタフェース(v2.1)の動作について示します。

LIN インタフェース(v2.1)は、マスタ/ スレーブ双方向 LIN 通信で動作します。

7.5.1. マニュアルモード

マニュアルモードについて示します。

■ マスタ動作

● マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定します。

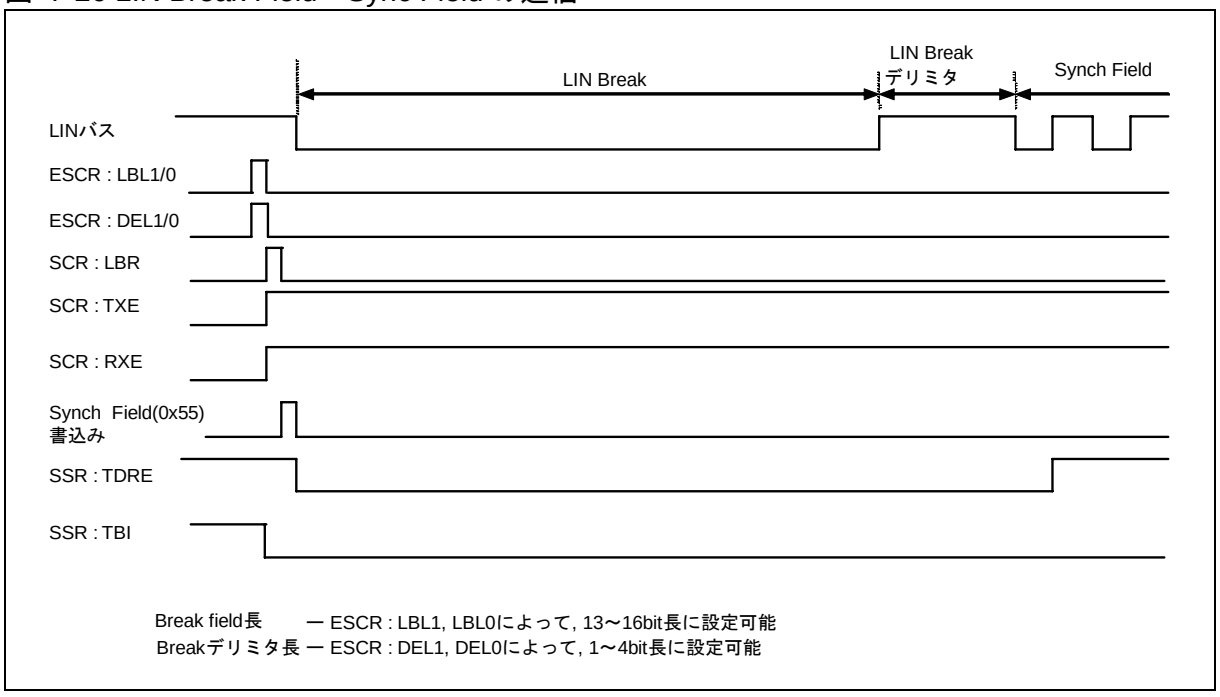
● LIN Break Field 送信～Sync Field 送信

- LIN Break Field 長の選択(ESCR:LBL1, LBL0)および Break Field デリミタ長の選択(ESCR:DEL1, DEL0)ができます。
- 送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定すると LIN Break Field が送信されます。
- Sync Field は、送信データレジスタ(TDR)に 0x55 を書き込むことで送信されます。

＜注意事項＞

- SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に 0x55 を設定してください。
- SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても LIN Break Field 部分は受信動作を行いません。

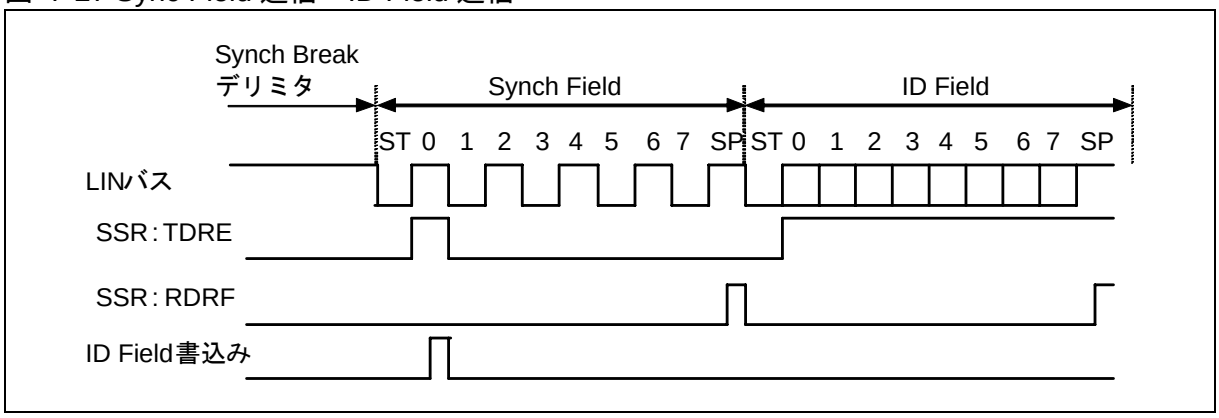
図 7-26 LIN Break Field～Sync Field の送信



● Sync Field 送信～ID Field 送信

・Sync Field(0x55)の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。
このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
・送信割込みが発生したら、ID Field を送信データレジスタ(TDR)に書き込むことができます。
・受信割込みが発生したら、送信データと受信したデータを比較し、エラーが発生していないことを確認します。
・ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。

図 7-27 Sync Field 送信～ID Field 送信

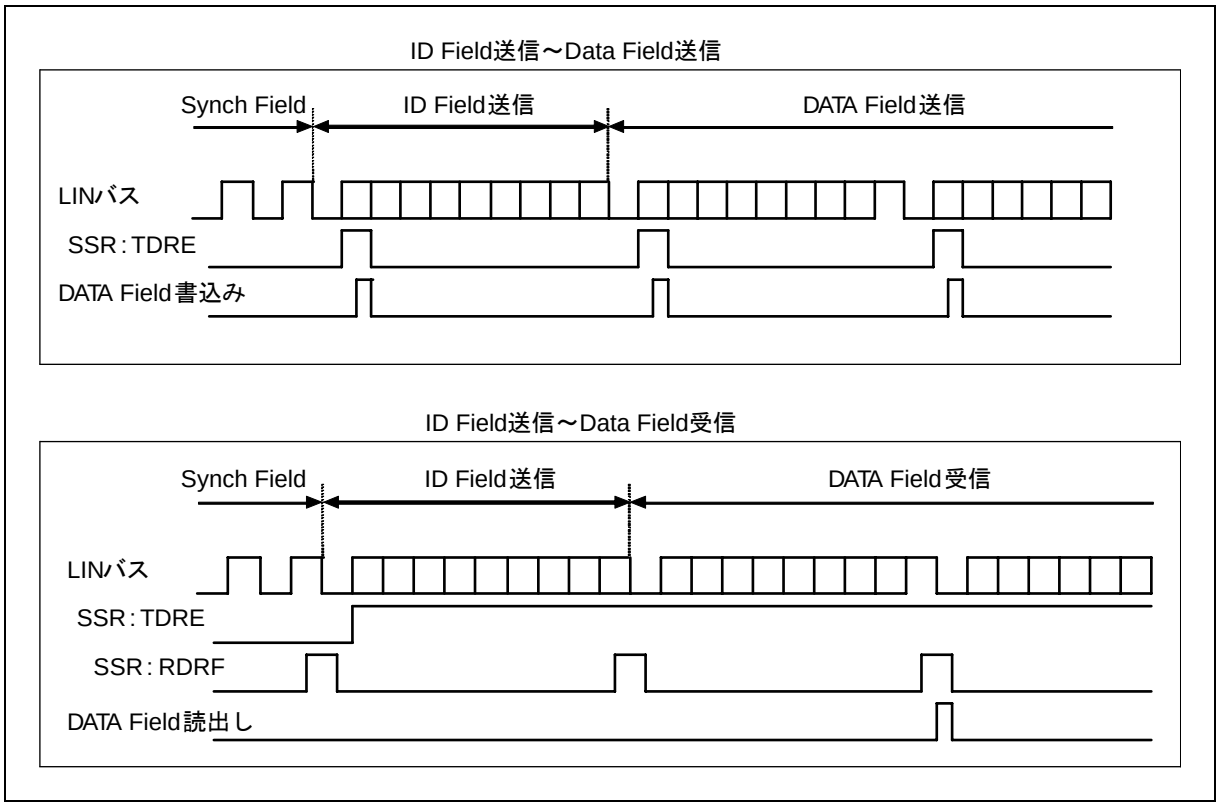


● ID Field 送信～DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

- DATA Field を送信する場合
- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されます。このとき、DATA Field の書込みが可能です。
- DATA Field を受信する場合
- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されますが、送信データを書き込まないでください。
- また、送信割込み禁止(SCR:TIE=0)にしてください。
- DATA Field を受信すると、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。

図 7-28 ID Field 送信～DATA Field 送受信



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。

● マスタ動作タイミングチャート(FIFO 未使用時)

図 7-29 LIN バスタイミング (DATA Field 送信時: FIFO 未使用時)

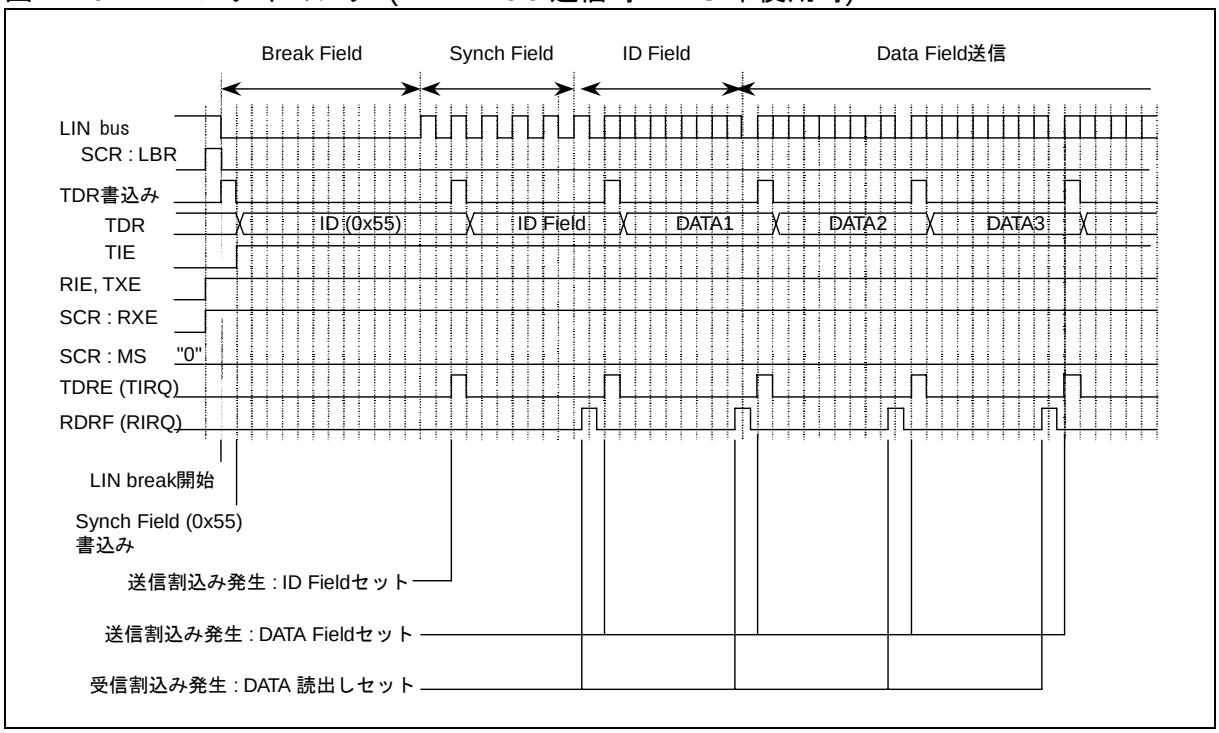
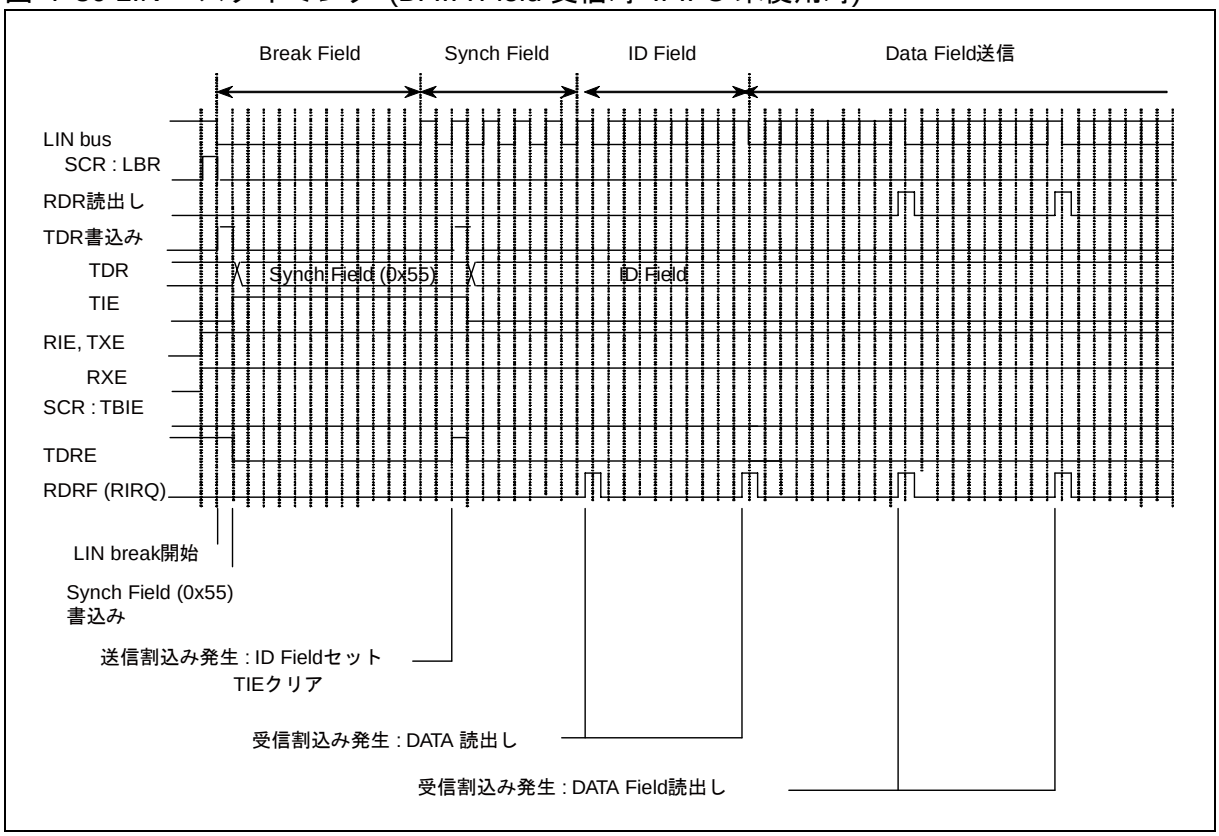


図 7-30 LIN バスタイミング (DATA Field 受信時 :FIFO 未使用時)



● マスタデバイス動作タイミングチャート(FIFO 使用時)

図 7-31 LIN バスタイミング (DATA Field 送信時 : FIFO 使用時)

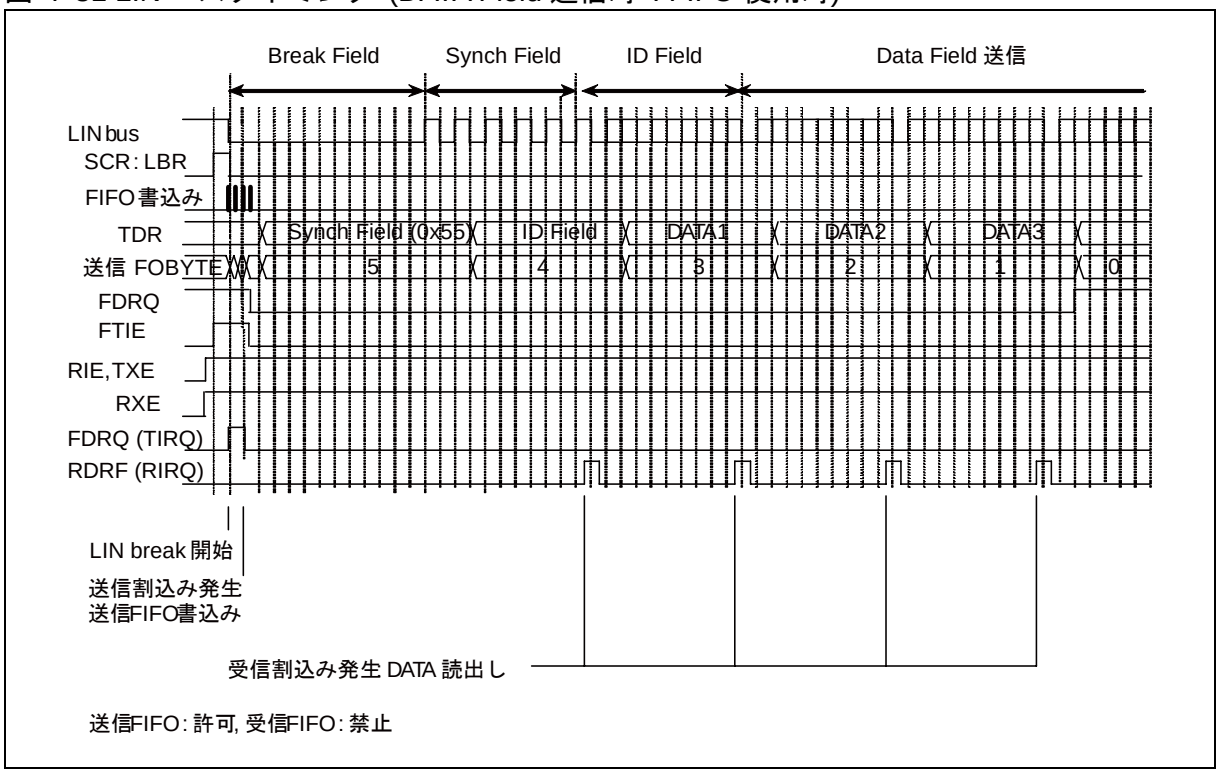
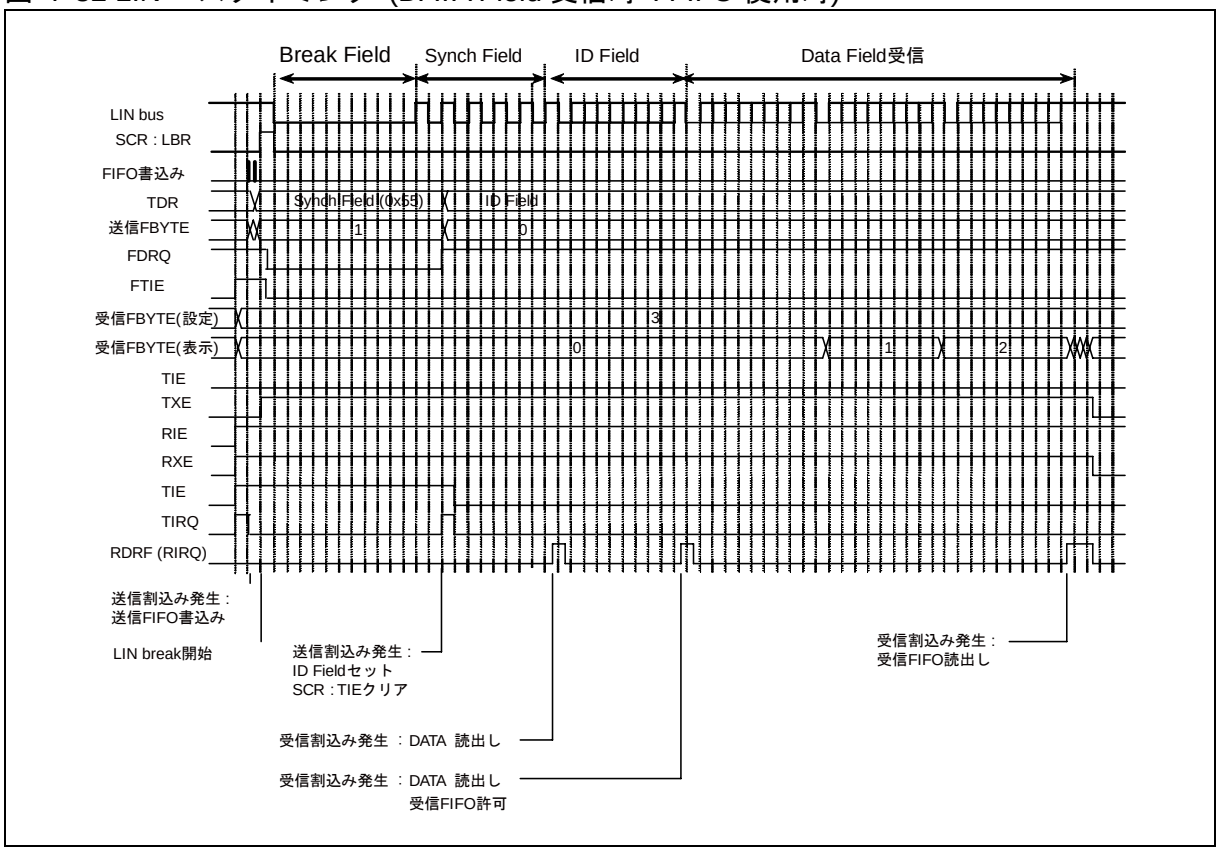


図 7-32 LIN バスタイミング (DATA Field 受信時 : FIFO 使用時)



■ スレーブ動作

● スレーブ動作の選択

スレーブデバイスとして動作させるためには、SCR:MS ビットを"1"に設定します。

● LIN Break Field 受信～Sync Field 受信

LIN Break Field 受信～ Sync Field 受信で自動ボーレート調整が実施されたことを確認する方法を示します。

・BGR と STMR を比較する方法

この方法を使用した処理は以下のとおりです。

1. BGR と STMR を比較する方法

①自動ボーレート調整を有効(SACSR:AUTE=1)に設定します。

② LIN Break Field が入力されると 11 ビット目で LIN Break Field 検出(SSR:LBD=1)されます。このとき、ESCR : LBIE ビットが"1"に設定されているとステータス割込みを発生します。LIN Break Field 検出(SSR:LBD=1)後、シリアルタイマを禁止(SACSR:TMRE=0)に設定します。

③ Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジスタ(STMR)を"0"に初期化します。

④ Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACSR:SFD)を"1"に設定します。このとき、下記を確認して自動ボーレート調整の有無を確認します。

- 自動ボーレート調整が行われた場合は、Sync Field を検出(SACSR:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が等しくなります。
- 自動ボーレート調整が行われていない場合は、Sync Field を検出(SACSR:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が異なります。

図 7-33 LIN Break Field 受信～Sync Field 受信 (STMR が SFUR 以下 SFLR 以上の場合)

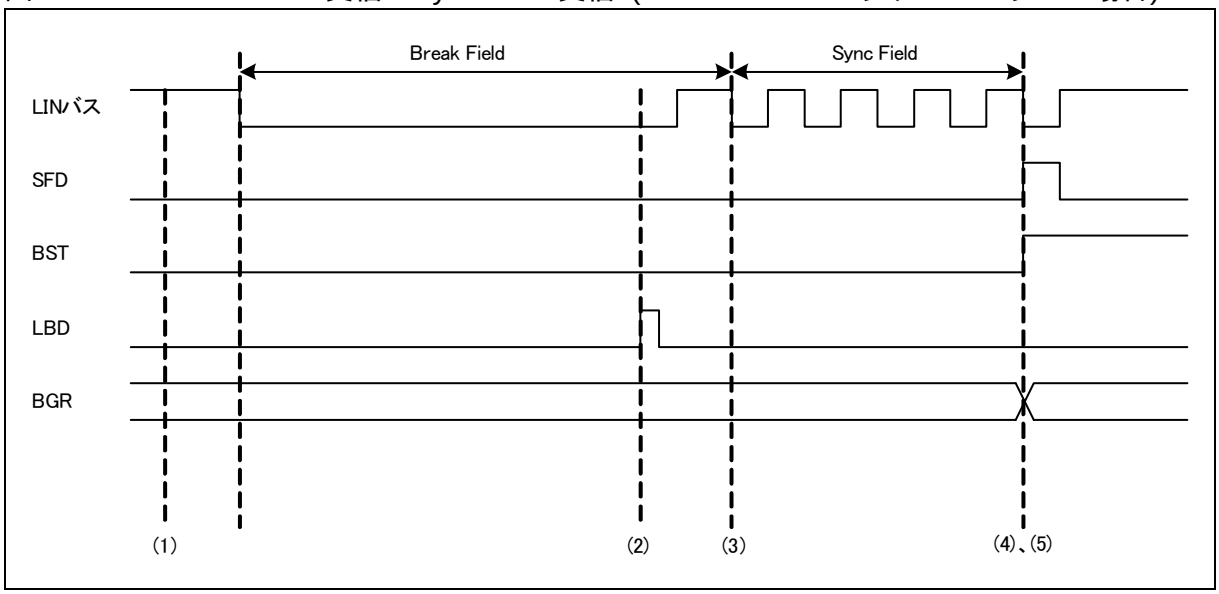
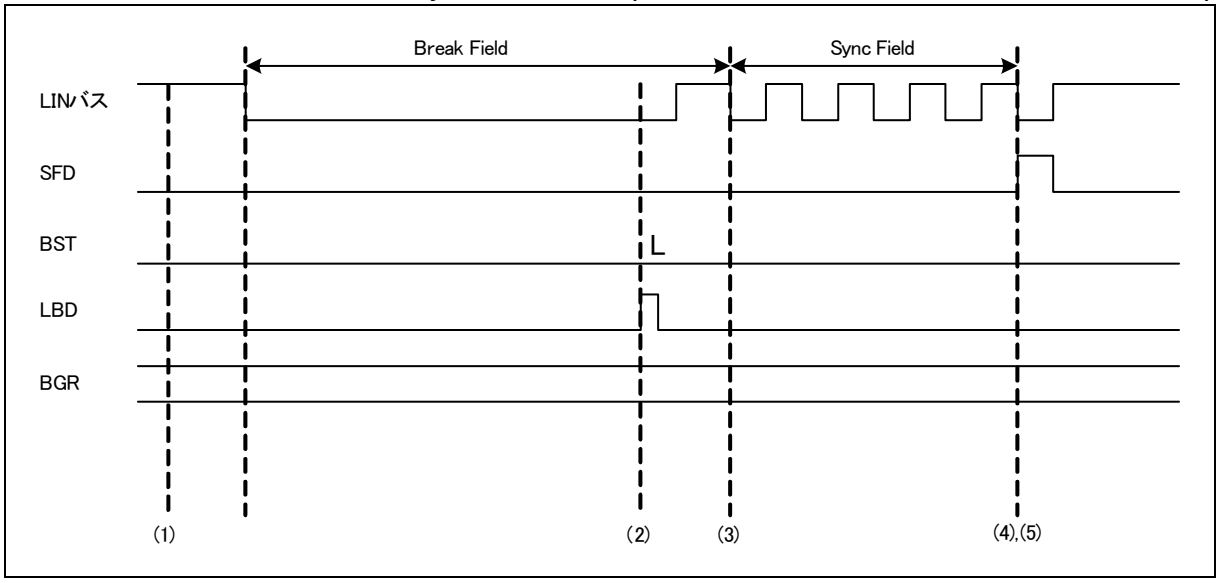


図 7-34 LIN Break Field 受信～Sync Field 受信 (STMR が SFUR 以下 SFLR 以上でない場合)



＜注意事項＞

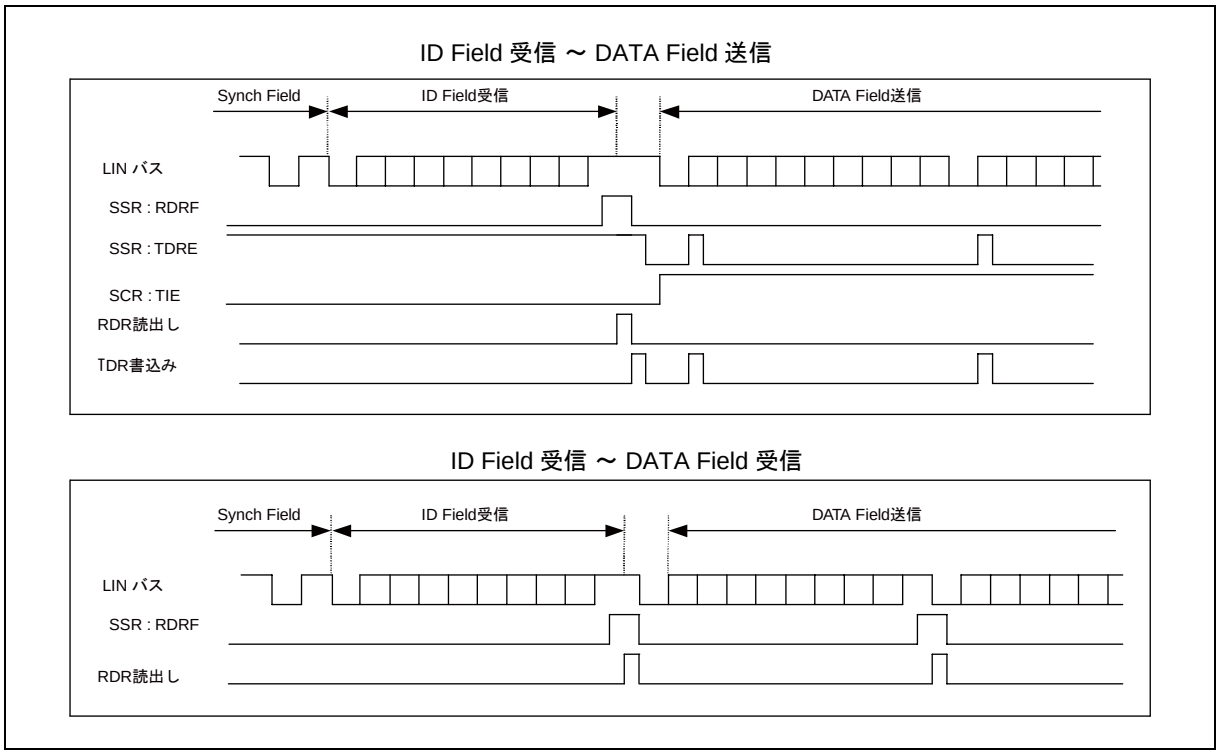
Break Field および Sync Field 時は、受信禁止(SCR:RXE=0)に設定してください。

● ID Field 受信～DATA Field 送受信

ID Field を受信した後、マスタデバイスへ DATA Field を送信するか、受信するかを選択します。

・DATA Field を送信する場合
  ・ ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておきます。
・DATA Field を受信する場合
  ・ DATA Field 受信ごとに、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SCR:RDRF=1)されていると受信割込みが発生します。
  ・ スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。

図 7-35 ID Field 受信～DATA Field 送受信



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。

● スレーブ動作タイミングチャート

図 7-36 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時, AUTE=1)

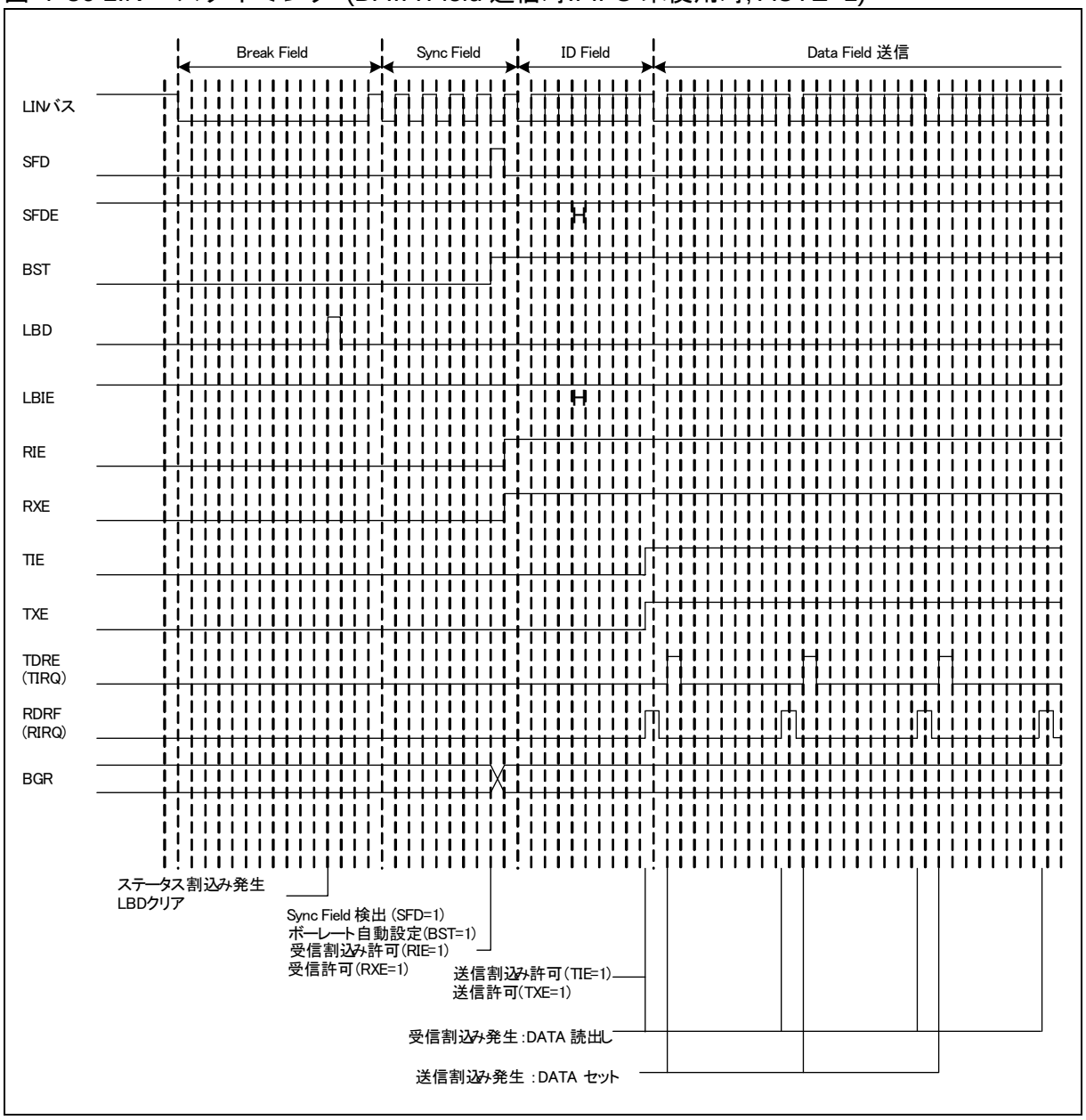
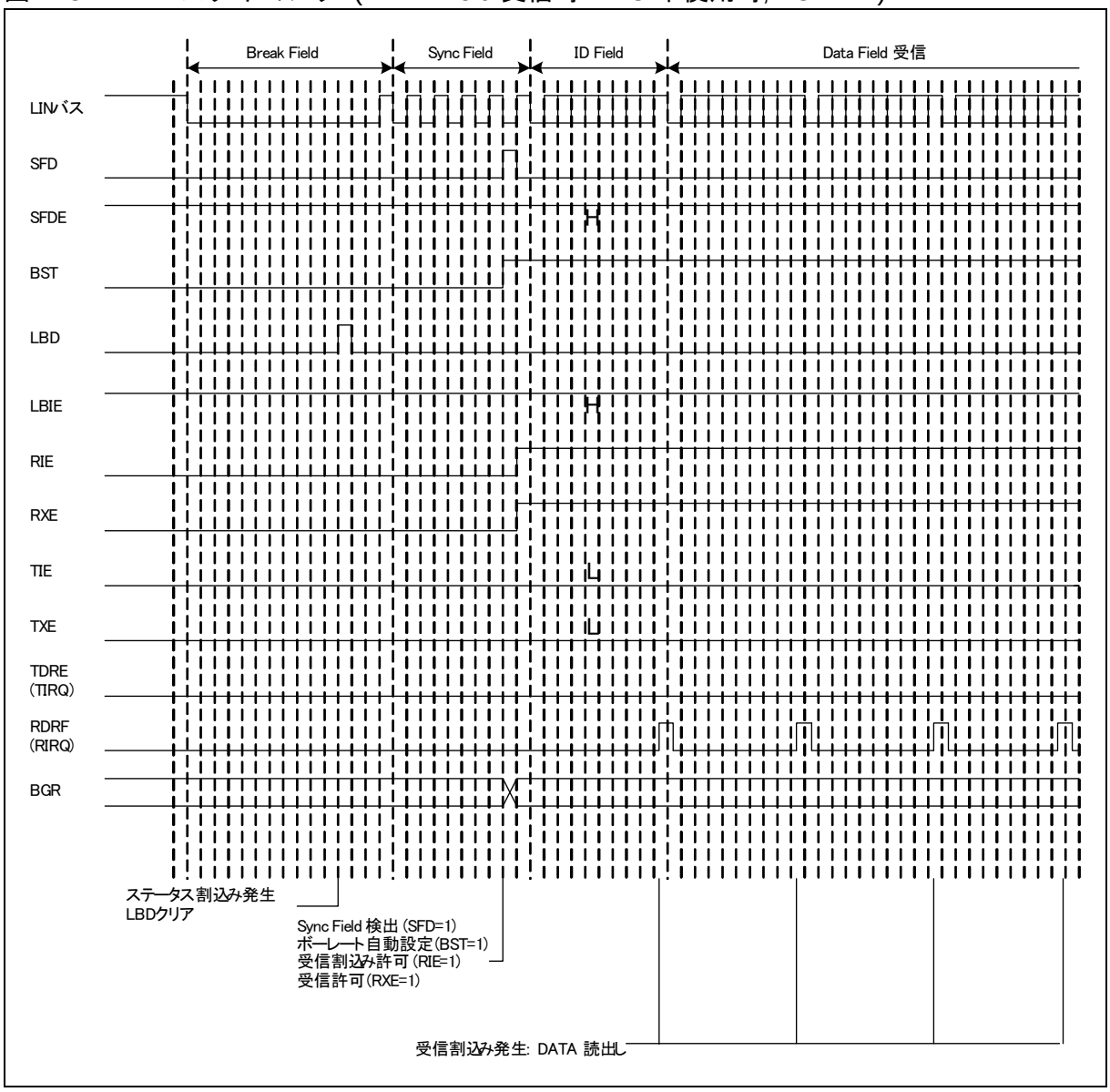


図 7-37 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時, AUTE=1)



● **FIFO 使用時**

図 7-38 LIN バスタイミング (DATA Field 送信時:FIFO 使用時, AUTE=1)

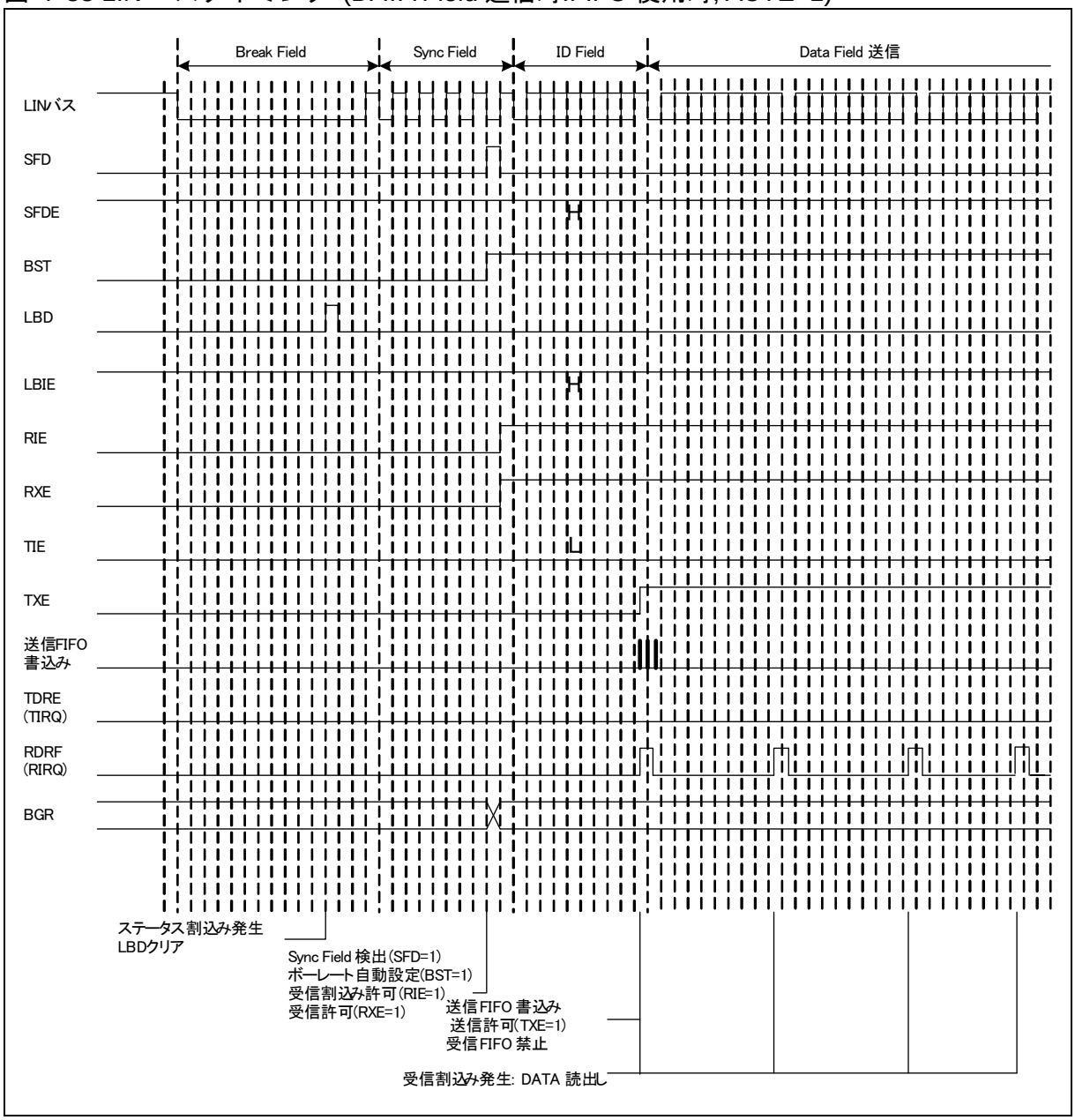
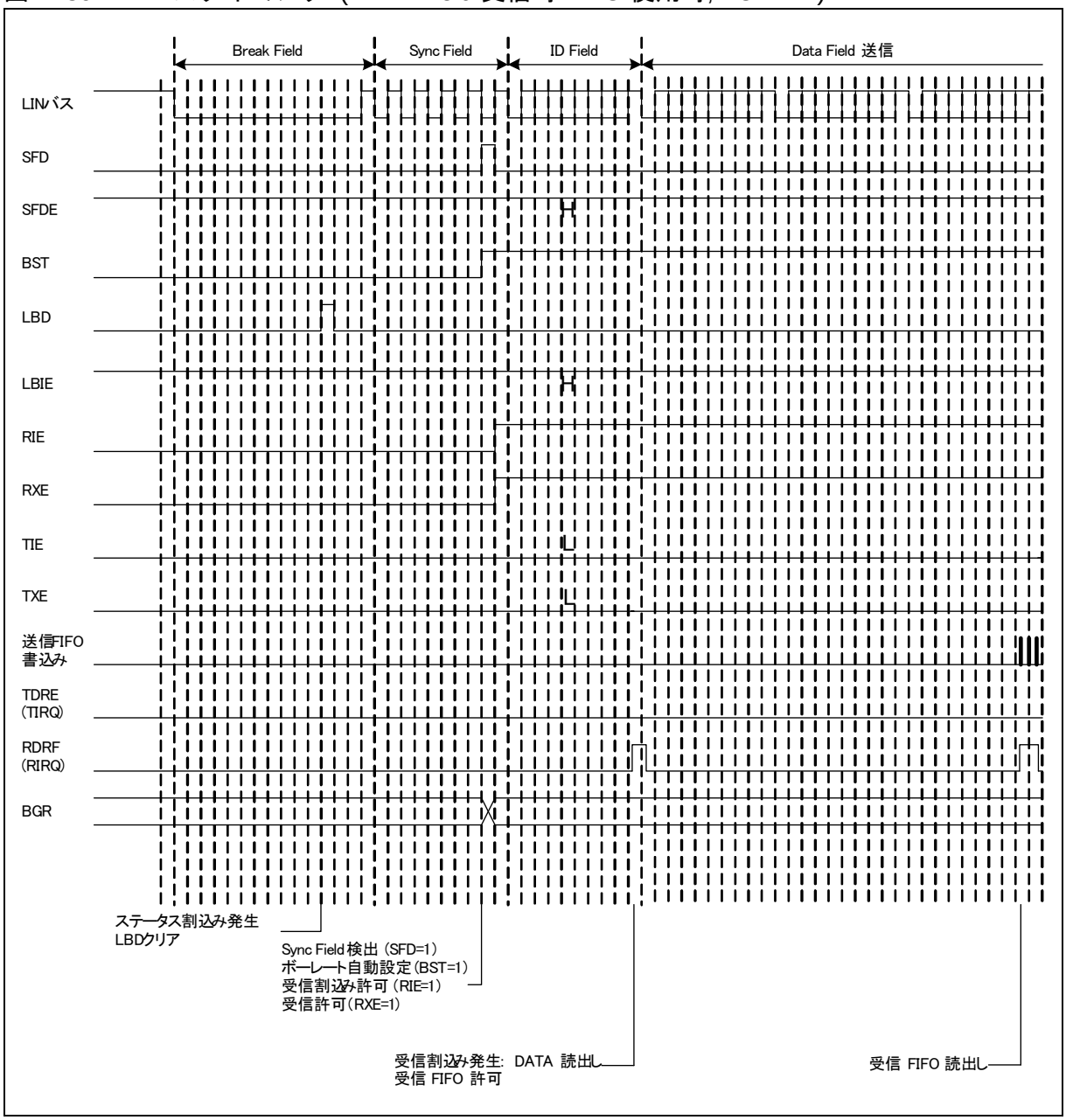


図 7-39 LIN バスタイミング (DATA Field 受信時:FIFO 使用時, AUTE=1)



7.5.2. アシストモード

アシストモードについて示します。

アシストモードは、LIN ヘッダの自動送受信および、以下の生成・チェックを行います。

・ID Field のパリティ生成・チェック
・チェックサムの生成・チェック

■ マスタ動作

● 自動ヘッダ送信設定

アシストモードにて自動ヘッダ送信を行うには、初期設定後に SCR:LBR ビット(LIN Break Field 設定ビット)を"1"に設定してください。"1"に設定することにより、LIN Break Field～Sync Field～ID Field までを自動で送信します。以下に送信設定を示します。

・マスタとして動作させるために、SCR:MS ビット(マスタ/スレーブ機能選択ビット)を"0"に設定してください。
・LAMCR:LAMEN ビット(LIN アシストモード処理許可ビット)を"1"に設定してください。
・LIN アシストモード開始前に ID Field 値を設定してください。
・LIN アシストモード送信 ID レジスタ(LAMTID)を使用する場合、LAMCR:LIDEN ビット(LIN ID レジスタイネーブルビット)を"1"に設定してください。
・データ送信レジスタ(TDR)を使用する場合は、LAMCR:LIDEN ビットを"0"に設定してください。
・LAMCR:LIDEN ビットを"1"に設定した場合、ID Field データを LAMTID(LIN アシストモード送信 ID レジスタ)に設定してください。
・LIN Break Field 長の選択(ESCR:LBL2,LBL1, LBL0)および、LIN Break Field デリミタ長の選択(ESCR:DEL1, DEL0)を設定してください。
・ストップビット長の選択(SMR:SBL と ESCR:ESBL)を設定してください。
・マスタ側で送信した LIN Break Field はマスタ側でも検出されます。検出されると、SSR:LBD ビットが"1" に設定されます。このとき、ESCR:LBIE が"1"に設定されているとステータス割込みが発生します。LIN アシストモードの場合は、ESCR:LBIE を"0"に設定し割込みを禁止設定にしてください。
・マスタ側で送信した Sync Field 値はマスタ側でも検出されます。検出されると SACSR:SFD ビットが"1"に設定されます。このとき、SACSR:SFDE ビットが"1"に設定されていると割込みが発生します。LIN アシストモードの場合、SACSR:SFDE を"0"に設定し割込みを禁止してください。
・送信動作許可ビット(SCR:TXE)を"1"(送信許可)に設定してください。

● LIN Break Field～ID Field の送信

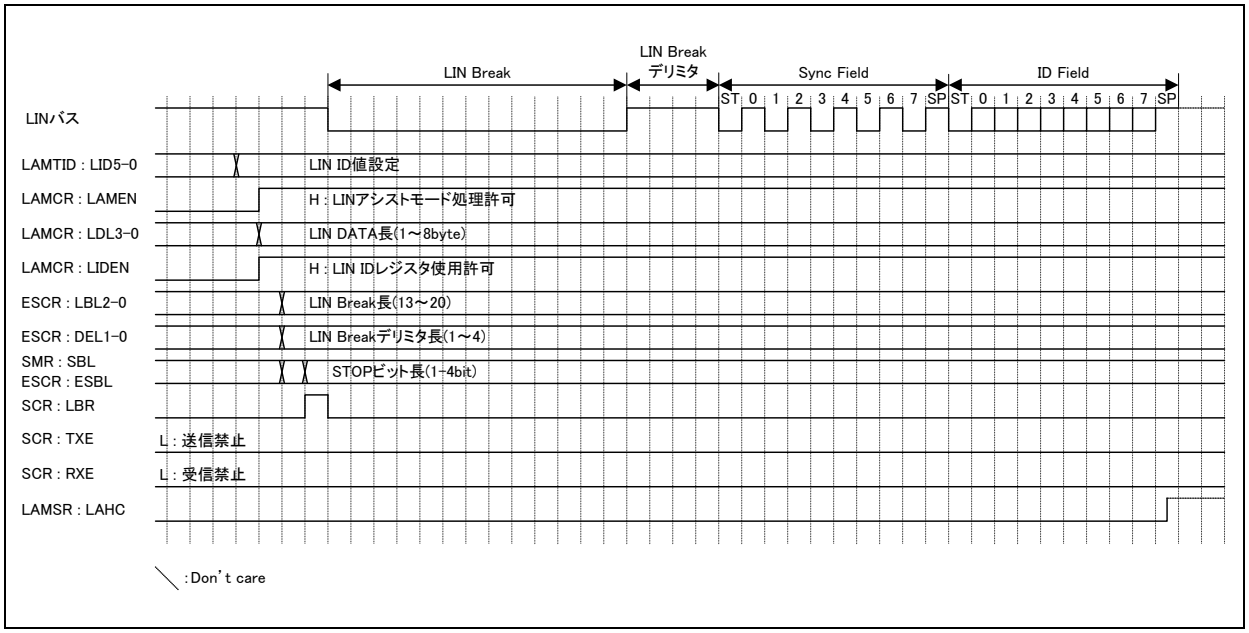
・LIN Break Field 設定ビット(SCR:LBR)を"1" (LIN Break Field 生成)に設定してください。
・ESCR:LBL2～LBL0 で設定した LIN Break Field が送信されます。
・LIN アシストモード送信 ID レジスタ(LAMTID)を使用しない場合、ID Field データをデータ送信レジスタ(TDR)に書き込んでください。
・マスタ側ではマスタが送信した LIN Break Field を受信し、バスエラーをチェックします。
・LIN Break Field 送信後、ESCR:DEL1, DEL0 で設定された LIN Break Field デリミタを送信します。
・LIN Break Field デリミタ送信後、Sync Field(0x55 固定値)を送信します。
・マスタ側ではマスタが送信した Sync Field を受信し、バスエラーをチェックします。
・Sync Field 送信後、設定された ID Field 値を送信します。ID FIeld 値は、LAMCR:LIDEN ビットが"0" の場合は TDR に設定されている値を、LAMCR:LIDEN ビットが"1"の場合は LAMTID に設定されている値を送信します。
・LIN アシストモードは、ID Field のパリティ演算を自動で行います。
・ID Field の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に

設定されます。このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
・送信割込み(TDRE)が発生したら、送信データを送信データレジスタ(TDR)に書き込むことができます。
・ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。ID Field 内の LIN パリティは自動で計算されます。
・ID Field の送信が完了すると LIN 自動ヘッダ送信完了フラグがセット(LAMSR:LAHC="1")されます。このとき、LIN 自動ヘッダ送信完了割込み許可ビットを許可(LAMIER:LAHCIE="1")されている場合、割込みが発生します
・以下のエラーが発生した場合、送信は停止します。
  ・ LIN バスエラー
  ・ LIN ID パリティエラー
  ・ フレーミングエラー

＜注意事項＞

- LIN アシストモード起動後に SCR:TXE を"0"に設定した場合、自動ヘッダ送信が停止します。
- LIN アシストモード起動後に自動ヘッダ送信設定は変更しないでください。

図 7-40 LIN Break Field～ID Field の送信



● アシストモード処理中の LIN Break Field 再送信

送信禁止設定(SCR:TXE=0)および送信バスアイドル状態(SSR:TBI=1)のときのみ LIN Break Field 設定(SCR:TBR=1)できます。よって、送信禁止設定(SCR:TXE=0)および送信バスアイドル状態(SSR:TBI=1)以外の場合、以下の手順で初期化してから LIN Break Field 設定(SCR:LBR=1)する必要があります。

・まず、送信禁止設定(SCR:TXE=0)および受信禁止設定(SCR:RXE=0)します。
・再送信前の送信データを破棄します。
  ・ 送信 FIFO を使用している場合は、送信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、送信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  ・ 次に送信データレジスタクリアを実行(LAMCR:LTDRCL=1)し、送信バスアイドル状態にします。
・再送信前の受信データを破棄します。
  ・ 受信 FIFO を使用している場合は、受信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、受信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。

・次に受信データレジスタをクリアするために RDR レジスタを読出します。

・上記処理後、LIN アシストモード送信 ID レジスタ(LAMTID)を使用する場合は、ID Field データを LAMTID(LIN アシストモード送信 ID レジスタ)に設定します。
・以降の処理は、前項「LIN Break Field～ID Field の送信」と同等です。

● DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Fieldを送信する場合)

・LIN アシストモード送信レジスタ(LAMTID)を使用しない場合、ID Field の 1 ビット目が送信されると、SSR:TDRE="1"に設定されます。このとき、DATA Field の書込みが可能です。
・LIN アシストモード送信レジスタ(LAMTID)を使用する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、DATA Field の書込みが可能です。
・LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、レスポンス送信開始までに、送信許可設定(SCR:TXE=1)します。
・LIN アシストモードは、チェックサムの演算を自動で行います。チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)にて演算方法の選択ができます。
・チェックサムの送信が完了すると、送信バスアイドルフラグ(SSR:TBI)をセットします。このとき、送信バスアイドル割込み許可ビットがセット(SCR:TBIE="1")されている場合割込みが発生します。
・レスポンス送信完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)します。

＜注意事項＞

- アシストモード動作時のレスポンス送信データ(Data Field, チェックサム)は、RDR レジスタに格納できません。
- FIFO を使用する場合は、LIN Break Field 設定ビット(SCR:LBR)を"1"(LIN Break Field 生成ビット) に設定した後に、FIFO にデータを書き込んでください。
- レスポンス送信において､LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定した場合は、チェックサムを自動演算し送信するために、TDR レジスタにダミー書込み(書込み値は don't care)してください。このときの TDR 設定値はチェックサムに影響しません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000") 設定したときのチェックサム値は以下となります。
  ・標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  ・拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転となります。

図 7-41 ID Field 送信～DATA Field 送信(ID レジスタを使用する場合、FIFO 未使用)

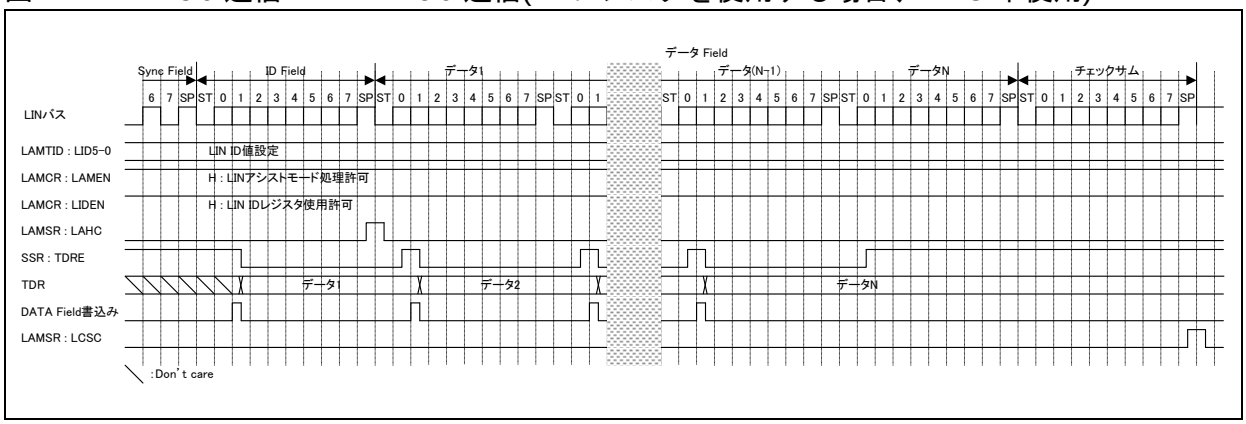
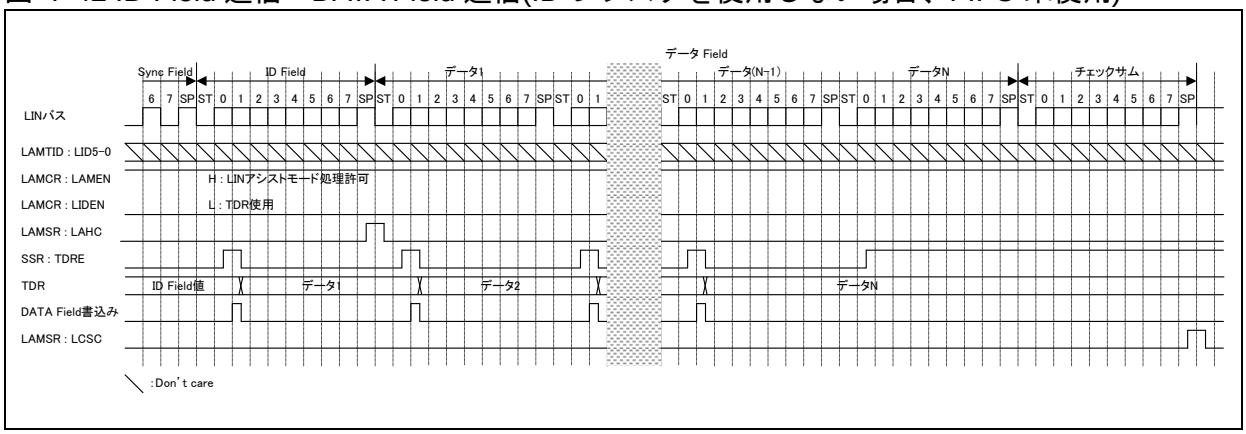


図 7-42 ID Field 送信～DATA Field 送信(ID レジスタを使用しない場合、FIFO 未使用)



(DATA Field を受信する場合)

- LIN アシストモード送信レジスタ(LAMTID)を使用しない場合、ID Field の 1 ビット目が送信されると、SSR:TDRE="1"に設定されますが、データを書き込まないでください。
  また、送信割込み禁止(SCR:TIE="0") にしてください。
- LIN アシストモード送信レジスタ(LAMTID)を使用する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、DATA Field への書込みが可能ですが、データを書き込まないでください。
- LIN Break Field 検出(SSR:LBD=1)からレスポンス受信開始までに、受信許可設定(SCR:RXE=1)してください。
- DATA Field を受信した場合、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE="1")されていると受信割込みが発生します。
- チェックサムの受信が完了すると LIN チェックサム演算完了フラグがセット(LAMSR:LCSC="1")されます。このとき、チェックサム演算完了割込み許可ビットを許可(LAMIER:LCSCIE="1")されている場合、割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 7-43 ID Field 送信～DATA Field 受信(ID レジスタを使用する場合、FIFO 未使用)

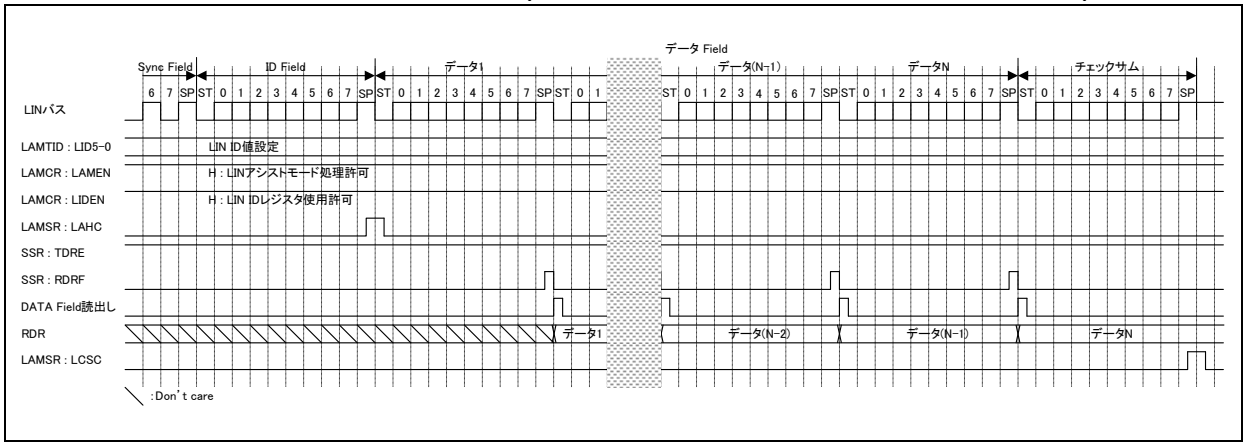
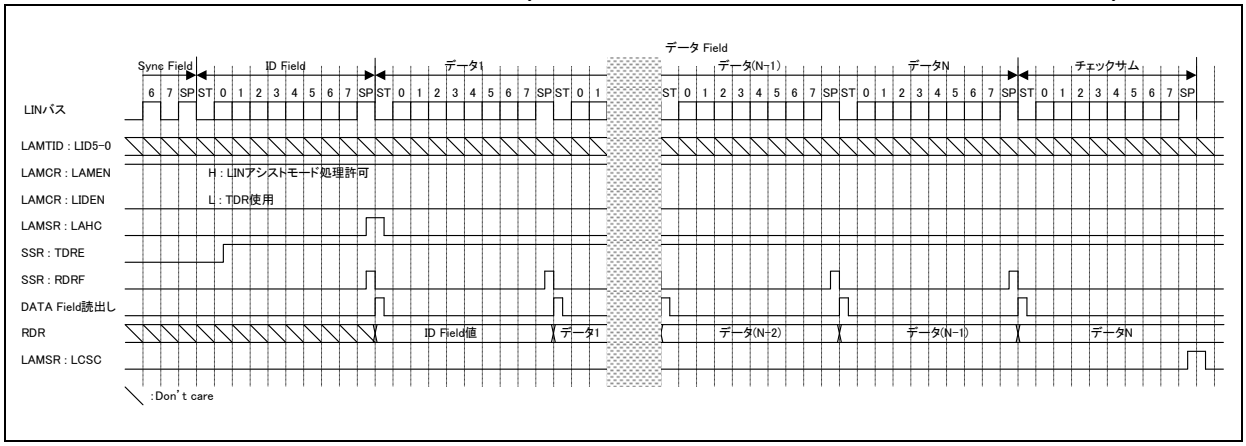


図 7-44 ID Field 送信～DATA Field 受信(ID レジスタを使用しない場合、FIFO 未使用)



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵しています。しかしノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。
- アシストモード動作時のレスポンス受信のチェックサム値は、RDR レジスタに格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - ・標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - ・拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

● マスタ動作タイムチャート(FIFO 未使用時)

図 7-45 LIN バスタイミング(ID レジスタ使用,DATA Field 送信,FIFO 未使用)

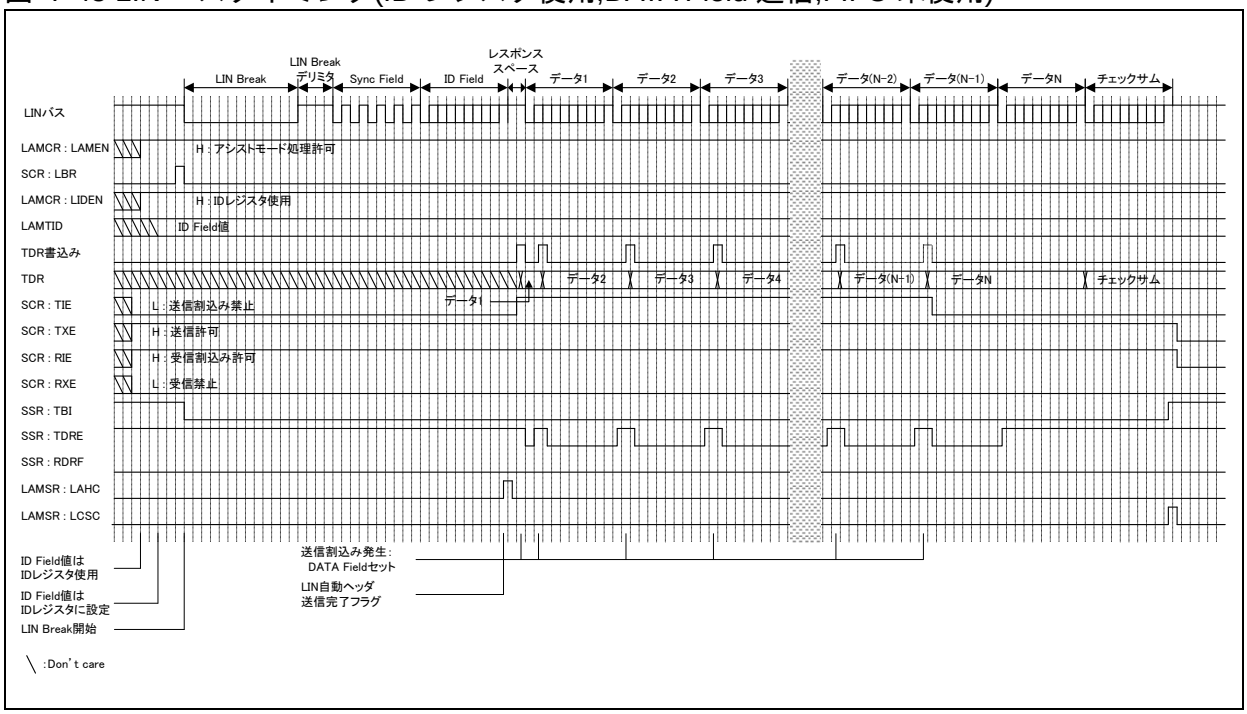


図 7-46 LIN バスタイミング(ID レジスタ未使用,DATA Field 送信,FIFO 未使用)

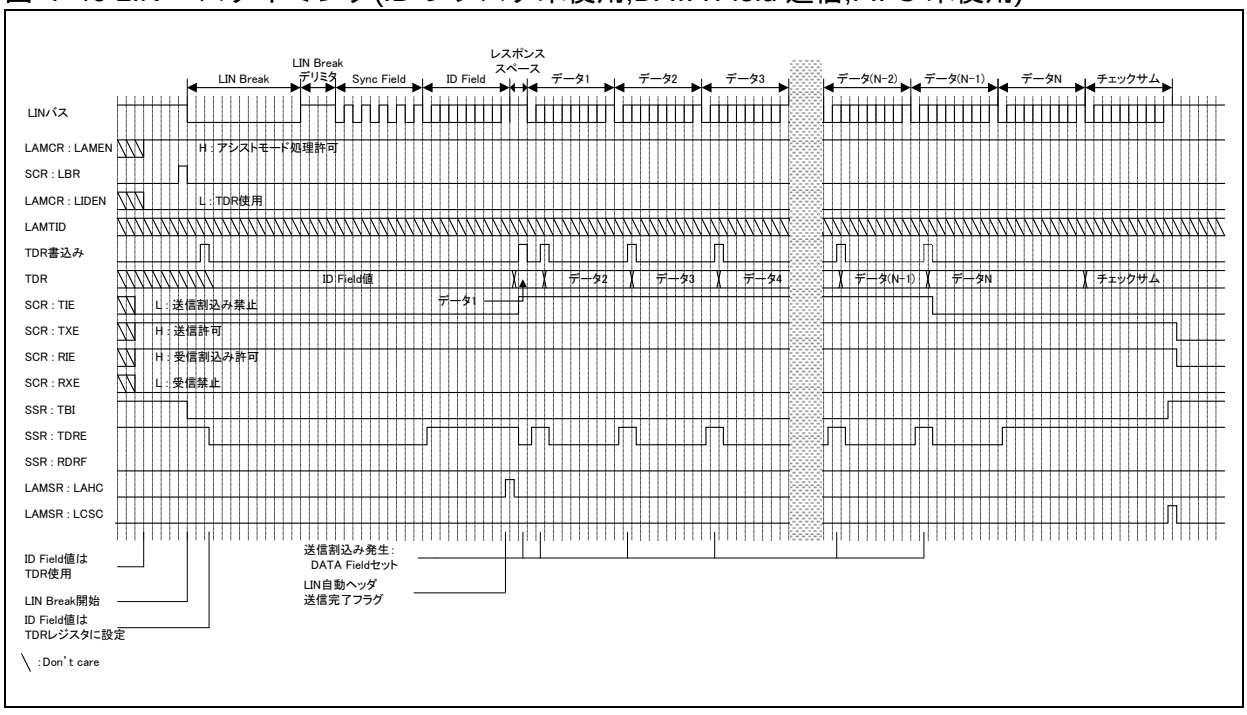


図 7-47 LIN バスタイミング(ID レジスタ使用,DATA Field 受信,FIFO 未使用)

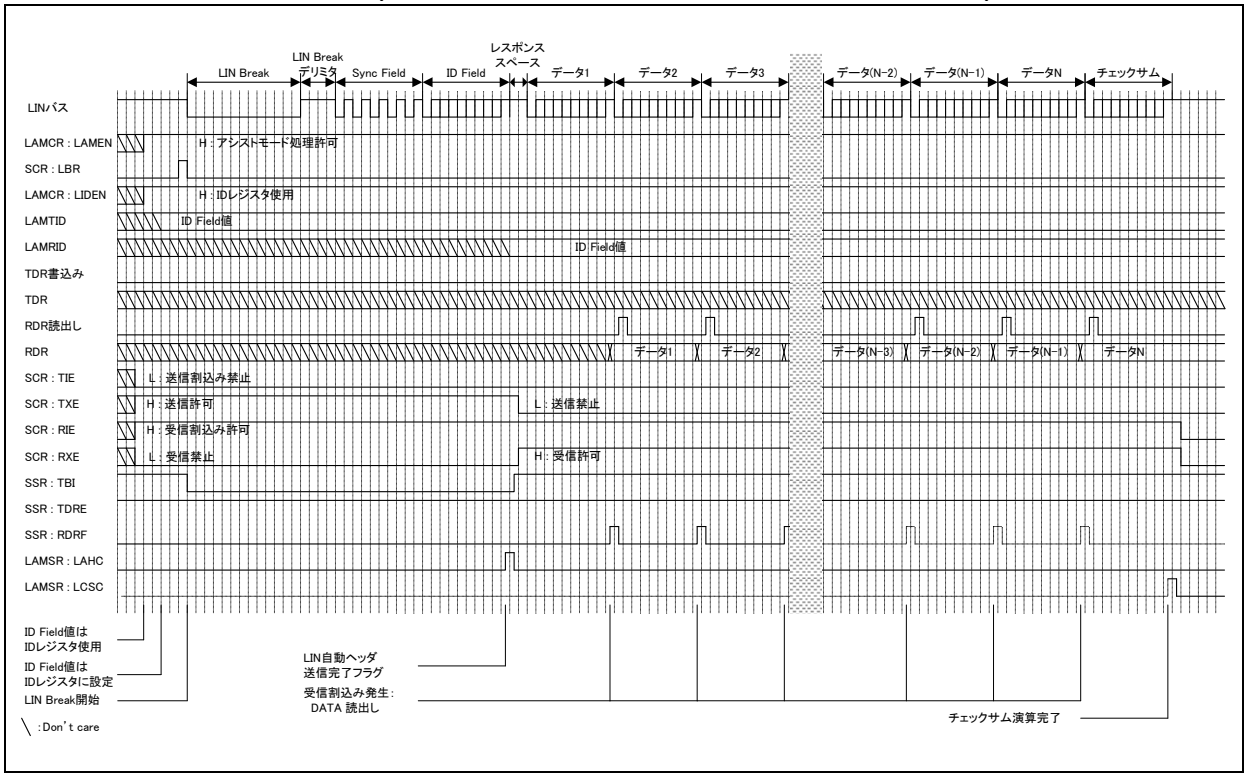


図 7-48 LIN バスタイミング(ID レジスタ未使用,DATA Field 受信,FIFO 未使用)

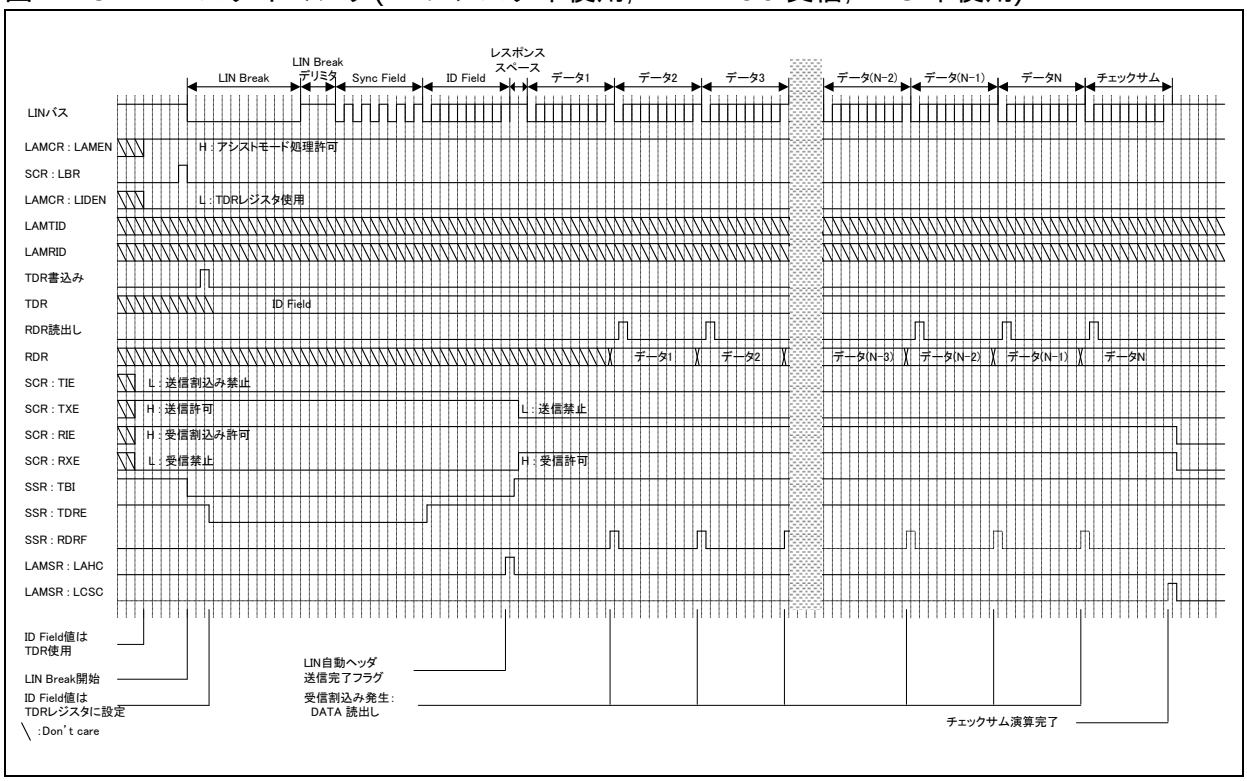


図 7-49 LIN バスタイミング(ID レジスタ使用,DATA Field 送信,FIFO 使用)

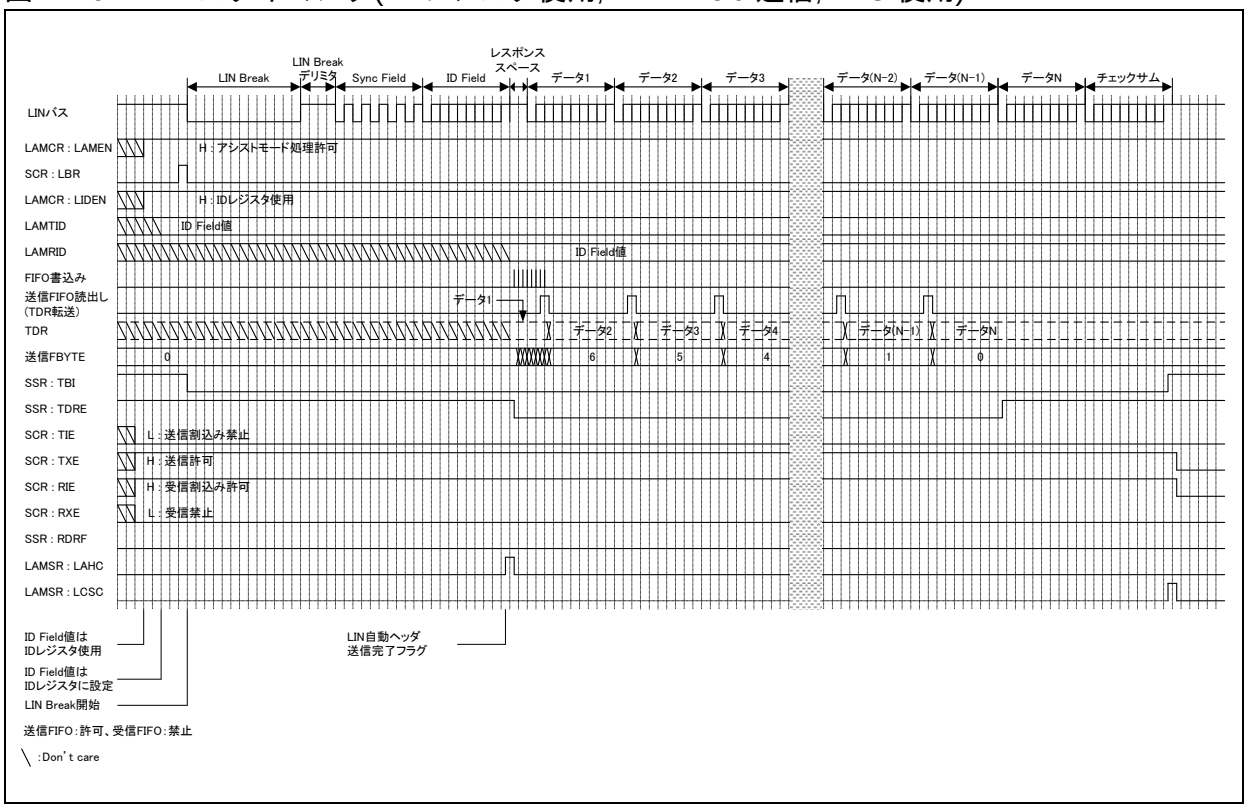


図 7-50 LIN バスタイミング(ID レジスタ未使用,DATA Field 送信,FIFO 使用)

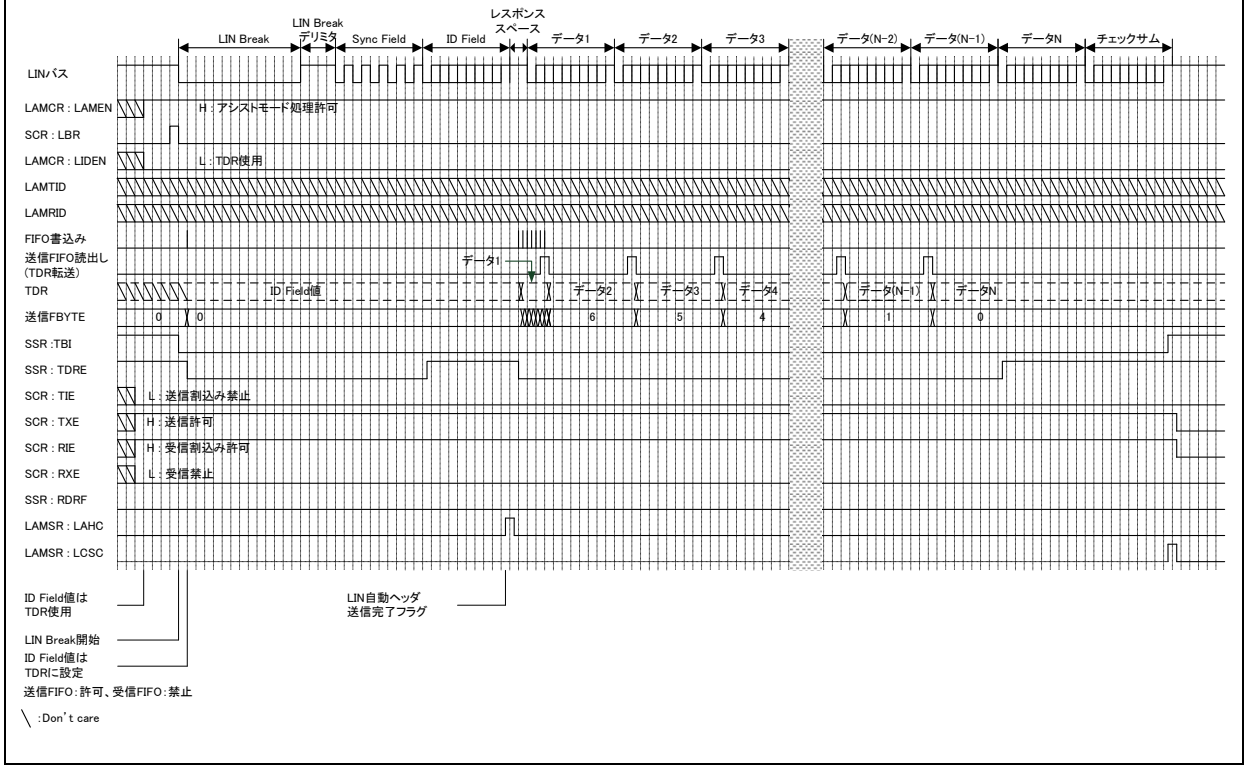


図 7-51 LIN バスタイミング(ID レジスタ使用,DATA Field 受信,FIFO 使用)

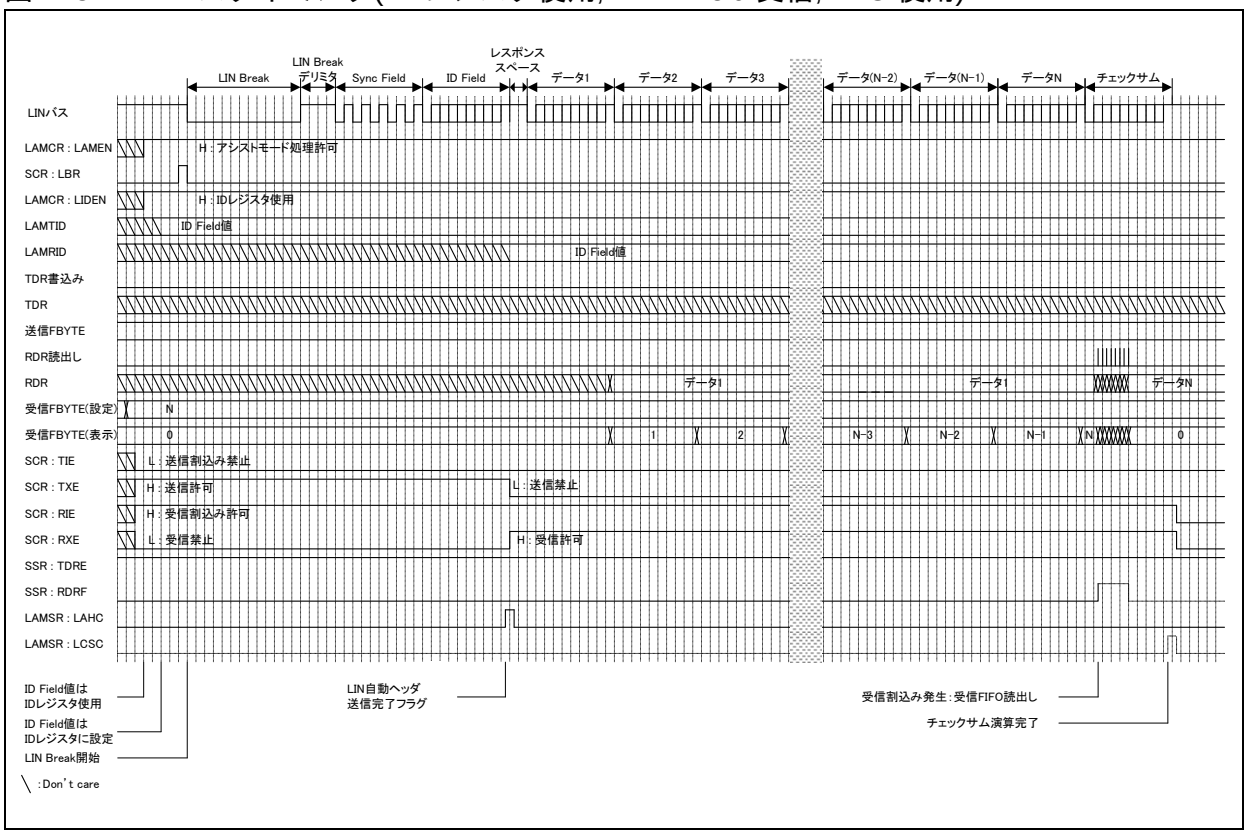
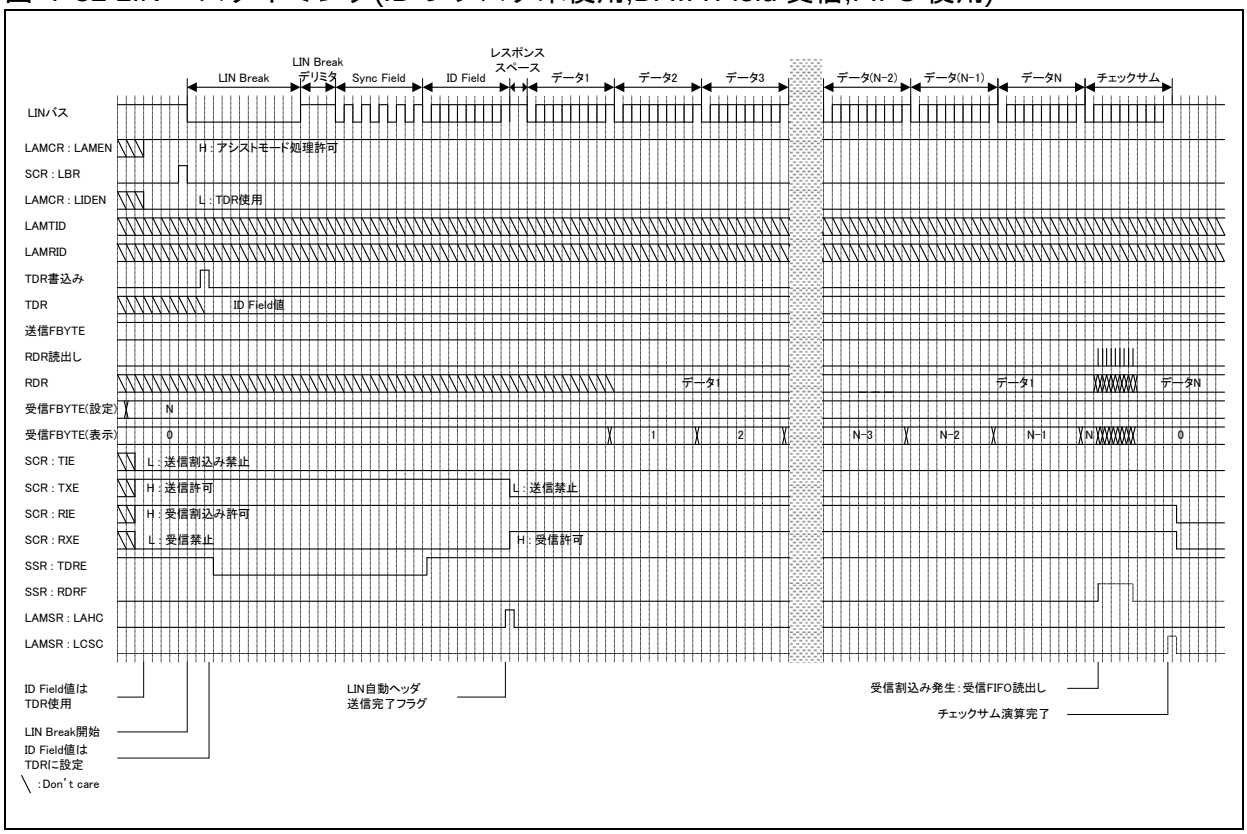


図 7-52 LIN バスタイミング(ID レジスタ未使用,DATA Field 受信,FIFO 使用)



■ スレーブ動作

● 自動ヘッダ受信設定

アシストモードにて自動ヘッダ受信を行うためには、以下の設定を行ってください。

・スレーブとして動作させるために、SCR:MS ビットを"1"に設定してください。
・LIN アシストモードとして動作させるためには、LAMCR:LAMEN ビットを"1"に設定してください。
・ID Field 値は、LAMRID(LIN アシストモード受信 ID レジスタ)または RDR(受信データレジスタ)に書き込まれます。ID Field の値を LAMRID に書き込む場合は、LAMCR:LIDEN ビットを"1"に設定してください。RDR に書き込む場合は、LAMCR:LIDEN ビットを"0"に設定してください。
・ボーレート調整を自動で行う場合は、SACSR:AUTE ビットを"1"に設定してください。
・受信許可ビット(SCR:RXE)を"1"(受信許可)に設定してください。

● LIN Break Field 受信～ID Field 受信

1. LIN Break Field が入力されると 11 ビット目で LIN Break Field が検出(SSR:LBD=1)されます。このとき、ESCR:LBIE ビットが"1"に設定されていると割込みを発生します。LIN アシストモードでは、ESCR:LBIE ビットを"0"に設定し、ステータス割込みを禁止にしてください。

以下の動作は、自動ボーレート調整を行う場合の動作です。

2. Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジスタ(STMR)を"0"に初期化します。
3. Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACSR:SFD)を"1"に設定します。このとき、SACSR:SFDE ビットが"1"に設定されているとステータス割込みを発生します。LIN アシストモードでは、ESCR:SFDE ビットを"0"に設定し、ステータス割込みを禁止にしてください。
4. Sync Field の 5 番目の立下りエッジの検出時、シリアルタイマレジスタ(STMR)の値によって以下のように動作します。

・シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)以上でシンクフィールド上限レジスタ(SFUR)以下の場合、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)の値が設定され、ボーレート設定フラグ(SACSR:BST)が"1"に設定されます。
・シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)未満か、シンクフィールド上限レジスタ(SFUR)を超えた場合、ボーレートジェネレータレジスタ(BGR)は変更されず、ボーレート設定フラグ(SACSR:BST)が"0"にリセットされます。

図 7-53 LIN Break Field～ID Field の受信(STMR が SFUR 以下,SFLR 以上の場合)

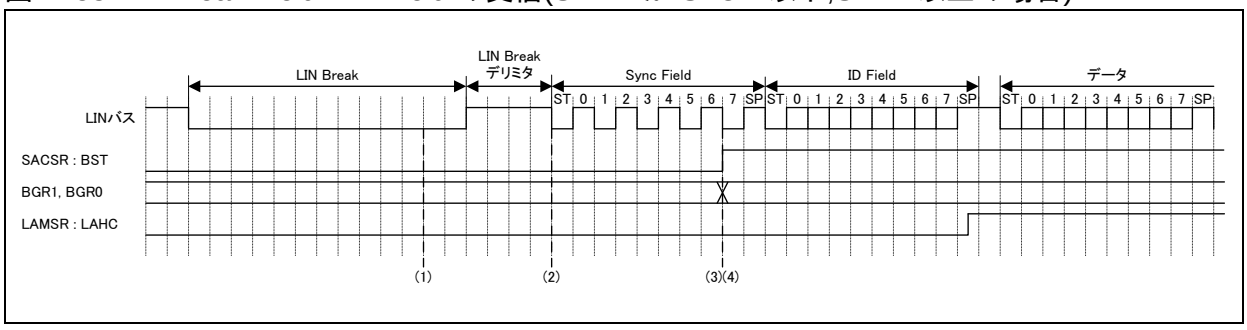
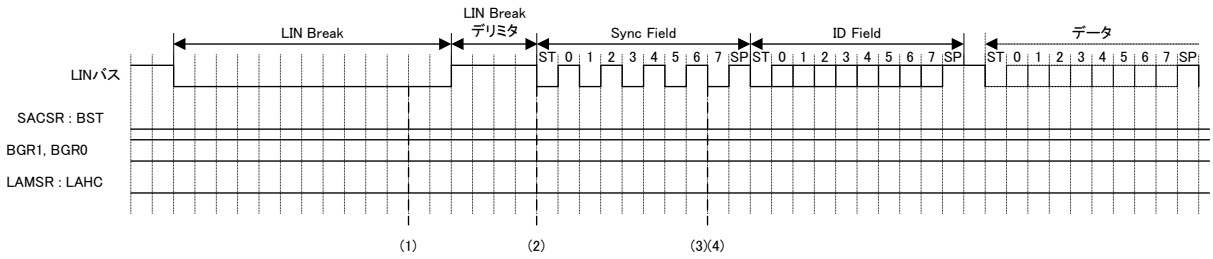


図 7-54 LIN Break Field～ID Field の受信(STMR が SFUR 以下,SFLR 以上でない場合)



5. LIN アシストモードでの自動ヘッダ受信が終了すると LAMSR:LAHC ビットが"1"に設定されます。ID Field で LIN パリティエラーが発生した場合も LAMSR:LAHC ビットが"1"になりますので、LAMSR:LAHC ビットが"1"に設定された場合は、エラーが検出されていないことを確認してください。
6. ID Field を正常に受信した場合、LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。

図 7-55 LIN Break Field～ID Field の受信(パリティエラーが発生した場合)

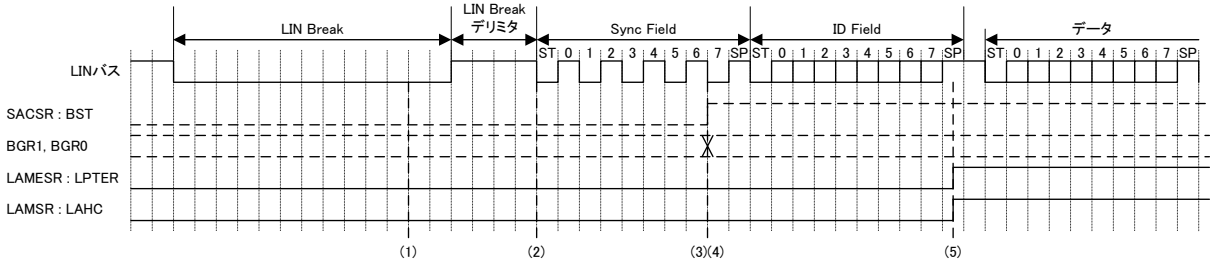
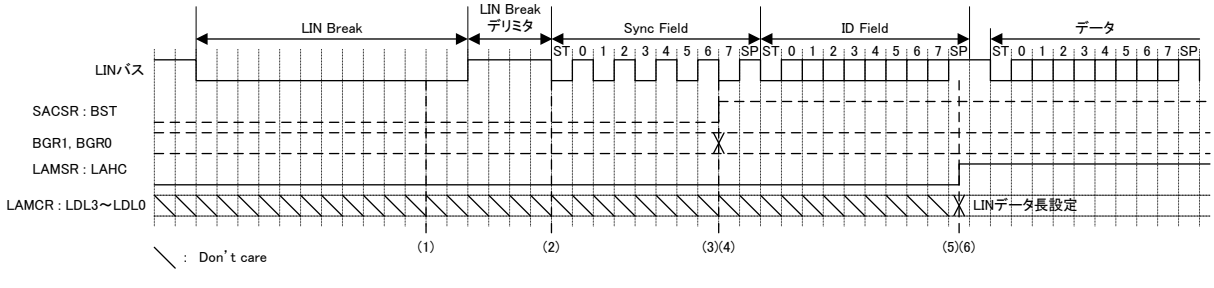


図 7-56 LIN Break Field～ID Field の受信(LIN データ長を設定した場合)



＜注意事項＞

- アシストモードのマスタのヘッダ受信期間中は、受信許可ビット(SCR:RXE)および送信許可ビット(SCR:TXE)の設定は無視されます。
- ただし、LIN Break Field を受信する際に、受信許可設定(SCR:RXE=1)されていると、LIN Break を検出する前にストップビットが"L"レベルと認識しフレーミングエラーを検出しますので、ヘッダ送信時は受信禁止設定(SCR:RXE=0)としてください。
- アシストモード動作時の Sync Field 値は、RDR レジスタに格納できません。

● ID Field 受信～DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

- ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき送信割込み許可(SCR:TIE=1)にしてください。
- 受信した ID Field の値から LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。
- LIN データ長設定ビット(LAMCR:LDL2 ～LDL0)を基にチェックサム演算を行い、最終データ送信後にチェックサムを自動で送信します。
- チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)にて演算方法の選択ができます。
- チェックサムの演算が完了すると、チェックサム演算完了フラグ(LAMCR:LCSC)をセットします。このとき、チェックサム演算完了割込み許可ビットがセット(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。
- レスポンス送信完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)します。

＜注意事項＞

- アシストモード動作時のレスポンス送信データ(Data Field, チェックサム)は、RDR レジスタに格納できません。
- レスポンス送信において、LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定した場合、チェックサムを自動演算し送信するために、TDR レジスタにダミー書込み(書込み値は don't care)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

図 7-57 ID Field 受信～DATA Field の送信(ID レジスタを使用する場合)

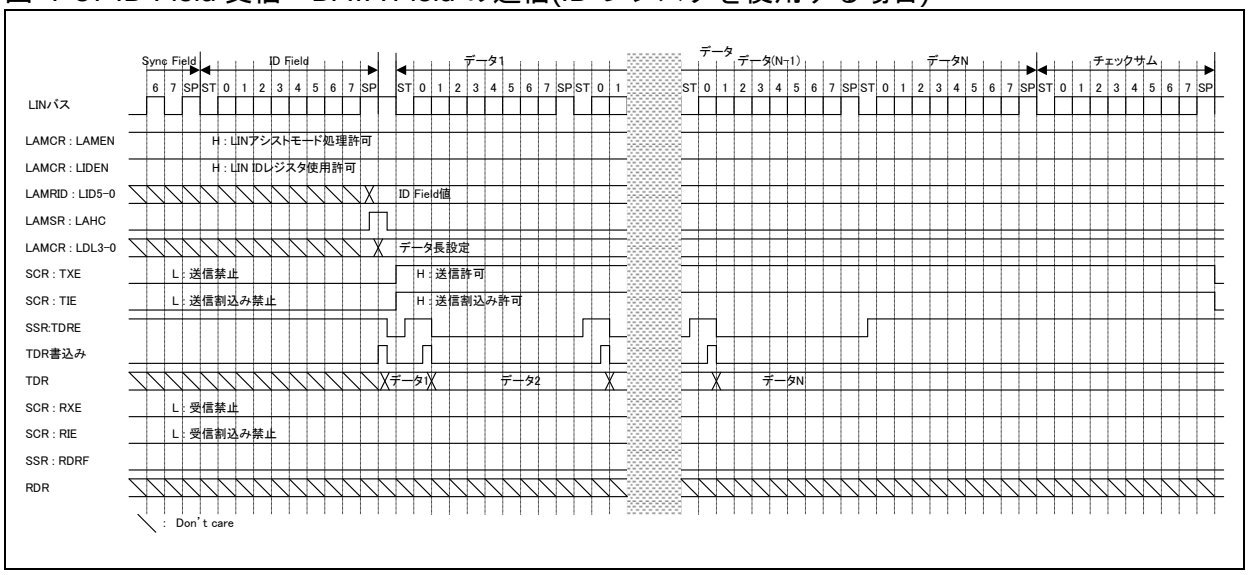
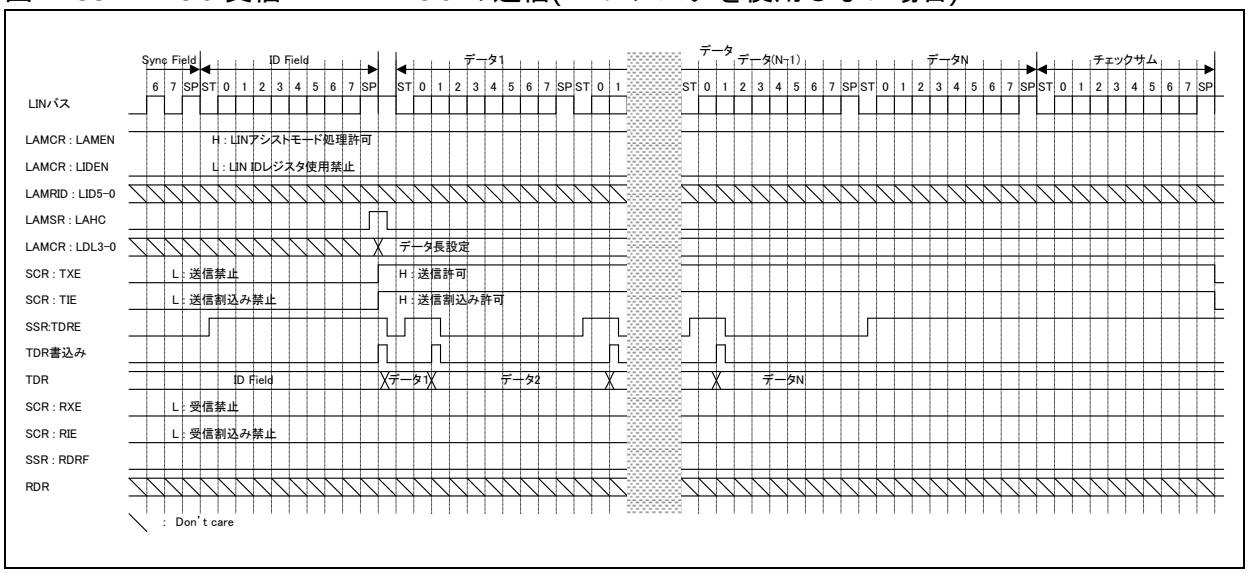


図 7-58 ID Field 受信～DATA Field の送信(ID レジスタを使用しない場合)



(DATA Field を受信する場合)

- 受信した ID Field の値から LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。
- 受信許可設定(SCR:RXE=1)してください。
- DATA Field 受信ごとに、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SCR:RDIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
- LIN データ長設定ビット(LAMCR:LDL3～LDL0)を基にチェックサム演算を行い、受信したチェックサムの正常性を自動で確認します。チェックサムの演算結果、LIN チェックサムエラーフラグビット(LAMESR:LCSER)で確認できます。LCSER が"1"の場合、チェックサムエラーが検出されてます。このとき、LIN チェックサムエラー割込み許可ビット(LAMIER:LCSERIE)が"1"の場合、割込みが発生します。
- チェックサム演算が完了した場合、チェックサム演算完了フラグビット(LAMSR:LCSC)が"1"になります。このとき、LIN チェックサム演算完了割込み許可ビット(LAMIER:LCSCIE)が"1"の場合、割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)します。

図 7-59 ID Field 受信～DATA Field の受信(ID レジスタを使用する場合)

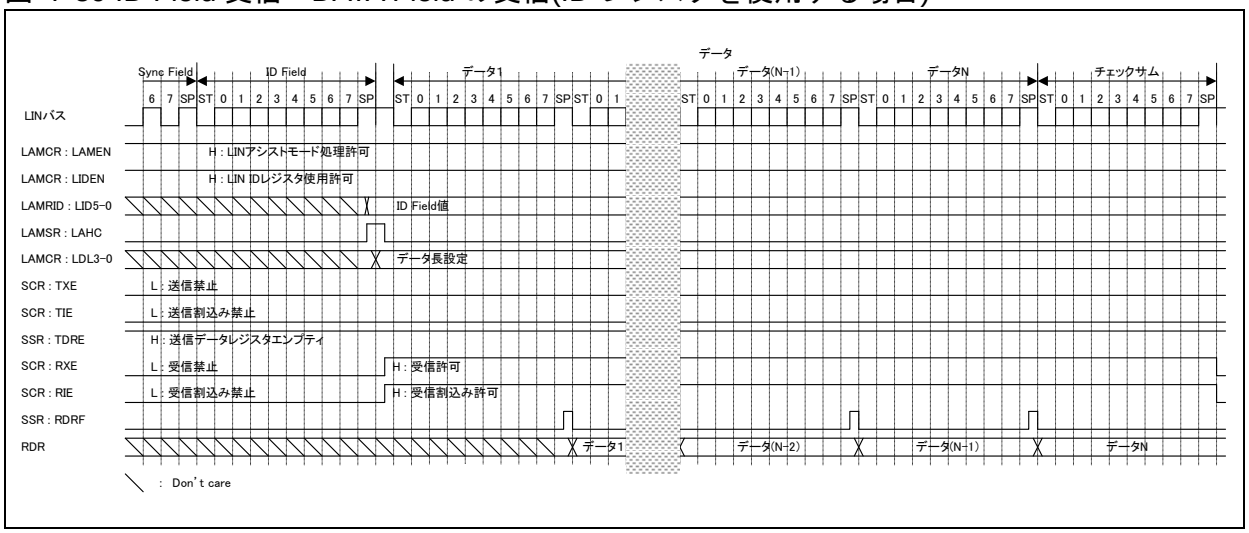
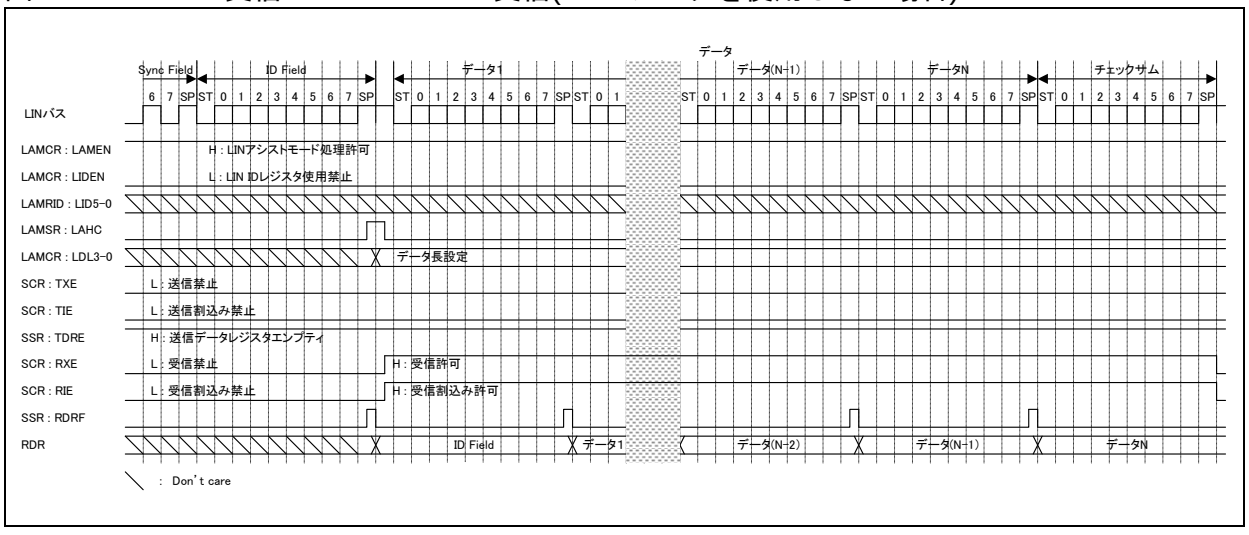


図 7-60 ID Field 受信～DATA Field の受信(ID レジスタを使用しない場合)



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵しています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど) ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。
- アシストモード動作時のレスポンス受信のチェックサム値は、RDR レジスタに格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - ・標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - ・拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

● アシストモード処理中の LIN Break Field 受信

アシストモード処理中(SSR:RDRF=1 or SCR:TXE=1 or SSR:TBI=0)の場合、再送された LIN Break Field の LIN フレームのために、LIN Break Field 検出(SSR:LBD=1)後以下の手順が必要になります。

- ・まず、受信禁止設定(SCR:RXE=0)および送信禁止設定(SCR:TXE=0)します。
- ・再受信前の受信データを破棄します。
  - ・受信 FIFO を使用している場合は、受信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、受信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  - ・次に受信データレジスタをクリアするために RDR レジスタを読出します。
- ・再受信前の送信データを破棄します。
  - ・送信 FIFO を使用している場合は、送信 FIFO 動作禁止(FCR0:FE1=0 FCR0:FE2=0)した後、送信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  - ・次に送信データレジスタクリアを実行(LAMCR:LTDRCL=1)し、送信バスアイドル状態にします。
- ・LIN アシストモードでの自動ヘッダ受信が終了すると LAMSR:LAHC ビットが"1"に設定されます。また、ID Field で LIN パリティエラーおよびフレーミングエラーが検出されていないことを確認してください。
- ・ID Field を正常に受信した場合、LIN データ長設定ビット(LAMCR:LDL3-0)を設定してください。
- ・以降処理は、前項「ID Field 受信～ DATA Field 送受信」と同等です。

＜注意事項＞

- LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
- アシストモード(LAMCR:LAMEN)において LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。

● スレーブ動作タイミングチャート

図 7-61 LIN バスタイミング
(DATA Field 送信時:FIFO 未使用時、AUTE=1、ID レジスタ使用)

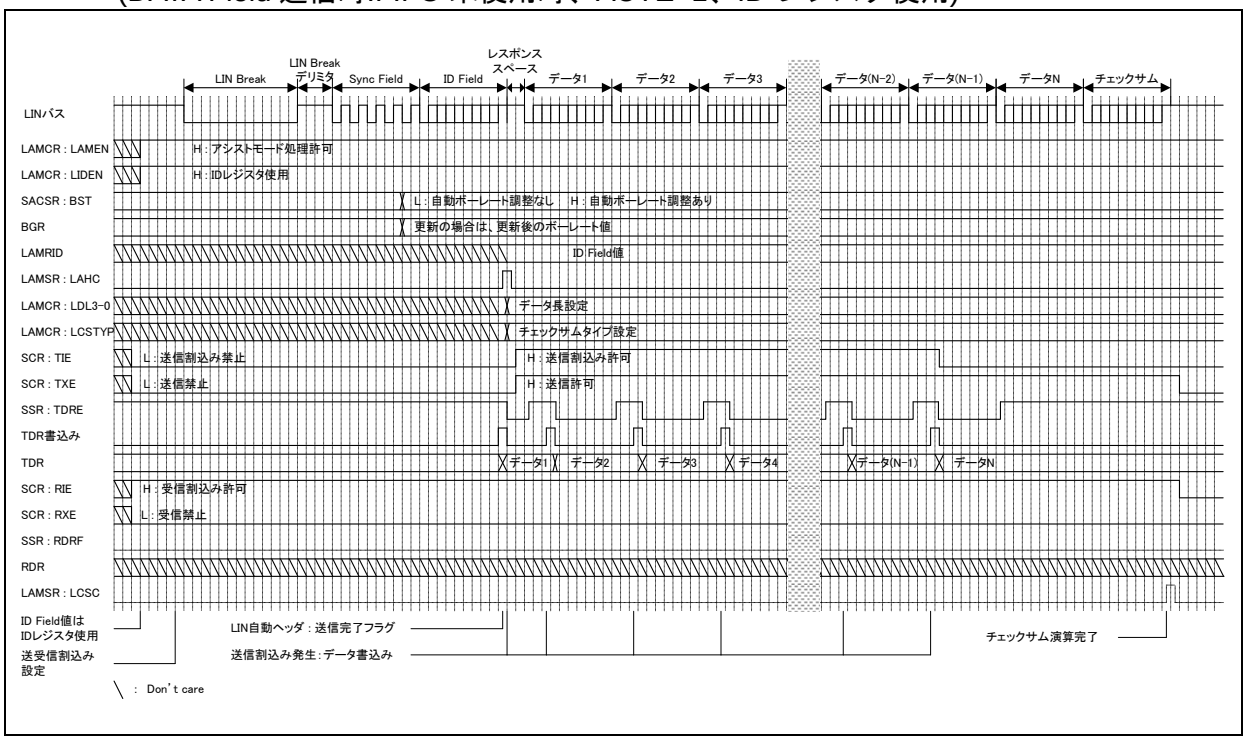


図 7-62 LIN バスタイミング
(DATA Field 送信時:FIFO 未使用時、AUTE=1、ID レジスタ未使用)

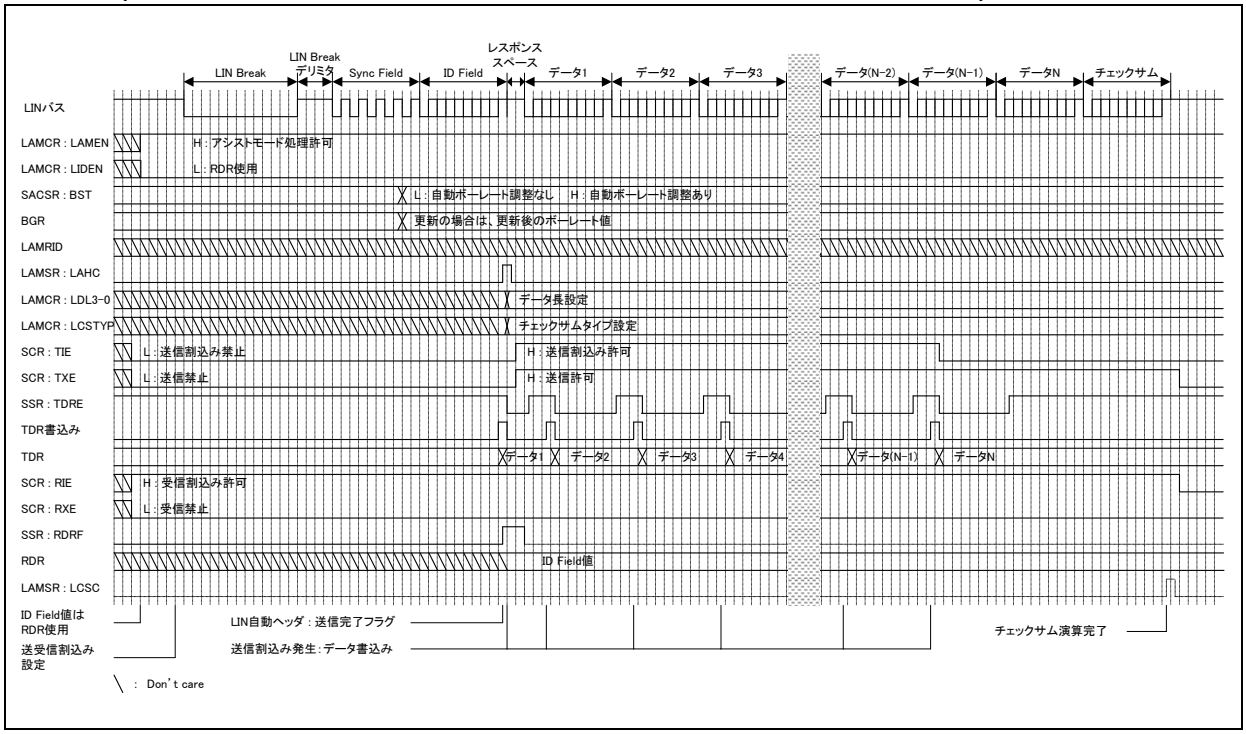


図 7-63 LIN バスタイミング
(DATA Field 受信時:FIFO 未使用時、AUTE=1、ID レジスタ使用)

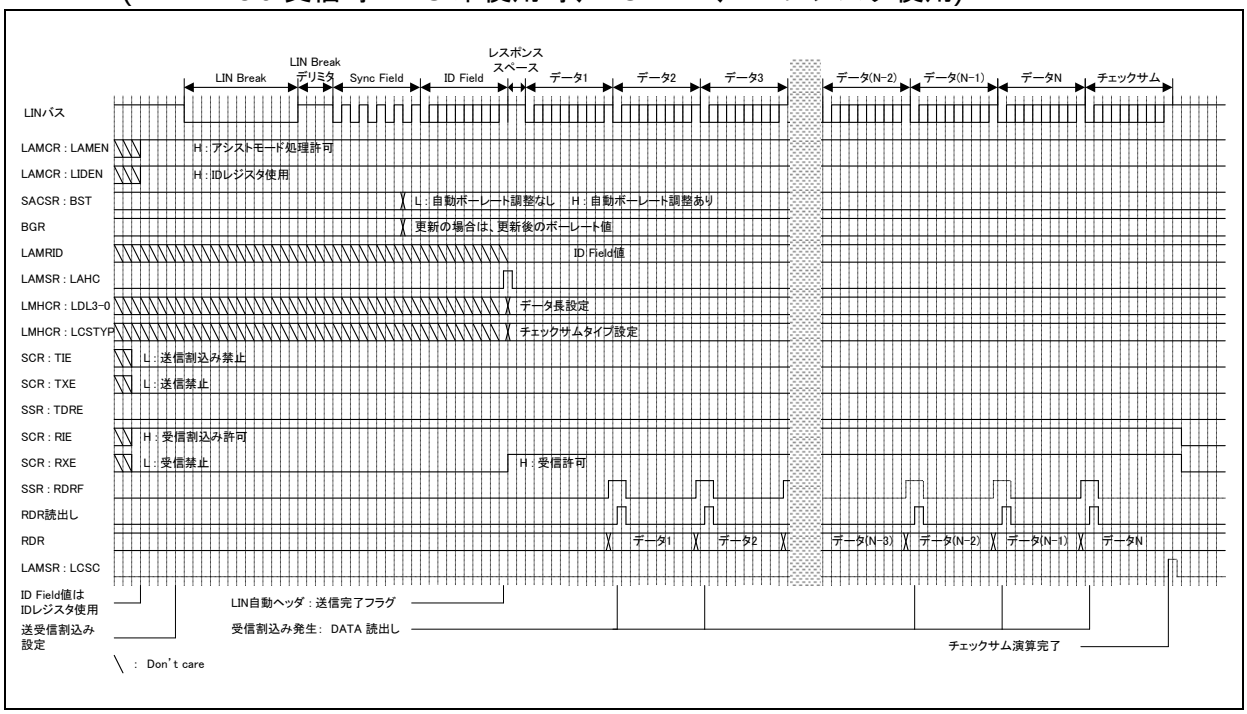


図 7-64 LIN バスタイミング
(DATA Field 受信時:FIFO 未使用時、AUTE=1、ID レジスタ未使用)

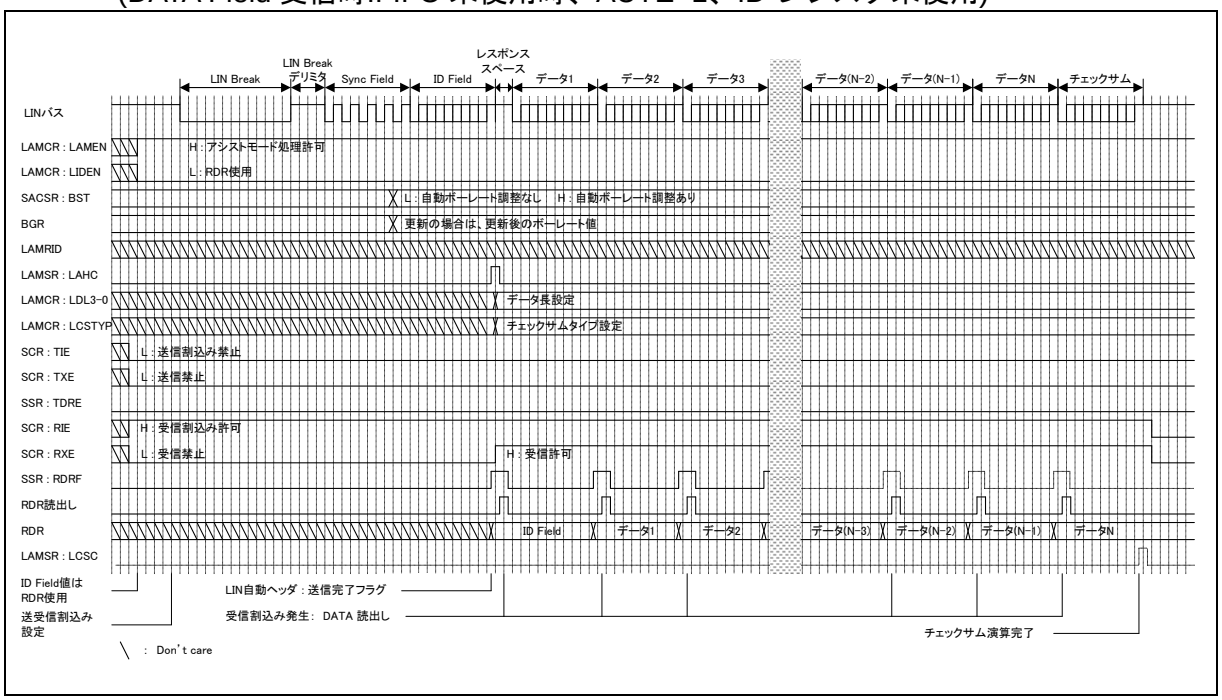


図 7-65 LIN バスタイミング
(DATA Field 送信時:FIFO 使用時、AUTE=1、ID レジスタ使用)

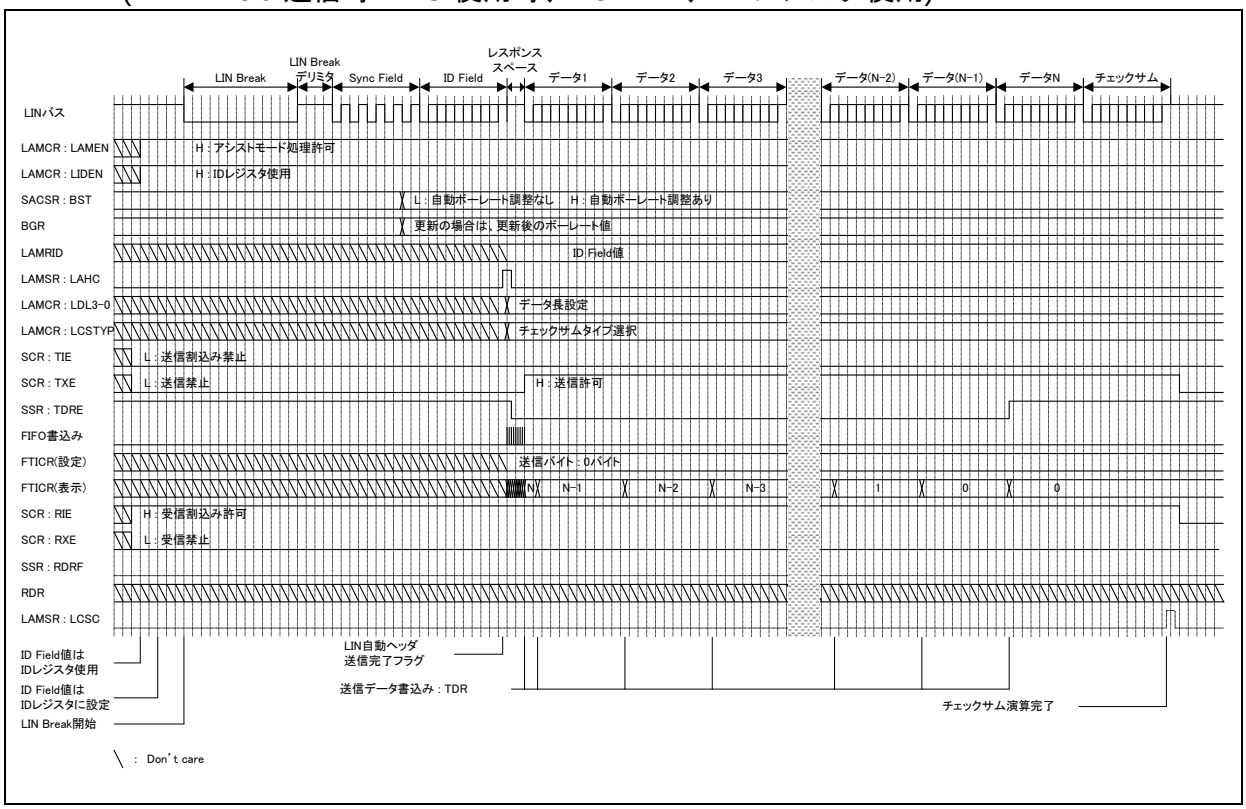


図 7-66 LIN バスタイミング
(DATA Field 送信時:FIFO 使用時、AUTE=1、ID レジスタ未使用)

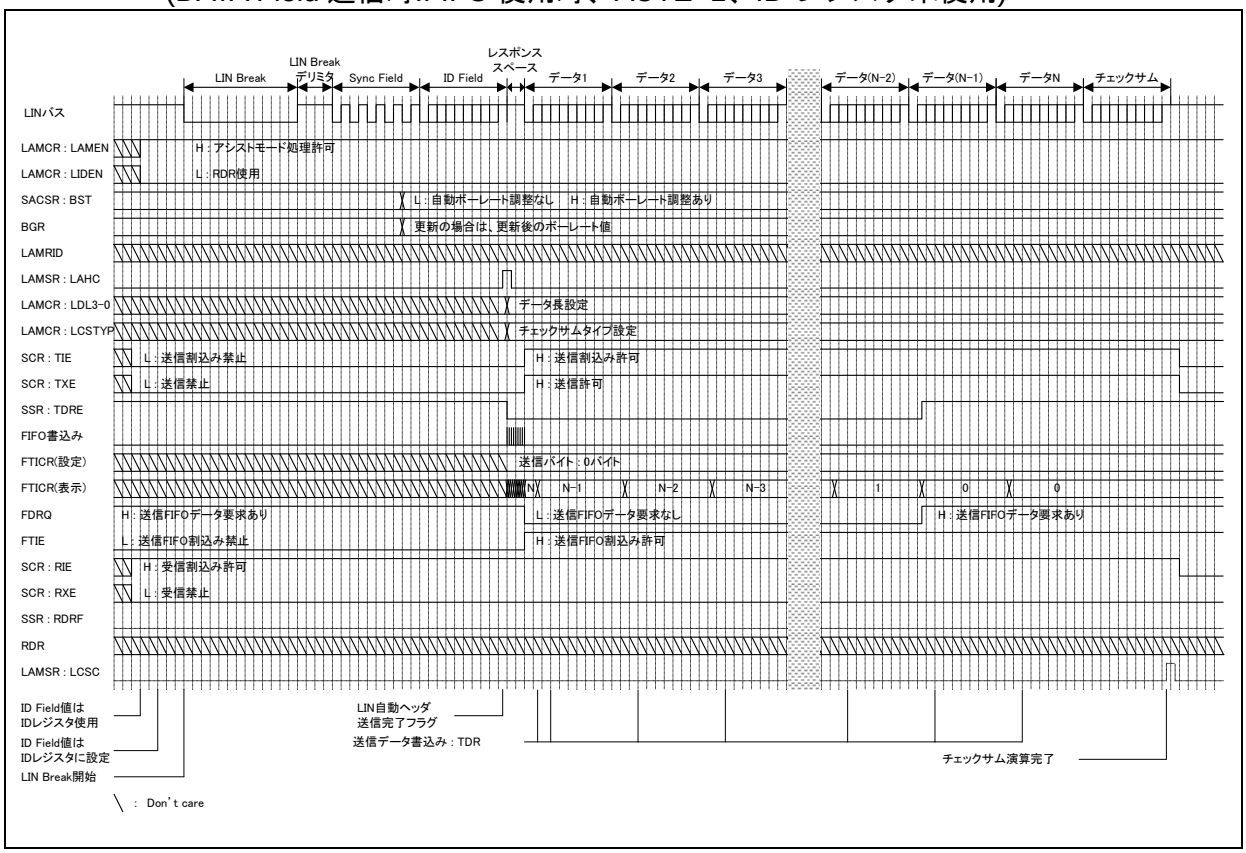


図 7-67 LIN バスタイミング
(DATA Field 受信時:FIFO 使用時、AUTE=1、ID レジスタ使用)

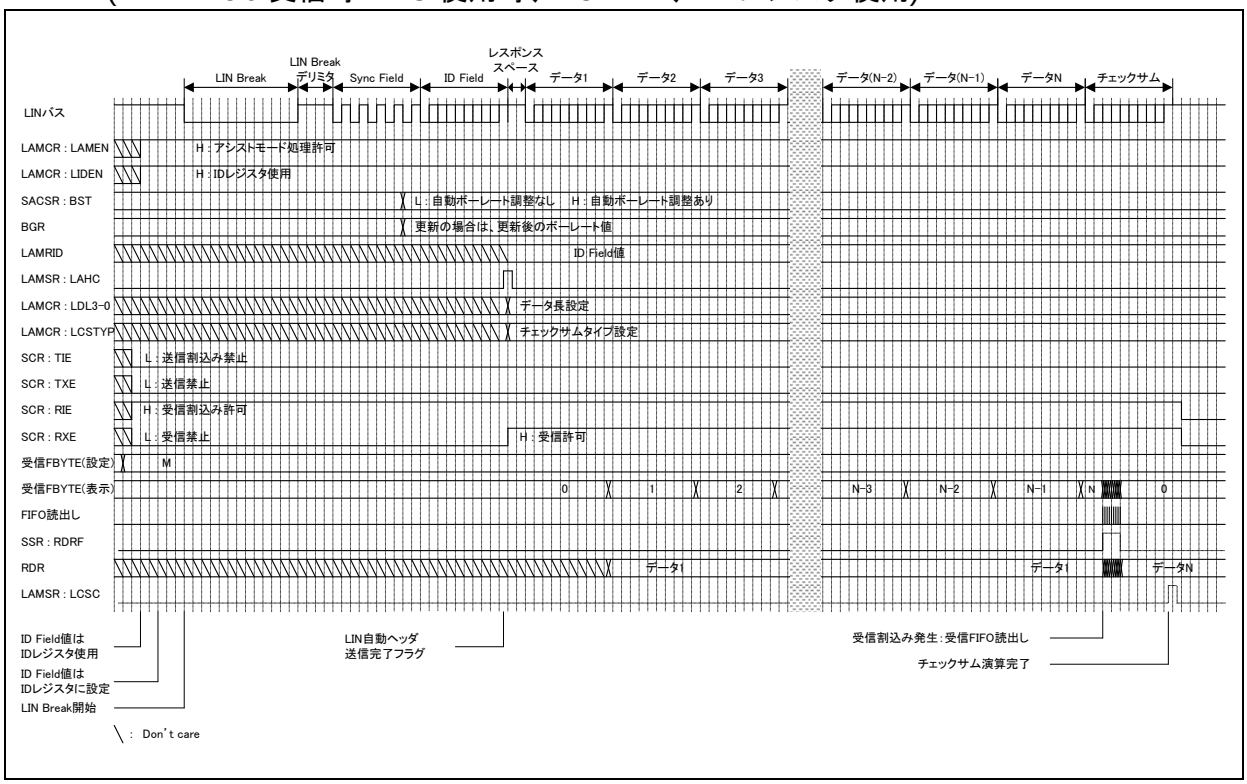
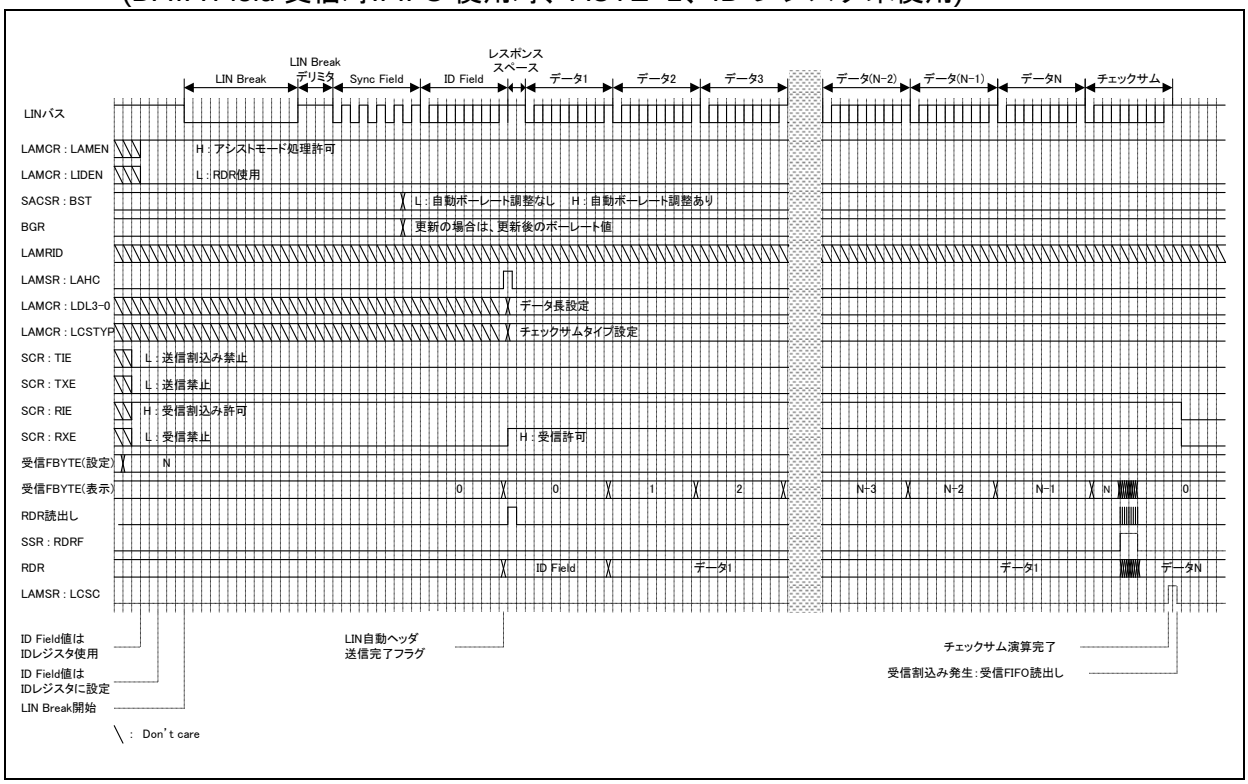


図 7-68 LIN バスタイミング
(DATA Field 受信時:FIFO 使用時、AUTE=1、ID レジスタ未使用)



7.5.3. LIN ボーレート選択・設定

LIN ボーレート選択・設定について示します。

LIN では、

・専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート
・専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

を使用できます。設定方法は UART 時(モード 0/1)と同一です。「5.2.12 UART ボーレート選択・設定」を参照してください。

7.6. 設定手順とプログラムフロー

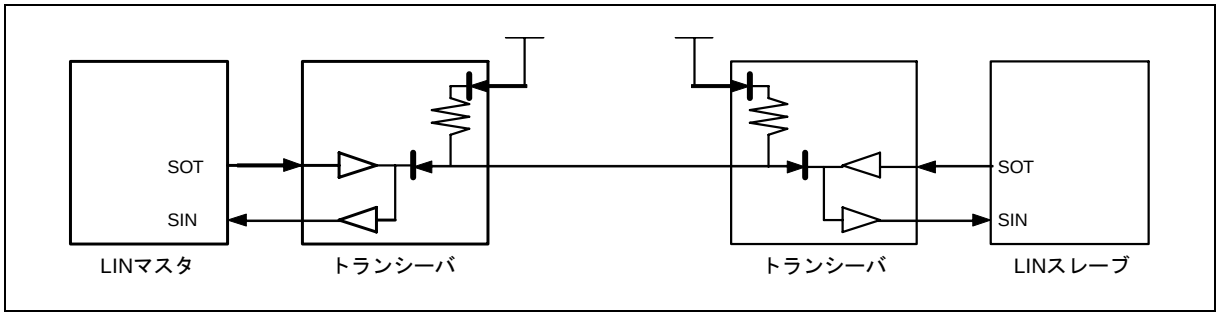
設定手順とプログラムフローについて示します。

動作モード 3(LIN 通信モード)では、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

■ CPU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを次に示します。マルチファンクションシリアルインタフェースは、LIN マスタまたは、LIN スレーブとして動作できます。

図 7-69 LIN バスシステムの通信例



7.6.1. マニュアルモード

マニュアルモードについて示します。

マニュアルモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

■ フローチャート例

● マスタ動作

図 7-70 LIN 通信マスタモードフローチャート例(FIFO 未使用)

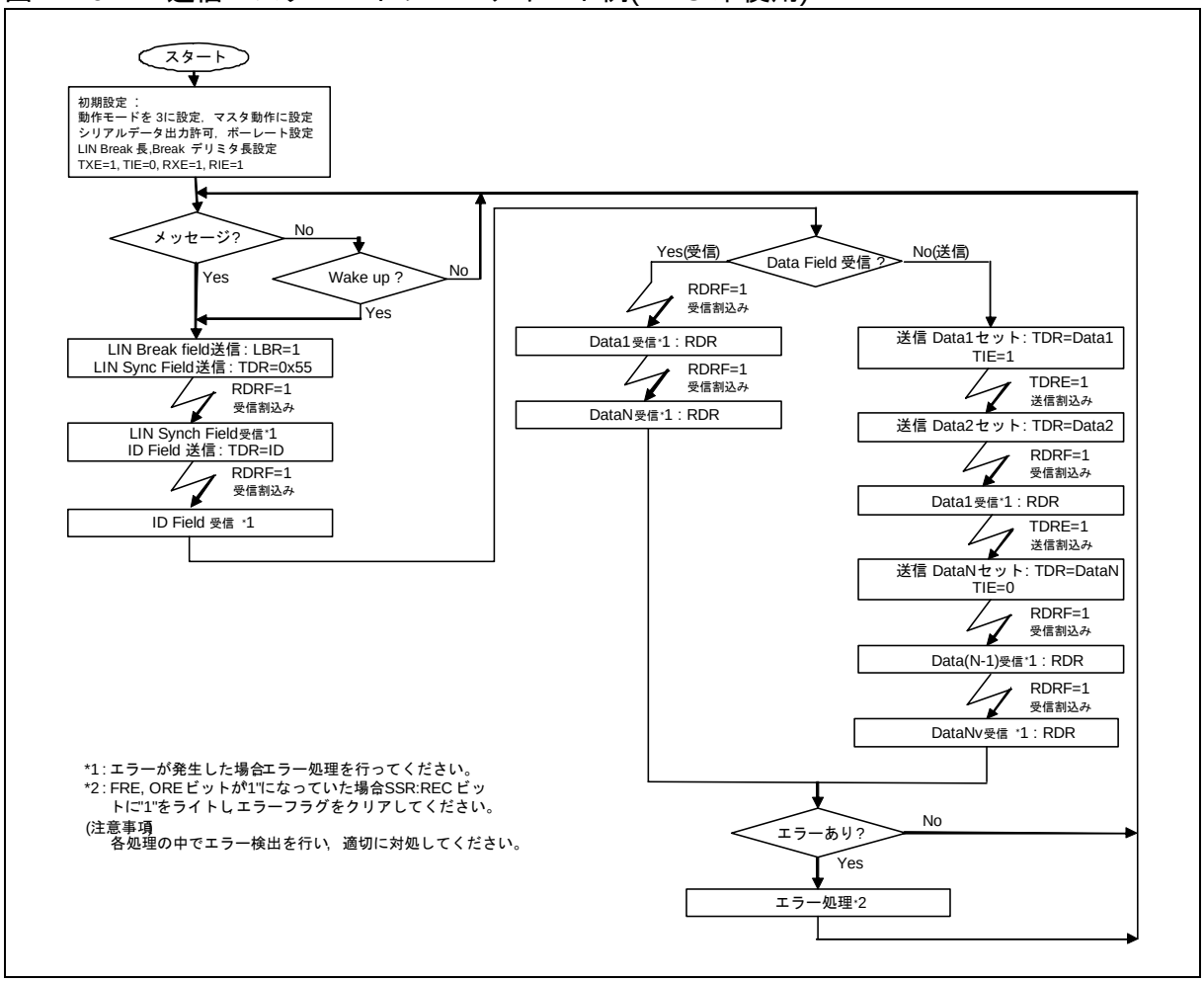
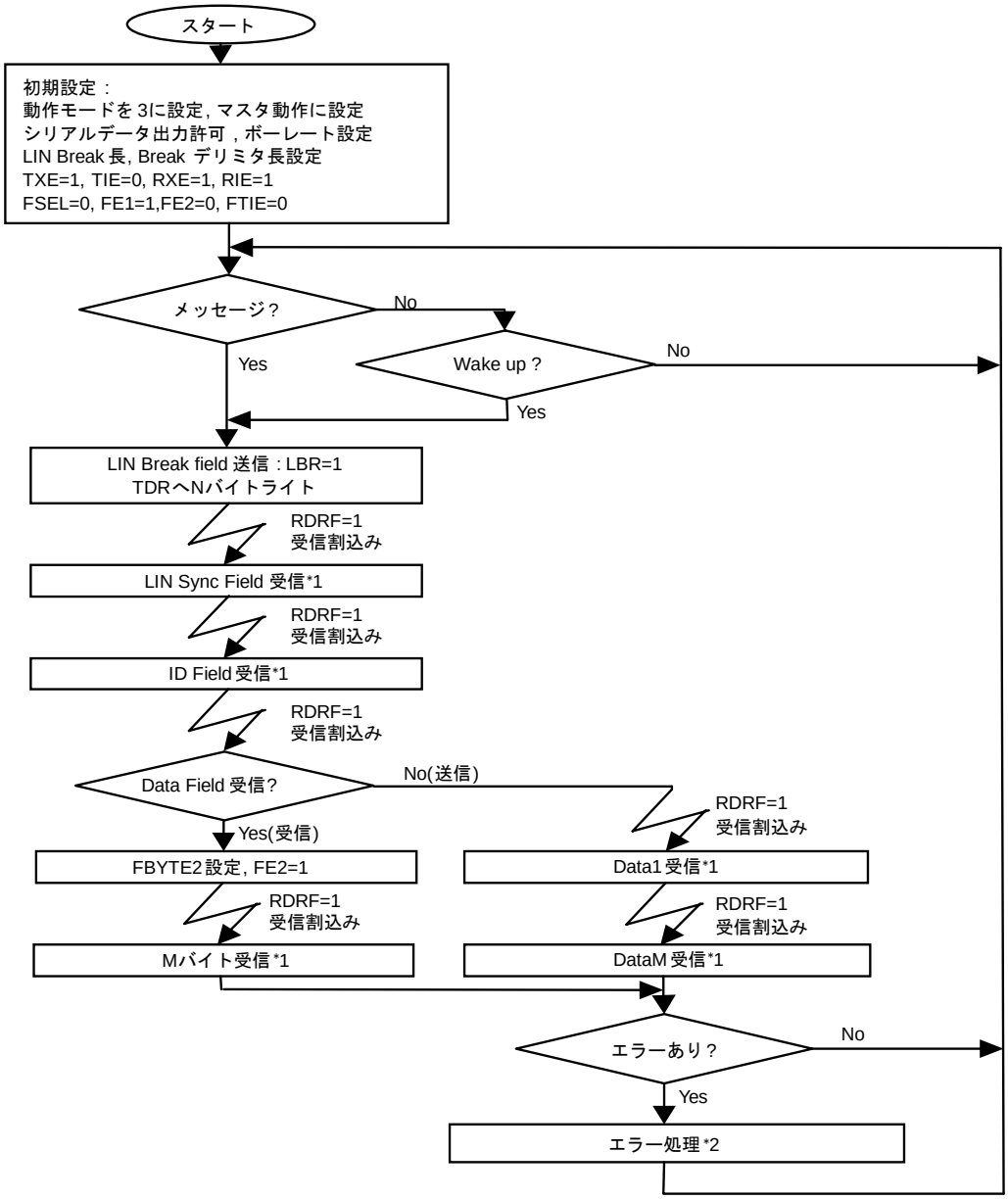


図 7-71 LIN 通信マスタモードフローチャート例(FIFO 使用)



*1 : エラーが発生した場合 , エラー処理を行ってください。

*2 : FRE, ORE ビットが"1"になっていた場合 , SSR:REC ビットに"1"を
ライトし , エラーフラグをクリアしてください。

(注意事項)

各処理の中でエラー検出を行い , 適切に対処してください。

● スレーブ動作

図 7-72 LIN 通信スレーブモードフローチャート例
(FIFO 未使用, 自動ボーレート調整許可(SACSR:AUTE=1))

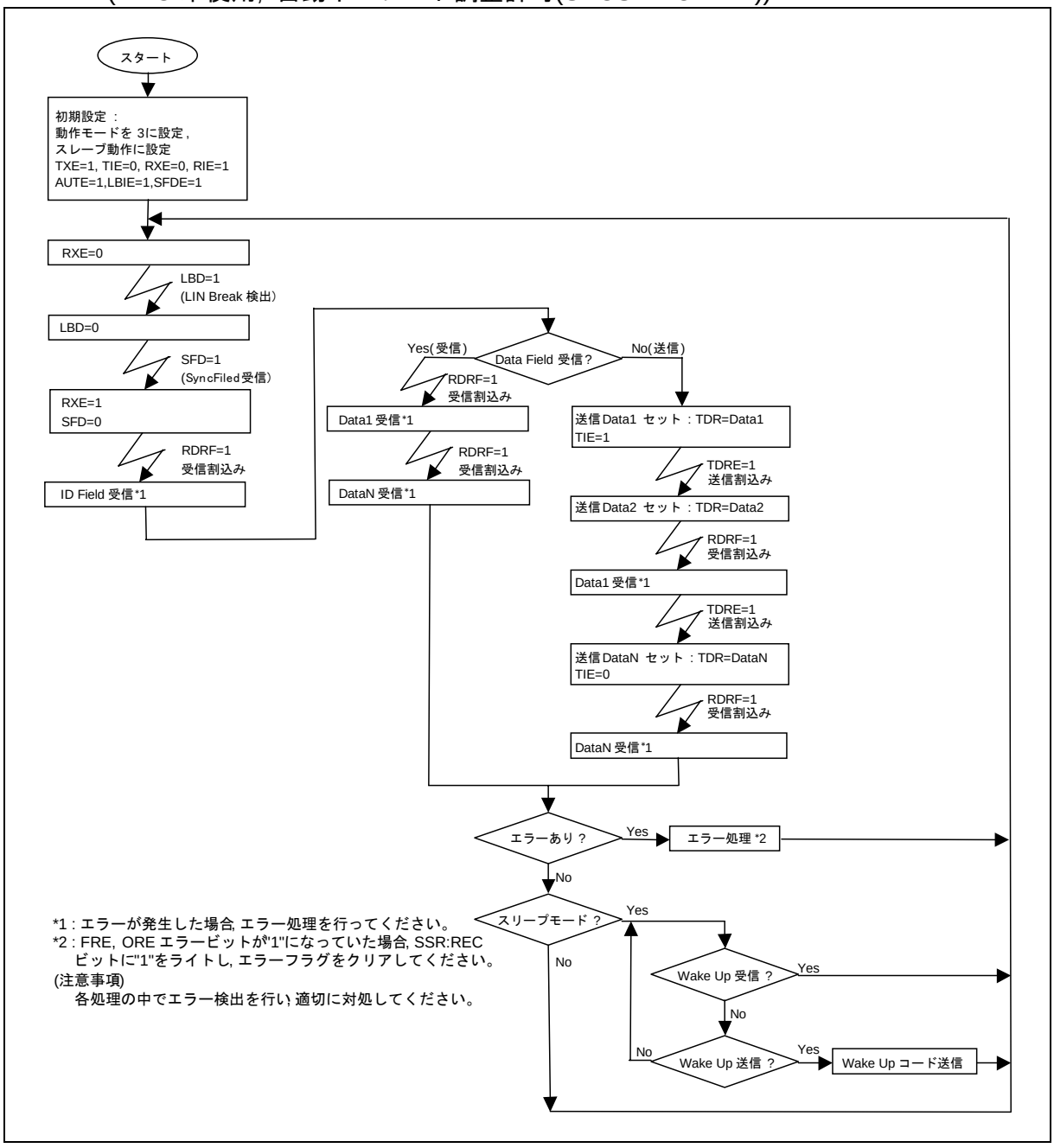
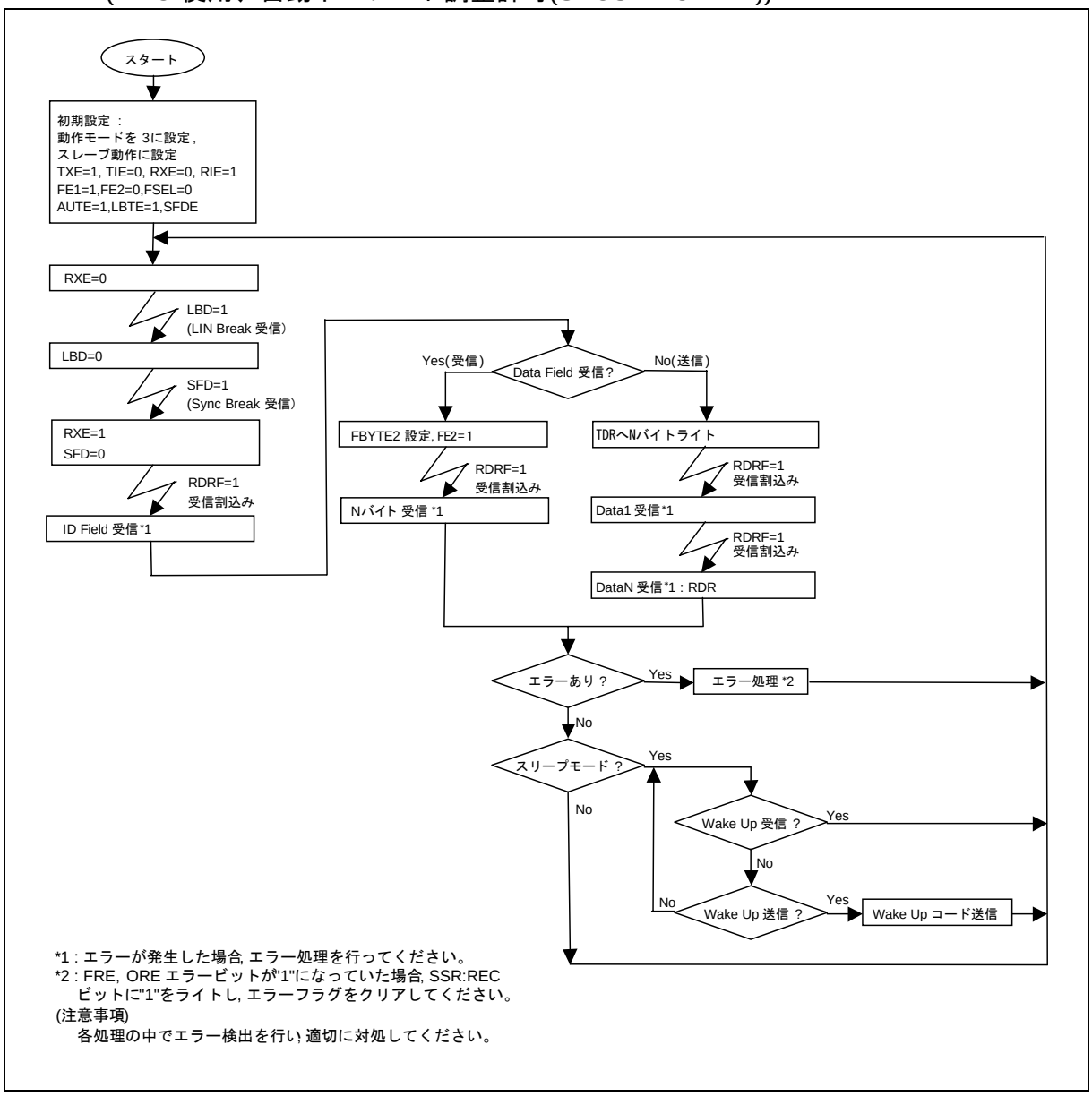


図 7-73 LIN 通信スレーブモードフローチャート例
(FIFO 使用、自動ボーレート調整許可(SACSR:AUTE=1))



*1 : エラーが発生した場合, エラー処理を行ってください。
*2 : FRE, ORE エラービットが"1"になっていた場合, SSR:REC ビットに"1"をライトし, エラーフラグをクリアしてください。
(注意事項)
各処理の中でエラー検出を行い適切に対処してください。

7.6.2. アシストモード

アシストモードについて示します。

アシストモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

■ フローチャート例

● マスタ動作

図 7-74 LIN 通信マスタモードフローチャート例 (アシストモード/FIFO 未使用)

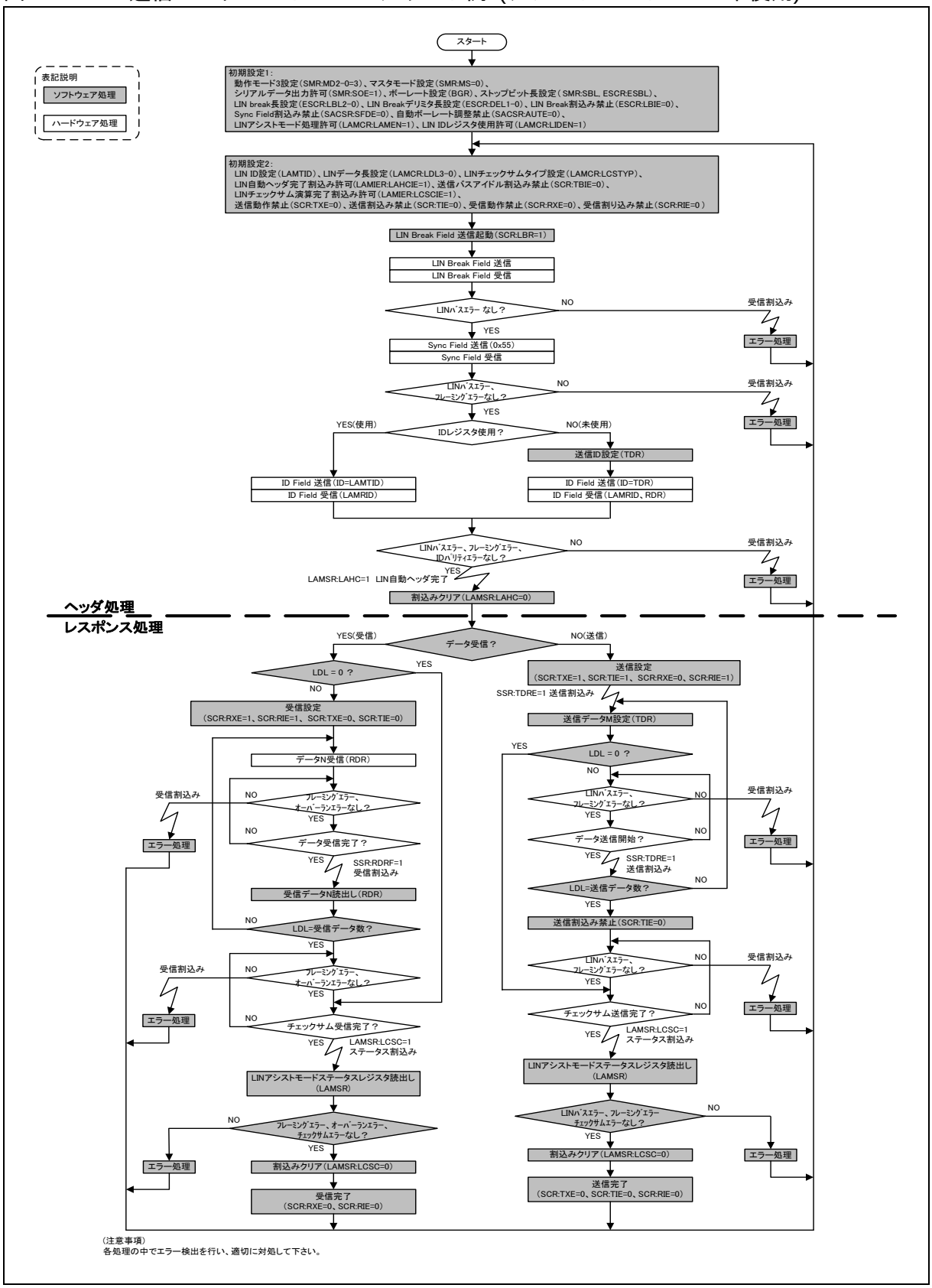
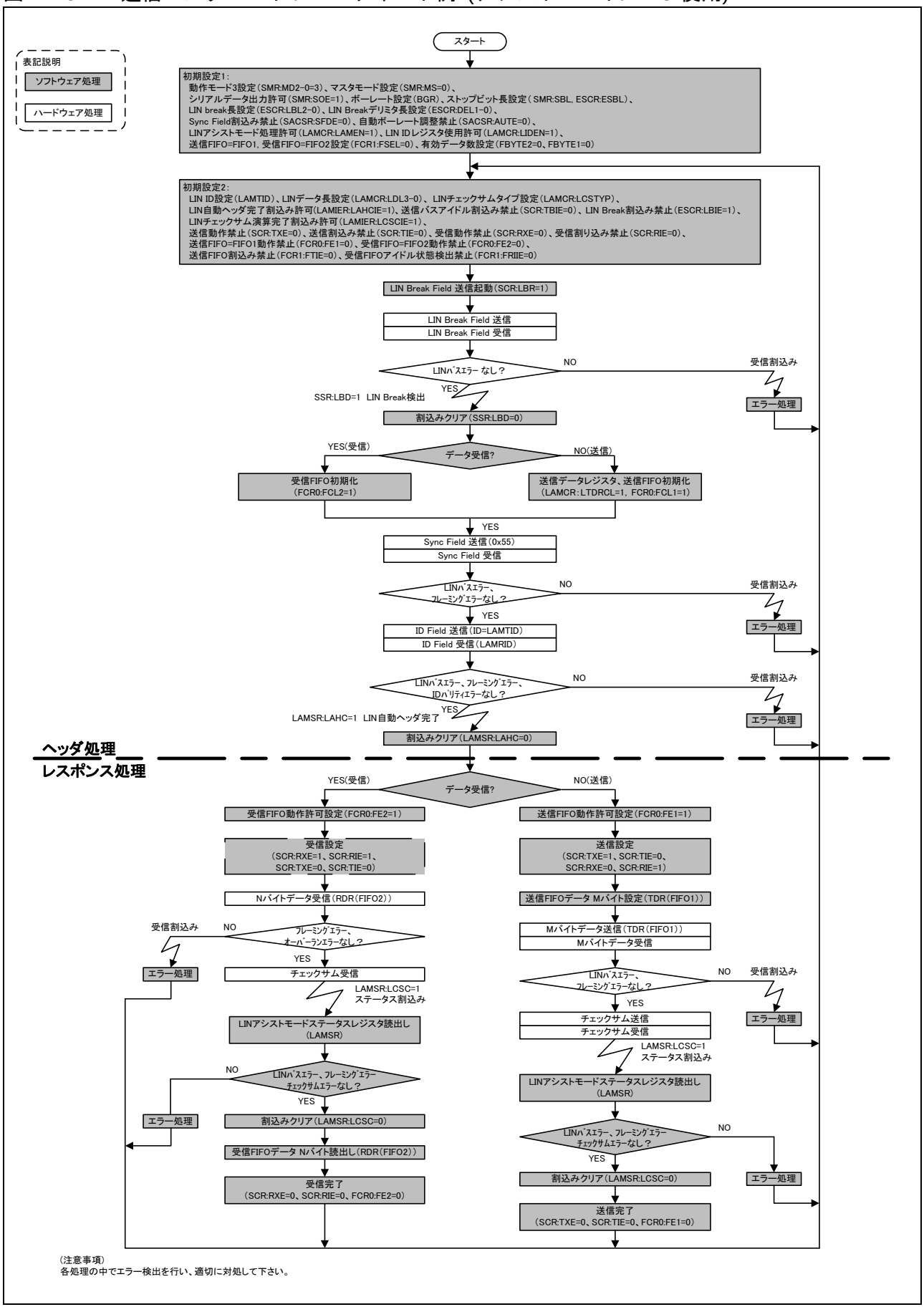


図 7-75 LIN 通信マスタモードフローチャート例 (アシストモード/FIFO 使用)



(注意事項)
各処理の中でエラー検出を行い、適切に対処して下さい。

● スレーブ動作

図 7-76 LIN 通信スレーブモードフローチャート例 (アシストモード/FIFO 未使用)

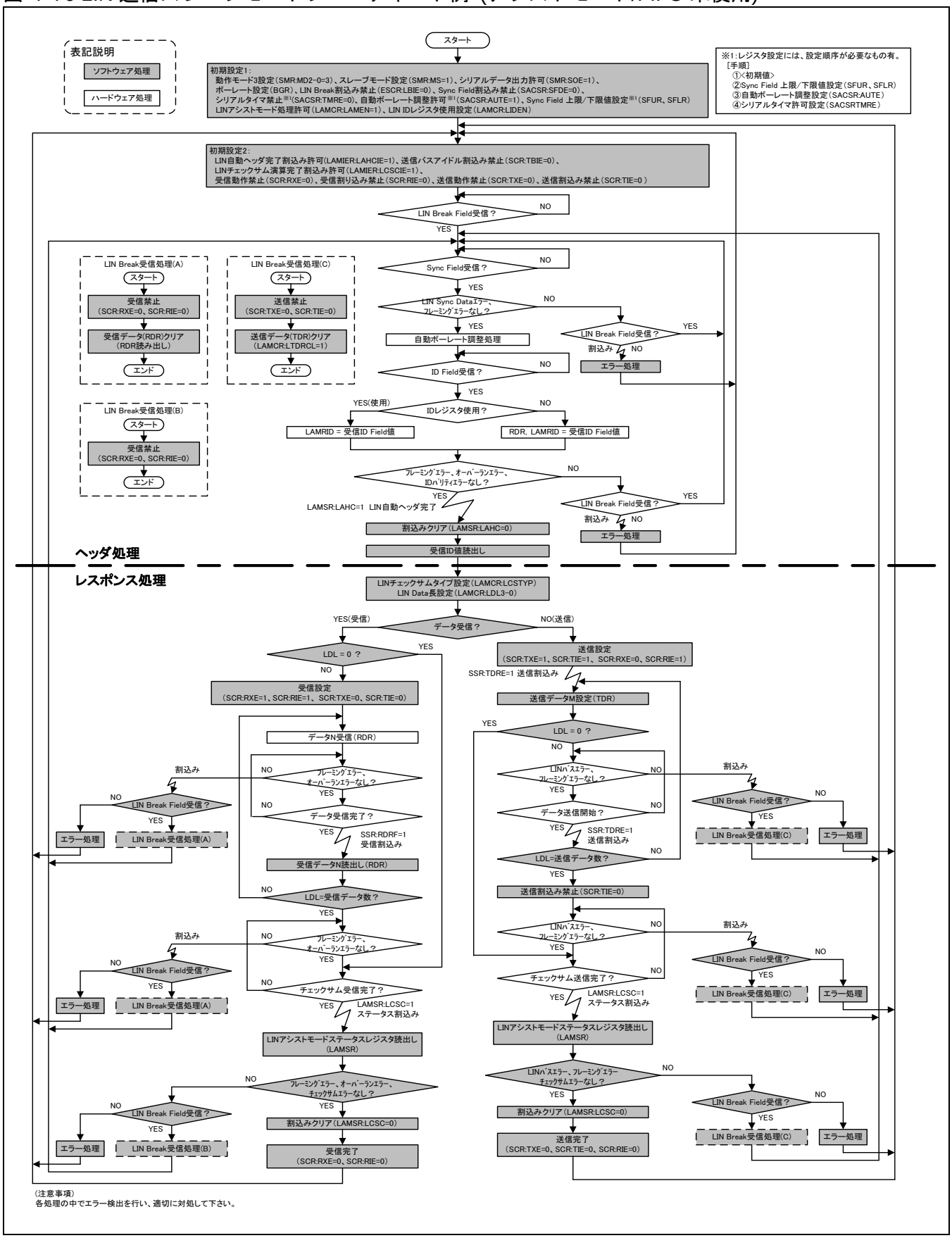
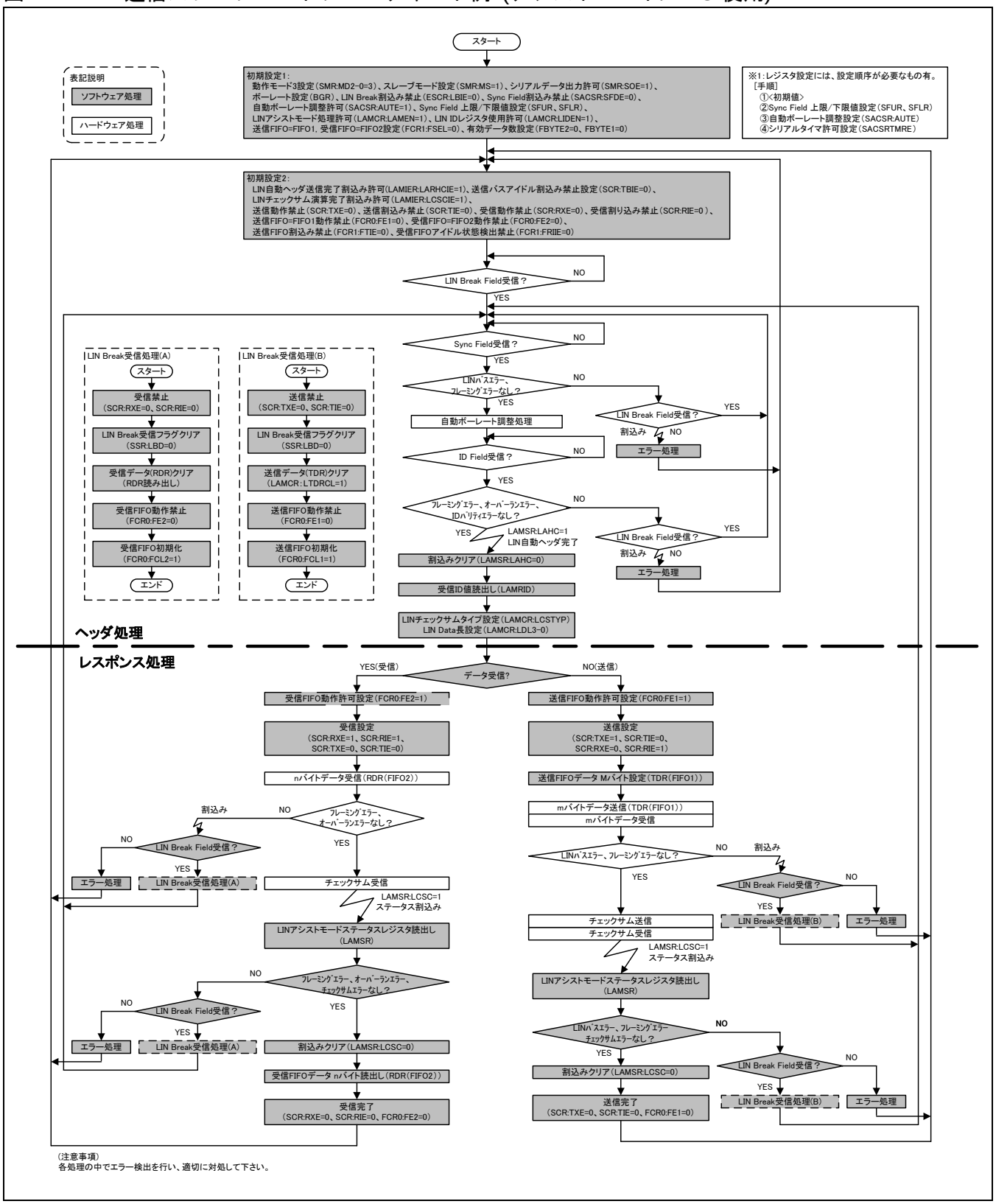


図 7-77 LIN 通信スレーブモードフローチャート例 (アシストモード/FIFO 使用)



CHAPTER: CAN コントローラ

CAN について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 制限事項

管理コード：FC28-2v4-91552-7-J

1. 概要

CAN の概要について説明します。

本品種は、CAN を 1 チャネル搭載しています。

CAN は、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しており、自動車や FA などの工業分野に広く使用されています。

2. 特長

CAN の特長について説明します。

本品種の CAN には以下の特長があります。

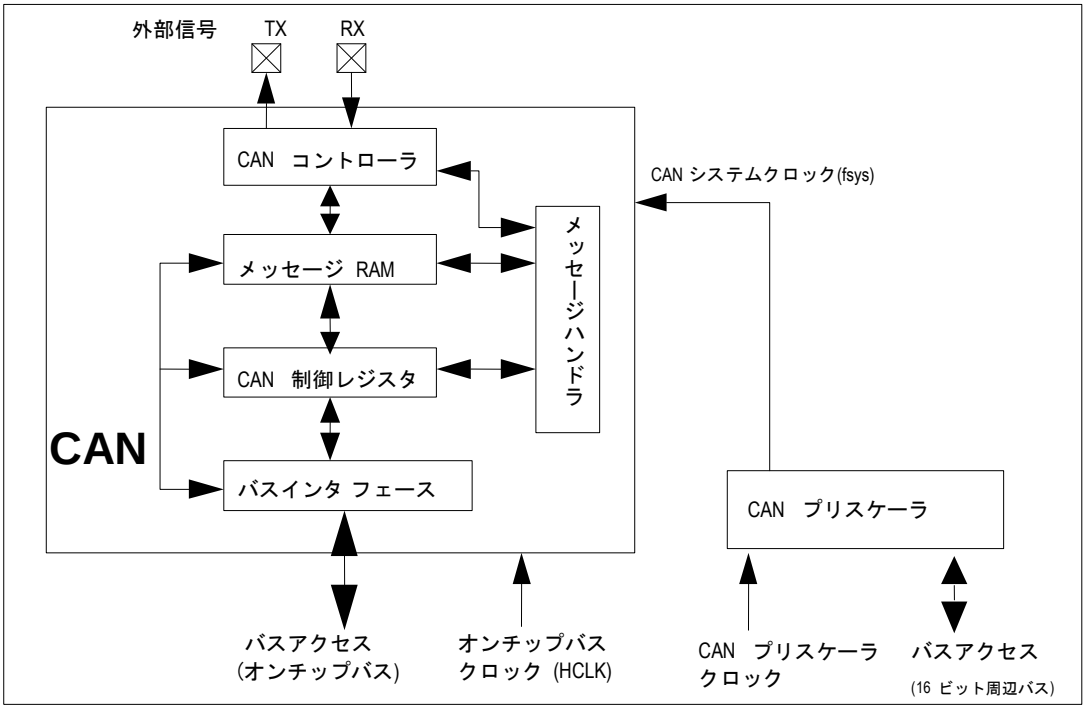
・CAN プロトコル ver2.0A/B をサポート
・1MBit/s までのビットレートをサポート
・メッセージオブジェクトごとの識別マスク
・プログラマブル FIFO モードをサポート(複数の受信メッセージオブジェクトを連結)
・マスク可能な割込み
・自己テスト動作用プログラマブルループバックモードをサポート
・メッセージインタフェースレジスタを介したメッセージオブジェクトの読出し・書込み
・64 メッセージオブジェクトをサポート

3. 構成

CAN の構成について説明します。

以下に CAN のブロックダイヤグラムを示します。

図 3-1 CAN ブロックダイヤグラム(1 チャネル分)



CAN コントローラ

CAN プロトコルと送受信メッセージ転送のためのシリアル/パラレル変換用のシフトレジスタを制御します。

メッセージ RAM

メッセージオブジェクトを格納します。

メッセージハンドラ

メッセージ RAM と CAN コントローラを制御します。

CPU インタフェース

FR 内部バスのインタフェースを制御します。

CAN プリスケーラ

CAN システムクロック(fsys)を生成します。

4. レジスタ

CAN のレジスタについて説明します。

4.1. 概要

レジスタの概要について示します。

CAN には、以下のレジスタがあります。

・CAN 制御レジスタ(CTRLR)
・CAN ステータスレジスタ(STATR)
・CAN エラーカウンタ(ERRCNT)
・CAN ビットタイミングレジスタ(BTR)
・CAN 割込みレジスタ(INTR)
・CAN テストレジスタ(TESTR)
・CAN プリスケーラ拡張レジスタ(BRPER)
・IFx コマンド要求レジスタ(IFxCREQ)
・IFx コマンドマスクレジスタ(IFxCMSK)
・IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)
・IFx アービトレーション 1, 2(IFxARB1, IFxARB2)
・IFx メッセージ制御レジスタ(IFxMCTR)
・IFx データレジスタ A1, A2, B1, B2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)
・CAN 送信要求レジスタ 1, 2, 3, 4 (TREQR1,TREQR2,TREQR3,TREQR4)
・CAN New Data レジスタ 1, 2, 3, 4 (NEWDT1,NEWDT2,NEWDT3,NEWDT4)
・CAN 割込みペンディングレジスタ 1, 2, 3, 4 (INTPND1,INTPND2,INTPND3, INTPND4)
・CAN メッセージ有効レジスタ 1, 2, 3, 4 (MSGVAL1,MSGVAL2,MSGVAL3,MSGVAL4)

CAN レジスタは、256 バイト(64 ワード)のアドレス空間が割り当てられ、バイトもしくはワードのアクセスが可能です。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。

4.1.1. ベースアドレス(Base-addr)・外部信号・バッファサイズ一覧

ベースアドレス(Base-addr)・外部信号・バッファサイズ一覧について示します。

チャネル番号	Base-addr	外部信号名		バッファサイズ
0	0x2100	TX	RX	64 メッセージオブジェクト

4.1.2. 全体コントロールレジスター覧

全体コントロールレジスター覧について示します。

表 4-1 全体コントロールレジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 00_H	CAN 制御レジスタ (CTRLR)		CAN ステータスレジスタ (STATR)		STAR: BOff, EWarn,EPass=Read Only RxOk,TxOk,LEC=Read/Write
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	予約ビット	CTRLR 参照	予約ビット	STATR 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	
Base-addr + 04_H	CAN エラーカウンタ (ERRCNT)		CAN ビットタイミングレジスタ(BTR)		ERRCNT: Read Only BTR: Init(CTRLR)=CCE(CTRLR)="1"時 Write 可能.
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	RP, REC[6:0]	TEC[7:0]	TSeg2[2:0], TSeg1[3:0]	SJW[1:0], BRP[5:0]	
	Reset: 00_H	Reset: 00_H	Reset: 23_H	Reset: 01_H	
Base-addr + 08_H	CAN 割込みレジスタ (INTR)		CAN テストレジスタ (TESTR)		INTR: Read Only TESTR: Test(CTRLR)="1"時、Write 可能. "Rx"は CAN_RX 信号のレベル値.を示す.
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IntId[15:8]	IntId[7:0]	予約ビット	TESTR 参照	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H & 0br0000000	
Base-addr + $0C_H$	CAN プリスケーラ拡張レジスタ (BRPER)		予約ビット		BRPER: CCE(CTRLR)="1"時 Write 可能.
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	予約ビット	BRPE[3:0]	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

4.1.3. メッセージインタフェースレジスター覧

メッセージインタフェースレジスター覧について示します。

表 4-2 メッセージインタフェースレジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 10_H	IF1 コマンド要求レジスタ (IF1CREQ)		IF1 コマンドマスクレジスタ (IF1CMSK)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Busy	Mess. No. [5:0]	予約ビット	IF1CMSK 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	
Base-addr + 14_H	IF1 マスクレジスタ 2 (IF1MSK2)		IF1 マスクレジスタ 1 (IF1MSK1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MXtd, MDir, Msk[28:24]	Msk[23:16]	Msk[15:8]	Msk[7:0]	
	Reset: FF_H	Reset: FF_H	Reset: FF_H	Reset: FF_H	
Base-addr + 18_H	IF1 アービトレーションレジスタ 2 (IF1ARB2)		IF1 アービトレーションレジスタ 1 (IF1ARB1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal, Xtd, Dir,ID[28:24]	ID[23:16]	ID[15:8]	ID[7:0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $1C_H$	IF1 メッセージコントロールレジスタ (IF1MCTR)		予約ビット		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IF1MCTR 参照	IF1MCTR 参照	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 20_H	IF1 データ A レジスタ 1 (IF1DTA1)		IF1 データ A レジスタ 2 (IF1DTA2)		バイト配列順序: Big Endian
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 24_H	IF1 データ B レジスタ 1 (IF1DTB1)		IF1 データ B レジスタ 2 (IF1DTB2)		バイト配列順序: Big Endian
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 30_H	IF1 データ A レジスタ 2 (IF1DTA2)		IF1 データ A レジスタ 1 (IF1DTA1)		バイト配列順序: Little Endian
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 34_H	IF1 データ B レジスタ 2 (IF1DTB2)		IF1 データ B レジスタ 1 (IF1DTB1)		バイト配列順序: Little Endian
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 40_H	IF2 コマンド要求レジスタ (IF2CREQ)		IF2 コマンドマスクレジスタ (IF2CMSK)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Busy	Mess. No. [5:0]	予約ビット	IF2CMSK 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	
Base-addr + 44_H	IF2 マスクレジスタ 2 (IF2MSK2)		IF2 マスクレジスタ 1 (IF2MSK1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MXtd, MDir, Msk[28:24]	Msk[23:16]	Msk[15:8]	Msk[7:0]	
	Reset: FF_H	Reset: FF_H	Reset: FF_H	Reset: FF_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 48_H	IF2 アービトレーションレジスタ 2 (IF2ARB2)		IF2 アービトレーションレジスタ 1 (IF2ARB1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal, Xtd, Dir,ID[28:24]	ID[23:16]	ID[15:8]	ID[7:0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $4C_H$	IF2 メッセージコントロールレジスタ(IF2MCTR)		予約ビット		
	bit[15:8]	bit[7:0]	bit[7:0]	bit[15:8]	
	IF2MCTR 参照	IF2MCTR 参照	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 50_H	IF2 データ A レジスタ 1 (IF2DTA1)		IF2 データ A レジスタ 2 (IF2DTA2)		バイト配列順序: Big Endian
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 54_H	IF2 データ B レジスタ 1 (IF2DTB1)		IF2 データ B レジスタ 2 (IF2DTB2)		バイト配列順序: Big Endian
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 60_H	IF2 データ A レジスタ 2 (IF2DTA2)		IF2 データ A レジスタ 1 (IF2DTA1)		バイト配列順序: Little Endian
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 64_H	IF2 データ B レジスタ 2 (IF2DTB2)		IF2 データ B レジスタ 1 (IF2DTB1)		バイト配列順序: Little Endian
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

4.1.4. メッセージハンドラレジスター覧

メッセージハンドラレジスター覧について示します。

表 4-3 メッセージハンドラレジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 80_H	CAN 送信要求レジスタ 2 (TREQR2)		CAN 送信要求レジスタ 1 (TREQR1)		TREQR1,2: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	TxRqst[32:25]	TxRqst[24:17]	TxRqst[16:9]	TxRqst[8:1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 84_H	CAN 送信要求レジスタ 4 (TREQR4)		CAN 送信要求レジスタ 3 (TREQR3)		TREQR3,4: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	TxRqst[64:57]	TxRqst[56:49]	TxRqst[48:41]	TxRqst[40:33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 88_H Base-addr + $8C_H$	予約ビット				
Base-addr + 90_H	CAN New Data レジスタ 2 (NEWDT2)		CAN New Data レジスタ 1 (NEWDT1)		NEWDT1,2: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	NewDat[32:25]	NewDat[24:17]	NewData[16:9]	NewData[8:1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 94_H	CAN New Data レジスタ 4 (NEWDT4)		CAN New Data レジスタ 3 (NEWDT3)		NEWDT3,4: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	NewDat[64:57]	NewDat[56:49]	NewData[48:41]	NewData[40:33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 98_H Base-addr + $9C_H$	予約ビット				

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + $A0_H$	CAN 割込みペンディングレジスタ 2 (INTPND2)		CAN 割込みペンディングレジスタ 1 (INTPND1)		INTPND1,2 : Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IntPnd[32:25]	IntPnd[24:17]	IntPnd[16:9]	IntPnd[8:1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $A4_H$	CAN 割込みペンディングレジスタ 4(INTPND4)		CAN 割込みペンディングレジスタ 3(INTPND3)		INTPND3,4 : Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IntPnd[64:57]	IntPnd[56:49]	IntPnd[48:41]	IntPnd[40:33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $A8_H$ Base-addr + AC_H	予約ビット				
Base-addr + $B0_H$	CAN メッセージ有効レジスタ 2 (MSGVAL2)		CAN メッセージ有効レジスタ 1 (MSGVAL1)		MSGVAL1, 2: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal[32:25]	MsgVal[24:17]	MsgVal[16:9]	MsgVal[8:1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $B4_H$	CAN メッセージ有効レジスタ 4 (MSGVAL4)		CAN メッセージ有効レジスタ 3 (MSGVAL3)		MSGVAL3, 4: Read Only
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal[64:57]	MsgVal[56:49]	MsgVal[48:41]	MsgVal[40:33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $B8_H$ Base-addr + BC_H	予約ビット				

4.2. 全体コントロールレジスタ

全体コントロールレジスタについて示します。

全体コントロールレジスタは、CAN プロトコル制御および動作モードを制御し、ステータス情報を提供します。

- CAN 制御レジスタ(CTRLR)
- CAN ステータスレジスタ(STATR)
- CAN エラーカウンタ(ERRCNT)
- CAN ビットタイミングレジスタ(BTR)
- CAN 割込みレジスタ(INTR)
- CAN テストレジスタ(TESTR)
- CAN プリスケーラ拡張レジスタ(BRPER)

4.2.1. CAN 制御レジスタ ：CTRLR

CAN 制御レジスタのビット構成について示します。

CAN コントローラの動作モードを制御します。

■ CAN 制御レジスタ(上位バイト): アドレス Base+00$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	−	−	−	−	−	−	−	−

■ CAN 制御レジスタ(下位バイト): アドレス Base+01$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Test	CCE	DAR	予約	EIE	SIE	IE	Init
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	−	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] : テストモード許可ビット

Test	機能
0	通常動作 [初期値]
1	テストモード

＜注意事項＞

Test ビットに"1"を設定する場合、INIT ビットが"1"のときに設定してください。

[bit6] : CAN ビットタイミングレジスタ書込み許可ビット

CCE	機能
0	CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)への書込みを禁止します [初期値]
1	CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)への書込みを許可します。Init ビットが"1"のときに有効です。

[bit5]：自動再送禁止ビット

CAN コントローラはアービトレーション負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに"0"を設定します。CAN を Time Triggered CAN 環境で動作させるためには、DAR ビットに"1"を設定する必要があります。

DAR	機能
0	アービトレーション負けまたはエラー検出時のメッセージの自動再送を許可します [初期値]
1	自動再送を禁止します

＜注意事項＞

DAR ビットに"1"を設定した場合は、メッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト 」を参照してください)の TxRqst ビットと NewDat ビットの値は以下のようになります。

- フレーム送信を開始したとき、メッセージオブジェクトの TxRqst ビットが"0"にクリアされますが、NewDat ビットは 1"に設定されたままです。
- フレーム送信が正常終了すると NewDat ビットは"0"にクリアされます。送信がアービトレーション負けもしくはエラー検出すると、NewDat ビットは"1"に設定されたままです。送信を再開するためには、TxRqst ビットに"1"を設定してください。
- フレーム送出中(TxRqst=1)に CAN 制御レジスタ(CTRLR)の DAR ビットを"0"から"1"に変更すると送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、INIT ビットが"1"のときに変更してください。

DAR ビットに"1"を設定して、複数のメッセージオブジェクトによる送信を行った場合、以下の動作になります。

- CAN がフレーム送信開始前および送信中に * ほかの* メッセージオブジェクトの TxRqst に"1"が設定された場合(複数のメッセージオブジェクトの TxRqst に"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TxRqst が"0"にリセットされ、その中で優先順位の高いメッセージオブジェクトのデータが送信されます。
- フレーム送信が正常終了すると送信されたメッセージオブジェクトの NewDat が"0"にリセットされ、そのときメッセージオブジェクトの TxIE が"1"であれば、メッセージオブジェクトの IntPnd は"1"に設定されます。
- ほかのメッセージオブジェクトはフレーム送信開始時、TxRqst が"0"にリセットされたためにフレーム送信は行われません。NewDat または IntPnd によって送信されたメッセージオブジェクトを確認後、送信したいメッセージオブジェクトに対し、再度 TxRqst と NewDat に"1"を設定する必要があります。

[bit4] 予約ビット

常に"0"が読み出せます。書込みは"0"を設定してください。

[bit3]：エラー割込みコード許可ビット

EIE	機能
0	CAN ステータスレジスタ(STATR)の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ(INTR)への割込みコードの設定を禁止します。[初期値]
1	CAN ステータスレジスタ(STATR)の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ(INTR)へのステータス割込みコードの設定を許可します。

[bit2] : ステータス割込みコード許可ビット

SIE	機能
0	CAN ステータスレジスタ(STATR)の TxOk,RxOk または LEC ビットの変化により、CAN 割込みレジスタ(INTR)への割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタ(STATR)の TxOk,RxOk または LEC ビットの変化により、CAN 割込みレジスタ(INTR)へのステータス割込みコードの設定を許可します。CPU からの書込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタ(INTR)には設定されません。

[bit1] : 割込み許可ビット

IE	機能
0	割込みの発生を禁止します。 [初期値]
1	割込みの発生を許可します。

[bit0] : 初期化ビット

Init	機能
0	CAN コントローラの初期化解除後に動作します。
1	CAN コントローラを初期化し、動作を停止します。 [初期値]

＜注意事項＞

- バスオフリカバリシーケンスは、Init ビットの設定/解除によって短縮はできません。デバイスがバスオフになると、CAN コントローラ自身が Init ビットを"1"に設定し、すべてのバス動作を停止します。バスオフ状態から Init ビットを"0"にクリアすると、バスアイドルが連続的に 129 回(11 ビットのレセッシブを 1 回とする)発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後、CAN エラーカウンタをリセットします。
- バスオフリカバリシーケンス中に Init ビットに"1"を設定し、再度 Init ビットに"0"を設定した場合、バスオフリカバリシーケンスを最初から実施します(11 ビットのレセッシブを 1 回として 129 回再度実施)。
- CAN ビットタイミングレジスタ(BTR)を設定する場合は、Init および CCE ビットに"1"を設定してください。
- 送受信途中で Init ビットに"1"を設定した場合、即送受信を中止します。
- 送信中、Init ビットに"1"を設定する場合、送信完了後に Init ビットに"1"を設定してください。もし、送信中、Init ビットに"1"を設定した場合、Init ビットに"0"を設定してから 2 ビット時間経過後に送信の設定(TxRqst="1")を行ってください。
- 低消費電力モード(停止モード, クロックモード)へ遷移する前, および供給クロックを変更する前に Init ビットに"1"を書き込んで、CAN コントローラを初期化状態にしなければなりません。
- 次のレジスタにより、CANインタフェースに供給するクロックの分周比を変更する場合は、Init ビットに"1"を設定し、CAN コントローラを停止した状態で行ってください。
  - CAN ビットタイミングレジスタ(BTR)
  - CAN プリスケーラ拡張レジスタ(BRPER)

4.2.2. CAN ステータスレジスタ ：STATR

CAN ステータスレジスタのビット構成について示します。

CAN ステータスおよび CAN バス状態を表示します。

■ CAN ステータスレジスタ(上位バイト): アドレス Base+02$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	–	–	–	–	–	–	–	–

■ CAN ステータスレジスタ(下位バイト): アドレス Base+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BOff	EWarn	EPass	RxOk	TxOk	LEC[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] : バスオフビット

BOff	機能
0	CAN コントローラはバスオフ状態でないことを示します。 [初期値]
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] : ワーニングビット

EWarn	機能
0	送信と受信カウンタが共に 96 未満であることを示します [初期値]
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] : エラーパッシブビット

EPass	機能
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。 [初期値]
1	受信カウンタは RP ビット="1"、送信カウンタが 128 以上(エラーパッシブ状態)であることを示します。

[bit4] : メッセージ正常受信ビット

RxOk	機能
0	CAN バス上で正常なメッセージ通信が行われていない またはバスアイドル状態であることを示します。 [初期値]
1	CAN バス上で正常なメッセージ通信が行われたことを示します。

[bit3] : メッセージ正常送信ビット

TxOk	機能
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。 [初期値]
1	正常なメッセージ送信が行われたことを示します。

＜注意事項＞

RxOk および TxOk ビットは、"0"書込みでのみクリアされます。

[bit2～bit0] : ラストエラーコードビット

LEC ビットはCANバス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送(受信/送信)完了すると"0"にクリアされます。未検出コード"111_B"は、コード更新をチェックするために使用できます。

LEC[2:0]	状態	機能
000	正常	正常に送信または受信されたことを示します。[初期値]
001	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します
010	Form エラー	受信されたフレームの固定フォーマット部が間違って検出したことを示します。
011	Ack エラー	送信メッセージに対し、ほかのノードからアクノリッジされなかったことを示します。
100	Bit1 エラー	アービトレーションフィールドを除くメッセージの送信データにおいて、レセッシブを送信したにも関らずドミナントを検出したことを示します。
101	Bit0 エラー	メッセージの送信データにおいて、ドミナントを送信したにも関らずレセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとに設定されます．このビットを読み出すことによりバスリカバリシーケンスを監視できます。
110	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
111	未検出	LEC ビットに"111_B"を設定した後、LEC 値が"111_B"を読み出した場合、その期間は送受信しなかったことを示します。(バスアイドル状態)

＜注意事項＞

- ステータス割込みコード(8000_H)は、EIE ビットが"1"のときに BOff または EWarn ビットが変化した場合、もしくは SIE ビットが"1"のときに RxOk、TxOk または LEC ビットが変化した場合、CAN 割込みレジスタ(INTR)に設定されます。
- RxOk、TxOk ビットはフラグの値がプログラムによる書込みによって更新されますので、CAN コントローラによってセットされた RxOk、TxOk ビットの値が変更されてしまいます。もし RxOk、TxOk ビットを使用する場合には、RxOk または TxOk ビットが"1"に設定されてから、(45×BT)時間以内にクリアしてください。BT は 1 ビットタイムを示します。
- SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタ(STATR)に書き込まないでください。
- EPass ビットの変化、RxOk、TxOk および LEC ビットへの書込み動作では CAN 割込みレジスタ(INTR)のエラーコード割込みのセットは行われません。
- BOff ビットが"1"になった場合、EPass ビット、EWarn ビットは"1"の状態になっています。また、EPass ビットが"1"になった場合、EWarn ビットは"1"の状態になっています。
- CAN ステータスレジスタ(STATR)を読み出すことにより、CAN 割込みレジスタ(INTR)のステータス割込み(8000_H)はクリアされます。

4.2.3. CAN エラーカウンタ ：ERRCNT

CAN エラーカウンタのビット構成について示します。

受信エラーパッシブ表示および受信エラーカウンタ、送信エラーカウンタを示します。

■ CAN エラーカウンタレジスタ(上位バイト):アドレス Base+04$_H$(アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RP	REC [6:0]						
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN エラーカウンタレジスタ(下位バイト):アドレス Base+05$_H$(アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TEC [7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

[bit15]：受信エラーパッシブ表示

RP	機能
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。 [初期値]
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14～bit8]：受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0～127 です。

受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例)

RP=0, REC[6:0]=127, 受信エラーで+8 される場合、その結果は、RP=1, REC[6:0]=127
RP=0, REC[6:0]=126, 受信エラーで+8 される場合、その結果は、RP=1, REC[6:0]=126
RP=0, REC[6:0]=119, 受信エラーで+8 される場合、その結果は、RP=0, REC[6:0]=127
RP=1, REC[6:0]=126, 正常受信された場合、その結果は、RP=0, REC[6:0]=125

[bit7～bit0]：送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0～255 です。

送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの Init ビットに"1"をセットし、送信エラーカウンタは更新されません。

例)

Init=0, TEC[7:0]=255, 送信エラーで+8 される場合、その結果は、Init=1, TEC[7:0]=255
Init=0, TEC[7:0]=254, 送信エラーで+8 される場合、その結果は、Init=1, TEC[7:0]=254
Init=0, TEC[7:0]=247, 送信エラーで+8 される場合、その結果は、Init=0, TEC[7:0]=255

4.2.4. CAN ビットタイミングレジスタ ：BTR

CAN ビットタイミングレジスタのビット構成について示します。

プリスケーラおよびビットタイミングを設定します。

■ CAN ビットタイミングレジスタ(上位バイト): アドレス Base+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	TSeg2			TSeg1			
初期値	0	0	1	0	0	0	1	1
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ CAN ビットタイミングレジスタ(下位バイト): アドレス Base+07$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SJW		BRP					
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] : 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit14～bit12] : タイムセグメント２設定ビット
有効設定値は 0～7 です。TSeg2+1 ビットの値がタイムセグメント 2 になります。
タイムセグメント 2 は、CAN 仕様のフェーズバッファセグメント(Phase_Seg2)に相当します。

[bit11～bit8] : タイムセグメント１設定ビット
有効設定値は 1～15 です。0 の設定は禁止です。TSeg1+1 ビットの値がタイムセグメント 1 になります。
タイムセグメント 1 は、CAN 仕様のプロパゲーションセグメント(Prop_Seg)＋フェーズバッファセグメント 1(Phase_Seg1)に相当します。

[bit7, bit6] : 再同期化ジャンプ幅設定ビット
有効設定値は 0～3 です。SJW+1 ビットの値が再同期ジャンプ幅となります。

[bit5～bit0] : ボーレートプリスケーラ設定ビット
有効設定値は 0～63 です。BRP+1 ビットの値がボーレートプリスケーラになります。

システムクロック(fsys)を分周して、CAN コントローラの基本単位時間(tq)を決定します。

＜注意事項＞

CAN 制御レジスタ(CTRLR)の CCE ビットと Init ビットが"1"に設定されているときに、CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)を設定してください。

4.2.5. CAN 割込みレジスタ ：INTR

CAN 割込みレジスタのビット構成について示します。

メッセージ割込みコードおよびステータス割込みコードを表示します。

■ CAN 割込みレジスタ(上位バイト): アドレス Base+08$_H$(アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntId 15～8							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 割込みレジスタ(下位バイト) :アドレス Base+09$_H$(アクセス: ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntId 7～0							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

IntId	機能
0000_H	割込みなし
0001_H ～ 0040_H	割込み要因はメッセージオブジェクトの番号を示します (メッセージ割込みコード)
0041_H ～ $7FFF_H$	未使用
8000_H	CAN ステータスレジスタ(STATR)の変化による割込みを示します (ステータス割込みコード)
8001_H ～ $FFFF_H$	未使用

複数の割込みコードが保留中である場合、CAN 割込みレジスタ(INTR)は優先度の高い割込みコードを示します。割込みコードが CAN割込みレジスタ(INTR)に設定されていても優先度の高い割込みコードが発生した場合には、CAN 割込みレジスタ(INTR)は優先度の高い割込みコードに更新されます。

優先度の高い割込みコードは、ステータス割込みコード(8000_H)、メッセージ割込み(0001_H, 0002_H, 0003_H, ……, 0040_H) の順になります。

IntId ビットが 0000_H 以外で、CAN 制御レジスタ(CTRLR)の IE ビットが"1"に設定されると、CPU への割込み信号がアクティブになります。IntId ビットの値が 0000_H になる(割込み要因がリセットされる)もしくは CAN 制御レジスタ(CTRLR)の IE ビットが"0"にリセットされると、割込み信号はインアクティブになります。

対象となるメッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の IntPnd ビットを"0"にクリアすることでメッセージ割込みコードはクリアされます。

ステータス割込みコードは CAN ステータスレジスタ(STATR)を読み出すことでクリアされます。

＜注意事項＞

CAN 割込みレジスタをリードする際は 16 ビットまたは 32 ビットでアクセスしてください。

4.2.6. CAN テストレジスタ ：TESTR

CAN テストレジスタのビット構成について示します。

テストモードの設定および信号 CAN_RX のモニタを行います。動作については、「5.7 テストモード」を参照してください。

■ CAN テストレジスタ(上位バイト): アドレス Base+0A$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	−	−	−	−	−	−	−	−

■ CAN テストレジスタ(下位バイト): アドレス Base+0B$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Rx	Tx1	Tx0	LBack	Silent	Basic	予約	予約
初期値	r	0	0	0	0	0	0	0
属性	R	R/W	R/W	R/W	R/W	R/W	−	−

(注意事項) Rx の初期値(r)は、CAN バス上のレベルが表示されます。

[bit15～bit8] : 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] Rx : 信号 CAN_RX モニタビット

Rx	機能
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6, bit5] Tx1,Tx0 : 信号 CAN_TX コントロールビット

Tx1,Tx0	機能
00	通常動作 [初期値]
01	サンプリングポイントが信号 CAN_TX に出力されます。
10	信号 CAN_TX にドミナントを出力します。
11	信号 CAN_TX にレセッシブを出力します。

[bit4] LBack : ループバックモード

LBack	機能
0	ループバックモードを禁止します。 [初期値]
1	ループバックモードを許可します。

[bit3] Silent : サイレントモード

Silent	機能
0	サイレントモードを禁止します。 [初期値]
1	サイレントモードを許可します。

[bit2] Basic : ベーシックモード

Basic	機能
0	ベーシックモードを禁止します。 [初期値]
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして、IF2 レジスタは受信メッセージとして使用されます。

[bit1, bit0] : 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Test ビットを"1"に設定した後、レジスタへ書き込んでください。テストモードが有効となるのは、CAN 制御レジスタ(CTRLR)の Test ビットが"1"のときです。途中で CAN 制御レジスタ(CTRLR)の Test ビットを"0"にするとテストモードから通常モードになります。
- Tx ビットを"00"以外に設定した場合、メッセージを送信することができません。

4.2.7. CAN プリスケーラ拡張レジスタ ：BRPER

CAN プリスケーラ拡張レジスタのビット構成について示します。

CANビットタイミングで設定したプリスケーラと組み合わせることにより、CANコントローラで使用するプリスケーラを拡張します。

■ CANプリスケーラ拡張レジスタ(上位バイト): アドレスBase+0C$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	–	–	–	–	–	–	–	–

■ CANプリスケーラ拡張レジスタ(下位バイト): アドレスBase+0D$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	BRPE			
初期値	0	0	0	0	0	0	0	0
属性	–	–	–	–	R/W	R/W	R/W	R/W

[bit15～bit4] : 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit3～bit0]BRPE : ボーレートプリスケーラ拡張ビット
CAN ビットタイミングレジスタ(BTR)の BRP ビットと BRPE ビットを組み合わせることにより、1023 までボーレートプリスケーラを拡張できます。

{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)}＋1 の値が CAN コントローラのプリスケーラとなります。

4.3. メッセージインタフェースレジスタ

メッセージインタフェースレジスタについて示します。

CPU からメッセージ RAM へのアクセスを制御するために、2 組のメッセージインタフェースレジスタを提供します。

メッセージ RAM への CPU アクセスを制御するために使用される 2 組のメッセージインタフェースレジスタがあります。この 2 組のレジスタは、転送された(する)データ(メッセージオブジェクト)をバッファすることで、メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避します。メッセージオブジェクト(メッセージオブジェクトについては、「4.4 メッセージオブジェクト」を参照してください)は、メッセージインタフェースレジスタとメッ セージ RAM 間を一度に転送します。

テストのベーシックモードを除き、2組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1 のメッセージインタフェースレジスタをメッセージ RAM への書込み動作中に、IF2 のメッセージインタフェースレジスタをメッセージ RAM からの読出しに使用することも可能です。表 4-4 に 2 組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ(コマンド要求、コマンドマスクレジスタ)と、このコマンドレジスタによって制御されるメッセージバッファレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

表 4-4 IF1,IF2 メッセージインタフェースレジスタ

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
Base + 10_H	IF1 コマンド要求	Base + 40_H	IF2 コマンド要求
Base + 12_H	IF1 コマンドマスク	Base + 42_H	IF2 コマンドマスク
Base + 14_H	IF1 マスク 2	Base + 44_H	IF2 マスク 2
Base + 16_H	IF1 マスク 1	Base + 46_H	IF2 マスク 1
Base + 18_H	IF1 アービトレーション 2	Base + 48_H	IF2 アービトレーション 2
Base + $1A_H$	IF1 アービトレーション 1	Base + $4A_H$	IF2 アービトレーション 1
Base + $1C_H$	IF1 メッセージ制御	Base + $4C_H$	IF2 メッセージ制御
Base + 20_H	IF1 データ A1	Base + 50_H	IF2 データ A1
Base + 22_H	IF1 データ A2	Base + 52_H	IF2 データ A2
Base + 24_H	IF1 データ B1	Base + 54_H	IF2 データ B1
Base + 26_H	IF1 データ B2	Base + 56_H	IF2 データ B2

4.3.1. IFx コマンド要求レジスタ ：IFxCREQ

IFx コマンド要求レジスタのビット構成について示します。

メッセージ RAM のメッセージ番号の選択と、メッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

■ IFx コマンド要求レジスタ(上位バイト): アドレス Base+10$_H$ & Base+40$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R/W	−	−	−	−	−	−	−

■ IFx コマンド要求レジスタ(下位バイト): アドレス Base+11$_H$ & Base+41$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Message Number							
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IFx コマンド要求レジスタ(IFxCREQ)へメッセージ番号を書き込むと、すぐにメッセージ RAM とメッセージバッファレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)とのメッセージ転送が開始されます。この書込み動作で BUSY ビットが"1"にセットされ、転送処理中であることを示します。その転送が終了すると、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが"0"になるまで(コマンド要求レジスタ書込み後、Clock で 3〜6 サイクル)、CPU をウェイトさせます。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに"1"を設定することによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを"1"に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15]BUSY : ビジーフラグビット
(1) テストのベーシックモード以外

BUSY	機能
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。 [初期値]
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。

(2) テストのベーシックモード

IF1 コマンド要求レジスタ

BUSY	機能
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

IF2 コマンド要求レジスタ

BUSY	機能
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14～bit8] : **予約ビット**

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7～bit0] Message Number: **メッセージ番号**

Message Number	機能
00_H	設定禁止です。設定した場合、40_H として解釈され、40_H が読み出されます。
01_H ～ 40_H	処理を行うメッセージ番号を設定します。
41_H ～ FF_H	設定禁止です。設定した場合、01_H-$3F_H$ として解釈され、解釈された値が読み出されます。

＜注意事項＞

BUSY ビットは、リード/ライトが可能です。テストのベーシックモード時以外は、このビットに何を書いても動作に影響しません (ベーシックモードについては、「5.7 テストモード」を参照してください) 。

4.3.2. IFx コマンドマスクレジスタ ：IFxCMSK

IFx コマンドマスクレジスタのビット構成について示します。

メッセ～ジインタフェースレジスタとメッセージRAM間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードでレジスタは無効となります。

■ IFxコマンドマスクレジスタ(上位バイト): アドレス Base+12$_H$ & Base+42$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	–	–	–	–	–	–	–	–

■ IFxコマンドマスクレジスタ(下位バイト): アドレス Base+13$_H$ & Base+43$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	WR/RD	Mask	Arb	Control	CIP	TxRqst/NewDat	DataA	DataB
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] : 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7]WR/RD : ライト/リード制御ビット

WR/RD	機能
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタ(IFxCREQ)への書込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP,TxRqst/NewDat, DataA, DataB ビットの設定に依存します。 [初期値]
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書込みは IFx コマンド要求レジスタ(IFxCREQ)への書込みによって実行されます。メッセージ RAM への書込みデータは、Mask, Arb, Control, CIP,TxRqst/NewDat, DataA, DataB ビットの設定に依存します。

＜注意事項＞

リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。

IFx コマンドマスクレジスタ(IFxCMSK)の bit6:0 は、転送方向(WR/RD ビット)の設定により違った意味になります。

(1) 転送方向が書込みの場合(WR/RD="1")

[bit6] Mask : **マスクデータ更新ビット**

Mask	機能
0	メッセージオブジェクト*のマスクデータ(ID マスク + MDir + MXtd)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*のマスクデータ(ID マスク + MDir + MXtd)を更新することを示します。

[bit5] Arb : **アービトレーションデータ更新ビット**

Arb	機能
0	メッセージオブジェクト*のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新することを示します。

[bit4] Control : **制御データ更新ビット**

Control	機能
0	メッセージオブジェクト*の制御データ(IFx メッセージ制御レジスタ(IFxMCTR))を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*の制御データ(IFx メッセージ制御レジスタ(IFxMCTR))を更新することを示します。

[bit3] CIP : **割込みクリアビット**

"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/ NewDat : **メッセージ送信要求ビット**

TxRqst/ NewDat	機能
0	メッセージオブジェクト*および CAN 送信要求レジスタ(TREQR)の TxRqst ビットを変更しないことを示します。 [初期値]
1	メッセージオブジェクト*および CAN 送信要求レジスタ(TREQR)の TxRqst ビットに"1"を設定(送信要求)することを示します。

[bit1] DataA : Data0～Data3 **更新ビット**

DataA	機能
0	メッセージオブジェクト*の Data0～Data3 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*の Data0～Data3 を更新することを示します。

[bit0] DataB : Data4～Data7 **更新ビット**

DataB	機能
0	メッセージオブジェクト*の Data4～Data7 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*の Data4～Data7 を更新することを示します。

*:「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat ビットが"1"に設定されると、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst ビットの設定は無効となります。
- テストのベーシックモードでレジスタは無効となります。

(2)転送方向が読出しの場合(WR/RD="0")

[bit6] Mask : **マスクデータ更新ビット**

Mask	機能
0	メッセージオブジェクト*から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)へデータ(ID マスク + MDir + MXtd)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)へデータ(ID マスク + MDir + MXtd)を転送することを示します。

[bit5] Arb : **アービトレーションデータ更新ビット**

Arb	機能
0	メッセージオブジェクト*から IFx アービトレーション 1,2(IFxARB1, IFxARB2)へデータ(ID+ Dir + Xtd + MsgVal)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*から IFx アービトレーション 1,2(IFxARB1, IFxARB2)へデータ(ID+ Dir + Xtd + MsgVal)を転送することを示します。

[bit4] Control : **制御データ更新ビット**

Control	機能
0	メッセージオブジェクト*から IFx メッセージ制御レジスタ(IFxMCTR)へデータを転送しないことを示します。 [初期値]
1	メッセージオブジェクト*から IFx メッセージ制御レジスタ(IFxMCTR)へデータを転送することを示します。

[bit3] CIP : **割込みクリアビット**

CIP	機能
0	メッセージオブジェクト*および CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*および CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットを"0"にクリアすることを示します。

[bit2] TxRqst/ NewDat : **データ更新ビット**

TxRqst/ NewDat	機能
0	メッセージオブジェクト*および CAN データ更新レジスタの NewDat ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*および CAN データ更新レジスタの NewDat ビットを"0"にクリアすることを示します。

[bit1] DataA : Data0～Data3 更新ビット

DataA	機能
0	メッセージオブジェクト*および CAN データレジスタ A1, A2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*および CAN データレジスタ A1, A2 のデータを更新することを示します。

[bit0] DataB : Data4～Data7 更新ビット

DataB	機能
0	メッセージオブジェクト*および CAN データレジスタ B1, B2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*および CAN データレジスタ B1, B2 のデータを更新することを示します。

*:「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- メッセージオブジェクトへの読出しアクセスにより、IntPnd および NewDat ビットは"0"にリセットできます。ただし、IFx メッセージ制御レジスタ(IFxMCTR)の IntPnd および NewDat ビットには、読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。
- テストのベーシックモードでは無効となります。

4.3.3. IFx マスクレジスタ 1,2 : IFxMSK1, IFxMSK2

IFx マスクレジスタ 1,2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクトマスクデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効となります。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFxマスクレジスタ 2(上位バイト): アドレス Base+14$_H$ & Base+44$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MXtd	MDir	予約	Msk 28～24				
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W

➢ IFx マスクレジスタ 2(下位バイト): アドレス Base+15$_H$ & Base+45$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Msk 23～16							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFxマスクレジスタ 1(上位バイト): アドレス Base+16$_H$ & Base+46$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	Msk 15～8							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFxマスクレジスタ 1(下位バイト): アドレス Base+17$_H$ & Base+47$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Msk 7～0							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

予約ビット(IFx マスクレジスタ 2 の bit13)は"1"が読み出され、書込み時は"1"を書き込んでください。

4.3.4. IFx アービトレーションレジスタ 1,2 : IFxARB1, IFxARB2

IFx アービトレーションレジスタ 1,2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクトアービトレーションデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは無効となります。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFx アービトレーションレジスタ 2(上位バイト): アドレス Base+18$_H$ & Base+48$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal	Xtd	Dir	ID 28～24				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 2(下位バイト): アドレス Base+19$_H$ & Base+49$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ID 23～16							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 1(上位バイト): アドレス Base+1A$_H$ & Base+4A$_H$(アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ID 15～8							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 1(下位バイト): アドレス Base+1B$_H$ & Base+4B$_H$(アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ID 7～0							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

＜注意事項＞

送信途中でメッセージオブジェクトのMsgValビットを"0"にクリアした場合、送信が完了した時点でCANステータスレジスタ(STATR)のTxOkビットは"1"になりますが、メッセージオブジェクトおよびCAN送信要求レジスタ(TREQR)のTxRqstビットは"0"にクリアされませんのでメッセージインタフェースレジスタによってTxRqstビットを"0"にクリアしてください。

4.3.5. IFx メッセージ制御レジスタ ：IFxMCTR

IFx メッセージ制御レジスタのビット構成について示します。

メッセージRAMのメッセージオブジェクト制御データを書込み/読出しするために用いられます。
また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効となります。IF2 メッセージ制御レジスタの NewDat と MsgLst は通常の動作を行い、DLC ビットは受信したメッセージの DLC を表示します。そのほかの制御ビットは無効("0")として動作します。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFx メッセージ制御レジスタ(上位バイト): アドレス Base+1CH & Base+4CH(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx メッセージ制御レジスタ(下位バイト): アドレス Base+1D$_H$ & Base+4D$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EoB	予約	予約	予約	DLC 3～0			
初期値	0	0	0	0	0	0	0	0
属性	R/W	−	−	−	R/W	R/W	R/W	R/W

ビット説明については「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

TxRqst、NewDat および IntPnd ビットは、IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD ビットの設定によって以下のような動作になります。

- 転送方向が書込みの場合(IFx コマンドマスクレジスタ(IFxCMSK):WR/RD="1")
- IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat が"0"に設定されている場合のみ、TxRqst ビットが有効となります。
- 転送方向が読出しの場合(IFx コマンドマスクレジスタ(IFxCMSK):WR/RD="0")
- IFx コマンドマスクレジスタ(IFxCMSK)の CIP ビットを"1"、IFx コマンド要求レジスタ(IFxCREQ)への書込みによりメッセージオブジェクトおよび CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットをリセットした場合、レジスタにはリセットされる前の IntPnd ビットが格納されます。
- IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat ビットを"1"、IFx コマンド要求レジスタ(IFxCREQ)への書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NewDat ビットをリセットした場合、レジスタにはリセットする前の NewDat ビットが格納されます。

4.3.6. IFx データレジスタ A1,A2,B1,B2 : IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2

IFx データレジスタ A1,A2,B1,B2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクト送受信データを書込み/読出しするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

	addr+0	addr+1	addr+2	addr+3
IFx Message DataA1 (addresses 20_H & 50_H)	Data0	Data1		
IFx Message DataA2 (addresses 22_H & 52_H)			Data2	Data3
IFx Message DataB1 (addresses 24_H & 54_H)	Data4	Data5		
IFx Message DataB2 (addresses 26_H & 56_H)			Data6	Data7
IFx Message DataA2 (addresses 30_H & 60_H)	Data3	Data2		
IFx Message DataA1 (addresses 32_H & 62_H)			Data1	Data0
IFx Message DataB2 (addresses 34_H & 64_H)	Data7	Data6		
IFx Message DataB1 (addresses 36_H & 66_H)			Data5	Data4

■ IFx データレジスタ:

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Data							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信メッセージデータの設定

設定したデータは、MSB(bit7,15)より開始して Data(0), Data(1), …, Data(7)の順で送信されます。

受信メッセージデータ

受信メッセージデータは、MSB(bit7,15)より開始して Data(0), Data(1), …, Data(7)の順で格納されます。

＜注意事項＞

- 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書き込まれます。
- メッセージオブジェクトへの転送は、DataA もしくは DataB の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

4.4. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージ RAM には、64 のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。
メッセージオブジェクトの構成と機能を説明します。

4.4.1. メッセージオブジェクトの構成

メッセージオブジェクトの構成について示します。

以下にメッセージオブジェクトの構成を示します。

表 4-5 メッセージオブジェクトの構成

UMask	Msk28～0	MXtd	MDir	EoB	NewDat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID28～0	Xtd	Dir	DLC3～0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

＜注意事項＞

メッセージオブジェクトは、CAN 制御レジスタ(CTRLR)の Init ビット、ハードウェアリセットでは初期化されません。ハードウェアリセットの場合、ハードウェアリセット解除後、CPU によってメッセージ RAM を初期化するかメッセージ RAM の MsgVal を"0"にしてください。

4.4.2. メッセージオブジェクトの機能

メッセージオブジェクトの機能について示します。

ID28～0、Xtd、Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk28-0、MXtd、MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームもしくはリモートフレームの ID, IDE,RTR, DLC および DATA は、メッセージオブジェクトの ID28～ID0, Xtd, Dir, DLC3～DLC0, Data7～Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd が"1"の場合、29 ビット ID(拡張フレーム)を、Xtd が"0"の場合は、11 ビット ID(標準フレーム)を受信することになります。

受信したデータフレームもしくはリモートフレームが 1 つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます (詳細は、「5.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください)。

MsgVal: 有効メッセージビット

MsgVal	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能となります。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Init ビットを"0"にリセットする前と、ID28～0、Xtd、Dir、DLC3～0 を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず初期化してください。
- 送信中に MsgVal ビットを"0"にすると、送信が完了した時点で CAN ステータスレジスタ(STATR)の TxOk ビットは"1"になりますが、メッセージオブジェクトおよび CAN 送信要求レジスタ(TREQR)の TxRqst ビットは"0"にクリアされませんのでメッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

UMask: 受容マスク許可ビット

UMask	機能
0	Msk28～0、MXtd、MDir を使用しません。
1	Msk28～0、MXtd、MDir を使用します。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Init ビットが"1"のとき、あるいは MsgVal ビットが"0"のときに UMask ビットを変更してください。
- Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask ビットの設定により動作が異なります。
  - UMask ビットが"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"に設定され、データは変更しません。(データフレームのように取り扱います)
  - UMask ビットが"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

ID28～0: メッセージ ID

ID	機能
ID28 ～ ID0	29 ビット ID(拡張フレーム)を指示します。
ID28 ～ ID18	11 ビット ID(標準フレーム)を指示します。

Msk28～0: ID マスク

Msk	機能
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

Xtd: 拡張 ID 許可ビット

Xtd	機能
0	メッセージオブジェクトは 11 ビット ID(標準フレーム)が使用されます。
1	メッセージオブジェクトは 29 ビット ID(拡張フレーム)が使用されます。

MXtd: 拡張 ID マスクビット

MXtd	機能
0	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行います。

＜注意事項＞

11 ビット ID(標準フレーム)がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID28～ID18 へ書き込まれます。ID マスクは、Msk28～Msk18 が使用されます。

Dir: メッセージ方向ビット

Dir	機能
0	受信方向を示します。 TxRqst が"1"に設定されると、リモートフレームの送信を行い、TxRqst が"0"のときは、受容フィルタを通過したデータフレームを受信します
1	送信方向を示します。 TxRqst が"1"に設定されると、データフレームを送信し、TxRqst が"0"で RmtEn が"1"に設定されている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst を"1"に設定します。

MDir: メッセージ方向マスクビット

MDir	機能
0	受容フィルタでメッセージ方向ビット(Dir)をマスクします。
1	受容フィルタでメッセージ方向ビット(Dir)をマスクしません。

＜注意事項＞

MDir ビットは常に"1"を設定してください。

EoB: エンドオブバッファビット(詳細は、「5.4. FIFO バッファ機能」を参照してください)

EoB	機能
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

＜注意事項＞

- EoB ビットは、2～64 メッセージの FIFO バッファを構成するために使用します。
- 単一メッセージオブジェクト(FIFO を使用しない場合)は、必ず EoB ビットに"1"を設定してください。

NewDat: データ更新ビット

NewDat	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

MsgLst: メッセージロスト

MsgLst	機能
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

＜注意事項＞

MsgLst ビットは Dir ビットが"0"のとき(受信方向)のみ有効です。

RxIE: 受信割込みフラグイネーブルビット

RxIE	機能
0	フレーム受信成功後、IntPnd は変更されません。
1	フレーム受信成功後、IntPnd が"1"に設定されます。

TxIE: 送信割込みフラグイネーブルビット

TxIE	機能
0	フレーム送信成功後、IntPnd は変更されません。
1	フレーム送信成功後、IntPnd が"1"に設定されます。

IntPnd: 割込みペンディングビット

IntPnd	機能
0	割込み要因がありません。
1	割込み要因があります。 ほかに優先度の高い割込みがない場合は、CAN 割込みレジスタ(INTR)の IntId ビットはこのメッセージオブジェクトを示します。

RmtEn: リモートイネーブル

RmtEn	機能
0	リモートフレームの受信で、TxRqst は変更されません。
1	Dir ビットが"1"でリモートフレームを受信すると、TxRqst が"1"に設定されます。

＜注意事項＞

Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります。

- UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"に設定され、データは変更しません。(データフレームのように取り扱います)
- UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

TxRqst: 送信要求ビット

TxRqst	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

DLC3～0: データ長コード

DLC3～0	機能
0～8	データフレーム長は 0～8 バイトです。
9～15	設定禁止です。 設定された場合は、8 バイト長となります。

＜注意事項＞

データフレームを受信すると DLC ビットには、受信した DLC が格納されます。

Data 0-7: データ 0～7

Data	機能
Data 0	CAN データフレームの最初のデータバイト
Data 1	CAN データフレームの 2 番目のデータバイト
Data 2	CAN データフレームの 3 番目のデータバイト
Data 3	CAN データフレームの 4 番目のデータバイト
Data 4	CAN データフレームの 5 番目のデータバイト
Data 5	CAN データフレームの 6 番目のデータバイト
Data 6	CAN データフレームの 7 番目のデータバイト
Data 7	CAN データフレームの 8 番目のデータバイト

＜注意事項＞

- CAN バスへのシリアル出力は、MSB(bit7 もしくは bit15)より出力します。
- 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定が書き込まれます。
- メッセージオブジェクトへの転送は、DataA もしくは DataB の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

4.5. メッセージハンドラレジスタ

メッセージハンドラレジスタについて示します。

メッセージハンドラレジスタは、すべて読出し専用です。メッセージオブジェクトのTxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、ステータスを表示します。

・CAN 送信要求レジスタ 1～4 (TREQR1～TREQR4)
・CAN データ更新レジスタ 1～4 (NEWDT1～NEWDT4)
・CAN 割込みペンディングレジスタ 1～4 (INTPND1～INTPND4)
・CAN メッセージ有効レジスタ 1～4 (MSGVAL1～MSGVAL4)

4.5.1. CAN 送信要求レジスタ ：TREQR1～TREQR4

CAN 送信要求レジスタのビット構成について示します。

全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックできます。

■ CAN 送信要求レジスタ 4(上位バイト): アドレス Base + 84_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 64～57							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 4(下位バイト): アドレス Base + 85_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 56～49							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 3(上位バイト): アドレス Base + 86_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 48～41							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 3(下位バイト): アドレス Base + 87_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 40～33							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 2(上位バイト): アドレス Base + 80_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 32～25							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 2(下位バイト): アドレス Base + 81_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 24～17							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 1(上位バイト): アドレス Base + 82_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 16～9							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 送信要求レジスタ 1(下位バイト): アドレス Base + 83_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 8～1							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

TxRqst64～1: 送信要求ビット

TxRqst64-1	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

TxRqst ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"1"を設定し、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst に設定できます。

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"0",Control に"1"を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst に設定できます。

Dir ビットが"1", RmtEn ビットが"1"に設定し、受容フィルタを通過したリモートフレームの受信によりセットされます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"0", Control に"1"を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst に"0"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst をリセットできます。

フレームの送信が正常終了すると、リセットされます。

Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりリセットされます。

＜注意事項＞

優先順位が最下位のメッセージオブジェクトを送信に使用している場合、TxRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージオブジェクトに対して送信要求が発行される
- INIT ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合、送信メッセージオブジェクトとして優先順位が最下位のメッセージオブジェクトを使用しないか、送信中止後、上記のいずれかのイベントを発生させた後、再度 TxRqst に"1"を設定してください。

- TxRqst ビットが"1"のときに ID28～0, DLC3～0, Xtd, Data7～0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

4.5.2. CAN データ更新レジスタ ：NEWDT1～NEWDT4

CAN データ更新レジスタのビット構成について示します。

全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックできます。

■ CAN データ更新レジスタ 4(上位バイト): アドレス Base + 94_H (アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 64～57							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 4(下位バイト): アドレス Base + 95_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat 56～49							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 3(上位バイト): アドレス Base + 96_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 48～41							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 3(下位バイト): アドレス Base + 97_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat 40～33							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 2(上位バイト): アドレス Base + 90_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 32～25							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 2(下位バイト): アドレス Base + 91_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat24～17							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 1(上位バイト): アドレス Base + 92_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 16～9							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN データ更新レジスタ 1(下位バイト): アドレス Base + 93_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat8～1							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

NewDat64-1: データ更新ビット

NewDat 64～1	機能
0	有効なデータがないことを示します
1	有効なデータがあることを示します

NewDat ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", Control に"1" を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の NewDat に"1"を設定して、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトに設定できます。

受容フィルタを通過したデータフレームの受信によりセットされます。

Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりセットされます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"0", NewDat に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの NewDat をリセットできます。

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1"、Control に"1" を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の NewDat を"0"に設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの NewDat をリセットできます。

送信用シフトレジスタ(内部レジスタ)へデータを転送終了後、リセットされます。

4.5.3. CAN 割込みペンディングレジスタ ：INTPND1～INTPND4

CAN 割込みペンディングレジスタのビット構成について示します。

全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより、どのメッセージオブジェクトが割込みペンディング中であるかチェックできます。

■ CAN 割込みペンディングレジスタ 4(上位バイト): アドレス Base + $A4_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 64～57							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 割込みペンディングレジスタ 4(下位バイト): アドレス Base + $A5_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 56～49							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 割込みペンディングレジスタ 3(上位バイト): アドレス Base + $A6_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 48～41							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN 割込みペンディングレジスタ 3(下位バイト): アドレス Base + $A7_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 40～33							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN割込みペンディングレジスタ2(上位バイト):アドレスBase + $A0_H$ (アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 32～25							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN割込みペンディングレジスタ2(下位バイト): アドレスBase + $A1_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 24～17							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN割込みペンディングレジスタ1(上位バイト): アドレスBase + $A2_H$ (アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 16～9							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN割込みペンディングレジスタ1(下位バイト): アドレスBase + $A3_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 8～1							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

IntPnd64-1: 割込みペンディングビット

IntPnd 64-1	機能
0	割込み要因がありません
1	割込み要因があります

IntPnd ビットのセット/リセット条件を以下に示します。

セット条件

TxIE が"1"に設定されている場合、フレームの正常送信完了によりセットされます。

RxIE が"1"に設定されている場合、受容フィルタを通過したフレームの正常受信完了によりセットされます。

IFx コマンドマスクレジスタの WR/RD に"1", Control に"1", IFx メッセージ制御レジスタの IntPnd に"1"を設定して、IFx コマンド要求レジスタの書込みにより、特定オブジェクトの IntPnd を"1"にセットできます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"0", CIP に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの IntPnd をリセットできます。

IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"を設定し、Ifx メッセージ制御レジスタの IntPnd を"0"に設定した場合、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd を"0"にリセットできます。

4.5.4. CAN メッセージ有効レジスタ ：MSGVAL1～MSGVAL4

CAN メッセージ有効レジスタのビット構成について示します。

全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより、どのメッセージオブジェクトが有効であるかチェックできます。

■ CAN メッセージ有効レジスタ 4(上位バイト): アドレス Base + $B4_H$ (アクセス:バイト，ハーフワード，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 64～57							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 4(下位バイト): アドレス Base + $B5_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 56～49							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 3(上位バイト): アドレス Base + $B6_H$ (アクセス:バイト，ハーフワード，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 48～41							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 3(下位バイト): アドレス Base + $B7_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 40～33							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 2(上位バイト): アドレス Base + $B0_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 32～25							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 2(下位バイト): アドレス Base + $B1_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 24～17							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 1(上位バイト): アドレス Base + $B2_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 16～9							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

■ CAN メッセージ有効レジスタ 1(下位バイト): アドレス Base + $B3_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 8～1							
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

MsgVal64-1: メッセージ有効ビット

MsgVal 64～1	機能
0	メッセージオブジェクトは無効です メッセージの送受信は行いません
1	メッセージオブジェクトは有効です メッセージの送受信が可能となります

MsgVal ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"を設定し、IFx アービトレーションレジスタ 2 の MsgVal ビットに"1"を設定し、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの MsgVal ビットをセットできます。

リセット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"を設定し、IFx アービトレーションレジスタ 2 の MsgVal ビットに"0"を設定し、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの MsgVal ビットをクリアできます。

5. 動作説明

CAN の動作について説明します。

CAN には以下の機能があります。

・メッセージオブジェクト
・メッセージ送信動作
・メッセージ受信動作
・FIFO バッファ機能
・割込み機能
・ビットタイミング
・テストモード
・ソフトウェア初期化

5.1. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

5.1.1. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージRAMのメッセージオブジェクト設定(MsgVal, NewDat, IntPnd, TxRqst ビットを除く)は、ハードウェアリセットによって初期化されません。そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. メッセージインタフェースレジスタを用いすべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみメッセージインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MsgVal を"0"のままにし、初期化を行わない。

また、CAN ビットタイミングレジスタの設定は CAN 制御レジスタの Init ビットが"1"のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ(IFx コマンドマスクレジスタ, IFx マスクレジスタ, IFx アービトレーションレジスタ, IFx メッセージ制御レジスタ, IFx データレジスタ)に設定した後、IFx コマンド要求レジスタへのメッセージ番号を書き込んでください。この書込みによって、そのメッセージインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタの Init ビットが"0"にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージRAMへ格納されます。送信要求が保留されているメッセージは、メッセージRAM から CAN コントローラのシフトレジスタへ転送された後、CAN バスへの送信が行われます。

メッセージインタフェースレジスタ経由で、CPU は受信メッセージの読出しと送信メッセージの更新を行います。また CPU への割込みは、CAN 制御レジスタおよび、IFx メッセージ制御レジスタ(メッセージオブジェクト)の設定に従って実行されます。

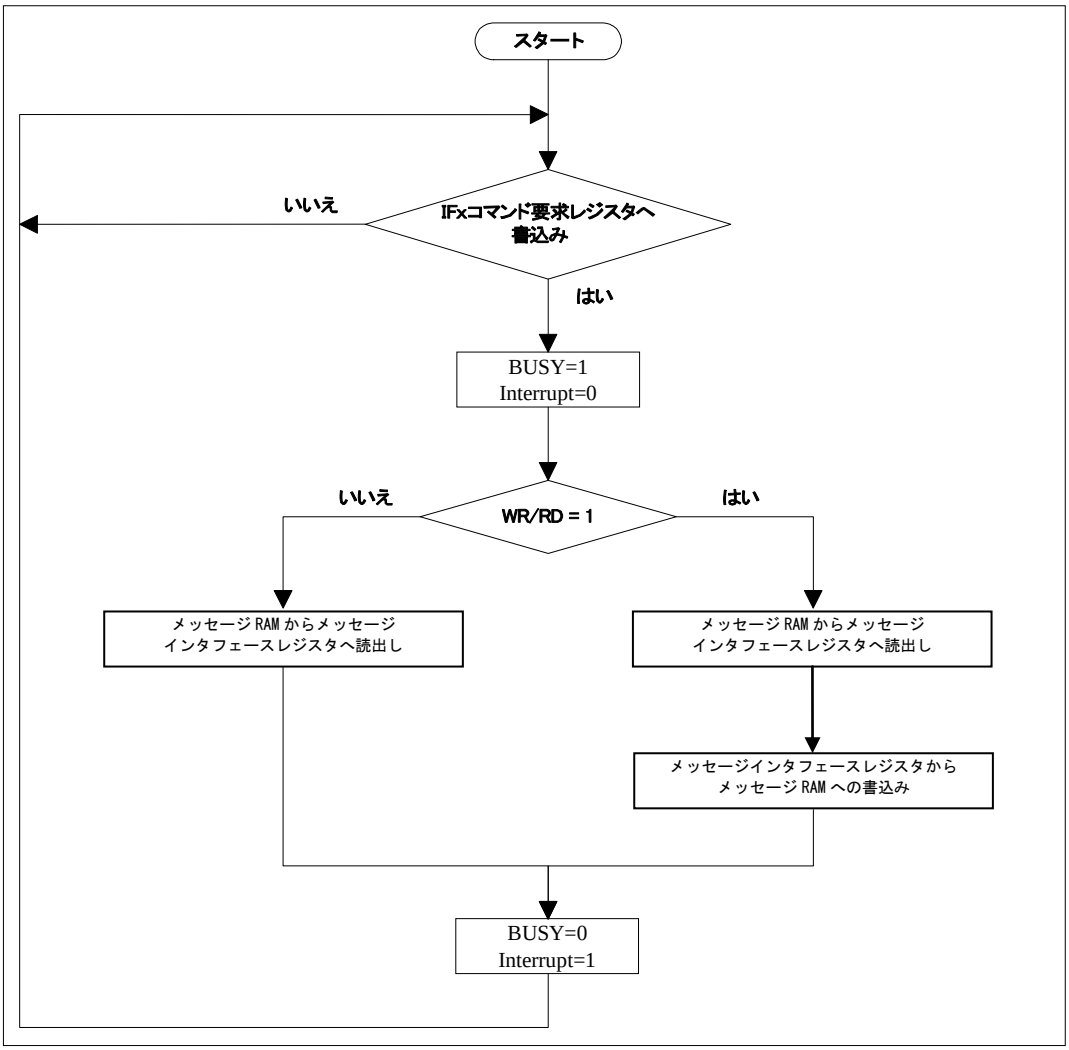
5.1.2. メッセージ RAM とのデータ送受信

メッセージ RAM とのデータ送受信について示します。

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始すると、IFx コマンド要求レジスタ(IFxCREQ)の BUSY ビットを"1"に設定します。転送完了後、BUSY ビットは"0"にクリアされます(図 5-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送を参照してください)。

IFx コマンドマスクレジスタ(IFxCMSK)は、1つのメッセージオブジェクトの全データ転送か、 データの部分転送を行うかを設定します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書込みは不可能となっており、常に 1 つのメッセージオブジェクトの全データをメッセージ RAM へ書き込みます。したがって、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

図 5-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



5.2. メッセージ送信動作

メッセージ送信動作について示します。

送信メッセージオブジェクトの設定方法および送信動作について説明します。

5.2.1. メッセージ送信

メッセージ送信について示します。

メッセージインタフェースレジスタとメッセージRAM間でデータ転送がない場合、CAN メッセージ有効レジスタ(MSGVAL)の MsgVal ビットと CAN 送信要求レジスタ(TREQR)の TxRqst ビットを評価します。送信要求を保留している中で、最高優先度の有効であるメッセージオブジェクトが、送信用のシフトレジスタへ転送が行われます。そのときメッセージオブジェクトの NewDat ビットは"0"にクリアされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない(NewDat="0")場合は、TxRqst ビットは"0"にリセットされます。TxIE が"1"に設定されている場合は、送信成功後に IntPnd ビットが"1"に設定されます。CAN コントローラが CAN バス上でアービトレーションに負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

5.2.2. 送信優先度

送信優先度について示します。

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 64(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、2 つ以上の送信要求が保留されていると、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

＜注意事項＞

・優先順位が最下位のメッセージオブジェクトを送信に使用している場合、TxRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージオブジェクトに対して送信要求が発行される
- Init ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合、送信メッセージオブジェクトとして優先順位が最下位のメッセージオブジェクトを使用しないか、送信中止後、上記のいずれかのイベントを発生させた後、再度 TxRqst に"1"を設定してください。

・TxRqst ビットが"1"のときに ID28～0, DLC3～0, Xtd, Data7～0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

5.2.3. 送信メッセージオブジェクトの設定

送信メッセージオブジェクトの設定について示します。

以下に送信オブジェクトの初期化方法を示します。

表 5-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ(ID28～0 と Xtd ビット)は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用してください。

TxIE ビットに"1"を設定すると、メッセージオブジェクトの送信成功後に IntPnd ビットが"1"に設定されます。

RmtEn ビットに"1"を設定すると、一致するリモートフレームを受信後、TxRqst ビットに"1"をセットし、データフレームを自動的に送信します。

データレジスタ(DLC3～0、Data0～7)の設定は、アプリケーションで与えられます。

UMask="1"のとき、IFx マスクレジスタ(Msk28～Msk0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可(TxRqst ビットに"1"を設定)するために使用されます。詳細は、「5.3 メッセージ受信動作」のリモートフレームを参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットをマスク許可に設定することは禁止です。

5.2.4. 送信メッセージオブジェクトの更新

送信メッセージオブジェクトの更新について示します。

CPU は、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で、更新できます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタ(IFxDTx)の 4 バイト単位(IFx データレジスタ A(IFxDTAx), IFx データレジスタ B(IFxDTBx)単位)でデータ書込みが行われます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新する時は、まず IFx コマンドマスクレジスタ(IFxCMSK)へ 0087_H の書込みを行います。そして、IFx コマンド要求レジスタ(IFxCREQ)へメッセージ番号の書込みにより、送信メッセージオブジェクトのデータ更新(8 バイトデータ)と TxRqst ビットへの"1"書込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に"1"に設定された場合、送信を開始すると NewDat ビットは"0"にリセットされます。

＜注意事項＞

- データを更新する場合は、IFx データレジスタ A(IFxDTAx)もしくは IFx データレジスタ B(IFxDTBx)の 4 バイト単位で行ってください。
- TxRqst ビットが"1"のときに ID28～0, DLC3～0, Xtd, Data7～0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

5.3. メッセージ受信動作

メッセージ受信動作について示します。

受信メッセージオブジェクトの設定方法および受信動作について説明します。

5.3.1. 受信メッセージの受容フィルタ

受信メッセージの受容フィルタについて示します。

メッセージのアービトレーション/コントロールフィールド(ID＋IDE＋RTR＋DLC)が CAN コントローラ受信用シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンを開始します。

このとき、メッセージRAMのメッセージオブジェクトからアービトレーションフィールドとマスクデータ(MsgVal, UMask, NewDat, EoBを含む)がロードされ、メッセージオブジェクトとシフトレジスタのアービトレーションフィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタのアービトレーションフィールドが一致検出されるまで"または "メッセージ RAM の最終ワードに到達するまで" 繰返し実行します。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ(データフレームまたはリモートフレーム)により、CAN コントローラは処理を行います。

5.3.2. 受信優先度

受信優先度について示します。

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 64(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、受容フィルタで 2 つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

5.3.3. データフレーム受信

データフレーム受信について示します。

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送し格納します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスクレジスタがマスク設定されている場合でも実行されます (ID とデータバイトを保持するために格納されます) 。

NewDat ビットは、新たなデータが受信されると"1"に設定されます。CPU がメッセージオブジェクトを読出したときには、NewDat ビットを"0"にリセットしてください。メッセージ受信時に、既に NewDat ビットが"1"に設定されている場合は、その前のデータが失われたことになり、MsgLst ビットが"1"に設定されます。

RxIE ビットが"1"に設定されている場合、メッセージオブジェクトを受信すると CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットに"1"をセットします。そのとき、そのメッセージオブジェクトの TxRqst ビットは"0"にクリアされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

5.3.4. リモートフレーム

リモートフレームについて示します。

リモートフレーム受信時の動作は、下記の 3 つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1)Dir="1"(送信方向)、RmtEn="1"、UMask="1"または"0"

一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ"1"にセットされ、リモートフレームに対するデータフレームの自動返信(送信)を行います (TxRqst ビット以外のメッセージオブジェクトは変更されません) 。

2)Dir="1"(送信方向)、RmtEn="0"、UMask="0"

受信したリモートフレームがメッセージオブジェクトと一致しても受信しないでリモートフレームを無効にします (このメッセージオブジェクトの TxRqst ビットは変更されません) 。

3)Dir="1"(送信方向)、RmtEn="0"、UMask="1"

受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは"0"にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドとコントロールフィールド(ID + IDE + RTR + DLC)は、メッセージ RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが"1"にセットされます。メッセージオブジェクトのデータフィールドは変更されません。

5.3.5. 受信メッセージオブジェクトの設定

受信メッセージオブジェクトの設定について示します。

以下に受信メッセージオブジェクトの初期化方法を示します。

表 5-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFxアービトレーションレジスタ(ID28～0、Xtd ビット)は、アプリケーションによって与えられ、受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。また、標準フレームが受信されると、ID17～ID0 は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

RxIE ビットが"1"に設定された場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"にセットされます。

データ長コード(DLC3～0)は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納する時、受信データ長コードと 8 バイトの データを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書込まれます。

UMask="1"のとき、IFx マスクレジスタ(Msk28～Msk0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は、「5.3 メッセージ受信動作」のデータフレーム受信を参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットのマスク設定は禁止です。

5.3.6. 受信メッセージの処理

受信メッセージの処理について示します。

CPU は、メッセージインタフェースレジスタを介して、受信メッセージをいつでも読み出すことが可能です。

通常、IFx コマンドマスクレジスタ(IFxCMSK)に"$007F_H$"を書き込みます。次にメッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタ(IFxCREQ)に書き込みます。この手順によって、指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき、IFx コマンドマスクレジスタ(IFxCMSK)の設定により、メッセージオブジェクトの NewDat ビットと IntPnd ビットを"0"にクリアできます。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。 メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、メッセージを受信するか判断します。

NewDat ビットは、メッセージオブジェクトが最後に読み出されてから、新しいメッセージが受信されたかを示します。

MsgLst ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に、受容フィルタにより一致するデータフレームが受信された場合には、TxRqst ビットは自動的に"0"にクリアされます。

5.4. FIFO バッファ機能

FIFO バッファ機能について示します。

受信メッセージ処理におけるメッセージオブジェクトのFIFOバッファの構成および動作について説明します。

5.4.1. FIFO バッファの構成

FIFO バッファの構成について示します。

FIFO バッファの受信メッセージオブジェクトの構成は、EoB ビットを除いて、受信メッセージオブジェクトの構成と同じです (「5.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください) 。

FIFOバッファは、2つ以上の受信メッセージオブジェクトを連結して使用します。このFIFOバッファへ受信メッセージを格納するためには、受信メッセージオブジェクトのIDとマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファの最初の受信メッセージオブジェクトは、優先順位の高いメッセージ番号の小さい番号となります。FIFOバッファの最後の受信メッセージオブジェクトは、EoBビットに"1"をセットし、FIFOバッファの終わりを示す必要があります (FIFOバッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は、EoB ビットに"0"を設定してください) 。

＜注意事項＞

- FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は必ず同じ設定にしてください。
- FIFO バッファを使用しない場合は、必ず EoB ビットに"1"を設定してください。

5.4.2. FIFO バッファによるメッセージ受信

FIFO バッファによるメッセージ受信について示します。

受信メッセージが、FIFO バッファの ID と一致した場合は、FIFO バッファの最小メッセージ番号の受信メッセージオブジェクトから順に格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが"1"に設定されます。EoB ビットが"0"の受信メッセージオブジェクトへ NewDat ビットをセットすると、CAN コントローラによる FIFO バッファ書込みは、最後の受信メッセージオブジェクト(EoB ビット="1")に到達するまで、受信メッセージオブジェクトは保護され、書込みが行われません。

下記両者を満たす場合、次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれるため、メッセージは上書きされます。

- FIFO バッファの最終メッセージオブジェクトまで有効なデータが格納された
- 受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われない

5.4.3. FIFO バッファからの読出し

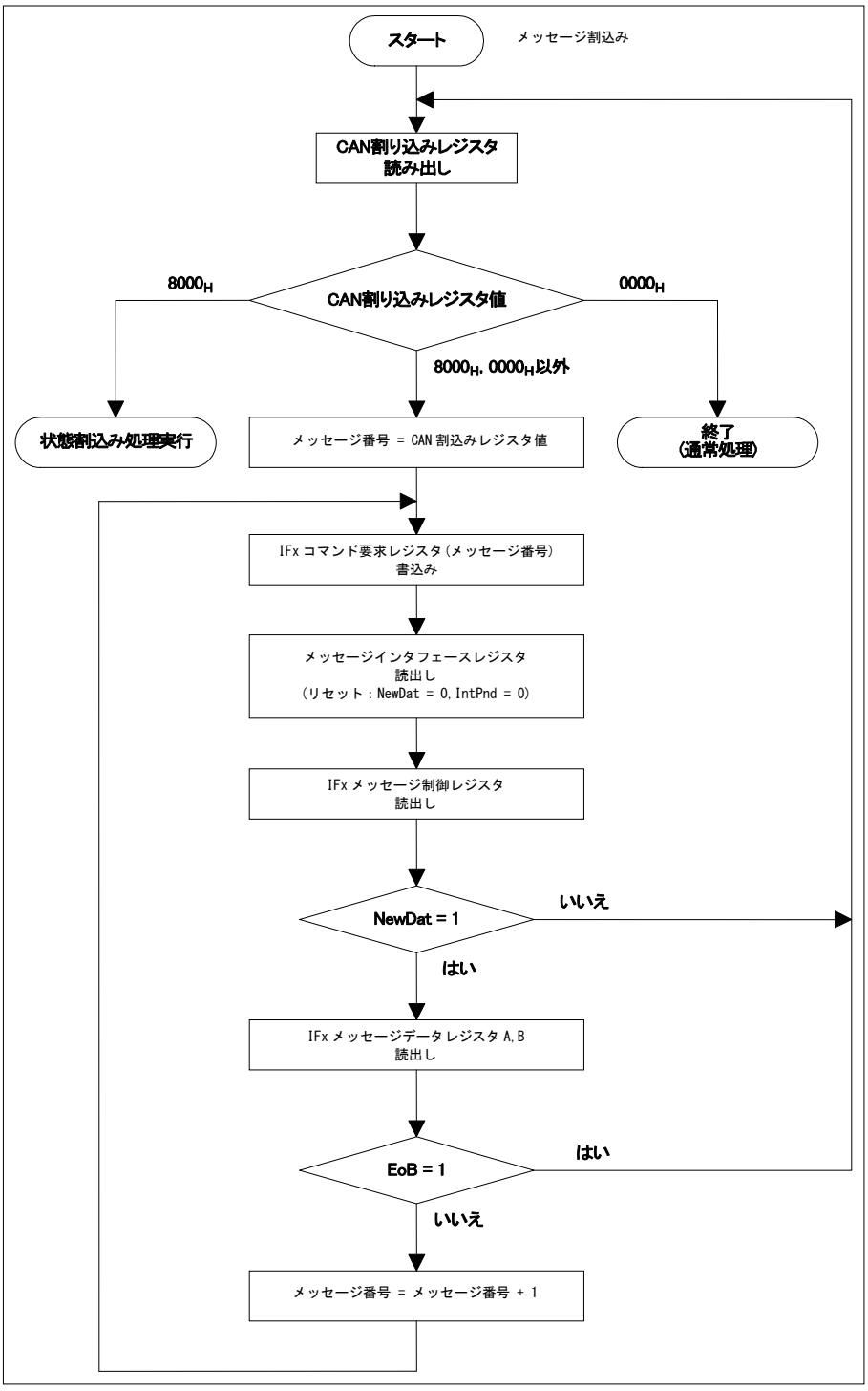
FIFO バッファからの読出しについて示します。

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタ(IFxCREQ)へ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出すことができます。このとき、IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD を"0"　(リード)および、TxRqst/NewDat=1、IntPnd=1 に設定し、NewDat ビットと IntPnd ビットを"0"にリセットしてください。

FIFOバッファの機能を保証するために、FIFOバッファの受信メッセージオブジェクトは、必ず最小のメッセージ番号から読み出してください。

以下に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

図 5-2 FIFO バッファの CPU 処理



5.5. 割込み機能

割込み機能について示します。

ステータス割込み(IntId=8000_H)およびメッセージ割込み(IntId=メッセージ番号)による割込み処理について説明します。
複数の割込みが保留中である場合、CAN 割込みレジスタ(INTR)は、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込み コードが表示されます。CPU がクリアするまで割込みコードは保持されます。
ステータス割込み(IntId ビットの 8000_H)は、最高優先度となります。
メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。
ステータス割込みは、CAN ステータスレジスタ(STATR)の読出しでクリアされます。

CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットは、割込みの有無を示します。保留中の割込みがない時は、IntPnd ビットは"0"を示します。

CAN 制御レジスタ(CTRLR)の IE ビットおよび、IFx メッセージ制御レジスタ(IFxMCTR)の TxIE ビット,RxIE ビットに"1"をセットしている状態で、IntPnd ビットが"1"になると CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタ(INTPND)が"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタ(CTRLR)の IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタ(INTR)の 8000_H は、CAN コントローラによって CAN ステータスレジスタ(STATR)が更新されたことを示し、この割込みが最高優先度となります。CAN ステータスレジスタ(STATR)の更新による割込みは、CAN 制御レジスタ(CTRLR)の EIE ビットと SIE ビットにより CAN 割込みレジスタ(INTR)への設定許可または禁止の制御ができます。また、CPU への割込み信号の制御は、CAN 制御レジスタ(CTRLR)の IE ビットで行えます。

CAN ステータスレジスタ(STATR)の RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新(リセット)できますが、その書込みにより割込みのセットまたはリセットを行うことはできません。
CAN 割込みレジスタ(INTR)の 8000_H、0000_H 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。
CAN 割込みレジスタ(INTR)は、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタ(INTR)または CAN 割込みペンディングレジスタ(INTPND)で確認できます。(「4.5 メッセージハンドラレジスタ」を参照してください)
メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能であり、CAN 割込みレジスタ(INTR)で示されているメッセージ割込みをクリアすると次に優先度の高い割込みが CAN 割込みレジスタ(INTR)に設定され、次の割込み処理を待つことになります。割込みがない場合には、CAN 割込みレジスタ(INTR)は 0000_H を示します。

＜注意事項＞

- ステータス割込み(IntId=8000_H)は、CAN ステータスレジスタ(STATR)の読出しアクセスにより割込みクリアされます。
- CAN ステータスレジスタ(STATR)の書込みアクセスによる、ステータス割込み(IntId=8000_H)は発生しません。

5.6. ビットタイミング・CAN システムクロック(fsys)生成

ビットタイミング・CAN システムクロック(fsys)生成について示します。

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器(通常は水晶発振器)を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期が異なっていても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲内である限りは、CAN ノードはビットストリームへ再同期化することで異なるビットレートを補償できます。

CAN 仕様に応じて、ビットタイムは 4 つの区分に分けられ(図 5-4 ビットタイミングを参照してください)、同期化部(Sync_Seg)、伝送時間部(Prop_Seg)、フェイズバッファ部 1(Phase_Seg1)、フェイズバッファ部 2(Phase_Seg2)で構成されます。それぞれの区分は、プログラマブルな時間量(表 5-3 CAN ビットタイムのパラメータを参照してください)から成ります。ビットタイムの基本単位時間(tq)は、CAN コントローラのシステムクロック fsys とボーレートプリスケーラ(BRP)で定義されます。

tq = BRP / fsys

CAN のシステムクロック fsys は、Clock 入力 CAN_CLK の周波数(図 3-1 参照)です。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングとなります。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェイズバッファ部の Phase_Seg1、Phase_Seg2 は、サンプリングポイントを指定します。再同期化ジャンプ幅(SJW)は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義します。

図 5-3 CAN システムクロック(fsys)生成図

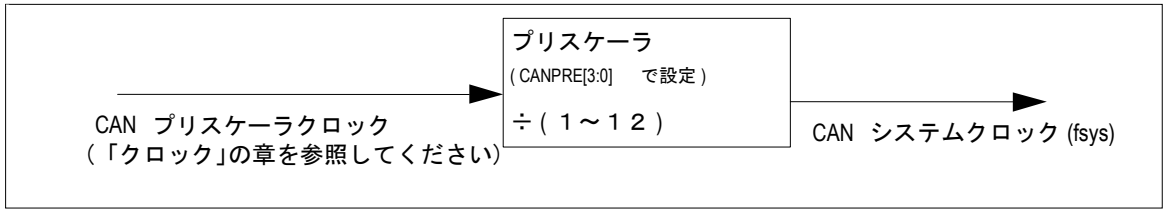


図 5-4 ビットタイミング

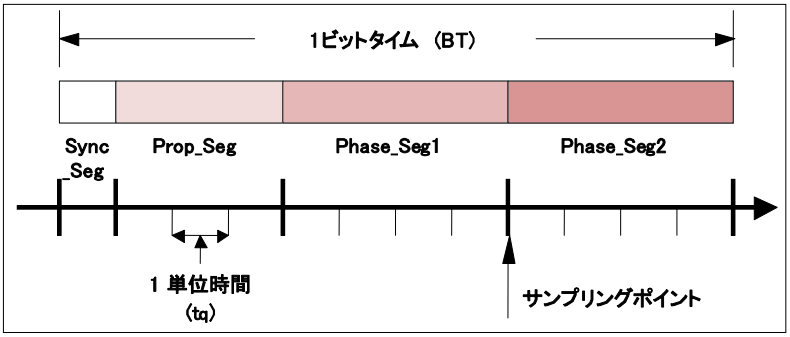


表 5-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1～32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長　システムクロックへの同期化
Prop_Seg	[1～8] tq	物理遅延時間の補償
Phase_Seg1	[1～8] tq	サンプルポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性あります
Phase_Seg2	[1～8] tq	サンプルポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性あります
SJW	[1～4] tq	再同期化ジャンプ幅 どちらかのフェイズバッファ部より長くなることはない

次に CAN コントローラにおけるビットタイミングを示します。

図 5-5 CAN コントローラにおけるビットタイミング

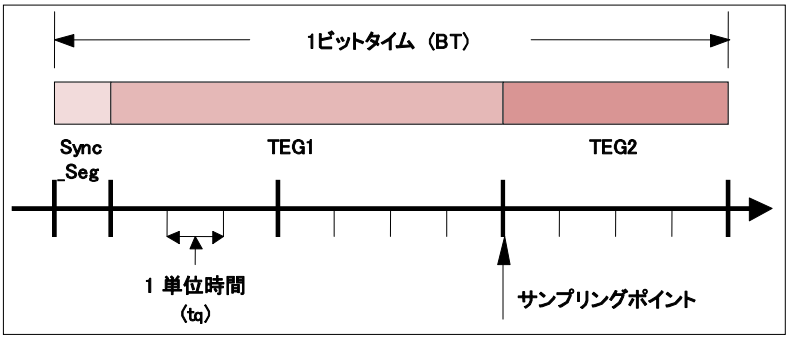


表 5-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0～1023]	時間量の長さ tq の定義 CAN ビットタイミングレジスタおよび CAN プレスケーラ拡張レジスタにより最大 1024 までプリスケーラを拡張できます
Sync_Seg	1 tq	システムクロックへの同期化 固定長
TSEG1	[1～15] tq	サンプリングポイント前のタイムセグメントです Prop_Seg と Phase_Seg1 に相当します CAN ビットタイミングレジスタにより制御可能です
TSEG2	[0～7] tq	サンプリングポイント後のタイムセグメントです Phase_Seg2 に相当します CAN ビットタイミングレジスタにより制御可能です
SJW	[0～3] tq	再同期化ジャンプ幅です CAN ビットタイミングレジスタにより制御可能です

各パラメータの関係を以下に示します。

Tq = ([BRPE,BRP]+1) / fsys

BT = Sync_Seg + TEG1 + TEG2

= (1 + (TSeg1+ 1) + (TSeg2 + 1)) ×tq

= (3 + TSeg1 + TSeg2) × tq

5.7. テストモード

テストモードについて示します。

テストモードの設定方法および動作について説明します。

5.7.1. テストモード設定

テストモード設定について示します。

CAN制御レジスタ(CTRLR)のTestビットに"1"をセットすることでテストモードになります。テストモードに設定すると、CANテストレジスタ(TESTR)のビットTx1, Tx0, LBack, Silent, Basicビットが有効となります。

CAN制御レジスタのTestビットを"0"にリセットすることにより、CANテストレジスタのRxビットを除くすべての機能を無効にします。

5.7.2. サイレントモード

サイレントモードについて示します。

CAN テストレジスタ(TESTR)の Silent ビットを"1"に設定することにより、CAN コントローラをサイレントモードに設定できます。

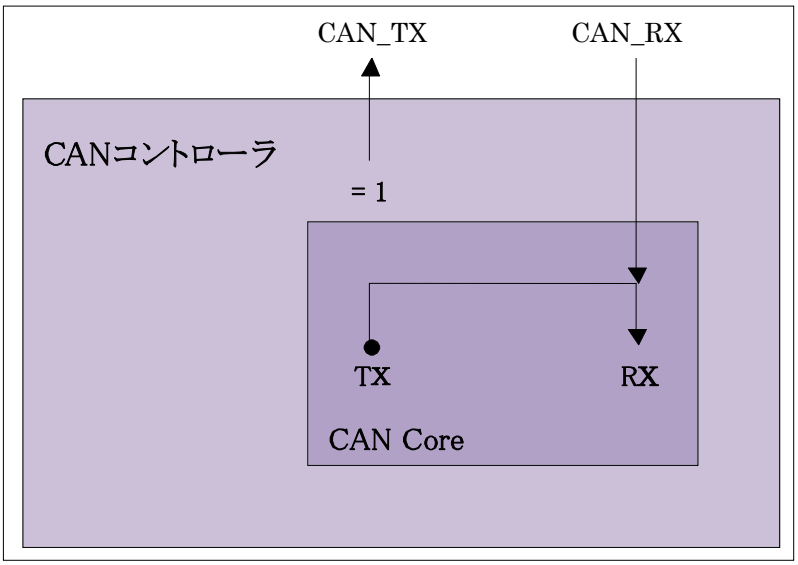
サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CAN バス上にはレセッシブのみ出力し、メッセージおよび ACK の送信を行いません。

CAN コントローラがドミナントビット(ACK ビット、オーバロードフラグ、アクティブエラーフラグ)の送信を要求された場合、CAN コントローラ内部の折り返し回路で RX 側に送信されます。この動作では、CAN バス上においてレセッシブ状態であっても、受信側では CAN コントローラ内部で折り返し送信されたドミナントビットを受信することになります。

サイレントモードでは、ドミナントビット(ACK ビット、エラーフラグ)送信による影響がない状態で、CAN バス上のトラフィック解析ができます。

以下にサイレントモードでの信号 TX と RX の CAN コントローラへの接続を示します。

図 5-6 サイレントモードでの CAN コントローラ



5.7.3. ループバックモード

ループバックモードについて示します。

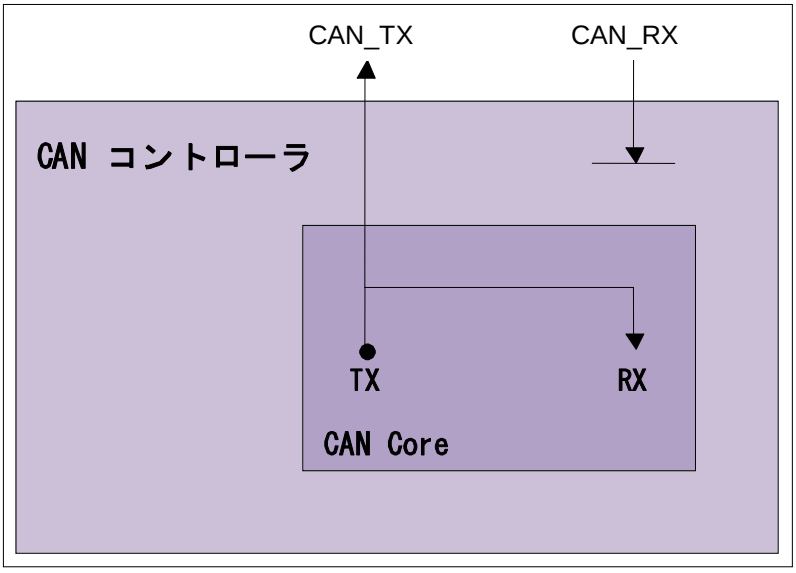
CAN テストレジスタ(TESTR)の LBack ビットを"1"に設定することにより、CAN コントローラをループバックモードに設定できます。

ループバックモードは、自己診断機能に使用できます。

ループバックモードでは、CAN コントローラ内部で TX 側と RX 側が接続され、CAN コントローラが送信したメッセージを、RX 側で受信したメッセージとして扱い、受容フィルタを通過したメッセージは、受信バッファに格納します。

以下にループバックモードでの信号 TX と RX の CAN コントローラへの接続を示します。

図 5-7 ループバックモードの CAN コントローラ



＜注意事項＞

外部信号から独立するため、データ/リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーを発生しますが、テストモードではアクノリッジエラーを発生させません。

5.7.4. サイレントモードとループバックモードの結合

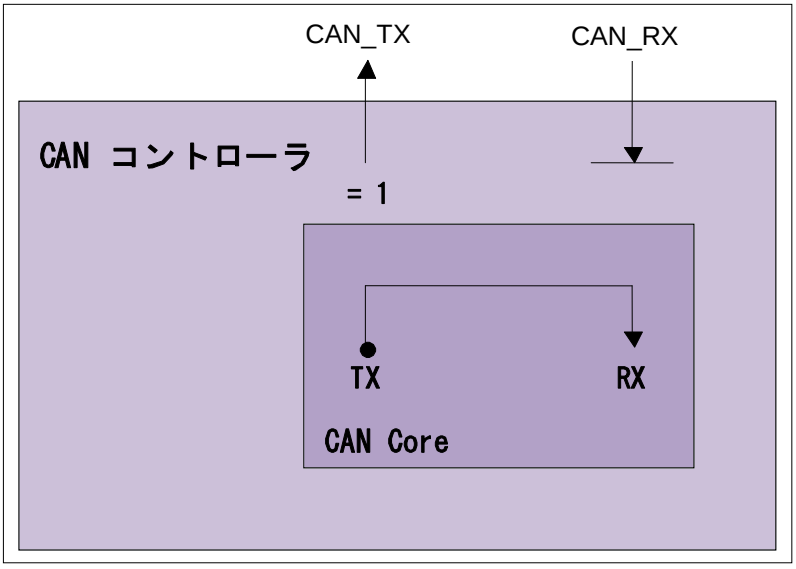
サイレントモードとループバックモードの結合について示します。

CAN テストレジスタ(TESTR)の LBack ビットと Silent ビットを同時に"1"に設定することにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、CAN コントローラがループバックモードでテストしたときに、信号 CAN_TX にはレセッシブの固定出力、信号 CAN_RX からの入力は無効となりますので、CAN システムの動作に影響がないことを意味しています。

以下にサイレントモードとループバックモードの結合したときの信号TX とRX のCAN コント　ローラへの接続を示します。

図 5-8 サイレントモードとループバックモードの結合された CAN コントローラ



5.7.5. ベーシックモード

ベーシックモードについて示します。

CAN テストレジスタ(TESTR)の Basic ビットを"1"に設定することにより、CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは、CAN コントローラは、メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは、送信制御用として使用されます。

メッセージ送信を行う場合、まず、IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に、IF1 コマンド要求レジスタの BUSY ビットに"1"を設定することで送信要求します。BUSY ビットが"1"の間、IF1 メッセージインタフェースレジスタをロックしている、または送信が保留されていることを示します。

BUSY ビットに"1"が設定されると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになるとすぐに、IF1 メッセージインタフェースレジスタの内容を、送信用シフトレジスタへロードし、送信を開始します。正常に送信完了すると、BUSY ビットが"0"にリセットされ、ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに、IF1 コマンド要求レジスタの BUSY ビットを"0"にリセットすることでいつでも中断できます。また、送信中に BUSY ビットを"0"にリセットすると、アービトレーション負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは、受信制御用として使用されます。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

・受信したメッセージ(受信用のシフトレジスタの内容)を受容フィルタなしで、IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合、CAN コントローラが NewDat ビットを"1"にセットします。また、NewDat ビットが"1"のときに、さらに新しいメッセージを受信した場合は、CAN コントローラが MsgLst を"1"にセットします。

＜注意事項＞

- ベーシックモードでは､制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタ(IFxCMSK)の制御モード設定は無効となります。
- コマンド要求レジスタのメッセージ番号は無効です。
- IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し、DLC3～0 は受信された DLC を示し、ほかの制御ビットは"0"として読み出されます。

5.7.6. 信号 TX のソフトフェア制御

信号 TX のソフトフェア制御について示します。

CAN 送信信号である TX は、4 つの出力機能あります。

・シリアルデータ出力(通常出力)
・CAN コントローラのビットタイミングをモニタするための、CAN サンプリングポイント信号出力
・ドミナント固定出力
・レセッシブ固定出力

ドミナントおよびレセッシブの固定出力は、CAN 受信信号の RX モニタ機能と共に、CAN バスの物理層のチェックに使用できます。

信号 CAN_TX の出力モードは、CAN テストレジスタ(TESTR)の Tx1 と Tx0 ビットにより制御可能です。

＜注意事項＞

CAN メッセージ送信もしくはループバックモード、サイレントモード、ベーシックモードを使用する際は、TX をシリアルデータ出力に設定する必要があります。

5.8. ソフトウェア初期化

ソフトウェア初期化について示します。

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。

・ハードウェアリセット
・CAN 制御レジスタ(CTRLR)の Init ビットの設定
・バスオフ状態への遷移

ハードウェアリセットではメッセージオブジェクト（MsgVal, NewDat, IntPnd, TxRqst ビットを除く）は初期化されません。それ以外はすべて初期化されます。
そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. メッセージインタフェースレジスタを用いですべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみメッセージインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MsgVal を"0"のままにし、初期化を行わない。

また、CAN ビットタイミングレジスタを設定する場合には、CAN 制御レジスタの Init ビットを"0"にクリアする前に設定してください。

CAN 制御レジスタの Init ビットは、以下の条件で"1"に設定されます。

・CPU からの"1"書込み
・ハードウェアリセット
・バスオフ

Init ビットが"1"に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の信号 CAN_TX はレセッシブ出力となります。(信号 CAN_TX のソフトウェア制御時は除く)

Init ビットに"1"をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタの Init ビットと CCE ビットが"1"に設定されると、ボーレート制御用の CAN ビットタイミングレジスタと CAN プリスケーラ拡張レジスタへの設定が可能となります。

Init ビットを"0"にリセットすることによりソフトウェア初期化を終了します。

Init ビットが"0"にリセットされてから、連続した 11 ビットのレセッシブの発生(=バスアイドル)を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク, ID, Xtd, EoB, RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。

5.9. CAN ウェイクアップ機能

CAN ウェイクアップ機能について示します。

CAN の信号 CAN_RX と外部割込み信号を接続することによって、CAN の受信動作でウェイクアップできます

■ CAN ウェイクアップ機能で使用する信号について

信号 CAN_RX と INT0 信号は共有しているので、ウェイクアップ機能を使用できます。

表 5-5 に CAN ウェイクアップ機能と信号 CAN_RX および INT 信号の関係を示します。

表 5-5 CAN ウェイクアップ機能の信号

	信号 CAN_RX	割込み機能
CAN	RX(57)	INT0

■ CAN ウェイクアップ機能について

CAN の受信データによりスリープモードまたはスタンバイモードから復帰できます。

＜注意事項＞

ウェイクアップ機能を使用する場合は、スリープモードまたはスタンバイモードに移行する前に外部割込みの設定を行っておく必要があります

6. 制限事項

CAN の制限事項について説明します。

6.1 Init ビット

6.1. Init ビット

Init ビットについて示します。

6.1.1. 制限事項

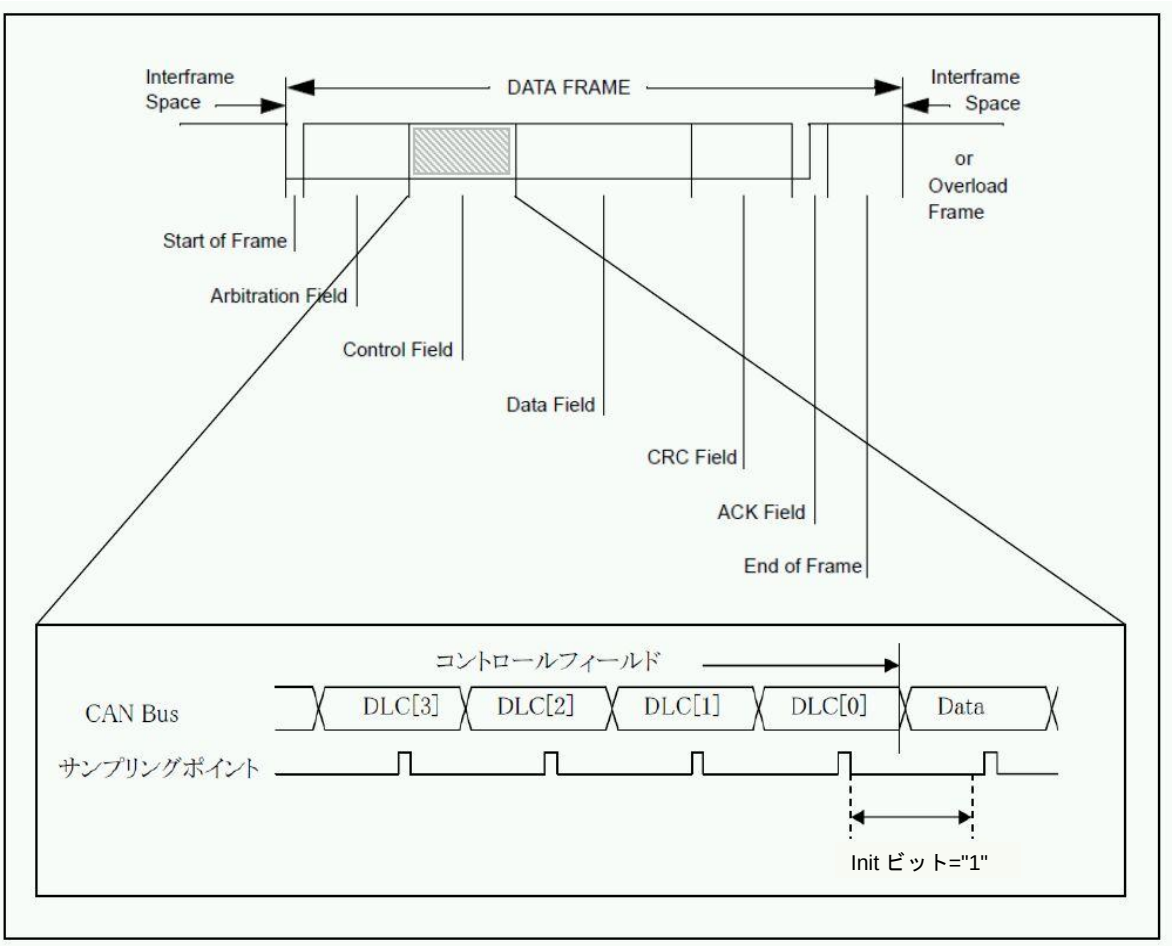
6.1.2 回避方法

6.1.1. 制限事項

制限事項について説明します。

コントロールフィールドの最終ビットを送信中に CAN コントロールレジスタ(CTRLR)の Init ビット="1"を設定(図 6-1)すると、Init ビットをクリアした後、最初に送信されるフレームのデータフィールドが 1 ビット分左へシフトされたものとなります。
なお、それ以降のメッセージは正しく送信されます。
また、データ長がゼロのリモートフレームとデータフレームは、本タイミングで Init ビットを設定しても影響を受けません。

図 6-1 制限事項の動作



6.1.2. 回避方法

回避方法について説明します。

以下のいずれかの方法で、本制限を回避してください。

1. CAN 制御レジスタ(CTRLR)の Init ビットに"1"を設定する場合
   送信完了後すぐに CAN 制御レジスタ(CTRLR)の Init ビットに"1"を設定してください。

2. 送信中に CAN 制御レジスタ(CTRLR)の Init ビットに"1"を設定し、その後 Init ビットに"0"を設定し送信したい場合
   まずは、Init ビットに"1"を設定し、送信要求ビット(TxRqst)が"1"に設定されているメッセージオブジェクトに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、Init ビットに"0"を設定してください。その後、CAN の 2 ビット時間経過後、送信したメッセージオブジェクトの送信要求ビット(TxRqst)に"1"を設定してください。

CHAPTER: CAN プリスケーラ

CAN プリスケーラについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ

1. 概要

CAN プリスケーラの概要について説明します。

本モジュールは、各クロックソースから CAN マクロへ供給するクロック(fsys)の生成を行います。図 3-1 CAN クロックプリスケーラ ブロックダイヤグラムは、CAN と CAN インタフェースおよび、CAN クロックプリスケーラとクロックソースセレクタ回路を示しています。

2. 特長

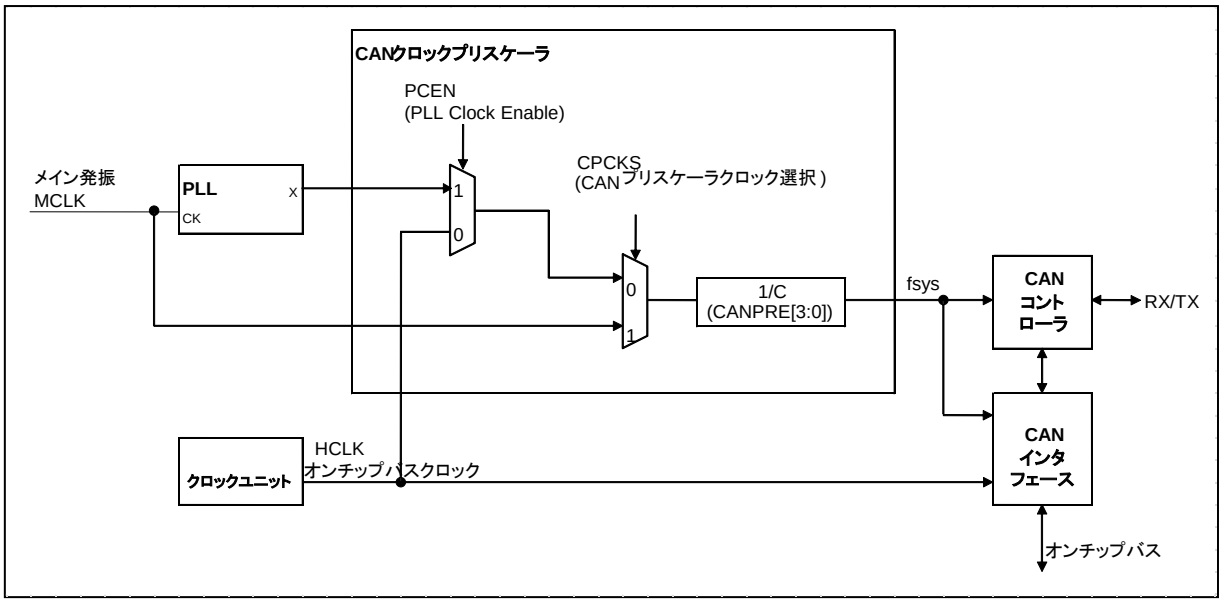
CAN プリスケーラの概要について説明します。

- CAN クロックプリスケーラのソースクロックとして、PLL クロック/HCLK またはメイン発振から選択可能です。
- PLL クロック/HCLK は、PLL 発振許可(PCEN)により切り替わります。
- CAN システムクロック(fsys)周期を変更可能な C 分周カウンタ(C=1～12)を搭載しています。

3. 構成

CAN プリスケーラの構成について説明します。

図 3-1 CAN クロックプリスケーラ ブロックダイヤグラム



4. レジスタ

CAN プリスケーラのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04A4	CANPRE	予約	予約	予約	CAN クロックプリスケーラ制御レジスタ

4.1. CAN プリスケーラレジスタ ：CANPRE

CAN プリスケーラレジスタのビット構成について示します。

CAN システムクロック(fsys)生成プリスケーラを設定するものです。詳細は『CAN』の章の『5.6 ビットタイミング・CAN システムクロック(fsys)生成』を参照してください。

このレジスタの値を変更する場合は、CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"1"に設定し、すべてのバス動作を停止してください。

■ CAN プリスケーラレジスタ: アドレス 04A4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約		CPCKS	CANPRE3	CANPRE2	CANPRE1	CANPRE0
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7] 予約ビット
必ず"0"を書き込んでください。

[bit6, bit5] 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit4] CAN プリスケーラクロック選択

CPCKS	CAN プリスケーラソースクロック
0	PLL クロック/HCLK(オンチップバスクロック)
1	メイン発振(MCLK)

[bit3～bit0] CAN プリスケーラ設定ビット

CANPRE [3:0]	機能	入力 CAN プリスケーラクロック 80MHz 時	入力 CAN プリスケーラクロック 64MHz 時	入力 CAN プリスケーラクロック 48MHz 時
0000	CAN システムクロックとして 1/1 周期が選択されます。 (初期値: CANPRE[3:0]=0000)	80MHz	64MHz	48MHz
0001	CAN システムクロックとして 1/2 周期が選択されます。	40MHz	32MHz	24MHz
001x	CAN システムクロックとして 1/4 周期が選択されます。	20MHz	16MHz	12MHz
01xx	CAN システムクロックとして 1/8 周期が選択されます。	10MHz	8MHz	6MHz

CANPRE [3:0]	機能	入力 CAN プリスケーラクロック 80MHz 時	入力 CAN プリスケーラクロック 64MHz 時	入力 CAN プリスケーラクロック 48MHz 時
1000	CAN システムクロックとして 2/3 周期が選択されます。 クロックの Duty は 67% となります。	53.3MHz	42.7MHz	32MHz
1001	CAN システムクロックとして 1/3 周期が選択されます。	26.7MHz	21.4MHz	16MHz
1010	CAN システムクロックとして 1/6 周期が選択されます。	13.3MHz	10.7MHz	8MHz
1011	CAN システムクロックとして 1/12 周期が選択されます。	6.7MHz	5.4MHz	4MHz
110x	CAN システムクロックとして 1/5 周期が選択されます。	16.0MHz	12.8MHz	9.6MHz
111x	CAN システムクロックとして 1/10 周期が選択されます。	8.0MHz	6.4MHz	4.8MHz

＜注意事項＞

- CAN プリスケーラ設定ビットの変更は、CAN 制御レジスタ(CTRLR)の初期化ビットを"1"に設定し、すべてのバス動作を停止させた後に行ってください。
- レジスタの設定により CAN インタフェースに供給するクロックは 16MHz 以下としてください。

CHAPTER: 12 ビット A/D コンバータ

12 ビット A/D コンバータについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード : FIP004FS24-2v2-91552-10-J

1. 概要

12 ビット A/D コンバータの概要について説明します。

12 ビット A/D コンバータには、RC 逐次比較変換方式でアナログ入力電圧を 12 ビットのデジタル値に変換する機能があります。A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

2. 特長

12 ビット A/D コンバータの特長について説明します。

2.1 A/D 起動コンペアの機能

2.2 A/D 起動調停の機能

2.3 12 ビット A/D コンバータ制御の機能

2.1. A/D 起動コンペアの機能

A/D 起動コンペアの機能について説明します。

■ アナログ入力制御

1 ユニットの A/D コンバータで、最大 8 チャネルのアナログ入力の許可/ 禁止を選択できます。

■ 起動チャネル

- A/D 起動要求制御および A/D 変換データ格納を起動チャネル単位で行います。
- A/D 起動チャネルは、12 ビット A/D コンバータと対応しています。対応は以下のとおりです。

表 2-1 チャネル割振り

MB91F552	ch.0～ch.7

各起動チャネルは、次のレジスタで構成されます。

- コンペアバッファレジスタ/コンペアレジスタ
- A/D 起動トリガ制御ステータスレジスタ
- A/D データレジスタ
- A/D 起動トリガ拡張制御レジスタ
- A/D 起動トリガ制御ステータス拡張レジスタ

■ A/D 起動要求

- 各起動チャネルは、ソフトウェア, 外部トリガ(立下り), リロードタイマ(立上り), PWM のいずれかで A/D 起動要求を行います。なお、起動チャネル内では、A/D 変換(起動要求)中の再起動はできません。
- ソフトウェア起動, 外部トリガ, リロードタイマおよび PWM 起動は、任意の起動チャネルを選択可能です。
- 起動要求は、起動チャネルごとにシングルモードまたはリピートモードのいずれかが設定可能です。
- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。

■ A/D 変換データ

A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャネルごとにあります。

各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、これらの値より A/D 変換データの状態を知ることができます。

■ 割込み要求

各起動チャネルは、A/D 変換終了時に、割込み要求を発生できます。

■ データ保護機能

- 各 A/D データレジスタは、データ保護機能を設定できます。
- データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを保護条件に含めるか選択ができます。

・A/D起動要求中または変換中は、A/D起動要求中ビットにより通知されます。また、現在のA/D起動要求または変換を強制終了したい場合は、A/D 起動要求中ビットに"0"を書き込むことにより可能です。

2.2. A/D 起動調停の機能

A/D 起動調停の機能について説明します。

- A/D 起動調停は、12 ビット A/D コンバータユニットごとにあります。各 A/D 起動チャネルの A/D 起動調停への割当ては「表 2-1 チャネル割振り」を参照してください。
- A/D 起動調停は、調停回路、A/D 起動トリガ生成およびアナログチャネル番号選択で構成されます。
- A/D 起動コンペアからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号およびアナログチャネル番号を生成します。
- 起動トリガは、各 A/D 起動コンペアからの起動要求から 1 つを選択して生成します。A/D 起動調停では、各 A/D 起動コンペアの起動要求が競合した場合、優先制御を行います。優先順位は、「起動チャネルの若い番号」(チャネル番号による優先制御)および「外部トリガ/リロードタイマ/PWM 起動による起動要求 ＞ ソフトウェア起動」(起動要因による優先制御)となります。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。なお、起動要因による優先制御は、A/D 変換中も行われます。その際、現在の変換は中断され、優先度の高い起動要因が処理されます。中断した起動要因は、優先度の高い変換終了後に再度調停されチャネル番号および起動要因による優先度の高いものがなければ、処理が再起動されます。
  - A/D 変換停止中に優先度が同じ起動要因が発生した場合:
    起動チャネルの若い番号のものから処理します。
  - A/D 変換停止中に優先度が異なる起動要因が発生した場合:
    優先度の高い起動要因から処理します。
  - A/D 変換中に優先度の高い起動要因が発生した場合:
    現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停され、中断した起動要因を再起動します。
  - A/D 変換中に優先度の低い起動要因が発生した場合:
    現在の変換終了後に再度調停され、優先度の低い起動要因を処理します。
  - A/D 変換中に優先度が同じ起動要因が発生した場合:
    現在の変換終了後に再度調停され、優先度が同じ起動要因を処理します。
- 変換キャンセル信号は、変換中の起動要因が非アクティブになり、ほかの起動要因もアクティブでないときに、現在の変換処理を強制終了するために生成します。
- アナログチャネル番号は、起動要求調停結果の起動チャネルから入力される起動要求アナログ番号が選択されます。

2.3. 12 ビット A/D コンバータ制御の機能

12 ビット A/D コンバータ制御の機能について説明します。

・12 ビット A/D コンバータにアナログ入力端子がそれぞれに割り振られています。各入力端子とユニットの対応は「表 2-1 チャネル割振り」を参照してください。

アナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換する機能があり、次の特長があります。

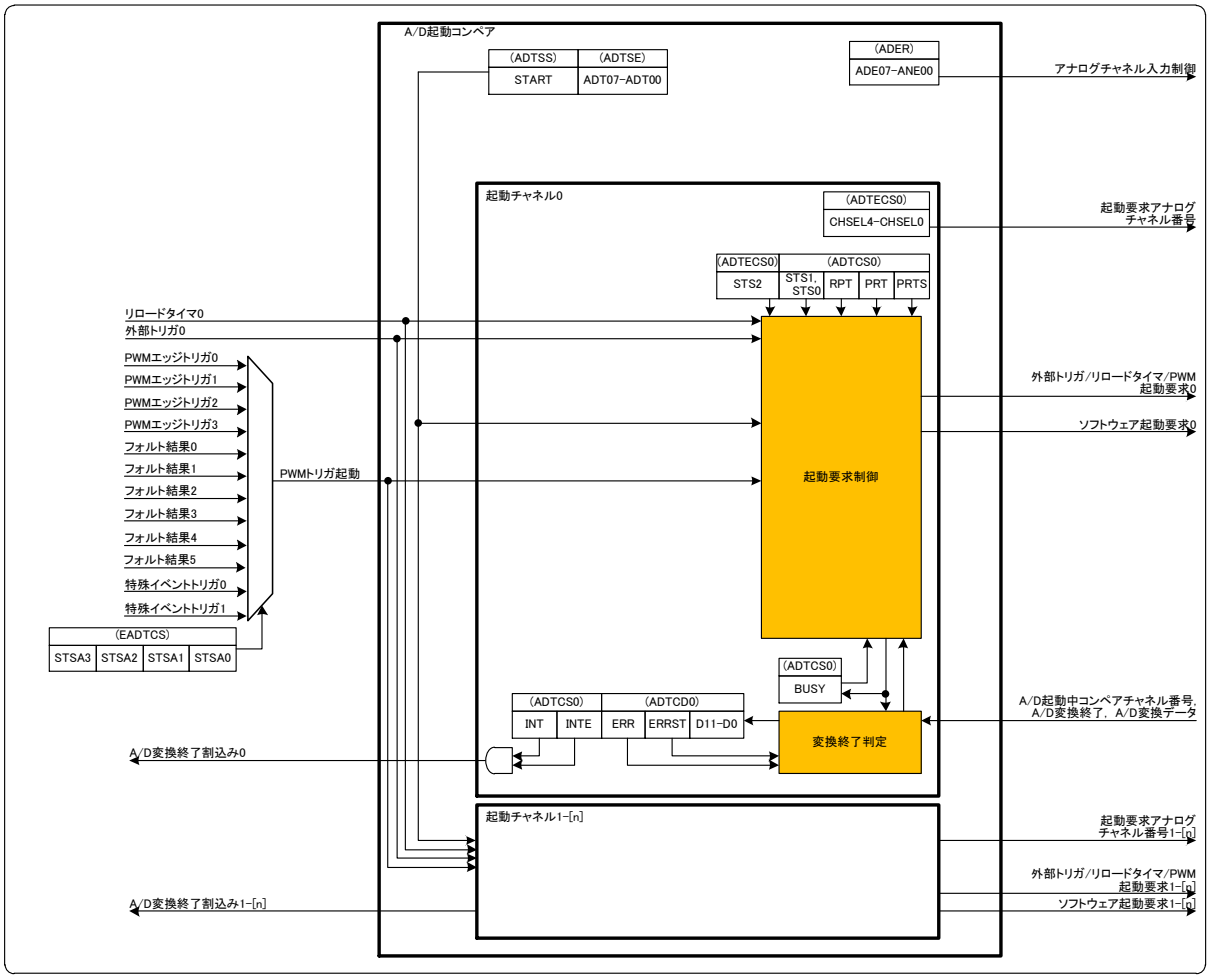
・変換時間は、最小 1.0µs (サンプリング時間を含む)です。
・変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
・アナログ入力端子はプログラムで選択できます。(A/D 起動コンペア部にて設定します。)
・起動信号はパルス信号で入力されます。
・A/D 変換は、1 回の起動要因の入力で 1 回の変換を行います。
・A/D 変換中に、再度、起動信号が入力された場合は、再起動を行います。 (再起動機能)
・A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の処理を停止/初期化します。(強制停止機能)
・サンプリング時間の設定は、全チャネル共通のサンプリング時間設定と、チャネルごとのサンプリング時間設定の選択ができます。

3. 構成

12 ビット A/D コンバータの構成について説明します。

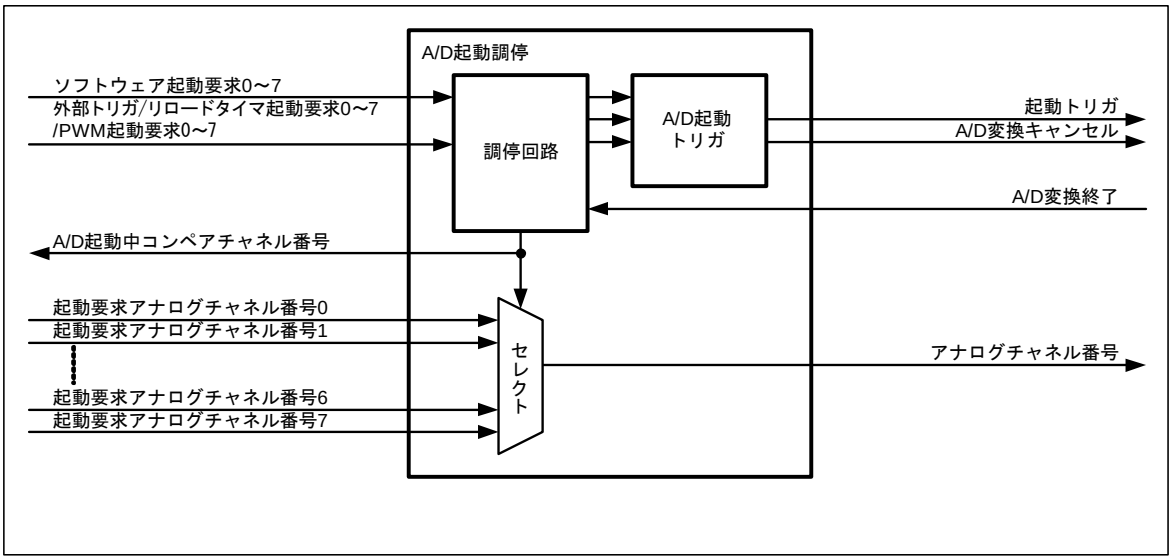
■ A/D 起動コンペアの構成

図 3-1 A/D 起動コンペアの構成(n=7 A/D コンバータ ユニット)



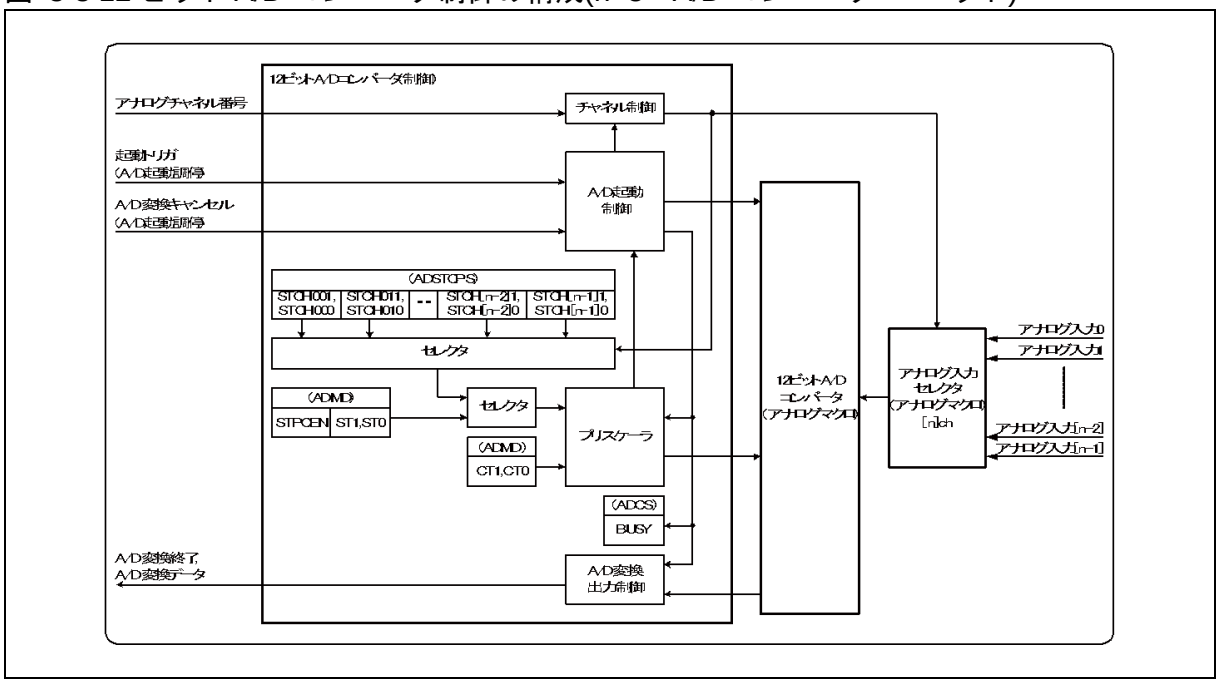
■ A/D 起動調停の構成

図 3-2 A/D 起動調停の構成



■ 12 ビット A/D コンバータ制御の構成

図 3-3 12 ビット A/D コンバータ制御の構成(n=8　A/D コンバータ ユニット)



4. レジスタ

12 ビット A/D コンバータのレジスタについて説明します。

■ アナログ入力制御のレジスター覧

表 4-1 アナログ入力制御のレジスター覧

アドレス	+0	+1	+2	+3
0x04AC	予約		アナログ入力制御レジスタ下位(ADERL0) (キーコード対象レジスタ)	
0x04B0	予約			

■ A/D 起動コンペアのレジスター覧

表 4-2 A/D 起動コンペアのレジスター覧

アドレス	+0	+1	+2	+3
0x1304	A/D ソフトウェア起動レジスタ 0 (ADTSS0)	予約	予約	予約
0x1308	A/D ソフトウェア起動チャネル選択レジスタ 0 (ADTSE0)			
0x130C | 0x1348	予約			
0x134C	A/D 起動トリガ制御ステータスレジスタ 0 (ADTCS0)		A/D 起動トリガ制御ステータスレジスタ 1 (ADTCS1)	
0x1350	A/D 起動トリガ制御ステータスレジスタ 2 (ADTCS2)		A/D 起動トリガ制御ステータスレジスタ 3 (ADTCS3)	
0x1354	A/D 起動トリガ制御ステータスレジスタ 4 (ADTCS4)		A/D 起動トリガ制御ステータスレジスタ 5 (ADTCS5)	
0x1358	A/D 起動トリガ制御ステータスレジスタ 6 (ADTCS6)		A/D 起動トリガ制御ステータスレジスタ 7 (ADTCS7)	
0x135C | 0x1388	予約			
0x138C	A/D データレジスタ 0(ADTCD0)		A/D データレジスタ 1(ADTCD1)	
0x1390	A/D データレジスタ 2(ADTCD2)		A/D データレジスタ 3(ADTCD3)	
0x1394	A/D データレジスタ 4(ADTCD4)		A/D データレジスタ 5(ADTCD5)	
0x1398	A/D データレジスタ 6(ADTCD6)		A/D データレジスタ 7(ADTCD7)	

アドレス	+0	+1	+2	+3
0x139C | 0x13C8	予約			
0x13CC	A/D 起動トリガ拡張制御レジスタ 0 (ADTECS0)		A/D 起動トリガ拡張制御レジスタ 1 (ADTECS1)	
0x13D0	A/D 起動トリガ拡張制御レジスタ 2 (ADTECS2)		A/D 起動トリガ拡張制御レジスタ 3 (ADTECS3)	
0x13D4	A/D 起動トリガ拡張制御レジスタ 4 (ADTECS4)		A/D 起動トリガ拡張制御レジスタ 5 (ADTECS5)	
0x13D8	A/D 起動トリガ拡張制御レジスタ 6 (ADTECS6)		A/D 起動トリガ拡張制御レジスタ 7 (ADTECS7)	
0x13DC | 0x1454	予約			
0x1458	データ保護状態フラグレジスタ 0(ADPRTF0)			
0x145C	予約			
0x146C	A/D 起動トリガ制御ステータス拡張レジスタ 0 (EADTCS0)	A/D 起動トリガ制御ステータス拡張レジスタ 1 (EADTCS1)	A/D 起動トリガ制御ステータス拡張レジスタ 2 (EADTCS2)	A/D 起動トリガ制御ステータス拡張レジスタ 3 (EADTCS3)
0x1470	A/D 起動トリガ制御ステータス拡張レジスタ 4 (EADTCS4)	A/D 起動トリガ制御ステータス拡張レジスタ 5 (EADTCS5)	A/D 起動トリガ制御ステータス拡張レジスタ 6 (EADTCS6)	A/D 起動トリガ制御ステータス拡張レジスタ 7 (EADTCS7)

■ 12 ビット A/D コンバータ制御のレジスター覧

表 4-3 12 ビット A/D コンバータ制御のレジスター覧

アドレス	+0	+1	+2	+3
0x1460	A/D 制御ステータスレジスタ 0 (ADCS0)		A/D チャネル ステータス レジスタ 0 (ADCH0)	A/D モード設定 レジスタ 0 (ADMD0)
0x1464	A/D チャネルごとの サンプリング時間設定 レジスタ 0 (ADSTPCS0)	A/D チャネルごとの サンプリング時間設定 レジスタ 1 (ADSTPCS1)	予約	予約

4.1. アナログ入力制御のレジスタ

アナログ入力制御のレジスタについて説明します。

アナログ入力制御には、アナログ入力制御レジスタがあります。

4.1.1. アナログ入力制御レジスタ ：ADER

アナログ入力制御レジスタのビット構成について示します。

アナログ入力制御レジスタ(ADERL0) は、アナログ入力を制御するレジスタです。

■ **ADERL0: アドレス 04AEH (アクセス: バイト, ハーフワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADE07	ADE06	ADE05	ADE04	ADE03	ADE02	ADE01	ADE00
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit8] 未定義

常に"1"が読み出されます。書込みは動作に影響ありません。

[bit7 ～ bit0] ADE07 ～ ADE00 : アナログ入力許可ビット

ADE07～ADE00	機能
0	アナログ入力禁止
1	アナログ入力許可

・アナログ入力端子を制御します。
・このビットが"0"の場合、アナログ入力は禁止されます。
・このビットが"1"の場合、アナログ入力は許可されます。

＜注意事項＞

本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。
設定方法は『I/O ポート』の章の『キーコードレジスタ:KEYCDR』、『キーコードレジスタ機能の設定』を参照してください。また、本レジスタへのワードアクセスは禁止です。

4.2. A/D 起動コンペアのレジスタ

A/D 起動コンペアのレジスタについて説明します。

4.2.1. A/D ソフトウェア起動レジスタ ：ADTSS0

A/D ソフトウェア起動レジスタのビット構成について示します。

A/D ソフトウェア起動レジスタ(ADTSS)は、12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。なお、起動するチャネルは、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)で設定される起動チャネルに対してです。

■ ADTSS0: アドレス 1304H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							START
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W

[bit7 ～ bit1] 予約

必ず"0"を書き込んでください。

[bit0] START : A/D 変換起動ビット(ソフトウェア)

START	機能
0	A/D 変換機能を起動しない
1	A/D 変換機能を起動する

- A/D 変換動作をソフトウェアで起動するビットです。
- このビットに"1"を書き込むと A/D 変換が起動します。なお、起動するチャネルは、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)で設定される起動チャネルに対してです。
- このビットによる変換の再起動はかかりません。

4.2.2. A/D ソフトウェア起動チャネル選択レジスタ ：ADTSE0

A/D ソフトウェア起動チャネル選択レジスタのビット構成について示します。

A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)は、A/D起動要求を行う起動チャネルを選択するレジスタです。

■ ADTSE0: アドレス 1308H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADT07	ADT06	ADT05	ADT04	ADT03	ADT02	ADT01	ADT00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit8] 未定義

常に"1"が読み出されます。書込みは動作に影響ありません。

[bit7 ～ bit0] ADT07 ～ ADT00 : ソフトウェア起動チャネル選択ビット

ADT07～ADT00	機能
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

・起動チャネルのソフトウェア起動を制御します。
・このビットが"0"の場合、ソフトウェア起動は禁止されます。
・このビットが"1"の場合、ソフトウェア起動は許可されます。

4.2.3. A/D 起動トリガ制御ステータスレジスタ ：ADTCS0 ～ ADTCS7

A/D 起動トリガ制御ステータスレジスタのビット構成について示します。

A/D起動トリガ制御ステータスレジスタ(ADTCS)は、A/D起動要求確認、割込み要求の許可/ 禁止、割込み要求の状態の確認、起動要因選択、変換モード選択、保護機能制御およびアナログ入力チャネルの選択に使用します。

■ ADTCS0 ～ ADTCS7: アドレス 134CH~ 135AH(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	INT	INTE	STS1	STS0	RPT	PRT	PRTS
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	1	0	0	0	0	0
属性	R0/W0	R0/W0	R1/W1	R0/W0	R0/W0	R0/W0	R0/W0	R0/W0

[bit15] BUSY : A/D 起動要求中ビット

BUSY	機能	
	読出し時	書込み時
0	A/D 起動未要求	A/D 起動要求強制停止
1	A/D 起動要求中または変換中	変化なし, ほかへの影響なし

・A/D 起動要求または変換の動作表示ビットです。
・読出し時、このビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば A/D 変換要求中または変換中であることを示します。
・書込み時、このビットへの"0"の書込みによって A/D 起動要求または変換を強制停止します。"1"の書込みでは、変化せずほかへの影響はありません。

＜注意事項＞

リードモディファイライト(RMW)命令のリード時には、"1"が読み出されます。

[bit14] INT : 割込み要求フラグビット

INT	機能	
	読出し時	書込み時
0	A/D 変換未終了	ビットクリア
1	A/D 変換終了	変化なし、ほかへの影響なし

・A/D 変換によって A/D データレジスタ(ADTCD)にデータがセットされると、このビットは"1"に設定されます。
・このビットと割込み要求許可ビット(ADTCS:INTE)が"1"のときに割込み要求を発生します。
・書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
・このビットは A/D 変換終了割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、"1" が読み出されます。
ソフトウェアクリア(INT="0"書込み)または割込みクリア信号("H")によるクリアと、ハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit13] INTE : 割込み要求許可ビット

INTE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

・CPU への割込み出力の許可/ 禁止をするビットです。
・このビットと割込み要求フラグビット(ADTCS:INT)が"1"のときに割込み要求を発生します。

[bit12, bit11] STS1, STS0 : A/D 起動要因選択ビット

ADTECS: STS2	STS1	STS0	機能
0	0	0	ソフトウェア起動
0	0	1	外部端子トリガ起動(立下りエッジ)
0	1	0	リロードタイマ起動(立上りエッジ)
0	1	1	設定禁止
1	0	0	PWM 起動(立上りエッジ)
1	0	1	設定禁止
1	1	0	
1	1	1	

・STS1,STS0 ビットは、A/D 起動トリガ拡張制御レジスタ(ADTECS)の bit8(STS2)との組合せで、A/D 変換の起動要因の選択を行います。

＜注意事項＞

- A/D 起動要因選択ビットは書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY=1)でないときに行ってください。
- A/D 起動要求を行わない場合は、ADTECS.STS2 を含む本ビットをソフトウェア起動("000_B")と設定し、ADTSE の該当ビット(起動チャネル)をソフトウェア起動禁止(ADT ビット=0)としてください。

[bit10] RPT : リピート変換選択ビット

RPT	機能
0	シングル変換
1	リピート変換

- A/D 変換のモードを設定します。
- "0"に設定した場合、シングル変換モードになります。1 回の起動要因で 1 回の A/D 変換要求を行います。A/D 変換を 1 回行います。
- "1"に設定した場合、リピート変換モードになります。1 回の起動要因で A/D 変換要求を継続します。A/D 変換はシングル変換モードに設定されるまで繰り返し行われます。

[bit9] PRT : A/D データレジスタ保護有効ビット

PRT	機能
0	保護無効
1	保護有効

- "1"に設定した場合、A/D データレジスタへの上書きを保護します。なお、保護機能はコンペア一致起動(STS1, STS0=11)以外の要因のときに働きます。
- A/D データレジスタに変換データが格納された後、A/D データレジスタ保護解除選択ビット(PRTS)で設定される要因が発生するまで次の起動要求をマスクして、A/D データレジスタへの上書きを保護します。

＜注意事項＞

A/D データレジスタ保護有効ビットは、A/D 変換を動作させる前に設定してください。A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護有効ビットを変更しないでください。

[bit8] PRTS : A/D データレジスタ保護解除選択ビット

PRTS	機能
0	データ読出しおよび割込みフラグクリア
1	データ読出し

- A/D データレジスタ保護機能有効時(PRT=1) に、起動要求のマスク解除条件を選択します。
- "0"に設定した場合、A/D データレジスタ(ADTCD)の読出しと割込み要求フラグビット(INT)のクリアが保護解除条件(順不同)となります。
- "1"に設定した場合、A/D データレジスタ(ADTCD)の読出しが保護解除条件となります。

＜注意事項＞

A/Dデータレジスタ保護解除選択ビットは、A/D変換を動作させる前に設定してください。
A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護解除選択ビットを変更しないでください。

[bit7, bit6] 予約
必ず"0"を書き込んでください。

[bit5] 予約
必ず"1"を書き込んでください。

[bit4 ～ bit0] 予約
必ず"0"を書き込んでください。

4.2.4. A/D 起動トリガ制御ステータス拡張レジスタ : EADTCS0 ～ 7

A/D 起動トリガ制御ステータス拡張レジスタのビット構成について示します。

A/D 起動トリガ制御ステータス拡張レジスタ(EADTCS)は、PWM による起動要因の選択を行います。

■ EADTCS0 ～ 7: アドレス 146CH~1473H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	-	-	-	STSA3	STSA2	STSA1	STSA0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit7 ～ bit4] 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit3 ～ bit0] STSA3 ～ STSA0 : A/D PWM 起動要因選択ビット

STSA3	STSA2	STSA1	STSA0	機能
0	0	0	0	PWM エッジトリガ 0
0	0	0	1	PWM エッジトリガ 1
0	0	1	0	PWM エッジトリガ 2
0	0	1	1	PWM エッジトリガ 3
0	1	0	0	フォルト結果 0
0	1	0	1	フォルト結果 1
0	1	1	0	フォルト結果 2
0	1	1	1	フォルト結果 3
1	0	0	0	フォルト結果 4
1	0	0	1	フォルト結果 5
1	0	1	0	特殊イベントトリガ 0
1	0	1	1	特殊イベントトリガ 1
1	1	0	0	設定禁止
:				
1	1	1	1	

・STSA3～STSA0 ビットは、A/D 起動トリガ拡張制御レジスタ(ADTECS)の bit8(STS2)="1"でかつ A/D 起動トリガ制御ステータスレジスタ(ADTCS)の bit12(STS1)、bit11(STS0)="00"のときに有効になります。

4.2.5. A/D データレジスタ ：ADTCD0 ～ ADTCD7

A/D データレジスタのビット構成について示します。

A/D データレジスタ(ADTCD)は、A/D 変換結果を格納するレジスタです。

■ ADTCD0 ～ ADTCD7: アドレス 138CH~139AH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ERR	ERRST	予約		D11	D10	D9	D8
初期値	1	0	0	0	0	0	0	0
属性	R, WX	R,WX	R0,W0	R0,W0	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] ERR : 変換データエラーフラグビット

ERR	機能
0	変換データは正常です。
1	変換データは正常ではありません。

- A/D 変換データにエラーがあったことを示すビットでエラーの内容は本ビットが"1"のとき、ERRST ビットの値で知ることができます。
- 本ビットは読み出すと"1"に設定されます。
- 新しい変換結果が本レジスタに書き込まれると"0"にクリアされます。
- なお、A/D データレジスタ保護機能が有効(ADTCS.PRT=1)のときは、"0"が読み出されます。

[bit14] ERRST : 変換データエラーステータスビット(ERR=1 時のみ)

ERRST	機能
0	変換データは古い結果です。
1	変換データは新しいデータに上書きされたものです。

- ERR ビット=1 のとき、A/D 変換データのエラー内容を示すフラグです。
- ERR ビット=1 かつ本ビット=0 とき、CPU 読出しによる変換結果が古いことを示します。
- ERR ビット=1 かつ本ビット=1 のとき、CPU 読出しによる変換結果は、CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きより旧変換データが失われたことを示します。
- CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きより旧変換データが失われていた場合、"1"に設定されます。
- 本ビットは読み出すと"0"にクリアされます。
- なお、A/D データレジスタ保護機能が有効(ADTCS.PRT=1)のときは、"0"が読み出されます。

[bit13, bit12] 予約

必ず"0"を書き込んでください。

[bit11 ～ bit0] D11 ～ D0 : A/D データビット

D11～D0	機能
	変換データ

・A/D 変換の結果が格納され、レジスタは 1 回の変換終了ごとに書き換えられます。
・通常は、最終変換値が格納されます。

＜注意事項＞

本レジスタには書込み動作を行わないでください。

4.2.6. A/D 起動トリガ拡張制御レジスタ ：ADTECS0 ～ 7

A/D 起動トリガ拡張制御レジスタのビット構成について示します。

A/D起動トリガ拡張制御レジスタ(ADTECS)は、起動要因選択およびアナログ入力チャネルの選択を行います。

■ ADTECS0 ～ 7: アドレス 13CCH~13DAH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							STS2
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit9] 予約
必ず"0"を書き込んでください。

[bit8] STS2 : A/D 起動要因選択ビット
A/D 起動トリガ制御ステータスレジスタ(ADTCS)の bit12, bit11(STS1, STS0)との組合せで、A/D 変換の起動要因の選択を行います。詳細は「4.2.3 A/D起動トリガ制御ステータスレジスタ : ADTCS0 ～ ADTCS7」を参照してください。

＜注意事項＞

- A/D 起動要因選択ビットは書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY=1)でないときに行ってください。
- A/D 起動要求を行わない場合は、ADTCS.STS1,ADTCS.STS0 を含む本ビットをソフトウェア起動("000_B")と設定し、ADTSEの該当ビット(起動チャネル)をソフトウェア起動禁止(ADTビット=0)としてください。

[bit7 ～ bit5] 予約
必ず"0"を書き込んでください。

[bit4 ～ bit0] CHSEL4 ～ CHSEL0 : アナログチャネル選択ビット

CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0	説明
0	0	0	0	0	チャネル 0
0	0	0	0	1	チャネル 1
:					:
0	0	1	1	0	チャネル 6
0	0	1	1	1	チャネル 7
0	1	0	0	0	設定禁止
:					:
1	1	1	1	1	設定禁止

指定した値のアナログチャネルを選択します。

- A/D 変換供給中に、アナログチャネル選択ビットを変更しないでください

4.2.7. データ保護状態フラグレジスタ ：ADPRTF0

データ保護状態フラグレジスタのビット構成について示します。

データ保護状態フラグレジスタ(ADPRTF)は、起動チャネルごとのA/Dデータレジスタの保護状態を表示します。

■ ADPRTF0: アドレス 1458H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	-							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	-							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PRTF7	PRTF6	PRTF5	PRTF4	PRTF3	PRTF2	PRTF1	PRTF0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit8] 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit7 ～ bit0] PRTF7 ～ PRTF0 : データ保護状態フラグビット

PRTF	説明
0	データ保護状態ではありません
1	データ保護状態です

・起動チャネルごとの A/D データレジスタに対するデータ保護状態を表示します。
・書込み動作は、データ保護状態に対し影響しません。

4.3. 12 ビット A/D コンバータ制御のレジスタ

12 ビット A/D コンバータ制御のレジスタについて説明します。

12 ビット A/D コンバータ制御には、A/D 制御ステータスレジスタ, A/D チャネルステータスレジスタ, A/D モード設定レジスタおよび A/D チャネルごとのサンプリングレジスタがあります。

4.3.1. A/D 制御ステータスレジスタ ：ADCS0

A/D 制御ステータスレジスタのビット構成について示します。

A/D 制御ステータスレジスタ(ADCS)は、変換確認をする機能があります。

■ ADCS0: アドレス 1460H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit15] BUSY : A/D 変換中ビット

BUSY	機能
0	A/D 変換停止中
1	A/D 変換動作中

- A/D コンバータの動作表示ビットです。
- 読出し時、このビットが"0"であれば A/D 変換停止中であることを示し、"1"あれば A/D 変換動作中であることを示します。
- 書込みは、変化せずほかへの影響はありません。

[bit14 ～ bit0] 予約

必ず"0"を書き込んでください。

4.3.2. A/D チャネルステータスレジスタ ：ADCH

A/D チャネルステータスレジスタのビット構成について示します。

A/D チャネルステータスレジスタ(ADCH)は、A/D 変換中に、変換中のアナログチャネル番号が読めます。

■ ADCH0: アドレス 1462H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			CH4	CH3	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7 ～ bit5] 予約
必ず"0"を書き込んでください。

[bit4 ～ bit0] CH4 ～ CH0 : アナログチャネルビット

CH4	CH3	CH2	CH1	CH0	機能
					ADCH0
0	0	0	0	0	ch.0
0	0	0	0	1	ch.1
:					:
0	0	1	1	0	ch.6
0	0	1	1	1	ch.7
0	1	0	0	0	設定禁止
:					:
1	1	1	1	1	設定禁止

・A/D 変換中に、変換中のアナログチャネル番号の確認を行うことができるビットです。

4.3.3. A/D モード設定レジスタ ：ADMD

A/D モード設定レジスタのビット構成について示します。

A/Dモード設定レジスタ(ADMD)は、A/D変換のコンペア時間やサンプリング時間を設定する機能があります。

■ ADMD0: アドレス 1463H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STPCEN	予約			CT1	CT0	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7] STPCEN : チャネルごとのサンプリング時間設定許可ビット

STPCEN	説明
0	全チャネル共通のサンプリング時間設定
1	チャネルごとのサンプリング時間設定

- A/D 変換時のサンプリング時間設定を、チャネルごとの設定を行うか、もしくは共通の設定で行うか選択するビットです。
- STPCEN="0"の場合、全チャネル共通のサンプリング時間になります。サンプリング時間の設定は、サンプリング時間設定ビットで行います。
- STPCEN="1"の場合、チャネルごとにサンプリング時間を設定できます。チャネルごとのサンプリング時間の設定は、A/D チャネルごとのサンプリング時間設定ビットで行います。

[bit6 ～ bit4] 予約

必ず"0"を書き込んでください。

[bit3, bit2] CT1, CT0 : コンペア時間設定ビット

CT1	CT0	機能
0	0	28 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	42 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	56 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	112 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

- A/D 変換時のコンペア時間を選択するビットです。
- アナログ入力が取り込まれた(サンプリング時間経過)後、このビットに設定された時間後に変換結果のデータが確定します。

設定例

周辺クロック(MHz)	CT1	CT0	コンペア期間(ns)
40	0	0	700
32	0	0	875
24	0	0	1166.7
16	0	0	1750

＜注意事項＞

コンペア時間は 700ns 以上となるように設定してください。700ns 以下では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

[bit1, bit0] ST1, ST0 : サンプリング時間設定ビット

ST1	ST0	機能
0	0	12 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	18 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	24 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	48 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

・A/D 変換時のサンプリング時間を選択するビットです。
・A/D が起動されると、このビットに設定された時間、アナログ入力が取り込まれます。

設定例(使用条件：AVcc=4.5V~5.5V)

周辺クロック(MHz)	ST1	ST0	サンプリング期間(ns)
40	0	0	300
32	0	0	375
24	0	0	500
16	0	0	750

＜注意事項＞

サンプリング時間は 300ns(4.5V~5.5V)以上となるように設定してください。300ns 以下では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

4.3.4. A/D チャネルごとのサンプリング時間設定レジスタ : ADSTPCS

A/D チャネルごとのサンプリング時間設定レジスタのビット構成について示します。

A/D チャネルごとのサンプリング時間設定レジスタ(ADSTPCS)は、A/D 変換のサンプリング時間をチャネルごとに設定します。

■ ADSTPCSm(m=0 ～ 1): アドレス 1464H ~ 1465H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STCH (m*4+3)1	STCH (m*4+3)0	STCH (m*4+2)1	STCH (m*4+2)0	STCH (m*4+1)1	STCH (m*4+1)0	STCH (m*4)1	STCH (m*4)0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7 ～ 0] STCHn1, STCHn0(n=00 ～ 07) : サンプリング時間設定ビット

STCHn1	STCHn0	説明
0	0	12 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	18 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	24 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	48 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

・A/D 変換時のサンプリング時間をチャネルごとに選択するビットです。
・チャネルごとのサンプリング時間設定許可ビット(ADMD.STPCEN)が"1"の場合に、チャネルごとのサンプリング時間設定(STCHn1,STCHn0)が有効になります。
・設定チャネルとアナログチャネルの対応は以下になります。

表 4-4 チャネルごとのサンプリング時間設定とアナログチャネル対応(A/D コンバータユニット 0)

チャネルごとのサンプリング時間設定ビット	アナログチャネル番号
	ADSTPCS0～1
STCH001, STCH000	チャネル 0
STCH011, STCH010	チャネル 1
:	:
STCH061, STCH060	チャネル 6
STCH071, STCH070	チャネル 7

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

5. 動作説明

動作について説明します。

5.1 A/D 起動コンペアの割込み

5.2 A/D 起動コンペアの動作

5.3 A/D 起動調停の動作

5.4 12 ビット A/D コンバータの動作

5.1. A/D 起動コンペアの割込み

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

5.1.1. A/D 変換終了割込み

A/D 変換終了割込みについて説明します。

表 5-1 A/D 変換終了割込みによる割込み制御ビットと割込み要因

	A/D 変換終了割込み
割込み要求フラグビット	A/D 起動トリガ制御ステータスレジスタ(ADTCS)の INT:bit14
割込み要求許可ビット	A/D 起動トリガ制御ステータスレジスタ(ADTCS)の INTE:bit13
割込み要因	A/D 変換結果の A/D データレジスタへの書込み

A/D コンバータを起動したコンペアチャネルの A/D 変換終了時に A/D 変換終了割込み要求を発生できます。また、A/D 変換終了割込みは、起動チャネル単位で制御できます。
A/D 変換結果が A/D データレジスタ(ADTCD)に設定されると、A/D 起動トリガ制御ステータスレジスタ(ADTCS)の INT ビットが"1"に設定されます。このとき、割込み要求が許可(ADTCS の INTE=1)されていると割込みコントローラに割込み要求を出力します。

5.2. A/D 起動コンペアの動作

A/D 起動コンペアの動作について説明します。

ソフトウェア, 外部トリガ, リロードタイマ, PWM のいずれかで、A/D 起動要求を行えます。

5.2.1. A/D 起動

A/D 起動について説明します。

A/D コンバータの起動要求を行います。起動要求は最大 8 チャネルあるアナログチャネルごとに生成可能です。
ソフトウェア、外部トリガ(立下り)、リロードタイマ(立上り)、PWM のいずれかで、A/D 起動調停に対して起動要求信号を生成します。A/D 起動要求信号は、起動チャネルごとに「ソフトウェア起動要求」、「外部トリガ/ リロードタイマ/PWM 起動要求」、「コンペア一致起動要求」の 3 つがあり、いずれかがアクティブとなります。
該当チャネルの A/D 変換終了で起動要求がクリアされ、A/D データレジスタに変換データが格納されます。その際、割込みを発生可能です。
なお、起動チャネル内では、起動要求中に起動要因を受信しても起動要求の再起動は行いません。

- 起動チャネルは、A/D コンバータに割り振られています。割振りについては下表のとおりになります。

表 5-2 起動チャネル対応

	起動チャネル
MB91F552	ch.0～ch.7

5.2.2. A/D 起動許可

A/D 起動許可について説明します。

A/D 起動要因は、A/D 起動トリガ制御要因選択ビット(ADTECS.STS2, ADTCS.STS1, STS0)および A/D PWM 起動要因選択ビット(EADTCS.STSA3 ～ EADTCS.STSA0)で選択します。ソフトウェア、外部トリガ、リロードタイマ、PWM のいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して起動要求信号を発生します。
A/D 起動を行わない起動チャネルに対しては、ソフトウェア起動を選択(ADTECS.STS2="0", ADTCS.STS1, STS0="00_B")し、さらに A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当チャネルをソフトウェア起動禁止にすることにより、A/D 起動要求を禁止できます。

5.2.3. アナログチャネル選択

アナログチャネル選択について説明します。

A/D 起動トリガ拡張制御レジスタ(ADTECS)の CHSEL ビットにより、A/D 変換するアナログチャネルを選択可能です。

5.2.4. ソフトウェア起動

ソフトウェア起動について説明します。

A/D 起動トリガ制御要因選択ビットをソフトウェア起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="00_B")
A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)にて、ソフト起動したいチャネルを起動許可設定します。ここで設定した複数のチャネルに対して、同時に起動要求が発生可能です。
そして、A/D ソフトウェア起動レジスタ(ADTSS)の START ビットに"1"を書き込むことにより、ソフトウェア起動要求信号がセットされます。

5.2.5. 外部トリガ起動

外部トリガ起動について説明します。

A/D 起動トリガ制御要因選択ビットを外部トリガ起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="01_B")
外部トリガは、12 ビット A/D コンバータ起動チャネル 0 ～ 7 に対応しています。本品種の A/D コンバータの起動チャネルについては、「表 5-2 起動チャネル対応」を参照してください。
外部トリガの立下りを検出すると、外部トリガ/ リロードタイマ/PWM の起動要求信号がセットされます。

5.2.6. リロードタイマ起動

リロードタイマ起動について説明します。

A/D 起動トリガ制御要因選択ビットをリロードタイマ起動に設定します。(ADTECS.STS2="0", ADTCS. STS1, STS0="10_B")
リロードタイマは、12 ビット A/D コンバータに入力され、リロードタイマ 0 は起動チャネル 0 ～ 7 に対応しています。本品種の A/D コンバータの起動チャネル については、「表 5-2 起動チャネル対応」を参照してください。
リロードタイマの立上りを検出すると、外部トリガ/リロードタイマ/PWM の起動要求信号がセットされます。

5.2.7. PWM 起動

PWM 起動について説明します。

A/D 起動トリガ制御要因選択ビットを PWM 起動に設定します。(ADTECS.STS2="1", ADTCS.STS1,STS0="00B")
PWM 起動要因は A/D PWM 起動要因選択ビットにより選択します。PWM 起動は、起動チャネルごとに選択して入力されます。
A/D PWM 起動要因選択ビットで設定された信号の立上りを検出すると、外部トリガ/ リロードタイマ/PWM の起動要求信号がセットされます

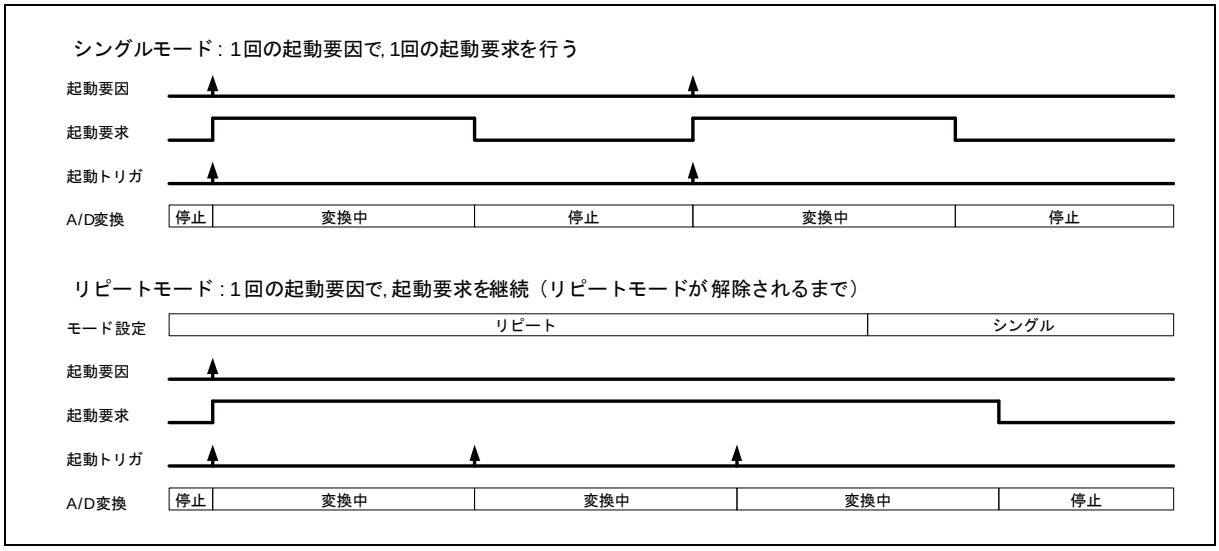
5.2.8. 起動要求モード

起動要求モードについて説明します。

起動チャネルごとに起動要求モードを設定可能です。起動モードはシングルモードとリピート　モードの 2 つです。A/D 起動トリガ制御ステータスレジスタ(ADTCS)の RPT ビットで設定します。

- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。

図 5-1 起動要求モード



5.2.9. A/D 変換データ

A/D 変換データについて説明します。

A/D 変換結果データは、起動チャネルごとに A/D データビット(ADTCD.D11 ～ D0)に格納されます。
また、データ保護機能無効(ADTCS.PRT="0")時、変換データエラーフラグビット(ADTCD.ERR)および変換データエラーステータスビット(ADTCD.ERRST)により、A/D データビット (ADTCD.D11 ～ D0)に格納されている A/D 変換データの状態を確認できます。
データ保護機能有効(ADTCS.PRT="1")時、変換データエラーフラグビット(ADTCD.ERR)は"0"、変換データエラーステータスビット(ADTCD.ERRST) は"0"に固定されます。

表 5-3 A/D 変換データの状態確認(データ保護機能無効時)

ADTCD:ERR	ADTCD:ERRST	A/D 変換データ状態
0	0	最新データ(読出し未)
0	1	ー(意味を持ちません)
1	0	古いデータ(読出し済) (注意事項)初期値
1	1	最新データ/上書き発生(読出し未) (注意事項)データ破棄あり

5.2.10. 保護機能

保護機能について説明します。

各 A/D データレジスタは、データ保護機能を設定可能です。保護機能は、A/D 起動トリガ制御ステータスレジスタ(ADTCS)の PRT ビットで設定します。

保護機能の有効時、A/D データレジスタに変換結果が格納されるとデータ保護状態になります。データ保護状態の解除条件は、ADTCS レジスタの PRTS ビットで選択できます。

- PRTS ビットが"0"の場合、A/D データレジスタのデータ読出しと割込みフラグクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。
- PRTS ビットが"1"の場合、A/D データレジスタのデータ読出しがされるまで、起動要求がマスクされます。
- データ保護状態中は、次の起動要因が発生しても起動要求信号をマスク(非アクティブ)することで、未読出しの A/D データレジスタのデータが次の A/D 変換データで上書きされることを保護します。

5.2.11. 起動要求の強制終了

起動要求の強制終了について説明します。

A/D 起動要求中または変換中は、A/D 起動トリガ制御ステータスレジスタの A/D 起動要求中ビット(ADTCS0-7.BUSY)により通知できます。また、現在の A/D 起動要求または変換を強制終了したい場合には、本ビットに"0"を書き込みます。

5.3. A/D 起動調停の動作

A/D 起動調停の動作について説明します。

A/D 起動コンペアからの A/D 起動要求の調停を行い、A/D 起動トリガを生成します。また A/D 変換するアナログチャネルを決定します。

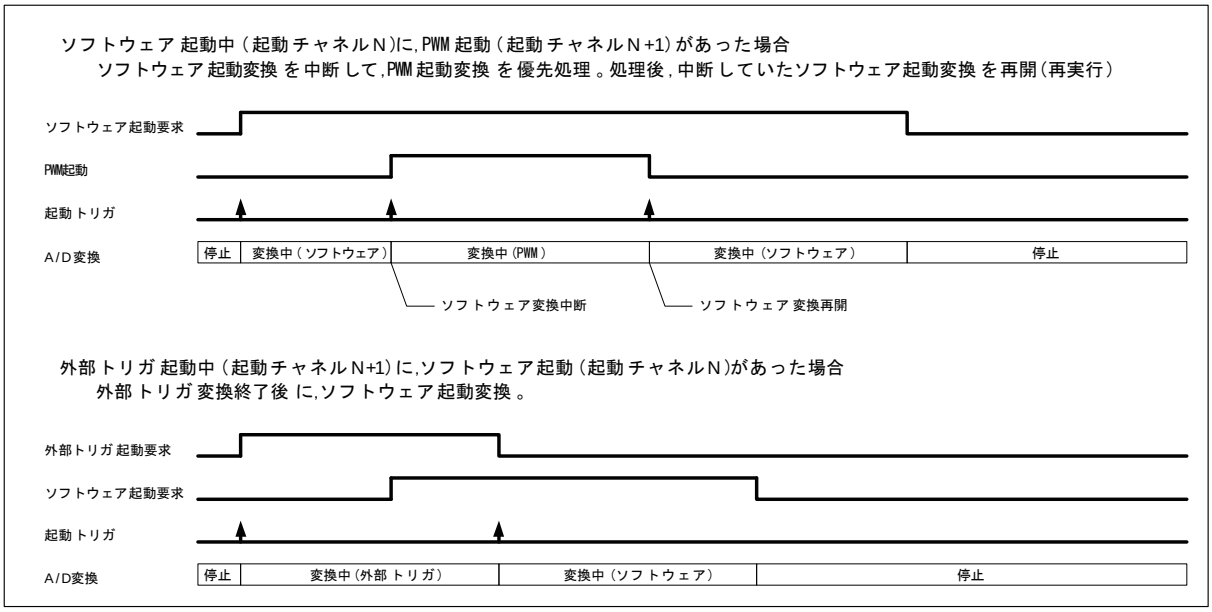
5.3.1. A/D 起動トリガ調停

A/D 起動トリガ調停について説明します。

A/D 起動コンペアのチャネルごとの起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動コンペアの各チャネルからそれぞれソフトウェア起動要求, 外部トリガ/リ ロードタイマ起動要求/PWM 起動の 2 つが入力されて、A/D 起動トリガ信号が生成されます。起動要求が競合した場合、コンペアチャネル番号の小さいものが優先されます。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。
起動調停の起動要因による優先順位は、「外部トリガ/ リロードタイマ起動要求/PWM 起動要求＞ソフトウェア起動要求」です。なお、同じ優先度の起動要因の場合、若い起動チャネル番号のものが優先されます。

- A/D 変換停止中に優先度が同じ起動要因が発生した場合:
  起動チャネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合:
  優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合:
  現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停をして、中断した起動要因を再処理します。
- A/D 変換中に優先度の低い起動要因が発生した場合:
  現在の変換終了後に再度調停をして、優先度の低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合:
  現在の変換終了後に再度調停をして、優先度が同じ起動要因を処理します。

図 5-2 起動調停



5.3.2. アナログチャネル選択

アナログチャネル選択について説明します。

A/D 起動コンペアからは A/D 起動要求と共に A/D 変換を行うアナログチャネル番号が入力されます。
A/D 起動調停では、選択された A/D 起動コンペアチャネルの起動要求アナログチャネル番号を選択します。

5.3.3. A/D 変換キャンセル機能

A/D 変換キャンセル機能について説明します。

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。なお、要求元の起動要求が非アクティブになったときに他起動チャネルの起動要因がアクティブであれば、A/D変換キャンセル信号は生成せず、アクティブな起動要因による A/D 起動トリガの生成を行います。

5.4. 12 ビット A/D コンバータの動作

12 ビット A/D コンバータの動作について説明します。

12 ビット A/D コンバータ制御は、A/D 変換を制御します。

5.4.1. 動作タイミング

動作タイミングについて示します。

図 5-3 12 ビット A/D コンバータの動作タイミング



① 設定された起動要因により A/D 変換を開始。
② ①の起動要求を受けてサンプリング動作を開始。
③ ADMD.ST[1:0]で設定されたサンプリング時間経過後にコンペア動作開始。
④ ADMD.CT[1:0]で設定されたコンペア時間経過後に変換終了信号が立上り、変換を完了。
⑤ A/D 変換データを出力。
⑥ 新しい変換データを A/D データレジスタ(ADTCD)に格納。

5.4.2. 起動要因について

起動要因について示します。

AD 変換の起動要因にはソフトウェア起動, 外部トリガ起動, リロードタイマ起動, PWM 起動があります。ADTECS.STS2, ADTCS.STS[1:0]および EADTCS.STSA[3:0]により選択されます。
AD 起動要求を行わない場合は、これらのビットをソフトウェア起動("000_B")に設定し、ADTSE の該当ビットをソフトウェア起動禁止(ADTSE.ADT = 0)としてください。

5.4.3. A/D 変換について

A/D 変換について示します。

A/D 変換は、1 回の起動トリガの入力で 1 回の変換を行います。

5.4.4. 再起動について

再起動について示します。

A/D変換中に、起動トリガ信号入力があった場合、現在の変換を停止/ 初期化して、A/D変換を再起動します。
そのため、A/D 変換の再起動は、通常起動(A/D 変換停止中の A/D 変換開始)に比べて数クロック(12 ビット A/D コンバータのクロック) 遅れて開始されます。

5.4.5. A/D 変換キャンセルについて

A/D 変換キャンセルについて示します。

A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の変換を停止/初期化します。

5.4.6. アナログチャネル選択制御

アナログチャネル選択制御について示します。

起動トリガのほかに、変換を行うアナログチャネル情報が入力されます。
起動トリガのアクティブ時のアナログチャネル情報を保持し、アナログチャネル選択に使用します。

5.4.7. A/D 変換時間について

A/D 変換時間について示します。

A/D 変換時間は、サンプリング時間とコンペア時間を合わせた時間になります。

■ サンプリング時間

サンプリング時間は、チャネルごとのサンプリング時間設定許可ビット(ADMD.STPCEN)により、チャネルごともしくは共通の設定で行うか選択できます。

- ADMD.STPCEN="0"の場合、全チャネル共通のサンプリング時間になります。サンプリング時間の設定は、サンプリング時間設定ビット(ADMD.ST1,ST0)で行います。
- ADMD.STPCEN="1"の場合、チャネルごとにサンプリング時間を設定できます。チャネルごとのサンプリング時間の設定は、チャネルごとのサンプリング時間設定ビット(ADSTPCS.STCHn1, STCHn0：n=00 ～ 07)で行います。

表 5-4 周辺クロック周波数に対するサンプリング時間

ST1, STCHn1	ST0, STCHn0	機能	サンプリング時間(周辺クロック周波数)			
			(40MHz)	(32MHz)	(24MHz)	(16MHz)
0	0	12 周辺クロックサイクル	300ns	375ns	500ns	750ns
0	1	18 周辺クロックサイクル	450ns	562.5ns	750ns	1125ns
1	0	24 周辺クロックサイクル	600ns	750ns	1000ns	1500ns
1	1	48 周辺クロックサイクル	1200ns	1500ns	2000ns	3000ns

＜注意事項＞

サンプリング時間は 300ns(4.5V~5.5V)以上となるように設定してください。300ns 以下では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

■ コンペア時間

コンペア時間は、コンペア時間設定ビット(ADMD.CT1,CT0)に設定します。

表 5-5 周辺クロック周波数に対するコンペア時間

CT1	CT0	機能	コンペア時間(周辺クロック周波数)			
			(40MHz)	(32MHz)	(24MHz)	(16MHz)
0	0	28 周辺クロックサイクル	700ns	875ns	1166.7ns	1750ns
0	1	42 周辺クロックサイクル	1050ns	1312.5ns	1750ns	2625ns
1	0	56 周辺クロックサイクル	1400ns	1750ns	2333.4ns	3500ns
1	1	112 周辺クロックサイクル	2800ns	3500ns	4666.7ns	7000ns

＜注意事項＞

コンペア時間は 700ns 以上となるように設定してください。700ns 以下では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

5.4.8. A/D 変換終了、A/D データ取込み

A/D 変換終了, A/D データ取込みについて示します。

A/D変換が再起動やキャンセルが行われずに正常終了(既定のサイクル数が経過)した場合、受信した変換データを取り込んで出力します。その際、A/D 変換終了信号を生成します。

5.4.9. パワーダウン

パワーダウンについて示します。

スタンバイモードのときに、パワーダウンとなります。

＜注意事項＞

スタンバイモードに移行する前に A/D 変換は停止させてください。

6. 注意事項

注意事項について説明します。

■ A/D 起動コンペアの使用上の注意

● A/D データレジスタ保護設定について

PRT ビットおよびPRTS ビットの設定は、A/D 変換を動作させる前に設定してください。A/D 変換中およびA/Dデータレジスタが保護されている状態で、本ビットの設定を変更しないでください。A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後に、PRTS ビットに設定した保護解除の動作を行うか、もしくは、PRT ビットにより保護機能を無効としてください。
仮に、A/D データレジスタが保護されている状態で、PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、PRTS ビットの変更後に、PRTS ビットに設定した保護解除の動作(A/D データレジスタの読出しや、割込み要求フラグビットへの 0 書込みによるクリア動作)を行ってください。例えば、PRT=1 かつ PRTS=1 の状態で A/D データレジスタが保護されている状態で、割込み要求フラグビットのクリアを行ってから PRTS=0 とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、割込み要求フラグビットへの 0 書込みによるクリア動作が必要となります。

● サンプリング時間・コンペア時間の設定について

サンプリング時間は 300ns(4.5V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 07)ビットを設定してください。300ns 以下では正常なアナログ変換値が得られない場合があります。
コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 以下では正常なアナログ変換値が得られない場合があります。

● ADMD レジスタおよび ADSTPCS の設定について

A/Dモード設定レジスタ(ADMD)およびサンプリング時間設定レジスタ(ADSTPCS)のビットの書換えは、必ず A/D 変換動作前の、A/D 変換動作が停止している状態で行ってください。

CHAPTER: フラッシュメモリ

フラッシュメモリについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FZ5C1-1v9-91552-7-J

1. 概要

フラッシュメモリの概要について説明します。

本製品に内蔵されているフラッシュメモリの容量は最大 192K バイト(128K+64K バイト)です。
ECC(Error Correction Code)が付加されています。

2. 特長

フラッシュメモリの特長について説明します。

使用可能容量:
MB91F552 : 128K+64K バイト (大セクタ部 128K×1 + 小セクタ部 16K×4)

本品種は ECC 符号格納のため、上記に加え 4 バイトにつき 6 ビットのフラッシュメモリが搭載されています。
(注意事項)大容量セクタは 64K バイト、小容量セクタは 8K バイトで構成されますが、連続する領域を使用する場合には、2 つのセクタが交互に現れるので、大容量セクタ 128K バイト、小容量セクタ 16K バイト単位となります。

- 高速動作:
  ワード (32 ビット) 単位での読出しが 80MHz・1 サイクルで可能。
- 外部からの書込み:
  ROM ライタにより可能
- 動作モード:
  ① CPU-ROM モード
  (CPU/DMA がフラッシュメモリにアクセス。読出しのみ)
  ② CPU プログラミングモード
  (CPU がフラッシュメモリにアクセス。読出し・書込み・消去)
  ③ フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)
- CPU による読出し/ 書込み/ 消去 (自動アルゴリズム *) が可能
- ROM ライタによる読出し/ 書込み/ 消去 (自動アルゴリズム *) が可能
- セキュリティ機能
  - 第三者によるフラッシュメモリ内容読出し阻止のため、セキュリティ ON 時に、外部からの命令フェッチ後の動作や、チップ消去以外の書込み・消去を抑止
  - オンチップデバッガ(OCD)使用により、パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。
- ECC(Error Correction Code)機能
  - 1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
  - チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態(FFFF)のデータを正しく読み出す必要がある場合は、かならず"FFFF"を書き込んでから読み出してください。

*: 自動アルゴリズム=Embedded Algorithm ™

3. 構成

フラッシュメモリの構成について説明します。

3.1. ブロックダイヤグラム

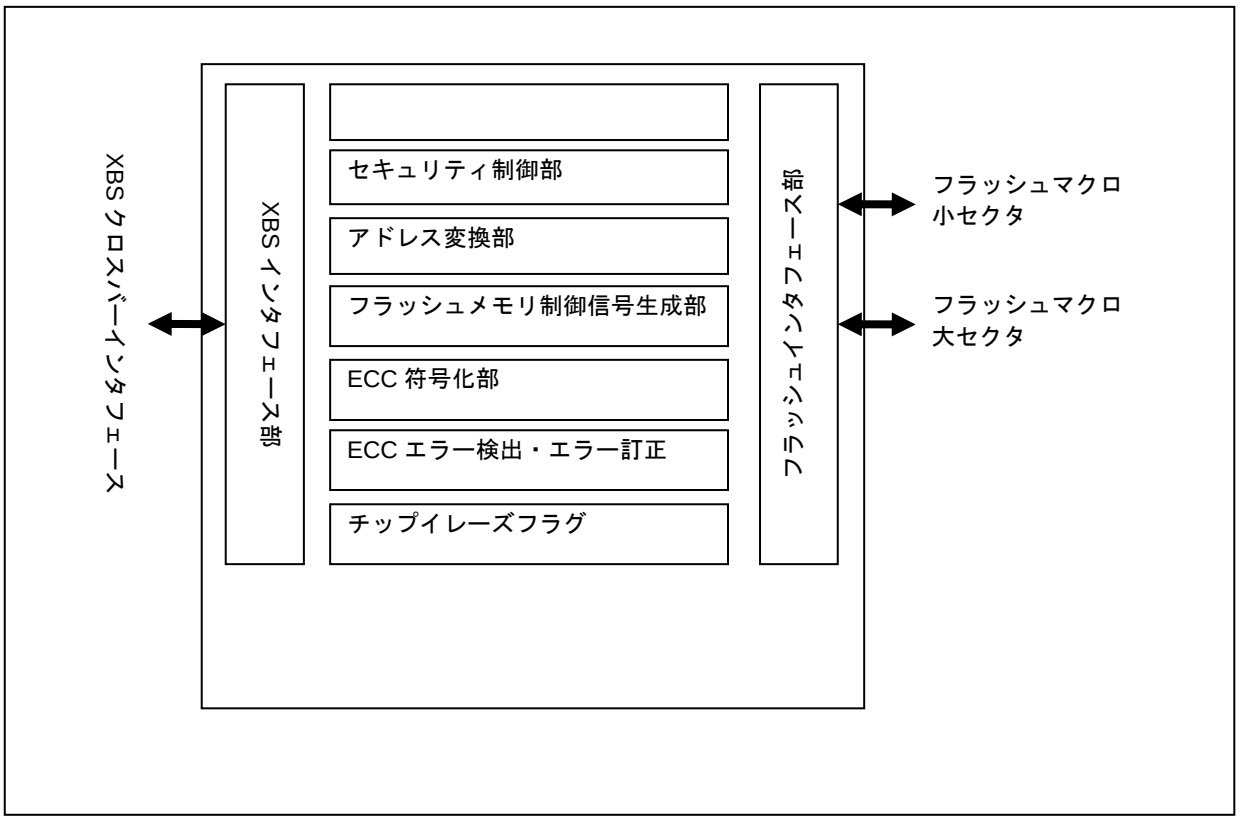
3.2. セクタ構成図

3.3. セクタ番号・フラッシュマクロ番号対応表

3.1. ブロックダイヤグラム

フラッシュメモリのブロックダイヤグラムについて説明します。

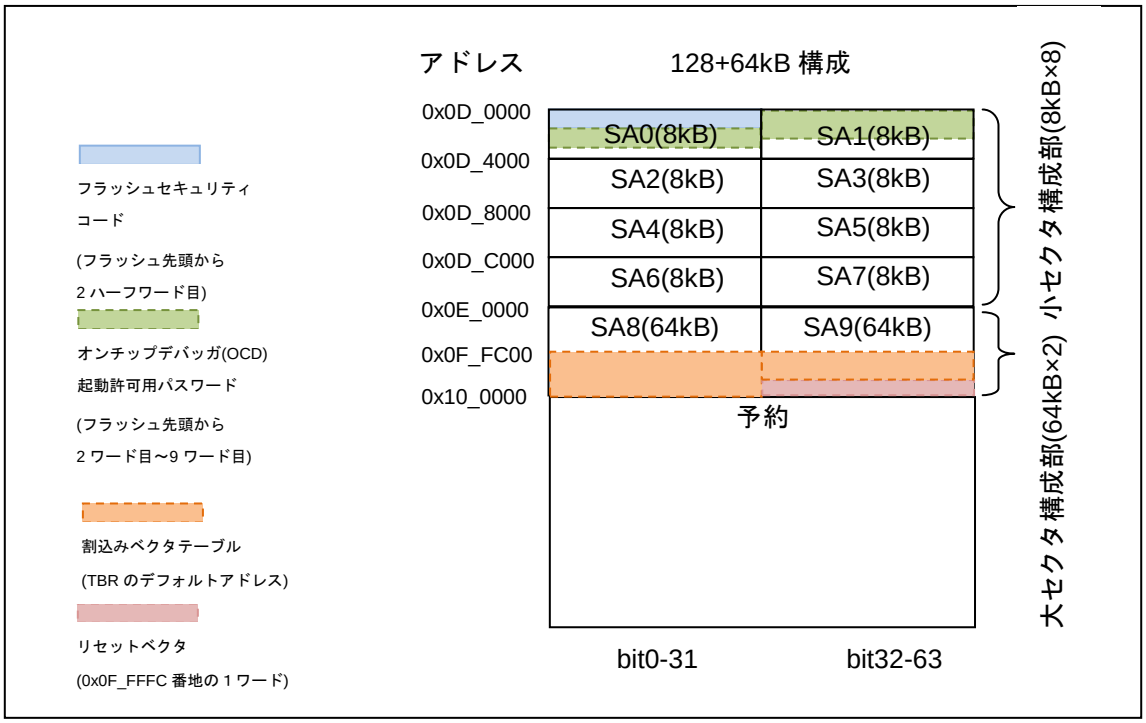
図 3-1 ブロックダイヤグラム



3.2. セクタ構成図

フラッシュメモリのセクタ構成図について説明します。

図 3-2 セクタ構成図 (MB91F552)



＜注意事項＞

FixedVector 機能により、リセットベクタは 0x0F_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス+0x0024 番地が返されます。詳細は『FixedVector 機能』の章を参照してください。

オンチップデバッガ(OCD)起動許可用パスワード設定については、『オンチップデバッガ(OCD)』の章を参照してください。オンチップデバッガ(OCD)のセキュリティ機能を使用しない場合は、この領域には何も書き込まず、フラッシュ消去直後の初期状態(全 bit=1)のままとしてください。

3.3. セクタ番号・フラッシュマクロ番号対応表

セクタ番号・フラッシュマクロ番号対応表について示します。

表 3-1 セクタ番号表 MB91F552(128+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x0D_0000 ～ 0x0D_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x0D_0002 ～0x0D_0003) デバッガ(OCD)起動許可用パスワード領域 (0x0D_0008 ～0x0D_000B, 0x0D_0010 ～0x0D_0013, 0x0D_0018 ～0x0D_001B, 0x0D_0020 ～0x0D_0023)
SA1	0x0D_0004 ～ 0x0D_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x0D_0004 ～0x0D_0007, 0x0D_000C ～0x0D_000F, 0x0D_0014 ～0x0D_0017, 0x0D_001C ～0x0D_001F)
SA2	0x0D_4000 ～ 0x0D_7FFB (下位 32bit)	8KB	
SA3	0x0D_4004 ～ 0x0D_7FFF (上位 32bit)	8KB	
SA4	0x0D_8000 ～ 0x0D_BFFB (下位 32bit)	8KB	
SA5	0x0D_8004 ～ 0x0D_BFFF (上位 32bit)	8KB	
SA6	0x0D_C000 ～ 0x0D_FFFB (下位 32bit)	8KB	
SA7	0x0D_C004 ～ 0x0D_FFFF (上位 32bit)	8KB	
SA8	0x0E_0000 ～ 0x0F_FFFB (下位 32bit)	64KB	
SA9	0x0E_0004 ～ 0x0F_FFFF (上位 32bit)	64KB	
-	0x0F_FC00 ～ 0x0F_FFFF	-	割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)

4. レジスタ

フラッシュメモリのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0840	FCTLR		予約	FSTR	フラッシュ制御レジスタ フラッシュステータスレジスタ
0x2308	FLIFCTLR	予約	FLIFFER1	FLIFFER2	フラッシュインタフェース制御レジスタ フラッシュインタフェースフィーチャー拡張レジスタ 1 フラッシュインタフェースフィーチャー拡張レジスタ 2

4.1. フラッシュ制御レジスタ:FCTLR (Flash ConTroL Register)

フラッシュ制御レジスタのビット構成について示します。

フラッシュへのアクセス制御を設定します。

■ FCTLR: アドレス 0840$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	FWE	予約		FSZ[1: 0]		FAW[1: 0]	
初期値	1	0	-	-	1	0	0	0
属性	R1,WX	R/W	RX,W0	RX,W0	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FDSBL	予約		RDYF	予約			
初期値	0	-	-	0	-	-	-	-
属性	R/W	RX,W0	RX,W0	R/W	RX,W0	RX,W0	RX,W0	RX,W0

[bit15] 予約
予約ビットです。このビットは常に"1"が読み出されます。書込みは動作に影響しません。

[bit14] FWE (Flash Write Enable) : フラッシュ書込み許可
フラッシュメモリへの書込み許可ビットです。このビットをセットして、CPU プログラミングモードに設定します。書込みが許可されたかどうかは FSTR: FRDY ビットで確認してください。

本ビットを設定すると、フラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	フラッシュ書込み不許可(初期値)
1	フラッシュ書込み許可

＜注意事項＞

フラッシュメモリに書込みを行う場合、フラッシュメモリからの命令フェッチは禁止です。

[bit13, bit12] 予約
予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

[bit11, bit10] FSZ[1:0] (Flash write access SiZe) : フラッシュ書込みアクセスサイズ設定
CPU モード時のフラッシュ書込みアクセスサイズを指定します。必ず設定したビット幅で書き込んでください。読出しアクセスサイズは、本ビットの影響を受けません。読出し時フラッシュマクロに対しては常に 32 ビット読出しを行います。FAW ビットにより wait サイクルを挿入した場合は、64 ビット読出しアクセスとなります。

FSZ[1:0]	説明
00	8 ビット
01/10/11	16 ビット

[bit9, bit8] FAW[1: 0] (FLASH Access Wait) : フラッシュアクセス・ウェイト設定

CPU モード時のフラッシュアクセスに対するウェイト・サイクルを設定します。フラッシュメモリの読出し時間は 12.5 ns なので、80MHz を超える動作周波数でフラッシュメモリにアクセスすることは禁止です。80MHz を超える動作周波数でのアクセス時は、FAW=1(1wait)に設定してください。

FAW により wait サイクルを挿入する際は、クロックを高速にする前に、本ビットを設定してください。また、wait サイクルを削除する際は、クロックを低速にしてから、本ビットを設定してください。

FAW[1:0]	説明
00	0 サイクル (初期値)
01	1 サイクル
10/11	設定禁止

＜注意事項＞

本ビットにより、1wait サイクルを設定すると、ワイルドレジスタ機能が使用できません。ワイルドレジスタ機能を使用する場合は、コアの動作速度を 80MHz 以下とし、FAW ビットの設定値を 2'b00(0cycle)としてください。

[bit7] FDSBL (Flash DiSaBLe) : フラッシュ Disable 指示

フラッシュをアクセス禁止状態(読出し・書込み共に)に設定します。

FDSBL	説明
0	フラッシュアクセス許可(初期値)
1	フラッシュアクセス禁止

[bit6, bit5] 予約

予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

[bit4] RDYF (ReaDY Flag) : 分岐アクセス時の RDY ネゲート指示

分岐アクセス時のウェイト・サイクル挿入を指示します。本ビットが"1"に設定されると、分岐アクセス時は、ウェイト・サイクルが挿入されます。これは、分岐した際の処理サイクルを合わせるためです。本ビットが"0"の場合は、分岐アクセス発生時、フラッシュインタフェースの内部状態により、ウェイト・サイクルの制御が行われます。分岐アクセス受付け時に、サイクルタイムを保証する必要がない場合、ウェイト・サイクルは挿入しません。サイクルタイムを保証する必要がある場合は、ウェイト・サイクルを挿入します。

RDYF	説明
0	フラッシュインタフェースの状態に依る(初期値)
1	ウェイト・サイクル挿入

[bit3～bit0] 予約

予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

4.2. フラッシュステータスレジスタ ：FSTR (Flash STatus Register)

フラッシュステータスレジスタのビット構成について示します。

フラッシュメモリの状態を表示します。

■ FSTR: アドレス 0843$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					FECCERR	FHANG	FRDY
初期値	-	-	-	-	-	0	0	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R,W	R,WX	R,WX

[bit7～bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] FECCERR (Flash ECC Error coRRection) : データ読出し ECC 訂正発生

CPU 命令読出し以外でのフラッシュメモリ読出しの際に ECC エラー訂正が発生すると、本ビットがセットされます。"0"書込みで本ビットをクリアします。

FECCERR	読出し	書込み
0	データ読出し時の ECC による訂正は発生していません(初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。
CPU 命令読出しの際に ECC エラー訂正が発生しても、本ビットはセットされません。
ECC エラーと 0 書込みが同時に発生した場合は 0 書込みが優先されます。

[bit1] FHANG (Flash HANG) : フラッシュ HANG 状態

フラッシュメモリの HANG 状態を示します。

FHANG	説明
0	通常状態
1	HANGUP 状態

タイミング超過(ハードウェアシーケンスフラグの「[bit5]:TLOV:(タイミングリミット超過フラグビット)」参照)すると HANG 状態になります。このビットが"1"になった場合はリセットコマンド(「5.3.1 コマンドシーケンス」参照)を発行してください。
自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

[bit0] FRDY (Flash ReaDY) : フラッシュ書込み許可

自動アルゴリズムでフラッシュメモリの書込み/ 消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

FRDY	説明
0	動作中(書込み/ 消去不可、ステータス読出し可能)
1	動作完了(書込み/ 消去可能、読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR(Flash I/F Control Register)

フラッシュインタフェース制御レジスタのビット構成について示します。

フラッシュインタフェースの制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

■ FLIFCTLR: アドレス 2308$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			DFWDSBL	予約		ECCDSBL1	ECCDSBL0
初期値	-	-	-	0	-	0	0	0
属性	RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W

[bit7～bit5] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) : データフェッチ・ウェイトサイクル無効

本ビットを"1"に設定すると、ウェイト設定時のデータ・フェッチ時に挿入されるウェイト・サイクルを無効にします。ただし、サイクルタイム保障のためのウェイト・サイクルは無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効(初期値)
1	ウェイト・サイクル無効

＜注意事項＞

本ビットを"1"から"0"に変更する場合、かならず FCTLR.FAW="00"に 設定してから行ってください。

[bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] 予約

予約ビットです。必ず"0"を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) : ECC 機能無効 1

CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) : ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

4.4. フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1(Flash I/F Feature ExtensiONRegister 1)

フラッシュインタフェースフィーチャー拡張レジスタ 1 のビット構成について示します。

予備レジスタです。本レジスタに書き込む場合は 0xFF を書き込んでください。

■ FLIFFER1: アドレス 230A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1

[bit7～bit0] 予約

予約ビットです。0xFF を書き込んでください。

4.5. フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2(Flash I/F Feature ExtensiONRegister 2)

フラッシュインタフェースフィーチャー拡張レジスタ 2 のビット構成について示します。

予備レジスタです。本レジスタに書き込む場合は 0xFF を書き込んでください。

■ FLIFFER2: アドレス 230B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1

[bit7～bit0] 予約

予約ビットです。0xFF を書き込んでください。

5. 動作説明

フラッシュメモリの動作について説明します。

フラッシュメモリ領域へのアクセス方法について説明します。

5.1. アクセスモード設定

5.2. CPU によるフラッシュメモリ書込み

5.3. 自動アルゴリズム

5.4. リセットコマンド

5.5. 書込みコマンド

5.6. チップ消去コマンド

5.7. セクタ消去コマンド

5.8. セクタ消去一時停止コマンド

5.9. セキュリティ機能

5.10. フラッシュメモリの使用上の注意

5.1. アクセスモード設定

アクセスモードの設定について示します。

本品種のフラッシュメモリには以下の 3 モードがあります。本項にて①②の設定方法を説明します。③については、ご使用の ROM ライタの説明書を参照してください。

① CPU-ROM モード
(CPU がフラッシュメモリにアクセス。読出しのみ、バイト/ハーフワード/ワードアクセス)

② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し/書込み、ハーフワードアクセスのみ)

③ フラッシュメモリモード
(外部からフラッシュメモリにアクセス可能)

5.1.1. CPU-ROM モードへの設定

CPU-ROM モードへの設定について示します。

フラッシュ制御レジスタ(FCTLR)の FWE ビットが"0"のときは、CPU-ROM モードです。CPU-ROM モードでは、フラッシュステータスレジスタ(FSTR)の FRDY ビットが"1"のとき、フラッシュメモリからの読出しが可能になります。CPU-ROM モードでは、フラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

5.1.2. CPU プログラミングモードへの設定

CPU プログラミングモードへの設定について示します。

フラッシュ制御レジスタ(FCTLR)のFWEビットが"1"のときは、CPUプログラミングモードです。CPUプログラミングモードでは、フラッシュステータスレジスタ(FSTR)のFRDYビットが"1"のとき、フラッシュメモリからの読出しおよび書込みが可能になります。

5.2. CPU によるフラッシュメモリ書込み

CPU によるフラッシュメモリ書込みについて示します。

CPUプログラミングモードに設定した後、自動アルゴリズムを利用して消去・書込みを行います。
本品種では 1 ワードごとの ECC(Error Correction Code)が付加されますので、1 ワードごとの書込みを行う必要があります。
以下の手順で 1 ハーフワードを 2 連続に、1 ワードごとに書込みを行ってください。この手順に従わない場合、ECC 計算されずにフラッシュメモリに書き込まれてしまうため、書いた値を正しく読み出せません。

① フラッシュ書込みアクセスサイズ設定を 16 ビットに設定します。(FCTLR.FSZ[1: 0]=01)
② 書込みコマンドを発行します。書込みアドレス= PA 書込みデータ= PD[31: 16] 書込みコマンドについては「5.5 書込みコマンド」を参照してください。
③ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。ハードウェアシーケンスフラグ読出しについては「5.3.2 自動アルゴリズム実行状態」を参照してください。
④ 書込みコマンドを発行します。書込みアドレス= PA+2 書込みデータ= PD[15: 0] この際、ハードウェアが自動で②の PD[31: 16]とあわせて ECC 符号の計算を行い、ECC 符号の書込みも自動で同時に行われます。
⑤ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。
⑥ 書込みデータがまだある場合は②に戻ります。すべて書込み完了した場合は⑦へ進みます。
⑦ CPU-ROM モードに設定します。
⑧ 書込みした値を読み出して、正しい値を読めるか確認してください。また、正しい値が読めた場合でも FSTR: FECCERR ビットを確認して ECC 訂正がされていないか確認してください。
ECC 訂正が発生していた場合はフラッシュメモリ消去からやり直してください。

PA : 書込み対象アドレス(ワードアラインド)
PD[31: 0] : 書込みデータ
PD[31: 16] : 書込みデータ上位 16 ビット分
PD[15: 0] : 書込みデータ下位 16 ビット分

5.3. 自動アルゴリズム

自動アルゴリズムについて示します。

CPU プログラミングモードを利用する場合、フラッシュメモリへの書込み/消去は自動アルゴリズムを起動して行います。本項にて自動アルゴリズムについて説明します。

5.3.1. コマンドシーケンス

コマンドシーケンスについて示します。

フラッシュメモリへ 1 回～ 6 回連続でハーフワード(16 ビット)のデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを以下に示します。

表 5-1 コマンドシーケンス

コマンド	書込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]
リセット	1	任意	$F0_H$										
読出し	1	RA	RD										
書込み	4	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	$A0_H$	PA	PD				
チップ消去	6	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	80_H	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	10_H
セクタ消去	6	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	80_H	$x554_H$	AA_H	$yAA8_H$	55_H	SA	30_H
セクタ消去一時停止	1	任意	$B0_H$										
セクタ消去再開	1	任意	30_H										

・ 表中のデータ表記は下位 8 ビット分のみを表記しています。上位 8 ビットは任意です。コマンドはハーフワードまたはバイトで書き込んでください。
・表中のアドレス表記は下位 16 ビット分のみです。上位 16 ビット分は、対象となるフラッシュマクロのアドレス範囲のうちの任意のアドレスを指定してください。

x: 1,3,5,7,9,B,D,F
y: 0,2,4,6,8,A,C,E
PA: 書込みアドレス (ハーフワードアラインド)
PD: 書込みデータ (16 ビットで書き込んでください。)
SA: セクタアドレス (消去対象となるセクタのアドレス範囲の内の任意のアドレスを指定してください。)
RA: 読出しアドレス
RD: 読出しデータ (読出し幅は任意です。)

＜注意事項＞

・誤ったアドレス値やデータ値を書込んだ場合や、誤ったシーケンスで書込んだ場合、それまで書込んだコマンドはクリアされます。
・コマンドアドレス、セクタ消去コマンド発行時に入力するセクタアドレス(SA)の最下位 2 ビット分は以下のようにしてください。
ハーフワード・アクセス時: 2'b00
バイト・アクセス時: 2'b01 または 2'b11
例 1: バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b01 に変更)とする場合、$yAA8_H \rightarrow yAA9_H$、$x554_H \rightarrow x555_H$、SA → {SA[31: 2], 2'b01}
(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
例 2 : バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b11 に変更)とする場合、$yAA8_H \rightarrow yAAB_H$、$x554_H \rightarrow x557_H$、SA → {SA[31: 2], 2'b11}
(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

■ リセットコマンド

リセットコマンドを対象フラッシュメモリに送ると、それまでに入力した表 5-1 に示す各コマンドをキャンセルし、再び 1 回目からコマンドを入力し直すことができます。
ただし、各コマンドを最後まで入力し自動アルゴリズムが起動すると、本リセットコマンドでは自動アルゴリズムを中止することはできません。
自動アルゴリズムの実行がタイミングリミットを超過した場合は、リセットコマンドを発行するとフラッシュメモリがリセット状態へ復帰します。

■ 読出しコマンド

読出しコマンドを対象セクタに送ると、フラッシュメモリを読出しできます。読出しコマンドを発行すると、フラッシュメモリはほかのコマンドが発行されるまで読出し状態を保ちます。

■ プログラム(書込み)コマンド

書込みコマンドを対象セクタに 4 回連続して送ると、自動アルゴリズムを起動してフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でもセクタの境界を越えても行えます。
CPU プログラミングモードでは、ハーフワード/バイトで書込みが行えます。4 回目の書込みが終了すると自動アルゴリズムが起動し、フラッシュメモリへの自動書込みが開始されます。
自動書込みアルゴリズムコマンドシーケンス実行後は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.5 書込みコマンド」を参照してください。

＜注意事項＞

- ハーフワードで書き込む場合、4 回目の書込みコマンド(書込みデータサイクル)を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
- 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- セキュリティ ON 時においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリの全セクタを一括で消去できます。6回目の書込みが終了すると自動アルゴリズムが起動し、チップ消去動作が開始されます。
自動消去アルゴリズムが起動すると、すべてのチップ消去をする前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.6 チップ消去コマンド」を参照してください。

■ セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリのセクタを消去できます。6回目の書込み終了から40µs経過 (タイムアウト期間)すると、自動アルゴリズムが起動し、セクタ消去動作が開始されます。
複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30H)を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。
自動消去アルゴリズムが起動すると、セクタ消去する前に、フラッシュメモリが消去するセクタのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。

また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「5.7 セクタ消去コマンド」を参照してください。

＜注意事項＞

セキュリティON時においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去実行中、またはコマンドタイムアウト中にセクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態(セクタイレーズサスペンド状態)に移行できます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。
コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常に書き込みされると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して直ちにセクタ消去動作を再開します。

実際の動作については、「5.8 セクタ消去一時停止コマンド」を参照してください。

＜注意事項＞

セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7µs + 2 サイクル要します。
読出し可能状態になったかどうかは、フラッシュステータスレジスタ(FSTR)の FRDY ビットまたはハードウェアシーケンスフラグの TOGG1 で確認できます。

5.3.2. 自動アルゴリズム実行状態

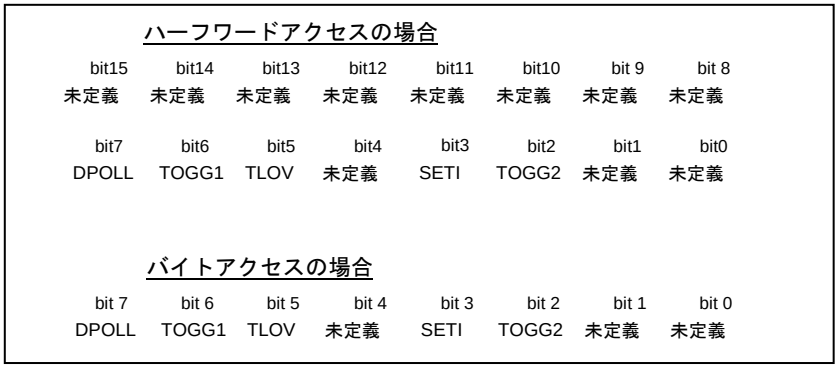
自動アルゴリズム実行状態について示します。

フラッシュメモリでは、書込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをフラッシュステータスレジスタ(FSTR)の FRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

● ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。フラッシュステータスレジスタ(FSTR)の FRDY ビットが"0"のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を次に示します。

図 5-1 ハードウェアシーケンスフラグのビット構成



＜注意事項＞

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を次に示します。

表 5-2 フラグとフラッシュメモリ状態の対応

状態		DPOLL	TOGG1	TLOV	SETI	TOGG2
実行中	書込み中	反転データ*	トグル	0	0	-
	セクタ/チップ消去中	0	トグル	0	1	-
タイムリミット超過	書込みコマンド	反転データ*	トグル	1	0	-
	セクタ/チップ消去コマンド	0	トグル	1	1	-
セクタ消去一時停止	消去対象セクタ	-	-	-	-	トグル

*: 読み出される値については、「● ビット説明」を参照してください。

● ビット説明

[bit15 ～ bit8] 未定義ビット

[bit7] DPOLL : (データポーリングフラグビット)

書込み/消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。
読み出される値は動作状態によって異なります。

(1) 書込み時

書込み中:	最後に書き込まれたデータの bit7 の値と逆の値(反転データ)が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

(2) セクタ消去時

セクタ消去実行中:	消去中のセクタから"0"が読み出されます。
セクタ消去後:	必ず"1"が読み出されます。

(3) チップ消去時

チップ消去実行中:	必ず"0"が読み出されます。
チップ消去後:	必ず"1"が読み出されます。

(4) セクタ消去一時停止時

一時停止状態(未完了):	セクタ消去一時停止セクタから"0"が読み出されます。
セクタ消去動作完了:	セクタ消去一時停止セクタから"1"が読み出されます。

＜注意事項＞

自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、 データを読み出してください。

[bit6] TOGG1 : (トグルフラグ 1 ビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● 書込み/ セクタ消去/ チップ消去時

書込み/ セクタ消去/ チップ消去中:	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み/ セクタ消去/ チップ消去終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV : (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間(内部パルスの回数)を超過したかどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● **書込み/ セクタ消去/ チップ消去時**

次の値が読み出されます。

"0"	規定時間内
"1"	規定時間を超えている

このビットが"1"のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示していると、書込みや消去に失敗したことになります。
例えば、フラッシュメモリでは"0" が書き込まれているデータを"1"に書き換えることができないため、"0"が書き込まれているアドレスに"1"を書き込もうとすると、フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは"1"と"0"が交互に読み出され続けます。この状態のまま規定時間を超えたときに、このビットが"1"に変わります。このビットが"1"になった場合はリセットコマンドを発行してください。

＜注意事項＞

このビットが"1" の場合は、フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] **未定義ビット**

[bit3] SETI : **(セクタ消去タイマフラグビット)**

セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40µs のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● **セクタ消去時**

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

"0"	セクタ消去ウェイト期間中(次のセクタ消去コード(0x30)を受け付けられます。)
"1"	セクタ消去ウェイト期間を超過している(このときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示していると、フラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード(0x30)以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2] TOGG2 : **(トグルフラグ 2 ビット)**

セクタイレーズサスペンド状態において、消去対象でないセクタに対しては読出し(リード)を行えますが、消去対象セクタに対してはリードができません。本フラグは、セクタ消去一時停止中でリードアドレスが消去対象セクタの場合、出力データがトグルして、消去対象セクタであることを示します。

消去対象セクタへの読出し	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
消去対象でないセクタへの読出し	指定したアドレスのデータを読み出します。

[bit1, bit0]:**未定義ビット**

5.4. リセットコマンド

リセットコマンドについて示します。

リセットコマンドを対象フラッシュメモリに送ると、フラッシュメモリをリセット状態にできます。この状態はフラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了すると、フラッシュメモリは常にリセット状態に戻ります。
電源投入時はリセットコマンドを発行する必要はありません。
また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

5.5. 書込みコマンド

書込みコマンドについて示します。

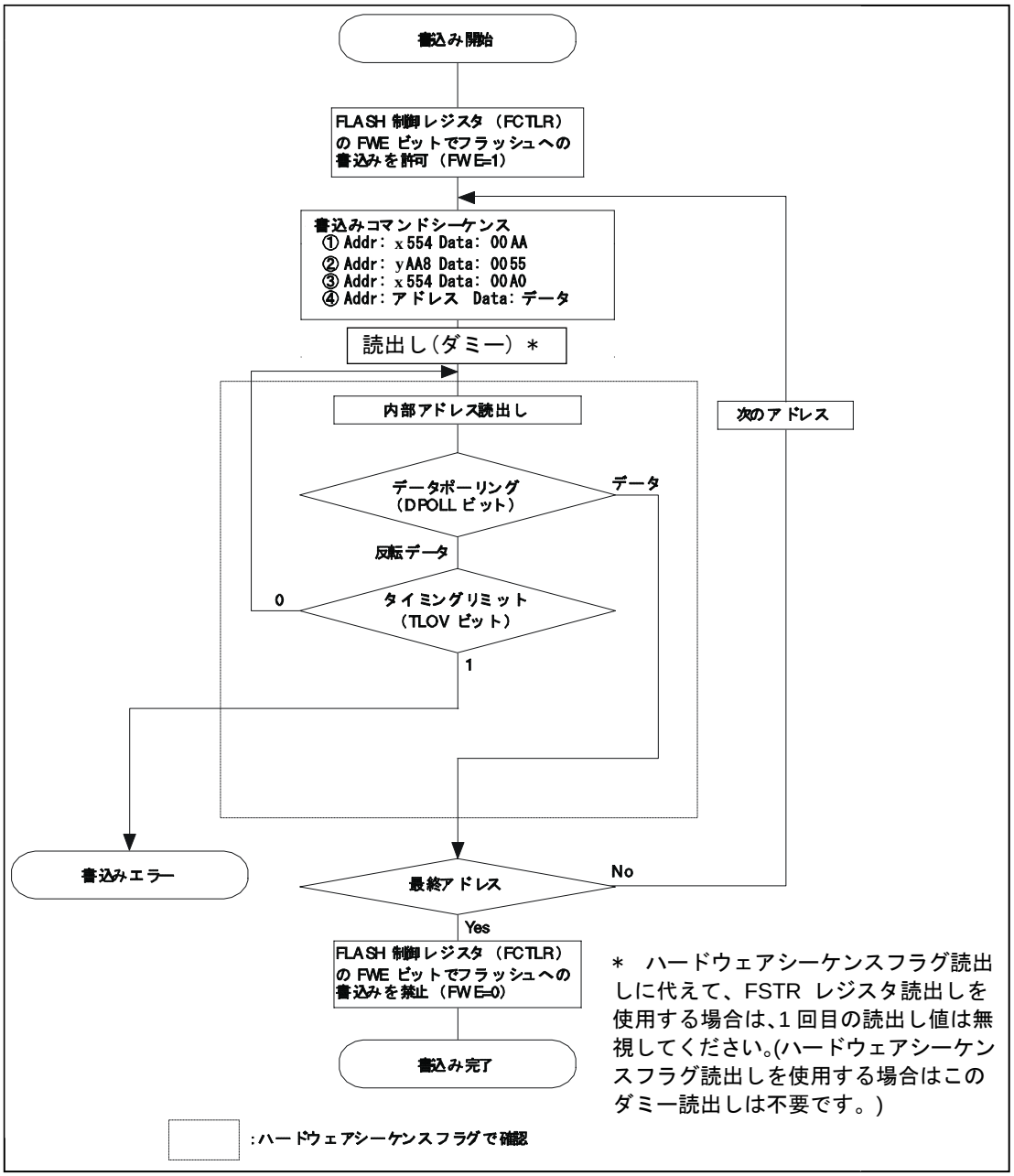
次の順番で書込みを行います。

① 書込みコマンドを対象セクタに連続して送る
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。

② 書込みを行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータのbit7(DPOLLビット)が書き込んだ値と一致していると、フラッシュメモリへの書込みが終了したことになります。
書込みが終了していない場合は、最後に書き込んだデータのbit7の値と逆の値(反転データ)が読み出されます。

フラッシュメモリへの書込み動作例を次に示します。

図 5-2 書込み手順例


書込み開始
FLASH 制御レジスタ（FCTLR）の FWE ビットでフラッシュへの書込みを許可（FWE=1）
書込みコマンドシーケンス
① Addr: x554 Data: 00AA
② Addr: yAA8 Data: 0055
③ Addr: x554 Data: 00A0
④ Addr: アドレス Data: データ
読出し（ダミー）＊
内部アドレス読出し
次のアドレス
データポーリング（DPOLL ビット）
データ
反転データ
0
タイミングリミット（TLOV ビット）
1
書込みエラー
最終アドレス
No
Yes
FLASH 制御レジスタ（FCTLR）の FWE ビットでフラッシュへの書込みを禁止（FWE=0）
書込み完了
:ハードウェアシーケンスフラグで確認
＊ ハードウェアシーケンスフラグ読出しに代えて、FSTR レジスタ読出しを使用する場合は、1 回目の読出し値は無視してください。(ハードウェアシーケンスフラグ読出しを使用する場合はこのダミー読出しは不要です。)

＜注意事項＞

- 書込みが終了すると、フラッシュメモリは読出しモードに戻るため、書込みアドレスを受け付けなくなります。
- 書込みコマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグのDPOLLビットは、TLOVビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが"1"に変わると同時に、トグル動作を停止します。そのため、TLOV ビットが"1"の場合でも、TOGG1 ビットを再度確認する必要があります。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- 一度、"0"が書き込まれたデータを"1"に戻すことはできません。"0"を"1"に書き換えると、以下のいずれかになります。
  - ✧ データポーリングアルゴリズムにより素子が不良と判定される
  - ✧ 書込み規定時間を超え、ハードウェアシーケンスフラグビットの TLOV ビットが"1"に変わる
  - ✧ "1"が書き込まれたように見える

  ただし、"1"が書き込まれたように見えた場合でも、実際のデータは"0"のままのため、読出し/リセットモードでデータを読み出すと"0"が読み出されます。データを"1"に戻したい場合は、チップ消去かセクタ消去を行ってください。
- 書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。

5.6. チップ消去コマンド

チップ消去コマンドについて示します。

チップ消去コマンドにて、フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。チップ消去コマンドを対象フラッシュメモリに連続して送ると、自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。
次の順番でチップ消去を行います。

① チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動され、フラッシュメモリへデータが書き込まれます。

② 消去対象フラッシュマクロの任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータのbit7(DPOLL ビット)が"1"だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 × 全セクタ数＋チップ書込み時間(プリプログラム)」となります。チップ消去動作が終了すると、フラッシュメモリは読出し/リセットモードに戻ります。

＜注意事項＞

- 自動消去アルゴリズムが起動すると、すべてのチップ消去をする前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
- セキュリティ ON 時においては、フラッシュの消去には手順に制限があります。詳細は「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

5.7. セクタ消去コマンド

セクタ消去コマンドについて示します。

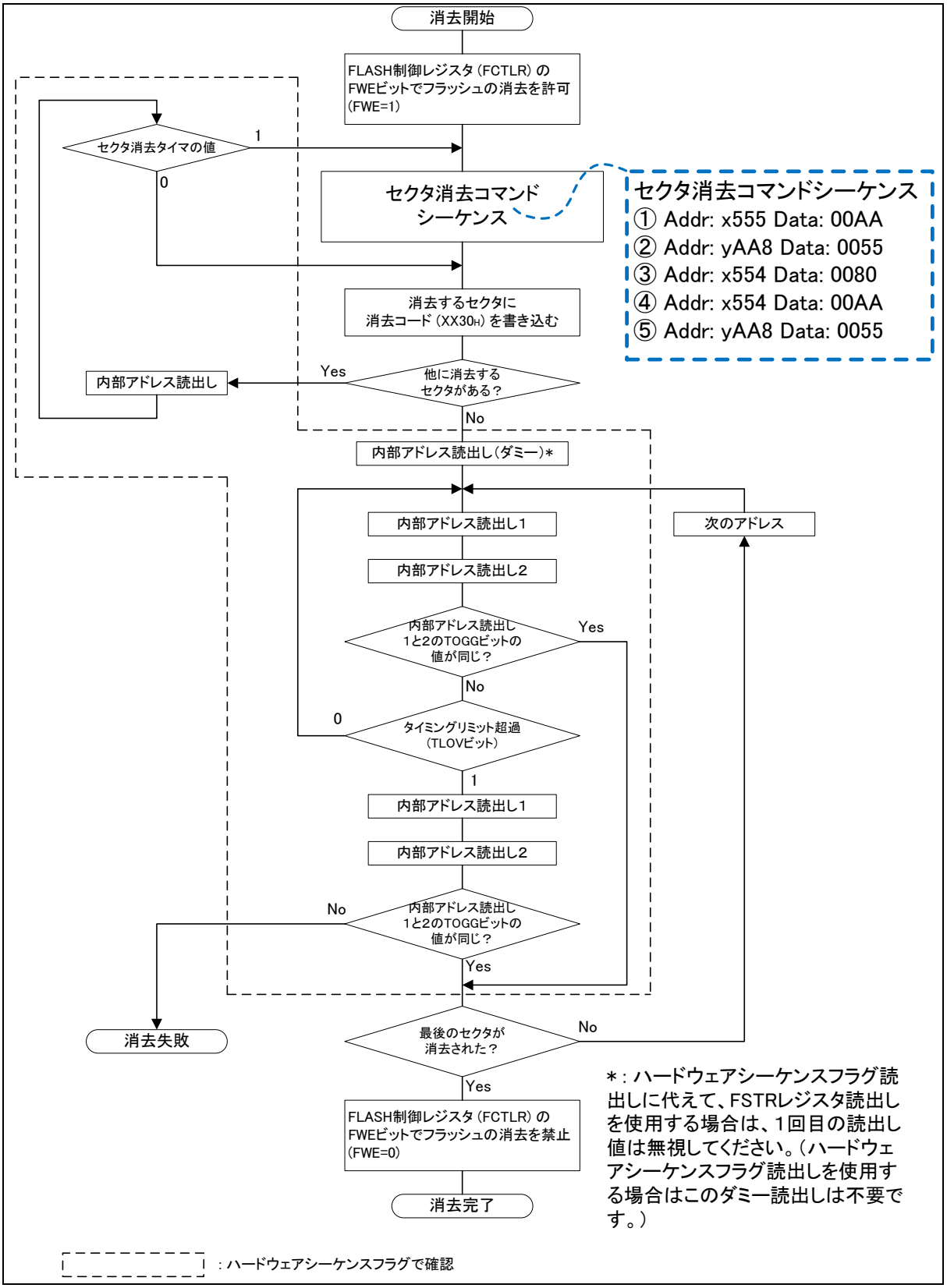
フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。
次の順番でセクタ消去を行います。

① セクタ消去コマンドを対象セクタに連続して送る
40µs 経過(タイムアウト期間)すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去 コード(30H)を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

② 任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、セクタ消去が終了したことになります。また、TOGG1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を次に示します。

図 5-3 セクタ消去手順例



＜注意事項＞

- セクタ消去に必要な時間は「(セクタ消去時間＋セクタ書込み時間(プリプログラム))×セクタ数」となります。
- セクタ消去動作が終了すると、フラッシュメモリは読出し/リセットモードに戻ります。
- セクタ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが"1"の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも、TOGG1 ビットを再度確認する必要があります。
- コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
- 自動消去アルゴリズムが起動すると、セクタ消去する前に、フラッシュメモリが消去するセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。

5.8. セクタ消去一時停止コマンド

セクタ消去一時停止コマンドについて示します。

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去を一時停止させるには、対象フラッシュマクロの任意のアドレスにセクタ消去一時停止コマンドを送ります。

セクタ消去が停止したあとは、対象フラッシュマクロからの読出し動作が許可されます。このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されます。

セクタ消去一時停止状態に入ると、以下の状態になります。

・セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
・フラッシュステータスレジスタの FRDY が"1"になる。
これらを利用して、セクタ消去一時停止状態に入った事を確認可能です。

＜注意事項＞

- セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs+2cyc.要します。
- セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2: TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。

セクタ消去一時停止状態から、中断していた消去動作を再開するには、表 5-1 のセクタ消去再開コマンドを送ります。

セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。

セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

5.9. セキュリティ機能

セキュリティ機能について示します。

本フラッシュメモリには、セキュリティ機能が搭載されています。

セキュリティ機能が OFF のときは制限なくフラッシュメモリを使用できますが、セキュリティ機能がONのときは、チップ消去以外の書込み・消去が抑止されます。制限内容については「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

リセット解除時におけるフラッシュセキュリティ ON/OFF 判別について示します。

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の2バイトを読み出します。その値が 0x0001 の場合はセキュリティ ON になり、その後のフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

5.9.2. フラッシュセキュリティ設定方法

フラッシュセキュリティ設定方法について示します。

フラッシュセキュリティコード領域(「図 3-2 セクタ構成図 (MB91F552)」を参照してください)に0x0001が書き込まれた後にリセットの入力・解除が行われると、セキュリティONになります。一度セキュリティ ONになると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFFにはなりません。

5.9.3. フラッシュセキュリティ解除方法

フラッシュセキュリティ解除方法について示します。

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

① ワークフラッシュを消去します。
② フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合はプログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は、手順①からやり直してください。

＜注意事項＞

ユーザモード(内部フラッシュ起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施することを推奨します。

5.9.4. セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時のフラッシュアクセス制限について示します。

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ	通常状態(後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態)では､セキュリティ情報領域(フラッシュメモリの先頭9　ワード)に対する書込みはキャンセルされます。また、セクタ 0,1 に対するセクタイレースコマンドも無視されます。 オンチップバス領域に対して命令フェッチがおこなわれるとフラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。 リセットで通常状態に復帰します。
上記以外 (ライタなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

また、セキュリティ ON 時には、セキュリティ情報格納領域(フラッシュメモリの先頭 9 ワード)へのデータ読出し行った場合は

- データアクセスエラーとなり、不正命令例外またはデータアクセスエラー割込みが発生します。(「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」および『CPU』の章の『10.3.1 MPU 制御レジスタ(MPUCR)』を参照してください。)
- 読出し値として 0xFFFFFFFF が返されます。

ただし、OCD ツール接続時の、OCDU からのアクセスまたはデバッグステート時の読出しの場合はこの制限はありません。

5.10. フラッシュメモリの使用上の注意

フラッシュメモリの使用上の注意について示します。

- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- フラッシュ制御レジスタ(FCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)したきは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- フラッシュ制御レジスタ(FCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。
- 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ(OCD)のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出すことができます。第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。
- フラッシュメモリがプログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。
- 本フラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

CHAPTER: ワークフラッシュメモリ

ワークフラッシュメモリについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

ワークフラッシュメモリの概要について説明します。

本製品に内蔵されているワークフラッシュメモリの容量は 64K バイトです。ECC(Error Correction Code)が付加されています。

2. 特長

ワークフラッシュメモリの特長について説明します。

・使用可能容量:
MB91F552 :64K バイト(8K バイト×8 セクタ)
本品種は ECC 符号格納のため、上記に加え 4 バイトにつき 6 ビットのワークフラッシュメモリが搭載されています。
・高速動作: ワード(32 ビット)単位での読出しが 80MHz・2 サイクルで可能。
・外部からの書込み:
ROM ライタにより可能
・動作モード:
① CPU-ROM モード
(CPU/DMA がワークフラッシュメモリにアクセス。読出しのみ)
データアクセスのみが可能です。インストラクションフェッチはできません。
② CPU プログラミングモード
(CPU がワークフラッシュメモリにアクセス。読出し・書込み・消去)
③ フラッシュメモリモード
(外部からワークフラッシュメモリにアクセス可能)
・セキュリティ機能
・ 第三者によるワークフラッシュメモリ内容読出し阻止のため、セキュリティ ON 時に、外部からの命令フェッチ後の動作や、チップ消去以外の書込み・消去を抑止
・ オンチップデバッガ(OCD)使用により、パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。

・ECC(Error Correction Code)機能
・ 1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はワークフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
・ チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態(FFFF)のデータを正しく読み出す必要がある場合は、かならず"FFFF"を書き込んでから読み出してください。

3. 構成

ワークフラッシュメモリの構成について説明します。

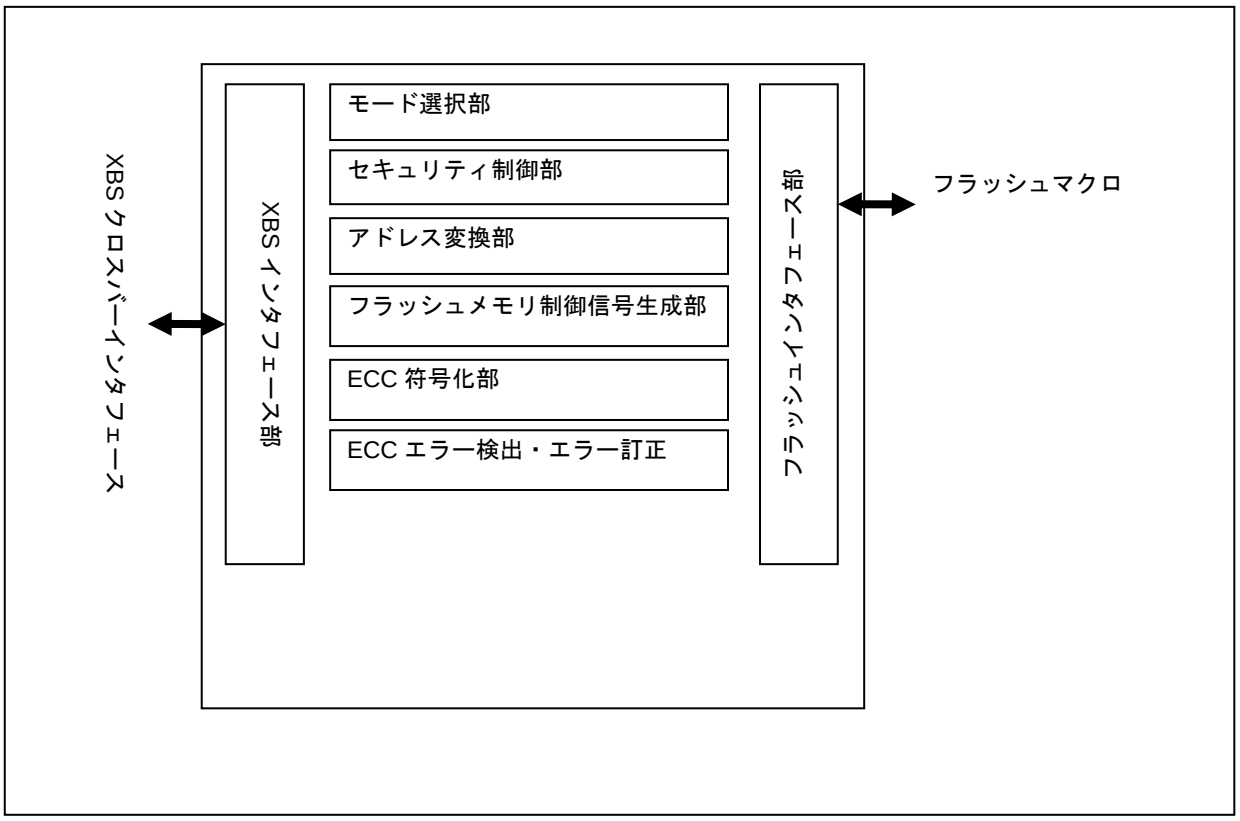
3.1. ブロックダイヤグラム

3.2. セクタ構成図

3.1. ブロックダイヤグラム

ワークフラッシュメモリのブロックダイヤグラムについて示します。

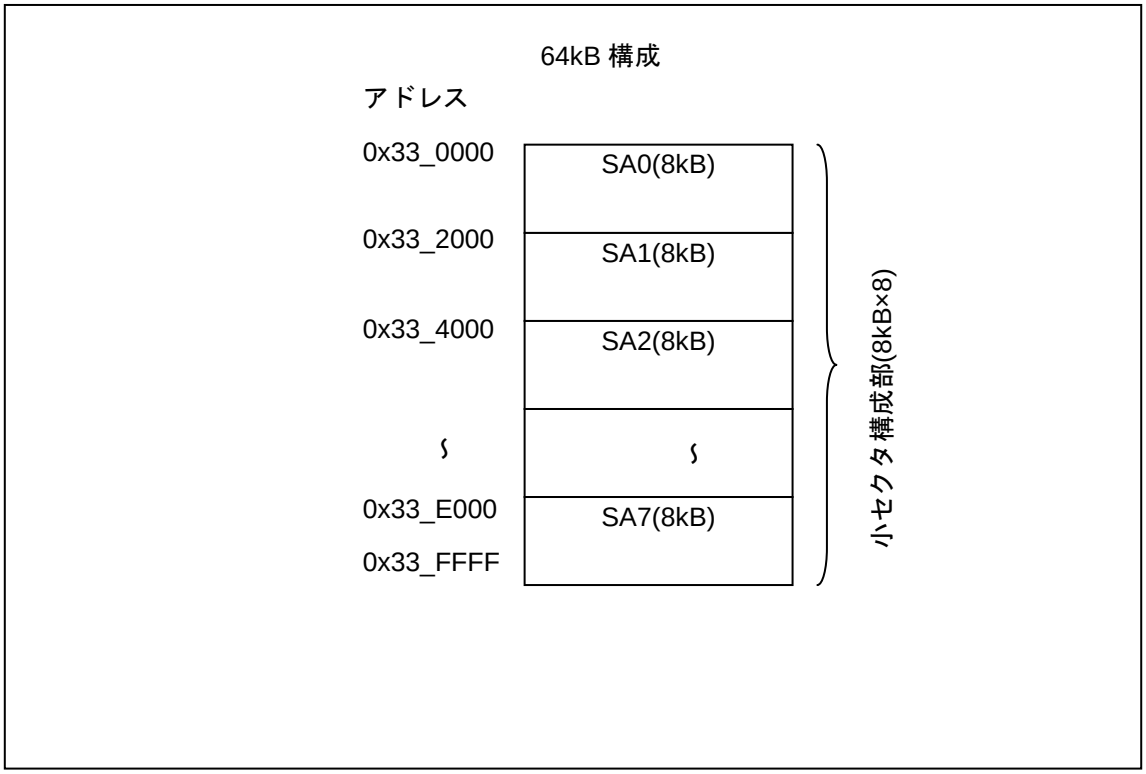
図 3-1 ブロックダイヤグラム (64KB 品種)



3.2. セクタ構成図

ワークフラッシュメモリのセクタ構成図について示します。

図 3-2 セクタ構成図



4. レジスタ

ワークフラッシュメモリのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x2300	DFCTLR		予約	DFSTR	ワークフラッシュ制御レジスタ ワークフラッシュステータスレジスタ
0x2308	FLIFCTLR	予約	予約	予約	フラッシュインタフェース制御レジスタ

4.1. ワークフラッシュ制御レジスタ ：DFCTLR (WorkFlash ConTroL Register)

ワークフラッシュ制御レジスタのビット構成について示します。

ワークフラッシュへのアクセス制御を設定します。

■ DFCTLR: アドレス 2300$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	FWE	予約					
初期値	-	0	-	-	-	-	-	-
属性	RX,WX	R/W	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	-	-	-	-	-	-	-	-
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

[bit15] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit14] FWE (Flash Write Enable) : ワークフラッシュ書込み許可

CPU モード時にワークフラッシュへの書込みを許可する制御ビットです。

本ビットを設定すると、ワークフラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	ワークフラッシュ書込み不許可(初期値)
1	ワークフラッシュ書込み許可

[bit13～bit0] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

4.2. ワークフラッシュステータスレジスタ ：DFSTR (WorkFlash STatus Register)

ワークフラッシュステータスレジスタのビット構成について示します。

ワークフラッシュの状態を表示します。

■ DFSTR: アドレス 2303$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					DFECCERR	DFHANG	DFRDY
初期値	-	-	-	-	-	0	0	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R/W	R,WX	R,WX

[bit7～bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] DFECCERR (WorkFlash ECC Error coRRection) : データ読出し ECC 訂正発生

CPU モードにおけるワークフラッシュへのデータリード時に ECC エラーが発生したことを示します。このビットは"0"書込みでクリアされます。ECC エラーと"0"書込みが同時に発生した場合は"0"書込みが優先されます。

DFECCERR	読出し	書込み
0	データ読出し時の ECC による訂正は発生していません(初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。

[bit1] DFHANG (WorkFlash HANG) : ワークフラッシュ HANG 状態

ワークフラッシュメモリの HANG 状態を示します。タイミング超過(ハードウェアシーケンスフラグの「[bit5]: TLOV: (タイミングリミット超過フラグビット)」を参照してください)すると HANG 状態になります。このビットが"1"になった場合はリセットコマンド(「5.3.1　コマンドシーケンス」を参照してください)を発行してください。

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

DFHANG	説明
0	通常状態
1	HANGUP 状態

[bit0] DFRDY (WorkFlash ReaDY) : ワークフラッシュ書込み許可

自動アルゴリズムでワークフラッシュメモリの書込み/消去動作が実行中か完了しているかを示します。動作中の場合、ワークフラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

DFRDY	説明
0	動作中(書込み/ 消去不可、ステータス読出し可能)
1	動作完了(書込み/ 消去可能、読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

4.3. フラッシュインタフェース制御レジスタ ：FLIFCTLR (Flash I/F Control Register)

フラッシュインタフェース制御レジスタのビット構成について示します。

フラッシュインタフェースを制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

■ FLIFCTLR: アドレス 2308$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			DFWDSBL	予約		ECCDSBL1	ECCDSBL0
初期値	-	-	-	0	-	0	0	0
属性	RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W

[bit7～bit5] 予約
予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) : データフェッチ・ウェイトサイクル無効
本ビットを"1"に設定すると、ウェイト設定時のデータフェッチ時に挿入されるウェイトサイクルを無効にします。ただし、サイクルタイム保障のためのウェイト・サイクルは無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効(初期値)
1	ウェイト・サイクル無効

＜注意事項＞

本ビットを"1"から"0"に変更する場合、かならず FCTLR.FAW="00"に 設定してから行ってください。

[bit3] 予約
予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] 予約
予約ビットです。必ず"0"を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) : ECC 機能無効 1
CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) : ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

5. 動作説明

ワークフラッシュメモリの動作について説明します。

ワークフラッシュメモリ領域へのアクセス方法について説明します。

5.1. アクセスモード設定

5.2. CPU によるワークフラッシュメモリ書込み

5.3. 自動アルゴリズム

5.4. リセットコマンド

5.5. 書込みコマンド

5.6. チップ消去コマンド

5.7. セクタ消去コマンド

5.8. セクタ消去一時停止コマンド

5.9. セキュリティ機能

5.10. ワークフラッシュメモリの使用上の注意

5.1. アクセスモード設定

アクセスモードの設定について示します。

本品種のワークフラッシュメモリには以下の 3 モードがあります。本項にて①②の設定方法を説明します。③については、ご使用の ROM ライタの説明書を参照してください。

① CPU-ROM モード
(CPU/DMA がワークフラッシュメモリにアクセス。読出しのみ、バイト/ハーフワード/ワードアクセス)

② CPU プログラミングモード
(CPUがワークフラッシュメモリにアクセス。読出し/書込み/消去、ハーフワードアクセスのみ)

③ フラッシュメモリモード
(外部からワークフラッシュメモリにアクセス可能)

5.1.1. CPU-ROM モードへの設定

CPU-ROM モードへの設定について示します。

ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットが 0 のときは、CPU-ROM モードです。CPU-ROMモードでは、ワークフラッシュステータスレジスタ(DFSTR)のDFRDY ビットが"1"のとき、ワークフラッシュメモリからの読出しが可能になります。CPU-ROMモードでは、ワークフラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

5.1.2. CPU プログラミングモードへの設定

CPU プログラミングモードへの設定について示します。

ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットが 1 のときは、CPU プログラミングモードです。CPUプログラミングモードでは、ワークフラッシュステータスレジスタ(DFSTR)のDFRDYビットが"1"のとき、ワークフラッシュメモリからの読出しおよび書込みが可能になります。

5.2. CPU によるワークフラッシュメモリ書込み

CPU によるワークフラッシュメモリ書込みについて示します。

CPU プログラミングモードに設定した後、自動アルゴリズムを利用して消去・書込みを行います。
本品種では 1 ワードごとの ECC(Error Correction Code)が付加されますので、1 ワードごとの書込みを行う必要があります。
以下の手順で 1 ハーフワードを 2 連続に、1 ワードごとに書込みを行ってください。この手順に従わない場合、ECC 計算されずにワークフラッシュメモリに書き込まれてしまうため、書いた値を正しく読み出せません。

① フラッシュ書込みアクセスサイズ設定を 16 ビットに設定します。(FCTLR.FSZ[1:0]=01) , FCTLR は、『フラッシュメモリ』の章を参照してください。
② 書込みコマンドを発行します。書込みアドレス=PA 書込みデータ=PD[31:16]書込みコマンドについては「5.5 書込みコマンド」を参照してください。
③ 書込みが終了するまで、ハードウェアシーケンスフラグを読出します。ハードウェアシーケンスフラグ読出しについては「5.3.2 自動アルゴリズム実行状態」を参照してください。
④ 書込みコマンドを発行します。書込みアドレス=PA+2 書込みデータ=PD[15:0]この際、ハードウェアが自動で②の PD[31:16]とあわせて ECC 符号の計算を行い、ECC 符号の書込みも自動で同時に行われます。
⑤ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。
⑥ 書込みデータがまだある場合は②に戻ります。すべて書込み完了した場合は⑦へ進みます。
⑦ CPU-ROM モードに設定します。
⑧ 書込みした値を読み出して、正しい値を読めるか確認してください。また、正しい値が読めた場合でも DFSTR.DFECCERR ビットを確認して ECC 訂正がされていないか確認してください。
ECC 訂正が発生していた場合はワークフラッシュメモリ消去からやり直してください。

PA : 書込み対象アドレス(ワードアラインド)
PD[31:0] : 書込みデータ
PD[31:16] : 書込みデータ上位 16 ビット分
PD[15:0] : 書込みデータ下位 16 ビット分

5.3. 自動アルゴリズム

自動アルゴリズムについて示します。

CPU プログラミングモードを利用する場合、ワークフラッシュメモリへの書込み/消去は自動アルゴリズムを起動して行います。本項にて自動アルゴリズムについて説明します。

5.3.1. コマンドシーケンス

コマンドシーケンスについて示します。

ワークフラッシュメモリへ1回～6回連続でハーフワード(16ビット)のデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを以下に示します。

表 5-1 コマンドシーケンス

コマンド	書込み回数	1回目		2回目		3回目		4回目		5回目		6回目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	任意	$F0_H$										
読出し	1	RA	RD										
書込み	4	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	$A0_H$	PA	PD				
チップ消去	6	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	80_H	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	10_H
セクタ消去	6	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	80_H	$AA8_H$	AA_H	554_H	55_H	SA	30_H
セクタ消去一時停止	1	任意	$B0_H$										
セクタ消去再開	1	任意	30_H										

・表中のデータ表記は下位8ビット分のみを表記しています。上位8ビットは任意です。コマンドはハーフワードまたはバイトで書き込んでください。

・表中のアドレス表記は下位12ビット分のみです。上位20ビット分は、対象となるフラッシュマクロのアドレス範囲のうちの任意のアドレスを指定してください。

PA: 書込みアドレス(ハーフワードアラインド)

PD: 書込みデータ(16ビットで書き込んでください。)

SA: セクタアドレス(消去対象となるセクタのアドレス範囲の内の任意のアドレスを指定してください。)

RA: 読出しアドレス

RD: 読出しデータ(読出し幅は任意です。)

＜注意事項＞

・誤ったアドレス値やデータ値を書込んだ場合や、誤ったシーケンスで書込んだ場合、それまで書込んだコマンドはクリアされます。
・コマンドアドレス、セクタ消去コマンド発行時に入力するセクタアドレス(SA)の最下位2ビット分は以下のようにしてください。
ハーフワード・アクセス時: 2'b00
バイト・アクセス時:2'b01 または 2'b11
例1: バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位2ビットを2'b01に変更)とする場合、$yAA8_H \rightarrow yAA9_H$、$x554_H \rightarrow x555_H$、SA → {SA[31:2], 2'b01}
(SA:セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
例2: バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位2ビットを2'b11に変更)とする場合、$yAA8_H \rightarrow yAAB_H$、$x554_H \rightarrow x557_H$、SA → {SA[31:2], 2'b11}
(SA:セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

■ リセットコマンド

リセットコマンドを対象ワークフラッシュメモリに送ると、それまでに入力した表 5-1 コマンドシーケンスに示す各コマンド入力をキャンセルし、再び 1 回目からコマンド入力し直すことができます。
ただし、各コマンドを最後まで入力し自動アルゴリズムが起動すると、本リセットコマンドでは自動アルゴリズムを中止することはできません。
自動アルゴリズムの実行がタイミングリミットを超過した場合のみ、リセットコマンドを発行するとワークフラッシュメモリがリセット状態へ復帰します。

■ 読出しコマンド

読出しコマンドを対象セクタに送るとワークフラッシュメモリを読出しできます。読出しコマンドを発行すると、ワークフラッシュメモリはほかのコマンドが発行されるまで読出し状態を保ちます。

■ プログラム(書込み)コマンド

書込みコマンドを対象セクタに 4 回連続して送ると、自動アルゴリズムを起動してワークフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でも、セクタの境界を越えても行えます。
CPU プログラミングモードでは、ハーフワードで書込みを行います。4 回目の書込みが終了すると自動アルゴリズムが起動し、ワークフラッシュメモリへの自動書込みが開始されます。
自動書込みアルゴリズムコマンドシーケンス実行後は、外部からワークフラッシュメモリを制御する必要はありません。
実際の動作については、「5.5 書込みコマンド」を参照してください。

＜注意事項＞

- ハーフワードで書き込む場合、4 回目の書込みコマンド(書込みデータサイクル)を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
- 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- セキュリティ ON においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送ると、ワークフラッシュメモリの全セクタを一括で消去できます。6回目の書込みが終了すると自動アルゴリズムが起動し、チップ消去動作が開始されます。
自動消去アルゴリズムが起動すると、すべてのチップ消去する前に、ワークフラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にワークフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は、外部からワークフラッシュメモリを制御する必要はありません。
実際の動作については、「5.6 チップ消去コマンド」を参照してください。

■ セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送ると、ワークフラッシュメモリのセクタを消去できます。6 回目の書込み終了から 40µs 経過(タイムアウト期間)すると、自動アルゴリズムが起動し、セクタ消去動作が開始されます。
複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30_H)を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。
自動消去アルゴリズムが起動すると、セクタ消去する前に、ワークフラッシュメモリが消去するセクタのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にワークフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は、外部からワークフラッシュメモリを制御する必要はありません。
実際の動作については、「5.7 セクタ消去コマンド」を参照してください。

＜注意事項＞

セキュリティ ON 時においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去実行中、またはコマンドタイムアウト中にセクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態(セクタイレーズサスペンド状態)に移行できます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。
コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常に書き込みされると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して直ちにセクタ消去動作を再開します。
実際の動作については、「5.8 セクタ消去一時停止コマンド」を参照してください。

＜注意事項＞

セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7µs+2 サイクル要します。
読出し可能状態になったかどうかは、ワークフラッシュステータスレジスタ(DFSTR)の DFRDY ビット、またはハードウェアシーケンスフラグの TOGG1 で確認できます。

5.3.2. 自動アルゴリズム実行状態

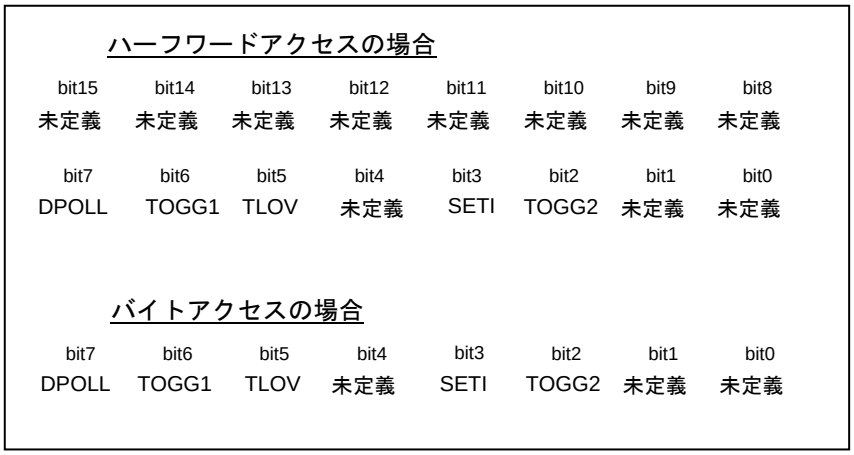
自動アルゴリズム実行状態について示します。

ワークフラッシュメモリでは、書込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをワークフラッシュステータスレジスタ(DFSTR)のDFRDYビットで、動作状態を　ハードウェアシーケンスフラグで確認できます。

● ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。ワークフラッシュステータスレジスタ(DFSTR)のDFRDY ビットが"0"のときに、ワークフラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を次に示します。

図 5-1 ハードウェアシーケンスフラグのビット構成



＜注意事項＞

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

● 各ビットとワークフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とワークフラッシュメモリ状態の対応を次に示します。

表 5-2 フラグとワークフラッシュメモリ状態の対応

状態		DPOLL	TOGG1	TLOV	SETI	TOGG2
実行中	書込み中	反転データ*	トグル	0	0	-
	セクタ/チップ消去中	0	トグル	0	1	-
タイムリミット超過	書込みコマンド	反転データ*	トグル	1	0	-
	セクタ/チップ消去コマンド	0	トグル	1	1	-
セクタ消去一時停止	消去対象セクタ	-	-	-	-	トグル

*：読み出される値については、「●ビット説明」を参照してください。

● ビット説明

[bit15～bit8]:未定義ビット

[bit7] DPOLL : (データポーリングフラグビット)

書込み/消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。
読み出される値は動作状態によって異なります。

(1) 書込み時

書込み中:	最後に書き込まれたデータの bit7 の値と逆の値(反転データ)が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

(2) セクタ消去時

セクタ消去実行中:	消去中のセクタから"0"が読み出されます。
セクタ消去後:	必ず"1"が読み出されます。

(3) チップ消去時

チップ消去実行中:	必ず"0"が読み出されます。
チップ消去後:	必ず"1"が読み出されます。

(4) セクタ消去一時停止時

一時停止状態(未完了):	セクタ消去一時停止セクタから、"0"が読み出されます。
セクタ消去動作完了:	セクタ消去一時停止セクタから、"1"が読み出されます。

＜注意事項＞

自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、 データを読み出してください。

[bit6] TOGG1 : (トグルフラグ 1 ビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● 書込み/セクタ消去/チップ消去時

書込み/ セクタ消去/ チップ消去中:	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み/ セクタ消去/ チップ消去終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV : (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がワークフラッシュメモリ内部で規定している時間(内部パルスの回数)を超過したかどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

● 書込み/セクタ消去/チップ消去時

次の値が読み出されます。

"0"	規定時間内
"1"	規定時間を超えている

このビットが"1"のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示していると、書込みや消去に失敗したことになります。
例えば、ワークフラッシュメモリでは"0"が書き込まれているデータを"1"に書き換えることができないため、"0"が書き込まれているアドレスに"1"を書き込もうとすると、ワークフラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは"1"と"0"が交互に読み出され続けます。この状態のまま規定時間を超えたときに、このビットが"1"に変わります。このビットが"1"になった場合はリセットコマンドを発行してください。

＜注意事項＞

このビットが"1"の場合は、ワークフラッシュメモリが正しく使用されなかったことを示しています。ワークフラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] :未定義ビット

[bit3] SETI : (セクタ消去タイマフラグビット)

セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40µs のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● セクタ消去時

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

"0"	セクタ消去ウェイト期間中(次のセクタ消去コード(30_H)を受け付けられます。)
"1"	セクタ消去ウェイト期間を超過している(このときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示していると、ワークフラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード(30_H)以外のコマンドはワークフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2] TOGG2 : (トグルフラグ 2 ビット)

セクタイレーズサスペンド状態において、消去対象でないセクタに対しては読出し(リード)を行うことができますが、消去対象セクタに対してはリードができません。本フラグは、セクタ消去一時停止中でリードアドレスが消去対象セクタの場合、出力データがトグルして、消去対象セクタであることを示します。

消去対象セクタへの読出し	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
消去対象でないセクタへの読出し	指定したアドレスのデータを読出します。

[bit1, bit0]:未定義ビット

5.4. リセットコマンド

リセットコマンドについて示します。

リセットコマンドを対象ワークフラッシュメモリに送ると、ワークフラッシュメモリをリセット状態にできます。この状態はワークフラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了すると、ワークフラッシュメモリは常にリセット状態に戻ります。
電源投入時はリセットコマンドを発行する必要はありません。
また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

5.5. 書込みコマンド

書込みコマンドについて示します。

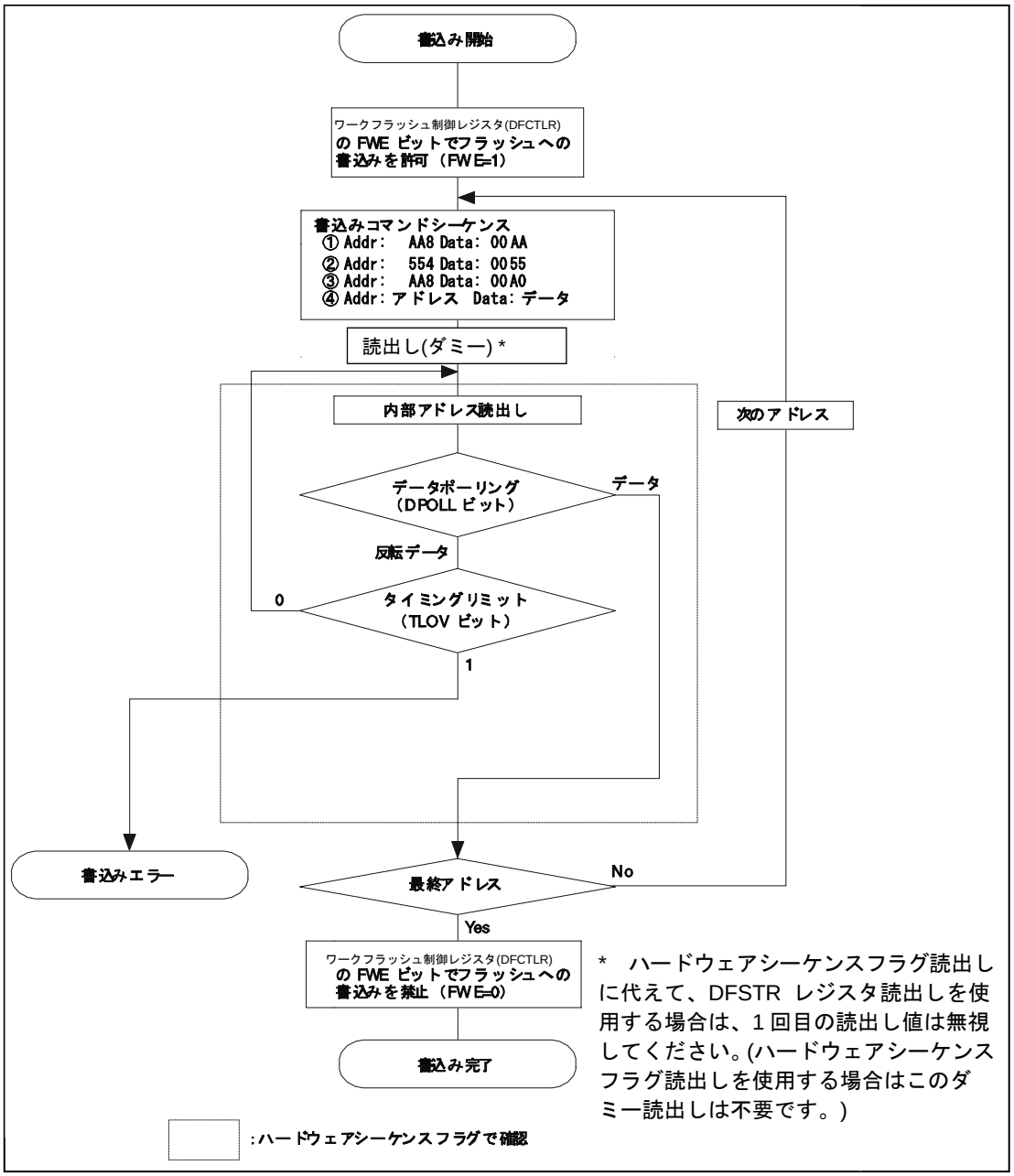
次の順番で書込みを行います。

①書込みコマンドを対象セクタに連続して送る
自動アルゴリズムが起動されワークフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は外部からワークフラッシュメモリを制御する必要はありません。

②書込みを行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が書き込んだ値と一致していると、ワークフラッシュメモリへの書込みが終了したことになります。
書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値(反転データ)が読み出されます。

ワークフラッシュメモリへの書込み動作例を次に示します。

図 5-2 書込み手順例



* ハードウェアシーケンスフラグ読出しに代えて、DFSTR レジスタ読出しを使用する場合は、1 回目の読出し値は無視してください。(ハードウェアシーケンスフラグ読出しを使用する場合はこのダミー読出しは不要です。)

＜注意事項＞

- 書込みが終了すると、ワークフラッシュメモリは読出しモードに戻るため、書込みアドレスを受け付けなくなります。
- 書込みコマンドについては、「ワークフラッシュメモリ」の章の「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグのDPOLLビットは、TLOVビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも TOGG1 ビットを再度確認する必要があります。
- ワークフラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- 一度、"0"が書き込まれたデータを"1"に戻すことはできません。"0"を"1"に書き換えると、以下のいずれかになります。
  - ✧ データポーリングアルゴリズムにより素子が不良と判定される
  - ✧ 書込み規定時間を超え、ハードウェアシーケンスフラグビットのTLOVビットが"1"に変わる
  - ✧ "1"が書き込まれたように見える

  ただし、"1"が書き込まれたように見えた場合でも、実際のデータは"0"のままのため、読出し/リセットモードでデータを読み出すと"0"が読み出されます。データを"1"に戻したい場合は、チップ消去かセクタ消去を行ってください。
- 書込み動作中はワークフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「ワークフラッシュメモリ」の章の「5.2 CPU によるワークフラッシュメモリ書込み」を参照してください。

5.6. チップ消去コマンド

チップ消去コマンドについて示します。

チップ消去コマンドにて、ワークフラッシュメモリの消去対象フラッシュマクロを一括して消去できます。

チップ消去コマンドを対象ワークフラッシュメモリに連続して送ると自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「ワークフラッシュメモリ」の章の「5.3 自動アルゴリズム」を参照してください。

次の順番でチップ消去を行います。

① チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動され、ワークフラッシュメモリへデータが書き込まれます。

② 消去対象フラッシュマクロの任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間×全セクタ数＋チップ書込み時間(プリプログラム)」となります。チップ消去動作が終了すると、ワークフラッシュメモリは読出し/リセットモードに戻ります。

＜注意事項＞

- 自動消去アルゴリズムが起動するとすべてのチップ消去する前に、ワークフラッシュメモリがチップ内のすべてのセルに"0"を書き込んで、マージンを検証(プリプログラム)するため、チップ消去前に、ワークフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からワークフラッシュメモリを制御する必要もありません。
- セキュリティ ON 時においては、フラッシュの消去には手順に制限があります。詳細は「ワークフラッシュメモリ」の章の「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

5.7. セクタ消去コマンド

セクタ消去コマンドについて示します。

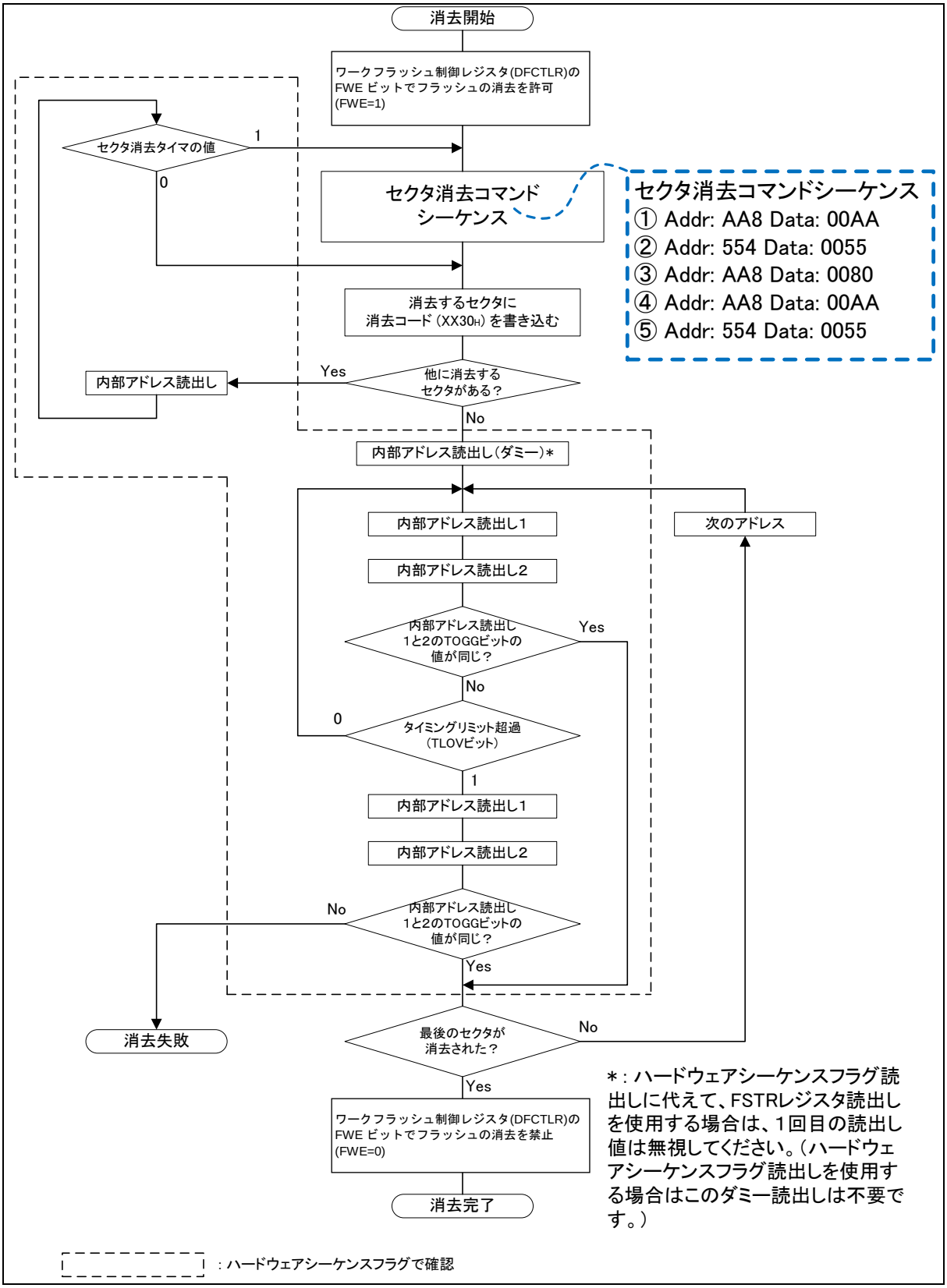
ワークフラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。
複数のセクタを同時に指定することもできます。
次の順番でセクタ消去を行います。

① セクタ消去コマンドを対象セクタに連続して送る
40µs 経過(タイムアウト期間)すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30_H)を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

②任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、セクタ消去が終了したことになります。また、TOGG1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を次に示します。

図 5-3 セクタ消去手順例



＜注意事項＞

- セクタ消去に必要な時間は「(セクタ消去時間＋セクタ書込み時間(プリプログラム))×セクタ数」となります。
- セクタ消去動作が終了すると、ワークフラッシュメモリは読出し/リセットモードに戻ります。
- セクタ消去コマンドについては、「ワークフラッシュメモリ」の章の「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグのDPOLLビットは、TLOVビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも TOGG1 ビットを再度確認する必要があります。
- コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
- 自動消去アルゴリズムが起動すると、セクタ消去する前に、ワークフラッシュメモリが消去するセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にワークフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からワークフラッシュメモリを制御する必要もありません。

5.8. セクタ消去一時停止コマンド

セクタ消去一時停止コマンドについて示します。

セクタ消去実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去を一時停止させるには、対象フラッシュマクロの任意のアドレスにセクタ消去一時停止コマンドを送ります。
セクタ消去が停止したあとは、対象フラッシュマクロからの読出し動作が許可されます。このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されます。
セクタ消去一時停止状態に入ると、以下の状態になります。

- セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
- ワークフラッシュステータスレジスタの DFRDY が"1"になる。

これらを利用して、セクタ消去一時停止状態に入った事を確認可能です。

＜注意事項＞

セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs+2 サイクル要します。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2:TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、表 5-1 コマンドシーケンスのセクタ消去再開コマンドを送ります。
セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。
セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

5.9. セキュリティ機能

セキュリティ機能について示します。

本ワークフラッシュメモリには、セキュリティ機能が搭載されています。

セキュリティ機能が OFF のときは制限なくワークフラッシュメモリを使用できますが、セキュリティ機能が ON のときは、チップ消去以外の書込み・消去が抑止されます。制限内容については「5.9.4　セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

リセット解除時におけるフラッシュセキュリティ ON/OFF 判別について示します。

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の2バイトを読出します。その値が 0x0001 の場合は、セキュリティ ON になり、その後のワークフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

5.9.2. フラッシュセキュリティ設定方法

フラッシュセキュリティ設定方法について示します。

フラッシュセキュリティコード領域(『ワークフラッシュメモリ』章の「図 3-2 セクタ構成図」を参照してください)に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。

5.9.3. フラッシュセキュリティ解除方法

フラッシュセキュリティ解除方法について示します。

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

① ワークフラッシュを消去します。
② フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合はプログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は①からやり直してください。

＜注意事項＞

ユーザモード(内部フラッシュ起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。 フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施してください。

5.9.4. セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時のフラッシュアクセス制限について示します。

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ	通常状態(後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態)では、ワークフラッシュメモリに対するアクセス制限はありません。 オンチップバス領域に対して命令フェッチがおこなわれると、フラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、ワークフラッシュメモリへのアクセスは受け付けません。 リセットで通常状態に復帰します。
上記以外 (ライタなど)	ワークフラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「5.9.3　フラッシュセキュリティ解除方法」を参照してください。

5.10. ワークフラッシュメモリの使用上の注意

ワークフラッシュメモリの使用上の注意について示します。

- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)したときは、ワークフラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- ワークフラッシュ 制御レジスタ(DFCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)し、ワークフラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については『ワークフラッシュメモリ』章の「5.2 CPU によるワークフラッシュメモリ書込み」を参照してください。
- 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ(OCD)のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からワークフラッシュメモリの内容を読み出すことができます。第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。
- ワークフラッシュメモリがプログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。
- 本ワークフラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

CHAPTER: オンチップデバッガ(OCD)

オンチップデバッガ(OCD)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：FR81S10_OCD-1v1-91552-6-J

1. 概要

オンチップデバッガ(OCD)の概要について説明します。

本品種でのオンチップデバッガ(OCD)の概要ならびに仕様制限を説明します。

OCDUは、FR81においてオンチップデバッグ機能を提供するためのデバイス内蔵デバッグサポートユニットです。OCDUは、デバッガの基本機能(CPU実行/ブレーク制御, CPUレジスタ/メモリ/IOのアクセス), 小規模デバッグ支援機能(イベント, 実行時間測定, トレースなど), セキュリティ機能を搭載します。

2. 特長

オンチップデバッガ(OCD)の特長について説明します。

● 一線式デバッグツール I/F

・初期通信タイプ: マンチェスタ符号
・MDI ウェイクアップ・スタンバイ機能
・オートネゴシエーションモード機能
・ツール側でのクロックキャリブレーション不要

● デバッグセキュリティ機能

● デバッグモード制御機能

● 実行制御機能

・各種ステータス表示機能(チップステータス, CPU ステータスなど)
・デバッグコマンド実行制御機能
・小規模デバッグメインメモリ(8 バイト=4 命令)
・CPU レジスタ退避レジスタ(PC/PS)
・PC モニタ機能
・リセット機能
  ・ チップリセット(INIT)
  ・ CPU リセット(RST)

● セミホスティング機能

● ブレーク機能

・ステップ実行ブレーク
・イベントトリガブレーク
・強制ブレーク
・ガーデッドアクセスブレーク
・トレース終了ブレーク
・実行開始アドレス直後の割込み受付け制御

● デバッグ DMA 機能 (DDMA 機能)

・各種転送モードのサポート(アドレスモード, Verify モード, DEBUG I/F のバースト転送)

● イベント機能

・コードイベント: 8
・条件付コードイベント: 2
・データイベント: 8
・割込みイベント: 2
・ユーザイベント: 2
・イベントシーケンサ: 2 レベル＋リセット

● 実行時間測定タイマ機能

・Go-Break 間測定
・トリガ間測定(単発測定/累積測定, 累積測定時の Min/Max 値測定)

- **トレース機能**
  - 特殊ステートトレース
  - 分岐トレース
  - データトレース
  - トレースディレイ
  - トレースフレーム数: 512

3. 構成

オンチップデバッガ(OCD)の構成について説明します。

図 3-1 OCDU のブロックダイヤグラム

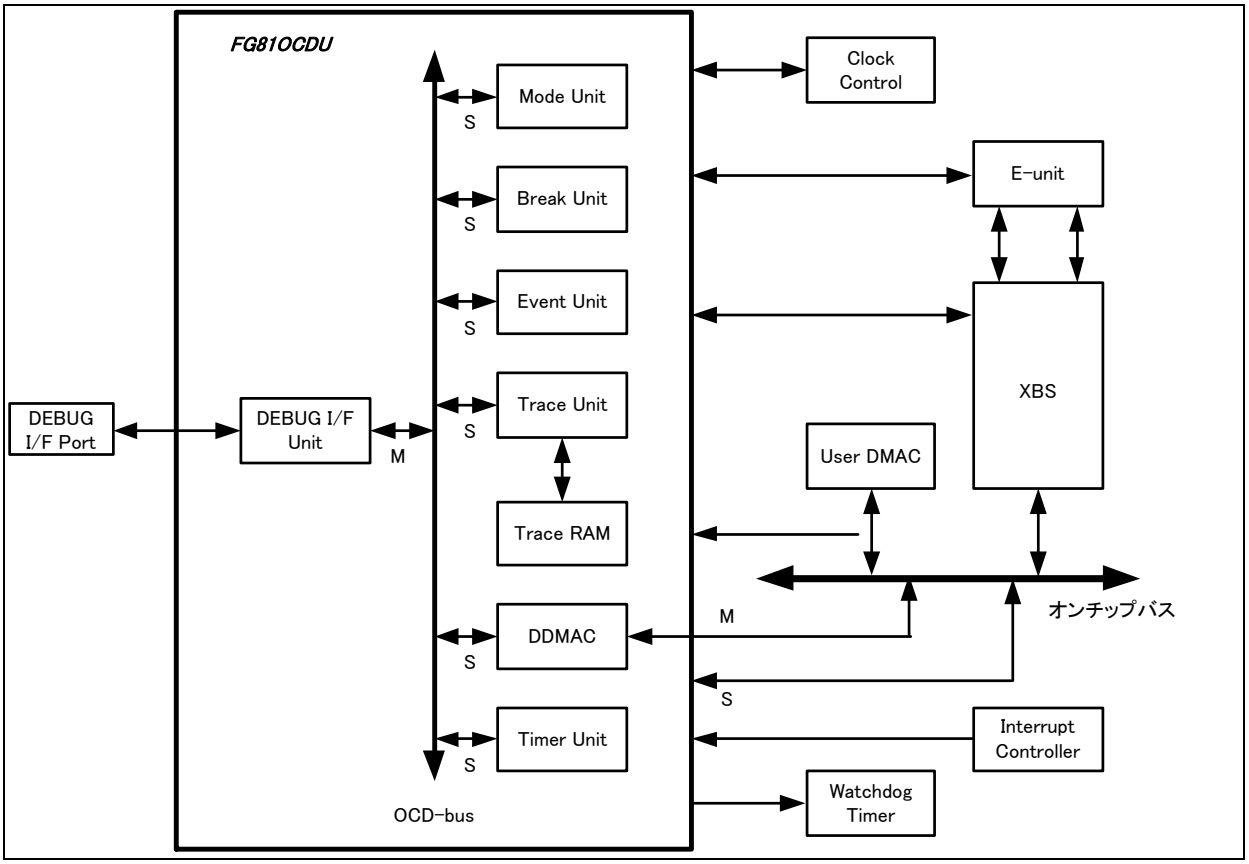
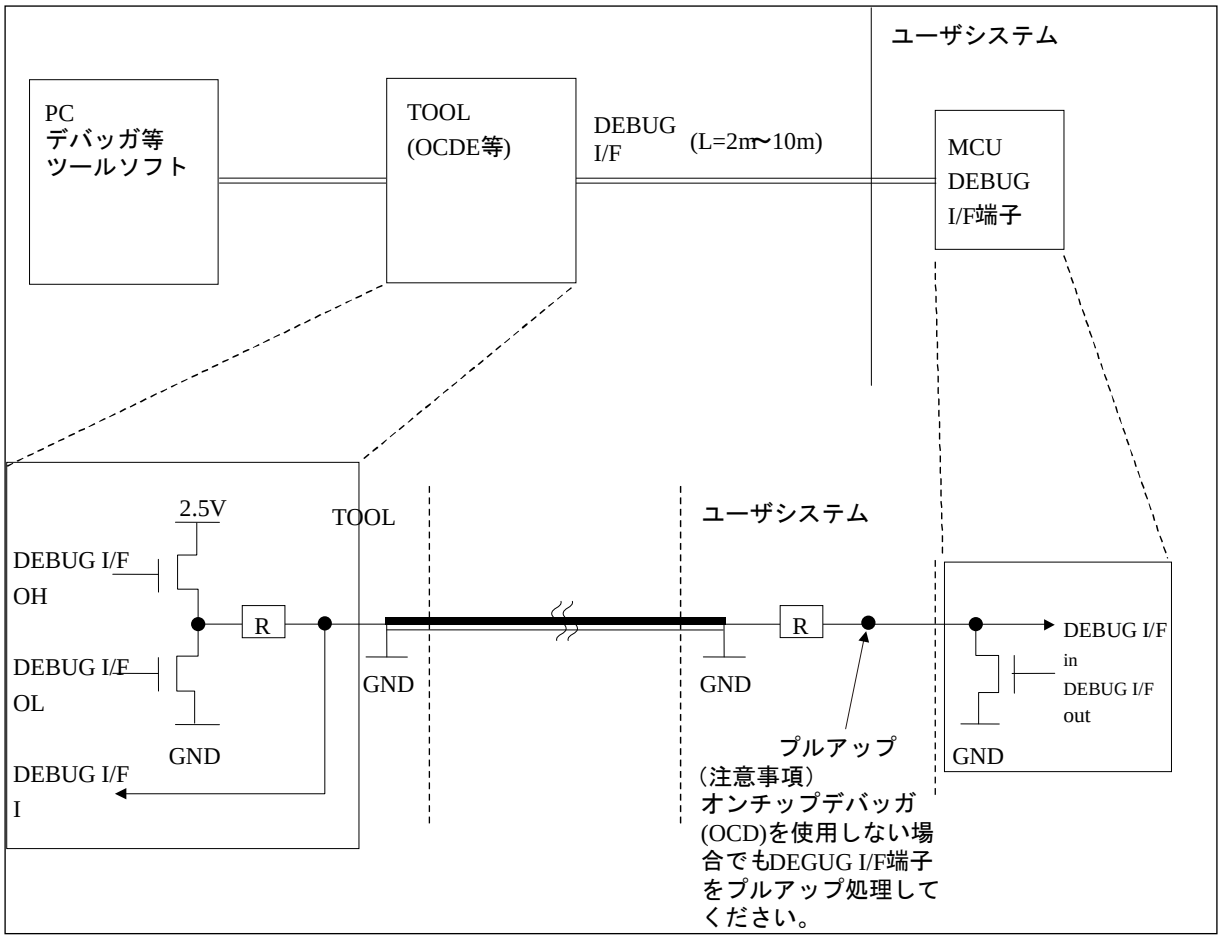


図 3-2 OCD 接続図


ユーザシステム
PC
デバッガ等
ツールソフト
TOOL
(OCDE等)
DEBUG
I/F
(L=2m~10m)
MCU
DEBUG
I/F端子
2.5V
TOOL
ユーザシステム
DEBUG I/F
OH
DEBUG I/F
OL
GND
DEBUG I/F
I
R
GND
R
GND
プルアップ
DEBUG I/F
in
DEBUG I/F
out
GND
(注意事項)
オンチップデバッガ
(OCD)を使用しない場
合でもDEGUG I/F端子
をプルアップ処理して
ください。

3.1. DEBUG I/F 用クロック

DEBUG I/F 用クロックについて示します。

DEBUG I/F 用クロックのクロック接続構成については、『クロック』の章を参照してください。

3.1.1. DEBUG I/F 用メインクロック(M_MCLK)

DEBUG I/F 用メインクロック(M_MCLK)について示します。

OCD ツール接続時、DEBUG I/F 用メインクロック(M_MCLK)にはメインクロック(MCLK)が供給されます。
OCD ツール未接続時、DEBUG I/F 用メインクロック(M_MCLK)は停止します。

3.1.2. DEBUG I/F 用 PLL クロック(M_PCLK)

DEBUG I/F 用 PLL クロック(M_PCLK)について示します。

OCD ツール接続時で高速 UART モードおよび位相変調 UART モード選択時、DEBUG I/F 用 PLL クロック(M_PCLK)には PLL クロック(PLLCLK)が供給されます。
OCD ツール未接続時、DEBUG I/F 用 PLL クロック(M_PCLK)は停止します。

4. レジスタ

オンチップデバッガ(OCD)のレジスタについて説明します。

4.1. DBG レジスタ

DBG レジスタについて示します。

表 4-1 レジスタマップ(DBG レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0xFF00	DSUCR		予約		DSU 制御レジスタ

4.1.1. DSU 制御レジスタ: DSUCR

DSU 制御レジスタのビット構成について示します。

フリーランモードにおいて、DSU の制御を行うレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ DSUCR: アドレス $FF00_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DSU
初期値	X	X	X	X	X	X	X	0
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R,W

4.2. ユーザ IO レジスタ

ユーザ IO レジスタについて示します。

表 4-2 レジスタマップ(ユーザ IO レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0BF0	HSCFR				高速通信周波数レジスタ
0x0BF8	予約		MBR		メッセージバッファ
0x0BFC	予約		UER		ユーザイベントレジスタ

4.2.1. ユーザイベントレジスタ ：UER

ユーザイベントレジスタのビット構成について示します。

ユーザイベントの検出を行うレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ UER: アドレス 0BFE$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							UEVT
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W

4.2.2. 高速通信周波数レジスタ ：HSCFR

高速通信周波数レジスタのビット構成について示します。

使用する PLL クロックの周波数情報を設定するレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ HSCFR: アドレス $0BF0_H$ (アクセス: バイト,ハーフワード,ワード)

	bit 31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約						FREQ[17:16]	
初期値	X	X	X	X	X	X	0	0
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FREQ[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FREQ[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.2.3. メッセージバッファ ：MBR

メッセージバッファのビット構成について示します。

セミホスティング用メッセージの書込みと要求制御を行うためのレジスタです。

■ MBR: アドレス 0BFA$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	DMAREQ	予約					
初期値	0	0	X	X	X	X	X	X
属性	R,WX	R,W1	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MB[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit15] BUSY (Message Buffer Busy) : メッセージバッファビジー

メッセージバッファのビジー検出を行うビットです。MBR.MB[7:0]ビットへの書込みにより"1 "になり、ツール側からのメッセージ読出しにより"0 "になります。本ビットは読出し専用で、書込みは動作に影響ありません

BUSY	メッセージバッファビジー状態
0	非ビジー状態(初期値)
1	ビジー状態

[bit14] DMAREQ (DDMAMessage Handling Request) : DDMA メッセージ処理要求

DDMA を使ったメッセージ処理方法を要求するビットです。本ビットは、"1"書込みのみ有効で、"0"書込みは動作に影響ありません。

DMAREQ	DDMA メッセージ処理
0	要求しない(初期値)
1	要求する

[bit7～bit0] MB[7:0] (Message Buffer) : メッセージバッファ

1 バイトのメッセージデータを書き込むためのビットです。本ビットは書込み専用です。読出し値は不定です。

5. 動作説明

オンチップデバッガ(OCD)の動作について説明します。

5.1. OCDU 動作モード
5.2. DEBUG I/F 概要
5.3. 本品種の OCD ツール接続時での仕様制限
5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報

5.1. OCDU 動作モード

OCDU 動作モードについて示します。

5.1.1. 動作モードについて

動作モードについて示します。

OCDU の動作モードにはエミュレータモードとフリーランモードがあります。

- **エミュレータモード(デバッグ走行状態)**
  エミュレータモードには、デバッグ命令を実行するためのデバッグステートとユーザプログラムを実行するためのユーザステートがある。デバッグステートで RETI 命令が実行されるとユーザステートへ遷移し、ユーザステートでブレークされるとデバッグステートへ遷移する。

- **フリーランモード(通常走行状態)**
  ユーザプログラムのみが走行するモードです。

5.1.2. 動作モード状態遷移

動作モード状態遷移について示します。

INIT 解除時(INIT を伴う RST 含む)は、チップリセットシーケンスにおける DEBUG I/F からのモードコマンドにしたがって、エミュレータモードのデバッグステートか、フリーランモードに遷移します。

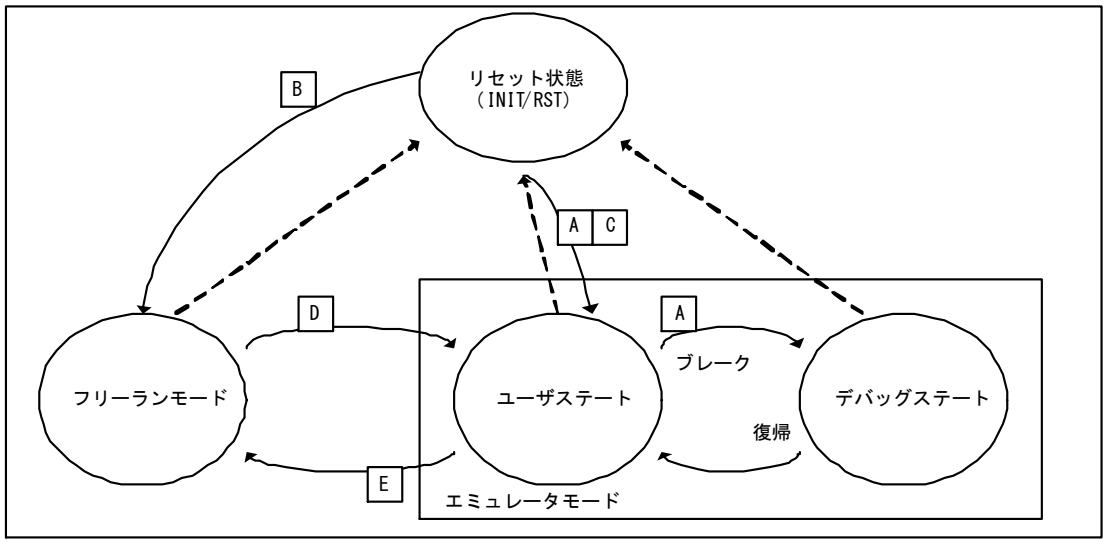
RST 解除時(INIT は伴わない)は、RST 発生前の動作モードに遷移します。ただし、ユーザステートで RST が発生した後、強制ブレーク要求があった場合は、RST 解除時にエミュレータモードのデバッグステートへ遷移します。

また、OCD レジスタの制御により、フリーランモードとエミュレータモードのユーザステート間の遷移が可能となります。

リセット状態からデバッグステートへ遷移する際、まずユーザステートへ遷移します。この際、OCDU がブレーク要求をすることで、リセット状態 → ユーザステート → (ブレーク) → デバッグステートへと遷移します。

各遷移条件を以下に示します。

図 5-1 OCDU 動作モード遷移図



[破線の遷移]
リセット（INIT、RST）が発生した場合の遷移。すべての状態 からリセット状態へ遷移する
[実線の遷移]
A: ①INITが伴う リセット発生後、 INIT解除時のMDIの チップリセットシーケンスにおいて モードコマンドを正常に受信した場合の遷移。
② デバッグステートでINITが伴 わないリセット発生後、RST解除時の遷移。
③ ユーザステートで INITが伴わないリセット発生後、RST 解除前に強制 ブレーク、または擬似 オンザフライブレーク要求 があった場合の RST解除時の遷移。
B: ①INITが伴う リセット発生後、 INIT解除時のMDIの チップリセットシーケンスにおいて モードコマンドを正常に受信 しなかった場合の遷移。
② フリーランモードでINITが伴 わないリセット発生後、RST解除時の遷移。
C: ユーザステートでINITが伴わないリセット発生後、RST 解除時の遷移。
D: フリーランモードでOCDU動作許可のとき、E_MSTSR DMODEビットへ1 書込みした場合の遷移。
E: ユーザステートで、E_MSTSR.DMODEビットへ0書込みした場合の遷移。

5.2. DEBUG I/F 概要

DEBUG I/F の概要について説明します。

DEBUG I/F はシングルワイヤのデバッグインタフェースであり、MCU とツールを 1 線(+GND)で接続します。MCU は 1 端子をデバッグインタフェース用に使用します。

DEBUG I/F は、双方向端子であり、通信と特殊シーケンスの機能を有します。

通信はシリアル伝送方式(UART)で、通信のボーレートは通常 UART モードでは MCU のメイン源発振クロックをベースとした分周クロックであり、高速 UART モードおよび位相変調 UART(マンチェスタエンコード UART)では PLL クロックをベースとした分周クロックとします。

特殊シーケンスには、チップリセットシーケンスとストールがあります。チップリセットシーケンスでは MCU が INIT 発生を通知する機能と、INIT 解除後に起動するデバッグモードを検出する機能があります。ストール機能には、ツールからの通信ストール要求と強制ブレーク要求、MCU からの通信エラー通知があります。

以下に主な DEBUG I/F の機能を示します。

・チップリセットシーケンス機能(INIT 通知, モードコマンド)
・UART 機能(通常 UART, 高速 UART, 位相変調 UART)
・ストール要求(通信ストール要求, 強制ブレーク要求, 通信エラー通知)
・オートネゴシエーションん機能(通信形式通知)

DEBUG I/F の双方向端子は、Nch オープンドレイン出力により実現され、DEBUG I/F 端子はユーザシステム上でプルアップされます。ツール接続時は、ツールによりプルアップされます。

ツールの接続は「図 3-2 OCD 接続図」を参照してください。

5.2.1. チップリセットシーケンス

チップリセットシーケンスについて説明します。

INIT が発生した場合、OCDU は DEBUG I/F の仕様に従い、チップリセットシーケンスを実行します。チップリセットシーケンスを実行する基準クロックは、通常 UART のサンプリングクロック(メイン源発振クロックの 8 分周クロック)です。

チップリセットシーケンスは、以下の 5 つのフェーズで構成されます。

・開始フェーズ
・INIT フェーズ
・レベルセンスフェーズ
・モードエントリフェーズ
・終了フェーズ

● 開始フェーズ

発生した INIT が解除された時点から通常 UART のサンプリングクロック 32 サイクル間は、開始フェーズです。OCDU は、このフェーズで特別な動作を行いません。

● INIT 通知フェーズ

開始フェーズが終了してから通常 UART のサンプリングクロック 568 サイクル間は、INIT 通知フェーズです。OCDU は、このフェーズにいる間、DEBUG I/F に 280 サイクルの"L"を 2 回出力(間に 8 サイクルのアイドルを挿入)し、INIT の発生をツールに通知します。

● レベルセンスフェーズ

INIT 通知フェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、レベルセンスフェーズです。OCDU は、このフェーズで特別な動作を行いません。

● モードエントリフェーズ

レベルセンスフェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、モードエントリフェーズです。OCDU は、このフェーズからツールからのモードコマンドの受信を開始します。

このフェーズでモードコマンドの受信開始を検出(UART 受信でスタートビットを検出)した場合、OCDU はエミュレータモード(デバッグステート)で起動します。その後、正常なモードコマンド(受信エラーなし、かつ、モードコード一致)を受信すると、これ以降 OCDU は後述するレジスタアクセスコマンドの受付が可能になります。正常なモードコマンド(受信エラーまたはモードコード不一致)を受信しなかった場合、OCDU は INIT 要求を発生させ、INIT 解除後に再度チップリセットシーケンスを実行します。

このフェーズでモードコマンドの受信開始を検出(UART 受信でスタートビットを検出)しなかった場合、OCDU はフリーランモードで起動します。

モードエントリフェーズ開始直後にモードコマンドを受信させる場合、UART 受信サンプリングクロックで 1 サイクル幅以上 DEBUG I/F に"H"が入力されるのを待って、モードコマンドを受信させる必要があります。これが満足されない場合、モードコマンド受信のスタートビットを正常検出できず、正しくモードエントリできない可能性があります。

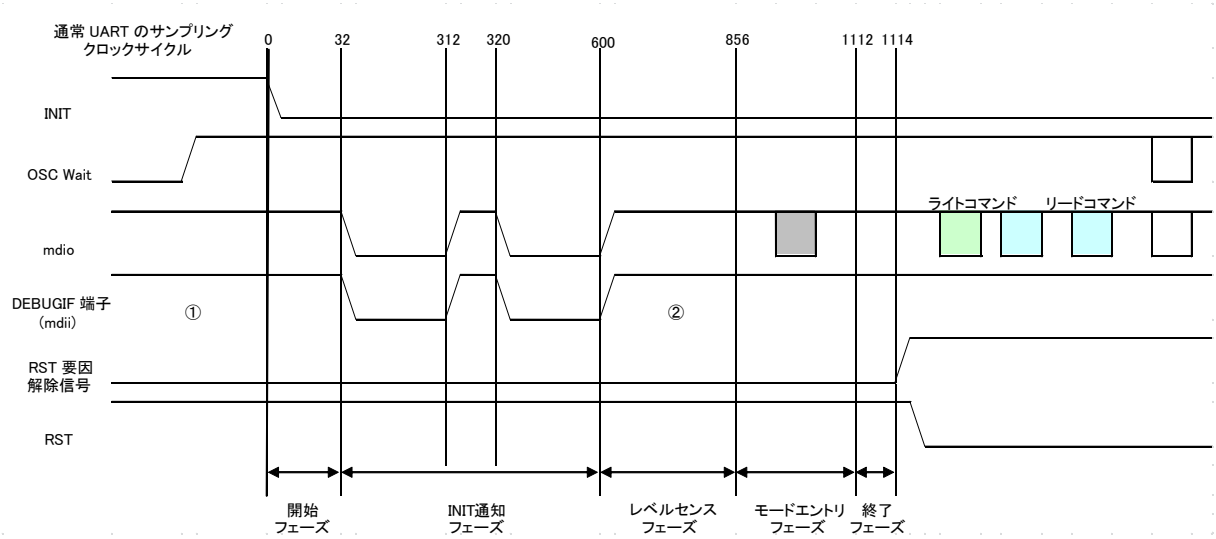
● 終了フェーズ

モードエントリフェーズ終了から通常 UART のサンプリングクロック 2 サイクル間は、終了フェーズです。OCDU はこのフェーズで特別な動作を行いません。OCDU は終了フェーズが終わった時点で 『リセット』の章の『5.4.3 リセット(RST)』記載のリセット発行シーケンスを実行します。RST 要因を解除します。

チップリセットシーケンスの通常 UART のサンプリングクロックのサイクル数とフェーズの関係は次のようになります。

チップリセットシーケンスのフェーズ	開始フェーズ	INIT通知フェーズ	レベルセンスフェーズ	モードエントリフェーズ	終了フェーズ
INIT 解除からの通常 UART のサンプリングクロックサイクル	1 - 32	33 - 600	601 - 856	857 - 1112	1113 , 1114

以下に、チップリセットシーケンスの様子を示します。



OSC Wait ： メイン源発振クロックの発振安定。INIT は、発振安定確認後に解除される。

① ： ツールのプルアップにより、DEBUGIF は H レベルとなる。

② : DEBUGIF はユーザシステム上のプルアップのレベルとなる。

5.2.2. セキュリティ機能

セキュリティ機能について説明します。

OCDU にはセキュリティ機能を搭載しています。OCDU は、CPU のメモリ空間にあるデバッグセキュリティ領域に記憶されるセキュリティ情報の設定により、セキュリティ機能を有効にできます。セキュリティ機能を有効にすると、セキュリティロック状態となります。これを解除するために、セキュリティ情報で設定したパスワードを指定長回数、E_SLPR レジスタに書き込むことで、セキュリティをアンロックできます。

■ セキュリティ情報

デバッグセキュリティ領域は、搭載する Flash の先頭アドレス+4 から+33 の 30 バイトに配置されます。OCDU はセキュリティシーケンスで、この領域を参照します。

デバッグセキュリティ領域には、以下のセキュリティ情報があります。

● セキュリティパスワード長(PW 長)

デバッグセキュリティ領域の先頭アドレスにある 16 ビット長データであり、下位 4 ビットが有効な PW 長です。上位 12 ビットは動作に影響がありません。PW 長が 0x0 または 0xF の場合、セキュリティは無効です。PW 長が 0x1～0xE(1～14)の場合、セキュリティは有効です。

● セキュリティパスワード(PW)

デバッグセキュリティ領域にある 16 ビット長のデータで、1～14 個あります。PW 長アドレスの次のアドレスから順に、PW1、PW2、･･･PW14 と配置されます(下図を参照してください)。セキュリティが有効(PW 長:1～14)の場合、PW 長の値が有効な PW を示します。

(例えば、PW 長が 8 の場合、PW1～PW8 が有効、PW9～PW14 が無効。)

アドレス	15 … 0
ROM/Flash 先頭アドレス +4	PW 長
ROM/Flash 先頭アドレス +6	PW1
ROM/Flash 先頭アドレス +8	PW2
･･･	･･･
ROM/Flash 先頭アドレス +32	PW14

＜注意事項＞

オンチップデバッガ(OCD)のセキュリティ機能を使用しない場合は、この領域には何も書き込まず、フラッシュ消去直後の初期状態(全 bit=1)のままとしてください。

5.3. 本品種の OCD ツール接続時での仕様制限

OCD ツール接続時での仕様制限について示します。

OCD ツール接続時には、次の制限が発生します。

5.3.1. クロック設定

クロック設定について説明します。

- OCD ツール接続時には、メインクロックは発振停止しません。ただし OCD ツール未接続時と同様に CSELR.MCEN への書込みならびに CMONR.MCRDY への読出しが可能です。
- OCD 高速 UART ならびに位相変調 UART 通信時には PLL は発振停止しません。ただし OCD ツール未接続時と同様に、CSELR.PCEN への書込みならびに CMONR.PCRDY への読出しが可能です。また、PLL は継続して発振しているため、次の PLL 設定レジスタの変更は有効になりません。ただし OCD ツール未接続時と同様に、書込みならびに読出しが可能です。
  - PLLCR.ODS
  - PLLCR.PMS
  - PLLCR.PDS
  - CCPSDIVR.PODS
  - CCPLLFBR.IDIV

5.3.2. スタンバイモード

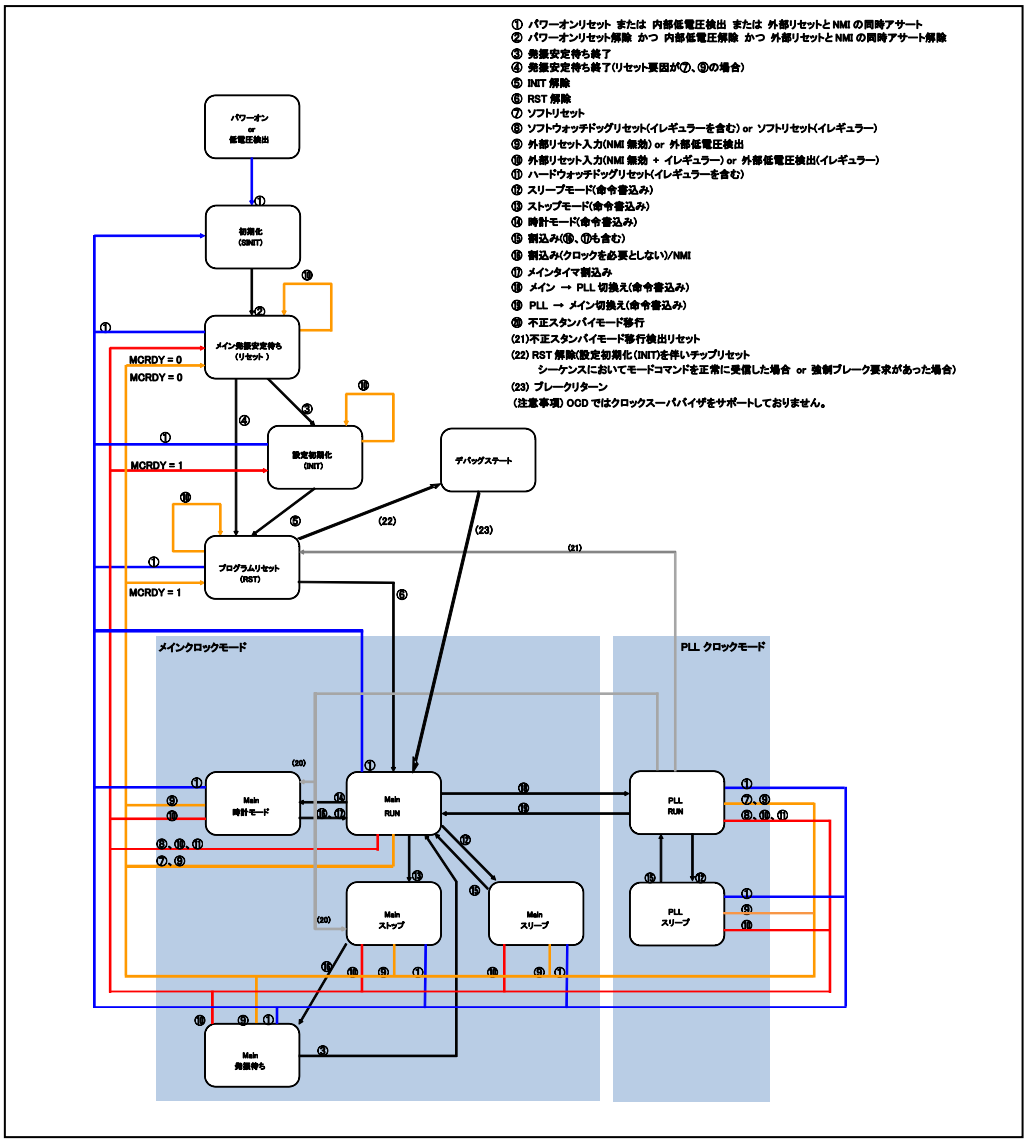
スタンバイモードについて説明します。

- 時計モードに移行しても、OCD 高速 UART ならびに位相変調 UART 通信許可時は PLL は発振停止しません。
- ストップモードに移行しても、メインクロックは発振停止しません。OCD 高速 UART ならびに位相変調 UART 通信許可時には PLL は発振停止しません。
- 上記制限による、OCD ツール未接続時と動作の違いのある機能を示します。
  - PLL 停止時(CSELR.PCEN=0)、または OCD 高速 UART ならびに位相変調 UART 通信許可時は CAN は時計モード・ストップモード時でも動作継続します。(CPU による処理のない範囲での動作です。)
  - WDT1 補正(キャリブレーション)のカウンタ動作はストップモード時でも継続します。
- 次の機能は、上記制限を受けずに OCD ツール未接続時と同様の動作になります。
  - メインタイマはストップモード時はクリアされる構造になっているため、ストップモード時は動作しません。
- PLL クロック発振継続のため、時計モード時の消費電力は OCD ツール未接続時と比べて大きくなります。
- PLL クロック、メインクロック発振継続のため、ストップモード時の消費電力は OCD ツール未接続時と比べて大きくなります。

5.3.3. クロック・リセット状態遷移

クロック・リセット状態遷移について説明します。

図 5-2 デバイス状態



5.3.4. 仕様制限まとめ

仕様制限のまとめについて示します。

1) 通信モード*1: 通常 UART

リセット要因	OCDツール未接続時との差		備考
	初期化範囲	処理時間	
パワーオンリセット	なし	あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
RSTX端子入力(イレギュラー)			
RSTX端子入力			降圧回路切換え安定待ち時間(*2)なし (注意事項)Mainストップモード、Main時計モードからの復帰のみ
RSTX端子入力(+NMIX端子入力)			リセット解除後エミュレータモード(デバッグステート)へ遷移
ウォッチドッグリセット0(イレギュラー)			
ウォッチドッグリセット0			
ウォッチドッグリセット1(イレギュラー)			
ウォッチドッグリセット1			
外部低電圧検出リセット(イレギュラー)			
外部低電圧検出リセット			降圧回路切換え安定待ち時間(*2)無し (注意事項)Mainストップモード、Main時計モードからの復帰のみ
不正スタンバイモード移行検出リセット(イレギュラー)			リセット解除後エミュレータモード(デバッグステート)へ遷移
不正スタンバイモード移行検出リセット		なし	
低電圧検出(内部低電圧検出)リセット		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
フラッシュセキュリティ違反リセット(イレギュラー)			
フラッシュセキュリティ違反リセット		なし	
ソフトウェアリセット(イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
ソフトウェアリセット		なし	

割込み要因	OCDツール未接続時との処理時間差	備考
すべての割込み	あり	降圧回路切替え安定待ち時間(*2)なし (注意事項)Mainストップモード、Main時計モードからの復帰のみ

リセット関連以外のデバイス状態	OCDツール未接続時との動作差異	備考
Main RUN/Main スリープモード	なし	
PLL RUN/PLL スリープモード		
Main ストップモード	あり	降圧回路固定 メイン発振継続 動作継続(WDT1補正カウンタ動作)
Main 時計モード		降圧回路固定 メイン発振継続

2) 通信モード*1： 高速 UART/位相変調 UART

リセット要因	OCDツール未接続時との差		備考
	初期化範囲	処理時間	
パワーオンリセット	なし	あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
RSTX端子入力(イレギュラー)			
RSTX端子入力			降圧回路切換え安定待ち時間*2なし (注意事項)Mainストップモード、Main時計モードからの復帰のみ
RSTX端子入力(+NMIX端子入力)			リセット解除後エミュレータモード(デバッグステート)へ遷移
ウォッチドッグリセット0(イレギュラー)			
ウォッチドッグリセット0			
ウォッチドッグリセット1(イレギュラー)			
ウォッチドッグリセット1			
外部低電圧検出リセット(イレギュラー)			
外部低電圧検出リセット			降圧回路切換え安定待ち時間*2なし (注意事項)Mainストップモード、Main時計モードからの復帰のみ
不正スタンバイモード移行検出リセット(イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
不正スタンバイモード移行検出リセット		なし	
低電圧検出(内部低電圧検出)リセット		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
フラッシュセキュリティ違反リセット(イレギュラー)			
フラッシュセキュリティ違反リセット		なし	
ソフトウェアリセット(イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
ソフトウェアリセット		なし	

割込み要因	OCDツール未接続時との処理時間差	備考
すべての割込み	あり	降圧回路切換え安定待ち時間*2なし (注意事項)Mainストップモード、Main時計モードからの復帰のみ

リセット関連以外のデバイス状態	OCDツール未接続時との動作差異	備考
Main RUN/Main スリープモード	あり	PLL発振継続
PLL RUN/PLL スリープモード	なし	
Main ストップモード	あり	降圧回路固定 メイン発振継続 PLL発振継続(不正スタンバイモード移行検出無効) 動作継続(CAN、WDT1補正カウンタ動作)
Main 時計モード		降圧回路固定 メイン発振継続 動作継続(CAN)

*1:通信モード設定に関してはSOFTUNE Workbench操作マニュアルを参照してください。
*2:降圧回路安定待ち時間　約6uS

5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報

OCD-DSU ID コードおよび実装タイプ情報について示します。

表 5-1 本品種の OCD-DSU ID コード

ID 名称	bit 幅	対応 ID レジスタ名称	OCD 空間でのアドレス	値	備考
メーカ ID	16	E_IDMCR	0x000	0x0400	
CPU ファミリ ID	16	E_IDFCR	0x001	0x0200	FR81E/FR81S
DSU タイプ ID	8	E_IDVCR	0x003	0x0X	
DSU バージョン ID	4	E_IDVCR	0x003	0x1	
デバイス ID	16	E_IDDCR	0x002	0x002F	MB91F552
デバイス バージョン ID	4	E_IDVCR	0x003	0x1	

表 5-2 本品種の実装タイプ情報

品種名	コード イベント数	データ イベント数	データ イベント (大小比較)	シーケンサ イベント	トレース
MB91F552	8	8	○	○	512 フレーム

CHAPTER: BUS 診断機能

BUS 診断機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

BUS 診断機能の概要について説明します。

バス診断機能は、各リソースにアクセス時にバス上に出力されたデータを検査することによって、LSI の誤動作を防止する機能です。

		機能
1	診断対象	アドレスバスとデータバスに出力されるアドレスとデータ, バスを制御する制御信号(リード・ライト・リードモディファイライト信号, バスアクセスサイズ信号)
2	診断バス	AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)
3	診断方式	パリティによる診断 出力側で 8 ビットごとにパリティを計算し、そのパリティを出力する。 入力側でそのパリティを検査
4	パリティ	奇数パリティ
5	テスト機能	パリティエラーを発生させ、バス診断時のプログラムデバッグをサポートする。
6	エラー検出	・コントロールパリティエラー ・アドレスパリティエラー ・データパリティエラー エラー発生時、そのときのアドレスをレジスタに表示。
7	効果	・バス断線の検出 ・バスのトランジスタの故障検出 ・ごみによるバスショートのデータ化け検出 ・コンタクト不良によるデータ化け検出
8	NMI 通知	コントロールパリティエラー, アドレスパリティエラー, データパリティエラー

2. 特長

BUS 診断機能の特長について説明します。

CPU の内部バスは、AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)で構成されており、それぞれについてアドレスとデータ, バスコントロール信号に対し、パリティ付加し、そのパリティの検査を行うことによってバス診断機能を実現しています。ただし、バス診断用レジスタのライトアクセス時、パリティエラーが発生した場合、NMI 要求信号をクリアできなくなるため、バス診断レジスタへのライトアクセスは診断対象外とします。
また、ライトアクセス時のパリティエラー検出の際は、周辺機能へのライトアクセスを遮断します。

バス診断による NMI 出力は、以下の要因で発生します

・コントロールパリティエラー(CNER)が検出された場合
・データパリティエラー(DER[3:0])が検出された場合
・アドレスパリティエラー(AER[3:0])が検出された場合

3. 構成

BUS 診断機能の構成について説明します。

図 3-1 構成図

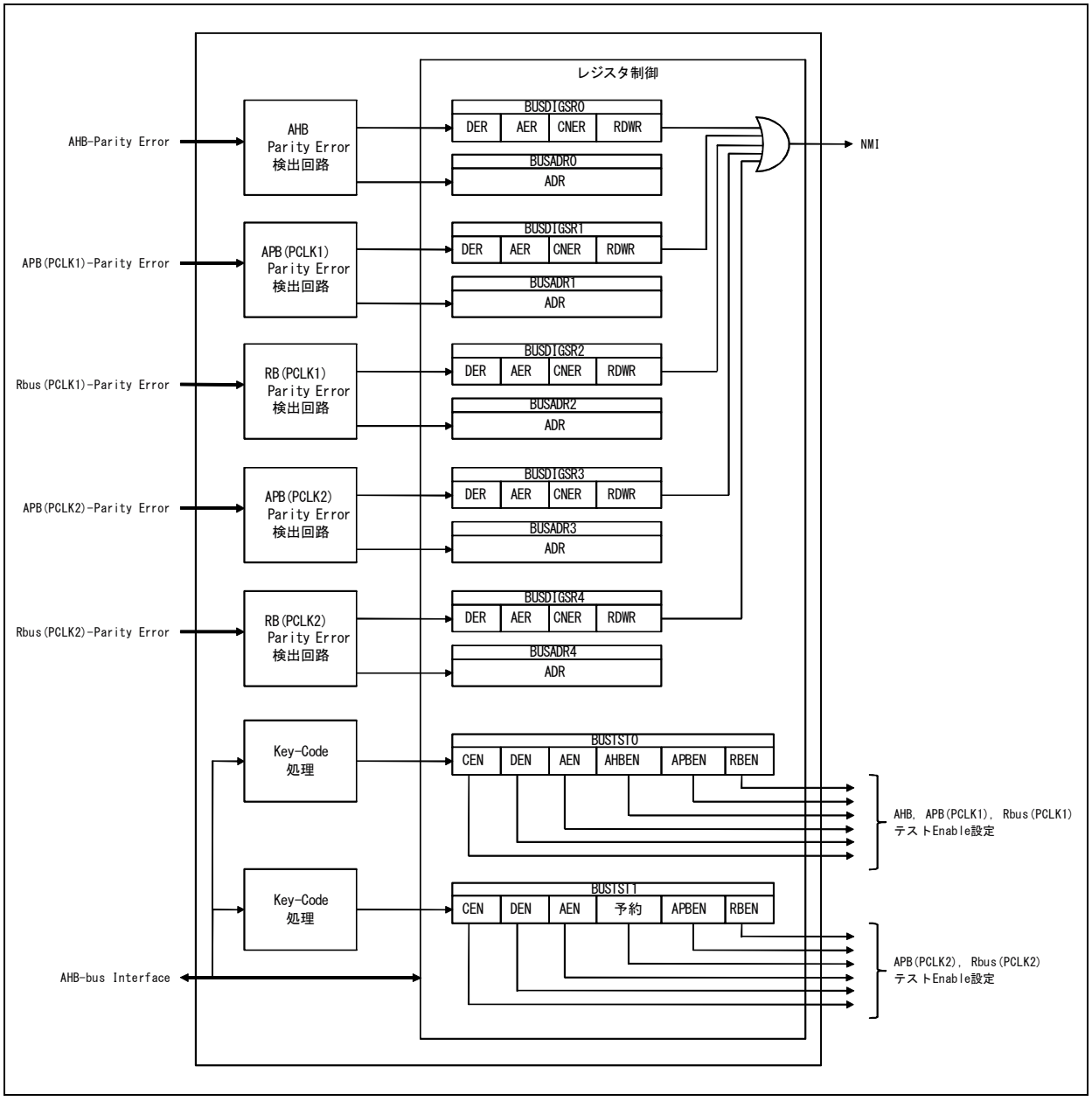
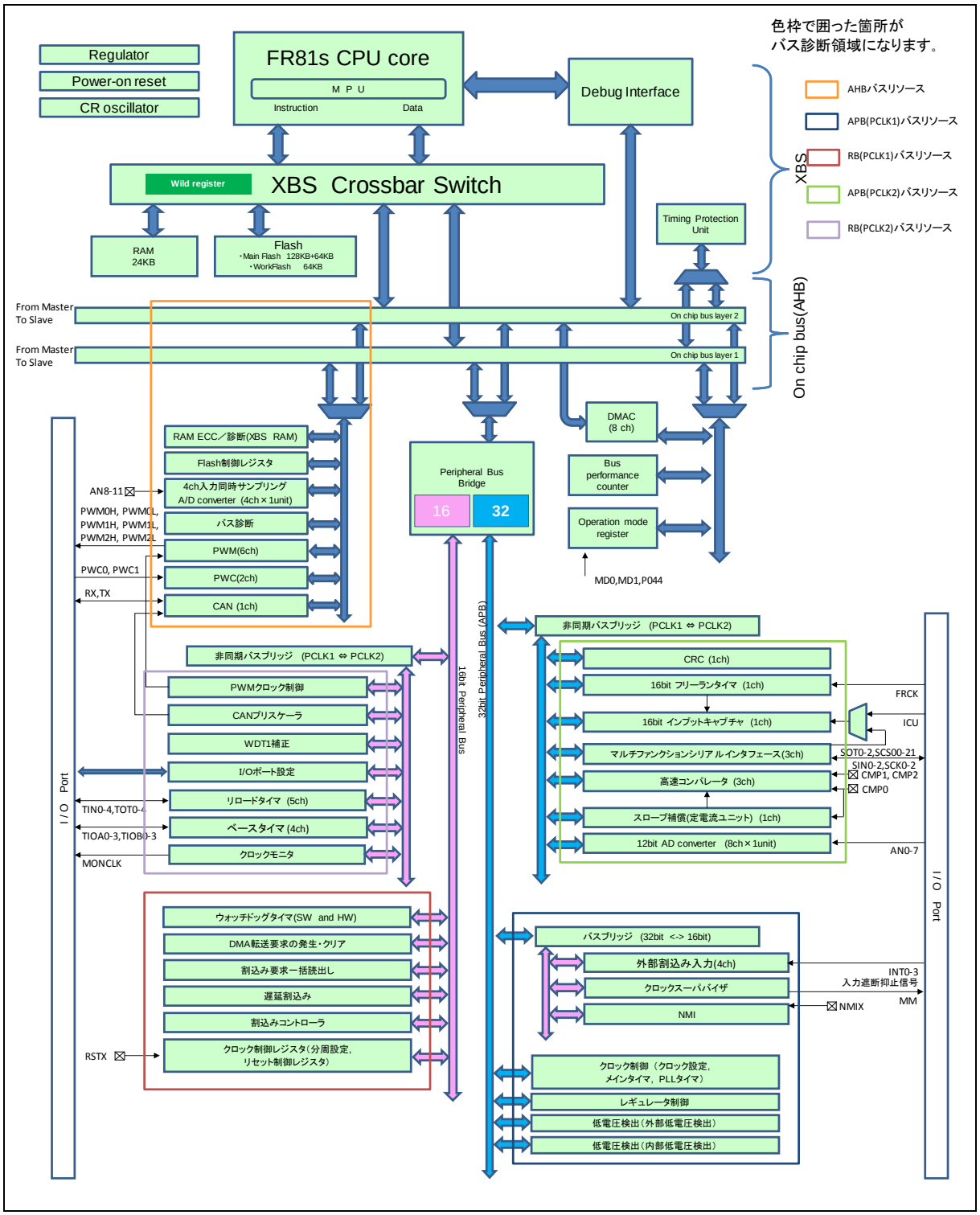


図 3-2 バス診断対象領域図



＜注意事項＞

以下のアドレス領域については診断領域外です。

ウォッチドッグタイマ	0x00000038 - 0x0000003F *
遅延割込み	0x00000044 *
MPU	0x00000310 - 0x000003AC　リロードタイマ 0/1/2　診断対象へ
割込みコントローラ	0x00000440 - 0x0000046F *
リセット制御/消費電力制御	0x00000480 - 0x00000482 *
クロック制御	0x00000488 - 0x0000048A *
ペリフェラルによる DMA 転送要求	0x00000490 - 0x0000049F *
バス・パフォーマンス・カウンタ	0x00000710 - 0x0000071F
フラッシュメモリレジスタ	0x00000840 - 0x00000843
ワイルドレジスタ	0x0000085A - 0x0000085B
	0x00000880 - 0x000008FF
OCDU	0x00000BF0 - 0x00000BFF
同期/非同期設定	0x00001000 - 0x00001001
DMA コントローラ	0x00000C00 - 0x00000DFF *
バス診断	0x00003100 - 0x00003127 (リードデータは診断対象です。)

* : R-bus につながる診断領域外について、レジスタ設定条件・故障条件によってはエラー検出される場合があります。
詳細は「5.3. 注意事項」を参照してください。

4. レジスタ

BUS 診断機能のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	bit31 bit16	bit15 bit0	初期値
003100_H	BUSDIGSR0 (バス診断ステータスレジスタ 0)	BUSDIGSR1 (バス診断ステータスレジスタ 1)	0x00000000
003104_H	BUSDIGSR2 (バス診断ステータスレジスタ 2)	BUSTSTR0 (バス診断テストレジスタ 0)	0x00000000
003108_H	BUSADR0(バス診断アドレスレジスタ 0)		0x00000000
$00310C_H$	BUSADR1(バス診断アドレスレジスタ 1)		0x00000000
003110_H	BUSADR2(バス診断アドレスレジスタ 2)		0x00000000
003114_H	予約	BUSDIGSR3 (バス診断ステータスレジスタ 3)	0x00000000
003118_H	BUSDIGSR4 (バス診断ステータスレジスタ 4)	BUSTSTR1 (バス診断テストレジスタ 1)	0x00000000
$00311C_H$	予約		0x00000000
003120_H	BUSADR3(バス診断アドレスレジスタ 3)		0x00000000
003124_H	BUSADR4(バス診断アドレスレジスタ 4)		0x00000000

4.1. バス診断ステータスレジスタ: BUSDIGSR

バス診断ステータスレジスタのビット構成について示します。

バス診断ステータスレジスタ(BUSDIGSR)は、データパリティエラー, アドレスパリティエラー, コントロールパリティエラー, データ方向, エラーフラグクリアから構成されています。
バス診断ステータスレジスタ 0 は AHB, バス診断ステータスレジスタ 1 は APB(PCLK1), バス診断ステータスレジスタ 2 は Rbus(PCLK1), バス診断ステータスレジスタ 3 は APB(PCLK2), バス診断ステータスレジスタ 4 は Rbus(PCLK2)のエラー状態を示します。

■ **BUSDIGSR0: アドレス 3100H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR1: アドレス 3102H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR2: アドレス 3104H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR3: アドレス 3116H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR4: アドレス 3118H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DER[3]	DER[2]	DER[1]	DER[0]	AER[3]	AER[2]	AER[1]	AER[0]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PECLR	予約					CNER	RDWR
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

【bit15 ～ bit12】 DER3 ～ DER0: データパリティエラー
データパリティエラーフラグです。8 ビットのデータごとにパリティが計算され、エラーが発生した場合、それに対応したビットは"1"になります。

DER[3]=1 のとき、データの bit7 から bit0 でパリティエラーが発生
DER[2]=1 のとき、データの bit15 から bit8 でパリティエラーが発生
DER[1]=1 のとき、データの bit23 から bit16 でパリティエラーが発生
DER[0]=1 のとき、データの bit31 から bit24 パリティエラーが発生

本ビットが"0"の場合、エラーが発生していないことを示します。本ビットのいずれかに"1"がセットされている間、本ビットは更新されません。本ビットが"1"になると NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

- 本ビットに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または CNER ビットに"1"がセットされている間、本ビットは更新されません。
- データパリティエラーはアクセスサイズの有効データのみエラーが検出され通知されます。
- バス診断ステータスレジスタのエラークリア直後にステータスレジスタを読み出してエラーを検出した場合、無限ループに陥る可能性があるため注意してください。

【bit11 ～ bit8】 AER3 ～ AER0: アドレスパリティエラー

アドレスパリティエラーフラグです。8 ビットのアドレスごとにパリティが計算され、エラーが発生した場合、それに対応したビットは"1"になります。

AER[3]=1 のとき、アドレスの bit7 から bit0 でパリティエラーが発生
AER[2]=1 のとき、アドレスの bit15 から bit8 でパリティエラーが発生
AER[1]=1 のとき、アドレスの bit23 から bit16 でパリティエラーが発生
AER[0]=1 のとき、アドレスの bit31 から bit24 でパリティエラーが発生

本ビットが"0"の場合、エラーが発生していないことを示します。本ビットのいずれかが"1"の場合, NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

本ビットのいずれかに"1"がセットされているか、DER ビットのいずれかに"1"がセットされているか、または CNER ビットに"1"がセットされている間、本ビットは更新されません。

【bit7】 PECLR: パリティエラークリア

パリティエラークリアビットです。本ビットに"1"が書き込まれると DER ビット, AER ビットと CNER ビットを"0"にします。読出し時、本ビットは"0"が読み出されます。本ビットに"0"を書き込んだ場合、無視します。本ビットはライトオンリです。

【bit6 ～ bit2】予約

必ず"0"を設定してください。

【bit1】CNER: コントロールパリティエラー

コントロールパリティエラービットです。バスを制御するリード・ライト信号, データサイズのコントロール信号をデータとして取り扱い、パリティエラーが発生した場合、本ビットは"1"に設定されます。
本ビットが"0"の場合、エラーが発生していないことを示します。本ビットに"1"がセットされている間、本ビットは更新されません。本ビットが"1"になると NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

本ビットに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または DER ビットに"1"がセットされている間、本ビットは更新されません。

【bit0】 RDWR: データ方向

データ方向フラグです。データパリティエラーまたはアドレスパリティエラーが発生時、読出しまたは書込みのいずれかでエラーが発生したかを示します。

本ビットが"0"の場合 : リード方向
本ビットが"1"の場合 : ライト方向

＜注意事項＞

- PECLR ビットへ"1"を書いても本ビットは影響されません。
- DER ビット, AER ビットまたは CNER ビットに"1"がセットされている間、本ビットは更新されません。
- DER ビット, AER ビットまたは CNER ビットのいずれかが"1"の場合、本ビットは有効です。

4.2. バス診断テストレジスタ: BUSTSTR0/1

バス診断テストレジスタのビット構成について示します。

バス診断テストレジスタ(BUSTSTR0, BUSTSTR1)は、バス診断用テスト機能を設定します。

■ BUSTSTR0: アドレス 3106H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	-		CEN	RBEN	APBEN	AHBEN
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0/W	R0,WX	R0,WX	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15, bit14】 KEY1, KEY0: キービット

キービットです。本ビットに"00", "01", "10", "11"と連続的に書き込むと、そのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし、連続的に書き込む際に、4 回とも必ず bit11 ～ bit0 に同じ値が書き込まれないと、bit11 ～ bit0 は更新されません。また、書込み途中でバス診断用レジスタを読み出した場合も更新されません。そのときは再度、 4 回連続的に本レジスタに書き込んでください。

例) BUSTSTR に $07AA_H$ を書込み
次に BUSTSTR に $47AA_H$ 書込み
次に BUSTSTR に $87AA_H$ 書込み
次に BUSTSTR に $C7AA_H$ 書込み → この書込みで BUSTSTR が $07AA_H$ になります。

【bit13, bit12】 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

【bit11】 CEN : コントロールエラー

コントロールエラー設定ビットです。

本ビットが"0"の場合 : コントロールのパリティを正しく生成します。
本ビットが"1"の場合 : コントロールのパリティエラーが発生します。

＜注意事項＞

RBEN=0, APBEN=0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。

【bit10】 RBEN : Rbus パリティエラー生成許可

Rbus(PCLK1)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : Rbus のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : Rbus のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit9】APBEN : APB パリティエラー生成許可

APB(PCLK1)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : APB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : APB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit8】 AHBEN : AHB パリティエラー生成許可

AHB のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : AHB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : AHB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit7 ～ bit4】DEN3 ～ DEN0: データエラー

データエラー設定ビットです。

DEN[3]が"0"の場合 : データバスの bit7 から bit0 のパリティを正しく生成します。
DEN[3]が"1"の場合 : データバスの bit7 から bit0 のパリティエラーが発生します。
DEN[2]が"0"の場合 : データバスの bit15 から bit8 のパリティを正しく生成します。
DEN[2]が"1"の場合 : データバスの bit15 から bit8 のパリティエラーが発生します。
DEN[1]が"0"の場合 : データバスの bit23 から bit16 のパリティを正しく生成します。
DEN[1]が"1"の場合 : データバスの bit23 から bit16 のパリティエラーが発生します。
DEN[0]が"0"の場合 : データバスの bit31 から bit24 のパリティを正しく生成します。
DEN[0]が"1"の場合 : データバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

- RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。
- アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

【bit3 ～ bit0】AEN3 ～ AEN0：アドレスエラー
アドレスエラー設定ビットです。

AEN[3]が"0"の場合 ：アドレスバスの bit7 から bit0 のパリティを正しく生成します。
AEN[3]が"1"の場合 ：アドレスバスの bit7 から bit0 のパリティエラーが発生します。
AEN[2]が"0"の場合 ：アドレスバスの bit15 から bit8 のパリティを正しく生成します。
AEN[2]が"1"の場合 ：アドレスバスの bit15 から bit8 のパリティエラーが発生します。
AEN[1]が"0"の場合 ：アドレスバスの bit23 から bit16 のパリティを正しく生成します。
AEN[1]が"1"の場合 ：アドレスバスの bit23 から bit16 のパリティエラーが発生します。
AEN[0]が"0"の場合 ：アドレスバスの bit31 から bit24 のパリティを正しく生成します。
AEN[0]が"1"の場合 ：アドレスバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。

＜注意事項＞

- バス診断テストレジスタ書込み時は割込み禁止です。
- バス診断テストレジスタは、バス診断機能のデバッグ用レジスタです。
- バス診断テストレジスタへの書込みで診断エラーが発生してもその書込みを行い、対象となるステータスレジスタのエラーフラグは"1"に設定されません。
- RB バスリソースへのアクセスでパリティエラーを発生させたい場合は、同じアクセスを 2 回連続して行ってください。
- 本動作はテスト機能使用時のみの設定です。

■ BUSTSTR1: アドレス 311AH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	-		CEN	RBEN	APBEN	予約
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0/W	R0,WX	R0,WX	R/W	R/W	R/W	R/W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15, bit14】 KEY1, KEY0: キービット

キービットです。本ビットに"00", "01", "10", "11"と連続的に書き込むと、そのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし、連続的に書き込むとき、必ず 4 回とも bit11 ～ bit0 に同じ値が書き込まれないと、bit11 ～ bit0 は更新されません。また、書込み途中でバス診断用レジスタを読み出した場合も更新されません。そのときは再度、4 回連続的に本レジスタに書き込んでください。

例) BUSTSTR に $07AA_H$ をライト
次に BUSTSTR に $47AA_H$ ライト
次に BUSTSTR に $87AA_H$ ライト
次に BUSTSTR に $C7AA_H$ ライト → この書込みで BUSTSTR が $07AA_H$ になります。

【bit13, bit12】 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

【bit11】 CEN :コントロールエラー

コントロールエラー設定ビットです。

本ビットが"0"の場合 : コントロールのパリティを正しく生成します
本ビットが"1"の場合 : コントロールのパリティエラーが発生します

＜注意事項＞

RBEN=0, APBEN=0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。

【bit10】 RBEN :Rbus パリティエラー生成許可

Rbus(PCLK2)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : Rbus のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : Rbus のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit9】APBEN : APB パリティエラー生成許可
APB(PCLK2)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : APB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : APB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit8】予約
必ず"0" を書き込んでください。

【bit7 ～ bit4】DEN3 ～ DEN0: データエラー
データエラー設定ビットです。

DEN[3]が"0"の場合: データバスの bit7 から bit0 のパリティを正しく生成します。
DEN[3]が"1"の場合: データバスの bit7 から bit0 のパリティエラーが発生します。
DEN[2]が"0"の場合: データバスの bit15 から bit8 のパリティを正しく生成します。
DEN[2]が"1"の場合: データバスの bit15 から bit8 のパリティエラーが発生します。
DEN[1]が"0"の場合: データバスの bit23 から bit16 のパリティを正しく生成します。
DEN[1]が"1"の場合: データバスの bit23 から bit16 のパリティエラーが発生します。
DEN[0]が"0"の場合: データバスの bit31 から bit24 のパリティを正しく生成します。
DEN[0]が"1"の場合: データバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

- RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。
- アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

【bit3 ～ bit0】AEN3 ～ AEN0: アドレスエラー
アドレスエラー設定ビットです。

AEN[3]が"0"の場合 : アドレスバスの bit7 から bit0 のパリティを正しく生成します。
AEN[3]が"1"の場合 : アドレスバスの bit7 から bit0 のパリティエラーが発生します。
AEN[2]が"0"の場合 : アドレスバスの bit15 から bit8 のパリティを正しく生成します。
AEN[2]が"1"の場合 : アドレスバスの bit15 から bit8 のパリティエラーが発生します。
AEN[1]が"0"の場合 : アドレスバスの bit23 から bit16 のパリティを正しく生成します。
AEN[1]が"1"の場合 : アドレスバスの bit23 から bit16 のパリティエラーが発生します。
AEN[0]が"0"の場合 : アドレスバスの bit31 から bit24 のパリティを正しく生成します。
AEN[0]が"1"の場合 : アドレスバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。

4.3. バス診断アドレスレジスタ:BUSADR

バス診断アドレスレジスタのビット構成について示します。

バス診断アドレスレジスタ(BUSADR)は、アドレスパリティエラー, データパリティエラーまたはコントロールパリティエラーが検出されたとき, そのときのアドレスを格納します。バス診断ステータスレジスタ(BUSDIGSR)の DER ビット, AER ビットまたは CNER ビットが"1"のとき、本レジスタは有効です。

バス診断アドレスレジスタ 0 は AHB, バス診断アドレスレジスタ 1 は APB(PCLK1), バス診断アドレスレジスタ 2 は Rbus(PCLK1), バス診断アドレスレジスタ 3 は APB(PCLK2), バス診断アドレスレジスタ 4 は Rbus(PCLK2)の診断時エラーが検出されたアドレスを示します。

■ **BUSADR0: アドレス 3108H (アクセス: ワード)**

■ **BUSADR1: アドレス 310CH (アクセス: ワード)**

■ **BUSADR2: アドレス 3110H (アクセス: ワード)**

■ **BUSADR3: アドレス 3120H (アクセス: ワード)**

■ **BUSADR4: アドレス 3124H (アクセス: ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

【bit31 ～ bit0】 ADR31 ～ ADR0:バスアドレス
アドレスまたはデータパリティエラー検出時、そのときアクセスしたアドレスを表示します。
本レジスタはリードオンリです。

＜注意事項＞

- バス診断ステータスレジスタの DER ビット, AER ビットまたは CNER ビットのいずれかが "1"のとき、本レジスタは有効です。
- バス診断ステータスレジスタの DER ビット, AER ビットまたは CNER ビットのいずれかが "1"のとき、本レジスタは更新されません。

5. 動作説明

動作について説明します。

バス診断の動作は, AHB, APB, Rbus にアクセスされると、アドレスバスとデータバス、およびコントロールバスに対し、パリティ検査を行い、アドレスとデータ, コントロールバスが正しいことを診断します。
AHB, APB, Rbus にてバス故障と判断された場合、バス診断ステータスレジスタに各エラー内容, バス診断アドレスレジスタにリソースのアドレスが通知され, 故障内容を判断できます。
ライト動作時は、アドレスパリティエラーかデータパリティエラーおよびコントロールパリティエラーが発生した場合、周辺機能への書込みは行いません。

5.1. エラー検出

エラー検出について説明します。

バス診断にてエラーを検出した場合、エラー検出時のアクセスアドレス・アクセス方向をそれぞれバス診断アドレスレジスタ(BUSADR)・バス診断ステータスレジスタ(BUSDISR)の RDWR ビットに保持します。
またライトアクセスによるエラーを検出したとき、リソースへの書込みは行われません。

■ アドレスエラー検出

アドレスエラー検出は、バスアドレスのパリティ演算結果がエラーであった場合、バス診断ステータスレジスタ(BUSDISR)の AER[3:0]ビットに"1" をセットします。
同レジスタ PECLR ビットに"1"を書き込むことで AER[3:0]ビットをクリアできます。

■ コントロールエラー検出

コントロールエラー検出は, バスコントロールのパリティ演算結果がエラーであった場合、バス診断ステータスレジスタ(BUSDISR)の CNER ビットに"1"をセットします。
同レジスタの PECLR ビットに"1" を書き込むことで CNER ビットをクリアできます。

■ データエラー検出

データエラー検出は、バスデータのパリティ演算結果がエラーであった場合、ワード, ハーフワード, バイトのアクセスサイズにより、バス診断ステータスレジスタ(BUSDISR)の対応する DER[3:0]ビットに"1"をセットします。
同レジスタの PECLR ビットに"1"を書き込むことで DER[3:0]ビットをクリアできます。

以下にバス診断ステータスレジスタ(BUSDIGSR).DER[3:0]のエラー検出箇所を示します。
(○: エラー検出する, -: エラー検出しない)

アクセスサイズ	アドレス	BUSDIGSR0 (AHB:オンチップバス) BUSDIGSR1/3 (APB:32bit 周辺バス) BUSDIGSR2/4 (R-bus:16bit 周辺バス)			
		DER[0]	DER[1]	DER[2]	DER[3]
		データ bit31-24	データ bit23-16	データ bit15-8	データ bit7-0
ワードアクセス	Addr+0	○ *	○ *	○ *	○ *
ハーフワードアクセス	Addr+0	○	○	-	-
ハーフワードアクセス	Addr+2	-	-	○	○
バイトアクセス	Addr+0	○	-	-	-
バイトアクセス	Addr+1	-	○	-	-
バイトアクセス	Addr+2	-	-	○	-
バイトアクセス	Addr+3	-	-	-	○

*: R-bus:16bit 周辺バスでのワードアクセスはハーフワードアクセス× 2 回のアクセスになるため, 初めにエラー検出した ハーフワードアクセスエラーのみがレジスタに通知されます。通常は上位ハーフワードアクセス(データ bit31-16) →下位ハーフワードアクセス(データ bit15-0) の順にアクセスされます。

■ NMI 発行/ 停止

各バスのアドレスエラー(AER[3:0]), コントロールエラー(CNER), データエラー(DER)のいずれかが検出されている間、NMI が発行され続けます。
各バスのアドレスエラー(AER[3:0]), コントロールエラー(CNER), データエラー(DER)のすべてをクリアすると、NMI の発行を停止します。

＜注意事項＞

BUS 診断機能は、バスエラーを検出した場合 NMI 割込みを発生します。NMI は、マスクすることができない (発生を抑制できない)割込みです。
ソフトウェアでは必ず NMI 処理ルーチンを設定してください。NMI 処理ルーチンが未定義のプログラムで、万が一バス故障が発生した場合、NMI 発生後にプログラム実行が暴走します。

5.2. テスト機能

テスト機能について説明します。

本機能ではバス診断テストレジスタ(BUSTSTR)を用いて、疑似エラーを発生させることが可能です。
本レジスタへの設定は、キーコード処理が必要です。
KEY1, KEY0 ビットに連続的に"00","01","10","11"を書き込まなければレジスタ設定されません。
このとき、書き込むデータは 4 回とも同じ値でなければレジスタ値は更新されませんので注意ください。
ただし、読出しデータが ALL"1"の場合はバス診断テストレジスタを設定していても、疑似データエラーは検出しません。

＜注意事項＞

レジスタ設定とアクセス条件によっては ALL"1"読出しでもエラーを検出する場合があります。
詳細は「■データエラー設定 」の＜注意事項＞を参照してください。
上記の制限はテスト機能を用いた場合にのみ適用されます。

■ バスエラー設定

RBEN, APBEN, AHBEN に"1"を設定することにより、設定したバスに対して疑似エラーを発生させることができます。
ただし、AEN[3:0], CEN, DEN[3:0]のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ アドレスエラー設定

AEN[3:0]に"1"を設定することにより、対応したアドレスビットに疑似アドレスエラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ コントロールエラー設定

CEN に"1"を設定することにより、コントロールビットに疑似コントロールエラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ データエラー設定

DEN[3:0]に"1"を設定することにより、対応したデータビットに疑似データエラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

＜注意事項＞

- DEN[3:0]を設定する際には、アクセスサイズに対応したビットのみを設定するようにしてください。
  アクセスサイズに対応しないビットに DEN[3:0]を設定した場合､アクセスしていないデータについてもエラーを検出してしまう場合がありますので注意ください。
- アクセスサイズに対応しないビットに DEN[3:0]を設定した場合、「■データエラー検出」で述べたデータエラー検出方法と異なる場合があります。

■ バス診断疑似エラー発生手順

疑似エラーを発生させる手順を以下に示します。

1. バス診断テストレジスタ(BUSTSTR)で，診断するバス・エラーのタイプの設定をする。
   ・キーコードにて、"00" → "01" → "10" → "11"と 4 回連続同じエラー設定を書き込む。
2. 疑似エラー設定したバスにて、診断領域内のリソースにアクセスする。
   ・アドレスエラー，コントロールエラーを設定した場合(データエラーの設定がない場合)
   ⇒診断領域内のリソースにアクセスすることで疑似エラーが発生します。

   ・データエラーを設定した場合
   ⇒ DEN[3:0]に対応したアクセスサイズで、診断領域内のリソースにアクセスすることで疑似エラーが発生します。(「■データエラー設定」の＜注意事項＞を参照してください。)

5.3. 注意事項

注意事項について説明します。

・R-bus のバス診断テスト機能使用時
バス診断テストレジスタにて RBEN を"1"設定し、AEN[3:0], CEN, DEN[3:0]のいずれかを"1"設定した状態で、下記のリソース領域にアクセスした場合、エラーが検出され、バス診断されたようにみえる場合があります。

このとき、リソースへのライトアクセスは実行されます。

・ウォッチドッグタイマ
・遅延割込み
・割込みコントローラ
・リセット制御/消費電力制御
・クロック制御
・ペリフェラルによる DMA 転送要求
・DMA コントローラ

5.4. バス診断動作例

バス診断動作例について説明します。

以下にバス診断の動作例を示します。

・データエラー検出動作
バイトアクセス[7:0]でリソースにライト(リード)アクセス時にデータバスが故障。
⇒ リソースに対応する、バス診断ステータスレジスタの DER[3]のみが"1"に設定されます。

＜注意事項＞

・このときデータバス[31:8]でバスが故障していても DER[2], DER[1], DER[0]は"1"に設定されません。
・ワード, ハーフワードアクセスも同様に､アクセスサイズに対応したビットのみ設定されます。

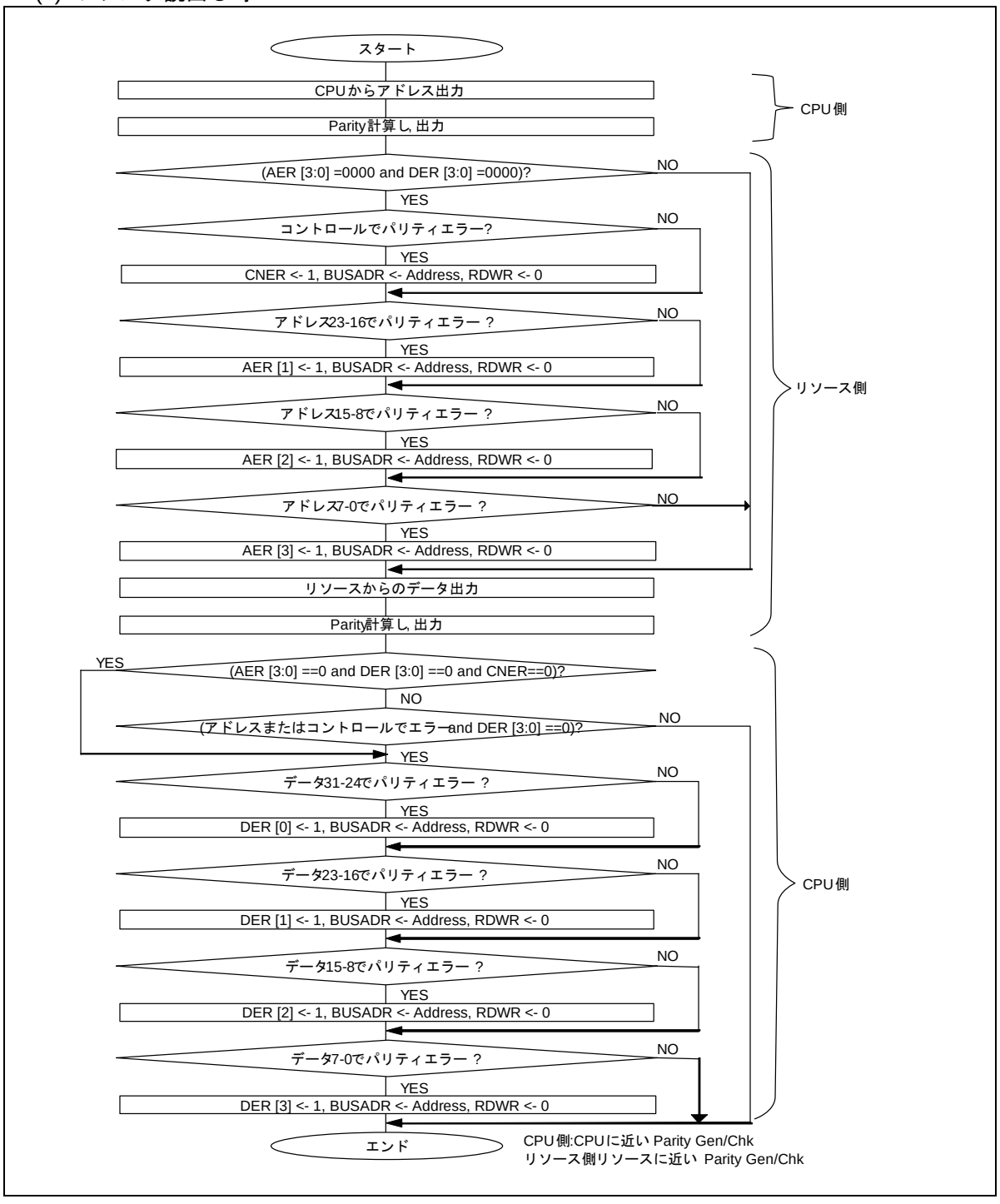
・疑似データエラー設定動作
テスト機能にて、バス診断ステータスレジスタ DER[0]にエラーを検出させたい場合
⇒ キーコードアクセスにて、バスエラー設定とデータエラー設定 DEN[0]に"1"を設定し、バイトアクセス[31:24]を行ってください。

DEN[3:1]を設定して、バイトアクセス[31:24]を行うと、バス診断ステータスレジスタ DER[3:1]にエラーを検出してしまう場合がありますので注意してください。

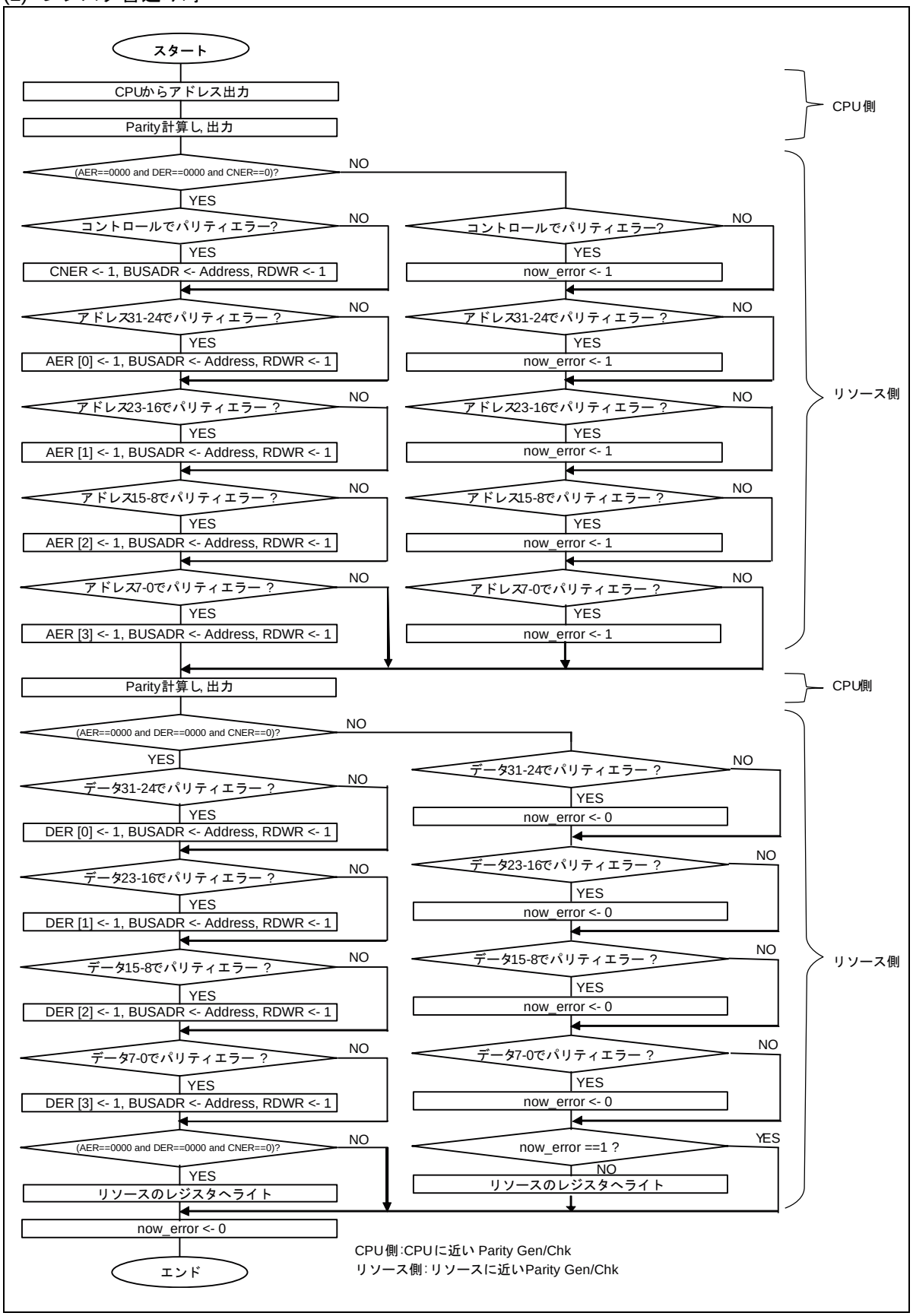
■ バス診断の動作フロー

バス診断の動作フローは、以下に示します。

(1) レジスタ読出し時


スタート
CPUからアドレス出力
Parity計算し, 出力
CPU側
(AER [3:0] =0000 and DER [3:0] =0000)?
NO
YES
コントロールでパリティエラー?
NO
YES
CNER <- 1, BUSADR <- Address, RDWR <- 0
アドレス23-16でパリティエラー ?
NO
YES
AER [1] <- 1, BUSADR <- Address, RDWR <- 0
アドレス15-8でパリティエラー ?
NO
YES
AER [2] <- 1, BUSADR <- Address, RDWR <- 0
アドレス7-0でパリティエラー ?
NO
YES
AER [3] <- 1, BUSADR <- Address, RDWR <- 0
リソースからのデータ出力
Parity計算し, 出力
リソース側
YES
(AER [3:0] ==0 and DER [3:0] ==0 and CNER==0)?
NO
(アドレスまたはコントロールでエラーand DER [3:0] ==0)?
NO
YES
データ31-24でパリティエラー ?
NO
YES
DER [0] <- 1, BUSADR <- Address, RDWR <- 0
データ23-16でパリティエラー ?
NO
YES
DER [1] <- 1, BUSADR <- Address, RDWR <- 0
データ15-8でパリティエラー ?
NO
YES
DER [2] <- 1, BUSADR <- Address, RDWR <- 0
データ7-0でパリティエラー ?
NO
YES
DER [3] <- 1, BUSADR <- Address, RDWR <- 0
CPU側
エンド
CPU側:CPUに近い Parity Gen/Chk
リソース側リソースに近い Parity Gen/Chk

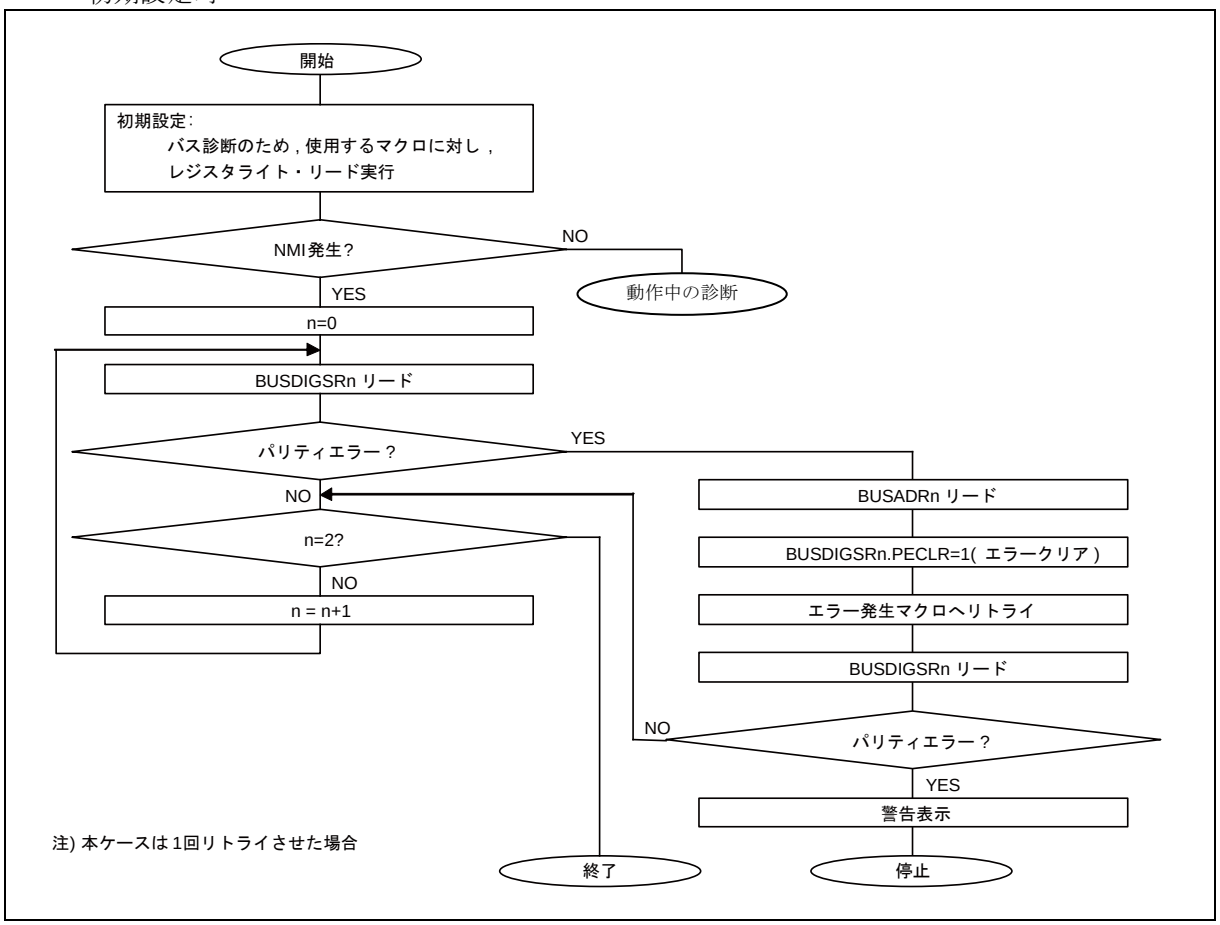
(2) レジスタ書込み時


スタート
CPUからアドレス出力
Parity計算し, 出力
(AER==0000 and DER==0000 and CNER==0)?
NO
YES
コントロールでパリティエラー?
CNER <- 1, BUSADR <- Address, RDWR <- 1
now_error <- 1
アドレス31-24でパリティエラー ?
AER [0] <- 1, BUSADR <- Address, RDWR <- 1
アドレス23-16でパリティエラー ?
AER [1] <- 1, BUSADR <- Address, RDWR <- 1
アドレス15-8でパリティエラー ?
AER [2] <- 1, BUSADR <- Address, RDWR <- 1
アドレス7-0でパリティエラー ?
AER [3] <- 1, BUSADR <- Address, RDWR <- 1
CPU側
リソース側
Parity計算し, 出力
データ31-24でパリティエラー ?
DER [0] <- 1, BUSADR <- Address, RDWR <- 1
now_error <- 0
データ23-16でパリティエラー ?
DER [1] <- 1, BUSADR <- Address, RDWR <- 1
データ15-8でパリティエラー ?
DER [2] <- 1, BUSADR <- Address, RDWR <- 1
データ7-0でパリティエラー ?
DER [3] <- 1, BUSADR <- Address, RDWR <- 1
now_error ==1 ?
YES
リソースのレジスタへライト
now_error <- 0
エンド
CPU側:CPUに近い Parity Gen/Chk
リソース側: リソースに近いParity Gen/Chk

(3) エラー検出時の処理

エラー検出時の処理について一例を示します。

・初期設定時

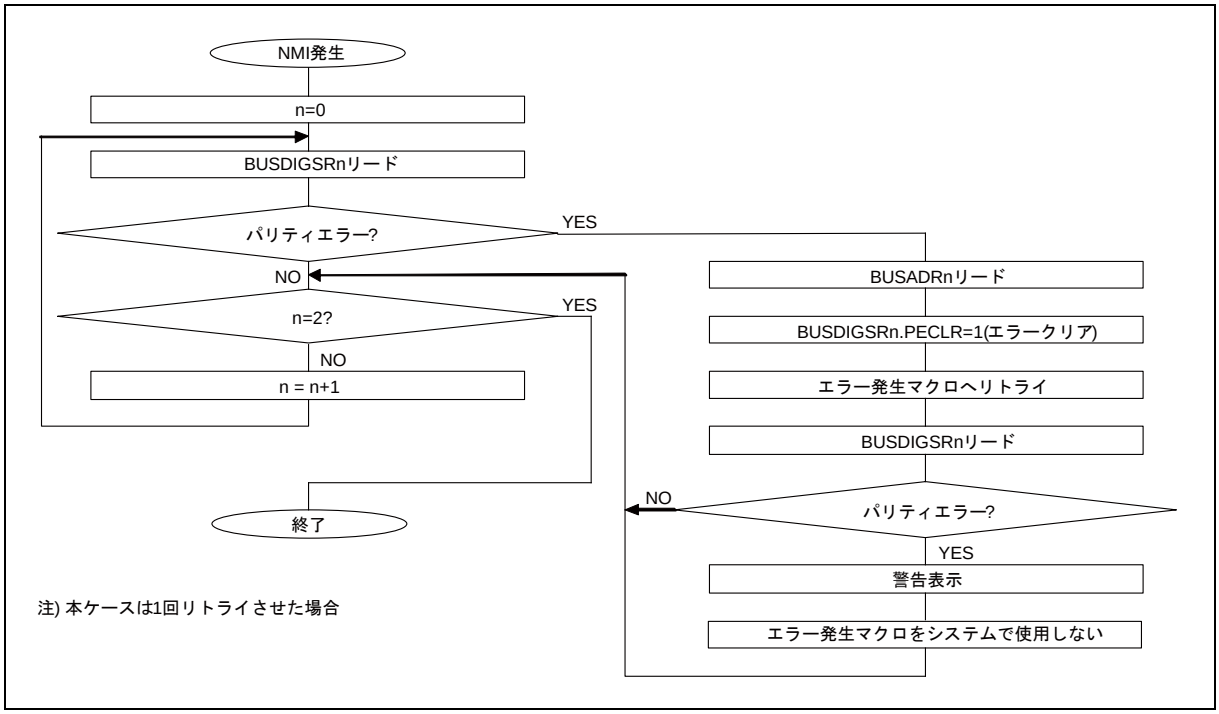


＜注意事項＞

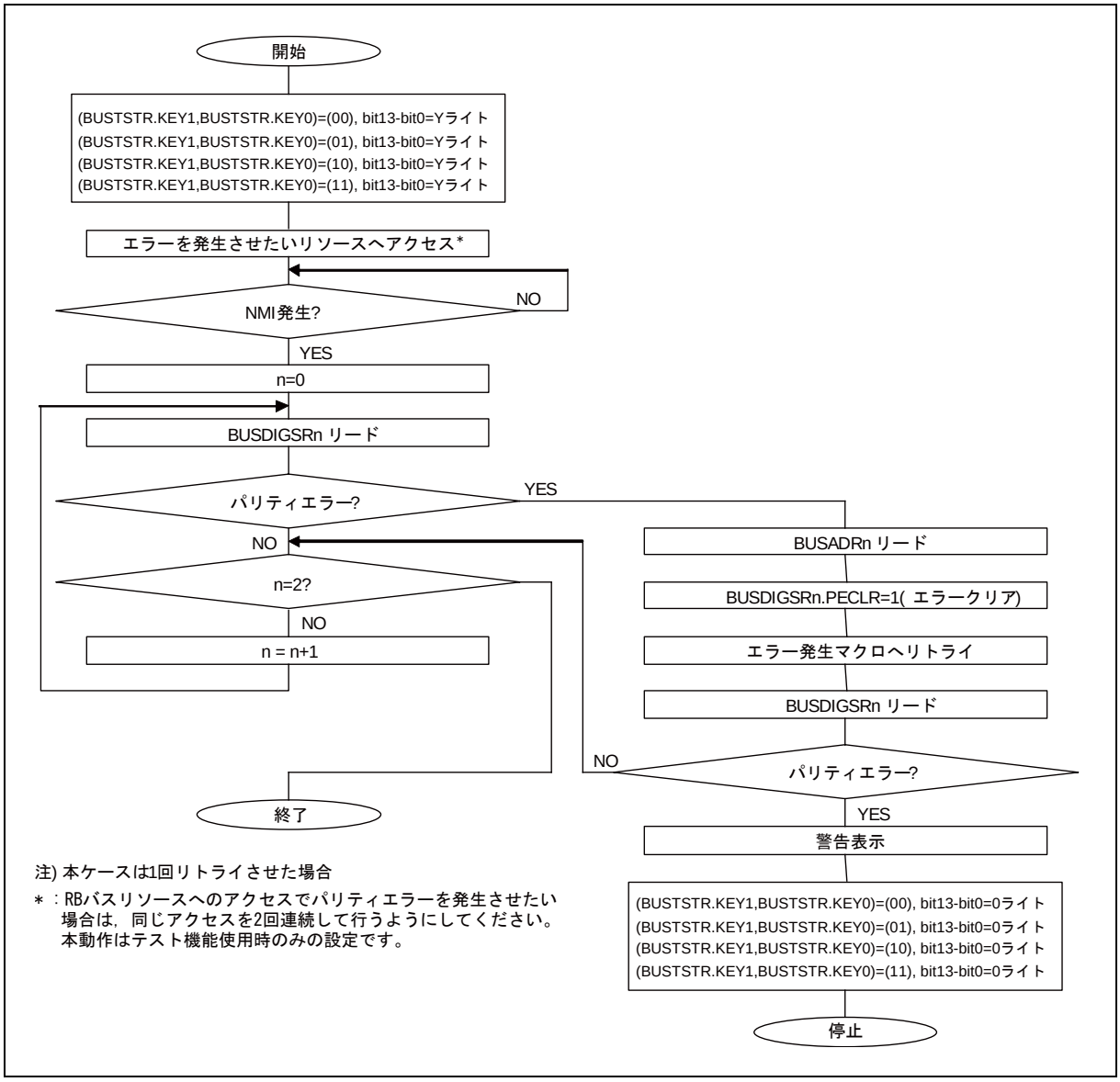
ILM の割込みレベルマスクレジスタを 16(10000_B)以上にする前に、必ず割込み関数のアドレスを割込みベクタに設定してください。
バス信号が常態故障している場合に以下のようなフローでプログラムを実行した場合、CPU は ILM の設定の直後に割込み関数のアドレスを参照してしまいます。
例)

①ベクタ領域の定義
②Stack クリア
③端子レジスタ設定
④割込みマスクレジスタ設定(ILM : 割込みマスクレジスタ)
　ここでバス診断の NMI を検出してしまい、プログラムが停止してしまいます。
⑤割込み関数のアドレスを割込みベクタに設定

・動作中


NMI発生
n=0
BUSDIGSRnリード
パリティエラー?
YES
NO
n=2?
YES
NO
n = n+1
終了
BUSADRnリード
BUSDIGSRn.PECLR=1(エラークリア)
エラー発生マクロへリトライ
BUSDIGSRnリード
NO
パリティエラー?
YES
警告表示
エラー発生マクロをシステムで使用しない
注) 本ケースは1回リトライさせた場合

・テストモード使用時



注) 本ケースは1回リトライさせた場合

＊：RBバスリソースへのアクセスでパリティエラーを発生させたい場合は，同じアクセスを2回連続して行うようにしてください。本動作はテスト機能使用時のみの設定です。

CHAPTER: RAM 診断機能

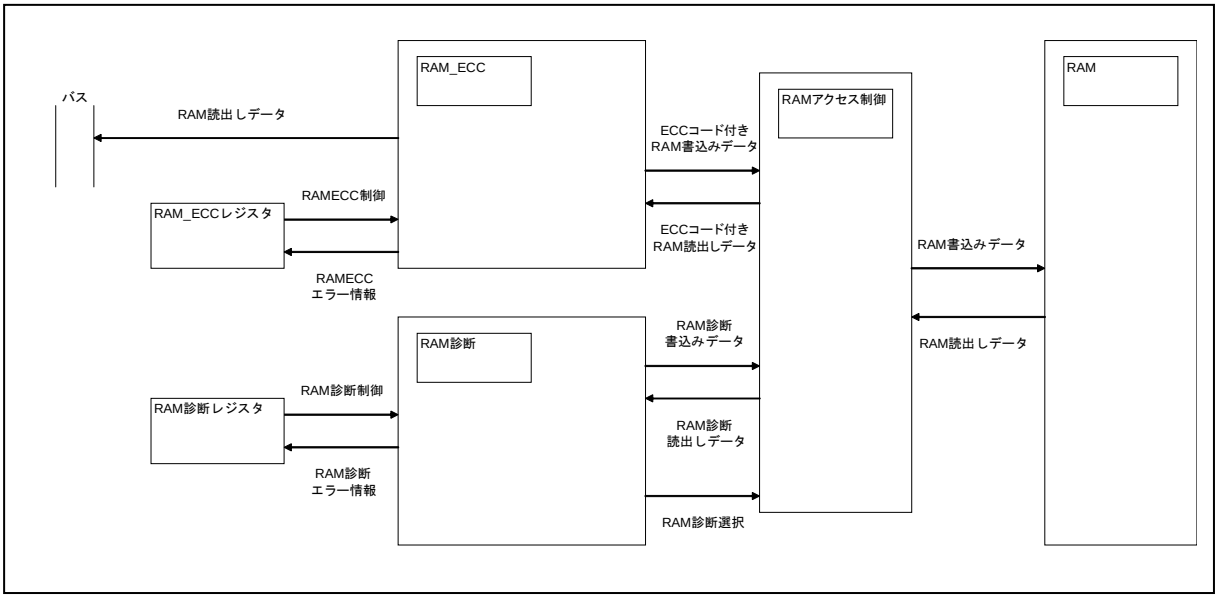
RAM 診断機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

1. 概要

RAM 診断機能の概要について説明します。

RAM 診断機能は、RAM に対して診断および初期化を実施します。



RAM ECC 機能については、『RAMECC 機能』の章を参照してください。

2. 特長

RAM 診断機能の特長について説明します。

■ 対象 RAM

・XBS RAM
MB91F552： 24KB

■ RAM 診断

以下の RAM 診断を選択し実施します。(複数選択可能)

ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
チェッカー
マーチ(all "0" → all "1"の順で実施)

割込み機能
診断終了要因の割込み信号を発生します。(RAM 診断終了割込み)
エラー検出時に割込み信号を発生します。(RAM 診断時エラー割込み)

■ RAM 初期化

以下の RAM 初期化を選択し実施します。

all "0" 書込み
all "1" 書込み

割込み機能
初期化終了要因の割込み信号を発生します。(RAM 初期化完了割込み)

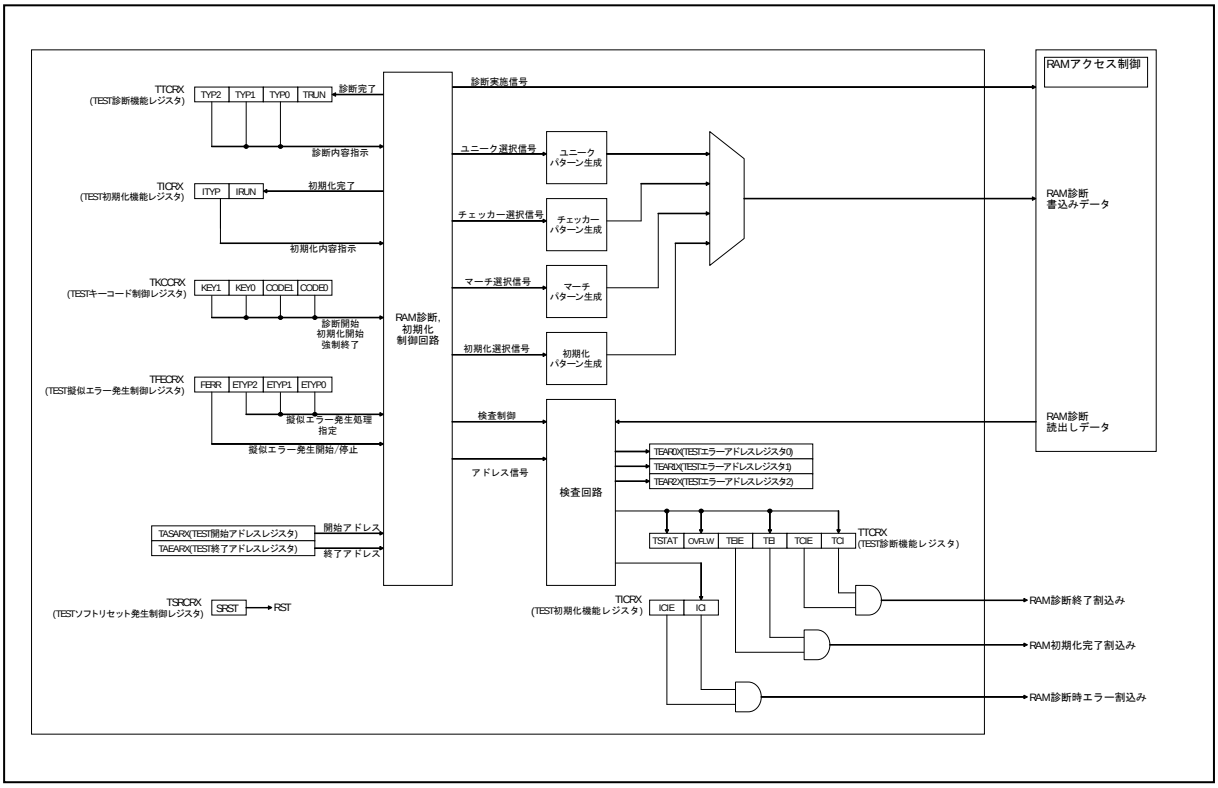
■ テストモード

ソフトデバッグ用として TEST 擬似エラーを発生します。

3. 構成

RAM 診断機能の構成について説明します。

図 3-1 XBS RAM 診断機能のブロックダイヤグラム(構成)



4. レジスタ

RAM 診断機能のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x300C	TEAR0X				TEST エラーアドレスレジスタ 0 XBS RAM
0x3010	TEAR1X				TEST エラーアドレスレジスタ 1 XBS RAM
0x3014	TEAR2X				TEST エラーアドレスレジスタ 2 XBS RAM
0x3018	TAEARX		TASARX		TEST 終了アドレスレジスタ XBS RAM TEST 開始アドレスレジスタ XBS RAM
0x301C	TFECRX	TICRX	TTCRX		TEST 擬似エラー発生制御レジスタ XBS RAM TEST 初期化機能レジスタ XBS RAM TEST 診断機能レジスタ XBS RAM
0x3020	TSRCRX	予約	予約	TKCCRX	TEST ソフトリセット発生制御レジスタ XBS RAM TEST キーコード制御レジスタ XBS RAM

4.1. TEST エラーアドレスレジスタ 0 XBS RAM : TEAR0X

TEST エラーアドレスレジスタ 0 XBS RAM のビット構成について示します。

TEST エラーアドレスレジスタ 0(TEAR0X)は、XBS RAM の RAM 診断時にエラーが生じた際、そのアドレスを保持します。

■ TEAR0X: アドレス 300CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1" に設定されているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14 ～ bit0] D14 ～ D0 : エラー発生アドレスビット
XBS RAM の RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR0X で設定するオフセット+2'b00)

4.2. TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X

TEST エラーアドレスレジスタ 1 XBS RAM のビット構成について示します。

TEST エラーアドレスレジスタ 1(TEAR1X) は、XBS RAM の RAM 診断時に、TEAR0X に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR1X: アドレス 3010H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER31 ～ TER29 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"に設定されているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14 ～ bit0] D14 ～ D0 : エラー発生アドレスビット
RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

(注意事項)

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR1X で設定するオフセット+2'b00)

4.3. TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X

TEST エラーアドレスレジスタ 2 XBS RAM のビット構成について示します。

TESTエラーアドレスレジスタ2(TEAR2X)は、XBS RAMのRAM診断時に、TEAR0XおよびTEAR1Xに保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR2X: アドレス 3014H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"に設定されているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14 ～ bit0] D14 ～ D0 : エラー発生アドレスビット
RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR2X で設定するオフセット+2'b00)

4.4. TEST 開始アドレスレジスタ XBS RAM : TASARX

TEST 開始アドレスレジスタ XBS RAM のビット構成について示します。

TEST 開始アドレスレジスタ(TASARX)は、XBS RAM の RAM 診断および初期化を行う開始アドレスを設定します。

■ TASARX: アドレス 301A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	ST14	ST13	ST12	ST11	ST10	ST9	ST8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14 ～ bit0] ST14 ～ ST0 : RAM 診断開始アドレスビット
XBS RAM の RAM 診断および初期化動作を開始するアドレスを設定します。

＜注意事項＞

XBS RAM 領域外の値, および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TASARX で設定するオフセット+2'b00)

4.5. TEST 終了アドレスレジスタ XBS RAM : TAEARX

TEST 終了アドレスレジスタ XBS RAM のビット構成について示します。

TEST終了アドレスレジスタ(TAEARX)は、XBS RAMのRAM診断および初期化を行う終了アドレスを設定します。

■ TAEARX: アドレス 3018H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	ED14	ED13	ED12	ED11	ED10	ED9	ED8
初期値	0	1	1	1	1	1	1	1
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約ビット
必ず"0"を書き込んでください。

[bit14 ～ bit0] ED14 ～ ED0 : RAM 診断終了アドレスビット
XBS RAM の RAM 診断および初期化動作を終了するアドレスを設定します。

＜注意事項＞

XBS RAM 領域外の値, および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TAEARX で設定するオフセット+2'b11)

4.6. TEST 診断機能レジスタ XBS RAM : TTCRX

TEST 診断機能レジスタ XBS RAM のビット構成について示します。

TEST 診断機能レジスタ(TTCRX)は、XBS RAM の RAM 診断内容の指定および、診断結果とその状態を保持します。

■ TTCRX: アドレス 301EH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						TSTAT	OVFLW
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TEIE	TEI	TCIE	TCI	TTYP2	TTYP1	TTYP0	TRUN
初期値	0	0	0	0	1	1	0	0
属性	R/W	R(RM1), W	R/W	R(RM1), W	R/W	R/W	R/W	R,WX

[bit15 ～ bit10] 予約ビット
必ず"0"を書き込んでください。

[bit9] TSTAT : RAM 診断エラー検出ビット

TSTAT	機能
0	RAM 診断でエラーが検出されず
1	RAM 診断でエラーが検出された

XBS RAM の RAM 診断時にエラーが発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit8] OVFLW : RAM 診断エラーオーバフロービット

OVFLW	機能
0	RAM 診断時に生じたエラーは 3 アドレス以下
1	RAM 診断時に生じたエラーは 4 アドレス以上

XBS RAM の RAM 診断エラーが 4 アドレス以上で発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit7] TEIE : 診断時エラー発生による割込み発生許可ビット

TEIE	機能
0	診断時エラー発生による割込み発生の禁止
1	診断時エラー発生による割込み発生許可

XBS RAM の RAM 診断時エラー発生による割込みを許可します。

"0"に設定した場合 : RAM 診断時のエラー発生による割込みを禁止します。
"1"に設定した場合 : RAM 診断時のエラー発生による割込みを許可します。TTCRX.TEI= 1 であって、RAM 診断が終了すると、割込み信号(RAM 診断時エラー割込み)を出力します。

[bit6] TEI : 診断時エラー発生ビット

TEI	機能
0	リード : RAM 診断でエラーは発生していない ライト : フラグのクリア
1	リード : RAM 診断でエラーが発生した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出したときに、TTCRX.TSTAT="1"である場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり, 以前の値を保持します。

"1"になる条件 : RAM 診断終了時に TTCRX.TSTAT="1"である。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit5] TCIE : 診断終了要因の割込み発生許可ビット

TCIE	機能
0	診断終了要因の割込み発生の禁止
1	診断終了要因の割込み発生許可

XBS RAM の RAM 診断終了要因の割込みを許可します。

"0"に設定した場合 : RAM 診断終了による割込みを禁止します。
"1"に設定した場合 : RAM 診断終了による割込みを許可します。TTCRX.TCI= 1 で割込み信号(RAM 診断終了割込み)を出力します。

[bit4] TCI : 診断終了ビット

TCI	機能
0	リード : RAM 診断は終了していない ライト : フラグのクリア
1	リード : RAM 診断が終了した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出すると、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 診断が終了する。(キーコードによる強制終了ではセットされません)
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit3 ～ bit1] TTYP2 ～ TTYP0 : RAM 診断内容指示ビット

XBS RAM の RAM 診断で実施するタイプを設定します。
RAM 診断を実施する順序は、

1. ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
2. チェッカー
3. マーチ(all "0" → all "1"の順で実施)

の順とし、それぞれを実施するかしないかをこのビットによって設定します。

TTYP2	TTYP1	TTYP0	機能
1	1	0	ユニーク, チェッカーを実行する
-	-	1	マーチを実行する
-	1	-	チェッカーを実行する
1	-	-	ユニークを実行する

デフォルトでは、ユニーク診断およびチェッカー診断を実施する設定(110_B)になっていますが、内容を変更する場合、RAM 診断動作の開始指示よりも前に必ず設定してください。
なお、マーチを最後に実施した場合、RAM の中身は all "1"になっています。

[bit0] TRUN : RAM 診断動作状態ビット

TRUN	機能
0	RAM 診断停止中
1	RAM 診断動作中

XBS RAM の RAM 診断動作の状態を設定あるいは保持します。

"1"になる条件 : キーコード設定によって、RAM 診断が起動された場合。
"0"になる条件 : 診断がすべて終了した場合か、キーコードによって強制終了した場合。

4.7. TEST 初期化機能レジスタ XBS RAM : TICRX

TEST 初期化機能レジスタ XBS RAM のビット構成について示します。

TEST 初期化機能レジスタ(TICRX) は、XBS RAM の RAM 初期化内容の指定および、初期化結果とその状態を保持します。

■ TICRX: アドレス 301DH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ICIE	ICI	ITYP	IRUN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1), W	R/W	R,WX

[bit7 ～ bit4] 予約ビット
必ず"0"を書き込んでください。

[bit3] ICIE : RAM 初期化終了要因の割込み発生許可ビット

ICIE	機能
0	RAM 初期化終了要因の割込み発生の禁止
1	RAM 初期化終了要因の割込み発生許可

XBS RAM の RAM 初期化終了要因の割込みを許可します。

"0"に設定した場合 : RAM 初期化終了による割込みを禁止します。
"1"に設定した場合 : RAM 初期化終了による割込みを許可します。TICRX.ICI= 1 で割込み信号(RAM 初期化完了割込み)を出力します。

[bit2] ICI : RAM 初期化終了ビット

ICI	機能
0	リード : RAM 初期化は終了していない ライト : フラグのクリア
1	リード : RAM 初期化が終了した ライト : 動作に影響なし

XBS RAM の RAM 初期化の終了を検出すると、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 初期化が終了する。(キーコードによる強制終了ではセットされません)
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit1] ITYP : RAM 初期化内容指示ビット

ITYP	機能
0	all "0"に初期化する
1	all "1"に初期化する

XBS RAM の RAM 初期化で実施するタイプを設定します。

"0"に設定した場合 : all "0"に初期化します。
"1"に設定した場合 : all "1"に初期化します。

[bit0] IRUN : RAM 初期化動作状態ビット

IRUN	機能
0	RAM 初期化停止中
1	RAM 初期化動作中

XBS RAM の RAM 初期化動作の状態を設定または保持します。

"1"になる条件 : キーコードによって、RAM 初期化が起動された場合。
"0"になる条件 : 初期化がすべて終了した場合か、キーコードによって強制終了した場合。

4.8. TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX

TEST ソフトリセット発生制御レジスタ XBS RAM のビット構成について示します。

TEST ソフトリセット発生制御レジスタ(TSRCRX)は、XBS RAM の RAM 診断の内部回路を初期化するためのソフトウェアリセットの発生を指定します。

■ TSRCRX: アドレス 3020H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SRST	予約						
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit7] SRST : ソフトウェアリセット発生許可ビット

SRST	機能
0	ソフトウェアリセットの発生を禁止
1	ソフトウェアリセットの発生を許可

XBS RAM の RAM 診断の内部回路に対するソフトウェアリセットの発生を許可します。

リード時、"0"が読み出されます。
"1"に設定した場合 : 4τだけリセットパルスが発生し、本レジスタを除く RAM 診断の内部回路をリセットします。

τ : 周辺クロック

[bit6 ～ bit0] 予約ビット

必ず"0"を書き込んでください。

4.9. TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX

TEST 疑似エラー発生制御レジスタ XBS RAM のビット構成について示します。

TEST 擬似エラー発生制御レジスタ(TFECRX)は、XBS RAM の RAM 診断動作時に擬似エラーを発生させます。どの RAM 診断動作時にエラーを発生させるか指定ができます。

■ TFECRX: アドレス 301CH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				FERR	ETYP2	ETYP1	ETYP0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7 ～ bit4] 予約ビット
必ず"0"を書き込んでください。

[bit3] FERR : RAM 診断時の擬似エラー発生許可ビット

FERR	機能
0	擬似エラーの発生を禁止(通常動作)
1	擬似エラーの発生を許可

XBS RAM の RAM 診断時に擬似エラーの発生を許可します。

"0"に設定した場合 : 擬似エラーの発生を禁止します。(通常動作)
"1"に設定した場合 : 擬似エラーの発生を許可します。ETYP2 ～ ETYP0 で指定された内容にしたがって、故意にエラーを含むデータの書込みを許可します。

[bit2 ～ bit0] ETYP2 ～ ETYP0 : 擬似エラー発生処理指定ビット
擬似エラーを発生させる処理を指定します。

ETYP2	ETYP1	ETYP0	擬似エラー発生処理
-	-	1	マーチ診断
-	1	-	チェッカー診断
1	-	-	ユニーク診断

4.10. TEST キーコード制御レジスタ XBS RAM : TKCCRX

TEST キーコード制御レジスタ XBS RAM のビット構成について示します。

TEST キーコード制御レジスタ(TKCCRX)は、XBS RAM の RAM 診断・初期化の開始および, 強制終了を実行するために使用されます。

■ TKCCRX: アドレス 3023H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約				CODE1	CODE0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W

[bit7, bit6] KEY1, KEY0 : キーコード制御ビット

キーコードの制御ビットです。動作指示内容を CODE[1:0]に設定(途中で変更しない)して、操作します。

設定手順は、

1. 00 → 01 → 10 → 11 の順に書込みする
2. CODE[1:0]には常に同じ値
3. 途中に違う操作(RAM 診断のほかのレジスタへのアクセスや、リードや上記順序以外の連続書込みなど) を行った場合、処理は無効となります。

＜注意事項＞

手順中 RAM ECC 内のレジスタへのアクセスが発生しても、キーコード処理は継続されます。

[bit5 ～ bit2] 予約ビット

必ず"0"を書き込んでください。

[bit1, bit0] CODE1, CODE0 : RAM 診断・初期化制御ビット

上述のキーコード手続きにおいて、動作指示内容を指定します。

CODE1, CODE0	機能
00	強制終了
01	初期化起動
10	診断起動
11	設定禁止

上述のキーコード操作中にこの値を変更したり、"11"を設定した場合、キーコード手続きそのものが無効になります。

5. 動作説明

動作について説明します。

5.1. RAM 診断
5.2. RAM 初期化
5.3. 割込み関連レジスタ
5.4. RAM 診断擬似エラー発生手順
5.5. 所要サイクル数
5.6. 注意事項

5.1. RAM 診断

RAM 診断について説明します。

XBS RAM 診断の順序は、

1. ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
2. チェッカー
3. マーチ(all "0" → all "1"の順で実施)

の順のみとし, TEST 診断機能レジスタ(TTCRX)の TTYP[2:0]ビットの設定により実施します。デフォルトでは、ユニークおよびチェッカーを実施します。

XBS RAM の RAM 診断の範囲は、TEST 開始アドレスレジスタ(TASARX)と、TEST 終了アドレスレジスタ(TAEARX)で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ(TTCRX)の TRUN, TEST 初期化機能レジスタ(TICRX)の IRUN を読み出し"0"であるか確認する

   TTCRX.TRUN または、TICRX.IRUN が"0"でない場合

   ・TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
   ・TICRX.IRUN=0 を待って、TICRX.ICI をクリア
2. TEST キーコード制御レジスタ(TKCCRX)に、"02_H" → "42_H" → "82_H" → "$C2_H$"と 4 回連続書込みして診断開始

XBS RAM の RAM 診断がすべて終了したら、TEST 診断機能レジスタ(TTCRX)の TRUN ビットが" 0"となり、RAM 診断を終了します。診断結果は、TEST エラーアドレスレジスタ 0 ～ 2(TEAR0X ～ 2X)と、TEST 診断機能レジスタ(TTCRX)に保持されます。RAM には、診断データが残ります。
また、TEST キーコード制御レジスタ(TKCCRX)に、"00_H" → "40_H" → "80_H" → "$C0_H$"と 4 回連続書込みすることで、XBS RAM の RAM 診断は強制終了します。RAM 診断の途中であってもその時点で終了となります。その場合の診断結果は保証されません。

5.2. RAM 初期化

RAM 初期化について説明します。

XBS RAM の RAM 初期化動作の内容は

・all "0"の書込み(デフォルト)
・all "1"の書込み

のいずれか一方のみで、TEST 初期化機能レジスタ(TICRX)の ITYP ビットによって指定されます。

ECC 領域には書込み値に応じた値が書込まれます。
XBS RAM の RAM 初期化の範囲は、TEST 開始アドレスレジスタ(TASARX)と、TEST 終了アドレスレジスタ(TAEARX)で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ(TTCRX)の TRUN, TEST 初期化機能レジスタ(TICRX)の IRUN を読出しし"0"であるか確認する

   TTCRX.TRUN または、TICRX.IRUN が"0"でない場合

   ・TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
   ・TICRX.IRUN=0 を待って、TICRX.ICI をクリア

2. TESTキーコード制御レジスタ(TKCCRX)に、"01_H" → "41_H"→ "81_H" → "$C1_H$"と4回連続書込みして診断開始

RAM 初期化が終了したら、TEST 初期化機能レジスタ(TICRX)の IRUN ビットが"0"となり、RAM 初期化は終了します。

また、TEST キーコード制御レジスタ(TKCCRX)に、"00_H" → "40_H" → "80_H" → "$C0_H$"と 4 回連続書込みすることで、RAM 初期化は強制終了します。RAM 初期化の途中であってもその時点での終了となります。その場合の初期化結果は保証されません。

5.3. 割込み関連レジスタ

割込み関連レジスタについて説明します。

割込みを発生させるには、用途に応じて割込み発生許可ビット(TEIE, TCIE, ICIE)に"1"を書込み、RAM 診断割込みベクタ, RAM 診断割込みレベルの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
TTCRX:TEI(RAM 診断時エラー割込み)	#35($000FFF70_H$)	ICR19(0453_H)
TTCRX:TCI(RAM 診断終了割込み)	#35($000FFF70_H$)	ICR19(0453_H)
TICRX:ICI(RAM 初期化完了割込み)	#35($000FFF70_H$)	ICR19(0453_H)

割込みレベル, 割込みベクタの詳細については、『割込み制御(割込みコントローラ)』の章を参照してください。
割込み要求フラグ(TEI, TCI, ICI) は自動的にはクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください(TEI, TCI, ICI ビットに"0"を書き込む)。

5.4. RAM 診断擬似エラー発生手順

RAM 診断疑似エラー発生手順について説明します。

本機能は、ソフトデバッグ用として故意に擬似エラーを発生させます。
XBS RAM の RAM 診断擬似エラー発生動作は、

1. TEST 擬似エラー発生制御レジスタ(TFECRX)で、エラータイプの設定をする
   (ア) TFECRX.ETYP[2:0]に擬似エラーを発生させる診断パターンをセット
   (イ) TFECRX.FERR=1 を書き込むことで擬似エラーを発生させる診断パターンを特定する

2. TEST 診断機能レジスタ(TTCRX)で、診断処理開始設定
   (ア) TTCRX.TTYP[2:0]に動作させる診断パターンをセット
   (イ) TEST キーコード制御レジスタ(TKCCRX)に、"02_H" → "42_H" → "82_H" → "$C2_H$"と 4 回連続書込みして診断パターンを動作開始(「5.1. RAM 診断」を参照してください。)の手順設定します。

5.5. 所要サイクル数

所要サイクル数について説明します。

XBS RAM の RAM 診断および初期化に要するサイクル数の見積もりを以下のとおり示します。

XBS RAM : 24kByte = 6k ワードアドレス(MB91F552)

(1)「RAM 診断(ユニーク)」
1 ワードアドレスあたり,

・ライト(1 サイクル)
・リード 1(1 サイクル)
・リード 2(1 サイクル)

の処理が全ワードアドレス分あり、全サイクル数は以下のとおりです。

$$\underset{\text{ライト}}{1} + \underset{\text{リード 1}}{1} + \underset{\text{リード 2}}{1} \times \underset{\text{ワード}}{6144(6k)} + 1 = \underset{\text{合計}}{18433}$$

(2)「RAM 診断(チェッカー)」
1 ワードアドレスあたり、

・ライト 1(1 サイクル) : W1
・リード 1(1 サイクル) : R1

の処理が全ワードアドレス分あり、パーシャルライト機能の診断のために、1 ワードアドレスに対して、ライト 5 回リード 4 回あるので、

・ライト 2(1×5 サイクル) : W2
・リード 2(2×4 サイクル) : R2

これらがあります。さらに、上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりです。

$$\left(\underset{\text{W1}}{1} + \underset{\text{R1}}{1}\right) \times \underset{\text{ワード}}{6144(6k)} + 1 + \underset{\text{W2}}{5} + \underset{\text{R2}}{8} \times \underset{\text{繰返し}}{2} = \underset{\text{合計}}{24604}$$

(3)「RAM 診断(マーチ)」
1 ワードアドレスあたり、ライトが 3 回、リードが 2 回あるので、

・ライト(1 ×3 サイクル)
・リード(2 ×2 サイクル)

の処理が、全ワードアドレス分あり、さらに上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりです。

$$\underset{\text{ライト}}{3} + \underset{\text{リード}}{4} \times \underset{\text{ワード}}{6144(6k)} \times \underset{\text{繰返し}}{2} = \underset{\text{合計}}{86016}$$

(4)「RAM 初期化」

1 ワードアドレスあたり、

・ライト(1 サイクル)

の処理が全ワードアドレス分あり、全サイクル数は以下のとおりです。

1	×	6144(6k)	=	6144
ライト		ワード		合計

例として、24kByte RAM 診断の 2MHz 動作時と 80MHz 動作時の所要時間を以下に示します。

表 5-1 24kByte RAM 診断および初期化の所要時間

	ユニーク	チェッカー	マーチ	初期化	合計
サイクル数	18433	24604	86016	6144	135197
2[MHz] (=500[ns])	9216.5[µs]	12302[µs]	43008[µs]	3072[µs]	68[ms]
80MHz (=12.5[ns])	230.4[µs]	307.6[µs]	1075.2[µs]	76.8[µs]	1.7[ms]

また、レジスタ初期値での診断の所要時間は以下のようになります。

表 5-2 パワーオンリセット解除後の診断(初期設定)の所要時間(24kByte)

	ユニーク	チェッカー	合計
サイクル数	18433	24604	43037
2[MHz] (=500[ns])	9216.5[µs]	12302[µs]	21.5[ms]

5.6. 注意事項

注意事項について説明します。

RAM 診断, 初期化中は RAM へのアクセスは禁止です。
オンチップデバッガ(OCD)によるデバッグ中は RAM 診断/初期化機能は使用できません。
診断、初期化のいずれかの処理が行われている場合、起動設定しても無視されて現在実行中の処理が継続されます。何かを起動する場合は、以下の手順で何も動作していないことを確認の上、起動してください。

1.TTCR:TRUN,TICR,IRUN が共に"0"であることを確認。
2.TKCCR(TKCCRX) によって、診断・初期化いずれかのキーコード操作を開始

キーコード操作によって、強制終了も可能となっていますので、以下の操作で強制終了してください。

TKCCR に, "00_H" → "40_H" → "80_H" → "$C0_H$" と 4 連続。

CHAPTER: Timing Protection Unit

Timing Protection Unit について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FR81S10_TPU-1v1-91552-11-J

1. 概要

Timing Protection Unit の概要について説明します。

Time Protection Unit(TPU)は、OS が Task/ISR の時間監視によるシステムの安全性確保のために使用するタイマです。OS が監視する対象には以下のようなものがあります。

・リソースロックタイム
・グローバルインタラプトロックタイム
・Task/ISR デッドライン
・Task/ISR ランタイム
・インターアライバルタイム(割込みの発生頻度)

TPU に搭載するタイマは OS にて制御するため、制御レジスタは特権モードでのみ操作可能で、制御はすべてプログラマブルになっています。

2. 特長

Timing Protection Unit の特長について説明します。

- システムクロック(HCLK)ベースでのカウント
- 最大 8 個のタイマを搭載
- 24 ビットのアップカウンタ
- Normal/Overflow の 2 つの動作モード
  - Normal Mode : カウント終了値を設定し、その値を超えた場合に割込みを発生
  - Overflow Mode : カウンタオーバフローにより割込みを発生
- 自動リスタート機能
- グローバルプリスケーラ(1-64)
- タイマごとのプリスケーラ(1,1/2,1/4,1/16)
- カウンタ値の読出し機能
- Start/Stop/Continue のソフト制御
- それぞれのタイマのステータス表示(stopped/active)
- Debug モードのサポート
- TPU 制御レジスタアクセス保護機能

3. 構成

Timing Protection Unit の構成について説明します。

構成図はありません。

4. レジスタ

Timing Protection Unit のレジスタについて説明します。

すべてのレジスタは特権モード/デバッグアクセスでのみ書込み可能です。
0x00000900-0x00009ff の領域は TPU レジスタ領域です。下記に表示されない領域はすべて予約領域です。

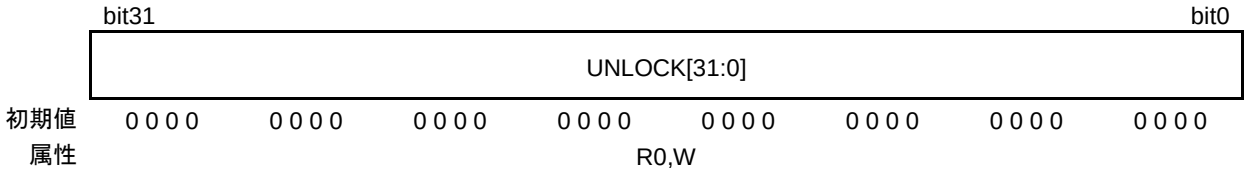
表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0900	TPUUNLOCK				TPU アンロックレジスタ
0x0904	TPULST	予約	TPUVST	予約	TPU ロックステータスレジスタ
0x0908	TPUCFG				TPU 制御レジスタ
0x090C	TPUTIR	予約	予約	予約	TPU 割込みステータスレジスタ
0x0910	TPUTST	予約	予約	予約	TPU ステータスレジスタ
0x0914	TPUTIE	予約	予約	予約	TPU 割込み許可レジスタ
0x0918	TPUTMID				TPU モジュール ID レジスタ
0x0930	TPUTCN00				TPU Timer Control Register0 ch.0
0x0934	TPUTCN01				TPU Timer Control Register0 ch.1
0x0938	TPUTCN02				TPU Timer Control Register0 ch.2
0x093C	TPUTCN03				TPU Timer Control Register0 ch.3
0x0940	TPUTCN04				TPU Timer Control Register0 ch.4
0x0944	TPUTCN05				TPU Timer Control Register0 ch.5
0x0948	TPUTCN06				TPU Timer Control Register0 ch.6
0x094C	TPUTCN07				TPU Timer Control Register0 ch.7
0x0950	TPUTCN10	予約	予約	予約	TPU Timer Control Register1 ch.0
0x0954	TPUTCN11	予約	予約	予約	TPU Timer Control Register1 ch.1
0x0958	TPUTCN12	予約	予約	予約	TPU Timer Control Register1 ch.2
0x095C	TPUTCN13	予約	予約	予約	TPU Timer Control Register1 ch.3
0x0960	TPUTCN14	予約	予約	予約	TPU Timer Control Register1 ch.4
0x0964	TPUTCN15	予約	予約	予約	TPU Timer Control Register1 ch.5
0x0968	TPUTCN16	予約	予約	予約	TPU Timer Control Register1 ch.6
0x096C	TPUTCN17	予約	予約	予約	TPU Timer Control Register1 ch.7
0x0970	TPUTCC0				TPU Timer Current Count Register ch.0
0x0974	TPUTCC1				TPU Timer Current Count Register ch.1
0x0978	TPUTCC2				TPU Timer Current Count Register ch.2
0x097C	TPUTCC3				TPU Timer Current Count Register ch.3
0x0980	TPUTCC4				TPU Timer Current Count Register ch.4
0x0984	TPUTCC5				TPU Timer Current Count Register ch.5
0x0988	TPUTCC6				TPU Timer Current Count Register ch.6
0x098C	TPUTCC7				TPU Timer Current Count Register ch.7

4.1. TPU アンロックレジスタ ：TPUUNLOCK (TPU Unlock Register)

TPU アンロックレジスタのビット構成について示します。

■ TPUUNLOCK:アドレス 0900_H (アクセス:ワード)



TPU 制御レジスタ(TPUCFG, TPUTCN1n (n:タイマチャネル番号))へのアクセス禁止/許可の制御を行うレジスタです。
システムの誤動作などで TPU の制御レジスタが書き換えられるのを防ぐための機能です。
このレジスタへは特権モードでのみ書込み可能です。読出し値は常に"0"になります。
Lock/Unlock の判定は 32bit で行いますので必ず 32bit (word)でアクセスしてください。

[bit31～bit0] UNLOCK[31:0] : LOCK/UNLOCK 値

UNLCOK に現在設定されている値を書き込むと TPU 制御レジスタへのアクセスが許可されます。
アクセスを禁止するためには、現在設定されている UNLOCK の値とは別の値を書き込んでください。

4.2. TPU ロックステータスレジスタ ：TPULST (TPU Lock Status Register)

TPU ロックステータスレジスタのビット構成について示します。

■ TPULST:アドレス 0904_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							LST
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX

TPU のロックステータスを示すレジスタです。
このレジスタは読出しのみ可能で、書込みは動作に影響ありません。

[bit7～bit1] (予約) : (予約ビット)
これらのビットは常に"0"を書き込んでください。読出し値は"0"です。

[bit0] LST (Lock Status) : Lock ステータス表示
TPU 制御レジスタアクセスがロックされているかどうかを示します。

LST	Lock ステータス
0	アクセス許可
1	アクセス禁止

4.3. TPU アクセス違反検出レジスタ ：TPUVST (TPU Access Violation Status Register)

TPU アクセス違反検出レジスタのビット構成について示します。

■ TPUVST:アドレス 0906_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					IULST	ULVST	AVST
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R,W0

TPU レジスタへの不正なアクセスを検出し、その要因を保持します。不正なレジスタアクセスを検出した場合は、検出した違反要因のビットを有効にし、不正命令例外として処理されます。
このレジスタへは特権モードでのみ書込み可能です。

[bit7～bit3] (予約) : (予約ビット)
これらのビットは常に"0"を書き込んでください。読出し値は"0"です。

[bit2] IULST (Illegal Unlock Access Status) : 不正なアンロック動作検出
不正なアンロックアクセスを検出した場合に"1"になります。書込みは"0"のみ有効です。
TPU 制御レジスタアクセス禁止状態(TPULST.LST=1)のときに特権モードで TPUUNLOCK レジスタに UNLOCK に設定されている値以外の値を書き込んだ場合(ワードアクセス以外も含む)に、不正なアンロック動作として検出します。

[bit1] ULVST (Unlock Access Violation Status) : アクセス禁止中の制御レジスタアクセス違反検出
TPU 制御レジスタアクセス禁止中に TPU 制御レジスタ(TPUCFG, TPUTCN1n)への書込みを検出した場合に"1"になります。書込みは"0"のみ有効です。
TPU 制御レジスタ禁止状態(TPULST.LST=1)のときに特権モードで TPUCFG, TPUTCN1n への書込み動作を検出した場合にアクセス違反として検出します。

[bit0] AVST (Access Violation Status) : アクセス違反検出
IULST, ULVST 以外のアクセス違反を検出した場合に"1"になります。書込みは"0"のみ可能です。
具体的には命令フェッチによるレジスタアクセスになります。

4.4. TPU 制御レジスタ ：TPUCFG (TPU Configuration Register)

TPU 制御レジスタのビット構成について示します。

■ TPUCFG:アドレス 0908_H (アクセス:バイト，ハーフワード，ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							DBGE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	GLBPSE	予約	GLBPS[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							INTE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

TPU 全体を制御するレジスタです。

[bit31～bit25] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit24] DBGE (Debug Mode Enable) : デバッグモード遷移
デバッグモードへの遷移を制御します。
デバッグモードを許可するとすべてのタイマが動作を停止します。デバッグモードから抜けると各タイマは動作を再開します。

DBGE	デバッグモード
0	全タイマ動作許可(通常モード)
1	全タイマ動作抑止(デバッグモード)

[bit23] GLBPSE (Global Prescaler Enable) : グローバルプリスケーラ動作許可

グローバルプリスケーラの動作制御します。動作禁止の場合はすべてのタイマがカウント動作しません。

GLBPSE	グローバルプリスケーラ
0	動作禁止
1	動作許可

[bit22] (予約) : (予約ビット)

このビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit21～bit16] GLBPS[5:0] (Global Prescaler Bits) : グローバルプリスケーラ分周値設定

すべてのタイマに共通して供給するクロックの分周値を設定します。書換えは必ずTPUCFG.GLBPSE=0(動作禁止)のときに行ってください。
TPU では、システムクロック(HCLK)をグローバルプリスケーラで分周を行いそのクロックを各タイマへ供給します。
GLBPS[5:0]はそのまま分周値を示します。

GLBPS[5:0]	グローバルプリスケーラ出力
000000	HCLK/1
000001	HCLK/2
000010	HCLK/3
…	
111111	HCLK/64

[bit15～bit1] (予約) : (予約ビット)

これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit0] INTE (TPU Interrupt Enable) : TPU 割込み許可

TPU からの割込み要求を許可します。

INTE	TPU 割込み
0	割込み禁止
1	割込み許可

4.5. TPU タイマ割込み要求レジスタ ：TPUTIR (TPU Timer Interrupt Request Register)

TPU タイマ割込み要求レジスタのビット構成について示します。

■ TPUTIR:アドレス 0090C$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

TPU 内の各タイマからの割込み要求状況を示します。このレジスタは読出し専用です。
書込みは動作に影響ありません

[bit7～bit0] IR[7:0] (Interrupt Request)： 割込み要求

各チャネルからの割込み要求の有無を示します。これらのビットはタイマ割込み許可レジスタ(TPUTIE)によらず割込み要求要因があることを示し、TPUTIE が有効なチャネルの要求のみ実際の割込み要求として使用します。
bit0-7 がそれぞれチャネル 0-7 に対応します。

IRn	割込み要求
0	ch.n 割込み要求なし
1	ch.n 割込み要求あり

(n=0～7)

4.6. TPU タイマステータスレジスタ ：TPUTST (TPU Timer Status Register)

TPU タイマステータスレジスタのビット構成について示します。

■ TPUTST:アドレス 00910_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TS[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

TPU 内の各タイマの動作状態を示します。このレジスタは読出し専用です。動作に影響ありません。

[bit7～bit0] TS[7:0] (Timer Status) : タイマ動作状態

各チャネルの動作状態を示します。
bit0-7 がそれぞれチャネル 0-7 に対応します。

TSn	動作状態
0	ch.n 停止中
1	ch.n 動作中

(n=0～7)

4.7. TPU タイマ割込み許可レジスタ ：TPUTIE (TPU Timer Interrupt Register)

TPU タイマ割込み許可レジスタのビット構成について示します。

■ TPUTIE:アドレス 00914_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IE[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPU 内の各タイマの割込みを許可します。

[bit7～bit0] IE[7:0] (Interrupt Enable) : **タイマ割込み許可**

各チャネルのタイマ割込み要求を許可します。
bit 0-7 がそれぞれチャネル 0-7 に対応します。

IEn	割込み要求
0	ch.n 割込み要求禁止
1	ch.n 割込み要求許可

(n=0～7)

4.8. TPU モジュール ID レジスタ ：TPUTMID (TPU Module ID Register)

TPU モジュール ID レジスタのビット構成について示します。

■ TPUTMID:アドレス 00918_H (アクセス:バイト，ハーフワード，ワード)

	bit31							bit0
	MID[31:0]							
初期値	0000	0000	0000	0000	0000	0000	0000	0000
属性	R,WX							

TPU モジュールの ID を示します。このレジスタは読出し専用です。
書込みは動作に影響ありません。
搭載されている TPU の機能を識別するための ID です。OS では搭載されている TPU を識別するために使用します。

4.9. TPU タイマ制御レジスタ 00-07 : TPUTCN00-07 (TPU Timer Control Register 00-07)

TPU タイマ制御レジスタ 00-07 のビット構成について示します。

■ TPUTCN00～TPUTCN07:アドレス 00930_H～$0094C_H$ (アクセス:バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	START	STOP	CONT	IES	IEC	IRC	予約	
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ECPL[23:16]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ECPL[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ECPL[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各タイマごとの制御レジスタです。

[bit31] START (Start) : **タイマ動作開始**

タイマ動作の開始を指示します。このビットに"1"を書き込むことでタイマ動作を開始します。読出し値は常に"0"です。ノーマルモード時にこのビットで動作開始した場合タイマは"0"からカウント開始します。
オーバフローモード時にこのビットで動作開始した場合タイマは"0"もしくは
ECPL[23:0](TPUTCN1n.PL=1) からカウント開始します。
"0"書込みは動作に影響ありません。

[bit30] STOP (Stop) : **タイマ動作停止**

タイマ動作の停止を指示します。このビットに"1"を書き込むことでタイマ動作を停止します。読出し値は常に"0"です。
"0"書込みは動作に影響ありません。

[bit29] CONT (Continue) : **タイマ動作再開**

タイマ動作の再開を指示します。このビットに"1"を書き込むことでタイマ動作を再開します。読出し値は常に"0"です。

このビットで動作再開した場合には停止していたカウント値から動作を再開します。

START, STOP, CONT ビットの同時設定は START > CONT > STOP の順で優先度の判定を行います。

"0"書込みは動作に影響ありません。

[bit28] IES (Interrupt Enable Set) : **割込み許可ビットセット**

タイマ割込み許可ビットのセットを指示します。このビットに"1"を書き込むことで割込み許可ビット(TPUTIE.IE[n])をセットします。読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit27] IEC (Interrupt Enable Clear) : **割込み許可ビットクリア**

タイマ割込み許可ビットのクリアを指示します。このビットに"1"を書き込むことで割込み許可ビット(TPUTIE.IE[n])をクリアします。読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit26] IRC (Interrupt Request Clear) : **割込み要求クリア**

タイマ割込み要求クリアを指示します。このビットに"1"を書き込むことで割込み要求(TPUIR.IR[n])をクリアします。

読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit25, bit24] (予約) : (予約ビット)

これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit23～bit0] ECPL[23:0] (End Count or Pre Load) : **カウンタ終了値もしくはプリロード値**

カウンタの終了値もしくはプリロード値として使用される値を設定します。

ノーマルモードではカウンタの終了値として ECPL[23:0]を使用します。

オーバフローモードでは ECPL[23:0]はプリロード値として使用します。

4.10. TPU タイマ制御レジスタ 10-17 : TPUTCN10-17 (TPU Timer Control Register 10-17)

TPU タイマ制御レジスタ 10-17 のビット構成について示します。

■ TPUTCN10～TPUTCN17:アドレス 00950～0096C$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			PL	FRT	TMOD	PS[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

各タイマごとの制御レジスタです。

[bit7～bit5] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit4] PL (Pre-Load) : プリロード指示
タイマ動作開始時に ECPL[23:0]のプリロードを指示します。このビットはタイマがオーバフローモード時のみ有効です。

PL	プリロード
0	プリロード無効
1	プリロード有効

[bit3] FRT (Free Running Timer) : フリーラン指示
フリーランの指示を行います。この指示はノーマルモード/オーバフローモード共に有効です。
ノーマルモードでこのビットを有効にした場合、カウンタの終了値で割込みを発生した後自動動的に"0"からカウントを再開します。
オーバフローモードでこのビットを有効にした場合、カウンタオーバフローで割込みを発生した後自動的に"0" (TPUTCN1n.PL=0)もしくは ECPL[23:0] (TPUTCN1n.PL=1)からカウントを再開します。

FRT	フリーラン
0	フリーラン無効
1	フリーラン有効

[bit2] TMOD (TPU Mode) : TPU 動作モード
Timer の動作モードを指示します。Time の動作モードには"0"から ECPL[23:0]までアップカウントするノーマルモードと"0" (TPUTCN1n.PL=0)もしくは ECPL[23:0] (TPUTCN1n.PL=1)からカウントを開始しカウンタのオーバフローを検出するオーバフローモードがあります。

TMOD	Timer 動作モード
0	ノーマルモード
1	オーバフローモード

[bit1, bit0] PS[1:0] (Individual Prescaler) : **タイマプリスケーラ設定**

タイマごとのプリスケーラ値を設定します。各タイマにはグローバルプリスケーラの出力が入力されており、この入力を分周して各タイマの動作周波数とします。

PS[1:0]	プリスケーラ
00	1/1
01	1/2
10	1/4
11	1/16

4.11. TPU カウンタ値レジスタ 0-7 : TPUTCC0-7 (TPU Timer Current Count Register 0-7)

TPU カウンタ値レジスタ 0-7 のビット構成について示します。

■ TPUTCC0～TPUTCC7:アドレス 00970～0098C$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit31							bit24	bit23							bit0
	予約								TCC[23:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R0,W0							R0,W0	R,WX							

Timer の現在のカウンタ値を示します。このレジスタは読出し専用です。

[bit31～bit24] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit23～bit0] TCC[23:0] (Timer Current Count) : タイマカウント値
現在のタイマのカウント値を示します。

5. 動作説明

動作について説明します。

5.1. TPU 制御レジスタアクセス保護
5.2. グローバルプリスケーラ
5.3. 割込み制御
5.4. タイマ動作
5.5. フリーラン機能
5.6. 個別プリスケーラ機能
5.7. デバッグサポート機能
5.8. 操作フロー

5.1. TPU 制御レジスタアクセス保護

TPU 制御レジスタアクセス保護について説明します。

TPU レジスタはすべてシステムレジスタのため特権モードでのみアクセス可能です。ユーザモードでアクセスを行うと不正命令例外(データアクセスエラー)が発生します。

システムレジスタとしてのアクセス保護だけでなく、誤動作による TPU 制御レジスタの書き換えを防ぐために TPU では Lock コードのよるレジスタアクセス保護する機能を持ちます。

アクセス保護の対象となるレジスタは以下の 2 つです。

・TPU 制御レジスタ (TPUCFG)
・TPU タイマ制御レジスタ 10-17 (TPUTCN10-17)

TPU 制御レジスタアクセス保護機能を有効にするには TPU アンロックレジスタ(TPUUNLOCK)に現在の UNLOCK[31:0]とは異なる値を書き込みます。アクセス保護機能が有効になると TPU ロックステータスレジスタの LST ビットをセットしロック状態であることを示します。

保護対象の制御レジスタへの書込みを行う場合には前回設定した値を UNLOCK[31:0]に書き込みます。ロック状態が解除されると TPULST.LST=0 となりアンロック状態となります。

リセット発生後はレジスタアクセス保護機能は無効状態(TPULST.LST=0)です。

TPU 制御レジスタアクセス保護機能が有効な場合(TPULST.LST=1)に TPU アンロックレジスタ(TPUUNLOCK)に UNLOCK[31:0]以外の値が書き込まれた場合は不正なアクセスとして AHB にエラー応答を返し CPU にデータアクセスエラーを発生させます。こののき TPU アクセス違反検出レジスタに該当要因をセット(TPUVST.IULST=1)します。

TPU 制御レジスタアクセス保護機能が有効な場合(TPULST.LST=1)に TPU 制御レジスタ(TPUCFG), TPU タイマ制御レジスタ(TPUTCFG1n)へ書込み要求があった場合は不正なアクセスとして CPU でデータアクセスエラーを発生させます。

このとき TPU アクセス違反検出レジスタに該当要因をセット(TPUVST.ULVST=1)します。

また、命令フェッチによるアクセスも誤動作と判定し不正命令例外を発生します。このとき TPUVST.AVST=1 とします。

5.2. グローバルプリスケーラ

グローバルプリスケーラについて説明します。

グローバルプリスケーラ機能は TPU で使用するすべてのタイマに共通で使用するプリスケーラです。グローバルプリスケーラでは TPU の入力クロックである HCLK を TPUCFG.GLBPS[5:0]の設定値にしたがって分周を行います。分周値は 1 - 64 で設定できます。

グローバルプリスケーラ機能は TPUCFG.GLBPSE ビットで動作を制御します。TPUCFG.GLBPSE に"1"をセットするとグローバルプリスケーラ機能が有効になり、"0"を書き込むとグローバルプリスケーラ機能が無効になります。

TPUCFG.GLBPSE=0 のときにプリスケーラ機能は無効となりすべてのタイマのクロックが有効となりません。

TPUCFG.GLBPS[5:0]の書換えは必ずグローバルプリスケーラ機能を禁止(TPUCFG.GLBPSE=0)してください。

5.3. 割込み制御

割込み制御について説明します。

TPU からの割込み要求を制御するビット(TPUCFG.INTE)と各タイマの割込みを制御するTPUTIE.IE[n]で割込み要求の発生を制御します。TPU は TPUCFG.INTE=1 で各タイマからの有効な割込み要求が存在((TPUTIE.IE[n]=1) &(TPUTIR.IR[n]=1))する場合に NMI が発生します。

各チャネルごとの割込み要因は TPUTIR.IR[n]で確認できます。

各チャネルごとの割込み許可/禁止の制御は TPUTCN0n.IES/TPUTCN0n.IEC で行います。TPUTCN0n.IES に"1"を書き込むと割込みが許可され TPUTIE.IE[n]=1 となります。TPUTCN0n.IEC に"1"を書き込むと割込みが禁止され TPUTIE.IE[n]=0 なります。TPUTCN0n.IES, TPUTCN0n.IEC 同時に"1"書込みを行った場合はクリアを優先します。

各チャネルの割込み要求をクリアする場合は TPUTCN0n.IRC に"1"を書き込んでください。

5.4. タイマ動作

タイマ動作について説明します。

各タイマは 24 ビットのアップカウンタで構成されます。

タイマはノーマルモード/オーバフローモードの 2 つの動作モードを持ちます。動作モードの制御は TPUTCN1n.TMOD ビットで行います。TPUTCN1n.TMOD=0 のときノーマルモードで TPUTCN1n.TMOD=1 のときオーバフローモードとなります。

● ノーマルモード

ノーマルモードではタイマはアップカウンタとして動作し、TPUTCN0n.ECPL[23:0]で示される値と比較しカウンタ値が TPUTCN0n.ECPL[23:0]と等しいか大きい場合に割込みフラグ(TPUTIR.IR[n] (n:タイマチャネル))をセットします。実際の割込み要求は TPUTIE.IE[n]=1 のときに割込み要求を行います。

タイマは TPUTCN0n.START ビットに"1"を書き込むことで"0"からカウント開始します。

タイマカウント中は TPUTST.TS[n]=1 で動作中を示し、割込みフラグをセット(TPUTIR.IR[n]=1)するとカウントを停止し TPUTST.TS[n]=0 となります。

TPUTCN0n.STOP ビットに"1"を書き込むとカウンタは動作を停止し、TPUTST.TS[n]=0 となります。このとき停止したときのカウンタ値は保持され"0"にはなりません。

TPUTCN0n.CONT ビットに"1"を書き込むとカウンタ動作を再開し、TPUTST.TS[n]=1 となります。

● オーバフローモード

オーバフローモードではタイマのオーバフローを検出すると割込み要求フラグ(TPUTIR.IR[n])をセットします。実際の割込み要求は TPUTIE.IE[n]=1 のときに割込み要求を行います。

オーバフローモードではカウンタへのプリロードが可能です。TPUTCN1n.PL=1 に設定して動作を開始すると TPUTCN0n.ECPL[23:0]の値をプリロードしてカウントを開始します。TPUTCN1n.PL=0 の場合は"0"からカウント開始します。

5.5. フリーラン機能

フリーラン機能について説明します。

各タイマはフリーラン動作が可能です。フリーラン動作とはタイマが割込み発生要因までカウントした後自動的にカウントを再スタートする機能です。この場合はカウンタ動作は停止しませんので、TPUTST.TS[n]=1 のまま動作を続けます。

TPUTCN1n.FRT=1 に設定するとフリーラン機能が有効になります。フリーラン機能は、ノーマルモード/オーバフローモード共に利用可能です。

ノーマルモード時は"0"からカウントを再開し、オーバフローモードでは TPUTCN1n.PL=0 の場合は"0"から TPUTCN1n.PL=1 の場合は TPUTCN0n.ECPL[23:0]の値をロードしてからカウントを再開します。

5.6. 個別プリスケーラ機能

個別プリスケーラ機能について説明します。

各タイマごとにプリスケーラを持ちグローバルプリスケーラ出力を 1, 2, 4, 16 分周できます。個別プリスケーラの設定は TPUTCN1n.PS[1:0]で行います。

5.7. デバッグサポート機能

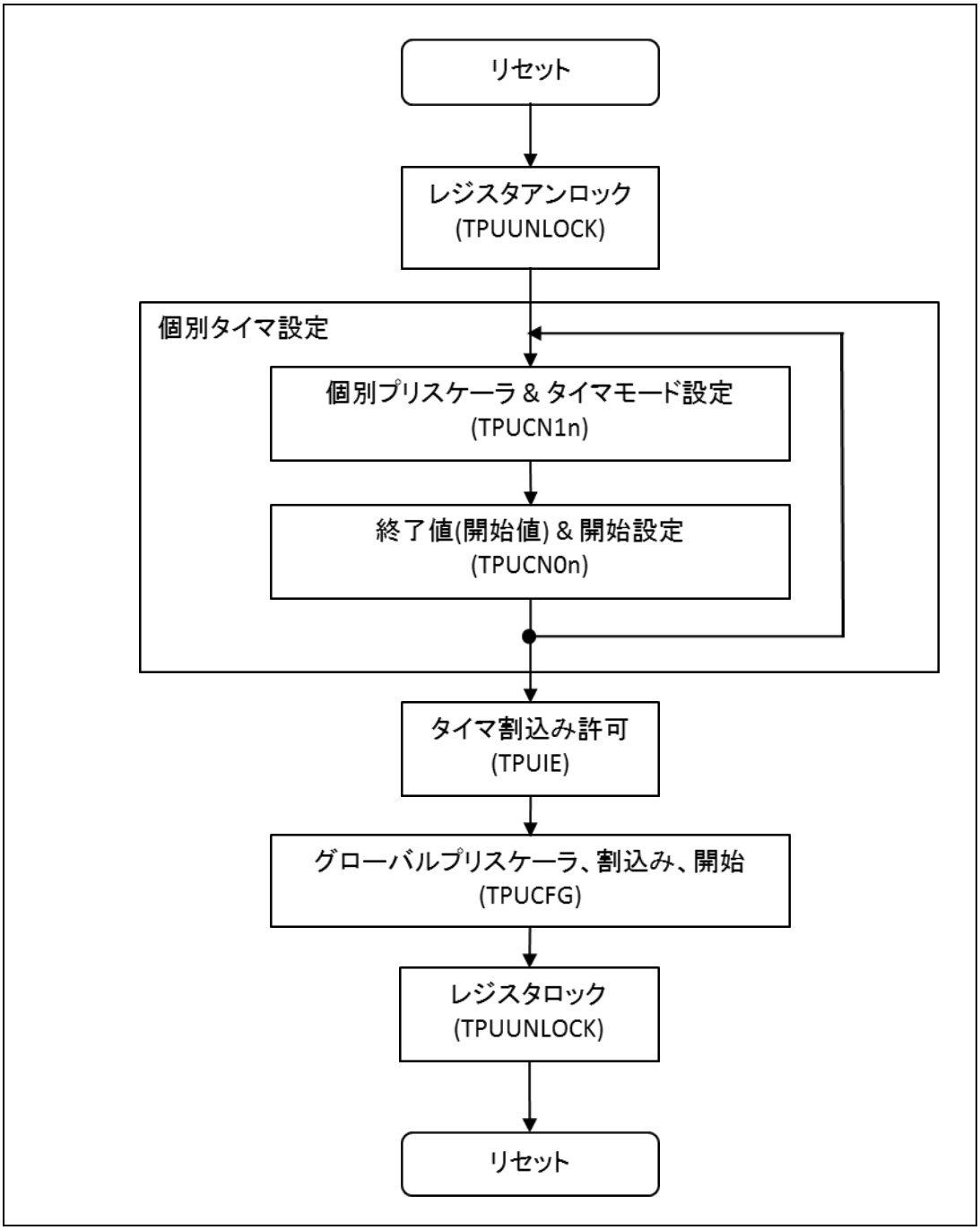
デバッグサポート機能について説明します。

ソフトウェアで TPU 制御レジスタのデバッグモード制御ビットに"1"を書き込む(TPUCFG.DBGE=1)ことで TPU を停止させることができます。TPUCFG.DBGE に"0"を書き込むと TPU のデバッグモードが解除され動作を再開します。

5.8. 操作フロー

操作フローについて示します

■ 初期設定フロー



CHAPTER: クロックモニタ

クロックモニタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. 注意事項

管理コード : FJ43-1v0-91552-8-J

1. 概要

クロックモニタの概要について説明します。

クロックモニタは、内部のクロック信号を外部の端子に出力するマクロです。クロックモニタには端子に出力する前にクロック信号を分周する機能があり、外部回路が MCU 機能と同期する際にクロック信号を使用できます。

2. 特長

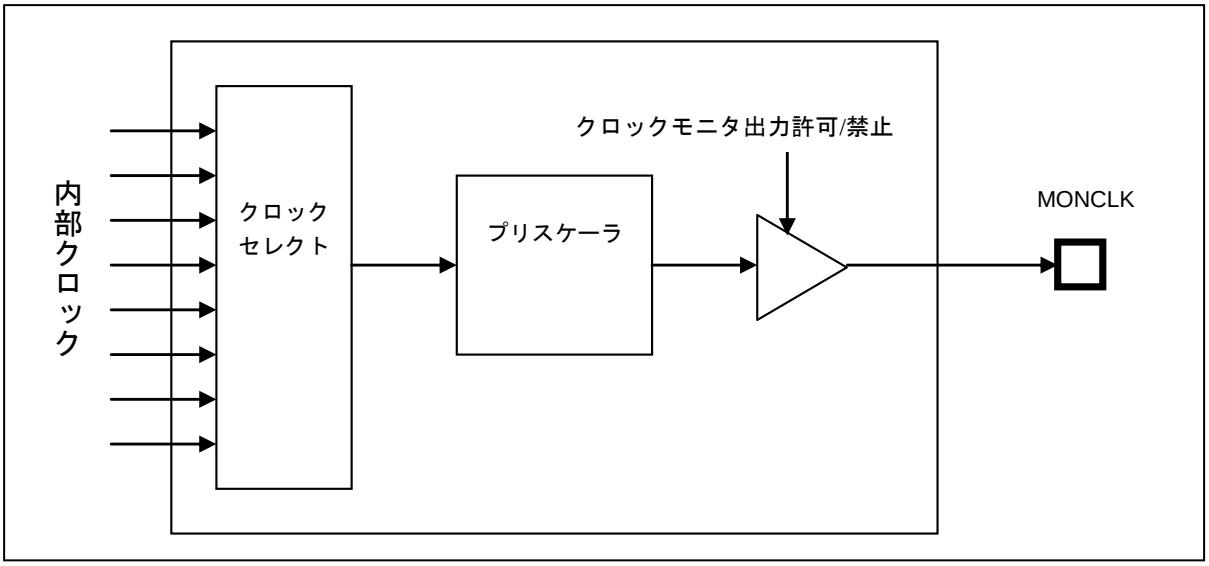
クロックモニタの特長について説明します。

- フォーマット：内部クロック信号を分周して端子に出力(MONCLK)
- チャネル：1
- 分周比：CLK/1, CLK/2, CLK/3～CLK/16
- グリッチのない出力を可能とする
- プログラム可能なマークレベル(クロック出力を許可する前に"L"または"H"を出力)
- 割込み：なし
- ストップモード時はクロック出力を停止し、ハイインピーダンス状態になる

3. 構成

クロックモニタの構成について説明します。

図 3-1 クロックモニタ構成図



型格(pin 数)	MONCLK 端子のピン番号
MB91F552(64pin)	11

4. レジスタ

クロックモニタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04A8	予約	予約	CSCFG	CMCFG	クロックモニタ制御レジスタ

4.1. クロックモニタ構成レジスタ: CMCFG

クロックモニタ構成レジスタのビット構成について示します。

■ CMCFG：アドレス 04AB$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMPRE3	CMPRE2	CMPRE1	CMPRE0	CMSEL3	CMSEL2	CMSEL1	CMSEL0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit4] CMPRE3～CMPRE0： 出力周波数プリスケーラビット
CMSEL で選択したソースクロックの分周比を設定します。

CMPRE3	CMPRE2	CMPRE1	CMPRE0	MONCLK 端子へのクロック周波数出力
0	0	0	0	ソースクロックの 1 分周(初期値)
0	0	0	1	ソースクロックの 2 分周
0	0	1	0	ソースクロックの 3 分周
0	0	1	1	ソースクロックの 4 分周
0	1	0	0	ソースクロックの 5 分周
0	1	0	1	ソースクロックの 6 分周
0	1	1	0	ソースクロックの 7 分周
0	1	1	1	ソースクロックの 8 分周
1	0	0	0	ソースクロックの 9 分周
1	0	0	1	ソースクロックの 10 分周
1	0	1	0	ソースクロックの 11 分周
1	0	1	1	ソースクロックの 12 分周
1	1	0	0	ソースクロックの 13 分周
1	1	0	1	ソースクロックの 14 分周
1	1	1	0	ソースクロックの 15 分周
1	1	1	1	ソースクロックの 16 分周

[bit3～bit0] CMSEL3～CMSEL0 : 出力ソースクロック選択ビット
MONCLK 端子への出力信号のソースクロックを選択します。

CMSEL3	CMSEL2	CMSEL1	CMSEL0	MONCLK 端子へのソースクロック出力
0	0	0	0	MONCLK 出力禁止(ハイインピーダンス) (初期値)
0	0	0	1	CSV 前のメイン発振
0	0	1	0	CR 発振
0	0	1	1	CSV 後のメイン発振
0	1	0	0	高速コンパレータクロック
0	1	0	1	PWM 用クロック(PWMCLK)
0	1	1	0	PWM 用 PLL 出力
0	1	1	1	予約(設定禁止)
1	0	0	0	PLL 出力
1	0	0	1	SSCG 出力
1	0	1	0	CAN プリスケーラ後の PLL 出力 (CAN システムクロック)
1	0	1	1	CCLK
1	1	0	0	HCLK
1	1	0	1	PCLK1(拡散した周辺クロック)
1	1	1	0	PCLK2(拡散/非拡散選択後の周辺クロック)
1	1	1	1	予約(設定禁止)

■ CSCFG：アドレス 04AA$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	MONCKI	予約			
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R,WX	R,WX	R/W	R/W0	R/W0	R/W0	R/W0

[bit7] 予約
予約ビットです。書込み時は常に"0"にしてください。

[bit6,bi5] 予約
予約ビットです。書込みは動作に影響しません。

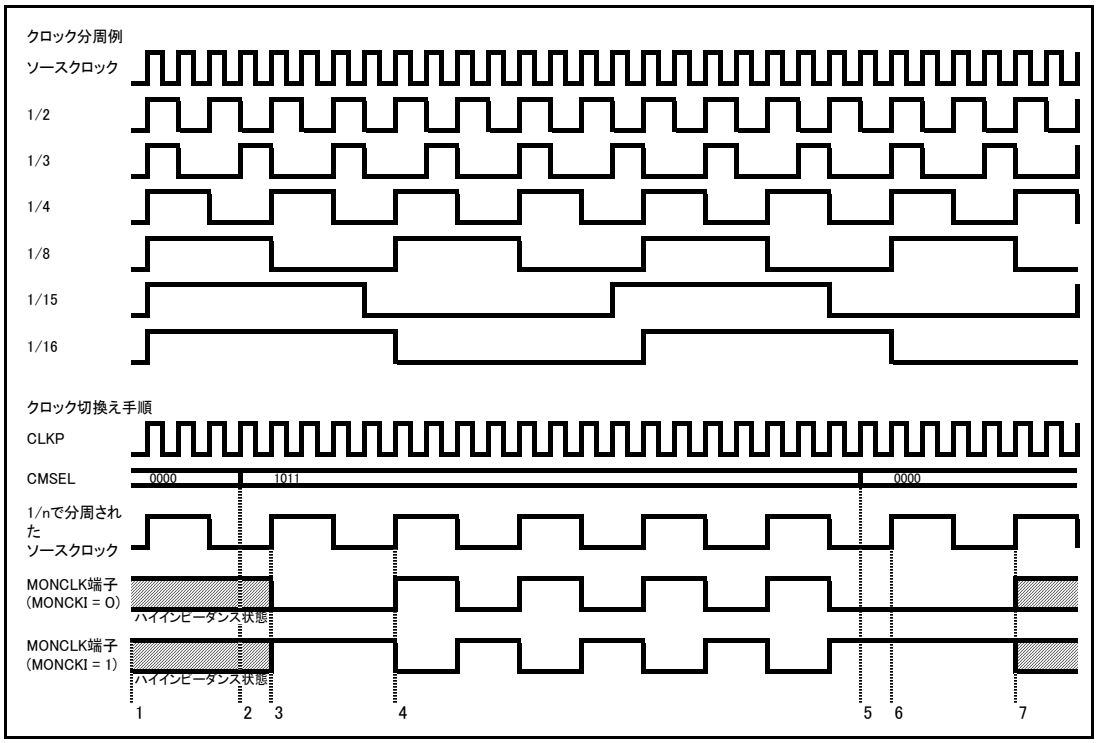
[bit4] MONCKI : クロックモニタ MONCLK インバータ

MONCKI	機能
0	MONCLK マークレベルが低レベル (初期値)
1	MONCLK マークレベルが高レベル

[bit3～bit0] 予約
予約ビットです。書込み時は常に"0"にしてください。

5. 動作説明

クロックモニタの動作について説明します。



1. MONCLK 端子がハイインピーダンス状態です。
2. CMSEL が 0000_B(選択クロックなし)から選択クロック(プリスケーラ)に設定されます。
3. MONCLK 端子は、内部(プリスケールされた)クロックの 1 周期の間、出力"L"ステータス(MONCKI が"1"に設定されている場合は出力"H")に変わります。
4. 選択(プリスケーラ)内部クロックの 1 周期後、MONCLK はその選択(プリスケーラ)内部クロックを出力します。
5. CMSEL が選択クロックから 0000_B(選択クロックなし)に設定されます。
6. MONCLK 端子は、内部(プリスケールされた)クロックの 1 周期の間、出力"L"ステータス(MONCKI が"1"に設定されている場合は出力"H")に変わります。
7. MONCLK 端子がハイインピーダンス状態に切り換わります。

6. 設定

クロックモニタの設定について説明します。

設定	設定レジスタ	設定手順
プリスケーラ値を設定	出力周波数プリスケーラ (CMCFG.CMPRE3～CMPRE0)	7.2 項
ソースクロックの設定	出力ソースクロック選択 (CMCFG.CMSEL3～CMSEL0)	7.1 項
マークレベルの設定	クロックモニタインバータ (CSCFG.MONCKI)	7.4 項
クロックモニタ出力の許可	出力ソースクロック選択 (CMCFG.CMSEL3～CMSEL0)	7.3 項

7. Q&A

クロックモニタの Q&A について示します。

7.1. 出力端子(MONCLK)を設定するには？
7.2. 出力周波数を選択するには？
7.3. クロックモニタ出力を許可または禁止するには？
7.4. クロック出力のマークレベルを設定するには？

7.1. 出力端子(MONCLK)を設定するには?

出力端子(MONCLK)の設定について示します。

出力ソースクロック選択ビットを使用します(CMCFG.CMSEL3～CMSEL0)。

7.2. 出力周波数を選択するには?

出力周波数の選択について示します。

出力周波数プリスケーラビットを使用します(CMCFG.CMPRE3～CMPRE0)。

クロック分周比	出力周波数(例) HCLK 選択時		出力周波数プリスケーラ (CMCFG.CMPRE3～CMPRE0)
	HCLK=32MHz	HCLK=40MHz	
1/2	16MHz	20MHz	0001_B に設定
1/3	10.7MHz	13.3MHz	0010_B に設定
1/4	8MHz	10MHz	0011_B に設定
1/8	4MHz	5MHz	0111_B に設定
1/15	2.1MHz	2.7MHz	1110_B に設定
1/16	2MHz	2.5MHz	1111_B に設定

7.3. クロックモニタ出力を許可または禁止するには?

クロックモニタ出力の許可/禁止について示します。

出力ソースクロック選択ビットを使用します(CMCFG.CMSEL3～CMSEL0)。

動作説明	出力ソースクロック選択ビット (CMCFG.CMSEL3～CMSEL0)
クロックモニタ出力の禁止 (端子をハイインピーダンス状態に設定)	0000_B に設定
クロックモニタ出力の許可	0001_B～1111_B に設定 (ただし、0111_B および 1111_B は設定禁止です)

7.4. クロック出力のマークレベルを設定するには?

クロック出力のマークレベルの設定について示します。

クロックモニタ MONCLK インバータビットを使用します(CSCFG.MONCKI)。

8. 注意事項

クロックモニタの注意事項について説明します。

グリッチフリースイッチングのために、ソースクロック(CMSEL3～CMSEL0)またはプリスケーラ比(CMPRE3～CMPRE0)を変えるときは、以下の手順にしたがって操作してください。

- CMPRE3～CMPRE0 レジスタは、CMSEL3～CMSEL0 レジスタが"0_H"のときのみ書込み可能です。
- CMPRE3～CMPRE0 レジスタは、同じライトアクセス時に CMSEL3～CMSEL0 レジスタに"0_H"が書き込まれたときのみ書込み可能です。
- CMPRE と CMCFG への 2 回のライトアクセス中に、少なくともモニタクロック分周の 2 サイクル分が必要です。
- クロックソースとして何か選択されている状態(CMSEL が"0_H"以外)から、別の有効なクロックを選択する場合は、一度 CMSEL を"0_H"に書き換え、CMSEL を読み出して"0_H"になっていることを確認してから、CMSEL に目的のクロックの設定値を書き込んでください。
- モニタクロックとして選択したクロックがモニタ中に停止した場合は、再度その選択したクロックが動き始めるか、もしくはリセットされるまで、どのレジスタを書き換えても反映されません。

(アクセス例)

1. アクセス
   CNCFG.CMSEL=0
   CMCFG.CMPRE=プリスケーラ
2. アクセス
   CMCFG.CMSEL=クロック

CSCFG.MONCKI フラグも上記と同様に、CMSEL3～CMSEL0 が"0_H"のときのみ書込み可能です。

CHAPTER: PWM

PWM について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

PWM モジュールの概要について説明します。

PWM モジュールは、パルス幅変調(PWM) 出力を得るために使用します。周期とデューティ, 位相をソフトウェアでプログラムすることにより、PWMモジュールは広範なアプリケーションに容易に適合できます。

2. 特長

PWM の特長について説明します。

● PWM 分周クロック

次の 8 種類から選択

PWM クロックの 1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128 で出力

● PWM 周期

・設定範囲 = デューティ値～65535(16 ビットレジスタで指定)
・周期 = PWM 分周クロック × (PWMCCB レジスタ値＋1)：Normal Wave Form 選択時
PWM 分周クロック × (PWMCCB レジスタ値×2)：Center Aligned Wave Form 選択時

(例) PWM 分周クロック = 200MHz(5ns), PWMCCB 値 = 63999

周期 = 5ns × (63999+1) = 320us

● PWM デューティ

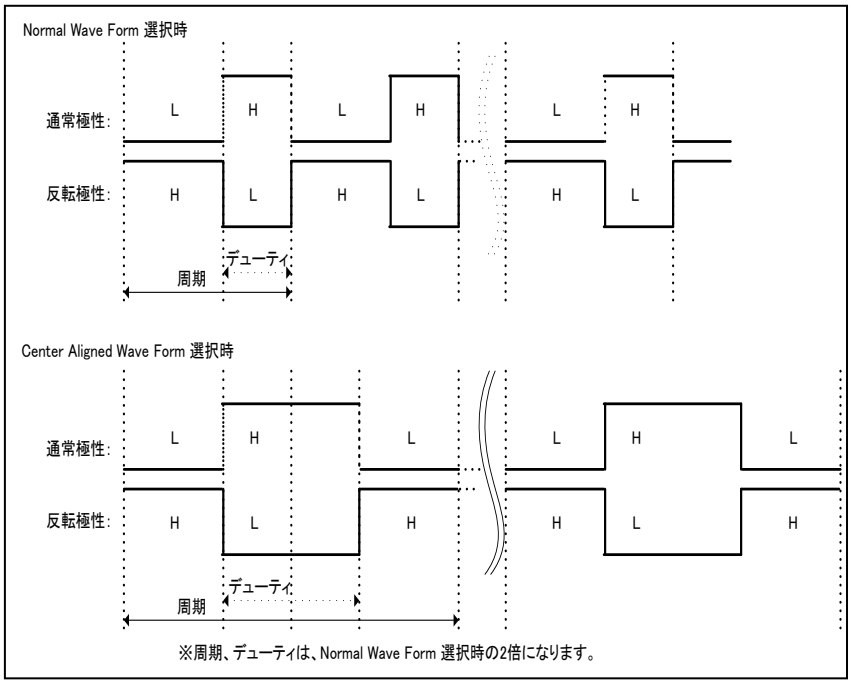
・設定範囲 = 0～周期値(16 ビットレジスタで指定)
・デューティ =PWM 分周クロック×(PWMCDB レジスタ値＋1)：Normal Wave Form 選択時
PWM 分周クロック×(PWMCDB レジスタ値×2) : Center Aligned Wave Form 選択時

● PWM 位相

・設定範囲 = 0～周期値(16 ビットレジスタで指定)
・位相 =PWM 分周クロック×(PWMCPB レジスタ値)

● PWM 出力波形

・2 チャネル出力が可能な PWM 生成を 3 つ搭載(合計 PWM 出力が 6 チャネル)
・各 PWM 生成は、相補出力または独立出力が可能
・Normal Wave Form または Center Aligned Wave Form が選択可能



● 割込み

・次の 7 種類
  ・ 特殊イベント割込み 0/1
  ・ 0 検出割込み 0/1
  ・ コンペアクリア割込み 0/1
  ・ ソフトオーバライト(SOW)割込み 0 ~ 2
  ・ フォルト割込み 0 ~ 5
  ・ キャプチャ割込み 0 ~ 2
  ・ トリガ割込み 0 ~ 3

● マスタクロック生成

・周期
  ・ 設定範囲 = デューティ値～65535(16 ビットレジスタで指定)
・デューティ
  ・ 設定範囲 = 0～周期値(16 ビットレジスタで指定)
・SYNCIN 端子/SYNCOUT 端子により並列動作が可能
・SYNCIN 端子に対して 8 種類のフィルタ幅の選択が可能

● フォルト機能

・フォルト発生時に次の 2 種類の動作が設定できます。
  ・ フォルト動作　　：PWM 出力を「High/Low/反転/変化なし」の中から選択
  ・ フォルト動作(優先)　　：PWM 出力を「High/Low/変化なし」の中から選択
・PWM エッジ基点から任意タイミングで各フォルト機能の解除を設定できます。
・PWM エッジ基点からフォルト発生までの時間を計測できます。

● ソフトオーバライト機能

・レジスタ設定(PWMSOWCONn.OSL1～0)により PWM 出力を「High/Low/変化なし」の中から設定できます。(n=0, 1, 2)
・PWM 出力が PWM エッジ基点から任意タイミングでレジスタ設定(PWMSOWCONn.OSL1～0)した状態になります。(n=0, 1, 2)

● ブランキング機能

コンパレータからの結果(フォルト)に対してブランキング(マスク)できます。ブランキング時間はレジスタによって設定できます。

● A/D コンバータトリガ生成

PWM エッジ基点から任意タイミングの 4 種類, フォルト発生タイミングの 6 種類および特殊イベントトリガの 2 種類の A/D コンバータトリガを生成できます。

● デッドタイム機能

PWM 出力に対して次の 2 種類のデッドタイムを付加できます。

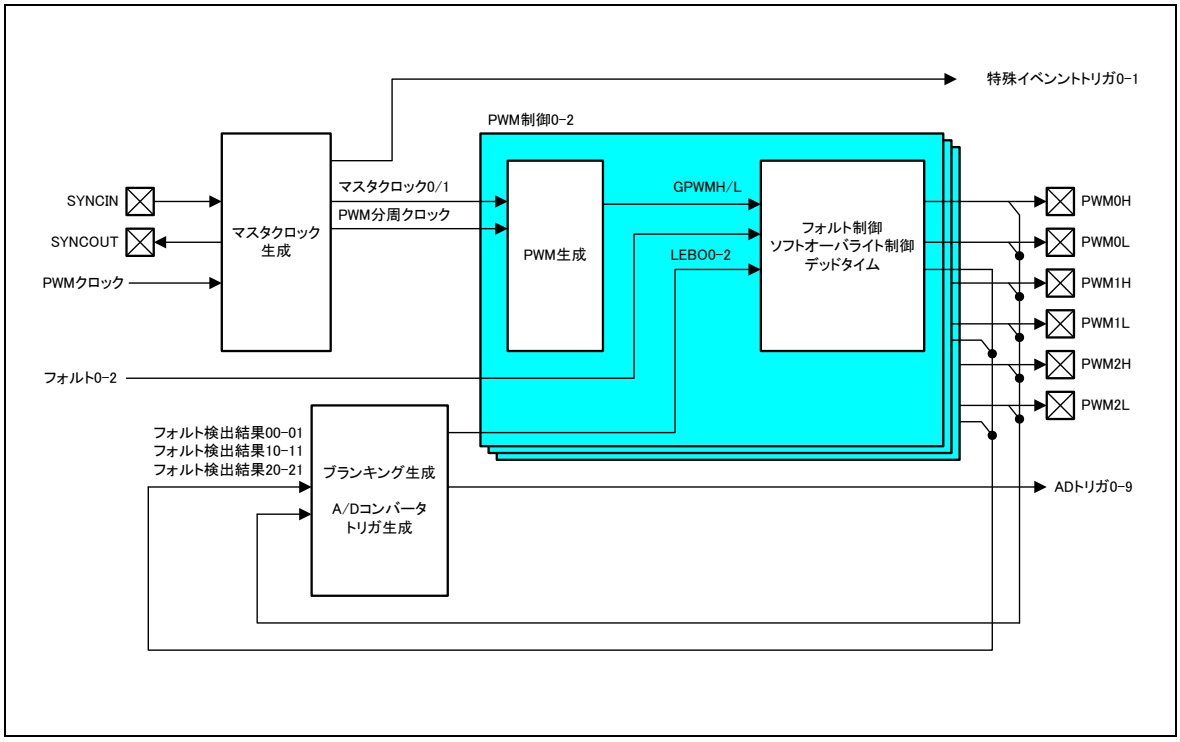
  ・ 通常モード　　：PWM 出力の立上りに対してデッドタイムを付加
  ・ 拡張モード 1　　：PWM 出力の立上りと立下りに対してデッドタイムを付加

3. 構成

PWM の構成について説明します。

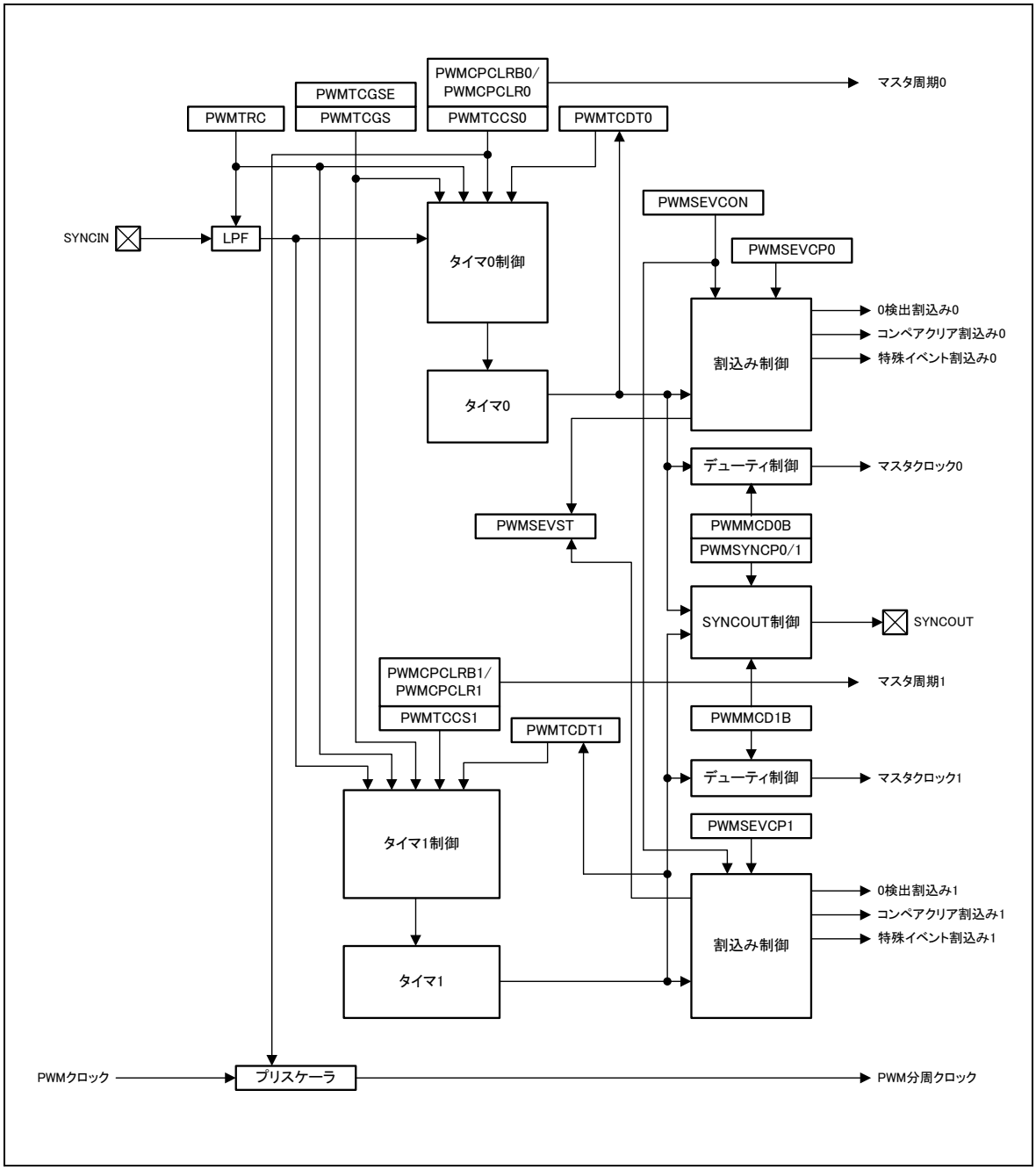
■ PWM の全体構成

図 3-1 PWM の全体構成



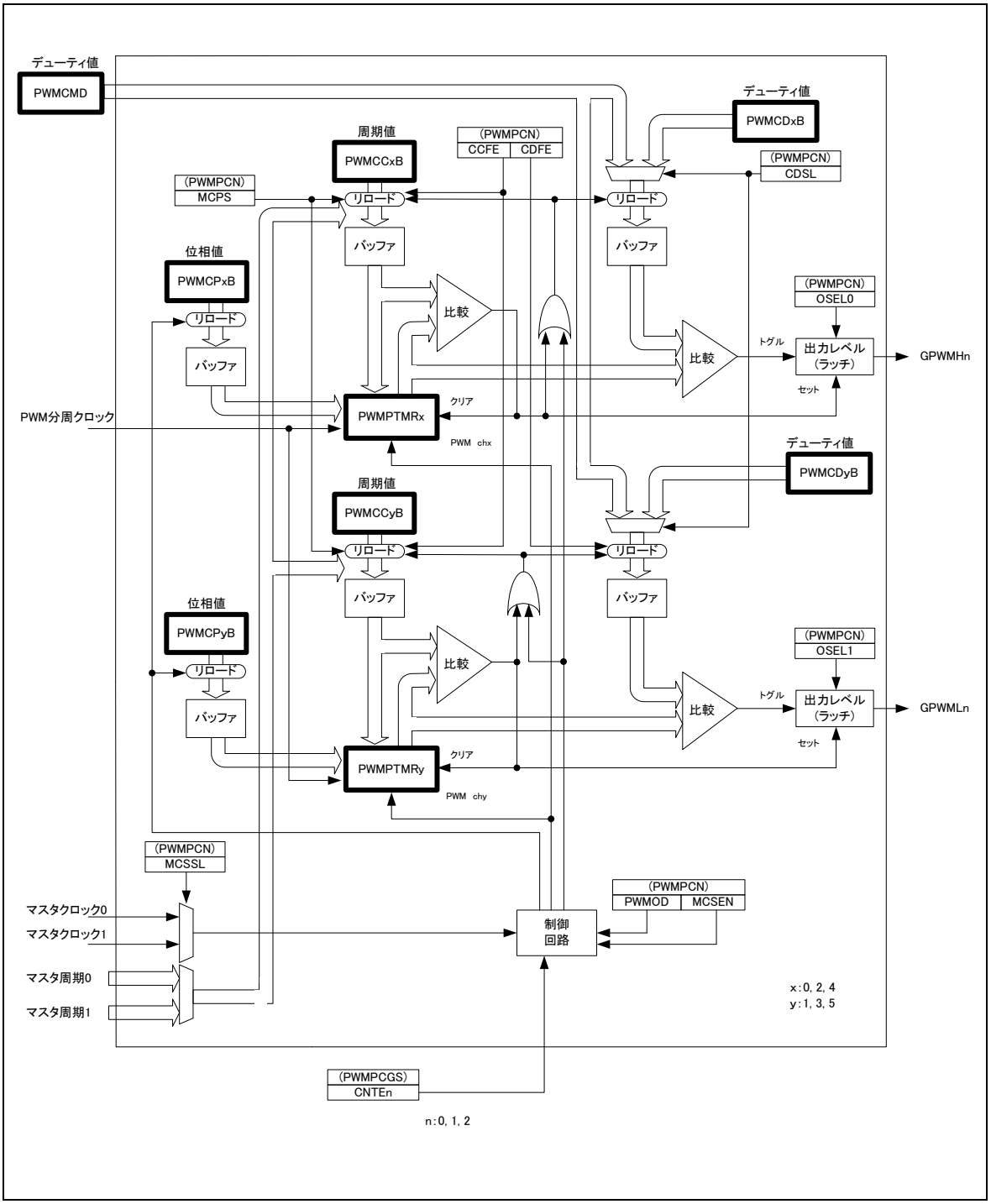
■ マスタクロック生成の構成

図 3-2 マスタクロック生成の構成



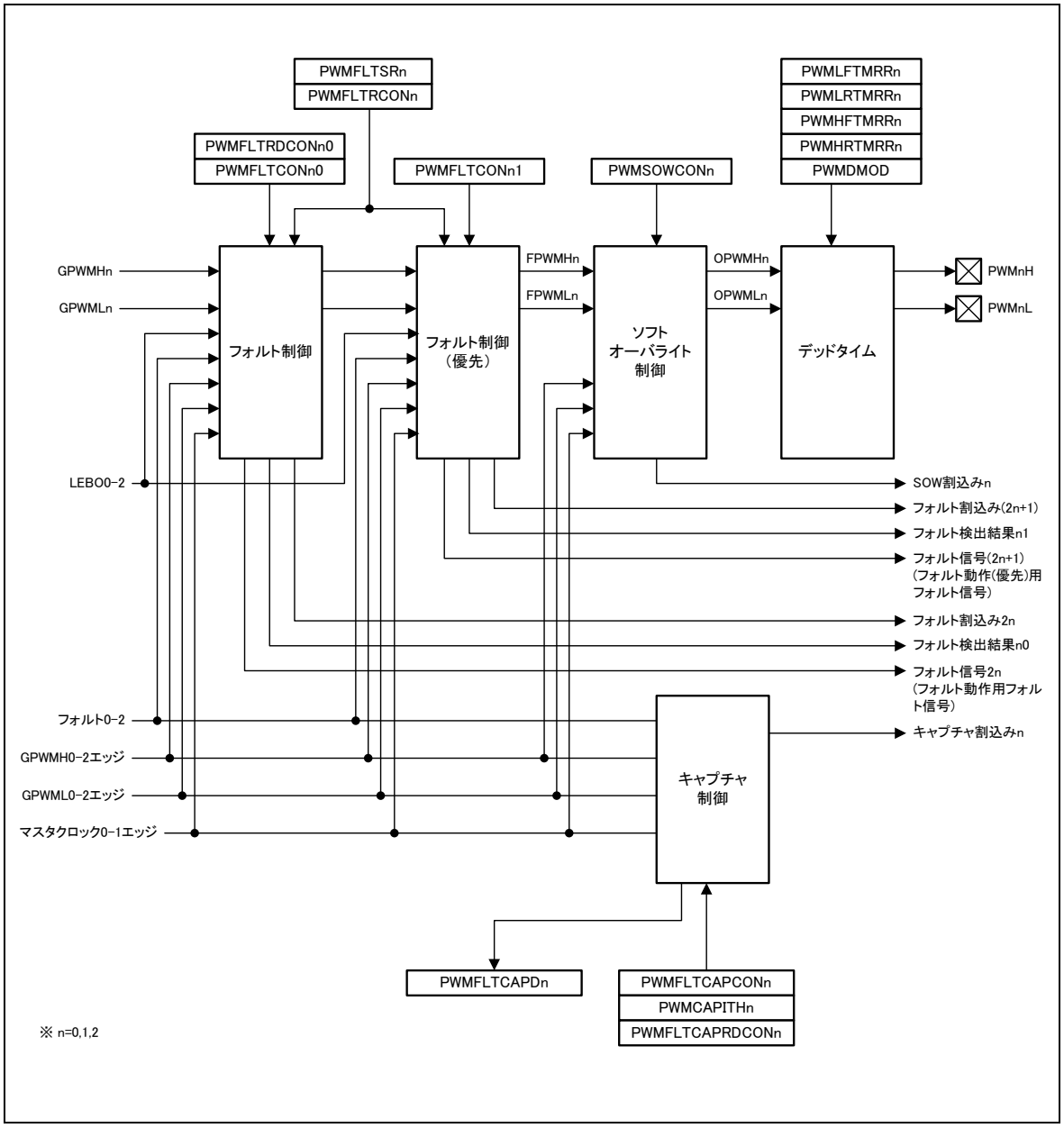
■ PWM 生成の構成

図 3-3 PWM 生成の構成



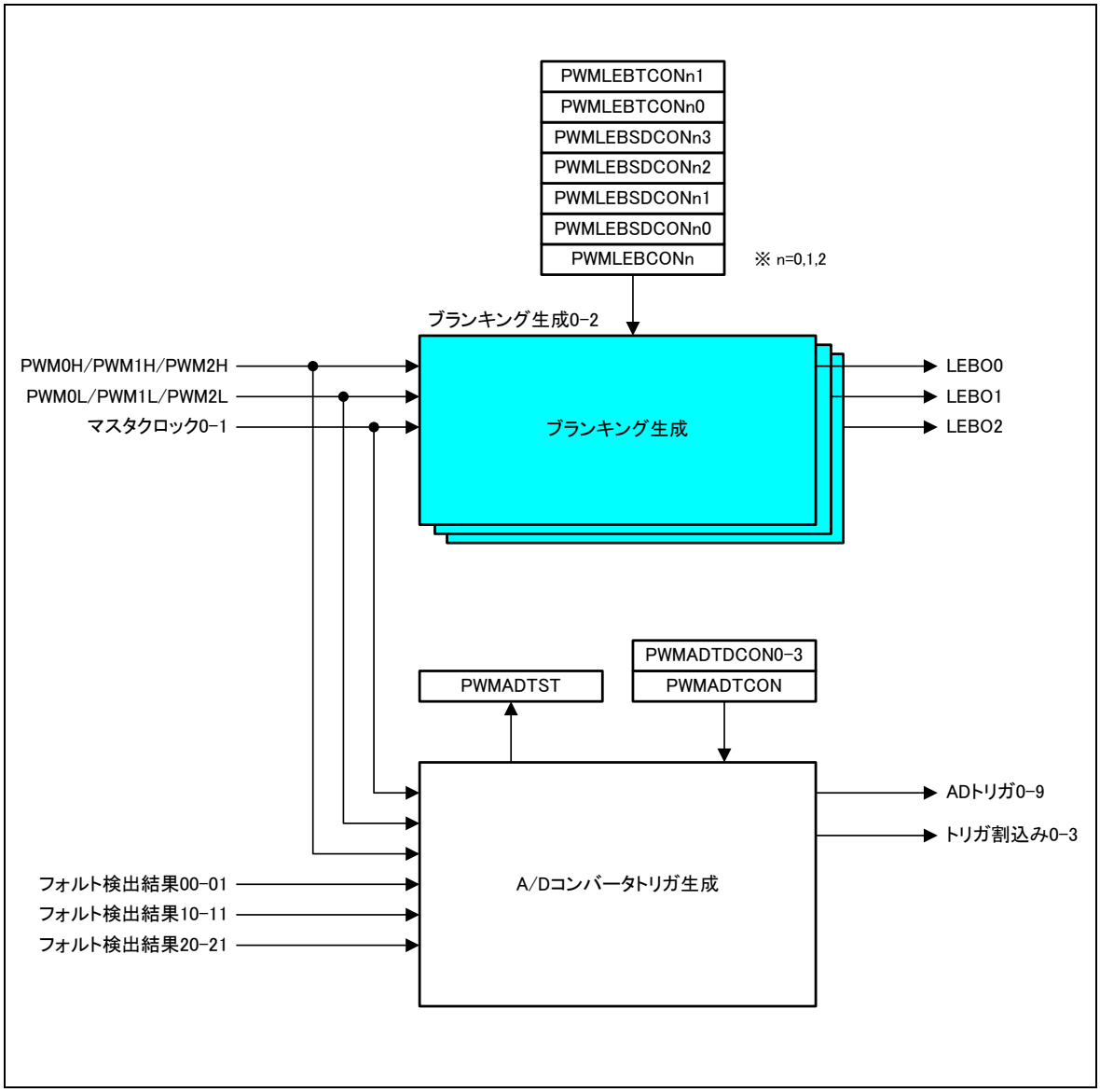
■ フォルト制御/ソフトオーバライト制御/デッドタイムの構成

図 3-4 フォルト制御/ソフトオーバライト制御/デッドタイムの構成



■ ブランキング生成/ A/D コンバータ トリガ生成の構成

図 3-5 ブランキング生成/ A/D コンバータ トリガ生成の構成



4. レジスタ

PWM のレジスタについて説明します。

表 4-1 マスタクロック関連のレジスター覧

アドレス	+0	+1	+2	+3
0x31C0	タイマ同時起動レジスタ (PWMTCGS)	予約	予約	タイマ同時起動許可レジスタ (PWMTCGSE)
0x31C4	コンペアクリアバッファレジスタ 0 (PWMCPCLRB0) コンペアクリアレジスタ 0 (PWMCPCLR0)		タイマデータレジスタ (PWMTCDT0)	
0x31C8	タイマ状態制御レジスタ 0 (PWMTCCS0)			予約
0x31CC	コンペアクリアバッファレジスタ 1 (PWMCPCLRB1) コンペアクリアレジスタ 1 (PWMCPCLR1)		タイマデータレジスタ (PWMTCDT1)	
0x31D0	タイマ状態制御レジスタ 1 (PWMTCCS1)			予約
0x31D4	タイマリセット制御レジスタ (PWMTRC)			予約
0x31D8	SYNC 比較レジスタ 0 (PWMSYNCP0)		SYNC 比較レジスタ 1 (PWMSYNCP1)	
0x31DC	特殊イベント制御レジスタ (PWMSEVCON)		予約	
0x31E0	特殊イベントステータスレジスタ (PWMSEVST)	予約	予約	
0x31E4	特殊イベント比較レジスタ 0 (PWMSEVCP0)		特殊イベント比較レジスタ 1 (PWMSEVCP1)	
0x31E8	マスタデューティ設定レジスタ 0 (PWMMCD0B)		マスタデューティ設定レジスタ 1 (PWMMCD1B)	

表 4-2 PWM 共通ステータスのレジスター覧

アドレス	+0	+1	+2	+3
0x31EC	PWM ステータスレジスタ 0(PWMST0)	PWM ステータスレジスタ 1(PWMST1)	PWM ステータスレジスタ 2(PWMST2)	フォルトステータスレジスタ (PWMFLTST)

表 4-3 PWM 生成関連のレジスター覧

アドレス	+0	+1	+2	+3
0x31F0	共通デューティ設定レジスタ (PWMCMD)		PWM 同時起動レジスタ (PWMPCGS)	予約
0x31F4	PWM 制御レジスタ 01(PWMPCN01)		予約	
0x31F8	PWM 周期設定レジスタ 0(PWMCC0B)		PWM 位相設定レジスタ 0(PWMCP0B)	
0x31FC	PWM デューティ設定レジスタ 0 (PWMCD0B)		PWM タイマレジスタ 0(PWMPTMR0)	
0x3200	PWM 周期設定レジスタ 1(PWMCC1B)		PWM 位相設定レジスタ 1(PWMCP1B)	
0x3204	PWM デューティ設定レジスタ 1 (PWMCD1B)		PWM タイマレジスタ 1(PWMPTMR1)	
0x3208	PWM 制御レジスタ 23(PWMPCN23)		予約	
0x320C	PWM 周期設定レジスタ 2(PWMCC2B)		PWM 位相設定レジスタ 2(PWMCP2B)	
0x3210	PWM デューティ設定レジスタ 2 (PWMCD2B)		PWM タイマレジスタ 2(PWMPTMR2)	
0x3214	PWM 周期設定レジスタ 3(PWMCC3B)		PWM 位相設定レジスタ 3(PWMCP3B)	
0x3218	PWM デューティ設定レジスタ 3 (PWMCD3B)		PWM タイマレジスタ 3(PWMPTMR3)	
0x321C	PWM 制御レジスタ 45(PWMPCN45)		予約	
0x3220	PWM 周期設定レジスタ 4(PWMCC4B)		PWM 位相設定レジスタ 4(PWMCP4B)	
0x3224	PWM デューティ設定レジスタ 4 (PWMCD4B)		PWM タイマレジスタ 4(PWMPTMR4)	
0x3228	PWM 周期設定レジスタ 5(PWMCC5B)		PWM 位相設定レジスタ 5(PWMCP5B)	
0x322C	PWM デューティ設定レジスタ 5 (PWMCD5B)		PWM タイマレジスタ 5(PWMPTMR5)	

表 4-4 フォルト機能関連のレジスター覧(1/2)

アドレス	+0	+1	+2	+3
0x3230	フォルト制御レジスタ 00 (PWMFLTCON00)		フォルト制御レジスタ 01 (PWMFLTCON01)	
0x3234	フォルトリセット制御レジスタ 0 (PWMFLTRCON0)		フォルトキャプチャ制御レジスタ 0(PWMFLTCAPCON0)	
0x3238	フォルトソフトリセットレジスタ 0 (PWMFLTSR0)		予約	
0x323C	キャプチャ割込みしきい値設定レジスタ 0 (PWMCAPITH0)		予約	
0x3240	フォルトリセット遅延制御レジスタ 00(PWMFLTRDCON00)			
0x3244	フォルトリセット遅延制御レジスタ 01(PWMFLTRDCON01)			
0x3248	フォルトキャプチャカウンタリセット遅延制御レジスタ 0(PWMFLTCAPRDCON0)			
0x324C	フォルトキャプチャデータレジスタ 0(PWMFLTCAPD0)			
0x3250	フォルト制御レジスタ 10 (PWMFLTCON10)		フォルト制御レジスタ 11 (PWMFLTCON11)	
0x3254	フォルトリセット制御レジスタ 1 (PWMFLTRCON1)		フォルトキャプチャ制御レジスタ 1(PWMFLTCAPCON1)	
0x3258	フォルトソフトリセットレジスタ 1 (PWMFLTSR1)		予約	
0x325C	キャプチャ割込みしきい値設定レジスタ 1 (PWMCAPITH1)		予約	
0x3260	フォルトリセット遅延制御レジスタ 10(PWMFLTRDCON10)			
0x3264	フォルトリセット遅延制御レジスタ 11(PWMFLTRDCON11)			
0x3268	フォルトキャプチャカウンタリセット遅延制御レジスタ 1(PWMFLTCAPRDCON1)			
0x326C	フォルトキャプチャデータレジスタ 1(PWMFLTCAPD1)			

表 4-4 フォルト機能関連のレジスター覧(2/2)

アドレス	+0	+1	+2	+3
0x3270	フォルト制御レジスタ 20 (PWMFLTCON20)		フォルト制御レジスタ 21 (PWMFLTCON21)	
0x3274	フォルトリセット制御レジスタ 2 (PWMFLTRCON2)		フォルトキャプチャ制御レジスタ 2 (PWMFLTCAPCON2)	
0x3278	フォルトソフトリセットレジスタ 2 (PWMFLTSR2)		予約	
0x327C	キャプチャ割込みしきい値設定レジスタ 2 (PWMCAPITH2)		予約	
0x3280	フォルトリセット遅延制御レジスタ 20(PWMFLTRDCON20)			
0x3284	フォルトリセット遅延制御レジスタ 21(PWMFLTRDCON21)			
0x3288	フォルトキャプチャカウンタリセット遅延制御レジスタ 2(PWMFLTCAPRDCON2)			
0x328C	フォルトキャプチャデータレジスタ 2(PWMFLTCAPD2)			

表 4-5 ソフトオーバライトのレジスター覧

アドレス	+0	+1	+2	+3
0x3290	ソフトオーバライト制御レジスタ 0(PWMSOWCON0)			
0x3294	ソフトオーバライト制御レジスタ 1(PWMSOWCON1)			
0x3298	ソフトオーバライト制御レジスタ 2(PWMSOWCON2)			

表 4-6 デッドタイムのレジスター覧

アドレス	+0	+1	+2	+3
0x329C	デッドタイム モードレジスタ (PWMDMOD)	予約	予約	
0x32A0	ハイサイド側立上りデッドタイム 設定レジスタ 0(PWMHRTMRR0)		ハイサイド側立下りデッドタイム 設定レジスタ 0(PWMHFTMRR0)	
0x32A4	ロウサイド側立上りデッドタイム 設定レジスタ 0(PWMLRTMRR0)		ロウサイド側立下りデッドタイム 設定レジスタ 0(PWMLFTMRR0)	
0x32A8	ハイサイド側立上りデッドタイム 設定レジスタ 1(PWMHRTMRR1)		ハイサイド側立下りデッドタイム 設定レジスタ 1(PWMHFTMRR1)	
0x32AC	ロウサイド側立上りデッドタイム 設定レジスタ 1(PWMLRTMRR1)		ロウサイド側立下りデッドタイム 設定レジスタ 1(PWMLFTMRR1)	
0x32B0	ハイサイド側立上りデッドタイム 設定レジスタ 2(PWMHRTMRR2)		ハイサイド側立下りデッドタイム 設定レジスタ 2(PWMHFTMRR2)	
0x32B4	ロウサイド側立上りデッドタイム 設定レジスタ 2(PWMLRTMRR2)		ロウサイド側立下りデッドタイム 設定レジスタ 2(PWMLFTMRR2)	

表 4-7 ブランキング関連のレジスター覧

アドレス	+0	+1	+2	+3
0x32B8	ブランキング制御レジスタ 0 (PWMLEBCON0)			予約
0x32BC	ブランキングスタート遅延制御レジスタ 00 (PWMLEBSDCON00)		ブランキングスタート遅延制御レジスタ 01 (PWMLEBSDCON01)	
0x32C0	ブランキングスタート遅延制御レジスタ 02 (PWMLEBSDCON02)		ブランキングスタート遅延制御レジスタ 03 (PWMLEBSDCON03)	
0x32C4	ブランキング時間制御レジスタ 00(PWMLEBTCON00)			
0x32C8	ブランキング時間制御レジスタ 01(PWMLEBTCON01)			
0x32CC	ブランキング制御レジスタ 1 (PWMLEBCON1)			予約
0x32D0	ブランキングスタート遅延制御レジスタ 10 (PWMLEBSDCON10)		ブランキングスタート遅延制御レジスタ 11 (PWMLEBSDCON11)	
0x32D4	ブランキングスタート遅延制御レジスタ 12 (PWMLEBSDCON12)		ブランキングスタート遅延制御レジスタ 13 (PWMLEBSDCON13)	
0x32D8	ブランキング時間制御レジスタ 10(PWMLEBTCON10)			
0x32DC	ブランキング時間制御レジスタ 11(PWMLEBTCON11)			
0x32E0	ブランキング制御レジスタ 2 (PWMLEBCON2)			予約
0x32E4	ブランキングスタート遅延制御レジスタ 20 (PWMLEBSDCON20)		ブランキングスタート遅延制御レジスタ 21 (PWMLEBSDCON21)	
0x32E8	ブランキングスタート遅延制御レジスタ 22 (PWMLEBSDCON22)		ブランキングスタート遅延制御レジスタ 23 (PWMLEBSDCON23)	
0x32EC	ブランキング時間制御レジスタ 20(PWMLEBTCON20)			
0x32F0	ブランキング時間制御レジスタ 21(PWMLEBTCON21)			

表 4-8 A/D コンバータトリガ生成のレジスター覧

アドレス	+0	+1	+2	+3
0x32F4	A/DC トリガ制御レジスタ(PWMADTCON)			
0x32F8	A/DC トリガ ステータスレジスタ (PWMADTST)	予約	予約	
0x32FC	A/DC トリガ遅延制御レジスタ 0 (PWMADTDCON0)		A/DC トリガ遅延制御レジスタ 1 (PWMADTDCON1)	
0x3300	A/DC トリガ遅延制御レジスタ 2 (PWMADTDCON2)		A/DC トリガ遅延制御レジスタ 3 (PWMADTDCON3)	

4.1. マスタクロック関連のレジスタ

マスタクロック関連のレジスタについて説明します。

マスタクロック関連には、タイマ同時起動レジスタ，タイマ同時起動許可レジスタ，コンペアクリアバッファレジスタ，コンペアクリアレジスタ，タイマデータレジスタ，タイマ状態制御レジスタ，タイマリセット制御レジスタ，SYNC 比較レジスタ，特殊イベント制御レジスタ，特殊イベントステータスレジスタ，特殊イベント比較レジスタおよびマスタデューティ設定レジスタがあります。

4.1.1. タイマ同時起動レジスタ: PWMTCGS

タイマ同時起動レジスタのビット構成について示します。

タイマ同時起動レジスタ(PWMTCGS)は、タイマの同時タイマ許可および同時タイマクリアを制御するために使用します。同時タイマ許可および同時タイマクリアするタイマはタイマ同時起動許可レジスタ(PWMTCGSE)で指定します。

■ PWMTCGS: アドレス 3100H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						GSTOP	GSCLR
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W	R0,W

[bit7 ～ bit2] (予約)

[bit1] GSTOP : 同時タイマ許可ビット

GSTOP	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウントを同時許可する (カウントを開始する)
1		カウントを同時禁止する (カウントを停止する)

・本ビットは、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのカウントを同時停止/同時開始するために使用します。

・本ビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのカウントを開始します。また、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのタイマ状態制御レジスタ(PWMTCCS)の STOP ビットを"0"にします。

・本ビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのカウントを停止します。また、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのタイマ状態制御レジスタ(PWMTCCS)の STOP ビットを"1"にします。

・読出し値は、必ず"0"です。

[bit0] GSCLR：同時タイマクリアビット

GSCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0000_H"に同時初期化

・本ビットは、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマを"0000_H"に初期化するために使用します。
・本ビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマを初期化します。また、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのタイマ状態制御レジスタ(PWMTCCS)の SCLR ビットを"1"にします。

・本ビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマの初期化指示を解除します。また、タイマ同時起動許可レジスタ(PWMTCGSE)で指定したタイマのタイマ状態制御レジスタ(PWMTCCS)の SCLR ビットを"0"にします。

・読出し値は、必ず"0"です。

4.1.2. タイマ同時起動許可レジスタ: PWMTCGSE

タイマ同時起動許可レジスタのビット構成について示します。

タイマ同時起動許可レジスタ(PWMTCGSE)は、同時起動/クリアを許可するタイマを設定します。

■ PWMTCGSE: アドレス 31C3H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						FRT1	FRT0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit7 ～ bit2] (予約)

[bit1, bit0] FRT1, FRT0 : 同時起動/クリア設定ビット

FRT1, FRT0	機能
0	同時起動/クリアしない
1	同時起動/クリアする

・同時起動/クリアを許可するタイマを設定します。
・本ビットに"0"を設定した場合:
　タイマ同時起動レジスタ(PWMTCGS)の設定時に、タイマが起動またはクリアされません。

・本ビットに"1"を設定した場合:
　タイマ同時起動レジスタ(PWMTCGS)の設定時に、タイマが起動またはクリアされます。

・FRT0 はマスタクロック 0 のタイマ、FRT1 はマスタクロック 1 のタイマに対応します。

4.1.3. コンペアクリアバッファレジスタ: PWMCPCLRB0, 1/コンペアクリアレジスタ: PWMCPCLR0, 1

コンペアクリアバッファレジスタ/コンペアクリアレジスタのビット構成について示します。

コンペアクリアバッファレジスタ(PWMCPCLRB)は、コンペアクリアレジスタ(PWMCPCLR)に存在する 16 ビットバッファレジスタです。
PWMCPCLRB レジスタと PWMCPCLR レジスタは、両方とも同じアドレスに存在します。

■ PWMCPCLRB0, 1: アドレス 31C4H, 31CCH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値バッファビット

CL15～CL00	機能
	コンペアクリア値バッファ

- コンペアクリアバッファレジスタは、コンペアクリアレジスタ(PWMCPCLR)と同じアドレスに存在するバッファレジスタです。
- バッファ機能が無効になるか(タイマ状態制御レジスタ(PWMTCCS)の BFE:bit23=0)またはタイマが停止した場合、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。
- バッファ機能が有効になった場合、タイマのカウント値"0"が検出されたときに値がコンペアクリアレジスタへ転送されます。

＜注意事項＞

コンペアクリアバッファレジスタに、"0000_H"は設定禁止です。
このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令によるアクセスは行わないでください。

■ PWMCPCLR0, 1 : アドレス 31C4H, 31CCH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値ビット

CL15～CL00	機能
	コンペアクリア値

・コンペアクリアレジスタは、タイマのカウント値と比較するために使用します。
・アップカウントモード時は、このレジスタがタイマのカウント値と一致した場合、タイマは"0000_H"にリセットされます。
・アップダウンカウントモード時は、このレジスタがタイマのカウント値と一致した場合、タイマはアップカウントからダウンカウントに変わるかまたは、"0"検出時にダウンカウントからアップカウントに変わります。

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令によるアクセスは行わないでください。

4.1.4. タイマデータレジスタ: PWMTCDT0 ～ PWMTCDT1

タイマデータレジスタのビット構成について示します。

タイマデータレジスタ(PWMTCDT)は、タイマのカウント値を読み出すために使用します。また、タイマのカウント値を設定できます。

■ PWMTCDT0: アドレス 31C6H (アクセス: ハーフワード, ワード)

■ PWMTCDT1: アドレス 31CEH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	T15	T14	T13	T12	T11	T10	T09	T08
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	T07	T06	T05	T04	T03	T02	T01	T00
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15 ～ bit0] T15 ～ T00 : カウント値ビット

T15～T00	機能
	カウント値

- タイマデータレジスタは、タイマのカウント値を読み出すために使用します。
- カウント値は、リセットが発生した場合、直ちに"0000_H"にクリアされます。
- タイマ値は、本レジスタへ値を書き込むことによって設定できます。ただし、値の書込みはタイマの停止中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=1)の状態でなければなりません。次の PWM 分周クロックの前にレジスタへ値を再書込みした場合、再書込みした値は無視されます。
- タイマは、以下の要因が発生した場合、直ちに初期化されます。
  - リセット
  - タイマ動作中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=0)のタイマ状態制御レジスタ(PWMTCCS)のクリアビット(SCLR:bit20)=1
  - アップカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=0)時におけるコンペアクリアレジスタとタイマカウント値の一致
  - SYNCIN 許可(タイマリセット制御レジスタ(PWMTRC)の SYNCEN1:bit26=1, SYNCEN0:bit24=1)時、SYNCIN 端子から立上りエッジが入力

＜注意事項＞

タイマ停止中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=1)の、タイマ状態制御レジスタ(PWMTCCS)のクリアビット(SCLR:bit20)=1 としても、タイマは初期化されません。
タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
アップダウンカウントモード中(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)にカウント値を書き込むと、意図しないカウントを行うことがあります。
アップダウンカウントモード中(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)にカウント値を書き込む場合、次の手順で書き込んでください。

1. タイマのカウントを停止する。(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit21 への "1" 書込み)
2. タイマデータレジスタにカウント値を設定する。
3. ソフトウェアクリアを行う。(タイマ状態制御レジスタ(PWMTCCS)の SCLR:bit20 への"1" 書込み)
4. タイマのカウントを開始する。

4.1.5. タイマ状態制御レジスタ: PWMTCCS0 ～ PWMTCCS1

タイマ状態制御レジスタのビット構成について示します。

タイマ状態制御レジスタ(PWMTCCS)は、タイマの動作を制御するために使用するレジスタです。

■ **PWMTCCS0: アドレス 31C8H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R(RM1), W	R/W	R,W	R,W	R,W	R(RM1), W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	BFE	STOP	MODE	SCLR	予約	PRS2	PRS1	PRS0
初期値	0	1	0	0	0	0	0	0
属性	R/W	R,W	R/W	R0,W	R0,W0	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				MODE2	MSI5	MSI4	MSI3
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

■ PWMTCCS1: アドレス 31D0H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R(RM1), W	R/W	R,W	R,W	R,W	R(RM1), W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	BFE	STOP	MODE	SCLR	予約			
初期値	0	1	0	0	0	0	0	0
属性	R/W	R,W	R/W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				MODE2	MSI5	MSI4	MSI3
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit31] (予約)

必ず"0"を書き込んでください。

[bit30] IRQZF :0 検出割込みフラグビット

IRQZF	機能	
	読出し時	書込み時
0	0 検出なし	本ビットをクリアする
1	0 検出あり	本ビットに影響を与えない

・タイマのカウント値が"0000_H"のとき、本ビットには"1"がセットされます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。タイマ動作中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=0)の、ソフトウェアクリア(タイマ状態制御レジスタ(PWMTCCS)の SCLR:bit20 への"1"書込み)の場合、本ビットは設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)時は、割込みマスク選択ビット(タイマ状態制御レジスタ(PWMTCCS)の MSI2 ～ MSI0:bit28 ～ bit26 が"000_B"以外)に設定した割込みが発生したときに本ビットに"1"が設定されます。割込みが発生しないときは、本ビットに"1"は設定されません。
アップカウントモード(MODE:bit21=0)時には、MSI2 ～MSI0:bit28 ～ bit26 の値とは無関係に、本ビットは 0 検出が発生するたびに設定されます。
ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit29] IRQZE : 0 検出割込み要求許可ビット

IRQZE	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットと割込みフラグビット(IRQZF:bit30)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit28 ～ bit26] MSI2 ～ MSI0 : 割込みマスク選択ビット

MSI2	MSI1	MSI0	機能
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

・タイマ状態制御レジスタ(PWMTCCS)の MODE2:bit11=0 のとき
  ・本ビットは、アップカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=0)時には、コンペアクリア割込みのマスク回数を設定するために使用します。アップダウンカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)時は、0 検出割込みのマスク回数を設定するために使用します。
  ・本ビットに"0"を設定した場合、割込み要因はマスクされません。
・タイマ状態制御レジスタ(PWMTCCS)の MODE2:bit11=1 のとき
  ・本ビットはアップダウンカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)時は、0 検出割込みのマスク回数を設定するために使用します。
  ・アップカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=0)の設定は禁止します。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。タイマ動作中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=0)の、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。タイマ停止中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=1) の、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit25] ICLR : コンペアクリア割込みフラグビット

ICLR	機能	
	読出し時	書込み時
0	コンペアクリア一致なし	本ビットをクリアする
1	コンペアクリア一致あり	本ビットに影響を与えない

・コンペアクリア値とタイマ値が一致した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 ： 本ビットはクリアされます。
・本ビットに"1"を設定した場合 ： 本ビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
アップカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bi21=0)時は、割込みマスク選択ビットで設定した割込みが発生したときに本ビットに"1"が設定されます。
割込みが発生しない時は、本ビットに"1"は設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)時は、MSI2 ～ MSI0 ビットの値とは無関係に、本ビットはコンペアクリアが発生するたびに設定されます。
ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit24] ICRE : コンペアクリア割込み要求許可ビット

ICRE	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットとコンペアクリア割込みフラグビット(ICLR:bit25)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit23] BFE : コンペアクリアバッファ許可ビット

BFE	機能
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

・本ビットはコンペアクリアバッファレジスタ(PWMCPCLRB)を有効にするために使用します。
・本ビットに"0"を設定した場合:
コンペアクリアバッファレジスタ(PWMCPCLRB)は無効になります。したがって、コンペアクリアレジスタ(PWMCPCLR)に直接書き込むことが可能です。

・本ビットに"1"を設定した場合:
コンペアクリアバッファレジスタ(PWMCPCLRB)は有効になります。コンペアクリアバッファレジスタ(PWMCPCLRB)に書き込まれて保持されていたデータは、タイマからのカウント値"0"が検出されると、コンペアクリアレジスタへ転送されます。

[bit22] STOP : タイマ許可ビット

STOP	機能
0	カウントを許可する(カウント開始する)
1	カウントを禁止する(カウント停止する)

・本ビットは、タイマのカウントを停止/ 開始するために使用します。
・本ビットに"0"を設定した場合:
タイマのカウントを開始します。

・本ビットに"1"を設定した場合:
タイマのカウントを停止します。

・タイマ停止中(本ビット=1)に、タイマ状態制御レジスタ(PWMTCCS)の SCLR:bit20=1 としても、タイマは初期化されません。
・本ビットは、タイマ同時起動許可レジスタ(PWMTCGSE)の FRT ビット=1 時に、タイマ同時起動レジスタ(PWMTCGS)の GSTOP ビットに指定した値が反映されます。

[bit21] MODE : タイマカウントモードビット

MODE	機能
0	アップカウントモード
1	アップダウンカウントモード

・本ビットは、タイマのカウントモードを選択するために使用します。
・本ビットに"0"を設定した場合:
アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致して"0000_H"にリセットされるまでカウントアップし、その後、再びカウントアップします。

・本ビットに"1" を設定した場合:
アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致するまでカウントアップしてその後、ダウンカウントに変わります。その後、カウント値が"0000_H"に達した場合、再びアップカウントに変わります。

・本ビットは、タイマが停止中に書込みが可能です。

[bit20] SCLR : タイマクリアビット

SCLR	機能	
	読出し時	書込み時
0	常に″0″を読み出す	カウンタを初期化しない
1		カウンタを″0000_H″に初期化

・本ビットは、タイマを"0000_H"に初期化するために使用します。
・タイマの初期化:
タイマ動作中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=0) に、本ビットに"1"を設定した場合、タイマは、設定した次のカウントクロックで"0000_H"に初期化されます。タイマ停止中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=1) に、本ビットに"1"を設定した場合、タイマは初期化されません。

・読出し値は、必ず"0"です。
・本ビットは、タイマ同時起動許可レジスタ(TCGSE)の FRT ビット=1 時に、タイマ同時起動レジスタ(PWMTCGS)の GSCLR ビットに指定した値が反映されます。

＜注意事項＞

本ビットに"1"を書き込むことによるカウンタ初期化の場合、0 検出割込みおよびマスタクロックは生成されません。
"1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。

[bit19] (予約)
必ず"0"を書き込んでください。

[bit18 ～ bit16] PRS2 ～ PRS0 : クロック周波数選択ビット

PRS2	PRS1	PRS0	機能					
			カウントクロック	φ=200MHz	φ=100MHz	φ=50MHz	φ=25MHz	φ=12.5MHz
0	0	0	φ	5ns	10ns	20ns	40ns	80ns
0	0	1	φ/2	10ns	20ns	40ns	80ns	160ns
0	1	0	φ/4	20ns	40ns	80ns	160ns	320ns
0	1	1	φ/8	40ns	80ns	160ns	320ns	640ns
1	0	0	φ/16	80ns	160ns	320ns	640ns	1.28µs
1	0	1	φ/32	160ns	320ns	640ns	1.28µs	2.56µs
1	1	0	φ/64	320ns	640ns	1.28µs	2.56µs	5.12µs
1	1	1	φ/128	640ns	1.28µs	2.56µs	5.12µs	10.24µs

・本ビットは、タイマのカウントクロック周波数を選択するために使用します。
・本ビットは、PWMTCCS0 レジスタのみにあります。PWMTCCS1 レジスタは予約ビットです。PWMTCCS1 レジスタの bit18 ～ bit16 には、必ず"0"を書き込んでください。

＜注意事項＞

PRS2 ～ PRS0 ビットを設定する場合、PWM モジュールが停止していることを確認してください。

[bit15 ～ bit12] (予約)

[bit11] MODE2 : 割込みマスクモードビット 2

MODE2	MODE	機能
0	0	MSI5～MSI3 の設定値は無効
0	1	MSI5～MSI3 の設定値は無効
1	0	設定禁止(動作は保証されません)
1	1	MSI5～MSI3 の設定値が有効

- 本ビットは、タイマがアップダウンカウントモード時(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1), 0 検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用します。
- タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21="1"のとき、本ビットに"1"を設定した場合、本レジスタの MSI5 ～ MSI3:bit10 ～ bit8 に設定した値が有効となり、コンペアクリア割込みを設定した回数マスクします。0 検出割込みのマスク回数は、タイマ状態制御レジスタ (PWMTCCS) の MSI2 ～ MSI0:bit28 ～ bit26 に設定した値が有効となります。

＜注意事項＞

タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21="0"のとき、本ビットに"1"を設定した場合、動作は保証されません。

[bit10 ～ bit8] MSI5 ～ MSI3 : コンペアクリア割込みマスク選択ビット

MSI5	MSI4	MSI3	機能
0	0	0	1 回目の一致が発生したときに割込み発生
0	0	1	2 回目の一致が発生したときに割込み発生
0	1	0	3 回目の一致が発生したときに割込み発生
0	1	1	4 回目の一致が発生したときに割込み発生
1	0	0	5 回目の一致が発生したときに割込み発生
1	0	1	6 回目の一致が発生したときに割込み発生
1	1	0	7 回目の一致が発生したときに割込み発生
1	1	1	8 回目の一致が発生したときに割込み発生

- 本ビットは、本レジスタの MODE2:bit11=1 かつタイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1 のときのみ有効で、コンペアクリア割込みのマスク回数を設定するために使います。0 検出割込みのマスク回数はタイマ状態制御レジスタ(PWMTCCS)の MSI2～ MSI0: bit28 ～ bit26 に設定します。
- 本ビットに"000_B"を設定した場合、コンペアクリア割込み要因はマスクされません。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。タイマ動作中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=0)時は、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。タイマ停止中(タイマ状態制御レジスタ(PWMTCCS)の STOP:bit22=1)時は、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit7 ～ bit0] (予約)

4.1.6. タイマリセット制御レジスタ: PWMTRC

タイマリセット制御レジスタのビット構成について示します。

タイマリセット制御レジスタ(PWMTRC)は、タイマリセット動作を制御するために使用するレジスタです。

■ PWMTRC: アドレス 31D4H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	LPF2	LPF1	LPF0	予約	SYNCEN1	予約	SYNCEN0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W0	R/W	R/W0	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W0	R/W0	R/W0	R0,WX	R/W0	R/W0	R/W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					SYNOS2	SYNOS1	SYNOS0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit31] (予約)

[bit30 ～ bit28] LPF2 ～ LPF0 : LPF 選択ビット

LPF2	LPF1	LPF0	機能
0	0	0	フィルタリングなし
0	0	1	2 サイクル未満の入力をフィルタリング
0	1	0	4 サイクル未満の入力をフィルタリング
0	1	1	8 サイクル未満の入力をフィルタリング
1	0	0	16 サイクル未満の入力をフィルタリング
1	0	1	32 サイクル未満の入力をフィルタリング
1	1	0	64 サイクル未満の入力をフィルタリング
1	1	1	128 サイクル未満の入力をフィルタリング

・本ビットは、SYNCIN 端子からの入力信号に対してデジタル LPF を設定します。
・LPF 除去幅のサイクル数は、PWM 分周クロックのサイクル数です。

＜注意事項＞

LPF2 ～ LPF0 ビットを設定する場合、必ずタイマが停止していることを確認してください。

LPF2 ～ LPF0=3'b000 以外を設定した場合、設定した除去幅のサイクル数だけ SYNCIN 入力が遅延します。

[bit27] (予約)

必ず"0"を書き込んでください。

[bit26] SYNCEN1: SYNCIN 同期許可ビット 1

SYNCEN1	機能
0	SYNCIN 同期を禁止する
1	SYNCIN 同期を許可する

・本ビットは、SYNCIN 端子によるマスタクロック 1 側タイマの同期を許可するために使用します。
・本ビットに"0"を設定した場合、SYNCIN 端子にマスタクロック 1 側タイマは同期しません。
・本ビットに"1"を設定した場合、SYNCIN 端子の立上りでマスタクロック 1 側タイマを"0000_H"に初期化します。

[bit25] (予約)

必ず"0"を書き込んでください。

[bit24] SYNCEN0: SYNCIN 同期許可ビット 0

SYNCEN0	機能
0	SYNCIN 同期を禁止する
1	SYNCIN 同期を許可する

・本ビットは、SYNCIN 端子によるマスタクロック 0 側タイマの同期を許可するために使用します。
・本ビットに"0"を設定した場合、SYNCIN 端子にマスタクロック 0 側タイマは同期しません。
・本ビットに"1"を設定した場合、SYNCIN 端子の立上りでマスタクロック 0 側タイマを"0000_H"に初期化します。

[bit23] (予約)

[bit22 ～ bit20] (予約)

必ず"0"を書き込んでください。

[bit19] (予約)

[bit18 ～ bit16] (予約)

必ず"0"を書き込んでください。

[bit15 ～ bit11] (予約)

[bit10 ～ bit8] SYNOS2 ～ SYNOS0 : SYNCOUT 出力選択ビット

SYNOS2	SYNOS1	SYNOS0	機能
0	0	0	SYNCOUT を出力しない("L"出力)
0	0	1	
0	1	0	
0	1	1	
1	0	0	マスタクロック 0 側の 0 検出を出力
1	0	1	マスタクロック 0 側のコンペア一致検出を出力
1	1	0	マスタクロック 1 側の 0 検出を出力
1	1	1	マスタクロック 1 側のコンペア一致検出を出力

・本ビットは、SYNCOUT 端子への出力信号を選択するために使用します。

＜注意事項＞

SYNOS2 ～ SYNOS0 ビットを設定する場合、必ずタイマが停止していることを確認してください。

[bit7 ～ bit0] (予約)

4.1.7. SYNC 比較レジスタ: PWMSYNCP0 ～ PWMSYNCP1

SYNC 比較レジスタのビット構成について示します。

SYNC 比較レジスタ(PWMSYNCP)は、SYNCOUT 出力の立上りエッジの位置を制御するために使用するレジスタです。

■ PWMSYNCP0: アドレス 31D8H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	S0CP15	S0CP14	S0CP13	S0CP12	S0CP11	S0CP10	S0CP09	S0CP08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	S0CP07	S0CP06	S0CP05	S0CP04	S0CP03	S0CP02	S0CP01	S0CP00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] S0CP15 ～ S0CP00 : 比較値ビット

S0CP15～S0CP00	機能
	SYNCOUT 出力のタイマ比較値を設定する

- 本ビットは、タイマリセット制御レジスタ(PWMTRC)の SYNOS2~SYNOS0:bit10~8="101" のときに、マスタクロック 0 側タイマと比較する値を設定して SYNCOUT 端子へ出力する信号の立上り位置を決めるために使用します。
- マスタクロック 0 側タイマと比較して生成されたパルスは、マスタデューティ設定レジスタ 0(PWMMCD0B)で設定された値のパルス幅に引き延ばされて SYNCOUT 端子から出力されます。
- 設定値はマスタクロックの周期よりも小さい値を設定してください。

■ PWMSYNCP1: アドレス 31DAH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	S1CP15	S1CP14	S1CP13	S1CP12	S1CP11	S1CP10	S1CP09	S1CP08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	S1CP07	S1CP06	S1CP05	S1CP04	S1CP03	S1CP02	S1CP01	S1CP00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] S1CP15 ～ S1CP00 : 比較値ビット

S1CP15～S1CP00	機能
	SYNCOUT 出力のタイマ比較値を設定する

- 本ビットは、タイマリセット制御レジスタ(PWMTRC) の SYNOS2~SYNOS0:bit10~8="111" のときに、マスタクロック 1 側タイマと比較する値を設定して SYNCOUT 端子への出力する信号の立上り位置を決めるために使用します。
- マスタクロック 1 側タイマと比較して生成されたパルスは、マスタデューティ設定レジスタ 1(PWMMCD1B)で設定された値のパルス幅に引き延ばされて SYNCOUT 端子から出力されます。
- 設定値はマスタクロックの周期よりも小さい値を設定してください。

＜注意事項＞

SYNC 比較レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.1.8. 特殊イベント制御レジスタ: PWMSEVCON

特殊イベント制御レジスタのビット構成について示します。

特殊イベント制御レジスタ(PWMSEVCON)は、特殊イベントトリガおよび特殊イベント割込み要求を制御するために使用するレジスタです。

■ PWMSEVCON: アドレス 31DCH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約			ISEVPS03	ISEVPS02	ISEVPS01	ISEVPS00	ISEVE0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			ISEVPS13	ISEVPS12	ISEVPS11	ISEVPS10	ISEVE1
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit13] (予約)

[bit12 ～ bit9] ISEVPS03 ～ ISEVPS00 : 割込み頻度選択ビット 0

ISEVPS03	ISEVPS02	ISEVPS01	ISEVPS00	機能
0	0	0	0	1 回目の一致が発生したときに割込み発生
0	0	0	1	2 回目の一致が発生したときに割込み発生
0	0	1	0	3 回目の一致が発生したときに割込み発生
:				:
1	1	0	1	14 回目の一致が発生したときに割込み発生
1	1	1	0	15 回目の一致が発生したときに割込み発生
1	1	1	1	16 回目の一致が発生したときに割込み発生

・本ビットは、特殊イベントトリガ 0 および特殊イベント割込み 0 の割込み頻度を設定するために使います。
・本ビットに"0000_B"を設定した場合、特殊イベントトリガおよび特殊イベント割込み要因はマスクされません。

＜注意事項＞

タイマ動作中(タイマ状態制御レジスタ(PWMTCCS0)の STOP:bit22=0)時は、割込み頻度設定ビットへの書込み値は、頻度カウンタが"0"になったときのみ、カウンタへリロードされます。タイマ停止中(タイマ状態制御レジスタ(PWMTCCS0)の STOP:bit22=1)時は、割込み頻度設定ビットへの書込み値は、直ちにカウンタへリロードされます。

[bit8] ISEVE0 : 割込み要求許可ビット 0

ISEVE0	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、特殊イベント割込み 0 の割込み要求を許可するために使用します。
・本ビットと特殊イベントステータスレジスタ(PWMSEVST)の割込みフラグビット 0(ISEVF0:bit0)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit7 ～ bit5] (予約)

[bit4 ～ bit1] ISEVPS13 ～ ISEVPS10 : 割込み頻度選択ビット 1

ISEVPS13	ISEVPS12	ISEVPS11	ISEVPS10	機能
0	0	0	0	1 回目の一致が発生したときに割込み発生
0	0	0	1	2 回目の一致が発生したときに割込み発生
0	0	1	0	3 回目の一致が発生したときに割込み発生
:	:	:	:	:
1	1	0	1	14 回目の一致が発生したときに割込み発生
1	1	1	0	15 回目の一致が発生したときに割込み発生
1	1	1	1	16 回目の一致が発生したときに割込み発生

・本ビットは、特殊イベントトリガ 1 および特殊イベント割込み 1 の割込み頻度を設定するために使います。
・本ビットに"0000_B"を設定した場合、特殊イベントトリガおよび特殊イベント割込み要因はマスクされません。

＜注意事項＞

タイマ動作中(タイマ状態制御レジスタ(PWMTCCS1)の STOP:bit22=0)は、割込み頻度設定ビットへの書込み値は、頻度カウンタが"0"になったときのみ、カウンタへリロードされます。タイマ停止中(タイマ状態制御レジスタ(PWMTCCS1)の STOP:bit22=1)は、割込み頻度設定ビットへの書込み値は、直ちにカウンタへリロードされます。

[bit0] ISEVE1 : 割込み要求許可ビット 1

ISEVE1	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、特殊イベント割込み 1 の割込み要求を許可するために使用します。
・本ビットと特殊イベントステータスレジスタ(PWMSEVST)の割込みフラグビット 1(ISEVF1:bit1)に"1"が設定されると、CPU に対する割込み要求が生成されます。

4.1.9. 特殊イベントステータスレジスタ: PWMSEVST

特殊イベントステータスレジスタのビット構成について示します。

特殊イベントステータスレジスタ(PWMSEVST)は、特殊イベント割込み要求を制御するために使用するレジスタです。

■ PWMSEVST: アドレス 31E0H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ISEVF1	ISEVF0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1)/W	R(RM1)/W

[bit7 ～ bit2] (予約)

[bit1] ISEVF1 : 特殊イベント割込みフラグビット 1

ISEVF1	機能	
	読出し時	書込み時
0	比較一致なし	本ビットをクリアする
1	比較一致あり	本ビットに影響を与えない

・特殊イベント比較レジスタ 1 の値とタイマ値が一致した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit0] ISEVF0 : 特殊イベント割込みフラグビット 0

ISEVF0	機能	
	読出し時	書込み時
0	比較一致なし	本ビットをクリアする
1	比較一致あり	本ビットに影響を与えない

・特殊イベント比較レジスタ 0 の値とタイマ値が一致した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。

ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

4.1.10. 特殊イベント比較レジスタ: PWMSEVCP0 ～ PWMSEVCP1

特殊イベント比較レジスタのビット構成について示します。

特殊イベント比較レジスタ(PWMSEVCP)は、特殊イベントトリガおよび特殊イベント割込み要求を制御するために使用するレジスタです。

■ PWMSEVCP0: アドレス 31E4H (アクセス: ハーフワード, ワード)

■ PWMSEVCP1: アドレス 31E6H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SECP15	SECP14	SECP13	SECP12	SECP11	SECP10	SECP09	SECP08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SECP07	SECP06	SECP05	SECP04	SECP03	SECP02	SECP01	SECP00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] SECP15 ～ SECP00 : 比較値ビット

SECP15～SECP00	機能
	特殊イベントトリガの比較値を設定する

- 本ビットは、タイマのカウンタ値と比較するために使用します。
- タイマのカウンタ値と一致した場合、特殊イベントトリガ発生および特殊イベント割込みフラグに"1"をセットします。
- 特殊イベントトリガの発生および特殊イベント割込みフラグのセットは、特殊イベント制御レジスタ(PWMSEVCON)の割込み頻度選択ビット(ISEVPS03～ISEVPS00:bit12～9, ISEVPS13～ISEVPS10:bit4～1)によって発生頻度を設定できます。
- 設定値はマスタクロックの周期よりも小さい値を設定してください。
- 特殊イベントトリガおよび特殊イベント割込みを発生させる場合、マスタクロック周期は(3×PWM 分周クロックの周期＋3×周辺クロック(PCLK)の周期)以上に設定してください。(特殊イベントトリガ発生の間隔が(3×PWM 分周クロックの周期＋3×周辺クロック(PCLK)の周期)以上になるように設定してください。)

＜注意事項＞

特殊イベント比較レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.1.11. マスタデューティ設定レジスタ: PWMMCD0B ～ PWMMCD1B

マスタデューティ設定レジスタのビット構成について示します。

マスタデューティ設定レジスタ(PWMMCDB)は、マスタクロックのデューティを制御するために使用するレジスタです。

■ **PWMMCD0B: アドレス 31E8H (アクセス: ハーフワード, ワード)**

■ **PWMMCD1B: アドレス 31EAH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] D15 ～ D00 : **マスタデューティ値ビット**

D15～D00	**機能**
	マスタデューティ値を設定する

・本ビットは、マスタクロックのデューティを設定するために使用します。
・PWMMCD0B がマスタクロック 0 用、PWMMCD1B がマスタクロック 1 用の設定レジスタになります。
・設定値はマスタクロックの周期よりも小さい値を設定してください。マスタクロックの周期以上の値が設定された場合は、SYNCOUT 端子から常に"H"が出力されます。
・設定値が”0000_H”の場合には、SYNCOUT 端子から常に"L"が出力されます。

＜注意事項＞

マスタデューティ設定レジスタを設定する場合、必ずタイマが停止していることを確認してください。

マスタデューティ設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

マスタデューティ設定レジスタの設定値は、下記のタイミングでタイマに反映されます。

・マスタクロック 0 ：0 検出 0 でタイマに反映されます。
・マスタクロック 1 ：0 検出 1 でタイマに反映されます。
・SYNCOUT 端子 ：タイマリセット制御レジスタ(PWMTRC)の SYNCOUT 出力選択ビット(SYNCOS2～SYNCOS0:bit10～8)で選択された信号の出力タイミングでタイマに反映されます。

4.2. PWM 共通ステータスのレジスタ

PWM 共通ステータスのレジスタについて説明します。

PWM 共通ステータスには、PWM 共通ステータスレジスタおよびフォルトステータスレジスタがあります。

4.2.1. PWM 共通ステータスレジスタ: PWMST0 ～ PWMST2

PWM 共通ステータスレジスタのビット構成について示します。

PWM 共通ステータスレジスタ(PWMST)は、フォルト割込み要求，ソフトオーバライト割込み要求およびキャプチャ割込み要求の制御をするために使用するレジスタです。

■ **PWMST0: アドレス 31ECH (アクセス: バイト，ハーフワード，ワード)**

■ **PWMST1: アドレス 31EDH (アクセス: バイト，ハーフワード，ワード)**

■ **PWMST2: アドレス 31EEH (アクセス: バイト，ハーフワード，ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				CAPIF	SOWIF	IFLTF1	IFLTF0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W

[bit7 ～ bit4] (予約)

[bit3] CAPIF : キャプチャ割込みフラグビット

CAPIF	機能	
	読出し時	書込み時
0	しきい値超過なし	本ビットをクリアする
1	しきい値超過あり	本ビットに影響を与えない

・フォルトキャプチャデータレジスタ(PWMFLTCAPD)のハイサイド側キャプチャデータビット(HCAP15 ~ HCAP00:bit31 ~ 16)とロウサイド側キャプチャデータビット(LCAP15 ~ LCAP00:bit15 ~ 0)の差分がキャプチャ割込みしきい値設定レジスタ(PWMCAPITH)の設定値を超えた場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit2] SOWIF : SOW 割込みフラグビット

SOWIF	機能	
	読出し時	書込み時
0	更新なし	本ビットをクリアする
1	更新あり	本ビットに影響を与えない

・ソフトオーバライト制御レジスタ(PWMSOWCON)の OSL バッファ許可ビットが有効(OSLBFE:bit27="1")のとき、ソフトオーバライト制御レジスタ(PWMSOWCON)のオーバライト選択ビット1(OSL11～OSL 10:bit31 ~ 30)とオーバライト選択ビット0(OSL01～OSL 00:bit29 ~ 28)の更新タイミングで、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit1] IFLTF1 : フォルト割込みフラグビット 1

IFLTF1	機能	
	読出し時	書込み時
0	フォルト動作(優先)なし	本ビットをクリアする
1	フォルト動作(優先)あり	本ビットに影響を与えない

・フォルト動作(優先)の発生時に、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit0] IFLTF0 : フォルト割込みフラグビット 0

IFLTF0	機能	
	読出し時	書込み時
0	フォルト動作なし	本ビットをクリアする
1	フォルト動作あり	本ビットに影響を与えない

・フォルト動作の発生時に、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”またはbit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力がマスクされます。このため、本ビットには”1”が設定されません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。

ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

4.2.2. フォルトステータスレジスタ: PWMFLTST

フォルトステータスレジスタのビット構成について示します。

フォルトステータスレジスタ(PWMFLTST)は、フォルト動作状態を読み出すために使用するレジスタです。

■ PWMFLTST: アドレス 31EFH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		FLTST5	FLTST4	FLTST3	FLTST2	FLTST1	FLTST0
初期値	0	0	X	X	X	X	X	X
属性	R0,WX	R0,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7, bit6] (予約)

[bit5] FLTST5 : フォルト動作状態ビット 5

FLTST5	機能
0	フォルト動作なし
1	フォルト動作中

- 本ビットは、PWM 制御 2 のフォルト動作(優先)の動作状態を示します。
- フォルト動作中とは、フォルト制御レジスタ 21(PWMFLTCON21)の FPWMH フォルト動作(優先)選択ビット(FLT1H1～FLT1H0:bit11～10)および FPWML フォルト動作(優先)選択ビット(FLT1L1～FLT1L0:bit9～8)の設定値により PWM 出力している状態です。
- 本ビットのリセット後の値は、リセット後の端子状態によります。

[bit4] FLTST4 : フォルト動作状態ビット 4

FLTST4	機能
0	フォルト動作なし
1	フォルト動作中

- 本ビットは、PWM 制御 2 のフォルト動作の動作状態を示します。
- フォルト動作中とは、フォルト制御レジスタ 20(PWMFLTCON20)の FPWMH フォルト動作選択ビット(FLT0H1～FLT0H0:bit11～10)および FPWML フォルト動作選択ビット(FLT0L1～FLT0L0:bit9～8)の設定値により PWM 出力している状態です。
- 本ビットのリセット後の値は、リセット後の端子状態によります。

[bit3] FLTST3 : フォルト動作状態ビット 3

FLTST3	機能
0	フォルト動作なし
1	フォルト動作中

- 本ビットは、PWM 制御 1 のフォルト動作(優先)の動作状態を示します。
- フォルト動作中とは、フォルト制御レジスタ 11(PWMFLTCON11)の FPWMH フォルト動作(優先)選択ビット(FLT1H1～FLT1H0:bit11～10)および FPWML フォルト動作(優先)選択ビット(FLT1L1～FLT1L0:bit9～8)の設定値により PWM 出力している状態です。
- 本ビットのリセット後の値は、リセット後の端子状態によります。

[bit2] FLTST2 : フォルト動作状態ビット 2

FLTST2	機能
0	フォルト動作なし
1	フォルト動作中

・本ビットは、PWM 制御 1 のフォルト動作の動作状態を示します。
・フォルト動作中とは、フォルト制御レジスタ 10(PWMFLTCON10)の FPWMH フォルト動作選択ビット(FLT0H1～FLT0H0:bit11～10)および FPWML フォルト動作選択ビット(FLT0L1～FLT0L0:bit9～8)の設定値により PWM 出力している状態です。
・本ビットのリセット後の値は、リセット後の端子状態によります。

[bit1] FLTST1 : フォルト動作状態ビット 1

FLTST1	機能
0	フォルト動作なし
1	フォルト動作中

・本ビットは、PWM 制御 0 のフォルト動作(優先)の動作状態を示します。
・フォルト動作中とは、フォルト制御レジスタ 01(PWMFLTCON01)の FPWMH フォルト動作(優先)選択ビット(FLT1H1～FLT1H0:bit11～10)および FPWML フォルト動作(優先)選択ビット(FLT1L1～FLT1L0:bit9～8)の設定値により PWM 出力している状態です。
・本ビットのリセット後の値は、リセット後の端子状態によります。

[bit0] FLTST0 : フォルト動作状態ビット 0

FLTST0	機能
0	フォルト動作なし
1	フォルト動作中

・本ビットは、PWM 制御 0 のフォルト動作の動作状態を示します。
・フォルト動作中とは、フォルト制御レジスタ 00(PWMFLTCON00)の FPWMH フォルト動作選択ビット(FLT0H1～FLT0H0:bit11～10)および FPWML フォルト動作選択ビット(FLT0L1～FLT0L0:bit9～8)の設定値により PWM 出力している状態です。
・本ビットのリセット後の値は、リセット後の端子状態によります。

4.3. PWM 生成関連のレジスタ

PWM 生成関連のレジスタについて説明します。

PWM 生成関連には、共通デューティ設定レジスタ, PWM 同時起動レジスタ, PWM 制御レジスタ, PWM 周期設定レジスタ, PWM 位相設定レジスタ, PWM デューティ設定レジスタおよび PWM タイマレジスタがあります。

4.3.1. 共通デューティ設定レジスタ: PWMCMD

共通デューティ設定レジスタのビット構成について示します。

共通デューティ設定レジスタ(PWMCMD)は、PWM 共通のデューティを制御するために使用するレジスタです。

■ PWMCMD: アドレス 31F0H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MCD15	MCD14	MCD13	MCD12	MCD11	MCD10	MCD09	MCD08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MCD07	MCD06	MCD05	MCD04	MCD03	MCD02	MCD01	MCD00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] MCD15 ～ MCD00 : デューティ値ビット

MCD15～MCD00	機能
	共通デューティ値を設定する

- 本ビットは、PWM 制御レジスタ(PWMPCN)の PWM デューティ選択ビットが共通デューティ選択(CDSL:bit14="0")のときに、PWM デューティを設定するために使用します。
- 共通デューティ設定レジスタには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

＜注意事項＞

共通デューティ設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

共通デューティ設定レジスタのタイマへの反映は、PWM 制御レジスタ(PWMPCN)のデューティバッファ許可ビット(CDFE:bit15)の説明を参照してください。

4.3.2. PWM 同時起動レジスタ: PWMPCGS

PWM 同時起動レジスタのビット構成について示します。

PWM 同時起動レジスタ(PWMPCGS)は、PWM タイマを同時に起動制御するために使用します。

■ PWMPCGS: アドレス 31F2H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					CNTE2	CNTE1	CNTE0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit7 ～ bit3] (予約)

[bit2] CNTE 2: タイマ 2 動作許可ビット

CNTE2	説明
0	タイマ 2 動作を停止
1	タイマ 2 動作を許可

・本ビットは、タイマ 2 の動作を許可するために使用します。
・"0"に設定した場合:タイマ 2 の動作を停止します。
・"1"に設定した場合:タイマ 2 の動作を許可します。

[bit1] CNTE 1: タイマ 1 動作許可ビット

CNTE1	説明
0	タイマ 1 動作を停止
1	タイマ 1 動作を許可

・本ビットは、タイマ 1 の動作を許可するために使用します。
・"0"に設定した場合:タイマ 1 の動作を停止します。
・"1"に設定した場合:タイマ 1 の動作を許可します。

[bit0] CNTE 0: タイマ 0 動作許可ビット

CNTE0	説明
0	タイマ 0 動作を停止
1	タイマ 0 動作を許可

・本ビットは、タイマ 0 の動作を許可するために使用します。
・"0"に設定した場合:タイマ 0 の動作を停止します。
・"1"に設定した場合:タイマ 0 の動作を許可します。

4.3.3. PWM 制御レジスタ: PWMPCN01 ～ PWMPCN45

PWM 制御レジスタのビット構成について示します。

PWM 制御レジスタ(PWMPCN)は、PWM の動作を制御するために使用します。

■ **PWMPCN01: アドレス 31F4H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMPCN23: アドレス 3208H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMPCN45: アドレス 321CH (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CDFE	CDSL	CCFE	MCPS	MCSSL	PWMOD	MCSEN	OWFS
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						OSEL1	OSEL0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit15] CDFE : デューティバッファ許可ビット

CDFE	機能
0	デューティバッファを無効にする
1	デューティバッファを有効にする

・本ビットは、デューティバッファを有効にするために使用します。
・本ビットに"0"を設定した場合:
デューティバッファは無効になります。共通デューティ設定レジスタ(PWMCMD, CDSL:bit14="0"のとき)または PWM デューティ設定レジスタ(PWMCDB, CDSL:bit14="1"のとき)に書き込まれたデータは、直ちにデューティバッファへ転送されます。

・本ビットに"1"を設定した場合:
デューティバッファは有効になります。共通デューティ設定レジスタ(PWMCMD, CDSL:bit14="0"のとき)または PWM デューティ設定レジスタ(PWMCDB, CDSL:bit14="1"のとき)に書き込まれたデータは、PWM 出力波形選択ビットにより下記のタイミングでデューティバッファに転送されます。

・ Normal Wave Form(OWFS:bit8="0")のとき、タイマからのカウント値と周期値との一致が検出されると、デューティバッファへ転送されます。
・ Center Aligned Wave Form (OWFS:bit8="1")のとき、タイマからのカウント値"0"が検出されると、デューティバッファへ転送されます。

[bit14] CDSL : PWM デューティ選択ビット

CDSL	機能
0	共通デューティ値を選択する
1	PWM デューティ値を選択する

・本ビットは、PWM デューティとして共通デューティ設定レジスタ(PWMCMD)または PWM デューティ設定レジスタ(PWMCDB)を選択するために使用します。

[bit13] CCFE : 周期バッファ許可ビット

CCFE	機能
0	周期バッファを無効にする
1	周期バッファを有効にする

・本ビットは、周期バッファを有効にするために使用します。
・本ビットに"0"を設定した場合:
周期バッファは無効になります。コンペアクリアバッファレジスタ(PWMCPCLRB, MCPS:bit12="0"のとき)または PWM 周期設定レジスタ(PWMCCB, MCPS:bit12="1"のとき)に書き込まれたデータは、直ちに周期バッファへ転送されます。

・本ビットに"1"を設定した場合:
周期バッファは有効になります。コンペアクリアバッファレジスタ(PWMCPCLRB, MCPS:bit12="0"のとき)または PWM 周期設定レジスタ(PWMCCB, MCPS:bit12="1"のとき)に書き込まれたデータは、PWM 出力波形選択ビットにより下記のタイミングで周期バッファに転送されます。

・ Normal Wave Form(OWFS:bit8="0")のとき、タイマからのカウント値と周期値との一致が検出されると、周期バッファへ転送されます。
・ Center Aligned Wave Form (OWFS:bit8="1")のとき、タイマからのカウント値"0"が検出されると、周期バッファへ転送されます。

[bit12] MCPS : 周期モード選択ビット

MCPS	機能
0	マスタクロック周期モード
1	独立周期モード

・本ビットは、PWM の周期モードを設定するために使用します。
・本ビットに"0"を設定した場合:
マスタクロック周期モードになります。したがって、MCSSL:bit11="0"のときはコンペアクリアバッファレジスタ 0 (PWMCPCLRB0)の設定値、MCSSL:bit11="1"のときはコンペアクリアバッファレジスタ 1 (PWMCPCLRB1)の設定値が PWM 周期になります。

・本ビットに"1"を設定した場合:
独立周期モードになります。したがって、PWM 周期設定レジスタ(PWMCCB)の設定値が PWM 周期になります。

[bit11] MCSSL : マスタクロック選択ビット

MCSSL	機能
0	マスタクロック 0 を選択する
1	マスタクロック 1 を選択する

・本ビットは、マスタクロック周期モード(MCPS:bit12="0")およびマスタクロック同期(MCSEN:bit9="1")時のマスタクロックを選択するために使用します。

[bit10] PWMOD : PWM モードビット

PWMOD	機能
0	相補出力モード
1	独立出力モード

・本ビットは、PWM モードを設定するために使用します。
・本ビットに"0"を設定した場合:
相補出力モードになります。タイマは PWMPTMRx のみ動作します。PWM のハイサイド側には PWMPTMRx で生成した PWM 波形がそのまま出力されますが、PWM のロウサイド側には反転した PWM 波形が出力されます。(x=0, 2, 4)

・本ビットに"1"を設定した場合:
独立出力モードになります。タイマは PWMPTMRx, PWMPTMRy の両方とも動作します。PWM のハイサイド側には PWMPTMRx で生成した PWM 波形がそのまま出力され、PWM のロウサイド側には PWMPTMRy で生成した PWM 波形がそのまま出力されます。(x=0, 2, 4　　y=1, 3, 5)

[bit9] MCSEN : マスタクロック同期許可ビット

MCSEN	機能
0	マスタクロック同期を禁止する
1	マスタクロック同期を許可する

・本ビットは、マスタクロック同期を許可するために使用します。
・本ビットに"0"を設定した場合:
タイマはマスタクロックに同期しません。

・本ビットに"1"を設定した場合:
タイマはマスタクロックに同期します。マスタクロックの立上りでタイマは PWM 位相設定レジスタ(PWMCPB)の設定値に位相シフトします。

[bit8] OWFS : PWM 出力波形選択ビット

OWFS	機能
0	Normal Wave Form を出力
1	Center Aligned Wave Form を出力

・本ビットは、PWM 出力波形を選択するために使用します。
・"0"に設定した場合 : Normal Wave Form を出力します。
・"1"に設定した場合 : Center Aligned Wave Form を出力します。

[bit7 ～ bit2] (予約)

[bit1] OSEL1 : PWM 出力極性選択ビット 1

OSEL1	説明
0	通常極性
1	反転極性

・本ビットは、PWM 出力極性を選択するために使用します。
・"0"に設定した場合 : GPWMLn 信号は通常極性になります。(n=0, 1, 2)
・"1"に設定した場合 : GPWMLn 信号は反転極性になります。(n=0, 1, 2)

[bit0] OSEL0 : PWM 出力極性選択ビット 0

OSEL0	説明
0	通常極性
1	反転極性

・本ビットは、PWM 出力極性を選択するために使用します。
・"0"に設定した場合 : GPWMHn 信号は通常極性になります。(n=0, 1, 2)
・"1"に設定した場合 : GPWMHn 信号は反転極性になります。(n=0, 1, 2)

＜注意事項＞

PWM 制御レジスタを設定する場合、必ずタイマが停止していることを確認してください。

4.3.4. PWM 周期設定レジスタ: PWMCC0B ～ PWMCC5B

PWM 周期設定レジスタのビット構成について示します。

PWM 周期設定レジスタ(PWMCCB)は、PWM 出力波形の周期を設定します。

■ **PWMCC0B: アドレス 31F8H (アクセス: ハーフワード, ワード)**

■ **PWMCC1B: アドレス 3200H (アクセス: ハーフワード, ワード)**

■ **PWMCC2B: アドレス 320CH (アクセス: ハーフワード, ワード)**

■ **PWMCC3B: アドレス 3214H (アクセス: ハーフワード, ワード)**

■ **PWMCC4B: アドレス 3220H (アクセス: ハーフワード, ワード)**

■ **PWMCC5B: アドレス 3228H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] D15 ～ D00 : PWM 周期設定ビット

D15～D00	機能
	PWM 出力波形の周期

・PWM 周期設定レジスタにはバッファが付随しています。
・周期バッファが有効(PWM 制御レジスタ(PWMPCN)の CCFE : bit13="1")のとき、PWM 周期設定レジスタからバッファへの転送は、タイマ値と PWM 周期設定レジスタ(PWMCCB)の設定値が一致したときに転送されます。周期バッファが無効(PWM 制御レジスタ(PWMPCN)の CCFE : bit13="0")のとき、PWM 周期設定レジスタからバッファへの転送は、レジスタへの書込み後直ちに転送されます。
・PWM 周期設定レジスタに書き込んだ場合は、必ず PWM デューティ設定レジスタ(PWMCDB)または共通デューティ設定レジスタ(PWMCMD)も設定してから動作許可(PWM 同時起動レジスタ(PWMPCGS)の CNTEn="1")してください。(n=0, 1, 2)

＜注意事項＞

PWM 出力波形選択ビット(PWMPCN.OWFS)="0" (Normal Wave Form)が選択されている場合は、PWM の周期設定値の周期で波形を出力します。

PWM 出力波形選択ビット(PWMPCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、PWM の周期設定値の 2 倍の周期で波形を出力します。

PWM 周期設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.3.5. PWM 位相設定レジスタ: PWMCP0B ～ PWMCP5B

PWM 位相設定レジスタのビット構成について示します。

PWM 位相設定レジスタ(PWMCPB)は、PWM 出力波形の位相を設定します。

■ **PWMCP0B: アドレス 31FAH (アクセス: ハーフワード, ワード)**

■ **PWMCP1B: アドレス 3202H (アクセス: ハーフワード, ワード)**

■ **PWMCP2B: アドレス 320EH (アクセス: ハーフワード, ワード)**

■ **PWMCP3B: アドレス 3216H (アクセス: ハーフワード, ワード)**

■ **PWMCP4B: アドレス 3222H (アクセス: ハーフワード, ワード)**

■ **PWMCP5B: アドレス 322AH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] D15 ～ D00 : PWM 位相設定ビット

D15～D00	機能
	PWM 出力波形の位相

- PWM 位相設定レジスタにはバッファが付随しています。
- マスタクロック同期(PWM 制御レジスタ(PWMPCN)の MCSEN : bit9="1")のとき、PWM 位相設定レジスタからバッファへの転送は、タイマ値と PWM 周期設定レジスタ(PWMCCB)の設定値が一致したときに転送され、PWM のタイマ値が"位相設定バッファの値－1"と一致したときにタイマにロードします。マスタクロック非同期(PWM 制御レジスタ(PWMPCN)の MCSEN : bit9="0")のとき、PWM 位相設定レジスタからバッファへの転送は、レジスタへの書込み後直ちに転送され、マスタクロックの立上りで PWM のタイマにロードします。
- PWM 位相設定レジスタには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
- 位相はマスタクロック同期(PWM 制御レジスタ(PWMPCN)の MCSEN:bit9="1")の場合、マスタクロックの立上りを基点に位相シフトします。マスタクロック非同期(PWM 制御レジスタ(PWMPCN)の MCSEN:bit9="0")の場合、PWM 同時起動レジスタ(PWMPCGS)のタイマ動作許可ビットのアサートのタイミングを基点に位相シフトします。

＜注意事項＞

PWM 出力波形選択ビット(PWMPCN.OWFS)= "0" (Normal Wave Form)が選択されている場合は、PWM の位相設定値の位相で波形を出力します。

PWM出力波形選択ビット(PWMPCN.OWFS)= "1" (Center Aligned Wave Form)が選択されている場合は、PWM の位相設定値の 2 倍の位相で波形を出力します。

PWM位相設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.3.6. PWM デューティ設定レジスタ: PWMCD0B ～ PWMCD5B

PWM デューティ設定レジスタのビット構成について示します。

PWM デューティ設定レジスタ(PWMCDB)は、PWM 出力波形のデューティを設定します。

■ **PWMCD0B: アドレス 31FCH (アクセス: ハーフワード, ワード)**

■ **PWMCD1B: アドレス 3204H (アクセス: ハーフワード, ワード)**

■ **PWMCD2B: アドレス 3210H (アクセス: ハーフワード, ワード)**

■ **PWMCD3B: アドレス 3218H (アクセス: ハーフワード, ワード)**

■ **PWMCD4B: アドレス 3224H (アクセス: ハーフワード, ワード)**

■ **PWMCD5B: アドレス 322CH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] D15 ～ D00 : PWM デューティ設定ビット

D15～D00	機能
	PWM 出力波形のデューティ

- PWM デューティ設定レジスタにはバッファが付随しています。
- デューティバッファが有効(PWM 制御レジスタ(PWMPCN)の CDFE : bit15="1")のとき、PWM デューティ設定レジスタからバッファへの転送は、タイマ値と PWM 周期設定レジスタ(PWMCCB)の設定値が一致したときに転送されます。デューティバッファが無効(PWM 制御レジスタ(PWMPCN)の CDFE : bit15="0")のとき、PWM デューティ設定レジスタからバッファへの転送は、レジスタへの書込み後直ちに転送されます。
- PWM デューティ設定レジスタには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

＜注意事項＞

PWM 出力波形選択ビット(PWMPCN.OWFS)= "0" (Normal Wave Form)が選択されている場合は、PWM のデューティ設定値のデューティで波形を出力します。

PWM出力波形選択ビット(PWMPCN.OWFS)= "1" (Center Aligned Wave Form)が選択されている場合は、PWM のデューティ設定値の 2 倍のデューティで波形を出力します。

PWMデューティ設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.3.7. PWM タイマレジスタ: PWMPTMR0 ～ PWM PTMR5

PWM タイマレジスタのビット構成について示します。

PWM タイマレジスタ(PWMPTMR)は、PWM タイマのカウント値が読み出されます。

■ **PWMPTMR0: アドレス 31FEH (アクセス: ハーフワード, ワード)**

■ **PWMPTMR1: アドレス 3206H (アクセス: ハーフワード, ワード)**

■ **PWMPTMR2: アドレス 3212H (アクセス: ハーフワード, ワード)**

■ **PWMPTMR3: アドレス 321AH (アクセス: ハーフワード, ワード)**

■ **PWMPTMR4: アドレス 3226H (アクセス: ハーフワード, ワード)**

■ **PWMPTMR5: アドレス 322EH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15 ～ bit0] D15 ～ D00 : PWM タイマ値ビット

D15～D00	機能
	タイマのカウント値

・PWM タイマのカウント値を読み出すことができます。
・リードオンリレジスタです。

＜注意事項＞

PWMタイマレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.4. フォルト機能関連のレジスタ

フォルト機能関連のレジスタについて説明します。

フォルト機能関連には、フォルト制御レジスタ，フォルトリセット制御レジスタ，フォルトキャプチャ制御レジスタ，フォルトソフトリセットレジスタ，キャプチャ割込みしきい設定レジスタ，フォルトリセット遅延制御レジスタ，フォルトキャプチャカウンタリセット遅延制御レジスタおよびフォルトキャプチャデータレジスタがあります。

4.4.1. フォルト制御レジスタ: PWMFLTCON00 ～ PWMFLTCON21

フォルト制御レジスタのビット構成について示します。

フォルト制御レジスタ(PWMFLTCON)は、フォルト動作を制御するために使用します。

■ **PWMFLTCON00: アドレス 3230H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTCON10: アドレス 3250H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTCON20: アドレス 3270H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CFHSL3	CFHSL2	CFHSL1	CFHSL0	FLT0H1	FLT0H0	FLT0L1	FLT0L0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IFLTE0	LAT0	BLS01	BLS00	予約	FLS01	FLS00
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R0,WX	R/W	R/W

[bit15 ～ bit12] CFHSL3 ～ CFHSL0 : キャプチャカウンタリセット要因選択ビット

CFHSL3	CFHSL2	CFHSL1	CFHSL0	機能
0	0	0	0	要因選択なし(カウントリセットなし)
:				
0	1	1	1	
1	0	0	0	PWM0H の立上り
1	0	0	1	PWM0L の立上り
1	0	1	0	PWM1H の立上り
1	0	1	1	PWM1L の立上り
1	1	0	0	PWM2H の立上り
1	1	0	1	PWM2L の立上り
1	1	1	0	マスタクロック 0 の立上り
1	1	1	1	マスタクロック 1 の立上り

・本ビットは、フォルトキャプチャカウンタのリセット要因を設定するために使います。

[bit11, bit10] FLT0H1, FLT0H0 : FPWMH フォルト動作選択ビット

FLT0H1	FLT0H0	機能
0	0	変化なし(スルー)
0	1	反転
1	0	"L"出力固定
1	1	"H"出力固定

- 本ビットは、フォルト発生したときのハイサイド側 PWM(FPWMH)の出力切換え動作を設定するために使用します。
- ハイサイド側およびロウサイド側のPWMがともに"H"出力にならないように設定してください。
- 本ビットに”01”を設定した場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力はマスクされます。
- 再反転防止機能は、PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)のときのみ有効になります。
- 再反転防止機能は、フォルトラッチを使用しない場合にも有効になります。本ビットに”01”を設定した場合、フォルトラッチのリセットを必ず発生してください。

[bit9, bit8] FLT0L1, FLT0L0 : FPWML フォルト動作選択ビット

FLT0L1	FLT0L0	機能
0	0	変化なし(スルー)
0	1	反転
1	0	"L"出力固定
1	1	"H"出力固定

- 本ビットは、フォルト発生したときのロウサイド側 PWM(FPWML)の出力切換え動作を設定するために使用します。
- ハイサイド側およびロウサイド側のPWMがともに"H"出力にならないように設定してください。
- 本ビットに”01”を設定した場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力はマスクされます。
- 再反転防止機能は、PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)のときのみ有効になります。
- 再反転防止機能は、フォルトラッチを使用しない場合にも有効になります。本ビットに”01”を設定した場合、フォルトラッチのリセットを必ず発生してください。

[bit7] (予約)

[bit6] IFLTE0 : 割込み要求許可ビット 0

IFLTE0	機能
0	割込み要求を禁止する
1	割込み要求を許可する

- 本ビットは、フォルト割込み 0 の割込み要求を許可するために使用します。
- 本ビットと PWM 共通ステータスレジスタ(PWMST)の割込みフラグビット 0(IFLTF0:bit0)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit5] LAT0 : フォルトラッチビット 0

LAT0	機能
0	フォルトラッチを使用しない
1	フォルトラッチを使用する

・本ビットは、フォルトラッチの使用を許可するために使用します。
・本ビットに"0"を設定した場合:
フォルト選択ビット(FLS01 ~ FLS00 : bit1~0)により選択されたフォルト入力をラッチしません。
したがって、フォルト動作はフォルト入力がネゲートされると終了します。

・本ビットに"1"を設定した場合:
フォルト選択ビット(FLS01 ~ FLS00 : bit1~0)により選択されたフォルト入力をラッチします。
したがって、フォルト動作はフォルトラッチがリセットされるまで継続します。

＜注意事項＞

本ビットに"1"を設定する場合は、設定前にフォルトソフトリセットレジスタ(PWMFLTSR)でフォルトラッチ 0 をリセットしてください。

[bit4, bit3] BLS01, BLS00 : ブランキング選択ビット 0

BLS01	BLS00	機能
0	0	ブランキング 0(LEB0)を選択する
0	1	ブランキング 1(LEB1)を選択する
1	0	ブランキング 2(LEB2)を選択する
1	1	ブランキングしない

・本ビットは、フォルト選択ビット(FLS01 ~ FLS00 : bit1~0)により選択されたフォルト入力に対してマスクする期間を選択するために使用します。

[bit2] (予約)

[bit1, bit0] FLS01, FLS00 : フォルト選択ビット 0

FLS01	FLS00	機能
0	0	フォルト動作しない
0	1	CMP0 入力
1	0	CMP1 入力
1	1	CMP2 入力

・本ビットは、フォルト動作のフォルト入力を設定するために使用します。

＜注意事項＞

フォルト制御レジスタの割込み要求許可ビット 0(IFLTE0:bit6)以外を設定する場合、必ずマスタクロックのタイマおよび PWM のタイマが停止していることを確認してください。

■ PWMFLTCON01: アドレス 3232H (アクセス: バイト, ハーフワード, ワード)

■ PWMFLTCON11: アドレス 3252H (アクセス: バイト, ハーフワード, ワード)

■ PWMFLTCON21: アドレス 3272H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CFLSL3	CFLSL2	CFLSL1	CFLSL0	FLT1H1	FLT1H0	FLT1L1	FLT1L0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IFLTE1	LAT1	BLS11	BLS10	予約	FLS11	FLS10
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R0,WX	R/W	R/W

[bit15 ～ bit12] CFLSL3 ～ CFLSL0 : キャプチャカウンタリセット要因選択ビット

CFLSL3	CFLSL2	CFLSL1	CFLSL0	機能
0	0	0	0	要因選択なし(カウントリセットなし)
:				
0	1	1	1	
1	0	0	0	PWM0H の立下り
1	0	0	1	PWM0L の立下り
1	0	1	0	PWM1H の立下り
1	0	1	1	PWM1L の立下り
1	1	0	0	PWM2H の立下り
1	1	0	1	PWM2L の立下り
1	1	1	0	マスタクロック 0 の立下り
1	1	1	1	マスタクロック 1 の立下り

・本ビットは、フォルトキャプチャカウンタのリセット要因を設定するために使います。

[bit11, bit10] FLT1H1, FLT1H0 : FPWMH フォルト動作(優先)選択ビット

FLT1H1	FLT1H0	機能
0	0	変化なし(スルー)
0	1	
1	0	"L"出力固定
1	1	"H"出力固定

- 本ビットは、フォルトが発生したときのハイサイド側 PWM(FPWMH)の出力切換え動作を設定するために使用します。
- このフォルト動作(優先)は、(PWMFLTCON0x：x=0~2)の FPWMH フォルト動作選択ビット(FLT0H1~FLT0H0:bit11~10)により設定されたフォルト動作よりも優先度が高い動作になります。
- ハイサイド側およびロウサイド側の PWM がともに"H"出力にならないように設定してください。

[bit9, bit8] FLT1L1, FLT1L0 : FPWML フォルト動作(優先)選択ビット

FLT1L1	FLT1L0	機能
0	0	変化なし(スルー)
0	1	
1	0	"L"出力固定
1	1	"H"出力固定

- 本ビットは、フォルトが発生したときのロウサイド側 PWM(FPWML)の出力切換え動作を設定するために使用します。
- このフォルト動作(優先)は、(PWMFLTCON0x：x=0~2)の FPWML フォルト動作選択ビット(FLT0L1~FLT0L0：bit9~8)により設定されたフォルト動作よりも優先度が高い動作になります。
- ハイサイド側およびロウサイド側の PWM がともに"H"出力にならないように設定してください。

[bit7] (予約)

[bit6] IFLTE1： 割込み要求許可ビット 1

IFLTE1	機能
0	割込み要求を禁止する
1	割込み要求を許可する

- 本ビットは、フォルト割込み 1 の割込み要求を許可するために使用します。
- 本ビットと PWM 共通ステータスレジスタ(PWMST)の割込みフラグビット 1(IFLTF1:bit1)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit5] LAT1 : フォルトラッチビット 1

LAT1	機能
0	フォルトラッチを使用しない
1	フォルトラッチを使用する

・本ビットは、フォルトラッチの使用を許可するために使用します。
・本ビットに"0"を設定した場合:
フォルト選択ビット(FLS11 ~ FLS10 : bit1~0)により選択されたフォルト入力をラッチしません。
したがって、フォルト動作(優先)はフォルト入力がネゲートされると終了します。

・本ビットに"1"を設定した場合:
フォルト選択ビット(FLS11 ~ FLS10 : bit1~0)により選択されたフォルト入力をラッチします。
したがって、フォルト動作(優先)はフォルトラッチがリセットされるまで継続します。

＜注意事項＞

本ビットに"1"を設定する場合は、設定前にフォルトソフトリセットレジスタ(PWMFLTSR)でフォルトラッチ 1 をリセットしてください。

[bit4, bit3] BLS11, BLS10 : ブランキング選択ビット 1

BLS11	BLS10	機能
0	0	ブランキング 0(LEB0)を選択する
0	1	ブランキング 1(LEB1)を選択する
1	0	ブランキング 2(LEB2)を選択する
1	1	ブランキングしない

・本ビットは、フォルト選択ビット(FLS11 ~ FLS10 : bit1~0)により選択されたフォルト入力に対してマスクする期間を選択するために使用します。

[bit2] (予約)

[bit1, bit0] FLS11, FLS10 : フォルト選択ビット 1

FLS11	FLS10	機能
0	0	フォルト動作しない
0	1	CMP0 入力
1	0	CMP1 入力
1	1	CMP2 入力

・本ビットは、フォルト動作(優先)のフォルト入力を設定するために使用します。

＜注意事項＞

フォルト制御レジスタの割込み要求許可ビット 1(IFLTE1:bit6)以外を設定する場合、必ずマスタクロックのタイマおよび PWM のタイマが停止していることを確認してください。

4.4.2. フォルトリセット制御レジスタ: PWMFLTRCON0 ～ PWMFLTRCON2

フォルトリセット制御レジスタのビット構成について示します。

フォルトリセット制御レジスタ(PWMFLTRCON)は、フォルトラッチのリセットを制御するために使用します。

■ **PWMFLTRCON0: アドレス 3234H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTRCON1: アドレス 3254H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTRCON2: アドレス 3274H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	FHSL02	FHSL01	FHSL00	予約	FLSL02	FLSL01	FLSL00
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FHSL12	FHSL11	FHSL10	予約	FLSL12	FLSL11	FLSL10
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

[bit15] (予約)

[bit14 ～ bit12] FHSL02 ～ FHSL00 : フォルトリセット要因選択ビット

FHSL02	FHSL01	FHSL00	機能
0	0	0	PWM ch0 立上り (GPWMH0)
0	0	1	PWM ch1 立上り (GPWML0)
0	1	0	PWM ch2 立上り (GPWMH1)
0	1	1	PWM ch3 立上り (GPWML1)
1	0	0	PWM ch4 立上り (GPWMH2)
1	0	1	PWM ch5 立上り (GPWML2)
1	1	0	マスタクロック 0 の立上り
1	1	1	マスタクロック 1 の立上り

・本ビットは、フォルト動作側フォルトラッチのリセット要因を設定するために使用します。

[bit11] (予約)

[bit10 ～ bit8] FLSL02 ～ FLSL00 : フォルトリセット要因選択ビット

FLSL02	FLSL01	FLSL00	機能
0	0	0	PWM ch0 立下り (GPWMH0)
0	0	1	PWM ch1 立下り (GPWML0)
0	1	0	PWM ch2 立下り (GPWMH1)
0	1	1	PWM ch3 立下り (GPWML1)
1	0	0	PWM ch4 立下り (GPWMH2)
1	0	1	PWM ch5 立下り (GPWML2)
1	1	0	マスタクロック 0 の立下り
1	1	1	マスタクロック 1 の立下り

・本ビットは、フォルト動作側フォルトラッチのリセット要因を設定するために使用します。

[bit7] (予約)

[bit6 ～ bit4] FHSL12 ～ FHSL10 : フォルトリセット(優先)要因選択ビット

FHSL12	FHSL11	FHSL10	機能
0	0	0	PWM ch0 立上り (GPWMH0)
0	0	1	PWM ch1 立上り (GPWML0)
0	1	0	PWM ch2 立上り (GPWMH1)
0	1	1	PWM ch3 立上り (GPWML1)
1	0	0	PWM ch4 立上り (GPWMH2)
1	0	1	PWM ch5 立上り (GPWML2)
1	1	0	マスタクロック 0 の立上り
1	1	1	マスタクロック 1 の立上り

・本ビットは、フォルト動作(優先)側フォルトラッチのリセット要因を設定するために使用します。

[bit3] (予約)

[bit2 ～ bit0] FLSL12 ～ FLSL10 : フォルトリセット(優先)要因選択ビット

FLSL12	FLSL11	FLSL10	機能
0	0	0	PWM ch0 立下り (GPWMH0)
0	0	1	PWM ch1 立下り (GPWML0)
0	1	0	PWM ch2 立下り (GPWMH1)
0	1	1	PWM ch3 立下り (GPWML1)
1	0	0	PWM ch4 立下り (GPWMH2)
1	0	1	PWM ch5 立下り (GPWML2)
1	1	0	マスタクロック 0 の立下り
1	1	1	マスタクロック 1 の立下り

・本ビットは、フォルト動作(優先)側フォルトラッチのリセット要因を設定するために使用します。

＜注意事項＞

フォルトリセット制御レジスタを設定する場合、必ずマスタクロックのタイマおよび PWM のタイマが停止していることを確認してください。

4.4.3. フォルトキャプチャ制御レジスタ: PWMFLTCAPCON0 ～ PWMFLTCAPCON2

フォルトキャプチャ制御レジスタのビット構成について示します。

フォルトキャプチャ制御レジスタ(PWMFLTCAPCON)は、フォルトラッチのリセットおよびフォルトキャプチャを制御するために使用します。

■ **PWMFLTCAPCON0: アドレス 3236H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTCAPCON1: アドレス 3256H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTCAPCON2: アドレス 3276H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約		LRST1L	LRST1H	予約		LRST0L	LRST0H
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	CEHSL2	CEHSL1	CEHSL0	CAPIE	CELSL2	CELSL1	CELSL0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15, bit14] (予約)

[bit13] LRST1L : 立下り基点フォルトリセット(優先)許可ビット

LRST1L	機能
0	立下り基点によるフォルトリセット(優先)を禁止する
1	立下り基点によるフォルトリセット(優先)を許可する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FLSL12~FLSL10:bit2~0)により選択されたフォルトリセット(優先)要因によってフォルトラッチのリセットを許可するために使用します。
・フォルトリセット(優先)によるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。

[bit12] LRST1H : 立上り基点フォルトリセット(優先)許可ビット

LRST1H	機能
0	立上り基点によるフォルトリセット(優先)を禁止する
1	立上り基点によるフォルトリセット(優先)を許可する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FHSL12~FHSL10:bit6~4)により選択されたフォルトリセット(優先)要因によってフォルトラッチのリセットを許可するために使用します。
・フォルトリセット(優先)によるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。

[bit11, bit10] (予約)

[bit9] LRST0L : 立下り基点フォルトリセット許可ビット

LRST0L	機能
0	立下り基点によるフォルトリセットを禁止する
1	立下り基点によるフォルトリセットを許可する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FLSL02~FLSL00:bit10~8)により選択されたフォルトリセット要因によってフォルトラッチのリセットを許可するために使用します。また、PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または、bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、再反転防止機能の解除に使用します。
・フォルトリセットによるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。

[bit8] LRST0H : 立上り基点フォルトリセット許可ビット

LRST0H	機能
0	立上り基点によるフォルトリセットを禁止する
1	立上り基点によるフォルトリセットを許可する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FHSL02~FHSL00:bit14~12)により選択されたフォルトリセット要因によってフォルトラッチのリセットを許可するために使用します。
・フォルトリセットによるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。また、PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、再反転防止機能の解除に使用します。

[bit7] (予約)

[bit6 ～ bit4] CEHSL2 ～ CEHSL0 : ハイサイド側 PWM キャプチャエッジ選択ビット

CEHSL2	CEHSL1	CEHSL0	機能
0	0	0	キャプチャしない
0	0	1	フォルト動作による PWM の立上り(FPWMH)
0	1	0	フォルト動作による PWM の立下り(FPWMH)
0	1	1	フォルト動作(優先)による PWM の立上り(FPWMH)
1	0	0	フォルト動作(優先)による PWM の立下り(FPWMH)
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ハイサイド側 PWM のフォルトキャプチャデータ(PWMFLTCAPD の HCAP15~HCAP00:bit31~16)へキャプチャカウンタ値をキャプチャするタイミングを設定するために使用します。

・フォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力がマスクされます。このため、CEHSL2～CEHSL0=”001”または”010”のときにはキャプチャをしません。

＜注意事項＞

CEHSL2～CEHSL0 により選択されたエッジは、選択されたフォルト動作またはフォルト動作(優先)が変化なし(フォルト制御レジスタ(PWMFLTCON)の FLT0H1～FLT0H0:bit11～10, FLT0L1～FLT0L0:bit9～8="00"または FLT1H1:bit11, FLT1L1:bit9="0")の設定の場合はエッジが発生しません。

[bit3] CAPIE : 割込み要求許可ビット

CAPIE	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、キャプチャ割込みの割込み要求を許可するために使用します。
・本ビットと PWM 共通ステータスレジスタ(PWMST)の割込みフラグビット(CAPIF:bit3)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit2 ～ bit0] CELSL2 ～ CELSL0 : ロウサイド側 PWM キャプチャエッジ選択ビット

CELSL2	CELSL1	CELSL0	機能
0	0	0	キャプチャしない
0	0	1	フォルト動作による PWM の立上り(FPWML)
0	1	0	フォルト動作による PWM の立下り(FPWML)
0	1	1	フォルト動作(優先)による PWM の立上り(FPWML)
1	0	0	フォルト動作(優先)による PWM の立下り(FPWML)
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ロウサイド側 PWM のフォルトキャプチャデータ(PWMFLTCAPD の LCAP15~LCAP00:bit15~0)へキャプチャカウンタ値をキャプチャするタイミングを設定するために使用します。
・フォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、再反転防止機能によりフォルト入力がマスクされます。このため、CELSL2～CELSL0=”001”または”010”のときにはキャプチャをしません。

＜注意事項＞

CELSL2～CELSL0 により選択されたエッジは、選択されたフォルト動作またはフォルト動作(優先)が変化なし(フォルト制御レジスタ(PWMFLTCON)の FLT0H1～FLT0H0:bit11～10, FLT0L1～FLT0L0:bit9～8="00"または FLT1H1:bit11, FLT1L1:bit9="0")の設定の場合はエッジが発生しません。

4.4.4. フォルトソフトリセットレジスタ: PWMFLTSR0 ～ PWMFLTSR2

フォルトソフトリセットレジスタのビット構成について示します。

フォルトソフトリセットレジスタ(PWMFLTSR)は、フォルトラッチのリセットを制御するために使用します。

■ **PWMFLTSR0: アドレス 3238H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTSR1: アドレス 3258H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMFLTSR2: アドレス 3278H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							FSRST1
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							FSRST0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W

[bit15 ～ bit9] (予約)

[bit8] FSRST1 : ソフトリセットビット 1

FSRST1	機能
0	動作に影響ありません
1	フォルトラッチをリセットする

・本ビットは、フォルトラッチ(優先)をリセットするために使用します。
・本ビットは、ライトオンリです。
・読出し値は"0"です。
・ソフトリセットによるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。

[bit7~bit1] (予約)

[bit0] FSRST0 : ソフトリセットビット 0

FSRST0	機能
0	動作に影響ありません
1	フォルトラッチをリセットする

・本ビットは、フォルトラッチをリセットするために使用します。
・本ビットは、ライトオンリです。
・読出し値は"0"です。
・ソフトリセットによるリセットとフォルトによるセットが同時に発生した場合は、セットが優先されます。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、再反転防止機能の解除に使用します。

＜注意事項＞

PWM を再起動する場合、ソフトリセット(FSRST0, FSTST1="1")でフォルトラッチをリセットしてから PWM を再起動してください。

ソフトリセット(FSRST0, FSTST1="1")を連続で書込んだ場合、最初のフォルトラッチのリセットが終わるまでに書込まれたソフトリセットは無視されます。

4.4.5. キャプチャ割込みしきい値設定レジスタ: PWMCAPITH0 ～ PWMCAPITH2

キャプチャ割込みしきい値設定レジスタのビット構成について示します。

キャプチャ割込みしきい値設定レジスタ(PWMCAPITH)は、キャプチャ割込みを制御するために使用します。

■ **PWMCAPITH0: アドレス 323CH (アクセス: ハーフワード, ワード)**

■ **PWMCAPITH1: アドレス 325CH (アクセス: ハーフワード, ワード)**

■ **PWMCAPITH2: アドレス 327CH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D09	D08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D07	D06	D05	D04	D03	D02	D01	D00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] D15 ～ D00 : しきい値ビット

D15~ D00	機能
	キャプチャ割込みしきい値を設定する

・本ビットは、キャプチャ割込みを制御するためのしきい値を設定するために使用します。
・フォルトキャプチャデータレジスタ(PWMFLTCAPD)のハイサイド側キャプチャデータビット(HCAP15~HCAP00:bit31~16)とロウサイド側キャプチャデータビット(LCAP15~LCAP00:bit15~0)の差分がキャプチャ割込みしきい値設定レジスタ(PWMCAPITH)の設定値を超えた場合、キャプチャ割込みフラグに"1"が設定されます。
・ハイサイド側キャプチャデータとロウサイド側キャプチャデータの差分は、フォルトキャプチャ制御レジスタ(PWMFLTCAPCON)のハイサイド側PWMキャプチャエッジ選択ビット(CEHSL2～CEHSL0:bit6～4)およびロウサイド側PWMキャプチャエッジ選択ビット(CELSL2～CELSL0:bit2～0)により選択されたタイミングで演算としきい値の比較をします。

＜注意事項＞

キャプチャ割込みしきい値設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.4.6. フォルトリセット遅延制御レジスタ: PWMFLTRDCON00 ～ PWMFLTRDCON21

フォルトリセット遅延制御レジスタのビット構成について示します。

フォルトリセット遅延制御レジスタ(PWMFLTRDCON)は、フォルトラッチのリセットを制御するために使用します。

■ **PWMFLTRDCON00: アドレス 3240H (アクセス: ハーフワード, ワード)**

■ **PWMFLTRDCON10: アドレス 3260H (アクセス: ハーフワード, ワード)**

■ **PWMFLTRDCON20: アドレス 3280H (アクセス: ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	FHDLY15	FHDLY14	FHDLY13	FHDLY12	FHDLY11	FHDLY10	FHDLY09	FHDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	FHDLY07	FHDLY06	FHDLY05	FHDLY04	FHDLY03	FHDLY02	FHDLY01	FHDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FLDLY15	FLDLY14	FLDLY13	FLDLY12	FLDLY11	FLDLY10	FLDLY09	FLDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FLDLY07	FLDLY06	FLDLY05	FLDLY04	FLDLY03	FLDLY02	FLDLY01	FLDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] FHDLY15 ～ FHDLY00 : フォルトリセット遅延ビット

FHDLY15~ FHDLY00	機能
	フォルトリセットの遅延量を設定する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FHSL02~FHSL00:bit14~12)により選択されたフォルトリセット要因の基点からフォルトラッチをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FHSL02~FHSL00:bit14~12)により選択されたフォルトリセット要因のタイミングでタイマに反映されます。

[bit15 ～ bit0] FLDLY15 ～ FLDLY00 : フォルトリセット遅延ビット

FLDLY15～FLDLY00	機能
	フォルトリセットの遅延量を設定する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FLSL02~FLSL00:bit10~8)により選択されたフォルトリセット要因の基点からフォルトラッチをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット要因選択ビット(FLSL02~FLSL00:bit10~8)により選択されたフォルトリセット要因のタイミングでタイマに反映されます。

＜注意事項＞

フォルトリセット遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

フォルトリセット遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

フォルトリセット要因選択(フォルトリセット制御レジスタ(PWMFLTRCON)の FLSL02～FLSL00)またはフォルトリセット(優先)要因選択(フォルトリセット制御レジスタ(PWMFLTRCON)の FLSL12～FLSL10)で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合の位相にあっています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0000_H"が PWM 出力の先頭になります。

■ PWMFLTRDCON01: アドレス 3244H (アクセス: ハーフワード, ワード)

■ PWMFLTRDCON11: アドレス 3264H (アクセス: ハーフワード, ワード)

■ PWMFLTRDCON21: アドレス 3284H (アクセス: ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	FHDLY15	FHDLY14	FHDLY13	FHDLY12	FHDLY11	FHDLY10	FHDLY09	FHDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	FHDLY07	FHDLY06	FHDLY05	FHDLY04	FHDLY03	FHDLY02	FHDLY01	FHDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FLDLY15	FLDLY14	FLDLY13	FLDLY12	FLDLY11	FLDLY10	FLDLY09	FLDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FLDLY07	FLDLY06	FLDLY05	FLDLY04	FLDLY03	FLDLY02	FLDLY01	FLDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] FHDLY15 ～ FHDLY00 : フォルトリセット(優先)遅延ビット

FHDLY15~ FHDLY00	機能
	フォルトリセットの遅延量を設定する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FHSL12~FHSL10:bit6~4)により選択されたフォルトリセット要因の基点からフォルトラッチをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FHSL12~FHSL10:bit6~4)により選択されたフォルトリセット要因のタイミングでタイマに反映されます。

[bit15 ～ bit0] FLDLY15 ～ FLDLY00 : フォルトリセット(優先)遅延ビット

FLDLY15～FLDLY00	機能
	フォルトリセットの遅延量を設定する

・本ビットは、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FLSL12~FLSL10:bit2~0)により選択されたフォルトリセット要因の基点からフォルトラッチをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のフォルトリセット(優先)要因選択ビット(FLSL12~FLSL10:bit2~0)により選択されたフォルトリセット要因のタイミングでタイマに反映されます。

＜注意事項＞

フォルトリセット遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

フォルトリセット遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

フォルトリセット(優先)要因選択(フォルトリセット制御レジスタ(PWMFLTRCON)の FLSL12～FLSL10)で選択できるマスタクロックはPWM出力の位相を"0000_H"に設定した場合の位相にあっています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0000_H"が PWM 出力の先頭になります。

4.4.7. フォルトキャプチャカウンタリセット遅延制御レジスタ: PWMFLTCAPRDCON0 ～ PWMFLTCAPRDCON2

フォルトキャプチャカウンタリセット遅延制御レジスタのビット構成について示します。

フォルトキャプチャカウンタリセット遅延制御レジスタ(PWMFLTCAPRDCON)は、フォルトキャプチャカウンタのリセットを制御するために使用します。

■ **PWMFLTCAPRDCON0: アドレス 3248H (アクセス: ハーフワード, ワード)**

■ **PWMFLTCAPRDCON1: アドレス 3268H (アクセス: ハーフワード, ワード)**

■ **PWMFLTCAPRDCON2: アドレス 3288H (アクセス: ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	FHDLY15	FHDLY14	FHDLY13	FHDLY12	FHDLY11	FHDLY10	FHDLY09	FHDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	FHDLY07	FHDLY06	FHDLY05	FHDLY04	FHDLY03	FHDLY02	FHDLY01	FHDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FLDLY15	FLDLY14	FLDLY13	FLDLY12	FLDLY11	FLDLY10	FLDLY09	FLDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FLDLY07	FLDLY06	FLDLY05	FLDLY04	FLDLY03	FLDLY02	FLDLY01	FLDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] FHDLY15 ～ FHDLY00 : カウンタリセット遅延ビット

FHDLY15~ FHDLY00	機能
	キャプチャカウンタのリセット遅延量を設定する

・本ビットは、フォルト制御レジスタ(PWMFLTCON)のキャプチャカウンタリセット要因選択ビット(CFHSL3~CFHSL0:bit15~12)により選択されたキャプチャカウンタのリセット要因の基点からキャプチャカウンタをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のキャプチャカウンタリセット要因選択ビット(CFHSL3~CFHSL0:bit15~12)により選択されたキャプチャカウンタのリセット要因のタイミングでタイマに反映されます。

[bit15 ～ bit0] FLDLY15 ～ FLDLY00 : カウンタリセット遅延ビット

FLDLY15~ FLDLY00	機能
	キャプチャカウンタのリセット遅延量を設定する

・本ビットは、フォルト制御レジスタ(PWMFLTCON)のキャプチャカウンタリセット要因選択ビット(CFLSL3~CFLSL0:bit15~12)により選択されたキャプチャカウンタのリセット要因の基点からキャプチャカウンタをリセットする遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、フォルトリセット制御レジスタ(PWMFLTRCON)のキャプチャカウンタリセット要因選択ビット(CFLSL3~CFLSL0:bit15~12)により選択されたキャプチャカウンタのリセット要因のタイミングでタイマに反映されます。

＜注意事項＞

フォルトキャプチャカウンタリセット遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

フォルトキャプチャカウンタリセット遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

キャプチャカウンタリセット要因選択(フォルト制御レジスタ(PWMFLTCON)の CFHSL3～0, CFLSL3～0)で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合、PWM 分周クロックで 1 サイクル前にずれています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0001_H"が PWM 出力の先頭になります。

4.4.8. フォルトキャプチャデータレジスタ: PWMFLTCAPD0 ～ PWMFLTCAPD2

フォルトキャプチャデータレジスタのビット構成について示します。

フォルトキャプチャデータレジスタ(PWMFLTCAPD)は、フォルト発生時のキャプチャカウンタのキャプチャデータが読み出されます。

■ **PWMFLTCAPD0: アドレス 324CH (アクセス: ハーフワード, ワード)**

■ **PWMFLTCAPD1: アドレス 326CH (アクセス: ハーフワード, ワード)**

■ **PWMFLTCAPD2: アドレス 328CH (アクセス: ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	HCAP15	HCAP14	HCAP13	HCAP12	HCAP11	HCAP10	HCAP09	HCAP08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	HCAP07	HCAP06	HCAP05	HCAP04	HCAP03	HCAP02	HCAP01	HCAP00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	LCAP15	LCAP14	LCAP13	LCAP12	LCAP11	LCAP10	LCAP09	LCAP08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LCAP07	LCAP06	LCAP05	LCAP04	LCAP03	LCAP02	LCAP01	LCAP00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit16] HCAP15 ～ HCAP00 : ハイサイド側キャプチャデータビット

HCAP15～HCAP00	機能
	キャプチャカウンタのキャプチャ値

・本ビットは、フォルトキャプチャ制御レジスタ(PWMFLTCAPCON)のハイサイド側PWMキャプチャエッジ選択ビット(CEHSL2~CEHSL0:bit6~4)によって選択されたタイミングでキャプチャされたキャプチャカウンタ値が読み出せます。
・キャプチャカウンタのリセットタイミグからハイサイド側のフォルト動作またはフォルト動作(優先)までの時間を計測できます。
・リードオンリレジスタです。

[bit15 ～ bit0] LCAP15 ～ LCAP00 : ロウサイド側キャプチャデータビット

LCAP15～LCAP00	機能
	キャプチャカウンタのキャプチャ値

・本ビットは、フォルトキャプチャ制御レジスタ(PWMFLTCAPCON)のロウサイド側PWMキャプチャエッジ選択ビット(CELSL2~CELSL0:bit2~0)によって選択されたタイミングでキャプチャされたキャプチャカウンタ値が読み出せます。
・キャプチャカウンタのリセットタイミグからロウサイド側のフォルト動作またはフォルト動作(優先)までの時間を計測できます。
・リードオンリレジスタです。

＜注意事項＞

フォルトキャプチャデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.5. ソフトオーバライトのレジスタ

ソフトオーバライトのレジスタについて説明します。

ソフトオーバライトには、ソフトオーバライト制御レジスタがあります。

4.5.1. ソフトオーバライト制御レジスタ: PWMSOWCON0 ～ PWMSOWCON2

ソフトオーバライト制御レジスタのビット構成について示します。

ソフトオーバライト制御レジスタ(PWMSOWCON)は、ソフトオーバライトを制御するために使用します。

■ **PWMSOWCON0: アドレス 3290H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMSOWCON1: アドレス 3294H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMSOWCON2: アドレス 3298H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	OSL11	OSL10	OSL01	OSL00	OSLBFE	STSL2	STSL1	STSL0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							SOWIE
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STDLY15	STDLY14	STDLY13	STDLY12	STDLY11	STDLY10	STDLY09	STDLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STDLY07	STDLY06	STDLY05	STDLY04	STDLY03	STDLY02	STDLY01	STDLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31, bit30] OSL11, OSL10 : **オーバライト選択ビット 1**

OSL11	OSL10	機能
0	0	変化なし(スルー)
0	1	
1	0	"L"固定出力
1	1	"H"固定出力

・本ビットは、ロウサイド側 PWM(OPWML)を固定出力するために使用します。
・OSL バッファが無効(OSLBFE:bit27="0")のとき、書込み後直ちに PWM 出力に反映されます。
OSL バッファが有効(OSLBFE：bit27="1")のとき、オーバライトトリガ選択ビット(STSL2~STSL0:bit26~24)およびトリガ遅延ビット(STDLY15~STDLY00:bit15~0)の設定によるタイミングで PWM 出力に設定値が反映されます。
・ハイサイド側およびロウサイド側の PWM がともに"H"出力にならないように設定してください。

[bit29, bit28] OSL01, OSL00 : オーバライト選択ビット 0

OSL01	OSL00	機能
0	0	変化なし(スルー)
0	1	
1	0	"L"固定出力
1	1	“H”固定出力

・本ビットは、ハイサイド側 PWM(OPWMH)を固定出力するために使用します。
・OSL バッファが無効(OSLBFE：bit27="0")のとき、書込み後直ちに PWM 出力に反映されます。
OSL バッファが有効(OSLBFE：bit27="1")のとき、オーバライトトリガ選択ビット(STSL2~STSL0:bit26~24)およびトリガ遅延ビット(STDLY15~STDLY00:bit15~0)の設定によるタイミングで PWM 出力に設定値が反映されます。
・ハイサイド側およびロウサイド側の PWM がともに"H"出力にならないように設定してください。

[bit27] OSLBFE : OSL バッファ許可ビット

OSLBFE	機能
0	OSL バッファを無効にする
1	OSL バッファを有効にする

・本ビットは OSL バッファを有効にするために使用します。
・本ビットに"0"を設定した場合:
OSL バッファは無効になります。したがって、オーバライト選択ビット(OSL1~OSL0:bit31~28)に書き込まれたデータは、直ちに OSL バッファへ転送されます。

・本ビットに"1"を設定した場合:
OSL バッファは有効になります。オーバライト選択ビット(OSL1~OSL0:bit31~28)に書き込まれたデータは、オーバライトトリガ選択ビット(STSL2~STSL0:bit26~24)およびトリガ遅延ビット(STDLY15~STDLY00:bit15~0)の設定によるタイミングで OSL バッファへ転送されます。

[bit26 ～ bit24] STSL2 ～ STSL0 : オーバライトトリガ選択ビット

STSL2	STSL1	STSL0	機能
0	0	0	ハイサイド側 PWM の立上り(GPWMH)
0	0	1	ハイサイド側 PWM の立下り(GPWMH)
0	1	0	ロウサイド側 PWM の立上り(GPWML)
0	1	1	ロウサイド側 PWM の立下り(GPWML)
1	0	0	マスタクロック 0 の立上り
1	0	1	マスタクロック 0 の立下り
1	1	0	マスタクロック 1 の立上り
1	1	1	マスタクロック 1 の立下り

・本ビットは、オーバライト選択ビット(OSL1~OSL0:bit31~28)の更新タイミングのトリガを設定するために使用します。

[bit23 ～ bit17] (予約)

[bit16] SOWIE : 割込み要求許可ビット

SOWIE	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、SOW 割込みの割込み要求を許可するために使用します。
・本ビットと PWM 共通ステータスレジスタ(PWMST)の割込みフラグビット(SOWIF:bit2)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit15 ～ bit0] STDLY15 ～ STDLY00 : トリガ遅延ビット

STDLY15~ STDLY00	機能
	OSL 更新トリガの遅延量を設定する

・本ビットは、オーバライトトリガ選択ビット(STSL2~STSL0:bit26~24)により選択されたトリガの基点からオーバライト選択ビット(OSL1~OSL0:bit31~28)を更新する遅延タイミングを設定するために使用します。
遅延時間 = (設定値) × PWM 分周クロック周期

・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・設定値は、オーバライトトリガ選択ビット(STSL2~STSL0:bit26~24)により選択されたトリガのタイミングでタイマに反映されます。

＜注意事項＞

本ビットへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

オーバライトトリガ選択(STSL2～0)で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合の位相にあっています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0000_H"が PWM 出力の先頭になります。

4.6. デッドタイムのレジスタ

デッドタイムのレジスタについて説明します。

デッドタイムには、デッドタイムモードレジスタ, ハイサイド側立上りデッドタイム設定レジスタ, ハイサイド側立下りデッドタイム設定レジスタ, ロウサイド側立上りデッドタイム設定レジスタおよびロウサイド側立下りデッドタイム設定レジスタがあります。

4.6.1. デッドタイムモードレジスタ: PWMDMOD

デッドタイムモードレジスタのビット構成について示します。

デッドタイムモードレジスタ(PWMDMOD)は、デッドタイムを制御するために使用します。

■ PWMDMOD: アドレス 329CH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		DMODE21	DMODE20	DMODE11	DMODE10	DMODE01	DMODE00
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] (予約)

[bit5, bit4] DMODE21, DMODE20 : デッドタイムモードビット 2

DMODE21	DMODE20	機能
0	0	デッドタイムを付けない
0	1	
1	0	デッドタイム通常モード
1	1	デッドタイム拡張 1 モード

- 本ビットは、PWM2H/PWM2L のデッドタイムモードを設定するために使用します。
- デッドタイム通常モードは、PWM 出力の立上りのみにデッドタイムを付けます。
- デッドタイム拡張1モードは、PWM出力の立上りと立下りのそれぞれにデッドタイムを付けます。
- 相補モード(PWM 制御レジスタ(PWMPCN45)の PWMOD:bit10="0")のときのみ、デッドタイム通常モード, デッドタイム拡張 1 モードを設定してください。

[bit3, bit2] DMODE11, DMODE10 : デッドタイムモードビット 1

DMODE11	DMODE10	機能
0	0	デッドタイムを付けない
0	1	
1	0	デッドタイム通常モード
1	1	デッドタイム拡張 1 モード

- 本ビットは、PWM1H/PWM1L のデッドタイムモードを設定するために使用します。
- デッドタイム通常モードは、PWM 出力の立上りのみにデッドタイムを付けます。
- デッドタイム拡張1モードは、PWM出力の立上りと立下りのそれぞれにデッドタイムを付けます。
- 相補モード(PWM 制御レジスタ(PWMPCN23)の PWMOD:bit10="0")のときのみ、デッドタイム通常モード, デッドタイム拡張 1 モードを設定してください。

[bit3, bit2] DMODE01, DMODE00 : デッドタイムモードビット 0

DMODE01	DMODE00	機能
0	0	デッドタイムを付けない
0	1	
1	0	デッドタイム通常モード
1	1	デッドタイム拡張 1 モード

・本ビットは、PWM0H/PWM0L のデッドタイムモードを設定するために使用します。
・デッドタイム通常モードは、PWM 出力の立上りのみにデッドタイムを付けます。
・デッドタイム拡張1モードは、PWM出力の立上りと立下りのそれぞれにデッドタイムを付けます。
・相補モード(PWM 制御レジスタ(PWMPCN01)の PWMOD:bit10="0")のときのみ、デッドタイム通常モード, デッドタイム拡張 1 モードを設定してください。

＜注意事項＞

デッドタイムモードレジスタを設定する場合、必ず PWM のタイマが停止していることを確認してください。

4.6.2. ハイサイド側立上りデッドタイム設定レジスタ: PWMHRTMRR0 ～ PWMHRTMRR2

ハイサイド側立上りデッドタイム設定レジスタのビット構成について示します。

ハイサイド側立上りデッドタイム設定レジスタ(PWMHRTMRR)は、ハイサイド側 PWM 出力の立上りに対するデッドタイムを制御するために使用します。

■ **PWMHRTMRR0: アドレス 32A0H (アクセス: ハーフワード, ワード)**

■ **PWMHRTMRR1: アドレス 32A8H (アクセス: ハーフワード, ワード)**

■ **PWMHRTMRR2: アドレス 32B0H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM09	TM08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM07	TM06	TM05	TM04	TM03	TM02	TM01	TM00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] TM15 ～ TM00 : タイマ値ビット

TM15~ TM00	機能
	デッドタイム量を設定する

・本ビットは、PWMH 出力の立上りに対するデッドタイム量を設定するために使用します。
ノンオーバラップ時間 = (設定値) × PWM 分周クロック周期

・デッドタイム通常モードおよびデッドタイム拡張 1 モードのときのみ有効です。
・本ビットには、"0001_H"以上の値を設定してください。
・設定値は PWMH 出力の立上りでタイマに反映されます。

＜注意事項＞

ハイサイド側立上りデッドタイム設定レジスタへアクセスする場合は、ハーフワードもしくは ワードアクセス命令をご使用ください。

4.6.3. ハイサイド側立下りデッドタイム設定レジスタ: PWMHFTMRR0 ～ PWMHFTMRR2

ハイサイド側立下りデッドタイム設定レジスタのビット構成について示します。

ハイサイド側立下りデッドタイム設定レジスタ(PWMHFTMRR)は、ハイサイド側 PWM 出力の立下りに対するデッドタイムを制御するために使用します。

■ **PWMHFTMRR0: アドレス 32A2H (アクセス: ハーフワード, ワード)**

■ **PWMHFTMRR1: アドレス 32AAH (アクセス: ハーフワード, ワード)**

■ **PWMHFTMRR2: アドレス 32B2H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM09	TM08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM07	TM06	TM05	TM04	TM03	TM02	TM01	TM00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] TM15 ～ TM00 : タイマ値ビット

TM15~ TM00	機能
	デッドタイム量を設定する

・本ビットは、PWMH 出力の立下りに対するデッドタイム量を設定するために使用します。
オーバラップ時間 = (設定値) × PWM 分周クロック周期

・デッドタイム拡張 1 モードのときのみ有効です。
・設定値は PWMH 出力の立下りでタイマに反映されます。

＜注意事項＞

ハイサイド側立下りデッドタイム設定レジスタへアクセスする場合は、ハーフワードもしくは ワードアクセス命令をご使用ください。

4.6.4. ロウサイド側立上りデッドタイム設定レジスタ: PWMLRTMRR0 ～ PWMLRTMRR2

ロウサイド側立上りデッドタイム設定レジスタのビット構成について示します。

ロウサイド側立上りデッドタイム設定レジスタ(PWMLRTMRR)は、ロウサイド側 PWM 出力の立上りに対するデッドタイムを制御するために使用します。

■ **PWMLRTMRR0: アドレス 32A4H (アクセス: ハーフワード, ワード)**

■ **PWMLRTMRR1: アドレス 32ACH (アクセス: ハーフワード, ワード)**

■ **PWMLRTMRR2: アドレス 32B4H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM09	TM08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM07	TM06	TM05	TM04	TM03	TM02	TM01	TM00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] TM15 ～ TM00 : タイマ値ビット

	機能
TM15~ TM00	デッドタイム量を設定する

・本ビットは、PWML 出力の立上りに対するデッドタイム量を設定するために使用します。
ノンオーバラップ時間 = (設定値) × PWM 分周クロック周期

・デッドタイム通常モードおよびデッドタイム拡張 1 モードのときのみ有効です。
・本ビットには、"0001_H"以上の値を設定してください。
・設定値は PWML 出力の立上りでタイマに反映されます。

＜注意事項＞

ロウサイド側立上りデッドタイム設定レジスタへアクセスする場合は、ハーフワードもしくは ワードアクセス命令をご使用ください。

4.6.5. ロウサイド側立下りデッドタイム設定レジスタ: PWMLFTMRR0 ～ PWMLFTMRR2

ロウサイド側立下りデッドタイム設定レジスタのビット構成について示します。

ロウサイド側立下りデッドタイム設定レジスタ(PWMLFTMRR)は、ロウサイド側 PWM 出力の立下りに対するデッドタイムを制御するために使用します。

■ **PWMLFTMRR0: アドレス 32A6H (アクセス: ハーフワード, ワード)**

■ **PWMLFTMRR1: アドレス 32AEH (アクセス: ハーフワード, ワード)**

■ **PWMLFTMRR2: アドレス 32B6H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM09	TM08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM07	TM06	TM05	TM04	TM03	TM02	TM01	TM00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] TM15 ～ TM00 : タイマ値ビット

TM15~ TM00	機能
	デッドタイム量を設定する

・本ビットは、PWML 出力の立下りに対するデッドタイム量を設定するために使用します。
オーバラップ時間 = (設定値) × PWM 分周クロック周期

・デッドタイム拡張 1 モードのときのみ有効です。
・設定値は PWML 出力の立下りでタイマに反映されます。

＜注意事項＞

ロウサイド側立下りデッドタイム設定レジスタへアクセスする場合は、ハーフワードもしくは ワードアクセス命令をご使用ください。

4.7. ブランキング関連のレジスタ

ブランキング関連のレジスタについて説明します。

ブランキング関連には、ブランキング制御レジスタ, ブランキングスタート遅延制御レジスタおよびブランキング時間制御レジスタがあります。

4.7.1. ブランキング制御レジスタ: PWMLEBCON0 ～ PWMLEBCON2

ブランキング制御レジスタのビット構成について示します。

ブランキング制御レジスタ(PWMLEBCON)は、ブランキングを制御するために使用します。

■ **PWMLEBCON0: アドレス 32B8H (アクセス: バイト, ハーフワード, ワード)**

■ **PWMLEBCON1: アドレス 32CCH (アクセス: バイト, ハーフワード, ワード)**

■ **PWMLEBCON2: アドレス 32E0H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	BTSL32	BTSL31	BTSL30	予約	BTSL22	BTSL21	BTSL20
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	BTSL12	BTSL11	BTSL10	予約	BTSL02	BTSL01	BTSL00
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				PHR	PHF	PLR	PLF
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit31] (予約)

[bit30 ～ bit28] BTSL32 ～ BTSL30 : ブランキングトリガ選択ビット 3

BTSL32	BTSL31	BTSL30	機能
0	0	0	PWM0L の立下り
0	0	1	PWM1L の立下り
0	1	0	PWM2L の立下り
0	1	1	マスタクロック 0 の立下り
1	0	0	マスタクロック 1 の立下り
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ブランキングのトリガを設定するために使用します。

[bit27] (予約)

[bit26 ～ bit24] BTSL22 ～ BTSL20 : ブランキングトリガ選択ビット 2

BTSL22	BTSL21	BTSL20	機能
0	0	0	PWM0L の立上り
0	0	1	PWM1L の立上り
0	1	0	PWM2L の立上り
0	1	1	マスタクロック 0 の立上り
1	0	0	マスタクロック 1 の立上り
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ブランキングのトリガを設定するために使用します。

[bit23] (予約)

[bit22 ～ bit20] BTSL12 ～ BTSL10 : ブランキングトリガ選択ビット 1

BTSL12	BTSL11	BTSL10	機能
0	0	0	PWM0H の立下り
0	0	1	PWM1H の立下り
0	1	0	PWM2H の立下り
0	1	1	マスタクロック 0 の立下り
1	0	0	マスタクロック 1 の立下り
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ブランキングのトリガを設定するために使用します。

[bit19] (予約)

[bit18 ～ bit16] BTSL02 ～ BTSL00 : ブランキングトリガ選択ビット 0

BTSL02	BTSL01	BTSL00	機能
0	0	0	PWM0H の立上り
0	0	1	PWM1H の立上り
0	1	0	PWM2H の立上り
0	1	1	マスタクロック 0 の立上り
1	0	0	マスタクロック 1 の立上り
1	0	1	設定禁止
1	1	0	
1	1	1	

・本ビットは、ブランキングのトリガを設定するために使用します。

[bit15 ～ bit12] (予約)

[bit11] PHR : ハイサイド側 PWM 立上りブランキングビット

PHR	機能
0	ブランキング生成しない
1	ブランキング生成する

・本ビットは、ブランキングトリガ選択ビット 0(BTSL02~BTSL00:bit18~16)により選択されたトリガでブランキング生成を許可するために使用します。

[bit10] PHF : ハイサイド側 PWM 立下りブランキングビット

PHF	機能
0	ブランキング生成しない
1	ブランキング生成する

・本ビットは、ブランキングトリガ選択ビット1(BTSL12~BTSL10:bit22~20)により選択されたトリガでブランキング生成を許可するために使用します。

[bit9] PLR : ロウサイド側 PWM 立上りブランキングビット

PLR	機能
0	ブランキング生成しない
1	ブランキング生成する

・本ビットは、ブランキングトリガ選択ビット2(BTSL22~BTSL20:bit26~24)により選択されたトリガでブランキング生成を許可するために使用します。

[bit8] PLF : ロウサイド側 PWM 立下りブランキングビット

PLF	機能
0	ブランキング生成しない
1	ブランキング生成する

・本ビットは、ブランキングトリガ選択ビット3(BTSL32~BTSL30:bit30~28)により選択されたトリガでブランキング生成を許可するために使用します。

[bit7 ～ bit0] (予約)

＜注意事項＞

ブランキング制御レジスタを設定する場合、必ず PWM のタイマが停止していることを確認してください。

4.7.2. ブランキングスタート遅延制御レジスタ: PWMLEBSDCON00 ～ PWMLEBSDCON23

ブランキングスタート遅延制御レジスタのビット構成について示します。

ブランキングスタート遅延制御レジスタ(PWMLEBSDCON)は、ブランキングを制御するために使用します。

■ **PWMLEBSDCON00: アドレス 32BCH (アクセス: ハーフワード, ワード)**

■ **PWMLEBSDCON10: アドレス 32D0H (アクセス: ハーフワード, ワード)**

■ **PWMLEBSDCON20: アドレス 32E4H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DLY15	DLY14	DLY13	DLY12	DLY11	DLY10	DLY09	DLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DLY07	DLY06	DLY05	DLY04	DLY03	DLY02	DLY01	DLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] DLY15 ～ DLY00 : 遅延値ビット

	機能
DLY15~ DLY00	ブランキングのスタート遅延量を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット0(BTSL02~BTSL00:bit18~16)により選択されたトリガ基点からのブランキングスタート位置の遅延量を設定するために使用します。
遅延量 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット0(BTSL02~BTSL00:bit18~16)により選択されたトリガのタイミングで遅延タイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”またはbit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH変化点の 1 サイクル前からフォルトラッチのリセットまでの期間にブランキングスタート位置を設定すると、再反転防止機能によりブランキングスタート位置より前からフォルト入力がマスクされます。このため、設定は無効になります。

＜注意事項＞

ブランキングスタート遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキングスタート遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

ブランキングトリガ選択(BTSLn2～n0(n=0, 1,2, 3))で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合、PWM 分周クロックで 1 サイクル前にずれています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0001_H"が PWM 出力の先頭になります。

■ PWMLEBSDCON01: アドレス 32BEH (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON11: アドレス 32D2H (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON21: アドレス 32E6H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DLY15	DLY14	DLY13	DLY12	DLY11	DLY10	DLY09	DLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DLY07	DLY06	DLY05	DLY04	DLY03	DLY02	DLY01	DLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] DLY15 ～ DLY00 : 遅延値ビット

	機能
DLY15~ DLY00	ブランキングのスタート遅延量を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 1(BTSL12~BTSL10:bit22~20)により選択されたトリガ基点からのブランキングスタート位置の遅延量を設定するために使用します。
遅延量 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 1(BTSL12~BTSL10:bit22~20)により選択されたトリガのタイミングで遅延タイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間にブランキングスタート位置を設定すると、再反転防止機能によりブランキングスタート位置より前からフォルト入力がマスクされます。このため、設定は無効になります。

＜注意事項＞

ブランキングスタート遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキングスタート遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

ブランキングトリガ選択(BTSLn2～n0(n=0, 1, 2, 3))で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合、PWM 分周クロックで 1 サイクル前にずれています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0001_H"が PWM 出力の先頭になります。

■ PWMLEBSDCON02: アドレス 32C0H (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON12: アドレス 32D4H (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON22: アドレス 32E8H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DLY15	DLY14	DLY13	DLY12	DLY11	DLY10	DLY09	DLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DLY07	DLY06	DLY05	DLY04	DLY03	DLY02	DLY01	DLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] DLY15 ～ DLY00 : 遅延値ビット

	機能
DLY15~ DLY00	ブランキングのスタート遅延量を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 2(BTSL22~BTSL20:bit26~24)により選択されたトリガ基点からのブランキングスタートの位置の遅延量を設定するために使用します。
遅延量 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 2(BTSL22~BTSL20:bit26~24)により選択されたトリガのタイミングで遅延タイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間にブランキングスタート位置を設定すると、再反転防止機能によりブランキングスタート位置より前からフォルト入力がマスクされます。このため、設定は無効になります。

＜注意事項＞

ブランキングスタート遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキングスタート遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

ブランキングトリガ選択(BTSLn2～n0(n=0, 1, 2, 3))で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合、PWM 分周クロックで 1 サイクル前にずれています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0001_H"が PWM 出力の先頭になります。

■ PWMLEBSDCON03: アドレス 32C2H (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON13: アドレス 32D6H (アクセス: ハーフワード, ワード)

■ PWMLEBSDCON23: アドレス 32EAH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DLY15	DLY14	DLY13	DLY12	DLY11	DLY10	DLY09	DLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DLY07	DLY06	DLY05	DLY04	DLY03	DLY02	DLY01	DLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] DLY15 ～ DLY00 : 遅延値ビット

	機能
DLY15~ DLY00	ブランキングのスタート遅延量を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 3(BTSL32~BTSL30:bit30~28)により選択されたトリガ基点からのブランキングスタートの位置の遅延量を設定するために使用します。
遅延量 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 3(BTSL32~BTSL30:bit30~28)により選択されたトリガのタイミングで遅延タイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。
・PWM モードが相補出力(PWM 制御レジスタ(PWMPCN)の PWMOD : bit10=”0”)かつフォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間にブランキングスタート位置を設定すると、再反転防止機能によりブランキングスタート位置より前からフォルト入力がマスクされます。このため、設定は無効になります。

＜注意事項＞

ブランキングスタート遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキングスタート遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

ブランキングトリガ選択(BTSLn2～n0(n=0, 1, 2, 3))で選択できるマスタクロックは PWM 出力の位相を"0000_H"に設定した場合、PWM 分周クロックで 1 サイクル前にずれています。したがって、PWM 出力の位相を"0000_H"に設定した場合、マスタクロックの立上りで遅延値"0001_H"が PWM 出力の先頭になります。

4.7.3. ブランキング時間制御レジスタ: PWMLEBTCON00 ～ PWMLEBTCON21

ブランキング時間制御レジスタのビット構成について示します。

ブランキング時間制御レジスタ(PWMLEBTCON)は、ブランキングを制御するために使用します。

■ **PWMLEBTCON00: アドレス 32C4H (アクセス: ハーフワード, ワード)**

■ **PWMLEBTCON10: アドレス 32D8H (アクセス: ハーフワード, ワード)**

■ **PWMLEBTCON20: アドレス 32ECH (アクセス: ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	LEBH15	LEBH14	LEBH13	LEBH12	LEBH11	LEBH10	LEBH09	LEBH08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	LEBH07	LEBH06	LEBH05	LEBH04	LEBH03	LEBH02	LEBH01	LEBH00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	LEBL15	LEBL14	LEBL13	LEBL12	LEBL11	LEBL10	LEBL09	LEBL08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LEBL07	LEBL06	LEBL05	LEBL04	LEBL03	LEBL02	LEBL01	LEBL00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] LEBH15 ～ LEBH00 : LEB 幅ビット

LEBH15~ LEBH00	機能
	ブランキング幅を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 0(BTSL02~BTSL00:bit18~16)により選択されたトリガ基点のブランキング幅を設定するために使用します。
ブランキング幅 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキングのスタートタイミングでタイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

[bit15 ～ bit0] LEBL15 ～ LEBL00 : LEB 幅ビット

	機能
LEBL15~ LEBL00	ブランキング幅を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット 1(BTSL12~BTSL10:bit22~20)により選択されたトリガ基点のブランキング幅を設定するために使用します。
ブランキング幅 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキングのスタートタイミングでタイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

＜注意事項＞

ブランキング時間制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキング時間制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

■ PWMLEBTCON01: アドレス 32C8H (アクセス: ハーフワード, ワード)

■ PWMLEBTCON11: アドレス 32DCH (アクセス: ハーフワード, ワード)

■ PWMLEBTCON21: アドレス 32F0H (アクセス: ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	LEBH15	LEBH14	LEBH13	LEBH12	LEBH11	LEBH10	LEBH09	LEBH08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	LEBH07	LEBH06	LEBH05	LEBH04	LEBH03	LEBH02	LEBH01	LEBH00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	LEBL15	LEBL14	LEBL13	LEBL12	LEBL11	LEBL10	LEBL09	LEBL08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LEBL07	LEBL06	LEBL05	LEBL04	LEBL03	LEBL02	LEBL01	LEBL00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] LEBH15 ～ LEBH00 : LEB 幅ビット

	機能
LEBH15~ LEBH00	ブランキング幅を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット2(BTSL22~BTSL20:bit26~24)により選択されたトリガ基点のブランキング幅を設定するために使用します。
ブランキング幅 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキングのスタートタイミングでタイマに反映されます。

[bit15 ～ bit0] LEBL15 ～ LEBL00 : LEB 幅ビット

	機能
LEBL15~ LEBL00	ブランキング幅を設定する

・本ビットは、ブランキング制御レジスタ(PWMLEBCON)のブランキングトリガ選択ビット3(BTSL32~BTSL30:bit30~28)により選択されたトリガ基点のブランキング幅を設定するために使用します。
ブランキング幅 = (設定値) × PWM 分周クロック周期

・設定値は、ブランキングのスタートタイミングでタイマに反映されます。
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

＜注意事項＞

ブランキング時間制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

ブランキング時間制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

4.8. A/D コンバータトリガ生成のレジスタ

A/D コンバータトリガ生成のレジスタについて説明します。

A/D コンバータトリガ生成には、A/DC トリガ制御レジスタ, A/DC トリガステータスレジスタおよび A/DC トリガ遅延制御レジスタがあります。

4.8.1. A/DC トリガ制御レジスタ: PWMADTCON

A/DC トリガ制御レジスタのビット構成について示します。

A/DC トリガ制御レジスタ(PWMADTCON)は、A/D コンバータトリガ生成を制御するために使用します。

■ **PWMADTCON: アドレス 32F4H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ATSL33	ATSL32	ATSL31	ATSL30	ATSL23	ATSL22	ATSL21	ATSL20
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ATSL13	ATSL12	ATSL11	ATSL10	ATSL03	ATSL02	ATSL01	ATSL00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約		TRGEN5	TRGEN4	TRGEN3	TRGEN2	TRGEN1	TRGEN0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ADTIE3	ADTIE2	ADTIE1	ADTIE0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit31 ～ bit28] ATSL33 ～ ATSL30 : A/D トリガ 3 要因選択ビット

ATSL33	ATSL32	ATSL31	ATSL30	機能
0	0	0	0	トリガなし
0	0	0	1	PWM0H の立上り
0	0	1	0	PWM0H の立下り
0	0	1	1	PWM0L の立上り
0	1	0	0	PWM0L の立下り
0	1	0	1	PWM1H の立上り
0	1	1	0	PWM1H の立下り
0	1	1	1	PWM1L の立上り
1	0	0	0	PWM1L の立下り
1	0	0	1	PWM2H の立上り
1	0	1	0	PWM2H の立下り
1	0	1	1	PWM2L の立上り
1	1	0	0	PWM2L の立下り
1	1	0	1	設定禁止
1	1	1	0	
1	1	1	1	

・本ビットは、A/D トリガ 3 のタイミングトリガを設定するために使います。

＜注意事項＞

本ビットを設定する場合、必ず PWM のタイマが停止していることを確認してください。

[bit27 ～ bit24] ATSL23 ～ ATSL20 : A/D トリガ 2 要因選択ビット

ATSL23	ATSL22	ATSL21	ATSL20	機能
0	0	0	0	トリガなし
0	0	0	1	PWM0H の立上り
0	0	1	0	PWM0H の立下り
0	0	1	1	PWM0L の立上り
0	1	0	0	PWM0L の立下り
0	1	0	1	PWM1H の立上り
0	1	1	0	PWM1H の立下り
0	1	1	1	PWM1L の立上り
1	0	0	0	PWM1L の立下り
1	0	0	1	PWM2H の立上り
1	0	1	0	PWM2H の立下り
1	0	1	1	PWM2L の立上り
1	1	0	0	PWM2L の立下り
1	1	0	1	設定禁止
1	1	1	0	
1	1	1	1	

・本ビットは、A/D トリガ 2 のタイミングトリガを設定するために使います。

＜注意事項＞

本ビットを設定する場合、必ず PWM のタイマが停止していることを確認してください。

[bit23 ～ bit20] ATSL13 ～ ATSL10 : A/D トリガ 1 要因選択ビット

ATSL13	ATSL12	ATSL11	ATSL10	機能
0	0	0	0	トリガなし
0	0	0	1	PWM0H の立上り
0	0	1	0	PWM0H の立下り
0	0	1	1	PWM0L の立上り
0	1	0	0	PWM0L の立下り
0	1	0	1	PWM1H の立上り
0	1	1	0	PWM1H の立下り
0	1	1	1	PWM1L の立上り
1	0	0	0	PWM1L の立下り
1	0	0	1	PWM2H の立上り
1	0	1	0	PWM2H の立下り
1	0	1	1	PWM2L の立上り
1	1	0	0	PWM2L の立下り
1	1	0	1	設定禁止
1	1	1	0	
1	1	1	1	

・本ビットは、A/D トリガ 1 のタイミングトリガを設定するために使います。

＜注意事項＞

本ビットを設定する場合、必ず PWM のタイマが停止していることを確認してください。

[bit19 ～ bit16] ATSL03 ～ ATSL00 : A/D トリガ 0 要因選択ビット

ATSL03	ATSL02	ATSL01	ATSL00	機能
0	0	0	0	トリガなし
0	0	0	1	PWM0H の立上り
0	0	1	0	PWM0H の立下り
0	0	1	1	PWM0L の立上り
0	1	0	0	PWM0L の立下り
0	1	0	1	PWM1H の立上り
0	1	1	0	PWM1H の立下り
0	1	1	1	PWM1L の立上り
1	0	0	0	PWM1L の立下り
1	0	0	1	PWM2H の立上り
1	0	1	0	PWM2H の立下り
1	0	1	1	PWM2L の立上り
1	1	0	0	PWM2L の立下り
1	1	0	1	設定禁止
1	1	1	0	
1	1	1	1	

・本ビットは、A/D トリガ 0 のタイミングトリガを設定するために使います。

＜注意事項＞

本ビットを設定する場合、必ず PWM のタイマが停止していることを確認してください。

[bit15, bit14] (予約)

[bit13] TRGEN5 : トリガ許可ビット 5

TRGEN5	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 21 を A/D トリガ 9 として発生を許可するために使用します。

[bit12] TRGEN4 : トリガ許可ビット 4

TRGEN4	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 20 を A/D トリガ 8 として発生を許可するために使用します。
・フォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力がマスクされます。このため、この期間にトリガは発生しません。

[bit11] TRGEN3 : トリガ許可ビット 3

TRGEN3	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 11 を A/D トリガ 7 として発生を許可するために使用します。

[bit10] TRGEN2 : トリガ許可ビット 2

TRGEN2	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 10 を A/D トリガ 6 として発生を許可するために使用します。
・フォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力がマスクされます。このため、この期間にトリガは発生しません。

[bit9] TRGEN1 : トリガ許可ビット 1

TRGEN1	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 01 を A/D トリガ 5 として発生を許可するために使用します。

[bit8] TRGEN0 : トリガ許可ビット 0

TRGEN0	機能
0	トリガ発生を禁止する
1	トリガ発生を許可する

・本ビットは、フォルト検出結果 00 を A/D トリガ 4 として発生を許可するために使用します。
・フォルト動作の設定が反転(フォルト制御レジスタ(PWMFLTCON)の bit11～bit10(FLT0H1～FLT0H0)=”01”または、bit9～bit8(FLT0L1～FLT0L0=”01”))の場合、GPWMH 変化点の 1 サイクル前からフォルトラッチのリセットまでの期間は、再反転防止機能によりフォルト入力がマスクされます。このため、この期間にトリガは発生しません。

[bit7~4] (予約)

[bit3] ADTIE3 : 割込み要求許可ビット 3

ADTIE3	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、トリガ割込み 3 の割込み要求を許可するために使用します。
・本ビットと A/D トリガステータスレジスタ(PWMADTST)の割込みフラグビット(ADTIF3:bit3)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit2] ADTIE2 : 割込み要求許可ビット 2

ADTIE2	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、トリガ割込み 2 の割込み要求を許可するために使用します。
・本ビットと A/D トリガステータスレジスタ(PWMADTST)の割込みフラグビット(ADTIF2:bit2)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit1] ADTIE1 : 割込み要求許可ビット 1

ADTIE1	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、トリガ割込み 1 の割込み要求を許可するために使用します。
・本ビットと A/D トリガステータスレジスタ(PWMADTST)の割込みフラグビット(ADTIF1:bit1)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit0] ADTIE0 : 割込み要求許可ビット 0

ADTIE0	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・本ビットは、トリガ割込み 0 の割込み要求を許可するために使用します。
・本ビットと A/D トリガステータスレジスタ(PWMADTST)の割込みフラグビット(ADTIF0:bit0)に"1"が設定されると、CPU に対する割込み要求が生成されます。

4.8.2. A/DC トリガステータスレジスタ: PWMADTST

A/DC トリガステータスレジスタのビット構成について示します。

A/DC トリガステータスレジスタ(PWMADTST)は、A/D トリガ割込み要求の制御をするために使用するレジスタです。

■ PWMADTST: アドレス 32F8H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ADTIF3	ADTIF2	ADTIF1	ADTIF0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W

[bit7 ～ bit4] (予約)

[bit3] ADTIF3 :割込みフラグビット 3

ADTIF3	機能	
	読出し時	書込み時
0	トリガなし	本ビットをクリアする
1	トリガあり	本ビットに影響を与えない

・A/D トリガ 3 が発生した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit2] ADTIF2 :割込みフラグビット 2

ADTIF2	機能	
	読出し時	書込み時
0	トリガなし	本ビットをクリアする
1	トリガあり	本ビットに影響を与えない

・A/D トリガ 2 が発生した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit1] ADTIF1 :割込みフラグビット 1

ADTIF1	機能	
	読出し時	書込み時
0	トリガなし	本ビットをクリアする
1	トリガあり	本ビットに影響を与えない

・A/D トリガ 1 が発生した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

[bit0] ADTIF0 :割込みフラグビット 0

ADTIF0	機能	
	読出し時	書込み時
0	トリガなし	本ビットをクリアする
1	トリガあり	本ビットに影響を与えない

・A/D トリガ 0 が発生した場合、本ビットには"1"が設定されます。
・本ビットに"0"を設定した場合 : 本ビットはクリアされます。
・本ビットに"1"を設定した場合 : 本ビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。

ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

4.8.3. A/DC トリガ遅延制御レジスタ: PWMADTDCON0 ～ PWMADTDCON3

A/DC トリガ遅延制御レジスタのビット構成について示します。

A/DC トリガ遅延制御レジスタ(PWMADTDCON)は、A/D コンバータトリガ生成を制御するために使用します。

■ **PWMADTDCON0: アドレス 32FCH (アクセス: ハーフワード, ワード)**

■ **PWMADTDCON1: アドレス 32FEH (アクセス: ハーフワード, ワード)**

■ **PWMADTDCON2: アドレス 3300H (アクセス: ハーフワード, ワード)**

■ **PWMADTDCON3: アドレス 3302H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DLY15	DLY14	DLY13	DLY12	DLY11	DLY10	DLY09	DLY08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DLY07	DLY06	DLY05	DLY04	DLY03	DLY02	DLY01	DLY00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] DLY15 ～ DLY00 : 遅延値ビット

	機能
DLY15~ DLY00	A/D トリガの遅延量を設定する

・本ビットは、A/DC トリガ制御レジスタ(PWMADTCON)の A/D トリガ n 要因選択ビット (ATSLn3~ATSLn0)により選択されたトリガ基点からトリガ発生の遅延量を設定するために使用します。(n=3~0)
遅延量 = (設定値) × PWM 分周クロック周期

・設定値は、A/DC トリガ制御レジスタ(PWMADTCON)の A/D トリガ n 要因選択ビット (ATSLn3~ATSLn0)により選択されたトリガのタイミングで遅延タイマに反映されます。(n=3~0)
・本ビットには、PWM 周期よりも小さい値を設定してください。PWM の周期設定については、PWM 制御レジスタ(PWMPCN)の周期モード選択ビット(MCPS:bit12)の説明を参照してください。

＜注意事項＞

A/DC トリガ遅延制御レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

A/DC トリガ遅延制御レジスタを変更する場合、必ず PWM のタイマが停止していることを確認してください。

5. 動作説明

動作について説明します。

- **マスタクロックのタイマ同時起動**
  2ch. あるタイマのうち指定したタイマを同時起動/ クリアします。

- **マスタクロックのタイマ**
  タイマはカウント動作を許可した場合、タイマデータレジスタ(PWMTCDT)に設定されている値からカウントアップを開始します。カウント値は、マスタクロックの基準時間として使用されます。

- **PWM 生成のタイマ**
  タイマはカウント動作を許可した場合、"0000_H"からカウントアップを開始します。カウント値はPWM 出力の基準時間として使用されます。

5.1. PWM の割込み

PWM の割込みについて説明します。

マスタクロック生成の割込み制御ビットと割込み要因を表 5-1, 表 5-2 に示します。

表 5-1 マスタクロック生成の割込み制御ビットと割込み要因(マスタクロック 0)

	マスタクロック生成		
	コンペアクリア 0	0 検出 0	特殊イベント 0
割込み要求フラグビット	タイマ状態制御レジスタ 0 (PWMTCCS0)の ICLR:bit25	タイマ状態制御レジスタ 0 (PWMTCCS0)の IRQZF:bit30	特殊イベントステータスレジスタ (PWMSEVST)の ISEVF0:bit0
割込み要求許可ビット	タイマ状態制御レジスタ 0 (PWMTCCS0)の ICRE:bit24	タイマ状態制御レジスタ 0 (PWMTCCS)の IRQZE:bit29	特殊イベント制御レジスタ (PWMSEVCON)の ISEVE0:bit8
割込み要因	タイマ 0 値が コンペアクリアレジスタ 0 (PWMCPCLR0)と一致する	タイマ 0 値が"0000H"になる	タイマ 0 値が 特殊イベント比較レジスタ 0 (PWMSEVCP0)と一致する

表 5-2 マスタクロック生成の割込み制御ビットと割込み要因(マスタクロック 1)

	マスタクロック生成		
	コンペアクリア 1	0 検出 1	特殊イベント 1
割込み要求フラグビット	タイマ状態制御レジスタ 1 (PWMTCCS1)の ICLR:bit25	タイマ状態制御レジスタ 1 (PWMTCCS1)の IRQZF:bit30	特殊イベントステータスレジスタ (PWMSEVST)の ISEVF1:bit1
割込み要求許可ビット	タイマ状態制御レジスタ 1 (PWMTCCS1)の ICRE:bit24	タイマ状態制御レジスタ 1 (PWMTCCS1)の IRQZE:bit29	特殊イベント制御レジスタ (PWMSEVCON)の ISEVE1:bit0
割込み要因	タイマ 1 値が コンペアクリアレジスタ 1 (PWMCPCLR1)と一致する	タイマ 1 値が"0000H"になる	タイマ 1 値が 特殊イベント比較レジスタ 1 (PWMSEVCP1)と一致する

タイマの値がコンペアクリアレジスタ(PWMCPCLR)と一致した場合、タイマ状態制御レジスタ(PWMTCCS)の ICLR:bit25 がセットされます。セット状態において割込み要求が許可(PWMTCCS)の ICRE:bit24=1)になると、割込み要求が割込みコントローラへ出力されます。

タイマ値が"0000_H"になると、タイマ状態制御レジスタ(PMWTCCS)の IRQZF:bit30 がセットされます。セット状態において割込み要求が許可(PWMTCCS の IRQZE:bit29=1)になると、割込み要求が割込みコントローラへ出力されます。

タイマの値が特殊イベント比較レジスタ(PWMSEVCP)と一致した場合、特殊イベントステータスレジスタ(PWMSEVST)の ISEVF0:bit0 または ISEVF1:bit1 がセットされます。セット状態において割込み要求が許可(PWMSEVCON の ISEVE0:bit8=1 または ISEVE1:bit0=1)になると、割込み要求が割込みコントローラへ出力されます。

PMW 制御の割込み制御ビットと割込み要因を表 5-3, 表 5-4, 表 5-5 に示します。

表 5-3 PWM 制御 0 の割込み制御ビットと割込み要因

	PWM 制御 0			
	フォルト 0	フォルト 1	SOW0	CAPIF0
割込み要求フラグビット	PWM 共通ステータスレジスタ 0(PWMST0)の IFLTF0:bit0	PWM 共通ステータスレジスタ 0(PWMST0)の IFLTF1:bit1	PWM 共通ステータスレジスタ 0(PWMST0)の SOWIF:bit2	PWM 共通ステータスレジスタ 0(PWMST0)の CAPIF:bit3
割込み要求許可ビット	フォルト制御レジスタ 00 (PWMFLTCON00)の IFLTE0:bit6	フォルト制御レジスタ 01 (PWMFLTCON01)の IFLTE1:bit6	ソフトオーバライト制御レジスタ 0 (PWMSOWCON0)の SOWIE:bit16	フォルトキャプチャ制御レジスタ 0 (PWMFLTCAPCON0)の CAPIE:bit3
割込み要因	コンパレータからのフォルト入力によるフォルト動作	コンパレータからのフォルト入力によるフォルト動作(優先)	ソフトオーバライト制御レジスタ 0 (PWMSOWCON0)が OSLBFE:bit27="1"のとき、OSL11～10:bit31～30 と OSL01～00:bit29～28 の更新	フォルトキャプチャデータレジスタ 0 (PWMFLTCAPD0)の HCAP15～00:bit31～16 と LCAP15～00:bit15～0 の差分がキャプチャ割込みしきい値設定レジスタ 0 (PWMCAPITH0)を超える

表 5-4 PWM 制御 1 の割込み制御ビットと割込み要因

	PWM 制御 1			
	フォルト 2	フォルト 3	SOW1	CAPIF1
割込み要求フラグビット	PWM 共通ステータスレジスタ 1(PWMST1)の IFLTF0:bit0	PWM 共通ステータスレジスタ 1(PWMST1)の IFLTF1:bit1	PWM 共通ステータスレジスタ 1(PWMST1)の SOWIF:bit2	PWM 共通ステータスレジスタ 1(PWMST1)の CAPIF:bit3
割込み要求許可ビット	フォルト制御レジスタ 10 (PWMFLTCON10)の IFLTE0:bit6	フォルト制御レジスタ 11 (PWMFLTCON11)の IFLTE1:bit6	ソフトオーバライト制御レジスタ 1 (PWMSOWCON1)の SOWIE:bit16	フォルトキャプチャ制御レジスタ 1 (PWMFLTCAPCON1)の CAPIE:bit3
割込み要因	コンパレータからのフォルト入力によるフォルト動作	コンパレータからのフォルト入力によるフォルト動作(優先)	ソフトオーバライト制御レジスタ 1 (PWMSOWCON1)が OSLBFE:bit27="1"のとき、OSL11～10:bit31～30 と OSL01～00:bit29～28 の更新	フォルトキャプチャデータレジスタ 1 (PWMFLTCAPD1)の HCAP15～00:bit31～16 と LCAP15～00:bit15～0 の差分がキャプチャ割込みしきい値設定レジスタ 1 (PWMCAPITH1)を超える

表 5-5 PWM 制御 2 の割込み制御ビットと割込み要因

	PWM 制御 2			
	フォルト 4	フォルト 5	SOW2	CAPIF2
割込み要求フラグビット	PWM 共通ステータスレジスタ 2(PWMST2)の IFLTF0:bit0	PWM 共通ステータスレジスタ 2(PWMST2)の IFLTF1:bit1	PWM 共通ステータスレジスタ 2(PWMST2)の SOWIF:bit2	PWM 共通ステータスレジスタ 2(PWMST2)の CAPIF:bit3
割込み要求許可ビット	フォルト制御レジスタ 20 (PWMFLTCON20)の IFLTE0:bit6	フォルト制御レジスタ 21 (PWMFLTCON21)の IFLTE1:bit6	ソフトオーバライト制御レジスタ 2 (PWMSOWCON2)の SOWIE:bit16	フォルトキャプチャ制御レジスタ 2 (PWMFLTCAPCON2)の CAPIE:bit3
割込み要因	コンパレータからのフォルト入力によるフォルト動作	コンパレータからのフォルト入力によるフォルト動作(優先)	ソフトオーバライト制御レジスタ 2 (PWMSOWCON2)が OSLBFE:bit27="1"のとき、OSL11～10:bit31～30 と OSL01～00:bit29～28 の更新	フォルトキャプチャデータレジスタ 2 (PWMFLTCAPD2)の HCAP15～00:bit31～16 と LCAP15～00:bit15～0 の差分がキャプチャ割込みしきい値設定レジスタ 2 (PWMCAPITH2)を超える

コンパレータからのフォルト入力によりフォルト動作した場合、PWM 共通ステータスレジスタ(PWMST)の IFLTF0:bit0 がセットされます。セット状態において割込み要求が許可(PWMFLTCONx0 の IFLTE0:bit6=1)になると、割込み要求が割込みコントローラへ出力されます。

コンパレータからのフォルト入力によりフォルト動作(優先)した場合、PWM 共通ステータスレジスタ(PWMST)の IFLTF1:bit1 がセットされます。セット状態において割込み要求が許可(PWMFLTCONx1 の IFLTE1:bit6=1)になると、割込み要求が割込みコントローラへ出力されます。

ソフトオーバライト制御レジスタ(PWMSOWCON)が OSL バッファ許可(OSLBFE:bit27="1")のときに、ソフトオーバライト制御レジスタ(PWMSOWCON)のオーバライト選択ビット(OSL11～10:bit31～30, OSL01～00:bit29～28)の設定値が更新(設定値の変更がある場合)かつ OSL バッファへ転送されると、PWM 共通ステータスレジスタ(PWMST)の SOWIF:bit2 がセットされます。セット状態において割込み要求が許可(PWMSOWCON の SOWIE:bit16=1)になると、割込み要求が割込みコントローラへ出力されます。

フォルトキャプチャデータレジスタ(PWMFLTCAPD)のハイサイド側キャプチャデータビット(HCAP15～00:bit31～16) とロウサイド側キャプチャデータビット(LCAP15～00:bit15～0)の差分がキャプチャ割込みしきい値設定レジスタ(PWMCAPITH)を超えると、PWM 共通ステータスレジスタ(PWMST)の CAPIF:bit3 がセットされます。セット状態において割込み要求が許可(PWMFLTCAPCON の CAPIE:bit3=1)になると、割込み要求が割込みコントローラへ出力されます。

A/D コンバータトリガ生成の割込み制御ビットと割込み要因を表 5-6 に示します。

表 5-6 A/D コンバータトリガの割込み制御ビットと割込み要因

	A/D コンバータトリガ生成			
	トリガ 0	トリガ 1	トリガ 2	トリガ 3
割込み要求フラグビット	A/DC トリガステータスレジスタ(PWMADTST)の ADTIF0:bit0	A/DC トリガステータスレジスタ(PWMADTST)の ADTIF1:bit1	A/DC トリガステータスレジスタ(PWMADTST)の ADTIF2:bit2	A/DC トリガステータスレジスタ(PWMADTST)の ADTIF3:bit3
割込み要求許可ビット	A/DC トリガ制御レジスタ(PWMADTCON)の ADTIE0:bit0	A/DC トリガ制御レジスタ(PWMADTCON)の ADTIE1:bit1	A/DC トリガ制御レジスタ(PWMADTCON)の ADTIE2:bit2	A/DC トリガ制御レジスタ(PWMADTCON)の ADTIE3:bit3
割込み要因	A/D トリガ 0 発生	A/D トリガ 1 発生	A/D トリガ 2 発生	A/D トリガ 3 発生

A/D トリガ n が発生した場合、A/DC トリガステータスレジスタ(PWMADTST)の ADTIFn:bitn がセットされます。セット状態において割込み要求が許可(PWMADTCON の ADTIEn:bitn=1)になると、割込み要求が割込みコントローラへ出力されます。n=(0～3)

5.2. マスタクロック生成のタイマ動作

マスタクロック生成のタイマ動作について説明します。

タイマは、リセット完了後、タイマデータレジスタ(PWMTCDT)に設定されている値からカウントアップを開始します。カウント値は、マスタクロックの基準時間として使用されます。

5.2.1. タイマクリア

タイマクリアについて説明します。

タイマのカウント値は、下記のいずれかの場合にクリアされます。

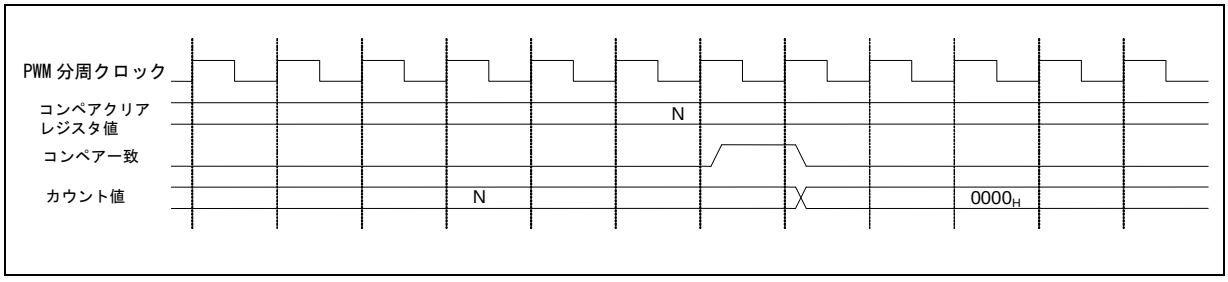
・アップカウントモード(PWMTCCS レジスタの MODE:bit21=0)によってコンペアクリアレジスタとの一致が検出された場合
・動作中に PWMTCCS レジスタの SCLR:bit20 に"1"が書き込まれた場合
・停止中に PWMTCDT レジスタに"0000_H" が書き込まれた場合
・リセットされた場合
・SYNCIN 許可(PWMTRC レジスタの SYNCEN1:bit26=1, SYNCEN0:bit24=1)時、SYNCIN 端子から立上りエッジが入力された場合

リセットされると、カウンタは直ちにクリアされます。SYNCIN 同期の場合、ソフトウェアクリアされた場合またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

＜注意事項＞

停止中に PWMTCCS レジスタの SCLR:bit20 に"1"が書き込まれても、タイマのカウント値はクリアされません。
アップダウンカウントモード中(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)に PWMTCDT レジスタに"0000_H"を書き込むと、意図しないカウントを行うことにがあります。
アップダウンカウントモード中(タイマ状態制御レジスタ(PWMTCCS)の MODE:bit21=1)の PWMTCDT レジスタの設定手順については「4.1.4 タイマデータレジスタ: PWMTCDT0 ～ PWMTCDT1」を参照してください。

図 5-1 タイマのクリアタイミング



5.2.2. タイマモード

タイマモードについて説明します。

タイマでは、以下のどちらかのモードを選択できます。

・アップカウントモード(PWMTCCS レジスタの MODE:bit21=0)
・アップダウンカウントモード(PWMTCCS レジスタの MODE:bit21=1)
アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(PWMTCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(PWMCPCLR)の値と一致するまでカウントアップし、カウンタは"0000_H"にクリアされて再びカウントアップします。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(PWMTCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(PWMCPCLR)の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウンタ値が"0000_H"に達するまでカウントダウンして再びカウントアップします。

5.2.3. コンペアクリアバッファ

コンペアクリアバッファについて説明します。

コンペアクリアレジスタ(PWMCPCLR)には、有効または無効にすることができるバッファ機能が存在します。バッファ機能が有効(PWMTCCS レジスタの BFE:bit23=1)の場合は、コンペアクリアバッファレジスタ(PWMCPCLRB)に書き込まれたデータは、タイマ値"0"が検出されるとPWMCPCLR レジスタに転送されます。バッファ機能が無効(PWMTCCS ビットの BFE:bit23=0)の場合は、データは PWMCPCLR レジスタに直接書き込むことができます。

図 5-2 コンペアクリアバッファが無効(PWMTCCS レジスタ BFE:bit23=0)時のアップカウントモードによる動作

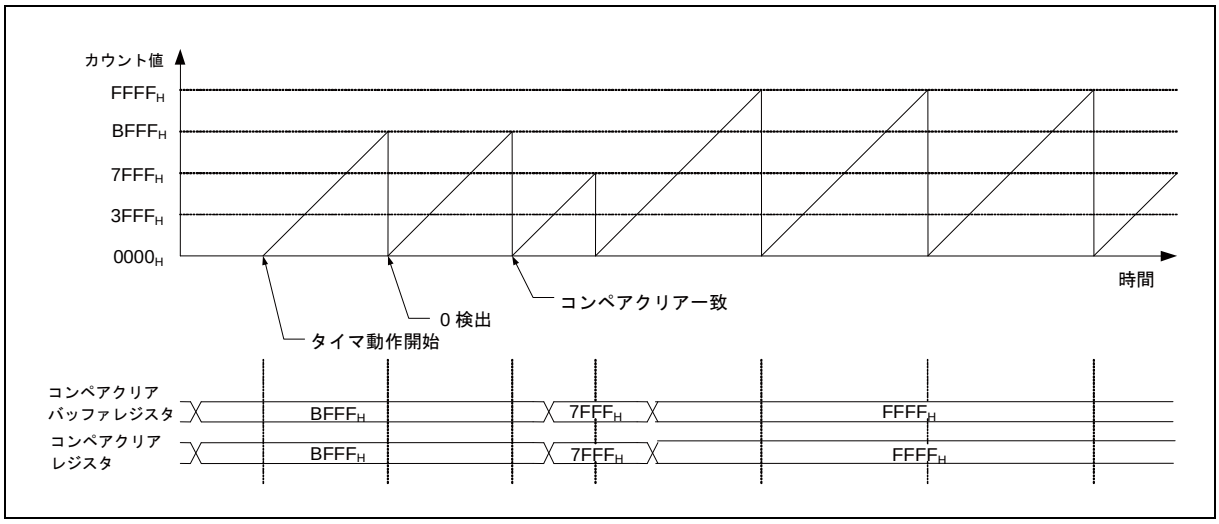


図 5-3 コンペアクリアバッファが有効(PWMTCCS レジスタ BFE:bit23=1)時のアップカウントモードによる動作

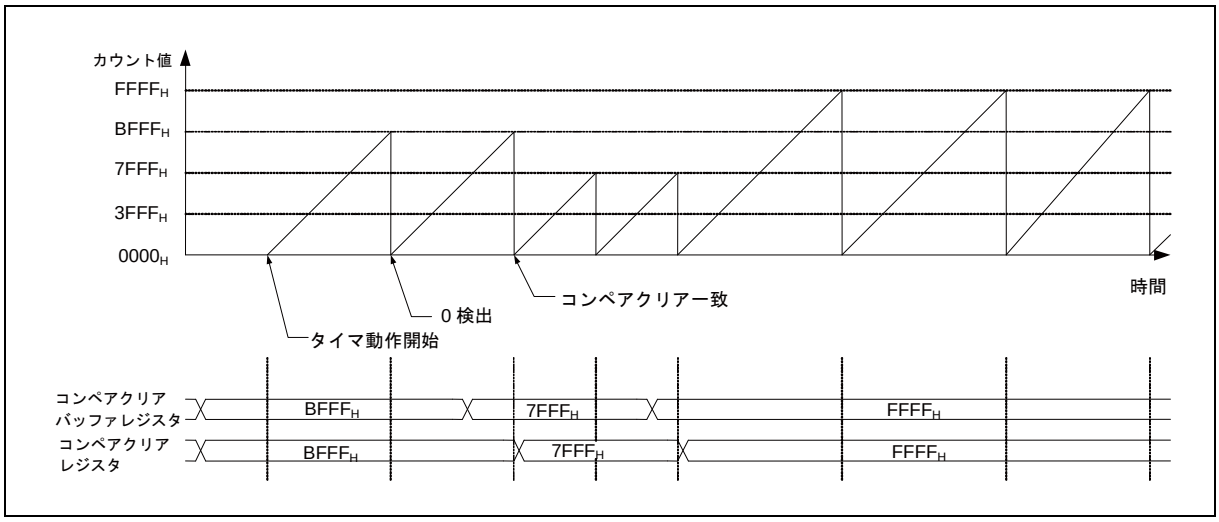
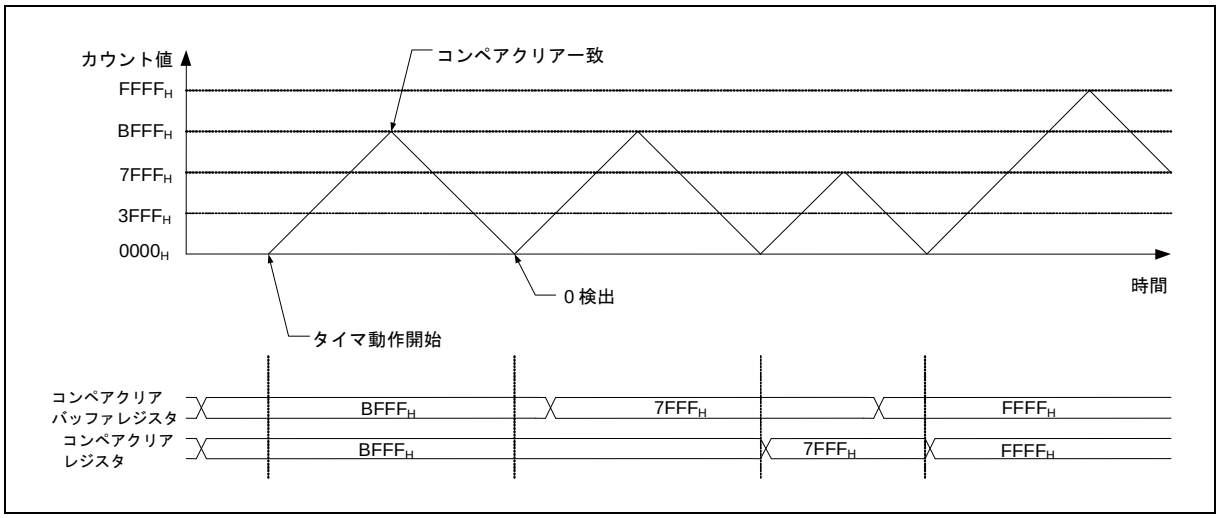


図 5-4 コンペアクリアバッファが有効(PWMTCCS レジスタ BFE:bit23=1)時のアップダウンカウントモードによる動作



5.2.4. タイマ割込み

タイマ割込みについて説明します。

タイマでは、以下の 2 つの割込みを生成できます。

・コンペアクリア割込み
・0 検出割込み
コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致した場合、生成されます。

0 検出割込みは、タイマ値が"0000_H"に達した場合、生成されます。

＜注意事項＞

ソフトウェアクリア(PWMTCCS レジスタの SCLR:bit20=1)は、0 検出割込みを生成しません。

図 5-5 アップカウントモード(PWMTCCS レジスタ MODE:bit21=0)で生成された割込み

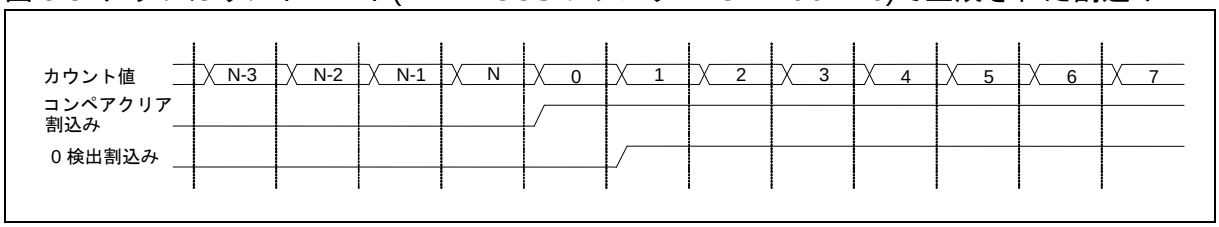
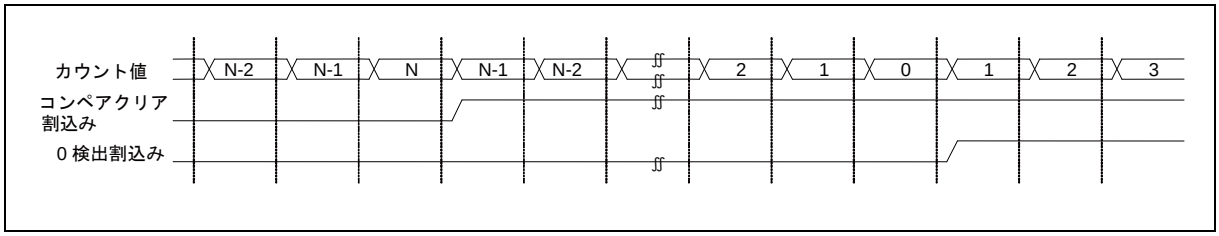


図 5-6 アップダウンカウントモード(PWMTCCS レジスタ MODE:bit21=1)で生成された割込み



5.2.5. 割込みマスク機能

割込みマスク機能について説明します。

0検出割込み/コンペアクリア割込みのどちらか1つ、もしくは両方をマスクできます。以下にどちらか1つの割込みをマスクする場合について説明します。

- PWMTCCS レジスタの MSI2 ～ MSI0:bit28 ～ bit26 設定した場合、割込み要求をマスクできます。MSI2 ～ MSI0 ビットは, カウント値が"000_B"に達した場合、値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ～ MSI0 ビットに直接書くことによってもロードできます。マスクカウントは、MSI2 ～ MSI0 に設定された値です。
  MSI2 ～ MSI0 ビットが"000_B"にした場合、割込み要求はマスクされません。
- 割込み要求はカウントモード(PWMTCCS レジスタの MODE:bit21)によって異なります。アップカウントモード時は、コンペアクリア割込みのみをマスクすることができ、0 検出割込みは"0"が検出されるたびに生成されます。アップダウンカウントモード時は 0 検出割込みのみをマスクできます。

以下に両方の割込み要求をマスクする場合について説明します。

- タイマがアップダウンカウントモード時のみ、PWMTCCS レジスタの MODE2=1 かつ TCCS レジスタの MODE=1 にした場合、両方の割込みマスクができます。
  0 検出割込みマスク用には PWMTCCS レジスタの MSI2 ～ MSI0 ビットを、コンペアクリア割込みマスク用には TCCS レジスタの MSI5 ～ MSI3 ビットを使用します。

＜注意事項＞

ソフトウェアクリア(PWMTCCS レジスタの SCLR:bit20=1)は、0 検出割込みを生成しません。

図 5-7 アップカウントモードでマスクされるコンペアクリア割込み

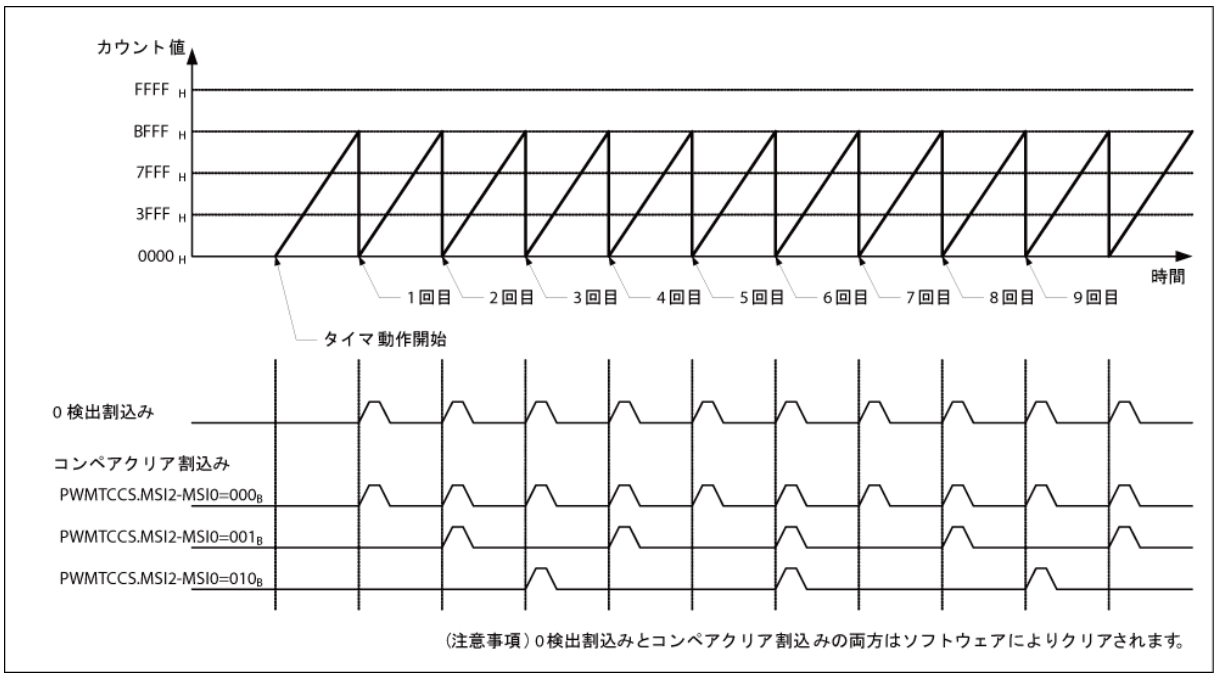


図 5-8 アップダウンカウントモードでマスクされる 0 検出割込み

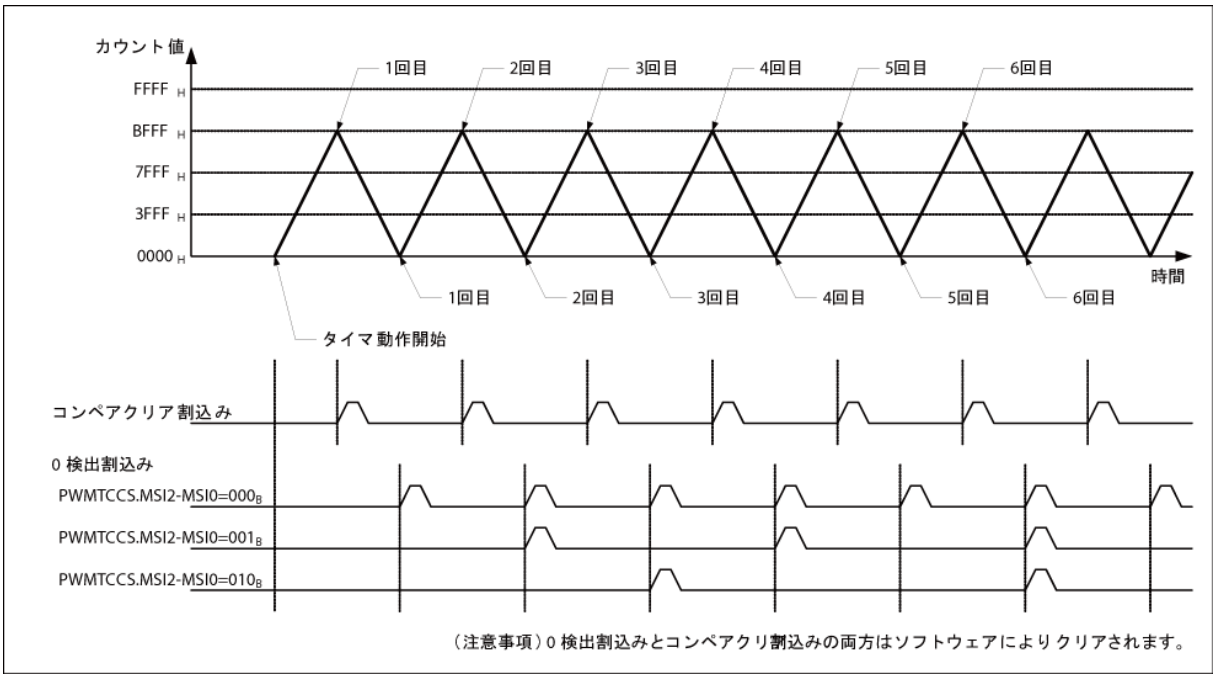
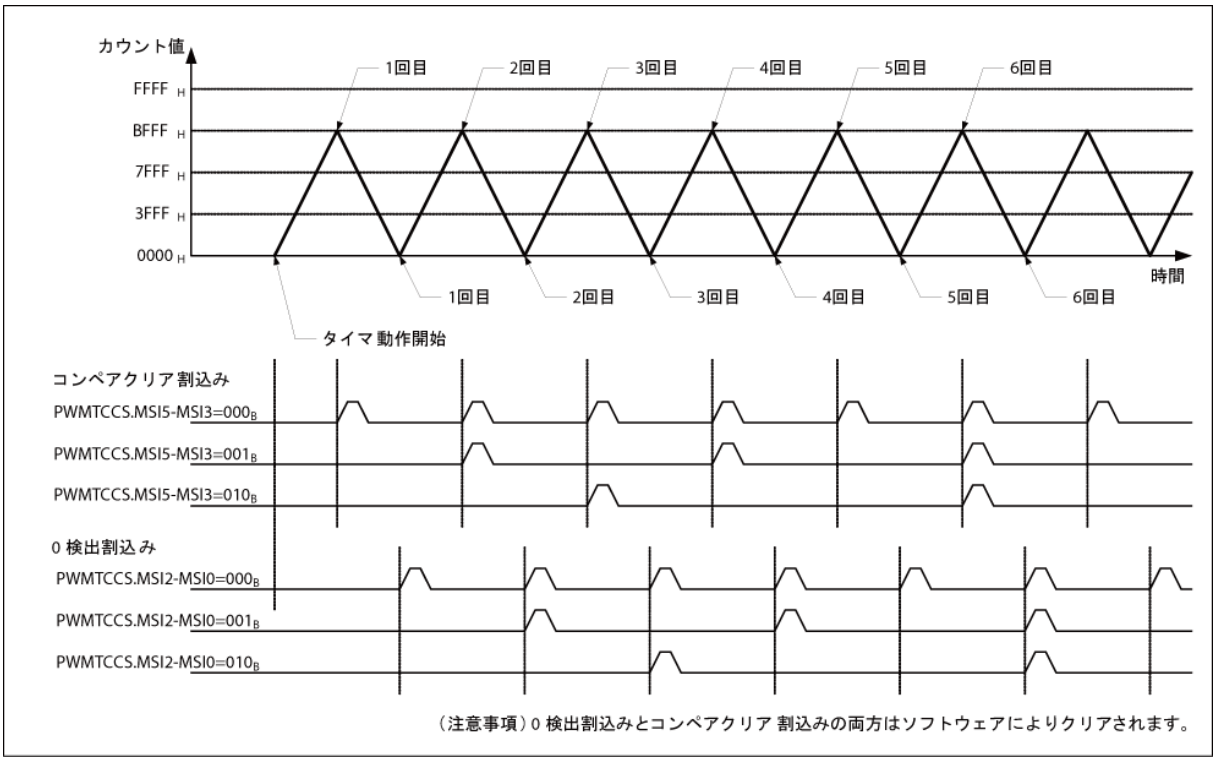


図 5-9 アップダウンカウントモードでマスクされる 0 検出割込みとコンペアクリア割込み



5.2.6. SYNCIN/SYNCOUT 機能

SYNCIN/SYNCOUT 機能について説明します。

SYNCIN/SYNCOUT機能は、本品種を２つ以上用いて並列動作をする場合に使用します。SYNCOUT端子への出力を0検出(PWMTRC レジスタのSYNCOUT出力選択ビット(SYNOS2～SYNOS0:bit10～8))にした場合のマスタ動作例を図 5-10 に示します。SYNCOUT(マスタクロック)の"H"幅は、PWMMCDB レジスタの設定値になります。スレーブ動作例を図 5-11 に示します。スレーブ動作時は、SYNCIN の立上りでカウンタの値が"0000_H"にクリアされます。

図 5-10 SYNCOUT 出力(マスタ動作)

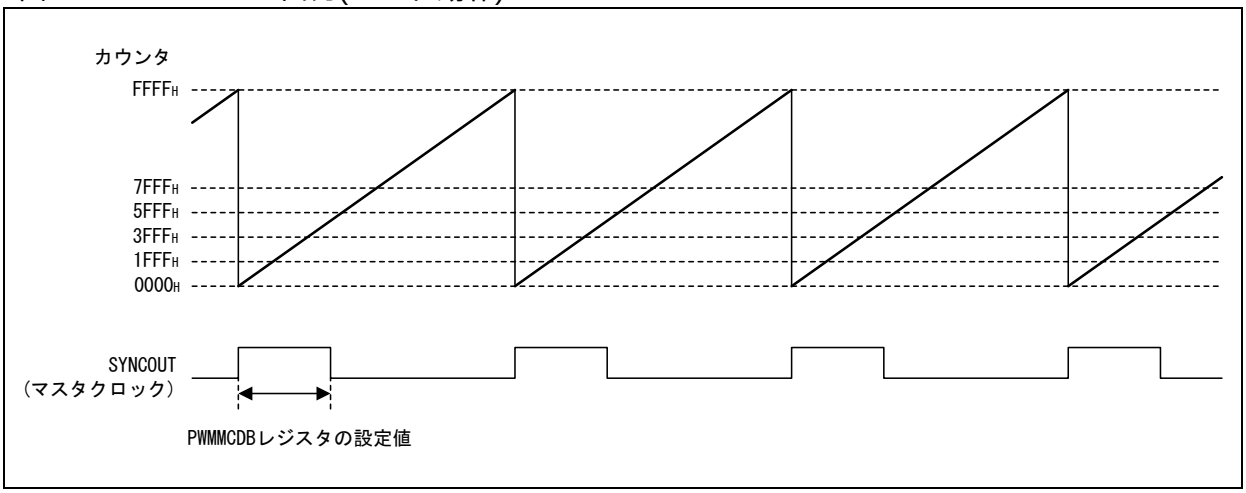
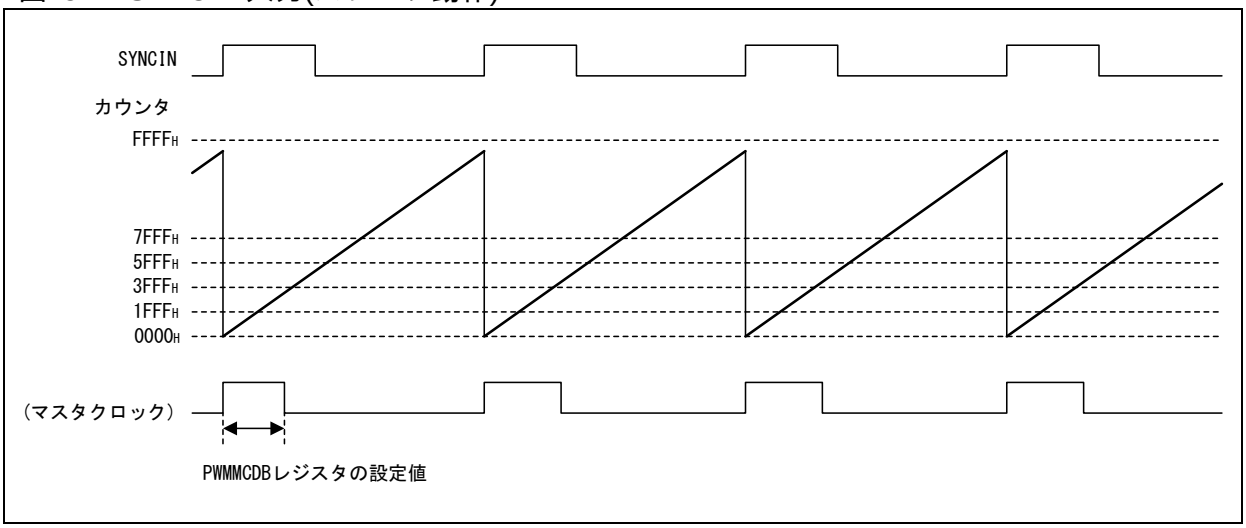


図 5-11 SYNCIN 入力(スレーブ動作)



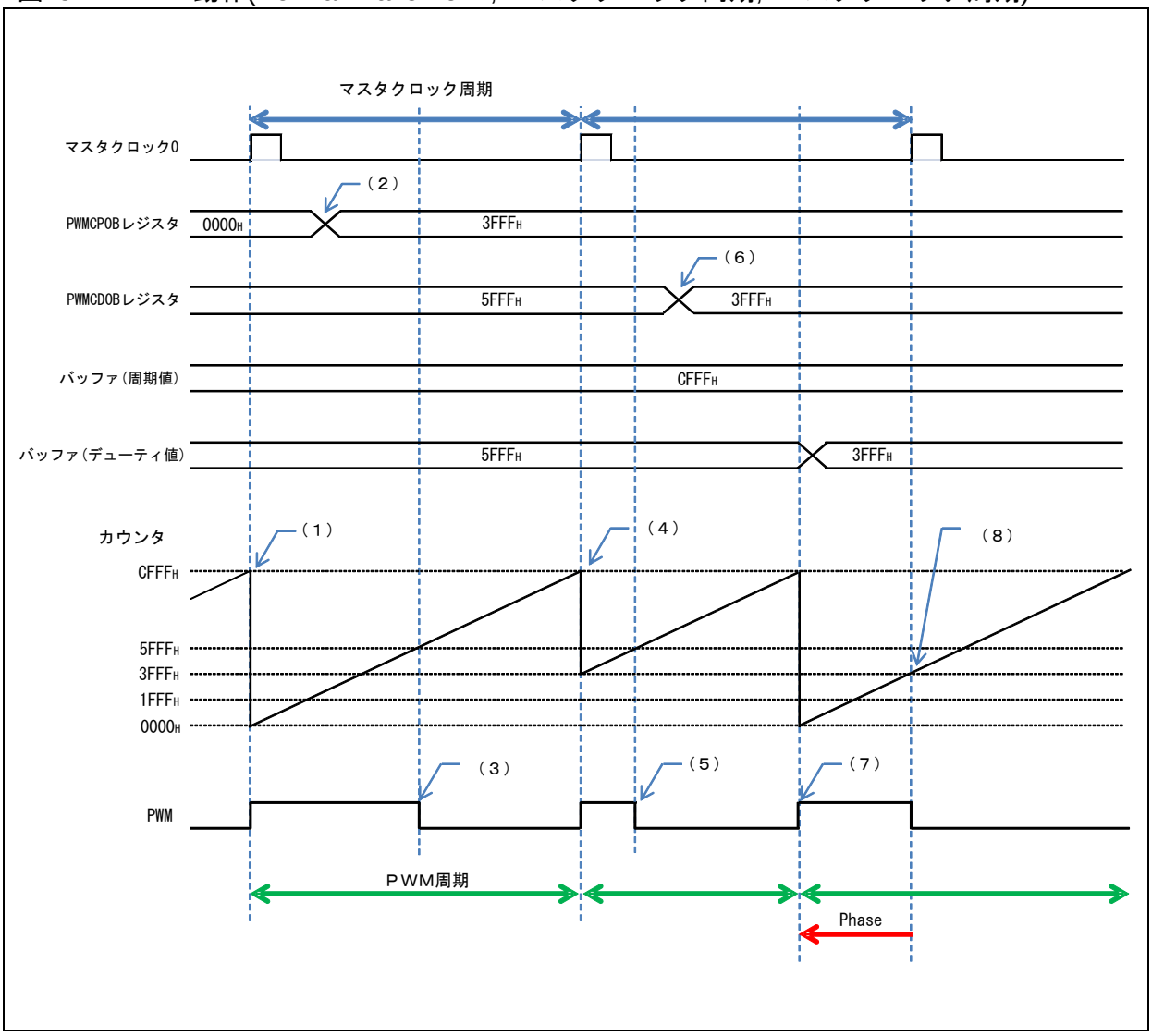
5.3. PWM 生成の動作

PWM 生成の動作について説明します。

5.3.1. PWM動作 (Normal Wave Form，マスタクロック同期，マスタクロック周期)

PWM 動作 (Normal Wave Form，マスタクロック同期，マスタクロック周期)について示します。

図 5-12 PWM 動作(Normal Wave Form，マスタクロック同期，マスタクロック周期)



● 動作説明

(1)マスタクロック 0 によりカウンタへ PWMCP0B("0000_H")をロード。PWM 信号を"H"に変更

(2)PWMCP0B(フェーズ値)の書込み

(3)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(4)マスタクロック 0 によりカウンタへ PWMCP0B("$3FFF_H$")をロード。PWM 信号を"H"に変更

(5)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(6)PWMCD0B(デューティ値)の書込み

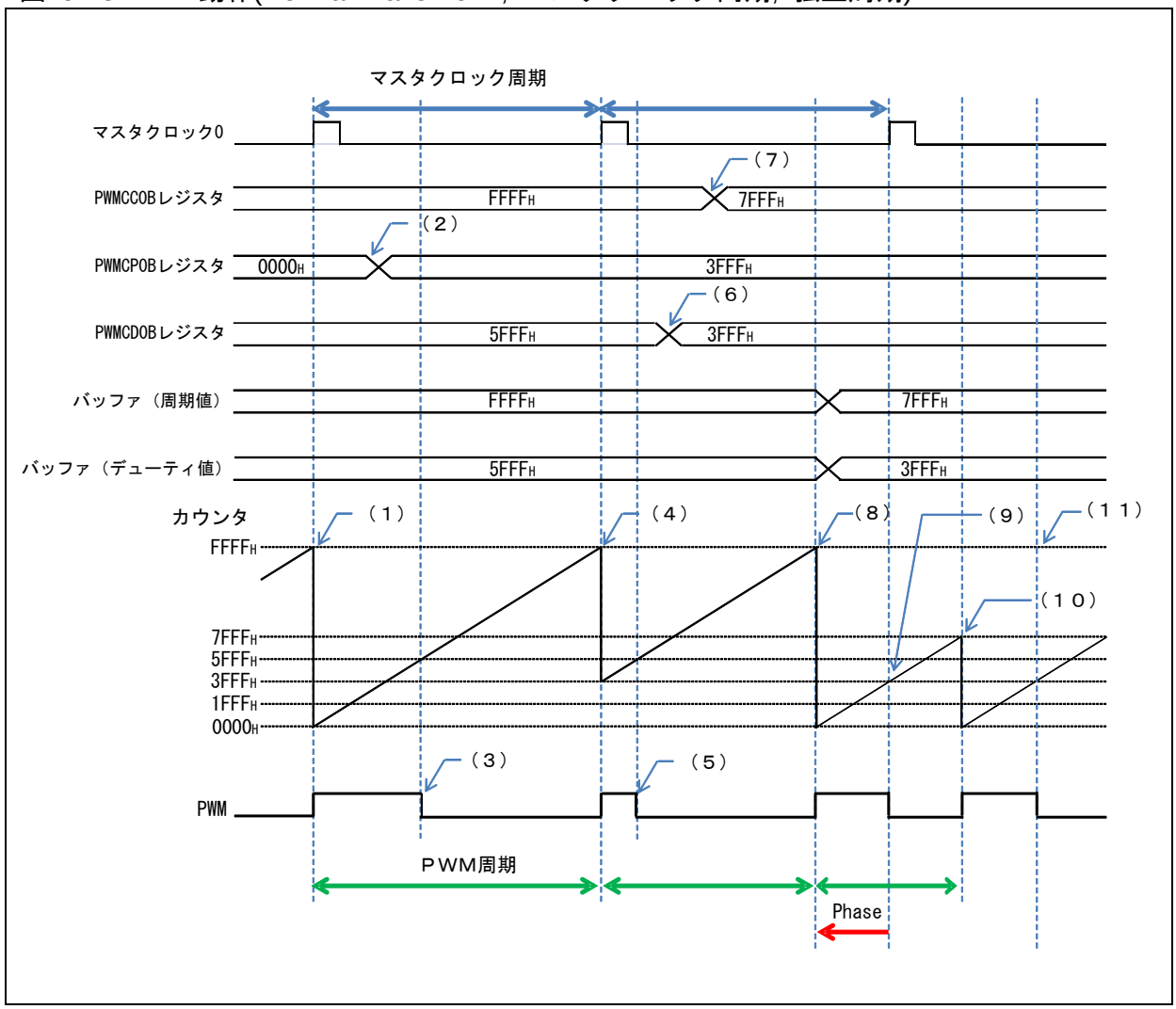
(7)バッファ(周期値)とカウンタ値の一致によりカウンタを"0"クリア。PWM信号を"H"に変更。 バッファ(デューティ値)へデューティ値を転送

(8)マスタクロック0 によりカウンタへPWMCP0B("$3FFF_H$")をロード。カウンタ値がバッファ (デューティ値) より大きくなったことにより、PWM 信号を"L"に反転

5.3.2. PWM動作 (Normal Wave Form，マスタクロック同期，独立周期)

PWM 動作 (Normal Wave Form，マスタクロック同期，独立周期)について示します。

図 5-13 PWM 動作(Normal Wave Form，マスタクロック同期，独立周期)



● 動作説明

(1)マスタクロック 0 によりカウンタへ PWMCP0B("0000_H")をロード。PWM 信号を"H"に変更

(2)PWMCP0B(フェーズ値)の書込み

(3)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(4)マスタクロック 0 によりカウンタへ PWMCP0B("$3FFF_H$")をロード。PWM 信号を"H"に変更

(5)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(6)PWMCD0B(デューティ値)の書込み

(7)PWMCC0B(周期値)の書込み

(8)バッファ(周期値)とカウンタ値が一致によりカウンタ値を"0000_H"クリア。PWM信号を"H"に 変更。バッファ(周期値)へ周期値を転送。バッファ(デューティ値)へデューティ値を転送

(9)マスタクロック0 によりカウンタへPWMCP0B("$3FFF_H$")をロード。カウンタ値がバッファ (デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

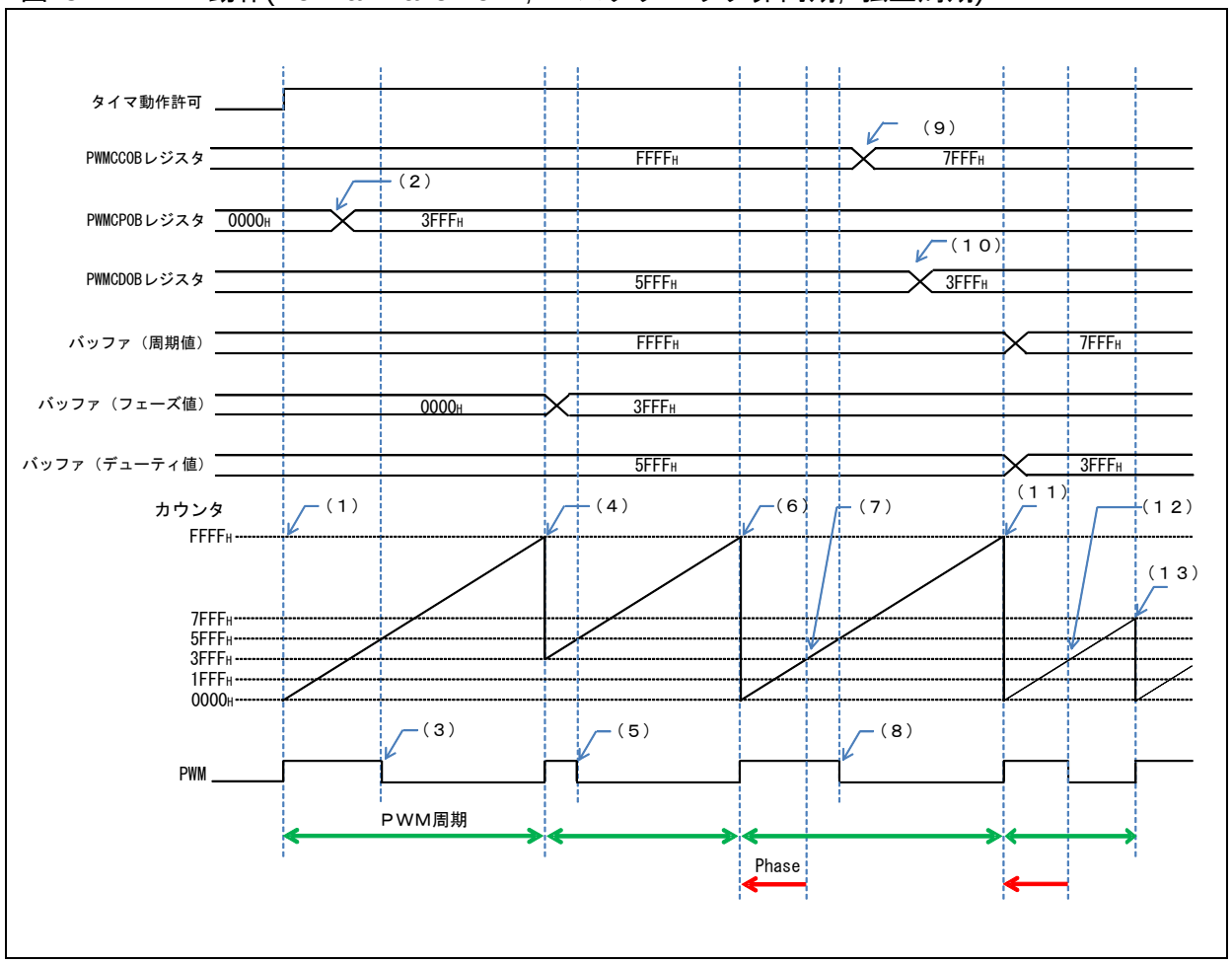
(10)バッファ(周期値)とカウンタ値が一致によりカウンタ値を"0000_H"クリア。PWM信号を"H"に変更。

(11)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

5.3.3. PWM 動作 (Normal Wave Form, マスタクロック非同期, 独立周期)

PWM 動作 (Normal Wave Form, マスタクロック非同期, 独立周期)について示します。

図 5-14 PWM 動作(Normal Wave Form, マスタクロック非同期, 独立周期)



● 動作説明

(1)タイマ動作許可が"H"によりカウンタがアップカウント開始。PWM 信号を"H"に変更

(2)PWMCP0B(フェーズ値)の書込み

(3)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(4)タイマ動作許可直後のバッファ(フェーズ値)が"0000_H"時、バッファ(周期値)とカウンタ値が 一致によりカウンタへ PWMCP0B("$3FFF_H$")をロード。PWM 信号を"H"に変更。バッファ(フェーズ値)へフェーズ値を転送

(5)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(6)バッファ(周期値)とカウンタ値が一致によりカウンタを"0000_H"クリア。PWM 信号を"H"に変更

(7)バッファ(フェーズ値)− 1 とカウンタ値が一致 によりカウンタへ PWMCP0B("$3FFF_H$")をロード

(8)カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(9)PWMCC0B(周期値)の書込み

(10)PWMCD0B(デューティ値)の書込み

(11)バッファ(周期値)とカウンタ値が一致によりカウンタを"0000_H"クリア。PWM信号を"H"に 変更。バッファ(周期値)へ周期値を転送。バッファ(デューティ値)へデューティ値を転送

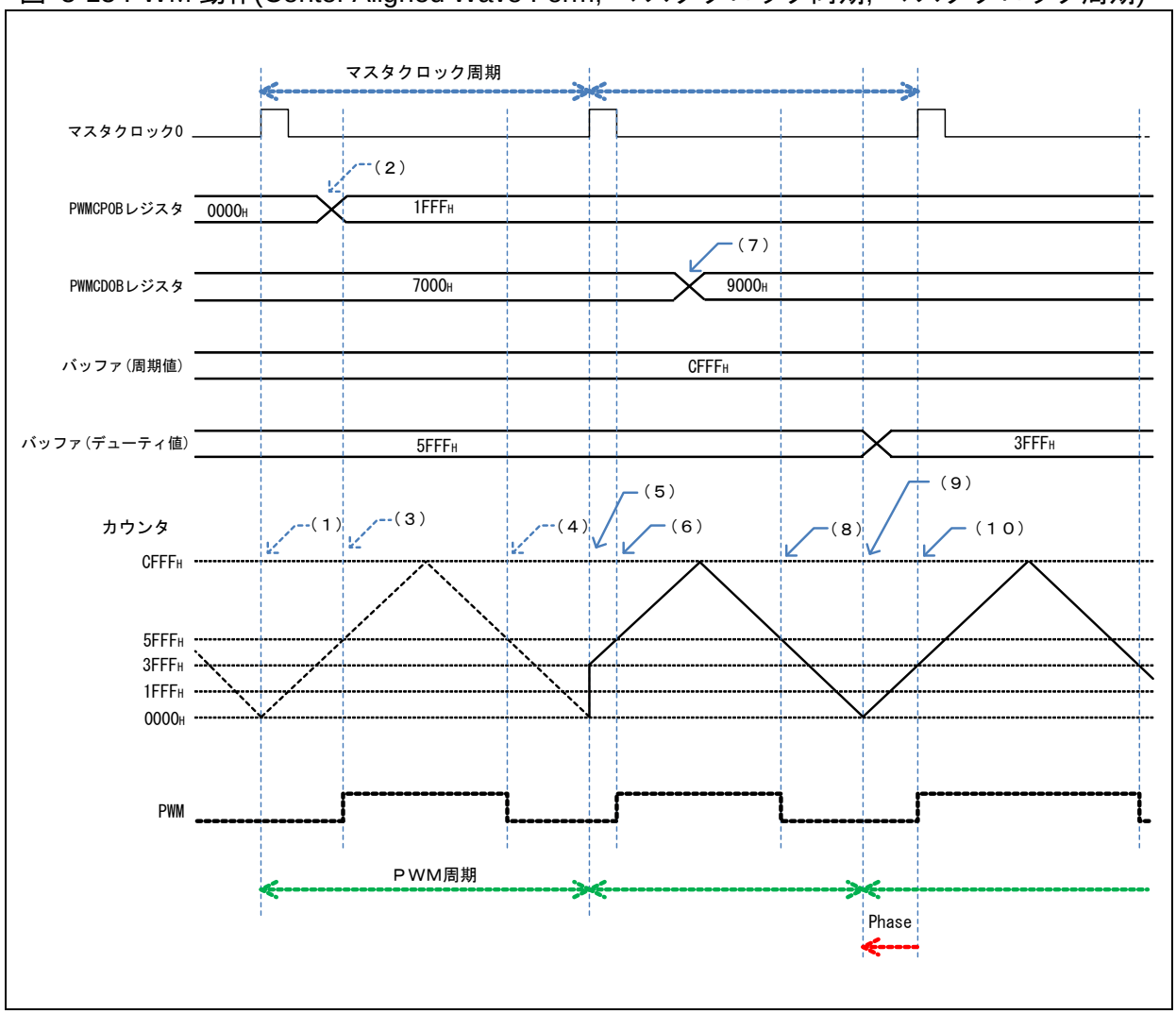
(12)バッファ(フェーズ値)− 1 とカウンタ値が一致 によりカウンタへ PWMCP0B("$3FFF_H$")をロード。カウンタ値がバッファ(デューティ値)より大きくなったことにより、PWM 信号を"L"に反転

(13)バッファ(周期値)とカウンタ値が一致によりカウンタを"0000_H"クリア。PWM信号を"H"に 変更

5.3.4. PWM動作 (Center Aligned Wave Form, マスタクロック同期, マスタクロック周期)

PWM 動作 (Center Aligned Wave Form, マスタクロック同期, マスタクロック周期)について示します。

図 5-15 PWM 動作(Center Aligned Wave Form, マスタクロック同期, マスタクロック周期)



● 動作説明

(1)マスタクロック 0 によりカウンタへ PWMCP0B("0000_H")をロード

(2)PWMCP0B(フェーズ値)の書込み

(3)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(4)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(5)マスタクロック 0 によりカウンタへ PWMCP0B("$3FFE_H$")をロード

(6)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(7)PWMCD0B(デューティ値)の書込み

(8)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

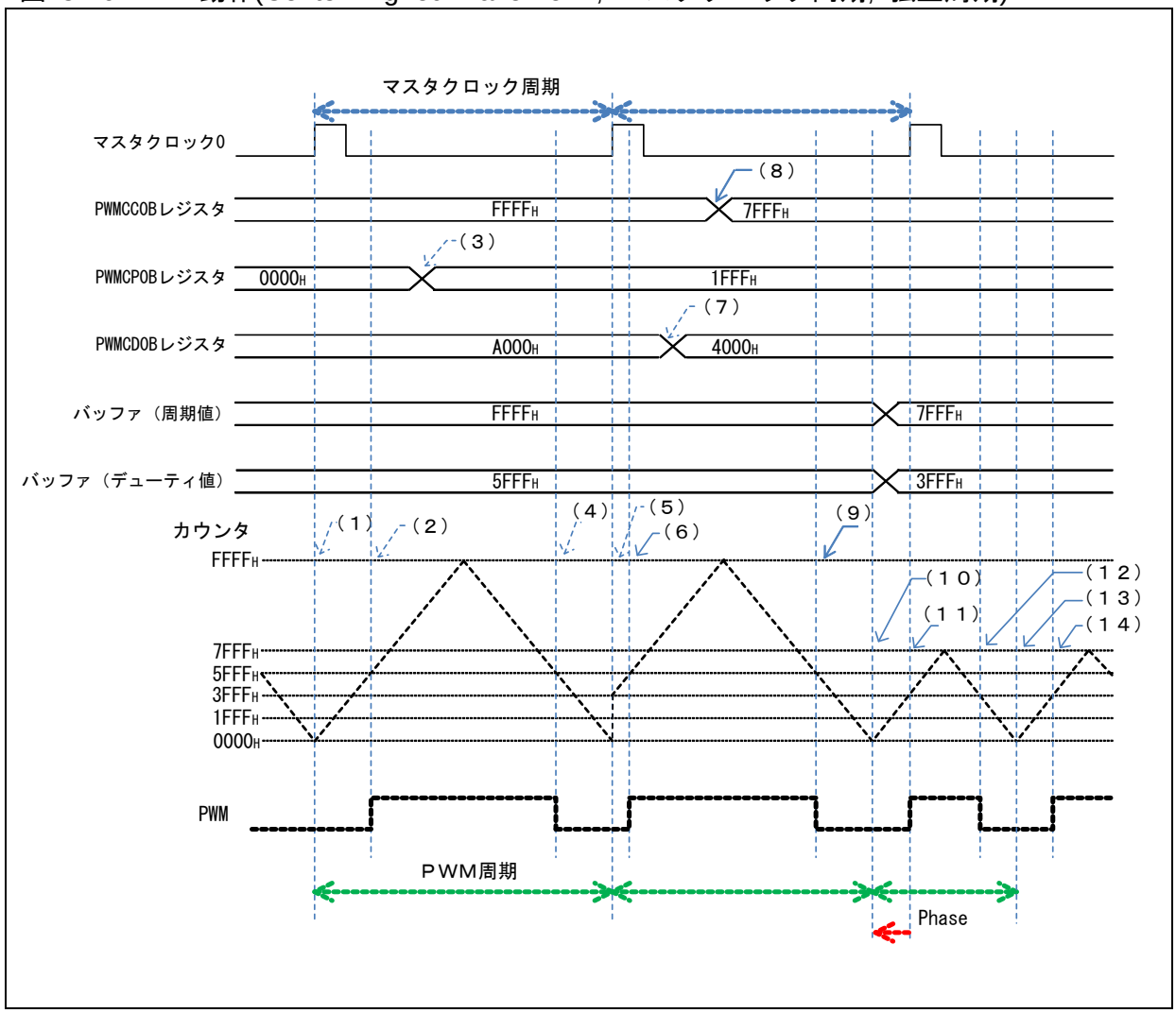
(9)カウンタ値が"0000_H"。バッファ(デューティ値)へデューティ値を転送

(10)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM 信号を"H"に反転

5.3.5. PWM動作 (Center Aligned Wave Form，マスタクロック同期，独立周期)

PWM 動作 (Center Aligned Wave Form，マスタクロック同期，独立周期)について示します。

図 5-16 PWM 動作(Center Aligned Wave Form，マスタクロック同期，独立周期)



● 動作説明

(1)マスタクロック 0 によりカウンタへ PWMCP0B("0000_H")をロード。

(2)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(3)PWMCP0B(フェーズ値)の書込み

(4)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(5)マスタクロック 0 によりカウンタへ PWMCP0B("$3FFE_H$")をロード。

(6)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(7)PWMCD0B(デューティ値)の書込み

(8)PWMCC0B(周期値)の書込み

(9)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(10)カウンタ値が"0000_H"。バッファ(周期値)へ周期値を転送。バッファ(デューティ値)へデューティ値を転送

(11)マスタクロック 0 によりカウンタへ PWMCP0B("$3FFE_H$")をロード。カウンタ値が「バッファ (周期値) － バッファ(デューティ値)」以上より、PWM 信号を"H"に反転

(12)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

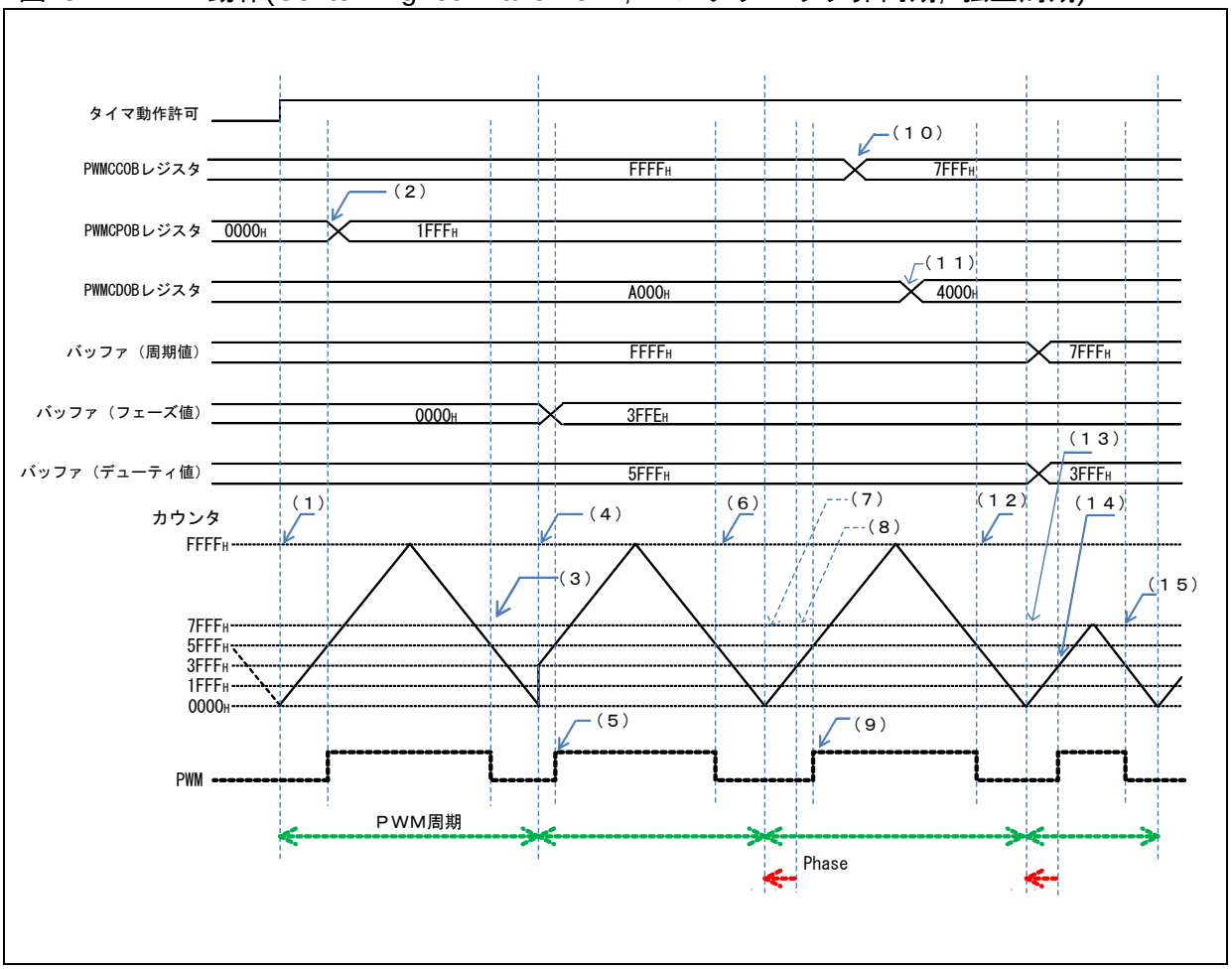
(13)カウンタ値が"0000_H"。カウントアップ

(14)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"　反転

5.3.6. PWM動作（Center Aligned Wave Form，マスタクロック非同期，独立周期)

PWM動作（Center Aligned Wave Form，マスタクロック非同期，独立周期)について示します。

図 5-17 PWM 動作(Center Aligned Wave Form，マスタクロック非同期，独立周期)



● 動作説明

(1)タイマ動作許可が"H"によりカウンタがアップカウント開始。

(2)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転。PWMCP0B(フェーズ値)の書込み

(3)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(4) タイマ動作許可直後のバッファ(フェーズ値)が"0000_H"時、カウンタ値が"0000_H"でカウンタへ PWMCP0B("$3FFE_H$")をロード。バッファ(フェーズ値)へフェーズ値を転送

(5)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(6)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(7)カウンタ値が"0000_H"、アップカウント

(8)バッファ(フェーズ値×2)－１とカウンタ値が一致 によりカウンタへ PWMCP0B("$3FFF_H$")を ロード。

(9)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM信号を"H"に　反転

(10)PWMCC0B(周期値)の書込み

(11)PWMCD0B(デューティ値)の書込み

(12)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

(13)カウンタ値が"0000_H"。バッファ(周期値)へ周期値を転送。バッファ(デューティ値)へ デューティ値を転送

(14)バッファ(フェーズ値×2)－１とカウンタ値が一致 によりカウンタへ PWMCP0B("$3FFE_H$")をロード。カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」以上より、PWM 信号を"H"に反転

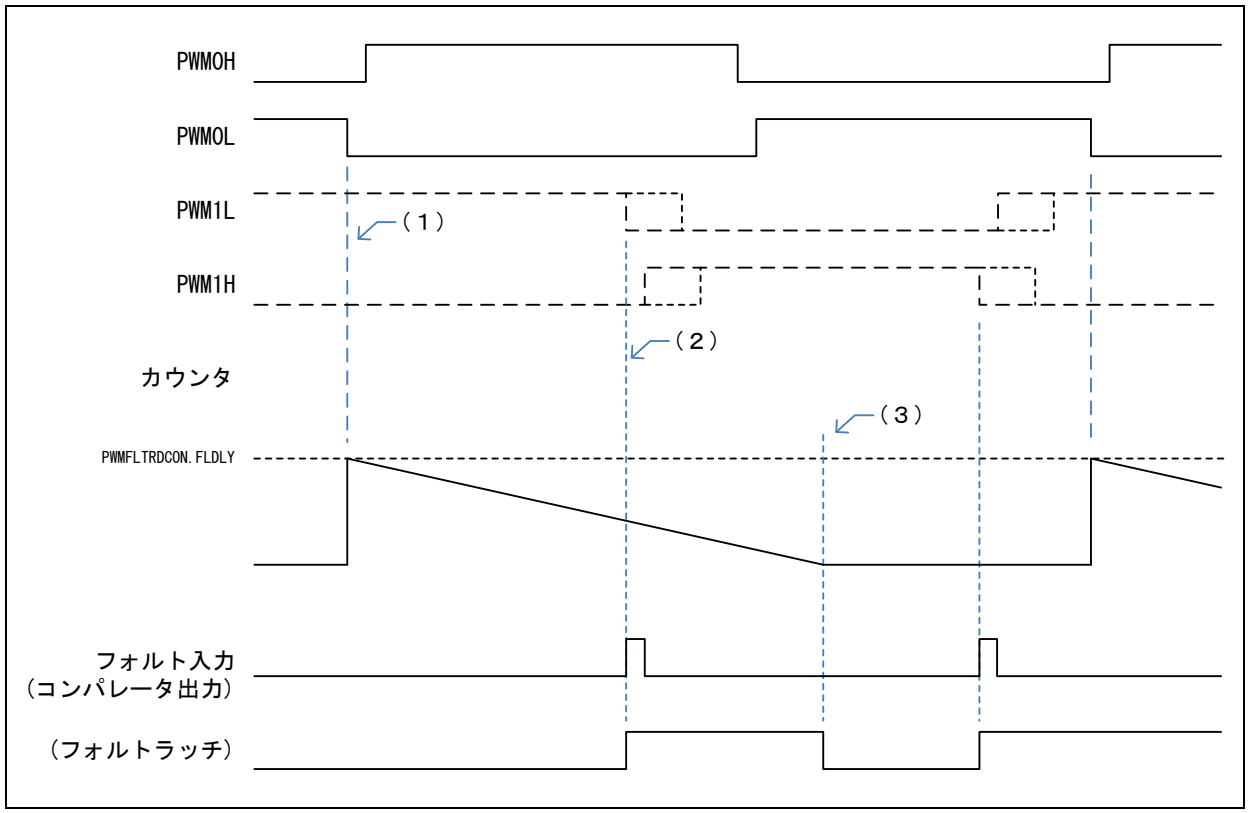
(15)カウンタ値が「バッファ(周期値) － バッファ(デューティ値)」より小さくなったことにより、PWM 信号を"L"に反転

5.4. フォルト制御の動作

フォルト制御の動作について説明します。

フォルト動作例を図 5-18 に示します。動作例はフォルト制御レジスタ(PWMFLTCON10)のフォルト動作選択ビット(FLT0H1～FLT0H0:bit11～10="01"), (FLT0L1～FLT0L0:bit9～8="01")かつフォルトリセット制御レジスタ(PWMFLTRCON1)のフォルトリセット要因選択ビット(FLSL02～FLSL00:bit10～8="001")の場合です。

図 5-18 フォルト動作例



● **動作説明**

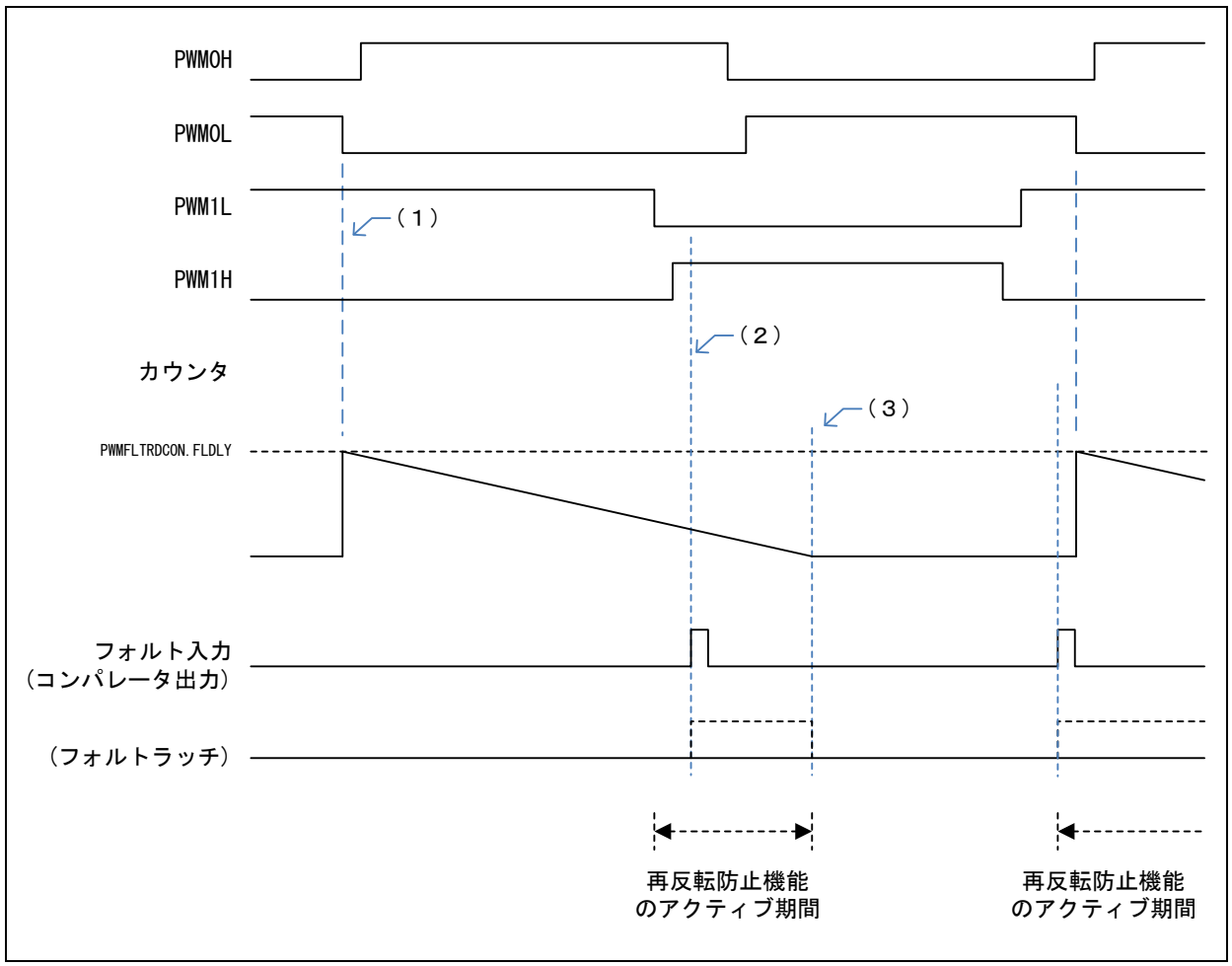
(1)PWM0L の立下りでカウンタに PWMFLTRDCON レジスタの FLDLY15～0 の設定値をロード

(2)フォルト動作により PWH1H/PWH1L を反転。PWM1H はデッドタイムが付加されて出力

(3)カウンタ値が"0000_H"によりフォルトラッチをリセット

再反転防止機能により PWM が再反転しない場合のフォルト動作例を図 5-19 に示します。動作例はフォルト制御レジスタ(PWMFLTCON10)のフォルト動作選択ビット(FLT0H1～FLT0H0:bit11～10="01"), (FLT0L1～FLT0L0:bit9～8="01")かつフォルトリセット制御レジスタ(PWMFLTRCON1)のフォルトリセット要因選択ビット(FLSL02～FLSL00:bit10～8="001")の場合です。

図 5-19 再反転防止機能により PWM が再反転しない場合のフォルト動作例



● 動作説明

(1)PWM0L の立下りでカウンタに PWMFLTRDCON レジスタの FLDLY15～0 の設定値をロード

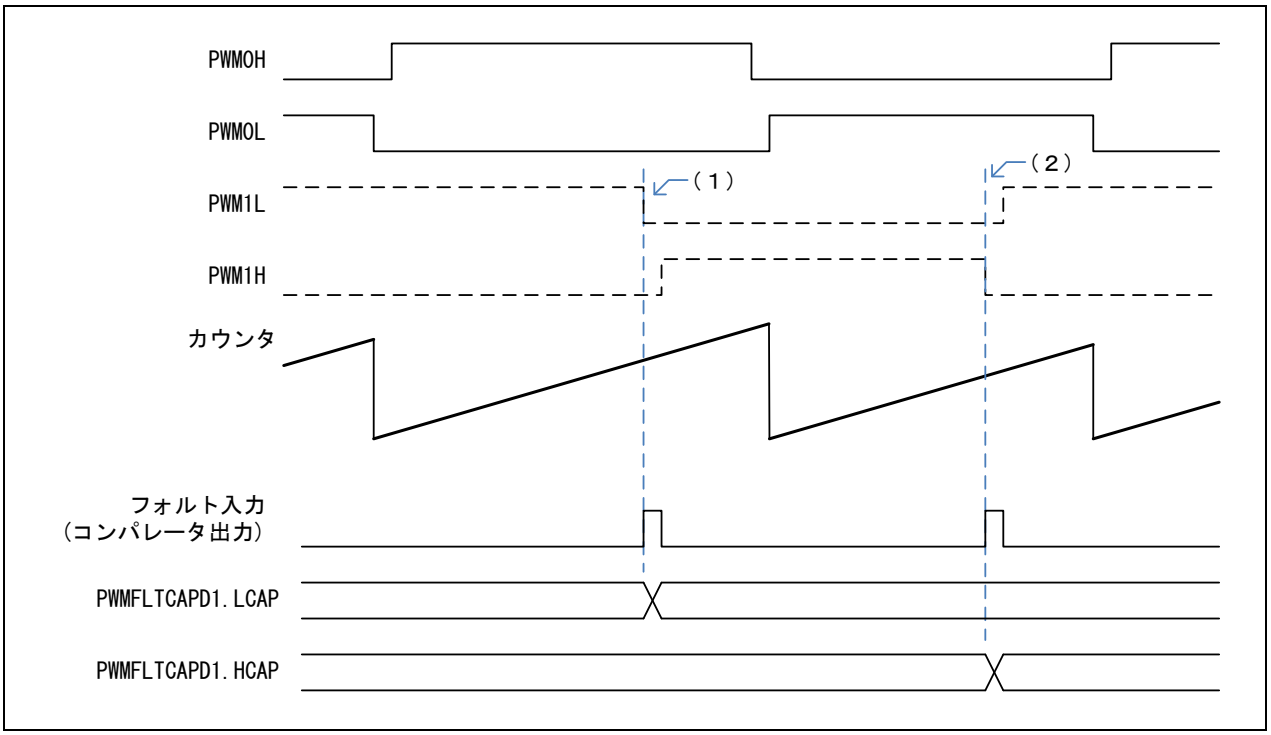
(2)再反転防止機能より、フォルト入力によって PWM1H/PWM1L を反転しない。PWM1H はデッドタイムが付加されて出力されています。また、再反転防止機能のため、フォルトラッチもアクティブになりません。

(3)フォルトラッチのリセット(カウンタ値が"0000_H")により、再反転防止機能を解除

フォルトキャプチャ動作例を図 5-20 に示します。動作例は下記に示す設定の場合です。

- フォルト制御レジスタ(PWMFLTCON10)のキャプチャカウンタリセット要因選択ビットがPWM0L立上り(CFHSL3～CFHSL0:bit15～12="1001")
- フォルト制御レジスタ(PWMFLTCON11)のキャプチャカウンタリセット要因選択ビットがPWM0L立下り(CFLSL3～CFLSL0:bit15～12="1001")
- フォルトキャプチャ制御レジスタ(PWMFLTCAPCON1)のハイサイド側 PWM キャプチャエッジ選択ビットが PWM 立下り(CEHSL2～CEHSL0:bit6～4="010")
- フォルトキャプチャ制御レジスタ(PWMFLTCAPCON1)のロウサイド側 PWM キャプチャエッジ選択ビットが PWM 立下り(CELSL2～CELSL0:bit2～0="010")

図 5-20 フォルトキャプチャ動作例



● 動作説明

(1)フォルト動作による PWM1L 立下りにより、カウンタ値をフォルトキャプチャデータレジスタ(PWMFLTCAPD1)のロウサイド側キャプチャデータビット(LCAP15～LCAP00:bit15～0)にキャプチャ

(2)フォルト動作による PWM1H 立下りにより、カウンタ値をフォルトキャプチャデータレジスタ(PWMFLTCAPD1)のハイサイド側キャプチャデータビット(HCAP15～HCAP00:bit31～16)にキャプチャ

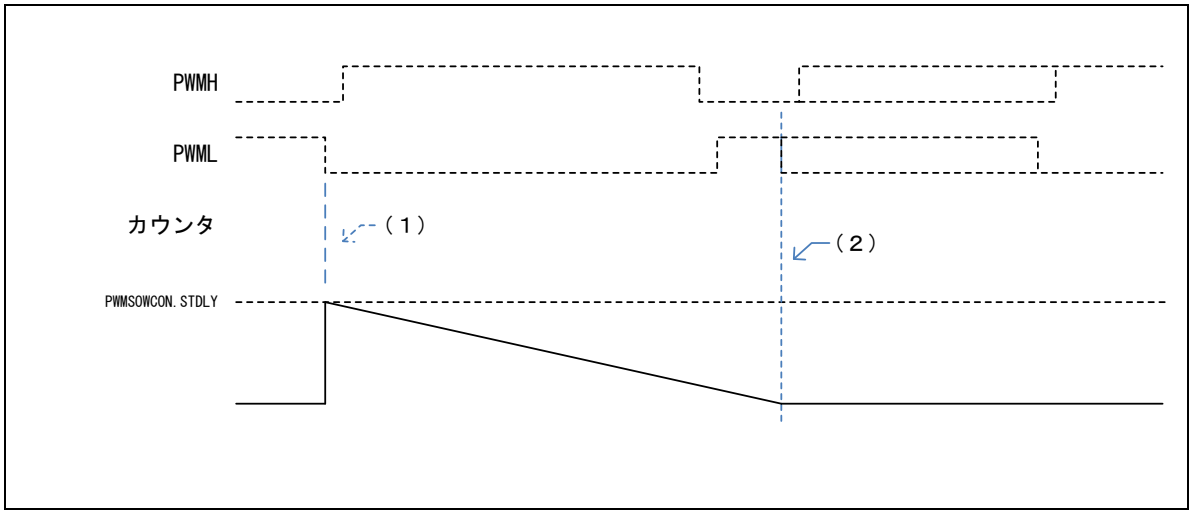
5.5. ソフトオーバライト制御の動作

ソフトオーバライト制御の動作について説明します。

ソフトオーバライト動作例を図 5-21 に示します。動作例はソフトオーバライト制御レジスタ(PWMSOWCON)が下記に示す設定の場合です。

・オーバライト選択ビット 1 が"L"固定出力(OSL11～OSL10:bit31～30="10")
・オーバライト選択ビット 0 が"H"固定出力(OSL01～OSL00:bit29～28="11")
・OSL バッファ許可ビットが有効(OSLBFE:bit27="1")
・オーバライトリガがロウサイド側 PWM の立下り(STSL2～STSL0:bit26～24="011")

図 5-21 ソフトオーバライト動作例



● 動作説明

(1)PWML 立下りによりカウンタにソフトオーバライト制御レジスタ(PWMSOWCON)のトリガ遅延ビット(STDLY15～STDLY 0:bit15～0)の設定値をロード

(2)カウンタ値が"0000_H"により、PWMH が"H"固定出力、PWML が"L"固定出力。PWMH はデッドタイムが付加されて出力

5.6. デッドタイムの動作

デッドタイムの動作について説明します。

図 5-22 通常モードのデッドタイム

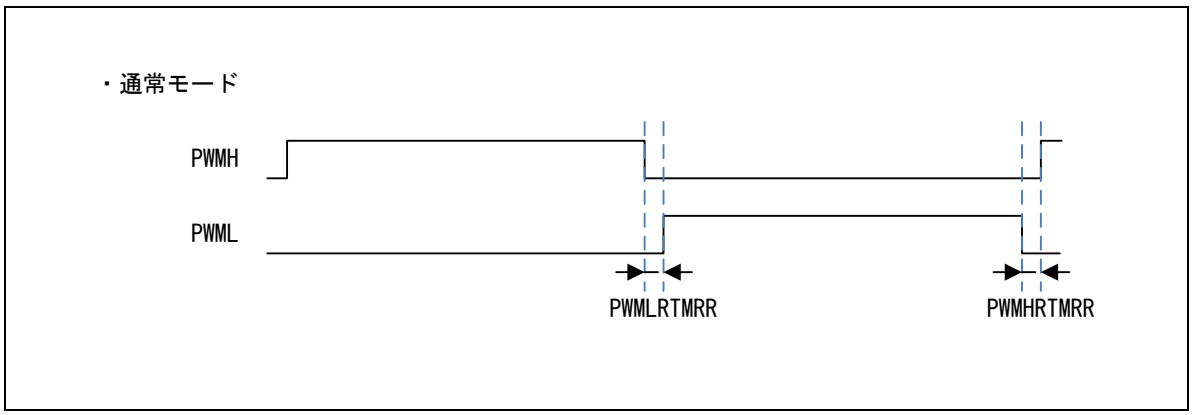
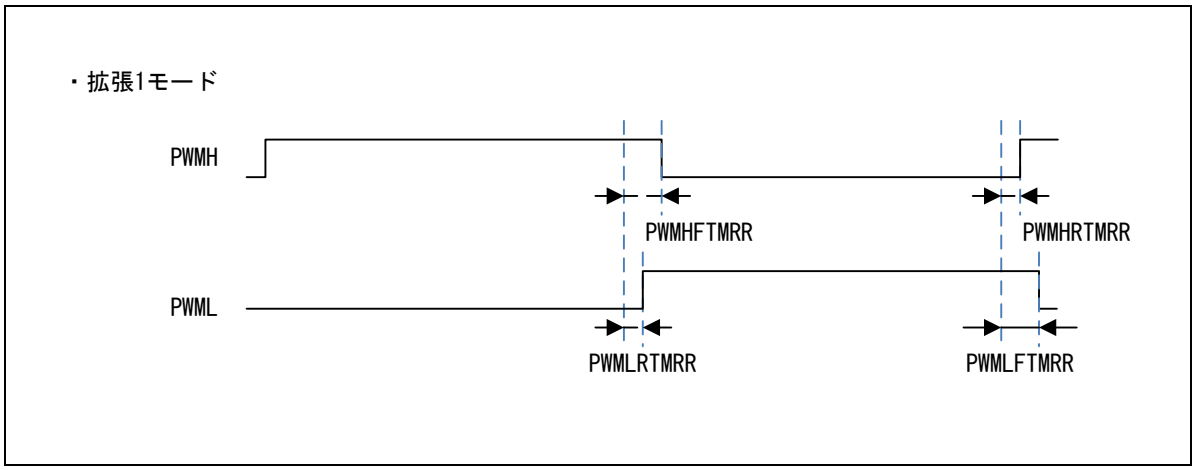


図 5-23 拡張 1 モードのデッドタイム

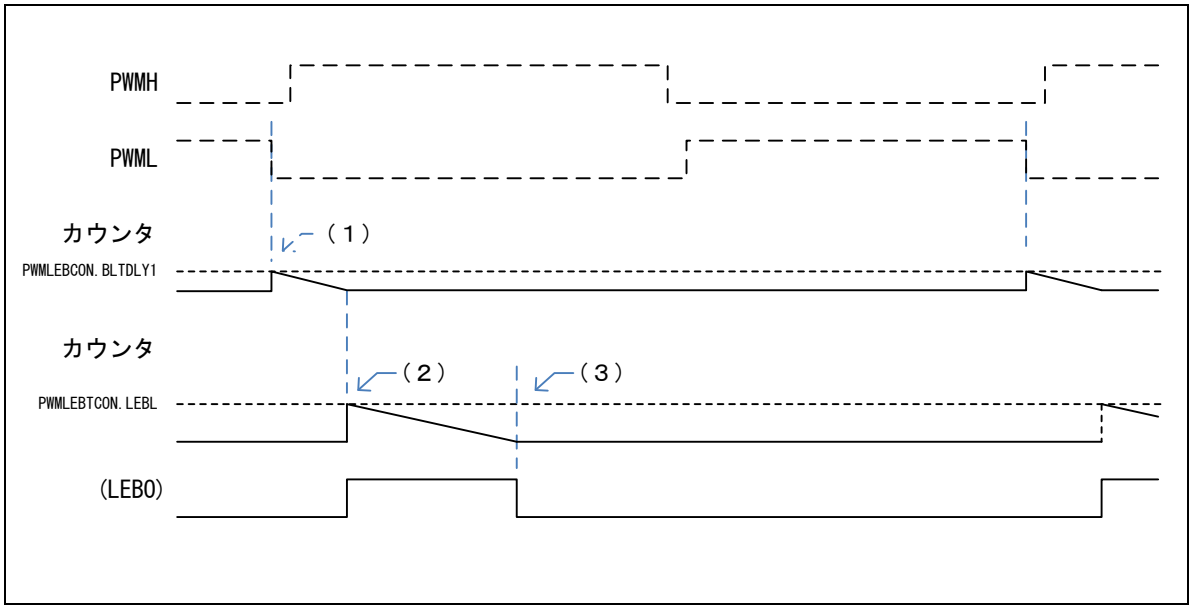


5.7. ブランキング生成の動作

ブランキング生成の動作について説明します。

ブランキング動作例を図 5-24 に示します。動作例はブランキング制御レジスタ(PWMLEBCON)のブランキングトリガが PWML 立下りの場合です。

図 5-24 ブランキング動作例



● 動作説明

(1)PWML 立下りによりカウンタにブランキングスタート遅延制御レジスタ(PWMLEBSDCON)の遅延値ビット(DLY15～DLY 00:bit15～0)の設定値をロード

(2)カウンタ値が"0000_H"により、LEBO を"H"出力、カウンタ値にブランキング時間制御レジスタ(PWMLEBTCON)の LWB 幅ビット(LEBL15～LEBL00:bit15～0)の設定値をロード

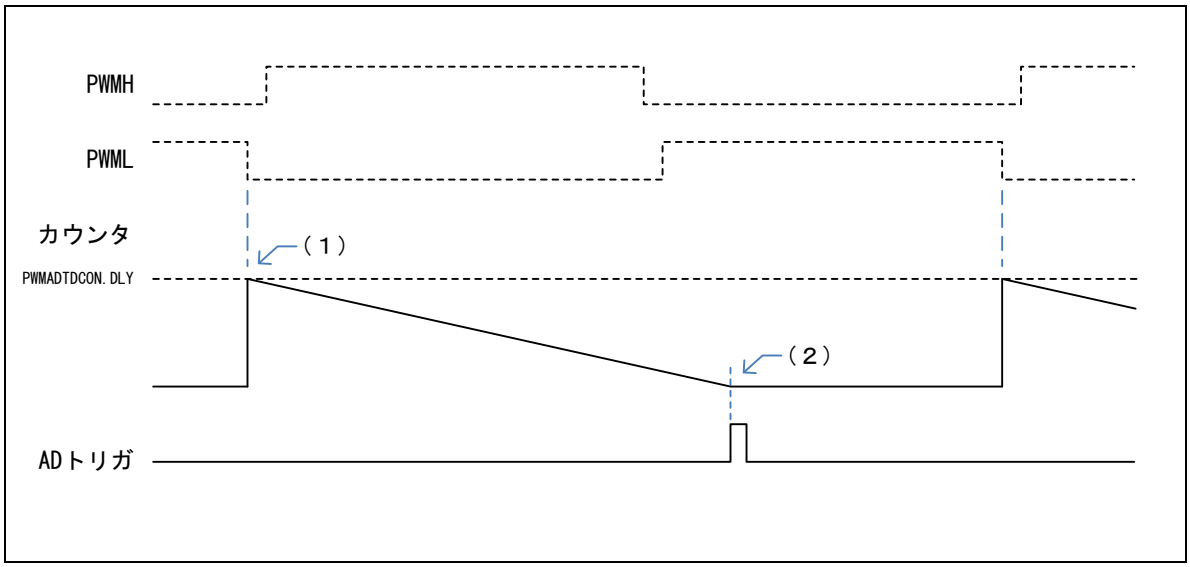
(3)カウンタ値が"0000_H"により、LEBO を"L"出力

5.8. A/D コンバータトリガ生成の動作

A/D コンバータトリガ生成の動作について説明します。

A/D コンバータトリガ生成の動作例を図 5-25 に示します。動作例は A/DC トリガ制御レジスタ(PWMADTCON)のトリガ選択が PWML 立下りの場合です。

図 5-25 A/D コンバータトリガ生成の動作例



● 動作説明

(1)PWML 立下りによりカウンタに A/DC トリガ遅延制御レジスタ (PWMADTDCON)の遅延値ビット(DLY15～DLY 00:bit15～0)の設定値をロード

(2)カウンタ値が"0000_H"により、A/D トリガを出力

6. 注意事項

PWM の注意事項について説明します。

PWM を使用する時の注意事項を説明します。

● バッファレジスタへアクセス時の注意

・タイマ内の PWMCPCLR レジスタにはバッファ機能があります。このレジスタに対して、リードモディファイライト系命令でのアクセスは行わないでください。

● プログラムによる設定上の注意

・リセットを実行した場合、タイマ値が"0000_H"になりますが、0 検出割込みフラグは設定されません。
・ソフトウェアクリア(PWMTCCS レジスタの SCLR=1)はタイマを初期化しますが、0 検出割込みおよびマスタクロックを生成しません。
・コンペア値とカウント値が一致している時にカウントを開始する場合は、コンペアクリアフラグは設定されません。
・コンペア値は、"0000_H"以外の値となるように設定してください。仮に設定した場合は、以下の動作となりますので、ご注意ください。
  ・タイマモードビット(PWMTCCS レジスタの MODE)がアップカウントモードのときは、タイマ値が"0000_H"に更新されてからタイマ値は"0000_H"固定となります。0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとに設定され続けます。
  ・タイマモードビット(PWMTCCS レジスタの MODE)がアップダウンカウントモードのときは、タイマ値は"0000_H"から"$FFFF_H$"までのアップカウント動作を繰り返します。0 検出割込みフラグとコンペアクリアフラグはタイマ値が"0000_H"と一致した場合、設定されます。

● 割込みの注意

・タイマ状態制御レジスタ(PWMTCCS)の割込み要求許可ビット(IRQZE)に"1"を設定する前に、必ず割込みフラグ(IRQZF)をクリアしてください。
・タイマ状態制御レジスタ(PWMTCCS)の割込み要求許可ビット(ICRE)に"1"を設定する前に、必ず割込みフラグ(ICLR)をクリアしてください。
・特殊イベント制御レジスタ(PWMSEVCON)の割込み要求許可ビット(ISEVE)に"1"を設定する前に、必ず特殊イベントステータスレジスタ(PWMSEVST)の割込みフラグ(ISEVF)をクリアしてください。
・フォルト制御レジスタ(PWMFLTCON)の割込み要求許可ビット(IFLTE)に"1"を設定する前に、必ず PWM 共通ステータスレジスタ(PWMST)の割込みフラグ(IFLTF)をクリアしてください。
・ソフトオーバライト制御レジスタ(PWMSOWCON)の割込み要求許可ビット(SOWIE)に"1"を設定する前に、必ず PWM 共通ステータスレジスタ(PWMST)の割込みフラグ(SOWIF)をクリアしてください。
・フォルトキャプチャ制御レジスタ(PWMFLTCAPCON)の割込み要求許可ビット(CAPIE)に"1"を設定する前に、必ずPWM共通ステータスレジスタ(PWMST)の割込みフラグ(CAPIF)をクリアしてください。
・A/DC トリガ制御レジスタ(PWMADTCON)の割込み要求許可ビット(ADTIE)に"1"を設定する前に、必ず A/DC トリガステータスレジスタ(PWMADTST)の割込みフラグ(ADTIF)をクリアしてください。

● PWMTCCS レジスタアクセス時の注意

・リードモディファイライト系命令の場合、MSI2 ～ MSI0/MSI5 ～ MSI3からは設定値が読み出されます。
・通常の読出し時の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からはカウンタ値が読み出されます。

● 並列動作(マスタ/スレーブ動作)の注意

・スレーブ側のマスタクロック周期は、マスタ側のマスタクロック周期よりも大きな値を設定してください。
・スレーブ側の PWM 出力は、マスタ側の SYNCOUT からスレーブ側の SYNCIN までの遅延(5～30ns ＋ 基板の配線遅延)およびSYNCINからマスタクロックタイマへのリセットまでの内部遅延(PWMCLK×2～3 ＋ PWM 分周クロック×2)のため、マスタ側の PWM 出力よりも遅れますので注意してください。

● A/D コンバータトリガ生成の注意

・A/D コンバータトリガおよびトリガ割込みを発生させる場合、PWM 周期は(3×PWM 分周クロックの周期＋3×周辺クロック(PCLK)の周期)以上に設定してください。(A/D コンバータトリガ発生の間隔が(3×PWM分周クロックの周期＋3×周辺クロック(PCLK)の周期)以上になるように設定してください。)

● PWM 生成関連の注意

・独立周期モード(PWM制御レジスタ(PWMPCN)のMCPS:bit12="1")かつマスタクロック同期(PWM制御レジスタ(PWMPCN)の MCSEN:bit9="1")の組合せで下記の制限があるため、注意してください。
  ・独立周期の周期設定(PWM 周期設定レジスタ(PWMCCB))は、マスタクロック周期の 1/N 倍にしてください。(N は整数)
  ・マスタクロックのSYNCIN同期(タイマリセット制御レジスタ(PWMTRC)のSYNCEN:bit26="1"またはSYNCEN0:bit24="1")は使用しないでくだい。
  ・PWM 周期を変更する場合、マスタクロックの立上りから立上りまでの PWM 波形の先頭の PWM 周期を変更してください。
・Center Aligned Wave Form(PWM 制御レジスタ(PWMPCN)の OWFS:bit9="1")を使用する場合、下記の制限があるため、注意してください。

  ・デューティ設定値に 16'h0000 または周期値を設定しないでください。
  ・マスタクロック同期(PWM 制御レジスタ(PWMPCN)の MCSEN:bit9="1")、SYNCIN 同期(タイマリセット制御レジスタ(PWMTRC)の SYNCEN1:bit26="1"または SYNCEN0:bit24="1")を使用しないでください。
・マスタクロック周期モード(PWM 制御レジスタ(PWMPCN)の MCPS:bit12="0")かつマスタクロック同期(PWM 制御レジスタ(PWMPCN)の MCSEN:bit9="1")の組合せでは、PWM 生成のバッファは無効(PWM 制御レジスタ(PWMPCN)の CDFE:bit15="0", CCFE:bit13="0")にしてください。
・位相設定を使用して PWM 制御をしている場合、周期設定を変更しないでください。
・マスタクロック非同期(PWM制御レジスタ(PWMPCN)のMCSEN:bit9="0")かつマスタクロック周期モード(PWM 制御レジスタ(PWMPCN)の MCPS:bit12="0")の組合せは使用しないでください。

マスタクロック同期(PWM 制御レジスタ(PWMPCN)の MCSEN:bit9="1")、マスタクロックの SYNCIN 同期(タイマリセット制御レジスタ(PWMTRC)の SYNCEN:bit26="1"または SYNCEN0:bit24="1")を使用する場合、下記の制限があるため、注意してください。

- 位相設定の値は、"PWM 周期設定値 － PWM 生成に入力されるマスタクロック周期=A"とした場合、A ≦ 位相設定値 ≦ "PWM 周期設定値 － A"の範囲で使用してください。
- PWM 出力のデューティは、"PWM 位相設定値 － A"＜ PWM デューティ設定値の関係の場合、"PWM 周期設定値 － PWM 生成に入力されるマスタクロック周期"分だけ PWM の High 幅が削られます。

● ソフトオーバライト制御の注意

・PWM 出力をスタートする(PWM 同時起動レジスタ(PWMPCGS)の CNTE2～0:bit2～0="1")際は、ソフトオーバライト制御(ソフトオーバライト制御レジスタ(PWMSOWCON)の OSL11～OSL10, OSL01～OSL00:bit31～28="10" または “11")で"H" または “L" に固定してください。ソフト オーバライト制御の解除は PWM 出力の 1 周期分、待って PWM の 2 周期目から出力するように解除してください。

・PWM 出力をストップする(PWM 同時起動レジスタ(PWMPCGS)の CNTE2～0:bit2～0="0")際は、ソフトオーバライト制御(ソフトオーバライト制御レジスタ(PWMSOWCON)の OSL11～OSL10, OSL01～OSL00:bit31～28="10" または "11")で PWM 出力を"H" または "L" に固定してからストップしてください。

・ソフトオーバライト制御のバッファを有効(ソフトオーバライト制御レジスタ(PWMSOWCON)の OSLBFE:bit27="1")にしている場合、ソフトオーバライト制御レジスタ(PWMSOWCON)の書換えは、SOW 割込みが発生してからにしてください。

CHAPTER: PWM 専用クロック

PWM 専用クロックについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. クロックギア回路
6. 操作
7. 周波数、ギア計算例
8. 注意事項

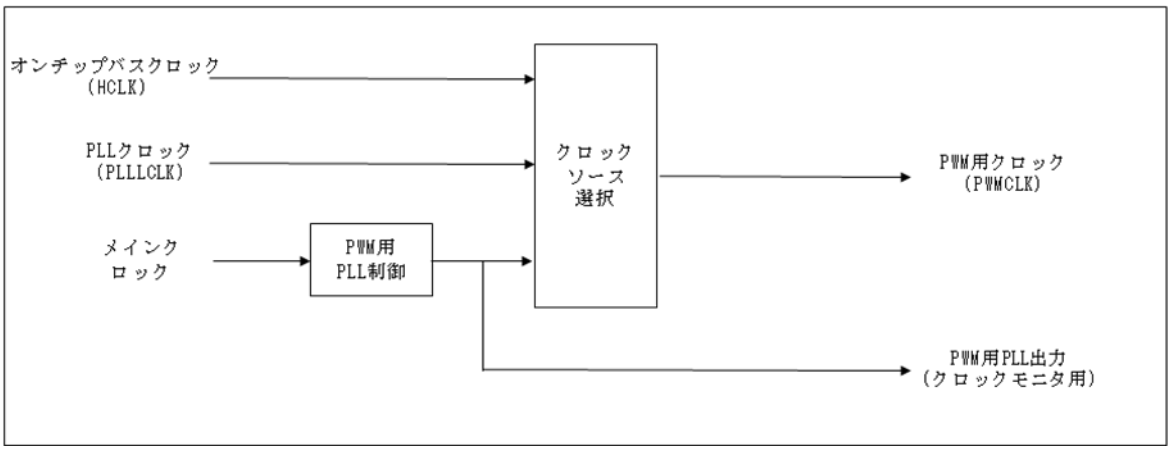
1. 概要

PWM 専用クロックの概要について説明します。

本品種は CPU コアのソースクロック用の PLL とは別に PWM 用の PLL を搭載しています。

本モジュールは, PWM 用の PLL 発振制御とクロック制御を行います。

図 1-1 ブロック図



2. 特長

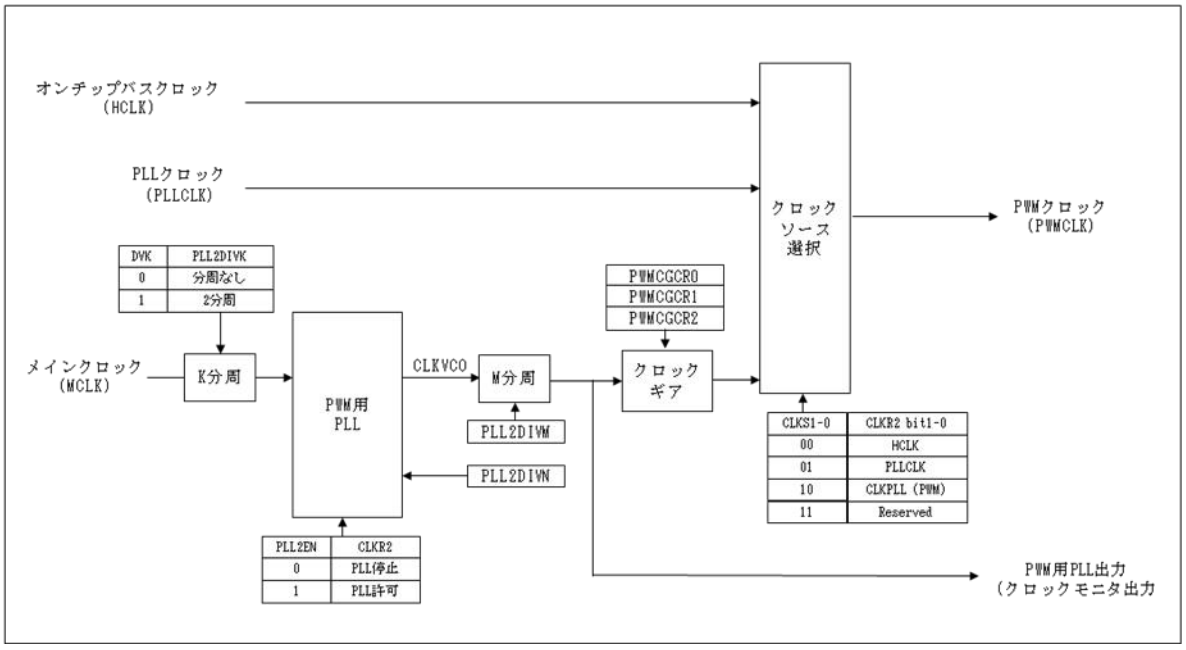
PWM 専用クロックの特長について説明します。

- 自由にプログラムできる PLL 逓倍率
- 電圧降下および電圧サージを防ぐためのクロックギアのアップダウン機能
- PWM クロック(PWMCLK)のソース選択機能
- PWM 用 PLL マクロのデッドロック状態検出による割込み発生機能

3. 構成

PWM 専用クロックの構成について説明します。

図 3-1 ブロック図 (詳細)



4. レジスタ

PWM 専用クロックのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04E8	PLL2DIVM	PLL2DIVN	予約	予約	PWMPLL 逓倍率(M 分周)選択レジスタ PWM PLL 逓倍率(N 分周)選択レジスタ
0x04EC	予約	PLL2DIVK	CLKR2	予約	PWM PLL 逓倍率(K 分周)選択レジスタ PWM PLL クロック出力コントロールレジスタ
0x04F0	予約	PWMCGRCR0	PWMCGRCR1	PWMCGRCR2	クロックギアコンフィグ設定レジスタ 0 クロックギアコンフィグ設定レジスタ 1 クロックギアコンフィグ設定レジスタ 2

4.1. PWM PLL 分周(M 分周)選択レジスタ ：PLL2DIVM

PWM PLL 分周(M 分周)選択レジスタのビット構成について示します。

PWM PLL クロックの分周を選択します。

■ PLL2DIVM：アドレス 04E8$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-				DVM3	DVM2	DVM1	DVM0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit7～bit4] 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit3～bit0] DVM3 ～ DVM0: CLKVCO の M 分周選択

DVM3 ～ DVM0	CLKVCO の M 分周(生成φ:PWMCLK)
0000	CLKVCO:2(2 分周)
0001	
0010	CLKVCO:3(3 分周)
0011	CLKVCO:4(4 分周)
0100	CLKVCO:5(5 分周)
0101	CLKVCO:6(6 分周)
0110	CLKVCO:7(7 分周)
0111	CLKVCO:8(8 分周)
・・・・	・・・・
1111	CLKVCO:16(16 分周)

＜注意事項＞

- M 分周カウンタに対して奇数の分周比(:3, :5, :7 など)を選択できますが，これは推奨値ではありません。

  生成される出力クロックは，奇数のクロックデューティ比になります。

  偶数の分周比(:2, :4, :6 など)を常に選択してください。
- クロックソースとして CLKPLL(PWM)を選択すると，レジスタ値は変更できません(CLKR2:CLKS[1;0]=10)。
- PLL2DIVM および PLL2DIVN レジスタを変更する場合は, PLL(CLKR2:PLL2EN=0)を停止し，後で PLL(CLKR2:PLL2EN=1)を許可することを推奨します。

4.2. PWM PLL 逓倍率 (N 分周)選択レジスタ ：PLL2DIVN

PWM PLL 逓倍率 (N 分周)選択レジスタのビット構成について示します。

PLL 入力クロックから PWM PLL クロックへの逓倍率を選択します。

■ PLL2DIVN：アドレス 04E9$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	DVN6	DVN5	DVN4	DVN3	DVN2	DVN1	DVN0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit6～bit0] DVN6 ～ DVN0: PWM 用 PLL マクロ FB 入力分周比設定

DVN6 ～ DVN0	分周比設定
0000000-0001011	設定禁止
0001100	13
0001101	14
0001110	15
・・・・	・・・・
1100010	99
1100011	100
1100100-1111111	設定禁止

＜注意事項＞

・クロックソースとして CLKPLL(PWM)を選択すると，レジスタ値は変更できません (CLKR2:CLKS[1;0]=10)。

・PLL2DIVM および PLL2DIVN レジスタを変更する場合は, PWM 用 PLL(CLKR2:PLL2EN=0) を停止し，後で PWM 用 PLL(CLKR2:PLL2EN=1)を許可することを推奨します。

4.3. PWM PLL 逓倍率(K 分周)選択レジスタ ：PLL2DIVK

PWM PLL 逓倍率(K 分周)選択レジスタのビット構成について示します。

PWM PLL 入力クロックの分周選択を行います。

■ PLL2DIVK：アドレス 04ED$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-							DVK
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit0] DVK:MCLK の K 分周選択

PWM PLL 入力クロックのメインクロック(MCLK)分周を以下に示すように選択します。

DVK	MCLK(PLL 入力クロック)の K 分周
0	MCLK/1(分周なし)
1	MCLK/2(2 分周)

＜注意事項＞

クロックソースとして CLKPLL(PWM)を選択すると，レジスタ値は変更できません(CLKR2:CLKS[1;0]=10)。

4.4. PWM PLL クロック出力コントロールレジスタ ：CLKR2

PWM PLL クロック出力コントロールレジスタのビット構成について示します。

PWM PLL クロックの動作制御を設定します。

■ CLKR2：アドレス 04EE$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FPOVF	FPOVIR	FPOVIE	予約		PLL2EN	CLKS1	CLKS0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R(RM1),W	R/W	R/W0	R0,W0	R/W	R/W	R/W

[bit7] FPOVF:PWM 用 PLL アラームフラグ

PWM 用 PLL マクロがデッドロック状態を検出したことを示すフラグです。

FPOVF	PWM 用 PLL デッドロック状態検出
0	通常ロック状態
1	デッドロック状態

[bit6] FPOVIR:PWM 用 PLL アラーム割込み要求フラグ

PWM 用 PLL マクロのアラーム割込み要求を示すフラグです。

本ビットが"1"かつ PWM 用 PLL アラーム割込み要求(FPOVIE)が"1"のとき, PWM 用 PLL アラーム割込みを発生します。リードモディファイライト系命令時, "1"が読み出されます。

FPOVIR	読出し時	書込み時
0	通常ロック状態	フラグをクリアする
1	デッドロック状態	無効

[bit5] FPOVIE:PWM 用 PLL アラーム割込み要求許可

PWM 用 PLL マクロのアラーム割込み要求フラグビットが"1"になったとき, PWM 用 PLL アラーム割込み要求を発生させるかを設定します。

FPOVIE	PWM 用 PLL アラーム割込み要求許可
0	割込み要求禁止
1	割込み要求許可

[bit4, bit3] 予約

必ず"0"を書き込んでください。

[bit2]PLL2EN:PWM 用 PLL 選択許可

PWM 用 PLL の動作を以下のように設定します。

PLL2EN	機能
0	PWM PLL 停止(初期値)
1	PWM PLL 動作許可

・CLKPLL(PWM)がクロックソースとして選択されている(CLKS[1:0]=10)ときに PWMPLL 動作許可ビット(PLL2EN)を変更することは禁止します。

ストップモードにする前に本ビットを"0"にしてください。

[bit1, bit0]CLKS1,CLKS0 : PWMCLK 出力選択

PWMPLL-I/F から出力される PWMCLK の選択を以下のように設定します。

CLKS1, CLKS0	機能(PWMCLK 出力選択)
00	HCLK(初期値)
01	PLLCLK
10	CLKPLL(PWM)
11	Reserved

・PWM を使用する場合は, CLKS[1:0]=10 に設定してください。

4.5. クロックギアコンフィグ設定レジスタ 0 : PWMCGRCR0

クロックギアコンフィグ設定レジスタ 0 のビット構成について示します。

クロックギアの各種設定を行います。

■ PWMCGRCR0 : アドレス 04F1$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTS[1:0]		予約				GRSTR	GREN
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM0), W1	R/W

[bit7,bit6]GRSTS[1:0](clock GeaR STatus flags):クロックステータスフラグ

クロックギアの状態を表示します。

GRSTS[1:0]	ステータス
00	クロックギア低速発振状態で停止または クロックギアを使用しない(PWMCGRCR0.GREN=0)または PWM リセット状態(CLKR2.PLL2EN)
01	GEAR UP 動作中
10	クロックギア高速発振状態で停止
11	GEAR DOWN 動作中

[bit5～bit2] 予約

必ず"0"を書き込んでください。

[bit1] GRSTR(clock GeaR STaRt):クロックギアスタート

本ビットへの"1"書込みによりクロックギアが動作を開始します。

クロックギアの動作は GRSTS ビットの値により動作が異なります。(ギアアップまたはギアダウン)

GRSTS=00 の場合

GRSTS	動作
"0"書込み	動作には影響しない
"1"書込み	ギアアップ動作開始

GRSTS=01/11 の場合

GRSTS	動作
"0"書込み	動作には影響しない
"1"書込み	動作には影響しない

GRSTS=10 の場合

GRSTS	動作
"0"書込み	動作には影響しない
"1"書込み	ギアダウン動作開始

＜注意事項＞

PWMCGRCR0.GREN=1(クロックギア・イネーブル)のときのみ本ビットへの書き込みできます。

本ビットはクロックギアアップ(ダウン)動作が終了すると，自動的に"0"にクリアされます。また, CLKR2.PLL2EN=0(PWM PLL 停止)のとき，本ビットは"0"にクリアされます。

リードモディファイライト命令では，本ビットは常に"0"が読み出されます。本ビットが"1"の期間に書込みを行った場合, 2 回目以降の書込みは無視されます。

[bit0]GREN(clock GeaR ENable):**クロックギアイネーブル**

クロックギア動作を許可します。

GREN	動作
0	クロックギアを使用しない
1	クロックギアを使用する

＜注意事項＞

本ビットは PWM PLL 停止(CLKR2.PLL2EN="0")のときのみ書き込みできます。

4.6. クロックギアコンフィグ設定レジスタ 1 : PWMCGRCR1

クロックギアコンフィグ設定レジスタ 1 のビット構成について示します。

クロックギアの各種設定を行います。
本レジスタは PWM PLL 停止(CLKR2.PLL2EN="0")のときのみ書込み可能です。

■ PWMCGRCR1：アドレス 04F2$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTP[1:0]		GRSTN[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7,bit6]GRSTP[1:0](clock GeaR STePselect):クロックギアステップ数
クロックギアアップ/ダウン時のステップ数(インクリメント・デクリメント数)を選択します。

GRSTP[1:0]	ステップ数
00	1
01	2
10	3
11	4

[bit5～bit0]GRSTN[5:0](clock GeaR STart step Number select):クロックギア開始ステップ選択
クロックギア動作開始時のステップを選択します。0-63 の間で選択できます。

GRSTN[5:0]	ステップ数
000000	0
000001	1
000010	2
. . .	. . . . .
111101	61
111110	62
111111	63

＜注意事項＞

GRSTN=111111(ステップ数 63)設定の場合にはギアは動作しません。

4.7. クロックギアコンフィグ設定レジスタ 2 : PWMCGRCR2

分周設定レジスタ 2 のビット構成について示します。

本レジスタは PWM PLL 停止(CLKR2.PLL2EN="0")のときのみ書込み可能です。

■ PWMCGRCR2：アドレス 04F3$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRLP[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0]GRLP[7:0](clock GeaR LooP number select):クロックギア繰返し回数選択

1 ステップの繰返し回数を選択します。設定可能な繰返し回数は 1-256 です。本ビットで設定した回数が終了すると，ステップがインクリメント/デクリメントします。

GRLP[7:0]	ループ数
0000_0000	1
0000_0001	2
0000_0010	3
. . .	. . . . .
1111_1101	254
1111_1110	255
1111_1111	256

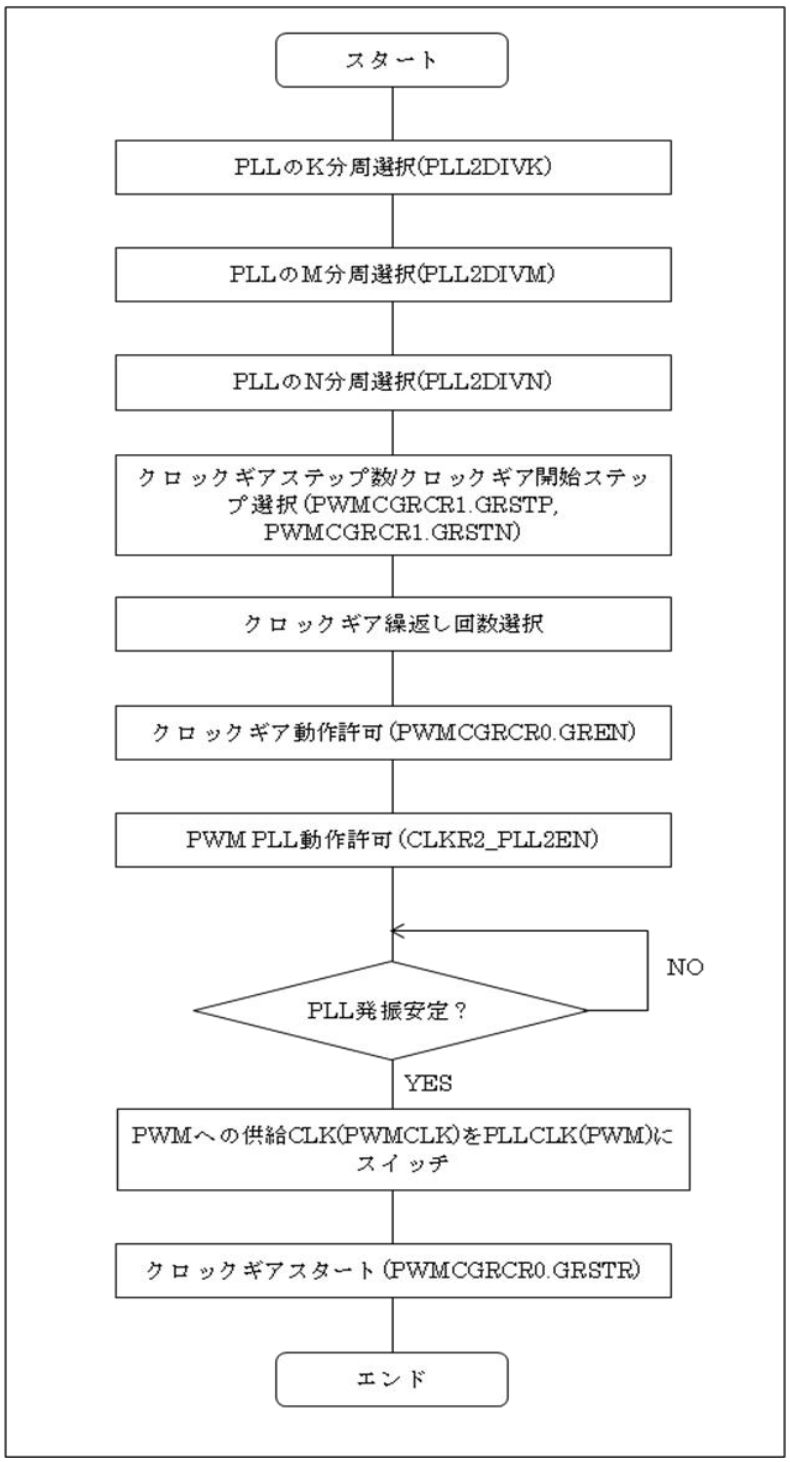
5. クロックギア回路

クロックギア回路については，『第 5 章 クロック』の章を参照してください。

6. 操作

PWM 専用クロックの設定について説明します。

■クロック設定の手順(例)



・PWM PLL の安定待ちにはメインタイマを使用し，切換え時間を待つ。
安定待ち時間は 200us となります。

7. 周波数、ギア計算例

PWM 専用クロックの周波数、ギア計算例について説明します。

■PWM クロック周波数計算例

メインクロック (MCLK) [MHz]	周波数パラメータ			PWM 用 PLL 出力(CLKVCO) [MHz]	PWM クロック (PWMCLK) [MHz]
	DIVK	DIVM	DIVN		
4	0	0001	110_0011	400	200
16	0	0001	001_1000	400	200

■ PWM 用クロックギアアップ(ダウン)計算例

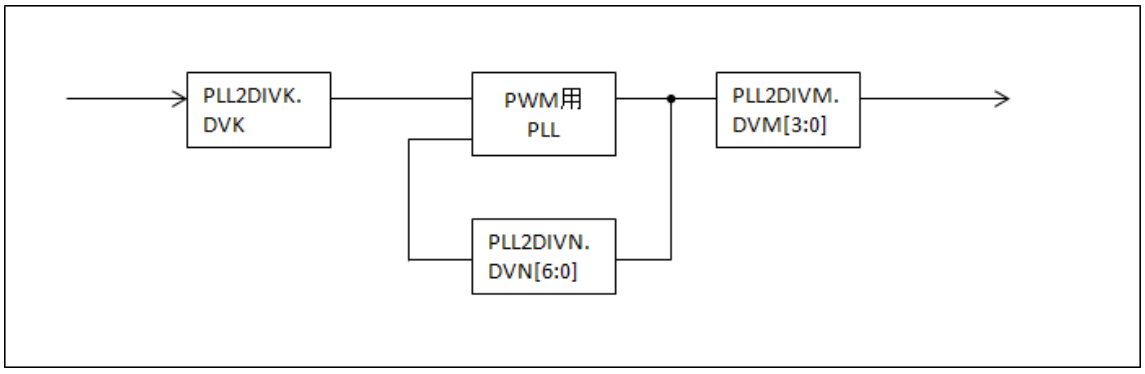
PWM クロック (PWMCLK) [MHz]	クロックギアパラメータ			クロックギアアップ(ダウン)時間(ms)
	PWMCGRCR1		PWMCGRCR2	
	GRSTP	GRSTN	GRLP	
200	00	00_0000	1111_1111	5.243

＜注意事項＞

PWM 専用クロックは, 200MHz に設定してください。

■ 周波数計算

- PWM 用 PLL 入力クロック周波数=(メインクロック周波数)/(PLL2DIVK.DVK 分周比)
- PWM 用 PLL 逓倍率=(PLL2DIVN.DVN[6:0]逓倍率)
- PWM 用 PLL マクロ発振クロック周波数=(PWM 用 PLL 入力クロック周波数)×PWM 用 PLL 逓倍率
- PWM クロック周波数=(PWM 用 PLL マクロ発振クロック周波数)/(PLL2DIVM.DVM [3:0]分周比)



＜注意事項＞

PWM 用 PLL マクロ発振クロック周波数は上限および下限があります。

下記の範囲を超えないように PLL の逓倍率を設定してください。

200MHz≦PLL マクロ発振クロック周波数≦400MHz

■ クロックギアアップ(ダウン)時間計算
クロックギアアップ(ダウン)時間 = (PWM クロック周波数)×64×(64－PWMCGRCR1.GRSTN[5:0])×(PWMCGRCR2.GRLP[7:0])÷(PWMCGRCR1.GRSTP[1:0]＋1)

8. 注意事項

PWM 専用クロックの注意事項について説明します。

■PWM 用 PLL 制御
初期化後, PWM 用 PLL 発振は停止します。停止中に PWM 用 PLL の出力をクロックソースとして選択することはできません。
プログラム開始後，まずクロックソースとして使用する PWM 用 PLL の乗数を設定し, PWM 用 PLL がロックされるまで待機してから，クロックソースを変更します。PWM 用 PLL がロックされるまで待機する場合は，メインタイマ割込みを使用することを推奨します。
レジスタへの書込みによる影響はありません。停止モードに変更する場合など, PWM 用 PLL を停止しようとする場合は，まずクロックソースとしてオンチップバスクロック(HCLK)を選択してから, PWM 用 PLL を停止します。

■PWM 用 PLL 乗数
PWM 用 PLL 乗数設定を初期値以外の値に変更する場合，プログラム実行開始後, PWM 用 PLL を許可する前またはそれと同時に，これを設定します。
乗数設定を変更した後, PWM 用 PLL ロック時間を待機してからクロックソースを切り換えます。
PWM 用 PLL がロックされるまで待機する場合は，メインタイマ割込みを使用することを推奨します。
通常動作中の PWM 用 PLL 乗数設定を変更するには，まずクロックソースを PWM 用 PLL 以外に変更します。上記の場合と同様に，乗数設定を変更した後, PWM 用 PLL ロック時間を待機してからクロックソースを変更します。

■消費電力制御
低消費電力モード(ストップモード，時計モード，スリープモード)を使用する場合は，クロックソースをオンチップバスクロック(HCLK)に切り換えてください。

CHAPTER: バッファ付き PWC

バッファ付き PWC について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

バッファ付き PWC の概要について説明します。

バッファ付き PWC は、外部入力信号のパルス幅や周期を測定します。本品種はバッファ付き PWC を 2 チャネル搭載しています。

2. 特長

バッファ付き PWC の特長について説明します。

■ バッファ付き PWC の機能

- バッファ付き PWC は制御レジスタ,2 個の 16 ビットタイマ, 4 個のデータバッファから構成されます。外部入力信号を 16 ビットタイマでカウントします。カウント値はデータバッファに蓄積します。
- 外部入力信号に対して、次の 4 種類のデータを測定します。データは種類別にデータバッファに蓄積します。
  - "H"パルス幅："H"レベルの信号が入力されている期間
  - "L"パルス幅："L"レベルの信号が入力されている期間
  - 立上りエッジ間周期：立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
  - 立下りエッジ間周期：立下りエッジを検出してから、次の立下りエッジを検出するまでの期間

■ バッファ付き PWC の制御

- デジタル LPF(ローパスフィルタ)で外部入力信号のノイズを除去できます。
- 7 種類のデジタル LPF(2 サイクル,4 サイクル,8 サイクル,16 サイクル,32 サイクル,64 サイクル,128 サイクル)を選択できます。フィルタリングの 1 サイクルは、16 ビットタイマのカウンタ動作クロックに選択された周期です。
- 外部入力のレベルを反転して測定できます。
- PWC 初期化レジスタによるソフトウェアクリアができます。

■ 16 ビットタイマ

- 16 ビットタイマは 16 ビットカウンタ, 制御レジスタ, 16 ビットコンペアクリアレジスタ(バッファレジスタがあります)およびプリスケーラ(2 個の 16 ビットタイマに対して 1 個)から構成されます。
- 8 種類のカウンタ動作クロック(ϕ,ϕ/4, ϕ/16, ϕ/64, ϕ/256, ϕ/1024, ϕ/4096, ϕ/16384)を選択できます(ϕ : オンチップバスクロック)。
- 2 個のタイマのうち、一方は外部入力信号の立上りエッジ検出でカウンタ値を"0x0000"にリセットします。このタイマで、"H"パルス幅と立上りエッジ間周期を測定します。もう一方は外部入力信号の立下りエッジでカウンタ値を"0x0000"にリセットします。このタイマで、"L"パルス幅と立下りエッジ間周期を測定します。
- コンペアクリア割込みは, コンペアクリアレジスタと 16 ビットタイマが比較され、一致した場合に生成されます。0 検出割込みは、16 ビットタイマがカウント値"0x0000"を検出している間に生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります(このバッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16 ビットタイマが停止し、バッファにデータが書き込まれると、転送は直ちに実行されます。16 ビットタイマの動作中にタイマ値"0"が検出されるとバッファからデータが転送されます。
- リセットやソフトウェアクリアあるいはコンペアクリアレジスタとのコンペア一致が発生すると、カウンタ値は"0x0000"にリセットされます。

■ データバッファ

- データバッファは 16 ビット FIFO バッファ, 制御レジスタ,上限比較レジスタおよび下限比較レジスタから構成されます。
- 16 ビット FIFO バッファにデータを 4 レベル(2 バイトを 1 レベルとして定義)まで蓄積できます。
- 蓄積されているデータのレベルを確認できます。
- 上限比較レジスタには、測定データに対する上限値を設定できます。測定データが上限値を上回ると、割込みが生成されます。

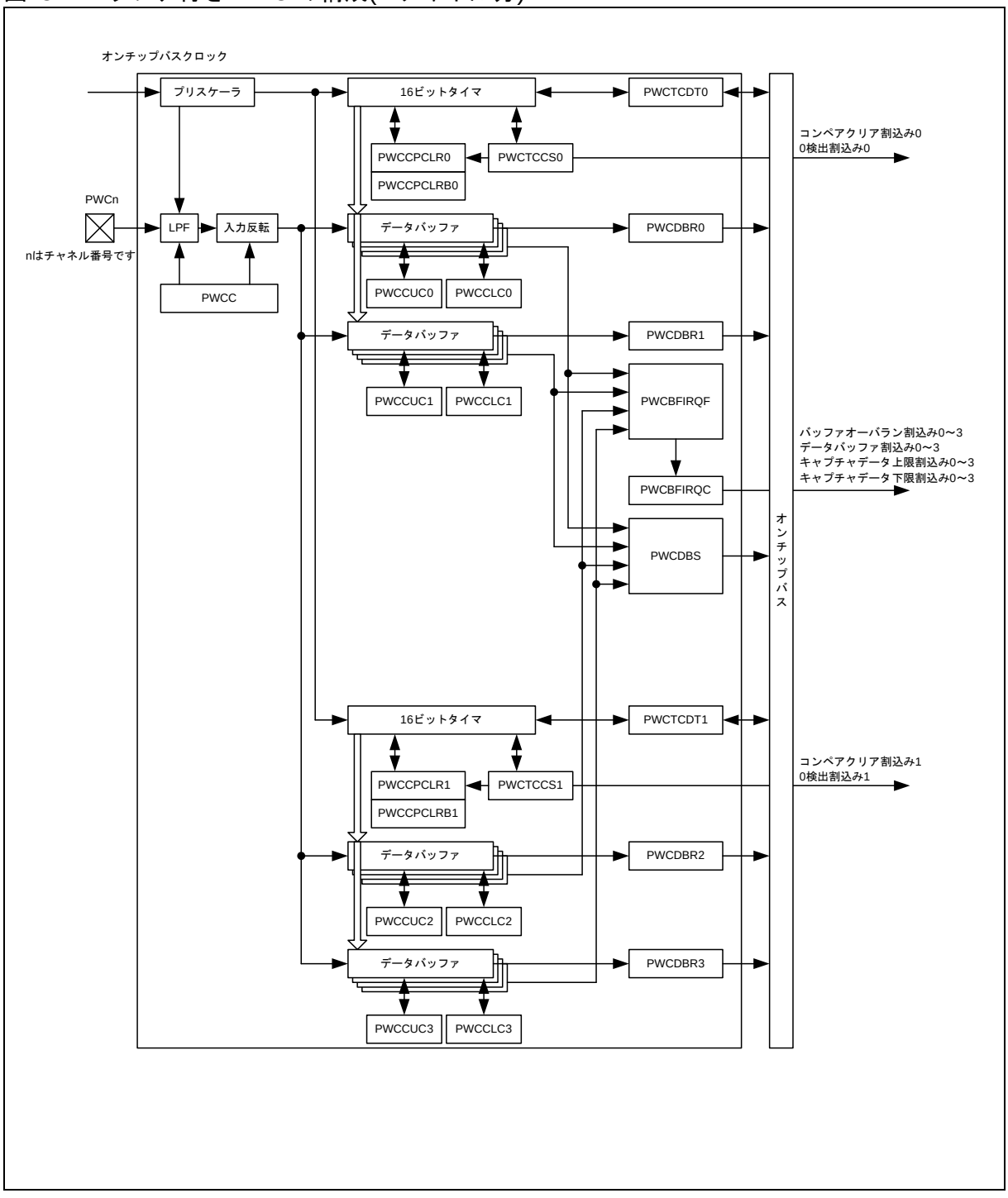
- 下限比較レジスタには、測定データに対する下限値を設定できます。測定データが下限値を下回ると、割込みが生成されます。
- バッファにデータがキャプチャされると、割込みが生成されます。バッファのどのレベルまでキャプチャされたら割込みを生成するのか選択できます。
- バッファにデータが 4 レベル (フル)蓄積された状態で、バッファに新しいデータがキャプチャされたとき、バッファの最も古いデータが新しいデータによって上書きされます。上書きによってデータが失われたとき、バッファオーバラン割込みが生成されます。

3. 構成

バッファ付き PWC の構成について説明します。

■ バッファ付き PWC の構成

図 3-1 バッファ付き PWC の構成(1 チャネル分)



4. レジスタ

バッファ付き PWC のレジスタについて説明します。

表 4-1 レジスター覧

アドレス	+0	+1	+2	+3
0x3140	PWC 初期化 レジスタ 0 (PWCINIT0)	PWC 制御 レジスタ 0 (PWCC0)	予約	
0x3144	コンペアクリアバッファレジスタ 00 (PWCCPCLRB00) コンペアクリアレジスタ 00 (PWCCPCLR00)		タイマデータレジスタ 00 (PWCTCDT00)	
0x3148	タイマ状態制御レジスタ 00 (PWCTCCS00)		予約	
0x314C	コンペアクリアバッファレジスタ 10 (PWCCPCLRB10) コンペアクリアレジスタ 10 (PWCCPCLR10)		タイマデータレジスタ 10 (PWCTCDT10)	
0x3150	タイマ状態制御レジスタ 10 (PWCTCCS10)		予約	
0x3154	データバッファリードレジスタ 00 (PWCDBR00)		データバッファリードレジスタ 10 (PWCDBR10)	
0x3158	データバッファリードレジスタ 20 (PWCDBR20)		データバッファリードレジスタ 30 (PWCDBR30)	
0x315C	バッファ状態レジスタ 0 (PWCDBS0)		予約	
0x3160	バッファ割込みフラグレジスタ 0 (PWCBFIRQF0)		予約	
0x3164	バッファ割込み制御レジスタ 0 (PWCBFIRQC0)			予約
0x3168	キャプチャデータ上限比較 レジスタ 00 (PWCCUC00)		キャプチャデータ下限比較 レジスタ 00 (PWCCLC00)	
0x316C	キャプチャデータ上限比較 レジスタ 10 (PWCCUC10)		キャプチャデータ下限比較 レジスタ 10 (PWCCLC10)	
0x3170	キャプチャデータ上限比較 レジスタ 20 (PWCCUC20)		キャプチャデータ下限比較 レジスタ 20 (PWCCLC20)	

アドレス	+0	+1	+2	+3
0x3174	キャプチャデータ上限比較 レジスタ 30 (PWCCUC30)		キャプチャデータ下限比較 レジスタ 30 (PWCCLC30)	
0x3178	PWC 初期化 レジスタ 1 (PWCINIT1)	PWC 制御 レジスタ 1 (PWCC1)	予約	
0x317C	コンペアクリアバッファレジスタ 01 (PWCCPCLRB01) コンペアクリアレジスタ 01 (PWCCPCLR01)		タイマデータレジスタ 01 (PWCTCDT01)	
0x3180	タイマ状態制御レジスタ 01 (PWCTCCS01)		予約	
0x3184	コンペアクリアバッファレジスタ 11 (PWCCPCLRB11) コンペアクリアレジスタ 11 (PWCCPCLR11)		タイマデータレジスタ 11 (PWCTCDT11)	
0x3188	タイマ状態制御レジスタ 11 (PWCTCCS11)		予約	
0x318C	データバッファリードレジスタ 01 (PWCDBR01)		データバッファリードレジスタ 11 (PWCDBR11)	
0x3190	データバッファリードレジスタ 21 (PWCDBR21)		データバッファリードレジスタ 31 (PWCDBR31)	
0x3194	バッファ状態レジスタ 1 (PWCDBS1)		予約	
0x3198	バッファ割込みフラグレジスタ 1 (PWCBFIRQF1)		予約	
0x319C	バッファ割込み制御レジスタ 1 (PWCBFIRQC1)		予約	
0x31A0	キャプチャデータ上限比較 レジスタ 01 (PWCCUC01)		キャプチャデータ下限比較 レジスタ 01 (PWCCLC01)	
0x31A4	キャプチャデータ上限比較 レジスタ 11 (PWCCUC11)		キャプチャデータ下限比較 レジスタ 11 (PWCCLC11)	
0x31A8	キャプチャデータ上限比較 レジスタ 21 (PWCCUC21)		キャプチャデータ下限比較 レジスタ 21 (PWCCLC21)	
0x31AC	キャプチャデータ上限比較 レジスタ 31 (PWCCUC31)		キャプチャデータ下限比較 レジスタ 31 (PWCCLC31)	

4.1. バッファ付き PWC のレジスタ

バッファ付き PWC のレジスタについて説明します。

バッファ付き PWC には、以下のレジスタがあります。

- PWC 初期化レジスタ(PWCINIT)
- PWC 制御レジスタ(PWCC)
- コンペアクリアバッファレジスタ(PWCCPCLRB)/コンペアクリアレジスタ(PWCCPCLR)
- タイマデータレジスタ(PWCTCDT)
- タイマ状態制御レジスタ(PWCTCCS)
- データバッファリードレジスタ(PWCDBR)
- バッファ状態レジスタ(PWCDBS)
- バッファ割込みフラグレジスタ(PWCBFIRQF)
- バッファ割込み制御レジスタ(PWCBFIRQC)
- キャプチャデータ上限比較レジスタ(PWCCUC)
- キャプチャデータ下限比較レジスタ(PWCCLC)

4.1.1. PWC 初期化レジスタ: PWCINIT0, PWCINIT1

PWC 初期化レジスタのビット構成について示します。

PWC 初期化レジスタ(PWCINIT)は、バッファ付き PWC を初期化するために使用します。

■ PWCINIT0: アドレス 3140H (アクセス: バイト, ハーフワード, ワード)

■ PWCINIT1: アドレス 3178H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							PWCCLR
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W

[bit7 ～ bit1] 予約

読出し値は"0"です。書込みは動作に影響ありません。

[bit0] PWCCLR：PWC 初期化ビット

PWCCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	バッファ付き PWC を初期化しない
1		バッファ付き PWC を初期化する

・このビットは、バッファ付き PWC 全体を初期化するために使用します。
・このビットに"1"を設定した場合:
　バッファ付き PWC をすべて初期化します。

・このビットに"0"を設定した場合:
　バッファ付き PWC の初期化は行いません。

・読出し値は、必ず"0"です。

＜注意事項＞

このレジスタへアクセスしてバッファ付き PWC を初期化する場合は、バッファ付き PWC の起動許可(PWC 制御レジスタ(PWCC)の PWCEN:bit0=1)を同時には行わないでください。

4.1.2. PWC 制御レジスタ: PWCC0 ,PWCC1

PWC 制御レジスタのビット構成について示します。

PWC 制御レジスタ(PWCC)は、バッファ付き PWC の動作を制御するために使用します。

■ PWCC0: アドレス 3141H (アクセス: バイト, ハーフワード, ワード)

■ PWCC1: アドレス 3179H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			LF2	LF1	LF0	EXINV	PWCEN
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7 ～ bit5] 予約

読出し値は"0"です。書込みは動作に影響ありません。

[bit4 ～ bit2] LF2 ～ LF0 : デジタル LPF 選択ビット

LF2	LF1	LF0	機能
0	0	0	LPF 機能なし
0	0	1	2 サイクル未満の入力をフィルタリング
0	1	0	4 サイクル未満の入力をフィルタリング
0	1	1	8 サイクル未満の入力をフィルタリング
1	0	0	16 サイクル未満の入力をフィルタリング
1	0	1	32 サイクル未満の入力をフィルタリング
1	1	0	64 サイクル未満の入力をフィルタリング
1	1	1	128 サイクル未満の入力をフィルタリング

・このビットは外部入力のノイズを除去する LPF の機能を選択するために使用します。
・ノイズを除去するサイクルは、16 ビットタイマのカウントクロック(タイマ状態制御レジスタ(PWCTCCS)の CLK2～CLK0:bit2～0 で設定)が基準です。

[bit1] EXINV : 外部入力レベル反転ビット

EXINV	機能
0	外部入力レベルを反転しない
1	外部入力レベルを反転する

・このビットは外部入力信号のレベルを反転するために使用します。
・このビットに"0"を設定した場合:
外部入力信号のレベル反転は行いません。

・このビットに"1"を設定した場合:
外部入力信号のレベル反転を行います。

＜注意事項＞

このビットを設定する場合、バッファ付き PWC が停止した状態で行ってください。
バッファ付き PWC の動作中に外部入力レベル反転の設定を変更した場合の動作保証はしません。

[bit0] PWCEN : PWC 起動許可ビット

PWCEN	機能
0	バッファ付き PWC を停止する
1	バッファ付き PWC の起動を許可する

・このビットは、バッファ付き PWC を起動許可/停止するために使用します。
・このビットに"0"を設定した場合:
バッファ付き PWC を停止します。

・このビットに"1"を設定した場合:
バッファ PWC を起動許可します。PWCEN ビットが"1"のとき、外部入力のエッジを検出するとバッファ付き PWC は動作を開始します。

＜注意事項＞

このレジスタへアクセスしてバッファ付き PWC を起動許可する場合は、バッファ付き PWC の初期化(PWC 初期化レジスタ(PWCINIT)の PWCCLR:bit0=1)を同時には行わないでください。

4.1.3. コンペアクリアバッファレジスタ: PWCCPCLRB00 ～ PWCCPCLRB11 /コンペアクリアレジスタ: PWCCPCLR00 ～PWCCPCLR11

コンペアクリアバッファレジスタ/コンペアクリアレジスタのビット構成について示します。

コンペアクリアバッファレジスタ(PWCCPCLRB)は、コンペアクリアレジスタ(PWCCPCLR)に存在する 16 ビットバッファレジスタです。
PWCCPCLRB レジスタと PWCCPCLR レジスタは、両方とも同じアドレスに存在します。

■ **PWCCPCLRB00: アドレス 3144H (アクセス: ハーフワード, ワード)**

■ **PWCCPCLRB10: アドレス 314CH (アクセス: ハーフワード, ワード)**

■ **PWCCPCLRB01: アドレス 317CH (アクセス: ハーフワード, ワード)**

■ **PWCCPCLRB11: アドレス 3184H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値バッファビット

	機能
CL15～CL00	コンペアクリア値バッファ

- コンペアクリアバッファレジスタは、コンペアクリアレジスタ(PWCCPCLR)と同じアドレスに存在するバッファレジスタです。
- バッファ機能が無効になるか(タイマ状態制御レジスタ(PWCTCCS)の BFE:bit7=0)またはタイマが停止すると、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。
- バッファ機能が有効になると、16 ビットタイマのカウント値"0x0000"が検出されたときに値がコンペアクリアレジスタへ転送されます。

＜注意事項＞

コンペアクリアバッファレジスタには、"0x0000"を設定しないでください。
このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令でのアクセスは行わないでください。

■ **PWCCPCLR00: アドレス 3144H (アクセス: ハーフワード, ワード)**

■ **PWCCPCLR10: アドレス 314CH (アクセス: ハーフワード, ワード)**

■ **PWCCPCLR01: アドレス 317CH (アクセス: ハーフワード, ワード)**

■ **PWCCPCLR11: アドレス 3184H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値ビット

CL15～CL00	機能
	コンペアクリア値

・コンペアクリアレジスタは、16 ビットタイマのカウント値と比較するために使用します。
・このレジスタが 16 ビットタイマのカウント値と一致すると、16 ビットタイマは"0x0000"にリセットされます。

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令でのアクセスは行わないでください。

4.1.4. タイマデータレジスタ: PWCTCDT00 ～PWCTCDT11

タイマデータレジスタのビット構成について示します。

タイマデータレジスタ(PWCTCDT)は、16 ビットタイマのカウント値を読み出すために使用します。

■ **PWCTCDT00: アドレス 3146H (アクセス: ハーフワード, ワード)**

■ **PWCTCDT10: アドレス 314EH (アクセス: ハーフワード, ワード)**

■ **PWCTCDT01: アドレス 317EH (アクセス: ハーフワード, ワード)**

■ **PWCTCDT11: アドレス 3186H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	T15	T14	T13	T12	T11	T10	T09	T08
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	T07	T06	T05	T04	T03	T02	T01	T00
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15 ～ bit0] T15 ～ T00 : カウント値ビット

T15～T00	機能
	カウント値

・タイマデータレジスタは、16 ビットタイマのカウント値を読み出すために使用します。
・カウント値は、リセットが発生すると直ちに"0x0000"にクリアされます。
・16 ビットタイマは、以下の要因が発生すると直ちに初期化されます。
  ・ リセット
  ・ 外部入力の有効エッジ検出
  ・ 16 ビットタイマ動作中のタイマ状態制御レジスタ(PWCTCCS)のクリアビット(SCLR:bit4)=1
  ・ コンペアクリアレジスタとタイマカウント値の一致
  ・ バッファ付き PWC の初期化(PWCCLR:bit0=1)

表 4-2 タイマデータレジスタと外部入力の有効エッジ種類の組合せ

レジスタ	EXINV ビットの値	外部入力の有効エッジ
PWCTCDT0n	0	立上りエッジ
	1	立下りエッジ
PWCTCDT1n	0	立下りエッジ
	1	立上りエッジ

n：チャネル番号です。

＜注意事項＞

16 ビットタイマ停止中の、タイマ状態制御レジスタ(PWCTCCS)のクリアビット(SCLR:bit4)=1 としても、16 ビットタイマは初期化されません。
タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
カウント値を書き込むと、意図しないカウントを行う可能性があります。
バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)のEXINV:bit1)の設定を変更した場合、動作保証しません。

4.1.5. タイマ状態制御レジスタ: PWCTCCS00 ～ PWCTCCS11

タイマ状態制御レジスタのビット構成について示します。

タイマ状態制御レジスタ(PWCTCCS)は、16 ビットタイマの動作を制御するために使用するレジスタです。

■ **PWCTCCS00: アドレス 3148H (アクセス: バイト, ハーフワード, ワード)**

■ **PWCTCCS10: アドレス 3150H (アクセス: バイト, ハーフワード, ワード)**

■ **PWCTCCS01: アドレス 3180H (アクセス: バイト, ハーフワード, ワード)**

■ **PWCTCCS11: アドレス 3188H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R(RM1), W	R/W	R,W	R,W	R,W	R(RM1), W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BFE	予約	予約	SCLR	予約	CLK2	CLK1	CLK0
初期値	0	1	0	0	0	0	0	0
属性	R/W	R1,W1	R0,W0	R0,W	R0,W0	R/W	R/W	R/W

＜注意事項＞

タイマ状態制御レジスタの bit2 ～ bit0 は、PWCTCCS0n にだけ存在します。PWCTCCS1n の bit2 ～ bit0 は予約領域です。読出し値は不定です。必ず"0"を書き込んでください。
n：チャネル番号です。

[bit15] 予約

読出し値は"0"です。必ず"0"を書き込んでください。

[bit14] IRQZF :0 検出割込みフラグビット

IRQZF	機能	
	読出し時	書込み時
0	0 検出なし	このビットをクリアする
1	0 検出あり	このビットに影響を与えない

・16 ビットタイマのカウント値が"0x0000"のとき、このビットには"1"がセットされます。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットは 0 検出割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
16 ビットタイマ動作中の、ソフトウェアクリア(タイマ状態制御レジスタ(PWCTCCS)の SCLR:bit4 への"1"書込み)では、このビットは設定されません。
0 検出割込みフラグビットは、エッジ検出によるタイマクリアでは設定されません。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit13] IRQZE : 0 検出割込み要求許可ビット

IRQZE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・このビットと割込みフラグビット(IRQZF:bit14)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit12 ～ bit10] MSI2 ～ MSI0 : 割込みマスク選択ビット

MSI2	MSI1	MSI0	機能
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

・これらのビットは、コンペアクリア割込みのマスク回数を設定するために使用します。
・このビットに"0"を設定した場合、割込み要因はマスクされません。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。
タイマ動作中の、マスクレジスタへの書込み値は、マスクカウンタが”0”になったときのみ、カウンタへリロードされます。
タイマ停止中の、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit9] ICLR : コンペアクリア割込みフラグビット

ICLR	機能	
	読出し時	書込み時
0	コンペアクリア一致なし	このビットをクリアする
1	コンペアクリア一致あり	このビットに影響を与えない

・コンペアクリア値と 16 ビットタイマ値が一致すると、このビットには"1"が設定されます。
・このビットに"0"を設定した場合 : このビットはクリアされます。
・このビットに"1"を設定した場合 : このビットは影響を受けません。
・このビットはコンペアクリア一致割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
割込みマスク選択ビットで設定した割込みが発生したときにこのビットに"1"が設定されます。
割込みが発生しないときは、このビットに"1"は設定されません。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit8] ICRE : コンペアクリア割込み要求許可ビット

ICRE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・このビットとコンペアクリア割込みフラグビット(ICLR:bit9)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit7] BFE : コンペアクリアバッファ許可ビット

BFE	機能
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

・このビットはコンペアクリアバッファレジスタ(PWCCPCLRB)を有効にするために使用します。
・このビットに"0"を設定した場合:
コンペアクリアバッファレジスタ(PWCCPCLRB)は無効になります。したがって、コンペアクリアレジスタ(PWCCPCLR)に直接書き込むことが可能です。

・このビットに"1"を設定した場合:
コンペアクリアバッファレジスタ(PWCCPCLRB)は有効になります。コンペアクリアバッファレジスタ(PWCCPCLRB)に書き込まれて保持されていたデータは、16 ビットタイマからのカウント値"0"が検出されると、コンペアクリアレジスタへ転送されます。

[bit6] 予約

読出し値は"1"です。必ず"1"を書き込んでください。

[bit5] 予約

読出し値は"0"です。必ず"0"を書き込んでください。

[bit4] SCLR : タイマクリアビット

SCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0x0000"に初期化

・このビットは、16 ビットタイマを"0x0000"に初期化するために使用します。
・16 ビットタイマ動作中に、このビットに"1"を設定した場合、16 ビットタイマは、その次のカウントクロックで"0x0000"に初期化されます。16 ビットタイマ停止中に、このビットに"1"を設定した場合、16 ビットタイマは初期化されません。
・読出し値は、必ず"0"です。

＜注意事項＞

このビットに"1"を書き込んでも、0 検出割込みは生成されません。
"1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。

[bit3] 予約

読出し値は"0"です。必ず"0"を書き込んでください。

[bit2 ～ bit0] CLK2 ～ CLK0 : クロック周波数選択ビット

CLK2	CLK1	CLK0	機能				
			カウントクロック	ϕ=80MHz	ϕ=40MHz	ϕ=20MHz	ϕ=2MHz
0	0	0	ϕ	12.5ns	25ns	50ns	500ns
0	0	1	ϕ/4	50ns	100ns	200ns	2µs
0	1	0	ϕ/16	200ns	400ns	800ns	8µs
0	1	1	ϕ/64	800ns	1.6µs	3.2µs	32µs
1	0	0	ϕ/256	3.2µs	6.4µs	12.8µs	128µs
1	0	1	ϕ/1024	12.8µs	25.6µs	51.2µs	512µs
1	1	0	ϕ/4096	51.2µs	102.4µs	204.8µs	2048µs
1	1	1	ϕ/16384	204.8µs	409.6µs	819.2µs	8192µs

・このビットは、16 ビットタイマのカウントクロック周波数を選択するために使用します。
・ϕ はオンチップバスクロックです。

＜注意事項＞

クロック周波数選択ビットは、PWCTCCS00 と PWCTCCS01 にだけ存在します。
PWCTCCS10 と PWCTCCS11 の bit2 ～ bit0 は予約ビットです。読出し値は不定です。必ず"0"を書き込んでください。
PWCTCCS00 で選択したカウントクロックで、タイマデータレジスタ 00 と 10 (PWCTCDT00, PWCTCDT10) から読み出す 2 個の 16 ビットタイマのカウントを行います。
PWCTCCS01 で選択したカウントクロックで、タイマデータレジスタ 01 と 11 (PWCTCDT01, PWCTCDT11) から読み出す 2 個の 16 ビットタイマのカウントを行います。
CLK2 ～ CLK0 ビットを設定する場合、必ずバッファ付き PWC が停止していることを確認してください。

表 4-3 クロック周波数選択ビットの有無

レジスタ	クロック周波数選択ビット
PWCTCCS00	あり
PWCTCCS10	なし
PWCTCCS01	あり
PWCTCCS11	なし

4.1.6. データバッファリードレジスタ: PWCDBR00 ～ PWCDBR31

データバッファリードレジスタのビット構成について示します。

データバッファリードレジスタ(PWCDBR)は、データバッファに蓄積されているデータを読み出すために使用します。

- **PWCDBR00: アドレス 3154H (アクセス: ハーフワード, ワード)**
- **PWCDBR10: アドレス 3156H (アクセス: ハーフワード, ワード)**
- **PWCDBR20: アドレス 3158H (アクセス: ハーフワード, ワード)**
- **PWCDBR30: アドレス 315AH (アクセス: ハーフワード, ワード)**
- **PWCDBR01: アドレス 318CH (アクセス: ハーフワード, ワード)**
- **PWCDBR11: アドレス 318EH (アクセス: ハーフワード, ワード)**
- **PWCDBR21: アドレス 3190H (アクセス: ハーフワード, ワード)**
- **PWCDBR31: アドレス 3192H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BR15	BR14	BR13	BR12	BR11	BR10	BR09	BR08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BR07	BR06	BR05	BR04	BR03	BR02	BR01	BR00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15 ～ bit0] BR15 ～ BR00 : データバッファの読出し値ビット

BR15～BR00	機能
	データバッファの読出し値

・データバッファリードレジスタは、データバッファから外部入力の測定値を読み出すために使用します。
・データバッファからデータを読み出した後、同じデータを読み出すことはできません。
・バッファに未読データがない場合は、読出し値は無効な値です。

表 4-4 データバッファリードレジスタと読出しデータの組合せ

レジスタ	EXINV ビットの値	読出し値
PWCDBR0n	0	"H"パルス幅
	1	"L"パルス幅
PWCDBR1n	0	立上りエッジ間周期
	1	立下りエッジ間周期
PWCDBR2n	0	"L"パルス幅
	1	"H"パルス幅
PWCDBR3n	0	立下りエッジ間周期
	1	立上りエッジ間周期

n：チャネル番号です。

＜注意事項＞

各データバッファレジスタから読み出す対象のデータバッファは決まっています。蓄積されるデータの種類は、外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定によって決定されます。
バッファ付き PWC の動作中に外部入力レベルを反転させた場合は動作保証しません。

4.1.7. バッファ状態レジスタ: PWCDBS0, PWCDBS1

バッファ状態レジスタのビット構成について示します。

バッファ状態レジスタ(PWCDBS)は、FIFO バッファに蓄積されているデータを読み出すために使用します。

■ **PWCDBS0: アドレス 315CH (アクセス: バイト,ハーフワード, ワード)**

■ **PWCDBS1: アドレス 3194H (アクセス: バイト,ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	BFNE0	BFLV10	BFLV00	予約	BFNE1	BFLV11	BFLV01
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R,WX	R,WX	R0,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	BFNE2	BFLV12	BFLV02	予約	BFNE3	BFLV13	BFLV03
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R,WX	R,WX	R0,WX	R,WX	R,WX	R,WX

[bit15] 予約

読出し値は"0"です。書込みは動作に影響ありません。

[bit14] BFNE0 : バッファ確認ビット

BFNE0	機能
0	データバッファに蓄積データがない
1	データバッファに蓄積データがある

・このビットは、データバッファにデータが蓄積されていることを確認するために使用します。
・このビットが"0"の場合:
データバッファリードレジスタ 0n(PWCDBR0n)の読出し値は無効なデータです。

・このビットが"1"の場合:
データバッファリードレジスタ 0n(PWCDBR0n)の読出し値は有効なデータです。

・n : チャネル番号です。

[bit13, bit12] BFLV10, BFLV00 : バッファレベル確認ビット

BFLV10	BFLV00	機能
0	0	データはバッファレベル 1 まで蓄積
0	1	データはバッファレベル 2 まで蓄積
1	0	データはバッファレベル 3 まで蓄積
1	1	データはバッファレベル 4 (フル)まで蓄積

・このビットは、データバッファリードレジスタ 0n(PWCDBR0n)から読み出すバッファに蓄積されているデータのレベルを確認するために使用します。
・バッファ確認ビット(BFNE0:bit14)が"1"のとき、本ビットの読出し値は有効です。
・n : チャネル番号です。

[bit11] 予約
読出し値は"0"です。書込みは動作に影響ありません。

[bit10] BFNE1 : バッファ確認ビット

BFNE1	機能
0	データバッファに蓄積データがない
1	データバッファに蓄積データがある

・このビットは、データバッファにデータが蓄積されていることを確認するために使用します。
・このビットが"0"の場合:
データバッファリードレジスタ 1n(PWCDBR1n)の読出し値は無効なデータです。

・このビットが"1"の場合:
データバッファリードレジスタ 1n(PWCDBR1n)の読出し値は有効なデータです。

・n : チャネル番号です。

[bit9, bit8] BFLV11, BFLV01 : バッファレベル確認ビット

BFLV11	BFLV01	機能
0	0	データはバッファレベル 1 まで蓄積
0	1	データはバッファレベル 2 まで蓄積
1	0	データはバッファレベル 3 まで蓄積
1	1	データはバッファレベル 4(フル)まで蓄積

・このビットは、データバッファリードレジスタ 1n(PWCDBR1n)から読み出すバッファに蓄積されているデータのレベルを確認するために使用します。
・バッファ確認ビット(BFNE1:bit10)が"1"のとき、本ビットの読出し値は有効です。
・n : チャネル番号です。

[bit7] 予約
読出し値は"0"です。書込みは動作に影響ありません。

[bit6] BFNE2 : バッファ確認ビット

BFNE2	機能
0	データバッファに蓄積データがない
1	データバッファに蓄積データがある

・このビットは、データバッファにデータが蓄積されていることを確認するために使用します。
・このビットが"0"の場合:
データバッファリードレジスタ 2n(PWCDBR2n)の読出し値は無効なデータです。

・このビットが"1"の場合:
データバッファリードレジスタ 2n(PWCDBR2n)の読出し値は有効なデータです。

・n : チャネル番号です。

[bit5, bit4] BFLV12, BFLV02 : バッファレベル確認ビット

BFLV12	BFLV02	機能
0	0	データはバッファレベル 1 まで蓄積
0	1	データはバッファレベル 2 まで蓄積
1	0	データはバッファレベル 3 まで蓄積
1	1	データはバッファレベル 4(フル)まで蓄積

・このビットは、データバッファリードレジスタ 2n(PWCDBR2n)から読み出すバッファに蓄積されているデータのレベルを確認するために使用します。
・バッファ確認ビット(BFNE2:bit6)が"1"のとき、本ビットの読出し値は有効です。
・n : チャネル番号です。

[bit3] 予約
読出し値は"0"です。書込みは動作に影響ありません。

[bit2] BFNE3 : バッファ確認ビット

BFNE3	機能
0	データバッファに蓄積データがない
1	データバッファに蓄積データがある

・このビットは、データバッファにデータが蓄積されていることを確認するために使用します。
・このビットが"0"の場合:
データバッファリードレジスタ 3n(PWCDBR3n)の読出し値は無効なデータです。

・このビットが"1"の場合:
データバッファリードレジスタ 3n(PWCDBR3n)の読出し値は有効なデータです。

・n : チャネル番号です。

[bit1, bit0] BFLV13, BFLV03 : バッファレベル確認ビット

BFLV13	BFLV03	機能
0	0	データはバッファレベル 1 まで蓄積
0	1	データはバッファレベル 2 まで蓄積
1	0	データはバッファレベル 3 まで蓄積
1	1	データはバッファレベル 4(フル)まで蓄積

・このビットは、データバッファリードレジスタ 3n(PWCDBR3n)から読み出すバッファに蓄積されているデータのレベルを確認するために使用します。
・バッファ確認ビット(BFNE3:bit2)が"1"のとき、本ビットの読出し値は有効です。
・n：チャネル番号です。

表 4-5 バッファ状態レジスタのビットとデータ種類の組合せ

バッファ状態レジスタ	EXINV ビットの値	データバッファリードレジスタ	データ種類
BFNE0, BFLV10,BFLV00	0	PWCDBR0n	"H"パルス幅
	1		"L"パルス幅
BFNE1, BFLV11,BFLV01	0	PWCDBR1n	立上りエッジ間周期
	1		立下りエッジ間周期
BFNE2, BFLV12,BFLV02	0	PWCDBR2n	"L"パルス幅
	1		"H"パルス幅
BFNE3, BFLV13,BFLV03	0	PWCDBR3n	立下りエッジ間周期
	1		立上りエッジ間周期

n：チャネル番号です。

＜注意事項＞

バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定を変更した場合、バッファ状態レジスタで確認できる対象のデータ種類は混在します。動作中に外部入力レベルを反転させた場合は動作保証しません。

4.1.8. バッファ割込みフラグレジスタ: PWCBFIRQF0, PWCBFIRQF1

バッファ割込みフラグレジスタのビット構成について示します。

バッファ割込みフラグレジスタ(PWCBFIRQF)は、データバッファからの割込みフラグを確認するために使用します。

■ PWCBFIRQF0: アドレス 3160H (アクセス: バイト, ハーフワード, ワード)

■ PWCBFIRQF1: アドレス 3198H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ICWF0	ICWF1	ICWF2	ICWF3	ICBF0	ICBF1	ICBF2	ICBF3
初期値	0	0	0	0	0	0	0	0
属性	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICUF0	ICUF1	ICUF2	ICUF3	ICLF0	ICLF1	ICLF2	ICLF3
初期値	0	0	0	0	0	0	0	0
属性	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W

[bit15 ～ bit12] ICWF0 ～ ICWF3 : バッファオーバラン割込みフラグビット

ICWFk	機能	
	読出し時	書込み時
0	バッファオーバランなし	このビットをクリアする
1	バッファオーバランあり	このビットに影響を与えない

- データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファがフルの状態で、新しいデータが蓄積されて古いデータが上書きされたとき、このビットには"1"が設定されます。
- このビットに"0"を設定した場合 : このビットはクリアされます。
- このビットに"1"を設定した場合 : このビットは影響を受けません。
- このビットはバッファオーバラン割込みクリア信号が"H"のときクリアされます。
- k : バッファの番号です。
- n : チャネル番号です。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
バッファオーバランが発生した場合、上書きによって失われたデータの復元はできません。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit11 ～ bit8] ICBF0 ～ ICBF3: データバッファ割込みフラグビット

ICBFk	機能	
	読出し時	書込み時
0	設定したレベルまでデータがバッファに蓄積されていない	このビットをクリアする
1	設定したレベルまでデータがバッファに蓄積された	このビットに影響を与えない

・バッファ割込み制御レジスタ(PWCBFIRQC)の IBSL10～03:bit15～8 で設定したレベルまで、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファにデータが蓄積されると、このビットには"1"がセットされます。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットはデータバッファ割込みクリア信号が"H"のときクリアされます。
・k：バッファの番号です。
・n：チャネル番号です。

＜注意事項＞

データバッファ割込みフラグビット(ICBF)をクリアする時は、データバッファ割込みレベル選択ビット(ISBL)で設定したレベルよりも、バッファに取り込まれたデータのレベル数が少ない状態で行ってください。
リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、クリアが優先されます。

[bit7 ～ bit4] ICUF0 ～ ICUF3: キャプチャデータ上限割込みフラグビット

ICUFk	機能	
	読出し時	書込み時
0	キャプチャしたデータが設定した上限値を上回っていない	このビットをクリアする
1	キャプチャしたデータが設定した上限値を上回った	このビットに影響を与えない

・キャプチャデータ上限比較レジスタ(PWCCUCkn)の設定値を、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファにキャプチャしたデータが上回ると、このビットには"1"が設定されます。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットはキャプチャデータ上限割込みクリア信号が"H"のときクリアされます。
・k：バッファの番号です。
・n：チャネル番号です。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit3 ～ bit0] ICLF0 ～ ICLF3: キャプチャデータ下限割込みフラグビット

ICLFk	機能	
	読出し時	書込み時
0	キャプチャしたデータが設定した下限値を下回っていない	このビットをクリアする
1	キャプチャしたデータが設定した下限値を下回った	このビットに影響を与えない

- キャプチャデータ下限比較レジスタ(PWCCLCkn)の設定値を、データバッファリードレジスタkn(PWCDBRkn)から読み出すバッファにキャプチャしたデータが下回ると、このビットには"1"が設定されます。
- このビットに"0"を設定した場合 : このビットはクリアされます。
- このビットに"1"を設定した場合 : このビットは影響を受けません。
- このビットはキャプチャデータ下限割込みクリア信号が"H"のときクリアされます。
- k : バッファの番号です。
- n : チャネル番号です。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

表 4-6 バッファ割込みフラグレジスタのビットとデータ種類の組合せ

割込みフラグビット	EXINV ビットの値	データバッファリードレジスタ	フラグビットが設定されたバッファ
ICWF0, ICBF0, ICUF0, ICLF0	0	PWCDBR0n	"H"パルス幅
	1		"L"パルス幅
ICWF1, ICBF1, ICUF1, ICLF1	0	PWCDBR1n	立上りエッジ間周期
	1		立下りエッジ間周期
ICWF2, ICBF2, ICUF2, ICLF2	0	PWCDBR2n	"L"パルス幅
	1		"H"パルス幅
ICWF3, ICBF3, ICUF3, ICLF3	0	PWCDBR3n	立下りエッジ間周期
	1		立上りエッジ間周期

n : チャネル番号です。

＜注意事項＞

バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定を変更した場合、動作保証しません。

4.1.9. バッファ割込み制御レジスタ: PWCBFIRQC0, PWCBFIRQC1

バッファ割込み制御レジスタのビット構成について示します。

バッファ割込み制御レジスタ(PWCBFIRQC)は、データバッファからの割込み許可/禁止の制御、およびデータバッファ割込みの頻度を制御するために使用します。

■ **PWCBFIRQC0: アドレス 3164H (アクセス: バイト, ハーフワード, ワード)**

■ **PWCBFIRQC1: アドレス 319CH (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ICWE0	ICWE1	ICWE2	ICWE3	ICBE0	ICBE1	ICBE2	ICBE3
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ICUE0	ICUE1	ICUE2	ICUE3	ICLE0	ICLE1	ICLE2	ICLE3
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IBSL10	IBSL00	IBSL11	IBSL01	IBSL12	IBSL02	IBSL13	IBSL03
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit31 ～ bit28] ICWE0 ～ ICWE3: バッファオーバラン割込み許可ビット

ICWEk	機能
0	バッファオーバラン割込みを禁止にする
1	バッファオーバラン割込みを許可する

・本ビットは、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファについて、バッファオーバラン割込みフラグビットが設定されたとき(バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICWF0～3:bit15～12=1)のバッファオーバラン割込みを許可するために使用します。

・このビットに"0"を設定した場合:
バッファオーバラン割込みフラグビットが設定されたときに、バッファオーバラン割込みが発生しません。

・このビットに"1"を設定した場合:
バッファオーバラン割込みフラグビットが設定されたときに、バッファオーバラン割込みが発生します。

・k：バッファの番号です。
・n：チャネル番号です。

[bit27 ～ bit24] ICBE0 ～ ICBE3: データバッファ割込み許可ビット

ICBEk	機能
0	データバッファ割込みを禁止にする
1	データバッファ割込みを許可する

・本ビットは、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファについて、データバッファ割込みフラグビットが設定されたとき(バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICBF0～3:bit11～8=1)のデータバッファ割込みを許可するために使用します。
・このビットに"0"を設定した場合:
データバッファ割込みフラグビットが設定されたときに、データバッファ割込みが発生しません。

・このビットに"1"を設定した場合:
データバッファ割込みフラグビットが設定されたときに、データバッファ割込みが発生します。

・k：バッファの番号です。
・n：チャネル番号です。

[bit23 ～ bit20] ICUE0 ～ ICUE3: キャプチャデータ上限割込み許可ビット

ICUEk	機能
0	キャプチャデータ上限割込みを禁止にする
1	キャプチャデータ上限割込みを許可する

・本ビットは、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファについて、キャプチャデータ上限割込みフラグビットが設定されたとき(バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICUF0～3:bit7～4=1)のキャプチャデータ上限割込みを許可するために使用します。
・このビットに"0"を設定した場合:
キャプチャデータ上限割込みフラグビットが設定されたときに、キャプチャデータ上限割込みが発生しません。

・このビットに"0"を設定した場合:
キャプチャデータ上限割込みフラグビットが設定されたときに、キャプチャデータ上限割込みが発生します。

・k：バッファの番号です。
・n：チャネル番号です。

[bit19 ～ bit16] ICLE0 ～ ICLE3: キャプチャデータ下限割込み許可ビット

ICLEk	機能
0	キャプチャデータ下限割込みを禁止にする
1	キャプチャデータ下限割込みを許可する

・本ビットは、データバッファリードレジスタ kn(PWCDBRkn)から読み出すバッファについて、キャプチャデータ下限割込みフラグビットが設定されたとき(バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICLF0～3:bit3～0=1)のキャプチャデータ下限割込みを許可するために使用します。
・このビットに"0"を設定した場合:
キャプチャデータ下限割込みフラグビットが設定されたときに、キャプチャデータ下限割込みが発生しません。

・このビットに"0"を設定した場合:
キャプチャデータ下限割込みフラグビットが設定されたときに、キャプチャデータ下限割込みが発生します。

・k：バッファの番号です。
・n：チャネル番号です。

[bit15 ～ bit8] IBSL10 ～ IBSL03 : データバッファ割込みレベル選択ビット

IBSL1k	IBSL0k	機能
0	0	データが蓄積されても割込みフラグを設定しない
0	1	データの蓄積が 1 レベルで割込みフラグを設定する
1	0	データの蓄積が 2 レベルで割込みフラグを設定する
1	1	データの蓄積が 4 レベル(フル)で割込みフラグを設定する

・このビットは、データバッファリードレジスタ kn(PWCDBRkn) から読み出すバッファについて、データバッファ割込みフラグビット(バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICBF0～3:bit11～8)が設定される条件を選択するために使用します。
・k：バッファの番号です。
・n：チャネル番号です。

[bit7 ～ bit0] 予約
読出し値は"1"です。書込みは動作に影響ありません。

表 4-7 バッファ割込み制御レジスタのビットとデータ種類の組合せ

割込み制御ビット	EXINV ビットの値	データバッファ リードレジスタ	割込み制御が 設定されたバッファ
ICWE0 ICBE0,ICUE0, ICLE0,IBSL10,IBSL00	0	PWCDBR0n	"H"パルス幅
	1		"L"パルス幅
ICWE1,ICBE1,ICUE1, ICLE1,IBSL11,IBSL01	0	PWCDBR1n	立上りエッジ間周期
	1		立下りエッジ間周期
ICWE2,ICBE2,ICUE2, ICLE2,IBSL12,IBSL02	0	PWCDBR2n	"L"パルス幅
	1		"H"パルス幅
ICWE3,ICBE3,ICUE3, ICLE3,IBSL13,IBSL03	0	PWCDBR3n	立下りエッジ間周期
	1		立上りエッジ間周期

n：チャネル番号です。

＜注意事項＞

バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定を変更した場合、動作保証しません。

4.1.10. キャプチャデータ上限比較レジスタ: PWCCUC00 ～ PWCCUC31

キャプチャデータ上限比較レジスタのビット構成について示します。

キャプチャデータ上限比較レジスタ(PWCCUC)は、データバッファに蓄積したデータと比較するための上限値を設定するために使用します。

- **PWCCUC00: アドレス 3168H (アクセス: ハーフワード, ワード)**
- **PWCCUC10: アドレス 316CH (アクセス: ハーフワード, ワード)**
- **PWCCUC20: アドレス 3170H (アクセス: ハーフワード, ワード)**
- **PWCCUC30: アドレス 3174H (アクセス: ハーフワード, ワード)**
- **PWCCUC01: アドレス 31A0H (アクセス: ハーフワード, ワード)**
- **PWCCUC11: アドレス 31A4H (アクセス: ハーフワード, ワード)**
- **PWCCUC21: アドレス 31A8H (アクセス: ハーフワード, ワード)**
- **PWCCUC31: アドレス 31ACH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	UL15	UL14	UL13	UL12	UL11	UL10	UL09	UL08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UL07	UL06	UL05	UL04	UL03	UL02	UL01	UL00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] UL15 ～ UL00 : キャプチャデータ上限比較値ビット

UL15～UL00	機能
	キャプチャデータ上限比較値

- キャプチャデータ上限比較レジスタは、データバッファリードレジスタ 0n～3n(PWCDBR0n～3n) から読み出すバッファについて、バッファに蓄積したデータの上限を設定するために使用します。
- キャプチャデータ上限比較値とデータバッファに蓄積した最新データの値を比較して、最新データが上限比較値を上回ったとき、キャプチャデータ上限割込みフラグを設定します。
- 各レジスタの設定値と、比較するデータの種類の組合せが決まっています。外部入力レベル反転時(PWC 制御レジスタ(PWCC)の EXINV:bit1="1")の上限比較の組合せは変化します。

表 4-8 キャプチャデータ上限比較レジスタと比較対象データの組合せ

キャプチャデータ上限比較レジスタ	EXINV ビットの値	データバッファリードレジスタ	比較対象データ
PWCCUC0n	0	PWCDBR0n	"H"パルス幅
	1		"L"パルス幅
PWCCUC1n	0	PWCDBR1n	立上りエッジ間周期
	1		立下りエッジ間周期
PWCCUC2n	0	PWCDBR2n	"L"パルス幅
	1		"H"パルス幅
PWCCUC3n	0	PWCDBR3n	立下りエッジ間周期
	1		立上りエッジ間周期

n：チャネル番号です。

＜注意事項＞

バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定を変更した場合、動作保証しません。
測定値と上限比較値が同じだった場合は、キャプチャデータ上限割込みフラグは設定されません。
上限比較値は下限比較値より小さい値を設定しないでください。

4.1.11. キャプチャデータ下限比較レジスタ: PWCCLC00 ～ PWCCLC31

キャプチャデータ下限比較レジスタのビット構成について示します。

キャプチャデータ下限比較レジスタ(PWCCLC)は、データバッファに蓄積したデータと比較するための下限値を設定するために使用します。

- **PWCCLC00: アドレス 316AH (アクセス: ハーフワード, ワード)**
- **PWCCLC10: アドレス 316EH (アクセス: ハーフワード, ワード)**
- **PWCCLC20: アドレス 3172H (アクセス: ハーフワード, ワード)**
- **PWCCLC30: アドレス 3176H (アクセス: ハーフワード, ワード)**
- **PWCCLC01: アドレス 31A2H (アクセス: ハーフワード, ワード)**
- **PWCCLC11: アドレス 31A6H (アクセス: ハーフワード, ワード)**
- **PWCCLC21: アドレス 31AAH (アクセス: ハーフワード, ワード)**
- **PWCCLC31: アドレス 31AEH (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	LL15	LL14	LL13	LL12	LL11	LL10	LL09	LL08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LL07	LL06	LL05	LL04	LL03	LL02	LL01	LL00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] LL15 ～ LL00 : キャプチャデータ下限比較値ビット

LL15～LL00	機能
	キャプチャデータ下限比較値

- キャプチャデータ下限比較レジスタは、データバッファリードレジスタ 0n～3n(PWCDBR0n～3n) から読み出すバッファについて、バッファに蓄積したデータの下限を設定するために使用します。
- キャプチャデータ下限比較値とデータバッファに蓄積した最新データの値を比較して、最新データが下限比較値を下回ったとき、キャプチャデータ下限割込みフラグを設定します。
- 各レジスタの設定値と、比較するデータの種類の組合せが決まっています。外部入力レベル反転時(PWC 制御レジスタ(PWCC)の EXINV:bit1="1")の下限比較の組合せは変化します。

表 4-9 キャプチャデータ下限比較レジスタと比較対象データの組合せ

キャプチャデータ下限比較レジスタ	EXINV ビットの値	データバッファリードレジスタ	比較対象データ
PWCCLC0n	0	PWCDBR0n	"H"パルス幅
	1		"L"パルス幅
PWCCLC1n	0	PWCDBR1n	立上りエッジ間周期
	1		立下りエッジ間周期
PWCCLC2n	0	PWCDBR2n	"L"パルス幅
	1		"H"パルス幅
PWCCLC3n	0	PWCDBR3n	立下りエッジ間周期
	1		立上りエッジ間周期

n：チャネル番号です。

＜注意事項＞

バッファ付き PWC の動作中に外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定を変更した場合、動作保証しません。
測定値と下限比較値が同じだった場合は、キャプチャデータ下限割込みフラグは設定されません。下限比較値は上限比較値より大きい値を設定しないでください。

5. 動作説明

バッファ付き PWC の動作について説明します。

5.1 バッファ付き PWC の割込み

5.2 バッファ付き PWC の動作

5.1. バッファ付き PWC の割込み

バッファ付き PWC の割込みについて説明します。

バッファ付き PWC の割込み制御ビットと割込み要因を、表 5-1、表 5-2、表 5-3 に示します。

表 5-1 16 ビットタイマの割込み制御ビットと割込み要因

	16 ビットタイマ	
	コンペアクリア	0 検出
割込み フラグビット	タイマ状態制御レジスタ (PWCTCCS)の ICLR:bit9	タイマ状態制御レジスタ (PWCTCCS)の IRQZF:bit14
割込み 許可ビット	タイマ状態制御レジスタ (PWCTCCS)の ICRE:bit8	タイマ状態制御レジスタ (PWCTCCS)の IRQZE:bit13
割込み要因	16 ビットタイマ値が コンペアクリアレジスタ (PWCCPCLR)と一致する	16 ビットタイマ値が "0x0000"になる

16 ビットタイマの値がコンペアクリアレジスタ(PWCCPCLR)と一致すると、タイマ状態制御レジスタ(PWCTCCS)の ICLR:bit9 が"1"に設定されます。この状態において割込み要求が許可(PWCTCCS)の ICRE:bit8=1)になると、割込み要求が割込みコントローラへ出力されます。

タイマ値が"0x0000"になると、タイマ状態制御レジスタ(PWCTCCS)の IRQZF:bit14 が"1"に設定されます。この状態において割込み要求が許可(PWCTCCS の IRQZE:bit13=1)になると、割込み要求が割込みコントローラへ出力されます。このとき、外部入力の有効エッジ検出によるクリアは割込み要因になりません。

表 5-2 データバッファの割込み制御ビットと割込み要因

	データバッファ	
	バッファオーバラン	データバッファ
割込み フラグビット	バッファ割込みフラグレジスタ (PWCBFIRQFn)の ICWF0～3:bit15～12	バッファ割込みフラグレジスタ (PWCBFIRQFn)の ICBF0～3:bit11～8
割込み 許可ビット	バッファ割込み制御レジスタ (PWCBFIRQCn)の ICWE0～3:bit31～28	バッファ割込み制御レジスタ (PWCBFIRQCn)の ICBE0～3:bit27～24
割込み要因	データバッファで上書きが発生してデータが失われる	データがキャプチャされる

n：チャネル番号です。

データバッファリードレジスタ 0n(PWCDBR0n)から読み出すバッファがフルのとき、上書きによってデータが失われると、バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICWF0～3:bit15～12 が"1"に設定されます。この状態において割込み要求が許可(PWCBFIRQCn)の ICWE0～3:bit31～28=1)になると、割込み要求が割込みコントローラへ出力されます。

データバッファリードレジスタ 0n(PWCDBR0n)から読み出すバッファにデータがキャプチャされると、バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICBF0～3:bit11～8 が"1"に設定されます。この状態において割込み要求が許可(PWCBFIRQCn)の ICBE0～3:bit27～24=1)になると、割込み要求が割込みコントローラへ出力されます。

表 5-3 データ比較の割込み制御ビットと割込み要因

	データ比較	
	キャプチャデータ上限	キャプチャデータ下限
割込み フラグビット	バッファ割込みフラグレジスタ (PWCBFIRQFn)の ICUF0～3:bit7～4	バッファ割込みフラグレジスタ (PWCBFIRQFn)の ICLF0～3:bit3～0
割込み 許可ビット	バッファ割込み制御レジスタ (PWCBFIRQCn)の ICUE0～3:bit23～20	バッファ割込み制御レジスタ (PWCBFIRQCn)の ICLE0～3:bit19～16
割込み要因	キャプチャデータが上限を上回る	キャプチャデータが下限を下回る

n：チャネル番号です。

データバッファリードレジスタ 0n(PWCDBR0n)から読み出すバッファに蓄積した最新データがキャプチャデータ上限比較レジスタ(PWCCUC0n～3n)の設定値を上回ると、バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICUF0～3:bit7～4 が"1"に設定されます。この状態において割込み要求が許可(PWCBFIRQCn)の ICUE0～3:bit23～20=1)になると、割込み要求が割込みコントローラへ出力されます。

データバッファリードレジスタ 0n(PWCDBR0n)から読み出すバッファに蓄積した最新データがキャプチャデータ下限比較レジスタ(PWCCLC0n～3n)の設定値を下回ると、バッファ割込みフラグレジスタ(PWCBFIRQFn)の ICLF0～3:bit3～0 が"1"に設定されます。この状態において割込み要求が許可(PWCBFIRQCn)の ICLE0～3:bit19～16=1)になると、割込み要求が割込みコントローラへ出力されます。

5.2. バッファ付き PWC の動作

バッファ付き PWC の動作について説明します。

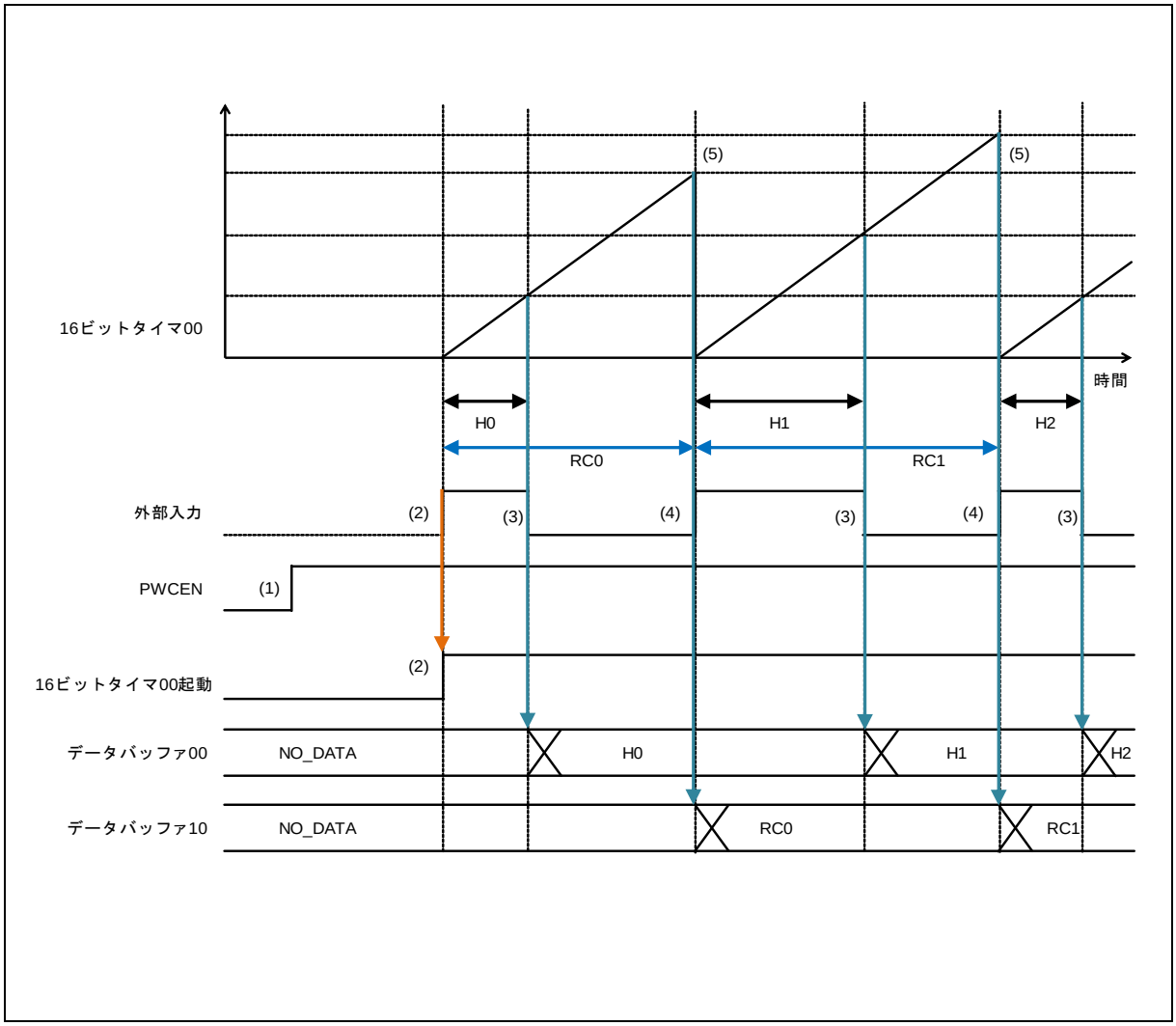
バッファ付き PWC は、起動が許可された状態で有効エッジを検出すると、動作を開始します。16 ビットタイマは、カウント値がコンペアクリアレジスタ(PWCCPCLR)の値と一致するまでカウントアップし、カウンタは"0x0000"にクリアされて再びカウントアップします。16 ビットタイマの動作中に有効エッジを検出すると、16 ビットタイマのカウント値がデータバッファに蓄積され、カウント値は"0x0000"にクリアされます。

5.2.1. バッファ付き PWC の起動

バッファ付き PWC の起動について説明します。

外部入力レベルが"L"からスタートしたときの動作を図 5-1 および図 5-2 に示します。

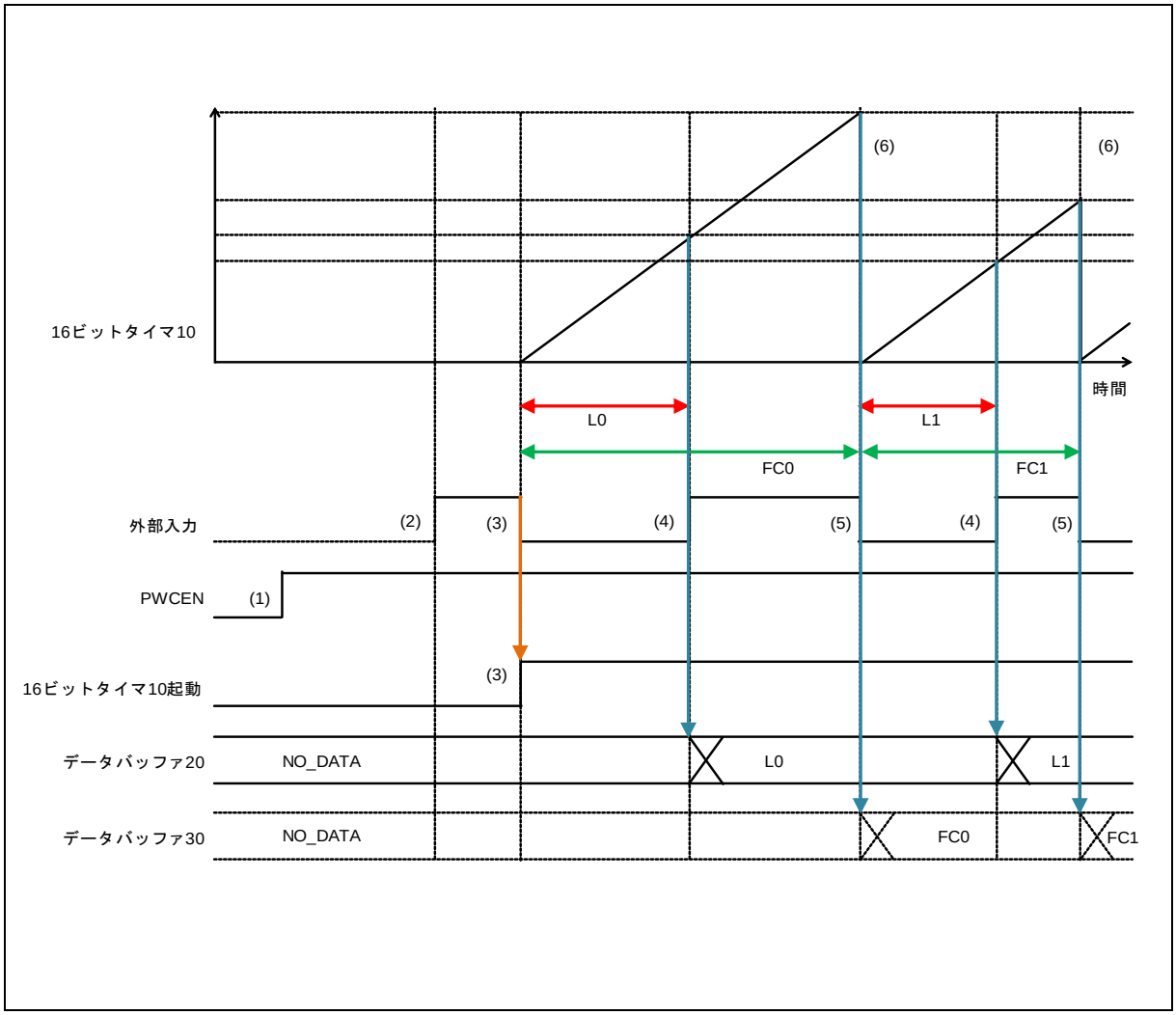
図 5-1 16 ビットタイマ 00 の動作



設定・動作手順：

(1)動作許可(PWC 制御レジスタ(PWCC)の PWCEN:bit0=1)
(2)PWCEN:bit0=1 のとき、最初の立上りエッジを検出すると 16 ビットタイマ 00 起動
(3)16 ビットタイマ 00 起動後、立下りエッジを検出すると、16 ビットタイマ 00 のカウント値を"H"パルス幅としてデータバッファ 00 へ書込み
(4)16 ビットタイマ 00 起動後、立上りエッジを検出すると、16 ビットタイマ 00 のカウント値を立上りエッジ間周期としてデータバッファ 10 へ書込み
(5)立上りエッジを検出すると、16 ビットタイマ 00 のカウント値を"0x0000"にクリア
(6)(3)～(5)を反復

図 5-2 16 ビットタイマ 10 の動作

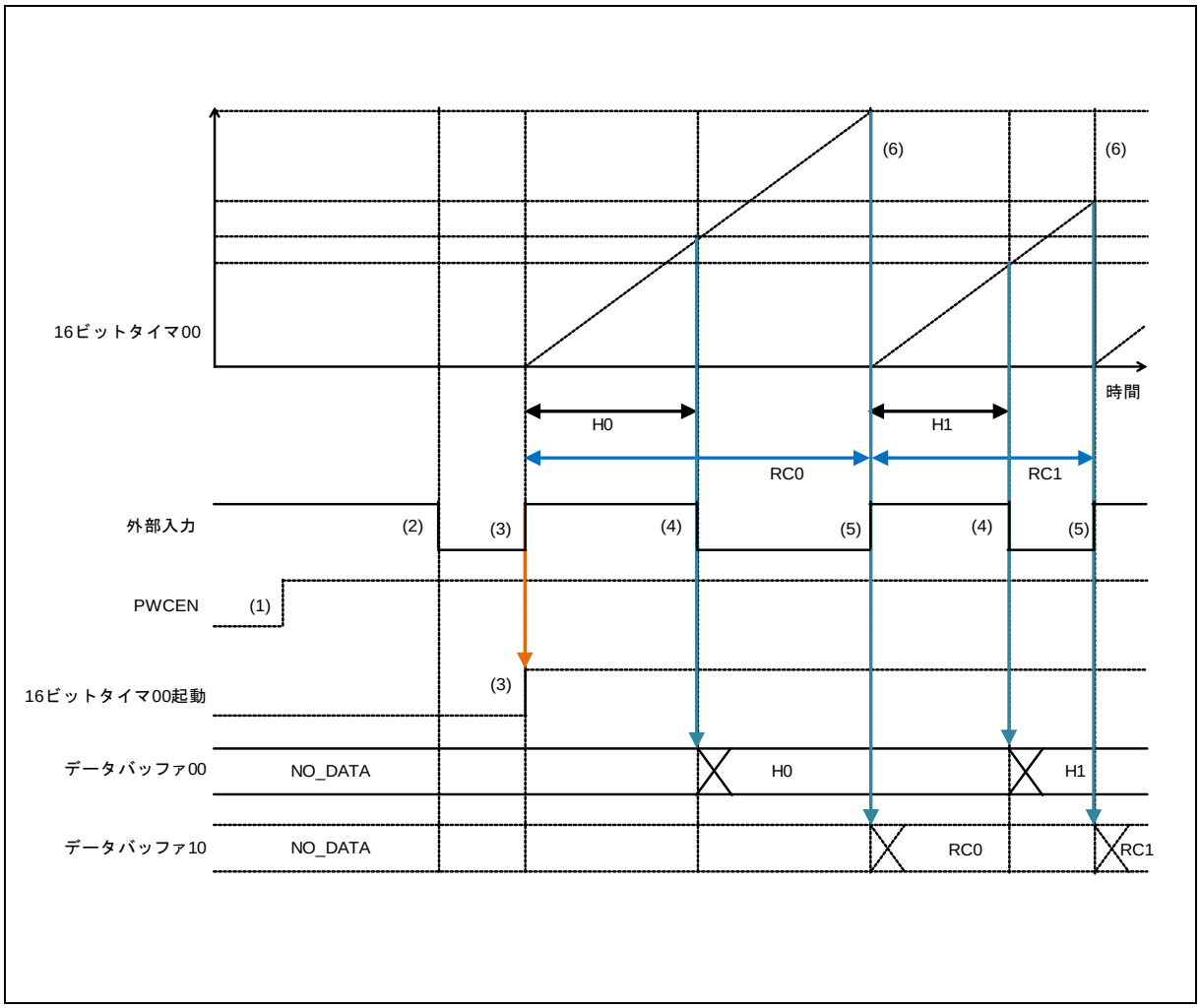


設定・動作手順：

(1)動作許可(PWC 制御レジスタ(PWCC)の PWCEN:bit0=1)
(2)16 ビットタイマ 10 は立上り検出では起動しない
(3)PWCEN:bit0=1 のとき、最初の立下りエッジを検出すると 16 ビットタイマ 10 起動
(4)16 ビットタイマ 10 起動後、立上りエッジを検出すると、16 ビットタイマ 10 のカウント値を"L"パルス幅としてデータバッファ 20 へ書込み
(5)16 ビットタイマ 10 起動後、立下りエッジを検出すると、16 ビットタイマ 10 のカウント値を立下りエッジ間周期としてデータバッファ 30 へ書込み
(6)立下りエッジを検出すると、16 ビットタイマ 10 のカウント値を"0x0000"にクリア
(7)(4)～(6)を反復

外部入力レベルが"H"からスタートしたときの動作を図 5-3 および図 5-4 に示します。

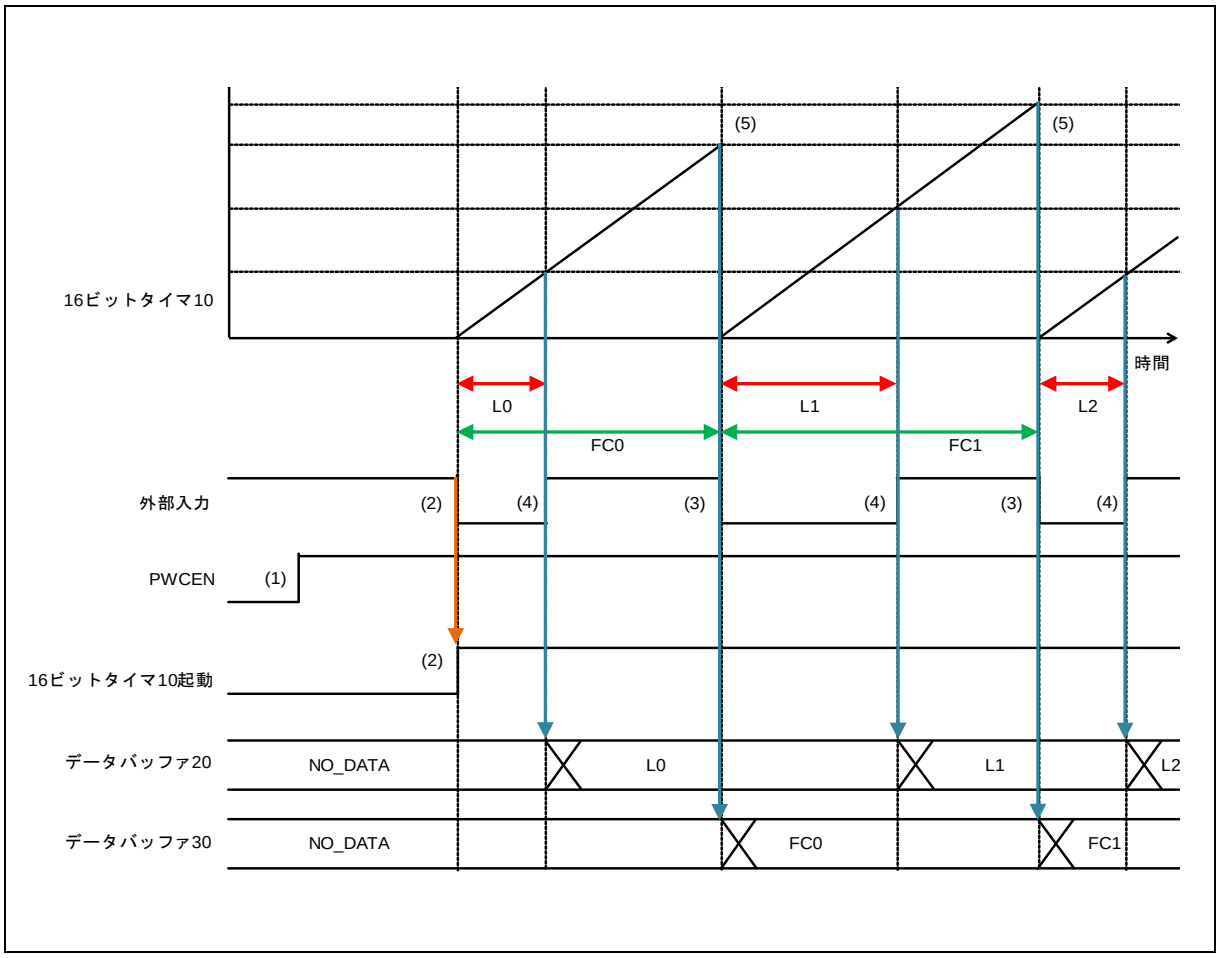
図 5-3 16 ビットタイマ 00 の動作



設定・動作手順：

(1)動作許可(PWC 制御レジスタ(PWCC)の PWCEN:bit0=1)
(2)16 ビットタイマ 00 は立下り検出では起動しない
(3)PWCEN:bit0=1 のとき、最初の立上りエッジを検出すると 16 ビットタイマ 00 起動
(4)16 ビットタイマ 00 起動後、立下りエッジを検出すると、16 ビットタイマ 00 のカウント値を"H"パルス幅としてデータバッファ 00 へ書込み
(5)16 ビットタイマ 00 起動後、立上りエッジを検出すると、16 ビットタイマ 00 のカウント値を立上りエッジ間周期としてデータバッファ 10 へ書込み
(6)立上りエッジを検出すると、16 ビットタイマ 00 のカウント値を"0x0000"にクリア
(7)(4)～(6)を反復

図 5-4 16 ビットタイマ 10 の動作



設定・動作手順：

(1)動作許可(PWC 制御レジスタ(PWCC)の PWCEN:bit0=1)
(2)PWCEN:bit0=1 のとき、最初の立下りエッジを検出すると 16 ビットタイマ 10 起動
(3)16 ビットタイマ 10 起動後、立上りエッジを検出すると、16 ビットタイマ 10 のカウント値を"L"パルス幅としてデータバッファ 20 へ書込み
(4)16 ビットタイマ 10 起動後、立下りエッジを検出すると、16 ビットタイマ 10 のカウント値を立下りエッジ間周期としてデータバッファ 30 へ書込み
(5)立下りエッジを検出すると、16 ビットタイマ 10 のカウント値を"0x0000"にクリア
(6)(3)～(5)を反復

5.2.2. タイマクリア

タイマクリアについて説明します。

16 ビットタイマのカウント値は、下記のいずれかの場合にクリアされます。

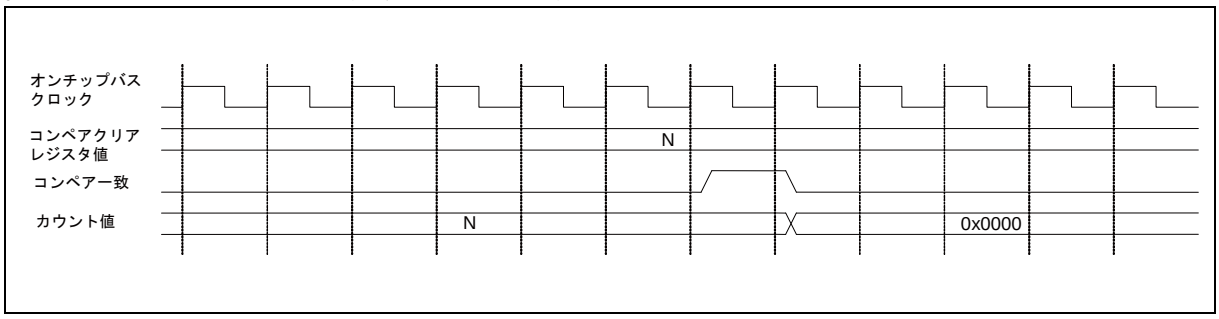
・コンペアクリアレジスタとの一致が検出された場合
・外部入力の有効エッジが検出された場合
・動作中に PWCTCCS レジスタの SCLR:bit4 に"1"が書き込まれた場合
・停止中に PWCTCDT レジスタに"0x0000"が書き込まれた場合
・リセットされた場合

リセットされると、カウンタは直ちにクリアされます。ソフトウェアクリアされた場合またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

＜注意事項＞

停止中に PWCTCCS レジスタの SCLR:bit4 に"1"が書き込まれても、16 ビットタイマのカウント値はクリアされません。

図 5-5 16 ビットタイマのクリアタイミング



5.2.3. コンペアクリアバッファ

コンペアクリアバッファについて説明します。

コンペアクリアレジスタ(PWCCPCLR)には、有効または無効にすることができるバッファ機能が存在します。バッファ機能が有効(PWCTCCS レジスタの BFE:bit7=1)の場合は、コンペアクリアバッファレジスタ(PWCCPCLRB)に書き込まれたデータは、16 ビットタイマ値"0x0000"が検出されると PWCCPCLR レジスタに転送されます。バッファ機能が無効(PWCTCCS ビットの BFE:bit7=0)の場合は、データは PWCCPCLR レジスタに直接書き込むことができます。

図 5-6 コンペアクリアバッファが無効(PWCTCCS レジスタ BFE:bit7=0)時の動作

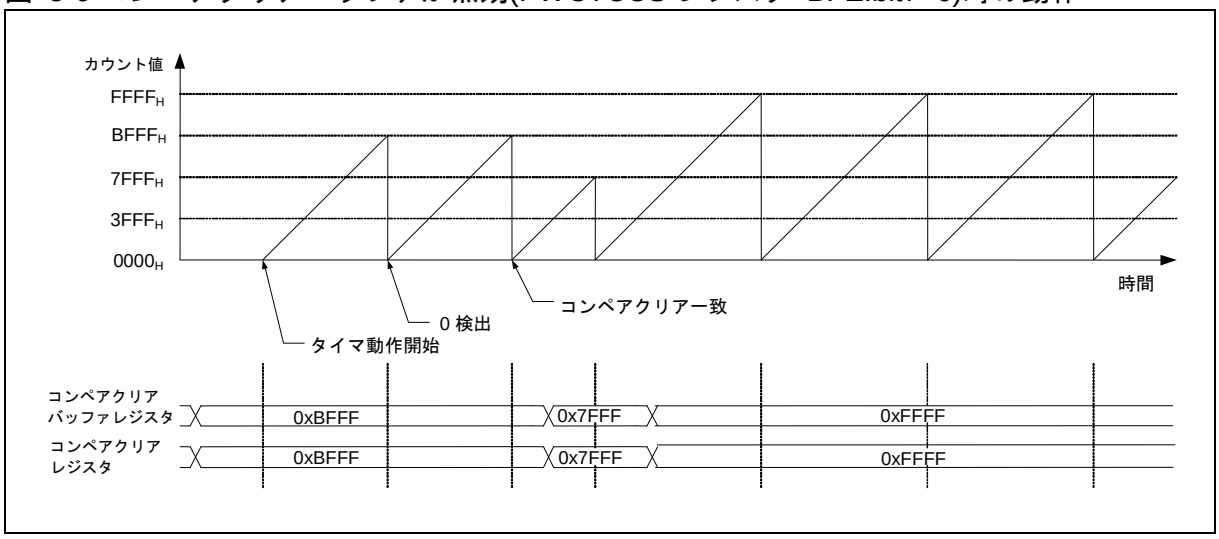
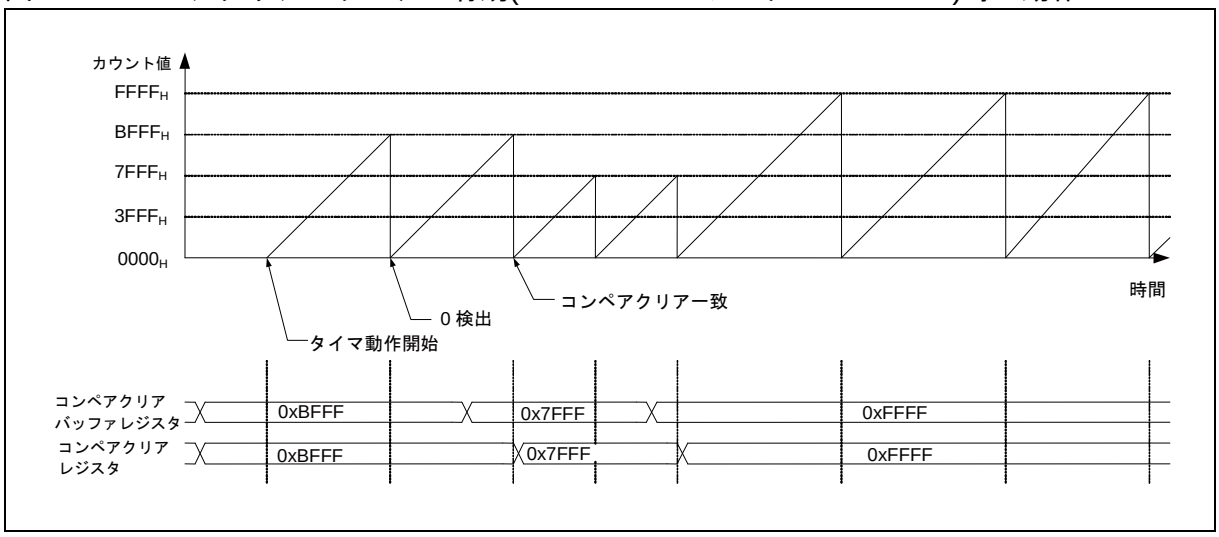


図 5-7 コンペアクリアバッファが有効(PWCTCCS レジスタ BFE:bit7=1)時の動作



5.2.4. タイマ割込み

タイマ割込みについて説明します。

16 ビットタイマでは、以下の 2 つの割込みを生成できます。

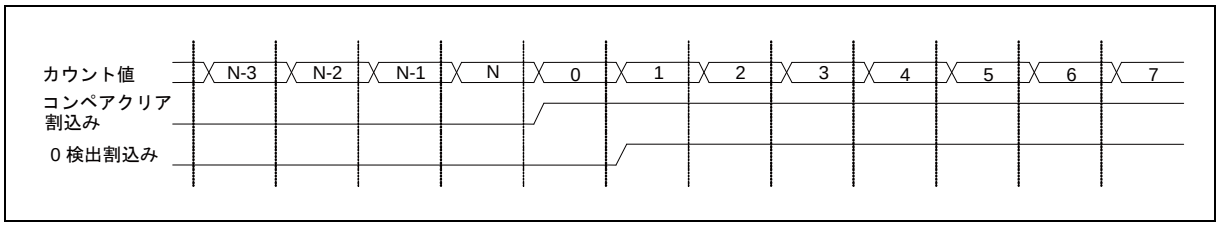
・コンペアクリア割込み
・0 検出割込み
コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致すると生成されます。

0 検出割込みは、タイマ値が"0x0000"に達すると生成されます。

＜注意事項＞

ソフトウェアクリア(PWCTCCS レジスタの SCLR:bit4=1) 、外部入力の有効エッジ検出は、0 検出割込みを生成しません。

図 5-8 16 ビットタイマで生成された割込み



5.2.5. 割込みマスク機能

割込みマスク機能について説明します。

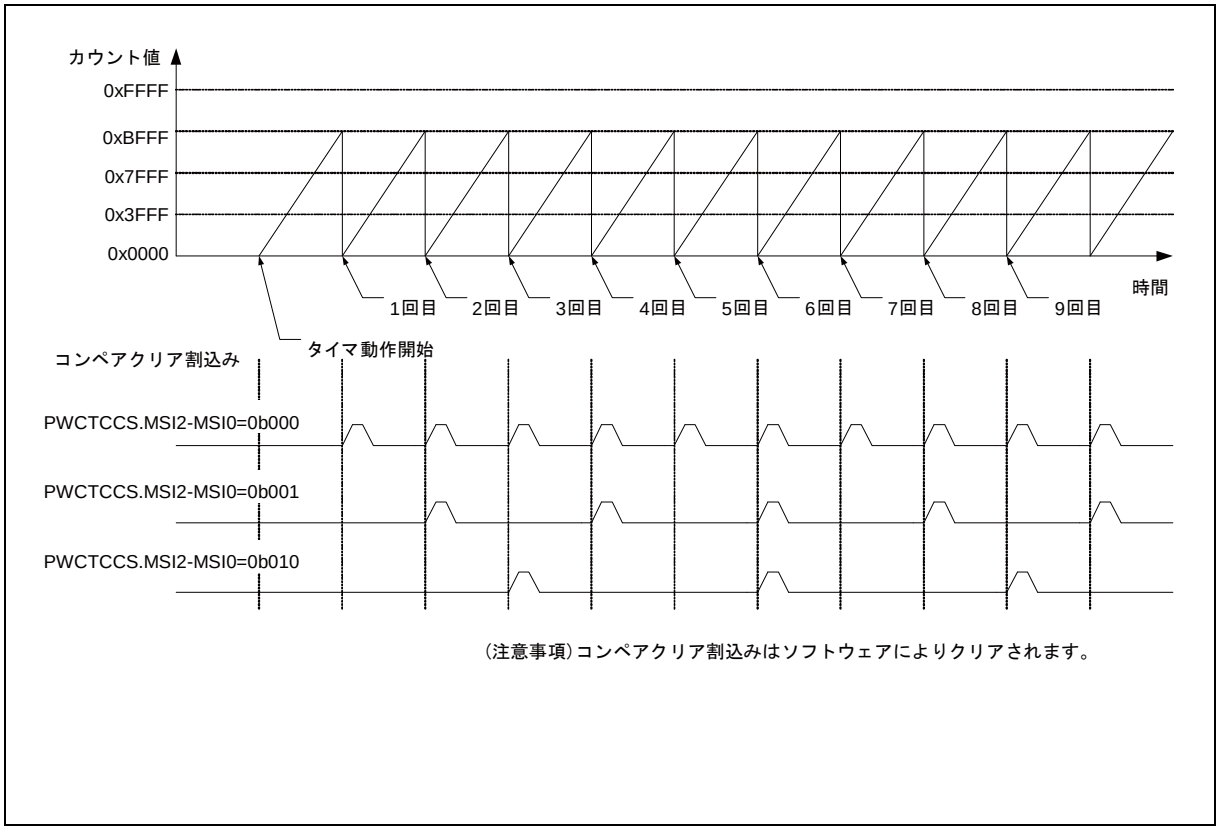
コンペア一致割込みをマスクできます。

- PWCTCCS レジスタの MSI2 ～ MSI0:bit12 ～ bit10 を設定すると割込み要求をマスクできます。MSI2 ～ MSI0 ビットは, カウント値が"000_B"に達すると値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ～ MSI0 ビットに直接書くことによってもロードできます。マスクカウントは、MSI2 ～ MSI0 に設定された値です。MSI2 ～ MSI0 ビットが"000_B"になると、割込み要求はマスクされません。

＜注意事項＞

ソフトウェアクリア(PWCTCCS レジスタの SCLR:bit4=1)、外部入力の有効エッジ検出は、0 検出割込みを生成しません。

図 5-9 マスクされるコンペアクリア割込み

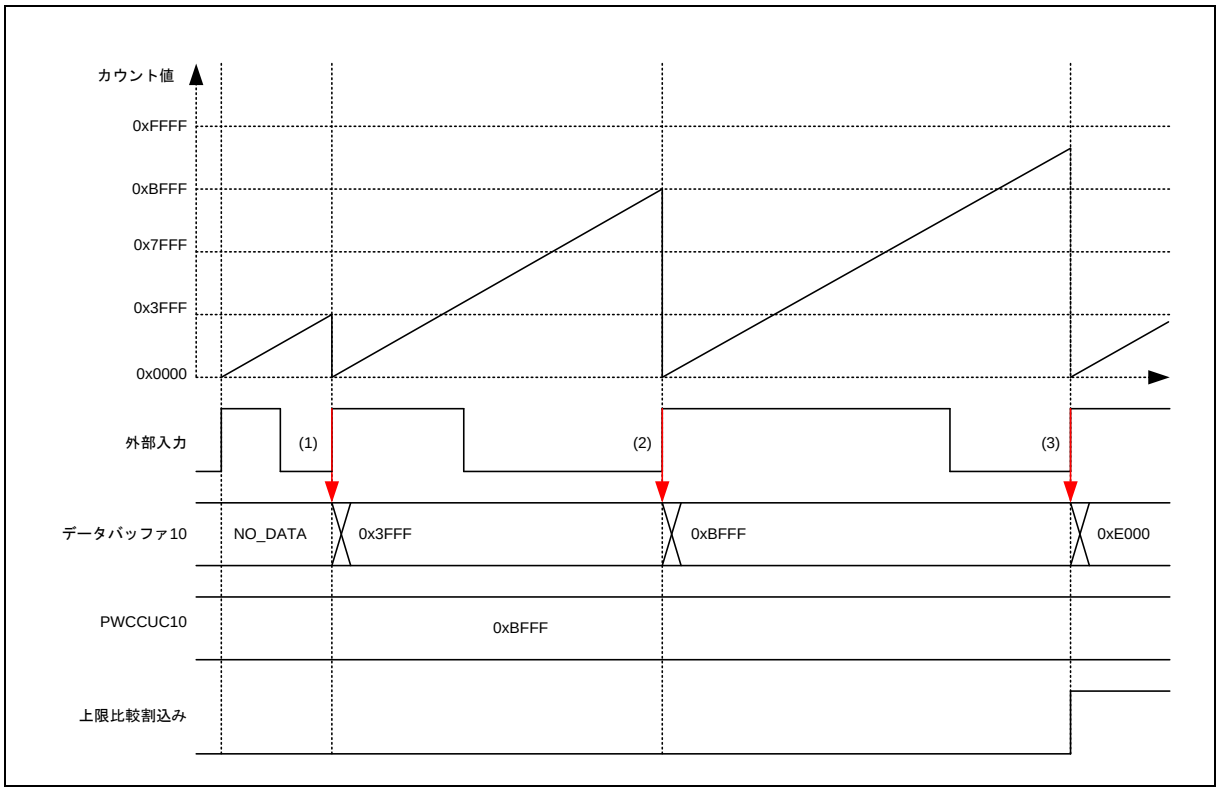


5.2.6. キャプチャデータ上限比較・下限比較割込み

キャプチャデータ上限比較・下限比較割込みについて説明します。

キャプチャデータの上限比較と下限比較は、外部入力のエッジ検出によって、16 ビットタイマ値がデータバッファへ蓄積されたときに実行されます。例として、立上りエッジ間周期に対する上限比較を図 5-10、下限比較を図 5-11 に示します。

図 5-10 キャプチャデータ上限比較時の動作



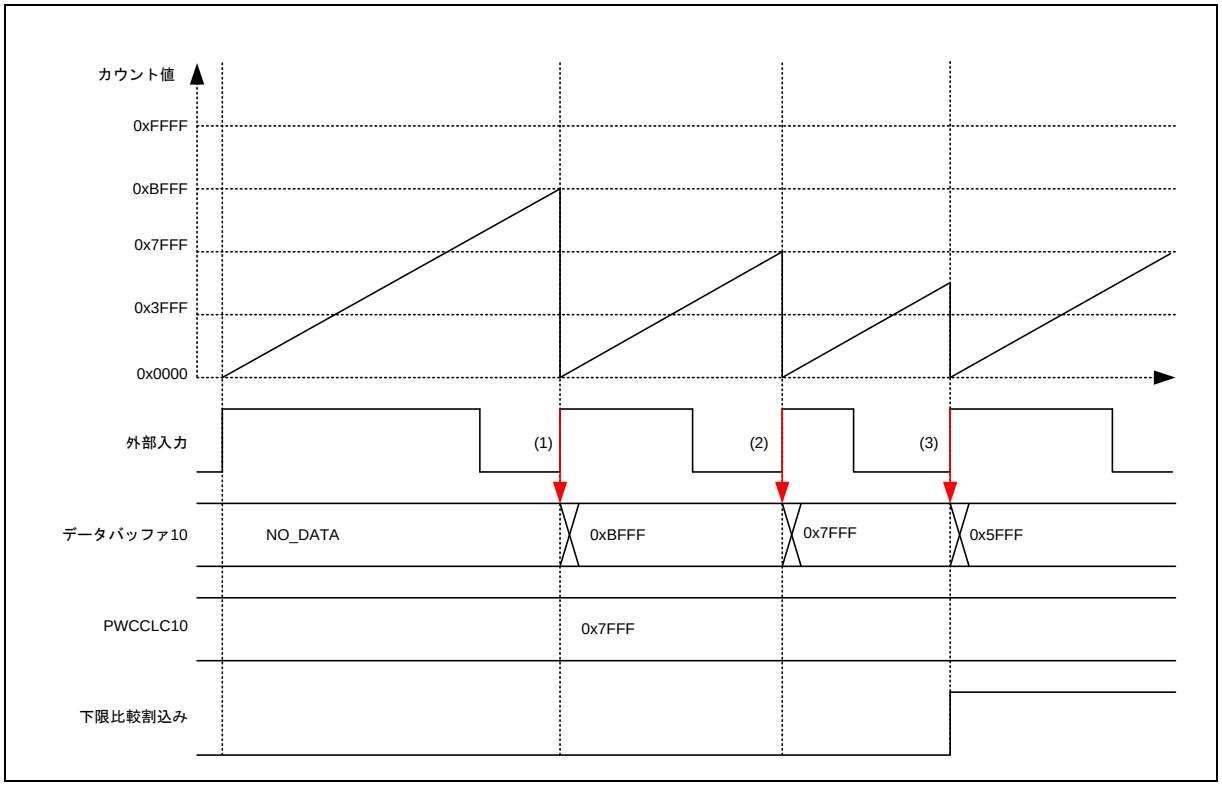
初期設定：外部入力レベル反転は無効、上限値(PWCCUC10)が 0xBFFF の場合

(1)データバッファ 10 の値と PWCCUC10 の値を比較して、PWCCUC10 の方が大きい値の場合、キャプチャデータ上限割込み 10 は生成されません。

(2)データバッファ 10 の値と PWCCUC10 の値を比較して、値が同じ場合、キャプチャデータ上限割込み 10 は生成されません。

(3)データバッファ 10 の値と PWCCUC10 の値を比較して、データバッファ 10 の方が大きい値の場合、上限比較割込み 10 が生成されます。

図 5-11 キャプチャデータ下限比較時の動作



初期設定：外部入力レベル反転は無効、下限値(PWCCLC10)が 0x7FFF の場合

(1)データバッファ 10 の値と PWCCLC10 の値を比較して、PWCCLC10 の方が小さい値の場合、キャプチャデータ下限割込み 10 は生成されません。

(2)データバッファ 10 の値と PWCCLC10 の値を比較して、値が同じ場合、キャプチャデータ下限割込み 10 は生成されません。

(3)データバッファ 10 の値と PWCCLC10 の値を比較して、データバッファ 10 の方が小さい値の場合、下限比較割込み 10 が生成されます。

5.2.7. データバッファ割込み

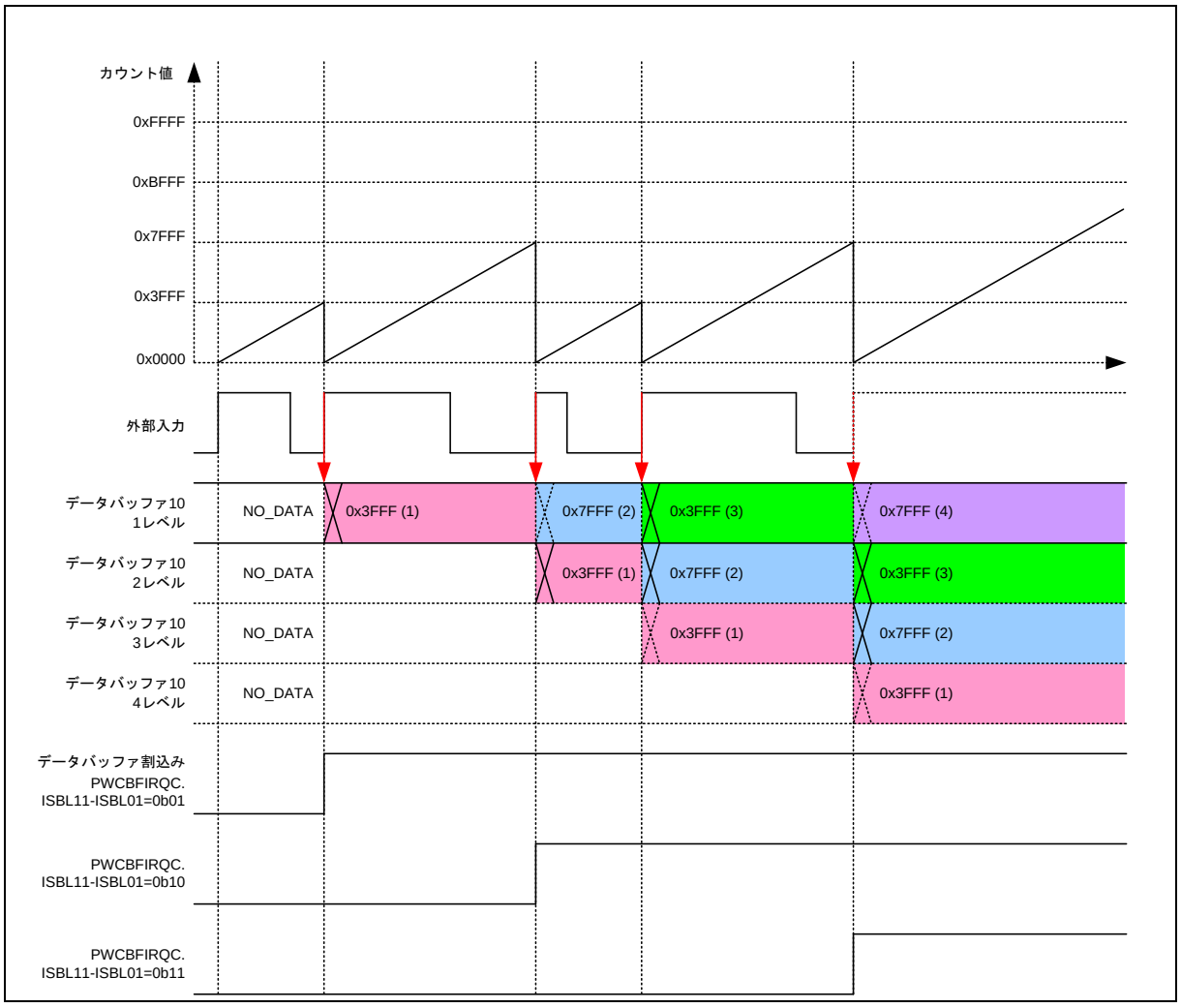
データバッファ割込みについて説明します。

バッファ割込み制御レジスタ(PWCBFIRQC)の bit15～bit8 で設定したレベルまでデータが蓄積されると、データバッファ割込みが生成されます。例として、立上りエッジ間周期のデータを蓄積するデータバッファの動作を図 5-12 に示します。

＜注意事項＞

データバッファ割込みレベル選択ビット(PWCBFIRQC レジスタの IBSL1x～0x) の設定が"0b00"のときは、データバッファ割込みを生成しません。(x=0,1,2,3)

図 5-12 バッファにデータが蓄積されたときの動作



5.2.8. バッファオーバラン割込み

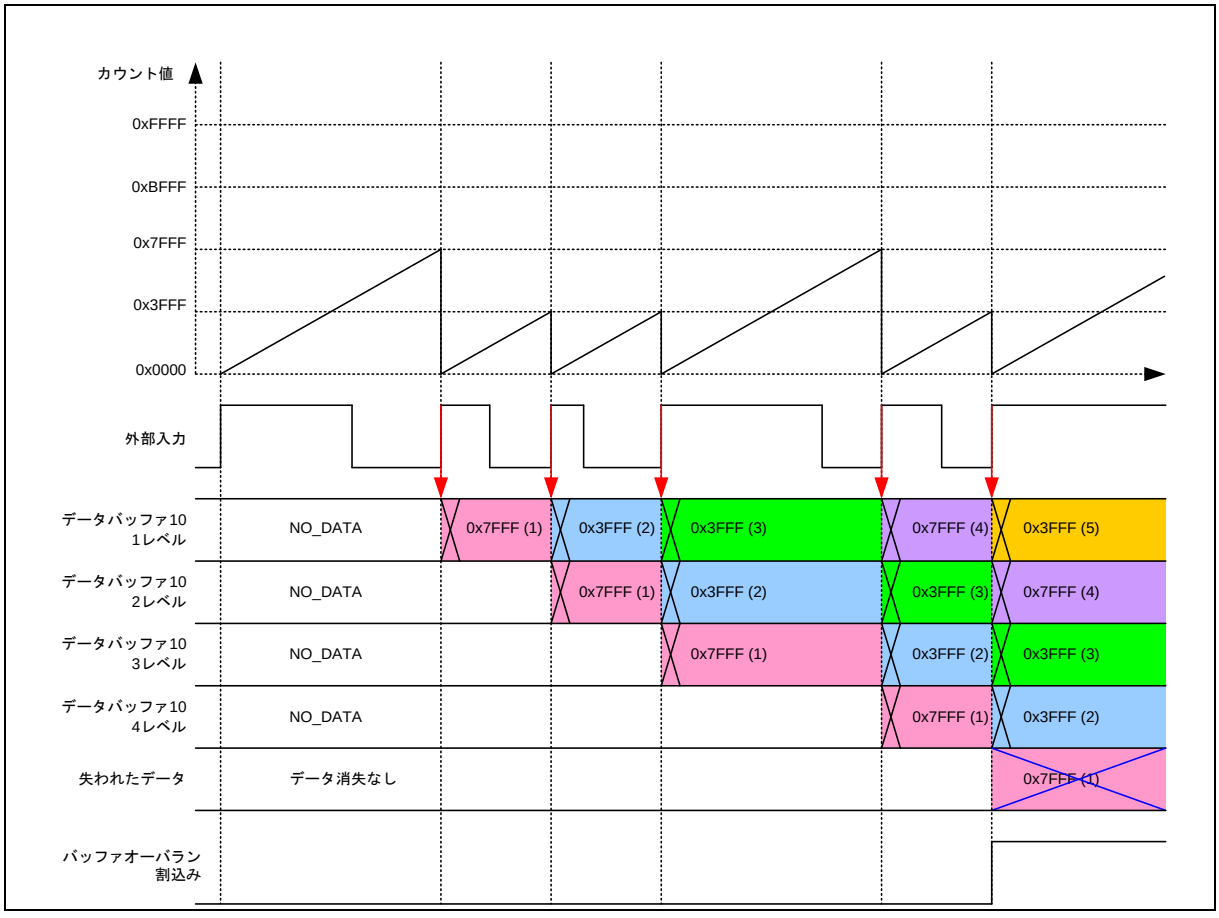
バッファオーバラン割込みについて説明します。

データバッファがフルの状態で、新しいタイマ値がデータバッファに蓄積されたとき、バッファオーバランエラーが生成されます。発生時はデータの上書きが発生しています。上書きによって最も古いデータが失われます。例として、立上りエッジ間周期のデータを蓄積するデータバッファの動作を図 5-13 に示します。

＜注意事項＞

失われたデータは復元できません。

図 5-13 バッファオーバラン時の動作



6. 注意事項

バッファ付き PWC の注意事項について説明します。

● バッファ付き PWC の制御上の注意

・バッファ付き PWC の初期化(PWC 初期化レジスタ(PWCINIT))と、PWC 制御レジスタによる起動許可は同時に行わないでください。
・PWC を起動許可する前(PWC 制御レジスタの PWCEN=1 に設定)に、ほかのレジスタ設定をすべて完了させてください。PWCEN=1 のときは、設定の変更を行わないでください。

● プログラムによる設定上の注意

・リセットを実行するとタイマ値が"0x0000"になりますが、0 検出割込みフラグは設定されません。
・ソフトウェアクリア(PWCTCCS レジスタの SCLR=1)はタイマを初期化しますが、0 検出割込みを生成しません。
・コンペア値は、"0x0000"以外の値となるように設定してください。仮に設定した場合は、タイマ値が"0x0000"に更新されてからタイマ値は"0x0000"固定となります。0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとに設定され続けます。

● 割込みの注意

・タイマ状態制御レジスタ(PWCTCCS)の割込み要求許可ビット(IRQZE)に"1"を設定する前に、必ず割込みフラグ(IRQZF)をクリアしてください。
・タイマ状態制御レジスタ(PWCTCCS)の割込み要求許可ビット(ICRE)に"1"を設定する前に、必ず割込みフラグ(ICLR)をクリアしてください。
・バッファ割込み制御レジスタ(PWCBFIRQC)の割込み許可ビット(ICWE0～3)に"1"を設定する前に、必ずバッファ割込みフラグレジスタ(PWCBFIRQF)の割込みフラグ(ICWF0～3)をクリアしてください。
・バッファ割込み制御レジスタ(PWCBFIRQC)の割込み許可ビット(ICBE0～3)に"1"を設定する前に、必ずバッファ割込みフラグレジスタ(PWCBFIRQF)の割込みフラグ(ICBF0～3)をクリアしてください。
・バッファ割込み制御レジスタ(PWCBFIRQC)の割込み許可ビット(ICUE0～3)に"1"を設定する前に、必ずバッファ割込みフラグレジスタ(PWCBFIRQF)の割込みフラグ(ICUF0～3)をクリアしてください。
・バッファ割込み制御レジスタ(PWCBFIRQC)の割込み許可ビット(ICLE0～3)に"1"を設定する前に、必ずバッファ割込みフラグレジスタ(PWCBFIRQF)の割込みフラグ(ICLF0～3)をクリアしてください。

● PWCTCCS レジスタアクセス時の注意

・リードモディファイライト系命令の場合、MSI2 ～ MSI0 からは設定値が読み出されます。
・通常の読出し時の場合、MSI2 ～ MSI0 からはカウンタ値が読み出されます。

● PWCCPCLR レジスタアクセス時の注意

16 ビットタイマ内の PWCCPCLR レジスタにはバッファ機能があります。このレジスタに対して、リードモディファイライト系命令でのアクセスは行わないでください。

● 外部入力反転機能に関する注意

外部入力レベル反転ビット(PWC 制御レジスタ(PWCC)の EXINV:bit1)の設定は、バッファ付き PWC の動作中に変更しないでください。動作中に変更した場合は動作保証しません。

● 外部入力のパルス幅と周期に関する注意

バッファ付き PWC について、データバッファリードレジスタ(PWCDBR00～PWCDBR31)の値から外部入力のパルス幅と周期の測定結果を求める場合には、次の計算を行います。

パルス幅　= (N+1) × T

周期　= (M+1) × T

N：データバッファリードレジスタ(PWCDBR0n、PWCDBR2n)の値(n：チャネル番号)

M：データバッファリードレジスタ(PWCDBR1n、PWCDBR3n)の値(n：チャネル番号)

T：カウントクロックの周期

パルス幅の測定値、および周期の測定値は、データバッファリードレジスタの値に 1 カウント加えた値と、カウントクロック周期との積によって算出できます。

CHAPTER: 12 ビット A/D コンバータ(4 チャネル同時サンプリング)

12 ビット A/D コンバータ(4 チャネル同時サンプリング)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

12 ビット A/D コンバータ(4 チャネル同時サンプリング)の概要について説明します。

12 ビット A/D コンバータ(4 チャネル同時サンプリング)は、RC 逐次比較変換方式でアナログ入力電圧 4 チャネル分を同時にサンプリングして 12 ビットのデジタル値に変換します。変換された値は AN8 から順に AN9,AN10,AN11 まで順番にレジスタに格納されます。 A/D 変換は常に AN8 から必ず開始されますが、変換終了チャネルを設定することで、途中のチャネルで変換終了できます。 (例：AN8 のみの 1 チャネルで変換終了、AN8、AN9 までの 2 チャネルで変換終了など)

A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換の再起動はしません。変換中に A/D 起動トリガ入力があった場合、イレギュラ起動割込みを通知します。また、A/D 変換中の AD4TBUSY.BUSY7~0 の Bit0 設定による A/D 変換キャンセル入力信号による、強制停止機能をサポートします。AD4TBUSY.BUSY 7 ~0 の”0”書込みによる強制終了は、AD4TBUSY.BUSY7~0 のどのレジスタに設定しても A/D コンバータは強制終了されます。

2. 特長

12 ビット A/D コンバータ(4 チャネル同時サンプリング)の特長について説明します。

2.1. A/D 起動制御の機能

A/D 起動制御の機能について説明します。

■ 起動制御部

A/D 起動要求制御は 12 ビット A/D コンバータ(4 チャネル同時サンプリング)で、4 チャネル(AN8~AN11)に対して起動制御を行います。起動制御部は 8 ブロック持っています。
起動制御部は、次のレジスタで構成されます。

- 4 チャネル A/D 起動トリガ制御ステータスレジスタ
- 4 チャネル A/D 起動トリガ拡張制御レジスタ

■ A/D 起動要求

- 起動制御部は、ソフトウェア, 外部トリガ(立下り), リロードタイマ(立上り), PWM からの起動トリガ(12 種類: 立上り)のいずれかで A/D 起動要求を行います。なお、起動制御部内では、A/D 変換(起動要求)中の再起動は行いません。
- ソフトウェア起動, 外部トリガ, リロードタイマおよび PWM からの各種起動トリガにより、12 ビット A/D コンバータ(4 チャネル同時サンプリング)に対して 4 チャネル(AN8~AN11)同時にサンプリング完了し、比較を開始します。

  1 回の起動要因で 1 回の起動要求を行います。A/D サンプリングは一度に 4 チャネル(AN8~AN11)分同時に行われ、起動要求は終了設定チャネルの A/D コンペア動作終了で解除されます。A/D 変換終了は AN8~AN11 各チャネルのデータレジスタの格納時ごとに A/D 変換を終了させることが可能です。
- A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、各アナログ入力チャネル(AN8～AN11)ごとにデータレジスタがあります。
- A/D 変換データは必ず AN8 から AN11 まで順番に変換、格納されます。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、これらの値より A/D 変換データの状態を知ることができます。

■ 割込み要求

- 各起動チャネルは、各アナログ入力チャネルのコンペア終了時に、変換終了割込み要求を発生します。
- A/D 起動トリガ拡張制御レジスタ(AD4TECS)の bit15～14(CHSEL1～CHSEL0)で設定されたアナログ入力チャネルの変換終了から次の A/D 起動までのサンプリング時間が不足した場合に、サンプリング時間不足割込み要求を発生します。
- A/D 変換動作(コンペア)中に起動要因が発生した場合に、イレギュラ起動割込み要求を発生します。

■ データ保護機能

- 各アナログ入力チャネルの A/D データレジスタは、データ保護機能を設定できます。
- データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D データ更新は上書きされません。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを保護条件に含めるか選択ができます。
- A/D 起動要求中または変換中は、A/D 起動トリガステータスレジスタ(AD4TBUSY.BUSY7~0)により通知されます。また、現在の A/D 起動要求または変換を強制終了したい場合は、A/D 起動トリガステータスレジスタ(AD4TBUSY.BUSY7~0)に"0"を書き込むことにより可能です。
  BUSY7~0 はどのレジスタに"0"を書き込んでも、A/D は強制終了します。

2.2. A/D 起動調停の機能

A/D 起動調停の機能について説明します。

- A/D 起動調停は、調停回路、A/D 起動トリガで構成されます。
- 各起動トリガからの起動要求の調停を行い、起動トリガ、4 チャネル A/D 変換キャンセル信号を生成します。
- A/D 変換中に別の起動トリガが入力された場合、(各 A/D 起動トリガの起動要求が競合した場合) 変換中の A/D 変換が完了するまでに別の起動トリガが入力されても、A/D 変換の再起動は発生しません。
  上記の別の起動トリガが入力された場合、変換できない起動要求が入力されたと判断し、イレギュラ起動割込みフラグがセットされます。
  起動トリガの種類に関係なく、A/D 変換中に入力される別の起動トリガでは A/D 変換はされません。
- 別の起動制御チャネルで同種類の A/D 起動トリガが同時入力した場合、若いチャネル番号が優先で、起動トリガがかかります。優先が低いチャネル番号の A/D 起動トリガは無視され、イレギュラ起動割込みフラグがセットされます。

2.3. 12 ビット A/D コンバータ(4 チャネル同時サンプリング) 制御の機能

12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御の機能について説明します。

12 ビット A/D コンバータ(4 チャネル同時サンプリング)はアナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換します。また、次の特長があります。

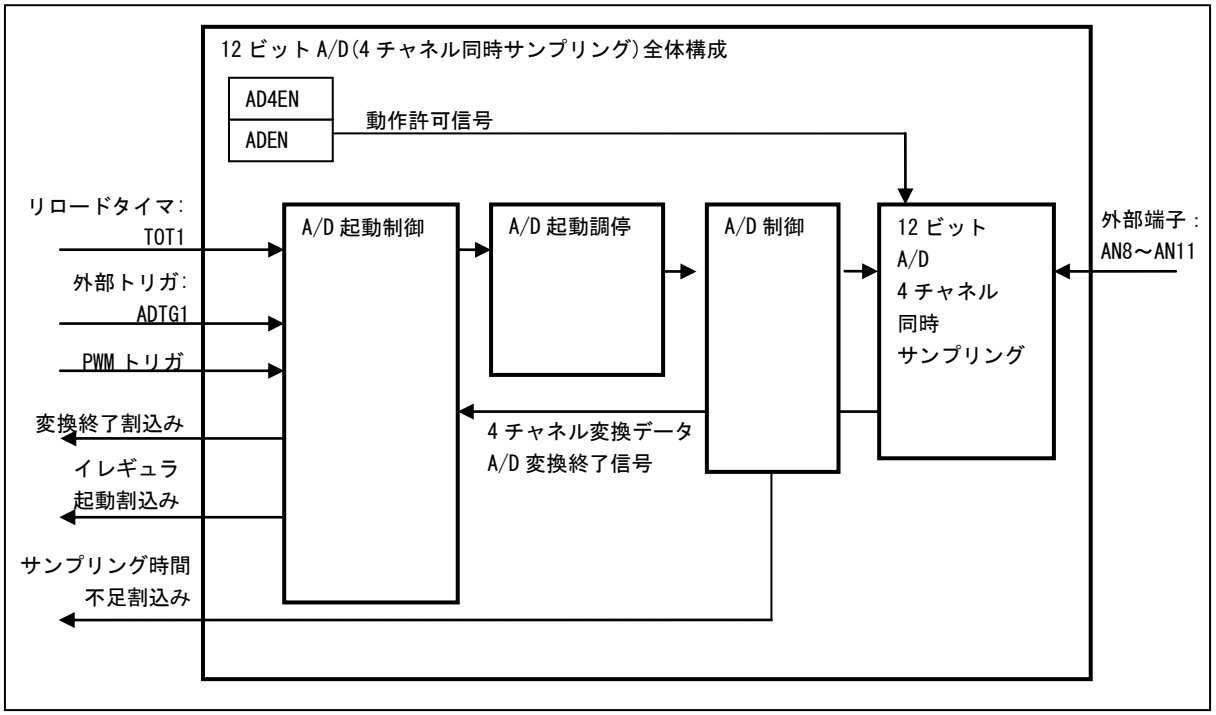
- 4 チャネルを同時にサンプリングします。
- 変換時間に関しましては、データシートをご確認ください。
- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- 起動信号はパルス信号で入力されます。
- A/D 変換は、1 回の起動要因の入力で 1 回の変換を行います。
- A/D 変換中に A/D 変換キャンセル信号を受信すると、現在の処理を停止します。(強制停止機能)
- サンプリング時間制限値の設定・コンペア時間の設定が可能です。

3. 構成

12 ビット A/D コンバータ(4 チャネル同時サンプリング)の構成について説明します。

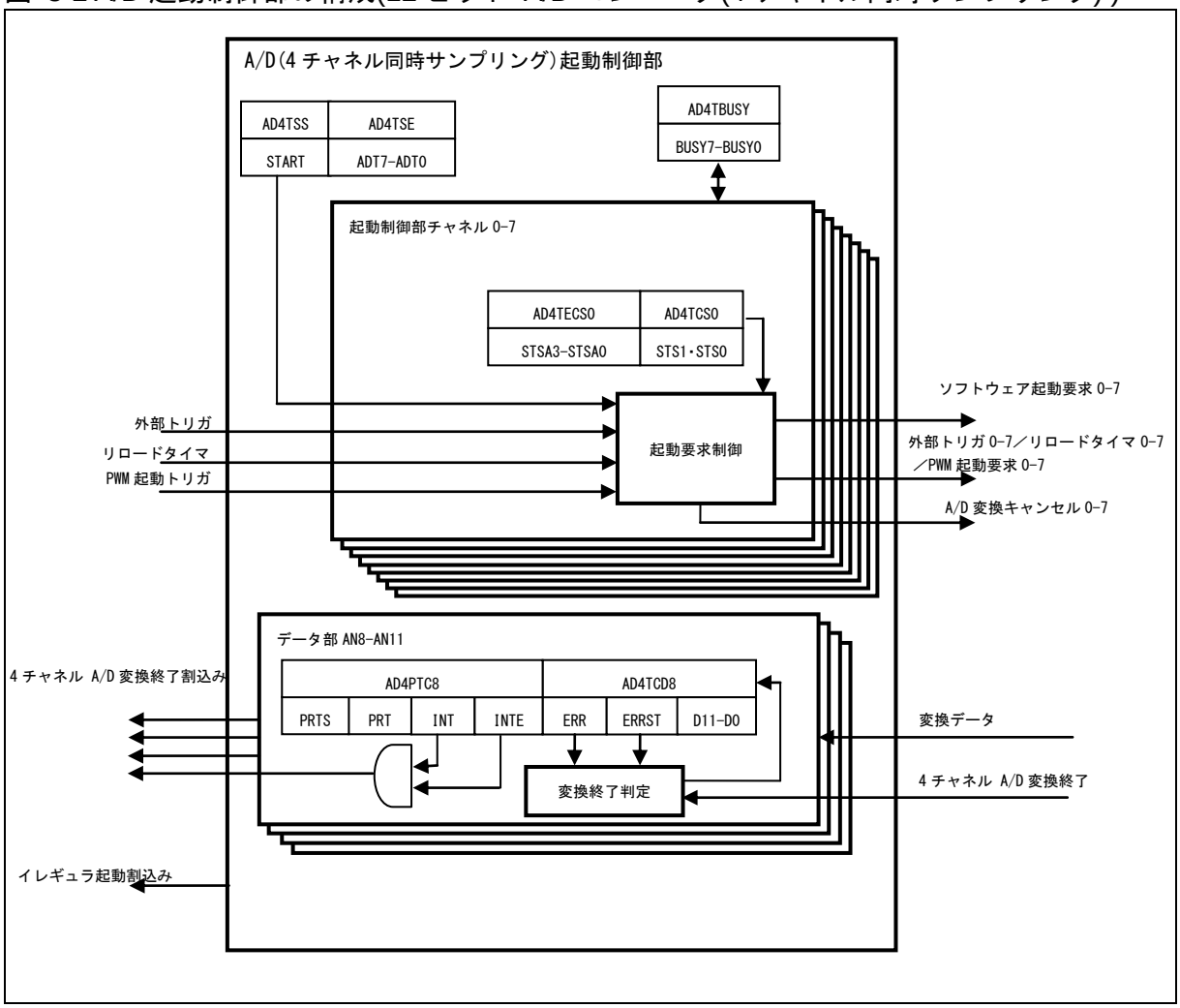
■ 全体構成

図 3-3-1 A/D 全体の構成(12 ビット A/D コンバータ(4 チャネル同時サンプリング))



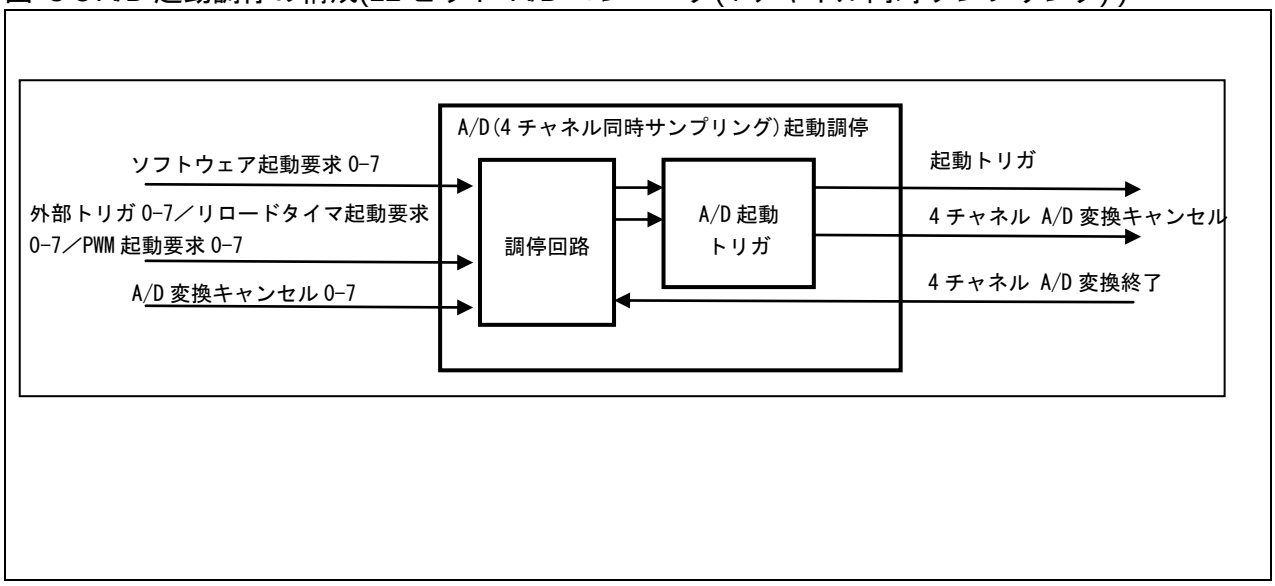
■ A/D 起動制御部の構成

図 3-2 A/D 起動制御部の構成(12 ビット A/D コンバータ(4 チャネル同時サンプリング))



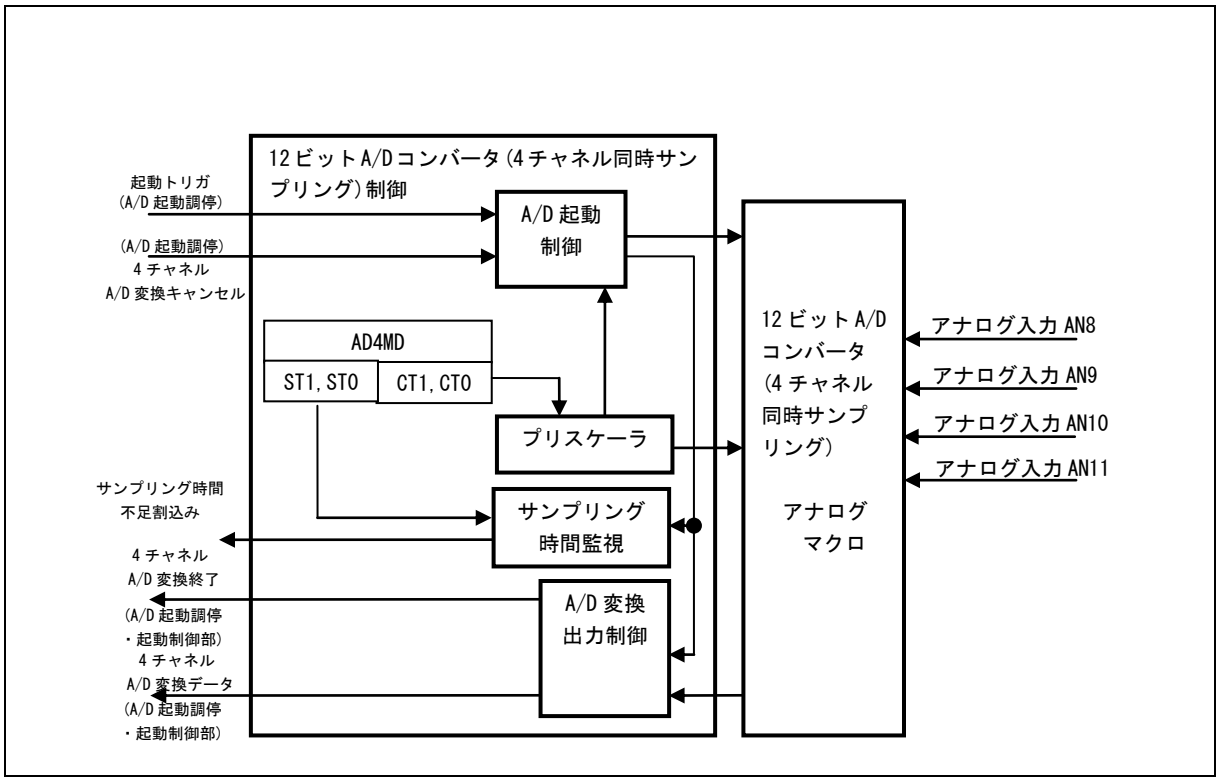
■ A/D 起動調停の構成

図 3-3 A/D 起動調停の構成(12 ビット A/D コンバータ(4 チャネル同時サンプリング))



■ 12 ビット A/D コンバータ制御の構成

図 3-4 12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御の構成



4. レジスタ

12 ビット A/D コンバータ(4 チャネル同時サンプリング)のレジスタについて説明します。

■ 12 ビット A/D 起動制御のレジスター覧

表 4-1 12 ビット A/D コンバータ(4 チャネル同時サンプリング)起動制御のレジスター覧

アドレス	+0	+1	+2	+3
0x3320	4 チャネル A/D イネーブルレジスタ(AD4EN)	予約	予約	予約
0x3324	4 チャネル A/D ソフトウェア起動レジスタ (AD4TSS)	予約	予約	予約
0x3328	4 チャネル A/D ソフトウェア起動チャネル選択レジスタ (AD4TSE)			
0x332C	4 チャネル A/D 起動トリガ制御ステータスレジスタ 0 (AD4TCS0)		4 チャネル A/D 起動トリガ制御ステータスレジスタ 1 (AD4TCS1)	
0x3330	4 チャネル A/D 起動トリガ制御ステータスレジスタ 2 (AD4TCS2)		4 チャネル A/D 起動トリガ制御ステータスレジスタ 3 (AD4TCS3)	
0x3334	4 チャネル A/D 起動トリガ制御ステータスレジスタ 4 (AD4TCS4)		4 チャネル A/D 起動トリガ制御ステータスレジスタ 5 (AD4TCS5)	
0x3338	4 チャネル A/D 起動トリガ制御ステータスレジスタ 6 (AD4TCS6)		4 チャネル A/D 起動トリガ制御ステータスレジスタ 7 (AD4TCS7)	
0x333C	4 チャネル A/D 起動トリガステータスレジスタ(AD4TBUSY)			
0x3340	4 チャネル A/D 起動トリガ拡張制御レジスタ 0 (AD4TECS0)		4 チャネル A/D 起動トリガ拡張制御レジスタ 1 (AD4TECS1)	
0x3344	4 チャネル A/D 起動トリガ拡張制御レジスタ 2 (AD4TECS2)		4 チャネル A/D 起動トリガ拡張制御レジスタ 3 (AD4TECS3)	
0x3348	4 チャネル A/D 起動トリガ拡張制御レジスタ 4 (AD4TECS4)		4 チャネル A/D 起動トリガ拡張制御レジスタ 5 (AD4TECS5)	
0x334C	4 チャネル A/D 起動トリガ拡張制御レジスタ 6 (AD4TECS6)		4 チャネル A/D 起動トリガ拡張制御レジスタ 7 (AD4TECS7)	
0x3350	4 チャネル A/D 割込み/保護制御レジスタ 8 (AD4PTC8)	4 チャネル A/D 割込み/保護制御レジスタ 9 (AD4PTC9)	4 チャネル A/D 割込み/保護制御レジスタ 10 (AD4PTC10)	4 チャネル A/D 割込み/保護制御レジスタ 11 (AD4PTC11)

■ 12 ビット A/D データのレジスター覧

表 4-2　12 ビット A/D コンバータ(4 チャネル同時サンプリング)データのレジスター覧

アドレス	+0	+1	+2	+3
0x3354	4 チャネル A/D データレジスタ AN8(AD4TCD8)		4 チャネル A/D データレジスタ AN9(AD4TCD9)	
0x3358	4 チャネル A/D データレジスタ AN10(AD4TCD10)		4 チャネル A/D データレジスタ AN11(AD4TCD11)	

■ 12 ビット A/D コンバータ制御のレジスター覧

表 4-3　12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御のレジスター覧

アドレス	+0	+1	+2	+3
0x335C	4 チャネル A/D 制御ステータスレジスタ (AD4CS)		予約	4 チャネル A/D モード設定 レジスタ (AD4MD)
0x3360	4 チャネルデータ保護状態フラグレジスタ(AD4PRTF)			

4.1. A/D 起動制御のレジスタ

A/D 起動制御のレジスタについて説明します。

4.1.1.4 チャネル A/D イネーブルレジスタ ：AD4EN

4 チャネル A/D イネーブルレジスタのビット構成について示します。

4 チャネル A/D イネーブルレジスタ(AD4EN)は、12 ビット A/D コンバータ(4 チャネル同時サンプリング) の A/D を動作状態に設定するレジスタです。

■ AD4EN: アドレス 3320H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							ADEN
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] 予約

[bit0] ADEN : A/D イネーブルビット

ADEN	機能
0	A/D コンバータ動作禁止
1	A/D コンバータ動作許可

・このビットに"1"を書き込むと A/D コンバータが動作状態になります。動作状態になると、A/D コンバータはリサンプション時間経過後、サンプリング状態になります。

＜注意事項＞

・ADEN="1"のときには、変更ができないレジスタがありますので、注意ください。
・スタンバイモード時に ADEN は"0"になります。

4.1.2. 4 チャネル A/D ソフトウェア起動レジスタ : AD4TSS

4 チャネル A/D ソフトウェア起動レジスタのビット構成について示します。

4 チャネル A/D ソフトウェア起動レジスタ(AD4TSS)は、12 ビット A/D コンバータ(4 チャネル同時サンプリング) の A/D 起動要求を行うレジスタです。なお、起動するチャネルは、4 チャネル A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)で設定される起動チャネルです。

■ AD4TSS: アドレス 3324H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							START
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W

[bit7～bit1] 予約

[bit0] START : A/D 変換起動ビット(ソフトウェア)

START	機能
0	A/D 変換機能を起動しない
1	A/D 変換機能を起動する

・A/D 変換動作をソフトウェアで起動するビットです。
・このビットに"1"を書き込むと A/D 変換が起動します。なお、起動するチャネルは、4 チャネル A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)で設定される起動チャネルです。

4.1.3.4 チャネル A/D ソフトウェア起動チャネル選択レジスタ : AD4TSE

4 チャネル A/D ソフトウェア起動チャネル選択レジスタのビット構成について示します。

4 チャネル A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)は、A/D 起動要求を行う起動チャネルを選択するレジスタです。

■ AD4TSE: アドレス 3328H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADT07	ADT06	ADT05	ADT04	ADT03	ADT02	ADT01	ADT00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31～bit8] 予約

[bit7～bit0] ADT07 ～ ADT00 : ソフトウェア起動チャネル選択ビット

ADT0n (n=7~0)	機能
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

・起動チャネルのソフトウェア起動を制御します。
・このビットが"0"の場合、ソフトウェア起動は禁止されます。
・このビットが"1"の場合、ソフトウェア起動は許可されます。

＜注意事項＞

・ソフトウェア起動選択は同時に複数の起動チャネルに許可しないでください。
同時に複数のチャネルに許可された場合、起動チャネル番号の若いほうが優先されます。
・ソフトウェア起動を使用しないときには、ADT07～ADT00=8'h00 に設定してください。

4.1.4. 4 チャネル A/D 起動トリガ制御ステータスレジスタ : AD4TCS0 ～ AD4TCS7

4 チャネル A/D 起動トリガ制御ステータスレジスタのビット構成について示します。

4 チャネル A/D 起動トリガ制御ステータスレジスタ(AD4TCS)は、起動要因選択に使用します。

■ AD4TCS0 ～ AD4TCS7 : アドレス 332C$_H$~ 333A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約			STS1	STS0	予約		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit15～bit13] 予約

[bit12, bit11] STS1, STS0 : A/D 起動要因選択ビット

STS1	STS0	機能
0	0	ソフトウェア起動
0	1	外部端子トリガ起動(立下りエッジ)
1	0	リロードタイマ起動(立上りエッジ)
1	1	PWM 起動 *1

*1STS1,STS0 ビットは、4 チャネル A/D 起動トリガ拡張制御レジスタ(AD4TECS)の bit11～bit8(STSA3～STSA0)との組合せで、A/D 変換の起動要因の選択を行います。

＜注意事項＞

- A/D 起動要因選択ビットは書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態でかつ、A/D 変換要求中(AD4TBUSY:BUSY7～BUSY0=1)でないときに行ってください。
- A/D 起動要求を行わない場合は、本ビット STS1,STS0 をソフトウェア起動("00_B")と設定してください。

[bit10～bit0] 予約

4.1.5. 4 チャネル A/D 起動トリガステータスレジスタ : AD4TBUSY

4 チャネル A/D 起動トリガステータスレジスタのビット構成について示します。

4 チャネル A/D 起動トリガステータスレジスタ(AD4TBUSY)は、A/D 起動要求確認に使用します。

■ AD4TBUSY: アドレス 333CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BUSY7	BUSY6	BUSY5	BUSY4	BUSY3	BUSY2	BUSY1	BUSY0
初期値	0	0	0	0	0	0	0	0
属性	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W	R(RM1)/W

[bit31～bit8] 予約

[bit7～bit0] BUSY7 ～ BUSY0 : A/D 起動要求中ビット

BUSY7～BUSY0	機能	
	読出し時	書込み時
0	A/D 起動未要求	A/D 起動要求強制停止
1	A/D 起動要求中または変換中	変化なし, ほかへの影響なし

・各起動チャネルの A/D 起動要求または変換の動作表示ビットです。
・読出し時、このビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば A/D 変換要求中または変換中であることを示します。
・書込み時、このビットへの"0"の書込みによって A/D 起動要求または変換を強制停止します。BUSY7~0 のどのビットで"0"を書き込んでも、A/D 起動要求または変換を強制停止します。"1"の書込みでは、変化せずほかへの影響はありません。

＜注意事項＞

リードモディファイライト(RMW)命令のリード時には、"1"が読み出されます。

4.1.6.4 チャネル A/D 起動トリガ拡張制御レジスタ : AD4TECS0 ～ AD4TECS7

4 チャネル A/D 起動トリガ拡張制御レジスタのビット構成について示します。

4 チャネル A/D 起動トリガ拡張制御レジスタ(AD4TECS)は、PWM での起動要因選択、A/D 変換終了するデータチャネルの設定、各データチャネルの更新の設定に使用します。

■ AD4TECS0 ～ AD4TECS7: アドレス 3340H~ 334EH(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CHSEL1	CHSEL0	予約	予約	STSA3	STSA2	STSA1	STSA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R0,WX	R0,WX	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DTIH8	DTIH9	DTIH10	DTIH11	予約			
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX

[bit15～bit14] CHSEL1,CHSEL0 : A/D 変換終了チャネル選択ビット

CHSEL1	CHSEL0	機能
0	0	変換終了アナログ入力チャネルに AN8 を選択
0	1	変換終了アナログ入力チャネルに AN9 を選択
1	0	変換終了アナログ入力チャネルに AN10 を選択
1	1	変換終了アナログ入力チャネルに AN11 を選択

・A/D 変換を終了するアナログ入力チャネルを選択します。
・選択した変換終了チャネルが変換された後、A/D コンバータはサンプリング状態になります。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit13～bit12] 予約

[bit11～bit8] STSA3, STSA2, STSA1, STSA0 : A/D 起動要因拡張選択ビット (PWM)

STSA3	STSA2	STSA1	STSA0	機能
0	0	0	0	PWM1:エッジトリガ 0
0	0	0	1	PWM2:エッジトリガ 1
0	0	1	0	PWM3:エッジトリガ 2
0	0	1	1	PWM4:エッジトリガ 3
0	1	0	0	PWM5:フォルト結果 0
0	1	0	1	PWM6:フォルト結果 1
0	1	1	0	PWM7:フォルト結果 2
0	1	1	1	PWM8:フォルト結果 3
1	0	0	0	PWM9:フォルト結果 4
1	0	0	1	PWM10:フォルト結果 5
1	0	1	0	PWM11:特殊イベントトリガ 0
1	0	1	1	PWM12:特殊イベントトリガ 1
1	1	0	0	設定禁止
1	1	0	1	
1	1	1	0	
1	1	1	1	

・AD4TCS.STS1, AD4TCS.STS0 ビットが 11_B 選択時に、PWM で作成した A/D コンバータ起動トリガの種類を選択できます。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit7] DTIH8 : データ更新禁止ビット (AN8)

DTIH8	機能
0	AN8 : このチャネルデータの更新を許可する
1	AN8 : このチャネルデータの更新を禁止する

・AN8 チャネルデータの更新を制御します。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit6] DTIH9 : データ更新禁止ビット (AN9)

DTIH9	機能
0	AN9 : このチャネルデータの更新を許可する
1	AN9 : このチャネルデータの更新を禁止する

・AN9 チャネルデータの更新を制御します。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit5] DTIH10 : データ更新禁止ビット (AN10)

DTIH10	機能
0	AN10 : このチャネルデータの更新を許可する
1	AN10 : このチャネルデータの更新を禁止する

・AN10 チャネルデータの更新を制御します。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit4] DTIH11 : データ更新禁止ビット (AN11)

DTIH11	機能
0	AN11 : このチャネルデータの更新を許可する
1	AN11 : このチャネルデータの更新を禁止する

・AN11 チャネルデータの更新を制御します。

＜注意事項＞

A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(AD4TBUSY:BUSY7～0=1)でないときに行ってください。

[bit3～bit0] 予約

4.1.7.4 チャネル A/D 割込み/保護制御レジスタ ：AD4PTC8 ～ AD4PTC11

4 チャネル A/D 割込み/保護制御レジスタのビット構成について示します。

4 チャネル A/D 割込み/保護制御レジスタ(AD4PTC)は、割込み要求の許可/ 禁止、割込み要求の状態の確認、保護機能制御に使用します。

■ AD4PTC8 ～ AD4PTC11: アドレス 3350H~ 3353H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	INT	INTE	PRT	PRTS	予約			
初期値	0	0	0	0	0	0	0	0
属性	R(RM1)/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] INT : 割込み要求フラグビット

INT	機能	
	読出し時	書込み時
0	A/D 変換未終了	ビットクリア
1	A/D 変換終了	変化なし、ほかへの影響なし

- A/D 変換によって各 A/D データレジスタ(AD4TCD8～11)にそれぞれデータがセットされると、このビットは"1"に設定されます。(データが書き込みされたときのみセットされます。)
- このビットと割込み要求許可ビット(AD4PTC:INTE)が"1"のときに割込み要求を発生します。
- 書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
- このビットは A/D 変換終了割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、"1" が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit6] INTE : 割込み要求許可ビット

INTE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み出力の許可/ 禁止をするビットです。
- このビットと割込み要求フラグビット(AD4PTC:INT)が"1"のときに割込み要求を発生します。

[bit5] PRT : A/D データレジスタ保護有効ビット

PRT	機能
0	保護無効
1	保護有効

・"1"に設定した場合、A/D データレジスタへの上書きを保護します。A/D データレジスタに変換データが格納された後、A/D データレジスタ保護解除選択ビット(AD4PTC.PRTS)で設定される要因が発生するまで、A/D データレジスタへの上書きを保護します。

＜注意事項＞

A/D データレジスタ保護有効ビットは、A/D 変換を動作させる前に設定してください。A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護有効ビットを変更しないでください。

[bit4] PRTS : A/D データレジスタ保護解除選択ビット

PRTS	機能
0	データ読出しおよび割込みフラグクリア
1	データ読出し

・A/D データレジスタ保護機能有効時(PRT=1) に、データ更新保護解除条件を選択します。
・"0"に設定した場合、A/D データレジスタ(AD4TCD)の読出しと割込み要求フラグビット(INT)のクリアがデータ更新保護解除条件(順不同)となります。
・"1"に設定した場合、A/D データレジスタ(AD4TCD)の読出しがデータ更新保護解除条件となります。

＜注意事項＞

A/D データレジスタ保護解除選択ビットは、A/D 変換を動作させる前に設定してください。A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護解除選択ビットを変更しないでください。

[bit3～bit0] 予約

4.1.8.4 チャネル A/D データレジスタ : AD4TCD8 ～ AD4TCD11

4 チャネル A/D データレジスタのビット構成について示します。

4 チャネル A/D データレジスタ(ADT4CD)は、A/D 変換結果を格納するレジスタです。

■ AD4TCD8 ～ AD4TCD11: アドレス 3354H~335BH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ERR	ERRST	予約		D11	D10	D9	D8
初期値	1	0	0	0	0	0	0	0
属性	R, WX	R,WX	R0,WX	R0,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15, bit14] ERR,ERRST : 変換データエラーフラグビット/変換データエラーステータスビット

ERR	ERRST	機能
0	0	読みだしていない最新データが格納されています
0	1	(意味のない状態)*
1	0	既に読みだしてある古いデータが格納されています。
1	1	最新データが格納されていますが、その前に格納されたデータは読みだされずに上書きされてしまいました。

- 4 チャネル A/D 起動トリガ拡張制御レジスタ AD4TECS.DTIH が 0(許可)のとき、4 チャネル A/D 割込み/保護制御レジスタ AD4PTC.PRT=0 で ERR/ERRST は上記の状態を示します。
- 4 チャネル A/D 起動トリガ拡張制御レジスタ AD4TECS.DTIH が 0(許可)のとき、4 チャネル A/D 割込み/保護制御レジスタ AD4PTC.PRT=1 で ERR/ERRST は"00_B"が読みだされます。
- 4 チャネル A/D 起動トリガ拡張制御レジスタ AD4TECS.DTIH が 1(禁止)のとき、ERR/ERRST は"00_B"が読みだされます。
- ERR,ERRST ビットは読み出すと"10_B"に設定されます。
- 新しい変換結果が本レジスタに書き込まれると AD4TCD.ERR は"0"に設定されます。

*: この状態は存在しません。

[bit13, bit12] 予約

[bit11～bit0] D11 ～ D0 : A/D データビット

D11～D0	機能
	変換データ

・A/D 変換の結果が格納され、レジスタは 1 回の変換終了ごとに書き換えられます。
・通常は、最終変換値が格納されます。

＜注意事項＞

本レジスタには書込み動作を行わないでください。

4.2. 12 ビット A/D コンバータ(4 チャネル同時サンプリング) 制御のレジスタ

12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御のレジスタについて説明します。

12 ビット A/D コンバータ (4 チャネル同時サンプリング) 制御には、4 チャネル A/D 制御ステータスレジスタ, 4 チャネル A/D モード設定レジスタがあります。

4.2.1. 4 チャネル A/D 制御ステータスレジスタ ：AD4CS

4 チャネル A/D 制御ステータスレジスタのビット構成について示します。

4 チャネル A/D 制御ステータスレジスタ(AD4CS)は、割込み要求の許可/禁止、割込み要求の状態の確認をする機能があります。

■ AD4CS: アドレス 335CH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IRR	SERR	予約					
初期値	0	0	0	0	0	0	0	0
属性	R(RM1)/W	R(RM1)/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IRRE	SERRE	予約					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit15]IRR :イレギュラ起動割込み要求ビット

IRR	機能	
	読出し時	書込み時
0	A/D 変換中の起動入力なし	ビットクリア
1	A/D 変換中の起動入力あり	変化なし、ほかへの影響なし

- A/D 変換中に起動要求が入力されるとこのビットは"1"に設定されます。
- このビットと割込み要求許可ビット(AD4CS:IRRE)が"1"のときに割込み要求を発生します。
- 読出し時、このビットが"0"であれば A/D 変換中の起動入力がない状態です。"1"であれば A/D 変換中の起動入力があったことを示します。
- 書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、"1" が読み出されます。
ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit14]SERR : 4 チャネル A/D サンプリング時間不足割込み要求ビット

SERR	機能	
	読出し時	書込み時
0	サンプリング時間を満たしている	ビットクリア
1	サンプリング時間を満たしていない	変化なし、動作に影響しない

- 4 チャネル A/D モード設定レジスタ(AD4MD:ST1,ST0)で設定されたサンプリング時間に対して A/D 変換起動時のサンプリング時間の状態を示します。
- このビットが"0"であればサンプリング時間を満たしていることを示し、"1"であればサンプリング時間を満たしていないことを示します。
- このビットと割込み要求許可ビット(AD4CS:SERRE)が"1"のときに割込み要求を発生します。
- 書込み時は、"0"でこのビットがクリアされ、"1"では変化せず動作に影響しません。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、"1" が読み出されます。
ソフトウェアクリア("0"書込み)とハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit13～bit8]予約

[bit7] IRRE : イレギュラ起動割込み要求許可ビット

IRRE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み出力の許可/ 禁止をするビットです。
- このビットと割込み要求フラグビット(AD4CS:IRR)が"1"のときに割込み要求を発生します。

[bit6] SERRE : 4 チャネル A/D サンプリング時間不足割込み要求許可ビット

SERRE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み出力の許可/ 禁止をするビットです。
- このビットと割込み要求フラグビット(AD4CS:SERR)が"1"のときに割込み要求を発生します。

[bit5～bit0]予約

4.2.2.4 チャネル A/D モード設定レジスタ : AD4MD

4 チャネル A/D モード設定レジスタのビット構成について示します。

4 チャネル A/D モード設定レジスタ(AD4MD)は、A/D 変換のコンペア時間やサンプリング時間監視値を設定する機能があります。

■ AD4MD: アドレス 335FH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				CT1	CT0	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit7 ～ bit4] 予約

[bit3, bit2] CT1, CT0 : コンペア時間設定ビット

CT1	CT0	機能
0	0	28 オンチップバスクロックサイクル (A/D クロック出力: オンチップバスクロック 2 分周)
0	1	42 オンチップバスクロックサイクル (A/D クロック出力: オンチップバスクロック 3 分周)
1	0	56 オンチップバスクロックサイクル (A/D クロック出力: オンチップバスクロック 4 分周)
1	1	112 オンチップバスクロックサイクル (A/D クロック出力: オンチップバスクロック 8 分周)

・A/D 変換時のコンペア時間を選択するビットです。
起動トリガ入力後、このビットに設定された時間後に変換結果のデータが確定します。

＜注意事項＞

コンペア時間は 350ns 以上となるように設定してください。350ns 未満では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の AD4EN.ADEN が'0'のときに設定してください。
A/D クロック出力は 10MHz 未満にならないように設定してください。

[bit1, bit0] ST1, ST0 : サンプリング時間監視設定ビット

ST1	ST0	機能
0	0	28 オンチップバスクロックサイクル内での起動トリガ監視
0	1	32 オンチップバスクロックサイクル内での起動トリガ監視
1	0	14 オンチップバスクロックサイクル内での起動トリガ監視
1	1	16 オンチップバスクロックサイクル内での起動トリガ監視

・A/D 変換時のサンプリング監視時間を設定するビットです。
・A/D が起動されると、このビットに設定された時間内に起動トリガが入力された場合、フラグをあげます。

＜注意事項＞

サンプリング時間は 350ns 以上となるように設定してください。350ns 未満では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の AD4EN.ADEN が'0'のときに設定してください。

4.2.3.4 チャネルデータ保護状態フラグレジスタ ：AD4PRTF

データ保護状態フラグレジスタのビット構成について示します。

データ保護状態フラグレジスタ(ADPRTF)は、起動チャネルごとの A/D データレジスタの保護状態を表示します。

■ AD4PRTF: アドレス 3360H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PRTF11	PRTF10	PRTF9	PRTF8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit4] 予約

[bit3 ～ bit0] PRTF11 ～ PRTF8 : データ保護状態フラグビット

PRTF	説明
0	データ保護状態ではありません
1	データ保護状態です

・起動チャネルごとの A/D データレジスタに対するデータ保護状態を表示します。
・書込み動作は、データ保護状態に対し影響しません。

5. 動作説明

動作について説明します。

5.1. A/D 起動制御の割込み

A/D 起動制御の割込み制御ビットと割込み要因を示します。

A/D 起動制御の割込み制御ビットと割込み要因を示します。

5.1.1. A/D 変換終了割込み

A/D 変換終了割込みについて説明します。

表 5-1　A/D 変換終了割込み制御ビットと割込み要因

	A/D 変換終了割込み
割込み要求フラグビット	4 チャネル A/D 割込み/保護制御レジスタ(AD4PTC)の INT:bit7
割込み要求許可ビット	4 チャネル A/D 割込み/保護制御レジスタ(AD4PTC)の INTE:bit6
割込み要因	4 チャネル A/D 変換結果の A/D データレジスタへの書込み

A/D 変換終了時に A/D 変換終了割込み要求を発生できます。また、A/D 変換終了割込みは、各チャネル単位(AN8～AN11)で制御できます。
A/D 変換結果が A/D データレジスタ(ADT4CD)に設定されると、4 チャネル A/D 割込み/保護制御レジスタ(AD4PTC)の INT ビットが"1"に設定されます。このとき、割込み要求が許可(AD4PTC の INTE=1)されていると割込みコントローラに割込み要求を出力します。

5.1.2. サンプリング時間不足割込み

サンプリング時間不足割込みについて説明します。

A/D 変換時、十分なサンプリング時間 を待たずに、起動要求が入力されコンペア動作に移行した場合、サンプリング時間不足割込みを出力します。

サンプリング監視時間は 4 チャネル A/D モードレジスタのサンプリング時間監視設定ビット AD4MD.ST1, ST0 で設定されます。

表 5-2 ST1, ST0 : サンプリング時間監視設定ビット

ST1	ST0	機能
0	0	28 オンチップバスクロックサイクル内での起動トリガ監視
0	1	32 オンチップバスクロックサイクル内での起動トリガ監視
1	0	14 オンチップバスクロックサイクル内での起動トリガ監視
1	1	16 オンチップバスクロックサイクル内での起動トリガ監視

- A/D 変換時のサンプリング監視時間を設定するビットです。
- A/D が起動されると、このビットに設定された時間内に起動トリガが入力された場合、サンプリング時間不足割込みフラグをあげます。
- データ保護/更新設定がされていない場合、変換データはサンプリング時間不足割込みフラグに関係なく格納されます。

表 5-3 サンプリング時間不足割込み制御ビットと割込み要因

	サンプリング時間不足割込み
割込み要求フラグビット	4 チャネル A/D 制御ステータスレジスタ(AD4CS)の SERR:bit14
割込み要求許可ビット	4 チャネル A/D 制御ステータスレジスタ(AD4CS)の SERRE:bit6
割込み要因	サンプリング時間の不足の検出

A/D 変換時、設定されたサンプリング時間 を待たずに、起動要求が入力されコンペア動作に移行した場合、4 チャネル A/D 制御ステータスレジスタ(AD4CS)の SERR ビットが"1"に設定されます。このとき、割込み要求が許可(AD4PTCS の SERRE=1)されていると割込みコントローラに割込み要求を出力します。
A/D 変換はサンプリング時間不足割込みの有無にかかわらず変換を継続します。

5.1.3. イレギュラ起動割込み

イレギュラ起動割込みについて説明します。

A/D 変換中、A/D がコンペアを完了する前に新たな起動トリガが入力された場合、イレギュラ起動割込みを発生します。

表 5-4 イレギュラ起動割込み制御ビットと割込み要因

	イレギュラ起動割込み
割込み要求フラグビット	4 チャネル A/D 制御ステータスレジスタ(AD4CS)の IRR:bit15
割込み要求許可ビット	4 チャネル A/D 制御ステータスレジスタ(AD4CS)の IRRE:bit7
割込み要因	A/D 変換中の新たな起動トリガの入力

A/D 変換中、A/D がコンペアを完了する前に新たな起動トリガが入力されると、4 チャネル A/D 制御ステータスレジスタ(AD4CS)の IRR ビットが"1"に設定されます。このとき、割込み要求が許可(AD4PTCS の IRRE=1)されていると割込みコントローラに割込み要求を出力します。

A/D 変換はイレギュラ起動割込みの有無にかかわらず変換を継続します。

5.2. A/D 起動制御の動作

A/D 起動制御の動作について説明します。

ソフトウェア, 外部トリガ, リロードタイマ,PWM からのトリガのいずれかで、A/D 起動要求を行うことができます。

5.2.1. A/D 起動

A/D 起動について説明します。

12 ビット A/D コンバータ(4 チャネル同時サンプリング)に起動要求を行います。
ソフトウェア、外部トリガ(立下り)、リロードタイマ(立上り)、PWM からのトリガのいずれかで、A/D 起動調停に対して起動要求信号を生成します。A/D 起動要求信号は、「ソフトウェア起動要求」、「外部トリガ/ リロードタイマ/PWM 起動要求」の 2 つがあり、いずれかがアクティブとなります。
A/D 変換終了で起動要求がクリアされ、A/D データレジスタに変換データが格納されます。その際、割込みを発生可能です。
なお、起動要求中に起動要因を受信しても起動要求の再起動は行いません。

・この A/D コンバータに割り振られている端子の割振りについては下表のとおりになります。

表 5-5 12 ビット A/DC(4 チャネル同時サンプリング)に割り当てられている端子

	12 ビット A/DC(4 チャネル同時サンプリング)
MB91F552	AN8,AN9,AN10,AN11

5.2.2. A/D 起動許可

A/D 起動許可について説明します。

A/D 起動要因は、A/D 起動要因選択ビット(AD4TCS.STS[1:0])および A/D 起動要因拡張選択ビット(AD4TECS.STSA[3:0])で選択します。ソフトウェア、外部トリガ、リロードタイマ、PWM からのトリガのいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して起動要求信号を発生します。
A/D 起動を行わない起動チャネルに対しては、ソフトウェア起動を選択(AD4TCS.STS1, STS0="00_B")し、さらに 4 チャネル A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)の該当チャネルをソフトウェア起動禁止にすることにより、A/D 起動要求を禁止できます。

5.2.3. ソフトウェア起動

ソフトウェア起動について説明します。

A/D 起動要因選択ビットをソフトウェア起動に設定します。(AD4TCS.STS1, STS0="00_B")
4 チャネル A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)にて、ソフト起動したいチャネルを起動許可設定し、4 チャネル A/D ソフトウェア起動レジスタ(AD4TSS)の START ビットに"1"を書き込むことによりソフトウェア起動要求信号が設定されます。
ここで A/D ソフトウェア起動チャネル選択レジスタ(AD4TSE)を複数のチャネルに対して設定した場合、チャネルの若い番号が優先され、イレギュラ起動トリガ割込みを発生します。

5.2.4. 外部トリガ起動

外部トリガ起動について説明します。

A/D 起動要因選択ビットを外部トリガ起動に設定します(AD4TCS.STS1, STS0="01_B")。外部トリガ(外部端子 ADTG1)の立下りを検出すると外部トリガの起動要求信号が設定されます。

5.2.5. リロードタイマ起動

リロードタイマ起動について説明します。

A/D 起動要因選択ビットをリロードタイマ起動に設定します。(AD4TCS. STS1, STS0="10_B")
リロードタイマは、12 ビット A/D コンバータ(4 チャネル同時サンプリング)ユニットに入力され、リロードタイマの立上りを検出すると、リロードタイマの起動要求信号が設定されます。

5.2.6. PWM 起動

PWM 起動について説明します。

A/D 起動要因選択ビットを PWM 起動に設定します。(AD4TCS. STS1, STS0="11_B")
PWM 起動トリガは AD4TECS .STSA[3:0]で起動要因を切り換えます。PWM 起動要因トリガは、12 ビット A/D コンバータ(4 チャネル同時サンプリング)ユニットに入力され、PWM 信号の立上りを検出すると、PWM の起動要求信号が設定されます。

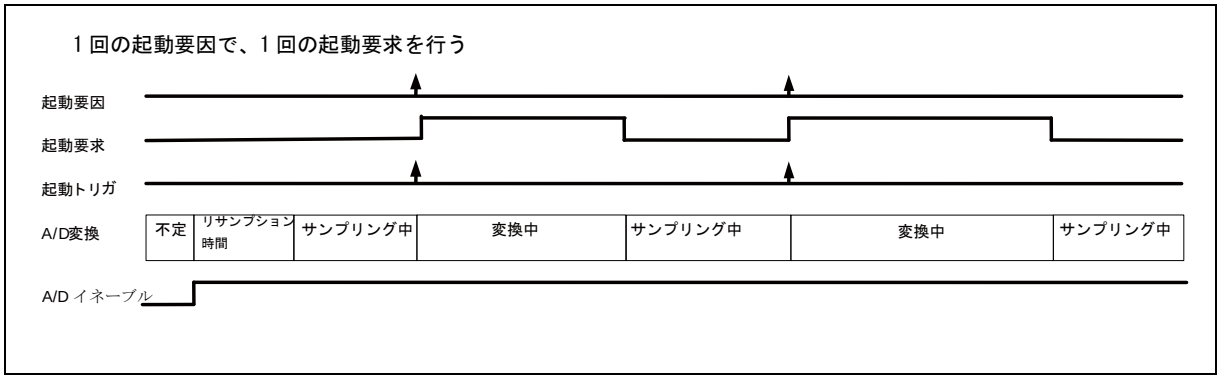
5.2.7. 起動要求モード

起動要求モードについて説明します。

起動チャネルごとに起動要求モードを設定可能です。

- 1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- A/D 変換終了で A/D はサンプリング状態になります。

図 5-1 起動要求モード



*A/D イネーブル H から一定の時間、リサンプション時間として必要になります。

5.2.8. A/D 変換データ

A/D 変換データについて説明します。

A/D 変換結果データは、起動チャネルごとに A/D データビット(AD4TCD.D11 ～ D0)に格納されます。
また、データ保護機能無効(AD4PTC.PRT="0")時、変換データエラーフラグビット(AD4TCD.ERR)および変換データエラーステータスビット(AD4TCD.ERRST)により、A/D データビット(AD4TCD.D11～ D0)に格納されている A/D 変換データの状態を確認できます。
データ保護機能有効(AD4PTC.PRT="1")時、変換データエラーフラグビット(AD4TCD.ERR)は"0"、変換データエラーステータスビット(AD4TCD.ERRST) は"0"に固定されます。

表 5-6 A/D 変換データの状態確認(データ保護機能無効時)

AD4TCD:ERR	AD4TCD:ERRST	A/D 変換データ状態
0	0	最新データ(読出し未)
0	1	－*1
1	0	古いデータ(読出し済) *2
1	1	最新データ/上書き発生(読出し未) *3

＜注意事項＞

AD4TCD:ERR,AD4TCD:ERRST はエラーフラグではありません。データ保護機能無効(AD4PTC.PRT="0")時の変換データの状態を示します。

*1: この状態は存在しません。

*2: 初期値です。

*3: 読出し未のデータは破棄されます。

5.2.9. 保護機能

保護機能について説明します。

各 A/D データレジスタは、データ保護機能を設定可能です。保護機能は、4 チャネル A/D 割込み/保護制御レジスタ(AD4PTC)の PRT ビットで設定します。

保護機能の有効時、A/D データレジスタに変換結果が格納されるとデータ保護状態になります。データ保護状態の解除条件は、AD4PTC レジスタの PRTS ビットで選択できます。

- PRTS ビットが"0"の場合、A/D データレジスタのデータ読出しと割込みフラグクリアがされるまで、新しいデータの格納による上書きはされません。なお、データ読出しと割込みフラグクリアは順不同です。
- PRTS ビットが"1"の場合、A/D データレジスタのデータ読出しがされるまで、新しいデータの格納による上書きはされません。
- データ保護状態中のチャネルは、次の起動要因が発生しても新しいデータの格納による上書きはされません。

5.2.10. 起動要求の強制終了

起動要求の強制終了について説明します。

A/D 起動要求中または変換中は、A/D 起動要求中ビットにより通知できます。また、現在の A/D 起動要求または変換を強制終了したい場合には、4 チャネル A/D 起動トリガ制御ステータスレジスタ(AD4TBUSY) BUSY7～0 ビットに"0"を書き込みます。
BUSY7~0 のどのビットに”0”を書き込んでも、A/D 起動要求または変換を強制終了します。

5.3. A/D 起動調停の動作

A/D 起動調停の動作について説明します。

A/D 起動制御部からの A/D 起動要求の調停を行い、A/D 起動トリガを生成します。

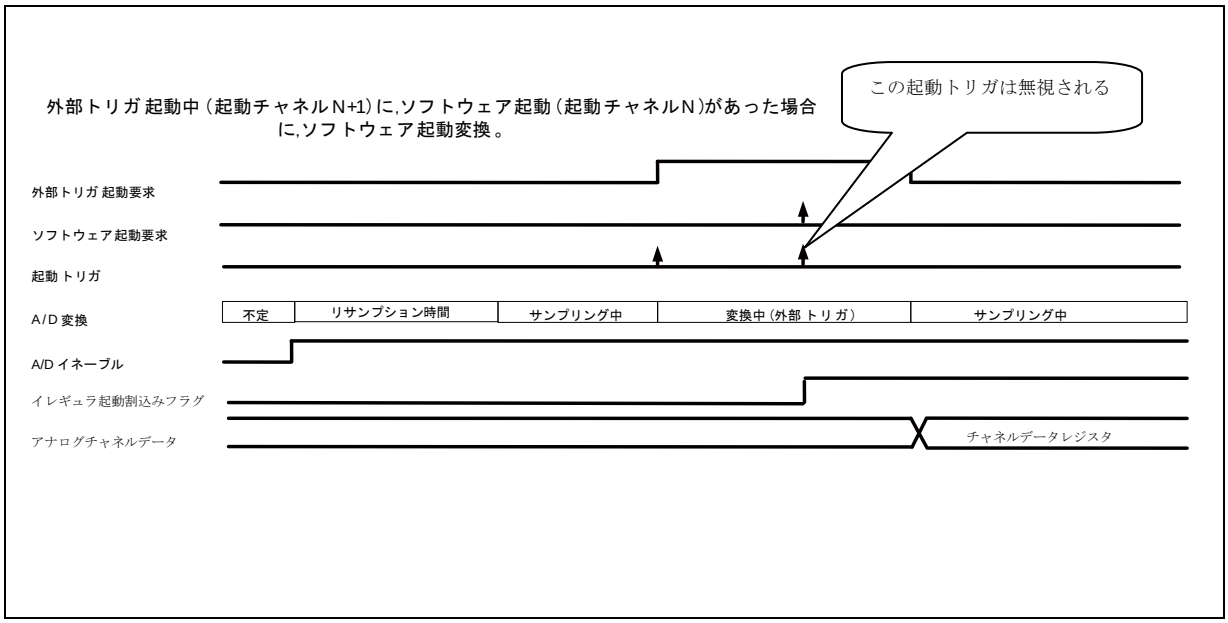
5.3.1. A/D 起動トリガ調停

A/D 起動トリガ調停について説明します。

A/D 起動制御部の起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動制御からそれぞれソフトウェア起動要求, 外部トリガ/リロードタイマ起動要求/PWM 起動が入力されて、A/D 起動トリガ信号が生成されます。最初に入力された起動トリガより A/D 変換している間は別の起動トリガが入力されても、無視されます。

変換できない起動要求が入力されたと判断し、イレギュラ起動割込みフラグを上げます。
起動トリガの種類に関係なく、A/D 変換中に入ってくる別の起動トリガでは A/D 変換はされません。

図 5-2 起動調停



*A/D イネーブル H から一定の時間、リサンプション時間として必要になります。

5.3.2. A/D 変換キャンセル機能

A/D 変換キャンセル機能について説明します。

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。

5.4. 12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作

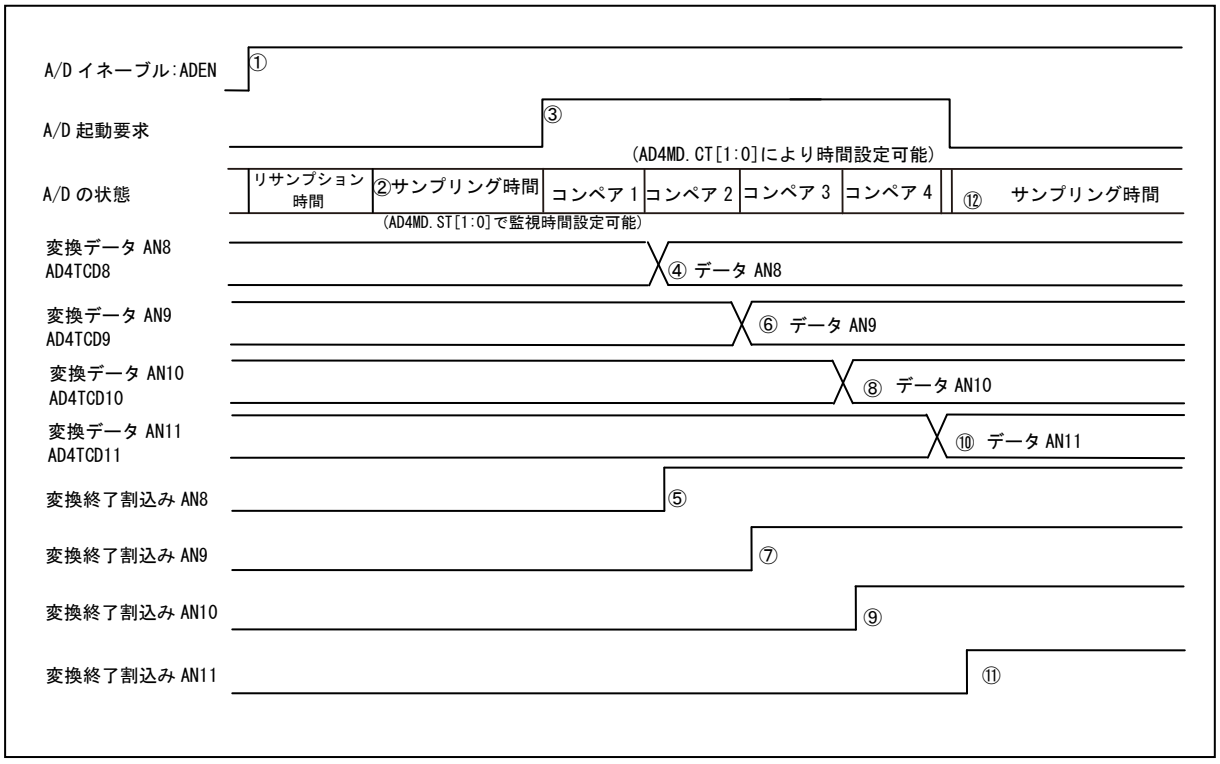
12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作について説明します。

12 ビット A/D コンバータ(4 チャネル同時サンプリング)制御は、A/D 変換を制御します。

5.4.1. 動作タイミング

動作タイミングについて示します。

図 5-3 12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作タイミング(1)
<4 チャネルすべてを使用して変換した場合の動作>

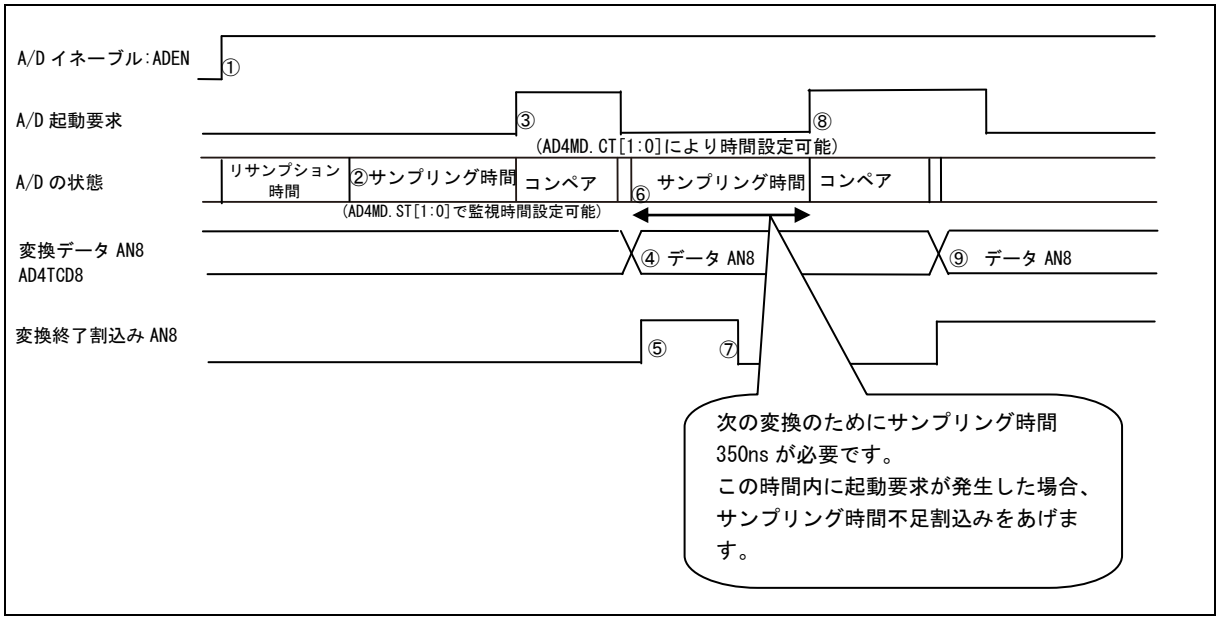


① A/D イネーブル(AD4EN.ADEN):H で A/D が起動しサンプリング開始。
② サンプリング開始。
③ 起動要求入力後コンペア動作開始。
④ 4 チャネル同時サンプリングから AN8 の変換データを格納。
⑤ AN8 の変換終了割込みを出力。
⑥ 4 チャネル同時サンプリングから AN9 の変換データを格納。
⑦ AN9 の変換終了割込みを出力。
⑧ 4 チャネル同時サンプリングから AN10 の変換データを格納。
⑨ AN10 の変換終了割込みを出力。
⑩ 4 チャネル同時サンプリングから AN11 の変換データを格納。
⑪ AN11 の変換終了割込みを出力。
⑫ AN11 の変換終了と共に A/D 変換(サンプリング)開始。

A/D イネーブル H から一定の時間、リサンプション時間として必要になります。

図 5-4 12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作タイミング(2)

<AN8 の入力で、A/D 変換を続けて 2 回行うとき>



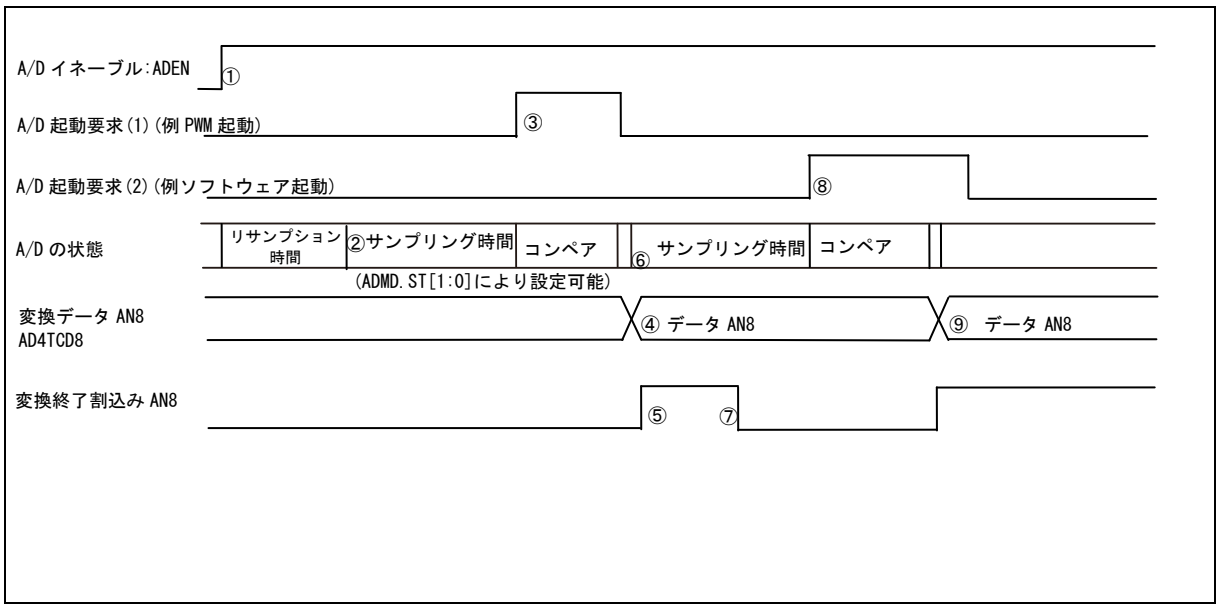
① A/D イネーブル(AD4EN.ADEN):H で A/D が起動しサンプリングが開始。
② A/D 変換が開始。
③ 起動トリガ入力後コンペア動作開始。
④ 4 チャネル同時サンプリングから AN8 の変換データを格納。
⑤ AN8 の変換割込みを出力。
⑥ 次の A/D 変換(サンプリング)開始。
⑦ ソフトウェアからの割込みクリア。
⑧ 起動要求入力後コンペア動作開始。(2 回目)
⑨ 4 チャネル同時サンプリングから AN8 の変換データを格納。

・⑥-⑧の間のサンプリング時間は 350ns 必要です。
この時間内に起動要求が発生した場合、エラーフラグをあげます。

・A/D イネーブル H から一定の時間、リサンプション時間として必要になります。

図 5-5 12 ビット A/D コンバータ(4 チャネル同時サンプリング)の動作タイミング(3)

<複数の起動要求があり、同じ AN8 にデータを格納する場合>



① A/D イネーブル(AD4EN.ADEN):H で A/D が起動しサンプリングが開始。
② A/D 変換(サンプリング)が開始。
③ 起動要求(1)入力後コンペア動作開始。
④ 4 チャネル同時サンプリングから AN8 の変換データを格納。
⑤ AN8 の変換終了割込みを出力。
⑥ 次の A/D 変換(サンプリング)開始。
⑦ ソフトウェアによる割込みクリア。
⑧ 起動要求(2)入力後コンペア動作開始。(2 回目)
⑨ 4 チャネル同時サンプリングから AN8 の変換データを格納。

・複数の起動トリガで、同じ入力チャネルの A/D 変換が可能です。
・A/D イネーブル H から一定の時間、リサンプション時間として必要になります。

5.4.2. 起動要因について

起動要因について示します。

A/D 変換の起動要因にはソフトウェア起動，外部トリガ起動，リロードタイマ起動, PWM 起動があります。AD4TECS.STSA[3:0], AD4TCS.STS[1:0]により選択されます。

5.4.3. A/D 変換について

A/D 変換について示します。

A/D 変換は、1 回の起動トリガの入力で 1 回の変換を行います。

5.4.4. A/D 変換中の起動トリガ信号入力について

A/D 変換中の起動トリガ信号入力について示します。

A/D 変換中に、起動トリガ信号入力があった場合、その起動トリガ信号は無視され、起動信号が入力されたことをイレギュラ起動入力のフラグとして割込み出力します。

5.4.5. A/D 変換キャンセルについて

A/D 変換キャンセルについて示します。

A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の変換を停止します。

5.4.6. A/D 変換時間について

A/D 変換時間について示します。

A/D 変換時間は、サンプリング時間とコンペア時間を合わせた時間になります。

■ サンプリング監視時間設定

サンプリング監視時間設定は、以下の設定で使用できます。

表 5-7 オンチップバスクロック周波数に対するサンプリング監視時間設定

ST1	ST0	機能	サンプリング時間(オンチップバスクロック周波数/2)	
			(40MHz)	(20MHz)
0	0	28 オンチップバスクロックサイクル	350ns	設定禁止
0	1	32 オンチップバスクロックサイクル	400ns	設定禁止
1	0	14 オンチップバスクロックサイクル	設定禁止	350ns
1	1	16 オンチップバスクロックサイクル	設定禁止	400ns

＜注意事項＞

サンプリング時間は 350ns 以上となるように設定してください。350ns 未満では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

■ コンペア時間

・コンペア時間は、コンペア時間設定ビット(AD4MD.CT1,CT0)にて設定します。

表 5-8 オンチップバスクロック周波数に対するコンペア時間

CT1	CT0	機能	1 チャネルごとのコンペア時間(オンチップバスクロック周波数)		
			(80MHz)	(40MHz)	(20MHz)
0	0	28 オンチップバスクロックサイクル	350ns	700ns	1400ns
0	1	42 オンチップバスクロックサイクル	525ns	1050ns	設定禁止
1	0	56 オンチップバスクロックサイクル	700ns	1400ns	設定禁止
1	1	112 オンチップバスクロックサイクル	1400ns	設定禁止	設定禁止

＜注意事項＞

コンペア時間は 350ns 以上となるように設定してください。350ns 未満では正常なアナログ変換値が得られない場合があります。
ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

5.4.7. A/D 変換終了、A/D データ取込み

A/D 変換終了, A/D データ取込みについて示します。

A/D 変換が正常終了(既定のサイクル数が経過)した場合、受信した変換データを取り込んで出力します。その際、A/D 変換終了信号を生成します。

5.4.8. パワーダウン

パワーダウンについて示します。

スタンバイモードのときに、12 ビット A/D コンバータ(4 チャネル同時サンプリング)はパワーダウン状態となります。
ADEN="0"に設定したときも、同様にパワーダウン状態となります。
パワーダウン状態からの復帰時には、設定値は保持され動作状態はクリアされます。

6. 注意事項

注意事項について説明します。

■ A/D 起動コンペアの使用上の注意

● A/D データレジスタ保護設定について

PRT ビットおよびPRTS ビットの設定は、A/D 変換を動作させる前に設定してください。A/D 変換中および A/D データレジスタが保護されている状態で、本ビットの設定を変更しないでください。
A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後に、PRTS ビットに設定した保護解除の動作を行うか、もしくは、PRT ビットにより保護機能を無効としてください。
仮に、A/D データレジスタが保護されている状態で、PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、PRTS ビットの変更後に、PRTS ビットに設定した保護解除の動作(A/D データレジスタの読出しや、割込み要求フラグビットへの 0 書込みによるクリア動作)を行ってください。例えば、PRT=1 かつ PRTS=1 の状態で A/D データレジスタが保護されている状態で、割込み要求フラグビットのクリアを行ってから PRTS=0 とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、割込み要求フラグビットへの 0 書込みによるクリア動作が必要となります。

● サンプリング監視時間・コンペア時間の設定について

サンプリング時間は 350ns 以上必要です。350ns 未満では正常なアナログ変換値が得られない場合があります。
コンペア時間は 1 チャネルにつき 350ns 以上となるように CT1, CT0 ビットを設定してください。
A/D 出力クロックが 10MHz 未満の場合では正常なアナログ変換値が得られない場合があります。

● AD4MD レジスタの設定について

A/D モード設定レジスタ(AD4MD)のビットの書換えは、必ず AD4EN.ADEN=0 の状態で行ってください。

● リサンプション時間について

A/D イネーブル(AD4EN.ADEN)を H に設定してから、A/D コンバータがサンプリングを開始する前にリサンプション時間が必要になります。データシートを参照してください。

● 消費電力制御について

消費電力制御の「スリープモードのバススリープモード」および、「スタンバイモード(時計モード、ストップモード)」に動作を遷移させるときは、12 ビット A/D コンバータ(4 チャネル同時サンプリング)を AD4EN.ADEN=0 にしてから遷移するようにしてください。

● オンチップバスクロックについて

12 ビット A/D コンバータ(4 チャネル同時サンプリング)モジュールは、オンチップバスクロックが供給されてない場合レジスタアクセス、DMA 転送および割込み処理は動作しないため、注意してください。

● DMAC 転送について

・DMAC 転送による割込みクリアを行う場合、変換データを格納する最後のチャネル (AD4TECS.CHSEL1,CHSEL0 で設定する最後のチャネル)に割込み許可を設定して行ってください。

使用例：AD4TECS.CHSEL1,0=2'b10(AN10 変換で終了)の場合、AD4PTC8.INTE、AD4PTC9.INTE、AD4PTC11.の INTE は 0、ADPTC11.の INTE は 1 と設定してご使用ください。

・DMAC 転送時、AD4PTC.PRT、PRTS の保護設定を PRT=1、PRTS=0(データの読出しおよび割込みフラグクリアで保護を解除)する設定でご使用ください。

CHAPTER: コンパレータ

コンパレータについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

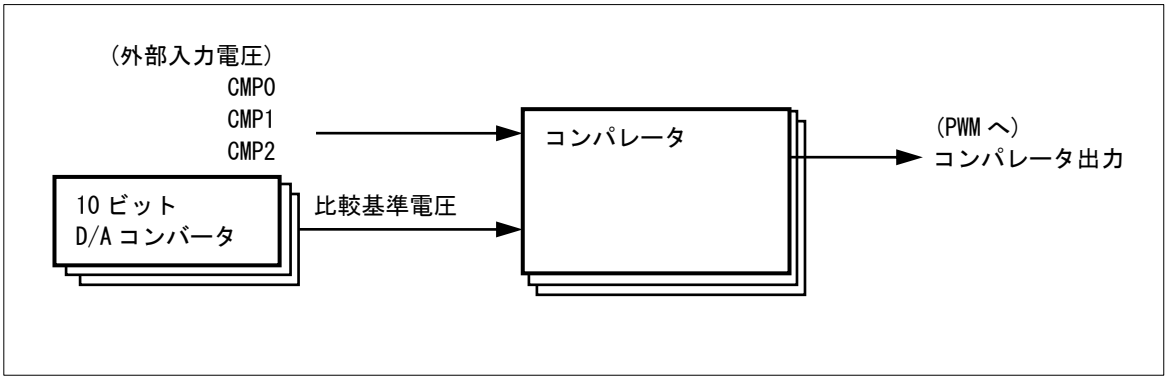
1. 概要

コンパレータの概要について説明します。

コンパレータは、外部端子から入力される入力電圧と比較基準電圧を比較し、比較結果に応じて、"L"または"H"を出力する回路です。

比較基準電圧は、10 ビット D/A コンバータで設定します。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

コンパレータの特長について説明します。

● チャネル数

コンパレータは、3 チャネルあります。

● 比較基準電圧

・比較基準電圧は、10 ビット D/A コンバータにて生成します。
・10 ビット D/A コンバータは 3 チャネルあり、コンパレータの各チャネルごとに比較基準電圧を設定できます。

● 比較入力電圧

・チャネル 0 = 外部入力端子(CMP0)に、スロープ補償電圧を加算した電圧です。
(スロープ補償を加算しない設定もできます。詳細は、『スロープ補償』の章を参照してください。)
・チャネル 1 = 外部入力端子(CMP1)の電圧です。
・チャネル 2 = 外部入力端子(CMP2)の電圧です。

● 動作周波数

クロック分周レジスタ(CMPDIV)で設定された分周比で、PWM クロックを分周した周波数で動作します。

クロック分周レジスタの設定が 4 分周で、PWM クロックが 200MHz の場合、コンパレータは 50MHz で動作します。

● 出力極性反転

コンパレータの出力信号の極性をコンパレータ制御レジスタ(CMPCTL)の設定により、チャネルごとに反転できます。

● ノイズ除去

コンパレータの出力のノイズを、グリッジフィルタで除去できます。

● 割込み要求

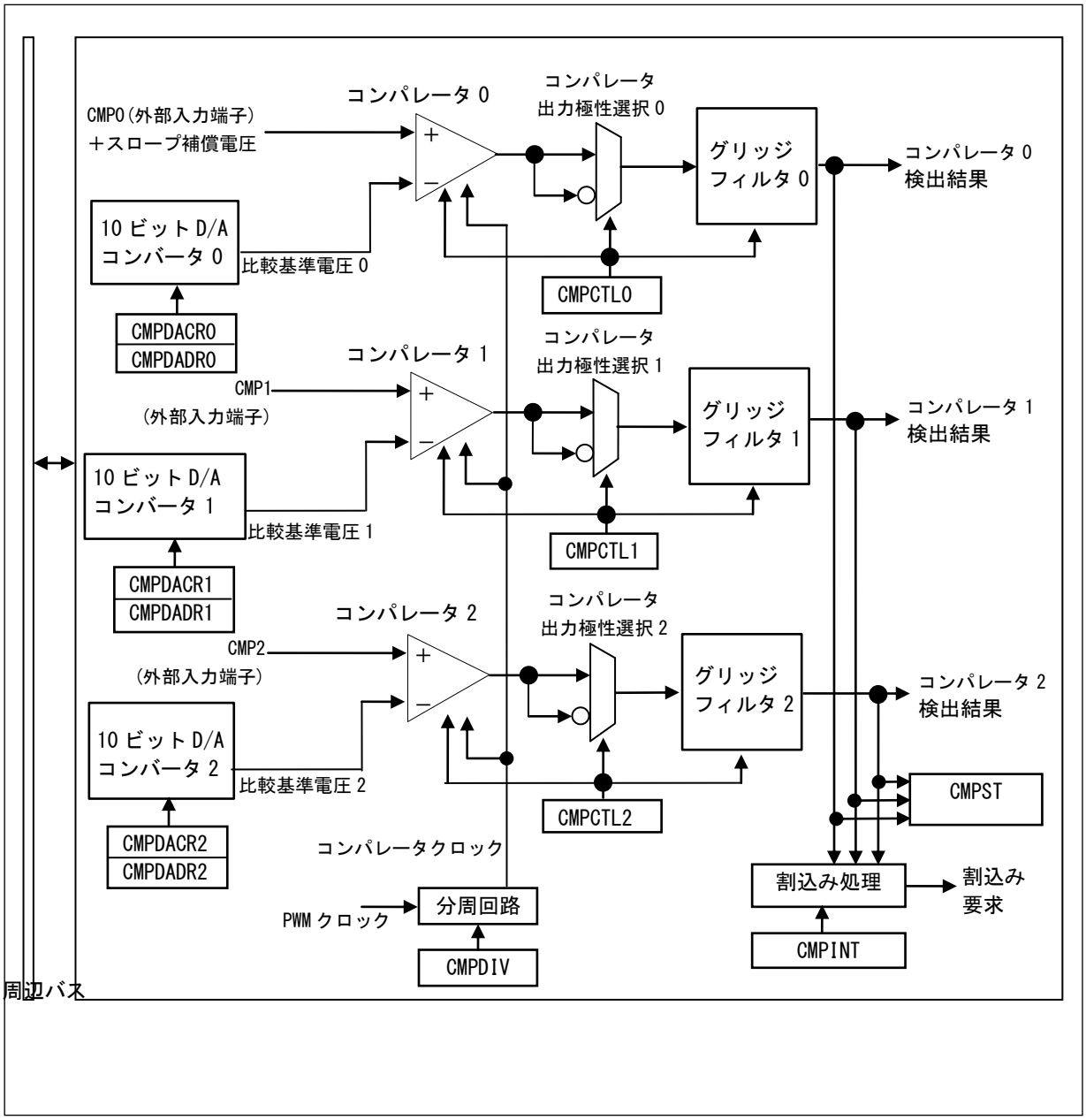
コンパレータ n 検出結果の出力が以下のときに、割込み要求を発生できます。(n=0,1,2)

コンパレータ n 検出結果の出力が”L”から"H"に変化したとき
コンパレータ n 検出結果の出力が”H”から"L"に変化したとき

3. 構成

コンパレータの構成について説明します。

図 3-1 構成図



4. レジスタ

コンパレータのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x05E0	CMPCTL0	CMPCTL1	CMPCTL2	CMPDIV	コンパレータ 0 用制御レジスタ(CMPCTL0) コンパレータ 1 用制御レジスタ(CMPCTL1) コンパレータ 2 用制御レジスタ(CMPCTL2) クロック分周設定レジスタ(CMPDIV)
0x05E4	CMPDACR0	予約	CMPDADR0		コンパレータ 0 用 D/A コンバータ制御レジスタ(CMPDACR0) コンパレータ 0 用 D/A コンバータ出力設定レジスタ(CMPDADR0)
0x05E8	CMPDACR1	予約	CMPDADR1		コンパレータ 1 用 D/A コンバータ制御レジスタ(CMPDACR1) コンパレータ 1 用 D/A コンバータ出力設定レジスタ(CMPDADR1)
0x05EC	CMPDACR2	予約	CMPDADR2		コンパレータ 2 用 D/A コンバータ制御レジスタ(CMPDACR2) コンパレータ 2 用 D/A コンバータ出力設定レジスタ(CMPDADR2)
0x05F0	CMPINT	予約	予約	予約	コンパレータ出力割込みフラグレジスタ(CMPINT)
0x05F4	CMPST	予約	予約	予約	コンパレータ出力ステータスレジスタ(CMPST)

4.1. コンパレータ制御レジスタ ：CMPCTL

コンパレータレジスタのビット構成について示します。

コンパレータの動作を制御するレジスタです。

■ CMPCTL0:アドレス 05E0$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約		GF02	GF01	GF00	CMPIE0	CMPPOL0	CMPEN0
初期値	0	0	0	0	1	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

■ CMPCTL1:アドレス 05E1$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約		GF12	GF11	GF10	CMPIE1	CMPPOL1	CMPEN1
初期値	0	0	0	0	1	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

■ CMPCTL2:アドレス 05E2$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約		GF22	GF21	GF20	CMPIE2	CMPPOL2	CMPEN2
初期値	0	0	0	0	1	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

■ CMPDIV:アドレス 05E3$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						DIV1	DIV0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit31～bit30] (予約)

[bit29～bit27] GF02～GF00:コンパレータ 0 用グリッジフィルタ係数設定ビット

GF02～GF00	機能
000	コンパレータ用クロック 1 サイクル未満(スルー)
001	コンパレータ用クロック 2 サイクル未満
010	コンパレータ用クロック 3 サイクル未満
011	コンパレータ用クロック 4 サイクル未満
100	コンパレータ用クロック 5 サイクル未満
101	コンパレータ用クロック 6 サイクル未満
110	コンパレータ用クロック 7 サイクル未満
111	コンパレータ用クロック 8 サイクル未満

グリッジフィルタが除去するノイズの最大幅を設定します。

＜注意事項＞

コンパレータ動作中は、グリッジフィルタ係数設定を変更しないでください。

[bit26]CMPIE0:コンパレータ 0 割込み要求許可ビット

CMPIE0	機能
0	禁止
1	許可

コンパレータ 0 検出結果の出力が以下のときに、割込み要求許可を設定します。
コンパレータ 0 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき

“0”を設定した場合:割込み要求を禁止します。
“1”を設定した場合:割込み要求を許可します。

[bit25]CMPPOL0: コンパレータ 0 出力極性選択ビット

CMPPOL0	機能
0	通常極性
1	反転極性

コンパレータ 0 の出力極性を設定します。
“0”を設定した場合:出力は、通常極性です。
“1”を設定した場合:出力は、反転極性です。

＜注意事項＞

コンパレータ動作中は、極性を変更しないでください。

CMPEN0 が”0”のとき、コンパレータ極性設定は無効です。このとき、コンパレータからは”L”が出力されます。

[bit24] CMPEN0: コンパレータ 0 出力許可ビット

CMPEN0	機能
0	禁止
1	許可

コンパレータ 0 検出結果の出力許可を設定します。
“0”を設定した場合:比較結果の出力を禁止します。
“1”を設定した場合:比較結果の出力を許可します。

＜注意事項＞

CMPEN0 に”1”を書き込む前に、コンパレータ 0 用 D/A コンバータ設定レジスタで出力値を設定したのち、DAE ビットに"1"を書き込んで、D/A コンバータの出力を許可してください。D/A コンバータの設定を行う前に CMPEN0 に”1”を書き込んだ場合、コンパレータ 0 は、PWM へ"H"を出力する恐れがあります。

コンパレータ安定待ちのため、CMPEN0 に”1”を書き込んだ後コンパレータ用クロック 5～6 サイクルの間、コンパレータ出力は”L”固定になります。

CMPEN0 を”1”から”0”に書き換えた後、CMPEN0 に”1”を書き込むまでの間に、コンパレータ用クロック 6 サイクルの時間を空けてください。

[bit23, bit22] (予約)

[bit21～bit19] GF12～GF10:コンパレータ 1 用グリッジフィルタ係数設定ビット

GF12～GF10	機能
000	コンパレータ用クロック 1 サイクル未満(スルー)
001	コンパレータ用クロック 2 サイクル未満
010	コンパレータ用クロック 3 サイクル未満
011	コンパレータ用クロック 4 サイクル未満
100	コンパレータ用クロック 5 サイクル未満
101	コンパレータ用クロック 6 サイクル未満
110	コンパレータ用クロック 7 サイクル未満
111	コンパレータ用クロック 8 サイクル未満

グリッジフィルタが除去するノイズの最大幅を設定します。

＜注意事項＞

コンパレータ動作中は、グリッジフィルタ係数設定を変更しないでください。

[bit18]CMPIE1:コンパレータ 1 割込み要求許可ビット

CMPIE1	機能
0	禁止
1	許可

コンパレータ 1 検出結果の出力が以下のときに、割込み要求許可を設定します。
コンパレータ 1 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき

“0”を設定した場合:割込み要求を禁止します。
“1”を設定した場合:割込み要求を許可します。

[bit17]CMPPOL1: コンパレータ 1 出力極性選択ビット

CMPPOL1	機能
0	通常極性
1	反転極性

コンパレータ 1 出力極性を設定します。
“0”を設定した場合:出力は、通常極性です。
“1”を設定した場合:出力は、反転極性です。

＜注意事項＞

コンパレータ動作中は、極性を変更しないでください。

CMPEN1 が”0”のとき、コンパレータ極性設定は無効です。このとき、コンパレータからは”L”が出力されます。

[bit16] CMPEN1: コンパレータ 1 出力許可ビット

CMPEN1	機能
0	禁止
1	許可

コンパレータ 1 検出結果の出力許可を設定します。
“0”を設定した場合:比較結果の出力を禁止します。
“1”を設定した場合:比較結果の出力を許可します。

＜注意事項＞

CMPEN1 に”1”を書き込む前に、コンパレータ 1 用 D/A コンバータ設定レジスタで出力値を設定したのち、DAE ビットに"1"を書き込んで、D/A コンバータの出力を許可してください。D/A コンバータの設定を行う前に CMPEN1 に”1”を書き込んだ場合、コンパレータ 1 は、PWM へ"H"を出力する恐れがあります。

コンパレータ安定待ちのため、CMPEN1 に”1”を書き込んだ後コンパレータ用クロック 5～6 サイクルの間、コンパレータ出力は”L”になります。

CMPEN1 を”1”から”0”に書き換えた後、CMPEN1 に”1”を書き込むまでの間に、コンパレータ用クロック 6 サイクルの時間を空けてください。

[bit15, bit14] (予約)

[bit13～bit11] GF22～GF20:コンパレータ 2 用グリッジフィルタ係数設定ビット

GF22～GF20	機能
000	コンパレータ用クロック 1 サイクル未満(スルー)
001	コンパレータ用クロック 2 サイクル未満
010	コンパレータ用クロック 3 サイクル未満
011	コンパレータ用クロック 4 サイクル未満
100	コンパレータ用クロック 5 サイクル未満
101	コンパレータ用クロック 6 サイクル未満
110	コンパレータ用クロック 7 サイクル未満
111	コンパレータ用クロック 8 サイクル未満

グリッジフィルタが除去するノイズの最大幅を設定します。

＜注意事項＞

コンパレータ動作中は、グリッジフィルタ係数設定を変更しないでください。

[bit10]CMPIE2:コンパレータ 2 割込み要求許可ビット

CMPIE2	機能
0	禁止
1	許可

コンパレータ 2 検出結果の出力が以下のときに、割込み要求許可を設定します。
コンパレータ 2 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき

“0”を設定した場合:割込み要求を禁止します。
“1”を設定した場合:割込み要求を許可します。

[bit9]CMPPOL2: コンパレータ 2 出力極性選択ビット

CMPPOL2	機能
0	通常極性
1	反転極性

コンパレータ 2 出力極性を設定します。
“0”を設定した場合:出力は、通常極性です。
“1”を設定した場合:出力は、反転極性です。

＜注意事項＞

コンパレータ動作中は、極性を変更しないでください。

CMPEN2 が”0”のとき、コンパレータ極性設定は無効です。このとき、コンパレータからは”L”が出力されます。

[bit8] CMPEN2: コンパレータ 2 出力許可ビット

CMPEN2	機能
0	禁止
1	許可

コンパレータ 2 検出結果の出力許可を設定します。
“0”を設定した場合:比較結果の出力を禁止します。
“1”を設定した場合:比較結果の出力を許可します。

＜注意事項＞

CMPEN2 に”1”を書き込む前に、コンパレータ 2 用 D/A コンバータ設定レジスタで出力値を設定したのち、DAE ビットに"1"を書き込んで、D/A コンバータの出力を許可してください。D/A コンバータの設定を行う前に CMPEN2 に”1”を書き込んだ場合、コンパレータ 2 は、PWM へ"H"を出力する恐れがあります。

コンパレータ安定待ちのため、CMPEN2 に”1”を書き込んだ後コンパレータ用クロック 5～6 サイクルの間、コンパレータ出力は”L”になります。

CMPEN2 を”1”から”0”に書き換えた後、CMPEN2 に”1”を書き込むまでの間に、コンパレータ用クロック 6 サイクルの時間を空けてください。

[bit7～bit2] (予約)

[bit1～bit0] DIV1～DIV0:クロック分周設定設定ビット

DIV1～DIV0	機能
00	4 分周
01	2 分周
10	分周しない
11	

コンパレータ用クロックの分周比を選択します。

＜注意事項＞

コンパレータ動作中は、分周を変更しないでください。

コンパレータ用クロックに、周波数 50MHz を超えるクロックを入力しないでください

4.2. コンパレータ 0 用 D/A コンバータ制御レジスタ : CMPDACR0

コンパレータ 0 用 D/A コンバータ制御レジスタのビット構成について示します。

コンパレータ 0 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDACR0:アドレス 05E4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DAE
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] (予約)

[bit0] DAE: コンパレータ 0 用比較基準電圧出力許可ビット

DAE	機能
0	禁止
1	許可

コンパレータ 0 の比較基準電圧の出力許可を設定します。

“0”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を禁止します。

“1”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を許可します。

＜注意事項＞

DAE に”1”を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。

4.3. コンパレータ 0 用 D/A コンバータ出力設定レジスタ : CMPDADR0

コンパレータ 0 用 D/A コンバータ出力設定レジスタのビット構成について示します。

コンパレータ 0 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDADR0:アドレス 05E6$_H$ (アクセス:ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						DA9	DA8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit10] (予約)

[bit9～bit0] DA9～DA0:コンパレータ 0 比較基準電圧設定ビット

コンパレータ 0 の比較基準電圧を生成する、D/A コンバータの出力値を設定します。

D/A コンバータの入力コードと、比較基準電圧値の関係は、以下のとおりです。

DA9～DA0	比較基準電圧値 [V]
00 0000 0000	0÷1024×AV_{CC}2
00 0000 0001	1÷1024×AV_{CC}2
00 0000 0010	2÷1024×AV_{CC}2
～	～
11 1111 1101	1021÷1024×AV_{CC}2
11 1111 1110	1022÷1024×AV_{CC}2
11 1111 1111	1023÷1024×AV_{CC}2

＜注意事項＞

D/A コンバータの出力電圧設定の最大値は、1023÷1024×AV_{CC}2 まで設定可能ですが、コンパレータの入力動作保証範囲の上限値は、電源電圧－1V までとなります。

DA9～0 に値を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。
コンパレータ 0 用 D/A コンバータ出力設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.4. コンパレータ 1 用 D/A コンバータ制御レジスタ : CMPDACR1

コンパレータ 1 用 D/A コンバータ制御レジスタのビット構成について示します。

コンパレータ 1 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDACR1:アドレス 05E8$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DAE
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] (予約)

[bit0] DAE: コンパレータ 1 用比較基準電圧出力許可ビット

DAE	機能
0	禁止
1	許可

コンパレータ 1 の比較基準電圧の出力許可を設定します。

“0”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を禁止します。

“1”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を許可します。

＜注意事項＞

DAE に”1”を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。

4.5. コンパレータ 1 用 D/A コンバータ出力設定レジスタ : CMPDADR1

コンパレータ 1 用 D/A コンバータ出力設定レジスタのビット構成について示します。

コンパレータ 1 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDADR1:アドレス 05EA$_H$ (アクセス:ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						DA9	DA8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit10] (予約)

[bit9～bit0] DA9～DA0:コンパレータ 1 比較基準電圧設定ビット

コンパレータ 1 の比較基準電圧を生成する、D/A コンバータの出力値を設定します。
D/A コンバータの入力コードと、比較基準電圧値の関係は、以下のとおりです。

DA9～DA0	比較基準電圧値 [V]
00 0000 0000	0÷1024×AV_{CC}2
00 0000 0001	1÷1024×AV_{CC}2
00 0000 0010	2÷1024×AV_{CC}2
～	～
11 1111 1101	1021÷1024×AV_{CC}2
11 1111 1110	1022÷1024×AV_{CC}2
11 1111 1111	1023÷1024×AV_{CC}2

＜注意事項＞

D/A コンバータの出力電圧設定の最大値は、1023÷1024×AV_{CC}2 まで設定可能ですが、コンパレータの入力動作保証範囲の上限値は、電源電圧－1V までとなります。

DA9～0 に値を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。
コンパレータ 1 用 D/A コンバータ出力設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.6. コンパレータ 2 用 D/A コンバータ制御レジスタ : CMPDACR2

コンパレータ 2 用 D/A コンバータ制御レジスタのビット構成について示します。

コンパレータ 2 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDACR2:アドレス 05EC$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DAE
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] (予約)

[bit0] DAE: コンパレータ 2 用比較基準電圧出力許可ビット

DAE	機能
0	禁止
1	許可

コンパレータ 2 の比較基準電圧の出力許可を設定します。

“0”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を禁止します。

“1”に設定した場合: 比較基準電圧を設定する D/A コンバータの出力を許可します。

＜注意事項＞

DAE に”1”を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。

4.7. コンパレータ 2 用 D/A コンバータ出力設定レジスタ : CMPDADR2

コンパレータ 2 用 D/A コンバータ出力設定レジスタのビット構成について示します。

コンパレータ 2 の比較基準電圧生成用 D/A コンバータの動作を制御するレジスタです。

■ CMPDADR2:アドレス 05EE$_H$ (アクセス: ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						DA9	DA8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit10] (予約)

[bit9～bit0] DA9～DA0:コンパレータ 2 比較基準電圧設定ビット

コンパレータ 2 の比較基準電圧を生成する、D/A コンバータの出力値を設定します。

D/A コンバータの入力コードと、比較基準電圧値の関係は、以下のとおりです。

DA9～DA0	比較基準電圧値 [V]
00 0000 0000	0÷1024×AV_{CC}2
00 0000 0001	1÷1024×AV_{CC}2
00 0000 0010	2÷1024×AV_{CC}2
～	～
11 1111 1101	1021÷1024×AV_{CC}2
11 1111 1110	1022÷1024×AV_{CC}2
11 1111 1111	1023÷1024×AV_{CC}2

＜注意事項＞

D/A コンバータの出力電圧設定の最大値は、1023÷1024×AV_{CC}2 まで設定可能ですが、コンパレータの入力動作保証範囲の上限値は、電源電圧－1V までとなります。

D A9～0 に値を書き込んでから、D/A コンバータの出力が安定するまでに、出力安定待ち時間が必要です。
コンパレータ 2 用 D/A コンバータ出力設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

4.8. コンパレータ出力割込みフラグレジスタ ：CMPINT

コンパレータ出力割込みフラグレジスタのビット構成について示します。

コンパレータの出力変化による、割込みフラグを示すレジスタです。コンパレータ n 検出結果が以下のときに、INTn ビットに"1"が設定されます。
・コンパレータ n 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき
(n=0,1,2)

■ CMPINT:アドレス 05F0$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					INT2	INT1	INT0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1),W	R(RM1),W	R(RM1),W

[bit7～bit3] (予約)

[bit2]INT2:コンパレータ 2 割込み要求フラグビット

INT2	機能	
	読出し時	書込み時
0	割込み要求なし	このビットをクリアする
1	割込み要求あり	このビットに影響を与えない

・コンパレータ 2 検出結果の出力が以下のときに、このビットに"1"が設定されます。
コンパレータ 2 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットは割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit1]INT1:コンパレータ 1 割込み要求フラグビット

INT1	機能	
	読出し時	書込み時
0	割込み要求なし	このビットをクリアする
1	割込み要求あり	このビットに影響を与えない

・コンパレータ 1 検出結果の出力が以下のときに、このビットに"1"が設定されます。
　コンパレータ 1 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき
・このビットに"0"を設定した場合 : このビットはクリアされます。
・このビットに"1"を設定した場合 : このビットは影響を受けません。
・このビットは割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit0]INT0:コンパレータ 0 割込み要求フラグビット

INT0	機能	
	読出し時	書込み時
0	割込み要求なし	このビットをクリアする
1	割込み要求あり	このビットに影響を与えない

・コンパレータ 0 検出結果の出力が以下のときに、このビットに"1"が設定されます。
　コンパレータ 0 検出結果の出力が「"L"から"H"に変化した」または「"H"から"L"に変化した」とき
・このビットに"0"を設定した場合 : このビットはクリアされます。
・このビットに"1"を設定した場合 : このビットは影響を受けません。
・このビットは割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

4.9. コンパレータ出力ステータスレジスタ ：CMPST

コンパレータ出力ステータスレジスタのビット構成について示します。

コンパレータ n の出力状態を示す、ステータスレジスタです。(n=0,1,2)

■ CMPST:アドレス 05F4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					ST2	ST1	ST0
初期値	0	0	0	0	0	X	X	X
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX	R,WX

[bit7～bit3] (予約)

[bit2]ST2:コンパレータ 2 出力ステータスビット

ST2	機能
0	コンパレータ 2 検出結果は"L"
1	コンパレータ 2 検出結果は"H"

・本ビットへの書込みは無効です。
・本ビットのリセット後の値は、リセット後のコンパレータ入力の端子状態によります。

[bit1]ST1:コンパレータ 1 出力ステータスビット

ST1	機能
0	コンパレータ 1 検出結果は"L"
1	コンパレータ 1 検出結果は"H"

・本ビットへの書込みは無効です。
・本ビットのリセット後の値は、リセット後のコンパレータ入力の端子状態によります。

[bit0]ST0:コンパレータ 0 出力ステータスビット

ST0	機能
0	コンパレータ 0 検出結果は"L"
1	コンパレータ 0 検出結果は"H"

・本ビットへの書込みは無効です。
・本ビットのリセット後の値は、リセット後のコンパレータ入力の端子状態によります。

5. 動作説明

コンパレータの動作について説明します。

5.1 コンパレータ
5.2 比較基準電圧用 D/A コンバータ
5.3 コンパレータ出力極性選択
5.4 グリッジフィルタ
5.5 割込み要求

5.1. コンパレータ

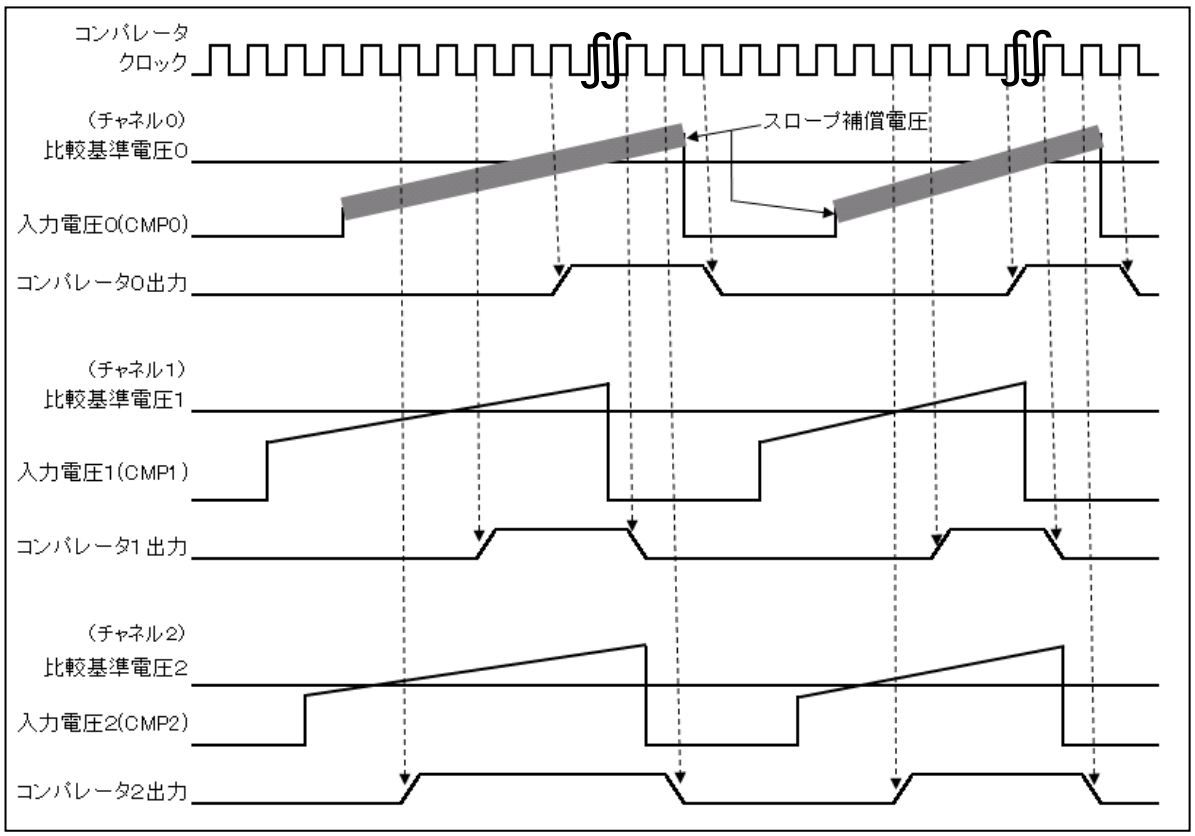
コンパレータについて説明します。

コンパレータは、入力電圧と比較基準電圧を比較し、入力電圧が比較基準電圧よりも高いときに”H”を出力し、入力電圧が比較基準電圧よりも低いときに”L”を出力します(CMPCTLn.CMPPOLn=0 のとき)。

入力電圧と比較基準電圧が等しいときは、"L"もしくは"H"のどちらかを出力します。
この比較は、クロック分周レジスタ(CMPDIV)に設定した分周比で PWM クロックを分周したクロックにて動作します。PWM クロックが 200MHz の場合、50MHz のクロック信号の立上りエッジごとに行われます。

コンパレータはチャネル 0 から 2 までの 3 チャネルあり、その中で、チャネル 0 は入力電圧にスロープ補償電圧を加算した電圧と、比較基準電圧を比較できます。
また、レジスタ設定により、スロープ補償電圧を加算せず、入力電圧をそのまま比較基準電圧と比較できます。詳しくは、『スロープ補償』の章を参照してください。

図 5-1. コンパレータの入力電圧と比較基準電圧との比較

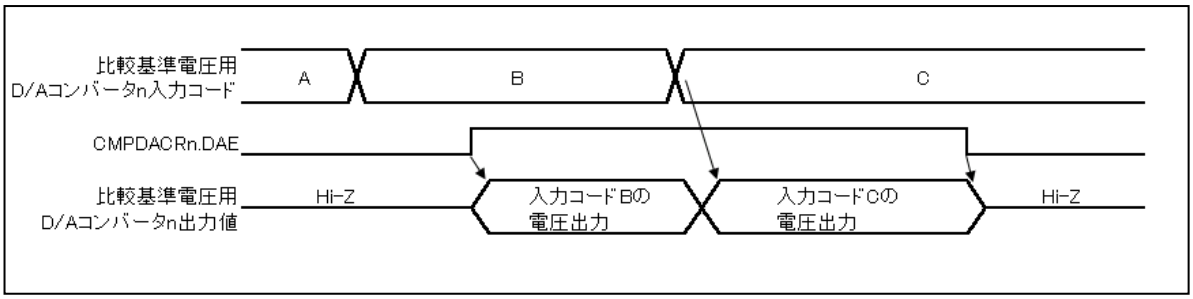


5.2. 比較基準電圧用 D/A コンバータ

比較基準電圧用 D/A コンバータについて説明します。

比較基準電圧は、10 ビット D/A コンバータの出力電圧から供給され、チャネルごとに比較基準電圧を別々に設定できます。
この設定は、コンパレータ用 D/A コンバータ出力設定レジスタ(CMPDACRn)で行います。(n=0,1,2)

図 5-2. 比較基準電圧用 D/A コンバータの入力コードと出力電圧



5.3. コンパレータ出力極性選択

コンパレータ出力極性選択について説明します。

コンパレータの出力は、コンパレータ制御レジスタ(CMPCTLn.CMPPOLn)により、出力極性を反転できます。(n=0,1,2)

なお、コンパレータ制御レジスタ(CMPCTLn.CMPENn)が"0"のとき、またはコンパレータ制御レジスタ(CMPCTLn.CMPENn)に"1"を書き込んだ後コンパレータ用クロック 5～6 サイクルの間、コンパレータ極性設定は無効です。このとき、コンパレータからは"L"が出力されます。(n=0,1,2)

図 5-3. コンパレータ出力(CMPPOLn=”0”のとき)

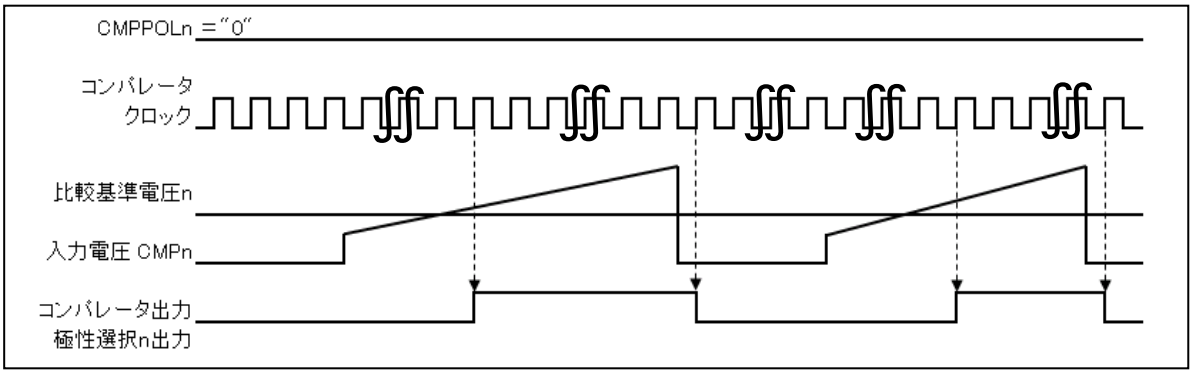
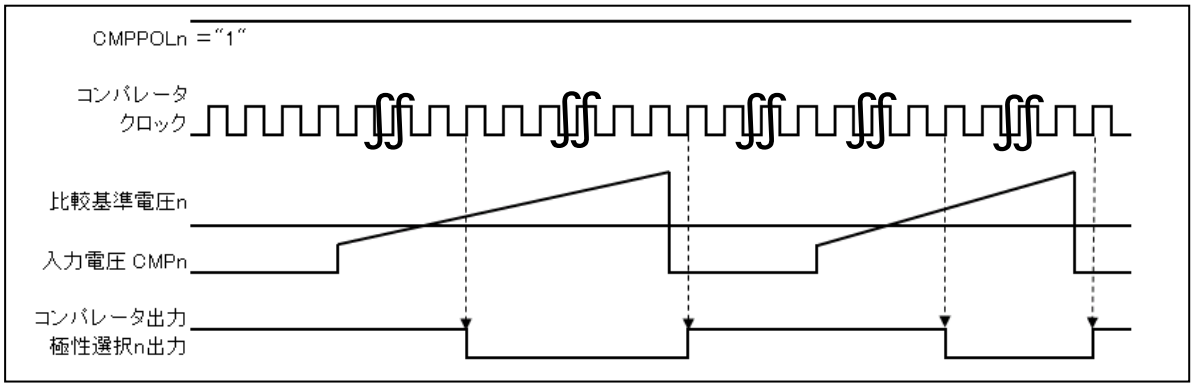


図 5-4. コンパレータ出力(CMPPOLn=”1”のとき)

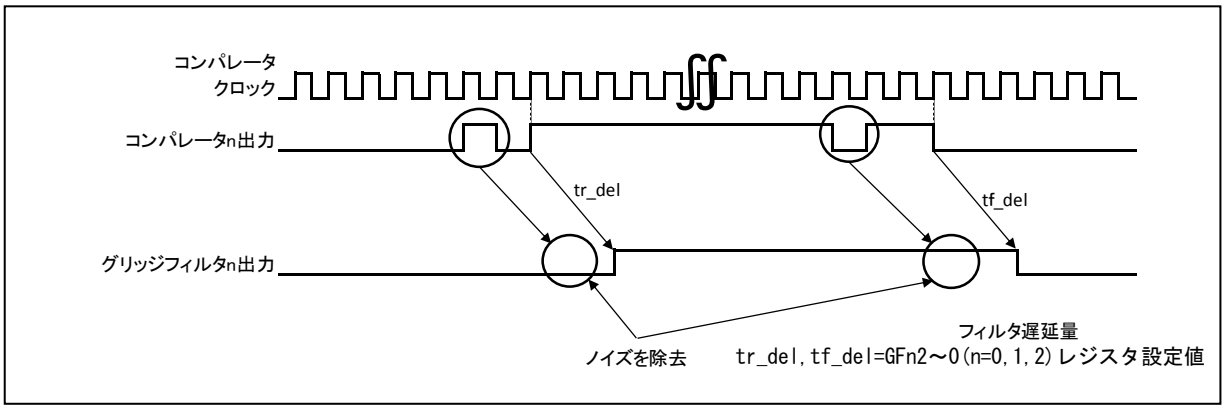


5.4. グリッジフィルタ

グリッジフィルタについて説明します。

グリッジフィルタ処理を行うことにより、コンパレータ出力のノイズを除去した信号を PWM へ出力します。
グリッジフィルタでは、コンパレータ制御レジスタ(CMPCTL)で設定された時間のノイズを除去します。

図 5-5. グリッジフィルタによるノイズ除去



5.5. 割込み要求

割込み要求について説明します。

コンパレータ n 検出結果の出力が以下のときに、コンパレータ出力割込みフラグレジスタの対応するビットに"1"が設定されます。(n=0,1,2)

- コンパレータ n 検出結果の出力が"L"から"H"に変化したとき
- コンパレータ n 検出結果の出力が"H"から"L"に変化したとき

どのチャネルからの割込み要求が発生したかは、コンパレータ出力割込み要求フラグビット(CMPINT.INTn)の値を読み出すことにより可能です。
また、割込み要求フラグビットに”0”を書き込むことにより、割込み要求フラグを”0”にクリアできます。

6. 注意事項

コンパレータの注意事項について説明します。

- **割込みの注意**
  コンパレータ出力許可ビット(CMPCTLn.CMPIEn(n=0,1,2))を設定する前に、必ず対応するチャネルの割込みフラグ(CMPINT.INTn(n=0,1,2))をクリアしてください。

- **ストップモード遷移時の注意**
  消費電力制御の「ストップモード」に動作を遷移させるときは、コンパレータ用 D/A コンバータとコンパレータをスタンバイにしてください。

- **レジスタアクセスの注意**
  コンパレータのレジスタへのアクセス時、PCLK サイクル×3+PWMCLK サイクル×7 の Wait が挿入されます。(バスクロック(PCLK)とマクロクロック(PWMCLK)間の同期化を要するため。)

CHAPTER: スロープ補償

スロープ補償について説明します。

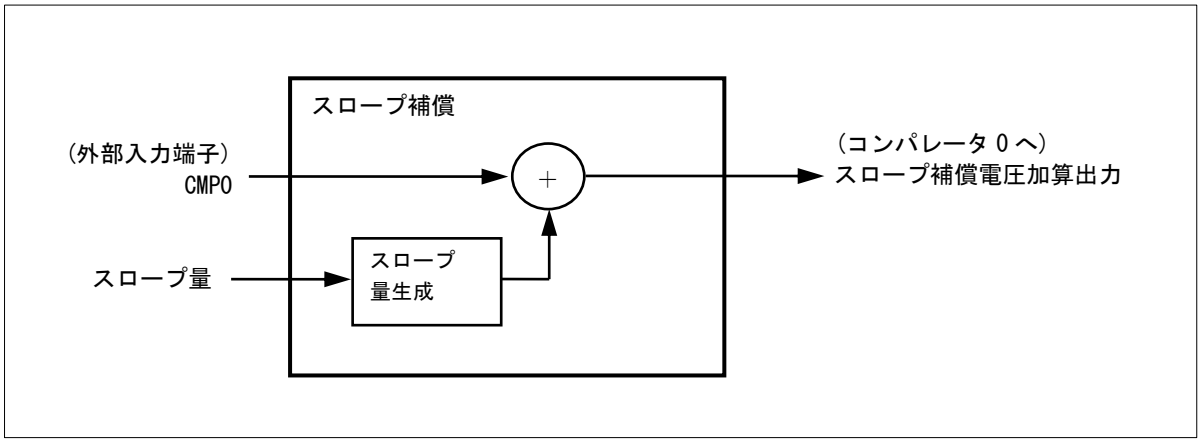
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

1. 概要

スロープ補償の概要について説明します。

スロープ補償は、外部端子(CMP0)からの入力電圧に、スロープ補償電圧を加算する回路です。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

スロープ補償の特長について説明します。

● スロープ補償電圧加算

スロープ補償は、スロープ電流をコンデンサにチャージすることで、入力電圧にスロープ補償電圧の加算を行います。

● スロープ量

コンデンサにチャージするスロープ電流は、スロープ量設定レジスタ(SLPDADR)から設定できます。

● スロープ補償の動作状態

・スロープ補償のチャージ/ディスチャージ動作は、動作制御スイッチの組み合わせによって、設定できます。
・スロープ補償は、3 個の動作制御スイッチ(SWI/SWS/SWE)のオン/オフによって、動作状態が決まります。
・スロープ補償動作中の動作状態は、任意の動作制御スイッチの状態で、最大 3 種類まで設定できます。

● PWM 信号トリガによる動作状態遷移

・動作状態の遷移トリガは、以下の PWM 信号から任意に 4 つ選択できます。
(1) PWM0H
(2) PWM0L
(3) PWM1H
(4) PWM1L
(5) PWM2H
(6) PWM2L
(7) PWM マスタクロック 0
(8) PWM マスタクロック 1
・上記で選択した 4 つのトリガは、状態遷移トリガエッジ選択レジスタ(SLPEDGESEL1, SLPEDGESEL2)の設定により、立上りエッジ、もしくは、立下りエッジを選択できます。

● コンパレータ 0 検出結果による動作状態遷移

・PWM 信号トリガによる動作状態遷移とは別に、コンパレータ 0 検出結果のエッジをトリガとして、動作状態の遷移ができます。
・コンパレータ 0 検出結果のエッジをトリガとした動作状態の遷移は、状態遷移トリガ遷移許可設定レジスタ(SLPSTMSEL1)の設定により、どの動作状態に遷移するかを選択できます。

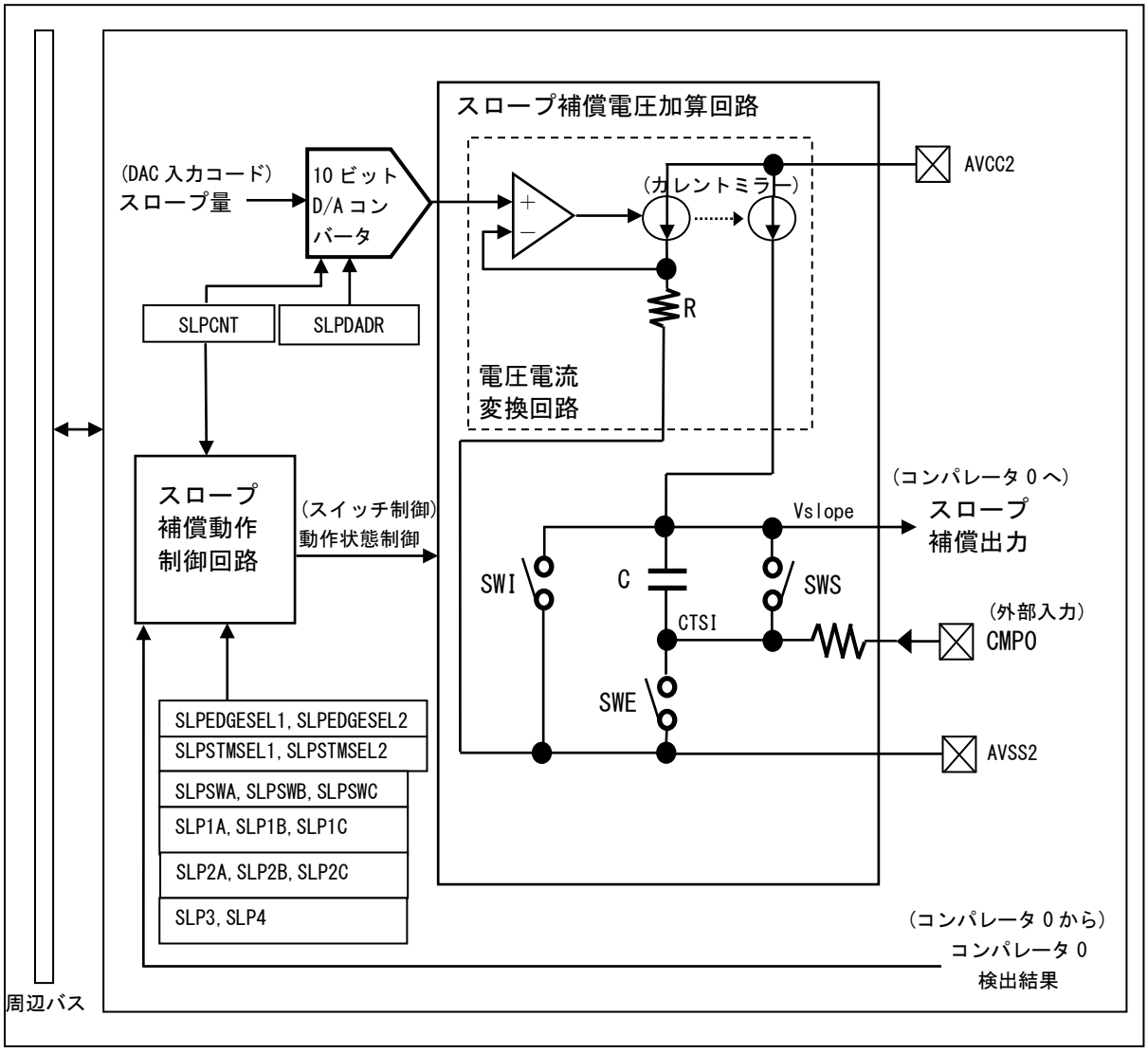
● スロープ補償スルーモード

スロープ補償電圧を加算せず、外部入力電圧(CMP0)をそのままコンパレータ 0 へ出力できます。

3. 構成

スロープ補償の構成について説明します。

図 3-1 構成図



4. レジスタ

スロープ補償のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x05A0	SLPCNT	予約	予約	予約	動作制御レジスタ(SLPCNT)
0x05A4	SLPEDGESEL1		SLPEDGESEL2		状態遷移トリガエッジ選択レジスタ 1(SLPEDGESEL1) 状態遷移トリガエッジ選択レジスタ 2(SLPEDGESEL2)
0x05A8	SLPSWA	SLPSWB	SLPSWC	予約	動作制御スイッチ設定レジスタ(SLPSWA) 動作制御スイッチ設定レジスタ(SLPSWB) 動作制御スイッチ設定レジスタ(SLPSWC)
0x05AC	SLP1A		SLP1B		状態遷移トリガ 1A 時間設定レジスタ(SLP1A) 状態遷移トリガ 1B 時間設定レジスタ(SLP1B)
0x05B0	SLP1C		SLP3		状態遷移トリガ 1C 時間設定レジスタ(SLP1C) 状態遷移トリガ 3 時間設定レジスタ(SLP3)
0x05B4	SLP2A		SLP2B		状態遷移トリガ 2A 時間設定レジスタ(SLP2A) 状態遷移トリガ 2B 時間設定レジスタ(SLP2B)
0x05B8	SLP2C		SLP4		状態遷移トリガ 2C 時間設定レジスタ(SLP2C) 状態遷移トリガ 4 時間設定レジスタ(SLP4)
0x05BC	予約	予約	SLPDADR		スロープ量設定レジスタ(SLPDADR)
0x05C0	SLPSTMSEL1		SLPSTMSEL2		状態遷移トリガ遷移許可設定レジスタ 1(SLPSTMSEL1) 状態遷移トリガ遷移許可設定レジスタ 2(SLPSTMSEL2)
0x05C4	SLPCVE		予約	予約	スロープ伝達誤差補正量表示レジスタ(SLPCVE)

4.1. 動作制御レジスタ ：SLPCNT

動作制御レジスタのビット構成について示します。

スロープ補償の動作制御を設定するレジスタです。

■ SLPCNT：アドレス 05A0$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						SLPP	SLPEN
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit7～bit2] (予約)

[bit1] SLPP:スロープ補償電圧加算スルーモードビット

SLPP	機能
0	加算スルーを禁止
1	加算スルーを許可

スロープ補償電圧の加算スルーを設定します。

“0”に設定した場合：入力電圧(CMP0)へのスロープ補償電圧スルーを禁止します。
“1”に設定した場合：入力電圧(CMP0)へのスロープ補償電圧スルーを許可します。
入力電圧(CMP0)が、そのままコンパレータへ出力されます。
動作制御スイッチ設定レジスタ(SLPSWA,SLPSWB,SLPSWC)で設定された値に影響されません。

[bit0] SLPEN:スロープ補償動作許可ビット

SLPEN	機能
0	禁止
1	許可

スロープ補償の動作を設定します。
“0”に設定した場合：スロープ補償の動作を禁止します。
“1”に設定した場合：スロープ補償の動作を許可します。

＜注意事項＞

PWM へ意図しない信号を出力しないため、SLPEN に”1”を書き込む前に、スロープ補償のレジスタ設定を必ず行ってください。

SLPEN に”1”を書き込むと、スロープ補償は、動作制御スイッチ設定レジスタ(SLPSWA)で設定されたスイッチの状態で動作します。

SLPEN に”1”を書き込んでから、スロープ量の出力が安定するまでに、出力安定待ち時間が必要です。

SLPP を”1”に設定する場合は、SLPEN を”0”に設定してください。

SLPEN が”1”のときに、SLPEN、SLPDADR 以外のスロープ補償のレジスタを書き換えないでください。

4.2. 状態遷移トリガエッジ選択レジスタ 1 : SLPEDGESEL1

状態遷移トリガエッジ選択レジスタ 1 のビット構成について示します。

スロープ補償動作の状態遷移のトリガとなる信号と、そのエッジを選択するレジスタです。

■ SLPEDGESEL1 : アドレス 05A4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約			EDGTINV0	予約	PWMSEL02	PWMSEL01	PWMSEL00
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			EDGTINV1	予約	PWMSEL12	PWMSEL11	PWMSEL10
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R0,WX	R/W	R/W	R/W

[bit15～bit13] (予約)

[bit12] EDGTINV0:トリガエッジ検出極性設定ビット(トリガ１)

EDGTINV0	機能
0	立上りエッジ
1	立下りエッジ

トリガ１を検出する信号のエッジの極性を設定します。

“0”に設定した場合：PWMSEL02～00 で選択した信号の立上りエッジがトリガとなります。
“1”に設定した場合： PWMSEL02～00 で選択した信号の立下りエッジがトリガとなります。

[bit11] (予約)

[bit10～bit8] PWMSEL02～00:トリガ信号選択ビット(トリガ１)

PWMSEL 02～00	機能
000	PWM0H
001	PWM0L
010	PWM1H
011	PWM1L
100	PWM2H
101	PWM2L
110	PWM マスタクロック 0
111	PWM マスタクロック 1

スロープ補償動作が状態遷移するトリガとなる信号を選択します。(トリガ１)

[bit7～bit5] (予約)

[bit4] EDGTINV1:トリガエッジ検出極性設定ビット(トリガ２)

EDGTINV1	機能
0	立上りエッジ
1	立下りエッジ

トリガ２を検出する信号のエッジの極性を設定します。

“0”に設定した場合：PWMSEL12～10 で選択した信号の立上りエッジがトリガとなります。
“1”に設定した場合：PWMSEL12～10 で選択した信号の立下りエッジがトリガとなります。

[bit3] (予約)

[bit2～bit0] PWMSEL12～10:トリガ信号選択ビット(トリガ２)

PWMSEL 12～10	機能
000	PWM0H
001	PWM0L
010	PWM1H
011	PWM1L
100	PWM2H
101	PWM2L
110	PWM マスタクロック 0
111	PWM マスタクロック 1

スロープ補償動作が状態遷移するトリガとなる信号を選択します。(トリガ２)

4.3. 状態遷移トリガエッジ選択レジスタ 2 : SLPEDGESEL2

状態遷移トリガエッジ選択レジスタ 2 のビット構成について示します。

スロープ補償動作の状態遷移のトリガとなる信号と、そのエッジを選択するレジスタです。

■ SLPEDGESEL2：アドレス 05A6$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約			EDGTINV2	予約	PWMSEL22	PWMSEL21	PWMSEL20
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			EDGTINV3	予約	PWMSEL32	PWMSEL31	PWMSEL30
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R0,WX	R/W	R/W	R/W

[bit15～bit13] (予約)

[bit12] EDGTINV2:トリガエッジ検出極性設定ビット(トリガ 3)

EDGTINV2	機能
0	立上りエッジ
1	立下りエッジ

トリガ 3 を検出する信号のエッジの極性を設定します。

“0”に設定した場合: PWMSEL22～20 で選択した信号の立上りエッジがトリガとなります。
“1”に設定した場合: PWMSEL22～20 で選択した信号の立下りエッジがトリガとなります。

[bit11] (予約)

[bit10～bit8] PWMSEL22～20:トリガ信号選択ビット(トリガ 3)

PWMSEL 22～20	機能
000	PWM0H
001	PWM0L
010	PWM1H
011	PWM1L
100	PWM2H
101	PWM2L
110	PWM マスタクロック 0
111	PWM マスタクロック 1

スロープ補償動作が状態遷移するトリガとなる信号を選択します。(トリガ 3)

[bit7～bit5] (予約)

[bit4] EDGTINV3:トリガエッジ検出極性設定ビット(トリガ 4)

EDGTINV3	機能
0	立上りエッジ
1	立下りエッジ

トリガ 4 を検出する信号のエッジの極性を設定します。

“0”に設定した場合： PWMSEL32～30 で選択した信号の立上りエッジがトリガとなります。
“1”に設定した場合： PWMSEL32～30 で選択した信号の立下りエッジがトリガとなります。

[bit3] (予約)

[bit2～bit0] PWMSEL32～30:トリガ信号選択ビット(トリガ 4)

PWMSEL 32～30	機能
000	PWM0H
001	PWM0L
010	PWM1H
011	PWM1L
100	PWM2H
101	PWM2L
110	PWM マスタクロック 0
111	PWM マスタクロック 1

スロープ補償動作が状態遷移するトリガとなる信号を選択します。(トリガ 4)

4.4. 動作制御スイッチ設定レジスタ : SLPSWA,SLPSWB,SLPSWC

動作制御スイッチ設定レジスタのビット構成について示します。

動作制御スイッチのオン/オフを設定するレジスタです。

■ SLPSWA：アドレス 05A8$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約					SWIA	SWSA	SWEA
初期値	0	0	0	0	0	1	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

■ SLPSWB：アドレス 05A9$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約					SWIB	SWSB	SWEB
初期値	0	0	0	0	0	1	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

■ SLPSWC：アドレス 05AA$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					SWIC	SWSC	SWEC
初期値	0	0	0	0	0	1	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

■ 予約：アドレス 05AB$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

[bit31～bit27] (予約)

[bit26] SWIA: 状態 A 動作制御スイッチ(SWI)設定ビット

SWIA	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 A における、動作制御スイッチ(SWI)のオン/オフを設定します。

“0”に設定した場合: 動作制御スイッチ(SWI)は、オフします。

“1”に設定した場合: 動作制御スイッチ(SWI)は、オンします。

[bit25] SWSA: 状態 A 動作制御スイッチ(SWS)設定ビット

SWSA	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 A における、動作制御スイッチ(SWS)のオン/オフを設定します。

“0”に設定した場合: 動作制御スイッチ(SWS)は、オフします。

“1”に設定した場合: 動作制御スイッチ(SWS)は、オンします。

[bit24] SWEA: 状態 A 動作制御スイッチ(SWE)設定ビット

SWEA	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 A における、動作制御スイッチ(SWE)のオン/オフを設定します。

“0”に設定した場合: 動作制御スイッチ(SWE)は、オフします。

“1”に設定した場合: 動作制御スイッチ(SWE)は、オンします。

[bit23～bit19] (予約)

[bit18] SWIB: 状態 B 動作制御スイッチ(SWI)設定ビット

SWIB	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 B における、動作制御スイッチ(SWI)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWI)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWI)は、オンします。

[bit17] SWSB: 状態 B 動作制御スイッチ(SWS)設定ビット

SWSB	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 B における、動作制御スイッチ(SWS)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWS)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWS)は、オンします。

[bit16] SWEB: 状態 B 動作制御スイッチ(SWE)設定ビット

SWEB	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 B における、動作制御スイッチ(SWE)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWE)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWE)は、オンします。

[bit15～bit11] (予約)

[bit10] SWIC: 状態 C 動作制御スイッチ(SWI)設定ビット

SWIC	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 C における、動作制御スイッチ(SWI)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWI)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWI)は、オンします。

[bit9] SWSC: 状態 C 動作制御スイッチ(SWS)設定ビット

SWSC	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 C における、動作制御スイッチ(SWS)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWS)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWS)は、オンします。

[bit8] SWEC: 状態 C 動作制御スイッチ(SWE)設定ビット

SWEC	機能
0	オフ状態
1	オン状態

スロープ補償動作状態 C における、動作制御スイッチ(SWE)のオン/オフを設定します。
“0”に設定した場合: 動作制御スイッチ(SWE)は、オフします。
“1”に設定した場合: 動作制御スイッチ(SWE)は、オンします。

[bit7～bit0] (予約)

＜注意事項＞

ディスチャージ状態→チャージ状態の遷移時に LEB の状態を設定し、SWE のオフ切替時間が SWI/SWS のオフから最小で 5ns 確保するしてください。
各状態でのレジスタ設定例を示します。
・チャージ状態 : SWI=OFF, SWS=OFF, SWE=OFF
・ディスチャージ状態 : SWI=ON , SWS=ON , SWE=ON
・LEB 状態 : SWI=OFF, SWS=OFF, SWE=ON

4.5. 状態遷移トリガ 1A 時間設定レジスタ ：SLP1A

状態遷移トリガ 1A 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 1 を基点として、SLPSWA で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP1A：アドレス 05AC$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP1A15	SLP1A14	SLP1A13	SLP1A12	SLP1A11	SLP1A10	SLP1A9	SLP1A8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP1A7	SLP1A6	SLP1A5	SLP1A4	SLP1A3	SLP1A2	SLP1A1	SLP1A0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP1A15～SLP1A0: トリガ 1 状態 A 遷移時間設定ビット

	機能
SLP1A15～0	設定値×PWM 分周クロックの周期

トリガ 1(PWMSEL02～00 で設定した信号)から、スロープ補償のスイッチが SLPSWA で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.6. 状態遷移トリガ 1B 時間設定レジスタ: SLP1B

状態遷移トリガ 1B 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 1 を基点として、SLPSWB で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP1B：アドレス 05AE$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP1B15	SLP1B14	SLP1B13	SLP1B12	SLP1B11	SLP1B10	SLP1B9	SLP1B8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP1B7	SLP1B6	SLP1B5	SLP1B4	SLP1B3	SLP1B2	SLP1B1	SLP1B0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP1B15～SLP1B0: トリガ 1 状態 B 遷移時間設定ビット

SLP1B15～0	機能
	設定値×PWM 分周クロックの周期

トリガ 1(PWMSEL02～00 で設定した信号)から、スロープ補償のスイッチが SLPSWB で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.7. 状態遷移トリガ 1C 時間設定レジスタ ：SLP1C

状態遷移トリガ 1C 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 1 を基点として、SLPSWC で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP1C：アドレス 05B0$_H$ (アクセス:ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP1C15	SLP1C14	SLP1C13	SLP1C12	SLP1C11	SLP1C10	SLP1C9	SLP1C8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP1C7	SLP1C6	SLP1C5	SLP1C4	SLP1C3	SLP1C2	SLP1C1	SLP1C0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP1C15～SLP1C0:トリガ 1 状態 C 遷移時間設定ビット

	機能
SLP1C15～0	設定値×PWM 分周クロックの周期

トリガ 1(PWMSEL02～00 で設定した信号)から、スロープ補償のスイッチが SLPSWC で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.8. 状態遷移トリガ 3 時間設定レジスタ ：SLP3

状態遷移トリガ 3 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 3 を基点として、SLP3SEL で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP3：アドレス 05B2$_H$ (アクセス:ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP3 15	SLP3 14	SLP3 13	SLP3 12	SLP3 11	SLP3 10	SLP3 9	SLP3 8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP3 7	SLP3 6	SLP3 5	SLP3 4	SLP3 3	SLP3 2	SLP3 1	SLP3 0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP315～SLP30: トリガ 3 状態遷移時間設定ビット

	機能
SLP3 15～0	設定値×PWM 分周クロックの周期

トリガ 3(PWMSEL32～30 で設定した信号)から、スロープ補償のスイッチが SLP3SEL で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.9. 状態遷移トリガ 2A 時間設定レジスタ ：SLP2A

状態遷移トリガ 2A 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 2 を基点として、SLPSWA で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP2A：アドレス 05B4$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP2A15	SLP2A14	SLP2A13	SLP2A12	SLP2A11	SLP2A10	SLP2A9	SLP2A8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP2A7	SLP2A6	SLP2A5	SLP2A4	SLP2A3	SLP2A2	SLP2A1	SLP2A0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP2A15～SLP2A0: トリガ 2 状態 A 遷移時間設定ビット

	機能
SLP2A15～0	設定値×PWM 分周クロックの周期

トリガ 2(PWMSEL12～10 で設定した信号)から、スロープ補償のスイッチが SLPSWA で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.10. 状態遷移トリガ 2B 時間設定レジスタ ：SLP2B

状態遷移トリガ 2B 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 2 を基点として、SLPSWB で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです

■ SLP2B：アドレス 05B6$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP2B15	SLP2B14	SLP2B13	SLP2B12	SLP2B11	SLP2B10	SLP2B9	SLP2B8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP2B7	SLP2B6	SLP2B5	SLP2B4	SLP2B3	SLP2B2	SLP2B1	SLP2B0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP2B15～SLP2B0: トリガ 2 状態 B 遷移時間設定ビット

SLP2B15～0	機能
	設定値×PWM 分周クロックの周期

トリガ 2(PWMSEL12～10 で設定した信号)から、スロープ補償のスイッチが SLPSWB で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.11. 状態遷移トリガ 2C 時間設定レジスタ ：SLP2C

状態遷移トリガ 2C 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 2 を基点として、SLPSWC で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP2C：アドレス 05B8$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP2C15	SLP2C14	SLP2C13	SLP2C12	SLP2C11	SLP2C10	SLP2C9	SLP2C8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP2C7	SLP2C6	SLP2C5	SLP2C4	SLP2C3	SLP2C2	SLP2C1	SLP2C0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP2C15～SLP2C0: トリガ 2 状態 C 遷移時間設定ビット

	機能
SLP2C15～0	設定値×PWM 分周クロックの周期

トリガ 2(PWMSEL12～10 で設定した信号)から、スロープ補償のスイッチが SLPSWC で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.12. 状態遷移トリガ 4 時間設定レジスタ ：SLP4

状態遷移トリガ 4 時間設定レジスタのビット構成について示します。

スロープ補償がトリガ 4 を基点として、SLP4SEL で設定されたスイッチの状態に遷移するまでの時間を設定するレジスタです。

■ SLP4：アドレス 05BA$_H$ (アクセス:ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SLP4 15	SLP4 14	SLP4 13	SLP4 12	SLP4 11	SLP4 10	SLP4 9	SLP4 8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SLP4 7	SLP4 6	SLP4 5	SLP4 4	SLP4 3	SLP4 2	SLP4 1	SLP4 0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15~bit0] SLP415～SLP40: トリガ 4 状態遷移時間設定ビット

	機能
SLP4 15～0	設定値×PWM 分周クロックの周期

トリガ 4(PWMSEL32～30 で設定した信号)から、スロープ補償のスイッチが SLP4SEL で設定された状態に遷移するまでの時間を設定します。

＜注意事項＞

本レジスタに、トリガとなる PWM 信号の周期よりも大きな値を設定しないでください。

4.13. スロープ量設定レジスタ ：SLPDADR

スロープ量設定レジスタのビット構成について示します。

スロープ量を設定するレジスタです。

■ SLPDADR：アドレス 05BE$_H$ (アクセス: ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						DA9	DA8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit10] (予約)

[bit9～bit0] DA9～DA0:スロープ量設定ビット

スロープ補償電流の傾きを設定します。

スロープ量の設定値と、スロープ補償電流の傾きの関係は、

(AV_{CC}2＝5.0V,Tj=25℃,プロセス＝Typical 条件において)、

以下のようになります。

DA9～DA0	スロープ量 dVslope/dt [V/usec][*1]	
00 0000 0000	設定禁止	
～		
00 0010 0011		
00 0010 0100	0.0502	設定可能範囲[*2]
00 0010 0101	0.0516	
～	～	
10 1100 1011	0.9975	
10 1100 1100	0.9989	
10 1100 1101	設定禁止	
～		
11 1111 1111		

*1　スロープ量 dVslope/dt と DA9～DA0 の関係の詳細は、5.2 章を参照してください。

*2　設定可能範囲は、動作周期によって異なります。詳しくは、5.2 章を参照してください。

＜注意事項＞

DA9～0 に値を書き込んでから、スロープ量の出力が安定するまでに、出力安定待ち時間が必要です。
スロープ量設定レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

本レジスタは、SLPEN が“0”のとき、またはスロープがディスチャージ状態のときに書き換えが可能です。また、SLPEN に“1”を書き込んだ後スロープが安定するまでの間は、本レジスタを書き換えないでください。

4.14. 状態遷移トリガ遷移許可設定レジスタ 1：SLPSTMSEL1

状態遷移トリガ遷移許可設定レジスタ 1 のビット構成について示します。

スロープ補償動作の状態遷移の許可/禁止を設定するレジスタです。

■ SLPSTMSEL1：アドレス 05C0$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	SLP1CEN	SLP1BEN	SLP1AEN	予約	SLP2CEN	SLP2BEN	SLP2AEN
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					CMPSEL1	CMPSEL0	CMPENB
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit15] (予約)

[bit14] SLP1CEN: トリガ 1 状態 C 遷移許可ビット

SLP1CEN	機能
0	禁止
1	許可

トリガ 1 発生から SLP1C15～0 で設定された時間が経過したのち、スロープの状態 C への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 C への遷移を禁止します。

“1”に設定した場合: スロープ動作の状態 C への遷移を許可します。

[bit13] SLP1BEN: トリガ 1 状態 B 遷移許可ビット

SLP1BEN	機能
0	禁止
1	許可

トリガ 1 発生から SLP1B15～0 で設定された時間が経過したのち、スロープの状態 B への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 B への遷移を禁止します。

“1”に設定した場合: スロープ動作の状態 B への遷移を許可します。

[bit12] SLP1AEN: トリガ 1 状態 A 遷移許可ビット

SLP1AEN	機能
0	禁止
1	許可

トリガ 1 発生から SLP1A15～0 で設定された時間が経過したのち、スロープの状態 A への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 A への遷移を禁止します。

“1”に設定した場合: スロープ動作の状態 A への遷移を許可します。

＜注意事項＞

使用しない動作状態遷移の許可ビットは、必ず"0"に設定していることを確認してください。
使用しない動作状態の、状態遷移許可ビットが"1"に設定されている場合、PWM へ不定値を出力する恐れがあります。

[bit11] (予約)

[bit10] SLP2CEN:トリガ 2 状態 C 遷移許可ビット

SLP2CEN	機能
0	禁止
1	許可

トリガ 2 発生から SLP2C15～0 で設定された時間が経過したのち、スロープの状態 C への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 C への遷移を禁止します。

“1”に設定した場合:スロープ動作の状態 C への遷移を許可します。

[bit9] SLP2BEN: トリガ 2 状態 B 遷移許可ビット

SLP2BEN	機能
0	禁止
1	許可

トリガ 2 発生から SLP2B15～0 で設定された時間が経過したのち、スロープの状態 B への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 B への遷移を禁止します。

“1”に設定した場合:スロープ動作の状態 B への遷移を許可します。

[bit8] SLP2AEN: トリガ 2 状態 A 遷移許可ビット

SLP2AEN	機能
0	禁止
1	許可

トリガ 2 発生から SLP2A15～0 で設定された時間が経過したのち、スロープの状態 A への遷移の許可を設定します。

“0”に設定した場合: スロープ動作の状態 A への遷移を禁止します。

“1”に設定した場合:スロープ動作の状態 A への遷移を許可します。

＜注意事項＞

使用しない動作状態遷移の許可ビットは、必ず"0"に設定していることを確認してください。
使用しない動作状態の、状態遷移許可ビットが"1"に設定されている場合、PWM へ不定値を出力する恐れがあります。

[bit7～bit3] (予約)

[bit2,bit1] CMPSEL1～0:コンパレータトリガ状態遷移設定ビット

CMPSEL1～0	機能
00	SLPSWA の状態
01	SLPSWA の状態
10	SLPSWB の状態
11	SLPSWC の状態

コンパレータ 0 検出結果が変化したときに、遷移する動作制御スイッチ設定を選択します。
検出結果が変化したときの出力極性は、コンパレータ 0 用制御レジスタ(CMPCTL0.CMPPOL0)の設定によって決まります。CMPCTL0.CMPPOL0 が“0”のときは、コンパレータ 0 検出結果が“L”から“H”に変化したときに、状態遷移します。CMPCTL0.CMPPOL0 が“1”のときは、コンパレータ 0 検出結果が“H”から“L”に変化したときに、状態遷移します。詳しくは、『コンパレータ』の章を参照してください。

[bit0] CMPENB:コンパレータ状態遷移許可ビット

CMPENB	機能
0	禁止
1	許可

コンパレータ 0 検出結果が変化したときに、CMPSEL1～0 で選択された状態への遷移の許可を設定します。
“0”に設定した場合:スロープ動作の状態遷移を禁止します。
“1”に設定した場合:スロープ動作の状態遷移を許可します。

4.15. 状態遷移トリガ遷移許可設定レジスタ 2 : SLPSTMSEL2

状態遷移トリガ遷移許可設定レジスタ 2 のビット構成について示します。

スロープ補償動作の状態遷移の許可/禁止を設定するレジスタです。

■ SLPSTMSEL2 : アドレス 05C2$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	SLP3SEL1	SLP3SEL0	SLP3EN	予約	SLP4SEL1	SLP4SEL0	SLP4EN
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit15] (予約)

[bit14,bit13] SLP3SEL1～0: トリガ 3 状態遷移設定ビット

SLP3SEL1～0	機能
00	SLPSWA の状態
01	SLPSWA の状態
10	SLPSWB の状態
11	SLPSWC の状態

トリガ 3 発生から SLP3 15～0 で設定された時間が経過したのち、遷移する動作制御スイッチ設定を選択します。

[bit12] SLP3EN: トリガ 3 状態遷移許可ビット

SLP3EN	機能
0	禁止
1	許可

トリガ 3 発生から SLP3 15～0 で設定された時間が経過したのち、SLP3SEL1～0 で選択された状態への遷移の許可を設定します。
“0”に設定した場合:スロープ動作の状態遷移を禁止します。
“1”に設定した場合:スロープ動作の状態遷移を許可します。

[bit11] (予約)

[bit10,bit9] SLP4SEL1～0: トリガ 4 状態遷移設定ビット

SLP4SEL1～0	機能
00	SLPSWA の状態
01	SLPSWA の状態
10	SLPSWB の状態
11	SLPSWC の状態

トリガ 4 発生から SLP4 15～0 で設定された時間が経過したのち、遷移する動作制御スイッチ設定を選択します。

[bit8] SLP4EN: トリガ 4 状態遷移許可ビット

SLP4EN	機能
0	禁止
1	許可

トリガ 4 発生から SLP4 15～0 で設定された時間が経過したのち、SLP4SEL1～0 で選択された状態への遷移の許可を設定します。
“0”に設定した場合:スロープ動作の状態遷移を禁止します。
“1”に設定した場合:スロープ動作の状態遷移を許可します。

[bit7～bit0] (予約)

4.16. スロープ伝達誤差補正量表示レジスタ ：SLPCVE

スロープ伝達誤差補正量表示レジスタのビット構成について示します。

スロープ補償の伝達誤差を補正する量を表示するレジスタです。

■ SLPCVE：アドレス 05C4$_H$ (アクセス: ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						CVE9	CVE8
初期値	0	0	0	0	0	0	X	X
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CVE7	CVE6	CVE5	CVE4	CVE3	CVE2	CVE1	CVE0
初期値	X	X	X	X	X	X	X	X
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit10] (予約)

[bit9～bit0] CVE9～0 : スロープ伝達誤差補正量設定ビット

CVE9～CVE0	基準電圧補正量
00 0000 0000	$2^{10}/2^{10}$ (=100.00%)
00 0000 0001	$(2^{10}-1)/2^{10}$ (=99.90%)
00 0000 0010	$(2^{10}-2)/2^{10}$ (=99.81%)
00 0000 0011	$(2^{10}-3)/2^{10}$ (=99.71%)
～	～
11 1111 1100	$(2^{10}-1020)/2^{10}$ (=0.39%)
11 1111 1101	$(2^{10}-1021)/2^{10}$ (=0.29%)
11 1111 1110	$(2^{10}-1022)/2^{10}$ (=0.20%)
11 1111 1111	$(2^{10}-1023)/2^{10}$ (=0.10%)

スロープ伝達誤差を補正するために、スロープ補償付きコンパレータの基準電圧の補正量を表示するレジスタです。

スロープ補償付きコンパレータの基準電圧に、このレジスタ値を係数として掛けることにより、伝達誤差を補正します。

伝達誤差補正後の比較基準電圧値[V]

= 伝達誤差補正前の比較基準電圧値[V] × (1-(CVE レジスタ値)/2^{10})

この演算式で求められた“伝達誤差補正後の比較基準電圧値”を用いて、CMPDADR0 レジスタを設定してください。

5. 動作説明

スロープ補償の動作について説明します。

5.1. スロープ補償

5.2. スロープ量の設定

5.1. スロープ補償

スロープ補償について示します。

スロープ補償電圧は、スロープ量設定レジスタ(SLPDADR)で設定したスロープ量に応じた電流を、コンデンサにチャージさせることによって生成します。

スロープ補償が動作停止中(SLPEN=”0”)のときは、表 5-1-1.のスロープ動作状態Rとなり、SWI はオン、SWS はオフ、SWE はオフ、となります。
SLPEN を”1”にすると、スロープ補償は動作を開始し、動作状態は状態 A になります。このときの動作制御スイッチのオン/オフは、動作制御スイッチ設定レジスタ(SLPSWA)の設定値に従います。

表 5-1. スロープ補償の各動作状態における、動作制御スイッチの状態

スロープ動作状態	動作制御スイッチ名とスイッチの状態		
	SWI	SWS	SWE
A	SWIA で設定	SWSA で設定	SWEA で設定
B	SWIB で設定	SWSB で設定	SWEB で設定
C	SWIC で設定	SWSC で設定	SWEC で設定
R*1	オン	オフ	オフ
E*2	オフ	オン	オフ

*1 R は、SLPEN=”0”(動作停止中)です。
動作制御スイッチ設定レジスタ(SLPSW)の設定値は反映されません。
*2 E は、SLPP="1"(スロープ補償電圧を加算しない)モードです。入力端子(CMP0)をコンパレータにそのまま出力します。
動作制御スイッチ設定レジスタの設定値は反映されません。

スロープ補償動作中の、動作制御スイッチの状態は、状態 A、状態 B、状態 C の 3 つの状態があります。3 つの状態に遷移するためのトリガとなる信号は、PWM0H、PWM0L、PWM1H、PWM1L、PWM2H、 PWM2L、PWM マスタクロック 0、PWM マスタクロック 1 から、4 つを任意に選択できます。
また、選択した信号のトリガに対して、立上りエッジ/立下りエッジを選択できます。
例えば、1 つ目のトリガを PWM0H の立上りエッジ、2 つ目のトリガを PWM0L の立下りエッジにしたいときは、
・PWMSEL02～00＝"000_B"、EDGTINV0＝"0"
・PWMSEL12～10＝"001_B"、EDGTINV1＝"1"
と、設定します。

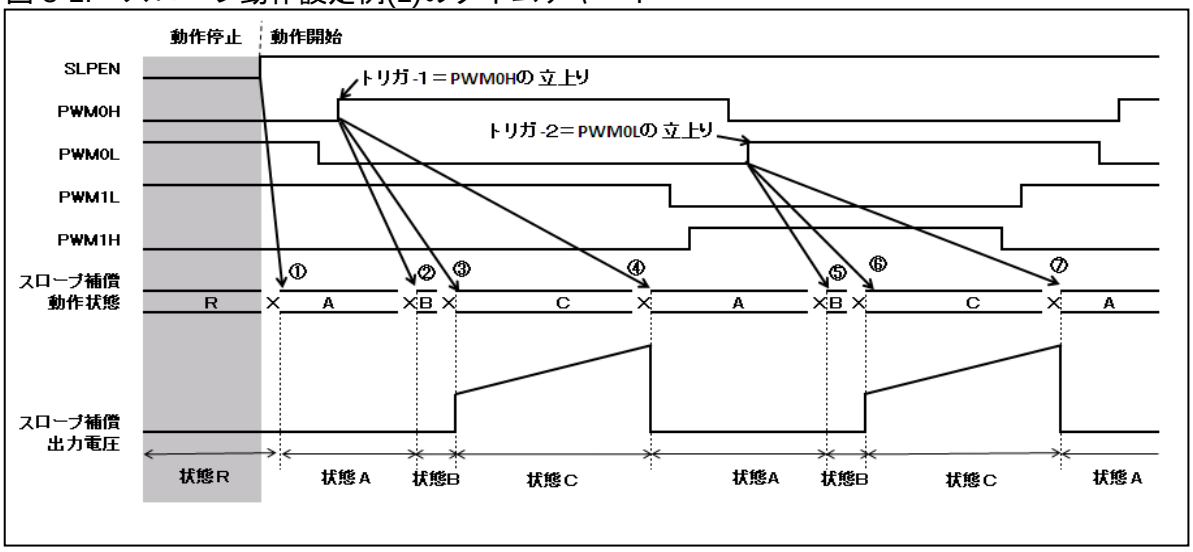
動作制御スイッチの状態の遷移は、トリガ発生からある時間が経過した時点で遷移します。トリガ 1 に対する状態の遷移時間は、状態遷移トリガ 1 時間設定レジスタ(SLP1A,SLP1B,SLP1C)で設定された値で決まります。トリガ 2 に対する状態の遷移時間は、状態遷移トリガ 2 時間設定レジスタ(SLP2A,SLP2B,SLP2C)で設定された値で決まります。トリガ 3 に対する状態の遷移時間は、状態遷移トリガ 3 時間設定レジスタ(SLP3)で設定された値で決まります。トリガ 4 に対する状態の遷移時間は、状態遷移トリガ 4 時間設定レジスタ(SLP4) で設定された値で決まります。
また、3 つの状態 A、状態 B、状態 C への遷移の許可/禁止の設定を、状態遷移トリガ遷移許可設定レジスタ 1(SLPSTMSEL1)で、トリガ 1、トリガ 2 を別々に設定できます。
トリガ 3、トリガ 4 については、遷移する状態を、3 つの状態 A、状態 B、状態 C から選択する設定と遷移の許可設定を、状態遷移許可設定レジスタ 2(SLPSTMSEL2)にて設定できます。
なお、複数の遷移条件が同時に発生した場合、状態 R への遷移が最優先になります。以降、状態 A、状態 B、状態 C の順に優先されます。

以下に、スロープ動作設定例を示します。

■スロープ動作設定例(1)

・トリガ 1 は、PWM0H の立上りエッジを選択(PWMSEL02～00="000_B"　EGDTINV0="0")
・トリガ 2 は、PWM0L の立上りエッジを選択(PWMSEL12～10="001_B"　EGDTINV1="0")
・トリガ 1、トリガ 2 ともに、状態 A、状態 B、状態 C を使用し、
　コンパレータ出力エッジ検出は無効 (SLPSTMSEL1="7700_H")
・動作制御スイッチ設定は、
　- SLPSWA="111_B"
　- SLPSWB="001_B"
　- SLPSWC="000_B"

図 5-1.　スロープ動作設定例(1)のタイムチャート



①スロープ補償動作開始(SLPEN="0"→"1")
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
②トリガ 1 から SLP1B15～0 で設定された時間が経過
　動作状態＝SLPSWB で設定されたスイッチの状態に遷移
③トリガ 1 から SLP1C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
④トリガ 1 から SLP1A15～0 で設定された時間が経過
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
⑤トリガ 2 から SLP2B15～0 で設定された時間が経過
　動作状態＝SLPSWB で設定されたスイッチの状態に遷移
⑥トリガ 2 から SLP2C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
⑦トリガ 2 から SLP2A15～0 で設定された時間が経過
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移

図 5-2.は、スロープ動作設定例(1)の動作状態遷移を示します。

スロープ補償が停止中(SLPEN="0")の動作状態は、状態 R です。スロープ補償が動作を開始(SLPEN="1")すると、状態 A に遷移します。

状態 A で、トリガ 1 または 2 が発生してから、SLP1B15～0 または SLP2B15～0 が経過したとき(b)は、状態 B へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1C15～0 または SLP2C15～0 が経過したとき(c)は、状態 C へ遷移します。

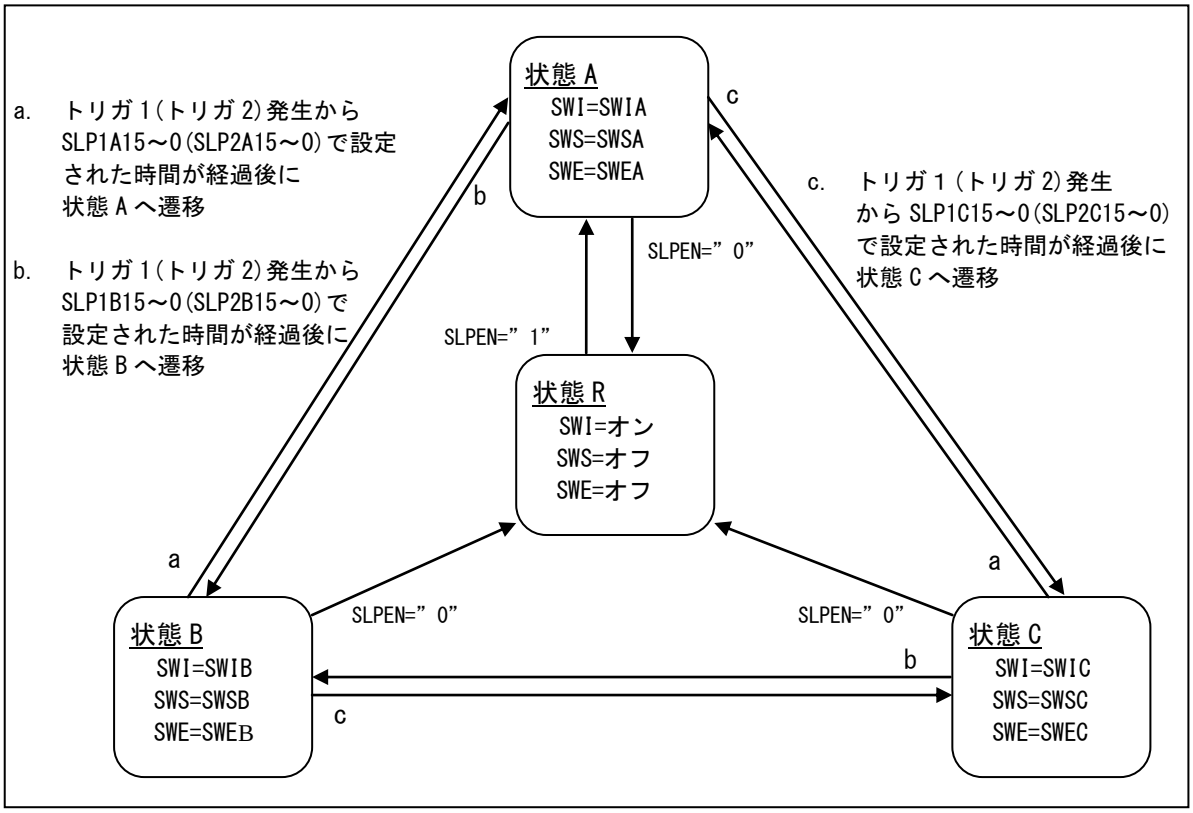
状態 B で、トリガ 1 または 2 が発生してから、SLP1A15～0 または SLP2A15～0 が経過したとき(a)は、状態 A へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1C15～0 または SLP2C15～0 が経過したとき(c)は、状態 C へ遷移します。

状態 C で、トリガ 1 または 2 が発生してから、SLP1A15～0 または SLP2A15～0 が経過したとき(a)は、状態 A へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1B15～0 または SLP2B15～0 が経過したとき(b)は、状態 B へ遷移します。

状態 A、B、C で、スロープ補償が停止(SLPEN="0")したときは、状態 R へ遷移します。

CMPENB="0"では、コンパレータの出力が変化したときの、状態遷移は無効です。

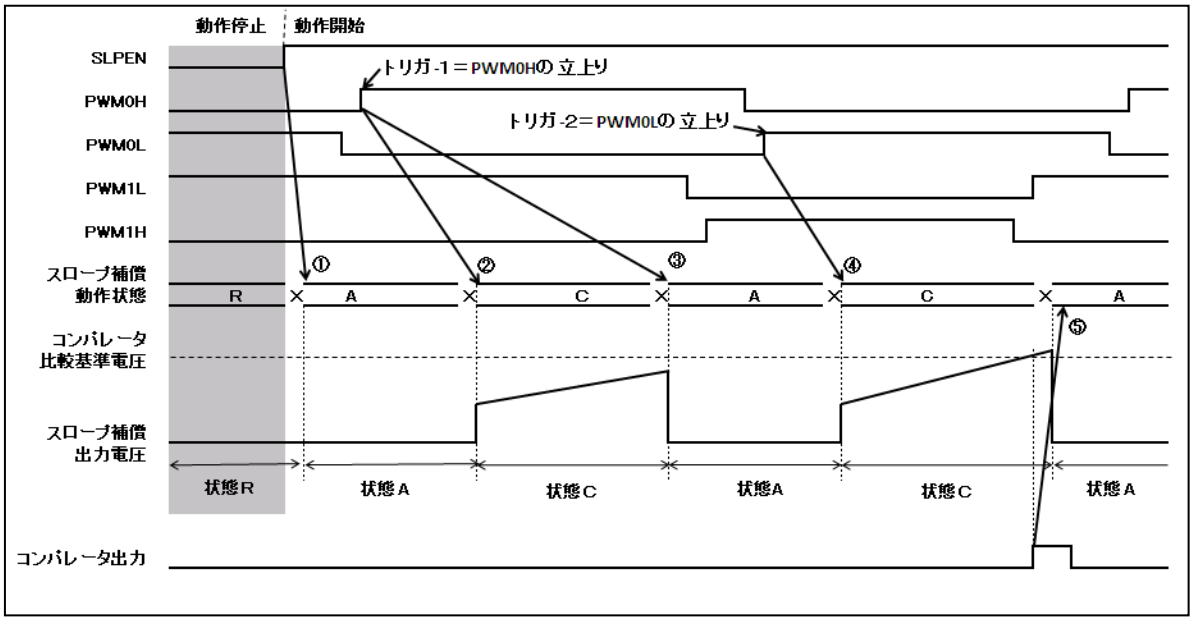
図 5-2.　スロープ動作設定例(1)の状態遷移(CMPENB="0"のとき)



■スロープ動作設定例(2)

・トリガ 1 は、PWM0H の立上りエッジを選択(PWMSEL02～00="000_B"　EGDTINV0="0")
・トリガ 2 は、PWM0L の立上りエッジを選択(PWMSEL12～10="001_B"　EGDTINV1="0")
・トリガ 1、トリガ 2 ともに状態 A、状態 C を使用し、
　コンパレータ出力エッジ検出が有効で、エッジ検出時は状態 A に遷移(SLPSTMSEL1="5503_H")
・動作制御スイッチ設定は、
　- SLPSWA="111_B"
　- SLPSWB="001_B"
　- SLPSWC="000_B"

図 5-3.　スロープ動作設定例(2)のタイムチャート



①スロープ補償動作開始(SLPEN="0"→"1")
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
②トリガ 1 から SLP1C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
③トリガ 1 から SLP1A15～0 で設定された時間が経過
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
④トリガ 2 から SLP2C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
⑤コンパレータの出力変化トリガが発生
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移

図 5-4.は、スロープ動作設定例(2)の動作状態遷移を示します。

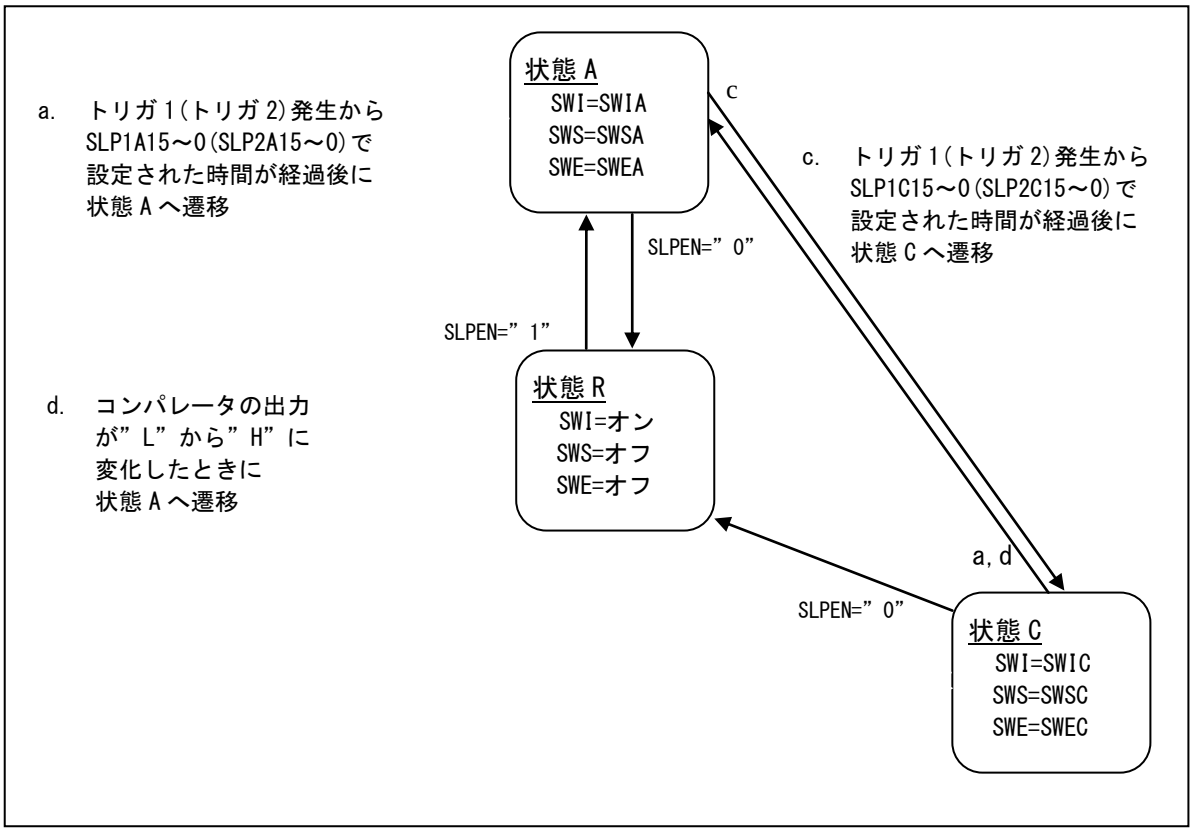
スロープ補償の停止/動作(SLPEN="0"または"1")での状態遷移や、各状態の遷移(a,c)は、図 5-3 と同様です。スロープ動作設定例(2)では、状態 A、状態 C のみ使うため、状態遷移トリガ 1 時間設定レジスタ(SLP1B)や状態遷移トリガ 2 時間設定レジスタ(SLP2B)の値に関係なく、状態 B には遷移しません。

CMPENB="1"では、コンパレータの出力が変化したときに、コンパレータトリガ状態遷移設定ビット(CMPSEL1～0)の設定値にしたがって、状態が遷移します。スロープ動作設定例(2)では、状態 A に遷移します。

状態 A、状態 C で、スロープ補償が停止(SLPEN="0")したときは、状態 R へ遷移します。

図 5-4. スロープ動作設定例(2)の状態遷移

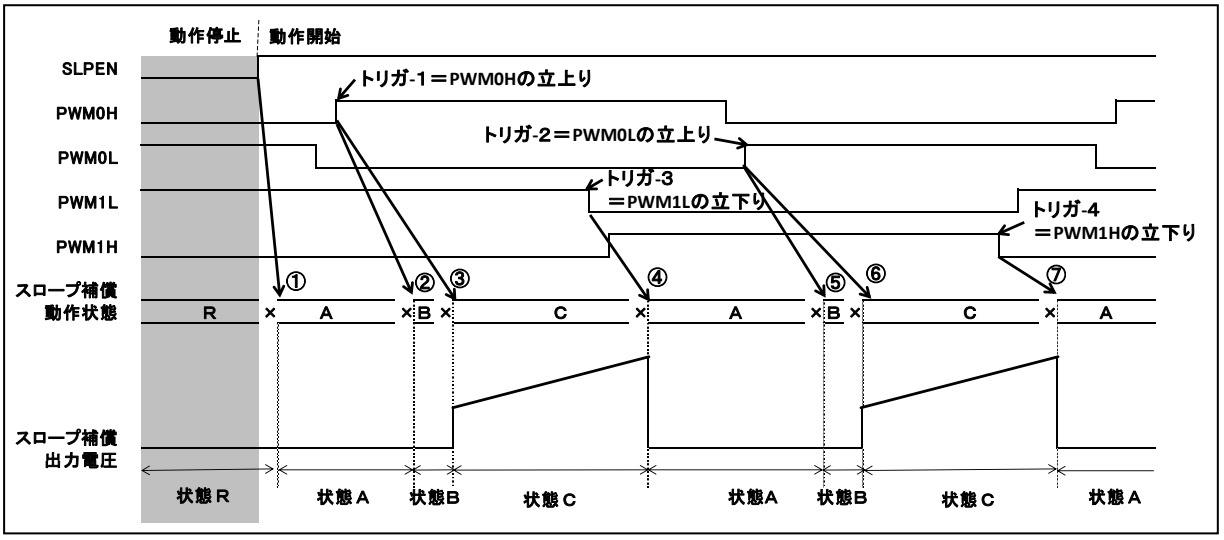
(CMPENB="1",CMPSEL1～0="01_B",CMPPOL0="0"のとき)



■スロープ動作設定例(3)

・トリガ 1 は、PWM0H の立上りエッジを選択(PWMSEL02～00="000_B"　EGDTINV0="0")
・トリガ 2 は、PWM0L の立上りエッジを選択(PWMSEL12～10="001_B"　EGDTINV1="0")
・トリガ 3 は、PWM1L の立下りエッジを選択(PWMSEL22～20="011_B"　EGDTINV2="1")
・トリガ 4 は、PWM1H の立下りエッジを選択(PWMSEL32～30="010_B"　EGDTINV3="1")
・トリガ 1、トリガ 2 ともに、状態 B、状態 C を使用する。
　コンパレータ出力エッジ検出は無効 (SLPSTMSEL1="6600_H")
・トリガ 3、トリガ 4 ともにエッジ検出が有効で、エッジ検出時は状態 A に遷移する。
　(SLPSTMSEL2="3300_H")
・動作制御スイッチ設定は、
　- SLPSWA="111_B"
　- SLPSWB="001_B"
　- SLPSWC="000_B"

図 5-5.　スロープ動作設定例(3)のタイムチャート



①スロープ補償動作開始(SLPEN="0"→"1")
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
②トリガ 1 から SLP1B15～0 で設定された時間が経過
　動作状態＝SLPSWB で設定されたスイッチの状態に遷移
③トリガ 1 から SLP1C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
④トリガ 3 から SLP315～0 で設定された時間が経過
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移
⑤トリガ 2 から SLP2B15～0 で設定された時間が経過
　動作状態＝SLPSWB で設定されたスイッチの状態に遷移
⑥トリガ 2 から SLP2C15～0 で設定された時間が経過
　動作状態＝SLPSWC で設定されたスイッチの状態に遷移
⑦トリガ 4 から SLP415～0 で設定された時間が経過
　動作状態＝SLPSWA で設定されたスイッチの状態に遷移

図 5-6.は、スロープ動作設定例(3)の動作状態遷移を示します。

スロープ補償が停止中(SLPEN="0")の動作状態は、状態 R です。スロープ補償が動作を開始(SLPEN="1")すると、状態 A に遷移します。

状態 A で、トリガ 1 または 2 が発生してから、SLP1B15～0 または SLP2B15～0 が経過したとき(b)は、状態 B へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1C15～0 または SLP2C15～0 が経過したとき(c)は、状態 C へ遷移します。

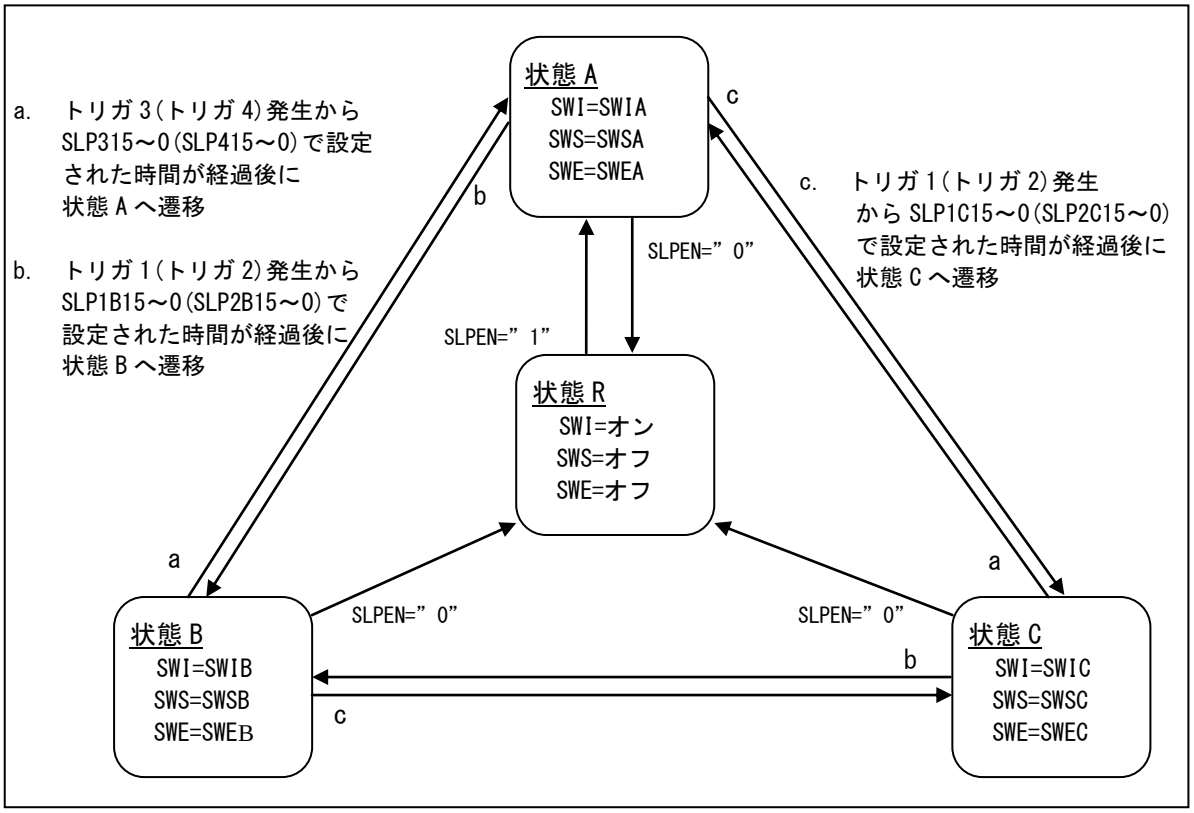
状態 B で、トリガ 3 または 4 が発生してから、SLP315～0 または SLP415～0 が経過したとき(a)は、状態 A へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1C15～0 または SLP2C15～0 が経過したとき(c)は、状態 C へ遷移します。

状態 C で、トリガ 3 または 4 が発生してから、SLP315～0 または SLP415～0 が経過したとき、(a)は、状態 A へ遷移します。同じように、トリガ 1 または 2 が発生してから、SLP1B15～0 または SLP2B15～0 が経過したとき(b)は、状態 B へ遷移します。

状態 A、B、C で、スロープ補償が停止(SLPEN="0")したときは、状態 R へ遷移します。

CMPENB="0"では、コンパレータの出力が変化したときの、状態遷移は無効です。

図 5-6.　スロープ動作設定例(3)の状態遷移(CMPENB="0"のとき)



5.2. スロープ量の設定

スロープ量の設定について示します。

スロープ補償用 D/A コンバータは、電圧電流変換回路で生成する電流量を決めるための電圧を生成します。

■D/A コンバータの入力コード(DA9～DA0)と、スロープ量の傾きの関係

スロープ量の傾きは、以下のとおりです。

$$dVslope/dt = AV_{CC}2/1024 \times 1/3.5 \times \text{入力コード} \ [V/usec]$$

また、入力コードの設定値と、スロープ補償電圧 Vslope の関係は、以下のとおりです。

$$Vslope = AV_{CC}2/1024 \times 1/3.5 \times \text{入力コード} \times \text{チャージ時間}(t_{charge[us]}) \ [V]$$

なお、これらの式の 3.5 は、CR の時定数です。

■スロープ量と、D/A コンバータの入力コードの上限/下限値

入力コードの上限/下限値は、精度補償している範囲内で使用する場合において、各動作周期で想定されるコンデンサのチャージ時間の最大値 t_{chmax} とスロープ補償電圧範囲の上限/下限によって決まります。その関係は、以下のとおりです。

入力コードの上限値(Vslope_max)＝スロープ量の上限値×(1024/AV_{CC}2)×3.5

入力コードの下限値(Vslope_min)＝スロープ量の下限値×(1024/AV_{CC}2)×3.5

スロープ量の上限値＝$Vslope_max/t_{chmax} \times 10^{-6}$ [V/usec]

スロープ量の下限値＝$Vslope_min/t_{chmax} \times 10^{-6}$ [V/usec]

精度補償範囲については、データシートを参照してください。

6. 注意事項

スロープ補償の注意事項について説明します。

- **時計モード遷移時の注意**
  消費電力制御の「時計モード」に動作を遷移させるときは、SLPEN が"0"、もしくはスロープがディスチャージの状態から遷移してください。

- **ストップモード遷移時の注意**
  消費電力制御の「ストップモード」に動作を遷移させるときは、スロープをスタンバイにしてください。

- **レジスタアクセスの注意**
  スロープ補償のレジスタへのアクセス時、PCLK サイクル×3+PWM 分周クロックサイクル×7 の Wait が挿入されます。(バスクロック(PCLK)とマクロクロック(PWM 分周クロック)間の同期化を要するため。)

付録

付録について説明します。

A. I/O マップ

B. 割込みベクタテーブル

C. CPU 状態における端子状態

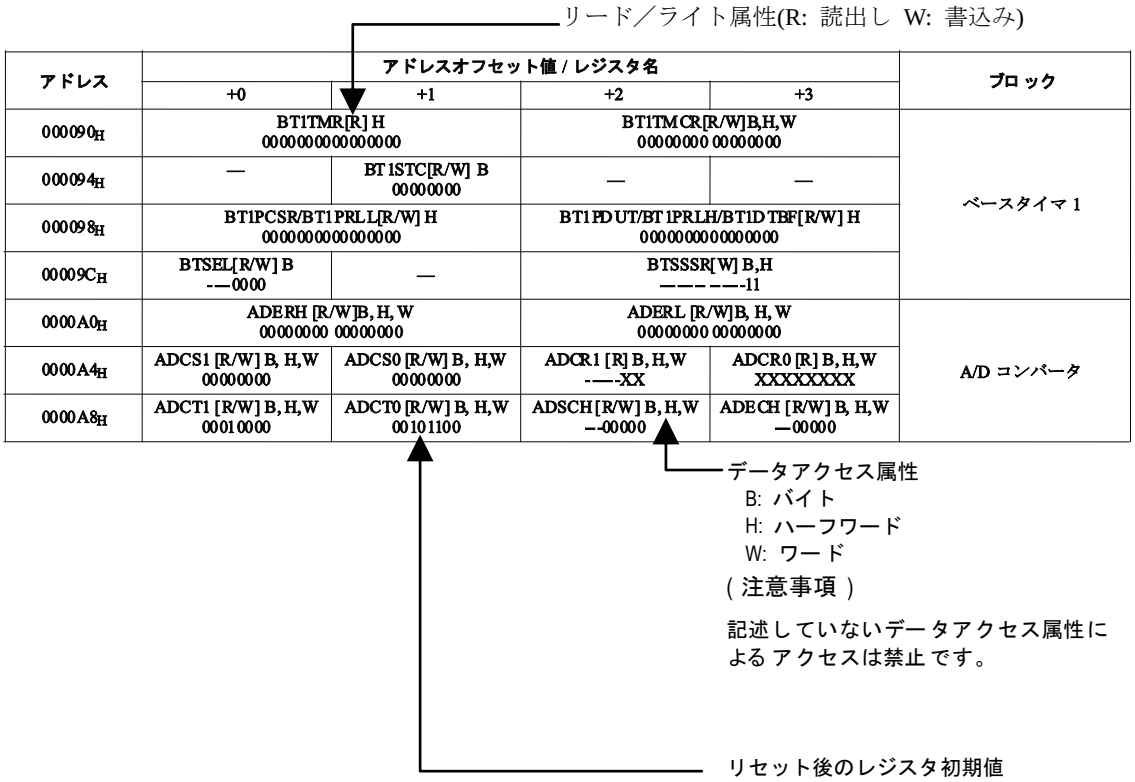
D. 変更内容

A. I/O マップ

I/O マップについて示します。

メモリ空間と周辺機能の各レジスタの対応を示します。

図 A-1 I/O マップの見方



リセット後のレジスタ初期値の表記の意味を以下に示します。

- "1": 初期値"1"
- "0": 初期値"0"
- "X": 初期値不定
- "-": 予約ビット/未定義ビット
- "*": 設定により初期値が"0"または"1"に変化

＜注意事項＞

記載のないアドレスへのアクセスは禁止です。

表 A-1 I/O マップ

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000000_H	PDR00 [R/W] B,H,W --XXXXXX	—	PDR02 [R/W] B,H,W XXXXXXXX	PDR03 [R/W] B,H,W XXXXXXXX	ポートデータレジスタ
000004_H	PDR04 [R/W] B,H,W XXXXXXXX	—	—	—	
000008_H ～ 000034_H	—	—	—	—	予約
000038_H	WDTECR0 [R/W] B,H,W ---00000	—	—	—	ウォッチドッグタイマ【S】
$00003C_H$	WDTCR0 [R/W] B,H,W -0--0000	WDTCPR0 [W] B,H,W 00000000	WDTCR1 [R] B,H,W ----0110	WDTCPR1 [W] B,H,W 00000000	
000040_H	—	—	—	—	予約
000044_H	DICR [R/W] B -------0	—	—	—	遅延割込み
000048_H ～ $00005C_H$	—	—	—	—	予約
000060_H	TMRLRA0 [R/W] H XXXXXXXX XXXXXXXX		TMR0 [R] H XXXXXXXX XXXXXXXX		リロードタイマ 0
000064_H	TMRLRB0 [R/W] H XXXXXXXX XXXXXXXX		TMCSR0 [R/W] B,H,W 00000000 0-000000		
000068_H ～ $00007C_H$	—	—	—	—	予約
000080_H	BT0TMR [R] H 00000000 00000000		BT0TMCR [R/W] H -000--00 -000-000		ベースタイマ 0
000084_H	BT0TMCR2 [R/W] B -------0	BT0STC [R/W] B -0-0-0-0	—	—	
000088_H	BT0PCSR/BT0PRLL [R/W] H XXXXXXXX XXXXXXXX		BT0PDUT/BT0PRLH/BT0DTBF [R/W] H XXXXXXXX XXXXXXXX		
$00008C_H$	—	—	—	—	予約
000090_H	BT1TMR [R] H 00000000 00000000		BT1TMCR [R/W] H -000--00 -000-000		ベースタイマ 1
000094_H	BT1TMCR2 [R/W] B -------0	BT1STC [R/W] B -0-0-0-0	—	—	
000098_H	BT1PCSR/BT1PRLL [R/W] H XXXXXXXX XXXXXXXX		BT1PDUT/BT1PRLH/BT1DTBF [R/W] H XXXXXXXX XXXXXXXX		
$00009C_H$	BTSEL01 [R/W] B ----0000	—	BTSSSR [W] B,H -------- ------11		ベースタイマ 0,1
$0000A0_H$ ～ $0000FC_H$	—	—	—	—	予約
000100_H	TMRLRA1 [R/W] H XXXXXXXX XXXXXXXX		TMR1 [R] H XXXXXXXX XXXXXXXX		リロードタイマ 1
000104_H	TMRLRB1 [R/W] H XXXXXXXX XXXXXXXX		TMCSR1 [R/W] B, H,W 00000000 0-000000		
000108_H	TMRLRA2 [R/W] H XXXXXXXX XXXXXXXX		TMR2 [R] H XXXXXXXX XXXXXXXX		リロードタイマ 2
$00010C_H$	TMRLRB2 [R/W] H XXXXXXXX XXXXXXXX		TMCSR2 [R/W] B,H,W 00000000 0-000000		
000110_H	TMRLRA3 [R/W] H XXXXXXXX XXXXXXXX		TMR3 [R] H XXXXXXXX XXXXXXXX		リロードタイマ 3

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000114_H	TMRLRB3 [R/W] H XXXXXXXX XXXXXXXX		TMCSR3 [R/W] B, H, W 00000000 0-000000		リロードタイマ 3
000118_H	BT2TMR [R] H 00000000 00000000		BT2TMCR [R/W] H -000--00 -000-000		ベースタイマ 2
$00011C_H$	BT2TMCR2 [R/W] B -------0	BT2STC [R/W] B -0-0-0-0	—	—	
000120_H	BT2PCSR/BT2PRLL [R/W] H XXXXXXXX XXXXXXXX		BT2PDUT/BT2PRLH/BT2DTBF [R/W] H XXXXXXXX XXXXXXXX		
000124_H	BT3TMR [R] H 00000000 00000000		BT3TMCR [R/W] H -000--00 -000-000		ベースタイマ 3
000128_H	BT3TMCR2 [R/W] B -------0	BT3STC [R/W] B -0-0-0-0	—	—	
$00012C_H$	BT3PCSR/BT3PRLL [R/W] H XXXXXXXX XXXXXXXX		BT3PDUT/BT3PRLH/BT3DTBF [R/W] H XXXXXXXX XXXXXXXX		
000130_H	BTSEL23 [R/W] B ----0000	—	BTSSSRA [W] B, H -------- ------11		ベースタイマ 2,3
000134_H ～ $0001B4_H$	—	—	—	—	予約
$0001B8_H$	—	EPFR65 [R/W] B, H, W --000000	—	—	拡張機能 ポートレジスタ
$0001BC_H$ ～ $0001C8_H$	—	—	—	—	予約
$0001CC_H$	—	—	EPFR86 [R/W] B, H, W -----0--	—	拡張機能 ポートレジスタ
$0001D0_H$	EPFR88 [R/W] B, H, W -------0	—	—	—	
$0001D4_H$	—	—	—	—	予約
$0001D8_H$	TMRLRA4 [R/W] H XXXXXXXX XXXXXXXX		TMR4 [R] H XXXXXXXX XXXXXXXX		リロードタイマ 4
$0001DC_H$	TMRLRB4 [R/W] H XXXXXXXX XXXXXXXX		TMCSR4 [R/W] B, H, W 00000000 0-000000		
$0001E0_H$ ～ $00030C_H$	—	—	—	—	予約
000310_H	—	—	MPUCR [R/W] H 000000-0 ----0100		MPU【S】 (この領域へは CPU のみ アクセス可能)
000314_H	—	—	—	—	
000318_H	—				
$00031C_H$	—	—	—	—	
000320_H	DPVAR [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000324_H	—	—	DPVSR [R/W] H -------- 00000--0		
000328_H	DEAR [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$00032C_H$	—	—	DESR [R/W] H -------- 00000--0		
000330_H	PABR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000334_H	—	—	PACR0 [R/W] H 000000-0 00000--0		

アドレス	アドレスオフセット値 / レジスタ名 +0	+1	+2	+3	ブロック
000338_H	PABR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				MPU【S】 (この領域へは CPU のみ アクセス可能)
$00033C_H$	—	—	PACR1 [R/W] H 000000-0 00000--0		
000340_H	PABR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000344_H	—	—	PACR2 [R/W] H 000000-0 00000--0		
000348_H	PABR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00034C_H$	—	—	PACR3 [R/W] H 000000-0 00000--0		
000350_H	PABR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000354_H	—	—	PACR4 [R/W] H 000000-0 00000--0		
000358_H	PABR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00035C_H$	—	—	PACR5 [R/W] H 000000-0 00000--0		
000360_H	PABR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000364_H	—	—	PACR6 [R/W] H 000000-0 00000--0		
000368_H	PABR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00036C_H$	—	—	PACR7 [R/W] H 000000-0 00000--0		
000370_H ～ $0003FC_H$	—	—	—	—	予約 【S】
000400_H	ICSEL0 [R/W] B,H,W -----000	—	ICSEL2 [R/W] B,H,W ------00	ICSEL3 [R/W] B,H,W -------0	DMA 転送要求の発生・クリア
000404_H	—	ICSEL5 [R/W] B,H,W -----000	—	—	
000408_H	—	—	—	ICSEL11 [R/W] B,H,W -----000	
$00040C_H$	—	ICSEL13 [R/W] B,H,W ------00	ICSEL14 [R/W] B,H,W ------00	ICSEL15 [R/W] B,H,W ----0000	
000410_H	ICSEL16 [R/W] B,H,W ------00	ICSEL17 [R/W] B,H,W ----0000	ICSEL18 [R/W] B,H,W ------00	ICSEL19 [R/W] B,H,W -------0	
000414_H	ICSEL20 [R/W] B,H,W -------0	ICSEL21 [R/W] B,H,W ------00	ICSEL22 [R/W] B,H,W ------00	ICSEL23 [R/W] B,H,W ------00	
000418_H	IRPR0H [R] B,H,W 000-----	IRPR0L [R] B,H,W 00------	IRPR1H [R] B,H,W 00------	IRPR1L [R] B,H,W 00------	割込み要求一括読出しレジスタ
$00041C_H$	IRPR2H [R] B,H,W 00------	IRPR2L [R] B,H,W 00------	IRPR3H [R] B,H,W 00------	IRPR3L [R] B,H,W 00------	
000420_H	IRPR4H [R] B,H,W 0000----	IRPR4L [R] B,H,W 0000----	IRPR5H [R] B,H,W 0000----	IRPR5L [R] B,H,W 00------	
000424_H	IRPR6H [R] B,H,W -0------	IRPR6L [R] B,H,W 0-0-----	IRPR7H [R] B,H,W 0000----	IRPR7L [R] B,H,W 00000000	
000428_H	IRPR8H [R] B,H,W 000-----	IRPR8L [R] B,H,W 0000----	IRPR9H [R] B,H,W 00000000	IRPR9L [R] B,H,W 00000000	
$00042C_H$	IRPR10H [R] B,H,W 00000000	IRPR10L [R] B,H,W 00000000	IRPR11H [R] B,H,W 0000----	IRPR11L [R] B,H,W 0000----	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000430_H	IRPR12H [R] B,H,W 00------	IRPR12L [R] B,H,W 00------	IRPR13H [R] B,H,W 00------	IRPR13L [R] B,H,W 00------	割込み要求一括読出しレジスタ
000434_H	IRPR14H [R] B,H,W 00000000	—	IRPR15H [R] B,H,W 0000----	IRPR15L [R] B,H,W -000----	
000438_H	—	ICSEL25 [R/W] B,H,W ---00000	—	—	DMA 転送要求の発生・クリア
$00043C_H$	—	—	—	—	予約【S】
000440_H	ICR00 [R/W] B,H,W ---11111	ICR01 [R/W] B,H,W ---11111	ICR02 [R/W] B,H,W ---11111	ICR03 [R/W] B,H,W ---11111	割込みコントローラ【S】
000444_H	ICR04 [R/W] B,H,W ---11111	ICR05 [R/W] B,H,W ---11111	ICR06 [R/W] B,H,W ---11111	ICR07 [R/W] B,H,W ---11111	
000448_H	ICR08 [R/W] B,H,W ---11111	ICR09 [R/W] B,H,W ---11111	ICR10 [R/W] B,H,W ---11111	ICR11 [R/W] B,H,W ---11111	
$00044C_H$	ICR12 [R/W] B,H,W ---11111	ICR13 [R/W] B,H,W ---11111	ICR14 [R/W] B,H,W ---11111	ICR15 [R/W] B,H,W ---11111	
000450_H	ICR16 [R/W] B,H,W ---11111	ICR17 [R/W] B,H,W ---11111	ICR18 [R/W] B,H,W ---11111	ICR19 [R/W] B,H,W ---11111	
000454_H	ICR20 [R/W] B,H,W ---11111	ICR21 [R/W] B,H,W ---11111	ICR22 [R/W] B,H,W ---11111	ICR23 [R/W] B,H,W ---11111	
000458_H	ICR24 [R/W] B,H,W ---11111	ICR25 [R/W] B,H,W ---11111	ICR26 [R/W] B,H,W ---11111	ICR27 [R/W] B,H,W ---11111	
$00045C_H$	ICR28 [R/W] B,H,W ---11111	ICR29 [R/W] B,H,W ---11111	ICR30 [R/W] B,H,W ---11111	ICR31 [R/W] B,H,W ---11111	
000460_H	ICR32 [R/W] B,H,W ---11111	ICR33 [R/W] B,H,W ---11111	ICR34 [R/W] B,H,W ---11111	ICR35 [R/W] B,H,W ---11111	
000464_H	ICR36 [R/W] B,H,W ---11111	ICR37 [R/W] B,H,W ---11111	ICR38 [R/W] B,H,W ---11111	ICR39 [R/W] B,H,W ---11111	
000468_H	ICR40 [R/W] B,H,W ---11111	ICR41 [R/W] B,H,W ---11111	ICR42 [R/W] B,H,W ---11111	ICR43 [R/W] B,H,W ---11111	
$00046C_H$	ICR44 [R/W] B,H,W ---11111	ICR45 [R/W] B,H,W ---11111	ICR46 [R/W] B,H,W ---11111	ICR47 [R/W] B,H,W ---11111	
000470_H ～ $00047C_H$	—	—	—	—	予約【S】
000480_H	RSTRR [R] B,H,W XXXX--XX	RSTCR [R/W] B,H,W 111----0	STBCR [R/W] B,H,W * 000---11	—	リセット制御【S】 消費電力制御【S】 *: STBCR へのDMA による書込みは禁止です。
000484_H	—	—	—	—	予約 【S】
000488_H	DIVR0 [R/W] B,H,W 000-----	—	DIVR2 [R/W] B,H,W 0011----	—	クロック制御【S】
$00048C_H$	—	—	—	—	予約 【S】
000490_H	IORR0 [R/W] B,H,W -0000000	IORR1 [R/W] B,H,W -0000000	IORR2 [R/W] B,H,W -0000000	IORR3 [R/W] B,H,W -0000000	ペリフェラルによる DMA 転送要求【S】
000494_H	IORR4 [R/W] B,H,W -0000000	IORR5 [R/W] B,H,W -0000000	IORR6 [R/W] B,H,W -0000000	IORR7 [R/W] B,H,W -0000000	
000498_H	—	—	—	—	
$00049C_H$	—	—	—	—	
$0004A0_H$	—	—	—	—	予約
$0004A4_H$	CANPRE [R/W] B,H,W ---00000	—	—	—	CAN プリスケーラ
$0004A8_H$	—	—	CSCFG[R/W]B,H,W ---0----	CMCFG[R/W]B,H,W 00000000	クロックモニタ制御レジスタ

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0004AC$_H$	—	—	ADERL0[R/W] B,H -------- 11111111		アナログ入力制御レジスタ
0004B0$_H$ ～ 0004C0$_H$	—	—	—	—	予約
0004C4$_H$	CUCR1 [R/W] B,H,W -------- ---0--00		CUTD1 [R/W] B,H,W 11000011 01010000		WDT1 キャリブレーション
0004C8$_H$	CUTR1 [R] B,H,W -------- 00000000 00000000 00000000				
0004CC$_H$ ～ 0004E4$_H$	—	—	—	—	予約
0004E8$_H$	PLL2DIVM [R/W] B,H,W ----0000	PLL2DIVN [R/W] B,H,W -0000000	—	—	PWM クロック制御
0004EC$_H$	—	PLL2DIVK [R/W] B,H,W --------0	CLKR2 [R/W] B,H,W 000--000	—	
0004F0$_H$	—	PWMCGRCR0 [R/W] B,H,W 00----00	PWMCGRCR1 [R/W] B,H,W 00000000	PWMCGRCR2 [R/W] B,H,W 00000000	
0004F4$_H$ ～ 00050C$_H$	—	—	—	—	予約
000510$_H$	CSELR [R/W] B,H,W -01---00	CMONR [R] B,H,W -01---00	MTMCR [R/W] B,H,W 00001111	—	クロック制御【S】
000514$_H$	PLLCR [R/W] B,H,W -------- 11110000		CSTBR [R/W] B,H,W ----0000	PTMCR [R/W] B,H,W 00------	
000518$_H$	—	—	CPUAR [R/W] B,H,W 0----XXX	—	リセットクロック【S】
00051C$_H$	—	—	—	—	予約【S】
000520$_H$	CCPSSELR [R/W] B,H,W -------0	—	—	CCPSDIVR [R/W] B,H,W -000-000	クロック制御 2【S】
000524$_H$	—	CCPLLFBR [R/W] B,H,W -0000000	CCSSFBR0 [R/W] B,H,W --000000	CCSSFBR1 [R/W] B,H,W ---00000	
000528$_H$	—	CCSSCCR0 [R/W] B,H,W ----0000	CCSSCCR1 [R/W] H,W 000----- --------		
00052C$_H$	—	CCCGRCR0 [R/W] B,H,W 00----00	CCCGRCR1 [R/W] B,H,W 00000000	CCCGRCR2 [R/W] B,H,W 00000000	
000530$_H$ ～ 00053C$_H$	—	—	—	—	
000540$_H$ ～ 00054C$_H$	—	—	—	—	予約
000550$_H$	EIRR0 [R/W] B,H,W ----XXXX	ENIR0 [R/W] B,H,W ----0000	ELVR0 [R/W] B,H,W -------- 00000000		外部割込み (INT0～3)
000554$_H$ ～ 000568$_H$	—	—	—	—	予約
00056C$_H$	—	CSVCR [R/W] B -0-11--0	—	—	クロックスーパバイザ

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000570_H ～ $00057C_H$	—	—	—	—	予約
000580_H	REGSEL [R/W] B, H, W 01------	—	—	—	レギュレータ制御/低電圧検出
000584_H	LVD5R [R/W] B, H, W -------1	LVD5F [R/W] B, H, W 00110001	LVD [R/W] B, H, W 01000--0	—	
000588_H ～ $00059C_H$	—	—	—	—	予約
$0005A0_H$	SLPCNT [R/W] B, H, W ------00	—	—	—	スロープ補償制御
$0005A4_H$	SLPEDGESEL1 [R/W] B, H, W ---0-000 ---0-000		SLPEDGESEL2 [R/W] B, H, W ---0-000 ---0-000		
$0005A8_H$	SLPSWA [R/W] B, H, W -----100	SLPSWB [R/W] B, H, W -----100	SLPSWC [R/W] B, H, W -----100	—	
$0005AC_H$	SLP1A [R/W] H, W 00000000 00000000		SLP1B [R/W] H, W 00000000 00000000		
$0005B0_H$	SLP1C [R/W] H, W 00000000 00000000		SLP3 [R/W] H, W 00000000 00000000		
$0005B4_H$	SLP2A [R/W] H, W 00000000 00000000		SLP2B [R/W] H, W 00000000 00000000		
$0005B8_H$	SLP2C [R/W] H, W 00000000 00000000		SLP4 [R/W] H, W 00000000 00000000		
$0005BC_H$	—	—	SLPDADR [R/W] H, W ------00 00000000		
$0005C0_H$	SLPSTMSEL1 [R/W] B, H, W -000-000 -----000		SLPSTMSEL2 [R/W] B, H, W -000-000 --------		
$0005C4_H$	SLPCVE [R] H, W ------XX XXXXXXXX		—	—	
$0005C8_H$ ～ $0005DC_H$	—	—	—	—	予約
$0005E0_H$	CMPCTL0 [R/W] B, H, W --001000	CMPCTL1 [R/W] B, H, W --001000	CMPCTL2 [R/W] B, H, W --001000	CMPDIV [R/W] B, H, W ------00	コンパレータ制御
$0005E4_H$	CMPDACR0 [R/W] B, H, W -------0	—	CMPDADR0 [R/W] H, W ------00 00000000		
$0005E8_H$	CMPDACR1 [R/W] B, H, W -------0	—	CMPDADR1 [R/W] H, W ------00 00000000		
$0005EC_H$	CMPDACR2 [R/W] B, H, W -------0	—	CMPDADR2 [R/W] H, W ------00 00000000		
$0005F0_H$	CMPINT [R/W] B, H, W -----000	—	—	—	
$0005F4_H$	CMPST [R] B, H, W -----XXX	—	—	—	
$0005F8_H$ ～ $0005FC_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000600_H ～ $0006FC_H$	—	—	—	—	予約【S】
000700_H ～ $00070C_H$	—	—	—	—	予約
000710_H	BPCCRA [R/W] B 00000000	BPCCRB [R/W] B 00000000	BPCCRC [R/W] B 00000000	—	バス パフォーマンス・ カウンタ
000714_H	BPCTRA [R/W] W 00000000 00000000 00000000 00000000				
000718_H	BPCTRB [R/W] W 00000000 00000000 00000000 00000000				
$00071C_H$	BPCTRC [R/W] W 00000000 00000000 00000000 00000000				
000720_H ～ $0007F8_H$	—	—	—	—	予約
$0007FC_H$	BMODR [R] B, H, W XXXXXXXX	—	—	—	動作モード
000800_H ～ $00083C_H$	—	—	—	—	予約【S】
000840_H	FCTLR [R/W] H -0--1000 0--0----		—	FSTR [R/W] B -----001	フラッシュメモリ レジスタ【S】
000844_H ～ 000854_H	—	—	—	—	予約【S】
000858_H	—	—	WREN [R/W] H 00000000 00000000		ワイルドレジスタ 【S】
$00085C_H$ ～ $00087C_H$	—	—	—	—	予約【S】
000880_H	WRAR00 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				ワイルドレジスタ 【S】
000884_H	WRDR00 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000888_H	WRAR01 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$00088C_H$	WRDR01 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000890_H	WRAR02 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
000894_H	WRDR02 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000898_H	WRAR03 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$00089C_H$	WRDR03 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008A0_H$	WRAR04 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008A4_H$	WRDR04 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008A8_H$	WRAR05 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0008AC_H$	WRDR05 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				ワイルドレジスタ【S】
$0008B0_H$	WRAR06 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX-				
$0008B4_H$	WRDR06 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008B8_H$	WRAR07 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008BC_H$	WRDR07 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008C0_H$	WRAR08 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008C4_H$	WRDR08 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008C8_H$	WRAR09 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008CC_H$	WRDR09 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008D0_H$	WRAR10 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008D4_H$	WRDR10 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008D8_H$	WRAR11 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008DC_H$	WRDR11 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008E0_H$	WRAR12 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008E4_H$	WRDR12 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008E8_H$	WRAR13 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008EC_H$	WRDR13 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008F0_H$	WRAR14 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008F4_H$	WRDR14 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008F8_H$	WRAR15 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008FC_H$	WRDR15 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000900_H	TPUUNLOCK [R/W] W 00000000 00000000 00000000 00000000				時間保護ユニット【S】
000904_H	TPULST [R] B,H,W -------0	—	TPUVST [R/W] B,H,W -----000	—	
000908_H	TPUCFG [R/W] B,H,W -------0 0-000000 -------- -------0				
$00090C_H$	TPUTIR [R] B,H,W 00000000	—	—	—	
000910_H	TPUTST [R] B,H,W 00000000	—	—	—	
000914_H	TPUTIE [R/W] B,H,W 00000000	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000918_H	TPUTMID [R] B,H,W 00000000 00000000 00000000 00000000				時間保護ユニット【S】
$00091C_H$ ～ $00092C_H$	—	—	—	—	
000930_H	TPUTCN00 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000934_H	TPUTCN01 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000938_H	TPUTCN02 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
$00093C_H$	TPUTCN03 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000940_H	TPUTCN04 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000944_H	TPUTCN05 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000948_H	TPUTCN06 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
$00094C_H$	TPUTCN07 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000950_H	TPUTCN10 [R/W] B,H,W ---00000	—	—	—	
000954_H	TPUTCN11 [R/W] B,H,W ---00000	—	—	—	
000958_H	TPUTCN12 [R/W] B,H,W ---00000	—	—	—	
$00095C_H$	TPUTCN13 [R/W] B,H,W ---00000	—	—	—	
000960_H	TPUTCN14 [R/W] B,H,W ---00000	—	—	—	
000964_H	TPUTCN15 [R/W] B,H,W ---00000	—	—	—	
000968_H	TPUTCN16 [R/W] B,H,W ---00000	—	—	—	
$00096C_H$	TPUTCN17 [R/W] B,H,W ---00000	—	—	—	
000970_H	TPUTCC0 [R] B,H,W -------- 00000000 00000000 00000000				
000974_H	TPUTCC1 [R] B,H,W -------- 00000000 00000000 00000000				
000978_H	TPUTCC2 [R] B,H,W -------- 00000000 00000000 00000000				
$00097C_H$	TPUTCC3 [R] B,H,W -------- 00000000 00000000 00000000				
000980_H	TPUTCC4 [R] B,H,W -------- 00000000 00000000 00000000				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000984_H	TPUTCC5 [R] B,H,W -------- 00000000 00000000 00000000				時間保護ユニット【S】
000988_H	TPUTCC6 [R] B,H,W -------- 00000000 00000000 00000000				
$00098C_H$	TPUTCC7 [R] B,H,W -------- 00000000 00000000 00000000				
000990_H ～ $0009FC_H$	—	—	—	—	
$000A00_H$ ～ $000BEC_H$	—	—	—	—	予約
$000BF0_H$	HSCFR [R/W] B,H,W -------- ------00 00000000 00000000				OCDU
$000BF4_H$	—	—	—	—	
$000BF8_H$	—	—	MBR [R/W] B,H,W 00------ XXXXXXXX		
$000BFC_H$	—	—	UER [W] B,H,W -------- -------X		
$000C00_H$	DCCR0 [R/W] W 0----000 --00--00 00000000 0-000000				DMA コントローラ【S】
$000C04_H$	DCSR0 [R/W] H 0------- -----000		DTCR0 [R/W] H 00000000 00000000		
$000C08_H$	DSAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C0C_H$	DDAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C10_H$	DCCR1 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C14_H$	DCSR1 [R/W] H 0------- -----000		DTCR1 [R/W] H 00000000 00000000		
$000C18_H$	DSAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C1C_H$	DDAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C20_H$	DCCR2 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C24_H$	DCSR2 [R/W] H 0------- -----000		DTCR2 [R/W] H 00000000 00000000		
$000C28_H$	DSAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C2C_H$	DDAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C30_H$	DCCR3 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C34_H$	DCSR3 [R/W] H 0------- -----000		DTCR3 [R/W] H 00000000 00000000		
$000C38_H$	DSAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C3C_H$	DDAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C40_H$	DCCR4 [R/W] W 0----000 --00--00 00000000 0-000000				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000C44H	DCSR4 [R/W] H 0------- -----000		DTCR4 [R/W] H 00000000 00000000		DMA コントローラ【S】
000C48H	DSAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C4CH	DDAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C50H	DCCR5 [R/W] W 0----000 --00--00 00000000 0-000000				
000C54H	DCSR5 [R/W] H 0------- -----000		DTCR5 [R/W] H 00000000 00000000		
000C58H	DSAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C5CH	DDAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C60H	DCCR6 [R/W] W 0----000 --00--00 00000000 0-000000				
000C64H	DCSR6 [R/W] H 0------- -----000		DTCR6 [R/W] H 00000000 00000000		
000C68H	DSAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C6CH	DDAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C70H	DCCR7 [R/W] W 0----000 --00--00 00000000 0-000000				
000C74H	DCSR7 [R/W] H 0------- -----000		DTCR7 [R/W] H 00000000 00000000		
000C78H	DSAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C7CH	DDAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C80H ～ 000DF0H	—	—	—	—	予約【S】
000DF4H	—	—	DNMIR [R/W] B 0------0	DILVR [R/W] B ---11111	DMA コントローラ【S】
000DF8H	DMACR[R/W] W 0------- -------- 0------- --------				
000DFCH	—	—	—	—	予約【S】
000E00H	—	—	DDR02 [R/W] B,H,W 00000000	DDR03 [R/W] B,H,W 00000000	データ方向レジスタ
000E04H	DDR04 [R/W] B,H,W 00000000	—	—	—	
000E08H ～ 000E1CH	—	—	—	—	予約
000E20H	PFR00 [R/W] B,H,W --000000	—	PFR02 [R/W] B,H,W 00000000	PFR03 [R/W] B,H,W 00000000	ポート機能レジスタ
000E24H	PFR04 [R/W] B,H,W 00000000	—	—	—	
000E28H ～ 000E3CH	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000E40H	PDDR00 [R] B, H, W --XXXXXX	—	PDDR02 [R] B, H, W XXXXXXXX	PDDR03 [R] B, H, W XXXXXXXX	入力データダイレクトリードレジスタ
000E44H	PDDR04 [R] B, H, W XXXXXXXX	—	—	—	
000E48H ～ 000E5CH	—	—	—	—	予約
000E60H	—	—	EPFR02 [R/W] B, H, W ---00000	—	拡張ポート機能レジスタ
000E64H ～ 000E68H	—	—	—	—	
000E70H	EPFR16 [R/W] B, H, W -------0	—	—	—	
000E74H	—	—	—	—	
000E78H	—	—	EPFR26 [R/W] B, H, W -0-0-0-0	—	
000E7CH	—	—	—	—	
000E80H	—	—	—	EPFR35 [R/W] B, H, W --000000	
000E84H ～ 000EBCH	—	—	—	—	予約
000EC0H	PPER00 [R/W] B, H, W --000000	—	PPER02 [R/W] B, H, W 00000000	PPER03 [R/W] B, H, W 00000000	ポートプルアップダウン制御レジスタ
000EC4H	PPER04 [R/W] B, H, W 00000000	—	—	—	
000EC8H ～ 000F3CH	—	—	—	—	予約
000F40H	PORTEN [R/W] B, H, W -------0	—	—	—	ポート入力許可レジスタ
000F44H	KEYCDR [R/W] H 00000000 00000000		—	—	キーコードレジスタ
000F48H ～ 000FFCH	—	—	—	—	予約
001000H	SACR [R/W] B, H, W -------0	PICD [R/W] B, H, W ----0011	—	—	クロック制御
001004H ～ 00112CH	—	—	—	—	予約
001130H	—	—	—	CRCCR [R/W] B, H, W -0000000	CRC 演算
001134H	CRCINIT [R/W] B, H, W 11111111 11111111 11111111 11111111				
001138H	CRCIN [R/W] B, H, W 00000000 00000000 00000000 00000000				
00113CH	CRCR [R] B, H, W 11111111 11111111 11111111 11111111				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001140_H ～ 001200_H	—	—	—	—	予約
001204_H	CPCLRB0/CPCLR0 [W] H,W 11111111 11111111		TCDT0 [R/W] H,W 00000000 00000000		フリーラン タイマ 0 (16bit)
001208_H	TCCS0 [R/W] B,H,W 00000000 01000000 ----0000 --------				
$00120C_H$ ～ 001278_H	—	—	—	—	予約
$00127C_H$	IPCP0 [R] H,W 00000000 00000000		—	—	インプット キャプチャ 0 (16bit)
001280_H	ICS01 [R/W] B,H,W -------0 -0-0--00		—	LSYNS [R/W] B,H,W -----000	
001284_H ～ 001300_H	—	—	—	—	予約
001304_H	ADTSS0[R/W]B,H,W -------0	—	—	—	12 ビット A/D コンバータ
001308_H	ADTSE0[R/W] B,H,W -------- -------- -------- 00000000				
$00130C_H$	—		—		
001310_H	—		—		
001314_H	—		—		
001318_H	—		—		
$00131C_H$ ～ 001348_H	—	—	—	—	
$00134C_H$	ADTCS0[R/W] B,H,W 00000000 --------		ADTCS1[R/W] B,H,W 00000000 --------		
001350_H	ADTCS2[R/W] B,H,W 00000000 --------		ADTCS3[R/W] B,H,W 00000000 --------		
001354_H	ADTCS4[R/W] B,H,W 00000000 --------		ADTCS5[R/W] B,H,W 00000000 --------		
001358_H	ADTCS6[R/W] B,H,W 00000000 --------		ADTCS7[R/W] B,H,W 00000000 --------		
$00135C_H$ ～ 001388_H	—	—	—	—	
$00138C_H$	ADTCD0[R] B,H,W 10--0000 00000000		ADTCD1[R] B,H,W 10--0000 00000000		
001390_H	ADTCD2[R] B,H,W 10--0000 00000000		ADTCD3[R] B,H,W 10--0000 00000000		
001394_H	ADTCD4[R] B,H,W 10--0000 00000000		ADTCD5[R] B,H,W 10--0000 00000000		
001398_H	ADTCD6[R] B,H,W 10--0000 00000000		ADTCD7[R] B,H,W 10--0000 00000000		
$00139C_H$ ～ $0013C8_H$	—	—	—	—	
$0013CC_H$	ADTECS0[R/W] B,H,W -------0 ---00000		ADTECS1[R/W] B,H,W -------0 ---00000		
$0013D0_H$	ADTECS2[R/W] B,H,W -------0 ---00000		ADTECS3[R/W] B,H,W -------0 ---00000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0013D4H	ADTECS4[R/W] B,H,W --------0 ---00000		ADTECS5[R/W] B,H,W --------0 ---00000		12 ビット A/D コンバータ
0013D8H	ADTECS6[R/W] B,H,W --------0 ---00000		ADTECS7[R/W] B,H,W --------0 ---00000		
0013DCH ～ 001454H	—	—	—	—	
001458H	ADPRTF0[R] B,H,W -------- -------- -------- 00000000				
00145CH	—				
001460H	ADCS0[R] B,H,W 0------- --------		ADCH0[R] B,H,W ---00000	ADMD0[R/W] B,H,W 0---0000	
001464H	ADSTPCS0[R/W] B,H,W 00000000	ADSTPCS1[R/W] B,H,W 00000000	—	—	
001468H	—	—	—	—	
00146CH	EADTCS0 [R/W] B,H,W ----0000	EADTCS1 [R/W] B,H,W ----0000	EADTCS2 [R/W] B,H,W ----0000	EADTCS3 [R/W] B,H,W ----0000	
001470H	EADTCS4 [R/W] B,H,W ----0000	EADTCS5 [R/W] B,H,W ----0000	EADTCS6 [R/W] B,H,W ----0000	EADTCS7 [R/W] B,H,W ----0000	
001474H ～ 00174CH	—	—	—	—	予約
001750H	SCR0[R/W] B,H,W 0--00000	SMR0[R/W] B,H,W 000-00-0	SSR0[R/W] B,H,W 0-000011	ESCR0[R/W] B,H,W 00000000	Multi-UART0 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可能 *2: リセット直後は CSIO モードではないため予約 *3: リセット直後は LIN2.1 モードではないため予約 *4: CSIO モードではバイトアクセス禁止
001754H	— /(RDR10/(TDR10))[R/W] H,W -------- --------*2		RDR00/(TDR00)[R/W] B,H,W *4 -------0 00000000*1		
001758H	SACSR0[R/W] B,H,W 00------0 0--00000		STMR0[R] B,H,W 00000000 00000000		
00175CH	STMCR0[R/W] B,H,W 00000000 00000000		— /(SCSCR0/SFUR0)[R/W] B,H,W -------- --------*2 *3		
001760H	— /(SCSTR30)/ (LAMSR0) [R/W] B,H,W --------*2	— /(SCSTR20)/ (LAMCR0) [R/W] B,H,W --------*2	— /(SCSTR10) /(SFLR10) [R/W] B,H,W --------*2	— /(SCSTR00)/ (SFLR00) [R/W] B,H,W --------*2	
001764H	—	—	—	— /(SCSFR00) [R/W] B,H,W --------*2	
001768H	—/(LAMESR0) [R/W] B,H,W --------*2	—/(LAMERT0) [R/W] B,H,W --------*2	—/(TBYTE10)/ (LAMIER0) [R/W] B,H,W --------*2	TBYTE00/(LAMRID0)/ (LAMTID0) [R/W] B,H,W 00000000	
00176CH	BGR0[R/W] H, W 00000000 00000000		—	—	
001770H	FCR10[R/W] B,H,W ---00100	FCR00[R/W] B,H,W -0000000	FBYTE0[R/W] B,H,W 00000000 00000000		
001774H	FTICR0[R/W] B,H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001778_H	SCR1[R/W] B,H,W 0--00000	SMR1[R/W] B,H,W 000-00-0	SSR1[R/W] B,H,W 0-000011	ESCR1[R/W] B,H,W 00000000	Multi-UART1 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可能 *2: リセット直後は CSIO モードではないため予約 *3: リセット直後は LIN2.1 モードではないため予約 *4: CSIO モードではバイトアクセス禁止
$00177C_H$	— /(RDR11/(TDR11))[R/W] H,W -------- --------*2		RDR01/(TDR01)[R/W] B,H,W *4 -------0 00000000*1		
001780_H	SACSR1[R/W] B,H,W 0-------0 0--00000		STMR1[R] B,H,W 00000000 00000000		
001784_H	STMCR1[R/W] B,H,W 00000000 00000000		— /(SCSCR1/SFUR1)[R/W] B,H,W -------- --------*2 *3		
001788_H	— /(SCSTR31)/ (LAMSR1) [R/W] B,H,W --------*2	— /(SCSTR21)/ (LAMCR1) [R/W] B,H,W --------*2	— /(SCSTR11)/ (SFLR11) [R/W] B,H,W --------*2	— /(SCSTR01)/ (SFLR01) [R/W] B,H,W --------*2	
$00178C_H$	—	—	—	— /(SCSFR01) [R/W] B,H,W --------*2	
001790_H	—/(LAMESR1) [R/W] B,H,W --------*2	—/(LAMERT1) [R/W] B,H,W --------*2	—/(TBYTE11)/ (LAMIER1) [R/W] B,H,W --------*2	TBYTE01/(LAMRID1)/ (LAMTID1) [R/W] B,H,W 00000000	
001794_H	BGR1[R/W] H,W 00000000 00000000		—	—	
001798_H	FCR11[R/W] B,H,W ---00100	FCR01[R/W] B,H,W -0000000	FBYTE1[R/W] B,H,W 00000000 00000000		
$00179C_H$	FTICR1[R/W] B,H,W 00000000 00000000		—	—	
$0017A0_H$	SCR2[R/W] B,H,W 0--00000	SMR2[R/W] B,H,W 000-00-0	SSR2[R/W] B,H,W 0-000011	ESCR2[R/W] B,H,W 00000000	Multi-UART2 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可能 *2: リセット直後は CSIO モードではないため予約 *3: リセット直後は LIN2.1 モードではないため予約 *4: CSIO モードではバイトアクセス禁止
$0017A4_H$	— /(RDR12/(TDR12))[R/W] H,W -------- --------*2		RDR02/(TDR02)[R/W] B,H,W *4 -------0 00000000*1		
$0017A8_H$	SACSR2[R/W] B,H,W 00-----0 0--00000		STMR2[R] B,H,W 00000000 00000000		
$0017AC_H$	STMCR2[R/W] B,H,W 00000000 00000000		— /(SCSCR2/SFUR2)[R/W] B,H,W -------- --------*2 *3		
$0017B0_H$	— /(SCSTR32)/ (LAMSR2) [R/W] B,H,W --------*2	— /(SCSTR22)/ (LAMCR2) [R/W] B,H,W --------*2	— /(SCSTR12)/ (SFLR12) [R/W] B,H,W --------*2	— /(SCSTR02)/ (SFLR02) [R/W] B,H,W --------*2	
$0017B4_H$	—	—	—	— /(SCSFR02) [R/W] B,H,W --------*2	
$0017B8_H$	—/(LAMESR2) [R/W] B,H,W --------*2	—/(LAMERT2) [R/W] B,H,W --------*2	—/(TBYTE12)/ (LAMIER2) [R/W] B,H,W --------*2	TBYTE02/(LAMRID2)/ (LAMTID2) [R/W] B,H,W 00000000	
$0017BC_H$	BGR2[R/W] H, W 00000000 00000000		—	—	
$0017C0_H$	FCR12[R/W] B,H,W ---00100	FCR02[R/W] B,H,W -0000000	FBYTE2[R/W] B,H,W 00000000 00000000		
$0017C4_H$	FTICR2[R/W] B,H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0017C8$_H$ ～ 0020FC$_H$	—	—	—	—	予約
002100$_H$	CTRLR1 [R/W] B,H,W -------- 000-0001		STATR1 [R/W] B,H,W -------- 00000000		CAN (64msb)
002104$_H$	ERRCNT1 [R] B,H,W 00000000 00000000		BTR1 [R/W] B,H,W -0100011 00000001		
002108$_H$	INTR1 [R] H,W 00000000 00000000		TESTR1 [R/W] B,H,W -------- X00000--		
00210C$_H$	BRPER1 [R/W] B,H,W -------- ----0000		—	—	
002110$_H$	IF1CREQ1 [R/W] B,H,W 0------- 00000001		IF1CMSK1 [R/W] B,H,W -------- 00000000		
002114$_H$	IF1MSK21 [R/W] B,H,W 11-11111 11111111		IF1MSK11 [R/W] B,H,W 11111111 11111111		
002118$_H$	IF1ARB21 [R/W] B,H,W 00000000 00000000		IF1ARB11 [R/W] B,H,W 00000000 00000000		
00211C$_H$	IF1MCTR1 [R/W] B,H,W 00000000 0---0000		—	—	
002120$_H$	IF1DTA11 [R/W] B,H,W 00000000 00000000		IF1DTA21 [R/W] B,H,W 00000000 00000000		
002124$_H$	IF1DTB11 [R/W] B,H,W 00000000 00000000		IF1DTB21 [R/W] B,H,W 00000000 00000000		
002128$_H$	—	—	—	—	
00212C$_H$	—	—	—	—	
002130$_H$, 002134$_H$	Reserved (IF1 data mirror)				
002138$_H$	—	—	—	—	
00213C$_H$	—	—	—	—	
002140$_H$	IF2CREQ1 [R/W] B,H,W 0------- 00000001		IF2CMSK1 [R/W] B,H,W -------- 00000000		
002144$_H$	IF2MSK21 [R/W] B,H,W 11-11111 11111111		IF2MSK11 [R/W] B,H,W 11111111 11111111		
002148$_H$	IF2ARB21 [R/W] B,H,W 00000000 00000000		IF2ARB11 [R/W] B,H,W 00000000 00000000		
00214C$_H$	IF2MCTR1 [R/W] B,H,W 00000000 0---0000		—	—	
002150$_H$	IF2DTA11 [R/W] B,H,W 00000000 00000000		IF2DTA21 [R/W] B,H,W 00000000 00000000		
002154$_H$	IF2DTB11 [R/W] B,H,W 00000000 00000000		IF2DTB21 [R/W] B,H,W 00000000 00000000		
002158$_H$	—	—	—	—	
00215C$_H$	—	—	—	—	
002160$_H$, 002164$_H$	Reserved (IF2 data mirror)				
002168$_H$ ～ 00217C$_H$	—				
002180$_H$	TREQR21 [R] B,H,W 00000000 00000000		TREQR11 [R] B,H,W 00000000 00000000		
002184$_H$	TREQR41 [R] B,H,W 00000000 00000000		TREQR31 [R] B,H,W 00000000 00000000		
002188$_H$	—	—	—	—	
00218C$_H$	—	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002190_H	NEWDT21 [R] B,H,W 00000000 00000000		NEWDT11 [R] B,H,W 00000000 00000000		CAN (64msb)
002194_H	NEWDT41 [R] B,H,W 00000000 00000000		NEWDT31 [R] B,H,W 00000000 00000000		
002198_H	—	—	—	—	
$00219C_H$	—	—	—	—	
$0021A0_H$	INTPND21 [R] B,H,W 00000000 00000000		INTPND11 [R] B,H,W 00000000 00000000		
$0021A4_H$	INTPND41 [R] B,H,W 00000000 00000000		INTPND31 [R] B,H,W 00000000 00000000		
$0021A8_H$	—	—	—	—	
$0021AC_H$	—	—	—	—	
$0021B0_H$	MSGVAL21 [R] B,H,W 00000000 00000000		MSGVAL11 [R] B,H,W 00000000 00000000		
$0021B4_H$	MSGVAL41 [R] B,H,W 00000000 00000000		MSGVAL31 [R] B,H,W 00000000 00000000		
$0021B8_H$	—	—	—	—	
$0021BC_H$	—	—	—	—	
$0021C0_H$ ～ $0022FC_H$	—				予約
002300_H	DFCTLR [R/W] B,H,W -0------ --------		—	DFSTR [R/W] B,H,W -----001	ワークフラッシュ
002304_H	—	—	—	—	
002308_H	FLIFCTLR [R/W] B,H,W ---0--00	—	FLIFFER1 [R/W] B,H,W --------	FLIFFER2 [R/W] B,H,W --------	フラッシュ/ワークフラッシュ
$00230C_H$ ～ $0023FC_H$	—				予約
002400_H	SEEARX [R] B,H,W -0000000 00000000		DEEARX [R] B,H,W -0000000 00000000		XBS RAM ECC 制御レジスタ
002404_H	EECSRX [R/W] B,H,W ----00-0	—	EFEARX [R/W] B,H,W -0000000 00000000		
002408_H	—	EFECRX [R/W] B,H,W -------0 00000000 00000000			
$00240C_H$ ～ 003008_H	—				予約
$00300C_H$	TEAROX[R] B,H,W 000----- -------- -0000000 00000000				RAM/ 診断 XBS RAM
003010_H	TEAR1X[R] B,H,W 000----- -------- -0000000 00000000				
003014_H	TEAR2X[R] B,H,W 000----- -------- -0000000 00000000				
003018_H	TAEARX [R/W] B,H,W -1111111 11111111		TASARX [R/W] B,H,W -0000000 00000000		
$00301C_H$	TFECRX [R/W] B,H,W ----0000	TICRX [R/W] B,H,W ----0000	TTCRX [R/W] B,H,W ------00 00001100		
003020_H	TSRCRX [W] B,H,W 0-------	—	—	TKCCRX [R/W] B,H,W 00----00	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003024_H ～ $0030FC_H$	—				予約
003100_H	BUSDIGSR0[R/W] H,W 00000000 0-----00		BUSDIGSR1[R/W] H,W 00000000 0-----00		バス診断
003104_H	BUSDIGSR2[R/W] H,W 00000000 0-----00		BUSTSTR0[R/W] H,W 00--0000 00000000		
003108_H	BUSADR0 [R] W 00000000 00000000 00000000 00000000				
$00310C_H$	BUSADR1 [R] W 00000000 00000000 00000000 00000000				
003110_H	BUSADR2 [R] W 00000000 00000000 00000000 00000000				
003114_H	—	—	BUSDIGSR3[R/W] H,W 00000000 0-----00		
003118_H	BUSDIGSR4[R/W] H,W 00000000 0-----00		BUSTSTR1[R/W] H,W 00--000- 00000000		
$00311C_H$	—	—	—	—	
003120_H	BUSADR3 [R] W 00000000 00000000 00000000 00000000				
003124_H	BUSADR4 [R] W 00000000 00000000 00000000 00000000				
003128_H ～ $00313C_H$	—				予約
003140_H	PWCINIT0 [R/W] B,H,W -------0	PWCC0 [R/W] B,H,W ---00000	—	—	PWC 0ch
003144_H	PWCCPCLRB00/PWCCPCLR00 [W] H,W 11111111 11111111		PWCTCDT00 [R/W] H,W 00000000 00000000		
003148_H	PWCTCCS00 [R/W] B,H,W -0000000 0--0-000		—	—	
$00314C_H$	PWCCPCLRB10/PWCCPCLR10 [W] H,W 11111111 11111111		PWCTCDT10 [R/W] H,W 00000000 00000000		
003150_H	PWCTCCS10 [R/W] B,H,W -0000000 0--0----		—	—	
003154_H	PWCDBR00 [R] H,W 00000000 00000000		PWCDBR10 [R] H,W 00000000 00000000		
003158_H	PWCDBR20 [R] H,W 00000000 00000000		PWCDBR30 [R] H,W 00000000 00000000		
$00315C_H$	PWCDBS0 [R] B,H,W -000-000 -000-000		—	—	
003160_H	PWCBFIRQF0 [R/W] B,H,W 00000000 00000000		—	—	
003164_H	PWCBFIRQC0 [R/W] B,H,W 00000000 00000000 00000000			—	
003168_H	PWCCUC00 [R/W] H,W 00000000 00000000		PWCCLC00 [R/W] H,W 00000000 00000000		
$00316C_H$	PWCCUC10 [R/W] H,W 00000000 00000000		PWCCLC10 [R/W] H,W 00000000 00000000		
003170_H	PWCCUC20 [R/W] H,W 00000000 00000000		PWCCLC20 [R/W] H,W 00000000 00000000		
003174_H	PWCCUC30 [R/W] H,W 00000000 00000000		PWCCLC30 [R/W] H,W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003178$_H$	PWCINIT1 [R/W] B,H,W -------0	PWCC1 [R/W] B,H,W ---00000	—	—	PWC 1ch
00317C$_H$	PWCCPCLRB01/PWCCPCLR01 [W] H,W 11111111 11111111		PWCTCDT01 [R/W] H,W 00000000 00000000		
003180$_H$	PWCTCCS01 [R/W] B,H,W -0000000 0--0-000		—	—	
003184$_H$	PWCCPCLRB11/PWCCPCLR11 [W] H,W 11111111 11111111		PWCTCDT11 [R/W] H,W 00000000 00000000		
003188$_H$	PWCTCCS11 [R/W] B,H,W -0000000 0--0----		—	—	
00318C$_H$	PWCDBR01 [R] H,W 00000000 00000000		PWCDBR11 [R] H,W 00000000 00000000		
003190$_H$	PWCDBR21 [R] H,W 00000000 00000000		PWCDBR31 [R] H,W 00000000 00000000		
003194$_H$	PWCDBS1 [R] B,H,W -000-000 -000-000		—	—	
003198$_H$	PWCBFIRQF1 [R/W] B,H,W 00000000 00000000		—	—	
00319C$_H$	PWCBFIRQC1 [R/W] B,H,W 00000000 00000000 00000000			—	
0031A0$_H$	PWCCUC01 [R/W] H,W 00000000 00000000		PWCCLC01 [R/W] H,W 00000000 00000000		
0031A4$_H$	PWCCUC11 [R/W] H,W 00000000 00000000		PWCCLC11 [R/W] H,W 00000000 00000000		
0031A8$_H$	PWCCUC21 [R/W] H,W 00000000 00000000		PWCCLC21 [R/W] H,W 00000000 00000000		
0031AC$_H$	PWCCUC31 [R/W] H,W 00000000 00000000		PWCCLC31 [R/W] H,W 00000000 00000000		
0031B0$_H$ ～ 0031BC$_H$	—		—		予約
0031C0$_H$	PWMTCGS [R/W] B,H,W ------00	—	—	PWMTCGSE [R/W] B,H,W ------00	PWM マスタクロック生成
0031C4$_H$	PWMCPCLRB0/PWMCPCLR0 [W] H,W 11111111 11111111		PWMTCDT0 [R/W] H,W 00000000 00000000		
0031C8$_H$	PWMTCCS0 [R/W] B,H,W -0000000 0100-000 ----0000			—	
0031CC$_H$	PWMCPCLRB1/PWMCPCLR1 [W] H,W 11111111 11111111		PWMTCDT1 [R/W] H,W 00000000 00000000		
0031D0$_H$	PWMTCCS1 [R/W] B,H,W -0000000 0100---- ----0000			—	
0031D4$_H$	PWMTRC [R/W] B,H,W -0000000 -000-000 -----000			—	
0031D8$_H$	PWMSYNCP0 [R/W] H,W 00000000 00000000		PWMSYNCP1 [R/W] H,W 00000000 00000000		
0031DC$_H$	PWMSEVCON [R/W] B,H,W ---00000 ---00000		—	—	
0031E0$_H$	PWMSEVST [R/W] B,H,W ------00	—	—	—	
0031E4$_H$	PWMSEVCP0 [R/W] H,W 00000000 00000000		PWMSEVCP1 [R/W] H,W 00000000 00000000		
0031E8$_H$	PWMMCD0B [R/W] H,W 00000000 00000000		PWMMCD1B [R/W] H,W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0031EC$_H$	PWMST0 [R/W] B,H,W ----0000	PWMST1 [R/W] B,H,W ----0000	PWMST2 [R/W] B,H,W ----0000	PWMFLTST [R] B,H,W --XXXXXX	PWM マスタクロック生成
0031F0$_H$	PWMCMD [R/W] H,W 00000000 00000000		PWMPCGS [R/W] B,H,W -----000	—	PWM PWM 生成
0031F4$_H$	PWMPCN01 [R/W] B,H,W 00000000 ------00		—	—	
0031F8$_H$	PWMCC0B [R/W] H,W 00000000 00000000		PWMCP0B [R/W] H,W 00000000 00000000		
0031FC$_H$	PWMCD0B [R/W] H,W 00000000 00000000		PWMPTMR0 [R] H,W 00000000 00000000		
003200$_H$	PWMCC1B [R/W] H,W 00000000 00000000		PWMCP1B [R/W] H,W 00000000 00000000		
003204$_H$	PWMCD1B [R/W] H,W 00000000 00000000		PWMPTMR1 [R] H,W 00000000 00000000		
003208$_H$	PWMPCN23 [R/W] B,H,W 00000000 ------00		—	—	
00320C$_H$	PWMCC2B [R/W] H,W 00000000 00000000		PWMCP2B [R/W] H,W 00000000 00000000		
003210$_H$	PWMCD2B [R/W] H,W 00000000 00000000		PWMPTMR2 [R] H,W 00000000 00000000		
003214$_H$	PWMCC3B [R/W] H,W 00000000 00000000		PWMCP3B [R/W] H,W 00000000 00000000		
003218$_H$	PWMCD3B [R/W] H,W 00000000 00000000		PWMPTMR3 [R] H,W 00000000 00000000		
00321C$_H$	PWMPCN45 [R/W] B,H,W 00000000 ------00		—	—	
003220$_H$	PWMCC4B [R/W] H,W 00000000 00000000		PWMCP4B [R/W] H,W 00000000 00000000		
003224$_H$	PWMCD4B [R/W] H,W 00000000 00000000		PWMPTMR4 [R] H,W 00000000 00000000		
003228$_H$	PWMCC5B [R/W] H,W 00000000 00000000		PWMCP5B [R/W] H,W 00000000 00000000		
00322C$_H$	PWMCD5B [R/W] H,W 00000000 00000000		PWMPTMR5 [R] H,W 00000000 00000000		
003230$_H$	PWMFLTCON00 [R/W] B,H,W 00000000 -0000-00		PWMFLTCON01 [R/W] B,H,W 00000000 -0000-00		PWM フォルト
003234$_H$	PWMFLTRCON0 [R/W] B,H,W -000-000 -000-000		PWMFLTCAPCON0 [R/W] B,H,W --00--00 -0000000		
003238$_H$	PWMFLTSR0 [R/W] B,H,W -------0 -------0		—	—	
00323C$_H$	PWMCAPITH0 [R/W] H,W 00000000 00000000		—	—	
003240$_H$	PWMFLTRDCON00 [R/W] H,W 00000000 00000000 00000000 00000000				
003244$_H$	PWMFLTRDCON01 [R/W] H,W 00000000 00000000 00000000 00000000				
003248$_H$	PWMFLTCAPRDCON0 [R/W] H,W 00000000 00000000 00000000 00000000				
00324C$_H$	PWMFLTCAPD0 [R] H,W 00000000 00000000 00000000 00000000				
003250$_H$	PWMFLTCON10 [R/W] B,H,W 00000000 -0000-00		PWMFLTCON11 [R/W] B,H,W 00000000 -0000-00		
003254$_H$	PWMFLTRCON1 [R/W] B,H,W -000-000 -000-000		PWMFLTCAPCON1 [R/W] B,H,W --00--00 -0000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003258_H	PWMFLTSR1 [R/W] B,H,W -------0 -------0		—	—	PWM フォルト
$00325C_H$	PWMCAPITH1 [R/W] H,W 00000000 00000000		—	—	
003260_H	PWMFLTRDCON10 [R/W] H,W 00000000 00000000 00000000 00000000				
003264_H	PWMFLTRDCON11 [R/W] H,W 00000000 00000000 00000000 00000000				
003268_H	PWMFLTCAPRDCON1 [R/W] H,W 00000000 00000000 00000000 00000000				
$00326C_H$	PWMFLTCAPD1 [R] H,W 00000000 00000000 00000000 00000000				
003270_H	PWMFLTCON20 [R/W] B,H,W 00000000 -0000-00		PWMFLTCON21 [R/W] B,H,W 00000000 -0000-00		
003274_H	PWMFLTRCON2 [R/W] B,H,W -000-000 -000-000		PWMFLTCAPCON2 [R/W] B,H,W --00--00 -0000000		
003278_H	PWMFLTSR2 [R/W] B,H,W -------0 -------0		—	—	
$00327C_H$	PWMCAPITH2 [R/W] H,W 00000000 00000000		—	—	
003280_H	PWMFLTRDCON20 [R/W] H,W 00000000 00000000 00000000 00000000				
003284_H	PWMFLTRDCON21 [R/W] H,W 00000000 00000000 00000000 00000000				
003288_H	PWMFLTCAPRDCON2 [R/W] H,W 00000000 00000000 00000000 00000000				
$00328C_H$	PWMFLTCAPD2 [R] H,W 00000000 00000000 00000000 00000000				
003290_H	PWMSOWCON0 [R/W] B,H,W 00000000 -------0 00000000 00000000				PWM ソフトオーバライト制御
003294_H	PWMSOWCON1 [R/W] B,H,W 00000000 -------0 00000000 00000000				
003298_H	PWMSOWCON2 [R/W] B,H,W 00000000 -------0 00000000 00000000				
$00329C_H$	PWMDMOD [R/W] B,H,W --000000	—	—	—	PWM デッドタイム
$0032A0_H$	PWMHRTMRR0 [R/W] H,W 00000000 00000000		PWMHFTMRR0 [R/W] H,W 00000000 00000000		
$0032A4_H$	PWMLRTMRR0 [R/W] H,W 00000000 00000000		PWMLFTMRR0 [R/W] H,W 00000000 00000000		
$0032A8_H$	PWMHRTMRR1 [R/W] H,W 00000000 00000000		PWMHFTMRR1 [R/W] H,W 00000000 00000000		
$0032AC_H$	PWMLRTMRR1 [R/W] H,W 00000000 00000000		PWMLFTMRR1 [R/W] H,W 00000000 00000000		
$0032B0_H$	PWMHRTMRR2 [R/W] H,W 00000000 00000000		PWMHFTMRR2 [R/W] H,W 00000000 00000000		
$0032B4_H$	PWMLRTMRR2 [R/W] H,W 00000000 00000000		PWMLFTMRR2 [R/W] H,W 00000000 00000000		
$0032B8_H$	PWMLEBCON0 [R/W] B,H,W -000-000 -000-000 ----0000			—	PWM ブランキング
$0032BC_H$	PWMLEBSDCON00 [R/W] H,W 00000000 00000000		PWMLEBSDCON01 [R/W] H,W 00000000 00000000		
$0032C0_H$	PWMLEBSDCON02 [R/W] H,W 00000000 00000000		PWMLEBSDCON03 [R/W] H,W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0032C4_H$	PWMLEBTCON00 [R/W] H,W 00000000 00000000 00000000 00000000				PWM ブランキング
$0032C8_H$	PWMLEBTCON01 [R/W] H,W 00000000 00000000 00000000 00000000				
$0032CC_H$	PWMLEBCON1 [R/W] B,H,W -000-000 -000-000 ----0000			—	
$0032D0_H$	PWMLEBSDCON10 [R/W] H,W 00000000 00000000		PWMLEBSDCON11 [R/W] H,W 00000000 00000000		
$0032D4_H$	PWMLEBSDCON12 [R/W] H,W 00000000 00000000		PWMLEBSDCON13 [R/W] H,W 00000000 00000000		
$0032D8_H$	PWMLEBTCON10 [R/W] H,W 00000000 00000000 00000000 00000000				
$0032DC_H$	PWMLEBTCON11 [R/W] H,W 00000000 00000000 00000000 00000000				
$0032E0_H$	PWMLEBCON2 [R/W] B,H,W -000-000 -000-000 ----0000			—	
$0032E4_H$	PWMLEBSDCON20 [R/W] H,W 00000000 00000000		PWMLEBSDCON21 [R/W] H,W 00000000 00000000		
$0032E8_H$	PWMLEBSDCON22 [R/W] H,W 00000000 00000000		PWMLEBSDCON23 [R/W] H,W 00000000 00000000		
$0032EC_H$	PWMLEBTCON20 [R/W] H,W 00000000 00000000 00000000 00000000				
$0032F0_H$	PWMLEBTCON21 [R/W] H,W 00000000 00000000 00000000 00000000				
$0032F4_H$	PWMADTCON [R/W] B,H,W 00000000 00000000 --000000 ----0000				PWM トリガ
$0032F8_H$	PWMADTST [R/W] B,H,W ----0000	—	—	—	
$0032FC_H$	PWMADTDCON0 [R/W] H,W 00000000 00000000		PWMADTDCON1 [R/W] H,W 00000000 00000000		
003300_H	PWMADTDCON2 [R/W] H,W 00000000 00000000		PWMADTDCON3 [R/W] H,W 00000000 00000000		
003304_H ～ $00331C_H$	—				予約
003320_H	AD4EN [R/W] B,H,W -------0	—	—	—	12 ビット 4ch A/D コンバータ
003324_H	AD4TSS [R/W] B,H,W -------0	—	—	—	
003328_H	AD4TSE [R/W] B,H,W -------- -------- -------- 00000000				
$00332C_H$	AD4TCS0 [R/W] B,H,W ---00--- --------		AD4TCS1 [R/W] B,H,W ---00--- --------		
003330_H	AD4TCS2 [R/W] B,H,W ---00--- --------		AD4TCS3 [R/W] B,H,W ---00--- --------		
003334_H	AD4TCS4 [R/W] B,H,W ---00--- --------		AD4TCS5 [R/W] B,H,W ---00--- --------		
003338_H	AD4TCS6 [R/W] B,H,W ---00--- --------		AD4TCS7 [R/W] B,H,W ---00--- --------		
$00333C_H$	AD4TBUSY [R/W] B,H,W -------- -------- -------- 00000000				
003340_H	AD4TECS0 [R/W] B,H,W 00--0000 0000----		AD4TECS1 [R/W] B,H,W 00--0000 0000----		
003344_H	AD4TECS2 [R/W] B,H,W 00--0000 0000----		AD4TECS3 [R/W] B,H,W 00--0000 0000----		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003348_H	AD4TECS4 [R/W] B,H,W 00--0000 0000----		AD4TECS5 [R/W] B,H,W 00--0000 0000----		12 ビット 4ch A/D コンバータ
$00334C_H$	AD4TECS6 [R/W] B,H,W 00--0000 0000----		AD4TECS7 [R/W] B,H,W 00--0000 0000----		
003350_H	AD4PTC8 [R/W] B,H,W 0000----	AD4PTC9 [R/W] B,H,W 0000----	AD4PTC10 [R/W] B,H,W 0000----	AD4PTC11 [R/W] B,H,W 0000----	
003354_H	AD4TCD8 [R] B,H,W 10--0000 00000000		AD4TCD9 [R] B,H,W 10--0000 00000000		
003358_H	AD4TCD10 [R] B,H,W 10--0000 00000000		AD4TCD11 [R] B,H,W 10--0000 00000000		
$00335C_H$	AD4CS [R/W] B,H,W 00------ 00------		—	AD4MD [R/W] B,H,W ----0000	
003360_H	AD4PRTF [R] B,H,W -------- -------- -------- ----0000				
003364_H ～ $00EFFC_H$	—				予約
$00F000_H$ ～ $00FEFC_H$	—	—	—	—	予約【S】
$00FF00_H$	DSUCR [R/W] B,H,W -------- -------0		—	—	OCDU 【S】
$00FF04_H$ ～ $00FF0C_H$	—				
$00FF10_H$	PCSR [R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$00FF14_H$	PSSR [R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$00FF18_H$ ～ $00FFF4_H$	—				
$00FFF8_H$	EDIR1 [R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$00FFFC_H$	EDIR0 [R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

【S】:システムレジスタです。ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外(データアクセスエラー)を発生させます。

B. 割込みベクタテーブル

割込みベクタテーブルについて示します。

割込み要因と割込みベクタ/割込み制御レジスタの割当てを示します。

表 B-1 割込みベクタ MB91F552(64pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H) 固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-3	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	-
リロードタイマ 0/1/4	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2
リロードタイマ 2/3	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4(*1)
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5(*1)
マルチファンクションシリアルインタフェース ch.1(受信完了) マルチファンクションシリアルインタフェース ch.1(ステータス)	22	16	ICR06	$3A4_H$	$000FFFA4_H$	6(*1)
マルチファンクションシリアルインタフェース ch.1(送信完了)	23	17	ICR07	$3A0_H$	$000FFFA0_H$	7(*1)
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8(*1)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9(*1)
-	26	1A	ICR10	394_H	$000FFF94_H$	-
-	27	1B	ICR11	390_H	$000FFF90_H$	-
-	28	1C	ICR12	$38C_H$	$000FFF8C_H$	-
-	29	1D	ICR13	388_H	$000FFF88_H$	-
-	30	1E	ICR14	384_H	$000FFF84_H$	-
-	31	1F	ICR15	380_H	$000FFF80_H$	-
-	32	20	ICR16	$37C_H$	$000FFF7C_H$	-
-	33	21	ICR17	378_H	$000FFF78_H$	-
CAN	34	22	ICR18	374_H	$000FFF74_H$	-
RAM 診断終了 RAM 初期化完了 RAM 診断時エラー発生	35	23	ICR19	370_H	$000FFF70_H$	-
4ch A/D コンバータ イレギュラ起動割込み/ サンプリング時間不足割込み	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
-	37	25	ICR21	368_H	$000FFF68_H$	-
PWM 特殊イベント割込み 0/1	38	26	ICR22	364_H	$000FFF64_H$	-
16bit フリーランタイマ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
PWM 0 検出割込み 0, コンペアクリア割込み 0	40	28	ICR24	$35C_H$	$000FFF5C_H$	-
PWM 0 検出割込み 1, コンペアクリア割込み 1	41	29	ICR25	358_H	$000FFF58_H$	-
PWM SOW 割込み 0, フォルト割込み 0/1, キャプチャ割込み 0	42	2A	ICR26	354_H	$000FFF54_H$	-
PWM SOW 割込み 1, フォルト割込み 2/3, キャプチャ割込み 1	43	2B	ICR27	350_H	$000FFF50_H$	-
PWM SOW 割込み 2, フォルト割込み 4/5, キャプチャ割込み 2	44	2C	ICR28	$34C_H$	$000FFF4C_H$	-
16bit ICU 0 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29
メインタイマ PLL タイマ	46	2E	ICR30	344_H	$000FFF44_H$	30
PWM トリガ割込み 0/1/2/3	47	2F	ICR31	340_H	$000FFF40_H$	-
A/D コンバータ 0/1/2/3/4/5/6/7	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振)	49	31	ICR33	338_H	$000FFF38_H$	-
PWM 用 PLL アラーム割込み	50	32	ICR34	334_H	$000FFF34_H$	-
予約	51	33	ICR35	330_H	$000FFF30_H$	-
コンパレータ出力検出割込み 0/1/2	52	34	ICR36	$32C_H$	$000FFF2C_H$	36
PWC0 0 検出割込み 00/10, コンペアクリア割込み 00/10	53	35	ICR37	328_H	$000FFF28_H$	-(*2)
PWC0 キャプチャデータ上限割込み 00/10/20/30, PWC0 キャプチャデータ下限割込み 00/10/20/30, PWC0 データバッファ割込み 00/10/20/30, PWC0 バッファオーバラン割込み 00/10/20/30	54	36	ICR38	324_H	$000FFF24_H$	-(*2)
PWC1 0 検出割込み 01/11, コンペアクリア割込み 01/11	55	37	ICR39	320_H	$000FFF20_H$	-(*2)
PWC1 キャプチャデータ上限割込み 01/11/21/31, PWC1 キャプチャデータ下限割込み 01/11/21/31, PWC1 データバッファ割込み 01/11/21/31, PWC1 バッファオーバラン割込み 01/11/21/31	56	38	ICR40	$31C_H$	$000FFF1C_H$	-(*2)
A/D コンバータ 8/9/10/11	57	39	ICR41	318_H	$000FFF18_H$	-(*2)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
ベースタイマ 2 IRQ0 ベースタイマ 2 IRQ1	58	3A	ICR42	314_H	$000FFF14_H$	42
ベースタイマ 3 IRQ0 ベースタイマ 3 IRQ1	59	3B	ICR43	310_H	$000FFF10_H$	43
ベースタイマ 0 IRQ0 ベースタイマ 0 IRQ1	60	3C	ICR44	$30C_H$	$000FFF0C_H$	44
ベースタイマ 1 IRQ0 ベースタイマ 1 IRQ1	61	3D	ICR45	308_H	$000FFF08_H$	45
DMAC0/1/2/3/4/5/6/7	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS®*3 にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS®にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。
*1: マルチファンクションシリアルインタフェースのステータスによるDMA転送に対応していません。
*2: オンチップバス IP の割込みによる DMA 転送要求に対応しています。
*3: REALOS は Spansion LLC の登録商標です。

C. CPU 状態における端子状態

CPU 状態における端子状態について示します。

Pin No	端子名	端子機能	入力レベル 出力レベル 回路形式	リセット要因発生後～リセット解除後の端子状態								スリープ・スタンバイモード時の端子状態						PORTENの設定による影響
				リセット要因1(*1)			リセット要因2(*2)				内部リセット要因(*4)	スリープモード		ストップモード		時計モード		
				外部要因発生中	外部要因解除後		外部要因発生中		外部要因解除後									
				内部リセット発生中	内部リセット解除後(発振安定待ち中)	内部リセット解除後	内部リセット前	内部リセット発生中	内部リセット前	内部リセット解除後(発振安定待ち中)	内部リセット解除後	内部リセット解除後(発振安定待ち中)	内部リセット解除後	SLVL[1:0]=2'b0x	SLVL[1:0]=2'b1x	SLVL[1:0]=2'b0x	SLVL[1:0]=2'b1x	SLVL[1:0]=2'b0x	SLVL[1:0]=2'b1x	
1	VSS	GND	-	-			-				-	-		-		-		—
2	P000 PWM0H	汎用入出力ポート PWM ch. 0-H	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
3	P001 PWM0L	汎用入出力ポート PWM ch. 0-L	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
4	P002 PWM1H	汎用入出力ポート PWM ch. 1-H	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
5	P003 PWM1L	汎用入出力ポート PWM ch. 1-L	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
6	P004 PWM2H	汎用入出力ポート PWM ch. 2-H	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
7	P005 PWM2L	汎用入出力ポート PWM ch. 2-L	入力 :Automotive 出力 :CMOS A	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
8	VCC	+5.0V 電源	-	-			-				-	-		-		-		—
9	VSS	GND	-	-			-				-	-		-		-		—
10	P046 SYNCIN SYNCOUT SCS00	汎用入出力ポート PPG並列動作駆動用マスタスレーブ入力 PPG並列動作駆動用マスタスレーブ出力 マルチファンクションシリアル ch.0 シリアルチップセレクト00入出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
11	P047 MADNCLK TIN4 ADTG1 SCS01	汎用入出力ポート クロックモニタ出力 リロードタイマ ch.4 イベント入力 A/D コンバータ ch.8-ch.11 外部トリガ入力端子 マルチファンクションシリアル ch.0 シリアルチップセレクト01出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
12	NMIX	マスク無し割込み入力	入力 :CMOSヒステリシス L	入力可			入力可			入力可	入力可	入力可						—
13	CMP0	コンパレータ ch.0 入力	アナログ入力 F	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
14	CMP1	コンパレータ ch.1 入力	アナログ入力 G	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
15	CMP2	コンパレータ ch.2 入力	アナログ入力 C	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
16	AVCC2	コンパレータ、スロープ補償回路用アナログ電源	-	-			-			-	-	-						—
17	AVSS2	コンパレータ、スロープ補償回路用GND	-	-			-			-	-	-						—
18	AN11	A/Dコンバータ ch.11 アナログ入力 (ch.8、ch.9、ch.10、ch.11は同時サンプリング可能)	アナログ入力 G	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
19	AN10	A/Dコンバータ ch.10 アナログ入力 (ch.8、ch.9、ch.10、ch.11は同時サンプリング可能)	アナログ入力 C	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
20	AN9	A/Dコンバータ ch.9 アナログ入力 (ch.8、ch.9、ch.10、ch.11は同時サンプリング可能)	アナログ入力 C	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
21	AN8	A/Dコンバータ ch.8 アナログ入力 (ch.8、ch.9、ch.10、ch.11は同時サンプリング可能)	アナログ入力 C	アナログ入力			アナログ入力			アナログ入力	アナログ入力	アナログ入力						—
22	AVCC1	4ch 同時サンプリング/ホールド機能付き ADコンバータ用アナログ電源	-	-			-			-	-	-						—
23	AVSS1	4ch 同時サンプリング/ホールド機能付き ADコンバータ用GND	-	-			-			-	-	-						—
24	VR1	4ch同時サンプリング/ホールド機能付き ADコンバータ用中間基準電圧	-	-			-			-	-	-						—
25	AVRL1	4ch 同時サンプリング/ホールド機能付き ADコンバータ用下限基準電圧	-	-			-			-	-	-						—
26	AVRH1	4ch同時サンプリング/ホールド機能付き ADコンバータ用上限基準電圧	-	-			-			-	-	-						—
27	AVCC0	ADコンバータunit0用アナログ電源	-	-			-			-	-	-						—
28	AVSS0	ADコンバータunit0用GND	-	-			-			-	-	-						—
29	AVRL0	ADコンバータunit0用下限基準電圧	-	-			-			-	-	-						—
30	AVRH0	ADコンバータunit0用上限基準電圧	-	-			-			-	-	-						—
31	P020 ANO TOT0 TRCK	汎用入出力ポート A/Dコンバータ ch.0 アナログ入力 リロードタイマ ch.0 出力 フリーランタイマ クロック入力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
32	VCC	+5.0V 電源	-	-			-				-	-		-		-		—
33	VSS	GND	-	-			-				-	-		-		-		—
34	P021 AN1 TIN0	汎用入出力ポート A/Dコンバータ ch.1 アナログ入力 リロードタイマ ch.0 イベント入力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
35	P022 AN2 TOT1	汎用入出力ポート A/Dコンバータ ch.2 アナログ入力 リロードタイマ ch.1 出力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
36	P023 AN3 TIN1	汎用入出力ポート A/Dコンバータ ch.3 アナログ入力 リロードタイマ ch.1 イベント入力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
37	P024 AN4 TOT2	汎用入出力ポート A/Dコンバータ ch.4 アナログ入力 リロードタイマ ch.2 出力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
38	P025 AN5 TIN2	汎用入出力ポート A/Dコンバータ ch.5 アナログ入力 リロードタイマ ch.2 イベント入力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
39	P026 AN6 TOT3	汎用入出力ポート A/Dコンバータ ch.6 アナログ入力 リロードタイマ ch.3 出力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
40	P027 AN7 TIN3 SCS21	汎用入出力ポート A/Dコンバータ ch.7 アナログ入力 リロードタイマ ch.3 イベント入力 マルチファンクションシリアル ch.2 シリアルチップセレクト21出力	入力 :Automotive 出力 :CMOS D	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
41	P030 TIOA0 ADTG0 SCS10	汎用入出力ポート ベースタイマ ch.0 のTIOA出力 A/D コンバータ ch.0-ch.7 外部トリガ入力端子 マルチファンクションシリアル ch.1 シリアルチップセレクト10入出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
42	P031 SOT1 TIOB0	汎用入出力ポート マルチファンクションシリアルch.1 シリアルデータ出力 ベースタイマ ch.0 のTIOB入力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
43	P032 SCK1 PWC1 TIOA1	汎用入出力ポート マルチファンクションシリアルch.1 クロック入出力 PWC ch.1 入力 ベースタイマ ch.1 のTIOA入出力	入力 :CMOSヒステリシス 出力 :CMOS E	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
44	P033 SIN1 TIOB1 INT2	汎用入出力ポート マルチファンクションシリアルch.1 シリアルデータ入力 ベースタイマ ch.1 のTIOB入力 INT2 外部割込み入力	入力 :CMOSヒステリシス 出力 :CMOS E	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
45	P034 PWC0 TIOA2 SCS11	汎用入出力ポート PWC ch.0 入力 ベースタイマ ch.2 のTIOA出力 マルチファンクションシリアル ch.1 シリアルチップセレクト11出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
46	P035 SOT0 TIOB2	汎用入出力ポート マルチファンクションシリアルch.0 シリアルデータ出力 ベースタイマ ch.2 のTIOB入力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
47	P036 SCK0 TIOA3	汎用入出力ポート マルチファンクションシリアルch.0 クロック入出力 ベースタイマ ch.3 のTIOA入出力	入力 :CMOSヒステリシス 出力 :CMOS E	入力可			入力可			入力可	入力可	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	なし
48	P037 SIN0 TIOB3 INT1	汎用入出力ポート マルチファンクションシリアルch.0 シリアルデータ入力 ベースタイマ ch.3 のTIOB入力 INT1 外部割込み入力	入力 :CMOSヒステリシス 出力 :CMOS E	入力可			入力可			入力可	入力可	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	なし
49	DEBUG1F	デバッガ (OCD) 用MD1 入出力	入力 :TTL 出力 :25mA (Nchオープンドレイン) J	HiZ/入力可	入力可	入力無効(*9)	入力無効	入力可(*10)	入力無効	入力可(*10)	入力無効(*9) 入力可(*10)	入力無効(*9)			入力無効(*9)			—
50	P040 NMI ICU SCS20	汎用入出力ポート クロックスーパバイザ メインクロック停止検出出力端子 インプットキャプチャ 入力 マルチファンクションシリアル ch.2 シリアルチップセレクト20入出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
51	MD0	モード端子0	Flash試験用端子兼用モードFI/O 入力 :CMOSヒステリシス G	入力可			入力可			入力可	入力可	入力可						—
52	MD1	モード端子1	Flash試験用端子兼用モードFI/O 入力 :CMOSヒステリシス G	入力可			入力可			入力可	入力可	入力可						—
53	X0	メインクロック発振入力	A	-			-			-	-	-						—
54	X1	メインクロック発振出力	A	-			-			-	-	-						—
55	VSS	GND	-	-			-			-	-	-						—
56	P041 TX	汎用入出力ポート CAN 送信データ出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
57	P042 RX INT0	汎用入出力ポート CAN 受信データ入力 INT0 外部割込み入力	入力 :CMOSヒステリシス 出力 :CMOS E	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
58	RSTX	外部リセット入力	入力 :CMOSヒステリシス L	入力可			入力可			入力可	入力可	入力可						—
59	VSS	GND	-	-			-			-	-	-						—
60	C	外部容量接続出力	-	-			-			-	-	-						—
61	P043 SOT2 TOT4	汎用入出力ポート マルチファンクションシリアルch.2 シリアルデータ出力 リロードタイマ ch.4 出力	入力 :Automotive 出力 :CMOS B	Hi-Z/入力遮断			Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力遮断	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	あり
62	P044 SCK2	汎用入出力ポート マルチファンクションシリアルch.2 クロック入出力	入力 :CMOSヒステリシス 出力 :CMOS E	入力可			入力可			入力可	入力可	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	なし
63	P045 SIN2 INT3	汎用入出力ポート マルチファンクションシリアルch.2 シリアルデータ入力 INT3 外部割込み入力	入力 :CMOSヒステリシス 出力 :CMOS E	入力可			入力可			入力可	入力可	直前状態保持(*7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	なし
64	VCC	+5.0V 電源	-	-			-				-	-		-		-		—

(*1) パワーオンリセット、低電圧検出(内部低電圧検出)、NMIX+RSTXが要因となります。
(*2) 低電圧検出(外部低電圧検出)、外部リセット が要因となります。
(*4) ソフトウェアリセット、ソフト/ハードウェア・ウォッチ・ドッグリセットが要因となります。(タイムアウト時も含む)
(*5) 外部割込みが有効なときは、下記端子の入力遮断は無効となります。(外部割込みの対応するチャネルのENIR.ENのビットを設定、またPORTENの設定の影響がある端子に限りGPORTENをクリア)
P042、P037、P033、P045
(*7) 周辺機能によっては、動作を継続します。
(*9) エミュレーションモード時は、入力可、フリーランモード時は、入力不可となります。
(*10) INITレベルのリセットが発行されたときのみ入力可、それ以外の場合、入力無効となります。

D. 変更内容

主な変更内容について示します。

ページ	場所	変更内容
Revision 1.0		
-	-	Initial release

MN705-00023-1v0-J

Spansion・Controller Manual
32 ビット・マイクロコントローラ
FR ファミリ FR81S
MB91550 シリーズ
MB91F552
ハードウェアマニュアル

2014 年 7 月 Rev.1.0

発行 **Spansion Inc.**

編集 コーポレートコミュニケーション部

免責事項

本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途 (ただし、用途の限定はありません) に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御，航空機自動飛行制御，航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御等をいう) 、ならびに(2) 極めて高い信頼性が要求される用途 (海底中継器，宇宙衛星等をいう) に使用されるよう設計・製造されたものではありません。上記の製品の使用法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様において、装置の冗長設計，延焼対策設計，過電流防止対策設計，誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性，完全性，実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示，黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2013-2014 Spansion　All rights reserved.

商標 : Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。