本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

FR60 MB91460X シリーズ

32 ビット・マイクロコントローラ
CMOS
MB91F465XA

Data Sheet

Publication Number DS07-16611 **Revision** 2.0 **Issue Date** September 26, 2014

FR60 MB91460X シリーズ

32 ビット・マイクロコントローラ
CMOS
MB91F465XA

Data Sheet

■ 概要

MB91460X シリーズは民生機器や車載システムなどの高速リアルタイム処理が要求される組込み制御用途向けに設計された , 汎用の 32 ビット RISC マイクロコントローラです。CPU には , FR ファミリ * と互換の FR60 を使用しています。

本シリーズは , LIN-USART, CAN および FlexRay コントローラを内蔵しています。

＊ : FR は Spansion Inc. の製品です。

■ 特長

1. FR60 CPU コア

・32 ビット RISC, ロード / ストアアーキテクチャ, パイプライン 5 段
・16 ビット固定長命令 (基本命令)
・命令実行速度 : 1 命令 /1 サイクル
・メモリーメモリ間転送命令 , ビット処理命令 , バレルシフト命令など : 組込み用途に適した命令
・関数入口 / 出口命令 , レジスタ内容のマルチロードストア命令 : C 言語対応命令
・レジスタのインタロック機能 : アセンブラ記述も容易に可能
・乗算器の内蔵 / 命令レベルでのサポート
　符号付き 32 ビット乗算 : 5 サイクル
　符号付き 16 ビット乗算 : 3 サイクル
・割込み (PC/PS 退避) : 6 サイクル (16 プライオリティレベル)
・ハーバードアーキテクチャにより , プログラムアクセスとデータアクセスを同時に実行可能
・FR ファミリとの命令互換

（続く）

Spansion のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

http://www.spansion.com/jp/support/microcontrollers/

Publication Number DS07-16611 **Revision** 2.0 **Issue Date** September 26, 2014

This document states the current technical specifications regarding the Spansion product(s) described herein. Spansion Inc. deems the products to have been in sufficient production volume such that subsequent versions of this document are not expected to change. However, typographical or specification corrections, or modifications to the valid combinations offered may occur.

（続き）

2. 内蔵周辺機能

・汎用ポート:最大 73 本
・DMAC (DMA コントローラ)
　同時に最大 5 チャネルの動作が可能
　2 つの転送要因 (内部ペリフェラル / ソフトウェア)
　起動要因はソフトウェアにて選択可能
　アドレッシングモード 32 ビットフルアドレス指定 (増加 / 減少 / 固定)
　転送モード (デマンド転送 / バースト転送 / ステップ転送 / ブロック転送)
　転送データサイズは 8/16/32 ビットから選択可能
　多バイト転送可 (ソフトにて決定)
　DMAC デスクリプタは I/O 領域 (200H ～ 240H, 1000H ～ 1027H)
・Flexray：2 チャネル
　FlexRay プロトコル仕様 Ver.2.1 準拠
　転送速度　最大 10Mbps
　128 送受信メッセージバッファ
・A/D コンバータ (逐次比較型)
　10 ビット分解能:17 チャネル
　変換時間:最小 1µs
・外部割込み入力端子です。11 チャネル
　3 チャネルを CAN の RX 端子および I²C の端子と兼用
・ビットサーチモジュール (REALOS 使用)
　1 ワード中の MSB (上位ビット) から最初の "0" データ /“1” データ / 変化ビット位置をサーチする機能
・LIN-USART (全二重ダブルバッファ方式):3 チャネル
　クロック同期 / 非同期の選択可
　Sync-break 検出
　専用ボーレートジェネレータ内蔵
・I²C バスインタフェース (400 kbps 対応)1 チャネル
　マスタ / スレーブ送受信
　アービトレーション機能 , クロック同期化機能
・CAN コントローラ (C-CAN) :2 チャネル
　転送速度　最大 1Mbps
　32 送受信メッセージバッファ
・16 ビット PPG タイマ:12 チャネル
・16 ビットリロードタイマ:8 チャネル
・16 ビットフリーランタイマ:8 チャネル (ICU 用 , OCU 用各 1 チャネル)
・インプットキャプチャ:8 チャネル (フリーランタイマと連動)
・アウトプットコンペア:6 チャネル (フリーランタイマと連動)
・ウォッチドッグタイマ
・リアルタイムクロック
・低消費電力モード:スリープ / ストップモード機能
・低電圧検出回路
・クロックスーパバイザ
　サブクロック (32 kHz) およびメインクロック (4 MHz) をモニタ , 発振停止時はリカバリクロック (CR 発振器など) に切換え
・クロックモジュレータ
・クロックモニタ
・サブクロックキャリブレーション
　32kHz または CR 発振器で動作するリアルタイムクロックタイマを校正
・メイン発振安定化タイマ
　サブクロックモード時に , 安定化待ち時間用の 23 ビットカウンタ安定化時間経過後に割込みを発生
・サブ発振安定化タイマ
　メインクロックモード時に , 安定化待ち時間用の 15 ビットカウンタ安定化時間経過後に割込みを発生

（続く）

（続き）

3. パッケージとテクノロジ

・パッケージ: QFP-100
・CMOS 0.18 µm テクノロジ
・3V ～ 5V 電源 [降圧型コンバータにより内部 Logic 1.8 V]
・動作温度: － 40 °C ～ ＋ 105 °C

■ 品種構成

項目	MB91V460A	MB91F465XA
最大コア周波数 (CLKB)	80MHz	100MHz
最大リソース周波数 (CLKP)	40MHz	50MHz
最大外部バス周波数 (CLKT)	40MHz	-
最大 CAN 周波数 (CLKCAN)	20MHz	50MHz
最大 FlexRay 周波数 (SCLK)	-	80MHz
テクノロジ	0.35µm	0.18µm
ウォッチドッグ	あり	あり
ウォッチドッグ (RC 発振の場合)	あり (解放可能)	あり
ビットサーチ	あり	あり
リセット入力 (INITX)	あり	あり
ハードウェアスタンバイ入力 (HSTX)	あり	なし
クロックモジュレータ	あり	あり
クロックモニタ	あり	あり
低電力モード	あり	あり
DMA	5 チャネル	5 チャネル
MAC (µDSP)	なし	なし
MMU/MPU	MPU(16 チャネル)*	MPU(8 チャネル)*
FlexRay 2 チャネル (A/B)	なし	あり
フラッシュ	エミュレーション SRAM32 ビット読出しデータ	544K バイト
フラッシュ保護	-	あり
D-RAM	64K バイト	16K バイト
ID-RAM	64K バイト	16K バイト
フラッシュキャッシュ (命令キャッシュ)	16K バイト	8K バイト
ブート ROM/BI-ROM	4 K バイト固定	4K バイト
RTC	1 チャネル	1 チャネル
フリーランタイマ	8 チャネル	8 チャネル
ICU	8 チャネル	8 チャネル
OCU	8 チャネル	6 チャネル
リロードタイマ	8 チャネル	8 チャネル
16 ビット PPG	16 チャネル	12 チャネル
16 ビット PFM	1 チャネル	-
サウンドジェネレータ	1 チャネル	-
8/16 ビットアップダウンカウンタ	4 チャネル (8 ビット) / 2 チャネル (16 ビット)	-
C_CAN	6 チャネル (128 msg)	2 チャネル (32 msg)
LIN-USART	4 チャネル + 4 チャネル FIFO + 8 チャネル	3 チャネル FIFO
I²C (400 kbps)	4 チャネル	1 チャネル
FR 外部バス	あり (32 ビットアドレス , 32 ビットデータ)	-

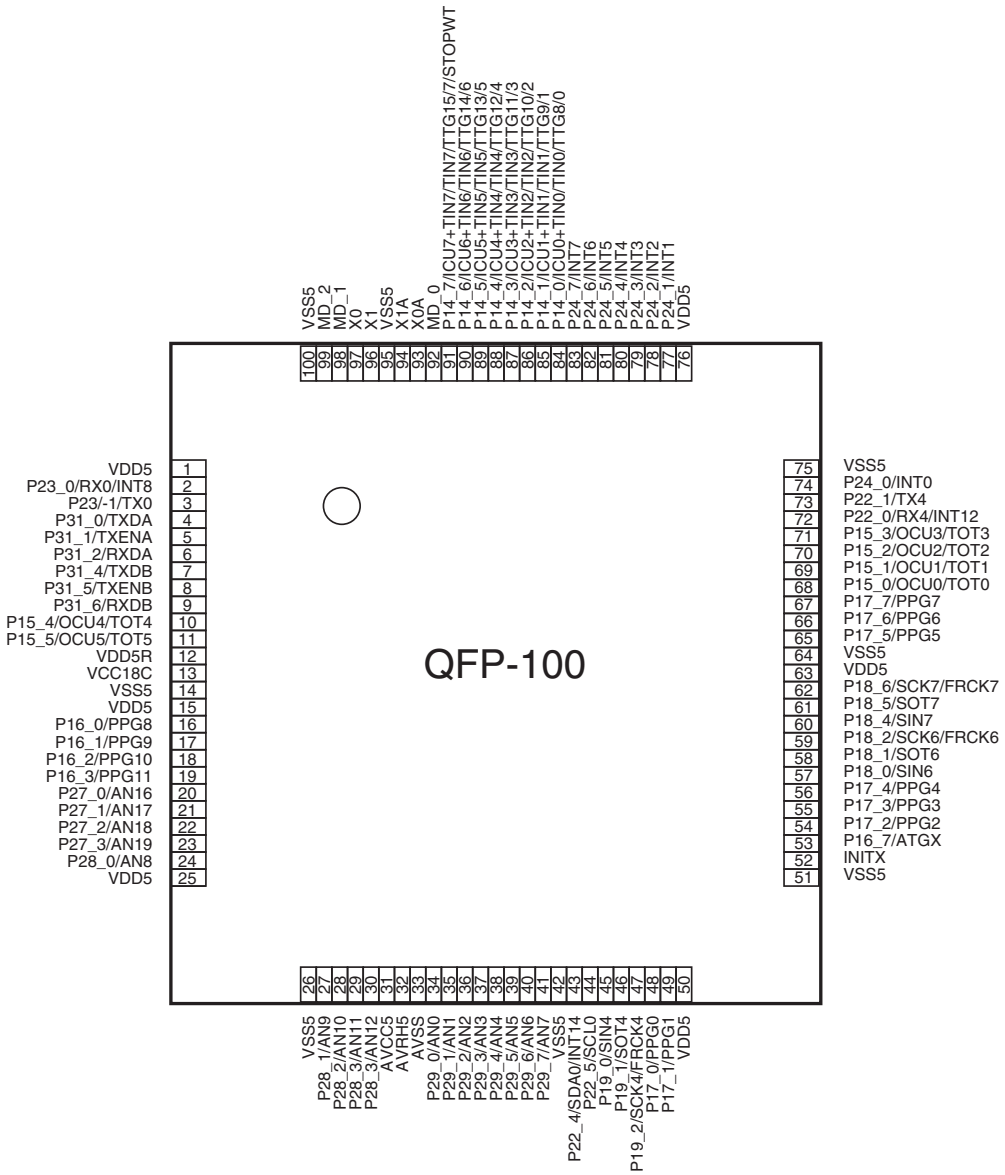
項目	MB91V460A	MB91F465XA
外部割込み	16 チャネル	11 チャネル
NMI 割込み	1 チャネル	-
SMC	6 チャネル	-
LCD コントローラ (40 × 4)	1 チャネル	-
10 ビット A/D コンバータ	32 チャネル	17 チャネル
アラームコンパレータ	2 チャネル	-
電源スーパバイザ	あり	あり
クロックスーパバイザ	あり	あり
メインクロック発振	4MHz	4MHz
サブクロック発振	32kHz	32kHz
RC 発振	100kHz	100kHz / 2MHz
PLL	x 20	x 25
DSU4	あり	-
EDSU	あり (32 BP)*	あり (16 BP)*
電源電圧	3V / 5V	3V / 5V
レギュレータ	あり	あり
消費電力	n.a.	< 1 W
動作温度 (TA)	0 °C ～＋ 70 °C	－ 40 °C ～＋ 105 °C
パッケージ	BGA660	QFP100
電源投入からの PLL 起動時間	< 20 ms	< 20 ms
フラッシュダウンロード時間	n.a.	< 5 s (Typ)

＊ 1: MPU チャネルは EDSU ブレークポイントレジスタ (MPU と EDSU 間の共有動作) を使用します。

■ 端子配列図

1. MB91F465XA

(TOP VIEW)



■ 端子機能説明

1. MB91F465XA

端子番号	端子名	入出力	入出力回路形式 *	機能
2	P23_0	I/O	A	汎用入出力ポートです。
	RX0			CAN0 の RX 入出力端子です。
	INT8			外部割込み入力端子です。
3	P23_1	I/O	A	汎用入出力ポートです。
	TX0			CAN0 の TX 出力端子です。
4	P31_0	I/O	A	汎用入出力ポートです。
	TXDA			FlexRay 送信出力端子
5	P31_1	I/O	A	汎用入出力ポートです。
	TXENA			FlexRay 送信イネーブル出力端子
6	P31_2	I/O	A	汎用入出力ポートです。
	RXDA			FlexRay 受信入力端子
7	P31_4	I/O	A	汎用入出力ポートです。
	TXDB			FlexRay 送信出力端子
8	P31_5	I/O	A	汎用入出力ポートです。
	TXENB			FlexRay 送信イネーブル出力端子
9	P31_6	I/O	A	汎用入出力ポートです。
	RXDB			FlexRay 受信入力端子
10, 11	P15_4,P15_5	I/O	A	汎用入出力ポートです。
	OCU4, OCU5			アウトプットコンペアの出力端子です。
	TOT4, TOT5			リロードタイマの出力端子です。
16 ～ 19	P16_0 ～ P16_3	I/O	A	汎用入出力ポートです。
	PPG8 ～ PPG11			PPG タイマの出力端子です。
20 ～ 23	P27_0 ～ P27_3	I/O	B	汎用入出力ポートです。
	AN16 ～ AN19			A/D コンバータのアナログ入力端子です。
24	P28_0	I/O	B	汎用入出力ポートです。
	AN8			A/D コンバータのアナログ入力端子です。
27 ～ 30	P28_1 ～ P28_4	I/O	B	汎用入出力ポートです。
	AN9 ～ AN12			A/D コンバータのアナログ入力端子です。
34 ～ 41	P29_0 ～ P29_7	I/O	B	汎用入出力ポートです。
	AN0 ～ AN7			A/D コンバータのアナログ入力端子です。
43	P22_4	I/O	C	汎用入出力ポートです。
	SDA0			I²C バスのデータ入出力端子です。
	INT14			外部割込み入力端子です。
44	P22_5	I/O	C	汎用入出力ポートです。
	SCL0			I²C バスのクロック入出力端子です。
45	P19_0	I/O	A	汎用入出力ポートです。
	SIN4			USART4 のデータ入力端子です。
46	P19_1	I/O	A	汎用入出力ポートです。
	SOT4			USART4 のデータ出力端子です。

端子番号	端子名	入出力	入出力回路形式 *	機能
47	P19_2	I/O	A	汎用入出力ポートです。
	SCK4			USART4 のクロック入出力端子です。
	FRCK4			フリーランタイマの外部クロック入力端子です。
48, 49	P17_0, P17_1	I/O	A	汎用入出力ポートです。
	PPG0, PPG1			PPG タイマの出力端子です。
52	INITX	I	H	外部リセット入力端子です。
53	P16_7	I/O	A	汎用入出力ポートです。
	ATGX			AD コンバータの外部トリガ入力端子です。
54 ～ 56	P17_2 ～ P17_4	I/O	A	汎用入出力ポートです。
	PPG2 ～ PPG4			PPG タイマの出力端子です。
57	P18_0	I/O	A	汎用入出力ポートです。
	SIN6			USART6 のデータ入力端子です。
58	P18_1	I/O	A	汎用入出力ポートです。
	SOT6			USART6 のデータ出力端子です。
59	P18_2	I/O	A	汎用入出力ポートです。
	SCK6			USART6 のクロック入出力端子です。
	FRCK6			フリーランタイマの外部クロック入力端子です。
60	P18_4	I/O	A	汎用入出力ポートです。
	SIN7			USART7 のデータ入力端子です。
61	P18_5	I/O	A	汎用入出力ポートです。
	SOT7			USART7 のデータ出力端子です。
62	P18_6	I/O	A	汎用入出力ポートです。
	SCK7			USART7 のクロック入出力端子です。
	FRCK7			フリーランタイマの外部クロック入力端子です。
65	P17_5	I/O	A	汎用入出力ポートです。
	PPG5/ MONCLK			PPG タイマの出力端子です。 クロックモニタ端子です。
66, 67	P17_6, P17_7	I/O	A	汎用入出力ポートです。
	PPG6, PPG7			PPG タイマの出力端子です。
68 ～ 71	P15_0 ～ P15_3	I/O	A	汎用入出力ポートです。
	OCU0 ～ OCU3			アウトプットコンペアの出力端子です。
	TOT0 ～ TOT3			リロードタイマの出力端子です。
72	P22_0	I/O	A	汎用入出力ポートです。
	RX4			CAN4 の RX 入出力端子です。
	INT12			外部割込み入力端子です。
73	P22_1	I/O	A	汎用入出力ポートです。
	TX4			CAN4 の TX 出力端子です。
74 ～ 83	P24_0 ～ P24_7	I/O	A	汎用入出力ポートです。
	INT0 ～ INT7			外部割込み入力端子です。

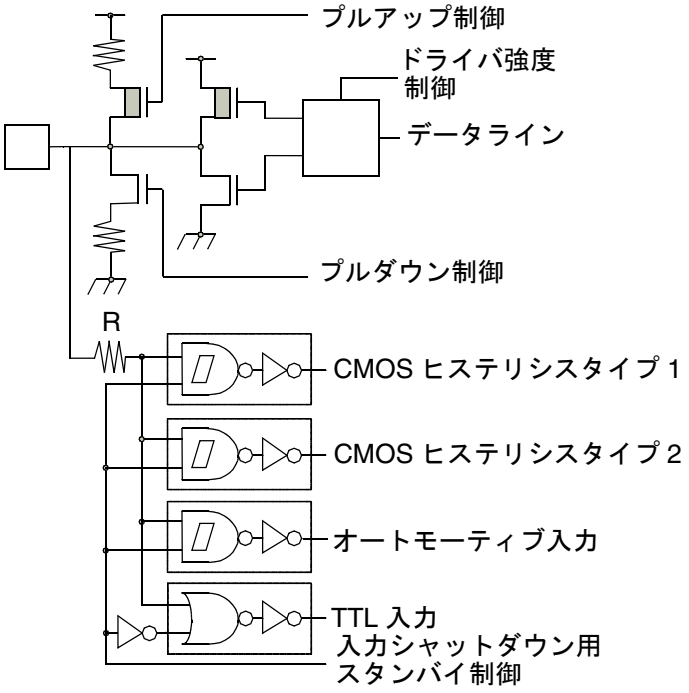
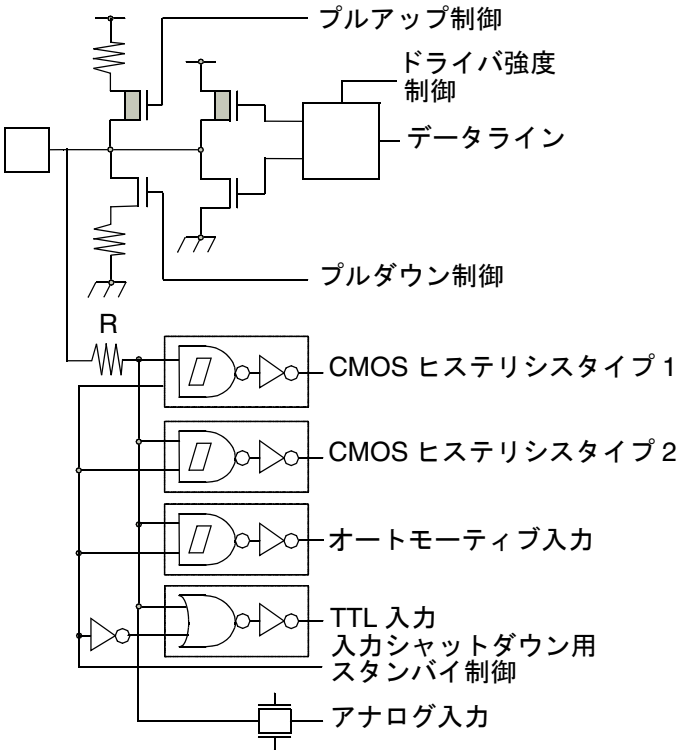
端子番号	端子名	入出力	入出力回路形式＊	機能
84 ～ 90	P14_0 ～ P14_6	I/O	A	汎用入出力ポートです。
	ICU0 ～ ICU6			インプットキャプチャの入力端子です。
	TIN0 ～ TIN6			リロードタイマの外部トリガ入力端子です。
	TTG8/0, TTG9/1 ～ TTG14/6			PPG タイマの外部トリガ入力端子です。
91	P14_7	I/O	A	汎用入出力ポートです。
	ICU7			インプットキャプチャの入力端子です。
	TIN7			リロードタイマの外部トリガ入力端子です。
	TTG15/7			PPG タイマの外部トリガ入力端子です。
	STOPWT			FlexRay ストップウォッチ入力
92	MD_0	I	G	モード設定端子です。
93	X0A	—	J2	サブクロック発振入力です。
94	X1A	—	J2	サブクロック発振出力です。
96	X1	—	J1	クロック発振出力です。
97	X0	—	J1	クロック発振入力です。
98	MD_1	I	G	モード設定端子です。
99	MD_2	I	G	モード設定端子です。

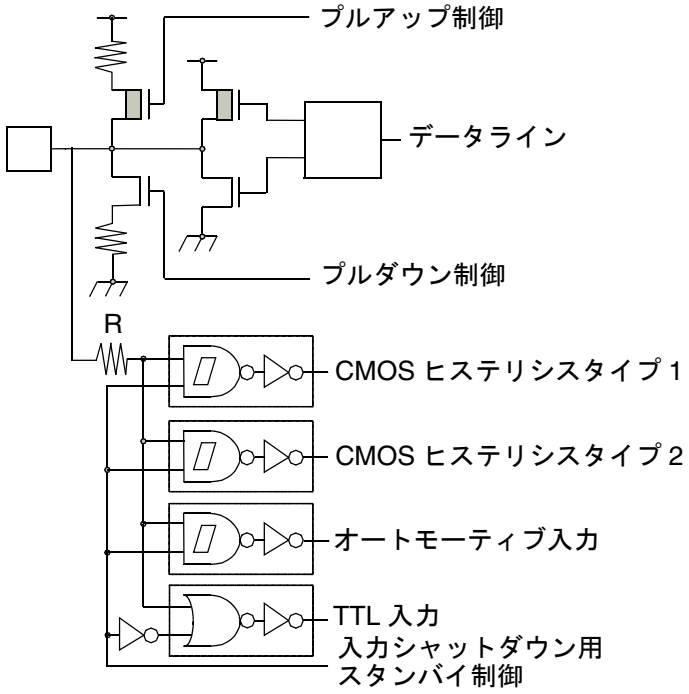
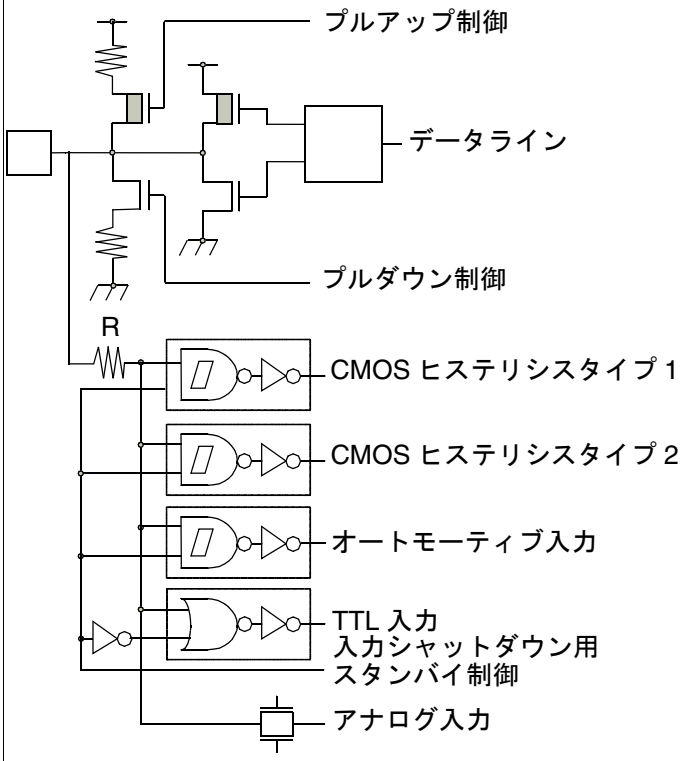
＊：入出力回路形式については，「■ 入出力回路形式」を参照してください。

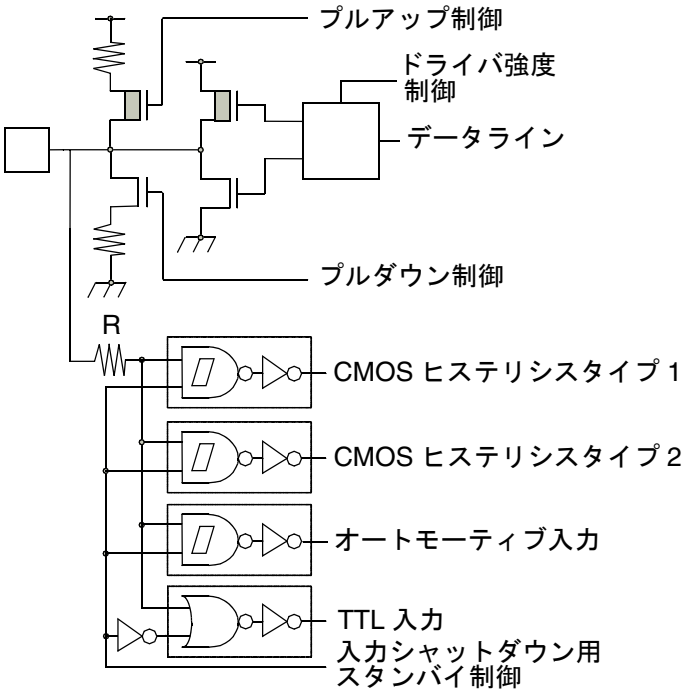
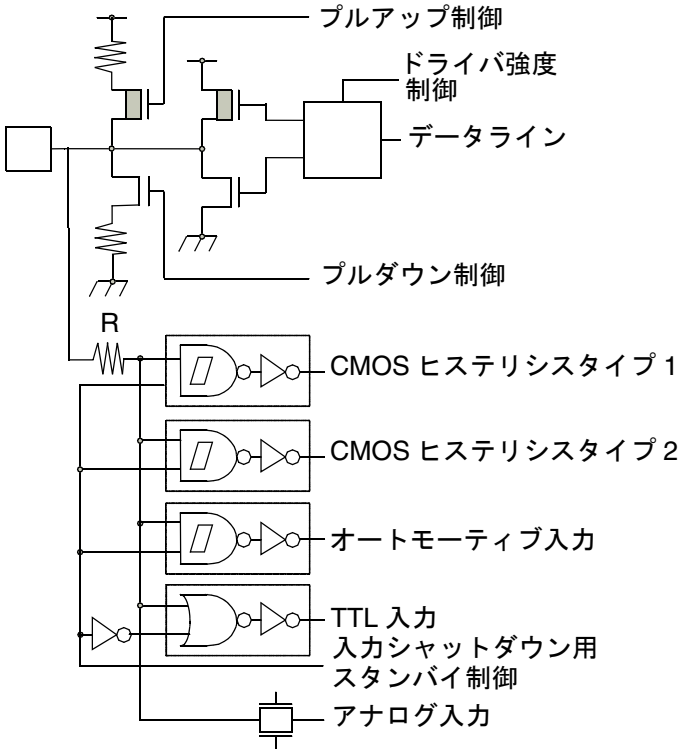
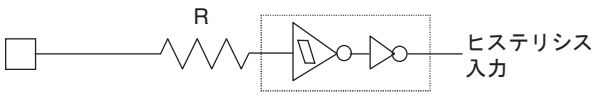
電源・GND 端子

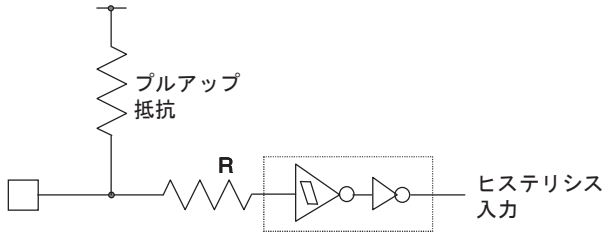
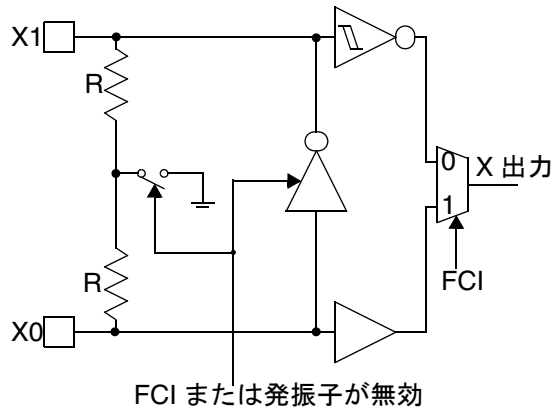
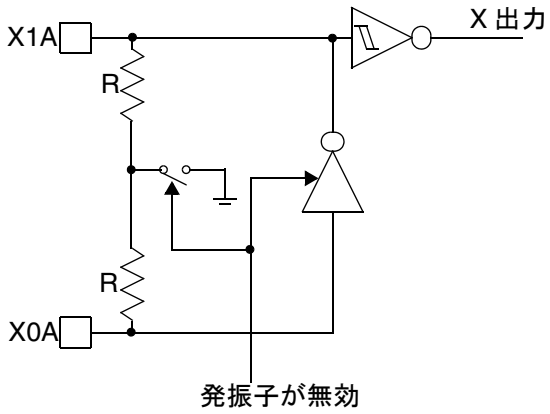
端子番号	端子名	入出力	機能
14, 26, 42, 51, 64, 75, 95, 100	VSS5	電源	GND 端子です。
1, 15, 25, 50, 63, 76	VDD5		電源端子です。
12	VDD5R		内蔵レギュレータ用の電源端子です。
33	AVSS5		A/D コンバータ用のアナログ GND 端子です。
31	AVCC5		A/D コンバータ用の電源端子です。
32	AVRH5		A/D コンバータ用の基準電源端子です。
13	VCC18C		内蔵レギュレータ用のコンデンサ接続端子です。

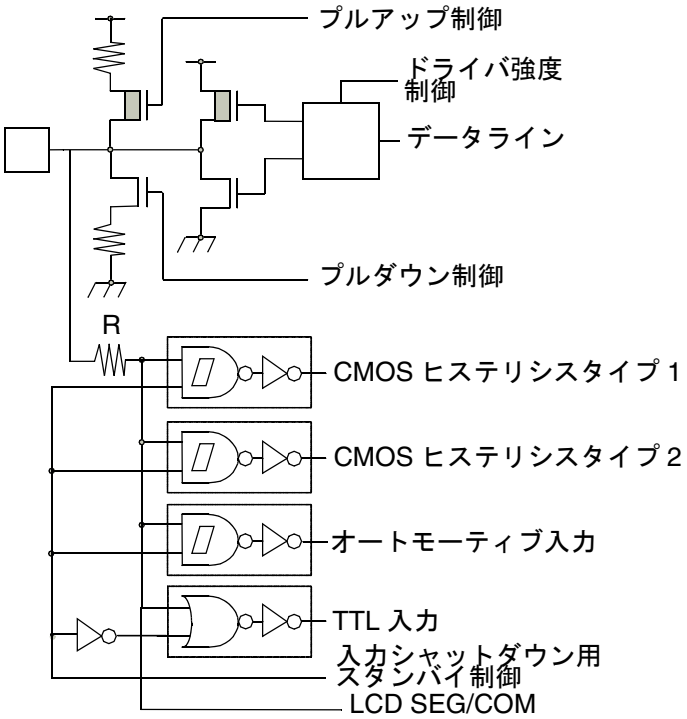
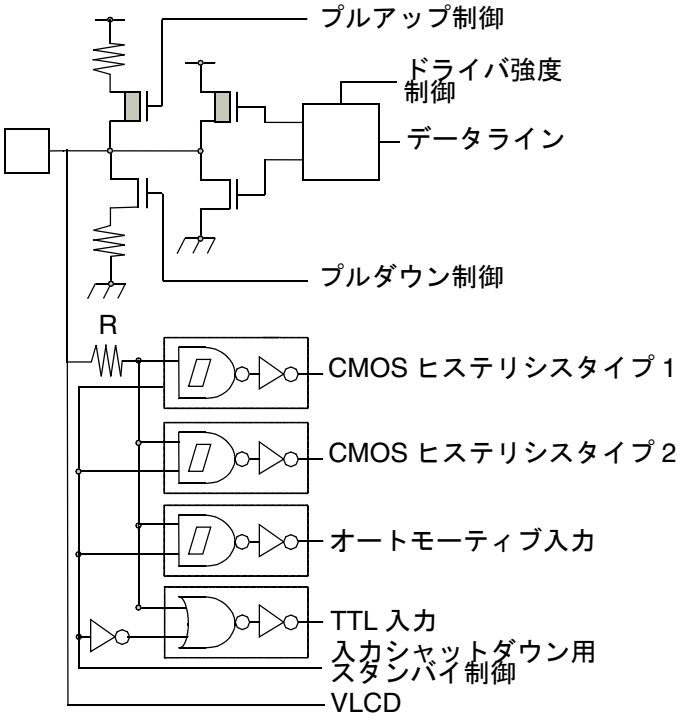
■ 入出力回路形式

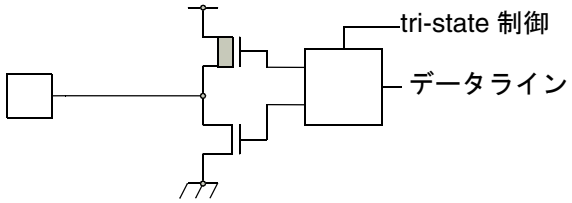
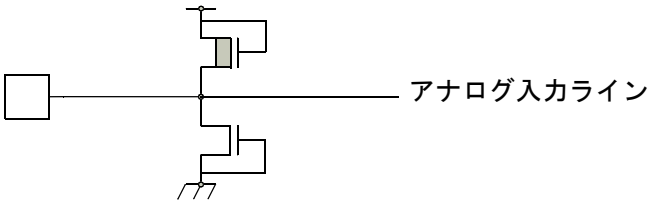
分類	回路形式	備考
A		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗：約 50 kΩ
B		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗：約 50 kΩ アナログ入力

分類	回路形式	備考
C		CMOS レベル出力 (I_{OL} = 3 mA, I_{OH} = -3 mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗：約 50 kΩ
D		CMOS レベル出力 (I_{OL} = 3 mA, I_{OH} = -3 mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗：約 50 kΩ アナログ入力

分類	回路形式	備考
E		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA, I_{OL} = 30mA, I_{OH} = -30mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗 : 約 50 kΩ
F		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA, I_{OL} = 30mA, I_{OH} = -30mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗 : 約 50 kΩ アナログ入力
G		マスク ROM および評価デバイス : CMOS ヒステリシス入力端子 フラッシュデバイス : CMOS 入力端子 12 V 耐圧 (MD_[2:0] 用)

分類	回路形式	備考
H		CMOS ヒステリシス入力端子 プルアップ抵抗値：約 50 kΩ
J1		高速発振回路 • 発振モード (外部水晶または発振子を X0/X1 端子に接続) と高速外部クロック入力 (FCI) モード (X0 端子に外部クロックを接続) の間でプログラマブル • フィードバック抵抗：約 2 × 0.5MΩ 発振子が無効になっているか FCI モードの場合, フィードバック抵抗は中央で接地
J2		低速発振回路 • フィードバック抵抗：約 2 × 5MΩ 発振子が無効の場合, フィードバック抵抗は中央で接地

分類	回路形式	備考
K		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗 : 約 50 kΩ LCD SEG/COM 出力
L		CMOS レベル出力 (プログラマブル I_{OL} = 5mA, I_{OH} = -5mA I_{OL} = 2mA, I_{OH} = -2mA) 入力シャットダウン機能付き 2 種類の CMOS ヒステリシス入力 入力シャットダウン機能付きオートモーティブ入力 入力シャットダウン機能付き TTL 入力 プログラマブルプルアップ抵抗 : 約 50 kΩ アナログ入力 LCD 電圧入力

分類	回路形式	備考
M		CMOS レベルの TRI-STATE 出力 (I_{OL} = 5mA, I_{OH} = -5mA)
N		アナログ入力端子 (保護機能付き)

■ デバイス使用上の注意

1. ラッチアップ防止のために

CMOS IC では入力端子や出力端子に電源端子 ($V_{DD}5$) より高い電圧や GND 端子 ($V_{SS}5$) より低い電圧を印加した場合 , または電源端子とグランド端子の間に定格を超える電圧を印加した場合に , ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が急増し , 素子の熱破壊に至ることがあります。使用に際しては最大定格を超えることのないよう十分に注意してください。

2. 未使用入力端子の処理について

入力に用いる未使用端子を開放のままにしておくと , 誤動作の原因になることがあります。使用していない入力端子は抵抗 (2kΩ ～ 10kΩ) を介してプルアップまたはプルダウンの処理をするか , ソフトウェアにより入力が有効 (PORTEN) になる前に ,

内部プルアップ抵抗または内部プルダウン抵抗 (PPER/PPCR) を有効にしてください。モード端子 MD_x は $V_{SS}5$ 端子または $V_{DD}5$ 端子に直接接続できます。使用していない ALARM 入力端子は $AV_{SS}5$ 端子に直接接続できます。

3. 電源端子について

MB91460X シリーズは電源端子や GND 端子が複数あります。そのため , デバイス設計上ラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してあります。不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために , 必ずそれらすべてを外部で電源およびグランドに接続してください。また , 電流供給源からできるかぎり低インピーダンスで本デバイスの電源端子 , GND 端子に接続してください。

さらに , 本デバイスの近くで , 電源端子と GND 端子の間に 0.1 µF 程度のセラミックコンデンサをバイパスコンデンサとして接続してください。

この製品シリーズにはステップダウンレギュレータが内蔵されています。レギュレータ用として , VCC18C 端子に 4.7 µF (X7R セラミックコンデンサを使用) のバイパスコンデンサを接続してください。

4. 水晶発振回路について

X0 (X0A) , X1 (X1A) 端子の近辺のノイズは本デバイスの誤動作のもととなります。X0 (X0A) 端子と X1 (X1A) 端子および水晶発振子さらにグランドへのバイパスコンデンサはできるかぎり近くに配置するようにプリント板を設計してください。

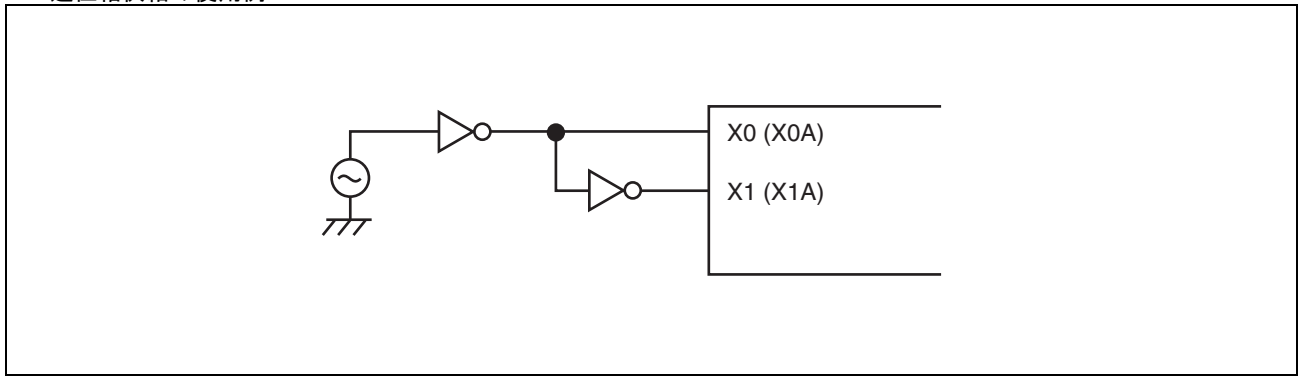
また , X0, X1 端子または X0A, X1A 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので , 強くお勧めします。

各量産品において , ご使用される発振子メーカに発振評価を依頼してください。

5. 外部クロック使用時の注意

外部クロックの使用時には , X0 (X0A) および X1 (X1A) 端子に同時供給してください。この場合 , X0 (X0A) 端子のクロック信号は X1 (X1A) 端子とは逆位相の関係であることが必要です。逆位相での供給の場合 , X0 および X1 端子では 16 MHz までの周波数を使用できます。

逆位相供給の使用例



（続く）

（続き）

6. モード端子 (MD_x)

これらの端子は , 電源端子または GND 端子に直接つないで使用してください。ノイズにより誤ってテストモードに入ってしまうことを防ぐために , プリント板上の各モード端子と電源端子または GND 端子間のパターン長をできる限り短くし , これらを低インピーダンスで接続するようにしてください。

7. PLL クロックモード動作中の注意について

本マイクロコントローラで PLL クロックを選択しているときに発振子が外れたり , クロック入力が停止した場合には PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

8. プルアップコントロール

外部バス端子として使用する端子に対してプルアップ抵抗をつけると交流規格を保証できません。

9. PS レジスタに関する注意事項

一部の命令で PS レジスタを先行処理しているため例外動作により , デバッガ使用時に割込み処理ルーチンでブレークしたり , PS レジスタ内のフラグの表示内容が更新されたりする場合があります。いずれの場合も , EIT から復帰以降に , 正しく再処理を行うように設計されているので ,EIT 前後の動作は仕様どおりの処理を行います。

・DIV0U/DIV0S 命令の直後の命令では , ユーザ割込み・NMI を受け付けた場合 , ステップ実行を行った場合 , データイベントまたはエミュレータメニューにてブレークした場合 , 以下の動作を行う場合があります。

1. D0, D1 フラグが , 先行して更新されます。
2. EIT 処理ルーチン (ユーザ割込み・NMI, またはエミュレータ) を実行します。
3. EIT から復帰後 , DIV0U/DIV0S 命令が実行され , D0, D1 フラグが 1 と同じ値に更新されます。

・ユーザ割込み・NMI 要因が発生している状態で , 割込みを許可するために ORCCR/STILM/MOV Ri, PS の各命令が実行されると , 以下のような動作を行います。

- PS レジスタが , 先行して更新されます。
- EIT 処理ルーチン (ユーザ割込み・NMI, またはエミュレータ) を実行します。
- EIT から復帰後 , 上記命令が実行され , PS レジスタが 1 と同じ値に更新されます。

■ デバッガ関連の注意事項

1. RETI コマンドの実行

ステップ実行する際, 割込みが頻繁に発生する環境下では, 該当割込み処理ルーチンだけを繰り返して実行します。その結果 , メインルーチンや割込みレベルの低いプログラムの実行が行われなくなります。(例えば , タイムベースタイマの割込みを許可していた場合 , RETI をステップ実行すると , 必ずタイムベースのルーチンの先頭でブレークすることになります。)

該当割込み処理ルーチンのデバッグが不要になった段階で , 該当割込みを禁止してください。

2. ブレーク機能

ハードウェアブレーク (イベントブレーク含む) の対象アドレスが現在のシステムスタックポインタのアドレスや , スタックポインタを含む領域に設定されていると , ユーザプログラムに実際のデータアクセス命令がないにもかかわらず , 1 命令実行後にブレークします。

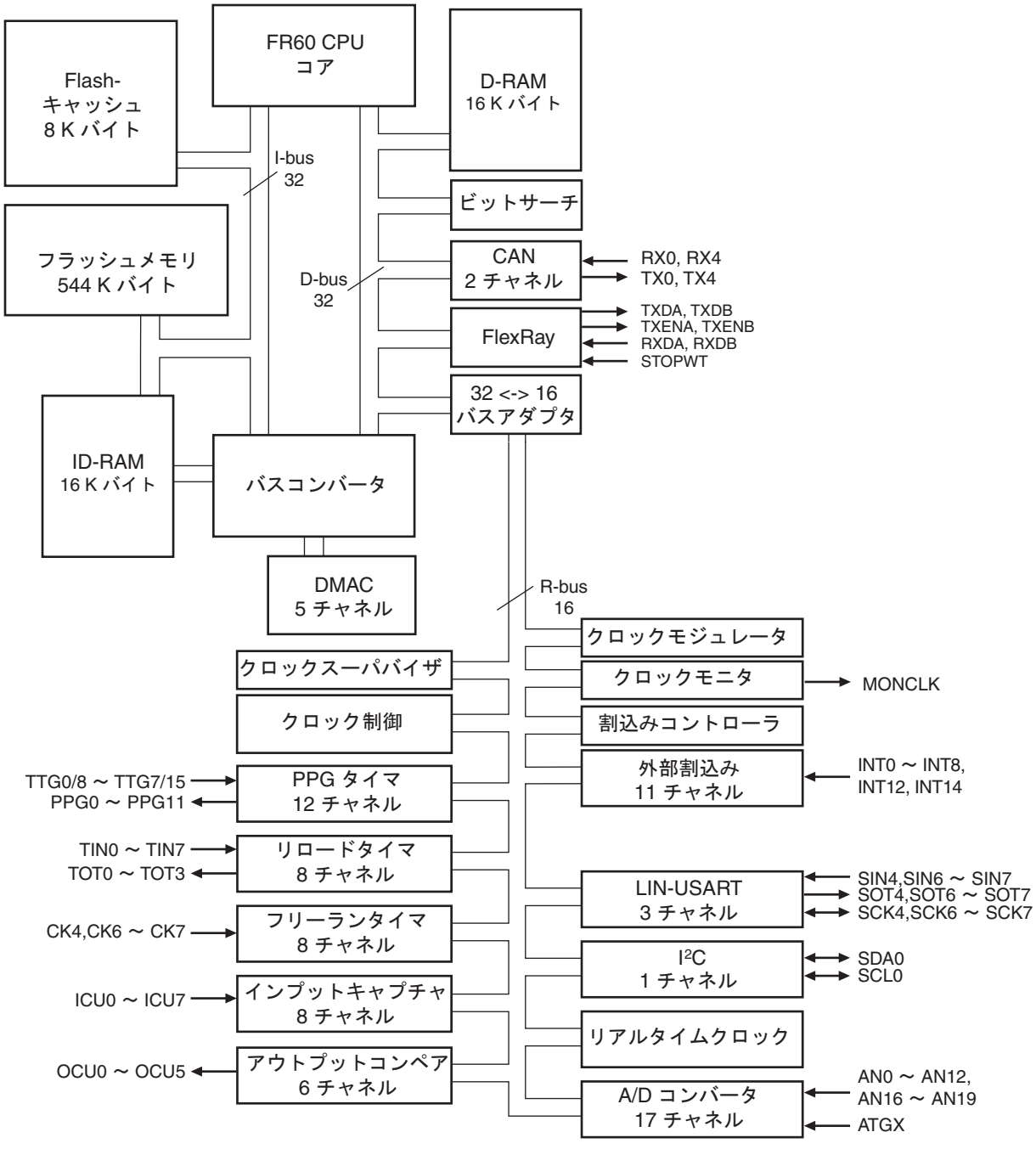
回避するために , システムスタックポインタのアドレスを含む領域に対する (ワード) アクセスを , ハードウェアブレーク (イベントブレーク含む) の対象に設定しないでください。

3. オペランドブレークについて

DSU のオペランドブレークとして設定している領域にスタックポインタがあると誤動作の原因となります。システムスタックポインタのアドレスを含む領域に対するアクセスを , データイベントブレークの対象にしないでください。

■ ブロックダイヤグラム

1. MB91F465XA



■ CPU および制御部

FR ファミリ CPU は , RISC アーキテクチャを採用すると同時に , 組込み型アプリケーションに適した高機能命令を導入した ,
高性能コアです。

1. 特長

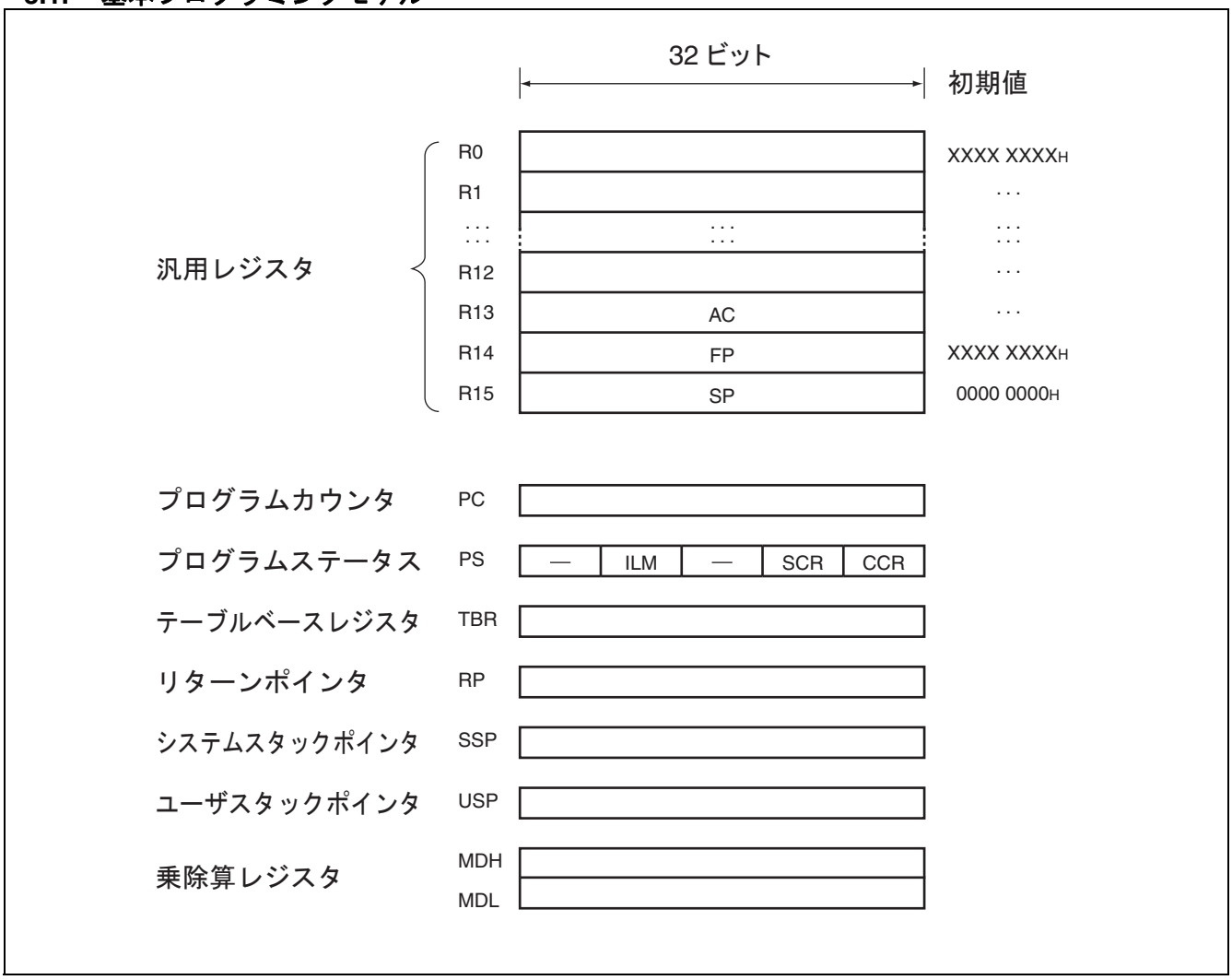
・RISC アーキテクチャの採用
　基本命令 :1 命令 1 サイクル
・汎用レジスタ 32 ビット× 16 本
・4G バイトのリニアなメモリ空間
・乗算器の搭載
　32 ビット× 32 ビット乗算 5 サイクル
　16 ビット× 16 ビット乗算 3 サイクル
・割込み処理機能の強化
　高速応答速度 (6 サイクル)
　多重割込みのサポート
　レベルマスク機能 (16 レベル)
・I/O 操作用命令の強化
　メモリーメモリ転送命令
　ビット処理命令
　基本命令語長 16 ビット
・低消費電力
　スリープモード / ストップモード

2. 内部アーキテクチャ

・FR ファミリの CPU は命令バスとデータバスが独立したハーバードアーキテクチャ構造を採用しています。
・32 ビット←→ 16 ビットバッファは 32 ビットバス (D-bus) に接続され , CPU と周辺リソースとのインタフェースを実現します。
・ハーバード←→プリンストンバスコンバータは I-bus, D-bus 双方に接続され , CPU とバスコントローラとのインタフェースを実現します。

3. プログラミングモデル

3.1. 基本プログラミングモデル



4. レジスタ

4.1. 汎用レジスタ



レジスタ R0 ～ R15 は汎用レジスタです。各種演算におけるアキュムレータ , およびメモリアクセスのポインタとして使用されます。

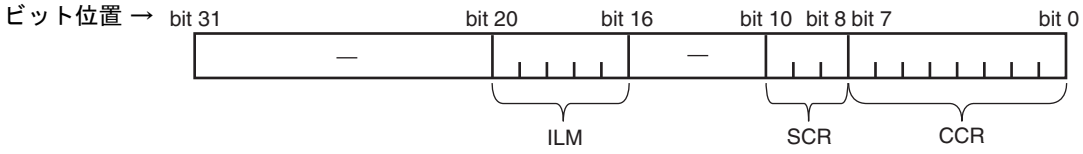
16本のレジスタのうち, 以下に示すレジスタは特殊な用途を想定しており , そのために一部の命令が強化されています。

R13: 仮想アキュムレータ
R14: フレームポインタ
R15: スタックポインタ

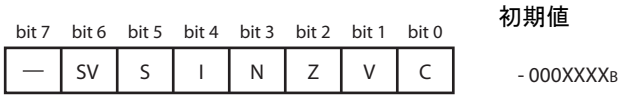
リセットによる初期値は , R0 ～ R14 は不定です。R15 は , 00000000H (SSP の値) となります。

4.2. PS (プログラムステータス)

プログラムステータスを保持するレジスタで , ILM と SCR, CCR の 3 つのパートに分かれています。
図中の未定義のビット (-) はすべて予約ビットです。読出し時 , 常に “0” が読み出されます。書込みアクセスは無効です。

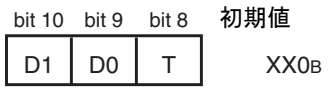


4.3. CCR (コンディションコードレジスタ)



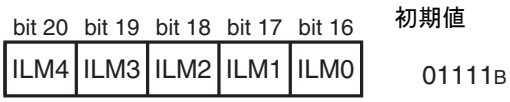
SV : スーパバイザフラグ
S : スタックフラグ
I : 割込み許可フラグ
N : ネガティブ許可フラグ
Z : ゼロフラグ
V : オーバフローフラグ
C : キャリフラグ

4.4. SCR (システムコンディションレジスタ)



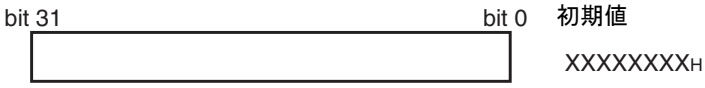
ステップ除算用フラグ (D1, D0)
ステップ除算実行時の中間データを保持します。
ステップトレーストラップフラグ (T)
ステップトレーストラップを有効にするかどうかを指定するフラグです。
ステップトレーストラップの機能はエミュレータが使用します。エミュレータ使用時 , ユーザプログラム中で使用することはできません。

4.5. ILM (割込みレベルマスクレジスタ)



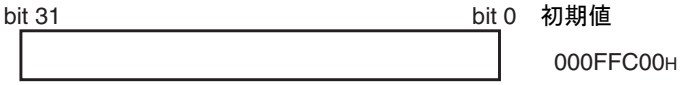
割込みレベルマスク値を保持するレジスタで , この ILM4 ～ ILM0 の保持する値がレベルマスクに使用されます。
リセットにより , “01111B” に初期化されます。

4.6. PC (プログラムカウンタ)



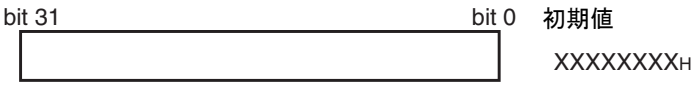
プログラムカウンタで , 実行している命令のアドレスを示しています。
リセットによる初期値は不定です。

4.7. TBR (テーブルベースレジスタ)



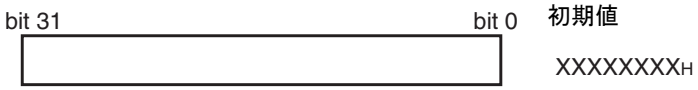
テーブルベースレジスタで , EIT 処理の際に使用されるベクタテーブルの先頭アドレスを保持します。
リセットによる初期値は , 000FFC00H です。

4.8. RP (リターンポインタ)



リターンポインタで , サブルーチンから復帰するアドレスを保持します。
CALL 命令実行時 , PC の値がこの RP に転送されます。
RET 命令実行時 , RP の内容が PC に転送されます。
リセットによる初期値は不定です。

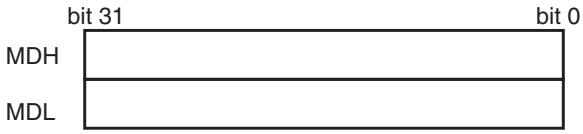
4.9. USP (ユーザスタックポインタ)



ユーザスタックポインタで , S フラグが “1” のとき , R15 として機能します。

- USP を明示的に指定することも可能です。
  リセットによる初期値は不定です。
- RETI 命令による使用はできません。

4.10. 乗除算レジスタ



乗除算用レジスタで , 各々32 ビット長です。
リセットによる初期値は不定です。

■ 組込みプログラム・データメモリ (フラッシュ)

1. フラッシュの特長

・544 K バイト (8 × 64 K バイト＋ 4 × 8K バイト＝ 4.25M ビット)
・書込み / 読出しアクセス用のプログラマブルなウェイトステート
・フラッシュとブートセキュリティ(セキュリティベクタ 0x0014:8000 ～ 0x0014:800F)
・ブートセキュリティ
・基本仕様:MBM29LV400TC と同じ (サイズと一部のセクタ構成を除く)

2. 動作モード

(1) 32 ビット CPU モード :
・CPU の読出しおよびプログラムの実行はワード (32 ビット) 長単位
・フラッシュの書込みは不可
・実際のフラッシュメモリアクセスはワード (32 ビット) 長単位
(2) 16 ビット CPU モード :
・CPU の読出しと書込みはハーフワード (16 ビット) 長単位
・フラッシュからのプログラムの実行は不可
・実際のフラッシュメモリアクセスはハーフワード (16 ビット) 長単位
(3) フラッシュメモリモード (フラッシュメモリへの外部アクセス可)

（注意事項）フラッシュメモリの動作モードはブート ROM 機能を使用して選択できます。この機能のスタートアドレスは 0xBF60 です。パラメータの説明は , ハードウェアマニュアル「フラッシュアクセスモードスイッチング」の「フラッシュアクセスモードの切り替え」に記載されています。

3.CPU モードにおけるフラッシュアクセス

3.1. フラッシュ構成

3.1.1. フラッシュメモリマップ MB91F465XA

アドレス									
0014:FFFFh 0014:C000h	SA6 (8KB)				SA7 (8KB)				ROMS7
0014:BFFFh 0014:8000h	SA4 (8KB)				SA5 (8KB)				
0014:7FFFh 0014:4000h	SA2 (8KB)				SA3 (8KB)				
0014:3FFFh 0014:0000h	SA0 (8KB)				SA1 (8KB)				
0013:FFFFh 0012:0000h	SA22 (64KB)				SA23 (64KB)				ROMS6
0011:FFFFh 0010:0000h	SA20 (64KB)				SA21 (64KB)				
000F:FFFFh 000E:0000h	SA18 (64KB)				SA19 (64KB)				ROMS5
000D:FFFFh 000C:0000h	SA16 (64KB)				SA17 (64KB)				ROMS4
000B:FFFFh 000A:0000h	SA14 (64KB)				SA15 (64KB)				ROMS3
0009:FFFFh 0008:0000h	SA12 (64KB)				SA13 (64KB)				ROMS2
0007:FFFFh 0006:0000h	SA10 (64KB)				SA11 (64KB)				ROMS1
0005:FFFFh 0004:0000h	SA8 (64KB)				SA9 (64KB)				ROMS0
	addr+0	addr+1	addr+2	addr+3	addr+4	addr+5	addr+6	addr+7	
16ビットリード/ライト	dat[31:16]		dat[15:0]		dat[31:16]		dat[15:0]		
32ビットリード	dat[31:0]				dat[31:0]				
凡例	メモリ領域なし				メモリ領域あり				

3.2. CPU モードにおけるフラッシュアクセスタイミング設定

次の表には,最大コア周波数(CLKB または最大クロックモジュレータ設定による)ごとのフラッシュの読出しおよび書込みアクセス設定をすべて示しています。

3.2.1. フラッシュリードタイミング設定 (同期読出し)

コアクロック (CLKB)	ATD	ALEH	EQ	WEXH	WTC	備考
～ 24 MHz	0	0	0	-	1	
～ 48 MHz	0	0	1	-	2	
～ 100 MHz	1	1	3	-	4	

3.2.2. フラッシュライトタイミング設定 (同期書込み)

コアクロック (CLKB)	ATD	ALEH	EQ	WEXH	WTC	備考
～ 16 MHz	0	-	-	0	3	
～ 32 MHz	0	-	-	0	4	
～ 48 MHz	0	-	-	0	5	
～ 64 MHz	1	-	-	0	6	
～ 96 MHz	1	-	-	0	7	
～ 100 MHz	1	-	-	1	8	

3.3. CPU からパラレルプログラミングモードへのアドレスマッピング

次の表には , パラレルプログラミングで使う CPU アドレスからフラッシュマクロアドレスへの計算式を示しています。

3.3.1. アドレスマップ MB91F465XA

CPU アドレス (addr)	条件	フラッシュ セクタ	FA (フラッシュアドレス) 計算式
14:8000h ～ 14:FFFFh	addr[2]==0	SA4, SA6 (8K バイト)	FA := addr - addr%00:4000h + (addr%00:4000h)/2 - (addr/2)%4 + addr%4 - 0D:0000h
14:8000h ～ 14:FFFFh	addr[2]==1	SA5, SA7 (8K バイト)	FA := addr - addr%00:4000h + (addr%00:4000h)/2 + 00:2000h - (addr/2)%4 + addr%4 - 0D:0000h
08:0000h ～ 13:FFFFh	addr[2]==0	SA12, SA14, SA16, SA18 (64K バイト)	FA := addr - addr%02:0000 + (addr%02:0000h)/2 - (addr/2)%4 + addr%4
08:0000h ～ 13:FFFFh	addr[2]==1	SA13, SA15, SA17, SA19 (64K バイト)	FA := addr - addr%02:0000h + (addr%02:0000h)/2 + 01:0000h - (addr/2)%4 + addr%4

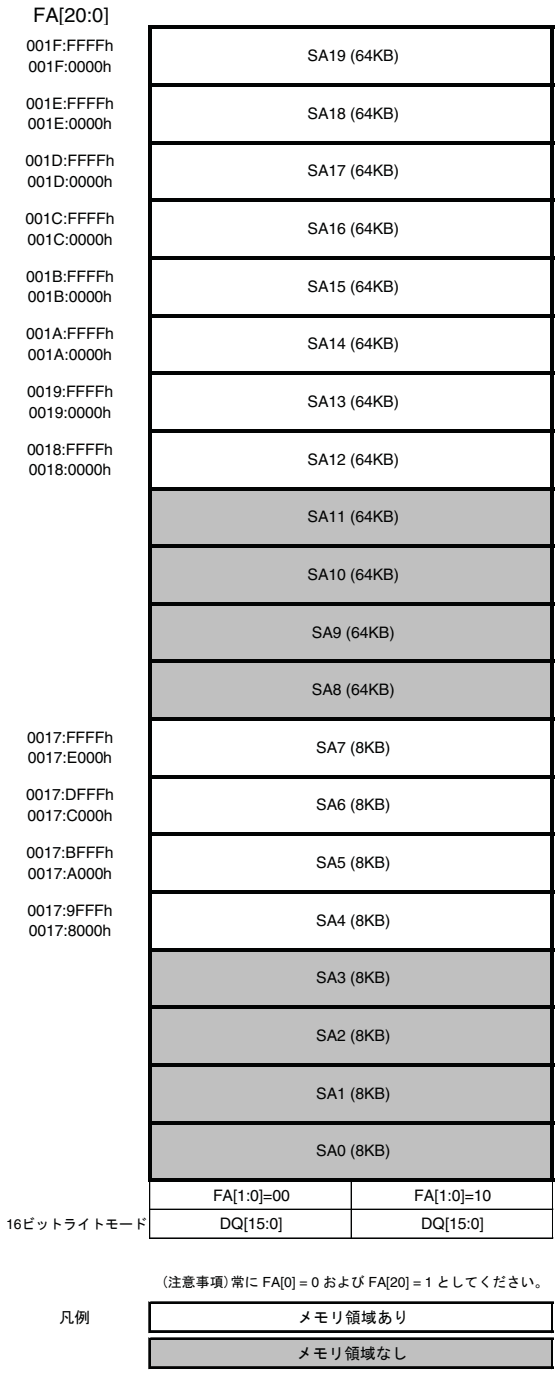
（注意事項）FA の計算結果はパラレルフラッシュプログラミングの 10:0000h オフセットを含みません。
「パラレルフラッシュプログラミングモード」で説明されているように FA[20]=1 としてオフセットを設定してください。

4.パラレルフラッシュプログラミングモード

4.1. パラレルフラッシュプログラミングモードでのフラッシュ設定

パラレルフラッシュプログラミングモード (MD_[2:0]=111):

MB91F465XA



注意事項 : 常に FA[0]=0 および FA[21]=1 としてください。

4.2. パラレルプログラミングモードでの端子接続

MD_[2:0] 端子を [111] に設定後 , 再起動を行うと CPU 機能が停止します。この時 , 汎用ポートに信号のいくつかを直接リンクさせることで, 外部端子からのフラッシュメモリユニットの直接制御が可能になります。信号の対応については, 次の表を参照してください。

このモードでは, フラッシュメモリは外部端子からみてスタンドアローンの関係になります。通常, このモードはパラレルフラッシュプログラマを使用して書込みや消去を行うときに設定します。このモードでは , 8.5M ビットのフラッシュメモリの自動アルゴリズムのすべての操作が可能です。

MBM29LV400TC とフラッシュメモリ制御信号の対応

MBM29LV400TC 外部端子	FR-CPU モード	MB91F465XA 外部端子			備考
		フラッシュメモリモード	通常機能	端子番号	
-	INITX	-	INITX	52	
RESET	-	FRSTX	P16_7	53	
-	-	MD2	MD_2	99	“1” に設定
-	-	MD1	MD_1	98	“1” に設定
-	-	MD0	MD_0	92	“1” に設定
RY/BY	FMCS:RDY bit	RY/BYX	P24_0	74	
BYTE	内部で “H” に固定	BYTEX	P24_2	78	
WE	内部制御信号 + インタフェース回路による制御	WEX	P28_3	29	
OE		OEX	P28_2	28	
CE		CEX	P28_1	27	
-		ATDIN	P22_1	73	“0” に設定
-		EQIN	P22_0	72	“0” に設定
-		TESTX	P24_3	79	“1” に設定
-		RDYI	P24_1	77	“0” に設定
A-1	内部アドレスバス	FA0	P19_2	47	“0” に設定
A0 ～ A7		FA1 ～ FA8	P16_0 ～ P16_3, P27_0 ～ P27_3	16 ～ 23	
A8 ～ A15		FA9 ～ FA16	P15_0 ～ P15_5, P18_0, P18_1	68 ～ 71,10, 11, 57, 58	
A16 ～ A18		FA17 ～ FA19	P18_2, P18_4, P18_5	59 ～ 61	
A19		FA20	P18_6	62	“1” に設定
DQ0 ～ DQ7	内部データバス	DQ0 ～ DQ7	P17_0 ～ P17_7	48, 49, 54 ～ 56, 65 ～ 67	
DQ8 ～ DQ15		DQ8 ～ DQ15	P23_0, P23_1, P31_0 ～ P31_2, P31_4 ～ P31_6	2 ～ 9	

5. フラッシュセキュリティ

5.1. ベクタアドレス

2 つのフラッシュセキュリティベクタ (FSV1, FSV2) は , フラッシュセキュリティモジュールの保護機能を制御するブートセキュリティベクタ (BSV1, BSV2) と並列に配置されています。

FSV1:0x14:8000　　BSV1:0x14:8004
FSV2:0x14:8008　　BSV2:0x14:800C

5.2. セキュリティベクタ FSV1

フラッシュセキュリティベクタ FSV1 の設定によって , 8 K バイトセクタの読出し / 書込み保護モードおよび個別書込み保護が設定されます。

5.2.1. FSV1 (bit31 ～ bit16)

フラッシュセキュリティベクタ FSV1 ビット [31:16] の設定によって , 読出し / 書込み保護モードが設定されます。

フラッシュセキュリティベクタ FSV1[31:16] のビットの説明

FSV1[31:19]	FSV1[18] 書込み保護レベル	FSV1[17] 書込み保護	FSV1[16] 読出し保護	フラッシュセキュリティモード
すべてのビットを “0” に設定	“0” に設定	“0” に設定	“1” に設定	読出し保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く)
すべてのビットを “0” に設定	“0” に設定	“1” に設定	“0” に設定	書込み保護 (すべてのデバイスモード , 例外なし)
すべてのビットを “0” に設定	“0” に設定	“1” に設定	“1” に設定	読出し保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く) および書込み保護 (すべてのデバイスモード)
すべてのビットを “0” に設定	“1” に設定	“0” に設定	“1” に設定	読出し保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く)
すべてのビットを “0” に設定	“1” に設定	“1” に設定	“0” に設定	書込み保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く)
すべてのビットを “0” に設定	“1” に設定	“1” に設定	“1” に設定	読出し保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く) および書込み保護 (すべてのデバイスモード , INTVEC モード MD_[2:0] ＝ 000 を除く)

5.2.2. FSV1 (bit15 ～ bit0)

フラッシュセキュリティベクタ FSV1 ビット [15:0] により ,8 K バイト / セクタの個別の書込み保護を設定できます。この設定は , 書込み保護ビット FSV1[17] が設定されている場合にのみ評価されます。

フラッシュセキュリティベクタ FSV1[15:0] のビットの説明

FSV1 ビット	セクタ	書込み保護の許可	書込み保護の禁止	備考
FSV1[0]	—	“0” に設定	“1” に設定	無効
FSV1[1]	—	“0” に設定	“1” に設定	無効
FSV1[2]	—	“0” に設定	“1” に設定	無効
FSV1[3]	—	“0” に設定	“1” に設定	無効
FSV1[4]	SA4	“0” に設定	—	書込み保護は必須
FSV1[5]	SA5	“0” に設定	“1” に設定	
FSV1[6]	SA6	“0” に設定	“1” に設定	
FSV1[7]	SA7	“0” に設定	“1” に設定	
FSV1[8]	—	“0” に設定	“1” に設定	無効
FSV1[9]	—	“0” に設定	“1” に設定	無効
FSV1[10]	—	“0” に設定	“1” に設定	無効
FSV1[11]	—	“0” に設定	“1” に設定	無効
FSV1[12]	—	“0” に設定	“1” に設定	無効
FSV1[13]	—	“0” に設定	“1” に設定	無効
FSV1[14]	—	“0” に設定	“1” に設定	無効
FSV1[15]	—	“0” に設定	“1” に設定	無効

（注意事項）フラッシュセキュリティベクタ FSV1 と FSV2 が割当てられているセクタ (この表の例では , セクタ SA4) には , 常に書込み保護を設定しなければなりません。この設定がされていないと , セキュリティベクタの設定が上書きされて , フラッシュコンテンツの読出しや書込みによるデータ操作が可能になってしまいます。
フラッシュメモリのセクタ構成の概要については ,「CPU モードにおけるフラッシュアクセス」を参照してください。

5.3. セキュリティベクタ FSV2

フラッシュセキュリティベクタ FSV2 ビット [31:0] により , 64 K バイト / セクタの個別の書込み保護を設定できます。この設定は , 書込み保護ビット FSV1[17] が設定されている場合にのみ評価されます。

フラッシュセキュリティベクタ FSV2[31:0] のビットの説明

FSV2 ビット	セクタ	書込み保護の許可	書込み保護の禁止	備考
FSV2[0]	—	“0” に設定	“1” に設定	無効
FSV2[1]	—	“0” に設定	“1” に設定	無効
FSV2[2]	—	“0” に設定	“1” に設定	無効
FSV2[3]	—	“0” に設定	“1” に設定	無効
FSV2[4]	SA12	“0” に設定	“1” に設定	
FSV2[5]	SA13	“0” に設定	“1” に設定	
FSV2[6]	SA14	“0” に設定	“1” に設定	
FSV2[7]	SA15	“0” に設定	“1” に設定	
FSV2[8]	SA16	“0” に設定	“1” に設定	
FSV2[9]	SA17	“0” に設定	“1” に設定	
FSV2[10]	SA18	“0” に設定	“1” に設定	
FSV2[11]	SA19	“0” に設定	“1” に設定	
FSV2[31:12]	—	“0” に設定	“1” に設定	無効

（注意事項）フラッシュメモリのセクタ構成の概要については ,「CPU モードにおけるフラッシュアクセス」を参照してください。

6. フラッシュメモリ CRC 計算式についての注意事項

フラッシュセキュリティマクロには , フラッシュメモリのアドレス空間のアドレス上で 32 ビットチェックサムを計算する機能が含まれています。この機能は , MB91460 シリーズハードウェアマニュアル「フラッシュセキュリティ制御レジスタ」の「フラッシュセキュリティコントロールレジスタ」に記載されています。

補注 :

CRC 計算式は , 内部 RC クロックで実行されます。計算時間を短縮するには , RC クロック周波数を 2MHz に切換えてください。ただし , CPU クロック (CLKB) が RC クロックよりも早くないと , CRC 計算式が正しく開始しません。

■ メモリ空間

FR ファミリの論理アドレス空間は 4 G バイト (2^{32} 番地) あり , CPU はリニアにアクセスします。

・ダイレクトアドレッシング領域

アドレス空間の下記の領域は I/O 用に使用されます。

この領域をダイレクトアドレッシング領域とよびます。命令中で直接オペランドのアドレスを指定できます。

アドレスが可能なダイレクト領域は , アクセスするデータのサイズにより , 以下のように異なります。

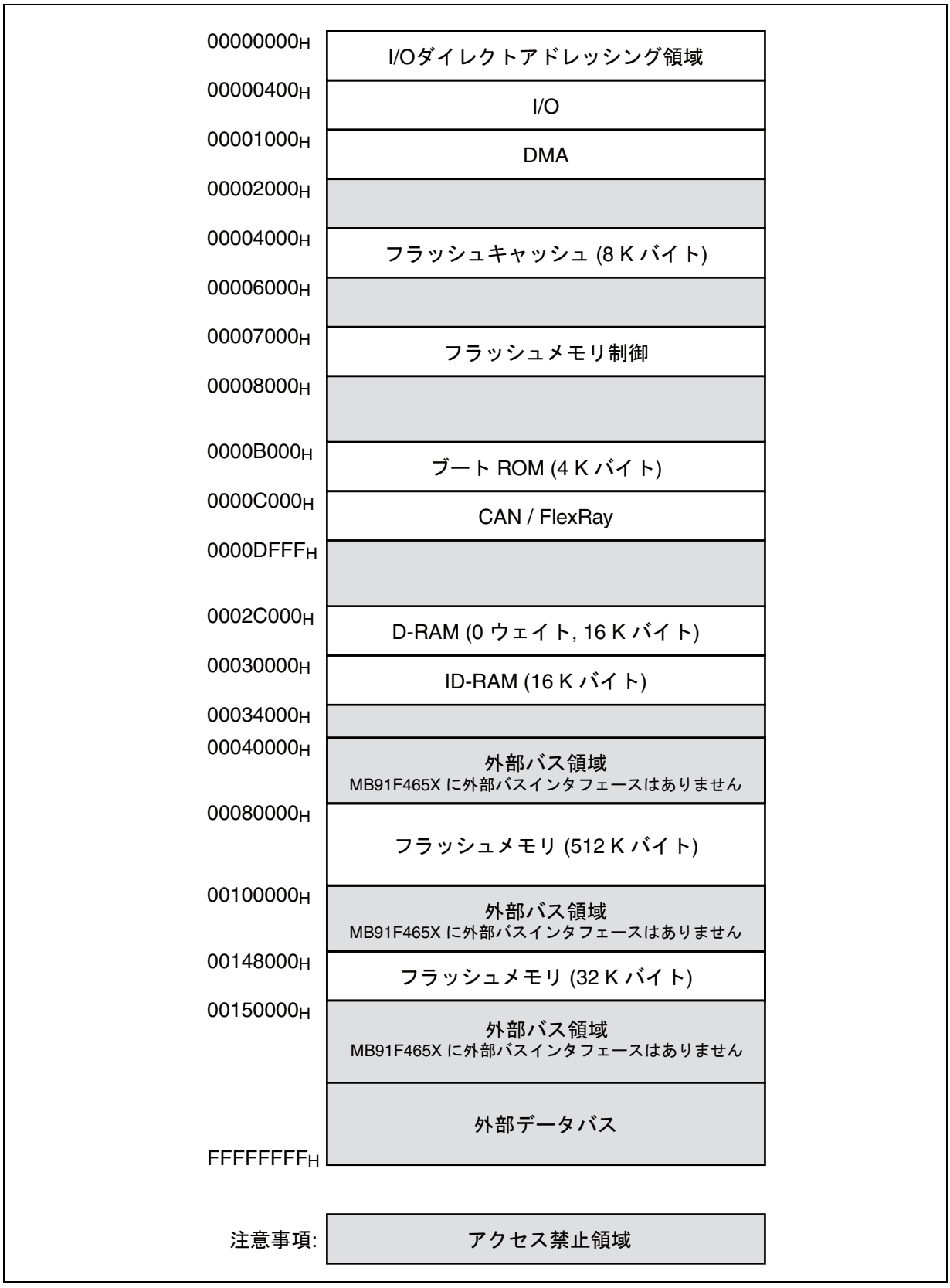
バイトデータアクセス : 000H ～ 0FFH

ハーフワードアクセス : 000H ～ 1FFH

ワードデータアクセス : 000H ～ 3FFH

■ メモリマップ

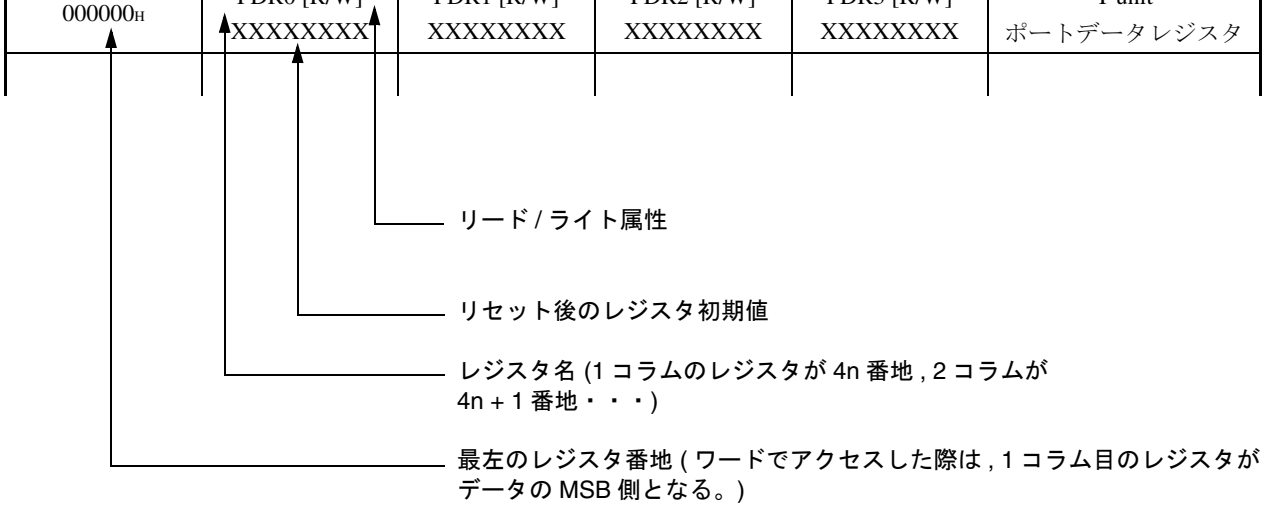
1. MB91F465XA



■ I/O マップ

1. MB91F465XA

アドレス	レジスタ				ブロック
	＋0	＋1	＋2	＋3	
000000H	PDR0 [R/W] XXXXXXXX	PDR1 [R/W] XXXXXXXX	PDR2 [R/W] XXXXXXXX	PDR3 [R/W] XXXXXXXX	T-unit ポートデータレジスタ



（注意事項）レジスタのビット値は , 以下のように初期値を表します。

”1”：初期値 “1”

”0”：初期値 “0”

”X”：初期値 “ 不定 ”

”-”：その位置に物理的にレジスタがない

記述されていないデータアクセス属性によるアクセスは禁止です。

アドレス	レジスタ				ブロック
	+0	+1	+2	+3	
000000H ～ 000008H	予約				予約
00000CH	予約	予約	PDR14 [R/W] XXXXXXXX	PDR15 [R/W] - - XXXXXX	R-bus ポートデータ レジスタ
000010H	PDR16 [R/W] X - - - XXXX	PDR17 [R/W] XXXXXXXX	PDR18 [R/W] - XXX - XXX	PDR19 [R/W] - - - - - XXX	
000014H	予約	予約	PDR22 [R/W] - - XX - - XX	PDR23 [R/W] - - - - - - XX	
000018H	PDR24 [R/W] XXXXXXXX	予約	予約	PDR27 [R/W] - - - - XXXX	
00001CH	PDR28 [R/W] - - - XXXXX	PDR29 [R/W] XXXXXXXX	予約	PDR31 [R/W] - XXX - XXX	
000020H ～ 00002CH	予約				予約
000030H	EIRR0 [R/W] XXXXXXXX	ENIR0 [R/W] 00000000	ELVR0 [R/W] 00000000 00000000		外部割込み (INT 0 ～ INT 7) NMI
000034H	EIRR1 [R/W] XXXXXXXX	ENIR1 [R/W] 00000000	ELVR1 [R/W] 00000000 00000000		外部割込み (INT8, INT12, INT14)
000038H	DICR [R/W] - - - - - - - 0	HRCL [R/W] 0 - - 11111	RBSYNC		遅延割込み
00003CH	予約				予約
000040H ～ 00005CH	予約				予約
000060H	SCR04 [R/W,W] 00000000	SMR04 [R/W,W] 00000000	SSR04 [R/W,R] 00001000	RDR04/TDR04 [R/W] 00000000	LIN-USART 4 FIFO 搭載
000064H	ESCR04 [R/W] 00000X00	ECCR04 [R/W,R,W] -00000XX	FSR04 [R] - - - 00000	FCR04 [R/W] 0001 - 000	
000068H ～ 00006CH	予約				予約
000070H	SCR06 [R/W,W] 00000000	SMR06 [R/W,W] 00000000	SSR06 [R/W,R] 00001000	RDR06/TDR06 [R/W] 00000000	LIN-USART 6 FIFO 搭載
000074H	ESCR06 [R/W] 00000X00	ECCR06 [R/W,R,W] -00000XX	FSR06 [R] - - - 00000	FCR06 [R/W] 0001 - 000	

000078H	SCR07 [R/W,W] 00000000	SMR07 [R/W,W] 00000000	SSR07 [R/W,R] 00001000	RDR07/TDR07 [R/W] 00000000	LIN-USART 7 FIFO 搭載
00007CH	ESCR07 [R/W] 00000X00	ECCR07 [R/W,R,W] -00000XX	FSR07 [R] - - - 00000	FCR07 [R/W] 0001 - 000	
000080H ～ 000084H	予約				予約
000088H	BGR104 [R/W] 00000000	BGR004 [R/W] 00000000	予約	予約	ボーレート ジェネレータ LIN-USART 4, 6 ～ 7
00008CH	BGR106 [R/W] 00000000	BGR006 [R/W] 00000000	BGR107 [R/W] 00000000	BGR007 [R/W] 00000000	
000090H ～ 0000CCH	予約				予約
0000D0H	IBCR0 [R/W] 00000000	IBSR0 [R] 00000000	ITBAH0 [R/W] - - - - - - 00	ITBAL0 [R/W] 00000000	I²C 0
00000D4H	ITMKH0 [R/W] 00 - - - - 11	ITMKL0 [R/W] 11111111	ISMK0 [R/W] 01111111	ISBA0 [R/W] - 0000000	
0000D8H	予約	IDAR0 [R/W] 00000000	ICCR0 [R/W] - 0011111	予約	
00001CH ～ 0000FCH	予約				予約
000100H	GCN10 [R/W] 00110010 00010000		予約	GCN20 [R/W] - - - - 0000	PPG コントロール 0 ～ 3
000104H	GCN11 [R/W] 00110010 00010000		予約	GCN21 [R/W] - - - - 0000	PPG コントロール 4 ～ 7
000108H	GCN12 [R/W] 00110010 00010000		予約	GCN22 [R/W] - - - - 0000	PPG コントロール 8 ～ 11
000110H	PTMR00 [R] 11111111 11111111		PCSR00 [W] XXXXXXXX XXXXXXXX		PPG 0
000114H	PDUT00 [W] XXXXXXXX XXXXXXXX		PCNH00 [R/W] 0000000 -	PCNL00 [R/W] 000000 - 0	
000118H	PTMR01 [R] 11111111 11111111		PCSR01 [W] XXXXXXXX XXXXXXXX		PPG 1
00011CH	PDUT01 [W] XXXXXXXX XXXXXXXX		PCNH01 [R/W] 0000000 -	PCNL01 [R/W] 000000 - 0	
000120H	PTMR02 [R] 11111111 11111111		PCSR02 [W] XXXXXXXX XXXXXXXX		PPG 2
000124H	PDUT02 [W] XXXXXXXX XXXXXXXX		PCNH02 [R/W] 0000000 -	PCNL02 [R/W] 000000 - 0	
000128H	PTMR03 [R] 11111111 11111111		PCSR03 [W] XXXXXXXX XXXXXXXX		PPG 3
00012CH	PDUT03 [W] XXXXXXXX XXXXXXXX		PCNH03 [R/W] 0000000 -	PCNL03 [R/W] 000000 - 0	

000130H	PTMR04 [R] 11111111 11111111	PCSR04 [W] XXXXXXXX XXXXXXXX	PPG 4
000134H	PDUT04 [W] XXXXXXXX XXXXXXXX	PCNH04 [R/W] 0000000 - / PCNL04 [R/W] 000000 - 0	
000138H	PTMR04 [R] 11111111 11111111	PCSR05 [W] XXXXXXXX XXXXXXXX	PPG 5
00013CH	PDUT05 [W] XXXXXXXX XXXXXXXX	PCNH05 [R/W] 0000000 - / PCNL05 [R/W] 000000 - 0	
000140H	PTMR06 [R] 11111111 11111111	PCSR06 [W] XXXXXXXX XXXXXXXX	PPG 6
000144H	PDUT06 [W] XXXXXXXX XXXXXXXX	PCNH06 [R/W] 0000000 - / PCNL06 [R/W] 000000 - 0	
000148H	PTMR07 [R] 11111111 11111111	PCSR07 [W] XXXXXXXX XXXXXXXX	PPG 7
00014CH	PDUT07 [W] XXXXXXXX XXXXXXXX	PCNH07 [R/W] 0000000 - / PCNL07 [R/W] 000000 - 0	
000150H	PTMR08 [R] 11111111 11111111	PCSR08 [W] XXXXXXXX XXXXXXXX	PPG 8
000154H	PDUT06 [W] XXXXXXXX XXXXXXXX	PCNH08 [R/W] 0000000 - / PCNL08 [R/W] 000000 - 0	
000158H	PTMR09 [R] 11111111 11111111	PCSR09 [W] XXXXXXXX XXXXXXXX	PPG 9
00015CH	PDUT09 [W] XXXXXXXX XXXXXXXX	PCNH09 [R/W] 0000000 - / PCNL09 [R/W] 000000 - 0	
000160H	PTMR10 [R] 11111111 11111111	PCSR10 [W] XXXXXXXX XXXXXXXX	PPG 10
000164H	PDUT10 [W] XXXXXXXX XXXXXXXX	PCNH10 [R/W] 0000000 - / PCNL10 [R/W] 000000 - 0	
000168H	PTMR11 [R] 11111111 11111111	PCSR11 [W] XXXXXXXX XXXXXXXX	PPG 11
00016CH	PDUT11 [W] XXXXXXXX XXXXXXXX	PCNH11 [R/W] 0000000 - / PCNL11 [R/W] 000000 - 0	
000170H ～ 00017CH	予約		予約
000180H	予約 / ICS01 [R/W] 00000000	予約 / ICS23 [R/W] 00000000	インプット キャプチャ 0 ～ 3
000184H	IPCP0 [R] XXXXXXXX XXXXXXXX	IPCP1 [R] XXXXXXXX XXXXXXXX	
000188H	IPCP2 [R] XXXXXXXX XXXXXXXX	IPCP3 [R] XXXXXXXX XXXXXXXX	
00018CH	OCS01 [R/W] - - - 0 - - 00 0000 - - 00	OCS23 [R/W] - - - 0 - - 00 0000 - - 00	アウトプット コンペア 0 ～ 3
000190H	OCCP0 [R/W] XXXXXXXX XXXXXXXX	OCCP1 [R/W] XXXXXXXX XXXXXXXX	
000194H	OCCP2 [R/W] XXXXXXXX XXXXXXXX	OCCP3 [R/W] XXXXXXXX XXXXXXXX	

000198H ～ 00019CH	予約				予約
0001A0H	ADERH [R/W] 00000000 00000000		ADERL [R/W] 00000000 00000000		A/D コンバータ
0001A4	ADCS1 [R/W] 00000000	ADCS0 [R/W] 00000000	ADCR1 [R] 000000XX	ADCR0 [R] XXXXXXXX	
0001A8H	ADCT1 [R/W] 00010000	ADCT0 [R/W] 00101100	ADSCH [R/W] - - - 00000	ADECH [R/W] - - - 00000	
0001ACH	予約				予約
0001B0H	TMRLR0 [W] XXXXXXXX XXXXXXXX		TMR0 [R] XXXXXXXX XXXXXXXX		リロードタイマ 0 (PPG 0, PPG 1)
0001B4H	予約		TMCSRH0 [R/W] - - - 00000	TMCSRL0 [R/W] 0 - 000000	
0001B8H	TMRLR1 [W] XXXXXXXX XXXXXXXX		TMR1 [R] XXXXXXXX XXXXXXXX		リロードタイマ 1 (PPG 2, PPG 3)
0001BCH	予約		TMCSRH1 [R/W] - - - 00000	TMCSRL1 [R/W] 0 - 000000	
0001C0H	TMRLR2 [W] XXXXXXXX XXXXXXXX		TMR2 [R] XXXXXXXX XXXXXXXX		リロードタイマ 2 (PPG 4, PPG 5)
0001C4H	予約		TMCSRH2 [R/W] - - - 00000	TMCSRL2 [R/W] 0 - 000000	
0001C8H	TMRLR3 [W] XXXXXXXX XXXXXXXX		TMR3 [R] XXXXXXXX XXXXXXXX		リロードタイマ 3 (PPG 6, PPG 7)
0001CCH	予約		TMCSRH3 [R/W] - - - 00000	TMCSRL3 [R/W] 0 - 000000	
0001D0H	TMRLR4 [W] XXXXXXXX XXXXXXXX		TMR4 [R] XXXXXXXX XXXXXXXX		リロードタイマ 4 (PPG 8, PPG 9)
0001D4H	予約		TMCSRH4 [R/W] - - - 00000	TMCSRL4 [R/W] 0 - 000000	
0001D8H	TMRLR5 [W] XXXXXXXX XXXXXXXX		TMR5 [R] XXXXXXXX XXXXXXXX		リロードタイマ 5 (PPG 10, PPG 11)
0001DCH	予約		TMCSRH5 [R/W] - - - 00000	TMCSRL5 [R/W] 0 - 000000	
0001E0H	TMRLR6 [W] XXXXXXXX XXXXXXXX		TMR6 [R] XXXXXXXX XXXXXXXX		リロードタイマ 6
0001E4H	予約		TMCSRH6 [R/W] - - - 00000	TMCSRL6 [R/W] 0 - 000000	

0001E8H	TMRLR7 [W] XXXXXXXX XXXXXXXX	TMR7 [R] XXXXXXXX XXXXXXXX		リロードタイマ 7 (A/D コンバータ)
0001ECH	予約	TMCSRH7 [R/W] - - - 00000	TMCSRL7 [R/W] 0 - 000000	
0001F0H	TCDT0 [R/W] XXXXXXXX XXXXXXXX	予約	TCCS0 [R/W] 00000000	フリーラン タイマ 0 (ICU 0, ICU 1)
0001F4H	TCDT1 [R/W] XXXXXXXX XXXXXXXX	予約	TCCS1 [R/W] 00000000	フリーラン タイマ 1 (ICU 2, ICU 3)
0001F8H	TCDT2 [R/W] XXXXXXXX XXXXXXXX	予約	TCCS2 [R/W] 00000000	フリーラン タイマ 2 (OCU 0, OCU 1)
0001FCH	TCDT3 [R/W] XXXXXXXX XXXXXXXX	予約	TCCS3 [R/W] 00000000	フリーラン タイマ 3 (OCU 2, OCU 3)
000200H	DMACA0 [R/W] 00000000 0000XXXX XXXXXXXX XXXXXXXX			DMAC
000204H	DMACB0 [R/W] 00000000 00000000 XXXXXXXX XXXXXXXX			
000208H	DMACA1 [R/W] 00000000 0000XXXX XXXXXXXX XXXXXXXX			
00020CH	DMACB1 [R/W] 00000000 00000000 XXXXXXXX XXXXXXXX			
000210H	DMACA2 [R/W] 00000000 0000XXXX XXXXXXXX XXXXXXXX			
000214H	DMACB2 [R/W] 00000000 00000000 XXXXXXXX XXXXXXXX			
000218H	DMACA3 [R/W] 00000000 0000XXXX XXXXXXXX XXXXXXXX			
00021CH	DMACB3 [R/W] 00000000 00000000 XXXXXXXX XXXXXXXX			
000220H	DMACA4 [R/W] 00000000 0000XXXX XXXXXXXX XXXXXXXX			
000224H	DMACB4 [R/W] 00000000 00000000 XXXXXXXX XXXXXXXX			
000228H ～ 00023CH	予約			予約
000240H	DMACR [R/W] 00 - - 0000	予約		予約
000244H ～ 0002CCH	予約			予約

0002D0H	予約	ICS045 [R/W] 00000000	予約	ICS67 [R/W] 00000000	インプット キャプチャ 4 ～ 7
0002D4H	IPCP4 [R] XXXXXXXX XXXXXXXX		IPCP5 [R] XXXXXXXX XXXXXXXX		
0002D8H	IPCP6 [R] XXXXXXXX XXXXXXXX		IPCP7 [R] XXXXXXXX XXXXXXXX		
0002DCH	OCS45 [R/W] - - - 0 - - 00 0000 - - 00		予約		アウトプット コンペア 4 ～ 5
0002E0H	OCCP4 [R/W] XXXXXXXX XXXXXXXX		OCCP5 [R/W] XXXXXXXX XXXXXXXX		
0002E4H ～ 0002ECH	予約				予約
0002F0H	TCDT4 [R/W] XXXXXXXX XXXXXXXX		予約	TCCS4 [R/W] 00000000	フリーラン タイマ 4 (ICU 4, ICU 5)
0002F4H	TCDT5 [R/W] XXXXXXXX XXXXXXXX		予約	TCCS5 [R/W] 00000000	フリーラン タイマ 5 (ICU 6, ICU 7)
0002F8H	TCDT6 [R/W] XXXXXXXX XXXXXXXX		予約	TCCS6 [R/W] 00000000	フリーラン タイマ 6 (OCU 4-, OCU)
0002FCH	TCDT7 [R/W] XXXXXXXX XXXXXXXX		予約	TCCS7 [R/W] 00000000	フリーラン タイマ 7
000300H ～ 00038CH	予約				予約
000390H	ROMS [R] 11111111 01000011		予約		ROM 選択レジスタ
000394H ～ 0003ECH	予約				予約
0003F0H	BSD0 [W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				ビットサーチ モジュール
0003F4H	BSD1 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0003F8H	BSDC [W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0003FCH	BSRR [R] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000400H ～ 00043CH	予約				予約

000440H	ICR00 [R/W] ---11111	ICR01 [R/W] ---11111	ICR02 [R/W] ---11111	ICR03 [R/W] ---11111	割込み要因 コントロール ユニット
000444H	ICR04 [R/W] ---11111	ICR05 [R/W] ---11111	ICR06 [R/W] ---11111	ICR07 [R/W] ---11111	
000448H	ICR08 [R/W] ---11111	ICR09 [R/W] ---11111	ICR10 [R/W] ---11111	ICR11 [R/W] ---11111	
00044CH	ICR12 [R/W] ---11111	ICR13 [R/W] ---11111	ICR14 [R/W] ---11111	ICR15 [R/W] ---11111	
000450H	ICR16 [R/W] ---11111	ICR17 [R/W] ---11111	ICR18 [R/W] ---11111	ICR19 [R/W] ---11111	
000454H	ICR20 [R/W] ---11111	ICR21 [R/W] ---11111	ICR22 [R/W] ---11111	ICR23 [R/W] ---11111	
000458H	ICR24 [R/W] ---11111	ICR25 [R/W] ---11111	ICR26 [R/W] ---11111	ICR27 [R/W] ---11111	
00045CH	ICR28 [R/W] ---11111	ICR29 [R/W] ---11111	ICR30 [R/W] ---11111	ICR31 [R/W] ---11111	
000460H	ICR32 [R/W] ---11111	ICR33 [R/W] ---11111	ICR34 [R/W] ---11111	ICR35 [R/W] ---11111	
000464H	ICR36 [R/W] ---11111	ICR37 [R/W] ---11111	ICR38 [R/W] ---11111	ICR39 [R/W] ---11111	
000468H	ICR40 [R/W] ---11111	ICR41 [R/W] ---11111	ICR42 [R/W] ---11111	ICR43 [R/W] ---11111	
00046CH	ICR44 [R/W] ---11111	ICR45 [R/W] ---11111	ICR46 [R/W] ---11111	ICR47 [R/W] ---11111	
000470H	ICR48 [R/W] ---11111	ICR49 [R/W] ---11111	ICR50 [R/W] ---11111	ICR51 [R/W] ---11111	
000474H	ICR52 [R/W] ---11111	ICR53 [R/W] ---11111	ICR54 [R/W] ---11111	ICR55 [R/W] ---11111	
000478H	ICR56 [R/W] ---11111	ICR57 [R/W] ---11111	ICR58 [R/W] ---11111	ICR59 [R/W] ---11111	
00047CH	ICR60 [R/W] ---11111	ICR61 [R/W] ---11111	ICR62 [R/W] ---11111	ICR63 [R/W] ---11111	
000480H	RSRR [R/W] 10000000	STCR [R/W] 00110011	TBCR [R/W] X0000X00	CTBR [W] XXXXXXXX	クロック コントロール ユニット
000484H	CLKR [R/W] 00000000	WPR [W] XXXXXXXX	DIVR0 [R/W] 00000011	DIVR1 [R/W] 00000000	
000488H	予約				予約
00048CH	PLLDIVM [R/W] - - - - 0000	PLLDIVN [R/W] - - 000000	PLLDIVG [R/W] - - - - 0000	PLLMULG [R/W] 00000000	PLL クロック ギアユニット
000490H	PLLCTRL [R/W] - - - - 0000	予約	予約	予約	
000494H	OSCC1 [R/W] - - - - - 010	OSCS1 [R/W] 00001111	OSCC2 [R/W] - - - - - 010	OSCS2 [R/W] 00001111	メイン / サブ発振 コントロール
000498H	PORTEN [R/W] - - - - - - 00	予約	予約	予約	ポート入力許可 コントロール

0004A0H	予約	WTCER [R/W] - - - - - - 00	WTCR [R/W] 00000000 000 - 00 - 0		リアルタイムクロック (ウォッチタイマ)
0004A4H	予約	WTBR [R/W] - - - XXXXX XXXXXXXX XXXXXXXX			
0004A8H	WTHR [R/W] - - - 00000	WTMR [R/W] - - 000000	WTSR [R/W] - - 000000	予約	
0004ACH	CSVTR [R/W] - - - 00010	CSVCR [R/W] 00011100	CSCFG [R/W] 0X000000	予約	クロック スーパバイザ / セレクタ
0004B0H	CUCR [R/W] - - - - - - - - - - - - 0 - - 00		CUTD [R/W] 10000000 00000000		サブ発振キャリブレーションユニット
0004B4H	CUTR1 [R] - - - - - - - - 00000000		CUTR2 [R] 00000000 00000000		
0004B8H	CMPR [R/W] - - 000010 11111101		予約	CMCR [R/W] - 001 - - 00	クロック モジュレータ
0004BCH	CMT1 [R/W] 00000000 1 - - - 0000		CMT2 [R/W] - - 000000 - - 000000		
0004C0H	CANPRE [R/W] - - 00000	CANCKD [R/W] - - - 0 - - - 0*1	予約	予約	CAN クロック コントロール
0004C4H	LVSEL [R/W] 00000111	LVDET [R/W] 00000-00	HWWDE [R/W] - - - - - - 00	HWWD [R/W,W] 00011000	低電圧検出 / ハードウェア ウォッチドッグ
0004C8H	OSCRH [R/W] 000 - - 001	OSCRL [R/W] - - - - - 000	WPCRH [R/W] 00 - - - 000	WPCRL [R/W] - - - - - - 00	メインサブ発振安定 タイマ
0004CCH	OSCCR [R/W] - - - - - - 00	予約	REGSEL [R/W] - - 000110	REGCTR [R/W] - - - 0 - - 00	メイン / サブ発振スタンバイコントロール メイン / サブレギュレータコントロール
0004D0H ～ 0004D8H	予約				予約
0004DCH	PLL2DIVM [R/W] - - - - 0000	PLL2DIVN [R/W] - - 000000	PLL2DIVG [R/W] - - - - 0000	PLL2MULG [R/W] 00000000	PLL2 クロック コントロール (FlexRay)
0004E0H	PLL2CTRL [R/W] - - - - 0000	予約	CLKR2 [R/W] - - - 00000	予約	
0004E4H ～ 000BFCH	予約				予約
000C00H	予約	予約	予約	IOS [R/W] - - - - - - - 0	I-Unit
000C04H ～ 000D08H	予約				予約

000D0CH	予約	予約	PDRD14 [R] XXXXXXXX	PDRD15 [R] - - XXXXXX	R-bus ポートデータ 直接リード レジスタ
000D10	PDRD16 [R] X - - - XXXX	PDRD17 [R] XXXXXXXX	PDRD18 [R] - XXX - XXX	PDRD19 [R] - - - - - XXX	
000D14H	予約	予約	PDRD22 [R] - - XX - - XX	PDRD23 [R] - - - - - - XX	
000D18H	PDRD24 [R] XXXXXXXX	予約	予約	PDRD27 [R] - - - - XXXX	
000D1CH	PDRD28 [R] - - - XXXXX	PDRD29 [R] XXXXXXXX	予約	PDRD31 [R] - XXX - XXX	
000D20H ～ 000D48H	予約				予約
000D4CH	予約	予約	DDR14 [R/W] 00000000	DDR15 [R/W] - - 000000	R-bus ポート方向 レジスタ
000D50H	DDR16 [R/W] 0 - - - 0000	DDR17 [R/W] 00000000	DDR18 [R/W] - 000 - 000	DDR19 [R/W] - - - - - 000	
000D54H	予約	予約	DDR22 [R/W] - - 00 - - 00	DDR23 [R/W] - - - - - - 00	
000D58H	DDR24 [R/W] 00000000	予約	予約	DDR27 [R/W] - - - - 0000	
000D5CH	DDR28 [R/W] - - - 00000	DDR29 [R/W] 00000000	予約	DDR31 [R/W] - 000 - 000	
000D60H ～ 000D88H	予約				予約
000D8CH	予約	予約	PFR14 [R/W] 00000000	PFR15 [R/W] - - 000000	R-bus ポート機能 レジスタ
000D90H	PFR16 [R/W] 0 - - - 0000	PFR17 [R/W] 00000000	PFR18 [R/W] - 000 - 000	PFR19 [R/W] - - - - - 000	
000D94H	予約	予約	PFR22 [R/W] - - 00 - - 00	PFR23 [R/W] - - - - - - 00	
000D98H	PFR24 [R/W] 00000000	予約	予約	PFR27 [R/W] - - - - 0000	
000D9CH	PFR28 [R/W] - - - 00000	PFR29 [R/W] 00000000	予約	PFR31 [R/W] - 000 - 000	
000DA0H ～ 000DC8H	予約				予約
000DCCH	予約	予約	EPFR14 [R/W] 00000000	EPFR15 [R/W] - - 000000	R-bus 拡張 ポート機能レジスタ
000DD0H	EPFR16 [R/W] 0 - - - - - - -	予約	EPFR18 [R/W] - 0 - - - 0 - -	EPFR19 [R/W] - - - - - 0 - -	
000DD4H	予約	予約	予約	予約	
000DD8H	予約	予約	予約	EPFR27 [R/W] - - - - 0000	
000DDCH	予約	予約	予約	EPFR31 [R/W] - 000 - 000	

000DE0H ～ 000E08H	予約				予約
000E0CH	予約	予約	PODR14 [R/W] 00000000	PODR15 [R/W] - - 000000	R-bus ポート 出力ドライブ選択 レジスタ
000E10H	PODR16 [R/W] 0 - - - 0000	PODR17 [R/W] 00000000	PODR18 [R/W] - 000 - 000	PODR19 [R/W] - - - - - 000	
000E14H	予約	予約	PODR22 [R/W] - - 00 - - 00	PODR23 [R/W] - - - - - - 00	
000E18H	PODR24 [R/W] 00000000	予約	予約	PODR27 [R/W] - - - - 0000	
000E1CH	PODR28 [R/W] - - - 00000	PODR29 [R/W] 00000000	予約	PODR31 [R/W] - 000 - 000	
000E20H ～ 000E48H	予約				予約
000E4CH	予約	予約	PILR14 [R/W] 00000000	PILR15 [R/W] - - 000000	R-bus ポート 入力レベル選択 レジスタ
000E50H	PILR16 [R/W] 0 - - - 0000	PILR17 [R/W] 00000000	PILR18 [R/W] - 000 - 000	PILR19 [R/W] - - - - - 000	
000E54H	予約	予約	PILR22 [R/W] - - 00 - - 00	PILR23 [R/W] - - - - - - 00	
000E58H	PILR24 [R/W] 00000000	予約	予約	PILR27 [R/W] - - - - 0000	
000E5CH	PILR28 [R/W] - - - 00000	PILR29 [R/W] 00000000	予約	PILR31 [R/W] - 000 - 000	
000E60H ～ 000E88H	予約				予約
000E8CH	予約	予約	EPILR14 [R/W] 00000000	EPILR15 [R/W] - - 000000	R-bus 拡張 ポート入力レベル 選択レジスタ
000E90H	EPILR16 [R/W] 0 - - - 0000	EPILR17 [R/W] 00000000	EPILR18 [R/W] - 000 - 000	EPILR19 [R/W] - - - - - 000	
000E94H	予約	予約	EPILR22 [R/W] - - 00 - - 00	EPILR23 [R/W] - - - - - - 00	
000E98H	EPILR24 [R/W] 00000000	予約	予約	EPILR27 [R/W] - - - - 0000	
000E9CH	EPILR28 [R/W] - - - 00000	EPILR29 [R/W] 00000000	予約	EPILR31 [R/W] - 000 - 000	
000EA0H ～ 000EC8H	予約				予約

000ECCH	予約	予約	PPER14 [R/W] 00000000	PPER15 [R/W] - - 000000	R-bus ポート プルアップ / プルダウン 許可レジスタ
000ED0H	PPER16 [R/W] 0 - - - 0000	PPER17 [R/W] 00000000	PPER18 [R/W] - 000 - 000	PPER19 [R/W] - - - - - 000	
000ED4H	予約	予約	PPER22 [R/W] - - 00 - - 00	PPER23 [R/W] - - - - - - 00	
000ED8H	PPER24 [R/W] 00000000	予約	予約	PPER27 [R/W] - - - - 0000	
000EDCH	PPER28 [R/W] - - - 00000	PPER29 [R/W] 00000000	予約	PPER31 [R/W] - 000 - 000	
000EE0H ～ 000F08H	予約				予約
000F0CH	予約	予約	PPCR14 [R/W] 11111111	PPCR15 [R/W] - - 111111	R-bus ポート プルアップ / プルダウン コントロールレジスタ
000F10H	PPCR16 [R/W] 1 - - - 1111	PPCR17 [R/W] 11111111	PPCR18 [R/W] - 111 - 111	PPCR19 [R/W] - - - - - 111	
000F14H	予約	予約	PPCR22 [R/W] - - 11 - - 11	PPCR23 [R/W] - - - - - - 11	
000F18H	PPCR24 [R/W] 11111111	予約	予約	PPCR27 [R/W] - - - - 1111	
000F1CH	PPCR28 [R/W] - - - 11111	PPCR29 [R/W] 11111111	予約	PPCR31 [R/W] - 111 – 111	
000F20H ～ 000F3CH	予約				予約
001000H	DMASA0 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				DMAC
001004H	DMADA0 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001008H	DMASA1 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
00100CH	DMADA1 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001010H	DMASA2 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001014H	DMADA2 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001018H	DMASA3 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
00101CH	DMADA3 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001020H	DMASA4 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001024H	DMADA4 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

001028H ～ 006FFCH	予約			予約
007000H	FMCS [R/W] 01101000	FMCR [R] - - - 00000	FCHCR [R/W] - - - - - - 00 10000011	フラッシュメモリ キャッシュ コントロール レジスタ
007004H	FMWT [R/W] 11111111 11111111		FMWT2 [R] - 001 - - - -	FMPS [R/W] - - - - - 000
007008H	FMAC [R] 00000000 00000000 00000000 00000000			
00700CH ～ 007FFCH	予約			予約
008000H ～ 00BFFCH	MB91F465XA Boot-ROM サイズは 4K バイト：00B000H ～ 00BFFCH (命令アクセスは 1 ウェイトサイクル , データアクセスは 1 ウェイトサイクル)			ブート ROM 領域
00C000H	CTRLR0 [R/W] 00000000 00000001		STATR0 [R/W] 00000000 00000000	CAN 0 コントロール レジスタ
00C004H	ERRCNT0 [R] 00000000 00000000		BTR0 [R/W] 00100011 00000001	
00C008H	INTR0 [R] 00000000 00000000		TESTR0 [R/W] 00000000 X0000000	
00C00CH	BRPE0 [R/W] 00000000 00000000		CBSYNC0	
00C010H	IF1CREQ0 [R/W] 00000000 00000001		IF1CMSK0 [R/W] 00000000 00000000	CAN 0 IF 1 レジスタ
00C014H	IF1MSK20 [R/W] 11111111 11111111		IF1MSK10 [R/W] 11111111 11111111	
00C018H	IF1ARB20 [R/W] 00000000 00000000		IF1ARB10 [R/W] 00000000 00000000	
00C01CH	IF1MCTR0 [R/W] 00000000 00000000		予約	
00C020H	IF1DTA10 [R/W] 00000000 00000000		IF1DTA20 [R/W] 00000000 00000000	
00C024H	IF1DTB10 [R/W] 00000000 00000000		IF1DTB20 [R/W] 00000000 00000000	
00C028H ～ 00C02CH	予約			
00C030H	IF1DTA20 [R/W] 00000000 00000000		IF1DTA10 [R/W] 00000000 00000000	
00C034H	IF1DTB20 [R/W] 00000000 00000000		IF1DTB10 [R/W] 00000000 00000000	
00C038H ～ 00C03CH	予約			

00C040H	IF2CREQ0 [R/W] 00000000 00000001	IF2CMSK0 [R/W] 00000000 00000000	CAN 0 IF 2 レジスタ
00C044H	IF2MSK20 [R/W] 11111111 11111111	IF2MSK10 [R/W] 11111111 11111111	
00C048H	IF2ARB20 [R/W] 00000000 00000000	IF2ARB10 [R/W] 00000000 00000000	
00C04CH	IF2MCTR0 [R/W] 00000000 00000000	予約	
00C050H	IF2DTA10 [R/W] 00000000 00000000	IF2DTA20 [R/W] 00000000 00000000	
00C054H	IF2DTB10 [R/W] 00000000 00000000	IF2DTB20 [R/W] 00000000 00000000	
00C058H ～ 00C05CH	予約		
00C060H	IF2DTA20 [R/W] 00000000 00000000	IF2DTA10 [R/W] 00000000 00000000	
00C064H	IF2DTB20 [R/W] 00000000 00000000	IF2DTB10 [R/W] 00000000 00000000	
00C068H ～ 00C07CH	予約		
00C080H	TREQR20 [R] 00000000 00000000	TREQR10 [R] 00000000 00000000	CAN 0 ステータスフラグ
00C084H ～ 00C08CH	予約		
00C090H	NEWDT20 [R] 00000000 00000000	NEWDT10 [R] 00000000 00000000	
00C094H ～ 00C09CH	予約		
00C0A0H	INTPND20 [R] 00000000 00000000	INTPND10 [R] 00000000 00000000	
00C0A4H ～ 00C0ACH	予約		
00C0B0H	MSGVAL20 [R] 00000000 00000000	MSGVAL10 [R] 00000000 00000000	
00C0B4H ～ 00C3FCH	予約		

00C400H	CTRLR4 [R/W] 00000000 00000001	STATR4 [R/W] 00000000 00000000	CAN 4 コントロール レジスタ
00C404H	ERRCNT4 [R] 00000000 00000000	BTR4 [R/W] 00100011 00000001	
00C408H	INTR4 [R] 00000000 00000000	TESTR4 [R/W] 00000000 X0000000	
00C40CH	BRPE4 [R/W] 00000000 00000000	CBSYNC4	
00C410H	IF1CREQ4 [R/W] 00000000 00000001	IF1CMSK4 [R/W] 00000000 00000000	CAN 4 IF 1 レジスタ
00C414H	IF1MSK24 [R/W] 11111111 11111111	IF1MSK14 [R/W] 11111111 11111111	
00C418H	IF1ARB24 [R/W] 00000000 00000000	IF1ARB14 [R/W] 00000000 00000000	
00C41CH	IF1MCTR4 [R/W] 00000000 00000000	予約	
00C420H	IF1DTA14 [R/W] 00000000 00000000	IF1DTA24 [R/W] 00000000 00000000	
00C424H	IF1DTB14 [R/W] 00000000 00000000	IF1DTB24 [R/W] 00000000 00000000	
00C428H ～ 00C42CH	予約		
00C430H	IF1DTA24 [R/W] 00000000 00000000	IF1DTA14 [R/W] 00000000 00000000	
00C434H	IF1DTB24 [R/W] 00000000 00000000	IF1DTB14 [R/W] 00000000 00000000	
00C438H ～ 00C43CH	予約		

00C440H	IF2CREQ4 [R/W] 00000000 00000001	IF2CMSK4 [R/W] 00000000 00000000	CAN 4 IF 2 レジスタ
00C444H	IF2MSK24 [R/W] 11111111 11111111	IF2MSK14 [R/W] 11111111 11111111	
00C448H	IF2ARB24 [R/W] 00000000 00000000	IF2ARB14 [R/W] 00000000 00000000	
00C44CH	IF2MCTR4 [R/W] 00000000 00000000	予約	
00C450H	IF2DTA14 [R/W] 00000000 00000000	IF2DTA24 [R/W] 00000000 00000000	
00C454H	IF2DTB14 [R/W] 00000000 00000000	IF2DTB24 [R/W] 00000000 00000000	
00C458H ～ 00C45CH	予約		
00C460H	IF2DTA24 [R/W] 00000000 00000000	IF2DTA14 [R/W] 00000000 00000000	
00C464H	IF2DTB24 [R/W] 00000000 00000000	IF2DTB14 [R/W] 00000000 00000000	
00C468H ～ 00C47CH	予約		
00C480H	TREQR24 [R] 00000000 00000000	TREQR14 [R] 00000000 00000000	CAN 4 ステータスフラグ
00C484H ～ 00C48CH	予約		
00C490H	NEWDT24 [R] 00000000 00000000	NEWDT14 [R] 00000000 00000000	
00C494H ～ 00C49CH	予約		
00C4A0H	INTPND24 [R] 00000000 00000000	INTPND14 [R] 00000000 00000000	
00C4A4H ～ 00C4ACH	予約		
00C4B0H	MSGVAL24 [R] 00000000 00000000	MSGVAL14 [R] 00000000 00000000	
00C4B4H ～ 00CFFCH	予約		
00D000H	CIF0 [R] 00000100 11111111 01011011 11111111		FlexRay CIF
00D004H	CIF1 [R/W] 00000000 00000000 00000000 00000000		
00D008H ～ 00D00CH	予約 (2)		予約

00D010H	TEST1 [R/W] 00000000 00000000 00000011 00000000	FlexRay GIF
00D014H	TEST2 [R/W] 00000000 00000000 00000000 00000000	
00D018H	予約 (1)	
00D01CH	LCK [R/W] 00000000 00000000 00000000 00000000	
00D020H	EIR [R/W] 00000000 00000000 00000000 00000000	FlexRay INT
00D024H	SIR [R/W] 00000000 00000000 00000000 00000000	
00D028H	EILS [R/W] 00000000 00000000 00000000 00000000	
00D02CH	SILS [R/W] 00000011 00000011 11111111 11111111	
00D030H	EIES [R/W] 00000000 00000000 00000000 00000000	
00D034H	EIER [R/W] 00000000 00000000 00000000 00000000	
00D038H	SIES [R/W] 00000000 00000000 00000000 00000000	
00D03CH	SIER [R/W] 00000000 00000000 00000000 00000000	
00D040H	ILE [R/W] 00000000 00000000 00000000 00000000	
00D044H	T0C [R/W] 00000000 00000000 00000000 00000000	
00D048H	T1C [R/W] 00000000 00000010 00000000 00000000	
00D04CH	STPW1 [R/W] 00000000 00000000 00000000 00000000	
00D050H	STPW2 [R/W] 00000000 00000000 00000000 00000000	
00D050H ～ 00D07CH	予約 (11)	予約
00D080H	SUCC1 [R/W] 00001100 01000000 00010000 00000000	FlexRay SUC
00D084H	SUCC2 [R/W] 00000001 00000000 00000101 00000100	
00D088H	SUCC3 [R/W] 00000000 00000000 00000000 00010001	
00D08CH	NEMC [R/W] 00000000 00000000 00000000 00000000	FlexRay NEM
00D090H	PRTC1 [R/W] 00001000 01001100 00000110 00110011	FlexRay PRT
00D094H	PRTC2 [R/W] 00001111 00101101 00001010 00001110	

00D098H	MHDC [R/W] 00000000 00000000 00000000 00000000	FlexRay MHD
00D09CH	予約 (1)	予約
00D0A0H	GTUC1 [R/W] 00000000 00000000 00000010 10000000	FlexRay GTU
00D0A4H	GTUC2 [R/W] 00000000 00000010 00000000 00001010	
00D0A8H	GTUC3 [R/W] 00000010 00000010 00000000 00000000	
00D0ACH	GTUC4 [R/W] 00000000 00001000 00000000 00000111	
00D0B0H	GTUC5 [R/W] 00001110 00000000 00000000 00000000	
00D0B4H	GTUC6 [R/W] 00000000 00000010 00000000 00000000	
00D0B8H	GTUC7 [R/W] 00000000 00000010 00000000 00000100	
00D0BCH	GTUC8 [R/W] 00000000 00000000 00000000 00000010	
00D0C0H	GTUC9 [R/W] 00000000 00000000 0000001 00000001	
00D0C4H	GTUC10 [R/W] 00000000 00000010 00000000 00000101	
00D0C8H	GTUC11 [R/W] 00000000 00000000 00000000 00000000	
00D0CCH ～ 00D0FCH	予約 (11)	予約
00D100H	CCSV [R] 00000000 00010000 01000000 00000000	FlexRay SUC
00D104H	CCEV [R] 00000000 00000000 00000000 00000000	
00D108H ～ 00D10CH	予約 (2)	予約

00D110H	SCV [R] 00000000 00000000 00000000 00000000	FlexRay GTU
00D114H	MTCCV [R] 00000000 00000000 00000000 00000000	
00D118H	RCV [R] 00000000 00000000 00000000 00000000	
00D11CH	OCV [R] 00000000 00000000 00000000 00000000	
00D120H	SFS [R] 00000000 00000000 00000000 00000000	
00D124H	SWNIT [R] 00000000 00000000 00000000 00000000	
00D128H	ACS [R/W] 00000000 00000000 00000000 00000000	
00D12CH	予約 (1)	
00D130H- 00D168H	ESIDn[1-15] [R] 00000000 00000000 00000000 00000000	
00D16CH	予約 (1)	
00D170H 00D1A8H	OSIDn[1-15] [R] 00000000 00000000 00000000 00000000	
00D1ACH	予約 (1)	予約
00D1B0H 00D1B8H	NMVn[1-3] [R] 00000000 00000000 00000000 00000000	FlexRay NEM
00D1BCH- 00D2FCH	予約 (81)	予約
00D300H	MRC [R/W] 00000001 10000000 00000000 00000000	FlexRay MHD
00D304H	FRF [R/W] 00000001 10000000 00000000 00000000	
00D308H	FRFM [R/W] 00000000 00000000 00000000 00000000	
00D30CH	FCL [R/W] 00000000 00000000 0000000 10000000	
00D310H	MHDS [R/W] 00000000 00000000 0000000 10000000	
00D314H	LDTS [R] 00000000 00000000 00000000 00000000	

00D318H	FSR [R] 00000000 00000000 00000000 00000000	FlexRay MHD
00D31CH	MHDF [R/W] 00000000 00000000 00000000 00000000	
00D320H	TXRQ1 [R] 00000000 00000000 00000000 00000000	
00D324H	TXRQ2 [R] 00000000 00000000 00000000 00000000	
00D328H	TXRQ3 [R] 00000000 00000000 00000000 00000000	
00D32CH	TXRQ4 [R] 00000000 00000000 00000000 00000000	
00D330H	NDAT1 [R] 00000000 00000000 00000000 00000000	
00D334H	NDAT2 [R] 00000000 00000000 00000000 00000000	
00D338H	NDAT3 [R] 00000000 00000000 00000000 00000000	
00D33CH	NDAT4 [R] 00000000 00000000 00000000 00000000	
00D340H	MBSC1 [R] 00000000 00000000 00000000 00000000	
00D344H	MBSC2 [R] 00000000 00000000 00000000 00000000	
00D348H	MBSC3 [R] 00000000 00000000 00000000 00000000	
00D34CH	MBSC4 [R] 00000000 00000000 00000000 00000000	
00D350H ～ 00D3ECH	予約 (40)	予約
00D3F0H	CREL [R] 00010000 00000110 00000101 00011001	FlexRay GIF
00D3F4H	ENDN [R] 10000111 01100101 0100011 00100001	
00D3F8H ～ 00D3FCH	予約 (2)	予約

00D400H ～ 00D4FCH	WRDSn[1-64] [R/W] 00000000 00000000 0000000 00000000	FlexRay IBF
00D500H	WRHS1 [R/W] 00000000 00000000 00000000 00000000	
00D504H	WRHS2 [R/W] 00000000 00000000 00000000 00000000	
00D508H	WRHS3 [R/W] 00000000 00000000 00000000 00000000	
00D50CH	予約 (1)	
00D510H	IBCM [R/W] 00000000 00000000 00000000 00000000	
00D514H	IBCR [R/W] 00000000 00000000 00000000 00000000	
00D518H ～ 00D5FCH	予約 (58)	予約
00D600H ～ 00D6FCH	RDDSn[1-64] [R] 00000000 00000000 00000000 00000000	FlexRay OBF
00D700H	RDHS1 [R] 00000000 00000000 00000000 00000000	
00D704H	RDHS2 [R] 00000000 00000000 00000000 00000000	
00D708H	RDHS3 [R] 00000000 00000000 00000000 00000000	
00D70CH	MBS [R] 00000000 00000000 00000000 00000000	
00D710H	OBCM [R/W] 00000000 00000000 00000000 00000000	
00D714H	OBCR [R/W] 00000000 00000000 00000000 00000000	
00D718H ～ 00D7FCH	予約 (58)	予約
00D800H ～ 00EFFCH	予約	予約

00F000H	BCTRL [R/W] -------- -------- 11111100 00000000	EDSU / MPU
00F004H	BSTAT [R/W] -------- -----000 00000000 10--0000	
00F008H	BIAC [R] -------- -------- 00000000 00000000	
00F00CH	BOAC [R] -------- -------- 00000000 00000000	
00F010H	BIRQ [R/W] -------- -------- 00000000 00000000	
00F014H ～ 00F01CH	予約	
00F020H	BCR0 [R/W] -------- 00000000 00000000 00000000	
00F024H	BCR1 [R/W] -------- 00000000 00000000 00000000	
00F028H	BCR2 [R/W] -------- 00000000 00000000 00000000	
00F02CH	BCR3 [R/W] -------- 00000000 00000000 00000000	
00F030H ～ 00F07CH	予約	
00F080H	BAD0 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F084H	BAD1 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F088H	BAD2 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F08CH	BAD3 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F090H	BAD4 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F094H	BAD5 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F098H	BAD6 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F09CH	BAD7 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0A0H	BAD8 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0A4H	BAD9 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	

00F0A8H	BAD10 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	EDSU / MPU
00F0ACH	BAD11 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0B0H	BAD12 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0B4H	BAD13 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0B8H	BAD14 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0BCH	BAD15 [R/W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX	
00F0C0H - 01FFFCH	予約	
020000H ～ 02FFFCH	MB91F465XA D-RAM サイズは 16K バイト：02C000H ～ 02FFFCH (データアクセスは 0 ウェイトサイクル)	D-RAM 領域
030000H ～ 03FFFCH	MB91F465XA ID-RAM サイズは 16K バイト：030000H ～ 033FFCH (命令アクセスは 0 ウェイトサイクル , データアクセスは 1 ウェイトサイクル)	ID-RAM 領域

＊ 1：有効 CAN チャネルの数によります。

2. フラッシュメモリと外部バス領域

32 ビットリード / ライト	dat[31:0]				dat[31:0]				
16 ビットリード / ライト	dat[31:16]		dat[15:0]		dat[31:16]		dat[15:0]		
アドレス	レジスタ								ブロック
	＋ 0	＋ 1	＋ 2	＋ 3	＋ 4	＋ 5	＋ 6	＋ 7	
040000H ～ 05FFFFH	予約								ROMS0
060000H ～ 07FFFFH	予約								ROMS1
080000H ～ 09FFFFH	SA12 (64K バイト)				SA13 (64K バイト)				ROMS2
0A0000H ～ 0BFFFCH	SA14 (64K バイト)				SA15 (64K バイト)				ROMS3
0C0000H ～ 0DFFFCH	SA16 (64K バイト)				SA17 (64K バイト)				ROMS4
0E0000H ～ 0FFFF4H	SA18 (64K バイト)				SA19 (64K バイト)				ROMS5
0FFFF8H ～ 0FFFFCH	FMV [R] 06 00 00 00H				FRV [R] 00 00 BF F8H				
100000H ～ 11FFFFH	予約								ROMS6
120000H ～ 13FFFFH	予約								

140000H ～ 143FFFH	予約		ROMS7
144000H ～ 147FFFH	予約		
148000H ～ 14BFFFH	SA4 (8K バイト)	SA5 (8K バイト)	
14C000H ～ 14FFFFH	SA6 (8K バイト)	SA7 (8K バイト)	
150000H ～ 17FFFFH	予約		
180000H ～ FFFFFFH	予約		

（注意事項）0FFFF8H, 0FFFFCH への書込み動作は禁止です。これらのアドレスを読み出す場合は , 上に示した値が読み出されます。

■ 割込みベクタテーブル

割込み要因	割込み番号		割込みレベル *1		割込みベクタ *2		要因番号
	10 進	16 進	設定レジスタ	レジスタアドレス	オフセット	デフォルトベクタアドレス	
リセット	0	00	—	—	3FCH	000FFFFC	
モードベクタ	1	01	—	—	3F8H	000FFFF8	
システム予約	2	02	—	—	3F4H	000FFFF4	
システム予約	3	03	—	—	3F0H	000FFFF0	
システム予約	4	04	—	—	3ECH	000FFFEC	
CPU スーパバイザモード (INT #5 命令) *2	5	05	—	—	3E8H	000FFFE8	
メモリ保護例外 *2	6	06	—	—	3E4H	000FFFE4	
システム予約	7	07	—	—	3E0H	000FFFE0	
システム予約	8	08	—	—	3DCH	000FFFDC	
システム予約	9	09	—	—	3D8H	000FFFD8	
システム予約	10	0A	—	—	3D4H	000FFFD4	
システム予約	11	0B	—	—	3D0H	000FFFD0	
システム予約	12	0C	—	—	3CCH	000FFFCC	
システム予約	13	0D	—	—	3C8H	000FFFC8	
未定義命令例外	14	0E	—	—	3C4H	000FFFC4	
NMI 要求	15	0F	FH 固定		3C0H	000FFFC0	
外部割込み 0	16	10	ICR00	440H	3BCH	000FFFBC	0, 16
外部割込み 1	17	11			3B8H	000FFFB8	1, 17
外部割込み 2	18	12	ICR01	441H	3B4H	000FFFB4	2, 18
外部割込み 3	19	13			3B0H	000FFFB0	3, 19
外部割込み 4	20	14	ICR02	442H	3ACH	000FFFAC	20
外部割込み 5	21	15			3A8H	000FFFA8	21
外部割込み 6	22	16	ICR03	443H	3A4H	000FFFA4	22
外部割込み 7	23	17			3A0H	000FFFA0	23
外部割込み 8	24	18	ICR04	444H	39CH	000FFF9C	
システム予約	25	19			398H	000FFF98	
システム予約	26	1A	ICR05	445H	394H	000FFF94	
システム予約	27	1B			390H	000FFF90	
外部割込み 12	28	1C	ICR06	446H	38CH	000FFF8C	
システム予約	29	1D			388H	000FFF88	
外部割込み 14	30	1E	ICR07	447H	384H	000FFF84	
システム予約	31	1F			380H	000FFF80	
リロードタイマ 0	32	20	ICR08	448H	37CH	000FFF7C	4, 32
リロードタイマ 1	33	21			378H	000FFF78	5, 33
リロードタイマ 2	34	22	ICR09	449H	374H	000FFF74	34
リロードタイマ 3	35	23			370H	000FFF70	35

割込み要因	割込み番号		割込みレベル *1		割込みベクタ *2		要因番号
	10 進	16 進	設定レジスタ	レジスタアドレス	オフセット	デフォルトベクタアドレス	
リロードタイマ 4	36	24	ICR10	44AH	36CH	000FFF6C	36
リロードタイマ 5	37	25			368H	000FFF68	37
リロードタイマ 6	38	26	ICR11	44BH	364H	000FFF64	38
リロードタイマ 7	39	27			360H	000FFF60	39
フリーランタイマ 0	40	28	ICR12	44CH	35CH	000FFF5C	40
フリーランタイマ 1	41	29			358H	000FFF58	41
フリーランタイマ 2	42	2A	ICR13	44DH	354H	000FFF54	42
フリーランタイマ 3	43	2B			350H	000FFF50	43
フリーランタイマ 4	44	2C	ICR14	44EH	34CH	000FFF4C	44
フリーランタイマ 5	45	2D			348H	000FFF48	45
フリーランタイマ 6	46	2E	ICR15	44FH	344H	000FFF44	46
フリーランタイマ 7	47	2F			340H	000FFF40	47
CAN 0	48	30	ICR16	450H	33CH	000FFF3C	
システム予約	49	31			338H	000FFF38	
システム予約	50	32	ICR17	451H	334H	000FFF34	
システム予約	51	33			330H	000FFF30	
CAN 4	52	34	ICR18	452H	32CH	000FFF2C	
システム予約	53	35			328H	000FFF28	
システム予約	54	36	ICR19	453H	324H	000FFF24	6, 48
システム予約	55	37			320H	000FFF20	7, 49
システム予約	56	38	ICR20	454H	31CH	000FFF1C	8, 50
システム予約	57	39			318H	000FFF18	9, 51
システム予約	58	3A	ICR21	455H	314H	000FFF14	52
システム予約	59	3B			310H	000FFF10	53
システム予約	60	3C	ICR22	456H	30CH	000FFF0C	54
システム予約	61	3D			308H	000FFF08	55
システム予約	62	3E	ICR23 *4	457H	304H	000FFF04	
遅延割込み	63	3F			300H	000FFF00	
システム予約 *3	64	40	(ICR24)	(458)H	2FCH	000FFEFC	
システム予約 *3	65	41			2F8H	000FFEF8H	
LIN-USART (FIFO) 4 RX	66	42	ICR25	459H	2F4H	000FFEF4H	10, 56
LIN-USART (FIFO) 4 TX	67	43			2F0H	000FFEF0H	11, 57
システム予約	68	44	ICR26	45AH	2ECH	000FFEECH	12, 58
システム予約	69	45			2E8H	000FFEE8H	13, 59
LIN-USART (FIFO) 6 RX	70	46	ICR27	45BH	2E4H	000FFEE4H	60
LIN-USART (FIFO) 6 TX	71	47			2E0H	000FFEE0H	61
LIN-USART (FIFO) 7 RX	72	48	ICR28	45CH	2DCH	000FFEDCH	62
LIN-USART (FIFO) 7 TX	73	49			2D8H	000FFED8H	63

割込み要因	割込み番号		割込みレベル *1		割込みベクタ *2		要因番号
	10 進	16 進	設定レジスタ	レジスタアドレス	オフセット	デフォルトベクタアドレス	
I²C 0	74	4A	ICR29	45DH	2D4H	000FFED4H	
システム予約	75	4B			2D0H	000FFED0H	
システム予約	76	4C	ICR30	45EH	2CCH	000FFECCH	64
システム予約	77	4D			2C8H	000FFEC8H	65
システム予約	78	4E	ICR31	45FH	2C4H	000FFEC4H	66
システム予約	79	4F			2C0H	000FFEC0H	67
システム予約	80	50	ICR32	460H	2BCH	000FFEBCH	68
システム予約	81	51			2B8H	000FFEB8H	69
システム予約	82	52	ICR33	461H	2B4H	000FFEB4H	70
システム予約	83	53			2B0H	000FFEB0H	71
FlexRay 0	84	54	ICR34	462H	2ACH	000FFEACH	72 116 (IBF) 117 (OBF)
FlexRay Timer 0	85	55			2A8H	000FFEA8H	73
FlexRay 1	86	56	ICR35	463H	2A4H	000FFEA4H	74 116 (IBF) 117 (OBF)
FlexRay Timer 1	87	57			2A0H	000FFEA0H	75
システム予約	88	58	ICR36	464H	29CH	000FFE9CH	76
システム予約	89	59			298H	000FFE98H	77
システム予約	90	5A	ICR37	465H	294H	000FFE94H	78
システム予約	91	5B			290H	000FFE90H	79
インプットキャプチャ 0	92	5C	ICR38	466H	28CH	000FFE8CH	80
インプットキャプチャ 1	93	5D			288H	000FFE88H	81
インプットキャプチャ 2	94	5E	ICR39	467H	284H	000FFE84H	82
インプットキャプチャ 3	95	5F			280H	000FFE80H	83
インプットキャプチャ 4	96	60	ICR40	468H	27CH	000FFE7CH	84
インプットキャプチャ 5	97	61			278H	000FFE78	85
インプットキャプチャ 6	98	62	ICR41	469H	274H	000FFE74	86
インプットキャプチャ 7	99	63			270H	000FFE70	87
アウトプットコンペア 0	100	64	ICR42	46AH	26CH	000FFE6C	88
アウトプットコンペア 1	101	65			268H	000FFE68	89
アウトプットコンペア 2	102	66	ICR43	46BH	264H	000FFE64	90
アウトプットコンペア 3	103	67			260H	000FFE60	91
アウトプットコンペア 4	104	68	ICR44	46CH	25CH	000FFE5C	92
アウトプットコンペア 5	105	69			258H	000FFE58	93
システム予約	106	6A	ICR45	46DH	254H	000FFE54	94
システム予約	107	6B			250H	000FFE50	95
システム予約	108	6C	ICR46	46EH	24CH	000FFE4C	
システム予約	109	6D			248H	000FFE48	

割込み要因	割込み番号		割込みレベル *1		割込みベクタ *2		要因番号
	10 進	16 進	設定レジスタ	レジスタアドレス	オフセット	デフォルトベクタアドレス	
システム予約	110	6E	ICR47 *4	46FH	244H	000FFE44	
システム予約	111	6F			240H	000FFE40	
PPG0	112	70	ICR48	470H	23CH	000FFE3C	15, 96
PPG1	113	71			238H	000FFE38	97
PPG2	114	72	ICR49	471H	234H	000FFE34	98
PPG3	115	73			230H	000FFE30	99
PPG4	116	74	ICR50	472H	22CH	000FFE2C	100
PPG5	117	75			228H	000FFE28	101
PPG6	118	76	ICR51	473H	224H	000FFE24	102
PPG7	119	77			220H	000FFE20	103
PPG8	120	78	ICR52	474H	21CH	000FFE1C	104
PPG9	121	79			218H	000FFE18	105
PPG10	122	7A	ICR53	475H	214H	000FFE14	106
PPG11	123	7B			210H	000FFE10	107
システム予約	124	7C	ICR54	476H	20CH	000FFE0C	108
システム予約	125	7D			208H	000FFE08	109
システム予約	126	7E	ICR55	477H	204H	000FFE04	110
システム予約	127	7F			200H	000FFE00	111
システム予約	128	80	ICR56	478H	1FCH	000FFDFC	
システム予約	129	81			1F8H	000FFDF8	
システム予約	130	82	ICR57	479H	1F4H	000FFDF4	
システム予約	131	83			1F0H	000FFDF0	
リアルタイムクロック	132	84	ICR58	47AH	1ECH	000FFDEC	
キャリブレーションユニット	133	85			1E8H	000FFDE8	
A/D コンバータ 0	134	86	ICR59	47BH	1E4H	000FFDE4	14, 112
システム予約	135	87			1E0H	000FFDE0	
システム予約	136	88	ICR60	47CH	1DCH	000FFDDC	
システム予約	137	89			1D8H	000FFDD8	
低電圧検出	138	8A	ICR61	47DH	1D4H	000FFDD4	
システム予約	139	8B			1D0H	000FFDD0	
タイムベースオーバフロー	140	8C	ICR62	47EH	1CCH	000FFDCC	
PLL クロックギア / PLL2 クロックギア (FlexRay)	141	8D			1C8H	000FFDC8	
DMA コントローラ	142	8E	ICR63	47FH	1C4H	000FFDC4	
メイン / サブ発振安定待ち	143	8F			1C0H	000FFDC0	
セキュリティベクタ	144	90	—	—	1BCH	000FFDBC	
INT 命令で使用	145 ～ 255	91 ～ FF	—	—	1B8H ～ 000H	000FFDB8 ～ 000FFC00	

＊1 : ICR は割込みコントローラに割当てられており , 各割込み要求の割込みレベルを設定します。また , 割込み要求ごとに , 各レジスタが割り当てられています。

＊2 : 各 EIT (割込みまたはトラップは , 例外) のベクタアドレスは , リスト内のオフセットにテーブルベースのレジスタ値 (TBR) を足すことにより計算されます。TBR は , EIT ベクタテーブルの一番上を指定します。テーブルにリストされているアドレスは , デフォルトの TBR 値 (000FFC00H) 用です。TBR は , リセットされるとこの値に初期化されます。内部ブート ROM が実行されると , TBR は 000FFC00H に設定されます。

＊3 : ICR23 と ICR47 は REALOS 互換ビット (0C03H 番地 : IOS[0]) を設定することにより入れ替えられます。

＊4 : REALOS で使用

■ 推奨設定

1. PLL クロックギア設定

メインレギュレータとフラッシュの 1.8 V オペレーションモードの場合 , MB91F465XA のコアベースクロック周波数が有効になりますので注意してください。

PLL 分周とクロックギアの推奨設定

PLL 入力 (CLK) [MHz]	周波数設定		クロックギア設定		PLL 出力 (X) [MHz]	コアベースクロック [MHz]	備考
	DIVM	DIVN	DIVG	MULG	MULG		
4	2	25	16	24	200	100	
4	2	24	16	24	192	96	
4	2	23	16	24	184	92	
4	2	22	16	24	176	88	
4	2	21	16	20	168	84	
4	2	20	16	20	160	80	
4	2	19	16	20	152	76	
4	2	18	16	20	144	72	
4	2	17	16	16	136	68	
4	2	16	16	16	128	64	
4	2	15	16	16	120	60	
4	2	14	16	16	112	56	
4	2	13	16	12	104	52	
4	2	12	16	12	96	48	
4	2	11	16	12	88	44	
4	4	10	16	24	160	40	
4	4	9	16	24	144	36	
4	4	8	16	24	128	32	
4	4	7	16	24	112	28	
4	6	6	16	24	144	24	
4	8	5	16	28	160	20	
4	10	4	16	32	160	16	
4	12	3	16	32	144	12	

2. クロックモジュレータ設定

以下の表に , 32 MHz ～ 88 MHz のベースクロック周波数範囲で設定可能なクロックモジュレータの設定を示します。

フラッシュアクセス時間設定は, Fmaxに応じて調整する必要があります。一方, PLLとクロックギア設定はベースクロック周波数に基づいて設定する必要があります。

クロックモジュレータ設定 , 周波数範囲 , サポート電源電圧

変調度 (k)	乱数値 (N)	CMPR [hex]	ベースクロック [MHz]	Fmin [MHz]	Fmax [MHz]	備考
1	3	026F	88	79.5	98.5	
1	3	026F	84	76.1	93.8	
1	3	026F	80	72.6	89.1	
1	5	02AE	80	68.7	95.8	
2	3	046E	80	68.7	95.8	
1	3	026F	76	69.1	84.5	
1	5	02AE	76	65.3	90.8	
1	7	02ED	76	62	98.1	
2	3	046E	76	65.3	90.8	
3	3	066D	76	62	98.1	
1	3	026F	72	65.5	79.9	
1	5	02AE	72	62	85.8	
1	7	02ED	72	58.8	92.7	
2	3	046E	72	62	85.8	
3	3	066D	72	58.8	92.7	
1	3	026F	68	62	75.3	
1	5	02AE	68	58.7	80.9	
1	7	02ED	68	55.7	87.3	
1	9	032C	68	53	95	
2	3	046E	68	58.7	80.9	
2	5	04AC	68	53	95	
3	3	066D	68	55.7	87.3	
4	3	086C	68	53	95	
1	3	026F	64	58.5	70.7	
1	5	02AE	64	55.3	75.9	
1	7	02ED	64	52.5	82	
1	9	032C	64	49.9	89.1	
1	11	036B	64	47.6	97.6	
2	3	046E	64	55.3	75.9	
2	5	04AC	64	49.9	89.1	
3	3	066D	64	52.5	82	
4	3	086C	64	49.9	89.1	
5	3	0A6B	64	47.6	97.6	
1	3	026F	60	54.9	66.1	
1	5	02AE	60	51.9	71	
1	7	02ED	60	49.3	76.7	

変調度 (k)	乱数値 (N)	CMPR [hex]	ベースクロック [MHz]	Fmin [MHz]	Fmax [MHz]	備考
1	9	032C	60	46.9	83.3	
1	11	036B	60	44.7	91.3	
2	3	046E	60	51.9	71	
2	5	04AC	60	46.9	83.3	
3	3	066D	60	49.3	76.7	
4	3	086C	60	46.9	83.3	
5	3	0A6B	60	44.7	91.3	
1	3	026F	56	51.4	61.6	
1	5	02AE	56	48.6	66.1	
1	7	02ED	56	46.1	71.4	
1	9	032C	56	43.8	77.6	
1	11	036B	56	41.8	84.9	
1	13	03AA	56	39.9	93.8	
2	3	046E	56	48.6	66.1	
2	5	04AC	56	43.8	77.6	
2	7	04EA	56	39.9	93.8	
3	3	066D	56	46.1	71.4	
3	5	06AA	56	39.9	93.8	
4	3	086C	56	43.8	77.6	
5	3	0A6B	56	41.8	84.9	
6	3	0C6A	56	39.9	93.8	
1	3	026F	52	47.8	57	
1	5	02AE	52	45.2	61.2	
1	7	02ED	52	42.9	66.1	
1	9	032C	52	40.8	71.8	
1	11	036B	52	38.8	78.6	
1	13	03AA	52	37.1	86.8	
1	15	03E9	52	35.5	96.9	
2	3	046E	52	45.2	61.2	
2	5	04AC	52	40.8	71.8	
2	7	04EA	52	37.1	86.8	
3	3	066D	52	42.9	66.1	
3	5	06AA	52	37.1	86.8	
4	3	086C	52	40.8	71.8	
5	3	0A6B	52	38.8	78.6	
6	3	0C6A	52	37.1	86.8	
7	3	0E69	52	35.5	96.9	
1	3	026F	48	44.2	52.5	
1	5	02AE	48	41.8	56.4	
1	7	02ED	48	39.6	60.9	
1	9	032C	48	37.7	66.1	

変調度 (k)	乱数値 (N)	CMPR [hex]	ベースクロック [MHz]	Fmin [MHz]	Fmax [MHz]	備考
1	11	036B	48	35.9	72.3	
1	13	03AA	48	34.3	79.9	
1	15	03E9	48	32.8	89.1	
2	3	046E	48	41.8	56.4	
2	5	04AC	48	37.7	66.1	
2	7	04EA	48	34.3	79.9	
3	3	066D	48	39.6	60.9	
3	5	06AA	48	34.3	79.9	
4	3	086C	48	37.7	66.1	
5	3	0A6B	48	35.9	72.3	
6	3	0C6A	48	34.3	79.9	
7	3	0E69	48	32.8	89.1	
1	3	026F	44	40.6	48.1	
1	5	02AE	44	38.4	51.6	
1	7	02ED	44	36.4	55.7	
1	9	032C	44	34.6	60.4	
1	11	036B	44	33	66.1	
1	13	03AA	44	31.5	73	
1	15	03E9	44	30.1	81.4	
2	3	046E	44	38.4	51.6	
2	5	04AC	44	34.6	60.4	
2	7	04EA	44	31.5	73	
2	9	0528	44	28.9	92.1	
3	3	066D	44	36.4	55.7	
3	5	06AA	44	31.5	73	
4	3	086C	44	34.6	60.4	
4	5	08A8	44	28.9	92.1	
5	3	0A6B	44	33	66.1	
6	3	0C6A	44	31.5	73	
7	3	0E69	44	30.1	81.4	
8	3	1068	44	28.9	92.1	
1	3	026F	40	37	43.6	
1	5	02AE	40	34.9	46.8	
1	7	02ED	40	33.1	50.5	
1	9	032C	40	31.5	54.8	
1	11	036B	40	30	59.9	
1	13	03AA	40	28.7	66.1	
1	15	03E9	40	27.4	73.7	
2	3	046E	40	34.9	46.8	
2	5	04AC	40	31.5	54.8	
2	7	04EA	40	28.7	66.1	

変調度 (k)	乱数値 (N)	CMPR [hex]	ベースクロック [MHz]	Fmin [MHz]	Fmax [MHz]	備考
2	9	0528	40	26.3	83.3	
3	3	066D	40	33.1	50.5	
3	5	06AA	40	28.7	66.1	
3	7	06E7	40	25.3	95.8	
4	3	086C	40	31.5	54.8	
4	5	08A8	40	26.3	83.3	
5	3	0A6B	40	30	59.9	
6	3	0C6A	40	28.7	66.1	
7	3	0E69	40	27.4	73.7	
8	3	1068	40	26.3	83.3	
9	3	1267	40	25.3	95.8	
1	3	026F	36	33.3	39.2	
1	5	02AE	36	31.5	42	
1	7	02ED	36	29.9	45.3	
1	9	032C	36	28.4	49.2	
1	11	036B	36	27.1	53.8	
1	13	03AA	36	25.8	59.3	
1	15	03E9	36	24.7	66.1	
2	3	046E	36	31.5	42	
2	5	04AC	36	28.4	49.2	
2	7	04EA	36	25.8	59.3	
2	9	0528	36	23.7	74.7	
3	3	066D	36	29.9	45.3	
3	5	06AA	36	25.8	59.3	
3	7	06E7	36	22.8	85.8	
4	3	086C	36	28.4	49.2	
4	5	08A8	36	23.7	74.7	
5	3	0A6B	36	27.1	53.8	
6	3	0C6A	36	25.8	59.3	
7	3	0E69	36	24.7	66.1	
8	3	1068	36	23.7	74.7	
9	3	1267	36	22.8	85.8	
1	3	026F	32	29.7	34.7	
1	5	02AE	32	28	37.3	
1	7	02ED	32	26.6	40.2	
1	9	032C	32	25.3	43.6	
1	11	036B	32	24.1	47.7	
1	13	03AA	32	23	52.5	
1	15	03E9	32	22	58.6	
2	3	046E	32	28	37.3	
2	5	04AC	32	25.3	43.6	

変調度 (k)	乱数値 (N)	CMPR [hex]	ベースクロック [MHz]	Fmin [MHz]	Fmax [MHz]	備考
2	7	04EA	32	23	52.5	
2	9	0528	32	21.1	66.1	
2	11	0566	32	19.5	89.1	
3	3	066D	32	26.6	40.2	
3	5	06AA	32	23	52.5	
3	7	06E7	32	20.3	75.9	
4	3	086C	32	25.3	43.6	
4	5	08A8	32	21.1	66.1	
5	3	0A6B	32	24.1	47.7	
5	5	0AA6	32	19.5	89.1	
6	3	0C6A	32	23	52.5	
7	3	0E69	32	22	58.6	
8	3	1068	32	21.1	66.1	
9	3	1267	32	20.3	75.9	
10	3	1466	32	19.5	89.1	

3.FlexRay PLL, クロックおよびポート設定

0004DC$_H$	PLL2DIVM [R/W] - - - - 0000	PLL2DIVN [R/W] - - 000000	PLL2DIVG [R/W] - - - - 0000	PLL2MULG [R/W] 00000000	PLL2 クロックコントロール (FlexRay)
0004E0$_H$	PLL2CTRL [R/W] - - - - 0000	予約	CLKR2 [R/W] - - - 00000	予約	

3.1. FlexRay PLL 分周とクロックギアの推奨設定

PLL 入力 (CK) [MHz]	周波数設定		クロックギア設定		PLL2 出力 (X) [MHz]	FlexRay SCLK クロック [MHz]
	DIVM2	DIVN2	DIVG2	MULG2		
4	2	20	0	0	160	80

（注意事項）メイン PLL1 で推奨されている内容と同一の PLL スタートアップ手順とロック待ち時間に従ってください。

3.2. 推奨 FlexRay クロック設定

CLKR2 レジスタの仕様は以下のとおりです。

REGISTER CLKR2 addr 0x04E2

	15	14	13	12	11	10	9	8	bit
	7	6	5	4	3	2	1	0	
CLKR2					CKDBL	PLL2EN	CLKS1	CLKS0	
	0	0	0	0	0	0	0	0	初期
					R/W	R/W	R/W	R/W	属性

（注意事項）メイン PLL1 で推奨されている内容と同一の PLL スタートアップ手順とロック待ち時間に従ってください。

CLKS1, CLKS0: FlexRay SCLK ソース選択

CLKS[1:0] = 00 :SCLK は (コアクロック) で作動
CLKS[1:0] = 01 :SCLK は Main PLL (ベースクロック) で作動
CLKS[1:0] = 10 :SCLK は FlexRay PLL で動作 **<- 推奨設定**
CLKS[1:0] = 11 : テストモードのみ , 設定しないでください。

PLL2EN: FlexRay PLL 許可

PLL2EN = 0 :FlexRay PLL 禁止
PLL2EN = 1 :FlexRay PLL 許可

CKDBL: FlexRay Clock 禁止 (BCLK, SCLK)

CKDBL = 0 :FlexRay クロック許可
CKDBL = 1 :FlexRay クロック禁止

3.3. 推奨 FlexRay ポート設定

• チャネル A
TXDA: FlexRay チャネル A 転送 (P31_0)
TXDA を PFR31_0 = 1 および EPFR31_0 = 1 に設定する場合
TXENA: FlexRay チャネル A 許可 (P31_1)
TXENA を PFR31_1 = 1 および EPFR31_1 = 1 に設定する場合
RXDA: FlexRay チャネル A 受信 (P31_2)
RXDA を PFR31_2 = 1 および EPFR31_2 = 1 に設定する場合

• チャネル B
TXDB: FlexRay チャネル B 転送 (P31_4)
TXDB を PFR31_4 = 1 および EPFR31_4 = 1 に設定する場合
TXENB: FlexRay チャネル B 許可 (P31_5)
TXENB を PFR31_5 = 1 および EPFR31_5 = 1 に設定する場合
RXDB: FlexRay チャネル B 受信 (P31_6)
RXDB を PFR31_6 = 1 および EPFR31_6 = 1 に設定する場合

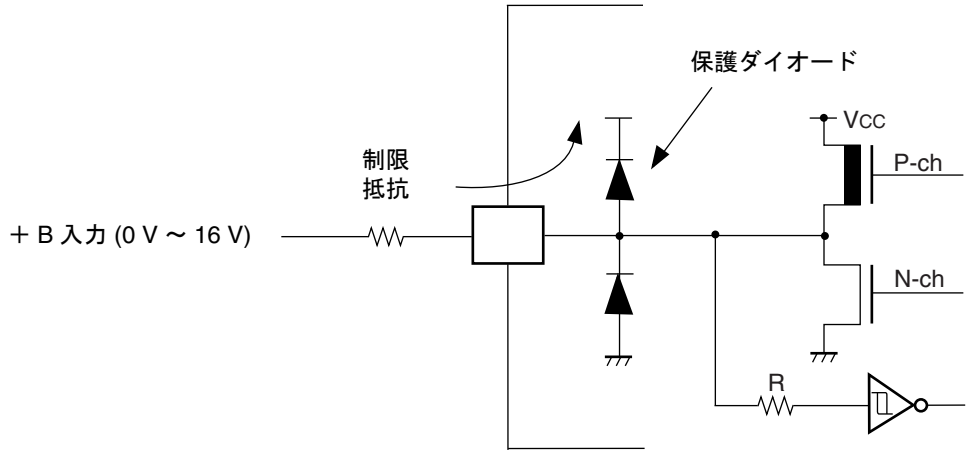
■ 電気的特性

1.絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源スルーレート	—	—	50	V/ms	
電源電圧 1*1	$V_{DD}5R$	− 0.3	+ 6.0	V	
電源電圧 2*1	$V_{DD}5$	− 0.3	+ 6.0	V	
電源電圧の関係	$AV_{CC}5$	$V_{DD}5$-0.3	$V_{DD}5$+0.3	V	ポート 27 ～ 29 (ANn) のうち少なくとも 1 本はデジタル入出力として使用していること
		$V_{SS}5$-0.3	$V_{DD}5$+0.3	V	ポート 27 ～ 29 (ANn) の全端子が VIA の条件に従っていること
アナログ電源電圧 *1	$AV_{CC}5$	− 0.3	+ 6.0	V	*2
アナログ基準電源電圧 *1	AVRH5	− 0.3	+ 6.0	V	*2
入力電圧 1*1	V_{I1}	Vss5 − 0.3	$V_{DD}5$ + 0.3	V	
アナログ端子入力電圧 *1	V_{IA}	AVss5 − 0.3	AVcc5 + 0.3	V	
出力電圧 1*1	V_{O1}	Vss5 − 0.3	$V_{DD}5$ + 0.3	V	
最大クランプ電流	I_{CLAMP}	− 4.0	+ 4.0	mA	*3
最大総クランプ電流	$\Sigma \lvert I_{CLAMP} \rvert$	—	20	mA	*3
“L” レベル最大出力電流 *4	I_{OL}	—	10	mA	
“L” レベル平均出力電流 *5	I_{OLAV}	—	8	mA	
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流 *6	ΣI_{OLAV}	—	50	mA	
“H” レベル最大出力電流 *4	I_{OH}	—	− 10	mA	
“H” レベル平均出力電流 *5	I_{OHAV}	—	− 4	mA	
“H” レベル最大総出力電流	ΣI_{OH}	—	− 100	mA	
“H” レベル平均総出力電流 *6	ΣI_{OHAV}	—	− 25	mA	
消費電力	P_D	—	1000	mW	
動作温度	T_A	− 40	+ 105	°C	
保存温度	Tstg	− 55	+ 150	°C	

＊1 : $V_{SS}5$ ＝ $HV_{SS}5$ ＝ $AV_{SS}5$ ＝ 0.0 V を基準にしています。
＊2 : $AV_{CC}5$ と AVRH5 は $V_{DD}5$ ＋ 0.3 V を超えてはいけません。
＊3 : ・推奨動作条件内でご使用ください。
・直流電圧 (電流) でご使用ください。
・＋ B 信号は , $V_{DD}5$ 電圧を超える入力信号です。＋ B 信号とマイクロコントローラの間には , 必ず制限抵抗を接続し , ＋ B 信号を印加してください。
・＋ B 入力時にマイクロコントローラ端子に入力される電流が , 瞬時・定常を問わず規格値以下になるように制限抵抗
の値を設定してください。
・低消費電力モードなどマイクロコントローラの駆動電流が少ない動作状態では , ＋ B 入力電位が保護ダイオードを通
して電源端子の電位を上昇させ , 他の機器へ影響を及ぼす可能性があるのでご注意ください。
・マイクロコントローラ電源が OFF 時 (0V に固定していない場合) に＋ B 入力がある場合は , 端子から電源が供給されて
いるため , 不完全な動作を行う可能性があるのでご注意ください。
・電源投入時に＋ B 入力がある場合は , 端子から電源が供給されているため , パワーオンリセットが動作しない電源電
圧になる可能性があるのでご注意ください。
・＋ B 入力端子は , 開放状態にならないようにご注意ください。
・推奨回路例 :

・入出力等価回路



＊4 : 最大出力電流は , 該当する端子 1 本のピーク値を規定します。
＊5 : 平均出力電流は , 該当する端子 1 本に流れる電流の 100ms の期間内での平均電流を規定します。
＊6 : 平均総出力電流は , 該当する端子すべてに流れる電流の 100ms の期間内での平均電流を規定します。

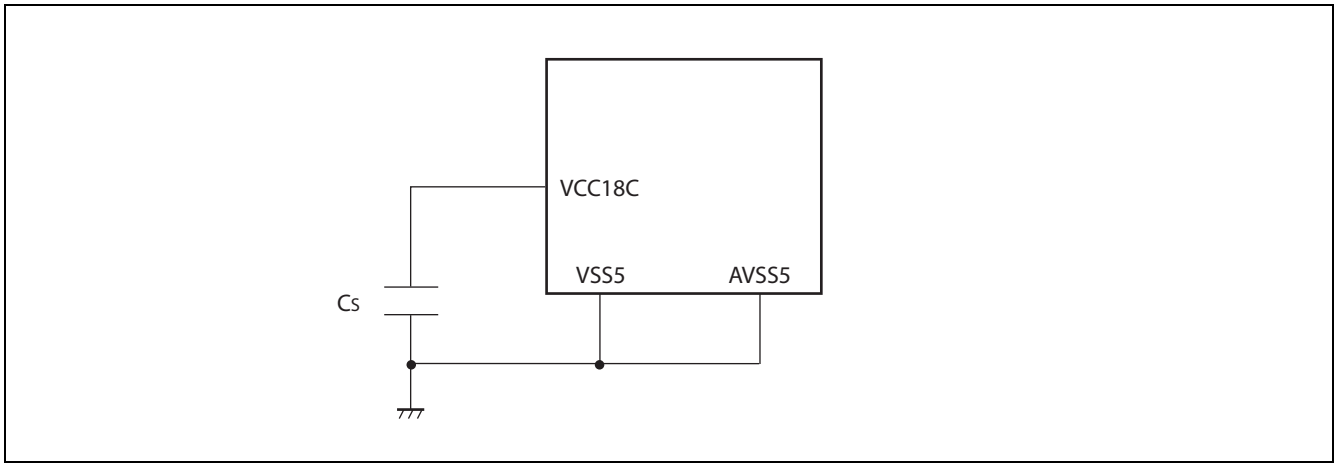
＜注意事項＞ 絶対最大定格を超えるストレス (電圧 , 電流 , 温度など) の印加は , 半導体デバイスを破壊する可能性があります。したがって , 定格を一項目でも超えることのないようご注意ください。

2.推奨動作条件

($V_{SS}5$ = $AV_{SS}5$ = 0.0 V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
電源電圧	$V_{DD}5$	3.0	—	5.5	V	
	$V_{DD}5R$	3.0	—	5.5	V	内蔵レギュレータ
	$AV_{CC}5$	3.0	—	5.5	V	A/D コンバータ
VCC18C 端子の平滑コンデンサ	C_S	—	4.7	—	µF	X7R セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
電源スルーレート		—	—	50	V/ms	
動作温度	T_A	− 40	—	+ 105	°C	
メイン発振 安定時間		10			ms	
ロックアップ時間 PLL (4 MHz ->16 〜 100MHz)				0.6	ms	
ESD 保護 (人体モデル)	V_{surge}	2			kV	$R_{discharge}$ = 1.5kΩ $C_{discharge}$ = 100pF
RC 発振	$f_{RC100kHz}$ f_{RC2MHz}	50 1	100 2	200 4	kHz MHz	$VDD_{CORE} \geqq$ 1.65V

＜注意事項＞ 推奨動作条件は , 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は , すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると , 信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目 , 使用条件 , 論理の組合せでの使用は , 保証していません。記載されている以外の条件での使用をお考えの場合は , 必ず事前に営業部門までご相談ください。



3.直流規格

（注意事項）以下の表で，“V_{SS}”は他の端子の $V_{SS}5$ を意味します。

($V_{DD}5$ = $AV_{CC}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～ + 105 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル入力電圧	V_{IH}	—	0.8/0.2CMOS ヒステリシス入力を選択時にポート入力	0.8 × V_{DD}	—	V_{DD} + 0.3	V	CMOS ヒステリシス入力
		—	0.7/0.3CMOS ヒステリシス入力を選択時にポート入力	0.7 × V_{DD}	—	V_{DD} + 0.3	V	4.5 V ≦ V_{DD} ≦ 5.5 V
				0.74 × V_{DD}	—	V_{DD} + 0.3	V	3 V ≦ V_{DD} < 4.5 V
		—	オートモーティブヒステリシス入力を選択	0.8 × V_{DD}	—	V_{DD} + 0.3	V	
		—	TTL 入力を選択時にポート入力	2.0	—	V_{DD} + 0.3	V	
	V_{IHR}	INITX	—	0.8 × V_{DD}	—	V_{DD} + 0.3	V	INITX 入力端子 (CMOS ヒステリシス)
	V_{IHM}	MD_2 ～ MD_0	—	V_{DD} − 0.3	—	V_{DD} + 0.3	V	モード入力端子
	V_{IHX0S}	X0, X0A	—	2.5	—	V_{DD} + 0.3	V	“発振モード”での外部クロック
	V_{IHX0S}	X0	—	0.8 × V_{DD}	—	V_{DD} + 0.3	V	“高速クロック入力モード”での外部クロック
“L” レベル入力電圧	V_{IL}	—	0.8/0.2 CMOS ヒステリシス入力を選択時にポート入力	V_{SS} − 0.3	—	0.2 × V_{DD}	V	
		—	0.7/0.3 CMOS ヒステリシス入力を選択時にポート入力	V_{SS} − 0.3	—	0.3 × V_{DD}	V	
		—	オートモーティブヒステリシス入力を選択時にポート入力	V_{SS} − 0.3	—	0.5 × V_{DD}	V	4.5 V ≦ V_{DD} ≦ 5.5 V
				V_{SS} − 0.3	—	0.46 × V_{DD}	V	3 V ≦ V_{DD} < 4.5 V
		—	TTL 入力を選択時にポート入力	V_{SS} − 0.3	—	0.8	V	
	V_{ILR}	INITX	—	V_{SS} − 0.3	—	0.2 × V_{DD}	V	INITX 入力端子 (CMOS ヒステリシス)
	V_{ILM}	MD_2 ～ MD_0	—	V_{SS} − 0.3	—	V_{SS} + 0.3	V	モード入力端子
	V_{ILXDS}	X0, X0A	—	V_{SS} − 0.3	—	0.5	V	“発振モード”での外部クロック
	V_{ILXDF}	X0	—	V_{SS} − 0.3	—	0.2 × V_{DD}	V	“高速クロック入力モード”での外部クロック

($V_{DD}5 = AV_{CC}5 = 3.0\ V \sim 5.5\ V$, $V_{SS}5 = AV_{SS}5 = 0\ V$, $T_A = -40\ °C \sim +105\ °C$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル出力電圧	V_{OH2}	通常出力	4.5V ≦ V_{DD} ≦ 5.5V, $I_{OH} = -2mA$	$V_{DD} - 0.5$	—	—	V	駆動強度設定 2mA
			3.0V ≦ V_{DD} < 4.5V, $I_{OH} = -1.6mA$					
	V_{OH5}	通常出力	4.5V ≦ V_{DD} ≦ 5.5V, $I_{OH} = -5mA$	$V_{DD} - 0.5$	—	—	V	駆動強度設定 5mA
			3.0V ≦ V_{DD} < 4.5V, $I_{OH} = -3mA$					
	V_{OH3}	I^2C 出力	3.V ≦ V_{DD} ≦ 5.5V, $I_{OH} = -3mA$	$V_{DD} - 0.5$	—	—	V	
“L“ レベル出力電圧	V_{OL2}	通常出力	4.5V ≦ V_{DD} ≦ 5.5V, $I_{OL} = +2mA$	—	—	0.4	V	駆動強度設定 2mA
			3.0V ≦ V_{DD} < 4.5V, $I_{OL} = +1.6mA$					
	V_{OL5}	通常出力	4.5V ≦ V_{DD} ≦ 5.5V, $I_{OL} = +5mA$	—	—	0.4	V	駆動強度設定 5mA
			3.0V ≦ V_{DD} < 4.5V, $I_{OL} = +3mA$					
	V_{OL3}	I^2C 出力	3.0V ≦ V_{DD} ≦ 5.5V, $I_{OL} = +3mA$	—	—	0.4	V	
入力リーク電流	I_{IL}	Pnn_m *1	3.0V ≦ V_{DD} ≦ 5.5V $V_{SS}5 < V_I < V_{DD}$ T_A=25 °C	−1	—	+1	µA	
			3.0V ≦ V_{DD} ≦ 5.5V $V_{SS}5 < V_I < V_{DD}$ T_A=105 °C	−3	—	+3		
アナログ入力リーク電流	I_{AIN}	ANn *3	3.0V ≦ V_{DD} ≦ 5.5V $V_{SS}5 < V_I < V_{DD}$ T_A=25 °C	−1	—	+1	µA	
			3.0V ≦ V_{DD} ≦ 5.5V $V_{SS}5 < V_I < V_{DD}$ T_A=105 °C	−3	—	+3		
プルアップ抵抗	R_{UP}	Pnn_m*1, INITX	3.0V ≦ V_{DD} ≦ 3.6V	40	100	160	kΩ	
			4.5V ≦ V_{DD} ≦ 5.5V	25	50	100		
プルダウン抵抗	R_{DOWN}	Pnn_m*1	3.0V ≦ V_{DD} ≦ 3.6V	40	100	180	kΩ	
			4.5V ≦ V_{DD} ≦ 5.5V	25	50	100		

($V_{DD}5 = AV_{CC}5 = 3.0$ V ～ 5.5 V, $V_{SS}5 = AV_{SS}5 = 0$ V, $T_A = -40$ °C ～ + 105 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 MB91F465XA	I_{CC}	$V_{DD}5R$	MB91F465XA CLKB:100 MHz CLKP:50 MHz CLKT:50 MHz CLKCAN:50 MHz	—	125	155	mA	フラッシュメモリからのコードフェッチ
	I_{CCH}	$V_{DD}5R$	$T_A = +25$ °C	—	30	150	µA	ストップモード時 *2
			$T_A = +105$ °C	—	300	2000	µA	
			$T_A = +25$ °C	—	100	500	µA	RTC： 4 MHz モード *2
			$T_A = +105$ °C	—	500	2400	µA	
			$T_A = +25$ °C	—	50	250	µA	RTC： 100 kHz モード *2
			$T_A = +105$ °C	—	400	2200	µA	
	I_{LVE}	$V_{DD}5$	—	—	70	150	µA	外部低電圧検出
	I_{LVI}	$V_{DD}5R$	—	—	50	100	µA	内部低電圧検出
	I_{OSC}	$V_{DD}5$	—	—	250	500	µA	メインクロック (4 MHz)
			—	—	20	40	µA	サブクロック (32 kHz)

*1 : Pnn_m は , アナログ入力を含む端子以外のすべての端子を含みます。
*2 : メインレギュレータをオフ , サブレギュレータを 1.2 V に設定 , 低電圧検出は無効です。
*3 : ANn は AN チャネルが有効であるすべての端子を含みます。

4.A/D 変換部電気的特性

($V_{DD}5$ = $AV_{CC}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～ + 105 °C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	—	—	—	—	10	bit	
総合誤差	—	—	− 3	—	+ 3	LSB	
非直線性誤差	—	—	− 2.5	—	+ 2.5	LSB	
微分非直線性誤差	—	—	− 1.9	—	+ 1.9	LSB	
ゼロリーディング電圧	V_{OT}	ANn	AVRL - 1.5 LSB	AVRL +0.5 LSB	AVRL +2.5 LSB	V	
フルスケールリーディング電圧	V_{FST}	ANn	AVRH - 3.5 LSB	AVRH -1.5 LSB	AVRH +0.5 LSB	V	
コンペア時間	T_{comp}	—	0.6	—	16,500	µs	4.5 V ≦ $AV_{CC}5$ ≦ 5.5 V
			2.0	—	—	µs	3.0 V ≦ $AV_{CC}5$ < 4.5 V
サンプリング時間	T_{samp}	—	0.4	—	—	µs	4.5 V ≦ $AV_{CC}5$ ≦ 5.5 V, R_{EXT} < 2 kΩ
			1.0	—	—	µs	3.0 V ≦ $AV_{CC}5$ < 4.5 V, R_{EXT} < 1 kΩ
変換時間	T_{conv}	—	1.0	—	—	µs	4.5 V ≦ $AV_{CC}5$ ≦ 5.5 V
			3.0	—	—	µs	3.0 V ≦ $AV_{CC}5$ < 4.5 V
入力容量	C_{IN}	ANn	—	—	11	pF	
入力抵抗	R_{IN}	ANn	—	—	2.6	kΩ	4.5 V ≦ $AV_{CC}5$ ≦ 5.5 V
			—	—	12.1	kΩ	3.0 V ≦ $AV_{CC}5$ < 4.5 V
アナログ入力リーク電流	I_{AIN}	ANn	− 1	—	+ 1	µA	T_A = + 25 °C
			− 3	—	+ 3	µA	T_A = + 105 °C
アナログ入力電圧範囲	V_{AIN}	ANn	AVRL	—	AVRH	V	
入力チャネル間のばらつき	—	ANn	—	—	4	LSB	

（続く）

（注意事項）AVRH - AVRL の差が小さいほど , 精度は低くなります。

（続き）

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
基準電圧範囲	AVRH	AVRH5	0.75 × $AV_{CC}5$	—	$AV_{CC}5$	V	
	AVRL	$AV_{SS}5$	$AV_{SS}5$	—	$AV_{CC}5 \times 0.25$	V	
電源電流	I_A	$AV_{CC}5$	—	2.5	5	mA	A/D コンバータ動作時
	I_{AH}	$AV_{CC}5$	—	—	5	µA	A/D コンバータ非動作時 *1
基準電圧電流	I_R	AVRH5	—	0.7	1	mA	A/D コンバータ動作時
	I_{RH}	AVRH5	—	—	5	µA	A/D コンバータ非動作時 *2

＊ 1：A/D コンバータ , ALARM コンパレータ非動作時 , $AV_{CC}5$ の場合の電源電流
($V_{DD}5 = AV_{CC}5 = AVRH = 5.0$ V 時)

＊ 2：A/D コンバータ非動作時 , AVRH5 の場合の入力電流 ($V_{DD}5 = AV_{CC}5 = AVRH = 5.0$ V 時)

サンプリング時間の計算式

$T_{samp} = (2.6\ k\Omega + R_{EXT}) \times 11pF \times 7$ (4.5V ≦ $AV_{CC}5$ ≦ 5.5V 時)

$T_{samp} = (12.1\ k\Omega + R_{EXT}) \times 11pF \times 7$ (3.0V ≦ $AV_{CC}5$ ＜ 4.5V 時)

変換時間の計算式

$T_{conv} = T_{samp} + T_{comp}$

A/D コンバータの用語の定義

・分解能

A/D コンバータにより認識可能なアナログ変化

・直線性誤差

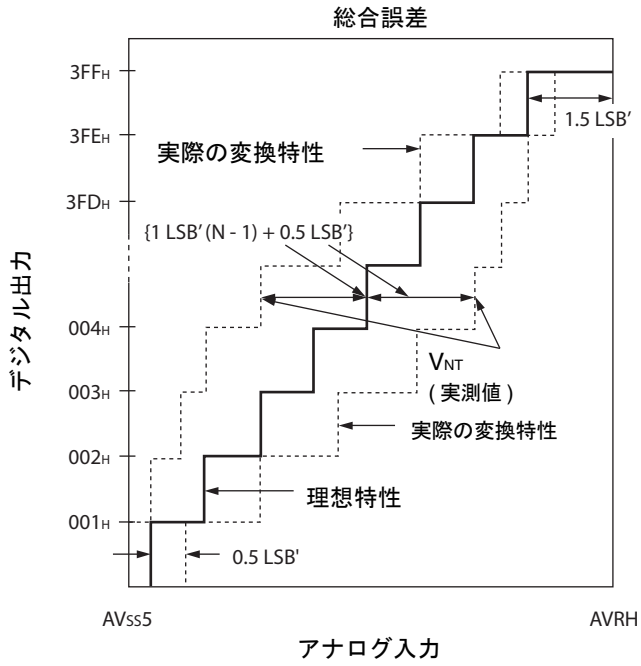
ゼロトランジション点 (00 0000 0000B ↔ 00 0000 0001B) とフルスケールトランジション点 (11 1111 1110B ↔ 11 1111 1111B) とを結んだ直線と実際の変換特性との偏差

・微分非直線性誤差

出力コードを 1 LSB 変化させるのに必要な入力電圧の理想値からの偏差

・総合誤差

実際の値と理論値との差を言い, ゼロトランジション誤差/フルスケールトランジション誤差/非直線性誤差を含む誤差



$$1LSB' (\text{理想値}) = \frac{AVRH - AV_{SS}5}{1024} \ [V]$$

$$\text{デジタル出力 N の総合誤差} = \frac{V_{NT} - \{1\ LSB' \times (N - 1) + 0.5\ LSB'\}}{1\ LSB'}$$

N : A/D コンバータデジタル出力値

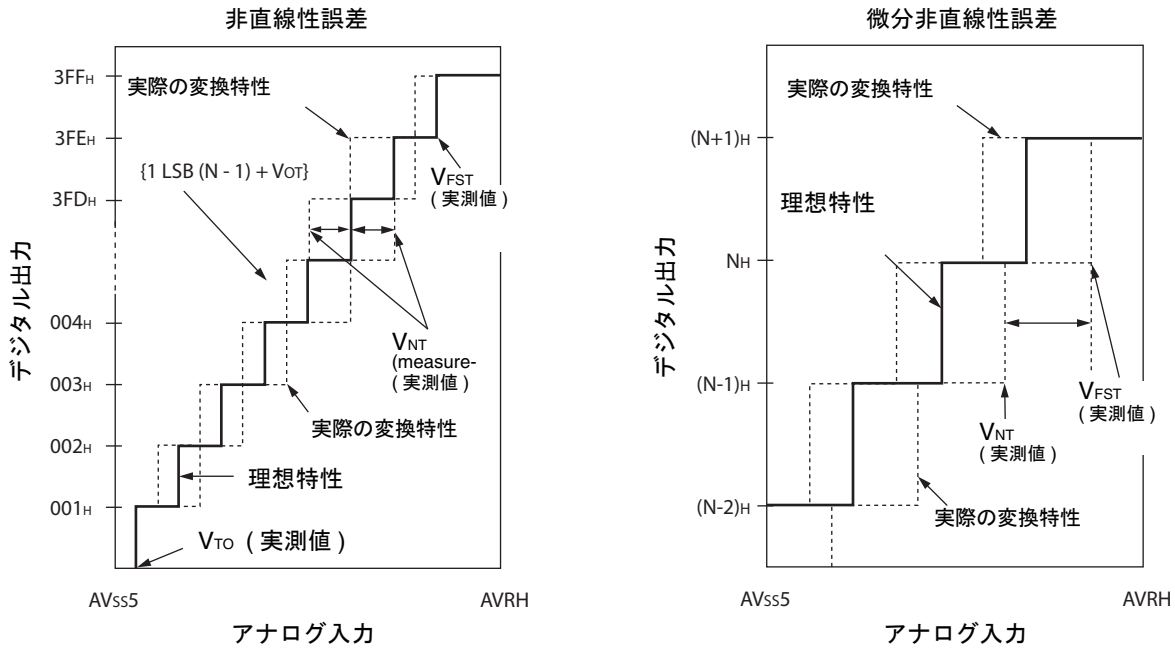
V_{OT}' (理想値) = $AV_{SS}5$ + 0.5 LSB' [V]

V_{FST}' (理想値) = AVRH − 1.5 LSB' [V]

V_{NT} : デジタル出力が (N + 1)H から NH に遷移する電圧

(続く)

（続き）



デジタル出力 N の非直線性誤差 ＝ $\frac{V_{NT} - \{1LSB \times (N - 1) + V_{OT}\}}{1LSB}$ [LSB]

デジタル出力 N の微分非直線性誤差 ＝ $\frac{V_{(N+1)T} - V_{NT}}{1LSB} - 1$ [LSB]

$1LSB = \frac{V_{FST} - V_{OT}}{1022}$ [V]

N : A/D コンバータデジタル出力値
V_{OT} : デジタル出力が 000H から 001H に遷移する電圧
V_{FST} : デジタル出力が 3FEH から 3FFH に遷移する電圧

5. フラッシュメモリ書込み / 消去特性

5.1. MB91F465XA

(T_A = 25°C, Vcc = 5.0V)

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間	-	0.9	3.6	s	プログラミング消去時間を除く
チップ消去時間	-	n × 0.9	n × 3.6	s	n はデバイスのフラッシュセクタの数です。
ワード (16 ビット幅) 書込み時間	-	23	370	µs	システムオーバーヘッドタイムを除く
書込み / 消去回数	10 000			cycle	
フラッシュメモリデータ保持時間	20			year	*1

*1: 表内の数値は , テクノロジの信頼性評価結果を変換したものです (アレニウスの式で高温測定を＋ 85°C の正規化数に変換)。

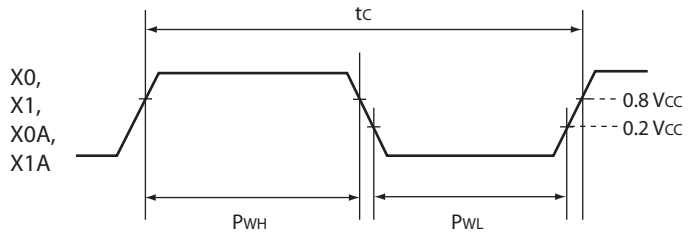
6.交流規格

6.1. クロックタイミング

($V_{DD}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～+ 105 °C)

項目	記号	端子名	規格値			単位	条件
			最小	標準	最大		
クロック周波数	f_C	X0 X1	3.5	4	16	MHz	逆位相の外部 供給または水晶
		X0A X1A	32	32.768	100	kHz	

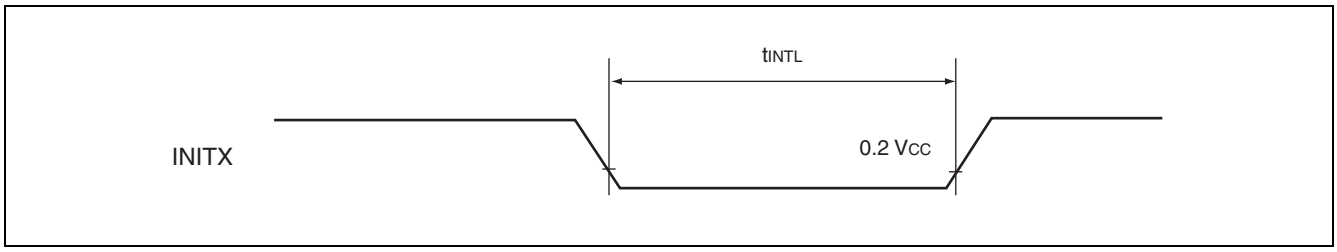
クロックタイミング条件



6.2. リセット入力規格

($V_{DD}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～ + 105 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
INITX 入力時間 (電源投入時)	t_{INTL}	INITX	—	8	—	ms
INITX 入力時間 (上記以外)				20	—	µs



6.3. LIN-USART タイミング ($V_{DD}5$ = 3.0V ～ 5.5V 時)

・AC 測定中の条件

下記の条件ですべての AC テストを測定

- IO_{drive} = 5 mA
- $V_{DD}5$ = 3.0 V ～ 5.5 V, I_{load} = 3 mA
- $V_{SS}5$ = 0 V
- T_a = -40 °C ～ +105 °C
- C_l = 50 pF (テスト時の端子の負荷容量値)
- VOL = 0.2 × $V_{DD}5$
- VOH = 0.8 × $V_{DD}5$
- EPILR = 0, PILR = 1 (オートモーティブレベル = 最悪条件)

($V_{DD}5$ ＝ 3.0 V ～ 5.5 V, $V_{SS}5$ ＝ $AV_{SS}5$ ＝ 0 V, T_A ＝－ 40 °C ～＋ 105 °C)

項目	記号	端子名	条件	$V_{DD}5$ ＝ 3.0 V ～ 4.5 V		$V_{DD}5$ ＝ 4.5 V ～ 5.5 V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYCI}	SCKn	内部クロック動作 (マスタモード)	4 t_{CLKP}	—	4 t_{CLKP}	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCKn SOTn		－ 30	30	－ 20	20	ns
SOT → SCK ↓ 遅延時間	t_{OVSHI}	SCKn SOTn		m × t_{CLKP} － 30*	—	m × t_{CLKP} － 20*	—	ns
有効 SIN → SCK ↑セットアップ時間	t_{IVSHI}	SCKn SINn		t_{CLKP} ＋ 55	—	t_{CLKP} ＋ 45	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCKn SINn		0	—	0	—	ns
シリアルクロック “H” パルス幅	t_{SHSLE}	SCKn	外部クロック動作 (スレーブモード)	t_{CLKP} ＋ 10	—	t_{CLKP} ＋ 10	—	ns
シリアルクロック “ L” パルス幅	t_{SLSHE}	SCKn		t_{CLKP} ＋ 10	—	t_{CLKP} ＋ 10	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCKn SOTn		—	2 t_{CLKP} ＋ 55	—	2 t_{CLKP} ＋ 45	ns
有効 SIN → SCK ↑セットアップ時間	t_{IVSHE}	SCKn SINn		10	—	10	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXE}	SCKn SINn		t_{CLKP} ＋ 10	—	t_{CLKP} ＋ 10	—	ns
SCK 立上り時間	t_{FE}	SCKn		—	20	—	20	ns
SCK 立下り時間	t_{RE}	SCKn		—	20	—	20	ns

＊：パラメータ m は t_{SCYCI} に依存しており , 次のように計算されます。

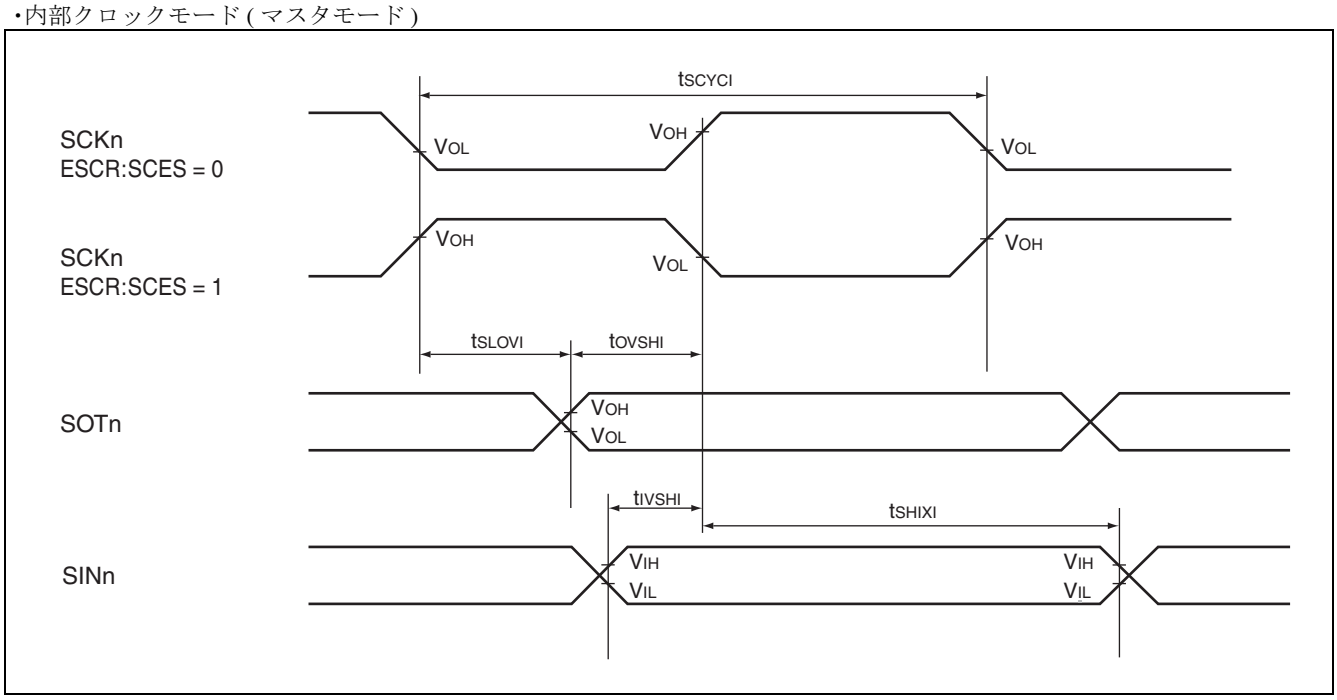
・t_{SCYCI} ＝ 2 × k × t_{CLKP} の場合 , m ＝ k となります。ここでは , k は整数値で >2

・t_{SCYCI} ＝ (2 × k ＋ 1) × t_{CLKP} の場合 , m ＝ k ＋ 1 となります。ここでは , k は整数値で >1

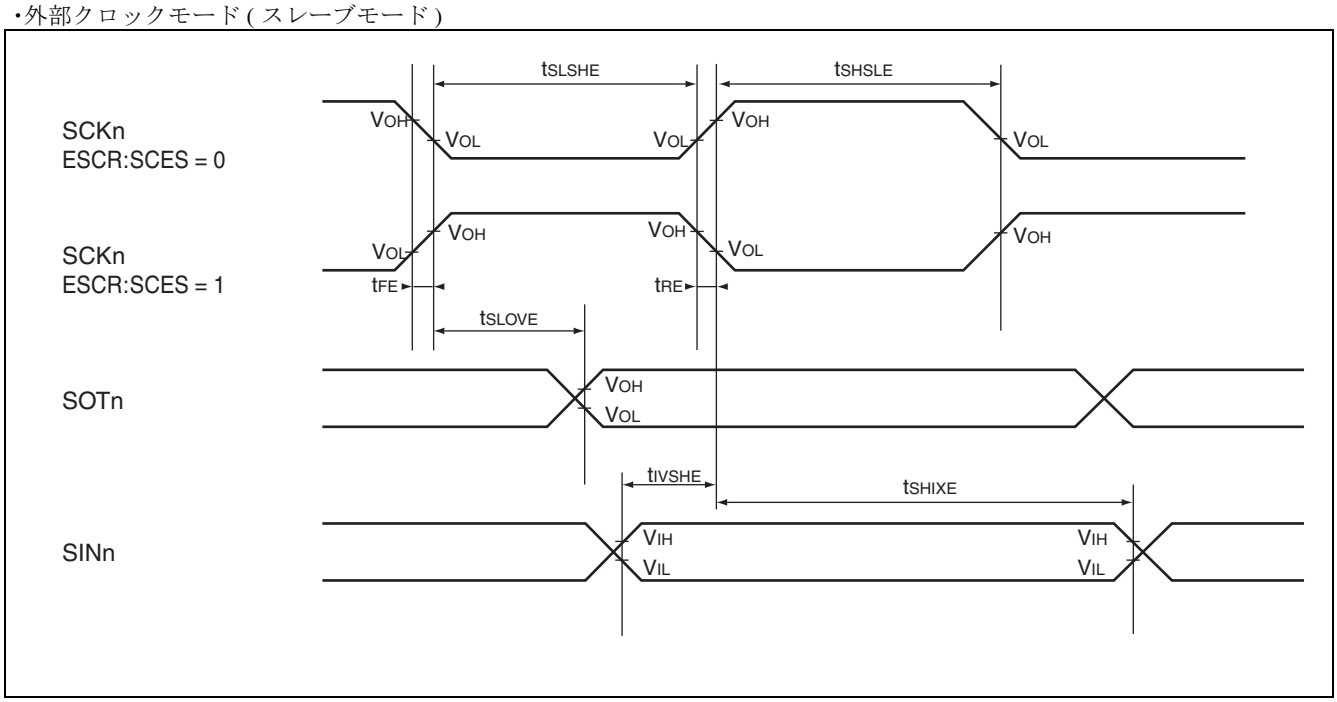
(注意事項)・ CLK 同期モード時の交流規格です。

・t_{CLKP} は , 周辺系クロックのサイクル時間です。

・内部クロックモード (マスタモード)



・外部クロックモード (スレーブモード)



6.4. I²C 交流タイミング ($V_{DD}5$ = 3.0 V ～ 5.5 V 時)

・AC 測定中の条件

下記の条件ですべての AC テストを測定

- IO_{drive} ＝ 3 mA
- $V_{DD}5$ ＝ 3.0 V ～ 5.5 V, I_{load} ＝ 3 mA　(MB91F465XA では V_{DD} = 4.5 V ～ 5.5 V)
- $V_{SS}5$ ＝ 0 V
- Ta ＝－ 40 °C ～＋ 105 °C
- C_l ＝ 50 pF
- VOL ＝ 0.3 × $V_{DD}5$
- VOH ＝ 0.7 × $V_{DD}5$
- EPILR ＝ 0, PILR ＝ 0 (CMOS ヒステリシス 0.3 × $V_{DD}5$/0.7 × $V_{DD}5$)

高速モード :

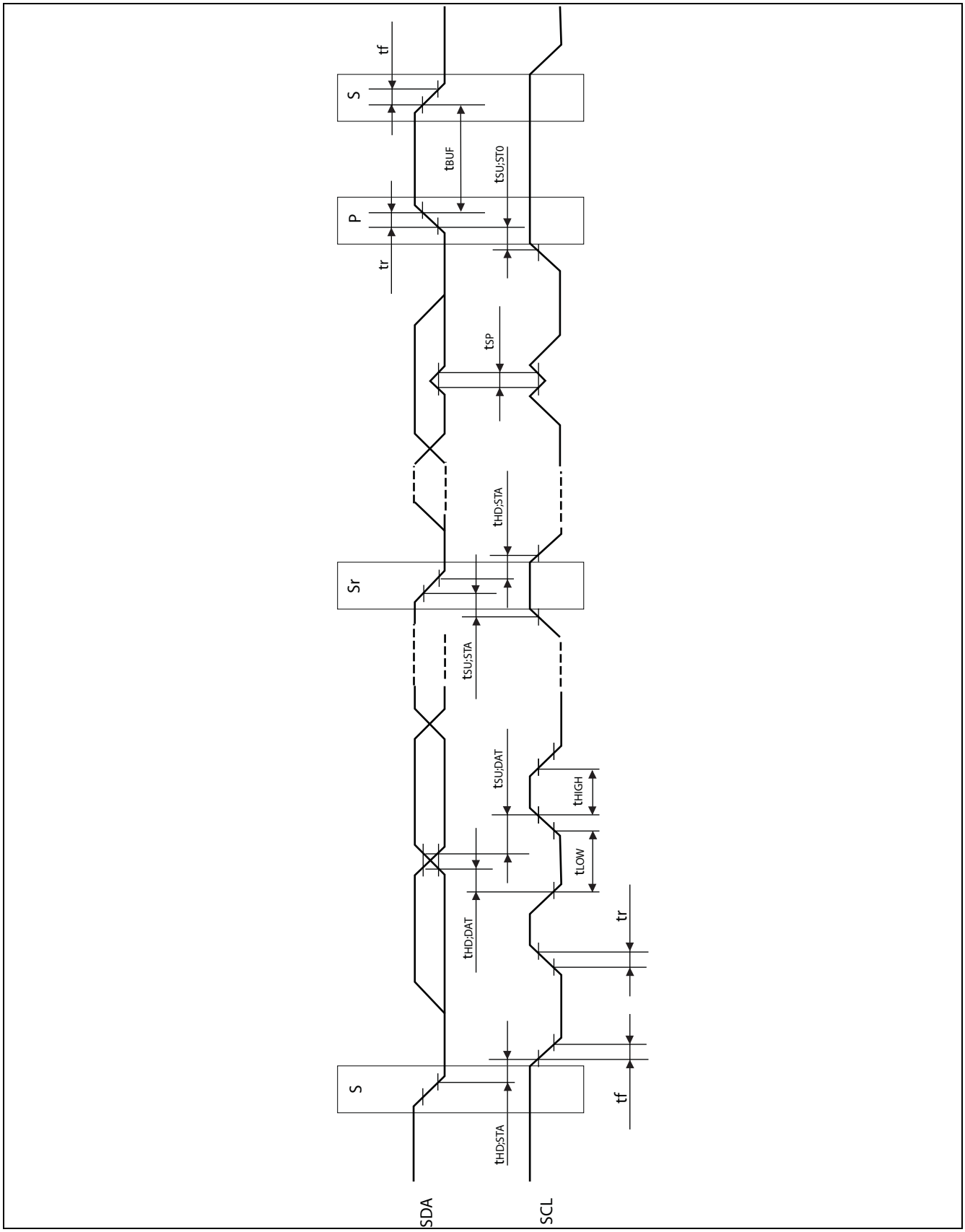
($V_{DD}5$ ＝ 3.5 V ～ 5.5 V, $V_{SS}5$ ＝ $AV_{SS}5$ ＝ 0 V, T_A ＝－ 40 °C ～＋ 105 °C)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
SCL クロック周波数	f_{SCL}	SCLn	0	400	kHz	
(繰返し) START 条件のホールド時間 (この期間の後 , 最初のクロックパルスが生成されます)	$t_{HD;STA}$	SCLn, SDAn	0.6	—	µs	
SCL クロックの LOW 期間	t_{LOW}	SCLn	1.3	—	µs	
SCL クロックの HIGH 期間	t_{HIGH}	SCLn	0.6	—	µs	
繰返し START 条件のセットアップ時間	$t_{SU;STA}$	SCLn, SDAn	0.6	—	µs	
I²C バスデバイスのデータホールド時間	$t_{HD;DAT}$	SCLn, SDAn	0	0.9	µs	
データセットアップ時間	$t_{SU;DAT}$	SCLn SDAn	100	—	ns	
SDA, SCL 信号の立上り時間	t_r	SCLn, SDAn	20 + 0.1Cb	300	ns	
SDA, SCL 信号の立下り時間	t_f	SCLn, SDAn	20 + 0.1Cb	300	ns	
STOP 条件のセットアップ時間	$t_{SU;STO}$	SCLn, SDAn	0.6	—	µs	
STOP, START 間のバスフリー時間	t_{BUF}	SCLn, SDAn	1.3	—	µs	
各バスラインの負荷容量	C_b	SCLn, SDAn	—	400	pF	
入力フィルタで抑制されるスパイクのパルス幅	t_{SP}	SCLn, SDAn	0	(1..1.5) × t_{CLKP}	ns	*1

*1 : ノイズフィルタは , パルス幅 0 ns (最小) から 1 ～ 1.5 サイクルの周辺系クロック (最大) でシングルスパイクを抑制します。

最大値は , I²C 信号 (SDA, SCL) と周辺系クロックの関係に依存します。

（注意事項）t_{CLKP} は , 周辺系クロックのサイクル時間です。

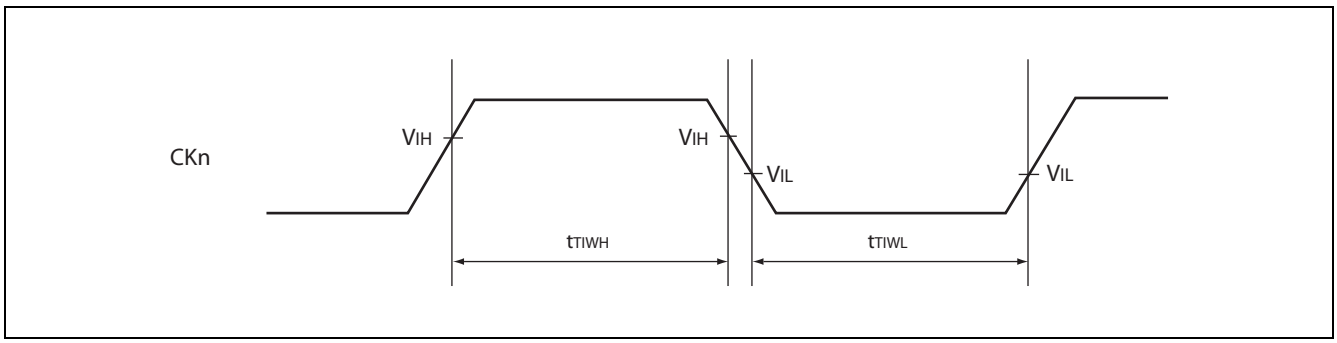

tf
S
tBUF
tSU;STO
P
tr
tSP
tHD;STA
Sr
tSU;STA
tSU;DAT
tHIGH
tLOW
tHD;DAT
tr
tf
S
tHD;STA
SDA
SCL

6.5. フリーランタイマクロック

($V_{DD}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～ + 105 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力パルス幅	t_{TIWH} t_{TIWL}	CKn	—	$4t_{CLKP}$	—	ns

（注意事項）t_{CLKP} は , 周辺系クロックのサイクル時間です。

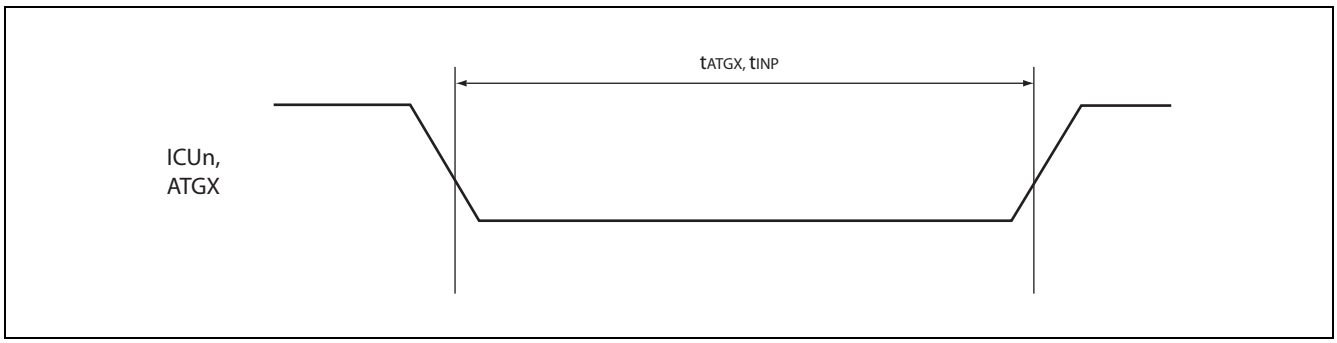


6.6. トリガ系入力タイミング

($V_{DD}5$ = 3.0 V ～ 5.5 V, $V_{SS}5$ = $AV_{SS}5$ = 0 V, T_A = − 40 °C ～ + 105 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
インプットキャプチャ入力トリガ	t_{INP}	ICUn	—	$5t_{CLKP}$	—	ns
A/D コンバータトリガ	t_{ATGX}	ATGX	—	$5t_{CLKP}$	—	ns

（注意事項）t_{CLKP} は , 周辺系クロックのサイクル時間です。



■ E-Ray の概要

E-Ray モジュールは スタンドアロンデバイスまたは ASIC の一部として統合可能な FlexRay IP モジュールです。統合の準備については RTL レベルの VHDL で説明しています。E-Ray IP モジュールは , FlexRay プロトコル仕様 v2.1 に従って通信を実行します。サンプルクロック指定の最大ビットレートは 10 M ビットです。追加バスドライバ (BD) ハードウェアは物理層への接続が必要です。

FlexRay ネットワーク上の通信は , 最大 254 までの個別メッセージバッファで構成されます。メッセージ保存は , 128 メッセージバッファまでのシングルポートのメッセージ RAM で構成されます。メッセージ操作に関するすべての機能はメッセージハンドラに実装されています。これらの機能とは , 受入れフィルタ , 2 つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送 , メッセージステータス情報の提供を含むスケジュール管理です。

E-Ray IP モジュールのレジスタセットはモジュールのホストインタフェースを介して外部ホストによって直接アクセスできます。これらのレジスタを使用して , FlexRay チャネルプロトコルコントローラ , メッセージハンドラ , グローバル時間単位 , システムユニバーサル制御 , フレームおよびシンボル処理 , ネットワーク管理 , 割込み制御をシステム制御 / 設定 / モニタして , 入力 / 出力バッファを介してメッセージ RAM にアクセスします。

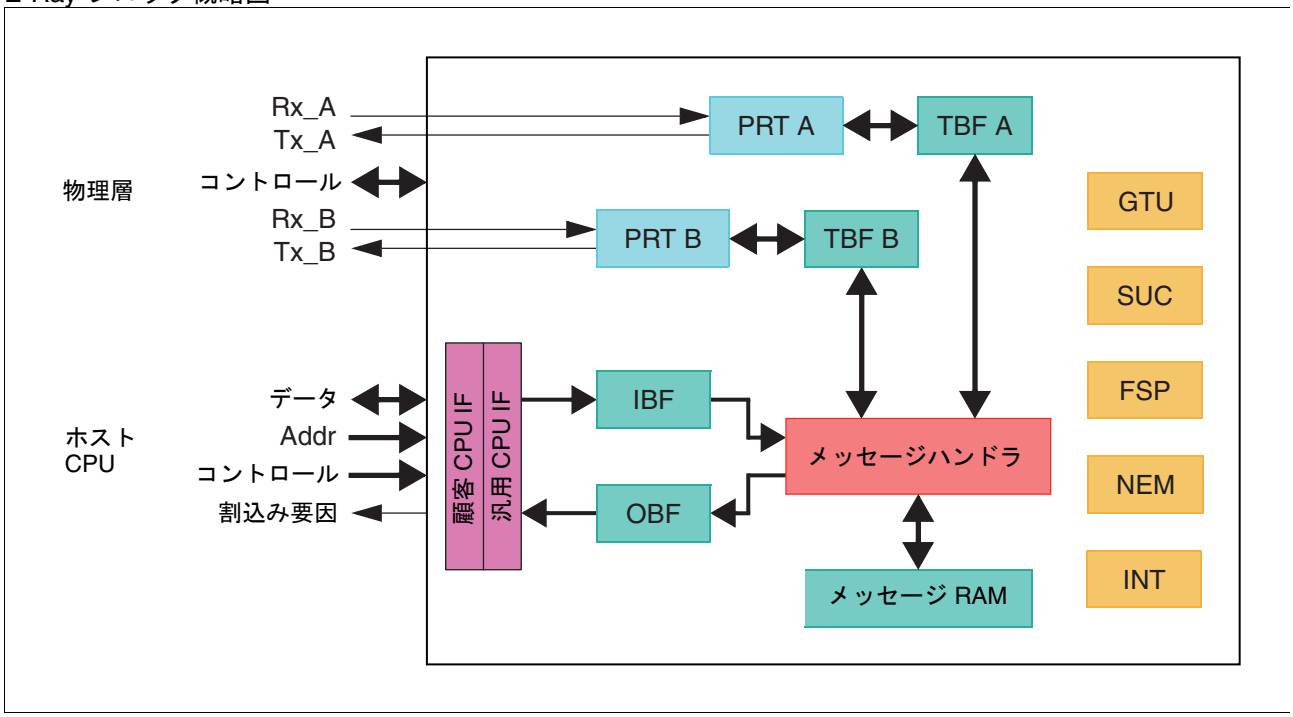
E-Ray IP モジュールでは 8/16/32 ビット汎用 CPU インタフェースを介して広範な顧客固有のホスト CPU に接続することができます。

E-Ray IP モジュールでは以下の機能をサポートします。

- FlexRay プロトコル仕様 v2.1 への適合
- 各チャネル最大 10 Mbit/s のデータレート
- 最大 128 メッセージバッファ設定可能
- 例えば , 最大 48 バイトデータセクションの 128 メッセージバッファ, または 254 バイトデータセクションの最大 30 までのメッセージバッファなどを保存するための 8 キロバイトのメッセージ RAM
- 異なるペイロード長さが可能なメッセージバッファの構成
- 1 つの構成可能な受信 FIFO
- 各メッセージバッファは , 受信バッファ, 送信バッファ, または受信 FIFO の一部として構成可能
- 入力および出力バッファを介して , メッセージバッファへのホストアクセス
  - 入力バッファ : メッセージ RAM に転送されるメッセージを保存
  - 出力バッファ : メッセージ RAM から読み出されるメッセージを保存
- スロットカウンタ , サイクルカウンタ , およびチャネルのフィルタリング
- マスク可能な割込み
- サポートされるネットワーク管理
- 8/16/32 ビット汎用 CPU インタフェース , 広範な顧客固有のホスト CPU に接続可能

1. ブロックダイヤグラム

E-Ray ブロック概略図



顧客 CPU インタフェース (CIF)

汎用 CPU インタフェースを介して E-Ray IP モジュールに顧客固有のホスト CPU を接続します。

汎用 CPU インタフェース (GIF)

E-Ray IP モジュールは , 広範な顧客固有のホスト CPU との接続のために用意された 8/16/32 ビット汎用 CPU インタフェースと一緒に提供されます。設定レジスタ , ステータスレジスタ , および割込みレジスタは各ブロックに添付され , 汎用 CPU インタフェースからアクセス可能です。

入力バッファ (IBF)

メッセージ RAM 上に確保されたメッセージバッファへの書込みアクセスにおいて , ホストは入力バッファに対してメッセージバッファ向けのヘッダとデータセクションを書き込みます。メッセージハンドラは , 入力バッファからメッセージ RAM 上に確保されたメッセージバッファにデータを転送します。

出力バッファ (OBF)

メッセージ RAM 内に確保されたメッセージバッファからの読出しアクセスにおいて , メッセージハンドラは選択されたメッセージバッファの内容を出力バッファに書き込みます。転送完了後 , ホストは出力バッファから転送済のメッセージバッファの内容であるヘッダとデータセクションを読み出します。

メッセージハンドラ (MHD)

E-Ray メッセージハンドラは , 以下のコンポーネント間のデータ転送を制御します。

入力 / 出力バッファおよびメッセージ RAM

2 つの FlexRay プロトコルコントローラおよびメッセージ RAM の過渡バッファ RAM

メッセージ RAM (MRAM)

メッセージ RAM は , 最大 128 の FlexRay メッセージバッファと関連する設定データ (ヘッダとデータ位置) を保存するシングルポートの RAM で構成されています。

過渡バッファ RAM (TBF A/B)

2 つの完全なメッセージのデータセクションを保存します。

FlexRay チャネル プロトコル コントローラ (PRT A/B)

FlexRay チャネルプロトコルコントローラは , シフトレジスタと FlexRay プロトコル FSM で構成されています。それらは , バスドライバ BD を介して中間メッセージ保存のための過渡バッファ RAM と物理層に接続します。

以下の機能を実行します。
- ビットタイミングの制御と確認
- FlexRay フレームとシンボルの受信 / 送信
- ヘッダ CRC の確認
- フレーム CRC の生成 / 確認
- バスドライバへのインタフェース

FlexRay チャネルプロトコルコントローラは , 次のようなインタフェースがあります。
- 物理層 (バスドライバ)
- 過渡バッファ RAM
- メッセージハンドラ
- グローバル時間単位
- システムユニバーサル制御
- フレームおよびシンボル処理
- ネットワーク管理
- 割込み制御

グローバル時間単位 (GTU)

グローバル時間単位では以下の機能が実行されます。
- マイクロチックの生成
- マクロチックの生成
- FTM アルゴリズムによるフォルトトレラントクロック同期
  - レート修正
  - オフセット修正
- サイクルカウンタ
- 静的セグメントのタイミングコントロール
- 動的セグメントのタイミングコントロール (ミニスロット)
- 外部クロック修正のサポート

システムユニバーサル制御 (SUC)

システムユニバーサル制御は以下の機能を制御します。
- 設定
- ウェイクアップ
- スタートアップ
- 通常動作
- パッシブ動作
- モニタモード

フレームおよびシンボル処理 (FSP)

フレームおよびシンボル処理は , 以下の機能を制御します。
- フレームおよびシンボルの修正タイミングを確認
- 受信フレームの修正を構文的および意味的にテスト
- スロットステータスフラグの設定

ネットワーク管理 (NEM)

ネットワーク管理ベクタを操作します。

割込み制御 (INT)

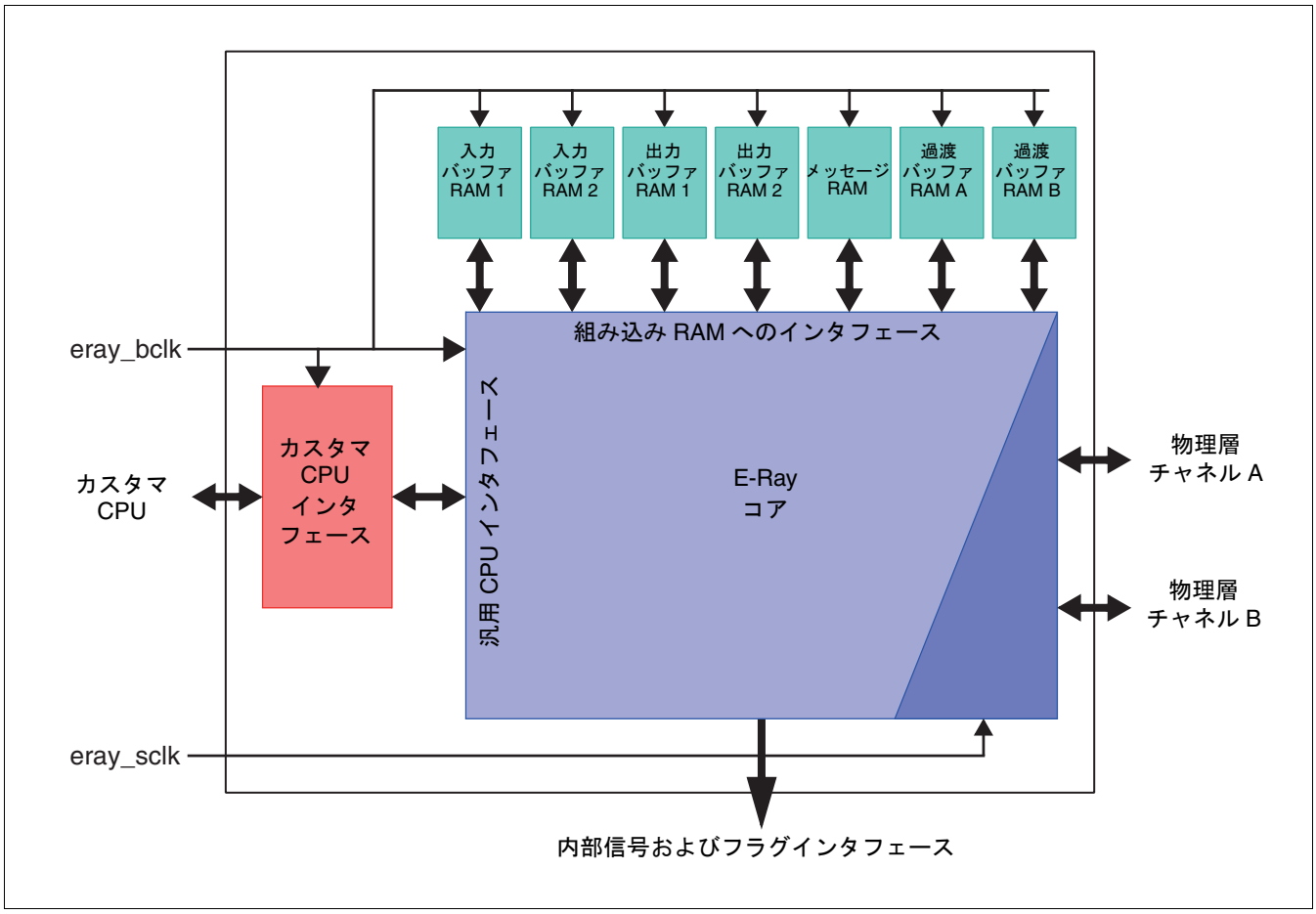
割込み制御では以下の機能が実行されます。

- エラーとステータス割込みフラグの提供
- 割込みソースの許可 / 禁止
- 2 つのモジュール割込みラインへの割込みソースの割り当て
- モジュール割込みラインの許可 / 禁止
- 2 つの割込みタイマの管理
- ストップウォッチ時間の取得

■ 汎用インタフェース

汎用インタフェースは , E-Ray 設計 (E-Ray コア) の合成可能なコードをカプセル化します。顧客 CPU インタフェースのような顧客固有のコンポーネントのすべてと RAM ブロックは , 汎用インタフェースに接続されます。次の図は E-Ray コアから汎用インタフェースを介して外部への接続を示します。

E-Ray コアの汎用インタフェース



汎用インタフェースは , 汎用 CPU インタフェース , 組み込み RAM へのインタフェース , 内部信号およびフラグインタフェース , および物理層インタフェースによって構成されています。

1. 汎用 CPU インタフェース

汎用 CPU インタフェースは , E-Ray モジュールを顧客 CPU インタフェースから顧客固有のホスト CPU に接続します。汎用 CPU インタフェースは , E-Ray モジュールを広範な顧客固有の CPU に接続するよう設計されています。8/16/32 ビットアクセスをサポートします。

汎用 CPU インタフェース

信号	方向	概要
eray_sclk		サンプルクロック , 80 MHz
eray_bclk		バスクロック
eray_reset		モジュールリセット , 常に reset_active_c 経由で構成可能 , デフォルトは LOW アクティブ
eray_select		モジュール選択
eray_addr[10:0]		アドレス入力
eray_byten[3:0]		バイトイネーブル
eray_write		書込み / 読出し制御 : “1” = 書込み , “0” = 読出し
eray_wdata[31:0]		書込みデータ入力
eray_stpwt		ストップウォッチトリガ入力
eray_scanmode		スキャンモード許可入力
eray_wrdy	0	書込みレディ出力
eray_rrdy	0	読出しレディ出力
eray_rdata[31:0]	0	読出しデータ出力
eray_int0	0	割込みライン 0 出力 , HIGH アクティブ
eray_int1	0	割込みライン 1 出力 , HIGH アクティブ
eray_tint0	0	タイマ割込み 0 出力 , HIGH アクティブ
eray_tint1	0	タイマ割込み 1 出力 , HIGH アクティブ
eray_ibusy	0	入力バッファ RAM からメッセージ RAM にビジー転送 , ビット IBCR.IBSYH 設定中はアクティブ
eray_obusy	0	メッセージ RAM から出力バッファ RAM にビジー転送 , ビット OBCR.OBSYS 設定中はアクティブ

1.1. リセットタイミング

E-Ray モジュールのリセットを実行するには , 少なくとも信号 **eray_reset** がアクティブである必要があります。

・2 つの **eray_bclk** サイクル , **eray_bclk ≧ eray_sclk** のクロック期間

・2 つの **eray_sclk** サイクル , **eray_bclk < eray_sclk** のクロック期間

ハードリセットを抜けたとき , 内部手順が開始されて 7 つのモジュール内部 RAM ブロックを初期化します。CHI コマンド CLEAR_RAMS によって , モジュール内部 RAM もクリア可能です。
(SUCC1.CMD[3:0] = 1100) CC が DEFAULT_CONFIG または CONFIG ステートのとき ,E-Ray 内部 RAM ブロックの初期化には 2048 **eray_bclk** サイクル必要です。

ハードリセット後 , または CHI コマンド CLEAR_RAMS のアサーション後 , 内部 RAM ブロックの初期化中に ホストは IBF または OBF にアクセスできません。CHI コマンド CLEAR_RAMS 実行中 , 構成およびステータスレジスタは使用可能です。

E-Ray レジスタマップ で要約されているように , ハードリセット後 , すべてのレジスタはリセット値を保持します。

1.2. 書込みアクセス

書込みアクセスのバイト位置は , バイトイネーブル信号 **eray_byten[3:0]** によって定義されます。

4 つのバイトイネーブル信号のうちの 1 つの 8 ビットの書込みアクセスだけがアクティブです。

- **eray_byten[3:0]** = 0001 : Update register / RAM bits 7 downto 0 from **eray_wdata[7:0]**
- **eray_byten[3:0]** = 0010 : Update register / RAM bits 15 downto 8 from **eray_wdata[15:8]**
- **eray_byten[3:0]** = 0100 : Update register / RAM bits 23 downto 16 from **eray_wdata[23:16]**
- **eray_byten[3:0]** = 1000 : Update register / RAM bits 31 downto 24 from **eray_wdata[31:24]**

さらに下位またはさらに上位の 2 つのバイトイネーブル信号のうちのどちらか 1 つの 16 ビットの書込みアクセスだけがアクティブです。

- **eray_byten[3:0]** = 0011 : Update register / RAM bits 15 downto 0 from **eray_wdata[15:0]**
- **eray_byten[3:0]** = 1100 : Update register / RAM bits 31 downto 16 from **eray_wdata[31:16]**

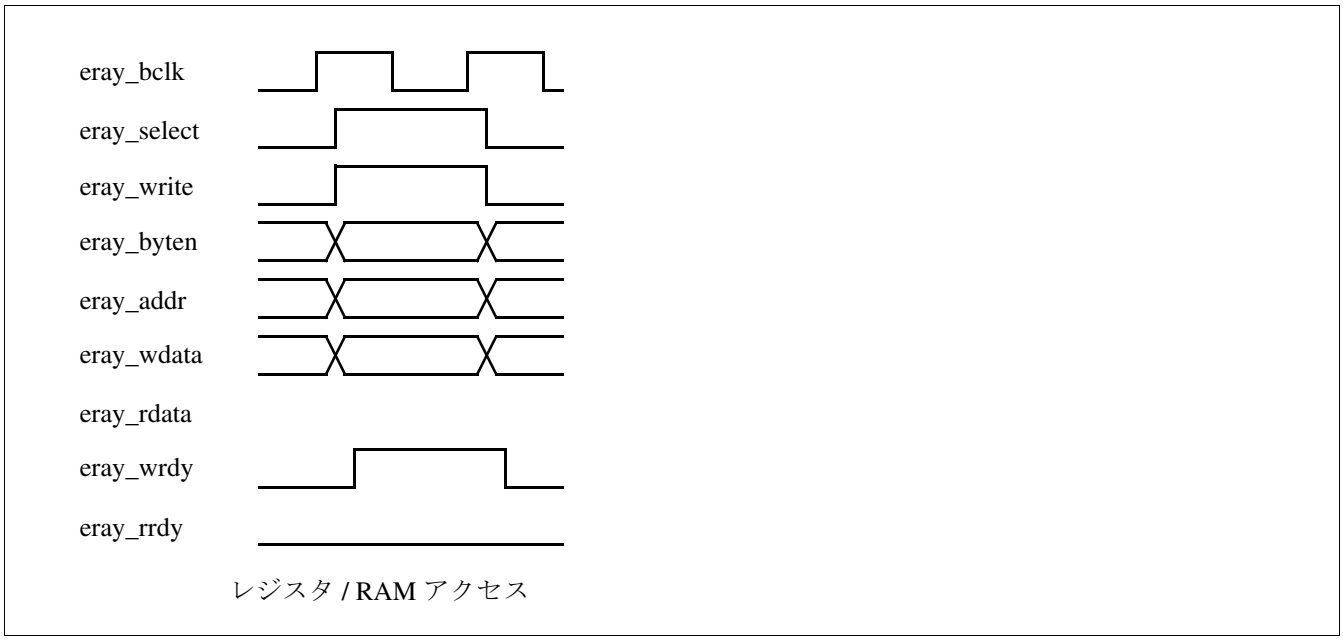
4 つのバイトイネーブル信号のすべての 32 ビットの書込みアクセスがアクティブです。

- **eray_byten[3:0]** = 1111 : Update register / RAM bits 31 downto 0 from **eray_wdata[31:0]**

eray_addr[1:0] 信号は使用しません。

入力バッファの書込みデータセクションへの書込み時に (10.1. ライトデータセクション [1 ～ 64] (WRDSn) 参照) , メッセージ RAM からレジスタ IBCR にターゲットメッセージバッファの数を書き込むことで内部バッファからメッセージ RAM への転送が開始される前に , 各 32 ビットワードは 1 つの 32 ビットアクセス , または 2 つの連続した 16 ビットアクセス , または 4 つの連続した 8 ビットアクセスによって構成されている必要があります。32 ビットワードのすべてのバイトが , ホスト (8/16 ビットアクセスのみ) によって書き込まれていない場合は , 部分的に古いデータがメッセージ RAM に転送されます。

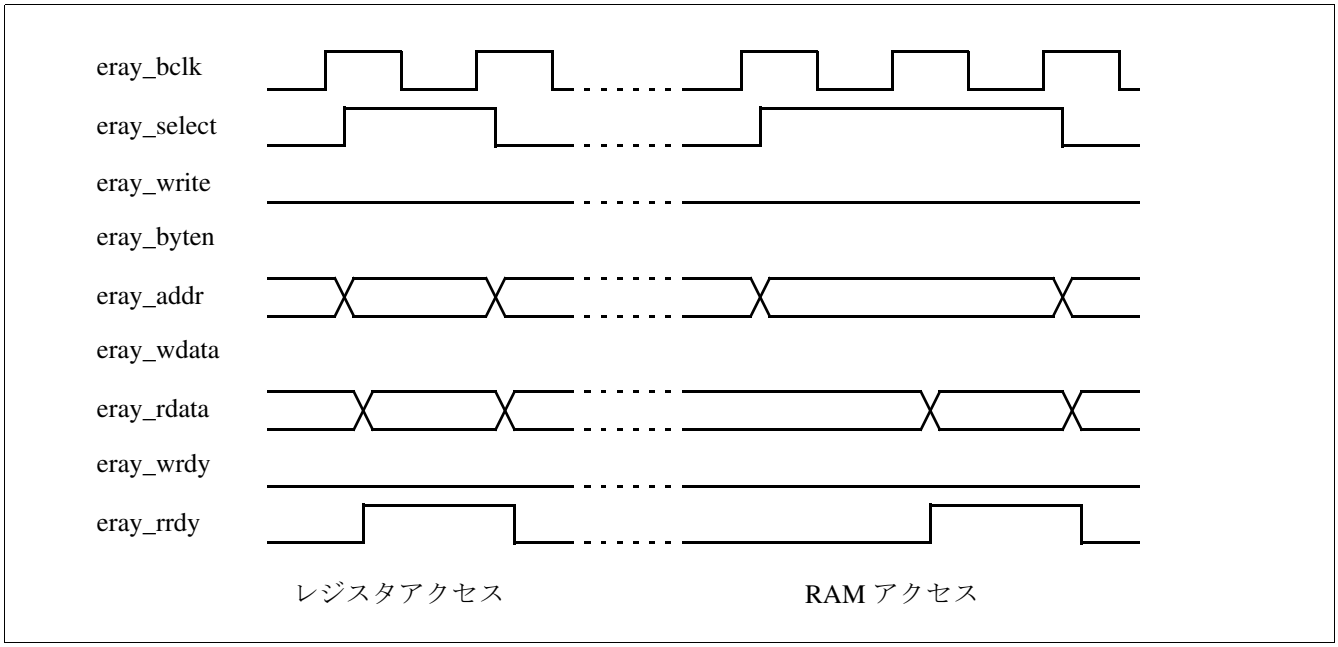
E-Ray レジスタおよび入力バッファ RAM への書込みアクセス



レジスタおよび RAM への書込みアクセスはそれぞれ **eray_bclk** サイクル。

1.3. 読出しアクセス

E-Ray レジスタおよび入力 / 出力バッファ RAM への読出しアクセス



内部 RAM ブロックは 2 つの **eray_bclk** サイクルをとり (RAM は同期をとるため), 一方レジスタからのデータは 1 つの **eray_bclk** サイクル内で有効です。読出しアクセス信号 **eray_byten[3:0]** は無視されます。

（注意事項）8/16 ビット読出しアクセスでは , (自動読出しアクセスではない) 2 つの読出しアクセス間でレジスタの内容が変わる場合があります。

1.4. IBF / OBF 転送ビジー信号のタイミング

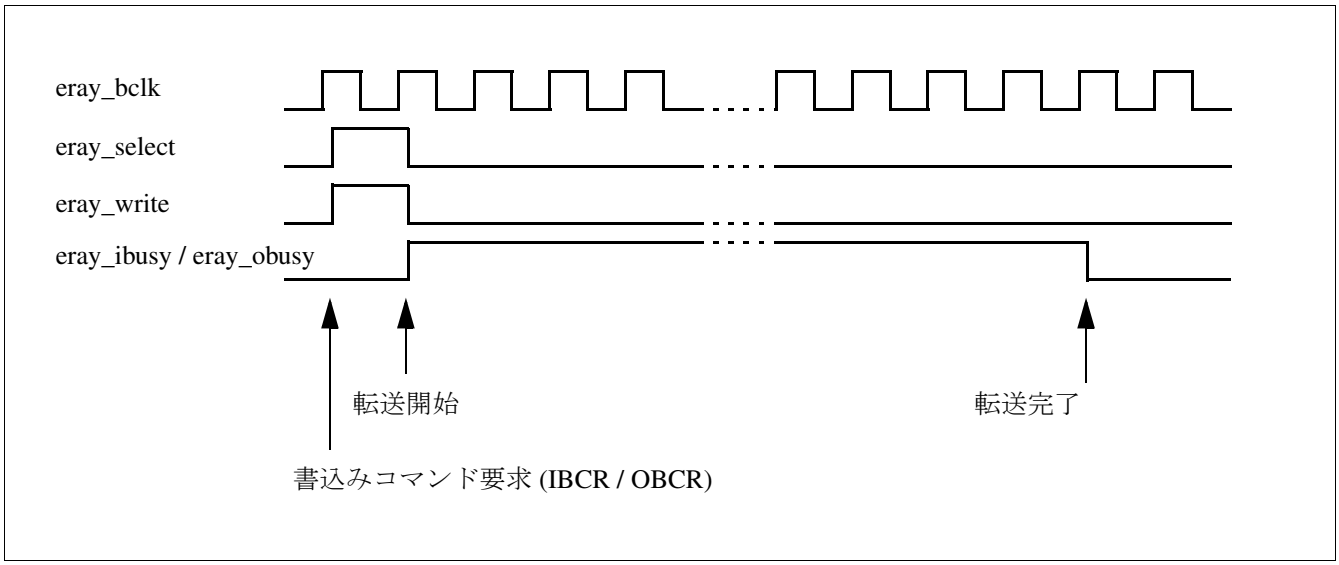
入力バッファ (IBF) からメッセージ RAM へのデータ転送 , またはメッセージ RAM から出力バッファ (OBF) へのデータ転送はそれぞれのコマンド要求レジスタ (IBCR/OBCR) への書込みアクセスによって初期化されます。

入力バッファシャドウとメッセージ RAM 間の転送中に **IBCR.IBRH[6:0]** への書込みアクセスが発生するとき , 信号 **eray_ibusy** はアクティブになります。同様に , ビット **IBCR.IBSYH** は “1” に設定されます。現在の転送完了後に , 入力バッファホストと入力バッファシャドウはスワップされて , **IBCR.IBSYH** は “0” にリセットされ , **eray_ibusy** はアクティブ解除されます。

メッセージ RAM と出力バッファシャドウ間で転送が実行されている間は , **eray_obusy** 信号 はアクティブになります。**OBCR.OBSYS** ビット によって通知されます。

さらに , ステータス割込みフラグ **SIR.TIBC** および **SIR.TOBC** は , データ転送が完了すると設定されます。許可された場合 , 割込みが発生します。

IBF シャドウ / OBF シャドウ間のデータ転送とメッセージ RAM



それぞれのビジー信号 **(eray_ibusy** または **eray_obusy)** までの遅延時間は , **eray_bclk** 周波数 , アクセスされるメッセージバッファのデータセクションの長さ , および実際のメッセージハンドラのステータスによってリセットされます。この遅延の計算式は Addendum to E-Ray FlexRay IP-Module Specification を参照してください。

2.内部信号とフラグインタフェース

内部信号とフラグインタフェースは , 追加機能によって顧客インタフェースの向上を目指す E-Ray ライセンス所有者向けの機能です。オプションでこれらの信号を使用できます。モジュール - 外部ロジックに接続されていない信号 (nets, ports) は , 統合によって削除されます。

内部信号

内部信号とフラグインタフェースに属する内部信号は , 信号源から E-Ray コアの最上位に直接接続されます。サフィックス '_sclk' を持つ信号は sclk ドメインから , その他すべての信号は bclk ドメインから生成されます。eray_sclk サイクルと一対一で対応する eray_bclk サイクルによりこれらの内部信号はアクティブ (HIGH) になります。

内部フラグ

選択したレジスタのビットは内部信号とフラグインタフェースに接続され , 処理を進めるために直接アクセス可能なこれらのレジスタからのステータス情報を作成します。ビット位置への割当てと設定およびリセットに関する動作は , それぞれのレジスタビットと同じです。信号は bclk ドメインから生成されます。

内部信号およびフラグインタフェース

信号	方向	概要
内部信号		
eray_cycs	O	Cycle Start
eray_cycs_sclk	O	Cycle Start, sclk ドメイン
eray_mt	O	マクロティック開始
eray_mt_sclk	O	マクロティック開始 , sclk ドメイン
eray_sds	O	動的セグメントの開始
eray_mbsu_mbn1[6:0]	O	チャネル A のメッセージバッファ数 (0 〜 127) のメッセージバッファステータス更新 eray_mbsu_tx1 または eray_mbsu_rx1 のどちらかが “1” の場合有効
eray_mbsu_tx1	O	送信バッファチャネル A のメッセージバッファステータス更新
eray_mbsu_rx1	O	受信バッファチャネル A のメッセージバッファステータス更新
eray_mbsu_mbn2[6:0]	O	チャネル B のメッセージバッファ数 (0 〜 127) のメッセージバッファステータス更新 eray_mbsu_tx2 または eray_mbsu_rx2 のどちらかが “1” の場合有効
eray_mbsu_tx2	O	送信バッファチャネル B のメッセージバッファステータス更新
eray_mbsu_rx2	O	受信バッファチャネル B のメッセージバッファステータス更新
eray_mbsu_mbs[31:0]	O	eray_mbsu_mbn1,2[6:0] によって参照されるメッセージバッファに書き込まれるメッセージバッファステータスベクタ eray_mbsu_tx1,2 または eray_mbsu_rx1,2 のどちらかが “1” の場合有効 ビット位置への割当てはレジスタ MBS と同じ
eray_mbsu_txo[1:0]	O	実際のサイクル内のチャネル A (bit #0) / B (bit #1) で発生するデータフレームの転送 eray_mbsu_tx1,2 または eray_mbsu_rx1,2 のどちらかが “1” の場合有効
eray_eir[31:0]	O	エラー割込みフラグ
eray_sir[31:0]	O	ステータス割込みフラグ
eray_ccsv[31:0]	O	CC ステータスベクタ
eray_ccev[31:0]	O	CC エラーベクタ
eray_scv[31:0]	O	スロットカウンタ値
eray_mtccv[31:0]	O	マクロティックサイクルカウンタ値
eray_mrc[31:0]	O	メッセージ RAM 構成
eray_mhds[31:0]	O	メッセージハンドラステータス
eray_txrq1[31:0]	O	送信要求 1
eray_txrq2[31:0]	O	送信要求 2
eray_txrq3[31:0]	O	送信要求 3
eray_txrq4[31:0]	O	送信要求 4
eray_ndat1[31:0]	O	新データ 1
eray_ndat2[31:0]	O	新データ 2
eray_ndat3[31:0]	O	新データ 3
eray_ndat4[31:0]	O	新データ 4
eray_mbsc1[31:0]	O	メッセージバッファステータスの変更 1
eray_mbsc2[31:0]	O	メッセージバッファステータスの変更 2
eray_mbsc3[31:0]	O	メッセージバッファステータスの変更 3
eray_mbsc4[31:0]	O	メッセージバッファステータスの変更 4

3.物理層インタフェース

物理層インタフェースはバスドライバの E-Ray モジュールに接続します。

物理層インタフェース

信号	方向	概要
チャネル A		
eray_rxd1	I	データ受信側入力
eray_txd1	O	データ送信側出力
eray_txen1_n	O	送信イネーブル信号 , HIGH = 送信アクティブではない , LOW = 送信アクティブ
チャネル B		
eray_rxd2	I	データ受信側入力
eray_txd2	O	データ送信側出力
eray_txen2_n	O	送信イネーブル信号 , HIGH = 送信アクティブではない , LOW = 送信アクティブ

2 つのチャネルそれぞれに個別のバスドライバデバイスが必要となります。

4.組み込み RAM ブロックへのインタフェース

E-Ray モジュールが使用する 7 つの組み込み RAM ブロックは , 以下に説明するインタフェースを経由して E-Ray コアに接続します。E-Ray モジュールは , RD/WR と同期をとるシングルポート RAM と接続するよう設計されています。すべての RAM ブロックの幅は 33 ビットで , データ 32 ビットおよびパリティ1 ビットで構成されます。

4.1. 入力バッファインタフェース

入力バッファ RAM 1 インタフェースのポートは以下のとおりです。

入力バッファ RAM 1 へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_ibf1_addr[5:0]	O	アドレス出力
eray_ibf1_cen	O	RAM 選択
eray_ibf1_wren	O	書込み制御
eray_ibf1_data[32:0]	O	書込みデータ出力
eray_ibf1_q[32:0]	I	書込みデータ入力

入力バッファ RAM 2 インタフェースのポートは以下のとおりです。

入力バッファ RAM 2 へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_ibf2_addr[5:0]	O	アドレス出力
eray_ibf2_cen	O	RAM 選択
eray_ibf2_wren	O	書込み制御
eray_ibf2_data[32:0]	O	書込みデータ出力
eray_ibf2_q[32:0]	I	書込みデータ入力

4.2. 出力バッファインタフェース

出力バッファ RAM 1 インタフェースのポートは以下のとおりです。

出力バッファ RAM 1 へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_obf1_addr[5:0]	O	アドレス出力
eray_obf1_cen	O	RAM 選択
eray_obf1_wren	O	書込み制御
eray_obf1_data[32:0]	O	書込みデータ出力
eray_obf1_q[32:0]	I	書込みデータ入力

出力バッファ RAM 2 インタフェースのポートは以下のとおりです。

出力バッファ RAM 2 へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_obf2_addr[5:0]	O	アドレス出力
eray_obf2_cen	O	RAM 選択
eray_obf2_wren	O	書込み制御
eray_obf2_data[32:0]	O	書込みデータ出力
eray_obf2_q[32:0]	I	書込みデータ入力

4.3. メッセージ RAM インタフェース

メッセージ RAM にはヘッダとデータセクション (最大 128 メッセージバッファ) が保存されます。メッセージ RAM インタフェースのポートは以下のとおりです。

メッセージ RAM へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_mbf_addr[10:0]	O	アドレス出力
eray_mbf_cen	O	RAM 選択
eray_mbf_wren	O	書込み制御
eray_mbf_data[32:0]	O	書込みデータ出力
eray_mbf_q[32:0]	I	書込みデータ入力

4.4. 過渡バッファ RAM インタフェース

2 つの FlexRay チャネルのそれぞれには , 関連する中間メッセージ保存のための過渡バッファ RAM があります。チャネル A の過渡バッファ RAM インタフェースのポートは以下のとおりです。

過渡バッファ RAM A へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_tbf1_addr[6:0]	O	アドレス出力
eray_tbf1_cen	O	RAM 選択
eray_tbf1_wren	O	書込み制御
eray_tbf1_data[32:0]	O	書込みデータ出力
eray_tbf1_q[32:0]	I	書込みデータ入力

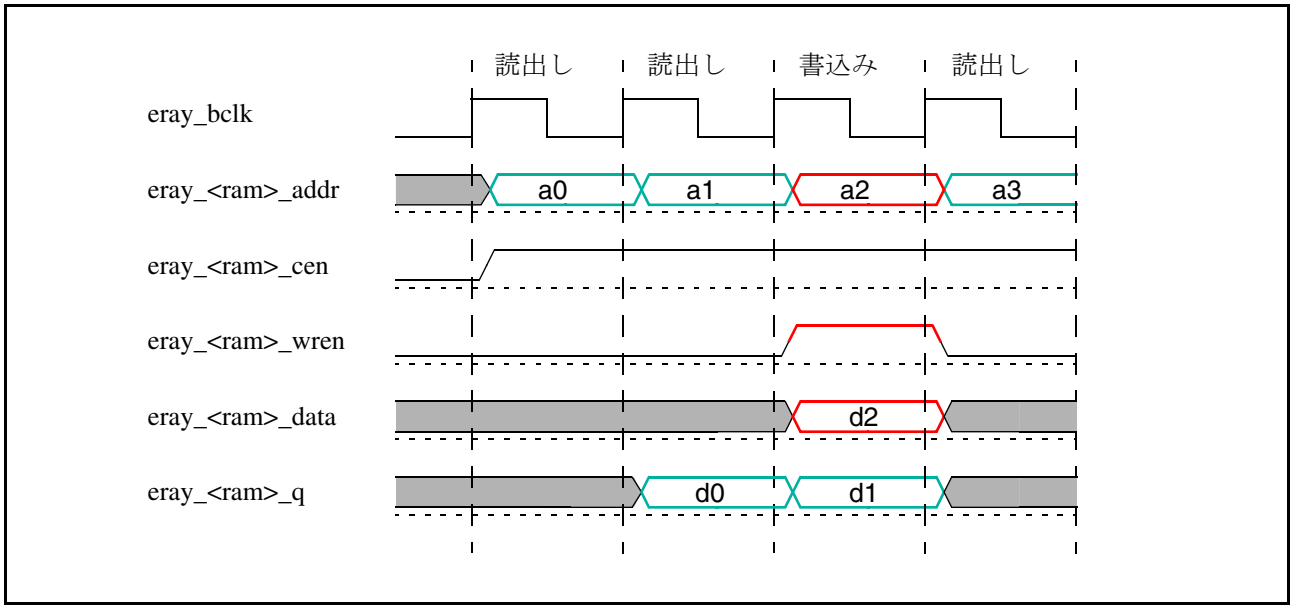
チャネル B の過渡バッファ RAM インタフェースのポートは以下のとおりです。

過渡バッファ RAM B へのインタフェース

信号	方向	概要
eray_bclk	O	モジュールクロック
eray_tbf2_addr[6:0]	O	アドレス出力
eray_tbf2_cen	O	RAM 選択
eray_tbf2_wren	O	書込み制御
eray_tbf2_data[32:0]	O	書込みデータ出力
eray_tbf2_q[32:0]	I	書込みデータ入力

4.5. 組み込み RAM ブロックへの読出し / 書込みアクセス

組み込み RAM ブロックへの同期読出し / 書込みアクセス



■ プログラマ モデル

1. レジスタマップ

E-Ray モジュールは , 2 キロバイトのアドレス空間 (0x0000 ～ 0x07FF) に割り当てられています。レジスタは , 32 ビットレジスタとして構成されています。8/16 ビットアクセスもサポートされています。メッセージ RAM へのホストアクセスは , 入力および出力バッファを経由して行なわれます。ホストアクセスとメッセージ受信 / 送信 間で競合を回避するために , 送信されるデータと , メッセージハンドラ制御下のメッセージ RAM からのデータをバッファリングします。アドレス 0x0000 ～ 0x000F は顧客固有用に予約されています。アドレス関連のすべての機能は , 顧客 CPU インタフェースに配置されています。アドレス 0x0010 および 0x0014 に配置されているテストレジスタは , 3. 特殊レジスタ で説明されている条件下でのみ書込み可能です。

メッセージバッファの割当ては , 次の表のスキームに従って実行されます。N 番目の可能なメッセージバッファは , 設定されたメッセージバッファのペイロード長さに依存します。メッセージバッファの最大数は 128 で , サポートされる最大ペイロード長さは 254 バイトです。

メッセージバッファは , 連続した 3 つのグループに分割されます。

静的バッファ: 静的セグメントに割り当てられている送信 / 受信バッファ
静的 + 動的バッファ: 静的または動的セグメントに割り当てられている送信 / 受信バッファ
FIFO: 受信 FIFO

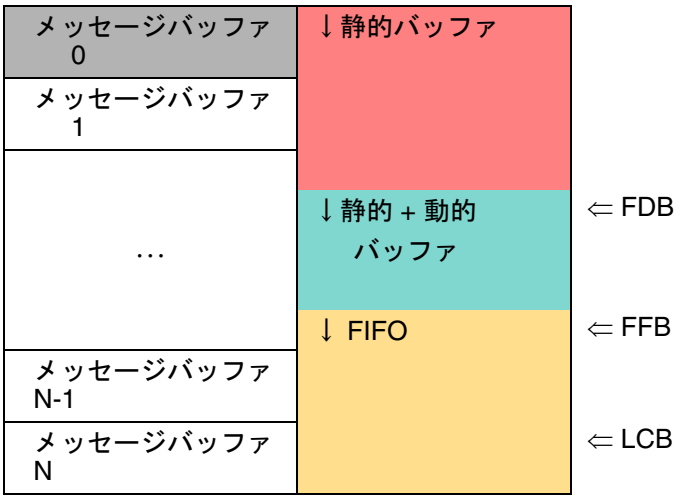
メッセージバッファ分割設定は , DEFAULT_CONFIG または CONFIG ステートの場合にのみ , MRC レジスタ のプログラムによってのみ変更可能です (7.1. メッセージ RAM 設定 (MRC) 参照)。

最初のグループはメッセージバッファ 0 で開始され , 静的メッセージバッファのみで構成されます。メッセージバッファ 0 は , **SUCC1.TXST**, **SUCC1.TXSY**, **SUCC1.TSM** により , ノード送信が 1 つの場合 , スタートアップフレーム / 同期フレーム , またはシングルスロットフレームを保持するよう設定されています。さらに , メッセージバッファ 1 は , 同期フレームまたはシングルスロットフレームに 2 つのチャネル上で異なるペイロードがある場合に , 同期フレーム送信に使用されます。この場合 ,
ビット **MRC.SPLM** は “1” にプログラムされ , メッセージバッファはキースロット ID で 0 および 1 が設定されている必要があり , また DEFAULT_CONFIG または CONFIG ステートでのみ (再) 設定可能です。

2 番目のグループは , 静的または動的セグメントに割り当てられたメッセージバッファで構成されます。このグループに属するメッセージバッファは , 動的から静的 , またはその逆方向への実行時間中に **MRC.SEC[1:0]** のステータスによって再設定される場合があります。

3 番目のグループに属するメッセージバッファは , 単独の受信 FIFO に連結されています。

メッセージバッファの割当て



E-Ray レジスタマップ

アドレス	記号	名前	リセット	Acc	ブロック
顧客レジスタ					
0x0000 0x0004 0x0008 0x000C	顧客 CPU インタフェース仕様を参照				CIF
特殊レジスタ					
0x0010	TEST1	テストレジスタ 1	0000 0300	r/w	GIF
0x0014	TEST2	テストレジスタ 2	0000 0000	r/w	
0x0018		予約 (1)	0000 0000	r	
0x001C	LCK	ロックレジスタ	0000 0000	r/w	GIF
割込みレジスタ					
0x0020	EIR	エラー割込みレジスタ	0000 0000	r/w	INT
0x0024	SIR	ステータス割込みレジスタ	0000 0000	r/w	
0x0028	EILS	エラー割込みライン選択	0000 0000	r/w	
0x002C	SILS	ステータス割込みライン選択	0303 FFFF	r/w	
0x0030	EIES	エラー割込み許可セット	0000 0000	r/w	
0x0034	EIER	エラー割込み許可リセット	0000 0000	r/w	
0x0038	SIES	ステータス割込み許可セット	0000 0000	r/w	
0x003C	SIER	ステータス割込み許可リセット	0000 0000	r/w	
0x0040	ILE	割込みライン許可	0000 0000	r/w	
0x0044	T0C	タイマ 0 構成	0000 0000	r/w	
0x0048	T1C	タイマ 1 構成	0002 0000	r/w	
0x004C	STPW1	ストップウォッチレジスタ 1	0000 0000	r/w	
0x0050	STPW2	ストップウォッチレジスタ 2	0000 0000	r/w	
0x0054 ～ 0x007C		予約 (11)	0000 0000	r	
CC 制御レジスタ					
0x0080	SUCC1	SUC 構成レジスタ 1	0C40 1080	r/w	SUC
0x0084	SUCC2	SUC 構成レジスタ 2	0100 0504	r/w	
0x0088	SUCC3	SUC 構成レジスタ 3	0000 0011	r/w	
0x008C	NEMC	NEM 構成レジスタ 1	0000 0000	r/w	NEM
0x0090	PRTC1	PRT 構成レジスタ 1	084C 0633	r/w	PRT
0x0094	PRTC2	PRT 構成レジスタ 2	0F2D 0A0E	r/w	
0x0098	MHDC	MHD 構成レジスタ 1	0000 0000	r/w	MHD
0x009C		予約 (1)	0000 0000	r	
0x00A0	GTUC1	GTU 構成レジスタ 1	0000 0280	r/w	GTU
0x00A4	GTUC2	GTU 構成レジスタ 2	0002 000A	r/w	
0x00A8	GTUC3	GTU 構成レジスタ 3	0202 0000	r/w	
0x00AC	GTUC4	GTU 構成レジスタ 4	0008 0007	r/w	
0x00B0	GTUC5	GTU 構成レジスタ 5	0E00 0000	r/w	
0x00B4	GTUC6	GTU 構成レジスタ 6	0002 0000	r/w	
0x00B8	GTUC7	GTU 構成レジスタ 7	0002 0004	r/w	
0x00BC	GTUC8	GTU 構成レジスタ 8	0000 0002	r/w	
0x00C0	GTUC9	GTU 構成レジスタ 9	0000 0101	r/w	
0x00C4	GTUC10	GTU 構成レジスタ 10	0002 0005	r/w	
0x00C8	GTUC11	GTU 構成レジスタ 11	0000 0000	r/w	

アドレス	記号	名前	リセット	Acc	ブロック
0x00CC ～ 0x00FC		予約 (13)	0000 0000	r	
CC ステータスレジスタ					
0x0100	CCSV	CC ステータスベクタ	0010 4000	r	SUC
0x0104	CCEV	CC エラーベクタ	0000 0000	r	
0x0108 ～ 0x010C		予約 (2)	0000 0000	r	
0x0110	SCV	スロットカウンタ値	0000 0000	r	GTU
0x0114	MTCCV	マクロティックサイクルカウンタ値	0000 0000	r	
0x0118	RCV	レート補正値	0000 0000	r	
0x011C	OCV	オフセット補正値	0000 0000	r	
0x0120	SFS	同期フレームステータス	0000 0000	r	
0x0124	SWNIT	シンボルウィンドウおよびＮＩＴステータス	0000 0000	r	
0x0128	ACS	集合チャネルステータス	0000 0000	r/w	
0x012C		予約 (1)	0000 0000	r	
0x0130 ～ 0x0168	ESIDn	偶数同期 ID [1 ～ 15]	0000 0000	r	
0x016C		予約 (1)	0000 0000	r	
0x0170 ～ 0x01A8	OSIDn	奇数同期 ID [1 ～ 15]	0000 0000	r	
0x01AC		予約 (1)	0000 0000	r	
0x01B0 ～ 0x01B8	NMVn	ネットワークマネジメントベクタ [1 ～ 3]	0000 0000	r	NEM
0x01BC ～ 0x02FC		予約 (81)	0000 0000	r	
メッセージバッファ制御レジスタ					
0x0300	MRC	メッセージ RAM 構成	0180 0000	r/w	MHD
0x0304	FRF	FIFO リジェクションフィルタ	0180 0000	r/w	
0x0308	FRFM	FIFO リジェクションフィルタマスク	0000 0000	r/w	
0x030C	FCL	FIFO クリティカルレベル	0000 0080	r/w	

アドレス	記号	名前	リセット	Acc	ブロック
メッセージバッファステータスレジスタ					
0x0310	MHDS	メッセージハンドラステータス	0000 0080	r/w	MHD
0x0314	LDTS	最終動的送信スロット	0000 0000	r	
0x0318	FSR	FIFO ステータスレジスタ	0000 0000	r	
0x031C	MHDF	メッセージハンドラ制限フラグ	0000 0000	r/w	
0x0320	TXRQ1	送信要求 1	0000 0000	r	
0x0324	TXRQ2	送信要求 2	0000 0000	r	
0x0328	TXRQ3	送信要求 3	0000 0000	r	
0x032C	TXRQ4	送信要求 4	0000 0000	r	
0x0330	NDAT1	新データ 1	0000 0000	r	
0x0334	NDAT2	新データ 2	0000 0000	r	
0x0338	NDAT3	新データ 3	0000 0000	r	
0x033C	NDAT4	新データ 4	0000 0000	r	
0x0340	MBSC1	メッセージバッファステータスの変更 1	0000 0000	r	
0x0344	MBSC2	メッセージバッファステータスの変更 2	0000 0000	r	
0x0348	MBSC3	メッセージバッファステータスの変更 3	0000 0000	r	
0x034C	MBSC4	メッセージバッファステータスの変更 4	0000 0000	r	
0x0350 ～ 0x03EC		予約 (40)	0000 0000	r	
識別レジスタ					
0x03F0	CREL	コアリリースレジスタ	[リリース情報]	r	GIF
0x03F4	ENDN	エンディアンレジスタ	8765 4321	r	
0x03F8 ～ 0x03FC		予約 (2)	0000 0000	r	
インプットバッファ					
0x0400 ～ 0x04FC	WRDSn	ライトデータセクション [1 ～ 64]	0000 0000	r/w	IBF
0x0500	WRHS1	ライトヘッダセクション 1	0000 0000	r/w	
0x0504	WRHS2	ライトヘッダセクション 2	0000 0000	r/w	
0x0508	WRHS3	ライトヘッダセクション 3	0000 0000	r/w	
0x050C		予約 (1)	0000 0000	r/w	
0x0510	IBCM	インプットバッファコマンドマスク	0000 0000	r/w	
0x0514	IBCR	インプットバッファコマンド要求	0000 0000	r/w	
0x0518 ～ 0x05FC		予約 (58)	0000 0000	r	
アウトプットバッファ					
0x0600 ～ 0x06FC	RDDSn	リードデータセクション [1 ～ 64]	0000 0000	r	OBF
0x0700	RDHS1	リードヘッダセクション 1	0000 0000	r	
0x0704	RDHS2	リードヘッダセクション 2	0000 0000	r	
0x0708	RDHS3	リードヘッダセクション 3	0000 0000	r	
0x070C	MBS	メッセージバッファステータス	0000 0000	r	
0x0710	OBCM	アウトプットバッファコマンドマスク	0000 0000	r/w	
0x0714	OBCR	アウトプットバッファコマンド要求	0000 0000	r/w	
0x0718 ～ 0x07FC		予約 (58)	0000 0000	r	

2.顧客レジスタ

0x0000 ～ 0x000F のアドレス空間は , 顧客固有のレジスタのため予約されています。実装された場合 , これらのレジスタは顧客 CPU インタフェースブロックに配置されます。該当する顧客 CPU インタフェース仕様書に詳細があります。

CIF レジスタの仕様は以下のとおりです。

CIF0 ＝ 0xD000, CIF1 ＝ 0xD004, CIF2 ＝ 0xD008, CIF3 ＝ 0xD00C

顧客インタフェースロジック

	31							0	
CIF0	バージョン								
	R								
	31	30	29	28	27	26	25	24	bit
	7	6	5	4	3	2	1	0	
CIF1	DREQO	DLVLO	DMODO	DENBO	DREQI	DLVLI	DMODI	DENBI	
	0	0	0	0	0	0	0	0	初期
	R/W(RM1)	R/W	R/W	R/W	R/W(RM1)	R/W	R/W	R/W	属性
	23	22	21	20	19	18	17	16	bit
	7	6	5	4	3	2	1	0	
CIF1				MASK4	MASK3	MASK2	MASK1	MASK0	
	0	0	0	0	0	0	0	0	初期
	R0/W0	R0/W0	R0/W0	R/W	R/W(RM1)	R/W	R/W	R/W	属性
	15	14	13	12	11	10	9	8	bit
	7	6	5	4	3	2	1	0	
CIF1	RTEST			SWAP	TREQ1	TENB1	TREQ0	TENB0	
	0	0	0	0	0	0	0	0	初期
	R/W	R0/W0	R0/W0	R/W	R/W(RM1)	R/W	R/W(RM1)	R/W	属性

R	読出し専用レジスタ
R/W	読出し / 書込みレジスタ
R/W(RM1)	読出し / 書込みレジスタ (RMW で出力 “1”)
R0/W0	読出し専用レジスタ (常に出力 “1”, 書込み “0” 推奨)

ここで説明されていないその他すべての CIF レジスタ (CIF2 および CIF3) は R0/W0 です。

parameter VERSION ＝ 32' h04_FF_5B_FF;

0x04:Spansion

0xFF:Boot-ROM Device-ID 参照

0x5B:FR:91(0x5B), FX:96(0x60)

0xFF:E-Ray-ID 参照

2.1. CIF レジスタ機能

DENBI: IBF で DMA 要求許可
DENBO: OBF で DMA 要求許可

DENBx = 0 :DMA 要求無効
DENBx = 1 :DMA 要求許可

DMODI: IBF で DMA 要求モード
DMODO: OBF で DMA 要求モード

DMODx = 0 :DMA 要求モードは eray_ibusy/eray_obusy レベルモード
DMODx = 1 :DMA 要求モードは eray_ibusy/eray_obusy エッジモード

DLVLI: IBF で DMA レベル / エッジセレクタ
DLVLO: OBF で DMA レベル / エッジセレクタ

DMODx = 0 の場合
DLVLx = 0 :DMA 要求レベルはモードは非反転 eray_ibusy/eray_obusy
DLVLx = 1 :DMA 要求レベルはモードは反転 eray_ibusy/eray_obusy

DMODx = 1 の場合
DLVLx = 0 :DMA 要求は eray_ibusy/eray_obusy のネガティブエッジ
DLVLx = 1 :DMA 要求は eray_ibusy/eray_obusy のポジティブエッジ

DREQI: IBF で DMA 要求フラグ
DREQO: OBF で DMA 要求フラグ

DMODx = 0 の場合
DREQx = 読出し専用 , eray_ibusy/eray_obusy レベルを表示
- DLVLx で変更された場合 , 修正した eray_ibusy/eray_obusy レベルを表示
- 読出し修正書込みビット操作 “1” は読出し

DMODx = 1 の場合
DREQx = 0 :DMA 要求非アクティブ
DREQx = 1 :DMA 要求アクティブ
DMA 転送開始後の場合 , 要求は自動的に “0” にクリア
- DMA 要求をクリアにするために CPU によって “0” に書込み可能
- 読出し修正書込みビット操作 “1” は読出し

MASK0: DMA チャネル 0 割込みマスク (OBF 設定)
MASK1: DMA チャネル 1 割込みマスク (OBF 設定)
MASK2: DMA チャネル 2 割込みマスク (OBF 設定)
MASK3: DMA チャネル 3 割込みマスク (OBF 設定)
MASK4: DMA チャネル 4 割込みマスク (OBF 設定)

MASKx = 0 :DMA チャネル x 割込みはマスクされない
MASKx = 1 :eray_obusy = 1 の間 , DMA チャネル x 割込みはマスクされる

TENB0: タイマ 0 割込み許可
TENB1: タイマ 1 割込み許可

TENBx = 0 : 直接の eray_tint0/eray_tint1 信号は割込み生成のために使用される
TENBx = 1 : 登録された TREQx フラグは割込み生成のために使用される

TREQ0: タイマ 0 割込み要求
TREQ1: タイマ 1 割込み要求

TENBx = 0 の場合
TREQx = 読出し専用 , eray_tint0/eray_tint1 レベルを表示
- 読出し修正書込みビット操作 “1” は読出し

TENBx = 1 の場合
TREQx = 0 : タイマ割込み要求非アクティブ
TREQx = 1 : タイマ割込み要求アクティブ
- 割込み要求をクリアにするために CPU によって “0” に書込み可能
- 読出し修正書込みビット操作 “1” は読出し

SWAP: IBF/OBF データスワップ許可

SWAP = 0 :IBF/OBF 上の読出しデータおよび書込みデータはスワップされない
SWAP = 1 :IBF/OBF 上の読出しデータおよび書込みデータはスワップされる

SWAP = 0	SWAP = 1
MD[7:0] = DW(n), byte(n-1)	MD[7:0] = DW(n+1), byte(n+2)
MD[15:8] = DW(n), byte(n)	MD[15:8] = DW(n+1), byte(n+1)
MD[23:16] = DW(n+1), byte(n+1)	MD[23:16] = DW(n), byte(n)
MD[31:24] = DW(n+1), byte(n+2)	MD[31:24] = DW(n), byte(n-1)

RTEST: RAM テストアドレス範囲許可 (TESTMODE のみ)

RTEST = 0 : 通常動作アドレスマッピング
RTEST = 1 :RAM テスト動作アドレスマッピング (TMC[1:0]=01 のとき使用)

3.特殊レジスタ

3.1. テストレジスタ 1 (TEST1)

テストレジスタ 1 は , 制御ビットを保持して E-Ray モジュールのテストモードを設定します。WRTEN ビット が “1” に設定される場合 , これらのビットへの書込みアクセスだけが可能になります。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TEST1 R	CERB3	CERB2	CERB1	CERB0	CERA3	CERA2	CERA1	CERA0	0	0	TXENB	TXENA	TXB	TXA	RXB	RXA
0x0010 W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	AOB	AOA	0	0	TMC1	TMC0	0	0	ELBE	WRTEN
W																
リセット	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0

WRTEN　　書込みテストレジスタ許可

テストレジスタへの書込みアクセスが可能になります。ビット “0” から “1” に設定すると , 3.3. ロックレジスタ (LCK) セクションで定義したように , テストモードキーに書込みが行なわれます。その他のレジスタのビットの変更中に WRTEN が “1” を保持するときは , アンロックシーケンスは要求されません。ビットはいつでも “0” にリセット可能です。

1 = テストレジスタへの書込みアクセス許可

0 = テストレジスタへの書込みアクセス禁止

ELBE　　外部ループバック許可

ループバックテストを実行するには 2 つの方法があります。物理層またはシステムのセルフテストの内部ループバック (デフォルト) を経由する外部ループバックです。内部ループバック端子 eray_txen1,2_n が , 非アクティブな状態の場合 , eray_txd1.2 端子は HIGH に設定され , eray_rxd1, 2 端子は評価されません。ビット ELBE は , POC がループバックモードで , テストモード制御が通常動作モード TMC[1:0] = "00" のときに限り評価されます。

1 = 外部ループバック

0 = 内部ループバック (デフォルト)

TMC[1:0]　テストモード制御

00, 11= 通常動作モード (デフォルト)

01 =RAM テストモード - E-Ray モジュールのすべての RAM ブロックはホストによって直接アクセス可能です。このモードは , プロダクションテスト中に組み込み RAM ブロックのテストを可能にするためのものです。

10 =I/O テストモード - 出力端子 eray_txd1, eray_txd2, eray_txen1_n, eray_txen2_n, は , TXA, TXB, TXENA, TXENB ビット によって定義された値になります。入力端子 eray_rxd1, eray_rxd2 に適用された値は , レジスタビット RXA, RXB から読出し可能です。

AOA　　A 上のアクティビティ

チャネルアイドル状態は FlexRay protocol 仕様書 v2.1, BITSTRB プロセス zChannelIdle に指定されています。

1 = 検出されたアクティビティ , チャネル A はアイドルでない

0 = アクティビティは検出されない , チャネル A はアイドル

AOB　　B 上のアクティビティ

チャネルアイドル状態は FlexRay protocol 仕様書 v2.1, 3, BITSTRB プロセス zChannelIdle に指定されています。

1 = 検出されたアクティビティ , チャネル B はアイドルでない

0 = アクティビティは検出されない , チャネル B はアイドル

CERA[3:0] コーディングエラーレポートチャネル A

チャネル A でコーディングエラーが検出されたときに設定されます。レジスタ TEST1 が読出しまたは書込みされるとき 0 にリセットされます。CERA[3:0] が設定されると , ホストが TEST1 レジスタにアクセスするまで変更されません。

0000 = 検出されたコーディングエラーなし
0001 = ヘッダ CRC エラー検出
0010 = フレーム CRC エラー検出
0011 = フレーム開始シーケンス FSS が長すぎる
0100 = バイト開始シーケンス BSS の最初のビットが LOW
0101 = バイト開始シーケンス BSS の 2 番目のビットが HIGH
0110 = フレーム終了シーケンス FES の最初のビットが HIGH
0111 = フレーム終了シーケンス FES の 2 番目のビットが LOW
1000 =CAS / MTS シンボルが短すぎる
1001 =CAS / MTS シンボルが長すぎる
1010 ～ 1111 = 予約

CERB[3:0] コーディングエラーレポートチャネル B

チャネル B でコーディングエラーが検出されたときに設定されます。レジスタ TEST1 が読出しまたは書込みされるとき 0 にリセットされます。CERB[3:0] が設定されると , ホストが TEST1 レジスタにアクセスするまで変更されません。

0000 = 検出されたコーディングエラーなし
0001 = ヘッダ CRC エラー検出
0010 = フレーム CRC エラー検出
0011 = フレーム開始シーケンス FSS が長すぎる
0100 = バイト開始シーケンス BSS の最初のビットが LOW
0101 = バイト開始シーケンス BSS の 2 番目のビットが HIGH
0110 = フレーム終了シーケンス FES の最初のビットが HIGH
0111 = フレーム終了シーケンス FES の 2 番目のビットが LOW
1000 =CAS / MTS シンボルが短すぎる
1001 =CAS / MTS シンボルが長すぎる
1010 ～ 1111 = 予約

（注意事項）CC が MONITOR_MODE のとき , コーディングエラーも通知されます。
CAS / MTS シンボルに関するエラーコードは , モニタされたビットパターンのみに関係し , ビットパターンがシンボルウィンドウやその他で見られる場合は意味はありません。

（注意事項）以下の TEST1 ビットを使用して , 各端子のドライブ / 読出しによる物理層へのインタフェースをテストします
(接続性テスト)。

RXA モニタチャネル A 受信端子

0 =eray_rxd1 = 0
1 =eray_rxd1 = 1

RXB モニタチャネル B 受信端子

0 =eray_rxd2 = 0
1 =eray_rxd2 = 1

TXA チャネル A 送信端子の制御

0 =eray_txd1 端子 , “0”
1 =eray_txd1 端子 , “1”

TXB チャネル B 送信端子の制御

0 =eray_txd2 端子 , “0”
1 =eray_txd2 端子 , “1”

TXENA チャネル A 送信イネーブル端子の制御

0 =eray_txen1_n 端子 , “0”
1 =eray_txen1_n 端子 , “1”

TXENB チャネル B 送信イネーブル端子の制御

0 =eray_txen2_n 端子 , “0”
1 =eray_txen2_n 端子 , “1”

3.1.1. 非同期送信モード (ATM)

CC が CONFIG ステート , さらにビット TEST1.WRTEN が "1" に設定されている間に ,SUCC1.CMD[3:0]=1110 の書込みによって非同期送信モードに入ります。この書込み動作に先だって , 設定ロックキー (アンロックシーケンス) への 2 つの連続する書込みアクセスを行う必要があります。その他の状態や時点に呼び出されると , **TEST1.WRTEN** は設定されず , **SUCC1.CMD[3:0]** は "0000" = command_not_accepted にリセットされます。E-Ray モジュールが ATM モードの間 , 読出し **CCSV.POCS[5:0]** は "00 1110 を返します。**SUCC1.CMD[3:0]** = 0001 (CHI コマンド : CONFIG) を書込むことで , 非同期送信モードをそのままにすることができます。

IBCM.STXR が “1” に設定されているとき , **IBCR.IBRH[6:0]** への各メッセージバッファの数を書き込むことで , FlexRay ATM モード送信はトリガされます。このモードでは , ウェイクアップ , スタートアップ , およびクロック同期はバイパスされます。CHI コマンド SEND_MTS は , MTS シンボルの即時送信を行ないます。

ATM モードに送信されたフレームのサイクルカウンタ値は , **MTCCV.CCV[5.0]** (ATM およびループバックモードでのみ書込み可能) を介してプログラム可能です。

3.1.2. ループバックモード

CC が CONFIG ステート , さらに TEST1.WRTEN ビットが "1" に設定されている間 ,SUCC1.CMD[3:0]=1111 の書込みによってループバックモードに入ります。この書込み動作に先だって , 設定ロックキー (アンロックシーケンス) への 2 つの連続する書込みアクセスを行う必要があります。その他の状態や時点に呼び出されると , **TEST1.WRTEN** は設定されず , **SUCC1.CMD[3:0]** は "0000" = command_not_accepted にリセットされます。E-Ray モジュールがループバックモードの間 , 読出し **CCSV.POCS[5:0]** は "00 1001" を返します。

SUCC1.CMD[3:0] = 0001 (CHI コマンド : CONFIG) を書込むことで , ループバックモードをそのままにすることができます。

ループバックモードはモジュールの内部データパスを確認するためのものです。通常 , ループバックモードで時間トリガ動作は許可されていません。

ループバックテストを実行するには 2 つの方法があります。物理層 (**TEST1.ELBE** = 1) またはシステムのセルフテストの内部ループバック (**TEST1.ELBE** = 0). 内部ループバック端子 **eray_txen1,2_n** が , 非アクティブな状態の場合 , **eray_txd1,2** 端子 は HIGH に設定され , **eray_rxd1,2** 端子は評価されません。

ループバックテストは , ホストで E-Ray モジュール設定されることで開始され , 入力バッファへのメッセージを書込み , レジスタ IBCR への書込みで、送信要求します。メッセージハンドラはメッセージ RAM にメッセージを送信して , 選択したチャネルの送信バッファにメッセージを送信します。チャネルプロトコルコントローラ (PRT) は送信バッファの送信部からメッセージを読出し (32 ビットワード), Rx / Tx シフトレジスタにロードします。
シリアル送信はシフトレジスタにループバックされ , その内容は次のワードがロードされる前にチャネルの送信バッファの受信部に書き込まれます。

PRT とメッセージハンドラは , この転送メッセージを受信メッセージとして処理し , フレーム ID と受信チャネルで受付フィルタリングを実行して , 受付フィルタリングにパスした場合は , メッセージをメッセージ RAM に保存します。ループバックテストは , ホストがメッセージ RAM からこの受信したメッセージを要求し , 出力バッファの内容を確認することで終了します。

各 FlexRay チャネルは個別にテストされます。E-Ray は , ループバックモード中に FlexRay バスからのメッセージを受信できません。

ループバックモードに使用されたフレームのサイクルカウンタ値は , **MTCCV.CCV[5.0]** (ATM およびループバックモードでのみ書込み可能) を介してプログラム可能です。

奇数ペイロードの場合 , ループバックペイロードの最後の 2 バイトは , 16 ビットで最後の 32 ビットデータワードの右内部にシフトされます。

3.2. テストレジスタ 2 (TEST2)

テストレジスタ 2 は , E-Ray モジュールの 7 つの組み込み RAM ブロックの RAM テストを要求されたすべてのビットを保持します。**TEST1.WRTEN** が “1” に設定される場合 , これらのレジスタへの書込みアクセスだけが可能になります。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TEST2	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0014	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	RDPB	WRPB	0	0	0	0	0	0	0	SSEL2	SSEL1	SSEL0	0	RS2	RS1	RS0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RS[2:0] RAM 選択

RAM テストモードで **RS[2:0]** によって選択された RAM ブロックは , モジュールアドレス 0x400 ～ 7FF(1024 バイトアドレス) にマップされます。

000 = 入力バッファ RAM 1 (IBF1)
001 = 入力バッファ RAM 2 (IBF2)
010 = 出力バッファ RAM 1 (OBF1)
011 = 出力バッファ RAM 2 (OBF2)
100 = 過渡バッファ RAM A (TBF1)
101 = 過渡バッファ RAM B (TBF2)
110 = メッセージ RAM (MBF)
111 = 未使用

SSEL[2:0] セグメント選択

完了メッセージ RAM (8192 バイトアドレス) アクセス可能にするために , メッセージ RAM はセグメント化されます。

000 = アクセス RAM バイト 0000h ～ 03FFh 許可
001 = アクセス RAM バイト 0400h ～ 07FFh 許可
010 = アクセス RAM バイト 0800h ～ 0BFFh 許可
011 = アクセス RAM バイト 0C00h ～ 0FFFh 許可
100 = アクセス RAM バイト 1000h ～ 13FFh 許可
101 = アクセス RAM バイト 1400h ～ 17FFh 許可
110 = アクセス RAM バイト 1800h ～ 1BFFh 許可
111 = アクセス RAM バイト 1C00h ～ 1FFFh 許可

WRPB 書込みパリティビット

アドレスされた RAM ワードの 32 ビットに書き込まれるパリティビットの値

RDPB 読出しパリティビット

アドレスされた RAM ワードの 32 ビットに読み出されるパリティビットの値

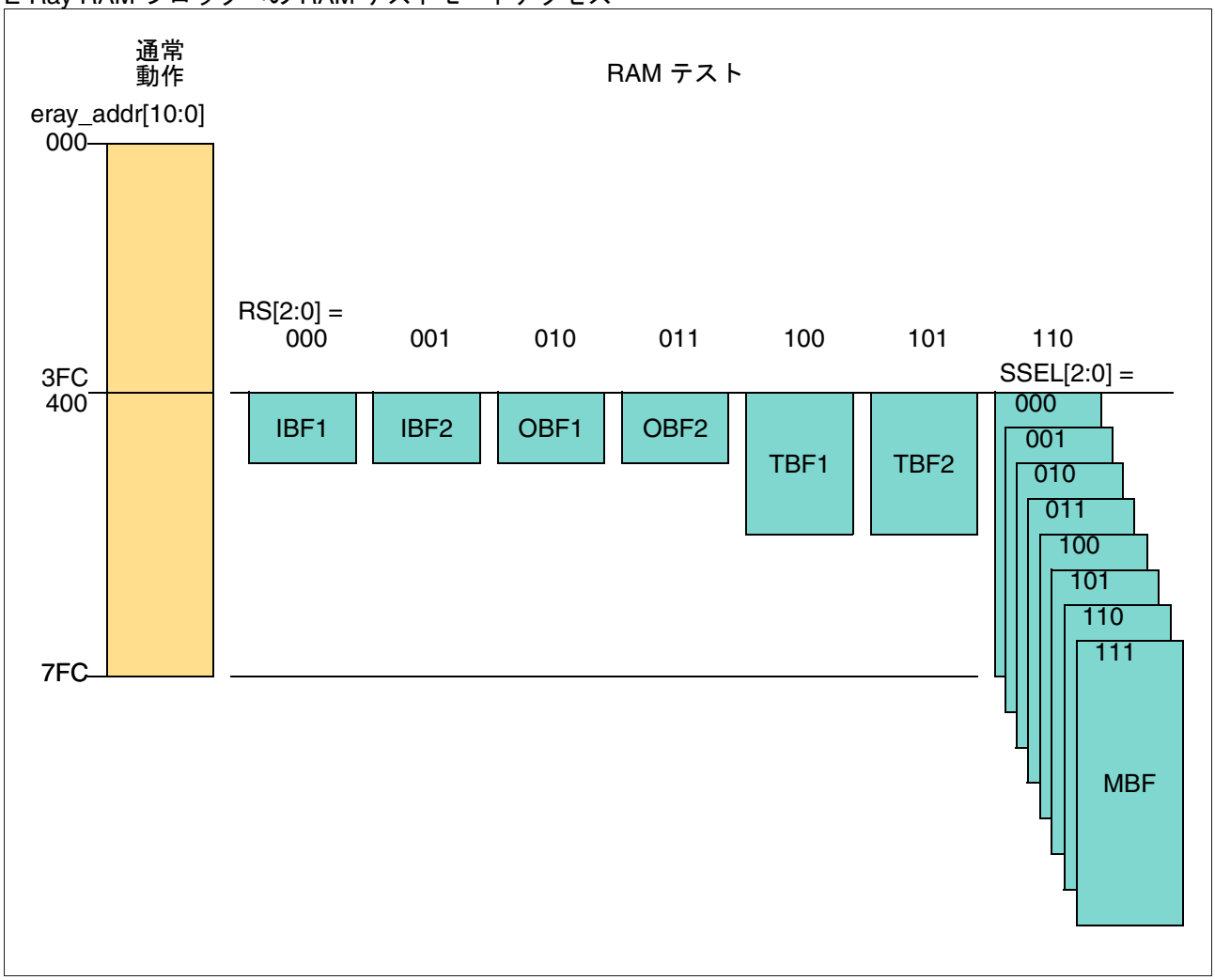
3.2.1. RAM テストモード

RAM テストモードで (**TEST1.TMC[1:0]** = 01), 7 つの RAM ブロックのうちの 1 つはプログラミング **TEST2.RS[2:0]** による直接 RD / WR アクセスのために選択可能です。

選択した RAM ブロックの外部アクセスは , アドレス空間 400h ～ 7FFh (1024 バイトアドレス , または 256 ワードアドレス) にマップされます。

メッセージ RAM の長さが可能なアドレス空間を超過しているため , メッセージ RAM は 1024 バイトのセグメントにセグメント化されます。セグメントは , プログラミング **TEST2.SSEL[2:0]** によって選択可能です。

E-Ray RAM ブロックへの RAM テストモードアクセス



3.3. ロックレジスタ (LCK)

ロックレジスタは書込み専用です。レジスタの読出しで 0x0000 0000 を返します。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LCK	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	W	TMK7	TMK6	TMK5	TMK4	TMK3	TMK2	TMK1	TMK0	CLK7	CLK6	CLK5	CLK4	CLK3	CLK2	CLK1	CLK0
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CLK[7:0]　設定ロックキー

CONFIG ステートを書込み SUCC1.CMD[3:0] (コマンド READY, MONITOR_MODE, ATM, LOOP_BACK) によって抜けるには , 設定ロックキー (アンロックシーケンス) への 2 つの連続した書込みアクセスによって書込み動作を直接先行させる必要があります。この書込みシーケンスがその他の書込みアクセスによって割り込まれる場合 , CC は CONFIG ステートで残り , シーケンスは繰り返される必要があります。

最初の書込み :LCK.CLK[7:0]= 1100 1110 (0xCE)
2 回目の書込み :LCK.CLK[7:0]= 0011 0001 (0x31)
3 回目の書込み :SUCC1.CMD[3:0]

TMK[7:0]　テストモードキー

TEST1.WRTEN ビットを書込むには , テストモードキー (アンロックシーケンス) への 2 つの連続する書込みアクセスによって直接先行される必要があります。この書込みシーケンスがその他の書込みアクセスによって割り込まれる場合 , TEST1.WRTEN は “1” に設定されず , シーケンスは繰り返される必要があります。

最初の書込み :LCK.TMK[7:0]= 0111 0101 (0x75)
2 回目の書込み :LCK.TMK[7:0]= 1000 1010 (0x8A)
3 回目の書込み :TEST1.WRTEN= 1

（注意事項） ホストが 8/16 ビットアクセスを使用して上記のビットフィールドを書き込む場合 , 残りのレジスタ バイト / ワードをコンパイラで挿入するといったダミーアクセスを行わないようにしてください。

4.割込みレジスタ

4.1. エラー割込みレジスタ (EIR)

フラグは , CC がリストされたエラー状態の 1 つを検出するときに設定されます。ホストがそれらをクリアするまで , フラグは設定されたままです。フラグは , 対応するビット位置に “1” を書込むとクリアされます。”0” を書き込んでも , フラグに影響しません。ハードリセットによって , レジスタもクリアされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIR	R	0	0	0	0	0	TABB	LTVB	EDB	0	0	0	0	0	TABA	LTVA	EDA
0x0020	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	MHF	IOBA	IIBA	EFA	RFO	PERR	CCL	CCF	SFO	SFBM	CNA	PEMC
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PEMC　　POC エラーモード変更

CCEV.ERRM[1:0] によってエラー信号が変更されると , フラグが設定されます。

1 = エラーモード変更

0 = エラーモード変更なし

CNA　　コマンド受入れ不可

要求コマンドが実際の POC ステートで有効でないため , または CHI コマンドがロックされた (CCL = 1) ため , CHI コマンドベクタ SUCC1.CMD[3:0] への書込みアクセスが成功しなかったということをこのフラグは示しています。

1 =CHI コマンド受入れ不可

0 =CHI コマンド受入れ

SFBM　　同期フレームが最小値以下

このフラグ信号は , 直前の通信サイクル中の同期フレーム受信数が , FlexRay プロトコルで必要とされる制限値よりも低いことを示しています。スタートアップ中に設定されて , CC が NORMAL_ACTIVE ステートを入力後にホストからクリアされます。

1 = 必要な最低同期フレーム未満の値を受信

0 = 同期ノード :1 またはそれ以上の同期フレームを受信

非同期ノード :2 またはそれ以上の同期フレームを受信

SFO　　同期フレームオーバーフロー

直前の通信サイクル中に受信した同期フレームの数が GTUC2.SNM[3:0] で定義された同期フレームの最大数を超えたときに設定します。

1 =GTUC2.SNM[3:0] で設定された値以上の同期フレームを受信

0 = 受信した同期フレーム数≦ GTUC2.SNM[3:0]

CCF　　クロック補正失敗

このフラグは以下のエラーが発生したときに , サイクルの終わりに設定されます。

• オフセットの損失 / レート補正

• クロック補正制限に達した

クロック補正ステータスは , レジスタ CCEV と SFS でモニタされます。スタートアップ中に失敗が発生し , ビット CCF は , CC が NORMAL_ACTIVE ステートを入力後にホストによってクリアされます。

1 = クロック補正失敗

0 = クロック補正エラーが発生していない

CCL　　CHI コマンドロック

このフラグは , プロトコル機能によってトリガされた POC ステート変更と一致するため , CHI コマンドベクタ SUCC1.CMD[3:0] への書込みアクセスは正常に終了していないことを通知します。この場合 , ビット CNA は “1” に設定する必要があります。

1 =CHI コマンド受入れ不可

0 =CHI コマンド受入れ

PERR　　パリティエラー
このフラグはホストへのパリティエラーを通知します。フラグ MHDS.PIBF, MHDS.POBF, MHDS.PMR, MHDS.PTBF1, MHDS.PTBF2 のうち 1 つが “0” から “1” に遷移する場合に設定されます。
1 = パリティエラー検出
0 = パリティエラー検出なし

RFO　　受信 FIFO オーバラン
このフラグは , 受信 FIFO オーバランが検出されると , CC により設定されます。受信 FIFO オーバランが発生すると , 最も古いメッセージが実際に受け取ったメッセージで上書きされます。実際の FIFO のステータスはレジスタ FSR でモニタされます。
1 = 受信 FIFO オーバランが検出された
0 = 受信 FIFO オーバランが検出されていない

EFA　　空 FIFO アクセス
このフラグは , 受信 FIFO が空の状態でホストが受信 FIFO から出力バッファを介してメッセージの送信を要求するとき , CC によって設定されます。
1 = 空の FIFO へのホストアクセスが発生
0 = 空の FIFO へのホストアクセスなし

IIBA　　不正入力バッファアクセス
このフラグは , CC が CONFIG または DEFAULT_CONFIG ステートでない状態でホストが入力バッファを介してメッセージバッファを修正するときに , CC によって設定されます。
1) ホストは入力バッファコマンド要求レジスタに以下の修正を書き込みます。
• メッセージバッファのヘッダセクション 0, 1 キースロットで送信の設定済みの場合
• 静的メッセージバッファのヘッダセクション , バッファ数 < MRC.FDB[7:0]
MRC.SEC[1:0] = 01
• 静的または動的メッセージバッファのヘッダセクション , MRC.SEC[1:0] = 1x
• 受信 FIFO に属するいずれかのメッセージバッファのヘッダ / データセクション
2) ホストは , IBCR.IBSYH が “1” に設定されているときに , 入力バッファのレジスタを書き込みます。
1 = 入力バッファへの不正ホストアクセス発生
0 = 入力バッファへの不正ホストアクセスなし

IOBA　　不正出力バッファアクセス
このフラグは , OBCR.OBSYS が “1” に設定されている状態でホストがメッセージ RAM から出力バッファにメッセージバッファの送信を要求するとき , CC によって設定されます。
1 = 出力バッファへの不正ホストアクセス発生
0 = 出力バッファへの不正ホストアクセスなし

MHF　　メッセージハンドラ制限フラグ
このフラグは , メッセージハンドラの違反状態の制限を通知します。フラグ MHDF.SNUA, MHDF.SNUB, MHDF.FNFA, MHDF.FNFB, MHDF.TBFA, MHDF.TBFB, MHDF.WAHP のうち 1 つが “0” から “1” に遷移する場合に , 設定されます。
1 = メッセージハンドラ失敗検出
0 = メッセージハンドラ失敗検出なし

チャネル固有のエラーフラグ

EDA　　チャネル A でエラー検出
このビットは , フラグ ACS.SEDA, ACS.CEDA, ACS.CIA, ACS.SBVA のうち 1 つが “0” から “1” に遷移する場合に設定されます。
1 = チャネル A でエラーを検出
0 = チャネル A でエラー検出なし

LTVA　　チャネル A の最近の送信違反
フラグは , チャネル A での最近の送信違反をホストに通知します。
1 = チャネル A で最近の送信違反を検出
0 = チャネル A で最近の送信違反の検出なし

TABA　　チャネル A での境界を超えた送信
フラグは , チャネル A での送信がスロット境界を超えていることをホストに通知します。
1 = チャネル A で境界を超えた送信を検出
0 = チャネル A で境界を超えた送信検出なし

EDB　　チャネル B でエラーを検出
このビットは , フラグ ACS.SEDB, ACS.CEDB, ACS.CIB, ACS.SBVB が “0” から “1” に遷移するときに設定されます。
1 = チャネル B でエラーを検出
0 = チャネル B でエラー検出なし

LTVB　　チャネル B の最近の送信違反
フラグは , チャネル B での最近の送信違反をホストに通知します。
1 = チャネル B で最近の送信違反を検出
0 = チャネル B で最近の送信違反の検出なし

TABB　　チャネル B での境界を超えた送信
フラグは , チャネル B での送信がスロット境界を超えていることをホストに通知します。
1 = チャネル B で境界を超えた送信を検出
0 = チャネル B で境界を超えた送信検出なし

4.2.　ステータス割込みレジスタ (SIR)

フラグは , CC がリストされたイベントの 1 つを検出するときに設定されます。ホストがそれらをクリアするまで , フラグは設定されたままです。フラグは , 対応するビット位置に “1” を書込むとクリアされます。“0” を書き込んでも , フラグに影響しません。ハードリセットによって , レジスタもクリアされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIR	R	0	0	0	0	0	0	MTSB	WUPB	0	0	0	0	0	0	MTSA	WUPA
0x0024	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WST　　Wakeup ステート
このフラグは , ウェイクアップステータスベクタ CCSV.WSV[2:0] が変更されると設定されます。
1 = ウェイクアップステータス変更
0 = ウェイクアップステータス変更なし

CAS　　衝突回避シンボル
このフラグは , STARTUP ステート中に CAS または起こりうる CAS を受信したときに , CC によって設定されます。
1 =CAS シンボルと一致するビットパターンを受信
0 =CAS シンボルと一致するビットパターン受信なし

CYCS　　サイクルスタート割込み
このフラグは , 通信サイクルが開始したときに CC によって設定されます。
1 = 通信サイクル開始
0 = 開始された通信サイクルなし

TXI　　送信割込み
このフラグは , 各メッセージバッファのビット MBI が “1” に設定されている場合 (表メッセージ RAM 内のメッセージバッファのヘッダセクション 参照), CC によってフレーム送信の終わりに設定されます。
1 = 少なくとも 1 つのフレームが送信バッファから MBI = 1 で送信された
0 = フレームが送信バッファから MBI = 1 で送信されていない

RXI　　受信割込み
このフラグは , メッセージバッファ ND フラグの設定状態を満たしている場合 (8.6. 新規データ 1/2/3/4 (NDAT1/2/3/4) 参照), およびそのメッセージバッファのビット MBI が “1” に設定されている場合 (表メッセージ RAM 内のメッセージバッファのヘッダセクション 参照), CC によって設定されます。
1 = 少なくとも 1 つの 受信バッファの ND フラグ (MBI = 1) が , “1” に設定
0 = 受信バッファの ND フラグ (MBI = 1) が , “1” に設定されていない

RFNE　　受信 FIFO が空でない
このフラグは , 受信した有効なフレームが空の受信 FIFO に保存された場合に CC によって設定されます。実際の 受信 FIFO のステータスはレジスタ FSR でモニタされます。
1 = 受信 FIFO が空でない
0 = 受信 FIFO が空

RFCL　　受信 FIFO クリティカルレベル
受信 FIFO フィルレベル FSR.RFFL[7:0] が , FCL.CL[7:0] で設定されたクリティカルレベル以上のときに , このフラグが設定されます。
1 = 受信 FIFO クリティカルレベルに達した
0 = 受信 FIFO がクリティカルレベル未満

NMVC　　ネットワーク管理ベクタの変更
この割込みフラグは , ホストに表示されるネットワーク管理ベクタでの変更を通知します。
1 = ネットワーク管理ベクタの変更
0 = ネットワーク管理ベクタの変更なし

TI0　　タイマ割込み 0
タイマ 0 がレジスタ T0C で設定された条件と一致する場合 , このフラグが設定されます。タイマ割込み 0 は端子 eray_tint0 でも通知されます。
1 = タイマ割込み 0 発生
0 = タイマ割込み 0 なし

TI1　　タイマ割込み 1
タイマ 1 がレジスタ T1C で設定された条件と一致する場合 , このフラグが設定されます。タイマ割込み 1 は端子 eray_tint1 でも通知されます。
1 = タイマ割込み 1 発生
0 = タイマ割込み 1 なし

TIBC　　入力バッファ送信完了
入力バッファからメッセージ RAM への送信が完了して , メッセージハンドラによって IBCR.IBSYS がリセットされたときにこのフラグが設定されます。
1 = 入力 バッファとメッセージ RAM 間の転送完了
0 = 転送完了なし

TOBC　　出力バッファ転送完了
メッセージ RAM から出力バッファへの転送が完了して , メッセージハンドラによって OBCR.OBSYS がリセットされたときにこのフラグが設定されます。
1 = メッセージ RAM と出力バッファ間の転送完了
0 = 転送完了なし

SWE　　ストップウォッチイベント
レジスタ STPW1 に位置する各コントローラビットによって有効な場合は , 端子 eray_stpwt の立上りエッジまたは立下りエッジ , 割込み 0, 1 イベント (端子 eray_int0 または eray_int1 の立上りエッジ), またはソフトウェアトリガイベントがストップウォッチイベントを生成します。
1 = ストップウォッチイベント発生
0 = ストップウォッチイベントなし

SUCS　　スタートアップが正常に完了
スタートアップが正常に完了して CC が NORMAL_ACTIVE ステートを入力するときに , このフラグが設定されます。
1 = スタートアップが正常に完了
0 = スタートアップが正常に完了していない

MBSI　　メッセージバッファステータス割込み
このメッセージバッファのビット MBI が設定されている場合 (表 メッセージ RAM 内のメッセージバッファのヘッダセクション参照) , メッセージバッファステータス MBS が変更されたときに CC によって設定されます。
1 = 少なくとも 1 つのメッセージバッファのメッセージバッファステータス (MBI = 1) 変更
0 = メッセージバッファのメッセージバッファステータス (MBI = 1) 変更なし

SDS　　動的セグメントの開始
このフラグは , 動的セグメントが開始したときに CC によって設定されます。
1 = 動的セグメント開始
0 = 動的セグメントは開始されていない

チャネル固有のステータスフラグは以下のとおりです。

WUPA　　ウェイクアップパターンチャネル A
ウェイクアップパターンがチャネル A で受信されたときに CC によってこのフラグが設定されます。CC が , WAKEUP, READY, または STARTUP ステート , あるいはモニタモードのときにのみ設定されます。
1 = チャネル A でウェイクアップパターン受信
0 = チャネル A でウェイクアップパターン受信なし

MTSA　　チャネル A 上の MTS 受信 (vSS!ValidMTSA)
最後のシンボルウィンドウ中にチャネル A 上で受信されたメディアアクセステストシンボルを示します。各チャネルのシンボルウィンドウの終了時に CC により更新されます。
1 = チャネル A で MTS シンボル受信
0 = チャネル A で MTS シンボル受信なし

WUPB　　ウェイクアップパターンチャネル B
ウェイクアップパターンがチャネル B で受信されたときに CC によってこのフラグが設定されます。CC が , WAKEUP, READY, または STARTUP ステート , あるいはモニタモードのときにのみ設定されます。
1 = チャネル B でウェイクアップパターン受信
0 = チャネル B でウェイクアップパターン受信なし

MTSB　　チャネル B 上の MTS 受信 (vSS!ValidMTSB)
最後のシンボルウィンドウ中にチャネル B 上で受信されたメディアアクセステストシンボルを示します。各チャネルのシンボルウィンドウの終了時に CC により更新されます。
1 = チャネル B で MTS シンボル受信
0 = チャネル B で MTS シンボル受信なし

4.3. エラー割り込みライン選択 (EILS)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EILS	R	0	0	0	0	0	TABBL	LTVBL	EDBL	0	0	0	0	0	TABAL	LTVAL	EDAL
0x0028	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	MHFL	IOBAL	IIBAL	EFAL	RFOL	PERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

エラー割込みライン選択レジスタは , 以下のように , レジスタ EIR から 2 つのモジュール割込みラインのうちの 1 つから特定のエラー割込みフラグによって生成された割込みを割り当てます。

1 = 割込みライン eray_int1 に割り当てられた割込み
0 = 割込みライン eray_int0 に割り当てられた割込み

PEMCL　POC エラーモード変更割込みライン
CNAL　コマンドは受入れ不可割込みライン
SFBML　同期フレームが最小以下割込みライン
SFOL　同期フレームオーバーフロー割込みライン
CCFL　クロック補正失敗割込みライン
CCLL　CHI コマンドロック割込みライン
PERRL　パリティエラー割込みライン
RFOL　受信 FIFO オーバラン割込みライン
EFAL　空 FIFO アクセス割込みライン
IIBAL　不正入力バッファアクセス割込みライン
IOBAL　不正出力バッファアクセス割込みライン
MHFL　メッセージハンドラ制限フラグ割込みライン
EDAL　チャネル A でエラー検出割込みライン
LTVAL　チャネル A の最近の送信違反割込みライン
TABAL　チャネル A での境界を超えた送信割込みライン
EDBL　チャネル B でエラー検出割込みライン
LTVBL　チャネル B の最近の送信違反割込みライン
TABBL　チャネル B での境界を超えた送信割込みライン

4.4. ステータス割込みライン選択 (SILS)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SILS R	0	0	0	0	0	0	MTSBL	WUPBL	0	0	0	0	0	0	MTSAL	WUPAL
0x002C W																
リセット	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
W																
リセット	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ステータス割込みライン選択レジスタは , 以下のように , レジスタ SIR から 2 つのモジュール割込みラインのうちの 1 つから特定のステータス割込みフラグによって生成された割込みを割り当てます。

1 = 割込みライン eray_int1 に割り当てられた割込み
0 = 割込みライン eray_int0 に割り当てられた割込み

WSTL	ウェイクアップステータス割込みライン
CASL	衝突回避シンボル割込みライン
CYCSL	サイクルスタート割込みライン
TXIL	送信割込みライン
RXIL	受信割込みライン
RFNEL	受信 FIFO が空でない割込みライン
RFCLL	受信 FIFO クリティカルレベル割込みライン
NMVCL	ネットワーク管理ベクタの変更割込みライン
TI0L	タイマ割込み 0 ライン
TI1L	タイマ割込み 1 ライン
TIBCL	入力バッファ転送完了割込みライン
TOBCL	出力バッファ転送完了割込みライン
SWEL	ストップウォッチイベント割込みライン
SUCSL	スタートアップが正常に完了割込みライン
MBSIL	メッセージバッファステータス割込みライン
SDSL	動的セグメントの開始割込みライン
WUPAL	ウェイクアップパターンチャネル A 割込みライン
MTSAL	チャネル A 割込みラインでのメディアアクセステストシンボル
WUPBL	ウェイクアップパターンチャネル B 割込みライン
MTSBL	チャネル B 割込みラインでのメディアアクセステストシンボル

4.5. エラー割込み許可設定 / リセット (EIES, EIER)

エラー割込み許可レジスタにおいてエラー割込みレジスタ内のステータス変更を定義する設定で , 結果として割込みを実行します。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIES,R	R	0	0	0	0	0				0	0	0	0	0			
S:0x0030 R:0x0034	W						TABBE	LTVBE	EDBE						TABAE	LTVAE	EDAE
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0												
	W					MHFE	IOBAE	IIBAE	EFAE	RFOE	PERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有効なビットが , アドレス 0x0030 への書込みによって設定され , アドレス 0x0034 への書込みによってリセットされます。書込み “1” が , 特定の有効なビットを設定 / リセットし , 書込み “0” は影響しません。両方のアドレスからの読出しは , 同一の値になります。

1 = 割込み許可
0 = 割込み無効

PEMCE	POC エラーモード変更割込み許可
CNAE	コマンドは受入れ不可割込み許可
SFBME	同期フレームが最小以下割込み許可
SFOE	同期フレームオーバーフロー割込み許可
CCFE	クロック補正失敗割込み許可
CCLE	CHI コマンドロック割込み許可
PERRE	パリティエラー割込み許可
RFOE	受信 FIFO オーバラン割込み許可
EFAE	空 FIFO アクセス割込み許可
IIBAE	不正入力バッファアクセス割込み許可
IOBAE	不正出力バッファアクセス割込み許可
MHFE	メッセージハンドラ制限フラグ割込み許可
EDAE	チャネル A エラー検出割込み許可
LTVAE	チャネル A の最近の送信違反割込み許可
TABAE	チャネル A での境界を超えた送信割込み許可
EDBE	チャネル B エラー検出割込み許可
LTVB E	チャネル B の最近の送信違反割込み許可
TABBE	チャネル B での境界を超えた送信割込み許可

4.6. ステータス割込み許可設定 / リセット (SIES, SIER)

ステータス割込み許可レジスタにおいてステータス割込みレジスタ内のステータス変更を定義する設定で , 結果として割込みを実行します。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIES,R	R	0	0	0	0	0	0			0	0	0	0	0	0		
S:0x0038 R:0x003C	W							MTSBE	WUPBE							MTSAE	WUPAE
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有効なビットが , アドレス 0x0038 への書込みによって設定され , アドレス 0x003C への書込みによってリセットされます。“1” の書込みが , 特定の有効なビットを設定 / リセットし , “0” の 書込みは影響しません。両方のアドレスからの読出しは , 同一の値になります。

1 = 割込み許可
0 = 割込み無効

WSTE	ウェイクアップステータス割込み許可
CASE	衝突回避シンボル割込み許可
CYCSE	サイクルスタート割込み許可
TXIE	送信割込み許可
RXIE	受信割込み許可
RFNELE	受信 FIFO が空でない割込み許可
RFCLE	受信 FIFO クリティカルレベル割込み許可
NMVCE	ネットワーク管理ベクタの変更割込み許可
TI0E	タイマ 割込み 0 許可
TI1E	タイマ 割込み 1 許可
TIBCE	入力バッファ転送完了割込み許可
TOBCE	出力バッファ転送完了割込み許可
SWEE	ストップウォッチイベント割込み許可
SUCSE	スタートアップが正常に完了割込み許可
MBSIE	メッセージバッファステータス割込み許可
SDSE	動的セグメントの開始割込み許可
WUPAE	ウェイクアップパターンチャネル A 割込み許可
MTSAE	チャネル A での MTS 受信割込み許可
WUPBE	ウェイクアップパターンチャネル B 割込み許可
MTSBE	チャネル B での MTS 受信割込み許可

4.7. 割込みライン許可 (ILE)

ホスト (**eray_int0**, **eray_int1**) への 2 つの各割込みラインは , プログラミングビット **EINT0** および **EINT1** によって個別に許可 / 禁止されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ILE	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0040	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EINT1	EINT0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EINT0　　割込みライン 0 の許可
　　1 = 割込みライン eray_int0 許可
　　0 = 割込みライン eray_int0 禁止
EINT1　　割込みライン 1 の許可
　　1 = 割込みライン eray_int1 許可
　　0 = 割込みライン eray_int1 禁止

4.8. タイマ 0 構成 (T0C)

絶対タイマです。サイクルカウントおよびマクロティックについて , タイマ 0 割込みが発生した時点を示します。タイマ 0 割込みがアサートされたとき , 出力信号 **eray_tint0** は 1 つのマクロティックの継続時間を “1” に設定され , **SIR.TI0** を “1” に設定されます。

POC が NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートのどちらかである限り , タイマ 0 を有効にすることができます。NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートを抜けるとき (2 つのステート間の転送は
除く) , タイマ 0 は無効になります。

タイマの再設定の前に , 書込みビット **T0RC** を “0” に変更して , 最初にタイマを停止する必要があります。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
T0C	R	0	0	T0MO 13	T0MO 12	T0MO 11	T0MO 10	T0MO9	T0MO8	T0MO7	T0MO6	T0MO5	T0MO4	T0MO3	T0MO2	T0MO1	T0MO0
0x0044	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	T0CC6	T0CC5	T0CC4	T0CC3	T0CC2	T0CC1	T0CC0	0	0	0	0	0	0	T0MS	T0RC
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

T0RC　　タイマ 0 実行制御
　　1 = タイマ 0 稼動
　　0 = タイマ 0 停止
T0MS　　タイマ 0 モード選択
　　1 = 連続モード
　　0 = シングルショットモード
T0CC[6:0]　タイマ 0 サイクルコード
　　7 ビットタイマ 0 サイクルコードは , タイマ 0 割込みの生成に使用されるサイクルセットを決定します。サイクルコードの設定の詳細については , 「7.2. サイクルカウンタフィルタリング」を参照してください。
T0MO[13:0] タイマ 0 マクロティックオフセット
　　割込みが発生するサイクルの始めから , マクロチックオフセットを設定します。サイクルセットの各サイクルのこのオフセットで , タイマ 0 割込みが発生します。
（注意事項）タイマ 0 の設定はマクロティックカウンタ値と比較されますが , タイマ 0 の個別のカウンタはありません。CC が NORMAL_ACTIVE または NORMAL_PASSIVE ステートから抜ける場合 , あるいはタイマ 0 がホストコマンドによって停止された場合 , 出力信号 eray_tint0 はただちに '0' にリセットされます。

4.9. タイマ 1 構成 (T1C)

相対タイマです。特定の数のマクロティックが時間切れになった後で , タイマ 1 割込みがアサートされ , 出力信号 **eray_tint1** が 1 つのマクロティックの継続時間として "1" に設定され **SIR.TI1** が "1" に設定されます。

POC が NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートのどちらかである限り , タイマ 1 を有効にすることができます。NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートを抜けるとき (2 つのステート間の転送は除く), タイマ 1 は無効になります。

タイマの再設定の前に , 書込みビット **T1RC** を "0" に変更して , 最初にタイマを停止する必要があります。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
T1C	R	0	0	T1MC 13	T1MC 12	T1MC 11	T1MC 10	T1MC9	T1MC8	T1MC7	T1MC6	T1MC5	T1MC4	T1MC3	T1MC2	T1MC1	T1MC0
0x0048	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	T1MS	T1RC
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

T1RC　　タイマ 1 実行制御
　1 = タイマ 1 稼動
　0 = タイマ 1 停止

T1MS　　タイマ 1 モード選択
　1 = 連続モード
　0 = シングルショットモード

T1MC[13:0] タイマ 1 マクロティックカウント
　設定されたマクロティックカウントに達したとき , タイマ 1 割込みが生成されます。設定されたマクロティックカウントが有効範囲内でない場合は , タイマ 1 は開始されません。
　有効値は以下のとおりです。
　　2 ～ 16383 MT 連続モード
　　1 ～ 16383 MT シングルショットモード

（注意事項）CC が NORMAL_ACTIVE または NORMAL_PASSIVE ステートを抜けた場合 , またはホストコマンドによってタイマ 1 が停止された場合 , 出力信号 **eray_tint1** は即座に "0" にリセットされます。

4.10. ストップウォッチレジスタ 1 (STPW1)

端子 **eray_stpwt** の立上りエッジまたは立下りエッジによって , 割込み 0, 1 イベント (端子 **eray_int0** または **eray_int1** の立上りエッジ), ホストによって , または **SSWT** を "1" に設定する書込みビットによって , ストップウォッチは有効になります。ストップウォッチのアクティブ化に続くマクロティックカウンタの増分によって , チャネル A と B のスロットカウンタ値がレジスタ STPW 2 でキャプチャ中に , 実際のサイクルカウンタとマクロティック値はレジスタ STPW1 内でキャプチャされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STPW1	R	0	0	SMTV 13	SMTV 12	SMTV 11	SMTV 10	SMTV9	SMTV8	SMTV7	SMTV6	SMTV5	SMTV4	SMTV3	SMTV2	SMTV1	SMTV0
0x004C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	SCCV5	SCCV4	SCCV3	SCCV2	SCCV1	SCCV0	0	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ESWT　　有効なストップウォッチトリガ
入力 eray_stpwt または割込み 0, 1 イベント (端子 eray_int0 または eray_int1 の立上りエッジ) のエッジが有効にされた場合 , ストップウォッチをアクティブにします。ストップウォッチイベント発生後 , シングルショットモードではこのビットは "0" にリセットされます。
1 = ストップウォッチトリガ有効
0 = ストップウォッチトリガ無効

SWMS　　ストップウォッチモード選択
1 = 連続モード
0 = シングルショットモード

EDGE　　ストップウォッチトリガエッジ選択
1 = 立上りエッジ
0 = 立下りエッジ

SSWT　　ソフトウェアストップウォッチトリガ
ホストがこのビットを "1" に書込むとき , ストップウォッチが有効になります。実際のサイクルカウンタとマクロティック値がストップウォッチレジスタ保存された後 , このビットは "0" にリセットされます。このビットは ESWT = "0" の間にのみ書込み可能です。
1 = ソフトウェアトリガによってストップウォッチ有効
0 = ソフトウェアトリガリセット

EETP　　有効外部トリガ端子
ESWT = "1" の場合 , 端子 eray_stpwt を介してストップウォッチトリガイベントを有効にします。
1 = 端子 eray_stpwt トリガストップウォッチ上のエッジ
0 = 端子 eray_stpwt 経由のストップウォッチトリガ無効

EINT0　　有効割込み 0 トリガ
ESWT = "1" の場合 , 割込み 0 イベントによってストップウォッチトリガを有効にします。
1 = 割込み 0 イベントトリガストップウォッチ
0 = 割込み 0 によるストップウォッチトリガ無効

EINT1　　有効割込み 1 トリガ
ESWT = "1" の場合 , 割込み 1 イベントによってストップウォッチトリガを有効にします。
1 = 割込み 1 イベントトリガストップウォッチ
0 = 割込み 1 によるストップウォッチトリガ無効

SCCV[5:0]　ストップウォッチキャプチャサイクルカウンタ値
ストップウォッチイベント発生時のサイクルカウンタのステータスです。有効な値は , 0 ～ 63 です。

SMTV[13:0] ストップウォッチキャプチャマクロティック値
ストップウォッチイベント発生時のマクロティックカウンタのステータスです。有効な値は , 0 ～ 16000 です。
ビット ESWT と SSWT を同時に "1" に設定できません。この場合 , 書込みアクセスは無視され , 両方のビットは以前の値を保持します。外部ストップウォッチトリガまたはソフトウェアストップウォッチトリガのどちらかが使用されます。

4.11. ストップウォッチレジスタ 2 (STPW2)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STPW2	R	0	0	0	0	0	SSCVB 10	SSCVB 9	SSCVB 8	SSCVB 7	SSCVB 6	SSCVB 5	SSCVB 4	SSCVB 3	SSCVB 2	SSCVB 1	SSCVB 0
0x0050	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	SSCVA10	SSCVA9	SSCVA8	SSCVA7	SSCVA6	SSCVA5	SSCVA4	SSCVA3	SSCVA2	SSCVA1	SSCVA0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SSCVA[10:0]ストップウォッチキャプチャスロットカウンタ値チャネル A
ストップウォッチイベント発生時のチャネル A のスロットカウンタのステータスです。有効な値は , 0 ～ 2047 です。

SSCVB[10:0]ストップウォッチキャプチャスロットカウンタ値チャネル B
ストップウォッチイベント発生時のチャネル B のスロットカウンタのステータスです。有効な値は , 0 ～ 2047 です。

5.CC 制御レジスタ

本セクションでは , ホストが CC の動作を制御できるように CC により提供されるレジスタについて説明します。FlexRay プロトコル仕様では , ホストがアプリケーション設定データを CONFIG 状態にのみ書込むことが要求されています。DEFAULT_CONFIG 状態では , 設定レジスタへの書込みがロックされていないことに注意してください。

ハードリセットにより DEFAULT_CONFIG 状態に入ると設定データがリセットされます。POC 状態を DEFAULT_CONFIG から CONFIG 状態に遷移するには , ホストは CHI コマンド CONFIG を適用する必要があります。ホストが CC を CONFIG 状態から遷移する場合は , ホストは「3.3. ロックレジスタ (LCK)」で説明されているように処理する必要があります。

アスタリスク (*) が付いたすべてのビットは , DEFAULT_CONFIG 状態または CONFIG 状態のみで更新することができます。

5.1. SUC 設定レジスタ 1 (SUCC1)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUCC1	R	0	0	0	0	CCHB*	CCHA*	MTSB*	MTSA*	HCSE*	TSM*	WUCS*	PTA4*	PTA3*	PTA2*	PTA1*	PTA0*
0x0080	W																
リセット		0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	CSA4*	CSA3*	CSA2*	CSA1*	CSA0*	0	TXSY*	TXST*	PBSY	0	0	0	CMD3	CMD2	CMD1	CMD0
	W																
リセット		0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0

CMD[3:0] CHI コマンドベクタ
ホストは , どの CHI コマンドにいつでも書込み可能ですが , 特定のコマンドは特定の POC 状態でのみ有効です。コマンドが有効でない場合 , そのコマンドは実行されず , CHI コマンドベクタ CMD[3:0] が "0000" = command_not_accepted にリセットされ , フラグ EIR.CNA が "1" に設定されます。EIR.CCL が EIR.CNA とともに "1" に設定された場合 , CHI コマンドを繰り返す必要があります。CC が既に要求された POC 状態にある間に POC 状態の変更コマンドを適用すると , このコマンドは無視されます。

0000 =command_not_accepted
0001 =CONFIG
0010 =READY
0011 =WAKEUP
0100 =RUN

0101 =ALL_SLOTS
0110 =HALT
0111 =FREEZE
1000 =SEND_MTS
1001 =ALLOW_COLDSTART
1010 =RESET_STATUS_INDICATORS
1011 =MONITOR_MODE
1100 =CLEAR_RAMS
1101 = 予約
1110 = 予約
1111 = 予約

CMD[3:0] の読出しは , 受付けられた最後の CHI コマンドかどうかを示します。実際の POC 状態は , CCSV.POCS[5:0] によりモニタされます。予約された CHI コマンドは , ハードウェアテスト機能に属します。

command_not_accepted
CMD[3:0] は , 下記の条件のうち 1 つに該当した場合 "0000" にリセットされます。
• 不正なコマンドがホストにより適用された場合
• ホストが , その前の構成ロックキーなしで , CONFIG 状態から遷移するコマンドを適用した場合
• ホストが , 直前のホストコマンドの実行が完了していないうちに新しいコマンドを適用した場合
• ホストが command_not_accepted を書込む場合
CMD[3:0] が "0000" にリセットされると , EIR.CNA が設定され , 有効な場合は , 割込みが発生します。受付けられないコマンドは実行されません。

CONFIG
POC 状態 DEFAULT_CONFIG, READY, または MONITOR_MODE で呼び出されると , POC 状態 CONFIG に遷移します。HALT 状態で呼び出されると , CC は POC 状態 DEFAULT_CONFIG に遷移します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

READY
POC 状態 CONFIG, NORMAL_ACTIVE, NORMAL_PASSIVE, STARTUP, または WAKEUP で呼び出されると , POC 状態 READY に遷移します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

WAKEUP
POC 状態 READY で呼び出されると ,POC 状態 WAKEUP に遷移します。その他の状態で呼び出される
と ,CMD[3:0] は "0000"=command_not_accepted にリセットされます。

RUN
POC 状態 READY で呼び出されると , POC 状態 STARTUP に遷移します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

ALL_SLOTS
POC 状態 NORMAL_ACTIVE または NORMAL_PASSIVE で呼び出されると , 次のサイクルの終了時のスタートアップ / 統合の成功後に , SINGLE スロットモードから遷移します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

HALT
POC 状態 NORMAL_ACTIVE または NORMAL_PASSIVE で呼び出されると , 次のサイクルの終了時に停止要求 CCSV.HRQ を設定し , POC 状態 HALT に遷移します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

FREEZE
フリーズステータスインジケータ CCSV.FSI を設定し , 直ちに POC 状態 HALT に遷移します。どの状態からも呼び出すことができます。

SEND_MTS
CC が ALL スロットモード (CCSV.SLM[1:0] = 11) に入った後 POC 状態 NORMAL_ACTIVE が呼び出されると , MTSA,
MTSB で設定したチャネル上の次のシンボルウィンドウ中に , シングル MTS シンボルを送信します。その他の状態で呼び出されるか , 以前に要求された MTS がまだ送信されていない間に呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。

ALLOW_COLDSTART
このコマンドは , ノードの先行コールドスタートを有効にするために , CCSV.CSI をリセットします。状態 DEFAULT_CONFIG, CONFIG, または HALT で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。先行コールドスタートを有効にするには , TXST と TXSY の両方を設定する必要もあります。

RESET_STATUS_INDICATORS
ステータスフラグ CCSV.FSI, CCSV.HRQ, CCSV.CSNI, CCSV.CSAI, CCSV.WSV[2:0], およびレジスタ CCEV をリセットします。どの状態からも呼び出すことができます。

MONITOR_MODE
POC 状態 CONFIG で呼び出されると , MONITOR_MODE に入ります。このモードでは , CC は FlexRay フレームと CAS / MTS シンボルを受信できます。コーディングエラーも検出できます。受信したフレームの時間的整合性はチェックされません。このモードは , FlexRay ネットワークのスタートアップが失敗したときなど , デバッグの目的に使用できます。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。詳細は , 「5.4.MONITOR_MODE」を参照してください。

CLEAR_RAMS
DEFAULT_CONFIG 状態または CONFIG 状態で呼び出されると , MHDS.CRAM を設定します。その他の状態で呼び出されると , CMD[3:0] は "0000" = command_not_accepted にリセットされます。CC がハードリセットから遷移すると , MHDS.CRAM も設定されます。MHDS.CRAM を設定すると , すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化中は , PBSY は POC ビジーを示します。CHI コマンド CLEAR_RAMS の実行中に , 設定レジスタとステータスレジスタにアクセスすることができます。
E-Ray 内部 RAM ブロックの初期化には , 2048 eray_bclk サイクルが必要です。ハードリセットの後または CHI コマンド CLEAR_RAMS のアサート後 , 内部 RAM ブロックの初期化中に , どのホストも IBF または OBF にアクセスしてはなりません。CHI コマンド CLEAR_RAMS のアサート前に , ホストは , メッセージ RAM および IBF / OBF 間に何も転送されていないこと , または過渡バッファ RAM が進行中であることを確認する必要があります。このコマンドは , メッセージバッファステータスレジスタ MHDS, LDTS, FSR, MHDF, TXRQ1/2/3/4, NDAT1/2/3/4, および MBSC1/2/3/4 もリセットします。

（注意事項）CLEAR_RAMS と SEND_MTS を除くすべての受付けられるコマンドにより , CHI 入力信号 **eray_select** の立下りエッジから数えて , 2 つのクロック **eray_bclk** と **eray_sclk** のうち遅い方の多くとも 8 サイクル後に , レジスタ CCSV が変更されます。これは , コマンドが適用されたとき POC がビジーではなく , その時間フレーム内でバスアクティビティにより POC 状態が強制的に変更されないことを前提としています。レジスタ CCSV の読出しは , **eray_sclk** から **eray_bclk** ドメインへの同期およびホスト固有の CPU インタフェースにより遅延されたデータを示します。

PBSY　　POC ビジー
POC がビジーで , ホストからコマンドを受信できないことを示す信号です。CMD[3:0] は , ライトアクセスに対してロックされます。ハードリセット後 , 内部 RAM ブロックの初期化中に "1" に設定されます。
1 =POC がビジー。CMD[3:0] がロックされる
0 =POC がビジーではない。CMD[3:0] が書込み可能

TXST　　キースロットでのスタートアップフレームの送信 (pKeySlotUsedForStartup)
キースロットをスタートアップフレームの送信のために使用するかどうかを定義します。このビットは , DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。
1 = キースロットがスタートアップフレームの送信に使用され , ノードは先行または後続コールドスタート
0 = キースロットではスタートアップフレームの送信が行なわれず , ノードはコールドスタートではない

TXST　　キースロットでの同期フレームの送信 (pKeySlotUsedForSync)
キースロットを同期フレームの送信のために使用するかどうかを定義します。このビットは , DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。
1 = キースロットが同期フレームの送信に使用され , ノードは同期ノード
0 = キースロットでは同期フレームの送信が行なわれず , ノードは同期でもコールドスタートでもない
プロトコルでは , TXST と TXSY がコールドスタートノードに設定される必要があります。

CSA[4:0]　コールドスタート試行回数 (gColdStartAttempts)
コールドスタートノードが , 他のノードから有効な応答を受け取らずにネットワークをスタートアップできる試行回数の最大値を設定します。DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 31 です。

PTA[4:0]　パッシブからアクティブへの遷移 (pAllowPassiveToActive)
CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への変移を許可される前に , 有効クロック補正時間がなければならない連続した偶数 / 奇数のサイクルペアの数を定義します。"00000" に設定すると , CC は NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態に遷移できません。DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。有効な値は , 0 ～ 31 の偶数 / 奇数のサイクルペアです。

WUCS　ウェイクアップチャネル選択 (pWakeupChannel)
このビットを使って , ホストは , CC がウェイクアップパターンを送信するチャネルを選択します。DEFAULT_CONFIG 状態または CONFIG 状態でない場合 , CC はこのビットの変更を無視します。
1 = チャネル B でウェイクアップパターンを送信する
0 = チャネル A でウェイクアップパターンを送信する

TSM　送信スロットモード (pSingleSlotEnabled)
初期の送信スロットモードを選択します。SINGLE スロットモードでは , CC は事前設定されたキースロットのみで送信します。キースロット ID は , ビット MRC.SPLM に応じてそれぞれメッセージバッファ 0 および 1 のヘッダセクションに設定されています。TSM = 1 の場合 , 各メッセージバッファ 0,1 は , DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定 (再設定) できます。ALL スロットモードでは , CC はすべてのスロットで送信します。TSM は , ホストのみが設定 / リセットできる設定ビットです。このビットは , DEFAULT_CONFIG 状態または CONFIG 状態でのみ書込み可能です。POC 状態 NORMAL_ACTIVE または NORMAL_PASSIVE で CMD[3:0] = 0101 を書込むことにより , ホストが ALL_SLOTS コマンドを正常に適用すると , CC は ALL スロットモードに遷移します。実際のスロットモードは , CCSV.SLM[1:0] によりモニタされます。
1 =SINGLE スロットモード (ハードリセット後のデフォルト)
0 =ALL スロットモード

HCSE　クロック同期エラーによる停止 (pAllowHaltDueToClock)
クロック同期エラーによる HALT 状態への遷移を制御します。このビットは , DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。
1 =CC が HALT 状態に遷移する
0 =CC が NORMAL_PASSIVE に遷移 / 維持する

MTSA　MTS 送信のチャネル A の選択
このビットは , MTS シンボル送信のためにチャネル A を選択します。フラグは , デフォルトによりリセットされ , DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。
1 =MTS 送信にチャネル A が選択される
0 =MTS 送信にチャネル A が無効になる

MTSB　MTS 送信のチャネル B の選択
このビットは , MTS シンボル送信のためにチャネル B を選択します。フラグは , デフォルトによりリセットされ , DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。
1 =MTS 送信にチャネル B が選択される
0 =MTS 送信にチャネル B が無効になる
MTSA と MTSB の両ビットが "1" に設定された場合 , CMD[3:0] = "1000" を書き込んで要求されると , MTS シンボルは両方のチャネルで送信されます。

CCHA　チャネル A に接続 (pChannels)
ノードをチャネル A に接続するかどうかを設定します。
1 = ノードをチャネル A に接続する (ハードリセット後のデフォルト)
0 = チャネル A に接続しない

CCHB　チャネル B に接続 (pChannels)
ノードをチャネル B に接続するかどうかを設定します。
1 = ノードをチャネル B に接続する (ハードリセット後のデフォルト)
0 = チャネル B に接続しない

5.2. SUC 設定レジスタ 2 (SUCC2)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUCC2	R	0	0	0	0	LTN3*	LTN2*	LTN1*	LTN0*	0	0	0	LT20*	LT19*	LT18*	LT17*	LT16*
0x0084	W																
リセット		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	LT15*	LT14*	LT13*	LT12*	LT11*	LT10*	LT9*	LT8*	LT7*	LT6*	LT5*	LT4*	LT3*	LT2*	LT1*	LT0*
	W																
リセット		0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0

LT[20:0]　　リスンタイムアウト (pdListenTimeout)
ウェイクアップ / スタートアップのリスンタイムアウトを μT 単位で設定します。pdListenTimeout の範囲は , 1284 ～ 1283846 μT です。

LTN[3:0]　　リスンタイムアウトノイズ (gListenNoise - 1)
ノイズが発生している状態でのスタートアップとウェイクアップのリスンタイムアウトの上限値を , pdListenTimeout の倍数で設定します。gListenNoise の範囲は 2 ～ 16 です。LTN[3:0] は , クラスタの全ノードで同一に設定してください。

（注意事項）ウェイクアップ / スタートアップのノイズタイムアウトは , 次のように計算されます。
pdListenTimeout •gListenNoise = **LT[20:0]** •(**LTN[3:0]** + 1)

5.3. SUC 設定レジスタ 3 (SUCC3)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUCC3	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0088	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	WCF3*	WCF2*	WCF1*	WCF0*	WCP3*	WCP2*	WCP1*	WCP0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

WCP[3:0]　クロック補正パッシブなしの最大値 (gMaxWithoutClockCorrectionPassive)
CC が NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態への変移を発生する損失クロック補正時間
で , 連続した偶数 / 奇数のサイクルペアの数を定義します。クラスタの全ノードで同一にしてください。有効な値は , 1 ～ 15 サイクルペアです。

WCF[3:0]　クロック補正フェータルなしの最大値 (gMaxWithoutClockCorrectionFatal)
NORMAL_PASSIVE 状態または NORMAL_ACTIVE 状態から HALT 状態への変移を発生する損失クロック補正時間で , 連続した偶数 / 奇数のサイクルペアの数を定義します。クラスタの全ノードで同一にしてください。有効な値は , 1 ～ 15 サイクルペアです。

5.4. NEM 設定レジスタ (NEMC)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NEMC	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	NML3*	NML2*	NML1*	NML0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

NML[3:0]　ネットワークマネジメントベクタ長 (gNetworkManagementVectorLength)
これらのビットは , NM ベクタの長さを設定します。設定される長さは , クラスタの全ノードで同一にしてください。有効な値は , 0 ～ 12 バイトです。

5.5. PRT 設定レジスタ 1 (PRTC1)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRTC1	R	RWP5*	RWP4*	RWP3*	RWP2*	RWP1*	RWP0*	0	RXW8*	RXW7*	RXW6*	RXW5*	RXW4*	RXW3*	RXW2*	RXW1*	RXW0*
0x0090	W																
リセット		0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	BRP1*	BRP0*	SPP1*	SPP0*	0	CASM6	CASM5*	CASM4*	CASM3*	CASM2*	CASM1*	CASM0*	TSST3*	TSST2*	TSST1*	TSST0*
	W																
リセット		0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1

TSST[3:0]　送信スタートシーケンストランスミッタ (gdTSSTransmitter)
送信スタートシーケンス (TSS) の時間をビット時間単位 (1 ビット時間 = 4 μT = 100ns @ 10Mbps) で設定します。クラスタの全ノードで同一にしてください。有効な値は , 3 ～ 15 ビット時間です。

CASM[6:0]　最大衝突回避シンボル値 (gdCASRxLowMax)
衝突回避シンボル (CAS) の受入れウィンドウの上限を設定します。CASM6 は "1" に固定されます。有効な値は , 67 ～ 99 ビット時間です。

SPP[1:0]　ストローブポイント位置
ストローブのサンプルカウント値を定義します。ストローブビット値は , SPP[1:0] によって設定された値までサンプルカウントが増加したときに採決された値に設定されます。
00, 11= サンプル 5 (デフォルト)
01 = サンプル 4
10 = サンプル 6
現行の FlexRay プロトコル (改版 2.1) では , SPP[1:0] = 00 である必要があります。代替ストローブポイント位置は , 物理層における非対称を補正するために使用されます。

BRP[1:0]　ボーレートプリスケーラ (gdSampleClockPeriod, pSamplesPerMicrotick)
ボーレートプリスケーラは , FlexRay バス上のボーレートを設定します。下記のボーレートは , サンプルクロック eray_sclk = 80 MHz で有効です。1 ビット時間は , 設定されたボーレートに関係なく , 常に 8 サンプルで構成されます。
00 =10 MBit/s (デフォルト)
gdSampleClockPeriod = 12.5 ns = 1 •eray_sclk
pSamplesPerMicrotick = 2 (1 μT = 25 ns)
01 =5 MBit/s
gdSampleClockPeriod = 25 ns = 2 •eray_sclk
pSamplesPerMicrotick = 1 (1 μT = 25 ns)
10, 11 =2.5 MBit/s
gdSampleClockPeriod = 50 ns = 4 •eray_sclk
pSamplesPerMicrotick = 1 (1 μT = 50 ns)

RXW[8:0]　ウェイクアップシンボル受信ウィンドウ長 (gdWakeupSymbolRxWindow)
受信したウェイクアップパターンの継続時間をテストするためにノードが使用するビット時間の数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 76 ～ 301 ビット時間です。

RWP[5:0]　Tx ウェイクアップパターンの繰返し (pWakeupPattern)
Tx ウェイクアップシンボルの繰返し (シーケンス) 回数を設定します。有効な値は , 2 ～ 63 です。

5.6. PRT 設定レジスタ 2 (PRTC2)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRTC2	R	0	0	TXL5*	TXL4*	TXL3*	TXL2*	TXL1*	TXL0*	TXI7*	TXI6*	TXI5*	TXI4*	TXI3*	TXI2*	TXI1*	TXI0*
0x0094	W																
リセット		0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	RXL5*	RXL4*	RXL3*	RXL2*	RXL1*	RXL0*	0	0	RXI5*	RXI4*	RXI3*	RXI2*	RXI1*	RXI0*
	W																
リセット		0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0

RXI[5:0]　ウェイクアップシンボル受信アイドル (gdWakeupSymbolRxIdle)
受信したウェイクアップシンボルのアイドルフェーズ時間をテストするためにノードが使用するビット時間の数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 14 ～ 59 ビット時間です。

RXL[5:0]　ウェイクアップシンボル受信 Low (gdWakeupSymbolRxLow)
受信したウェイクアップシンボルの Low フェーズ時間をテストするためにノードが使用するビット時間の数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 10 ～ 55 ビット時間です。

TXI[7:0]　ウェイクアップシンボル送信アイドル (gdWakeupSymbolTxIdle)
ウェイクアップシンボルのアイドルフェーズを送信するためにノードが使用するビット時間の数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 45 ～ 180 ビット時間です。

TXL[5:0]　ウェイクアップシンボル送信 Low (gdWakeupSymbolTxLow)
ウェイクアップシンボルの Low フェーズを送信するためにノードが使用するビット時間の数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 15 ～ 60 ビット時間です。

5.7. MHD 設定レジスタ (MHDC)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDC	R	0	0	0	SLT12*	SLT11*	SLT10*	SLT9*	SLT8*	SLT7*	SLT6*	SLT5*	SLT4*	SLT3*	SLT2*	SLT1*	SLT0*
0x0098	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	SFDL6*	SFDL5*	SFDL4*	SFDL3*	SFDL2*	SFDL1*	SFDL0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SFDL[6:0]　静的フレームデータ長 (gPayloadLengthStatic)
静的セグメント内で送信される全フレームについて , クラスタ全体のペイロード長を 2 バイトで設定します。ペイロード長は , クラスタの全ノードで同一にしてください。有効な値は , 0 ～ 127 です。

SLT[12:0]　最新送信のスタート (pLatestTx)
サイクルの動的セグメントでのフレーム送信を禁止する前に許可されるミニスロットの最大値を設定します。SLT[12:0] が ゼロに設定されている場合は , 動的セグメントでの送信は行なわれません。有効な値は , 0 ～ 7981 ミニスロットです。

5.8. GTU 設定レジスタ 1 (GTUC1)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC1	R	0	0	0	0	0	0	0	0	0	0	0	0	UT19*	UT18*	UT17*	UT16*
0x00A0	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	UT15*	UT14*	UT13*	UT12*	UT11*	UT10*	UT9*	UT8*	UT7*	UT6*	UT5*	UT4*	UT3*	UT2*	UT1*	UT0*
	W																
リセット		0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

UT[19:0]　マイクロティック / 1 サイクル (pMicroPerCycle)
通信サイクルの継続時間をマイクロティック単位で設定します。有効な値は , 640 ～ 640000 μT です。

5.9. GTU 設定レジスタ 2 (GTUC2)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC2	R	0	0	0	0	0	0	0	0	0	0	0	0	SNM3*	SNM2*	SNM1*	SNM0*
0x00A4	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	MPC13*	MPC12*	MPC11*	MPC10*	MPC9*	MPC8*	MPC7*	MPC6*	MPC5*	MPC4*	MPC3*	MPC2*	MPC1*	MPC0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

MPC[13:0]　マクロティック / 1 サイクル (gMacroPerCycle)
1 通信サイクルの継続時間をマクロティック単位で設定します。サイクル長は , クラスタの全ノードで同一にしてください。有効な値は , 10 ～ 16000 MT です。

SNM[3:0]　最大同期ノード (gSyncNodeMax)
同期フレームインジケータビット SYN が "1" に設定されたクラスタ内のフレームの最大数です。クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 15 です。

5.10. GTU 設定レジスタ 3 (GTUC3)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC3	R	0	MIOB6*	MIOB5*	MIOB4*	MIOB3*	MIOB2*	MIOB1*	MIOB0*	0	MIOA6*	MIOA5*	MIOA4*	MIOA3*	MIOA2*	MIOA1*	MIOA0*
0x00A8	W																
リセット		0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	UIOB7*	UIOB6*	UIOB5*	UIOB4*	UIOB3*	UIOB2*	UIOB1*	UIOB0*	UIOA7*	UIOA6*	UIOA5*	UIOA4*	UIOA3*	UIOA2*	UIOA1*	UIOA0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

UIOA[7:0]　チャネル A マイクロティック初期オフセット (pMicroInitialOffset[A])
チャネル A 上の実時間基準点と , その後の二次時間基準点のマクロティック境界の間のマイクロティックの数を設定します。パラメータは pDelayCompensation[A] に依存しており , そのため独立してチャネルごとに設定しなければなりません。有効な値は , 0 ～ 240 µT です。

UIOB[7:0]　チャネル B マイクロティック初期オフセット (pMicroInitialOffset[B])
チャネル B 上の実時間基準点と , その後の二次時間基準点のマクロティック境界の間のマイクロティックの数を設定します。パラメータは pDelayCompensation[B] に依存しており , そのため独立してチャネルごとに設定しなければなりません。有効な値は , 0 ～ 240 µT です。

MIOA[6:0]　チャネル A マクロティック初期オフセット (pMacroInitialOffset[A])
公称マクロティック時間に基づいて , 静的スロット境界とその後の二次時間基準点のマクロティック境界の間のマクロティックの数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 72 MT です。

MIOB[6:0]　チャネル B マクロティック初期オフセット (pMacroInitialOffset[B])
公称マクロティック時間に基づいて , 静的スロット境界とその後の二次時間基準点のマクロティック境界の間のマクロティックの数を設定します。クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 72 MT です。

5.11. GTU 設定レジスタ 4 (GTUC4)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。**NIT[13:0]** と **OCS[13:0]** の設定の詳細については , 「1.5.NIT スタートおよびオフセット補正スタートの設定」を参照してください。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC4	R	0	0	OCS13*	OCS12*	OCS11*	OCS10*	OCS9*	OCS8*	OCS7*	OCS6*	OCS5*	OCS4*	OCS3*	OCS2*	OCS1*	OCS0*
0x00AC	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	NIT13*	NIT12*	NIT11*	NIT10*	NIT9*	NIT8*	NIT7*	NIT6*	NIT5*	NIT4*	NIT3*	NIT2*	NIT1*	NIT0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

NIT[13:0]　ネットワークアイドル時間スタート (gMacroPerCycle - gdNIT - 1)
サイクルの始めからマクロティック数で表される通信サイクルの終わりに , ネットワークアイドル時間 NIT のスタートポイントを設定します。NIT のスタートは ,
Macrotick = gMacroPerCycle - gdNIT -1 およびマクロティックの増分パルスが設定される場合に認識されます。クラスタの全ノードで同一にしてください。有効な値は , 7 ～ 15997 MT です。

OCS[13:0]　オフセット補正スタート (gOffsetCorrectionStart - 1)
サイクルのスタートから数えて , NIT フェーズの中でオフセット補正のスタートを決定します。クラスタの全ノードで同一にしてください。E-Ray 実装のみで構成されているクラスタの場合は , OCS = NIT + 1 に設定するだけで十分です。有効な値は , 8 ～ 15998 MT です。

5.12. GTU 設定レジスタ 5 (GTUC5)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC5	R	DEC7*	DEC6*	DEC5*	DEC4*	DEC3*	DEC2*	DEC1*	DEC0*	0	0	0	CDD4*	CDD3*	CDD2*	CDD1*	CDD0*
0x00B0	W																
リセット		0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	DCB7*	DCB6*	DCB5*	DCB4*	DCB3*	DCB2*	DCB1*	DCB0*	DCA7*	DCA6*	DCA5*	DCA4*	DCA3*	DCA2*	DCA1*	DCA0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DCA[7:0]　チャネル A 遅延補正 (pDelayCompensation[A])
指定されたチャネルでの受信遅延の補正に使用されます。これは , 0.0125 ～ 0.05µs の範囲で , マイクロティックの cPropagationDelayMax まで想定される伝播遅延を扱います。実際には , すべての同期ノードの伝播遅延の最小値を適用してください。
有効な値は 0 ～ 200 µT です。

DCB[7:0]　チャネル B 遅延補正 (pDelayCompensation[B])
指定されたチャネルでの受信遅延の補正に使用されます。これは , 0.0125 ～ 0.05µs の範囲で , マイクロティックの cPropagationDelayMax まで想定される伝播遅延を扱います。実際には , すべての同期ノードの伝播遅延の最小値を適用してください。
有効な値は 0 ～ 200 µT です。

CDD[4:0]　クラスタドリフトダンピング (pClusterDriftDamping)
丸め込みエラーの累積を最小限にするために , クロック同期に使用されるクラスタドラフトダンピング値を設定します。有効な値は , 0 ～ 20 µT です。

DEC[7:0]　デコーディング補正 (pDecodingCorrection)
一次時間基準点を決定するために使用されるデコーディング補正値を設定します。有効な値は , 14 ～ 143 µT です。

5.13. GTU 設定レジスタ 6 (GTUC6)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC6	R	0	0	0	0	0	MOD 10*	MOD9*	MOD8*	MOD7*	MOD6*	MOD5*	MOD4*	MOD3*	MOD2*	MOD1*	MOD0*
0x00B4	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	ASR10*	ASR9*	ASR8*	ASR7*	ASR6*	ASR5*	ASR4*	ASR3*	ASR2*	ASR1*	ASR0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ASR[10:0]　受付けられるスタートアップ範囲 (pdAcceptedStartupRange)
　統合中にスタートアップフレームの測定偏差の拡張範囲を構成するマイクロティック数です。
　有効な値は 0 ～ 1875 μT です。

MOD[10:0]　最大発振ドリフト (pdMaxDrift)
　1 通信サイクル上の非同期クロックで動作する 2 つのノード間の最大ドリフトオフセットを μT で設定します。
　有効な値は 2 ～ 1923 μT です。

5.14. GTU 設定レジスタ 7 (GTUC7)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC7	R	0	0	0	0	0	0	NSS9*	NSS8*	NSS7*	NSS6*	NSS5*	NSS4*	NSS3*	NSS2*	NSS1*	NSS0*
0x00B8	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	SSL9*	SSL8*	SSL7*	SSL6*	SSL5*	SSL4*	SSL3*	SSL2*	SSL1*	SSL0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

SSL[9:0]　静的スロット長 (gdStaticSlot)
　静的スロットの継続時間をマクロティック単位で設定します。静的スロット長は , クラスタの全ノードで同一にしてください。有効な値は , 4 ～ 659 MT です。

NSS[9:0]　静的スロット数 (gNumberOfStaticSlots)
　1 サイクル内の静的スロットの数を設定します。FlexRay ネットワークをスタートアップするために , 少なくとも 2 つのコールドスタートを設定してください。静的スロット数は , クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 1023 です。

5.15. GTU 設定レジスタ 8 (GTUC8)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC8	R	0	0	0	NMS 12*	NMS 11*	NMS 10*	NMS9*	NMS8*	NMS7*	NMS6*	NMS5*	NMS4*	NMS3*	NMS2*	NMS1*	NMS0*
0x00BC	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	MSL5*	MSL4*	MSL3*	MSL2*	MSL1*	MSL0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

MSL[5:0]　ミニスロット長 (gdMinislot)
ミニスロットの継続時間をマクロティック単位で設定します。ミニスロット長は , クラスタの全ノードで同一にしてください。有効な値は , 2 ～ 63 MT です。

NMS[12:0]　ミニスロット数 (gNumberOfMinislots)
1 サイクルの動的セグメント内のミニスロット数を設定します。ミニスロット数は , クラスタの全ノードで同一にしてください。有効な値は , 0 ～ 7986 です。

5.16. GTU 設定レジスタ 9 (GTUC9)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC9	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DSI1*	DSI0*
0x00C0	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	MAPO4*	MAPO3*	MAPO2*	MAPO1*	MAPO0*	0	0	APO5*	APO4*	APO3*	APO2*	APO1*	APO0*
	W																
リセット		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

APO[5:0]　アクションポイントオフセット (gdActionPointOffset)
静的スロットとシンボルウィンドウ内のアクションポイントオフセットをマクロティック単位で設定します。クラスタの全ノードで同一にしてください。有効な値は , 1 ～ 63 MT です。

MAPO[4:0]　ミニスロットアクションポイントオフセット (gdMinislotActionPointOffset)
動的セグメントのミニスロット内のアクションポイントオフセットをマクロティック単位で設定します。クラスタの全ノードで同一にしてください。有効な値は , 1 ～ 31 MT です。

DSI[1:0]　動的スロットアイドルフェーズ (gdDynamicSlotIdlePhase)
動的スロットアイドルフェーズの継続時間は , アイドル検出時間以上にしてください。クラスタの全ノードで同一にしてください。有効な値は , 0 ～ 2 ミニスロットです。

5.17. GTU 設定レジスタ 10 (GTUC10)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC10	R	0	0	0	0	0	MRC10*	MRC9*	MRC8*	MRC7*	MRC6*	MRC5*	MRC4*	MRC3*	MRC2*	MRC1*	MRC0*
0x00C4	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	MOC13*	MOC12*	MOC11*	MOC10*	MOC9*	MOC8*	MOC7*	MOC6*	MOC5*	MOC4*	MOC3*	MOC2*	MOC1*	MOC0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

MOC[13:0]　最大オフセット補正 (pOffsetCorrectionOut)
内部クロック同期アルゴリズムにより適用される最大許容オフセット補正値を保持します (絶対値)。CC は , 内部オフセット補正値のみを最大オフセット補正値と照合します。有効な値は , 5 ～ 15266 μT です。

MRC[10:0]　最大レート補正 (pRateCorrectionOut)
内部クロック同期アルゴリズムにより適用される最大許容レート補正値を保持します。CC は , 内部レート補正値のみを最大レート補正値 (絶対値) と照合します。有効な値は , 2 ～ 1923 μT です。

5.18. GTU 設定レジスタ 11 (GTUC11)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC11	R	0	0	0	0	0	ERC2*	ERC1*	ERC0*	0	0	0	0	0	EOC2*	EOC1*	EOC0*
0x00C8	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	ERCC1	ERCC0	0	0	0	0	0	0	EOCC1	EOCC0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EOCC[1:0]　外部オフセット補正制御 (vExternOffsetControl)
下記に示すように , EOCC[1:0] に書込みことにより , 外部オフセット補正が有効になります。NIT の外でのみ変更してください。
00, 01 = 外部オフセット補正なし
10 = 計算されたオフセット補正値から外部オフセット補正値を減算する
11 = 計算されたオフセット補正値に外部オフセット補正値を加算する

ERCC[1:0]　外部レート補正制御 (vExternRateControl)
下記に示すように , ERCC[1:0] に書込むことにより , 外部レート補正が有効になります。NIT の外でのみ変更してください。
00, 01 = 外部レート補正なし
10 = 計算されたレート補正値から外部レート補正値を減算する
11 = 計算されたレート補正値に外部レート補正値を加算する

EOC[2:0]　外部オフセット補正 (pExternOffsetCorrection)
内部クロック同期アルゴリズムにより適用される外部オフセット補正値をマイクロティック単位で保持します。値は , 計算されたオフセット補正値から減算 / 加算されます。値は NIT の間に適用されます。DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。有効な値は , 0 ～ 7 μT です。

ERC[2:0]　外部レート補正 (pExternRateCorrection)
内部クロック同期アルゴリズムにより適用される外部レート補正値をマイクロティック単位で保持します。値は , 計算されたレート補正値から減算 / 加算されます。値は NIT の間に適用されます。
DEFAULT_CONFIG 状態または CONFIG 状態でのみ変更可能です。有効な値は , 0 ～ 7 μT です。

6.CC ステータスレジスタ

8/16 ビット以上で記述されたステータス変数への 8/16 ビットアクセスの間 , 変数は , 両アクセス (非アトミックリードアクセス) 間で CC により更新されます。CC が CONFIG 状態から READY 状態に遷移するときに , すべての内部カウンタと CC ステータスフラグはリセットされます。

6.1. CC ステータスベクタ (CCSV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCSV	R	0	0	PSL5	PSL4	PSL3	PSL2	PSL1	PSL0	RCA4	RCA3	RCA2	RCA1	RCA0	WSV2	WSV1	WSV0
0x0100	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	CSI	CSAI	CSNI	0	0	SLM1	SLM0	HRQ	FSI	POCS5	POCS4	POCS3	POCS2	POCS1	POCS0
	W																
リセット		0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

POCS[5:0] プロトコル動作制御ステータス

CC プロトコル動作制御の実際の動作状態を示します。
00 0000 =DEFAULT_CONFIG 状態
00 0001 =READY 状態
00 0010 =NORMAL_ACTIVE 状態
00 0011 =NORMAL_PASSIVE 状態
00 0100 =HALT 状態
00 0101 =MONITOR_MODE 状態
00 0110 ～ 00 1110 = 予約
00 1111 =CONFIG 状態
ウェイクアップパスにおける POC の実際の動作状態を示します。
01 0000 =WAKEUP_STANDBY 状態
01 0001 =WAKEUP_LISTEN 状態
01 0010 =WAKEUP_SEND 状態
01 0011 =WAKEUP_DETECT 状態
01 0100 ～ 01 1111 = 予約
スタートアップパスにおける POC の実際の動作状態を示します。
10 0000 =STARTUP_PREPARE 状態
10 0001 =COLDSTART_LISTEN 状態
10 0010 =COLDSTART_COLLISION_RESOLUTION 状態
10 0011 =COLDSTART_CONSISTENCY_CHECK 状態
10 0100 =COLDSTART_GAP 状態
10 0101 =COLDSTART_JOIN 状態
10 0110 =INTEGRATION_COLDSTART_CHECK 状態
10 0111 =INTEGRATION_LISTEN 状態
10 1000 =INTEGRATION_CONSISTENCY_CHECK 状態
10 1001 =INITIALIZE_SCHEDULE 状態
10 1010 =ABORT_STARTUP 状態
10 1011 ～ 11 1111 = 予約

FSI フリーズステータスインジケータ (vPOC!Freeze)
CHI コマンド FREEZE または直ちに POC を停止する必要があるエラー条件により , POC が HALT 状態に入ったことを示します。CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移によりリセットされます。

HRQ 停止要求 (vPOC!CHIHaltRequest)
通信サイクルの終了時に POC を停止するようにホストから要求が受信されたことを示します。CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移により , あるいは READY 状態に入ったときにリセットされます。

SLM[1:0]　スロットモード (vPOC!SlotMode)
実際の POC のスロットモードを示します。デフォルトは SINGLE です。SUCC1.TSM に応じて , ALL に変更します。NORMAL_ACTIVE または NORMAL_PASSIVE 状態の場合 , CHI コマンド ALL_SLOTS により , スロットモードが SINGLE から ALL_PENDING を経て ALL に変更されます。NORMAL_ACTIVE または NORMAL_PASSIVE 状態以外の場合 , CHI コマンド RESET_STATUS_INDICATORS により , SUCC1.TSM に定義された値にリセットされます。
00 =SINGLE
01 = 予約
10 =ALL_PENDING
11 =ALL

CSNI　コールドスタートノイズインジケータ (vPOC!ColdstartNoise)
ノイズが多い条件下で発生するコールドスタート手順を示します。CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移あるいは READY から STARTUP 状態への遷移によりリセットされます。

CSAI　コールドスタート中止インジケータ
コールドスタートが中止されたことを示します。CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移あるいは READY から STARTUP 状態への遷移によりリセットされます。

CSI　コールドスタート禁止 (vColdStartInhibit)
ノードがコールドスタートを禁止されることを示します。POC が READY 状態に入ると , フラグが常に設定されます。このフラグは , CHI コマンド ALLOW_COLDSTART (SUCC1.CMD[3:0] = "1001") により , ホストの制御によりリセットする必要があります。
1 = ノードのコールドスタート禁止
0 = ノードのコールドスタート許可

WSV[2:0]　ウェイクアップステータス (vPOC!WakeupStatus)
現在のウェイクアップ試行のステータスを示します。CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移あるいは READY から STARTUP 状態への遷移によりリセットされます。
000 =UNDEFINED。CONFIG ステート以降にウェイクアップが試行されていない。
001 =RECEIVED_HEADER。WAKEUP_LISTEN 状態において , いずれかのチャネル上でコーディング違反なしでフレームヘッダを受信したことにより , CC がウェイクアップを終了したときに設定されます。
010 =RECEIVED_WUP。WAKEUP_LISTEN 状態において , 設定されたウェイクアップチャネル上で有効なウェイクアップパターンを受信したことにより , CC がウェイクアップを終了したときに設定されます。
011 =COLLISION_HEADER。ウェイクアップパターンの送信中に , いずれかのチャネル上で有効なヘッダを受信したことにより衝突が検出されたために , CC がウェイクアップを停止したときに設定されます。
100 =COLLISION_WUP。ウェイクアップパターンの送信中に , 設定されたウェイクアップチャネル上で有効なウェイクアップパターンを受信したことにより衝突が検出されたために , CC がウェイクアップを停止したときに設定されます。
101 =COLLISION_UNKNOWN。有効なウェイクアップパターンまたは有効なフレームヘッダを受信せずにウェイクアップタイマが満了した後 , WAKEUP_DETECT 状態から変移することにより CC がウェイクアップを停止したときに設定されます。
110 =TRANSMITTED。CC が , ウェイクアップパターンの送信を正常に完了したときに設定されます。
111 = 予約

RCA[4:0]　残りのコールドスタート試行回数 (vRemainingColdstartAttempts)
残りのコールドスタート試行回数を示します。コールドスタート試行の最大回数は , SUCC1.CSA[4:0] で設定されます。

PSL[5:0]　POC ステータスログ
HALT 状態に入る直前の POCS[5:0] のステータスを示します。HALT 状態に入ると設定されます。HALT 状態にあるときに FREEZE コマンドが適用されると HALT に設定されます。HALT 状態から遷移すると "00 0000" にリセットされます。
CHI コマンド RESET_STATUS_INDICATORS (SUCC1.CMD[3:0] = 1010) は , フラグ FSI, HRQ, CSNI, CSAI, スロットモード SLM[1:0], およびウェイクアップステータス WSV[2:0] をリセットします。

6.2. CC エラーベクタ (CCEV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCEV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0104	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	PTAC4	PTAC3	PTAC2	PTAC1	PTAC0	ERRM1	ERRM0	0	0	CCFC3	CCFC2	CCFC1	CCFC0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHI コマンド RESET_STATUS_INDICATORS または HALT から DEFAULT_CONFIG 状態への遷移により , あるいは READY 状態に入ったときにリセットされます。

CCFC[3:0] クロック補正失敗カウンタ (vClockCorrectionFailed)

クロック補正失敗カウンタは , 損失オフセット補正エラーまたは損失レート補正エラーのいずれかがアクティブな場合 , 奇数の通信サイクルの終了時に 1 つ増加されます。クロック補正失敗カウンタは , オフセット補正失敗またはレート補正失敗のいずれかがアクティブな場合 , 奇数の通信サイクルの終了時に "0" にリセットされます。クロック補正失敗カウンタは 15 で停止します。

ERRM[1:0] エラーモード (vPOC!ErrorMode)

実際の POC のエラーモードを示します。
00 =ACTIVE (緑)
01 =PASSIVE (黄)
10 =COMM_HALT (赤)
11 = 予約

PTAC[4:0] パッシブからアクティブへの遷移カウント (vAllowPassiveToActive)

ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への変移を待機している間に , 有効なレート補正時間とオフセット補正時間で渡された連続した偶数 / 奇数のサイクルペアの数を示します。変移
は , PTAC[4:0] が SUCC1.PTA[4:0] -1 と等しいときに行なわれます。

6.3. スロットカウンタ値 (SCV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCV	R	0	0	0	0	0	SCCB10	SCCB9	SCCB8	SCCB7	SCCB6	SCCB5	SCCB4	SCCB3	SCCB2	SCCB1	SCCB0
0x0110	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	SCCA10	SCCA9	SCCA8	SCCA7	SCCA6	SCCA5	SCCA4	SCCA3	SCCA2	SCCA1	SCCA0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SCCA[10:0] チャネル A スロットカウンタ (vSlotCounter[A])

チャネル A 上の現在のスロットカウンタ値を示します。この値は , CC により増加され , 通信サイクルの始めにリセットされます。有効な値は , 0 ～ 2047 です。

SCCB[10:0] チャネル B スロットカウンタ (vSlotCounter[B])

チャネル B 上の現在のスロットカウンタ値を示します。この値は , CC により増加され , 通信サイクルの始めにリセットされます。有効な値は , 0 ～ 2047 です。

6.4. マクロティックおよびサイクルカウンタ値 (MTCCV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MTCCV	R	0	0	0	0	0	0	0	0	0	0	CCV5	CCV4	CCV3	CCV2	CCV1	CCV0
0x0114	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	MTV13	MTV12	MTV11	MTV10	MTV9	MTV8	MTV7	MTV6	MTV5	MTV4	MTV3	MTV2	MTV1	MTV0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MTV[13:0]　マクロティック値 (vMacrotick)
現在のマクロティック値を示します。この値は , CC により増加され , 通信サイクルの始めにリセットされます。有効な値は , 0 ～ 16000 です。

CCV[5:0]　サイクルカウンタ値 (vCycleCounter)
現在のサイクルカウンタ値を示します。この値は , 通信サイクルの始めに CC により増加されます。有効な値は , 0 ～ 63 です。

6.5. レート補正値 (RCV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RCV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0118	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	RCV11	RCV10	RCV9	RCV8	RCV7	RCV6	RCV5	RCV4	RCV3	RCV2	RCV1	RCV0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RCV[11:0]　レート補正値 (vRateCorrection)
レート補正値 (2 の補数) を示します。制限される前の , 計算された内部レート補正値です。RCV 値が GTUC10.MRC[10:0] で定義された制限値を超えると , フラグ SFS.RCLR が "1" に設定されます。

6.6. オフセット補正値 (OCV)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OCV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	OCV18	OCV17	OCV16
0x011C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	OCV15	OCV14	OCV13	OCV12	OCV11	OCV10	OCV9	OCV8	OCV7	OCV6	OCV5	OCV4	OCV3	OCV2	OCV1	OCV0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OCV[18:0]　オフセット補正値 (vOffsetCorrection)
オフセット補正値 (2 の補数) を示します。制限される前の , 計算された内部オフセット補正値です。OCV 値が GTUC10.MOC[13:0] で定義された制限値を超えると , フラグ SFS.OCLR が "1" に設定されます。
外部レート / オフセット補正値が制限されたレート / オフセット補正値に加算されます。

6.7. 同期フレームステータス (SFS)

1 通信サイクルで有効な同期フレームの最大数は 15 です。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SFS	R	0	0	0	0	0	0	0	0	0	0	0	0	RCLR	MRCS	OCLR	MOCS
0x0120	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	VSBO3	VSBO2	VSBO1	VSBO0	VSBE3	VSBE2	VSBE1	VSBE0	VSAO3	VSAO2	VSAO1	VSAO0	VSAE3	VSAE2	VSAE1	VSAE0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VSAE[3:0]　チャネル A 有効な同期フレーム , 偶数の通信サイクル (vSyncFramesEvenA)
偶数の通信サイクルでチャネル A 上で受信される有効な同期フレームの数を保持します。同期フレームの送信が SUCC1.TXSY により許可されている場合 , 値は 1 づつ増加されます。この値は , 偶数の通信サイクルごとの NIT の間に更新されます。

VSAO[3:0]　チャネル A 有効な同期フレーム , 奇数の通信サイクル (vSyncFramesOddA)
奇数の通信サイクルでチャネル A 上で受信される有効な同期フレームの数を保持します。同期フレームの送信が SUCC1.TXSY により許可されている場合 , 値は 1 づつ増加されます。この値は , 奇数の通信サイクルごとの NIT の間に更新されます。

VSBE[3:0]　チャネル B 有効な同期フレーム , 偶数の通信サイクル (vSyncFramesEvenB)
偶数の通信サイクルでチャネル B 上で受信される有効な同期フレームの数を保持します。同期フレームの送信が SUCC1.TXSY により許可されている場合 , 値は 1 づつ増加されます。この値は , 偶数の通信サイクルごとの NIT の間に更新されます。

VSBO[3:0]　チャネル B 有効な同期フレーム , 奇数の通信サイクル (vSyncFramesOddB)
奇数の通信サイクルでチャネル B 上で受信される有効な同期フレームの数を保持します。同期フレームの送信が SUCC1.TXSY により許可されている場合 , 値は 1 づつ増加されます。この値は , 奇数の通信サイクルごとの NIT の間に更新されます。
上記のビットフィールドは , それぞれのチャネルが SUCC1.CCHA または SUCC1.CCHB により CC に割当てられている場合にのみ有効です。

MOCS　　損失オフセット補正信号
ホストへの損失オフセット補正フラグ信号を示します。これは , 同期フレームが受信されなかったため , オフセット補正計算が行なわれないことを示します。フラグは , オフセット補正フェーズの始めに CC により更新されます。
1 = 損失オフセット補正信号
0 = オフセット補正信号が有効

OCLR　　オフセット補正制限到達
ホストへのオフセット補正制限到達フラグ信号を示します。これは , オフセット補正値が GTUC10.MOC[13:0] で定義された制限を超えたことを示します。フラグは , オフセット補正フェーズの始めに CC により更新されます。
1 = オフセット補正制限に達した
0 = オフセット補正制限に達していない

MRCS　　損失レート補正信号
ホストへの損失レート補正フラグ信号を示します。これは , ペアの偶数 / 奇数の同期フレームが受信されなかったため , レート補正計算が行なわれないことを示します。フラグは , オフセット補正フェーズの始めに CC により更新されます。
1 = 損失レート補正信号
0 = レート補正信号が有効

RCLR　　レート補正制限到達
ホストへのレート補正制限到達フラグ信号を示します。これは , レート補正値が GTUC10.MRC[10:0] で定義された制限を超えたことを示します。フラグは , オフセット補正フェーズの始めに CC により更新されます。
1 = レート補正制限に達した
0 = レート補正制限に達していない

6.8. シンボルウィンドウおよび NIT ステータス (SWNIT)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SWNIT	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0124	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボルウィンドウ関連のステータス情報です。各チャネルのシンボルウィンドウの終了時に CC により更新されます。スタートアップ中は , ステータスデータは更新されません。

SESA　　チャネル A シンボルウィンドウの構文エラー (vSS!SyntaxErrorA)
1 = シンボルウィンドウ中にチャネル A 上で構文エラーが検出された
0 = 構文エラーが検出されていない

SBSA　　チャネル A シンボルウィンドウのスロット境界違反 (vSS!BViolationA)
1 = シンボルウィンドウ中にチャネル A 上でスロット境界違反が検出された
0 = スロット境界違反が検出されていない

TCSA　　チャネル A シンボルウィンドウの送信競合 (vSS!TxConflictA)
1 = シンボルウィンドウ中にチャネル A 上で送信競合が検出された
0 = 送信競合が検出されていない

SESB　　チャネル B シンボルウィンドウの構文エラー (vSS!SyntaxErrorB)
1 = シンボルウィンドウ中にチャネル B 上で構文エラーが検出された
0 = 構文エラーが検出されていない

SBSB　　チャネル B シンボルウィンドウのスロット境界違反 (vSS!BViolationB)
1 = シンボルウィンドウ中にチャネル B 上でスロット境界違反が検出された
0 = スロット境界違反が検出されていない

TCSB　　チャネル B シンボルウィンドウの送信競合 (vSS!TxConflictB)
1 = シンボルウィンドウ中にチャネル B 上で送信競合が検出された
0 = 送信競合が検出されていない

MTSA　　チャネル A 上の MTS 受信 (vSS!ValidMTSA)
最後のシンボルウィンドウ中にチャネル A 上で受信されたメディアアクセステストシンボルを示します。各チャネルのシンボルウィンドウの終了時に CC により更新されます。このビットが "1" に設定されると , 割込みフラグ SIR.MTSA も "1" に設定されます。
1 = チャネル A で MTS シンボルが受信された
0 = チャネル A で MTS シンボルが受信されていない

MTSB　　チャネル B 上の MTS 受信 (vSS!ValidMTSB)
最後のシンボルウィンドウ中にチャネル B 上で受信されたメディアアクセステストシンボルを示します。各チャネルのシンボルウィンドウの終了時に CC により更新されます。このビットが "1" に設定されると , 割込みフラグ SIR.MTSB も "1" に設定されます。
1 = チャネル B で MTS シンボルが受信された
0 = チャネル B で MTS シンボルが受信されていない
NIT 関連のステータス情報です。各チャネルの NIT の終了時に CC により更新されます。

SENA　　チャネル A NIT 中の構文エラー (vSS!SyntaxErrorA)
1 =NIT 中にチャネル A 上で構文エラーが検出された
0 = 構文エラーが検出されていない

SBNA　　チャネル A NIT 中のスロット境界違反 (vSS!BViolationA)
1 =NIT 中にチャネル A 上でスロット境界違反が検出された
0 = スロット境界違反が検出されていない

SENB　　チャネル B NIT 中の構文エラー (vSS!SyntaxErrorB)
1 =NIT 中にチャネル B 上で構文エラーが検出された
0 = 構文エラーが検出されていない

SBNB　　チャネル B NIT 中のスロット境界違反 (vSS!BViolationB)
1 =NIT 中にチャネル B 上でスロット境界違反が検出された
0 = スロット境界違反が検出されていない

6.9.　集合チャネルステータス (ACS)

集合チャネルステータスは , 送信に割当てられているかまたは受信を予約されているかどうかに関わらず , すべての通信スロットのチャネルアクティビティで生じたステータスをホストに提供します。集合チャネルステータスは , シンボルウィンドウおよびネットワークアイドル時間のステータスデータも含みます。ステータスデータは , 各スロットの後に更新 (設定) され , ホストによってリセットされるまで集められます。スタートアップ中は , ステータスデータは更新されません。フラグは , 対応するビット位置に "1" を書込むとクリアされます。"0" を書き込んでも , フラグに影響しません。ハードリセットによって , レジスタもクリアされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ACS	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0128	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	SBVB	CIB	CEDB	SEDB	VFRB	0	0	0	SBVA	CIA	CEDA	SEDA	VFRA
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VFRA　　チャネル A 上の有効フレーム受信 (vSS!ValidFrameA)
1 つ以上の有効フレームが , 観測期間中に静的または動的スロット内のチャネル A 上で受信されたことを示します。
1 = チャネル A で有効フレームが受信された
0 = 有効フレームが受信されていない

SEDA　　チャネル A の構文エラー検出 (vSS!SyntaxErrorA)
静的または動的スロット , シンボルウィンドウ , および NIT 内の 1 つ以上の構文エラーが , チャネル A 上で観測されたことを示します。
1 = チャネル A で構文エラーが観測された
0 = 構文エラーが観測されていない

CEDA　　チャネル A のコンテンツエラー検出 (vSS!ContentErrorA)
コンテンツエラーを有する 1 つ以上のフレームが , 観測期間中に静的または動的スロット内のチャネル A 上で受信されたことを示します。
1 = チャネル A でコンテンツエラーを有するフレームが受信された
0 = コンテンツエラーを有するフレームが受信されていない

CIA　　チャネル A 通信インジケータ
1 つ以上のフレームが , 観測期間中に , 追加の通信も含んでいたスロット内のチャネル A 上で受信されたことを示します。つまり ,1 つ以上のスロットが有効なフレームを受信し , 構文エラー , コンテンツエラー , スロット境界違反のいずれかの組合わせがあったことを示します。
1 = 追加の通信を含んだスロット内のチャネル A で有効フレームが受信された
0 = 追加の通信を含んだスロットで有効フレームが受信されていない

SBVA　　チャネル A のスロット境界違反 (vSS!BViolationA)
1 つ以上のスロット境界違反が , 観測期間 (静的または動的スロット , シンボルウィンドウ , および NIT) 中のいずれかの時間にチャネル A 上で観測されたことを示します。
1 = チャネル A でスロット境界違反が観測された
0 = スロット境界違反が観測されていない

VFRB　　チャネル B 上の有効フレーム受信 (vSS!ValidFrameB)
1 つ以上の有効フレームが , 観測期間中に静的または動的スロット内のチャネル B 上で受信されたことを示します。ホストの制御によりリセットされます。
1 = チャネル B で有効フレームが受信された
0 = 有効フレームが受信されていない

SEDB　　チャネル B の構文エラー検出 (vSS!SyntaxErrorB)
静的または動的スロット , シンボルウィンドウ , および NIT 内の 1 つ以上の構文エラーが , チャネル B 上で観測されたことを示します。
1 = チャネル B で構文エラーが観測された
0 = 構文エラーが観測されていない

CEDB　　チャネル B のコンテンツエラー検出 (vSS!ContentErrorB)
コンテンツエラーを有する 1 つ以上のフレームが , 観測期間中に静的または動的スロット内のチャネル B 上で受信されたことを示します。
1 = チャネル B でコンテンツエラーを有するフレームが受信された
0 = コンテンツエラーを有するフレームが受信されていない

CIB　　チャネル B 通信インジケータ
1 つ以上のフレームが , 観測期間中に , 追加の通信も含んでいたスロット内のチャネル B 上で受信されたことを示します。つまり , 1 つ以上のスロットが有効なフレームを受信し , 構文エラー , コンテンツエラー , スロット境界違反のいずれかの組合わせがあったことを示します。
1 = 追加の通信を含んだスロット内のチャネル B で有効フレームが受信された
0 = 追加の通信を含んだスロットで有効フレームが受信されていない

SBVB　　チャネル B のスロット境界違反 (vSS!BViolationB)
1 つ以上のスロット境界違反が , 観測期間 (静的または動的スロット , シンボルウィンドウ , および NIT) 中のいずれかの時間にチャネル B 上で観測されたことを示します。
1 = チャネル B でスロット境界違反が観測された
0 = スロット境界違反が観測されていない
1 つのシングルフレームのみがあり , フレームチャネルアイドル認識フェーズ中にスロットの終わりにあるスロット境界に達した場合 , フラグ CIA および CIB の設定条件も満たされます。
フラグ SEDB, CEDB, CIB, SBVB のいずれか 1 つが ‘0‘ から ‘1‘ に変化すると , 割込みフラグ EIR.EDB が "1" に設定されます。フラグ SEDA, CEDA, CIA, SBVA のいずれか 1 つが ‘0‘ から ‘1‘ に変化すると , 割込みフラグ EIR.EDA が "1" に設定されます。

6.10. 偶数同期 ID [1 ～ 15] (ESIDn)

レジスタ ESID1 ～ ESID15 は , **偶数**通信サイクル内で受信された同期フレームのフレーム ID を昇順で保持します。レジスタ ESID1 は , 受信された最も小さい同期フレーム ID を保持します。ノードが自分で偶数通信サイクル内の同期フレームを送信する場合 , レジスタ ESID1 は , メッセージバッファ 0 に設定されているように , 各同期フレーム ID を保持します。この値は , 偶数の通信サイクルごとの NIT の間に更新されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ESIDn	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0130 ～ 0x0168	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	RXEB	RXEA	0	0	0	0	EID9	EID8	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EID[9:0]　偶数同期 ID (vsSyncIDListA,B even)
偶数通信サイクルの同期フレーム ID を示します。

RXEA　チャネル A の偶数同期 ID
格納された偶数同期 ID に対応する同期フレームが , チャネル A で受信されたことを示します。
1 = チャネル A で同期フレームが受信された
0 = チャネル A で同期フレームが受信されていない

RXEB　チャネル B の偶数同期 ID
格納された偶数同期 ID に対応する同期フレームが , チャネル B で受信されたことを示します。
1 = チャネル B で同期フレームが受信された
0 = チャネル B で同期フレームが受信されていない

6.11. 奇数同期 ID [1 ～ 15] (OSIDn)

レジスタ OSID1 ～ OSID15 は , **奇数**通信サイクル内で受信された同期フレームのフレーム ID を昇順で保持します。レジスタ OSID1 は , 受信された最も小さい同期フレーム ID を保持します。ノードが自分で奇数通信サイクル内の同期フレームを送信する場合 , レジスタ OSID1 は , メッセージバッファ 0 に設定されているように , 各同期フレーム ID を保持します。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSIDn	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0170 ～ 0x01A8	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	RXOB	RXOA	0	0	0	0	OID9	OID8	OID7	OID6	OID5	OID4	OID3	OID2	OID1	OID0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OID[9:0]　奇数同期 ID (vsSyncIDListA,B odd)
奇数通信サイクルの同期フレーム ID を示します。

RXOA　チャネル A の奇数同期 ID
格納された奇数同期 ID に対応する同期フレームが , チャネル A で受信されたことを示します。
1 = チャネル A で同期フレームが受信された
0 = チャネル A で同期フレームが受信されていない

RXOB　チャネル B の奇数同期 ID
格納された奇数同期 ID に対応する同期フレームが , チャネル B で受信されたことを示します。
1 = チャネル B で同期フレームが受信された
0 = チャネル B で同期フレームが受信されていない

6.12. ネットワークマネジメントベクタ [1 ～ 3] (NMVn)

3 つのネットワークマネジメントレジスタは , 発生した NM ベクタ (0 ～ 12 バイトに設定可能) を保持します。発生した NM ベクタは , 各チャネルで受信された各 NM ベクタ (PPI = "1" に設定された有効な静的フレーム) のビット単位の OR 演算によって , CC により生成されます (「6. ネットワーク管理」を参照)。
CC は , NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のいずれかである間は , 各通信サイクルの終わりに NM ベクタを更新します。
設定された NM ベクタ長を超える NMVn バイトは無効です。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NMVn	R	NM31	NM30	NM29	NM28	NM27	NM26	NM25	NM24	NM23	NM22	NM21	NM20	NM19	NM18	NM17	NM16
0x01B0 ～ 0x01B8	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	NM15	NM14	NM13	NM12	NM11	NM10	NM9	NM8	NM7	NM6	NM5	NM4	NM3	NM2	NM1	NM0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

以下の 表 は , ネットワークマネジメントベクタに対する受信ペイロードのデータバイトの割当てを示しています。

ビット Word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NMV1	Data3								Data2								Data1								Data0							
NMV2	Data7								Data6								Data5								Data4							
NMV3	Data11								Data10								Data9								Data8							

ネットワークマネジメントベクタへのデータバイトの割当て

7.メッセージバッファ制御レジスタ

7.1. メッセージ RAM 設定 (MRC)

メッセージ RAM 設定レジスタは , 静的セグメント , 動的セグメント , および FIFO に割当てられるメッセージバッファの数を定義します。このレジスタは , DEFAULT_CONFIG 状態または CONFIG 状態の間にのみ書込み可能です。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MRC	R	0	0	0	0	0	SPLM*	SEC1*	SEC0*	LCB7*	LCB6*	LCB5*	LCB4*	LCB3*	LCB2*	LCB1*	LCB0*
0x0300	W																
リセット		0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	FFB7*	FFB6*	FFB5*	FFB4*	FFB3*	FFB2*	FFB1*	FFB0*	FDB7*	FDB6*	FDB5*	FDB4*	FDB3*	FDB2*	FDB1*	FDB0*
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FDB[7:0] 先頭動的バッファ
0= メッセージバッファのグループが静的セグメント専用に設定されていない
1 ～ 127= 0 ～ FDB - 1 のメッセージバッファが静的セグメント用に予約されている
≧ 128= 動的メッセージバッファが設定されていない

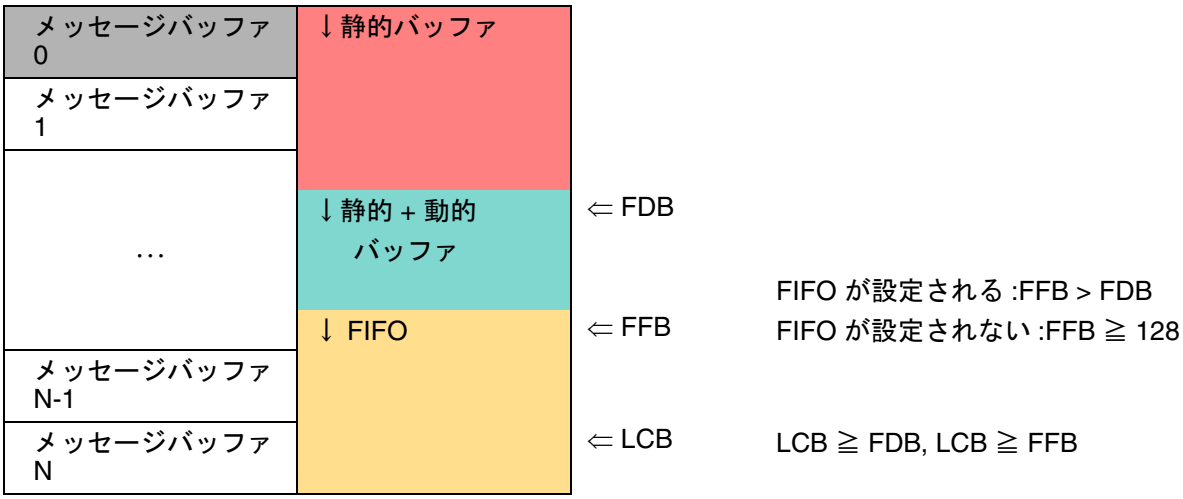
FFB[7:0] FIFO の先頭バッファ
0= すべてのメッセージバッファが FIFO に割当てられている
1 ～ 127= FFB ～ LCB のメッセージバッファが FIFO に割当てられている
≧ 128= メッセージバッファが FIFO に割当てられない

LCB[7:0] 最終設定バッファ
0 ～ 127= メッセージバッファの数が LCB + 1
≧ 128= メッセージバッファが設定されていない

SEC[1:0] セキュアバッファ
CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合は評価されません。
00 =< FFB の場合 , メッセージバッファの再設定が可能
例外 : 同期フレーム送信またはシングルスロットモード動作用に設定されたノードの場合 , メッセージバッファ 0 は (および SPLM = "1" の場合はメッセージバッファ 1 も) , 常にロックされる
01 =< FDB および ≧ FFB の場合 , メッセージバッファの再設定がロックされ ,
≧ FDB の場合 , 静的セグメントのメッセージバッファは送信不可
10 = すべてのメッセージバッファの再設定がロックされる
11 = すべてのメッセージバッファの再設定がロックされ ,
≧ FDB の場合 , 静的セグメントのメッセージバッファは送信不可

SPLM 同期フレームペイロードマルチプレックス
ノードが同期ノード (SUCC1.TXSY = "1") として設定されるかシングルスロットモード動作 (SUCC1.TSM = "1") 用に設定されている場合にのみ , このビットは評価されます。このビットが "1" に設定されている場合 , メッセージバッファ 0 と 1 は , チャネル A と B 上で異なるペイロードデータを有する同期フレーム送信専用となります。このビットが "0" に設定されている場合 , メッセージバッファ 0 から両チャネル上で同じペイロードデータを有する同期フレームが送信されます。それに従って , メッセージバッファ 0 とそれに対応するメッセージバッファ 1 のチャネルフィルタ設定を選択する必要があることに注意してください。
1 = メッセージバッファ 0 と 1 が両方とも , 再設定をロックされている
0 = メッセージバッファ 0 のみが再設定をロックされている

（注意事項）ノードが同期ノード (**SUCC1.TXSY** = "1") として設定されているか , シングルスロットモード動作 (**SUCC1.TSM** = "1") 用に設定されている場合 , メッセージバッファ 0 とそれに対応する メッセージバッファ 1 は , 同期フレームまたはシングルスロットフレーム用に予約され , ノード固有のキースロット ID で設定される必要があります。ノードが同期ノードとして設定されていない , またはシングルスロットモード動作用に設定されていない場合 , メッセージバッファ 0 とそれに対応するメッセージバッファ 1 は , 他のすべてのメッセージバッファ同様に扱われます。



プログラマは , **FDB[7:0]**, **FFB[7:0]**, および **LCB[7:0]** で定義された設定が有効であることを確認する必要があります。**CC は不正な設定をチェックしません。**
ヘッダセクションの最大数は 128 です。これは , 最大 128 のメッセージバッファを設定できることを意味します。データセクションの最大長は 254 バイトです。データセクションの長さは , メッセージバッファごとに異なって設定できます。詳細は , 「12. メッセージ RAM」を参照してください。
設定ペイロード長およびデータセクションの長さは , **WRHS2.PLC[6:0]** および **WRHS3.DP[10:0]** を介して FIFO に属しているすべてのメッセージバッファで同一に設定する必要があります。
CC が DEFAULT_CONFIG 状態または CONFIG 状態でない場合 , FIFO に属するメッセージバッファの再設定はロックされます。

7.2. FIFO 拒否フィルタ (FRF)

FIFO 拒否フィルタは , チャネル , フレーム ID, および受信フレームのサイクルカウントと比較されるユーザ指定のビットのシーケンスを定義します。FIFO 拒否フィルタマスクと組合わせると , このレジスタは , メッセージが FIFO によって拒否されるかどうかを決定します。FRF レジスタは , DEFAULT_CONFIG 状態または CONFIG 状態の間にのみ書込み可能です。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRF R	0	0	0	0	0	0	0	RNF*	RSS*	CYF6*	CYF5*	CYF4*	CYF3*	CYF2*	CYF1*	CYF0*
0x0304 W																
リセット	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	FID10*	FID9*	FID8*	FID7*	FID6*	FID5*	FID4*	FID3*	FID2*	FID1*	FID0*	CH1*	CH0*
W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH[1:0]　　チャネルフィルタ
　　11 = 受信不可
　　10 = チャネル A でのみ受信
　　01 = チャネル B でのみ受信
　　00 = 両チャネルで受信
　　両チャネルでの受信が設定されている場合は , それが同一のフレームであっても , 静的セグメント内で , 常に両フレームが (チャネル A と B から) FIFO に格納されます。
FID[10:0]　フレーム ID フィルタ
　　フレーム ID フィルタ値をゼロに設定すると , どのフレーム ID も拒否されません。
　　0 ～ 2047 = フレーム ID フィルタ値
CYF[6:0]　サイクルカウンタフィルタ
　　7 ビットのサイクルカウンタフィルタにより , フレーム ID とチャネル拒否フィルタが適用されるサイクルセットが決められます。CYF[6:0] で指定されたサイクルセットに属さないサイクルでは , すべてのフレームが拒否されます。サイクルカウンタフィルタの設定の詳細については , 「7.2. サイクルカ

ウンタフィルタリング」を参照してください。

RSS　　静的セグメント内の拒否

このビットが設定されると , 動的セグメントに対してのみ FIFO が使用されます。

1 = 静的セグメント内のメッセージを拒否する

0 = 静的セグメントにも FIFO が使用される

RNF　　Null フレーム拒否

このビットが設定されると , 受信された Null フレームは FIFO に格納されません。

1 = すべての Null フレームを拒否する

0 = フルフレームが FIFO に格納される

7.3. FIFO 拒否フィルタマスク (FRFM)

FIFO 拒否フィルタマスクは , 対応するフレーム ID フィルタビットが拒否フィルタリングに当てはまるかどうか指定します。このビットが設定されると , FRF レジスタ内の対応するビットは , 拒否フィルタリングに考慮されないことを示します。FRFM レジスタは , DEFAULT_CONFIG 状態または CONFIG 状態の間にのみ書込み可能です。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRFM	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0308	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	MFID 10*	MFID 9*	MFID 8*	MFID 7*	MFID 6*	MFID 5*	MFID 4*	MFID 3*	MFID 2*	MFID 1*	MFID 0*	0	0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MFID[10:0]　マスクフレーム ID フィルタ

1 = 対応するフレーム ID フィルタビットを無視する

0 = 対応するフレーム ID フィルタビットが拒否フィルタリングに使用される

7.4. FIFO クリティカルレベル (FCL)

CC は , DEFAULT_CONFIG 状態または CONFIG 状態でのみレジスタの変更を受付けます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FCL	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	CL7*	CL6*	CL5*	CL4*	CL3*	CL2*	CL1*	CL0*
	W																
リセット		0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

CL[7:0]　　クリティカルレベル

受信 FIFO フィルレベル FSR.RFFL[7:0] が , CL[7:0] で設定されたクリティカルレベル以上のときに , 受信 FIFO クリティカルレベルフラグ FSR.RFCL が設定されます。CL[7:0] が値 > 128 に設定されると , ビット FSR.RFCL は設定されません。FSR.RFCL が "0" から "1" に変化すると , ビット SIR.RFCL が "1" に設定され , 有効な場合は , 割込みが発生します。

8.メッセージバッファステータスレジスタ

8.1. メッセージハンドラステータス (MHDS)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDS	R	0	MBU6	MBU5	MBU4	MBU3	MBU2	MBU1	MBU0	0	MBT6	MBT5	MBT4	MBT3	MBT2	MBT1	MBT0
0x0310	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	FMB6	FMB5	FMB4	FMB3	FMB2	FMB1	FMB0	CRAM	MFMB	FMBD	PTBF2	PTBF1	PMR	POBF	PIBF
	W																
リセット		0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

フラグは , 対応するビット位置に "1" を書込むとクリアされます。"0" を書き込んでも , フラグに影響しません。ハードリセットまたは CHI コマンド CLEAR_RAMS によって , レジスタもクリアされます。

PIBF　　入力バッファ RAM 1,2 パリティエラー
　1 = 入力バッファ RAM 1,2 の読出し時にパリティエラーが発生した
　0 = パリティエラーが発生していない

POBF　　出力バッファ RAM 1,2 パリティエラー
　1 = 出力バッファ RAM 1,2 の読出し時にパリティエラーが発生した
　0 = パリティエラーが発生していない

PMR　　メッセージ RAM パリティエラー
　1 = メッセージ RAM の読出し時にパリティエラーが発生した
　0 = パリティエラーが発生していない

PTBF1　　過渡バッファ RAM A パリティエラー
　1 = 過渡バッファ RAM A の読出し時にパリティエラーが発生した
　0 = パリティエラーが発生していない

PTBF2　　過渡バッファ RAM B パリティエラー
　1 = 過渡バッファ RAM B の読出し時にパリティエラーが発生した
　0 = パリティエラーが発生していない
　フラグ PIBF, POBF, PMR, PTBF1, PTBF2 のうち 1 つが "0" から "1" に変化すると , EIR.PERR が "1" に設定されます。

FMBD　　不良メッセージバッファ検出
　1 =FMB[6:0] によって参照されるメッセージバッファが , パリティエラーによる不良データを保持する
　0 = 不良メッセージバッファなし

MFMB　　複数の不良メッセージバッファ検出
　1 = フラグ FMBD の設定中に , 別の不良メッセージバッファが検出された
　0 = その他の不良メッセージバッファなし

CRAM　　すべての内部 RAM クリア
　CHI コマンド CLEAR_RAMS が実行中であることを示す信号です (すべての内部 RAM ブロックの全ビットに "0" が書き込まれている)。このビットは , ハードリセットまたは CHI コマンド CLEAR_RAMS により設定されます。
　1 =CHI コマンド CLEAR_RAMS が実行中
　0 =CHI コマンド CLEAR_RAMS が実行されていない

FMB[6:0]　　不良メッセージバッファ
　メッセージバッファからの読出し時 , または FMB[6:0] による入力バッファまたは過渡バッファ 1,2 からメッセージバッファへのデータの転送時に , パリティエラーが発生したことを示します。この値は , フラグ PIBF, PMR, PTBF1, PTBF2, FMBD のうち 1 つが設定されているときにのみ有効です。ホストがフラグ FMBD をリセットした後にのみ更新されます。

MBT[6:0]　　送信されたメッセージバッファ
　最後に正常に送信されたメッセージバッファの番号を示します。メッセージバッファがシングルショットモードに設定されている場合 , TXRQ1/2/3/4 レジスタ内のそれぞれの TXR フラグがリセットされます。

MBU[6:0]　更新されたメッセージバッファ
CC により最後に更新されたメッセージバッファの番号を示します。このメッセージバッファの場合 , NDAT1/2/3/4 レジスタおよび MBSC1/2/3/4 レジスタ内のそれぞれの ND と MBC フラグも設定されます。
CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , MBT[6:0] と MBU[6:0] がリセットされます。

8.2. 最終動的送信スロット (LDTS)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LDTS	R	0	0	0	0	0	LDTB10	LDTB9	LDTB8	LDTB7	LDTB6	LDTB5	LDTB4	LDTB3	LDTB2	LDTB1	LDTB0
0x0314	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	LDTA10	LDTA9	LDTA8	LDTA7	LDTA6	LDTA5	LDTA4	LDTA3	LDTA2	LDTA1	LDTA0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , レジスタがリセットされます。
LDTA[10:0]　チャネル A 最終動的送信
このノードの動的セグメント内でチャネル A 上の最終フレーム送信時の vSlotCounter[A] の値を示します。動的セグメントの終わりに更新され , 動的セグメント中にフレームが送信されない場合はゼロにリセットされます。
LDTB[10:0]　チャネル B 最終動的送信
このノードの動的セグメント内でチャネル B 上の最終フレーム送信時の vSlotCounter[B] の値を示します。動的セグメントの終わりに更新され , 動的セグメント中にフレームが送信されない場合はゼロにリセットされます。

8.3. FIFO ステータスレジスタ (FSR)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSR	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0318	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	RFFL7	RFFL6	RFFL5	RFFL4	RFFL3	RFFL2	RFFL1	RFFL0	0	0	0	0	0	RFO	RFCL	RFNE
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , レジスタがリセットされます。

RFNE　　受信 FIFO が空でない

このフラグは , 受信有効フレーム (拒否マスクによりデータまたは Null フレーム) が FIFO に格納されたときに , CC により設定されます。さらに , 割込みフラグ SIR.RFNE が設定されます。ホストが FIFO からすべてのメッセージを読み出した後に , ビットがリセットされます。

1 = 受信 FIFO が空でない

0 = 受信 FIFO が空

RFCL　　受信 FIFO クリティカルレベル

受信 FIFO フィルレベル RFFL[7:0] が , FCL.CL[7:0] で設定されたクリティカルレベル以上のときに , このフラグが設定されます。フラグは , RFFL[7:0] が FCL.CL[7:0] 未満になると , CC により直ちにクリアされます。RFCL が "0" から "1" に変化すると , ビット SIR.RFCL が "1" に設定され , 有効な場合は , 割込みが発生します。

1 = 受信 FIFO クリティカルレベルに達した

0 = 受信 FIFO がクリティカルレベル未満

RFO　　受信 FIFO オーバラン

このフラグは , 受信 FIFO オーバランが検出されると , CC により設定されます。受信 FIFO オーバランが発生すると , 最も古いメッセージが実際に受け取ったメッセージで上書きされます。さらに , 割込みフラグ EIR.RFO が設定されます。フラグは , ホストが発行する次の FIFO リードアクセスによりクリアされます。

1 = 受信 FIFO オーバランが検出された

0 = 受信 FIFO オーバランが検出されていない

RFFL[7:0]　受信 FIFO フィルレベル

ホストによってまだ読み出されていない新しいデータで満たされた FIFO バッファの数を示します。最大値は 128 です。

8.4. メッセージハンドラ制約フラグ (MHDF)

eray_bclk 周波数 , メッセージ RAM 設定 , および FlexRay バストラフィックに関して , メッセージハンドラにはいくつかの制約があります (E-Ray FlexRay IP-Module 仕様の補足を参照)。ソフトウェア開発を容易にするために , 制約違反は , MHDF のフラグ設定によって報告されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDF	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x031C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	WAHP	0	0	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

フラグは , 対応するビット位置に "1" を書込むとクリアされます。"0" を書き込んでも , フラグに影響しません。ハードリセットによって , レジスタもクリアされます。CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , レジスタがリセットされます。

SNUA　　チャネル A ステータス未更新
このフラグは , オーバロード状態のために , メッセージハンドラがチャネル A に対してメッセージバッファのステータス MBS を更新できなかった場合に , CC によって設定されます。
1 = チャネル A の MBS が更新されない
0 = チャネル A の MBS の更新時に , オーバロード状態が発生していない

SNUB　　チャネル B ステータス未更新
このフラグは , オーバロード状態のために , メッセージハンドラがチャネル B に対してメッセージバッファのステータス MBS を更新できなかった場合に , CC によって設定されます。
1 = チャネル B の MBS が更新されない
0 = チャネル B の MBS の更新時に , オーバロード状態が発生していない

FNFA　　チャネル A 検索シーケンス未終了
このフラグは , オーバロード状態のために , メッセージハンドラがチャネル A に対して検索シーケンス (メッセージバッファと一致するメッセージ RAM のスキャン) を終了できなかった場合に , CC によって設定されます。
1 = チャネル A で検索シーケンスが終了していない
0 = チャネル A で未終了の検索シーケンスはない

FNFB　　チャネル B 検索シーケンス未終了
このフラグは , オーバロード状態のために , メッセージハンドラがチャネル B に対して検索シーケンス (メッセージバッファと一致するメッセージ RAM のスキャン) を終了できなかった場合に , CC によって設定されます。
1 = チャネル B で検索シーケンスが終了していない
0 = チャネル B で未終了の検索シーケンスはない

TBFA　　過渡バッファアクセス失敗 A
このフラグは , PRT A が要求した TBF A へのリードアクセスまたはライトアクセスが使用可能時間内に完了できなかった場合に , CC により設定されます。
1 =TBF A アクセス失敗
0 =TBF A アクセス失敗なし

TBFB　　過渡バッファアクセス失敗 B
このフラグは , PRT B が要求した TBF B へのリードアクセスまたはライトアクセスが使用可能時間内に完了できなかった場合に , CC により設定されます。
1 =TBF B アクセス失敗
0 =TBF B アクセス失敗なし

WAHP　　ヘッダパーティションへの書込み試行
このフラグは , メッセージバッファの不良設定のために , メッセージハンドラがメッセージデータをメッセージ RAM のヘッダパーティションに書き込もうとしたときに , CC によって設定されます。予期せぬライトアクセスからヘッダパーティションを保護するために , 書込み試行は実行されません。
1 = ヘッダパーティションへの書込み試行
0 = ヘッダパーティションへの書込み試行なし
フラグ SNUA, SNUB, FNFA, FNFB, TBFA, TBFB, WAHP のうち 1 つが "0" から "1" に変化すると , 割込みフラグ EIR.MHF が "1" に設定されます。

8.5. 送信要求 1/2/3/4 (TXRQ1/2/3/4)

4 つのレジスタは , 設定されたすべてのメッセージバッファの **TXR** フラグの状態を反映します。フラグは , 送信バッファのみが評価されます。設定されたメッセージバッファの数が 128 未満の場合 , 残りの **TXR** フラグは意味を持ちません。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ4	R	TXR127	TXR126	TXR125	TXR124	TXR123	TXR122	TXR121	TXR120	TXR119	TXR118	TXR117	TXR116	TXR115	TXR114	TXR113	TXR112
0x032C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR111	TXR110	TXR109	TXR108	TXR107	TXR106	TXR105	TXR104	TXR103	TXR102	TXR101	TXR100	TXR99	TXR98	TXR97	TXR96
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ3	R	TXR95	TXR94	TXR93	TXR92	TXR91	TXR90	TXR89	TXR88	TXR87	TXR86	TXR85	TXR84	TXR83	TXR82	TXR81	TXR80
0x0328	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR79	TXR78	TXR77	TXR76	TXR75	TXR74	TXR73	TXR72	TXR71	TXR70	TXR69	TXR68	TXR67	TXR66	TXR65	TXR64
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ2	R	TXR63	TXR62	TXR61	TXR60	TXR59	TXR58	TXR57	TXR56	TXR55	TXR54	TXR53	TXR52	TXR51	TXR50	TXR49	TXR48
0x0324	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR47	TXR46	TXR45	TXR44	TXR43	TXR42	TXR41	TXR40	TXR39	TXR38	TXR37	TXR36	TXR35	TXR34	TXR33	TXR32
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ1	R	TXR31	TXR30	TXR29	TXR28	TXR27	TXR26	TXR25	TXR24	TXR23	TXR22	TXR21	TXR20	TXR19	TXR18	TXR17	TXR16
0x0320	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR15	TXR14	TXR13	TXR12	TXR11	TXR10	TXR9	TXR8	TXR7	TXR6	TXR5	TXR4	TXR3	TXR2	TXR1	TXR0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXR[127:0] 送信要求

設定されると , 該当するメッセージバッファを送信できる状態になり , このメッセージバッファの送信が進行中になります。シングルスロットモードでは , 送信完了後にフラグがリセットされます。

8.6. 新規データ 1/2/3/4 (NDAT1/2/3/4)

4 つのレジスタは , 設定されたすべてのメッセージバッファの **ND** フラグの状態を反映します。送信バッファに属する **ND** フラグは意味を持ちません。設定されたメッセージバッファの数が 128 未満の場合 , 残りの **ND** フラグは意味を持ちません。CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , レジスタがリセットされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT4	R	ND127	ND126	ND125	ND124	ND123	ND122	ND121	ND120	ND119	ND118	ND117	ND116	ND115	ND114	ND113	ND112
0x031C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND111	ND110	ND109	ND108	ND107	ND106	ND105	ND104	ND103	ND102	ND101	ND100	ND99	ND98	ND97	ND96
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT3	R	ND95	ND94	ND93	ND92	ND91	ND90	ND89	ND88	ND87	ND86	ND85	ND84	ND83	ND82	ND81	ND80
0x0338	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND79	ND78	ND77	ND76	ND75	ND74	ND73	ND72	ND71	ND70	ND69	ND68	ND67	ND66	ND65	ND64
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT2	R	ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56	ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
0x0334	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40	ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT1	R	ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24	ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
0x0330	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ND[127:0]　新規データ

このフラグは , そのメッセージバッファ用の受信ペイロード長または設定ペイロード長に関わらず , 有効な受信データフレームがメッセージバッファのフィルタ設定に一致したときに設定されます。フラグは , 受信 FIFO に属するメッセージバッファを除き , Null フレームの受信後は設定されません。ND フラグは , 対応するメッセージバッファのヘッダセクションが再設定されたとき , またはデータセクションが出力バッファに転送されたときにリセットされます。

8.7. メッセージバッファステータス変更 1/2/3/4 (MBSC1/2/3/4)

4 つのレジスタは , 設定されたすべてのメッセージバッファの **MBC** フラグの状態を反映します。設定されたメッセージバッファの数が 128 未満の場合 , 残りの **MBC** フラグは意味を持ちません。CC が CONFIG 状態から遷移するまたは STARTUP 状態に入ると , レジスタがリセットされます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC4	R	MBC127	MBC126	MBC125	MBC124	MBC123	MBC122	MBC121	MBC120	MBC119	MBC118	MBC117	MBC116	MBC115	MBC114	MBC113	MBC112
0x034C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MBC111	MBC110	MBC109	MBC108	MBC107	MBC106	MBC105	MBC104	MBC103	MBC102	MBC101	MBC100	MBC99	MBC98	MBC97	MBC96
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC3	R	MBC95	MBC94	MBC93	MBC92	MBC91	MBC90	MBC89	MBC88	MBC87	MBC86	MBC85	MBC84	MBC83	MBC82	MBC81	MBC80
0x0348	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MBC79	MBC78	MBC77	MBC76	MBC75	MBC74	MBC73	MBC72	MBC71	MBC70	MBC69	MBC68	MBC67	MBC66	MBC65	MBC64
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC2	R	MBC63	MBC62	MBC61	MBC60	MBC59	MBC58	MBC57	MBC56	MBC55	MBC54	MBC53	MBC52	MBC51	MBC50	MBC49	MBC48
0x0344	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MBC47	MBC46	MBC45	MBC44	MBC43	MBC42	MBC41	MBC40	MBC39	MBC38	MBC37	MBC36	MBC35	MBC34	MBC33	MBC32
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC1	R	MBC31	MBC30	MBC29	MBC28	MBC27	MBC26	MBC25	MBC24	MBC23	MBC22	MBC21	MBC20	MBC19	MBC18	MBC17	MBC16
0x0340	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MBC15	MBC14	MBC13	MBC12	MBC11	MBC10	MBC9	MBC8	MBC7	MBC6	MBC5	MBC4	MBC3	MBC2	MBC1	MBC0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MBC[127:0] メッセージバッファステータス変更

MBC フラグは , メッセージハンドラが各メッセージバッファのヘッダセクションにあるステータスフラグ VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB (「11.5. メッセージバッファステータス (MBS)」および「12.1. ヘッダパーティション」, ヘッダ 4 を参照) のうち 1 つが変更されたときはいつでも設定されます。MBC フラグは , 対応するメッセージバッファのヘッダセクションが再設定されたとき , または出力バッファに転送されたときにリセットされます。

9.識別レジスタ

9.1. コアリリースレジスタ (CREL)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CREL	R	REL3	REL2	REL1	REL0	STEP7	STEP6	STEP5	STEP4	STEP3	STEP2	STEP1	STEP0	YEAR3	YEAR2	YEAR1	YEAR0
0x03F0	W																
リセット	リリース情報																

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MON7	MON6	MON5	MON4	MON3	MON2	MON1	MON0	DAY7	DAY6	DAY5	DAY4	DAY3	DAY2	DAY1	DAY0
	W																
リセット	リリース情報																

DAY[7:0]　設計タイムスタンプ , 日
　　2 桁 , BCD コード化。
MON[7:0]　設計タイムスタンプ , 月
　　2 桁 , BCD コード化。
YEAR[3:0]　設計タイムスタンプ , 年
　　1 桁 , BCD コード化。
STEP[7:0]　コアリリースのステップ
　　2 桁 , BCD コード化。
REL[3:0]　コアリリース
　　1 桁 , BCD コード化。

下表に , レジスタ CREL にリリースをコード化する方法を示します。

リリースのコーディング

リリース	ステップ	サブステップ	名前
0	7	0	Beta2
0	7	1	Beta2ct
1	0	0	改版 1.0.0

9.2. エンディアンレジスタ (ENDN)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ENDN	R	ETV31	ETV30	ETV29	ETV28	ETV27	ETV26	ETV25	ETV24	ETV23	ETV22	ETV21	ETV20	ETV19	ETV18	ETV17	ETV16
0x03F4	W																
リセット		1	0	0	0	0	1	1	1	0	1	1	0	0	1	0	1

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ETV15	ETV14	ETV13	ETV12	ETV11	ETV10	ETV9	ETV8	ETV7	ETV6	ETV5	ETV4	ETV3	ETV2	ETV1	ETV0
	W																
リセット		0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

ETV[31:0]　エンディアンテスト値
　　エンディアンテスト値は 0x87654321 です。

10.入力バッファ

入力バッファホストと入力バッファシャドウのダブルバッファで構成されています。ホストが入力バッファホストに書込み可能な間に , 入力バッファシャドウからメッセージ RAM への転送が行なわれます。入力バッファは , メッセージ RAM 内の選択したメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。メッセージ RAM のメッセージバッファの設定および送信バッファのデータセクションの更新に使用されます。
入力バッファからメッセージ RAM 内のメッセージバッファのヘッダセクションを更新するとき , 「11.5. メッセージバッファステータス (MBS)」で説明されているように , メッセージバッファステータスは自動的にゼロにリセットされます。
CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合 , 受信 FIFO に属するメッセージバッファのヘッダセクションのみが設定 (再設定) されます。これらのメッセージバッファについては , 設定ペイロード長およびデータポインタは , **WRHS2.PLC[6.0]** および **WRHS3.DP[10:0]** を介して設定される必要があります。受入れフィルタに必要なすべての情報は , FIFO 拒否フィルタおよび FIFO 拒否フィルタマスクから取得されます。
入力バッファ (IBF) とメッセージ RAM 間のデータ転送の詳細については , 「11.2.1. 入力バッファからメッセージ RAM へのデータ転送」で説明しています。

10.1. ライトデータセクション [1 ～ 64] (WRDSn)

アドレス指定されたメッセージバッファのデータセクションに転送されるデータワードを保持します。データワード (DW_n) は , DW_1 (byte0, byte1) から DW_{PL} (PL = 設定ペイロード長 **WRHS2.PLC[6:0]** により定義されたデータワードの数) まで , 送信順にメッセージ RAM に書き込まれます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRDSn	R																
0x0400 ～ 0x04FC	W	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MD[31:0]　メッセージデータ
　　MD[7:0]= DWn, byten-1
　　MD[15:8]= DWn, byten
　　MD[23:16]= DWn+1, byten+1
　　MD[31:24]= DWn+1, byten+2
（注意事項）DW127 は , WRDS64.MD[15:0] に配置されます。この場合 , WRDS64.MD[31:16] は未使用 (有効データなし) になります。入力バッファ RAM は , ハードリセットまたは CHI コマンド CLEAR_RAMS によって , ゼロに初期化されます。

10.2. ライトヘッダセクション 1 (WRHS1)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS1	R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
0x0500	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FID[10:0]　フレーム ID
選択されたメッセージバッファのフレーム ID を示します。フレーム ID は , 各メッセージ送受信のスロット番号を定義します。フレーム ID = "0" のメッセージバッファは , 無効と見なされます。

CYC[6:0]　サイクルコード
7 ビットのサイクルコードは , サイクルカウンタフィルタリングに使用されるサイクルセットを決定します。サイクルコードの設定の詳細については , 「7.2. サイクルカウンタフィルタリング」を参照してください。

CHA, CHB　チャネルフィルタ制御
各バッファに関連付けられる 2 ビットのチャネルフィルタリングフィールドは , 受信バッファのフィルタ , および送信バッファの制御フィールドとして機能します。

CHA	CHB	送信バッファ フレームを送信	受信バッファ 受信したフレームを格納
1	1	両チャネル (静的セグメントのみ)	チャネル A または B (意味的に有効な最初のフレームを格納 , 静的セグメントのみ)
1	0	チャネル A	チャネル A
0	1	チャネル B	チャネル B
0	0	送信なし	フレームを無視

メッセージバッファが動的セグメント用に設定され , チャネルフィルタリングフィールドの両ビットが "1" に設定された場合 , フレームは送信されず , 従って受信フレームは無視されます (**CHA = CHB** = "0" と同じ機能)。

CFG　メッセージバッファ方向設定ビット
このビットは , 対応するバッファを送信バッファまたは受信バッファとして設定するために使用します。受信 FIFO に属するメッセージバッファの場合 , このビットは評価されません。
1 = 対応するバッファが送信バッファとして設定される
0 = 対応するバッファが受信バッファとして設定される

PPIT　ペイロードプリアンブルインジケータ送信
このビットは , 送信フレーム内のペイロードプリアンブルインジケータの状態を制御します。このビットが静的メッセージバッファに設定される場合 , 各メッセージバッファはネットワークマネジメント情報を保持します。このビットが動的メッセージバッファに設定される場合 , ペイロードセグメントの最初の 2 バイトが , 受信側によるメッセージ ID フィルタリングに使用されます。受信 FlexRay フレームのメッセージ ID フィルタリングは , E-Ray モジュールではサポートされていませんが , ホストにより実行されます。
1 = ペイロードプリアンブルインジケータを設定する
0 = ペイロードプリアンブルインジケータを設定しない

TXM　送信モード
このビットは , 送信モードの選択に使用されます (「8.3. 送信バッファ」を参照)。
1 = シングルショットモード
0 = 連続モード

MBI　　メッセージバッファ割込み
このビットは , 対応するバッファに対して送受信割込みを有効にします。専用の受信バッファがメッセージハンドラにより更新された後 , フラグ SIR.RXI または SIR.MBSI が設定されます。送信の完了後 , フラグ SIR.TXI が設定されます。
1 = 対応するメッセージバッファ割込みが有効
0 = 対応するメッセージバッファ割込みが無効

10.3. ライトヘッダセクション 2 (WRHS2)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS2 R	0	0	0	0	0	0	0	0	0	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
0x0504 W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRC[10:0]　ヘッダ CRC (vRF!Header!HeaderCRC)
受信バッファ : 設定不要
送信バッファ : ヘッダ CRC がホストにより計算され設定される
ヘッダ CRC の計算のために , バスに送信されるフレームのペイロード長を考慮する必要があります。静的セグメントでは , すべてのフレームのペイロード長は , MHDC.SFDL[6:0] により設定されます。
PLC[6:0]　　設定ペイロード長
ホストによって設定されるデータセクションの長さ (2 バイトワードの数) を示します。静的セグメント中に , MHDC.SFDL[6:0] により設定される静的フレームペイロード長は , すべての静的フレームのペイロード長を定義します。PLC[6:0] より設定されたペイロード長が , この値よりも短い場合は , フレームが適切な物理長になるように , 埋め込みバイトが挿入されます。埋込みパターンは論理ゼロです。

10.4. ライトヘッダセクション 3 (WRHS3)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS3 R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0508 W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
W																
リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DP[10:0]　　データポインタ
メッセージ RAM 内のアドレス指定されたメッセージバッファのデータセクションの最初の 32 ビットへのポインタを示します。

10.5. 入力バッファコマンドマスク (IBCM)

レジスタ IBCR により選択されたメッセージ RAM 内のメッセージバッファを更新する方法を設定します。IBF ホストと IBF シャドウが交換されるとき , それぞれの入力バッファ転送に添付されたままにするため , マスクビット **LHSH**, **LDSH**, および **STXRH** もビット **LHSS**, **LDSS**, および **STXRS** に交換されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IBCM	R	0	0	0	0	0	0	0	0	0	0	0	0	0	STXRS	LDSS	LHSS
0x0510	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	STXRH	LDSH	LHSH
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LHSH　　ヘッダセクションホストのロード
　1 = ヘッダセクションが入力バッファからメッセージ RAM への転送用に選択される
　0 = ヘッダセクションは更新されない
LDSH　　データセクションホストのロード
　1 = データセクションが入力バッファからメッセージ RAM への転送用に選択される
　0 = データセクションは更新されない
STXRH　　送信要求ホストの設定
　このビットが "1" に設定されると , メッセージバッファを送信用に開放するために , 選択されたメッセージバッファの TXR フラグが TXRQ1/2/3/4 レジスタに設定されます。シングルスロットモードでは , 送信完了後に CC によりフラグがクリアされます。TXR は , 送信バッファのみが評価されます。
　1 =TXR フラグを設定し , 送信バッファが送信用に開放される
　0 =TXR フラグをリセットする
LHSS　　ヘッダセクションシャドウのロード
　1 = ヘッダセクションが入力バッファからメッセージ RAM への転送用に選択される (転送中または終了)
　0 = ヘッダセクションは更新されない
LDSS　　データセクションシャドウのロード
　1 = データセクションが入力バッファからメッセージ RAM への転送用に選択される (転送中または終了)
　0 = データセクションは更新されない
STXRS　　送信要求シャドウの設定
　1 =TXR フラグを設定し , 送信バッファが送信用に開放される (転送中または終了)
　0 =TXR フラグをリセットする

10.6. 入力バッファコマンド要求 (IBCR)

ホストがメッセージ RAM 内の対象メッセージバッファの番号を **IBRH[6:0]** に書込むと , IBF ホストと IBF シャドウが交換されます。さらに , **IBRH[6:0]** と **IBRS[6:0]** に格納されたメッセージバッファ番号も交換されます (「11.2.1. 入力バッファからメッセージ RAM へのデータ転送」も参照)。
この書込み動作により , **IBSYS** が "1" に設定されます。その後 , メッセージハンドラが , **IBRS[6:0]** により選択されたメッセージ RAM 内のメッセージに IBF シャドウのコンテンツの転送をスタートします。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の対象メッセージバッファにデータを転送している間 , ホストは次のメッセージを IBF ホストに書込むことができます。IBF シャドウとメッセージ RAM 間での転送が完了した後で , **IBSYS** が "0" に戻され , それぞれの対象メッセージバッファ番号を **IBRH[6:0]** に書込むことによって , ホストによりメッセージ RAM への次の転送が始められます。

IBSYS が "1" の間に **IBRH[6:0]** へのライトアクセスが発生すると , **IBSYH** は "1" に設定されます。IBF シャドウからメッセージ RAM への進行中のデータ転送が完了した後 , IBF ホストおよび IBF シャドウが交換され , **IBSYH** が "0" にリセットされます。**IBSYS** は "1" に設定されたままで , メッセージ RAM への次の転送がスタートされます。さらに , **IBRH[6:0]** と **IBRS[6:0]** に格納されたメッセージバッファ番号も交換されます。

IBSYS と **IBSYH** が設定される間に入力バッファレジスタへのライトアクセスが発生すると , エラーフラグ **EIR.IIBA** が設定されます。この場合 , 入力バッファは変更されません。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IBCR	R	IBSYS	0	0	0	0	0	0	0	0	IBRS6	IBRS5	IBRS4	IBRS3	IBRS2	IBRS1	IBRS0
0x0514	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	IBSYH	0	0	0	0	0	0	0	0	IBRH6	IBRH5	IBRH4	IBRH3	IBRH2	IBRH1	IBRH0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IBRH[6:0] 入力バッファ要求ホスト
入力バッファからのデータ転送用にメッセージ RAM 内の対象メッセージバッファを選択します。
有効な値は , 0x00 ～ 0x7F (0 ～ 127) です。

IBSYH 入力バッファビジーホスト
IBSYS が "1" の間に IBRH[6:0] を書込むことにより "1" に設定されます。IBF シャドウとメッセージ RAM 間の進行中の転送が完了した後 , IBSYH が "0" に戻されます。
1 = IBF シャドウとメッセージ RAM 間での転送中の間の要求
0 = 保留中の要求なし

IBRS[6:0] 入力バッファ要求シャドウ
実際に更新されたまたは最後に更新された対象メッセージバッファの番号を示します。
有効な値は , 0x00 ～ 0x7F (0 ～ 127) です。

IBSYS 入力バッファビジーシャドウ
IBRH[6:0] の書込み後に , "1" に設定されます。IBF シャドウとメッセージ RAM 間の転送が完了した後 , IBSYS が "0" に戻されます。
1 =IBF シャドウとメッセージ RAM 間の転送中
0 =IBF シャドウとメッセージ RAM 間の転送完了

11.出力バッファ

出力バッファホストと出力バッファシャドウのダブルバッファで構成されています。メッセージ RAM からのメッセージバッファの読出しに使用されます。ホストが出力バッファホストから読出し可能な間に , メッセージハンドラは , メッセージ RAM から出力バッファシャドウに選択したメッセージバッファを転送します。メッセージ RAM と出力バッファ (OBF) と間のデータ転送の詳細については , 「11.2.2. メッセージ RAM から出力バッファへのデータ転送」で説明しています。

11.1. リードデータセクション [1 ～ 64] (RDDSn)

アドレス指定されたメッセージバッファのデータセクションから読み出されるデータワードを保持します。データワード (DW_n) は , DW_1 (byte0, byte1) から DW_{PL} (PL = 設定ペイロード長 **RDHS2.PLC[6:0]** により定義されたデータワードの数) まで , 受信順にメッセージ RAM から読み出されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDDSn	R	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
0x0600 ～ 0x06FC	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MD[31:0] メッセージデータ
MD[7:0]= DWn, byten-1
MD[15:8]= DWn, byten
MD[23:16]= DWn+1, byten+1
MD[31:24]= DWn+1, byten+2

（注意事項） DW127 は , RDDS64.MD[15:0] に配置されます。この場合 , RDDS64.MD[31:16] は未使用 (有効データなし) になります。出力バッファ RAM は , ハードリセットまたは CHI コマンド CLEAR_RAMS によって , ゼロに初期化されます。

11.2. リードヘッダセクション 1 (RDHS1)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS1	R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
0x0700	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WRHS1 を介してホストにより設定される値は下記の通りです。
FID[10:0] フレーム ID
CYC[6:0] サイクルコード
CHA, CHB チャネルフィルタ制御
CFG メッセージバッファ方向設定ビット
PPIT ペイロードプリアンブルインジケータ送信
TXM 送信モード
MBI メッセージバッファ割込み
メッセージ RAM から読み出されたメッセージバッファが受信 FIFO に属している場合 , **FID[10:0]** は , **CYC[6:0]**, **CHA**, **CHB**, **CFG**, **PPIT**, **TXM**, および **MBI** が "0" にリセットされる間に , 受信したフレーム ID を保持します。

11.3. リードヘッダセクション 2 (RDHS2)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS2	R	0	PLR6	PLR5	PLR4	PLR3	PLR2	PLR1	PLR0	0	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
0x0704	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRC[10:0]　ヘッダ CRC (vRF!Header!HeaderCRC)
　　受信バッファ : ヘッダ CRC が受信データフレームから更新される
　　送信バッファ : ヘッダ CRC がホストにより計算され設定される
PLC[6:0]　　設定ペイロード長
　　ホストによって設定されるデータセクションの長さ (2 バイトワードの数) を示します。
PLR[6:0]　　受信ペイロード長 (vRF!Header!Length)
　　ペイロード長の値は受信データフレームから更新されます (例外 : メッセージバッファが受信 FIFO に属する場合 , PLR[6:0] も受信 Null フレームから更新されます)。
メッセージがメッセージバッファに格納されるとき , 受信ペイロード長と設定ペイロード長に関して , 次の動作が実行されます。
PLR[6:0] > PLC[6:0]:　メッセージバッファに格納されたペイロードデータは , PLC[6:0] と同じ場合は設定ペイ
　　ロード長に短縮され , それ以外は PLC[6:0] + 1 に短縮されます。
PLR[6:0] ≦ PLC[6:0]: 受信ペイロードデータは , メッセージバッファのデータセクションに格納されます。
　　PLC[6:0] により設定されたデータセクションの残りのデータバイトは , 未定義データで埋
　　められます。
PLR[6:0] = 0: メッセージバッファのデータセクションは未定義データで埋められます。
PLC[6:0] = 0: メッセージバッファには , データセクションが設定されていません。データはメッセージバッファのデータセクションに格納されません。
（注意事項）メッセージ RAM は 4 バイト単位で構成されます。受信データがメッセージバッファのデータセクションに格納されるとき , メッセージバッファに書き込まれた 2 バイトのデータワード数は , 次の偶数値に丸められた **PLC[6:0]** です。**PLC[6:0]** は , 受信 FIFO に属するすべてのメッセージバッファに対して同一に設定する必要があります。ヘッダ 2 はデータフレームからのみ更新されます。

11.4. リードヘッダセクション 3 (RDHS3)

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS3	R	0	0	RES	PPI	NFI	SYN	SFI	RCI	0	0	RCC5	RCC4	RCC3	RCC2	RCC1	RCC0
0x0708	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DP[10:0]　　データポインタ
　　メッセージ RAM 内のアドレス指定されたメッセージバッファのデータセクションの最初の 32 ビットへのポインタを示します。
RCC[5:0]　　受信サイクルカウント (vRF!Header!CycleCount)
　　受信データフレームから更新されるサイクルカウント値です。
RCI　　受信チャネルインジケータ (vSS!Channel)

それぞれの受信バッファを更新する受信データフレームが , どのチャネルから受け取られたかを示します。
1 = チャネル A でフレームが受信された
0 = チャネル B でフレームが受信された

SFI　スタートアップフレームインジケータ (vRF!Header!SuFIndicator)
スタートアップフレームが , スタートアップフレームインジケータによりマーク付けされます。
1 = 受信フレームがスタートアップフレームである
0 = 受信フレームがスタートアップフレームでない

SYN　同期フレームインジケータ (vRF!Header!SyFIndicator)
同期フレームが , 同期フレームインジケータによりマーク付けされます。
1 = 受信フレームが同期フレームである
0 = 受信フレームが同期フレームでない

NFI　Null フレームインジケータ (vRF!Header!NFIndicator)
最初の受信データフレームの格納後 , "1" に設定されます。
1 = 少なくとも 1 つのデータフレームが , それぞれのメッセージバッファに格納されている
0 = 今のところデータフレームが , それぞれのメッセージバッファに格納されていない

PPI　ペイロードプリアンブルインジケータ (vRF!Header!PPIndicator)
ペイロードプリアンブルインジケータは , ネットワークマネジメントベクタまたはメッセージ ID が受信フレームのペイロードセグメント内に含まれているかどうかを定義します。
1 = 静的セグメント : ネットワークマネジメントベクタがペイロードの最初の部分に含まれている
動的セグメント : メッセージ ID がペイロードの最初の部分に含まれている
0 = 受信フレームのペイロードセグメントは , ネットワークマネジメントベクタもメッセージ ID も含まない

RES　予約ビット (vRF!Header!Reserved)
受信予約ビットの状態を反映します。予約ビットは , "0" として送信されます。
ヘッダ 3 はデータフレームからのみ更新されます。

11.5. メッセージバッファステータス (MBS)

メッセージバッファステータスは , メッセージバッファに割当てられたスロットの次のスロットの終了時に , 割当てられたチャネルの最新のものに関して , CC により更新されます。フラグは , CC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ更新されます。1 つのチャネル (A または B) のみがメッセージバッファに割当てられている場合 , もう一方のチャネルのチャネル固有ステータスフラグにゼロが書き込まれます。両チャネルがメッセージバッファに割当てられている場合 , 両チャネルのチャネル固有ステータスフラグが更新されます。メッセージバッファステータスは , スロットカウンタが設定されたフレーム ID に到達したとき , またはサイクルカウンタフィルタが一致したときにのみ更新されます。ホストが入力バッファを介してメッセージバッファを更新するとき , IBCM ビットが設定されているかどうかに関係なく , すべての MBS フラグはゼロにリセットされます。送受信フィルタリングの詳細については , 「7. フィルタリングとマスキング」, 「8. 送信プロセス」, および「9. 受信プロセス」を参照してください。メッセージハンドラが フラグ **VFRA**, **VFRB**, **SEOA**, **SEOB**, **CEOA**, **CEOB**, **SVOA**, **SVOB**, **TCIA**, **TCIB**, **ESA**, **ESB**, **MLST**, **FTA**, **FTB** のうち 1 つを更新するときは常に , レジスタ MBSC1/2/3/4 内のそれぞれのメッセージバッファの **MBC** フラグが設定されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBS	R	0	0	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	0	0	CCS5	CCS4	CCS3	CCS2	CCS1	CCS0
0x070C	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	FTB	FTA	0	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VFRA　　チャネル A 上の有効フレーム受信 (vSS!ValidFrameA)
有効フレームがチャネル A 上で受信された場合に , 有効フレームインジケーションが設定されます。
1 = チャネル A で有効フレームが受信された
0 = チャネル A で有効フレームが受信されていない

VFRB　　チャネル B 上の有効フレーム受信 (vSS!ValidFrameB)
有効フレームがチャネル B 上で受信された場合に , 有効フレームインジケーションが設定されます。
1 = チャネル B で有効フレームが受信された
0 = チャネル B で有効フレームが受信されていない

SEOA　　チャネル A の構文エラー観測 (vSS!SyntaxErrorA)
チャネル A 上の割当てられたスロットで , 構文エラーが観測されたことを示します。
1 = チャネル A で構文エラーが観測された
0 = チャネル A で構文エラーが観測されていない

SEOB　　チャネル B の構文エラー観測 (vSS!SyntaxErrorB)
チャネル B 上の割当てられたスロットで , 構文エラーが観測されたことを示します。
1 = チャネル B で構文エラーが観測された
0 = チャネル B で構文エラーが観測されていない

CEOA　　チャネル A のコンテンツエラー観測 (vSS!ContentErrorA)
チャネル A 上の割当てられたスロットで , コンテンツエラーが観測されたことを示します。
1 = チャネル A でコンテンツエラーが観測された
0 = チャネル A でコンテンツエラーが観測されていない

CEOB　　チャネル B のコンテンツエラー観測 (vSS!ContentErrorB)
チャネル B 上の割当てられたスロットで , コンテンツエラーが観測されたことを示します。
1 = チャネル B でコンテンツエラーが観測された
0 = チャネル B でコンテンツエラーが観測されていない

SVOA　　チャネル A のスロット境界違反観測 (vSS!BViolationA)
チャネル A 上で , スロット境界違反 (割当てられたスロットのスタート時または終了時にチャネルがアクティブ) が観測されたことを示します。
1 = チャネル A でスロット境界違反が観測された
0 = チャネル A でスロット境界違反が観測されていない

SVOB　　チャネル B のスロット境界違反観測 (vSS!BViolationB)
チャネル B 上で , スロット境界違反 (割当てられたスロットのスタート時または終了時にチャネルがアクティブ) が観測されたことを示します。
1 = チャネル B でスロット境界違反が観測された
0 = チャネル B でスロット境界違反が観測されていない

TCIA　　チャネル A 送信競合インジケーション (vSS!TxConflictA)
送信競合がチャネル A 上で発生した場合に , 送信競合インジケーションが設定されます。
1 = チャネル A で送信競合が発生した
0 = チャネル A で送信競合が発生していない

TCIB　　チャネル B 送信競合インジケーション (vSS!TxConflictB)
送信競合がチャネル B 上で発生した場合に , 送信競合インジケーションが設定されます。
1 = チャネル B で送信競合が発生した
0 = チャネル B で送信競合が発生していない

ESA　　チャネル A 空のスロット
空のスロットでは , バス上にいかなるアクティビティも検出されません。この状態は , 静的スロットおよび動的スロットでチェックされます。
1 = チャネル A 上の割当てられたスロットで , バスアクティビティが検出されていない
0 = チャネル A 上の割当てられたスロットで , バスアクティビティが検出された

ESB　　チャネル B 空のスロット
空のスロットでは , バス上にいかなるアクティビティも検出されません。この状態は , 静的スロットおよび動的スロットでチェックされます。
1 = チャネル B 上の割当てられたスロットで , バスアクティビティが検出されていない
0 = チャネル B 上の割当てられたスロットで , バスアクティビティが検出された

MLST　　メッセージロスト
このフラグは , メッセージバッファが受信データフレームから更新される前に , ホストがメッセージを読み出さなかった場合に設定されます。受信 FIFO に属するメッセージバッファを除き , Null フレームの受信による影響はありません。OBF を介してメッセージバッファを読み出すことによりメッセージバッファ ND フラグがリセットされた後で , IBF を介したメッセージバッファへのホストの書込みにより , または新しいメッセージがメッセージバッファに格納されたときに , このフラグはリセットされます。
1 = 未処理メッセージが上書きされた
0 = メッセージロストなし

FTA　　チャネル A 上のフレーム送信
このノードが , チャネル A 上の設定スロット内のデータフレームを送信したことを示します。
1 = チャネル A でデータフレームが送信された
0 = チャネル A でデータフレームが送信されていない

FTB　　チャネル B 上のフレーム送信
このノードが , チャネル B 上の設定スロット内のデータフレームを送信したことを示します。
1 = チャネル B でデータフレームが送信された
0 = チャネル B でデータフレームが送信されていない

FlexRay プロトコル仕様では ,**FTA**, および **FTB** はホストによってのみリセットされることが要求されています。したがって , これらのビットのサイクルカウントステータス **CCS[5:0]** は , ビットが "1" に設定されているサイクルでのみ有効です。

CCS[5:0]　サイクルカウントステータス
ステータスが更新されたときの実際のサイクルカウントを示します。
次のステータスビットは , 有効なデータおよび Null フレームの両方から更新されます。有効フレームが受信されない場合は , 以前の値が維持されます。

RCIS　　受信チャネルインジケータステータス (vSS!Channel)
フレームが受信されたチャネルを示します。
1 = チャネル A でフレームが受信された
0 = チャネル B でフレームが受信された

SFIS　　スタートアップフレームインジケータステータス (vRF!Header!SuFIndicator)
スタートアップフレームが , スタートアップフレームインジケータによりマーク付けされます。
1 = 受信フレームがスタートアップフレームである
0 = スタートアップフレームが受信されていない

SYNS　　同期フレームインジケータステータス (vRF!Header!SyFIndicator)
同期フレームが , 同期フレームインジケータによりマーク付けされます。
1 = 受信フレームが同期フレームである
0 = 同期フレームが受信されていない
NFIS　　Null フレームインジケータステータス (vRF!Header!NFIndicator)
"0" に設定された場合 , 受信フレームのペイロードセグメントは使用可能なデータを含みません。
1 = 受信フレームは Null フレームでない
0 = 受信フレームは Null フレーム
PPIS　　ペイロードプリアンブルインジケータステータス (vRF!Header!PPIndicator)
ペイロードプリアンブルインジケータは , ネットワークマネジメントベクタまたはメッセージ ID が受信フレームのペイロードセグメント内に含まれているかどうかを定義します。
1 = 静的セグメント : ネットワークマネジメントベクタがペイロードの始めに含まれている
動的セグメント : メッセージ ID がペイロードの始めに含まれている
0 = 受信フレームのペイロードセグメントは , ネットワークマネジメントベクタもメッセージ ID も含まない
RESS　　予約ビットステータス (vRF!Header!Reserved)
受信予約ビットの状態を反映します。予約ビットは , "0" として送信されます。

11.6. 出力バッファコマンドマスク (OBCM)

レジスタ OBCR により選択されたメッセージ RAM 内のメッセージバッファから出力バッファを更新する方法を設定します。OBF ホストと OBF シャドウが交換されるとき , それぞれの出力バッファ転送に添付されたままにするため , マスクビット **RDSH** および **RHSH** もビット **RDSS** および **RHSS** に交換されます。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBCM	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDSH	RHSH
0x0710	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDSS	RHSS
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RHSS　　ヘッダセクションシャドウの読出し
1 = ヘッダセクションがメッセージ RAM から出力バッファへの転送用に選択される
0 = ヘッダセクションは読み出されない
RDSS　　データセクションシャドウの読出し
1 = データセクションがメッセージ RAM から出力バッファへの転送用に選択される
0 = データセクションは読み出されない
RHSH　　ヘッダセクションホストの読出し
1 = ヘッダセクションがメッセージ RAM から出力バッファへの転送用に選択される
0 = ヘッダセクションは読み出されない
RDSH　　データセクションホストの読出し
1 = データセクションがメッセージ RAM から出力バッファへの転送用に選択される
0 = データセクションは読み出されない
（注意事項）メッセージ RAM から OBF シャドウへのヘッダセクションの転送が完了すると , MBSC1/2/3/4 レジスタ内の選択したメッセージバッファのメッセージバッファステータス変更フラグ **MBC** がクリアされます。メッセージ RAM から OBF シャドウへのデータセクションの転送が完了すると , NDAT1/2/3/4 レジスタ内の選択したメッセージバッファの新規データフラグ **ND** がクリアされます。

11.7. 出力バッファコマンド要求 (OBCR)

OBRS[6:0] により選択されたメッセージバッファは , ホストが **REQ** を "1" に設定すると直ちに , メッセージ RAM から出力バッファに転送されます。ビット **REQ** は , **OBSYS** が "0" の間にのみ "1" に設定できます (「11.2.2. メッセージ RAM から出力バッファへのデータ転送」も参照)。

REQ が "1" に設定された後 , **OBSYS** は自動的に "1" に設定され , **OBRS[6:0]** により選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送がスタートされます。メッセージ RAM と OBF シャドウ 間の転送が完了した後 , これは ,

OBSYS が "0" に戻されることによって通知されます。**OBSYS** が "0" の間に **VIEW** ビットを "1" に設定することにより , OBF ホストと OBF シャドウが交換されます。その後 , ホストは , 転送されたメッセージバッファを OBF ホストから読み出すことができるようになります。並行して , **VIEW** と **REQ** が同時に設定される場合 , メッセージハンドラはメッセージ RAM から OBF シャドウに次のメッセージを転送できます。

OBSYS が設定される間に出力バッファレジスタへのライトアクセスが発生すると , エラーフラグ **EIR.IOBA** が設定されます。この場合 , 出力バッファは変更されません。

bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBCR	R	0	0	0	0	0	0	0	0	0	OBRH6	OBRH5	OBRH4	OBRH3	OBRH2	OBRH1	OBRH0
0x0714	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	OBSYS	0	0	0	0	0	REQ	VIEW	0	OBRS6	OBRS5	OBRS4	OBRS3	OBRS2	OBRS1	OBRS0
	W																
リセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OBRS[6:0] 出力バッファ要求シャドウ

メッセージ RAM から OBF シャドウに転送されるソースメッセージバッファの数を示します。有効な値は , 0x00 ～ 0x7F (0 ～ 127) です。受信 FIFO の最初のメッセージバッファの数がこのレジスタに書き込まれた場合 , メッセージハンドラは , GET Index (GIDX,「10.FIFO 機能」を参照) によってアドレス指定されたメッセージバッファを OBF シャドウへ転送します。

VIEW シャドウバッファ表示

OBF シャドウと OBF ホストを切り換えます。OBSYS = "0" の間にのみ書込み可能です。

1 =OBF シャドウと OBF ホストを交換

0 = 処理なし

REQ メッセージ RAM 転送要求

OBRS[6:0] によってアドレス指定されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送を要求します。OBSYS = "0" の間にのみ書込み可能です。

1 =OBF シャドウへの転送が要求された

0 = 要求なし

OBSYS 出力バッファビジーシャドウ

ビット REQ が設定された後に "1" に設定されます。メッセージ RAM と OBF シャドウ間の転送が完了した後 , OBSYS が "0" に戻されます。

1 = メッセージ RAM と OBF シャドウと間の転送中

0 = 進行中の転送なし

OBRH[6:0] 出力バッファ要求ホスト

RDHS[1:3], MBS, および RDDS[1:64] を介してホストが現在アクセス可能なメッセージバッファの数を示します。VIEW に "1" を書き込むことにより , OBF シャドウと OBF ホストが交換され , ホストが転送されたメッセージバッファにアクセス可能になります。有効な値は , 0x00 ～ 0x7F (0 ～ 127) です。

■ 機能説明

本章では , E-Ray の実装および関連する FlexRay のプロトコル機能について説明します。FlexRay プロトコルの詳細については , FlexRay プロトコル仕様書 v2.1 を参照してください。

FlexRay ネットワークでの通信は , フレームとシンボルに基づいています。ウェイクアップシンボル (WUS) および衝突回避シンボル (CAS) は , タイムスケジュールを設定するために通信サイクルの外部で送信されます。フレームとメディアアクセステストシンボル (MTS) は , 通信サイクルの内部で送信されます。

1.通信サイクル

FlexRay 通信サイクルは , 以下の要素から構成されます。

・静的セグメント

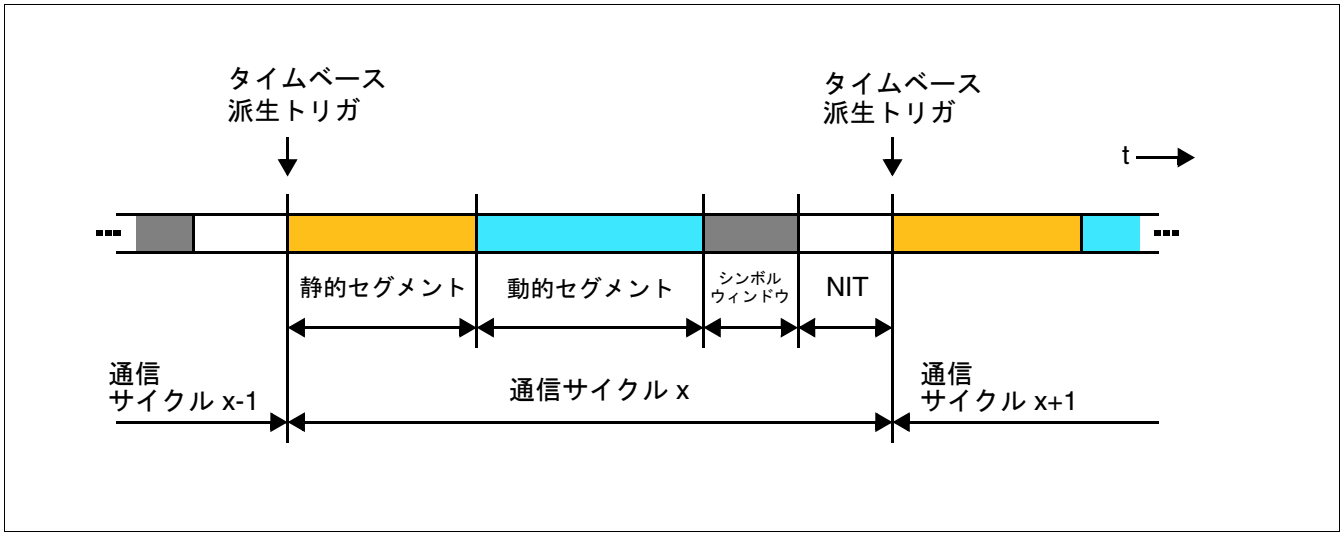
・動的セグメント (オプション)

・シンボルウィンドウ (オプション)

・ネットワークアイドル時間 (NIT)

ネットワーク通信時間 (NCT) は , 静的セグメント , 動的セグメント , およびシンボルウィンドウで構成されます。通信チャネルごとに , スロットカウンタが 1 からスタートし , 動的セグメントの終わりに達するまでカウントアップします。両チャネルは , 同じアービトレーショングリッドを共有します。これは , 同じ同期マクロティックを使用していることを意味します。

通信サイクルの構造



1.1. 静的セグメント

静的セグメントは , 以下の機能を特徴とします。

・固定長の時間スロット (バスガーディアンによりオプションで保護される)

・各静的スロットのアクションポイントでのフレーム送信のスタート

・両チャネルのすべてのフレームで同じペイロード長

パラメータ： 静的スロット数 **GTUC7.NSS[9:0]**,
静的スロット長 **GTUC7.SSL[9:0]**,
静的ペイロード長 **MHDC.SFDL[6:0]**,
アクションポイントオフセット **GTUC9.APO[5:0]**

1.2. 動的セグメント

動的セグメントは , 以下の機能を特徴とします。

・すべてのコントローラにバスアクセスがある (バスガーディアン保護不可)

・スロットのペイロード長と継続期間は可変で , 両チャネルで異なる

・ミニスロットアクションポイントで送信のスタート

パラメータ： ミニスロット数 **GTUC8.NMS[12:0]**,
ミニスロット長 **GTUC8.MSL[5:0]**,
ミニスロットアクションポイントオフセット **GTUC9.MAPO[4:0]**
最新送信のスタート (最終ミニスロット) **MHDC.SLT[12:0]**

1.3. シンボルウィンドウ

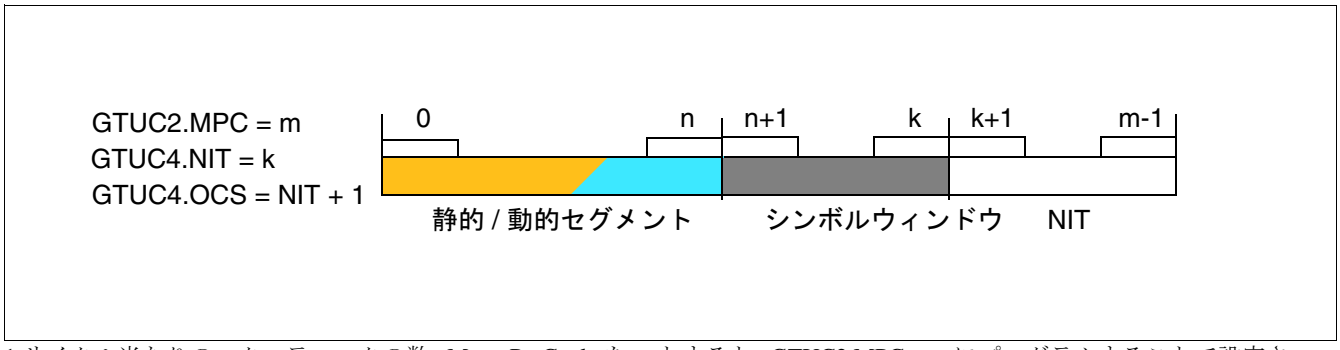
シンボルウィンドウの間 , 1 チャネルにつき 1 つのメディアアクセステストシンボル (MTS) のみが送信されます。MTS シンボルは , バスガーディアンをテストするために , NORMAL_ACTIVE 状態で送信されます。
シンボルウィンドウは , 以下の機能を特徴とします。
・シングルシンボルを送信する
・MTS シンボルの送信は , シンボルウィンドウアクションポイントでスタートする
パラメータ : シンボルウィンドウアクションポイントオフセット **GTUC9.APO[4:0]** (静的スロットと同じ)
ネットワークアイドル時間スタート GTUC4.NIT[13:0]

1.4. ネットワークアイドル時間 (NIT)

ネットワークアイドル時間の間 , CC は以下のタスクを実行する必要があります。
・クロック補正時間 (オフセットおよびレート) を計算する
・オフセット補正スタートの後 , 複数のマクロティックにオフセット補正を分配する
・クラスタサイクル関連のタスクを実行する
パラメータ : ネットワークアイドル時間スタート **GTUC4.NIT[13:0]**,
オフセット補正スタート GTUC4.OCS[13:0]

1.5. NIT スタートおよびオフセット補正スタートの設定

NIT スタートおよびオフセット補正スタートの設定



1 サイクル当たりのマクロティックの数 gMacroPerCycle を m とすると , GTUC2.MPC = m にプログラムすることで設定されます。
静的 / 動的セグメントは , マクロティック 0 でスタートし , マクロティック n で終了します。
n = 静的セグメント長 + 動的セグメントオフセット + 動的セグメント長 - 1MT
n = gNumberOfStaticSlots • gdStaticSlot + 動的セグメントオフセット +
gNumberOfMinislots • gdMinislot - 1 MT

静的セグメント長は , **GTUC7.SSL** と **GTUC7.NSS** により設定されます。
動的セグメント長は , **GTUC8.MSL** と **GTUC8.NMS** により設定されます。

動的セグメントオフセットは , 以下のように求められます。
gdActionPointOffset ≦ gdMinislotActionPointOffset の場合 :
動的セグメントオフセット = 0 MT
gdActionPointOffset ≧ gdMinislotActionPointOffset の場合 :
動的セグメントオフセット = gdActionPointOffset - gdMinislotActionPointOffset

NIT がマクロティック k+1 でスタートし , サイクル m-1 の最終マクロティックで終了するには , **GTUC4.NIT** = k と設定します。

E-Ray の場合 , オフセット補正スタートは , **GTUC4.OCS ≧ GTUC4.NIT** + 1 = k+1 とする必要があります。

シンボルウィンドウの長さは , 静的 / 動的セグメントの終わりと NIT の始めの間のマクロティック数から得られます。k - n により計算されます。

2.通信モード

FlexRay プロトコル仕様書 v2.1 では , タイムトリガ分散 (TT-D) モードが定義されています。

2.1. タイムトリガ分散 (TT-D)

TT-D モードでは , 以下の設定が可能です。

・**純粋な静的** : 最小 2 静的スロット + シンボルウィンドウ (オプション)

・**混合の静的 / 動的** : 最小 2 静的スロット + 動的セグメント + シンボルウィンドウ (オプション)

分散タイムトリガ動作には , 最小で 2 つのコールドスタートノードを設定する必要があります。クラスタスタートアップには , 2 つの障害のないコールドスタートノードが必要です。各スタートアップフレームは同期フレームでなければならず , 従ってすべてのコールドスタートノードは同期ノードになります。

3.クロック同期

TT-D モードでは , 分散クロック同期が使用されます。各ノードは , 他のノードから受信した同期フレームのタイミングを観測することにより , 自身をクラスタに個別に同期します。

3.1. グローバル時間

それぞれのノードが固有の表示を保持していますが , 通信を含め FlexRay ノード内のアクティビティはグローバル時間の概念に基づいています。これは , 独自のクロック機構で FlexRay クラスタを他のノード集合と区別するクロック同期機構です。グローバル時間は , 2 つの値のベクタ , つまりサイクル (サイクルカウンタ) およびサイクル時間 (マクロティックカウンタ) です。

クラスタ固有 :

・マクロティック (MT) = FlexRay ネットワークの時間測定の基本単位。マクロティックはマイクロティック (μT) の整数から成る

・サイクル長 , = マクロティック (MT) 単位の通信サイクルの継続時間

3.2. ローカル時間

ノードは , 内部で , マイクロティックの精度で自身の動作の時間を調整します。マイクロティックは , 特定のノードの発信クロック単位から得られる時間の単位です。したがって , マイクロティックは , コントローラ固有の単位になります。異なるコントローラでは異なる期間になります。ノードのローカル時間の差異測定の精度は , マイクロティック単位 (μT) です。

ノード固有 :

・発振クロック -> プリスケーラ -> マイクロティック (μT)

・mT = CC の時間測定の基本単位。クロック補正は mTs 単位で行なわれる

・サイクルカウンタ + マクロティックカウンタ = ノードのグローバル時間のローカル表示

3.3. 同期処理

クロック同期は , 同期フレームを使用して実行されます。事前設定されたノード (同期ノード) のみが同期フレームを送信できます。2 チャネルクラスタでは , 同期ノードが , 両チャネルにその同期フレームを送信する必要があります。

FlexRay での同期では , 以下の制約を考慮に入れる必要があります。

・1 つの通信サイクルで , 1 ノード当たりの同期フレームの最大数は 1

・1 つの通信サイクルで , 1 クラスタ当たりの同期フレームの最大数は 15

・すべてのノードは , クロック同期用の事前設定された同期フレーム数 (GTUC2.SNM[3:0]) を使用する必要がある

・クロック同期およびスタートアップに , 最低 2 つの同期ノードが必要

クロック同期のために , 静的セグメントの間に受信された同期フレームの期待された到着時間と観測された到着時間との時差が測定されます。2 チャネルクラスタでは , 同期ノードは , 両チャネルに同期フレームを送信するように設定される必要があります。補正時間の計算は , FTM アルゴリズムを使用して , NIT (オフセット : すべてのサイクル , レート : すべての奇数サイクル) の間に行なわれます。詳細は , FlexRay プロトコル仕様書 v2.1 を参照してください。

3.3.1. オフセット (フェーズ) 補正

・現在の使用されているサイクルで偏差値のみが測定され格納される
・2 チャネルノードの場合 , 小さい方の値が採られる
・すべての通信サイクルの NIT の間に計算される
・偶数サイクルから計算されるオフセット補正値は , エラーチェックにのみ使用される
・制限値と照合される
・補正値は , mTs の符号付き整数値
・補正は奇数サイクルで行なわれ , ノードを次のサイクルのスタートにシフトするために , オフセット補正のスタートの始めからサイクルの終わり (NIT の終わり) まで , マクロティックに分配される (延長 / 短縮された MT)

3.3.2. レート (周波数) 補正

・使用される偶数 / 奇数サイクルのペアで , 偏差値のペアが測定され格納される
・2 チャネルノードの場合 , 2 つのチャネルの差異の平均が使用される
・奇数サイクルの NIT の間に計算される
・クラスタドリフトダンピングは , グローバルダンピング値を使用して実行される
・制限値と照合される
・補正値は , mTs の符号付き整数値
・次の偶数 / 奇数のサイクルペアを構成するマクロティックに分配される (延長 / 短縮された MT)

3.3.3. 同期フレーム送信

同期フレーム送信は , バッファ 0 および 1 からのみ可能です。メッセージバッファ 1 は , 同期フレームに 2 つのチャネル上で異なるペイロードがある場合に , 同期フレーム送信に使用されます。この場合 , ビット **MRC.SPLM** は "1" に設定する必要があります。

同期フレーム送信に使用されるメッセージバッファは , キースロット ID で設定する必要があります。また , DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定 (再設定) できます。同期フレームを送信するノードの場合 , **SUCC1.TXSY** を "1" に設定してください。

3.4. 外部クロック同期

通常動作の間 , 独立クラスタは大幅にドリフトする可能性があります。独立クラスタ全体で同期動作を行なう場合は , 外部同期が必要になります。各クラスタ内のノードであっても同期します。これは , ホストが推定したレート補正時間およびオフセット補正時間をクラスタに同時に適用することによって実現します。

・外部オフセット / レート補正値は , 符号付き整数
・外部オフセット / レート補正値は , 計算された外部オフセット / レート補正値に加えられる
・オフセット / レート補正時間 (外部 + 内部) の合計は , 設定された制限値と照合されない

4. エラー処理

実装されたエラー処理の概念は , あるシングルノードで下位層プロトコルにエラーが発生した場合に , 影響を受けないノード間の通信を維持できるようにするためのものです。場合によっては , CC が通常動作を再開するために高位層のプログラムアクティビティが必要になります。エラー処理状態の変更は , **EIR.PEMC** を設定します。有効な場合は , ホストへの割込みをトリガすることがあります。実際のエラーモードは , **CCEV.ERRM[1:0]** により通知されます。

POC のエラーモード (デグレーション モデル)

エラーモード	動作
ACTIVE (グリーン)	**フルオペレーション** , ステート :NORMAL_ACTIVE この CC は完全に同期され , クラスタワイドなクロック同期をサポートしています。割込み （有効な場合）, またはレジスタ EIR と SIR からエラーやステータス割込みフラグを読み込むことで , 変化したエラー状況やステータスは , すべてホストに報告されます。
PASSIVE (黄色)	**縮小オペレーション** , ステート :NORMAL_PASSIVE, CC セルフレスキュが有効 この CC は , フレームやシンボルの送信は停止しますが , フレームの受信はまだ処理します。クロック同期メカニズムは , 受信したフレームを元に続けられます。クラスタワイドクロック同期に関する動作はありません。割込み （有効な場合）, またはレジスタ EIR と SIR からエラーやステータス割込みフラグを読み込むことで , 変化したエラー状況やステータスは , すべてホストに報告されます。
COMM_HALT (赤)	**オペレーション中断** , ステート :HALT, CC セルフレスキュは無効 この CC は , フレームやシンボルの処理を停止し , クロック同期とマクロティック生成を実行します。ホストはレジスタ EIR と SIR からエラーやステータス割込みフラグを読み込むことで , まだエラーやスタータス情報にアクセスできます。バスドライバは無効です。

4.1. クロック補正失敗カウンタ

クロック補正失敗カウンタが , **SUCC3.WCP[3:0]** で定義された「クロック補正パッシブなしで最大」値に達すると , POC の状態は NORMAL_ACTIVE から NORMAL_PASSIVE に遷移します。クロック補正失敗カウンタが , **SUCC3.WCF[3:0]** で定義された「クロック補正フェータルなしで最大」値に達すると , 状態は NORMAL_ACTIVE または NORMAL_PASSIVE から HALT に遷移します。

クロック補正失敗カウンタ **CCEV.CCFC[3:0]** によって , ホストはクロック補正項目を計算するための , CC がプロトコルのスタートアップフェーズを通過した後の , ノードの無効時間をモニタできます。この値は , 失われたオフセット補正フラグ **SFS.MOCS** または失われたレート補正フラグ **SFS.MRCS** が設定される奇数の通信サイクルの末尾で 1 ずつインクリメントされます。

失われたオフセット補正フラグ **SFS.MOCS** も , 失われたレート補正フラグ **SFS.MRCS** も設定されていなければ , 奇数の通信サイクルの末尾で , クロック補正失敗カウンタはゼロにリセットされます。

クロック補正失敗カウンタは , 「クロック補正フェータルなしで最大」値 **SUCC3.WCP[3:0]** に達すると , インクリメントを中止します (つまりカウンタのインクリメントは最大値まで達すると 0 には戻らない)。CC の状態が READY になるか NORMAL_ACTIVE 状態になると , クロック補正失敗カウンタはゼロに初期化されます。

4.2. パッシブトゥアクティブカウンタ

パッシブトゥアクティブカウンタは , POC の状態 NORMAL_PASSIVE から NORMAL_ACTIVE への変更を制御します。CC の状態が NORMAL_PASSIVE から NORMAL_ACTIVE へ遷移する前に , 有効なクロック補正項目を含んでいる連続した偶数 / 奇数サイクルのペアを , **SUCC1.PTA[4:0]** は多数定義します。**SUCC1.PTA[4:0]** がゼロにセットされている場合 , CC は NORMAL_PASSIVE から NORMAL_ACTIVE へ遷移できません。

4.3. HALT コマンド

ホストが がローカルノードの FlexRay 通信を停止したい場合は , HALT コマンドをアサートして , CC を HALT 状態にします。これは SUCC1.CMD[3:0] = 0110 と書き込むことで実現します。FlexRay ネットワーク全体の通信をシャットダウンするには , すべてのノードが確実に HALT コマンドを同時に適用させるため , 上位層のプロトコルが必要です。

POC の状態が HALT へ遷移した場合は , **CCSV.PSL[5:0]** から読み取ることができます。

NORMAL_ACTIVE または NORMAL_PASSIVE ステートのときに呼び出されると , カレントサイクルの末尾で , POC は HALT 状態へ遷移します。その他の状態のときに呼び出されると , **SUCC1.CMD[3:0]** は "0000" = command_not_accepted にリセットされ , **EIR.CNA** は "1" にセットされます。許可されていれば ホストへの割込みが発生します。

4.4. FREEZE コマンド

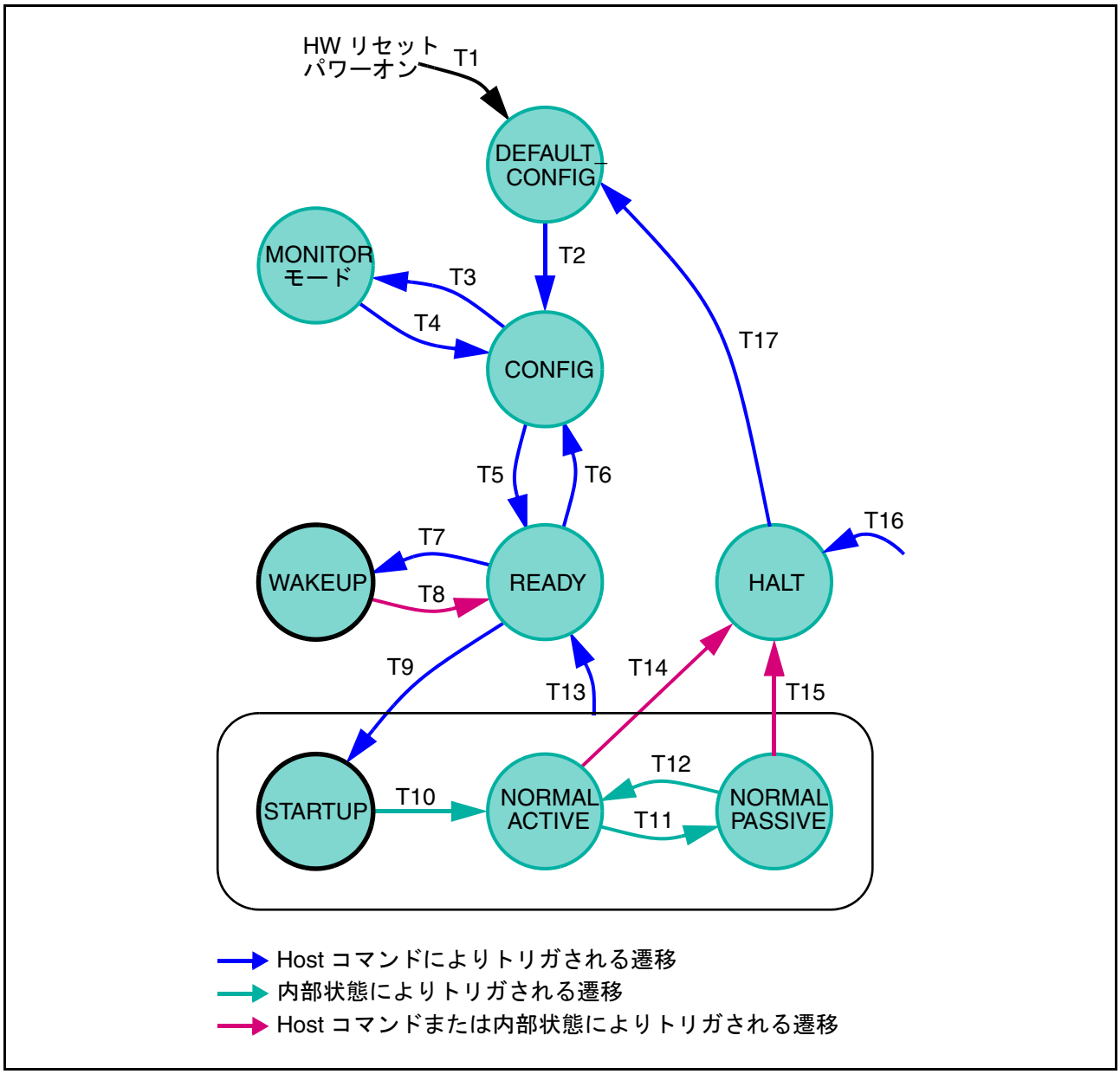
ホストが重大なエラー状態を検出すると , FREEZE コマンドをアサートして , CC を HALT 状態にします。これは **SUCC1.CMD[3:0]** = 0111 と書き込むことで実現します。FREEZE コマンドは , 実際の POC の状態に関係なく , 即座に HALT 状態への遷移をトリガします。

POC の状態が HALT へ遷移した場合は , **CCSV.PSL[5:0]** から読み取ることができます。

5.通信コントローラーのステータス

5.1. 通信コントローラーのステータスの概略図

E-Ray 通信コントローラーの全ステータス概略図



状態遷移は外部端子 **eray_reset** および **eray_rxd1**, **2**, POC ステートマシン , CHI コマンドベクタ **SUCC1.CMD[3:0]** によって制御されます。
FREEZE コマンド (**SUCC1.CMD[3:0]** = 0111) が発行されると , CC はどんな状態からでも HALT へ抜けます。

E-Ray ステートマシン全体の状態遷移

T#	条件	状態遷移前	状態遷移後
1	ハードウェアリセット	全ステート	DEFAULT_CONFIG
2	コマンド CONFIG, **SUCC1.CMD[3:0]** = 0001	DEFAULT_CONFIG	CONFIG
3	アンロックシーケンスの後にコマンド MONITOR_MODE, **SUCC1.CMD[3:0]** = 1011	CONFIG	MONITOR_MODE
4	コマンド CONFIG, **SUCC1.CMD[3:0]** = 0001	MONITOR_MODE	CONFIG
5	アンロックシーケンスの後にコマンド READY, **SUCC1.CMD[3:0]** = 0010	CONFIG	READY
6	コマンド CONFIG, **SUCC1.CMD[3:0]** = 0001	READY	CONFIG
7	コマンド WAKEUP, **SUCC1.CMD[3:0]** = 0011	READY	WAKEUP
8	ウェイクアップパターンの非中断送信完了時 , または受信した WUP, または受信したフレームヘッダ , またはウェイクアップ衝突 , またはコマンド READY, **SUCC1.CMD[3:0]** = 0010	WAKEUP	READY
9	コマンド RUN, **SUCC1.CMD[3:0]** = 0100	READY	STARTUP
10	正常なスタートアップ	STARTUP	NORMAL_ACTIVE
11	クロック補正失敗カウンタが **SUCC3.WCP[3:0]** で設定したクロック補正パッシブなしの最大値に達した。	NORMAL_ACTIVE	NORMAL_PASSIVE
12	有効な修正項目数が **SUCC1.PTA[4:0]** で設定したパッシブトゥアクティブ値に達した。	NORMAL_PASSIVE	NORMAL_ACTIVE
13	コマンド READY, **SUCC1.CMD[3:0]** = 0010	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
14	クロック補正失敗カウンタが **SUCC3.WCP[3:0]**, およびビット **SUCC1.HCSE** を "1" に設定 , またはコマンド HALT, **SUCC1.CMD[3:0]** = 0110 で設定したクロック補正フェータルなしの最大値に達した。	NORMAL_ACTIVE	HALT
15	クロック補正失敗カウンタが **SUCC3.WCP[3:0]**, およびビット **SUCC1.HCSE** を "1" に設定 , またはコマンド HALT, **SUCC1.CMD[3:0]** = 0110 で設定したクロック補正フェータルなしの最大値に達した。	NORMAL_PASSIVE	HALT
16	コマンド FREEZE, **SUCC1.CMD[3:0]** = 0111	全ステート	HALT
17	コマンド CONFIG, **SUCC1.CMD[3:0]** = 0001	HALT	DEFAULT_CONFIG

5.2. DEFAULT_CONFIG ステート

DEFAULT_CONFIG ステートでは , CC は停止しています。設定レジスタはすべてアクセス可能で , 物理層への端子は非アクティブ状態です。

次の場合 CC はこのステートに入ります。
・ハードウェアリセットを抜けたとき (外部リセット信号 **eray_reset** が非アクティブ化されます。)
・HALT ステートから抜けたとき。

ステート DEFAULT_CONFIG から抜けるには , ホストに **SUCC1.CMD[3:0]** = 0001 と書き込みます。これで CC が CONFIG ステートに入ります。

5.3. CONFIG ステート

CONFIG ステートでは , CC は停止しています。設定レジスタはすべてアクセス可能で , 物理層への端子は非アクティブ状態です。このステートは CC 構成の初期化に使用します。

次の場合 CC はこのステートに入ります。
・DEFAULT_CONFIG ステートから抜けたとき。
・MONITOR_MODE または READY ステートから抜けたとき。

HALT または DEFAULT_CONFIG ステートを介してこのステートに入った場合は , Host ステータス情報と構成を分析することができます。CONFIG ステートを抜ける前に , ホストは構成にエラーがないことを確認しなければなりません。

CONFIG ステートを抜けるには , ホストは 3.3. ロックレジスタ (LCK) に説明されているアンロックシーケンスを実行しなければなりません。CONFIG ステートをアンロックした直後 , ホストは次のステートに入るために , SUCC1.CMD[3:0] を書き込む必要があります。

CC が CONFIG ステートから抜けると , 内部カウンタと CC ステータスフラグがリセットされます。
（注意事項） ステータスビット MHDS[14:0], レジスタ TXRQ1/2/3/4, およびメッセージ RAM に保存されたステータスデータ
は , CONFIG から READY ステートへの POC 遷移の影響を受けません。

CC が CONFIG ステートのときは , モジュール クロックを停止して (**eray_sclk, eray_bclk**), CC をパワーセービングモードにすることもできます。これを実行するには , クロックを停止する前にすべての メッセージ RAM の転送が終了していることを ホストは確認しなければなりません。

5.4. MONITOR_MODE

CONFIG ステートをアンロックして **SUCC1.CMD[3:0]** = 1011 を書き込むと , CC は MONITOR_MODE に入ります。このモードでは , CC は FlexRay フレームを受信することができます。受信したフレームの一時的整合性はチェックされません。したがって , サイクルカウンタのフィルタリングはサポートされません。このモードは FlexRay ネットワークの起動が失敗したなどの場合に , デバッグに使用できます。**SUCC1.CMD[3:0]** = 0001 を書き込むと , CC は CONFIG ステートに戻ります。

MONITOR_MODE では , 最初の有効メカニズムの選択は無効にされています。これは , 受信メッセージバッファが 1 チャネルしか受信できない構成になることを意味します。受信したフレームはフレーム ID と受信チャネルに応じて , メッセージバッファに保存されます。Null フレームはデータフレームと同じように扱われます。フレームの受信後は , ステータスビット **MBS.VFRA, MBS.VFRB, MBS.MLST, MBS.RCIS, MBS.SFIS, MBS.SYNS, MBS.NFIS, MBS.PPIS, MBS.RESS** のみが有効な値を持ちます。MONITOR_MODE では , 受信 FIFO は無効です。

5.5. READY ステート

CONFIG ステートをアンロックして **SUCC1.CMD[3:0]** = 0010 を書き込むと , CC は READY ステートに入ります。このステートから , CC は WAKEUP ステートへ遷移してクラスタウェイクアップを実行するか , STARTUP ステートに遷移してコールドスタートを実行するか , ランニングクラスタに統合することができます。

次の場合 CC はこのステートに入ります。
・**SUCC1.CMD[3:0]** = 0010 (READY コマンド) を書き込み , CONFIG, WAKEUP, STARTUP, NORMAL_ACTIVE, または NORMAL_PASSIVE ステートから抜けたとき。

次の場合 CC はこのステートから抜けます。
・**SUCC1.CMD[3:0]** = 0001 (CONFIG コマンド) を書き込むと , CONFIG ステートへ。
・**SUCC1.CMD[3:0]** = 0011 (WAKEUP コマンド) を書き込むと , WAKEUP ステートへ。
・**SUCC1.CMD[3:0]** = 0100 (RUN コマンド) を書き込むと , STARTUP ステートへ。

CC が STARTUP ステートに入ると , 内部カウンタと CC ステータスフラグがリセットされます。
（注意事項）ステータスビット MHDS[14:0], レジスタ TXRQ1/2/3/4, およびメッセージ RAM に保存されたステータスデータ
は , READY から STARTUP ステートへの POC 遷移の影響を受けません。

5.6. WAKEUP ステート

以下の説明は , E-Ray IP- モジュールのウェイクアップ構成を前提としています。詳しいウェイクアップ手順の説明と , それぞれの SDL 概略図は FlexRay プロトコル仕様 v2.1, セクション 7.1 にあります。

次の場合 CC はこのステートに入ります。
・SUCC1.CMD[3:0] = 0011 (WAKEUP コマンド) を書き込んで , READY ステートから抜けたとき。

次の場合 CC はこのステートから READY ステートへ抜けます。
・ウェイクアップパターンの非中断転送が完了後。
・WUP 受信後。
・WUP 衝突検出後
・フレームヘッダの受信後。
・**SUCC1.CMD[3:0]** = 0010 (READY コマンド) を書き込むこと。

クラスタ内のすべてのノードが立ち上がっていることを確認するために , クラスタウェイクアップは通信のスタートアップを実行する必要があります。クラスタウェイクアップの最低要求として , すべてのバスドライバに電力が供給されていなければなりません。バスドライバは , そのチャネルでウェイクアップパターンを受信すると , ノードの別のコンポーネントをウェイクアップさせることができます。少なくともクラスタの 1 つのノードに 外部ウェイクアップソースが必要です。

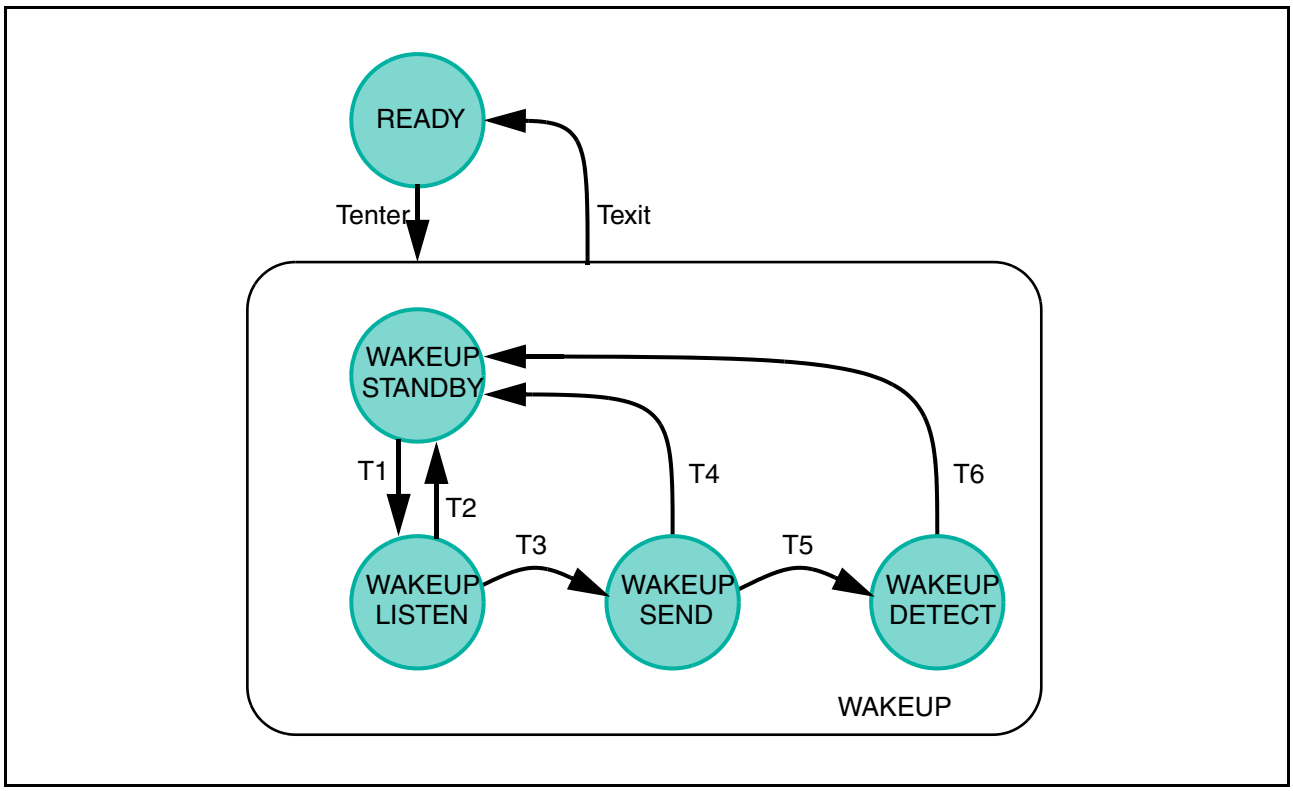
ホストがウェイクアップ手順を完全に制御します。クラスタウェイクアップを実行するために , バスドライバと CC によってクラスタのステート情報が伝えられ , (可能であれば) バスガーディアンと CC が構築されます。CC は , 有効なチャネルそれぞれに特別なウェイクアップパターンを送信する能力を , ホストに提供します。CC は WAKEUP ステートの場合のみ , ウェイクアップパターンを認識する必要があります。

ウェイクアップは 1 度に 1 つのチャネルでしか実行できません。ホストは SUCC1.WUCS を書き込んで CC が CONFIG ステートにいる間に , ウェイクアップチャネルを構成しなくてはなりません。CC はこのチャネルで行なわれる通信が妨害されないよう確認します。ノードはスタートアップフェーズまでフィードバックができないため , 構成されたチャネルに接続されているすべてのノードが , ウェイクアップパターン送信時に立ち上がっているかどうか CC は保証できません。ウェイクアップ手順によって , 接続されているシングルチャネルにウェイクアップパターンを送信するだけで , シングルチャネルデバイスが 2 チャネルシステムで有効になり , ウェイクアップをトリガできるようになります。システムのスタートアップが必要とされるコールドスタートノードは , 通信スタートアップを初期化する前に , 残りのチャネルを有効にします。

1 つのノードしかパターンを送信しないような状況を解決するために , ウェイクアップ手順は 1 つのチャネルをいくつものノードが同時にウェイクアップしようとすることを許します。さらに , ウェイクアップパターンは衝突を許容するため , 2 つのノードが同時にウェイクアップパターンを送信する障害が発生しても , 衝突したシグナルはもう一方のノードを結果的にウェイクアップすることができます。

ウェイクアップ後 , CC は READY ステートに戻り , **SIR.WST** フラグをセットして , ウェイクアップステータスの変更をホストに通知します。ウェイクアップステータスのベクタは **CCSV.WSV[2:0]** で読み取ることができます。有効なウェイクアップパターンが受信されると , **SIR.WUPA** フラグまたは **SIR.WUPB** フラグのどちらかが設定されます。

POC ステート WAKEUP の構成



状態遷移 WAKEUP

T#	条件	状態遷移前	状態遷移後
enter	ホストコマンドが SUCC1.CMD[3:0] = 0011(WAKEUP コマンド) を書き込んで WAKEUP ステートへ変更します。	READY	WAKEUP
1	CHI の WAKEUP コマンドがウェイクアップ FSM をトリガし , WAKEUP_LISTEN ステートへ遷移します。	WAKEUP_STANDBY	WAKEUP_LISTEN
2	**SUCC1.WUCS** ビットで選択されたウェイクアップチャネル で WUP を受信した場合 , または有効なチャネルのどちらかでフレームヘッダを受信した場合	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップパターンの非中断転送が完了	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突を検出した場合	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップタイマーのタイムアウト , または **SUCC1.WUCS** ビットで選択されたウェイクアップチャネル で WUP を検出した場合 , または有効なチャネルのどちらかでフレームヘッダを受信した場合	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップが (T2 または T4 または T6 の後) 完了するか , ホストコマンドが SUCC1.CMD[3:0] = 0010 (READY コマンド) を書き込んで READY ステートへ変更します。また , このコマンドはウェイクアップ FSM を WAKEUP_STANDBY ステートへリセットします。	WAKEUP	READY

WAKEUP_LISTEN ステートはウェイクアップタイマとウェイクアップノイズタイマによって制御されます。2 つのタイマはパラメータ , リッスンタイムアウト **SUCC2.LT[20:0]** とリッスンタイムアウトノイズ **SUCC2.LTN[3:0]** で制御されます。リッスンタイムアウトにより , ノイズがまったくない環境ではクラスタのウェイクアップが速くなり , リッスンタイムアウトノイズは , ノイズ障害のためにウェイクアップが難しい条件下でもウェイクアップできます。

WAKEUP_SEND ステートでは , CC は構成したチャネルにウェイクアップパターンを送信し , 衝突を確認します。ウェイクアップからリターンした後 , ホストは CHI の RUN コマンドで , CC を STARTUP ステートにしなければなりません。

WAKEUP_DETECT ステートでは , CC は WAKEUP_SEND ステートで検出されたウェイクアップの衝突の原因を識別しようとします。このモニタリングは **SUCC2.LT[20:0]** で設定されたリッスンタイムアウトで時間切れとなります。別ノードがウェイクアップを試みたことを示すウェイクアップパターンの検出 , あるいは , 通信の継続を示すフレームヘッダの受信によって , 直接 READY ステートへ遷移します。さもなければ , リッスンタイムアウトが過ぎた後も WAKEUP_DETECT が残ります。この場合 , ウェイクアップの衝突の原因は不明となります。

ホストは起こりうるウェイクアップの失敗を認識しておき , それに合わせて対応する必要があります。ウェイクアップを引き起こしたノードのスタートアップの試行を遅らせることをお勧めします。このとき遅らせる時間は , 別のコールドスタートノードを立ち上げ , 構築するのに必要な最短時間とします。

FlexRay Protocol Specification v2.1 では , 異なる 2 つの CC は 2 つのチャネルで立ち上げることを推奨しています。

5.6.1. ホストの動作

ホストは , 2 つのチャネルのウェイクアップを調整し , 特定のチャネルをウェイクするかどうか決めなければなりません。ウェイクアップパターンの送信は , ホストが開始します。ウェイクアップパターンはリモート BD によって検出され , ローカル ホストに通知されます。

ホストが制御するウェイクアップ手順 (シングルチャネルウェイクアップ)。

- CONFIG ステートで CC を構築します。
- **SUCC1.WUCS** ビットをプログラムすることでウェイクアップチャネルを選択します。
- WUP が受信されているかローカル BD を確認します。
- 選択されたウェイクアップチャネルの BD を起動します。
- CC に READY ステートに入るよう命令します。
- **SUCC1.CMD[3:0]** = 0011 を書き込み , 設定したチャネルでウェイクアップをスタートするよう CC に命令します。
- CC が WAKEUP に入ります。
- CC は READY ステートに戻り , ウェイクアップ試行のステータスをホストに通知します。
- 事前に設定した時間ウェイトし , 他のノードがウェイクアップするのを待ち , それらを構成します。
- コールドスタートノード
- デュアルチャネルクラスタで , 他方のチャネルで WUP を待つ
- **SUCC1.CMD[3:0]** = 1001 を書き込んで , コールドスタート禁止フラグ CCSV.CSI をリセットします。 (ALLOW_COLDSTART コマンド)
- **SUCC1.CMD[3:0]** = 0100 (RUN コマンド) を書き込んで , スタートアップに入るよう CC に命令します。

BD がトリガするウェイクアップ手順。

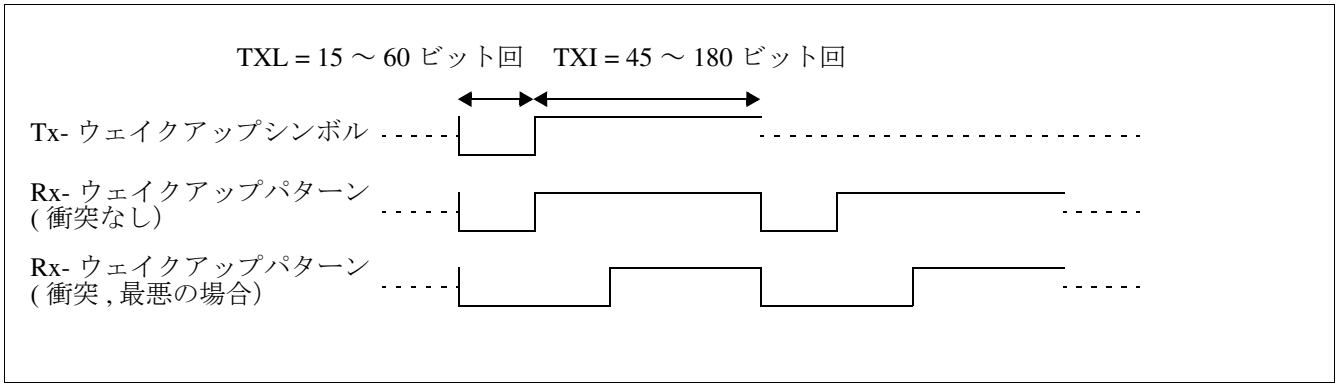
・BD がウェイクアップを認識します。
・BD が ホストのパワーアップをトリガします (必要であれば)。
・BD がウェイクアップイベントを ホストに通知します。
・ホストがローカル CC を構築します。
・必要であれば , ホストは 2 番目のチャネルにウェイクアップを命令し , 事前に設定した時間ウェイトし , 他のノードがウェイクアップするのを待ち , それらを構成します。
・ホストは **SUCC1.CMD[3:0]** = 0100 を書き込んで , STARTUP に入るよう CC に命令します。(RUN コマンド)

5.6.2. ウェイクアップパターン (WUP)

ウェイクアップパターン (WUP) は少なくとも 2 つのウェイクアップシンボル (WUS) で構成されています。ウェイクアップシンボルとウェイクアップパターンは , レジスタ PRTC1 と PRTC2 によって設定されます。

・シングルチャネルウェイクアップ , ウェイクアップシンボルは , 2 つのチャネルで同時に送信できない場合があります。
・ウェイクアップシンボルの衝突が , 少なくとも 2 つの送信ノードで許されます。(重なった 2 つのウェイクアップシンボルは常に認識できます。)
・ウェイクアップシンボルはクラスタのすべてのノードでまったく同じものが構成されなければなりません。
・ウェイクアップシンボル送信ロータイムは **PRTC2.TXL[5:0]** で設定されます。
・ウェイクアップシンボルアイドルタイムは **PRTC2.TXI[7:0]** で構成された , バスの動作をリッスンするのに利用されます。
・ウェイクアップパターンは , 少なくともウェイクアップに必要な 2 つの Tx- ウェイクアップシンボルで構成されています。
・**PRTC1.RWP[5:0]** で繰り返し回数 (2 ～ 63) が設定できます。
・ウェイクアップシンボル受信ウィンドウ長は **PRTC1.RXW[8:0]** で設定されます。
・ウェイクアップシンボル受信ロータイムは **PRTC2.RXL[5:0]** で設定されます。
・ウェイクアップシンボル受信アイドルタイムは **PRTC2.RXI[5:0]** で設定されます。

ウェイクアップパターンのタイミング



5.7. STARTUP ステート

以下の説明は , E-Ray IP- モジュールのスタートアップ構成を前提としています。詳しいスタートアップ手順の説明と , それぞれの SDL 概略図は FlexRay プロトコル仕様 v2.1, セクション 7.2 にあります。

STARTUP ステートに入った , コールドスタート機能を持つノードはすべて , 関連付けられているチャネルが両方とも , コールドスタートを起動する前に立ち上げられていることを確認する必要があります。

すべてのノードとスターが完全に立ち上がり , 構築が済むまで , 同じ時間がかかると想定してはなりません。クラスタ通信を開始するには少なくとも 2 つのノードが必要になるため , ウェイクアップを引き起こしたノードのスタートアップの試行を , 遅らせることをお勧めします。このとき遅らせる時間は , 別のコールドスタートノードをスタートアップに入れるように立ち上げ , 構築するのに必要な最短時間とします。この時間は , すべてのノードとスターが完全に立ち上がり構築されるまで
に , (使用するハードウェアによっては) 数百ミリ秒必要と思われます。
すべてのチャネルでスタートアップが同時に実行されます。スタートアップしている間 , ノードはスタートアップフレームだけを送信します。スタートアップの間 , スタートアップフレームは同期フレームであり , null フレームです。

すべてのノードの最初の同期には , フォールトトレラントディストリビュートスタートアップストラテジが指定されています。一般に , ノードは以下の場合 NORMAL_ACTIVE に入ります。(図状態外略図タイムトリガスタートアップ参照)

- コールドスタートパスがスケジュール同期を起動したとき (先行するコールドスタートノード)。
- コールドスタートパスが他のコールドスタートノードと結合している (後続のコールドスタートノード)。
- インテグレーションパスが既存の一つの通信スケジュールに統合されている (他のすべてのノード)。

コールドスタートは , 衝突回避シンボル (CAS) の送信と共に開始しようとします。CAS を送信したコールドスタートノードだけが CAS の後の最初の 4 サイクルでフレームを送信します。そして , はじめてもう一方のコールドスタートノードと結合され , その後 , 他のすべてのノードと結合されます。

コールドスタートノードはビット **SUCC1.TXST** と **SUCC1.TXSY** を "1" にセットします。メッセージバッファ 0 には , スタートアップフレームが送信されたスロット番号を定義するキースロット ID が格納されています。スタートアップフレームのフレームヘッダには , スタートアップフレームを示すビットが設定されます。

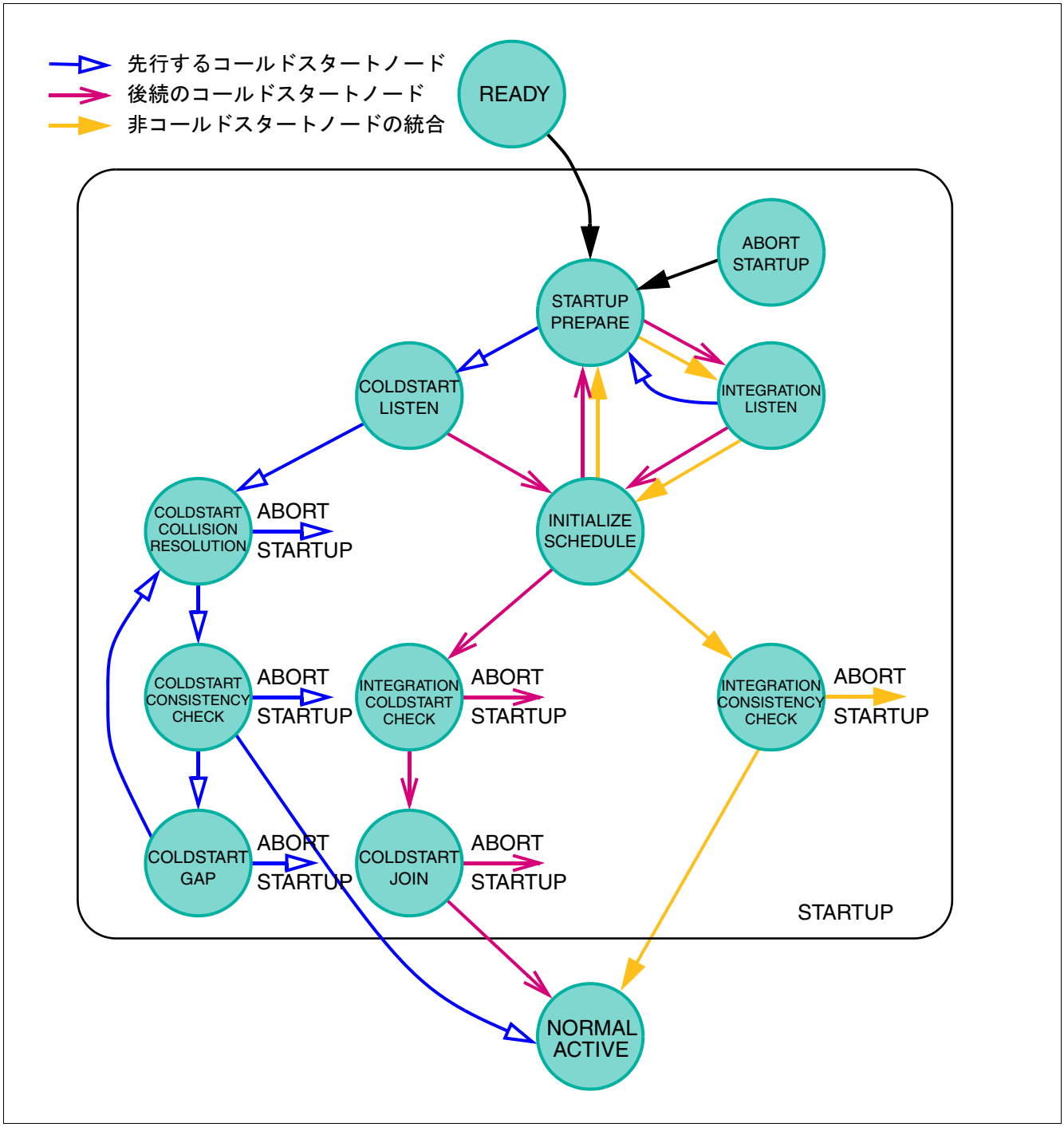
3 つ以上のノードを含むクラスタでは , 少なくとも 3 つのノードをコールドスタートノードに設定する必要があります。2 つのノードを含むクラスタでは , 2 つのノードともコールドスタートノードでなければなりません。クラスタをスタートアップさせるには , 少なくとも 2 つのフォルトフリーコールドスタートノードが必要です。

また , 各スタートアップフレームは同期フレームでなければならないので , 各コールドスタートノードも同期ノードになります。試行されるコールドスタートの回数は **SUCC1.CSA[4:0]** で設定されます。

非コールドスタートノードには , あきらかな統合ノードから少なくとも 2 つのスタートアップフレームが必要です。このノードはコールドスタートノードがスタートアップを完了するより先に統合を開始します。少なくとも 2 つのコールドスタートノードがスタートアップを完了するまでは , このノードのスタートアップは完了しません。

非コールドスタートノードとコールドスタートノードはどちらも , TDMA スケジュール情報を取り出す同期フレームを受信すると直ちに , インテグレーションパス経由でパッシブ統合を開始します。統合中に , ノードはクロックをグローバルクロックと （レートおよびオフセットを）あわせる必要があり , サイクルタイムをネットワークで監視できるグローバルスケジュールに一致させる必要があります。その後 , これらの設定は , 有効なすべてのネットワークノードと一致しているか確認されます。これらの確認にパスして初めて , ノードはインテグレーションフェーズから抜けることができ , アクティブに通信に参加できます。

状態外略図タイムトリガスタートアップ



5.7.1. コールドスタート禁止モード

コールドスタート禁止モードでは , ノードは TDMA 通信スケジュールを初期化できません。**CCSV.CSI** ビットが設定されている場合 , ノードはクラスタ通信を初期化することができません , つまりコールドスタートパスに入ることが禁止されています。このノードは別のコールドスタートノードがクラスタ通信の初期化を開始した後は , 稼動中のクラスタを統合することや , スタートアップフレームを送信することができます。

POC が READY ステートに入ると , いつでもコールドスタート禁止ビット **CCSV.CSI** を設定できます。このビットは , ホストの CHI コマンド ALLOW_COLDSTART (**SUCC1.CMD[3:0]** = 1001) でクリアしなければなりません。

5.7.2. タイムアウトのスタートアップ

CC は異なる 2 つの mT タイマを提供し , 2 つのタイムアウト値 , スタータップタイムアウトとスタートアップノイズタイムアウトをサポートします。2 つのタイマは CC が COLDSTART_LISTEN ステートに入った瞬間にスタートします。このタイマのどちらかの時間を過ぎると , 通信を起動するために , ノードが初期検出フェーズ (COLDSTART_LISTEN ステート) から抜けます。

（注意事項）スタートアップタイマおよびスタートアップノイズタイマは , ウェイクアップタイマおよびウェイクアップノイズタイマと同じです。同じ設定値 **SUCC2.LT[20:0]** と **SUCC2.LTN[3:0]** を使用します。

スタートアップタイムアウト

あるノードが , 他のノードとの間の通信がすでに存在しているか , または , 少なくとも 1 つのコールドスタートノードがアクティブに他のノードとの統合を要求しているかを確かめるために , そのノードが使用するリッスンタイムをスタートアップタイムアウトが制限します。スタートアップタイマは **SUCC2.LT[20:0]** をプログラムすることで設定します (5.2.SUC 設定レジスタ 2 (SUCC2) 参照)。

スタートアップタイムアウトは :pdListenTimeout = **SUCC2.LT[20:0]**

スタートアップタイマは以下のときにリスタートします。
・COLDSTART_LISTEN ステートに入ったとき。
・COLDSTART_LISTEN ステートにいるときに , 両方のチャネルがアイドル状態に達したとき。

スタートアップタイマは以下のときに停止します。
・ノードが COLDSTART_LISTEN にいるときに , 構成されているチャネルの一方で , 通信チャネルの動作が検出されたとき。
・COLDSTART_LISTEN ステートから抜けたとき。

一度スタートアップタイムアウトが時間切れになると , タイマのオーバーフローも , タイマのサイクリックリスタートも実行されません。タイマのステータスは以降のスタートアップステートマシンによる処理のためにそのまま残ります。

スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートするとき (STARTUP_PREPARE ステートから COLDSTART_LISTEN ステートへ遷移), 同時にスタートアップノイズタイマもスタートします。この補助的なタイムアウトは , ノイズが存在する場合のスタートアップ手順の信頼性を向上します。スタートアップノイズタイムアウトは **SUCC2.LTN[3:0]** をプログラムすることで設定します (5.2.SUC 設定レジスタ 2 (SUCC2) 参照)。

スタートアップノイズタイムアウトは :
pdListenTimeout • gListenNoise = **SUCC2.LT[20:0]** • **(SUCC2.LTN[3:0]** + 1)

スタートアップノイズタイマは以下のときにリスタートします。
・COLDSTART_LISTEN ステートに入ったとき
・ノードが COLDSTART_LISTEN ステートで , 正しくデコードされたヘッダまたは CAS シンボルを受取ったとき

スタートアップノイズタイマは COLDSTART_LISTEN ステートを抜けたときに停止します。

一度スタートアップノイズタイムアウトが時間切れになると , タイマのオーバーフローも , タイマのサイクリックリスタートも実行されません。ステータスは以降のスタートアップステートマシンによる処理のためにそのまま残ります。ランダムなチャネル動作が検出された場合 , スタートアップノイズタイマはリスタートしないので , このタイムアウトは , ノイズが存在する場合でも , ノードは絶対に通信クラスタをスタートアップしようとするフォールバックソリューションを定義します。

5.7.3. 先行するコールドスタートノードのパス (コールドスタートの初期化)

コールドスタートノードが COLDSTART_LISTEN に入ると , ノードは関連付けられたチャネルをリッスンします。

通信が検出されなかった場合 , ノードは COLDSTART_COLLISION_RESOLUTION ステートに入り , コールドスタートの試行を開始します。はじめて CAS シンボルを送信した後 , 続いて初めての通常サイクルが実行されます。サイクル番号はゼロです。

サイクルゼロの次に , ノードはスタートアップフレームを送信します。各コールドスタートノードがコールドスタートを試行するので , 複数のノードが同時に CAS シンボルを送信してコールドスタートパスに入る事態が発生する可能性が

あります。この状況は CAS 送信後の最初の 4 サイクルの間に解消されます。

コールドスタート試行を開始したノードが , この 4 サイクル中に CAS シンボルまたはフレームヘッダを受信すると , すぐにまた COLDSTART_LISTEN ステートに入ります。したがって , パスにはノードが 1 つだけ残ります。他のコールドスタートノードは , 4 サイクル目にスタートアップフレームの送信を開始します。

4 つのサイクルの後 COLDSTART_COLLISION_RESOLUTION ステートで , コールドスタートを開始したノードが COLDSTART_CONSISTENCY_CHECK ステートに入ります。これにより , 4 サイクルと 5 サイクルのすべてのスタートアップフレームが収集され , クロック補正を行ないます。クロック補正でエラーが出ず , 有効なスタートアップフレームのペアを少なくとも 1 つ受信すると , そのノードは COLDSTART_CONSISTENCY_CHECK を抜け , NORMAL_ACTIVE ステートに入ります。

1 つのノードに許されるコールドスタートの試行回数は **SUCC1.CSA[4:0]** で設定されます。コールドスタートを試行できる残り回数は **CCSV.RCA[4:0]** から読み取ることができます。コールドスタートを試行できる残り回数は , コールドスタートを試行するごとに 1 ずつ減少します。ノードはこの値が 1 より大きい場合のみ COLDSTART_LISTEN ステートに入り , 0 より大きい場合のみ COLDSTART_COLLISION_RESOLUTION ステートに入ります。コールドスタートの試行回数が 1 のときは , コールドスタートは禁止されますが , インテグレーションはまだ可能です。

5.7.4. 後続のコールドスタートノードのパス (先行するコールドスタートノードに対応)

コールドスタートノードが COLDSTART_LISTEN ステートに入ると , 先行のコールドスタートノードからスケジュールとクロック補正を取り出すため , 有効なスタートアップフレームのペアを受信しようとします。

有効なスタートアップフレームが受信されるとすぐに INITIALIZE_SCHEDULE ステートに入ります。クロック同期が , 秒を一致させる有効なスタートアップフレームを正常に受信し , そこからスケジュールを読み出せれば , INTEGRATION_COLDSTART_CHECK ステートに入ります。

INTEGRATION_COLDSTART_CHECK ステートでは , クロック補正が正しく実行されることが保証されており , このノードのスケジュールを初期化したコールドスタートノードはまだ有効です。このノードはすべての同期フレームを収集し , 後続のダブルサイクルでクロック補正を実行します。クロック補正がエラーをまったく通知せず , ノードと統合された同じノードからフレームを十分受信し続ければ , COLDSTART_JOIN ステートに入ります。

COLDSTART_JOIN ステートでは , 後続のコールドスタートノードは自分自身のスタートアップフレームを送信し , その後のサイクルでも送信し続けます。したがって , 先行するコールドスタートノードとそれに連結されるノードは , お互いのスケジュールが適合するか確認できます。クロック補正が何らかのエラーを通知した場合 , ノードは統合の試行を中止します。このステートのノードが , このステートのすべての偶数サイクルで少なくとも 1 つの有効なスタートアップフレームを見つけ , このステートのダブルサイクルで少なくとも 1 つの有効なスタートアップフレームペアを見つけると , ノードは COLDSTART_JOIN ステートを抜けて NORMAL_ACTIVE ステートに入ります。したがって , ノードがコールドスタートを起動してから少なくとも 1 サイクル後に , STARTUP を抜けます。

5.7.5. 非コールドスタートノードのパス

非コールドスタートノードが INTEGRATION_LISTEN ステートに入ると , ノードは関連付けられたチャネルをリッスンします。

有効なスタートアップフレームが受信されるとすぐに INITIALIZE_SCHEDULE ステートに入ります。クロック同期が , 秒を一致させる有効なスタートアップフレームを正常に受信し , そこからスケジュールを読み出せれば , INTEGRATION_CONSISTENCY_CHECK ステートに入ります。

INTEGRATION_CONSISTENCY_CHECK ステートでは , ノードはクロック補正が正しく実行されることを検証し , また十分なコールドスタートノード （少なくとも 2 つ）が , ノード自身のスケジュールに合ったスタートアップフレームを送信しているか検証します。クロック補正が起動され , 何らかのエラーが通知された場合 , 統合の試行は中止されます。

このステートの最初の偶数サイクルで , 2 つの有効なスタートアップフレーム , あるいはこのノードが統合されたノードのスタートアップフレームを受信する必要があります。受信しなければ , ノードは統合の試行を中止します。
このステートの最初のダブルサイクルで , 2 つの有効なスタートアップフレームペア , あるいはこのノードが統合されたノードのスタートアップフレームペアを受信する必要があります。受信しなければ , ノードは統合の試行を中止します。

最初のダブルサイクルの後 , 偶数サイクルで 2 つ未満の有効なスタートアップフレームが受信された場合 , またはダブルサイクル中に 2 つ未満の有効なスタートアップフレームペアが受信された場合 , スタートアップの試行は中止される。

このステートのノードは , 2 つの連続したダブルサイクルで , それぞれ 2 つの有効なスタートアップフレームペアを見つけると , STARTUP を抜け NORMAL_OPERATION に入ります。結果的にこのノードはコールドスタートを起動したノードにつづいて , 少なくともダブルサイクル 1 つ後 , 奇数サイクル番号のサイクルの末尾でスタートアップから抜けます。

5.8. NORMAL_ACTIVE S ステート

最初の CAS シンボル (潜在的なアクセス矛盾を解消し , コールドスタートパスを経由して STARTUP に入る) を送信したノードと追加ノードが NORMAL_ACTIVE ステートに入った直後 , クラスタのスタートアップフェーズは終了します。NORMAL_ACTIVE ステートでは , 設定されているすべてのメッセージは , 送信がスケジュールされています。これには全データフレームと同期フレームが含まれています。レートとオフセットの測定は , すべての偶数サイクルで開始されます
(偶数 / 奇数サイクルペアが必要)。

NORMAL_ACTIVE ステートでは CC は通常の通信機能をサポートします。
・CC は構成に従って FlexRay バスで送信と受信を実行します。
・クロック同期が稼動しています。
・ホストインターフェースが操作可能。

次の場合 CC はそのステートから以下へ抜けます。
・**SUCC1.CMD[3:0]** = 0110 を書き込むと , HALT ステートへ。
・(HALT コマンド , カレントサイクルの末尾で)
・**SUCC1.CMD[3:0]** = 0111 (FREEZE コマンド , 直ちに) を書き込むと , HALT ステートへ。
・エラーステートが ACTIVE から COMM_HALT へ変わったことにより HALT ステートへ。
・エラーステートが ACTIVE から PASSIVE へ変わったことにより NORMAL_PASSIVE ステートへ。
・**SUCC1.CMD[3:0]** = 0010 (READY コマンド) を書き込むと , READY ステートへ。

5.9. NORMAL_PASSIVE ステート

エラーステートが ACTIVE から PASSIVE へ変わると , NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートへ遷移します。

NORMAL_PASSIVE ステートでは , ノードがすべてのフレームを受取ることができます (ノードは完全に同期され , クロック同期を実行します)。NORMAL_ACTIVE ステートとは逆に , ノードはアクティブに通信に参加しません , つまりシンボルもフレームも送信されません。

NORMAL_PASSIVE ステートでは
・CC は FlexRay バスで受信を実行します。
・CC は FlexRay バスでフレームやシンボルを一切送信しません。
・クロック同期が稼動しています。
・ホストインターフェースが操作可能。

CC はこのステートから以下のステートへ抜けます。
・**SUCC1.CMD[3:0]** = 0110 を書き込むと , HALT ステートへ。
(HALT コマンド , カレントサイクルの末尾で)
・**SUCC1.CMD[3:0]** = 0111 (FREEZE コマンド , 直ちに) を書き込むと , HALT ステートへ。
・エラーステートが PASSIVE から COMM_HALT へ変わったことにより HALT ステートへ。
・エラーステートが PASSIVE から ACTIVE へ変わったことにより NORMAL_ACTIVE ステートへ。
CCEV.PTAC[4:0] が SUCC1.PTA[4:0] - 1 と等しいときに遷移が起こります。
・**SUCC1.CMD[3:0]** = 0010 (READY コマンド) を書き込むと , READY ステートへ。

5.10. HALT ステート

このステートでは , 通信 (受信と送信) は停止しています。

次の場合 CC はこのステートに入ります。
・CC が NORMAL_ACTIVE または NORMAL_PASSIVE ステートのときに , **SUCC1.CMD[3:0]** = 0110 (HALT コマンド) を書き込んだ場合。
・すべてのステートから **SUCC1.CMD[3:0]** = 0111 (FREEZE コマンド) を書き込んだ場合。
・クロック補正失敗カウンタが「クロック補正フェータルなしで最大」値に達して NORMAL_ACTIVE ステートから抜けた場合。
・クロック補正失敗カウンタが「クロック補正フェータルなしで最大」値に達して NORMAL_PASSIVE ステートから抜けた場合。

次の場合 CC はこのステートから DEFAULT_CONFIG ステートへ抜けます。
・**SUCC1.CMD[3:0]** = 0001" (CONFIG コマンド) を書き込むこと。

CC が HALT ステートに入ったとき , すべての構成データとスタータスデータは分析用に保持されます。

ホストが **SUCC1.CMD[3:0]** = 0110 (HALT コマンド) を書き込むと , CC はビット **CCSV.HRQ** を設定し , カレントの通信サイクルが完了すると HALT ステートに入ります。

ホストが **SUCC1.CMD[3:0]** = 0111 (FREEZE コマンド) を書き込むと , CC はすぐに HALT ステートに入り , **CCSV.FSI** ビットを設定します。

POC の状態が HALT へ遷移した場合は , **CCSV.PSL[5:0]** から読み取ることができます。

6. ネットワーク管理

レジスタ NMV1 ～ 3 から確定された Network Management (NM) ベクタが読み取れます。CC は受信したすべての有効な NM フレームの Payload Preamble Indicator (**PPI**) ビットに対してビット単位にセットするか , NM ベクタ全体を操作します。静的フレームのみが NM 情報を保持できるように構成されます。各サイクルの末尾で CC は NM ベクタを更新します。

NM ベクタの長さは **NEMC.NML[3:0]** により 0 ～ 12 バイトの範囲で設定できます。NM ベクタの長さはクラスタのすべてのノードで個別に設定する必要があります。

PPI ビットを設定した FlexRay フレームを送信する送信バッファを設定するには , ヘッダセクションの **PPIT** ビットを各送信バッファの **WRHS1.PPIT** を介してセットする必要があります。さらに , ホストは各送信バッファのデータセクションに NM 情報を書き込む必要があります。

NM ベクタの評価は ホスト で稼動しているアプリケーションによって実行されなければなりません。
(注意事項) ネットワーク管理フレームの送信 / 受信用にメッセージバッファが構成されている場合 , メッセージバッファのヘッダ 2 で設定されているペイロード長は , **NEMC.NML[3:0]** で設定されている NM ベクタ長以上でなければなりません。

7. フィルタリングとマスキング

フィルタリングは , 実際のスロットに対して割り当てられたメッセージバッファおよびサイクルカウンタ値と , チャネル ID
(チャネル A, B) を比較して行なわれます。メッセージバッファは , 必須条件が一致した場合のみ更新 / 送信されます。

フィルタリングは以下に対して行われます。
・スロットカウンタ
・サイクルカウンタ
・チャネル ID

受信 / 送信のフィルタリングには以下のフィルタコンビネーションがあります。
・スロットカウンタ + チャネル ID
・スロットカウンタ + サイクルカウンタ + チャネル ID

受信したメッセージをメッセージバッファに保存するには , 設定されたフィルタがすべて一致しなければなりません。
(注意事項) FIFO については , 受信フィルタは FIFO Rejection Filter と FIFO Rejection Filter Mask で設定します。

メッセージは設定されたチャネルの設定されたフレーム ID に対応するタイムスロットで送信されます。サイクルカウンタフィルタリングが有効の場合は , 設定されたサイクルフィルタ値が一致する必要があります。

7.1. スロットカウンタフィルタリング

各送信および受信バッファにはヘッダセクションにフレーム ID が保存されています。受信バッファと送信バッファを対応するスロットに割り当てるため , このフレーム ID は実際のスロットカウンタ値と比較されます。

2 つ以上のメッセージバッファに同じフレーム ID が設定されており , それらが同じスロットに対して一致するサイクルカウンタフィルタ値を持っている場合 , **最小の** 番号を持つメッセージバッファが使用されます。

7.2. サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットの概念に基づいています。サイクルセットのいずれかの要素が一致すると , フィルタリングするために一致が検出されます。サイクルセットは各メッセージバッファのヘッダセクション 1 のサイクルコードフィールドで定義されます。

メッセージバッファ 0 およびメッセージバッファ 1 がスタートアップ / 同期フレームか , (**SUCC1.TXST** ビット , **SUCC1.TXSY** ビット , **SUCC1.TSM** ビットで) シングルスロットフレームを保持するよう設定される場合 , メッセージバッファ 0 およびメッセージバッファ 1 のサイクルカウンタフィルタリングは無効にする必要があります。
(注意事項) サイクルカウンタフィルタリングを介して , FlexRay ネットワークの異なるノード同士で静的タイムスロッ

トを共有することは許されていません。

サイクルセットに含まれるサイクル番号の組み合わせは , 以下の表の記述のように定義される。

サイクルセットの定義

サイクルコード	対応するサイクルカウンタ値		
0b000000x	全サイクル		
0b000001c	2 サイクルごと	に (Cycle Count)mod2	= c
0b00001cc	4 サイクルごと	に (Cycle Count)mod4	= cc
0b0001ccc	8 サイクルごと	に (Cycle Count)mod8	= ccc
0b001cccc	16 サイクルごと	に (Cycle Count)mod16	= cccc
0b01ccccc	32 サイクルごと	に (Cycle Count)mod32	= ccccc
0b1cccccc	64 サイクルごと	に (Cycle Count)mod64	= cccccc

以下の表に , サイクルカウンタフィルタリングに使用できるサイクルセットの例を示します。

有効なサイクルセットの例

サイクルコード	対応するサイクルカウンタ値
0b0000011	1-3-5-7- …. -63 ↵
0b0000100	0-4-8-12- …. -60 ↵
0b0001110	6-14-22-30- …. -62 ↵
0b0011000	8-24-40-56 ↵
0b0100011	3-35 ↵
0b1001001	9 ↵

メッセージが受信されたサイクルのサイクルカウンタ値が , 受信バッファのサイクルセットの要素と一致した場合のみ , 受信したメッセージは保存されます。他のフィルタ基準も一致する必要があります。

サイクルセットの要素が現在のサイクルカウンタ値と一致した場合 , 送信バッファの内容が構成されたチャネルで送信されます。他のフィルタ基準も一致する必要があります。

7.3. チャネル ID フィルタリング

メッセージ RAM 内の各メッセージバッファのヘッダセクションの中には , 2 ビットのチャネルフィルタリングフィールド (**CHA**, **CHB**) があります。これは , 受信バッファのフィルタの役割 , および送信バッファの制御フィールドの役割をします
(下表参照)。

チャネル フィルタリング構成

CHA	CHB	送信バッファ 送信フレーム	受信バッファ 有効な受信フレームを保存
1	1	両方のチャネルで (静的セグメントのみ)	チャネル A または B で受信 (最初の意味的に有効なフレームを保存 , 静的セグメントのみ)
1	0	チャネル A で	チャネル A で 受信
0	1	チャネル B で	チャネル B で受信
0	0	送信がない場合	フレームを無視

スロットカウンタフィルタリング値とサイクルカウンタ値がともに一致した場合 , 送信バッファの内容は , チャネルフィルタリングフィールドで設定されたチャネルで送信されます。静的セグメントでのみ , 送信用に送信バッファが両チャネル (**CHA** と **CHB** セット) でセットされます。

スロットカウンタフィルタリング値とサイクルカウンタ値がともに一致した場合 , チャネルフィルタリングフィールドで設定されたチャネルで有効な受信フレームが受信されると , その受信フレームが保存されます。静的セグメントでのみ , 受信用の受信バッファが両チャネル (**CHA** と **CHB** セット) でセットされます。
(注意事項) メッセージバッファが動的セグメントに構成されている場合は , チャネルフィルタリングフィールドの両ビットは "1" にセットされ , 無視された受信フレームに関してフレームは送信されません (**CHA = CHB** = "0" と同じ機能です)。

7.4. FIFO フィルタリング

FIFO フィルタリングについては , リジェクションフィルタが 1 つ , リジェクションフィルタマスクが 1 つ利用できます。FIFO フィルタはチャネルフィルタ **FRF.CH[1:0]**, フレーム ID フィルタ **FRF.FID[10:0]**, サイクルカウンタフィルタ **FRF.CYF[6:0]** で構成されています。レジスタ FRF および FRFM は DEFAULT_CONFIG または CONFIG ステートでのみ設定可能です。FIFO に属するメッセージバッファのヘッダセクション内のフィルタ構成は無視されます。

7 ビットサイクルカウンタフィルタは , どのサイクルセットにフレーム ID およびチャネルリジェクションフィルタを適用するか決定します。**FRF.CYF[6:0]** で指定されたサイクルセットに属さないサイクルでは , すべてのフレームがリジェクトされます。

構成されたリジェクションフィルタとリジェクションフィルタマスクに , チャネル ID, フレーム ID, サイクルカウンタがリジェクトされず , かつマッチする専用受信バッファがなければ , 有効な受信フレームが FIFO に保存されます。

8.送信プロセス

8.1. 静的セグメント

静的セグメントで , 複数のメッセージが送信を待っている場合 , 次の送信スロットに対応するフレーム ID つきのメッセージが選択されます。

静的セグメントに割り当てられた送信バッファのデータセクションは , 先行するタイムスロットが終了するまで更新できます。つまり , 入力バッファからの転送は , その時点で最新の入力バッファコマンド要求レジスタに書き込むことで , 開始しなければならないと言うことです。

8.2. 動的セグメント

動的セグメントで , 複数のメッセージが送信を待っている場合 , 最も優先度が高い (フレーム ID が最小の) メッセージが選択されます。動的セグメントでは , チャネル A とチャネル B で別々のスロットカウンタシーケンスが可能です (両チャネルの別々のフレーム ID を同時に送信可能)。

動的セグメントに割り当てられた送信バッファのデータセクションは , 先行するスロットが終了するまで更新できます。つまり , 入力バッファからの転送は , その時点で最新の入力バッファコマンド要求レジスタに書き込むことで開始しなければならないと言うことです。

MHDC.SLT[12:0] で設定された最新の送信の開始により , カレントサイクルの動的セグメントで新しいフレームの送信を禁止する前に許可された最大ミニスロット値が定義されます。

8.3. 送信バッファ

E-Ray メッセージバッファは , 各メッセージバッファのヘッダセクションにある CFG ビットを WRHS1 を介して "1" にプログラミングすることで , 送信バッファとして構成できます。

CC チャネルへの送信バッファを割り当てるには , 以下の方法があります。

・静的セグメント :チャネル A **または** チャネル B,
チャネル A および チャネル B

・動的セグメント :チャネル A **または** チャネル B

メッセージバッファ 0 およびメッセージバッファ 1 は , **SUCC1.TXST**, **SUCC1.TXSY**, **SUCC1.TSM** により , 専らスタートアップフレーム / 同期フレーム , または指定されたシングルスロットフレームを保持するよう設定されています。この場合 , DEFAULT_CONFIG または CONFIG ステートでのみ再設定が可能です。これによりすべてのノードが通信サイクルごとに , 最大でもスタートアップ / 同期フレームを 1 つだけ送信することが確保されます。他のメッセージバッファから , スタートアップ / 同期フレームを送信することはできません。

静的セグメントまたは動的セグメントで , 送信用に構成されたその他すべてのメッセージバッファは , **MRC.SEC[1:0]** の設定によって , 実行中に再構成できます (11.1. メッセージバッファの再構成参照)。メッセージ RAM 内のデータパーティションの構成により (データポインタ参照), メッセージバッファのヘッダセクション内に構成されたペイロード長とデータポインタの再構成は , 不正な構成になる場合があります。

実行中にメッセージバッファが再構成 (ヘッダセクションが更新) された場合 , そのメッセージバッファがそれぞれの通信サイクルで , 送出されない事態が発生する場合があります。

CC にヘッダ CRC を計算する能力はありません。ホストがすべての送信バッファのヘッダ CRC を提供することになっています。ネットワークの管理が必要な場合は , ホスト が各メッセージバッファのヘッダセクション内の **PPIT** ビットを "1" にセットし , メッセージバッファのデータセクションにネットワーク管理情報を書き込まなくてはなりません (6. ネットワーク管理参照)。

ペイロード長フィールドは , 2 バイトワードのペイロード長を構成します。静的送信バッファに構成されたペイロード長が , **MHDC.SFDL[6:0]** で構成された静的セグメント用ペイロード長より短い場合 , CC はパディングバイトを生成して , フレームに必要な物理的な長さを確保します。パディングパターンは論理ゼロ詰めです。

各送信バッファは , ホスト が送信バッファの送信モードを設定できるように , 送信モードフラグ **TXM** を用意します。このビットがセットされると , 送信機能がシングルショットモードで稼動します。このビットがクリアされると , 送信機能は連続モードで稼動します。

シングルショットモード では , CC は送信完了後 , 各 **TXR** フラグをリセットします。これで ホストは送信バッファを更新することができます。

連続モード では , CC 送信が正常終了した後 , 各送信要求フラグ **TXR** をリセットしません。この場合 , フィルタの条件がマッチするたびに , フレームが送出されます。**IBCM.STXRH** ビットが "0" にセットされている間に , ホストが 各メッセージバッファ番号を IBCR レジスタに書き込むと **TXR** フラグをリセットできます。

2 つ以上の送信バッファが同時にフィルタ条件にマッチした場合は , 最も小さいメッセージバッファ番号を持つ送信バッファが , 対応するスロットに送信されます。

8.4. フレーム送信

メッセージバッファを送信するには , 以下の手順が必要です。

- WRHS1, WRHS2, WRHS3 で , 送信するバッファをメッセージ RAM 内に構成します。
- WRDSn から送信バッファのデータセクションに書き込みます。
- レジスタ IBCR にターゲットメッセージバッファの番号を書き込み , 構成とメッセージデータを入力バッファからメッセージ RAM へ転送します。
- レジスタ IBCM 内に設定されている場合 , 送信完了直後に各メッセージバッファへの送信要求フラグ **TXR** がセットされ , メッセージバッファが送信待ちになります。
- TRXQ1/2/3/4 レジスタ内の該当する **TXR** ビット (TXR = "0") をチェックして , メッセージバッファが送信されたか確認します。(シングルショットモードのみ)。

送信完了後 , TXRQ1/2/3/4 レジスタ内の該当する **TXR** フラグがリセットされ （シングルショットモード）, かつ , メッセージバッファのヘッダセクションの **MBI** ビットがセットされている場合 , フラグ **SIR.TXI** は "1" にセットされます。許可されていれば , 割込みが発生します。

8.5. Null フレーム送信

静的セグメントで , ホストが送信前時点で送信要求フラグをセットしておらず , かつ , 他にフィルタ条件にマッチした送信バッファがない場合は , CC は null フレーム表示ビットを "0" にセットして null フレームを送信し , ペイロードデータはゼロにセットされます。

以下の場合 , CC は null フレームを送信します。

- 最も小さいメッセージバッファ番号を持つメッセージバッファがフィルタ条件にマッチし , 送信要求フラグが (**TXR** = "0") にセットされていない場合。
- カレントサイクルにマッチするサイクルカウンタフィルタを持つスロットに構成された送信バッファがない場合。この場合 , メッセージバッファステータス MBS は更新されません。

動的セグメントの Null フレームは送信されません。

9.受信プロセス

9.1. 受信専用バッファ

E-Ray メッセージバッファの一部を , 各メッセージバッファのヘッダセクションにある **CFG** ビットを WRHS1 を介して "0" にプログラミングすることで , 受信専用バッファとして構成できます。
CC チャネルに受信バッファを割り当てるには , 以下の方法があります。
・静的セグメント :チャネル A **または** チャネル B,
チャネル A および チャネル B (CC は最初の実際に有効なフレームを保存します)。
・動的セグメント : チャネル A **または** チャネル B

CC は FlexRay チャネルプロトコルコントローラ (チャネル A または B) のシフトレジスタから , 受信バッファへ , マッチしたフィルタ構成で , 有効な受信メッセージのペイロードデータを転送します。受信バッファはフレーム CRC 以外のすべてのフレーム要素を保存します。

静的セグメントまたは動的セグメントで , 受信用に構成されたすべてのメッセージバッファは , **MRC.SEC[1:0]** の設定によって , 実行中に再構成できます。(11.1. メッセージバッファの再構成参照)。実行中にメッセージバッファが再構成 (ヘッダセクションが更新) された場合 , それぞれの通信サイクルで , 受信したメッセージが失われる場合があります。

2 つ以上の受信バッファが同時にフィルタ条件にマッチした場合は , 最も小さいメッセージバッファ番号を持つ受信バッファが , 受信メッセージで更新されます。

9.2. フレーム受信

受信専用のメッセージバッファを用意するには , 以下の手順が必要です。
・WRHS1, WRHS2, WRHS3 で , 受信するバッファをメッセージ RAM 内に構成します。
・レジスタ IBCR にターゲットメッセージバッファの番号を書き込み , 入力バッファからメッセージ RAM へ構成を転送します。

上記の手順が実行されると , メッセージバッファはアクティブな受信バッファとして機能し , CC がメッセージを受信するたびに発生する , 内部受領フィルタリングプロセスの一部となります。最初にマッチした受信バッファは , 受信メッセージから更新されます。

有効なペイロードセグメントが , メッセージバッファのデータセクションに保存されると , NDAT1/2/3/4 レジスタ内の該当する **ND** フラグがセットされ , かつ , メッセージバッファのヘッダセクションのビット **MBI** がセットされている場合 , フラグ **SIR.RXI** は "1" にセットされます。許可されていれば , 割込みが発生します。

ビット **ND** がすでにセット済みの場合は , メッセージハンドラがメッセージバッファを更新するときに , 該当するメッセージバッファのビット **MBS.MLST** がセットされ , 処理されていないメッセージデータは失われます。

スロットでフレームが受取れなかったり (null フレーム), 壊れたフレームを受信した場合 , このスロット用に構成されたメッセージバッファのデータセクションが更新されます。この場合 , 該当するメッセージのバッファステータス , MBS だけが更新されます。

メッセージハンドラが , メッセージバッファのヘッダセクション内にあるメッセージバッファステータス MBS を変更したとき , MBSC1/2/3/4 レジスタ内の該当する **MBC** フラグがセットされ , かつ , メッセージバッファのヘッダセクションのビット **MBI** がセットされている場合 , フラグ **SIR.MBSI** は "1" にセットされます。許可されていれば , 割込みが発生します。

受信したフレームのペイロード長 **PLR[6:0]** が , 該当するメッセージバッファのヘッダセクション内の **PLC[6:0]** で設定された値より長い場合 , メッセージバッファに保存されたデータフィールドは , 長さが不完全です。

メッセージ RAM から出力バッファ経由で受信バッファを読み出すには , 「11.2.2. メッセージ RAM から出力バッファへのデータ転送」の説明に従ってください。
(注意事項) ペイロードデータと受信したメッセージのヘッダがそれぞれ出力バッファに転送されると , **ND** フラグと **MBC** フラグはメッセージハンドラによって自動的にクリアされます。

9.3. Null フレーム受信

受信した null フレームのペイロードセグメントは , マッチする受信専用バッファにはコピーされません。null フレームが受信されると , マッチするメッセージバッファのメッセージバッファステータス MBS だけが , 受信した null フレームから更新されます。マッチしたメッセージバッファのヘッダ 2 と 3 のすべてのビットはそのままです。これらは , 受信したデータフレームからしか更新できません。

メッセージハンドラが , メッセージバッファのヘッダセクション内にあるメッセージバッファステータス MBS を変更したとき , MBSC1/2/3/4 レジスタ内の該当する **MBC** フラグがセットされ , かつ , メッセージバッファのヘッダセクションのビット **MBI** がセットされている場合 , フラグ **SIR.MBSI** は "1" にセットされます。許可されていれば , 割込みが発生します。

10.FIFO 機能

10.1. 概要

一まとまりのメッセージバッファをサイクリックなファーストイン - ファーストアウト (FIFO) バッファに設定できます。FIFO に属する一まとまりのメッセージバッファは , レジスタマップ内で連続しており , **MRC.FFB[7:0]** で参照されるメッセージバッファではじまり , **MRC.LCB[7:0]** で参照されるメッセージバッファで終わります。最大 128 メッセージバッファを FIFO に割り当てることができます。

どの受信専用バッファともマッチしないが , プログラマブルな FIFO フィルタを通過した**有効な**受信メッセージは , すべて FIFO に保存されます。この場合 , フレーム ID, ペイロード長 , 受信サイクルカウント , 呼び出された FIFO メッセージバッファのメッセージバッファステータス MBS は , フレーム ID, ペイロード長 , 受信サイクルカウント , 受信したフレームのステータスで上書きされます。ビット **SIR.RFNE** は FIFO が空ではないことを示し , 受信 FIFO フィルレベル **FSR.RFFL[7:0]** が **FCL.CL[7:0]** で設定されたクリティカルレベル以上であれば , ビット **SIR.RFCL** がセットされ , ビット **EIR.RFO** は FIFO オーバーランが検出されたことを示します。. 許可されていれば , 割込みが発生します。

null フレームが FIFO リジェクションフィルタでリジェクトされなかった場合 , null フレームが FIFO に保存されるときは , データフレームのように扱われます。

2 つのインデックスレジスタが FIFO に関連付けられます。PUT インデックスレジスタ (PIDX) は FIFO 内で次に利用可能な場所へのインデックスです。新しいメッセージが受信されると , PIDX レジスタで呼び出されるメッセージバッファに書き込まれます。その後 , PIDX レジスタはインクリメントされ , 利用可能な次のメッセージバッファを呼び出します。PIDX レジスタがインクリメントされ , FIFO のメッセージバッファの最大数を超えた場合 , PIDX レジスタには FIFO チェーンの最初の
(最も小さい番号の) メッセージバッファの番号がロードされます。GET インデックスレジスタ (GIDX) は読み込まれる FIFO 内の次のメッセージバッファをアクセスするのに使用されます。GIDX レジスタは , 出力バッファへの FIFO に属するメッセージバッファの内容を転送後 , インクリメントされます。PUT インデックスレジスタおよび GET インデックスレジスタは ホスト からはアクセスできません。

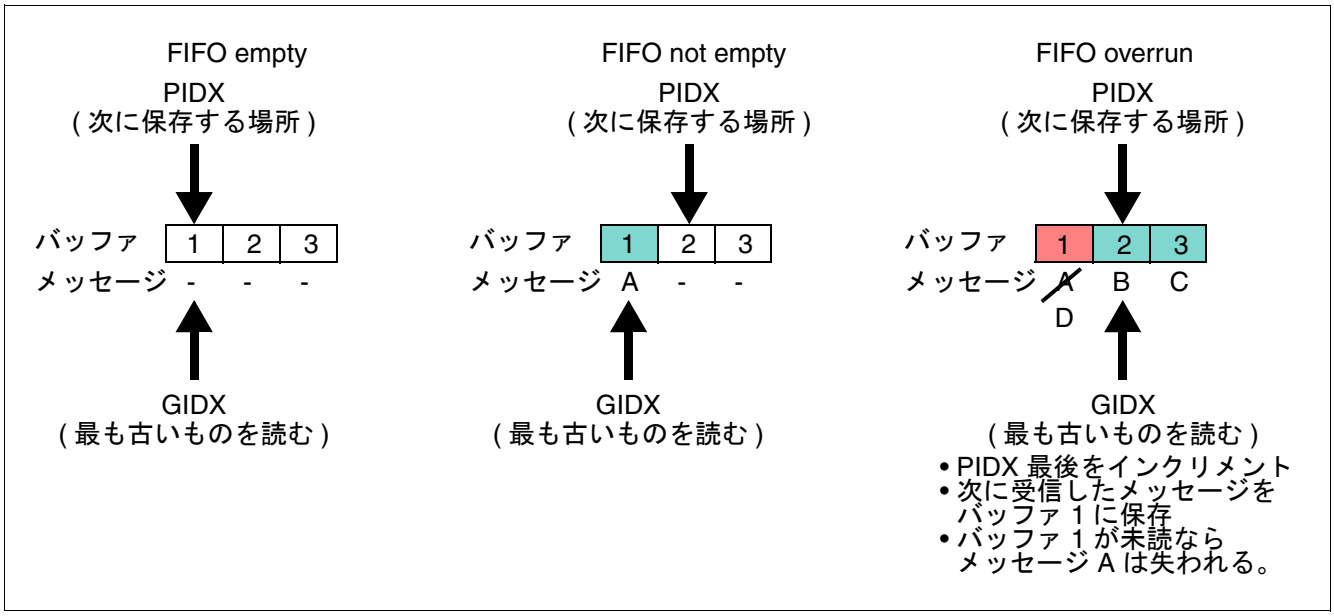
PUT インデックス (PIDX) が GET インデックス (GIDX) の値に達すると , FIFO は一杯になります。最も古いメッセージが読み出される前に次のメッセージが FIFO に書き込まれると , PUT インデックスと GET インデックスは両方ともインクリメントされ , 新しいメッセージが FIFO の最も古いメッセージを上書きします。これにより FIFO オーバーランフラグ **EIR.RFO** がセットされます。

FIFO non empty ステータスは , PUT インデックス (PIDX) と GET インデックス (GIDX) が異なるときに検出されます。この場合 , フラグ **SIR.RFNE** がセットされます。これには FIFO 内に受信メッセージが少なくとも 1 つはあることを示しています。FIFO empty, FIFO not empty, FIFO overrun ステートについては図 FIFO ステータス :empty, not empty, overrun で 3 つのメッセージバッファ FIFO について説明しています。

プログラマブル FIFO リジェクションフィルタ (FRF) はリジェクトするメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ , フレーム ID フィルタ , サイクルカウンタフィルタで構成されています。ビット **FRF.RSS** が "1" (デフォルト) にセットされている場合 , 静的セグメントで受信されたメッセージはすべて FIFO によってリジェクトされます。ビット **FRF.RNF** が "1" (デフォルト) にセットされている場合 , 受信された null フレームは FIFO に保存されません。

FIFO リジェクションフィルタマスク (FRFM) は , FIFO リジェクションフィルタレジスタ内のフレーム ID フィルタのどのビットが , リジェクションフィルタにとって「関係ない」のかを指定します。

FIFO ステータス :empty, not empty, overrun



10.2. FIFO の構成

FIFO に属するメッセージバッファの (再) 構成は , CC が DEFAULT_CONFIG または CONFIG ステートのときのみ可能です。CC が DEFAULT_CONFIG または CONFIG ステートの間は , FIFO 機能は利用できません。

FIFO に属するメッセージバッファでペイロード長が指定されているものはすべて , **WRHS2.PLC[6:0]** で同じ値にプログラムしなければなりません。メッセージ RAM 内で , 各メッセージバッファのデータセクションの最初の 32 ビットワードへのデータポインタは , **WRHS3.DP[10:0]** で設定しなければなりません。

受容フィルタリングに必要なすべての情報は , FIFO リジェクションフィルタと FIFO リジェクションフィルタマスクから取得します。FIFO に属するメッセージバッファのヘッダセクション内で指定される値は , DP と PLC 以外は意味がありません。

(注意事項) 受信したフレームのペイロード長が , 該当するメッセージバッファのヘッダセクション内の **WRHS2.PLC[6:0]** でプログラムされた値より長い場合 , FIFO のメッセージバッファに保存されたデータフィールドは , 長さが不完全です。

10.3. FIFO へのアクセス

DEFAULT_CONFIG および CONFIG ステート以外で FIFO へアクセスするには , レジスタ OBCR に FIFO の最初のメッセージバッファ番号 (**MRC.FFB[7:0]** で参照される) を書き込んで , ホストによりメッセージ RAM からアウトプットバッファへの転送をトリガする必要があります。これで , 出力バッファへの GET インデックスレジスタ (GIDX) で読み出されるメッセージバッファをメッセージハンドラが転送します。この転送後 , GET インデックスレジスタ (GIDX) がインクリメントされます。

11.メッセージハンドリング

メッセージハンドラは , 入力 / 出力バッファとメッセージ RAM 間 , およびメッセージ RAM と 2 つの一時バッファ RAM 間を , 転送するデータを制御します。内部 RAM へのアクセスはすべて 32+1 ビットアクセスです。補助ビットはパリティチェックに使用されます。

メッセージ RAM に保存されているメッセージバッファへのアクセスは , メッセージハンドラステートマシンの制御の下に行なわれます。これにより , 2 つの FlexRay チャネルプロトコルコントローラと ホストがメッセージ RAM へアクセスする矛盾を回避します。

静的セグメントに割り当てられたメッセージバッファのフレーム ID は , 1 ～ **GTUC7.NSS[9:0]** の範囲内でなければなりません。動的セグメントに割り当てられたメッセージバッファのフレーム ID は , **GTUC7.NSS[9:0]** + 1 ～ 2047 の範囲内でなければなりません。

マッチする受信専用バッファ (静的セグメントまたは動的セグメント) がない受信メッセージは , FIFO リジェクションフィルタを通過していれば , 受信 FIFO (構成されている場合) に保存されます。

11.1. メッセージバッファの再構成

アプリケーションが 128 を超える異なるメッセージと共に実行する必要がある場合は , FlexRay の実行中に静的および動的メッセージバッファを再構成できます。これは , 入力バッファレジスタ WRHS1 ～ 3 で , 各メッセージバッファのヘッダセクションを更新することで実行します。

再構成は , メッセージ RAM 構成レジスタのコントロールビット **MRC.SEC[1:0]** で有効にする必要があります。

再構成がスタートする前に , メッセージバッファが受信フレームから送信 / 更新されていない場合 , 該当するメッセージは失われます。

再構成されたフレーム ID に従って , 再構成されたメッセージバッファの送信 / 受信準備が整うタイミングは , ヘッダセクションの更新が完了した時点の実際のスロットカウンタの状態による。したがって , 再構成されたメッセージバッファが , 再構成されたサイクル中に , 受信したフレームから送信 / 更新されない場合があります。

メッセージ RAM は以下の表に従ってスキャンされます。

メッセージ RAM のスキャン

スロットのスキャン開始	スロットのスキャン
1	2 ～ 15, 1 (次サイクル)
8	16 ～ 23, 1 (次サイクル)
16	24 ～ 31, 1 (次サイクル)
24	32 ～ 39, 1 (次サイクル)
～	～

メッセージ RAM スキャンはスキャンが終了したかどうかに係わらず , NIT が始まると終了します。スロット 2 ～ 15 のメッセージ RAM のスキャンは , 実際のサイクルのスロット 1 の最初からはじまります。スロット 1 のメッセージ RAM のスキャンはメッセージ RAM の各スキャンと平行して , 次サイクルにスロット 1 用に構成されたメッセージバッファが存在するか確認することで , 前のサイクルの中で実行されます。

最初の動的メッセージバッファの番号は **MRC.FDB[7:0]** で設定されます。CC が動的セグメント内にある間に , メッセージ RAM スキャンがスタートした場合 , スキャンは **MRC.FDB[7:0]** で設定されたメッセージバッファ番号からスタートします。

メッセージバッファを次サイクルのスロット 1 で使用するように再構成しなければならない場合は , 以下を考慮する必要があります。

- スロット 1 用に再構成しようとするメッセージバッファが「静的バッファ」の一部であった場合は , 前回の実サイクルの静的セグメント内のメッセージ RAM スキャンが , このメッセージバッファを評価するより前に再構成されていない限り見つかりません。
- スロット 1 用に再構成しようとするメッセージバッファが「静的 + 動的バッファ」の一部であった場合は , 前回の実サイクルのメッセージ RAM スキャンが , このメッセージバッファを評価するより前に再構成されていれば見つかります。
- NIT がスタートするとメッセージ RAM スキャンは強制終了されます。メッセージ RAM スキャンがこの時点で再構成されたメッセージバッファをまだ評価していない場合 , メッセージバッファは次サイクル用とは見なされません。

（注意事項） メッセージバッファの再構成により , メッセージが失われることがありますので , 慎重に使用してください。最悪の場合 （連続したサイクルで立て続けに再構成された場合）メッセージバッファが , 受信したフレームからまったく送信 / 更新されない場合があります。

11.2. ホストのメッセージ RAM へのアクセス

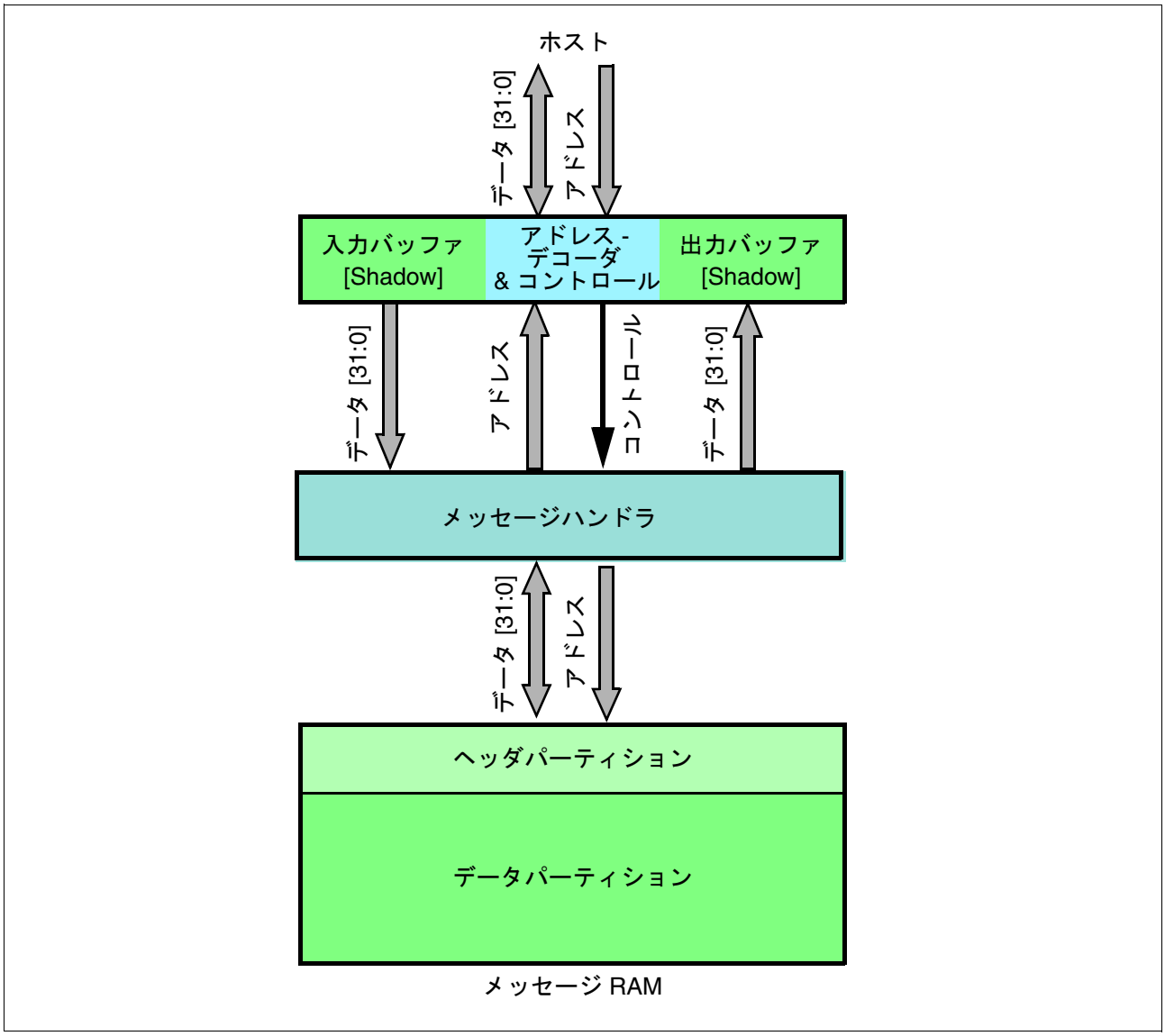
入力バッファとメッセージ RAM 間のメッセージの転送も , メッセージ RAM と出力バッファ間のメッセージの転送も , アクセスするターゲット / ソースメッセージバッファの番号を ホストが IBCR レジスタか OBCR レジスタに書き込むことによってトリガされます。

IBCM レジスタと OBCM レジスタはそれぞれ , 選択されたメッセージバッファのヘッダとデータセクションの読み書きに使用されます。

ビット **IBCM.STXR** が = "1" にセットされている場合 , メッセージバッファが更新されたら , 選択されたメッセージバッファの送信要求フラグ **TXR** が自動的にセットされます。ビット **IBCM.STXR** が = "0" にセットされている場合 , 選択されたメッセージバッファの送信要求フラグ TXR はリセットされます。これは連続モードで作動しているメッセージバッファからの送信停止に利用することができます。

入力バッファ (IBF) および 出力バッファ (OBF) は二重バッファ構造として構築されます。この二重バッファ構造の半分は Host (IBF Host / OBF Host) からアクセス可能で , もう半分は (IBF Shadow / OBF Shadow) は IBF / OBF とメッセージ RAM 間のデータ転送のために , メッセージハンドラがアクセスします。

ホストのメッセージ RAM へのアクセス

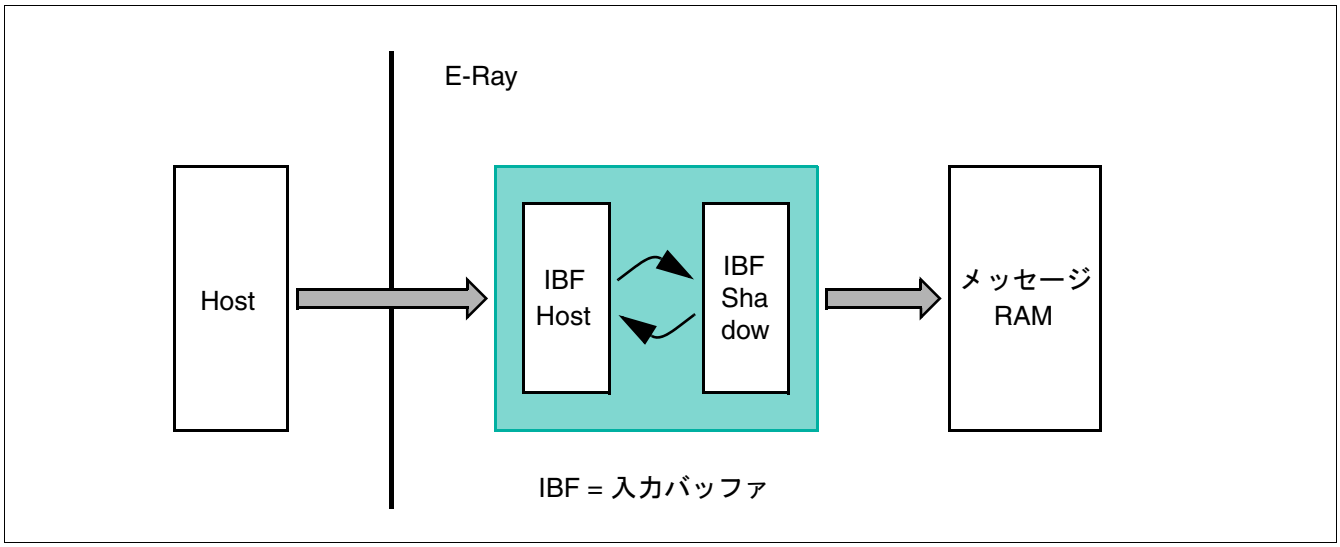


11.2.1. 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを構成 / 更新するには , ホストが データを WRDSn に書き , ヘッダを WRHS1 ～ 3 に書き込む必要があります。入力バッファコマンドマスク IBCM を構成することで特定の動作を選択します。

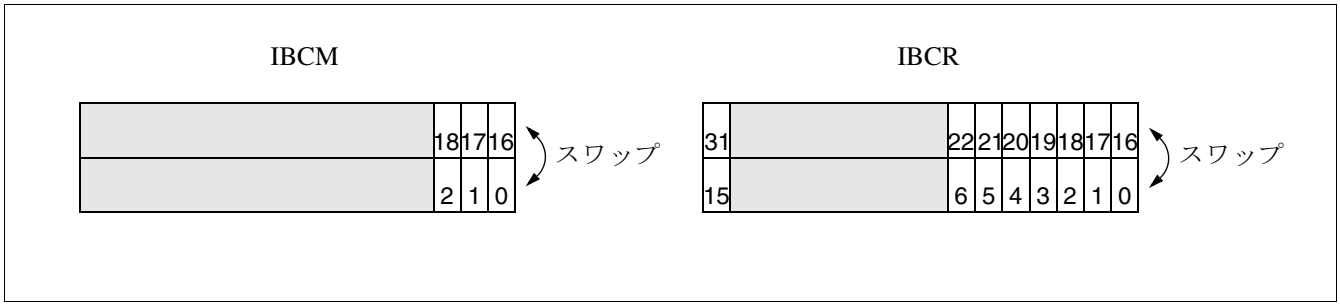
ホストがメッセージ RAM 内のターゲットメッセージバッファの番号を **IBCR.IBRH[6:0]** に書き込むと , IBF Host と IBF Shadow がスワップされます (下図参照)。

二重バッファ構造入力バッファ



さらに , IBCM レジスタと IBCR レジスタ内のビットもスワップされ , 該当する IBF セクションとの関連付けを保持します
(下図参照)。

IBCM ビットと IBCR ビットのスワップ



この書き込みでビット **IBCR.IBSYS** は "1" にセットされます。その後 , メッセージハンドラは , IBF Shadow の内容を **IBCR.IBRS[6:0]** で選択されたメッセージ RAM のメッセージバッファへ転送しはじめます。

メッセージハンドラがデータを IBF Shadow からメッセージ RAM のターゲットメッセージバッファへ転送している間に , ホストは IBF ホストに次のメッセージを書き込むことができます。IBF Shadow と メッセージ RAM の間の転送が完了したら , ビット **IBCR.IBSYS** は "0" に戻され , ホストが該当するターゲットメッセージバッファ番号を **IBCR.IBRH[6:0]** に書き込むと次のメッセージ RAM への転送が開始できます。

IBCR.IBSYS が "1" である間に **IBCR.IBRH[6:0]** への書込みアクセスが発生すると , **IBCR.IBSYH** が "1" にセットされます。実行中の IBF Shadow からメッセージ RAM へのデータ転送が完了すると , IBF Host と IBF Shadow のスワップがおこり , **IBCR.IBSYH** は "0" にリセットされ , **IBCR.IBSYS** は "1" のままで , メッセージ RAM への次の転送がはじまります。さらに , メッセージバッファ番号が **IBCR.IBRH[6:0]** および **IBCR.IBRS[6:0]** に保存され , コマンドマスクフラグもスワップされます。

8/16/32- ビット ホストのアクセスシーケンスの例 :
IBF を介して n 番目のメッセージバッファを構成 / 更新するには
・**IBCR.IBSYH** がリセットされるまで待ちます。
・データセクションを WRDSn に書き込みます。
・ヘッダセクションを WRHS1 ～ 3 に書き込みます。
・書き込みコマンドマスク :**IBCM.STXRH**, **IBCM.LDSH**, **IBCM.LHSH** を書き込みます。
・ターゲットメッセージバッファへのデータ転送を要求 :**IBCR.IBRH[6:0]** を書きます。
IBF を介して n+1 番目のメッセージバッファを構成 / 更新するには
・IBCR.IBSYH がリセットされるまで待ちます。
・データセクションを WRDSn に書き込みます。
・ヘッダセクションを WRHS1 ～ 3 に書き込みます。
・書き込みコマンドマスク :IBCM.STXRH, IBCM.LDSH, IBCM.LHSH を書き込みます。
・ターゲットメッセージバッファへのデータ転送を要求 :IBCR.IBRH[6:0] を書きます。

（注意事項）**IBCR.IBSYH** が "1" である間に IBF になんらかの書き込みアクセスがあれば , エラーフラグ **EIR.IIBA** が "1" にセットされます。この場合 , その書き込みアクセスは無効となります。

IBCM ビットの割当

位置	アクセス	ビット	機能
18	r	STXRS	Shadow の送信要求を継続または終了
17	r	LDSS	Shadow のデータセクションのロードを継続または終了
16	r	LHSS	Shadow のヘッダセクションのロードを継続または終了
2	r/w	STXRH	ホストの送信要求をセット
1	r/w	LDSH	ホストのデータセクションのロード
0	r/w	LHSH	ホストのヘッダセクションのロード

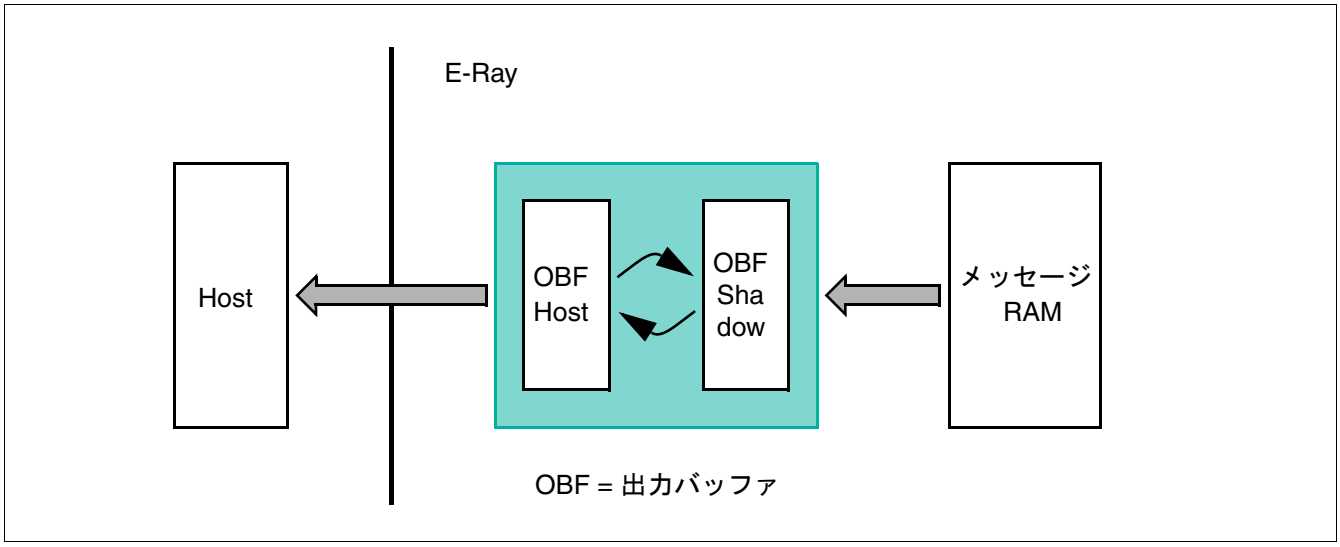
IBCR ビットの割当

位置	アクセス	ビット	機能
31	r	IBSYS	Shadow の IBF がビジー , IBF Shadow からメッセージ RAM へ転送中であることを示しています。
22 ～ 16	r	IBRS[6:0]	Shadow の IBF 要求 , 現在 / 最近更新されたメッセージバッファ番号
15	r	IBSYH	ホストの IBF がビジー , IBRH[6:0] で参照されるメッセージ バッファ転送要求の保留
6 ～ 0	r/w	IBRH[6:0]	ホストの IBF 要求 , つぎに更新されるメッセージバッファ番号

11.2.2. メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファを読み出すには , ホストが OBCR レジスタに書き , OBCM に設定されているデータ転送をトリガする必要があります。転送完了後 , ホストは RDDSn, RDHS1 ～ 3, および MBS から転送されたデータを読み出すことができます。

二重バッファ構造出力バッファ

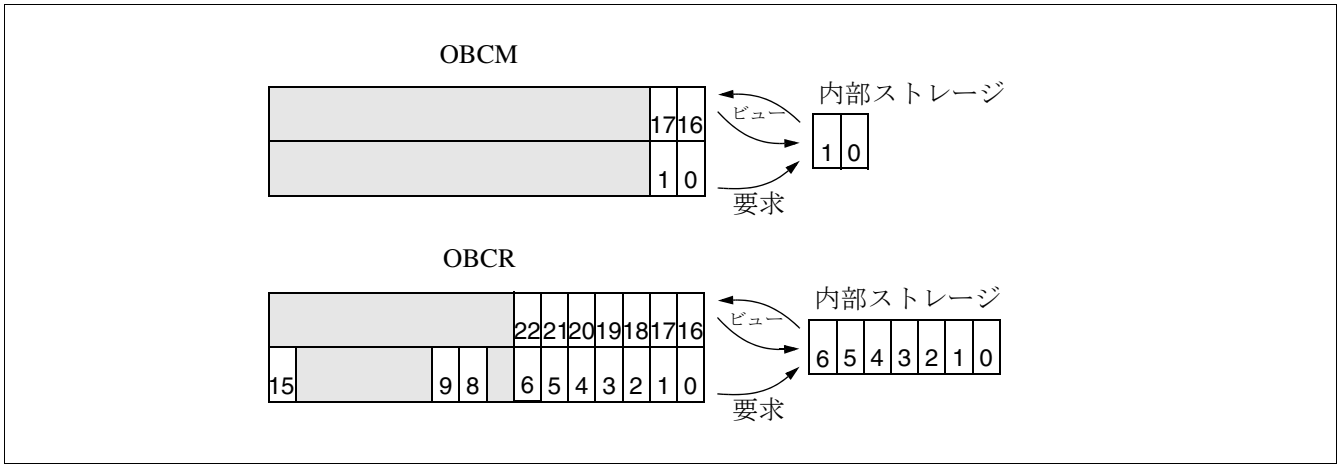


OBF Host と OBF Shadow およびビット **OBCM.RHSS**, **OBCM.RDSS**, **OBCM.RHSH**, **OBCM.RDSH**, そしてビット **OBCR.OBRS[6:0]**, **OBCR.OBRH[6:0]** はビット **OBCR.VIEW** と **OBCR.REQ** の制御にしたがってスワップされます。

OBCR.REQ ビットを "1" にすると , **OBCM.RHSS**, **OBCM.RDSS** ビット および **OBCR.OBRS[6:0]** ビットを内部ストレージにコピーします (図 “OBCM ビットと OBCR ビットのスワップ ” 参照)。

OBCR.REQ を "1" にセットすると , **OBCR.OBSYS** が "1" にセットされ , **OBCR.OBRS[6:0]** で選択されたメッセージバッファが , メッセージ RAM から OBF Shadow へ転送されはじめます。メッセージ RAM と OBF Shadow 間の転送完了後 , **OBCR.OBSYS** ビットは "0" に戻ります。**OBCR.OBSYS** が "0" である間 , **OBCR.REQ** と **OBCR.VIEW** ビットは "1" にしかセットできません。

OBCM ビットと OBCR ビットのスワップ



OBCR.VIEW ビットを "1" にセットすると , **OBCR.OBSYS** ビットが "0" の間 , OBF Host と OBF Shadow はスワップされます (図 “ 二重バッファ構造出力バッファ ” 参照)。

さらに , **OBCR.OBRH[6:0]** ビットと **OBCM.RHSH**, **OBCM.RDSH** ビットは内部ストレージレジスタとスワップされます。このようにして , **OBCR.OBRH[6:0]** に保存されたメッセージバッファ番号と **OBCM.RHSH**, **OBCM.RDSH** に保存されたマスク構成が , 転送され OBF ホストに保存されるデータと一致することが保証されます。(図 “OBCM ビットと OBCR ビットのスワップ ” 参照)。

これで , メッセージハンドラがメッセージ RAM から OBF Shadow へ , 次のメッセージを転送している間に , ホストは OBF Host から転送されたメッセージバッファを読むことができます。

シングルメッセージバッファへの 8/16/32- ビット Host アクセスの例 :

シングルメッセージバッファを読み出す必要がある場合は , **OBCR.REQ** と **OBCR.VIEW** への 2 つの独立した書き込みアクセスが必要です。

・**OBCR.OBSYS** がリセットされるまで待ちます。

・出力バッファコマンドマスク **OBCM.RHSS**, **OBCM.RDSS** を書きます。

・**OBCR.OBRS[6:0]** と **OBCR.REQ** を書き込み , OBF Shadow へのメッセージバッファの転送を要求します (8- ビット Host インターフェースの場合 , **OBCR.OBRS[6:0]** を **OBCR.REQ** より先に書く必要があります)。
・**OBCR.OBSYS** がリセットされるまで待ちます。
・**OBCR.VIEW** = "1" を書き込み OBF Shadow と OBF ホストをトグルします。
・RDDSn, RDHS1 ～ 3, および MBS を読んで , 転送されたメッセージバッファを読み出します。

8/16/32- ビット ホストのアクセスシーケンスの例 :
1 番目のメッセージバッファを OBF Shadow へ転送する要求
・**OBCR.OBSYS** がリセットされるまで待ちます。
・1 番目のメッセージバッファに , 出力バッファコマンドマスク **OBCM.RHSS**, **OBCM.RDSS** を書きます。
・ **OBCR.OBRS[6:0]** と **OBCR.REQ** を書き込み , OBF Shadow への 1 番目のメッセージバッファの転送を要求します (8- ビット Host インターフェースの場合 , **OBCR.OBRS[6:0]** を **OBCR.REQ** より先に書く必要があります)。
OBF Shadow と OBF ホストをトグルして , 1 番目に転送されたメッセージバッファを読み出し , 2 番目のメッセージバッファの転送を要求します。
・**OBCR.OBSYS** がリセットされるまで待ちます。
・2 番目のメッセージバッファに , 出力バッファコマンドマスク **OBCM.RHSS**, **OBCM.RDSS** を書きます。
・OBF Shadow と OBF ホストをトグルし , 同時に 2 番目のメッセージバッファの OBF Shadow への転送を開始します。それには ,2 番目のメッセージバッファの **OBCR.OBRS[6:0]**, **OBCR.REQ**, および **OBCR.VIEW** を書き込みます (8- ビット Host インターフェースの場合 , **OBCR.OBRS[6:0]** を **OBCR.REQ** と **OBCR.VIEW** より先に書き込む必要があります)。
・RDDSn, RDHS1 ～ 3, および MBS を読んで , 最初に転送されたメッセージバッファを読み出します。

別のメッセージバッファへの要求なしに , 前回要求したメッセージバッファへのアクセスを要求 :
・**OBCR.OBSYS** がリセットされるまで待ちます。
・**OBCR.VIEW** を書いて , 前回転送したメッセージバッファへアクセスを要求します。
・RDDSn, RDHS1 ～ 3, および MBS を読んで , 前回転送されたメッセージバッファを読み出します。

OBCM ビットの割当

位置	アクセス	ビット	機能
17	r	RDSH	データセクションへ ホストがアクセス可
16	r	RHSH	ヘッダセクションへ ホストがアクセス可
1	r/w	RDSS	Shadow のデータセクションの読出し
0	r/w	RHSS	Shadow のヘッダセクションの読出し

OBCR ビットの割当

位置	アクセス	ビット	機能
22 ～ 16	r	OBRH[6:0]	ホストの OBF 要求 , メッセージバッファ番号への ホストのアクセス可
15	r	OBSYS	Shadow の OBF がビジー , メッセージ RAM から OBF Shadow へ送信中であることを示しています。
9	r/w	REQ	メッセージ RAM から OBF Shadow への送信要求
8	r/w	VIEW	OBF Shadow の表示 , OBF Shadow と OBF ホストのスワップ
6 ～ 0	r/w	OBRS[6:0]	Shadow の OBF 要求 , 次に要求されるメッセージバッファ番号

11.3. FlexRay プロトコルコントローラのメッセージ RAM へのアクセス

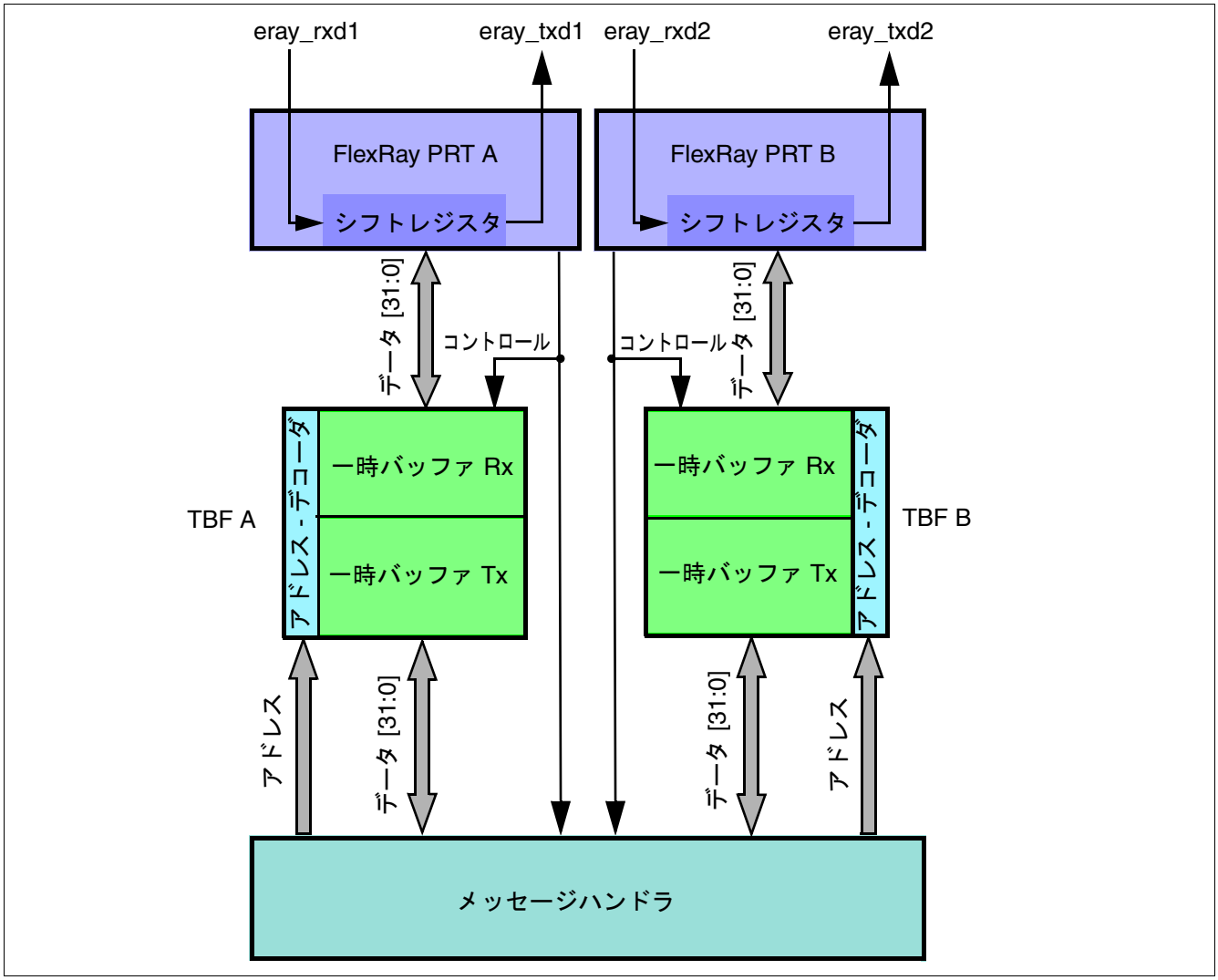
2 つの一時バッファ RAM (TBF A,B) は , 2 つの FlexRay プロトコルコントローラと , メッセージ RAM の間を転送するデータのバッファとして使用されます。

各一時バッファ RAM は二重バッファとして構成されており , FlexRay メッセージを完全に 2 つ保存できます。必ず 1 つのバッファが対応するプロトコルコントローラに割り当てられ , もう一方はメッセージハンドラからアクセスできます。

例えば , メッセージハンドラが次のメッセージを一時バッファ Tx に送信するように書き込んだ場合 , FlexRay チャネルプロトコルコントローラは一時バッファ Rx にアクセスし , 実際に受信したメッセージを保存できます。一時バッファ Tx に保存されたメッセージを送信中 , メッセージハンドラは最近受信し , (受容フィルタを通過した場合) 一時バッファ Rx に保存したメッセージをメッセージ RAM に転送し , 該当するメッセージバッファを更新します。

一時バッファ RAM と FlexRay チャネルプロトコルコントローラの , シフトレジスタ間のデータ転送は 32 ビットワードで行なわれます。これにより , FlexRay メッセージの長さに関係なく , 32 ビットのシフトレジスタが使用できます。

一時バッファ RAM へのアクセス



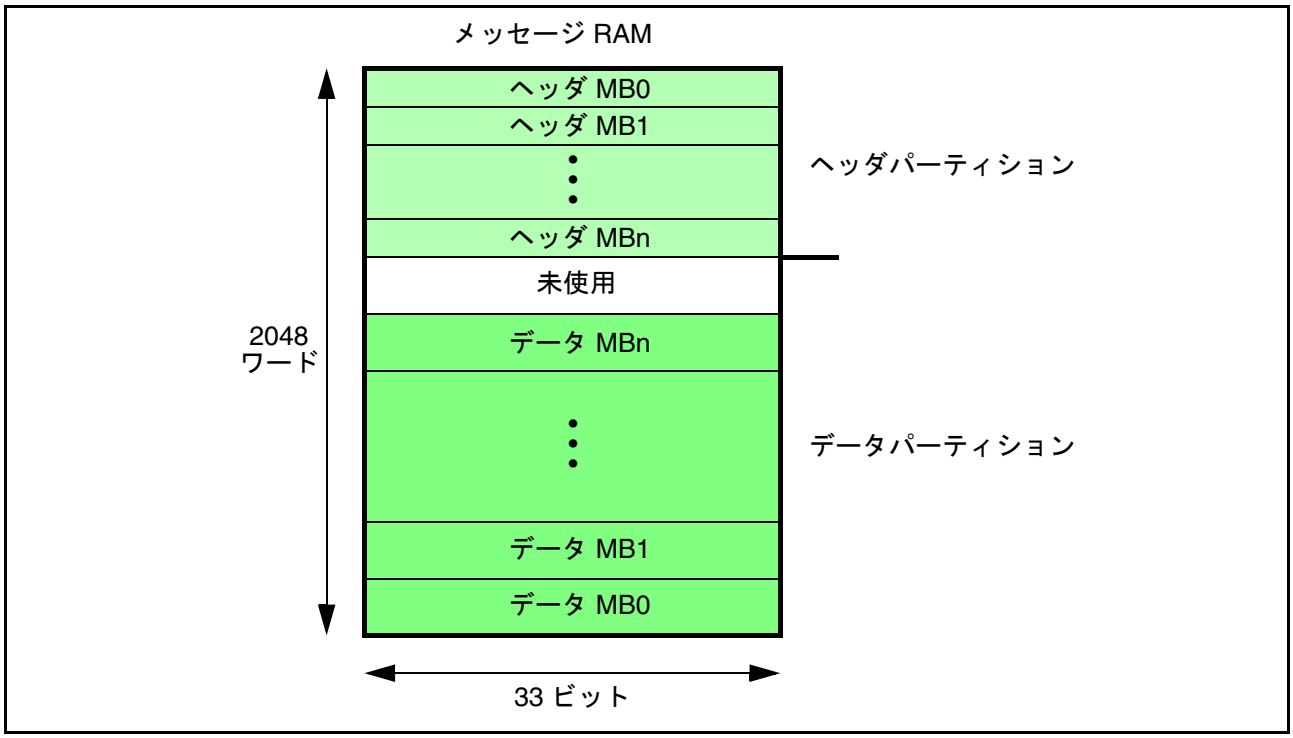
12.メッセージ RAM

ホストの メッセージ RAM へのアクセスと FlexRay のメッセージ受 / 送信の衝突を避けるため , ホストはメッセージ RAM 内のメッセージバッファに直接アクセスできません。これらのアクセスは入力バッファおよび出力バッファを介して操作します。設定するペイロード長によって , メッセージ RAM には最大 128 個までメッセージバッファを保存できます。

メッセージ RAM は 2048 x 33 = 67,584 ビットで構成されています。各 32 ビットワードはパリティビットで保護されます。FlexRay フレーム (0 ～ 254) ごとの多様なデータバイト数に対応するために必要なフレキシビリティを実現するため , メッセージ RAM は図 “ メッセージ RAM 内のメッセージ バッファの構成例 ” のような構造になっています。

データパーティションは次のメッセージ RAM ワード番号からスタートできます。(**MRC.LCB** + 1) • 4

メッセージ RAM 内のメッセージ バッファの構成例



ヘッダパーティション

・構成したメッセージバッファのヘッダセクションを保存します。
・最大 128 個のメッセージバッファをサポート
・各メッセージバッファには 4 つの 32+1 ビットワードのヘッダセクションがあります。
・各メッセージバッファのヘッダ 3 には , データパーティションの各データセクションへのデータポインタ (11- ビット) が格納されています。

データパーティション

データセクションの多様な長さにあわせたフレキシブルな格納。最大値は以下のようになります。
・メッセージバッファ 30, 各データセクション 254 バイト
・または , メッセージバッファ 56, 各データセクション 128 バイト
・または , メッセージバッファ 128, 各データセクション 48 バイト

制限 : ヘッダパーティション + データパーティションが 33 ビットワードを 2048 以上を占有することはできません。

12.1. ヘッダパーティション

メッセージバッファの構成に使用する要素と , 実際のメッセージバッファのステータスは , 表 " メッセージ RAM 内のメッセージバッファのヘッダセクション " のようにメッセージ RAM のヘッダパーティションに保存されます。メッセージバッファのヘッダセクションの構成は IBF (WRHS1 ～ 3) で行なわれます。ヘッダセクションの読み取りアクセスは OBF (RDHS1 ～ 3 + MBS) を介して行なわれます。メッセージ RAM のデータパーティション内の , 各メッセージバッファのデータセクションの始点を定義するため , プログラマがデータポインタを計算する必要があります。データポインタは実行中に修正してはいけません。受信 FIFO に属するメッセージバッファの (再) 構成は , DEFAULT_CONFIG または CONFIG ステートのときのみ可能です。

各メッセージバッファのヘッダセクションは , メッセージ RAM のヘッダパーティション内に 4 つの 33 ビットワードを格納しています。メッセージバッファ 0 のヘッダは , メッセージ RAM の最初のワードからはじまります。

送信バッファに関しては , ホストがヘッダ CRC を計算する必要があります。

受信したペイロード長 **PLR[6:0]**, 受信サイクルカウント **RCC[5:0]**, 受信チャネルインジケータ RCI, スタートアップフレームインジケータ **SFI**, 同期フレームインジケータ **SYN**, Null フレームインジケータ **NFI**, ペイロードプリアンブルインジケータ **PPI**, 予約ビット **RES** は , 受信した有効データフレームからしか更新されません。

構成した各メッセージバッファのヘッダワード 3 には , 該当するメッセージバッファのステータス MBS が保存されています。

メッセージ RAM 内のメッセージバッファのヘッダセクション

ビットワード	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	P			MBI	TXM	PPIT	CFG	CHB	CHA		サイクルコード												フレーム ID										
1	P		ペイロード長 受信								ペイロード長 構成												Tx バッファ : 構成されたヘッダ CRC Rx バッファ : 受信したヘッダ CRC										
2	P			RES	PPI	NFI	SYN	SFI	RCI			受信 サイクルカウント											データポインタ										
3	P			RESS	PPIS	NFIS	SYNS	SFIS	RCIS			サイクルカウント ステータス						FTB	FTA		MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
…	P	…																															
…	P	…																															

フレーム構成
フィルタ構成
メッセージバッファコントロール
メッセージ RAM 構成
受信したデータフレームから更新
メッセージバッファステータス MBS
パリティビット
未使用

ヘッダ 1 (ワード 0)
書き込みアクセスは WRHS1 で , 読み出しアクセスは RDHS1 で
・フレーム ID- スロットカウンタフィルタリング構成
・サイクルコード- サイクルカウンタフィルタリング構成
・CHA, CHB- チャネル フィルタリング構成
・CFG- メッセージバッファディレクション構成 : 受信 / 送信
・PPIT- ペイロードプリアンブルインジケータ送信
・TXM- 送信モード構成 : シングルショット / 連続
・MBI- メッセージバッファ受信 / 送信割込み許可

ヘッダ 2 (ワード 1)
書き込みアクセスは WRHS2 で , 読み出しアクセスは RDHS2 で
・ヘッダ CRC- 送信バッファ:ホストにより構成 (フレームヘッダから計算)

- 受信バッファ : 受信したフレームから更新

・構成されたペイロード長- Host で構成されたデータセクション長 (2 バイトワード)
・受信されたペイロード長- ペイロードセグメント長 (2 バイトワード)

受信したフレームから保存

ヘッダ 3 (ワード 2)
書き込みアクセスは WRHS3 で , 読み出しアクセスは RDHS3 で
・データポインタ- データパーティション内の対応するデータセクションの始点へのポインタ

読み出しアクセスは RDHS3 で , 受信バッファにのみ有効 , 受信フレームから更新
・受信サイクルカウント - 受信フレームからのサイクルカウント
・RCI- 受信チャネルインジケータ
・SFI- スタートアップフレームインジケータ
・SYN- 同期フレームインジケータ
・NFI- Null フレームインジケータ
・PPI- ペイロードプリアンブルインジケータ
・RES- 予約ビット

メッセージバッファステータス MBS (ワード 3)
MBS で読み込み , 構成されたスロットの末尾で CC により更新されます。
・VFRA- チャネル A で受信した有効フレーム
・VFRB- チャネル B で受信した有効フレーム
・SEOA- チャネル A で構文エラーを検出
・SEOB- チャネル B で構文エラーを検出
・CEOA- チャネル A で競合エラーを検出
・CEOB- チャネル B で競合エラーを検出
・SVOA- チャネル A でスロット境界違反を検出
・SVOB- チャネル B でスロット境界違反を検出
・TCIA- 送信矛盾表示チャネル A
・TCIB- 送信矛盾表示チャネル B
・ESA- 空スロットチャネル A
・ESB- 空スロットチャネル B
・MLST- メッセージロスト
・FTA- チャネル A でフレーム送信
・FTB- チャネル B でフレーム送信
・サイクルカウントステータス- ステータスが更新されたときの実サイクルカウント
・RCIS- 受信チャネルインジケータステータス
・SFIS- スタートアップフレームインジケータステータス
・SYNS- 同期フレームインジケータステータス
・NFIS- Null フレームインジケータステータス
・PPIS- ペイロードプリアンブルインジケータステータス
・RESS- 予約ビットステータス

12.2. データパーティション

メッセージ RAM のデータパーティションには , ヘッダパーティションの定義にしたがって受 / 送信用に構成された , メッセージバッファのデータセクションが保存されています。各メッセージバッファのデータバイト数は 0 ～ 254 の間で変化します。2 つの FlexRay プロトコルコントローラのシフトレジスタと , メッセージ RAM 間のデータ転送 , および Host インターフェースとメッセージ RAM 間のデータ転送を最適化するには , メッセージ RAM の物理幅を 4 バイトプラスパリティ 1 ビットにします。

データパーティションはヘッダパーティションの最後のワードの後からはじまります。メッセージ RAM でメッセージバッファを構成するときは , プログラマはデータポインタがデータパーティション内のアドレスを指していることを確認する必要があります。以下の表 メッセージ RAM 内のデータパーティションの構造例 は , 構成されたメッセージバッファのデータセクションが , メッセージ RAM のデータパーティションに保存される様子の例を示しています。

メッセージバッファのデータセクションの始点と末尾は , それぞれメッセージバッファのヘッダセクションで設定されている , データポインタとペイロード長で決められます。これにより , 様々なデータ長のメッセージバッファを保存するために利用可能な RAM スペースを , 柔軟に使用することができます。

データセクションのサイズが奇数の 2 バイトワードの場合 , 32 ビットワード中残っている後半の 16 ビットは使用されません (以下の表 “ メッセージ RAM 内のデータパーティションの構造例 ” 参照)。

メッセージ RAM 内のデータパーティションの構造例

ビット ワード	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	P	未使用								未使用								未使用								未使用								
...	P	未使用								未使用								未使用								未使用								
...	P	MBn データ 3								MBn データ 2								MBn データ 1								MBn データ 0								
...	P	...								...								...								...								
...	P	...								...								...								...								
...	P	MBn データ (m)								MBn データ (m-1)								MBn データ (m-2)								MBn データ (m-3)								
...	P	...								...								...								...								
...	P	...								...								...								...								
...	P	...								...								...								...								
...	P	MB1 データ 3								MB1 データ 2								MB1 データ 1								MB1 データ 0								
...	P	...								...								...								...								
...	P	MB1 データ (k)								MB1 データ (k-1)								MB1 データ (k-2)								MB1 データ (k-3)								
2046	P	MB0 データ 3								MB0 データ 2								MB0 データ 1								MB0 データ 0								
2047	P	未使用								未使用								MB0 データ 5								MB0 データ 4								

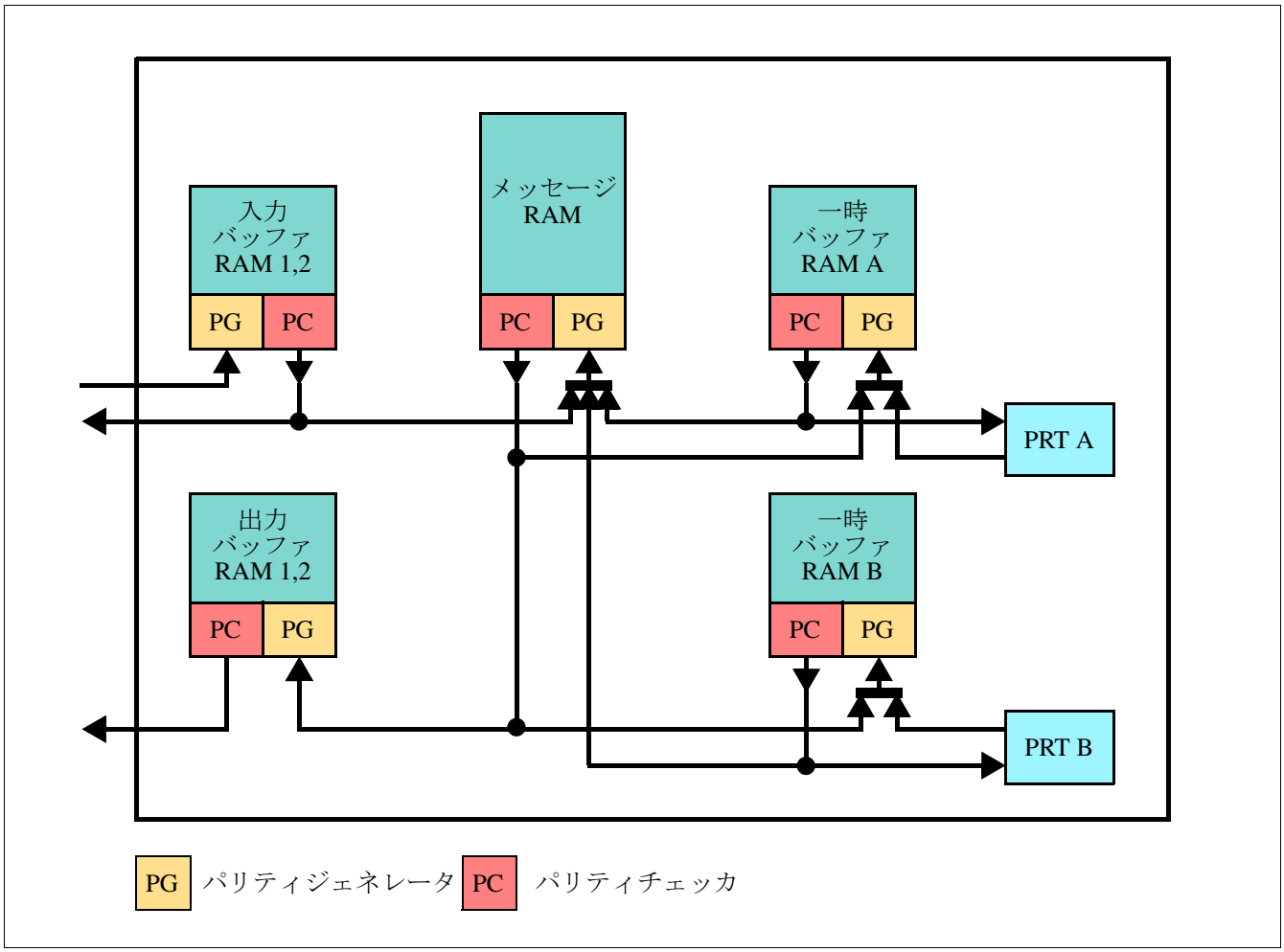
12.3. パリティチェック

7 つの RAM ブロックに保存されるデータの整合性を保証するために , E-Ray コアにはパリティチェックメカニズムがついています。図 “ パリティジェネレーションとチェック ” に示すように , RAM ブロックにはパリティジェネレータ / チェッカが付属してます。データが RAM ブロックに書き込まれるとき , ローカルパリティジェネレータがパリティビットを生成します。E-Ray コアは偶数パリティを使用します (32 ビットデータワード内に 1 が偶数個あれば , 0 パリティビットが生成されます)。パリティビットはそれぞれのデータワードと共に保存されます。いずれかの RAM ブロックから , データワードが読み出される度にパリティがチェックされます。E-Ray コアの内部データバスは 32 ビット幅です。

パリティエラーが検出された場合は , 該当するエラーフラグがセットされます。パリティエラーフラグ **MHDS.PIBF**, **MHDS.POBF**, **MHDS.PMR**, **MHDS.PTBF1**, **MHDS.PTBF2**, および異常メッセージバッファインジケータ MHDS.FMBD, MHDS.MFMB, MHDS.FMB[6:0] はメッセージハンドラステータスレジスタ内にあります。これらのシングルエラーフラグはエラー割込みフラグ **EIR.PERR** を制御します。

図“パリティジェネレーションとチェック”は , RAM ブロックとパリティジェネレータ / チェッカの間のデータパスを示しています。

パリティジェネレーションとチェック



（注意事項） パリティジェネレータ / チェッカは RAM ブロックの一部ではなく , E-Ray コアの一部である RAM アクセスロジックの一部です。

パリティエラーが検出された場合は , 以下の動作が実行されます。

どんな場合も

・該当するパリティエラーフラグがレジスタ MHDS にセットされます。

・パリティエラーフラグ EIR.PERR がセットされ 許可されていれば , ホストに対してモジュール割込みが発生します。

特殊な場合には

1) 入力バッファ RAM 1,2 から→メッセージ RAM へデータ転送中のパリティエラー

a) ヘッダとデータセクションの転送 :

・**MHDS.PIBF** ビットがセットされます。

・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。

・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。

・バッファの送信 : 各メッセージバッファに対する送信要求はセットされません。

b) データセクションのみ転送 :

メッセージ RAM から該当するメッセージバッファのヘッダセクション読み取り中のパリティエラー。

・**MHDS.PMR** ビットがセットされます。

・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。

・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。

・各メッセージバッファのデータセクションは更新されません。

・バッファの送信 : 各メッセージバッファに対する送信要求はセットされません。

2) ホストの入力バッファ RAM 1, 2 読み取り中のパリティエラー

・**MHDS.PIBF** ビットがセットされます。

3) メッセージ RAM 内のヘッダセクションをスキャン中のパリティエラー
・**MHDS.PMR** ビットがセットされます。
・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。
・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。
・メッセージバッファを無視 (メッセージバッファがスキップされます)

4) メッセージ RAM から→一時バッファ RAM 1,2 へデータ転送中のパリティエラー
・**MHDS.PMR** ビットがセットされます。
・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。
・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。
・未送信のフレーム , 送信中のフレームは , フレーム CRC をゼロにセットすることで無効化されます。

5) 一時バッファ RAM 1, 2 から→プロトコルコントローラ 1, 2 へデータ転送中のパリティエラー
・**MHDS.PTBF1,2** ビットがセットされます。
・送信中のフレームは , フレーム CRC をゼロにセットすることで無効化されます。

6) 一時バッファ RAM 1, 2 から→メッセージ RAM へデータ転送中のパリティエラー
a) メッセージ RAM から該当するメッセージバッファのヘッダセクション読み取り中のパリティエラー。
・**MHDS.PMR** ビットがセットされます。
・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。
・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。
・各メッセージバッファのデータセクションは更新されません。
b) 一時バッファ RAM 1, 2 読み取り中のパリティエラー。
・**MHDS.PTBF1,2** ビットがセットされます。
・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。
・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。

7) メッセージ RAM から→出力バッファ RAM へデータ転送中のパリティエラー
・**MHDS.PMR** ビットがセットされます。
・**MHDS.FMBD** ビットがセットされ , **MHDS.FMB[6:0]** が間違ったメッセージバッファを指していることを示します。
・**MHDS.FMB[6:0]** は異常なメッセージバッファの番号を示します。
8) ホストの出力バッファ RAM 1, 2 読み取り中のパリティエラー
・**MHDS.POBF** ビットがセットされます。
9) 一時バッファ RAM 1, 2 のデータ読み取り中のパリティエラー。
メッセージハンドラが一時バッファ RAM 1, 2 から , ネットワーク管理情報 (PPI = "1") 付きのフレームを読み出すときに , パリティエラーが発生した場合 , 対応するネットワーク管理ベクタレジスタ NMV1 ～ 3 は , そのフレームからは更新されません。

13.モジュール割込み

一般に , 割込みはプロトコルタイミングと密接な関係にあります。それは割込みがエラーまたは状態遷移が CC に検出された , フレームが受信または送信された , 設定されているタイマ割込みが作動した , ストップウォッチイベントが発生した瞬間のほぼ直後にトリガされるためです。これにより , 特定のエラー状況 , 状態遷移 , タイマイベントに対して , ホストが非常に速く反応することが可能になります。また一方で , 割込みが多すぎると , ホストはアプリケーションが要求する制限時間を越えてしまいます。したがって , CC では個々の割込みソースの制御を , 個別に許可 / 無効化することができるようになっています。

・以下のような場合に割込みがトリガされます。

・エラーが検出されたとき。

・ステータスフラグがセットされたとき。

・タイマが事前に設定した値に達したとき。

・入力バッファからメッセージ RAM へ , またはメッセージ RAM から出力バッファへのメッセージ転送が完了したとき。

・ストップウォッチイベントが発生したとき。

状態遷移やエラーが発生したときに , ステータスを追跡することと割込みを生成することは , それぞれ独立した 2 つのタスクです。割込みが許可されているかどうかに関係なく , 対応するステータスは追跡され , CC によって示されます。ホストはレジスタ EIR と SIR を読むことで , 実際のステータスやエラー情報にアクセスできます。

モジュール割込みフラグと割込みラインを許可

レジスタ	ビット	機能
EIR	PEMC	プロトコルエラーモード変更
	CNA	コマンドが無効です。
	SFBM	同期フレームが最初値以下です。
	SFO	同期フレームオーバーフロー
	CCF	クロック補正失敗
	CCL	CHI コマンドがロックされました。
	PERR	パリティエラー
	RFO	FIFO オーバーランの受信
	EFA	FIFO アクセスを空にします。
	IIBA	不正入力バッファアクセス
	IOBA	不正出力バッファアクセス
	MHF	メッセージハンドラ制限フラグ
	EDA	チャネル A でエラーを検出
	LTVA	チャネル A の最近の送信違反
	TABA	チャネル A での境界を超えた送信
	EDB	チャネル B でエラーを検出
	LTVB	チャネル B の最近の送信違反
	TABB	チャネル B での境界を超えた送信

レジスタ	ビット	機能
SIR	WST	WAKEUP ステート
	CAS	衝突回避シンボル
	CYCS	サイクルスタート割込み
	TXI	送信割込み
	RXI	受信割込み
	RFNE	FIFO not Empty を受信
	RFCL	FIFO クリティカルレベルを受信
	NMVC	ネットワーク管理ベクタの変更
	TI0	タイマ割込み 0
	TI1	タイマ割込み 1
	TIBC	入力バッファ転送完了
	TOBC	出力バッファ転送完了
	SWE	ストップウォッチイベント
	SUCS	スタートアップが正常に完了
	MBSI	メッセージバッファステータス割込み
	SDS	動的セグメントの開始
	WUPA	ウェイクアップパターンチャネル A
	MTSA	チャネル A で MTS を受信
	WUPB	ウェイクアップパターンチャネル B
	MTSB	チャネル B で MTS を受信
ILE	EINT0	割込みライン 0 の許可
	EINT1	割込みライン 1 の許可

ホストへの割込みライン , eray_int0 および eray_int1, は許可された割込みで制御されます。また , 2 つの割込みラインはどちらもビット **ILE.EINT0** および **ILE.EINT1** をプログラムすることで個別に許可 / 禁止できます。

割込みタイマ 0 および 1 で生成される 2 つのタイマ割込みは , 端子 eray_tint0 および eray_tint1 で利用可能です。これらはレジスタ T0C および T1C で設定できます。

ストップウォッチイベントは入力端子 **eray_stpwt** でトリガできます。

IBF/OBF および メッセージ RAM 間でのデータ送信状態は , 端子 **eray_ibusy** と **eray_obusy** で通知されます。送信が完了するとビット **SIR.TIBC** または **SIR.TOBC** がセットされます。

■ 付録

1. レジスタビットの概要

TEST1	テストレジスタ 1															
0x0010	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	CERB3	CERB2	CERB1	CERB0	CERA3	CERA2	CERA1	CERA0	0	0	TXENB	TXENA	TXB	TXA	RXB	RXA
W																
p33	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	AOB	AOA	0	0	TMC1	TMC0	0	0	ELBE	WRTEN
W																

TEST2	テストレジスタ 2															
0x0014	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p37	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RDPB	WRPB	0	0	0	0	0	0	0	SSEL2	SSEL1	SSEL0	0	RS2	RS1	RS0
W																

LCK	ロックレジスタ															
0x001C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p39	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	TMK7	TMK6	TMK5	TMK4	TMK3	TMK2	TMK1	TMK0	CLK7	CLK6	CLK5	CLK4	CLK3	CLK2	CLK1	CLK0

EIR	エラー割込みレジスタ															
0x0020	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	TABB	LTVB	EDB	0	0	0	0	0	TABA	LTVA	EDA
W																
p40	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	MHF	IOBA	IIBA	EFA	RFO	PERR	CCL	CCF	SFO	SFBM	CNA	PEMC
W																

SIR	ステータス割込みレジスタ															
0x0024	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	MTSB	WUPB	0	0	0	0	0	0	MTSA	WUPA
W																
p43	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
W																

EILS	エラー割込みライン選択															
0x0028	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	TABBL	LTVBL	EDBL	0	0	0	0	0	TABAL	LTVAL	EDAL
W																
p46	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	MHFL	IOBAL	IIBAL	EFAL	RFOL	PERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
W																

SILS	ステータス割込みライン選択															
0x002C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	MTSBL	WUPBL	0	0	0	0	0	0	MTSAL	WUPAL
W																
p47	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
W																

EIES EIER	エラー割込み許可セット エラー割込み許可リセット															
0x0030 0x0034	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	TABBE	LTVBE	EDBE	0	0	0	0	0	TABAE	LTVAE	EDAE
W																
p48	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	MHFE	IOBAE	IIBAE	EFAE	RFOE	PERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
W																

SIES SIER	ステータス割込み許可セット ステータス割込み許可リセット															
0x0038 0x003C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	MTSBE	WUPBE	0	0	0	0	0	0	MTSAE	WUPAE
W																
p49	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
W																

ILE	割込みライン許可															
0x0040	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p50	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EINT1	EINT0
W																

T0C	タイマ 0 構成															
0x0044	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	T0MO13	T0MO12	T0MO11	T0MO10	T0MO9	T0MO8	T0MO7	T0MO6	T0MO5	T0MO4	T0MO3	T0MO2	T0MO1	T0MO0
W																
p51	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	T0CC6	T0CC5	T0CC4	T0CC3	T0CC2	T0CC1	T0CC0	0	0	0	0	0	0	T0MS	T0RC
W																

T1C	タイマ 1 構成															
0x0048	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	T1MC13	T1MC12	T1MC11	T1MC10	T1MC9	T1MC8	T1MC7	T1MC6	T1MC5	T1MC4	T1MC3	T1MC2	T1MC1	T1MC0
W																
p52	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	T1MS	T1RC
W																

STPW1	ストップウォッチレジスタ 1															
0x004C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	SMTV13	SMTV12	SMTV11	SMTV10	SMTV9	SMTV8	SMTV7	SMTV6	SMTV5	SMTV4	SMTV3	SMTV2	SMTV1	SMTV0
W																
p53	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	SCCV5	SCCV4	SCCV3	SCCV2	SCCV1	SCCV0	0	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
W																
STPW2	ストップウォッチレジスタ 2															
0x0050	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	SSCVB10	SSCVB9	SSCVB8	SSCVB7	SSCVB6	SSCVB5	SSCVB4	SSCVB3	SSCVB2	SSCVB1	SSCVB0
W																
p54	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	SSCVA10	SSCVA9	SSCVA8	SSCVA7	SSCVA6	SSCVA5	SSCVA4	SSCVA3	SSCVA2	SSCVA1	SSCVA0
W																
SUCC1	SUC 構成レジスタ 1															
0x0080	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	CCHB*	CCHA*	MTSB*	MTSA*	HCSE*	TSM*	WUCS*	PTA4*	PTA3*	PTA2*	PTA1*	PTA0*
W																
p55	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	CSA4*	CSA3*	CSA2*	CSA1*	CSA0*	0	TXSY*	TXST*	PBSY	0	0	0	CMD3	CMD2	CMD1	CMD0
W																
SUCC2	SUC 構成レジスタ 2															
0x0084	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	LTN3*	LTN2*	LTN1*	LTN0*	0	0	0	LT20*	LT19*	LT18*	LT17*	LT16*
W																
p59	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	LT15*	LT14*	LT13*	LT12*	LT11*	LT10*	LT9*	LT8*	LT7*	LT6*	LT5*	LT4*	LT3*	LT2*	LT1*	LT0*
W																
SUCC3	SUC 構成レジスタ 3															
0x0088	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p60	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	WCF3*	WCF2*	WCF1*	WCF0*	WCP3*	WCP2*	WCP1*	WCP0*
W																
NEMC	NEM 構成レジスタ															
0x008C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p61	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	0	0	NML3*	NML2*	NML1*	NML0*
W																

PRTC1	PRT 構成レジスタ 1															
0x0090	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	RWP5*	RWP4*	RWP3*	RWP2*	RWP1*	RWP0*	0	RXW8*	RXW7*	RXW6*	RXW5*	RXW4*	RXW3*	RXW2*	RXW1*	RXW0*
W																
p62	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	BRP1*	BRP0*	SPP1*	SPP0*	0	CASM6	CASM5*	CASM4*	CASM3*	CASM2*	CASM1*	CASM0*	TSST3*	TSST2*	TSST1*	TSST0*
W																

PRTC2	PRT 構成レジスタ 2															
0x0094	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	TXL5*	TXL4*	TXL3*	TXL2*	TXL1*	TXL0*	TXI7*	TXI6*	TXI5*	TXI4*	TXI3*	TXI2*	TXI1*	TXI0*
W																
p63	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	RXL5*	RXL4*	RXL3*	RXL2*	RXL1*	RXL0*	0	0	RXI5*	RXI4*	RXI3*	RXI2*	RXI1*	RXI0*
W																

MHDC	MHD 構成レジスタ															
0x0098	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	SLT12*	SLT11*	SLT10*	SLT9*	SLT8*	SLT7*	SLT6*	SLT5*	SLT4*	SLT3*	SLT2*	SLT1*	SLT0*
W																
p64	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	SFDL6*	SFDL5*	SFDL4*	SFDL3*	SFDL2*	SFDL1*	SFDL0*
W																

GTUC1	GTU 構成レジスタ 1															
0x00A0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	UT19*	UT18*	UT17*	UT16*
W																
p65	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	UT15*	UT14*	UT13*	UT12*	UT11*	UT10*	UT9*	UT8*	UT7*	UT6*	UT5*	UT4*	UT3*	UT2*	UT1*	UT0*
W																

GTUC2	GTU 構成レジスタ 2															
0x00A4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	SNM3*	SNM2*	SNM1*	SNM0*
W																
p65	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	MPC13*	MPC12*	MPC11*	MPC10*	MPC9*	MPC8*	MPC7*	MPC6*	MPC5*	MPC4*	MPC3*	MPC2*	MPC1*	MPC0*
W																

GTUC3	GTU 構成レジスタ 3															
0x00A8	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	MIOB6*	MIOB5*	MIOB4*	MIOB3*	MIOB2*	MIOB1*	MIOB0*	0	MIOA6*	MIOA5*	MIOA4*	MIOA3*	MIOA2*	MIOA1*	MIOA0*
W																
p66	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	UIOB7*	UIOB6*	UIOB5*	UIOB4*	UIOB3*	UIOB2*	UIOB1*	UIOB0*	UIOA7*	UIOA6*	UIOA5*	UIOA4*	UIOA3*	UIOA2*	UIOA1*	UIOA0*
W																

GTUC4	GTU 構成レジスタ 4															
0x00AC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	OCS13*	OCS12*	OCS11*	OCS10*	OCS9*	OCS8*	OCS7*	OCS6*	OCS5*	OCS4*	OCS3*	OCS2*	OCS1*	OCS0*
W																
p67	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	NIT13*	NIT12*	NIT11*	NIT10*	NIT9*	NIT8*	NIT7*	NIT6*	NIT5*	NIT4*	NIT3*	NIT2*	NIT1*	NIT0*
W																
GTUC5	GTU 構成レジスタ 5															
0x00B0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	DEC7*	DEC6*	DEC5*	DEC4*	DEC3*	DEC2*	DEC1*	DEC0*	0	0	0	CDD4*	CDD3*	CDD2*	CDD1*	CDD0*
W																
p68	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	DCB7*	DCB6*	DCB5*	DCB4*	DCB3*	DCB2*	DCB1*	DCB0*	DCA7*	DCA6*	DCA5*	DCA4*	DCA3*	DCA2*	DCA1*	DCA0*
W																
GTUC6	GTU 構成レジスタ 6															
0x00B4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	MOD10*	MOD9*	MOD8*	MOD7*	MOD6*	MOD5*	MOD4*	MOD3*	MOD2*	MOD1*	MOD0*
W																
p68	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	ASR10*	ASR9*	ASR8*	ASR7*	ASR6*	ASR5*	ASR4*	ASR3*	ASR2*	ASR1*	ASR0*
W																
GTUC7	GTU 構成レジスタ 7															
0x00B8	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	NSS9*	NSS8*	NSS7*	NSS6*	NSS5*	NSS4*	NSS3*	NSS2*	NSS1*	NSS0*
W																
p69	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	SSL9*	SSL8*	SSL7*	SSL6*	SSL5*	SSL4*	SSL3*	SSL2*	SSL1*	SSL0*
W																
GTUC8	GTU 構成レジスタ 8															
0x00BC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	NMS12*	NMS11*	NMS10*	NMS9*	NMS8*	NMS7*	NMS6*	NMS5*	NMS4*	NMS3*	NMS2*	NMS1*	NMS0*
W																
p69	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	MSL5*	MSL4*	MSL3*	MSL2*	MSL1*	MSL0*
W																
GTUC9	GTU 構成レジスタ 9															
0x00C0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DSI1*	DSI0*
W																
p70	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	MAPO4*	MAPO3*	MAPO2*	MAPO1*	MAPO0*	0	0	APO5*	APO4*	APO3*	APO2*	APO1*	APO0*
W																

GTUC10	GTU 構成レジスタ 10															
0x00C4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	MRC10*	MRC9*	MRC8*	MRC7*	MRC6*	MRC5*	MRC4*	MRC3*	MRC2*	MRC1*	MRC0*
W																
p70	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	MOC13*	MOC12*	MOC11*	MOC10*	MOC9*	MOC8*	MOC7*	MOC6*	MOC5*	MOC4*	MOC3*	MOC2*	MOC1*	MOC0*
W																
GTUC11	GTU 構成レジスタ 11															
0x00C8	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	ERC2*	ERC1*	ERC0*	0	0	0	0	0	EOC2*	EOC1*	EOC0*
W																
p71	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	ERCC1	ERCC0	0	0	0	0	0	0	EOCC1	EOCC0
W																
CCSV	CC ステータスベクタ															
0x0100	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	PSL5	PSL4	PSL3	PSL2	PSL1	PSL0	RCA4	RCA3	RCA2	RCA1	RCA0	WSV2	WSV1	WSV0
W																
p72	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	CSI	CSAI	CSNI	0	0	SLM1	SLM0	HRQ	FSI	POCS5	POCS4	POCS3	POCS2	POCS1	POCS0
W																
CCEV	CC エラーベクタ															
0x0104	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p75	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	PTAC4	PTAC3	PTAC2	PTAC1	PTAC0	ERRM1	ERRM0	0	0	CCFC3	CCFC2	CCFC1	CCFC0
W																
SCV	スロットカウンタ値															
0x0110	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	SCCB10	SCCB9	SCCB8	SCCB7	SCCB6	SCCB5	SCCB4	SCCB3	SCCB2	SCCB1	SCCB0
W																
p76	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	SCCA10	SCCA9	SCCA8	SCCA7	SCCA6	SCCA5	SCCA4	SCCA3	SCCA2	SCCA1	SCCA0
W																
MTCCV	マクロティックおよびサイクルカウンタ値															
0x0114	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	CCV5	CCV4	CCV3	CCV2	CCV1	CCV0
W																
p76	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	MTV13	MTV12	MTV11	MTV10	MTV9	MTV8	MTV7	MTV6	MTV5	MTV4	MTV3	MTV2	MTV1	MTV0
W																

RCV	レート修正値															
0x0118	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p77	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	RCV11	RCV10	RCV9	RCV8	RCV7	RCV6	RCV5	RCV4	RCV3	RCV2	RCV1	RCV0
W																
OCV	オフセット修正値															
0x011C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	OCV18	OCV17	OCV16
W																
p77	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	OCV15	OCV14	OCV13	OCV12	OCV11	OCV10	OCV9	OCV8	OCV7	OCV6	OCV5	OCV4	OCV3	OCV2	OCV1	OCV0
W																
SFS	同期フレームステータス															
0x0120	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	RCLR	MRCS	OCLR	MOCS
W																
p78	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	VSBO3	VSBO2	VSBO1	VSBO0	VSBE3	VSBE2	VSBE1	VSBE0	VSAO3	VSAO2	VSAO1	VSAO0	VSAE3	VSAE2	VSAE1	VSAE0
W																
SWNIT	シンボルウィンドウおよびＮＩＴ ステータス															
0x0124	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p79	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
W																
ACS	集合チャネルステータス															
0x0128	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p81	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	SBVB	CIB	CEDB	SEDB	VFRB	0	0	0	SBVA	CIA	CEDA	SEDA	VFRA
W																
ESIDn	偶数同期 ID [1 ～ 15]															
0x0130 ～ 0x0168	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p83	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RXEB	RXEA	0	0	0	0	EID9	EID8	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
W																

OSIDn	奇数同期 ID [1 ～ 15]															
0x0170 ～ 0x01A8	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p84	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RXOB	RXOA	0	0	0	0	OID9	OID8	OID7	OID6	OID5	OID4	OID3	OID2	OID1	OID0
W																
NMVn	ネットワーク管理ベクタ [1 ～ 3]															
0x01B0 ～ 0x01B8	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	NM31	NM30	NM29	NM28	NM27	NM26	NM25	NM24	NM23	NM22	NM21	NM20	NM19	NM18	NM17	NM16
W																
p85	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	NM15	NM14	NM13	NM12	NM11	NM10	NM9	NM8	NM7	NM6	NM5	NM4	NM3	NM2	NM1	NM0
W																
MRC	メッセージ RAM 構成															
0x0300	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	SPLM*	SEC1*	SEC0*	LCB7*	LCB6*	LCB5*	LCB4*	LCB3*	LCB2*	LCB1*	LCB0*
W																
p86	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	FFB7*	FFB6*	FFB5*	FFB4*	FFB3*	FFB2*	FFB1*	FFB0*	FDB7*	FDB6*	FDB5*	FDB4*	FDB3*	FDB2*	FDB1*	FDB0*
W																
FRF	FIFO リジェクションフィルタ															
0x0304	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	RNF*	RSS*	CYF6*	CYF5*	CYF4*	CYF3*	CYF2*	CYF1*	CYF0*
W																
p88	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	FID10*	FID9*	FID8*	FID7*	FID6*	FID5*	FID4*	FID3*	FID2*	FID1*	FID0*	CH1*	CH0*
W																
FRFM	FIFO リジェクションフィルタマスク															
0x0308	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p89	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	MFID10*	MFID9*	MFID8*	MFID7*	MFID6*	MFID5*	MFID4*	MFID3*	MFID2*	MFID1*	MFID0*	0	0
W																
FCL	FIFO クリティカルレベル															
0x030C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p89	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	CL7*	CL6*	CL5*	CL4*	CL3*	CL2*	CL1*	CL0*
W																

MHDS	メッセージハンドラステータス															
0x0310	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	MBU6	MBU5	MBU4	MBU3	MBU2	MBU1	MBU0	0	MBT6	MBT5	MBT4	MBT3	MBT2	MBT1	MBT0
W																
p90	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	FMB6	FMB5	FMB4	FMB3	FMB2	FMB1	FMB0	CRAM	MFMB	FMBD	PTBF2	PTBF1	PMR	POBF	PIBF
W																

LDTS	最終動的送信スロット															
0x0314	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	LDTB10	LDTB9	LDTB8	LDTB7	LDTB6	LDTB5	LDTB4	LDTB3	LDTB2	LDTB1	LDTB0
W																
p91	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	LDTA10	LDTA9	LDTA8	LDTA7	LDTA6	LDTA5	LDTA4	LDTA3	LDTA2	LDTA1	LDTA0
W																

FSR	FIFO ステータスレジスタ															
0x0318	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p92	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RFFL7	RFFL6	RFFL5	RFFL4	RFFL3	RFFL2	RFFL1	RFFL0	0	0	0	0	0	RFO	RFCL	RFNE
W																

MHDF	メッセージハンドラ制限フラグ															
0x031C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p93	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	WAHP	0	0	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
W																

TXRQ1	送信要求 1															
0x0320	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	TXR31	TXR30	TXR29	TXR28	TXR27	TXR26	TXR25	TXR24	TXR23	TXR22	TXR21	TXR20	TXR19	TXR18	TXR17	TXR16
W																
p95	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	TXR15	TXR14	TXR13	TXR12	TXR11	TXR10	TXR9	TXR8	TXR7	TXR6	TXR5	TXR4	TXR3	TXR2	TXR1	TXR0
W																

TXRQ2	送信要求 2															
0x0324	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	TXR63	TXR62	TXR61	TXR60	TXR59	TXR58	TXR57	TXR56	TXR55	TXR54	TXR53	TXR52	TXR51	TXR50	TXR49	TXR48
W																
p95	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	TXR47	TXR46	TXR45	TXR44	TXR43	TXR42	TXR41	TXR40	TXR39	TXR38	TXR37	TXR36	TXR35	TXR34	TXR33	TXR32
W																

TXRQ3	送信要求 3															
0x0328	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	TXR95	TXR94	TXR93	TXR92	TXR91	TXR90	TXR89	TXR88	TXR87	TXR86	TXR85	TXR84	TXR83	TXR82	TXR81	TXR80
W																
p95	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	TXR79	TXR78	TXR77	TXR76	TXR75	TXR74	TXR73	TXR72	TXR71	TXR70	TXR69	TXR68	TXR67	TXR66	TXR65	TXR64
W																

TXRQ4	送信要求 4															
0x032C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	TXR127	TXR126	TXR125	TXR124	TXR123	TXR122	TXR121	TXR120	TXR119	TXR118	TXR117	TXR116	TXR115	TXR114	TXR113	TXR112
W																
p95	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	TXR111	TXR110	TXR109	TXR108	TXR107	TXR106	TXR105	TXR104	TXR103	TXR102	TXR101	TXR100	TXR99	TXR98	TXR97	TXR96
W																

NDAT1	新データ 1															
0x0330	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24	ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
W																
p96	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
W																

NDAT2	新データ 2															
0x0334	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56	ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
W																
p96	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40	ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
W																

NDAT3	新データ 3															
0x0338	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	ND95	ND94	ND93	ND92	ND91	ND90	ND89	ND88	ND87	ND86	ND85	ND84	ND83	ND82	ND81	ND80
W																
p96	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	ND79	ND78	ND77	ND76	ND75	ND74	ND73	ND72	ND71	ND70	ND69	ND68	ND67	ND66	ND65	ND64
W																

NDAT4	新データ 4															
0x033C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	ND127	ND126	ND125	ND124	ND123	ND122	ND121	ND120	ND119	ND118	ND117	ND116	ND115	ND114	ND113	ND112
W																
p96	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	ND111	ND110	ND109	ND108	ND107	ND106	ND105	ND104	ND103	ND102	ND101	ND100	ND99	ND98	ND97	ND96
W																

MBSC1	メッセージバッファステータス変更 1															
0x0340	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MBC31	MBC30	MBC29	MBC28	MBC27	MBC26	MBC25	MBC24	MBC23	MBC22	MBC21	MBC20	MBC19	MBC18	MBC17	MBC16
W																
p97	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MBC15	MBC14	MBC13	MBC12	MBC11	MBC10	MBC9	MBC8	MBC7	MBC6	MBC5	MBC4	MBC3	MBC2	MBC1	MBC0
W																
MBSC2	メッセージバッファステータス変更 2															
0x0344	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MBC63	MBC62	MBC61	MBC60	MBC59	MBC58	MBC57	MBC56	MBC55	MBC54	MBC53	MBC52	MBC51	MBC50	MBC49	MBC48
W																
p97	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MBC47	MBC46	MBC45	MBC44	MBC43	MBC42	MBC41	MBC40	MBC39	MBC38	MBC37	MBC36	MBC35	MBC34	MBC33	MBC32
W																
MBSC3	メッセージバッファステータス変更 3															
0x0348	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MBC95	MBC94	MBC93	MBC92	MBC91	MBC90	MBC89	MBC88	MBC87	MBC86	MBC85	MBC84	MBC83	MBC82	MBC81	MBC80
W																
p97	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MBC79	MBC78	MBC77	MBC76	MBC75	MBC74	MBC73	MBC72	MBC71	MBC70	MBC69	MBC68	MBC67	MBC66	MBC65	MBC64
W																
MBSC4	メッセージバッファステータス変更 4															
0x034C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MBC127	MBC126	MBC125	MBC124	MBC123	MBC122	MBC121	MBC120	MBC119	MBC118	MBC117	MBC116	MBC115	MBC114	MBC113	MBC112
W																
p97	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MBC111	MBC110	MBC109	MBC108	MBC107	MBC106	MBC105	MBC104	MBC103	MBC102	MBC101	MBC100	MBC99	MBC98	MBC97	MBC96
W																
CREL	コアリリースレジスタ															
0x03F0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	REL3	REL2	REL1	REL0	STEP7	STEP6	STEP5	STEP4	STEP3	STEP2	STEP1	STEP0	YEAR3	YEAR2	YEAR1	YEAR0
W																
p98	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MON7	MON6	MON5	MON4	MON3	MON2	MON1	MON0	DAY7	DAY6	DAY5	DAY4	DAY3	DAY2	DAY1	DAY0
W																
ENDN	エンディアンレジスタ															
0x03F4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	ETV31	ETV30	ETV29	ETV28	ETV27	ETV26	ETV25	ETV24	ETV23	ETV22	ETV21	ETV20	ETV19	ETV18	ETV17	ETV16
W																
p98	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	ETV15	ETV14	ETV13	ETV12	ETV11	ETV10	ETV9	ETV8	ETV7	ETV6	ETV5	ETV4	ETV3	ETV2	ETV1	ETV0
W																

WRDSn	ライトデータセクション [1 ～ 64]															
0x0400 ～ 0x04FC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
W																
p99	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
W																

WRHS1	ライトヘッダセクション 1															
0x0500	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
W																
p100	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
W																

WRHS2	ライトヘッダセクション 2															
0x0504	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
W																
p101	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
W																

WRHS3	ライトヘッダセクション 3															
0x0508	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W																
p101	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	DP10*	DP9*	DP8*	DP7*	DP6*	DP5*	DP4*	DP3*	DP2*	DP1*	DP0*
W																

IBCM	入力バッファコマンドマスク															
0x0510	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	STXRS	LDSS	LHSS
W																
p102	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0	0	0	0	0	0	STXRH	LDSH	LHSH
W																

IBCR	入力バッファコマンド要求															
0x0514	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	IBSYS	0	0	0	0	0	0	0	0	IBRS6	IBRS5	IBRS4	IBRS3	IBRS2	IBRS1	IBRS0
W																
p103	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	IBSYH	0	0	0	0	0	0	0	0	IBRH6	IBRH5	IBRH4	IBRH3	IBRH2	IBRH1	IBRH0
W																

RDDSn	リードデータセクション [1 ～ 64]															
0x0600 ～ 0x06FC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
W																
p104	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
W																
RDHS1	リードヘッダセクション 1															
0x0700	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
W																
p105	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
W																
RDHS2	リードヘッダセクション 2															
0x0704	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	PLR6	PLR5	PLR4	PLR3	PLR2	PLR1	PLR0	0	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
W																
p106	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
W																
RDHS3	リードヘッダセクション 3															
0x0708	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	RES	PPI	NFI	SYN	SFI	RCI	0	0	RCC5	RCC4	RCC3	RCC2	RCC1	RCC0
W																
p107	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0	0	0	0	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
W																
MBS	メッセージバッファステータス															
0x070C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	0	0	CCS5	CCS4	CCS3	CCS2	CCS1	CCS0
W																
p108	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	FTB	FTA	0	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
W																
OBCM	出力バッファコマンドマスク															
0x0710	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDSH	RHSH
W																
p111	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R															RDSS	RHSS
W																

OBCR	出力バッファコマンド要求															
0x0714	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0	0	0	0	0	0	0	0	0	OBRH6	OBRH5	OBRH4	OBRH3	OBRH2	OBRH1	OBRH0
W																
p112	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	OBSYS	0	0	0	0	0	REQ	VIEW		OBRS6	OBRS5	OBRS4	OBRS3	OBRS2	OBRS1	OBRS0
W																

2. FlexRay 構成パラメータの割当

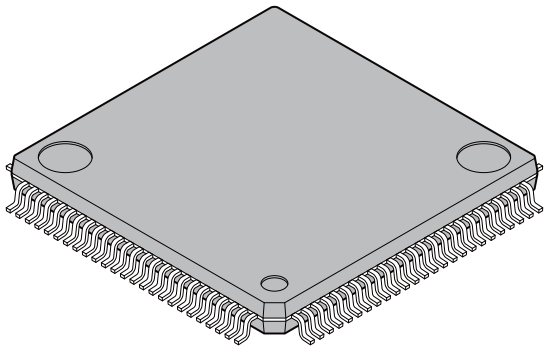
パラメータ	ビット（フィールド）	ページ
pKeySlotusedForStartup	SUCC1.TXST	55
pKeySlotUsedForSync	SUCC1.TXSY	55
gColdStartAttempts	SUCC1.CSA[4:0]	55
pAllowPassiveToActive	SUCC1.PTA[4:0]	55
pWakeupChannel	SUCC1.WUCS	55
pSingleSlotEnabled	SUCC1.TSM	55
pAllowHaltDueToClock	SUCC1.HCSE	55
pChannels	SUCC1.CCHA SUCC1.CCHB	55
pdListenTimeOut	SUCC2.LT[20:0]	59
gListenNoise	SUCC2.LTN[3:0]	59
gMaxWithoutClockCorrectionPassive	SUCC3.WCP[3:0]	60
gMaxWithoutClockCorrectionFatal	SUCC3.WCF[3:0]	60
gNetworkManagementVectorLength	NEMC.NML[3:0]	61
gdTSSTransmitter	PRTC1.TSST[3:0]	62
gdCASRxLowMax	PRTC1.CASM[6:0]	62
gdSampleClockPeriod	PRTC1.BRP[1:0]	62
pSamplesPerMicrotick	PRTC1.BRP[1:0]	62
gdWakeupSymbolRxWindow	PRTC1.RXW[8:0]	62
pWakeupPattern	PRTC1.RWP[5:0]	62
gdWakeupSymbolRxIdle	PRTC2.RXI[5:0]	63
gdWakeupSymbolRxLow	PRTC2.RXL[5:0]	63
gdWakeupSymbolTxIdle	PRTC2.TXI[7:0]	63
gdWakeupSymbolTxLow	PRTC2.TXL[5:0]	63
gPayloadLengthStatic	MHDC.SFDL[6:0]	64
pLatestTx	MHDC.SLT[12:0]	64
pMicroPerCycle	GTUC1.UT[19:0]	65
gMacroPerCycle	GTUC2.MPC[13:0]	65
gSyncNodeMax	GTUC2.SNM[3:0]	65
pMicroInitialOffset[A]	GTUC3.UIOA[7:0]	66
pMicroInitialOffset[B]	GTUC3.UIOB[7:0]	66
pMacroInitialOffset[A]	GTUC3.MIOA[6:0]	66
pMacroInitialOffset[B]	GTUC3.MIOB[6:0]	66
gdNIT	GTUC4.NIT[13:0]	67
gOffsetCorrectionStart	GTUC4.OCS[13.0]	67

パラメータ	ビット（フィールド）	ページ
pDelayCompensation[A]	GTUC5.DCA[7:0]	68
pDelayCompensation[B]	GTUC5.DCB[7:0]	68
pClusterDriftDamping	GTUC5.CDD[4:0]	68
pDecodingCorrection	GTUC5.DEC[7:0]	68
pdAcceptedStartupRange	GTUC6.ASR[10:0]	68
pdMaxDrift	GTUC6.MOD[10:0]	68
gdStaticSlot	GTUC7.SSL[9:0]	69
gNumberOfStaticSlots	GTUC7.NSS[9:0]	69
gdMinislot	GTUC8.MSL[5:0]	69
gNumberOfMinislots	GTUC8.NMS[12:0]	69
gdActionPointOffset	GTUC9.APO[5:0]	70
gdMinislotActionPoint	GTUC9.MAPO[4:0]	70
gdDynamicSlotIdlePhase	GTUC9.DSI[1:0]	70
pOffsetCorrectionOut	GTUC10.MOC[13:0]	70
pRateCorrectionOut	GTUC10.MRC[10:0]	70
pExternOffsetCorrection	GTUC11.EOC[2:0]	71
pExternRateCorrection	GTUC11.ERC[2:0]	71

■ オーダ型格

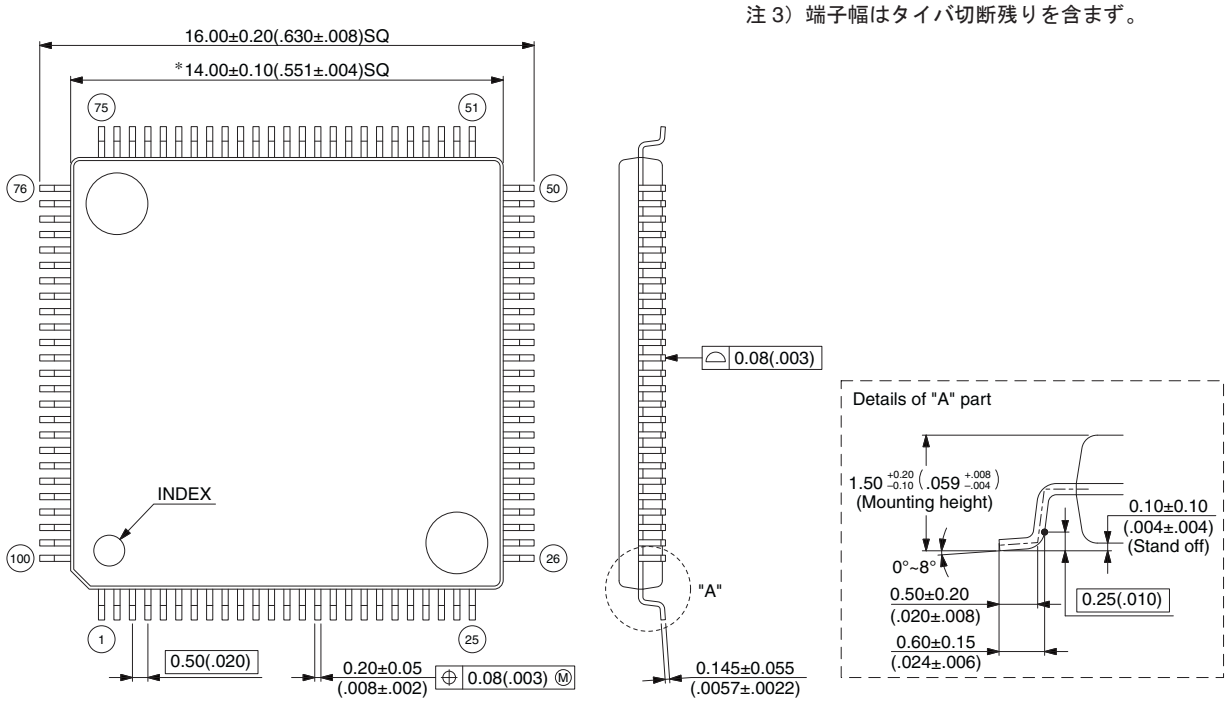
型格	パッケージ	備考
MB91F465XAPMC-GE1	プラスチック・QFP, 100 ピン (FPT-100P-M20)	鉛フリーパッケージ

■ パッケージ・外形寸法図

プラスチック・LQFP, 100 ピン		
 (FPT-100P-M20)	リードピッチ	0.50 mm
	パッケージ幅×パッケージ長さ	14.0 mm × 14.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max
	質量	0.65 g
	コード（参考）	P-LFQFP100-14×14-0.50

プラスチック・LQFP, 100 ピン
（FPT-100P-M20）

注 1）＊印寸法はレジン残りを含まず。
注 2）端子幅および端子厚さはメッキ厚を含む。
注 3）端子幅はタイバ切断残りを含まず。



© 2005 -2008 FUJITSU MICROELECTRONICS LIMITED F100031S-c-3-3

単位：mm （inches）
注意：括弧内の値は参考値です。

最新の外形寸法図については , 下記 URL にてご確認ください。
http://edevice.fujitsu.com/package/jp-search/

■ 改版履歴

版	日付	備考
2.0	2008-10-15	初版
2.1	-------	端子配列 : サイズが大きくなりバッテリの可読性が向上しました。 PS レジスタに関する注意事項 : 可読性改善のため更新 組込みプログラム・データメモリ - フラッシュメモリ動作モードの切り替えに関する注意を追加 フラッシュセキュリティ : - FSV2 の表見出しを修正 - フラッシュメモリ CRC 計算に関する注意を追加 直流規格 - ANn へのアナログ入力リーク電流の端子名称修正 および脚注の追加 A/D 変換部電気的特性 - チャネル間のばらつきを追加 - 「直線性誤差」を「非直線性誤差」に訂正

■ 本版での主な変更内容

ページ	場所	変更箇所
Rev. 1.0		
81	■ 電気的特性	4. “A/D 変換部電気的特性 ” の表を変更 (LSB → V AVRL + 2.5 → AVRL + 2.5 LSB AVRL + 0.5 → AVRL + 0.5 LSB AVRL - 1.5 → AVRL - 1.5 LSB) (LSB → V AVRH + 0.5 → AVRH + 0.5 LSB AVRH - 1.5 → AVRH - 1.5 LSB AVRH - 3.5 → AVRH - 3.5 LSB)
88		“6.3 LIN-USART タイミング (VDD5 = 3.0 V ～ 5.5 V 時 ”) の図を変更 (V_{OH} → V_{IH} V_{OL} → V_{IL})
Rev. 2.0		
234	■オーダ型格	オーダ型格の変更
-	-	社名変更および記述フォーマットの変換

MEMO

免責事項

本資料に記載された製品は、通常の産業用 , 一般事務用 , パーソナル用 , 家庭用などの一般的用途 (ただし、用途の限定はありません) に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御 , 航空機自動飛行制御 , 航空交通管制 , 大量輸送システムにおける運行制御 , 生命維持のための医療機器 , 兵器システムにおけるミサイル発射制御等をいう) 、ならびに (2) 極めて高い信頼性が要求される用途 (海底中継器 , 宇宙衛星等をいう) に使用されるよう設計・製造されたものではありません。上記の製品の使用法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故 , 火災事故 , 社会的な損害を生じさせないよう、お客様において、装置の冗長設計 , 延焼対策設計 , 過電流防止対策設計 , 誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性 , 完全性 , 実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示 , 黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2009-2014 Spansion　All rights reserved.

商標 : Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。