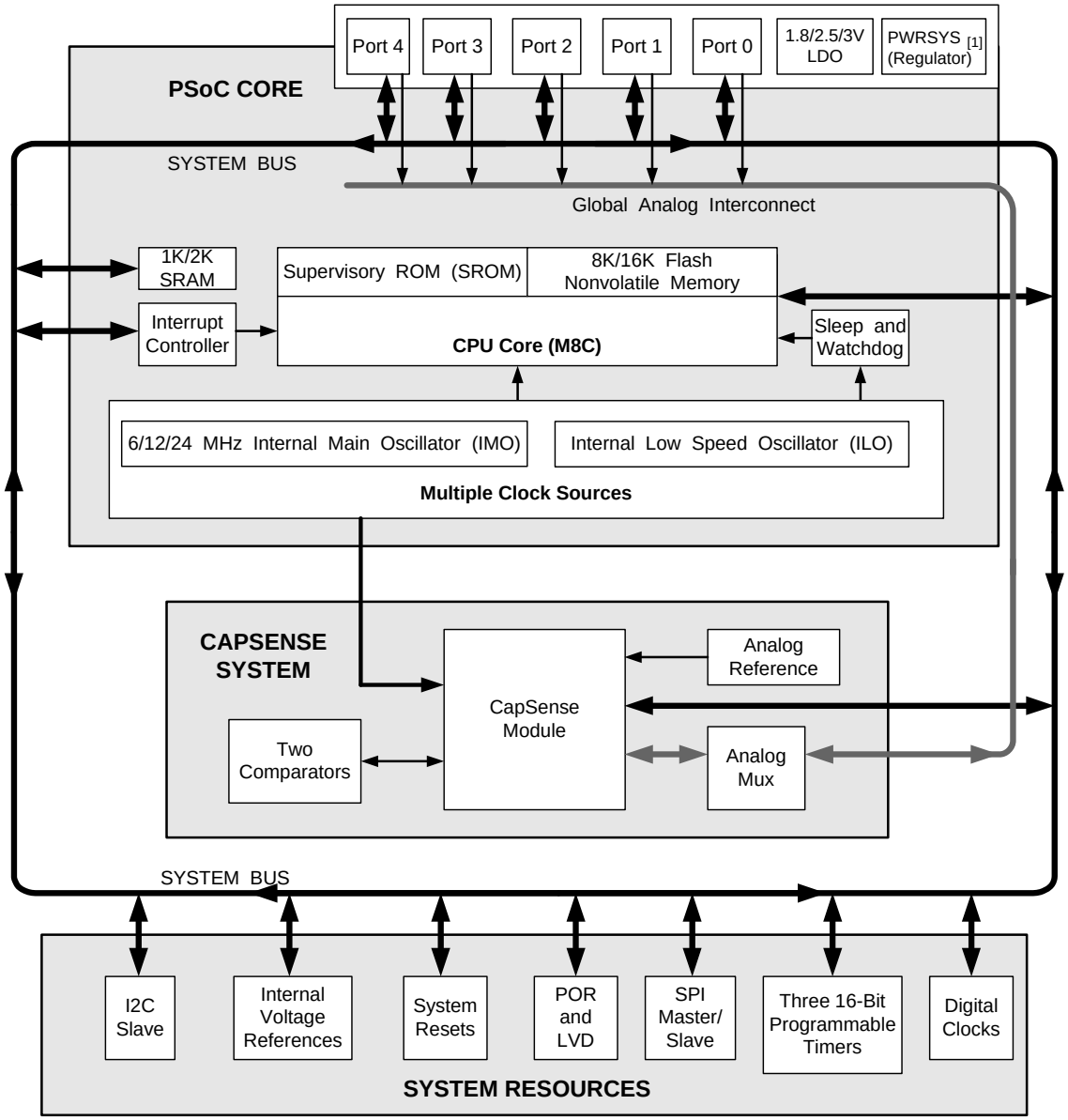
CY8C20336H， CY8C20446H

触觉使能 CapSense® 控制器

特性

- 1.71 V 到 5.5 V 工作范围
- 低功耗 CapSense® 模块
  - 可配置的电容式感应元件
  - 支持组合使用 CapSense 按键、滑条、触摸板、触摸屏和接近传感器
- 强大的哈佛架构处理器
  - M8C CPU 速度可达 24 MHz 或源自外部晶振、谐振器或时钟信号
  - 能在高速度条件下实现低功耗操作
  - 中断控制器
  - 温度范围：–40 °C 到 +85 °C
- 灵活的片上存储器
  - 两个程序 / 数据存储器容量选项：
    - CY8C20336H：8 KB 闪存 /1 KB SRAM
    - CY8C20446H：16 KB 闪存 /2 KB SRAM
  - 50,000 次闪存擦 / 写循环
  - 局部闪存更新
  - 灵活的保护模式
  - 系统内串行编程 （ISSP）
- 高准确度的可编程时钟
  - 内部主振荡器 （IMO）：6/12/24 MHz ± 5%
  - 供看门狗和睡眠定时器使用的 32 kHz 内部低速振荡器（ILO）
  - 供可选外部晶振使用的高准确度 32 kHz 振荡器
- 可编程引脚配置
  - 多达 28 个通用 I/O （具体取决于封装）
  - 双模 GPIO：所有 GPIO 均支持数字 I/O 和模拟输入
  - 每个 GPIO 的灌电流为 25 mA
    - 所有 GPIO 的总灌电流为 120 mA
  - 所有 GPIO 均可选择上拉驱动、高阻驱动或开漏驱动模式
  - CMOS 驱动模式：端口 0 和 1 的拉电流为 5 mA，而端口 2、3 和 4 的拉电流为 1 mA
    - 所有 GPIO 的总拉电流为 20 mA
  - 端口 1 的可选的稳压数字 I/O
  - 端口 1 的可配置输入阈值
  - 所有端口 1 GPIO 上都具有热插拔能力
- 采用了 Immersion TS2000 Haptics 技术，以便实现 ERM 驱动控制
- 多功能模拟复用器
  - 通用内部模拟总线
  - I/O 的同步连接
  - 高电源抑制比 （PSRR）比较器
  - 用于所有模拟资源的低压差调节器
- 额外系统资源
  - I2C 从设备：
    - 可选择 50 kHz、 100 kHz 或 400 kHz 频率
    - 无需时钟伸展 （在大多数情况下）
    - 在睡眠模式期间实现，电流不超过 100 µA
    - 硬件地址验证
  - SPI 主设备和从设备：可在 46.9 kHz 到 12 MHz 的范围内进行配置
  - 三个 16 位定时器
  - 看门狗和睡眠定时器
  - 内部参考电压
  - 集成监控电路
  - 8 位到 10 位增量型模数转换器 （ADC）
  - 两个通用高速且低功耗的模拟比较器
- 完整的开发工具
  - 免费的开发工具 （PSoC Designer™）
  - 功能齐全的在线仿真器 （ICE）和编程器
  - 全速仿真
  - 复合断点结构
  - 128 KB 的跟踪存储器
- 封装选项
  - CY8C20336H：
    - 24 引脚 4 × 4 × 0.6 mm QFN
  - CY8C20446H：
    - 32 引脚 5 × 5 × 0.6 mm QFN

逻辑框图



注释
1. 适用于内部电路的内部电压调节器

目录

PSoC® 功能概述 4
PSoC 内核 4
CapSense 系统 4
Haptics TS2000 控制器 4
额外的系统资源 5
入门 5
应用笔记 5
开发套件 5
培训 5
CYPros 顾问 5
解决方案库 5
技术支持 5
开发工具 6
PSoC Designer 软件子系统 6
使用 PSoC Designer 进行设计 7
选择用户模块 7
配置用户模块 7
组织和连接 7
生成、验证和调试 7
引脚分布 8
24 引脚 QFN 8
32 引脚 QFN 9
48 引脚 QFN OCD 10
电气规范 11
最大绝对额定值 11
工作温度 11
直流芯片级规范 12
直流通用 I/O 规范 13
直流模拟复用器总线规范 15
直流低功耗比较器规范 15
电压比较器用户模块的电气规范 16
ADC 电气规范 16
直流 POR 和 LVD 规范 17
直流编程规范 17
交流芯片级规范 18
交流通用 I/O 规范 19
交流比较器规范 20
交流外部时钟规范 20
交流编程规范 21
I2C 交流规范 22
封装信息 26
热阻 28
晶振引脚上的电容 28
回流焊峰值温度 28
开发工具选择 29
软件 29
开发套件 29
评估工具 29
器件编程器 30
附件（仿真和编程） 30
第三方工具 30
在您的电路板中构建 PSoC 仿真器 30
订购信息 31
订购代码定义 31
文档规范 32
所用缩略语 32
测量单位 32
数字命名规范 32
术语表 33
参考文档 33
文档修订记录页 34
销售、解决方案和法律信息 35
全球销售和设计支持 35
产品 35
PSoC 解决方案 35

PSoC® 功能概述

PSoC 系列包含片上控制器器件，用于将多个基于传统微控制器单元 （MCU）的组件替换为一个低成本单芯片的可编程组件。PSoC 器件包含多个可配置的模拟和数字模块，以及可编程互连。这种结构允许用户可以根据每个独立应用的要求来创建定制的外设配置。此外，在一系列方便易用的引脚布局中还包含快速 CPU、闪速程序存储器、 SRAM 数据存储器和可配置的 I/O。

如第 2 页上的逻辑框图 所示，此系列器件的架构由三个主要部分组成：

- 内核
- CapSense 模拟系统
- 系统资源 （包括全速 USB 端口）。

通过一个通用总线，能够实现 I/O 与模拟系统之间的连接。

每个 CY8C20336H/446HPSoC 器件都包含一个专用的 CapSense 模块，该模块能够为电容式检测应用提供检测和扫描控制电路。根据 PSoC 封装，最多还可以包含 28 个 GPIO。GPIO 提供了对 MCU 和模拟复用器的访问。

PSoC 内核

PSoC 内核是一个强大的引擎，支持丰富的指令集。它包含用于存储数据的 SRAM、中断控制器、睡眠和看门狗定时器，以及 IMO 和 ILO。 M8C CPU 内核是一个速度可高达 24 MHz 的强大处理器，并且是一个 4 MIPS 的 8 位哈佛架构微处理器。

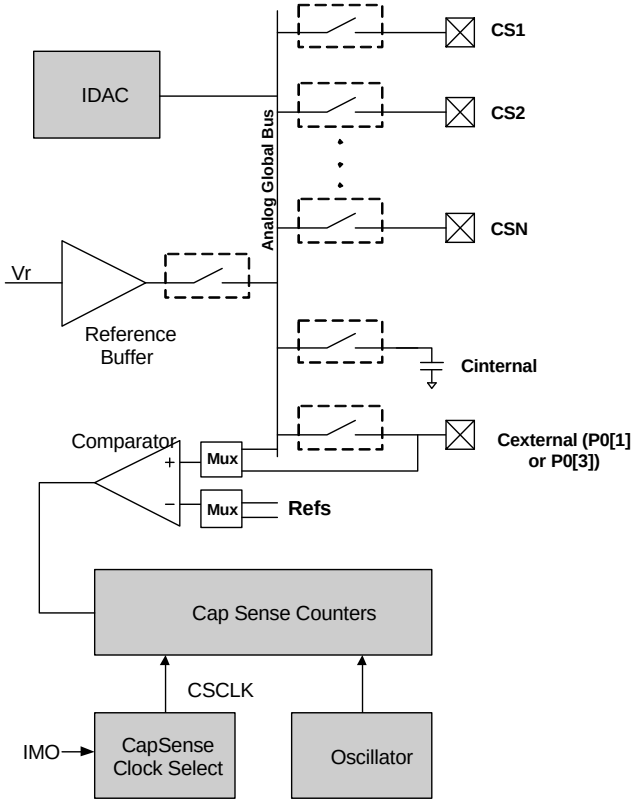
CapSense 系统

模拟系统包含电容式检测硬件。支持多种硬件算法。该硬件不需要使用外部组件，即可执行电容式检测和扫描。模拟系统包括 CapSense PSoC 模块和内部 1 V 或 1.2 V 模拟电压参考，均支持多达 28 个输入的电容式检测 [2]。电容式检测可配置在每个 GPIO 引脚上。可以在多个端口上快速且轻松扫描已使能的 CapSense 引脚。

SmartSense™

SmartSense 是赛普拉斯的创新解决方案，省去了 CapSense 应用中手动调试功能。该解决方案使用方便，并且提供强大的抗噪性能。这是建立、监控和维持所有需要的调试参数的唯一自动调试解决方案。使用 SmartSense，从原型设计进入批量生产阶段时，工程师可无需重新调试 PCB 和 / 或覆盖材料属性的制造误差。

图 1. CapSense 系统框图



模拟复用器系统

模拟复用器总线可以连接至所有 GPIO 引脚。这些引脚可以单独连接至总线，也可以采用任意组合方式与总线连接。该总线还可连接到模拟系统，以便使用 CapSense 模块比较器进行分析。

借助于开关控制逻辑，选定的引脚可以在硬件控制下连续预充电，从而能够对触摸感应等应用进行电容式测量。其他复用器应用包括：

- 灵活实用的电容式检测接口，例如滑块和触摸板。
- 芯片级复用器，可接收来自任意 I/O 引脚的模拟输入。
- 任意 I/O 引脚组合之间的交叉点连接 。

Haptics TS2000 控制器

CY8C20336H/CY8C20446H 系列器件具有易于使用的 Haptics 控制器资源，能够实现多达 14 种不同的控制效果。这些控制效果可用于 3 种不同的可选 ERM 模块。

注释

2. 36 个 GPIO = 33 个引脚 （用于电容式检测） + 2 个引脚 （用于 I^2C） + 1 个引脚 （用于调制器电容）。

额外的系统资源

系统资源提供额外的功能，例如可配置的 USB 和 I²C 从设备、SPI 主设备 / 从设备的通信接口、三个 16 位可编程定时器，以及 M8C 支持的多个系统复位功能。

这些系统资源提供了对整个系统非常有用的附加功能。除此之外还包括低电压检测和上电复位。以下介绍的是每种系统资源的优势：

- I²C 从设备 /SPI 主设备 - 从设备模块通过两条线路提供 50/100/400 kHz 通信。通过三条或四条线路，以 46.9 kHz 到 3 MHz 的传输速度 （低于较慢系统时钟的传输速度）进行 SPI 通信。
- 利用 I²C 硬件地址识别功能，在收到发往目标器件的数据包之前将无需 CPU 干预，从而能够降低功耗。
- 增强型 I²C 从接口可作为外部 I²C 主设备的 32 字节 RAM 缓冲区使用。通过使用一个简单的预定义协议，主设备可以控制 RAM 中的读和写指针。如果使用该方法，则在有效模式下接收数据字节时，从设备不会停止总线。有关该接口用法的详细信息，请参考应用笔记 增强型 I2C 从设备操作 — AN56007。
- 低压检测 （LVD）中断可以在电压下降时向应用程序发出信号，而由于高级上电复位 （POR）电路的存在，不必再使用系统监控电路。
- 内部电压参考为电容式检测提供了一个绝对电压参考。
- 利用寄存器控制的旁路模式，用户可以禁用 LDO 电压调节器。

入门

有关详细信息及详细的编程信息，请参见 PSoC® 技术参考手册。

如需最新的订购、封装和电气规范信息，请参见网站上最新的 PSoC 器件数据手册。

应用笔记

赛普拉斯应用笔记是对众多 PSoC 设计方案的绝佳介绍。

开发套件

PSoC 开发套件可在线获得，也可以通过不断增加的地区和全球分销商 （包括 Arrow、 Avnet、 Digi-Key、 Farnell、 Future Electronics 和 Newark）获得。

培训

网址 www.cypress.com 下所在的在线免费 PSoC 技术培训 （按需提供的在线研讨会和专题讨论会形式）涵盖有助于您进行设计的大量主题和技能。

CYPros 顾问

从技术协助到完成 PSoC 设计，认证的 PSoC 顾问能够提供一切支持。要联系或成为 PSoC 顾问，请访问 CYPros 顾问网站。

解决方案库

访问我们 以解决方案为中心且内容不断增加的设计库。在这里，您可以找到各种应用设计，其中包括可帮助您快速完成设计的固件和硬件设计文件。

技术支持

技术支持（包括可搜索到的知识库文章和技术论坛）也可在线获取。如果找不到问题的答案，请致电 1-800-541-4736 联系技术支持。

开发工具

PSoC Designer™ 是革新的集成设计环境 （IDE），您可以用来自定义 PSoC 以满足您特定的应用需求。 PSoC Designer 软件可加快系统的设计和上市进程。在拖放式设计环境中使用预先设定的模拟和数字外设库 （也称用户模块）来开发您的应用程序。然后，利用动态生成的应用程序编程接口 （API）代码库来自定义您的设计。最后，在集成调试环境中调试并测试您的设计，包括在线仿真和标准的软件调试功能。 PSoC Designer 包括：

- 应用程序编辑器图形用户界面 （GUI），用于器件和用户模块配置和动态重配置
- 广泛的用户模块目录
- 集成的源码编辑器 （C 和汇编）
- 免费的 C 编译器 （无大小限制或时间限制）
- 内置调试器
- 在线仿真
- 通信接口的内置支持：
  - 硬件和软件 I^2C 主设备和从设备
  - 全速 USB 2.0
  - 最多四个全双工通用异步收发器 （UART）、 SPI 主设备和从设备及无线

PSoC Designer 支持 PSoC 1 器件的整个库，可在 Windows XP、 Windows Vista 和 Windows 7 上运行。

PSoC Designer 软件子系统

设计输入

在芯片级视图中，选择要使用的基本器件。然后选择不同的板上模拟和数字组件 （这些组件采用 PSoC 模块，又称为用户模块）。例如，用户模块有模数转换器 （ADC）、数模转换器 （DAC）、放大器和滤波器。为所选应用配置用户模块，且将它们互连并连接至适当的引脚。然后生成项目。这会在项目中加入 API 和库，您可以使用它们来对应用进行编程。

通过此工具，用户还可以轻松开发多个配置和动态重配置。利用动态重配置，可在运行时更改配置。本质上，这样可以让您使用超过 100% 的 PSoC 特定应用资源。

代码生成工具

这些代码生成工具能够在 PSoC Designer 界面内无缝工作，并采用了一整套调试工具进行测试。您可使用 C 语言、汇编语言或两者进行开发设计。

汇编器。汇编器可让汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址或在相对模式下进行编译，然后与其他软件模块连接，以实现绝对寻址。

C 语言编译器。 C 语言编译器支持 PSoC 系列器件。这些产品允许您为 PSoC 系列器件创建完整的 C 语言程序。优化的 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能，并随附有嵌入式库，这些库能够提供端口和总线操作、标准键盘和显示器支持，以及扩展的数学功能。

调试器

PSoC Designer 提供的调试环境具有硬件在线仿真功能，不仅可以提供 PSoC 器件的内部视图，而且可让您在物理系统中测试程序。借助调试器命令，可对数据存储器进行读、编程及读写操作，对 I/O 寄存器进行读写操作。可对 CPU 寄存器进行读写操作、设置和清除断点，以及提供程序运行、暂停和步进控制。调试器还可让您创建相关寄存器和存储器位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可提供上下文关联的在线帮助。每个功能子系统都有上下文关联的帮助，以便提供程式化的快速参考。此外，该系统还提供相关教程及指向常见问题和在线支持论坛的链接，以帮助设计人员入门。

在线仿真器

功能强大的低成本在线仿真器 （ICE）可用于提供开发支持。该硬件可编程单个器件。

仿真器包含一个通过 USB 端口连接到 PC 的基本装置。该基本装置是通用的，能够用于所有 PSoC 器件。每个系列器件的仿真转接板 （Emulation Pod）都可单独购买。仿真转接板取代了目标电路板中的 PSoC 器件并执行全速 （24 MHz）操作。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程与传统的固定功能微处理器不同。可配置的模拟和数字硬件模块赋予 PSoC 架构独特的灵活性，有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PSoC 模块）能够实现许多可供用户选择的功能。 PSoC 开发过程：

1. 选择用户模块。
2. 配置用户模块。
3. 组织和连接。
4. 生成、验证和调试。

选择用户模块

PSoC Designer 提供了一个预建且预测试的硬件外设组件库，称为 “ 用户模块 ”。用户模块选择和实现外设器件，包括模拟和数字器件，变得简单。

配置用户模块

所选的每个用户模块均可建立用于实现所选功能的基本寄存器设置。此外，它们还提供参数和属性，以便您针对特定应用定制精确配置。例如， PWM 用户模块能够配置一个或多个数字 PSoC 模块 （每 8 位分辨率一个模块）。借助这些参数，您可以确定脉冲宽度和占空比。请根据所选应用配置相应的参数和属性。您可以直接输入适当的值或从下拉菜单中选择所需的值。所有用户模块均记录在数据手册中，并可以在 PSoC Designer 或赛普拉斯公司网站上直接查看。这些用户模块数据手册介绍了用户模块的内部操作并提供了性能规范。每个数据手册均介绍各个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接

您可以在芯片级构建信号链，方法是将用户模块互连，并与 I/O 引脚连接。通过进行选择、配置和布线，可完全控制所有片上资源的使用。

生成、验证和调试

当测试硬件配置准备就绪或接下来要开发项目代码时，请执行 “ 生成配置文件 ” 这一步。这会使 PSoC Designer 生成源代码，而源代码会自动按照您的规范配置器件，并为系统提供软件。所生成的代码提供具有高级功能的应用程序编程接口（API），以便在运行时控制和响应硬件事件，以及可根据需要调整的中断服务例程。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和定制应用程序。

开发过程的最后一步是在 PSoC Designer 的调试器 （单击 Connect 图标访问）中完成的。 PSoC Designer 会将 HEX 图像下载到全速运行的 ICE 中。 PSoC Designer 的调试功能优于具有类似功能但成本高出数倍的系统。除了传统的单步执行、运行到断点以及监视变量等功能外，调试接口还提供了大型跟踪缓冲器。这使您可以定义复杂断点事件，包括监控地址和数据总线值、存储器位置和外部信号。

引脚分布

CY8C20336H/CY8C20446H PSoC 器件有多种封装可供选择，后续表格分别列出和阐释了这些封装。每个端口引脚 （标志为“P”）都能用作数字 I/O，并可连接到通用模拟总线。但 V_{SS}、 V_{DD} 和 XRES 不能用作数字 I/O。

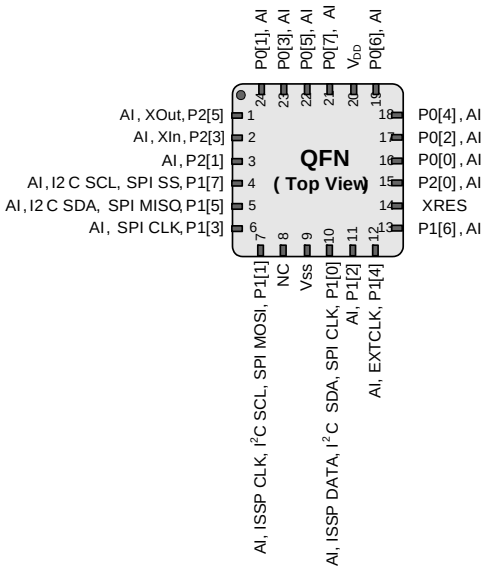
24 引脚 QFN

表 1. 引脚定义 — CY8C20336H [3、 4]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	晶振输出 （XOut）
2	I/O	I	P2[3]	晶振输入 （XIn）
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I^2C SCL， SPI SS
5	IOHR	I	P1[5]	I^2C SDA， SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK[5]， I^2C SCL， SPI MOSI
8			NC	无连接
9	电源		Vss	接地
10	IOHR	I	P1[0]	ISSP DATA[5]， I^2C SDA， SPI CLK
11	IOHR	I	P1[2]	
12	IOHR	I	P1[4]	可选外部时钟输入 （EXTCLK）
13	IOHR	I	P1[6]	
14	输入		XRES	采用内部下拉电阻的高电平有效外部复位
15	I/O	I	P2[0]	
16	IOH	I	P0[0]	
17	IOH	I	P0[2]	
18	IOH	I	P0[4]	
19	IOH	I	P0[6]	
20	电源		V_{DD}	供电电压
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	积分输入
24	IOH	I	P0[1]	积分输入
CP	电源		V_{SS}	中心焊盘必须接地

注意： A = 模拟， I = 输入， O = 输入， OH = 5 mA 高电平输出驱动， R = 稳压输出。

图 2. CY8C20336H PSoC 器件



注释

3. 在加电或复位期间， P1[1] 和 P1[0] 可能会影响到 I^2C 总线。如果遇到任何情况，请使用备用引脚。
4. QFN 封装上的中心焊盘 （CP）必须接地 （Vss），以获得最佳机械、热学和电气性能。如果未接地，则必须处于电气悬空状态，而不能连接到任何其他信号。
5. 这些是 ISSP 引脚，在 POR （上电复位）时不处于高阻态。

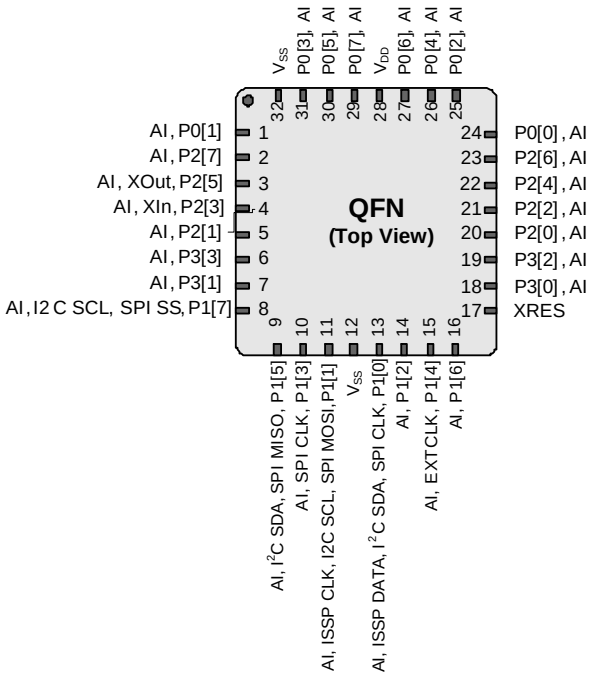
32 引脚 QFN

表 2. 引脚定义 — CY8C20446H PSoC 器件 [6、 7]

引脚编号	类型		名称	说明
	数字	模拟		
1	IOH	I	P0[1]	积分输入
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 （XOut）
4	I/O	I	P2[3]	晶振输入 （XIn）
5	I/O	I	P2[1]	
6	I/O	I	P3[3]	
7	I/O	I	P3[1]	
8	IOHR	I	P1[7]	I^2C SCL， SPI SS
9	IOHR	I	P1[5]	I^2C SDA， SPI MISO
10	IOHR	I	P1[3]	SPI CLK
11	IOHR	I	P1[1]	ISSP CLK[8]，I^2C SCL，SPI MOSI。
12	电源		Vss	接地。
13	IOHR	I	P1[0]	ISSP DATA[8]， I^2C SDA， SPI CLK
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	可选外部时钟输入 （EXTCLK）
16	IOHR	I	P1[6]	
17	输入		XRES	采用内部下拉电阻的高电平有效外部复位
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	电源		V_{DD}	供电电压
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	积分输入
32	电源		V_{SS}	接地
CP	电源		V_{SS}	中心焊盘必须接地

注意： A = 模拟， I = 输入， O = 输入， OH = 5 mA 高电平输出驱动， R = 稳压输出。

图 3. CY8C20446H PSoC 器件



注释
6. 在加电或复位期间， P1[1] 和 P1[0] 可能会影响到 I^2C 总线。如果遇到任何情况，请使用备用引脚。
7. QFN 封装上的中心焊盘 （CP）必须接地 （Vss），以获得最佳机械、热学和电气性能。如果未接地，则必须处于电气悬空状态，而不能连接到其他任何信号。
8. 这些是 ISSP 引脚，在 POR （上电复位）时不处于高阻态。

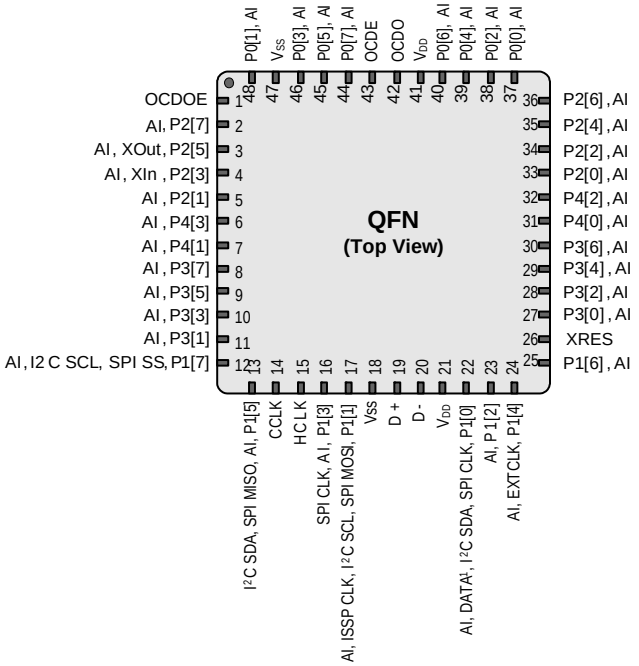
48 引脚 QFN OCD

48 引脚 QFN 器件适用于 CY8C20066A 片上调试 （OCD） PSoC 器件。请注意，该器件仅用于进行在线调试。[9]

表 3. 引脚定义 — CY8C20066A PSoC 器件 [10、 11]

引脚编号	数字	模拟	名称	说明
1			OCDOE	OCD 模式方向引脚
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 （XOut）
4	I/O	I	P2[3]	晶振输入 （XIn）
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I^2C SCL， SPI SS
13	IOHR	I	P1[5]	I^2C SDA， SPI MISO
14			CCLK	OCD CPU 时钟输出
15			HCLK	OCD 高速时钟输出
16	IOHR	I	P1[3]	SPI CLK。
17	IOHR	I	P1[1]	ISSP CLK[12]， I^2C SCL， SPI MOSI
18	电源		Vss	接地
19	I/O		D+	USB D+
20	I/O		D-	USB D-
21	电源		V_{DD}	供电电压
22	IOHR	I	P1[0]	ISSP DATA（12），I^2C SDA，SPI CLK
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	可选外部时钟输入 （EXTCLK）
25	IOHR	I	P1[6]	
26	输入		XRES	采用内部下拉电阻的高电平有效外部复位
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	

图 4. CY8C20066A PSoC 器件



引脚编号	数字	模拟	名称	说明
37	IOH	I	P0[0]	
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40	IOH	I	P0[6]	
41	电源		V_{DD}	供电电压
42			OCDO	OCD 偶数据 I/O
43			OCDE	OCD 奇数据输出
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	积分输入
47	电源		V_{SS}	接地
48	IOH	I	P0[1]	
CP	电源		V_{SS}	中心焊盘必须接地

注意： A = 模拟， I = 输入， O = 输出， NC = 无连接， OH = 5 mA 高电平输出驱动， R = 稳压输出。

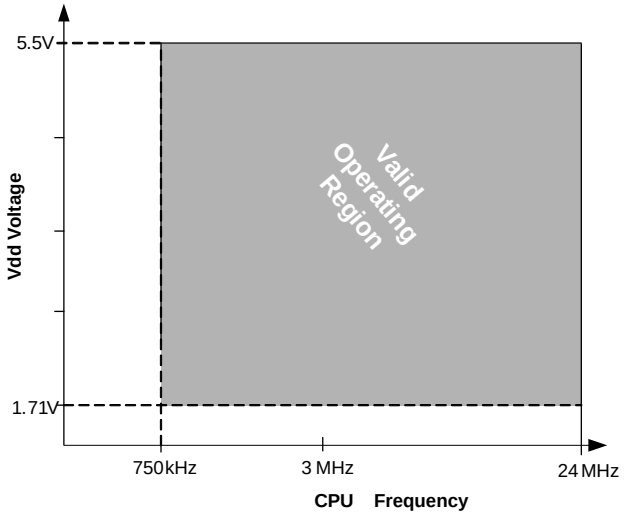
注释

9. 这个器件在原型开发期间可用于在线调试，但调试次数有限。不能用于批量生产。
10. 在加电或复位期间， P1[1] 和 P1[0] 可能会影响到 I^2C 总线。如果遇到任何情况，请使用备用引脚。
11. QFN 封装上的中心焊盘 （CP）必须接地 （Vss），以获得最佳机械、热学和电气性能。如果未接地，则必须处于电气悬空状态，而不能连接到任何其他信号。
12. 这些是 ISSP 引脚，在上电复位 （POR）时不处于高阻态。

电气规范

本节介绍的是 CY8C20x36H/46H PSoC 器件的直流和交流电气规范。如需最新的电气规范，请访问 http://www.cypress.com/psoc 网站，以确保您拥有最新的数据手册。

图 5. 电压与 CPU 频率



最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

表 4. 最大绝对额定值

符号	说明	条件	最小值	典型值	最大值	单位
T_{STG}	存放温度	存放温度越高，数据保留时间就越短。推荐的存储温度为 +25 °C ± 25 °C。存放温度长期保持在 85 °C 以上会降低可靠性。	–55	+25	+125	°C
V_{DD}	与 V_{SS} 相对的供电电压		–0.5	–	+6.0	V
V_{IO}	直流输入电压		V_{SS} – 0.5	–	V_{DD} + 0.5	V
V_{IOZ}	适用于三态的直流电压		V_{SS} –0.5	–	V_{DD} + 0.5	V
I_{MIO}	任意端口引脚的最大输入电流		–25	–	+50	mA
ESD	静电放电电压	人体模型 ESD	2000	–	–	V
LU	锁存电流	符合 JESD78 标准	–	–	200	mA

工作温度

表 5. 工作温度

符号	说明	条件	最小值	典型值	最大值	单位
T_A	环境温度		–40	–	+85	°C
T_C	商业级温度范围		0	–	70	°C
T_J	Die 工作温度	从环境温度到结温的升高情况因封装不同而有所变化。请参考表格第 28 页上的每种封装的热阻 。用户必须限制功耗，以便满足此要求。	–40	–	+100	°C

直流芯片级规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 6. 直流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{DD}[13]	供电电压	请参考表格 第 17 页上的直流 POR 和 LVD 规范	1.71	–	5.50	V
I_{DD24}	供电电流， IMO = 24 MHz	条件为：$V_{DD} \le 3.0$ V， $T_A = 25$ °C，CPU = 24 MHz。CapSense 在频率为 12 MHz 运行，不给任何 I/O 提供拉电流	–	3.32	4.00	mA
I_{DD12}	供电电流， IMO = 12 MHz	条件为：$V_{DD} \le 3.0$ V， $T_A = 25$ °C，CPU = 12 MHz。 CapSense 在频率为 12 MHz 运行，不给任何 I/O 提供拉电流	–	1.86	2.60	mA
I_{DD6}	供电电流， IMO = 6 MHz	条件为：$V_{DD} \le 3.0$ V， $T_A = 25$ °C，CPU = 6 MHz。CapSense 在频率为 6 MHz 运行，不给任何 I/O 提供拉电流	–	1.13	1.80	mA
I_{SB0}	深度睡眠电流	$V_{DD} \le 3.0$ V，$T_A = 25$ °C，I/O 电压调节器关闭	–	0.10	0.50	µA
I_{SB1}	带有 POR、 LVD 和睡眠定时器的待机电流	$V_{DD} \le 3.0$ V，$T_A = 25$ °C，I/O 电压调节器关闭	–	1.07	1.50	µA

注释

13. 当 V_{DD} 电压保持在 1.71 V - 1.9 V 范围内的时长超过 50 µsec 时，从 1.71 V-1.9 V 范围移至 2 V 以上的转换率必须慢于 1 V/500 usec，以避免触发 POR。任何其他电压范围内或跃变时的转换率的另外限制是 SR_{POWER_UP} 参数。

直流通用 I/O 规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：3.0 V 到 5.5 V 和 –40 °C ≤ T_A ≤ 85°C，2.4 V 到 3.0 V 和 –40 °C ≤ T_A ≤ 85 °C，或 1.71 V 到 2.4 V 和 –40 °C ≤ T_A ≤ 85 °C。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况，这些参数仅供设计指导之用。

表 7. 3.0 V 到 5.5 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R_{PU}	上拉电阻		4	5.60	8	kΩ
V_{OH1}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} ≤ 10 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH2}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} = 1 mA，所有 I/O 的最大拉电流为 20 mA	V_{DD} – 0.90	–	–	V
V_{OH3}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} < 10 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH4}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} = 5 mA，所有 I/O 的最大拉电流为 20 mA	V_{DD} – 0.90	–	–	V
V_{OH5}	在已使能 3 V 输出的 LDO 的条件下，端口 1 引脚上高电平输出电压	I_{OH} < 10 µA， V_{DD} > 3.1 V，4 个 I/O 的最大拉电流为 5 mA	2.85	3.00	3.30	V
V_{OH6}	在已使能 3 V 输出的 LDO 的条件下，端口 1 引脚上高电平输出电压	I_{OH} = 5 mA， V_{DD} > 3.1 V，所有 I/O 的最大拉电流为 20 mA	2.20	–	–	V
V_{OH7}	在已使能 2.5 V 输出的 LDO 下，端口 1 引脚上高电平输出电压	I_{OH} < 10 µA， V_{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	2.35	2.50	2.75	V
V_{OH8}	在已使能 2.5 V 输出的 LDO 下，端口 1 引脚上高电平输出电压	I_{OH} = 2 mA， V_{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.90	–	–	V
V_{OH9}	在已使能 1.8 V 输出的 LDO 下，端口 1 引脚上高电平输出电压	I_{OH} < 10 µA， V_{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.60	1.80	2.10	V
V_{OH10}	在已使能 1.8 V 输出的 LDO 下，端口 1 引脚上高电平输出电压	I_{OH} = 1 mA， V_{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.20	–	–	V
V_{OL}	输出低电压	I_{OL} = 25 mA， V_{DD} > 3.3 V，偶数端口引脚（例如， P0[2] 和 P1[4]）的最大灌电流为 60 mA，奇数端口引脚 （例如， P0[3] 和 P1[5]）的最大灌电流为 60 mA	–	–	0.75	V
V_{IL}	输入低电平电压		–	–	0.80	V
V_{IH}	输入高电平电压		2.00	–	–	V
V_H	输入迟滞电压		–	80	–	mV
I_{IL}	输入漏电流 （绝对值）		–	0.001	1	µA
C_{PIN}	引脚电容	取决于封装和引脚的温度 = 25 °C	0.50	1.70	7	pF

表 8. 2.4 V 到 3.0 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R_{PU}	上拉电阻		4	5.60	8	kΩ
V_{OH1}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} < 10 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH2}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} = 0.2 mA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.40	–	–	V
V_{OH3}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} < 10 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH4}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} = 2 mA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.50	–	–	V
V_{OH5A}	使用已使能 1.8 V 输出的 LDO 时的端口 1 引脚上高电平输出电压	I_{OH} < 10 µA，V_{DD} > 2.4 V，所有 I/O 的最大拉电流为 20 mA	1.50	1.80	2.10	V
V_{OH6A}	使用已使能 1.8 V 输出的 LDO 时的端口 1 引脚上高电平输出电压	I_{OH} = 1 mA，V_{DD} > 2.4 V，所有 I/O 的最大拉电流为 20 mA	1.20	–	–	V
V_{OL}	输出低电平电压	I_{OL} = 10 mA，偶数端口引脚 （例如，P0[2] 和 P1[4]）的最大灌电流为 30 mA，且奇数端口引脚 （例如， P0[3] 和 P1[5]）的最大灌电流为 30 mA	–	–	0.75	V
V_{IL}	输入低电平电压		–	–	0.72	V
V_{IH}	输入高电平电压		1.40	–	–	V
V_H	输入迟滞电压		–	80	–	mV
I_{IL}	输入漏电流 （绝对值）		–	1	1000	nA
C_{PIN}	引脚上的电容负载	取决于封装和引脚的温度 = 25 °C	0.50	1.70	7	pF

表 9. 1.71 V 到 2.4 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R_{PU}	上拉电阻		4	5.60	8	kΩ
V_{OH1}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} = 10 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH2}	端口 2 或 3 引脚上的高电平输出电压	I_{OH} = 0.5 mA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.50	–	–	V
V_{OH3}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} = 100 µA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.20	–	–	V
V_{OH4}	在已禁用端口 1 的 LDO 电压调节器的条件下，端口 0 或 1 引脚上的高电平输出电压	I_{OH} = 2 mA，所有 I/O 的最大拉电流为 10 mA	V_{DD} – 0.50	–	–	V
V_{OL}	低电平输出电压	I_{OL} = 5 mA，偶数端口引脚 （例如，P0[2] 和 P1[4]）的最大拉电流为 20 mA，奇数端口引脚 （例如，P0[3] 和 P1[5]）的最大拉电流为 30 mA	–	–	0.40	V
V_{IL}	输入低电平电压		–	–	0.30 × V_{DD}	V
V_{IH}	输入高电平电压		0.65 × V_{DD}	–	–	V
V_H	输入迟滞电压		–	80	–	mV
I_{IL}	输入漏电流 （绝对值）		–	1	1000	nA
C_{PIN}	引脚上的电容负载	取决于封装和引脚的温度 = 25 °C	0.50	1.70	7	pF

表 10. 直流特性 — USB 接口

符号	说明	条件	最小值	典型值	最大值	单位
Rusbi	USB D+ 上拉电阻	有空闲总线	900	–	1575	Ω
Rusba	USB D+ 上拉电阻	接收流量时	1425	–	3090	Ω
Vohusb	静态输出高电平		2.8	–	3.6	V
Volusb	静态输出低电平		–	–	0.3	V
Vdi	差分输入灵敏度		0.2	–	–	V
Vcm	差分共模输入范围		0.8	–	2.5	V
Vse	单端接收器阈值		0.8	–	2.0	V
Cin	收发器电容		–	–	50	pF
Iio	高阻态数据线泄露	在 D+ 或 D- 线上	–10	–	+10	µA
Rps2	PS/2 上拉电阻		3000	5000	7000	Ω
Rext	外部 USB 串联电阻	在每个 USB 引脚串联中	21.78	22.0	22.22	Ω

直流模拟复用器总线规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 11. 直流模拟复用器总线规范

符号	说明	条件	最小值	典型值	最大值	单位
R_{SW}	通用模拟总线的开关电阻		–	–	800	Ω
R_{GND}	V_{SS} 的初始化开关电阻		–	–	800	Ω

用于测量 R_{SW} 和 R_{GND} 的最大引脚电压为 1.8 V

直流低功耗比较器规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 12. 直流电压比较器规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{LPC}	低功耗比较器 （LPC）通用模式	最大电压限制于 V_{DD}	0.0	–	1.8	V
I_{LPC}	LPC 供电电流		–	10	40	µA
V_{OSLPC}	LPC 电压偏移		–	2.5	30	mV

电压比较器用户模块的电气规范

下表列出了许可的最大和最小规范。除非另有声明，否则这些规范适用于整个器件电压和温度工作范围：–40 °C ≤ TA ≤ 85 °C，1.71 V ≤ V_{DD} ≤ 5.5 V。

表 13. 电压比较器用户模块的电气规范

符号	说明	条件	最小值	典型值	最大值	单位
T_{COMP}	电压比较器响应时间	过压值为 50 mV	–	70	100	ns
偏移		有效范围为 0.2 V 到 V_{DD}– 0.2 V	–	2.5	30	mV
电流		平均直流电流，过压值为 50 mV	–	20	80	µA
PSRR	供电电压 > 2 V	电源抑制比	–	80	–	dB
	供电电压 < 2 V	电源抑制比	–	40	–	dB
输入范围			0	–	1.5	V

ADC 电气规范

表 14. ADC 用户模块电气规范

符号	说明	条件	最小值	典型值	最大值	单位
输入						
V_{IN}	输入电压范围		0	–	VREFADC	V
C_{IIN}	输入电容		–	–	5	pF
R_{IN}	输入电阻	8 位、 9 位或 10 位分辨率的等效开关电容输入电阻	1/（500fF × 数据时钟）	1/ （400fF × 数据时钟）	1/（300fF × 数据时钟）	Ω
参考值						
V_{REFADC}	ADC 参考电压		1.14	–	1.26	V
转换速率						
F_{CLK}	数据时钟	该时钟源是芯片的内部主振荡器。有关准确度的信息，请参考 第 18 页上的交流芯片级规范	2.25	–	6	MHz
S8	8 位采样率	数据时钟的频率被设置为 6 MHz。采样率 = 0.001/ （2^ 分辨率 / 数据时钟）	–	23.43	–	ksps
S10	10 位采样率	数据时钟的频率被设置为 6 MHz。采样率 = 0.001/ （2^ 分辨率 / 数据时钟）	–	5.85	–	ksps
直流准确度						
RES	分辨率	可设置为 8 位、 9 位或 10 位分辨率	8	–	10	位
DNL	微分非线性		–1	–	+2	LSB
INL	积分非线性		–2	–	+2	LSB
E_{OFFSET}	偏移误差	8 位分辨率	0	3.20	19.20	LSB
		10 位分辨率	0	12.80	76.80	LSB
E_{GAIN}	增益误差	适用于任何分辨率	–5	–	+5	%FSR
电源						
I_{ADC}	工作电流		–	2.10	2.60	mA
PSRR	电源抑制比	PSRR （V_{DD} > 3.0 V）	–	24	–	dB
		PSRR （V_{DD} < 3.0 V）	–	30	–	dB

直流 POR 和 LVD 规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 15. 直流 POR 和 LVD 规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{POR0}	在 PSoC Designer 中选定 1.66 V	在启动、从 XRES 引脚进行复位或从看门狗进行复位的过程中， V_{DD} 必须大于或等于 1.71 V。	1.61	1.66	1.71	V
V_{POR1}	在 PSoC Designer 中选定 2.36 V		–	2.36	2.41	
V_{POR2}	在 PSoC Designer 中选定 2.60 V		–	2.60	2.66	
V_{POR3}	在 PSoC Designer 中选定 2.82 V		–	2.82	2.95	
V_{LVD0}	在 PSoC Designer 中选定 2.45 V		2.40	2.45	2.51	V
V_{LVD1}	在 PSoC Designer 中选定 2.71 V		2.64[14]	2.71	2.78	
V_{LVD2}	在 PSoC Designer 中选定 2.92 V		2.85[15]	2.92	2.99	
V_{LVD3}	在 PSoC Designer 中选定 3.02 V		2.95[16]	3.02	3.09	
V_{LVD4}	在 PSoC Designer 中选定 3.13 V		3.06	3.13	3.20	
V_{LVD5}	在 PSoC Designer 中选定 1.90 V		1.84	1.90	2.32	
V_{LVD6}	在 PSoC Designer 中选定 1.80 V		1.75[17]	1.80	1.84	
V_{LVD7}	在 PSoC Designer 中选定 4.73 V		4.62	4.73	4.83	

直流编程规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 16. 直流编程规范

符号	说明	条件	最小值	典型值	最大值	单位
Vdd_{IWRITE}	闪存写操作的供电电压		1.71	–	5.25	V
I_{DDP}	编程或验证期间的供电电流		–	5	25	mA
V_{ILP}	编程或验证期间的输入低电平电压	更多相关信息，请参考第 13 页上的直流通用 I/O 规范	–	–	V_{IL}	V
V_{IHP}	编程或验证期间的输入高电平电压	更多相关信息，请参考第 13 页上的直流通用 I/O 规范	V_{IH}	–	–	V
I_{ILP}	编程或验证过程中在 P1[0] 或 P1[1] 引脚上使用 V_{ILP} 电压时的输入电流	驱动内部下拉电阻	–	–	0.2	mA
I_{IHP}	编程或验证过程中在 P1[0] 或 P1[1] 引脚上使用 V_{IHP} 电压时的输入电流	驱动内部下拉电阻	–	–	1.5	mA
V_{OLP}	编程或验证期间的输出低电平电压		–	–	V_{SS} + 0.75	V
V_{OHP}	编程或验证期间的输出高电平电压	更多相关信息，请参考第 13 页上的直流通用 I/O 规范 。对于 V_{DD} > 3 V，请使用第 11 页上的表 5 中的 V_{OH4}。	V_{OH}	–	V_{DD}	V
$Flash_{ENPB}$	闪存写入次数	每个模块的擦 / 写循环次数	50,000	–	–	-
$Flash_{DR}$	闪存数据保留时间	遵循最大闪存写入周期；环境温度为 55 °C	10	20	–	年

注释

14. 对于下降的供电电压，应始终保持比 V_{PPOR1} 电压高 50 mV。
15. 对于下降的供电电压，应始终保持比 V_{PPOR2} 电压高 50 mV。
16. 对于下降的供电电压，应始终保持比 V_{PPOR3} 电压高 50 mV。
17. 对于下降的供电电压，应始终保持比 V_{PPOR0} 电压高 50 mV。

交流芯片级规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 17. 交流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{IMO24}	设置为 24 MHz 时的 IMO 输出频率		22.8	24	25.2	MHz
F_{IMO12}	设置为 12 MHz 时的 IMO 输出频率		11.4	12	12.6	MHz
F_{IMO6}	设置为 6 MHz 时的 IMO 输出频率		5.7	6.0	6.3	MHz
F_{CPU}	CPU 频率		0.75	–	25.20	MHz
F_{32K1}	ILO 频率		19	32	50	kHz
F_{32K_U}	未调整的 ILO 频率		13	32	82	kHz
DC_{IMO}	IMO 的占空比		40	50	60	%
DC_{ILO}	ILO 的占空比		40	50	60	%
SR_{POWER_UP}	电源压摆率	上电期间的 V_{DD} 压摆率	–	–	250	V/ms
T_{XRST}	上电时外部复位脉宽	供电电压有效之后	1	–	–	ms
T_{XRST2}	上电后的外部复位脉宽 [18]	在器件启动后使用	10	–	–	µs

注释

18. 编程器件时， XRES 脉冲所需的最小长度会变长 （请参见第 21 页上的表 23）。

交流通用 I/O 规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 18. AC GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{GPIO}	GPIO 工作频率	正常强驱动模式，端口 0、 1	0 0	– –	 1.71 V <V_{DD} < 2.40 V 时频率为 6 MHz， 2.40 V < V_{DD}< 5.50 V 时频率为 12 MHz	MHz
T_{RISE23}	上升时间，强驱动模式，Cload = 50pF，端口 2 或 3	V_{DD} = 3.0 到 3.6 V， 10% 到 90%	15	–	80	ns
$T_{RISE23L}$	上升时间，强驱动模式低电源，Cload = 50 pF，端口 2 或 3	V_{DD} = 1.71 到 3.0 V， 10% 到 90%	15	–	80	ns
T_{RISE01}	上升时间，强驱动模式， Cload = 50 pF ，端口 0 或 1	V_{DD} = 3.0 到 3.6 V， 10% 到 90%，已使能或禁用的 LDO	10	–	50	ns
$T_{RISE01L}$	上升时间，强驱动模式低电源，Cload = 50 pF，端口 0 或 1	V_{DD} = 1.71 V 到 3.0 V，10% 到 90%， 已使能或禁用的 LDO	10	–	80	ns
T_{FALL}	下降时间，强驱动模式， Cload = 50 pF 所有端口	V_{DD} = 3.0 到 3.6 V， 10% 到 90%	10	–	50	ns
T_{FALLL}	下降时间，强驱动模式低电源，Cload = 50 pF，所有端口	V_{DD} = 1.71 到 3.0 V， 10% 到 90%	10	–	70	ns

图 6. 通用 I/O 时序图

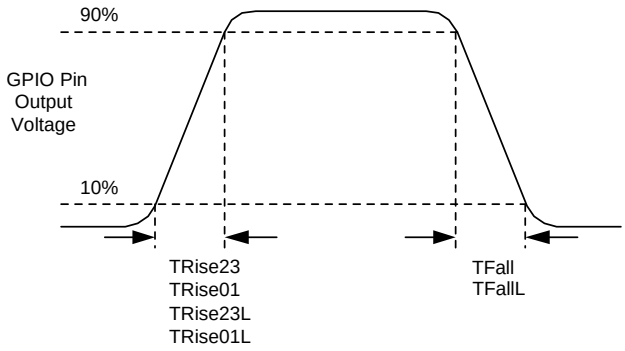


表 19. 交流特性 — USB 数据时序

符号	说明	条件	最小值	典型值	最大值	单位
T_{DRATE}	全速数据速率	平均比特率	12 – 0.25%	12	12 + 0.25%	MHz
T_{JR1}	接收器抖动容差	到下一次跃变	–18.5	–	18.5	ns
T_{JR2}	接收器抖动容差	到成对跃变	–9	–	9	ns
T_{DJ1}	FS 驱动器抖动	到下一次跃变	–3.5	–	3.5	ns
T_{DJ2}	FS 驱动器抖动	到成对跃变	–4.0	–	4.0	ns
T_{FDEOP}	差分跃变的源抖动	到 SE0 跃变	–2	–	5	ns
T_{FEOPT}	EOP 的源 SE0 间隔时间		160	–	175	ns
T_{FEOPR}	EOP 的接收器 SE0 间隔时间		82	–		ns
T_{FST}	差分跃变期间内的 SE0 间隔宽度		–	–	14	ns

表 20. 交流特性 — USB 驱动器

符号	说明	条件	最小值	典型值	最大值	单位
T_{FR}	跃变上升时间	50 pF	4	–	20	ns
T_{FF}	跃变下降时间	50 pF	4	–	20	ns
T_{FRFM}[19]	上升 / 下降时间匹配		90	–	111	%
Vcrs	输出信号交变电压		1.30	–	2.00	V

交流比较器规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 21. 交流低功耗比较器规范

符号	说明	条件	最小值	典型值	最大值	单位
T_{LPC}	在过压值为 50 mV 条件下的比较器响应时间	50 mV 过压值不包括偏移电压。	–	–	100	ns

交流外部时钟规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 22. 交流外部时钟规范

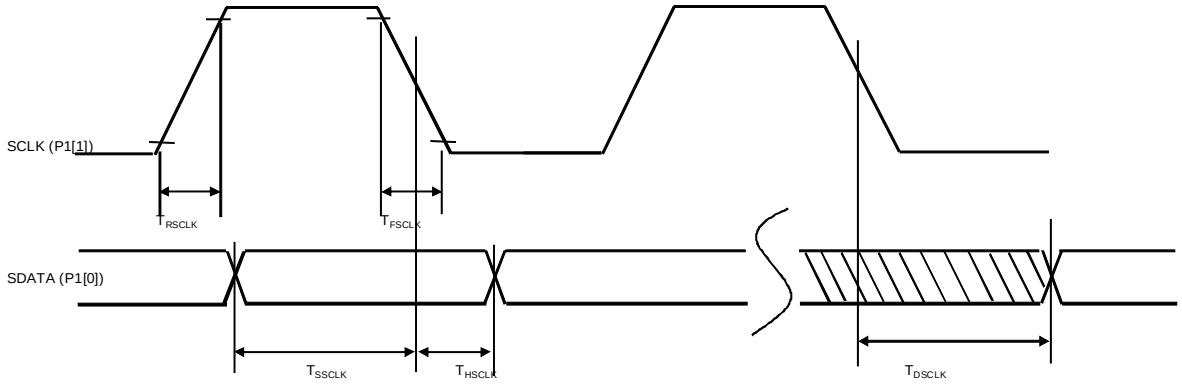
符号	说明	条件	最小值	典型值	最大值	单位
F_{OSCEXT}	频率 （外部振荡器频率）		0.75	–	25.20	MHz
	高电平周期		20.60	–	5300	ns
	低电平周期		20.60	–	–	ns
	从给 IMO 上电到切换的时间		150	–	–	µs

注释

19. 并不是在所有条件下都满足 T_{FRFM}。较低供电电压有一个拐角情况，例如，低于 3.3 V。该条件不会影响到 USB 通信。信号完整性测试在 3.15 V 时显示为良好的眼图。

交流编程规范

图 7. 交流波形



下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 23. 交流编程规范

符号	说明	条件	最小值	典型值	最大值	单位
T_{RSCLK}	SCLK 的上升时间		1	–	20	ns
T_{FSCLK}	SCLK 的下降时间		1	–	20	ns
T_{SSCLK}	从数据建立时间到 SCLK 下降沿的时间		40	–	–	ns
T_{HSCLK}	从数据保持时间到下降沿的时间		40	–	–	ns
F_{SCLK}	SCLK 的频率		0	–	8	MHz
T_{ERASEB}	闪存擦除时间 （模块）		–	–	18	ms
T_{WRITE}	闪存模块写时间		–	–	25	ms
T_{DSCLK}	从 SCLK 下降沿开始后的数据输出延迟时间	$3.6 < V_{DD}$	–	–	60	ns
T_{DSCLK3}	从 SCLK 下降沿开始后的数据输出延迟时间	$3.0 \le V_{DD} \le 3.6$	–	–	85	ns
T_{DSCLK2}	从 SCLK 下降沿开始后的数据输出延迟时间	$1.71 \le V_{DD} \le 3.0$	–	–	130	ns
T_{XRST3}	上电后外部复位的脉宽	退出睡眠模式后需要进入编程模式	300	–	–	µs
T_{XRES}	XRES 脉冲长度		300	–	–	µs
$T_{VDDWAIT}$	V_{DD} 稳定到等待和轮询拖延的时间		0.1	–	1	ms
$T_{VDDXRES}$	V_{DD} 稳定到 XRES 事件生效的延迟时间		14.27	–	–	ms
T_{POLL}	SDATA 为高脉冲的时间		0.01	–	200	ms
T_{ACQ}	基于 256 个 ILO 时钟周期， V_{DD} 上升获取事件后的 “ 关键窗口 ” 时间		3.20	–	19.60	ms
$T_{XRESINI}$	基于 8 个 ILO 时钟周期， XRES 事件后的 “ 关键窗口 ” 时间		98	–	615	µs

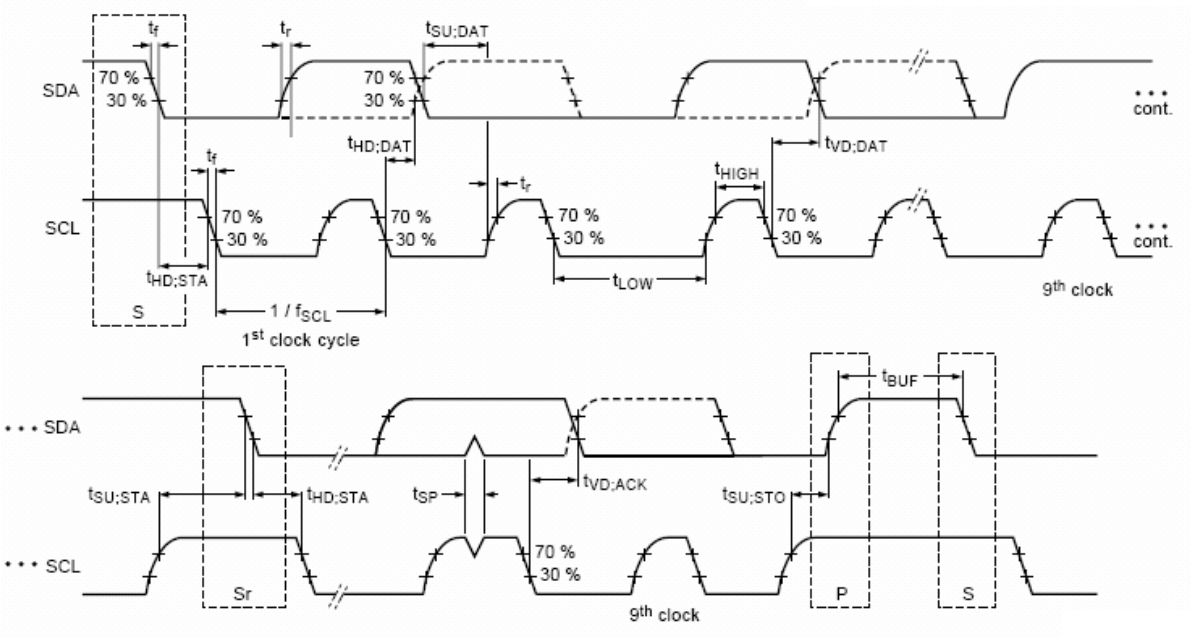
I²C 交流规范

下表列出了在以下电压和温度范围内许可的最大和最小规范。

表 24. I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率	0	100	0	400	kHz
$t_{HD;STA}$	（重复） START （启动）条件的保持时间。经过这段时间后，会生成第一个时钟脉冲。	4.0	–	0.6	–	µs
t_{LOW}	SCL 时钟的低电平周期	4.7	–	1.3	–	µs
t_{HIGH}	SCL 时钟的高电平周期	4.0	–	0.6	–	µs
$t_{SU;STA}$	重复 START 条件的建立时间	4.7	–	0.6	–	µs
$t_{HD;DAT}$	数据保持时间	0	3.45	0	0.9	µs
$t_{SU;DAT}$	数据建立时间	250	–	100[20]	–	ns
$t_{SU;STO}$	STOP 条件的建立时间	4.0	–	0.6	–	µs
t_{BUF}	STOP 和 START 条件之间的总线空闲时间	4.7	–	1.3	–	µs
t_{SP}	输入滤波器抑制了尖峰脉冲的宽度。	–	–	0	50	ns

图 8. I²C 总线上快速 / 标准模式的时序定义



注释

20. 快速模式 I²C 总线器件可以用于标准模式 I²C 总线系统，但必须满足 $t_{SU;DAT} \geq 250$ ns 的要求。如果器件不会延长 SCL 信号的低电平周期，这种情况会自动发生。如果此类器件会延长 SCL 信号的低电平周期，则它必须在 SCL 线路被释放之前将下一个数据位输出到 SDA 线路 $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250$ ns（根据标准模式 I²C 总线规范）。

表 25. SPI 主设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	$V_{DD} \geq 2.4$ V $V_{DD} < 2.4$ V	– –	– –	6 3	MHz
DC	SCLK 占空比		–	50	–	%
T_{SETUP}	MISO 到 SCLK 的建立时间	$V_{DD} \geq 2.4$ V $V_{DD} < 2.4$ V	60 100	– –	– –	ns
T_{HOLD}	SCLK 到 MISO 的保持时间		40	–	–	ns
T_{OUT_VAL}	从 SCLK 到 MOSI 为有效的时间		–	–	40	ns
T_{OUT_H}	MOSI 为高电平的时间		40	–	–	ns

图 9. SPI 主设备模式 0 和 2

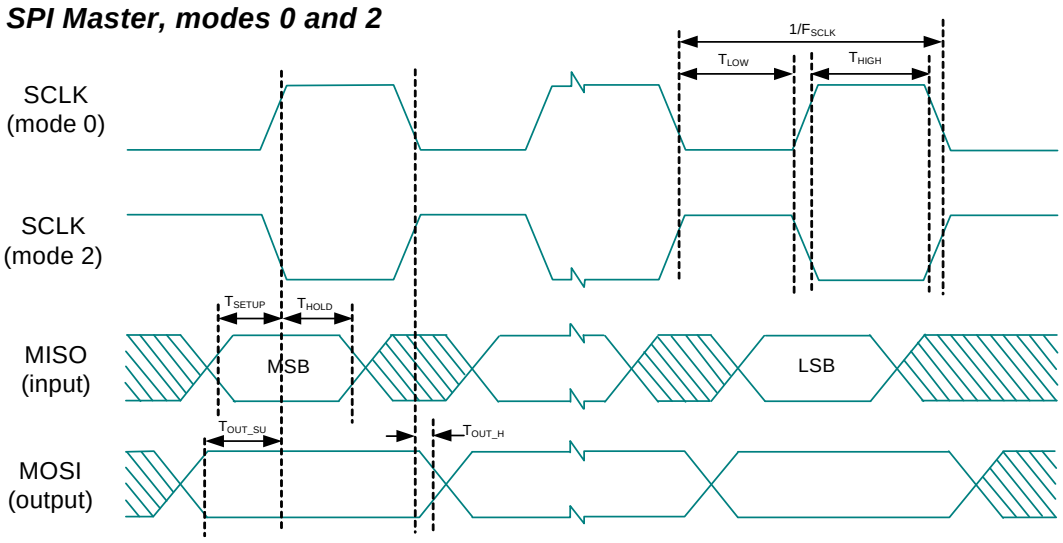


图 10. SPI 主设备模式 1 和 3

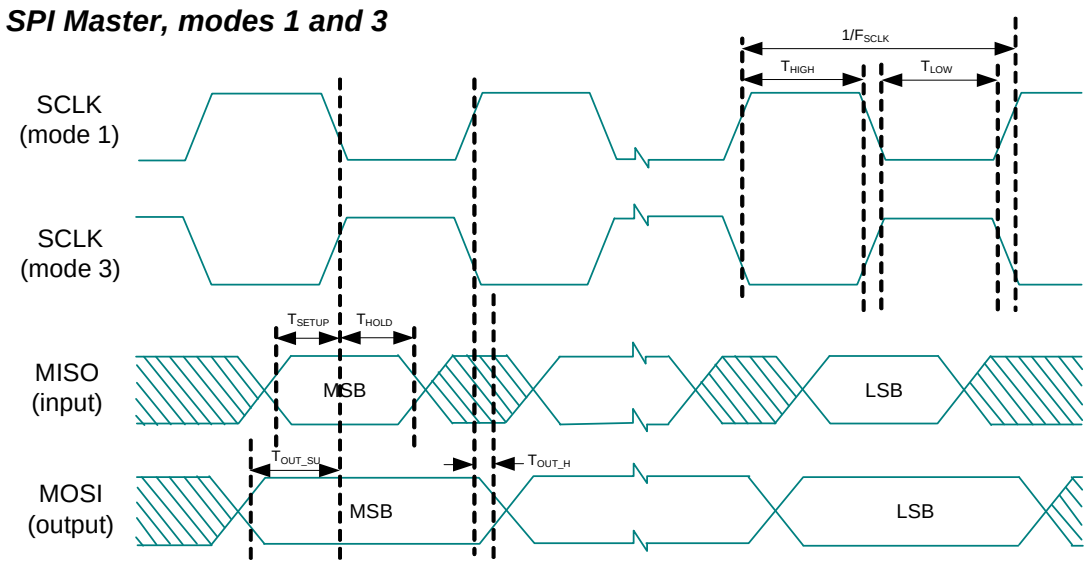


表 26. SPI 从设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	–	–	–	4	MHz
T_{LOW}	SCLK 为低电平的时间	–	42	–	–	ns
T_{HIGH}	SCLK 为高电平的时间	–	42	–	–	ns
T_{SETUP}	从 MOSI 到 SCLK 的建立时间	–	30	–	–	ns
T_{HOLD}	从 SCLK 到 MOSI 的保持时间	–	50	–	–	ns
T_{SS_MISO}	从 SS 为高电平到 MISO 有效的时间	–	–	–	153	ns
T_{SCLK_MISO}	从 SCLK 到 MISO 有效的时间	–	–	–	125	ns
T_{SS_HIGH}	SS 为高电平的时间	–	50	–	–	ns
T_{SS_CLK}	从 SS 为低电平到第一个 SCLK 的时间	–	2/SCLK	–	–	ns
T_{CLK_SS}	从最后一个 SCLK 到 SS 为高电平的时间	–	2/SCLK	–	–	ns

图 11. SPI 从设备模式 0 和 2

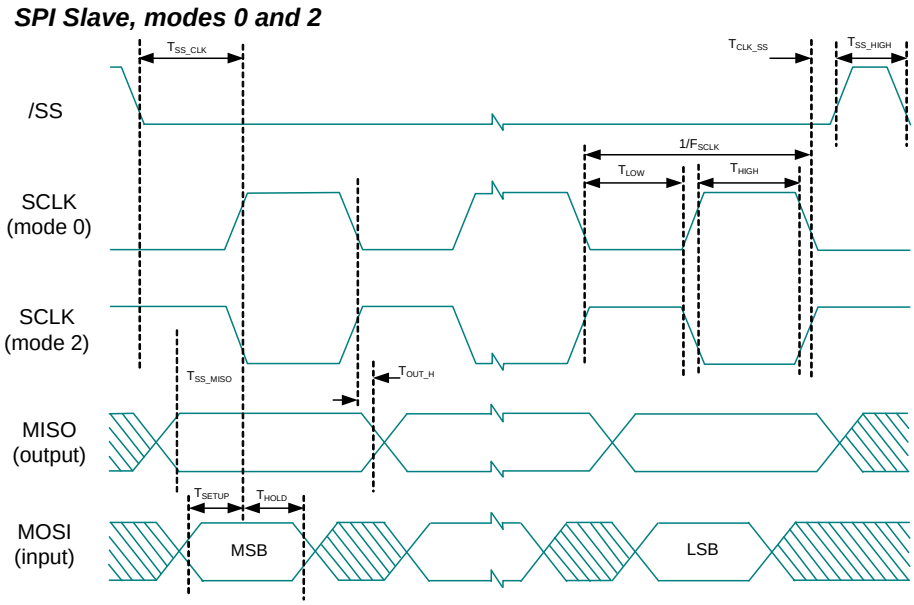
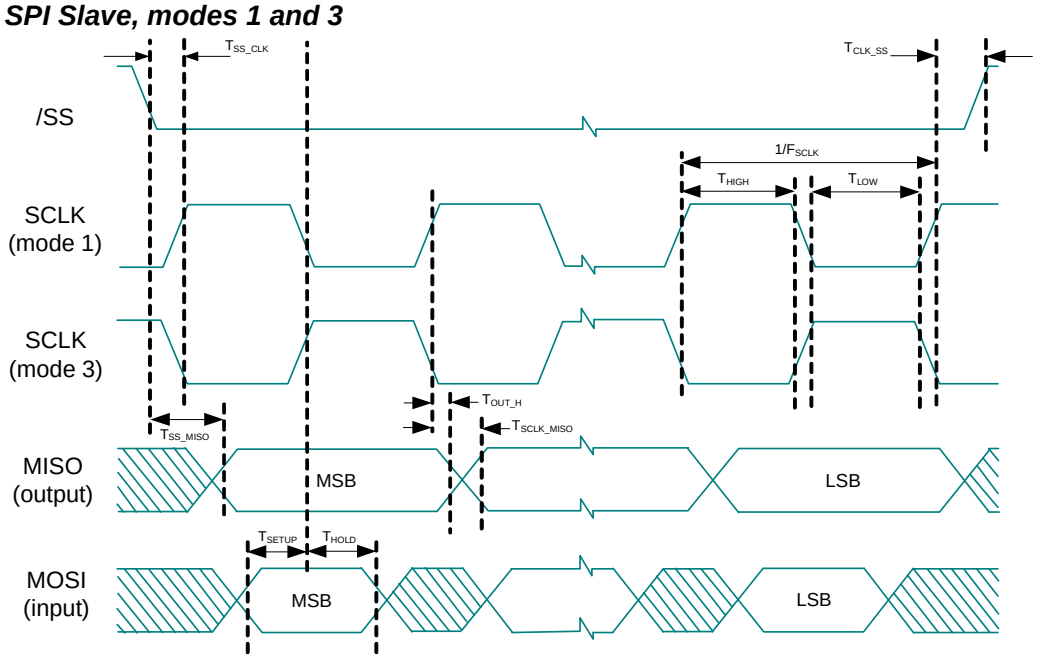


图 12. SPI 从设备模式 1 和 3

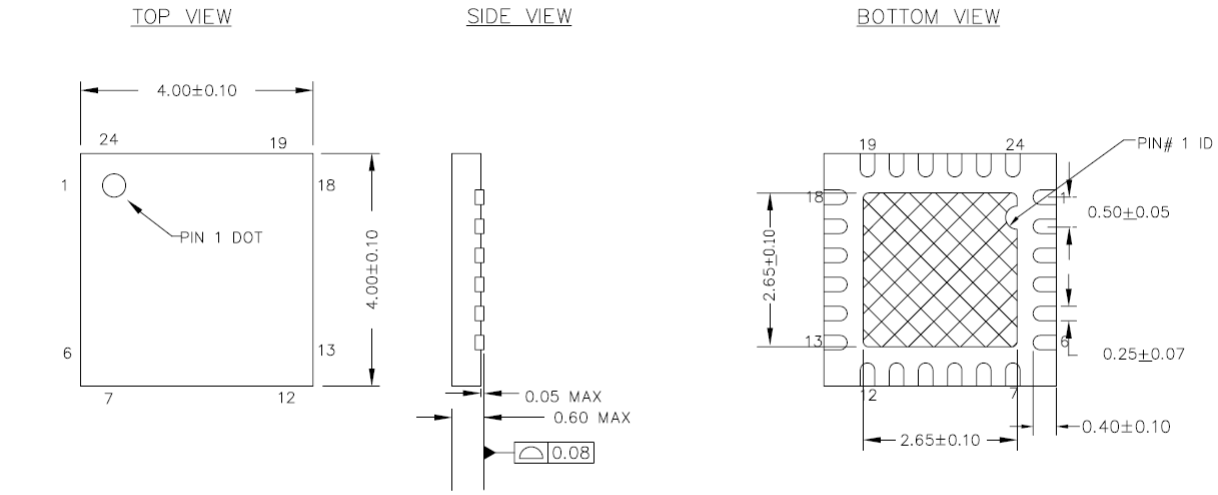


封装信息

本节介绍的是 CY8C20336H/CY8C20446H PSoC 器件的封装规范以及每种封装的热阻。

重要注意：仿真工具在目标 PCB 上可能需要比芯片空间更大的面积。有关仿真工具尺寸的详细说明，请参考 http://www.cypress.com/design/MR10161 网站上标题为 *PSoC 仿真器转接板尺寸*的文档。

图 13. 24 引脚 （4 × 4 × 0.55 mm） QFN

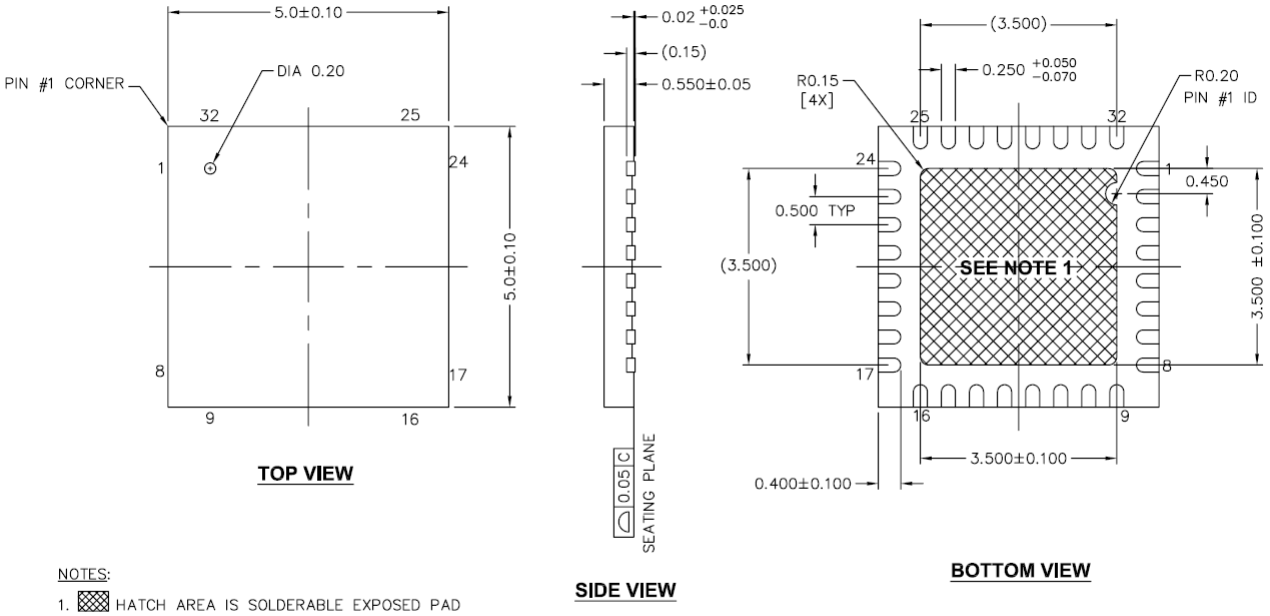


NOTES :

1. HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO−248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *E

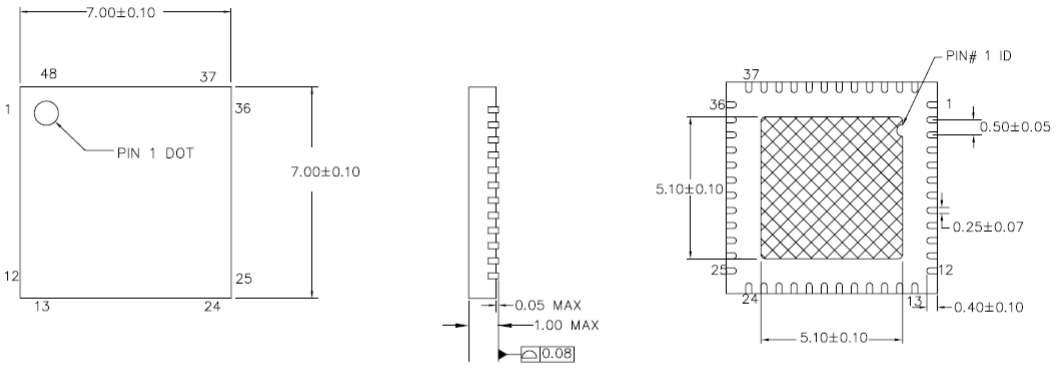
图 14. 32 引脚 （5 × 5 × 0.55 mm） QFN



NOTES:
1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO−248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 *E

图 15. 48 引脚 （7 × 7 × 1.0 mm） QFN



NOTES:
1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO−220
3. PACKAGE WEIGHT: 13 ± 1 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13191 *G

重要说明

- 有关安装 QFN 封装首选尺寸的信息，请参考 http://www.amkor.com/products/notes_papers/MLFAppNote.pdf 网站上提供的应用笔记。
- 低功耗 PSoC 器件无需热导引脚的过孔。

热阻

表 27. 每种封装的热阻

封装	典型 θ_{JA} [21]
24-QFN[22]	20.90 °C/W
32-QFN[22]	19.51 °C/W
48-QFN[22]	17.68 °C/W

晶振引脚上的电容

表 28. 晶振引脚上的典型封装电容

封装	封装电容
32 引脚 QFN	3.2 pF
48 引脚 QFN	3.3 pF

回流焊峰值温度

此表格列出了实现良好可焊性需要达到的最低回流焊峰值温度。

表 29. 回流焊峰值温度

封装	最高峰值温度	在最高峰值温度下的时间
24 引脚 QFN	260 °C	30 秒
32 引脚 QFN	260 °C	30 秒
48 引脚 QFN	260 °C	30 秒

注释

21. $T_J = T_A$ + 功耗 x θ_{JA}。
22. 要达到 QFN 封装指定的热阻抗，中心热焊盘必须焊接到 PCB 接地层。
23. 根据焊料熔点的不同，可能需要更高的温度。典型焊接温度为 220 ± 5 °C （使用 Sn-Pb 焊膏）或 245 ± 5 °C （使用 Sn-Ag-Cu 焊膏）。请参见焊料制造商提供的规范。

开发工具选择

软件

PSoC Designer

PSoC Designer 是 PSoC 开发软件套装的核心。多 5 年来，这款强大的软件被数以千计的 PSoC 开发人员用来简化 PSoC 设计。PSoC Designer 在 http://www.cypress.com 网站上免费提供。

PSoC Programmer

PSoC Programmer 非常灵活，它不仅可用于开发，而且适用于工厂编程，因此可作为独立的编程应用程序，也可从 PSoC Designer 中直接调用。 PSoC Programmer 软件与 PSoC ICE-Cube 在线仿真器和 PSoC MiniProg 兼容。 PSoC Programmer 在 http://www.cypress.com 网站上免费提供。

开发套件

所有开发套件均在赛普拉斯在线商店销售。

CY3215-DK 基本开发套件

CY3215-DK 用于通过 PSoC Designer 进行原型设计和开发。该套件支持在线仿真功能，其软件界面允许用户运行、暂停和单步执行处理器，并查看特定存储器位置的内容。 PSoC Designer 也支持高级仿真功能。该套件包括：

- PSoC Designer 软件 CD
- ICE-Cube 在线仿真器
- CY8C29x66A 系列的 ICE Flex-Pod
- Cat-5 适配器
- Mini-Eval 编程板
- 110 ~ 240 V 电源， Euro-Plug 适配器
- iMAGEcraft C 编译器 （需要注册）
- ISSP 线缆
- USB 2.0 线缆和蓝色 Cat-5 线缆
- 两个个 CY8C29466A-24PXI 28-PDIP 芯片样品

评估工具

所有评估工具均在赛普拉斯在线商店销售。

CY3210-MiniProg1

CY3210-MiniProg1 套件可让用户通过 MiniProg1 编程单元对 PSoC 器件进行编程。 MiniProg 是一种紧凑的小型原型设计编程器，通过随附的 USB 2.0 线缆连接到 PC。该套件包括：

- MiniProg 编程单元
- MiniEval Socket 编程和评估板
- 28 引脚 CY8C29466A-24PXI PDIP PSoC 器件样品
- 28 脚 CY8C27443A-24PXI PDIP PSoC 器件样品
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3210-PSoCEval1

CY3210-PSoCEval1 套件包含一个评估板和一个 MiniProg1 编程单元。该评估板包括 LCD 模块、电位器、 LED 和大量实验板空间，可满足您所有的评估需要。该套件包括：

- 带 LCD 模块的评估板
- MiniProg 编程单元
- 28 引脚 CY8C29466A-24PXI PDIP PSoC 器件样品 （2）
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3280-20x66 通用 CapSense 控制器

CY3280-20X66 CapSense 控制器套件旨在使用预定义的控制电路和插入硬件来简化 CY8C20XX6A CapSense 系列设计原型及调试。包含用于调校和数据采集的编程硬件和 I2C-USB 桥接器。

该套件包括：

- CY3280-20x66 CapSense 控制电路板
- CY3240-I2USB 桥接器
- CY3210 MiniProg1 编程器
- USB 2.0 可收放线缆
- CY3280-20x66 套件 CD

器件编程器

所有器件编程器均可在赛普拉斯在线商店上购买。

CY3216 模块化编程器

CY3216 模块编程器 （MP）套件主要用作模块编程器和 MiniProg1 编程单元。模块化编程器包括三个编程模块卡，并支持多个赛普拉斯产品。该套件包括：

- 模块化编程器基础
- 三个编程模块卡
- MiniProg 编程单元
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3207ISSP 系统内串行编程器 （ISSP）

CY3207ISSP 是一个生产编程器，其中包括保护电路和一个工业外壳，该工业外壳在生产编程环境中比 MiniProg 更强大。请注意， CY3207ISSP 需要特殊软件，而且与 PSoC Programmer 不兼容。该套件包括：

- CY3207 编程器单元
- PSoC ISSP 软件 CD
- 110 ~ 240 V 电源， Euro-Plug 适配器

附件 （仿真和编程）

表 30. 仿真和编程附件

器件型号	引脚封装	Flex-Pod 套件 [24]	支脚套件 [25]	适配器 [26]
CY8C20336H-24LQXI	24 引脚 QFN	CY3250-20366QFN	CY3250-24QFN-FK	请参见注释 24
CY8C20446H-24LQXI	32 引脚 QFN	CY3250-20466QFN	CY3250-32QFN-FK	请参见注释 26

第三方工具

这些工具由以下第三方供应商专门设计，以便在开发和生产过程中与 PSoC 器件配套使用。有关这些工具的具体信息，可以在 http://www.cypress.com 网站的 Documentation > Evaluation Boards 路径下面找到。

在您的电路板中构建 PSoC 仿真器

转到批量生产之前，如何使用片上调试 （OCD）非生产 PSoC 器件来仿真电路，有关此方法的详细信息，请参考 http://www.cypress.com/?rID2748 网站上的应用笔记 “AN2323 — 调试 - 在您的电路板上构建一个 PSoC 仿真器 ”。

注释

24. Flex-Pod 套件包含一个练习 Flex-pod 和一个练习 PCB，另外附带两个 Flex-pod。
25. 支脚套件包括可焊接到目标 PCB 上的表面安装支脚。
26. 编程适配器用于将非 DIP 封装转换成 DIP 封装。有关每种适配器的详细信息和订购信息，请访问 http://www.emulation.com 网站。
27. 双功能数字 I/O 引脚也连接到通用模拟复用器。
28. 这个器件在原型开发期间可用于在线调试，但调试次数有限。不能用于批量生产。

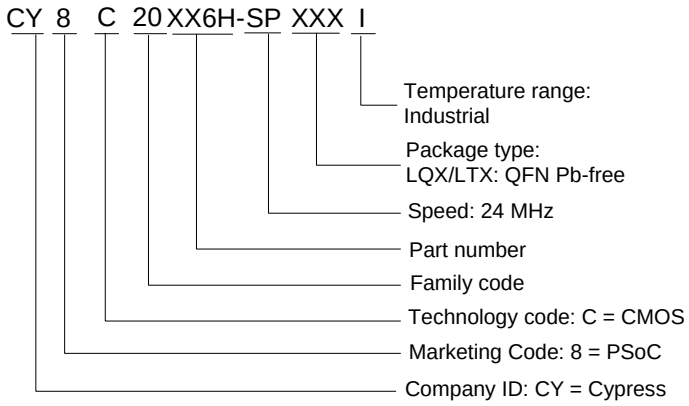
订购信息

下表列出了 CY8C20336H/CY8C20446H PSoC 器件的关键封装特性和订购代码。

表 31. PSoC 器件的关键特性和订购信息

封装	订购代码	闪存（KB）	SRAM（KB）	CapSense 模块	数字 I/O 引脚	模拟输入 [27]	XRES 引脚	USB
24 引脚 （4 × 4 × 0.6 mm） QFN	CY8C20336H-24LQXI	8	1	1	20	20	有	无
32 引脚 （5 × 5 × 0.6 mm） QFN	CY8C20446H-24LQXI	16	2	1	28	28	有	无
48 引脚 （7 × 7 mm） QFN （OCD） [28]	CY8C20066A-24LTXI	32	2	1	36	36	有	有

订购代码定义



文档规范

所用缩略语

下表列出了本文档中使用的缩略语。

缩略语	说明
AC	交流
ADC	模数转换器
API	应用编程接口
CMOS	互补金属氧化物半导体
CPU	中央处理单元
DAC	数模转换器
DC	直流
EOP	数据包结束
FSR	全量程范围
GPIO	通用输入 / 输出
GUI	图形用户界面
I^2C	内部集成电路
ICE	在线仿真器
IDAC	数模转换器电流
ILO	内部低速振荡器
IMO	内部主振荡器
I/O	输入 / 输出
ISSP	系统内串行编程
LCD	液晶显示器
LDO	低压差 （电压调节器）
LSB	最低有效位
LVD	低电压检测
MCU	微控制器单元
MIPS	每秒百万条指令
MISO	主入从出
MOSI	主出从入
MSB	最高有效位
OCD	片上调试器
POR	上电复位
PPOR	精密上电复位
PSRR	电源抑制比
PWRSYS	供电系统
PSoC®	可编程片上系统
SLIMO	内部低速主振荡器
SRAM	静态随机存取存储器
SNR	信噪比
QFN	四方扁平无引脚
SCL	串行 I^2C 时钟
SDA	串行 I^2C 数据
SDATA	串行 ISSP 数据
SPI	串行外设接口
SS	从设备选择
SSOP	紧缩小外形封装
TC	测试控制器
USB	通用串行总线
USB D+	USB 数据 +
USB D-	USB 数据 -
WLCSP	晶圆级芯片尺寸封装
XTAL	晶振

测量单位

表 32 列出了用于测量 PSoC 器件的所有缩略语。

数字命名规范

十六进制数字中的所有字母均为大写，结尾带小写的 ‘h’（例如，‘14h’ 或 ‘3Ah’）。十六进制数字还可以通过前缀 ‘0x’ 来表示 （C 编码规范）。二进制数字在结尾带小写的 ‘b’ （例如，‘01010100b’ 或 ‘01000011b’）。不用 ‘h’、‘b’ 或 ‘0x’ 来表示的数字是十进制数字。

表 32. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
g	克
Hz	赫兹
KB	1024 字节
Kbit	1024 位
KHz	千赫兹
Ksps	每秒千次采样
kΩ	千欧
MHz	兆赫兹
MΩ	兆欧
µA	微安
µF	微法
µH	微亨
µs	微秒
µW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pA	皮安
pF	皮法
pp	峰峰值
ppm	百万分率
ps	皮秒
sps	每秒采样数
s	sigma：一个标准差
V	伏特
W	瓦特

术语表

交叉点连接	在任意 GPIO 组合之间通过模拟复用器总线进行的连接。
差分非线性度	在理想情况下，任何两个相邻的数字代码均与输出模拟电压相对应，二者正好相差 1 LSB。差分非线性度是用于测量偏离理想的 1 LSB 步长的最坏偏差情况。
保持时间	保持时间是时钟事件到来后输入到锁存器或触发器的数据必须保持稳定的时长，这是为了确保正确锁存数据。
I^2C	它是多主设备串行总线，用于将低速外设连接到 MCU。
积分非线性	它是用来描述 DAC/ADC 理想输出与实际输出电平之间最大偏差的术语。
锁存电流	根据 JESD78 标准 （温度为 125 °C）进行锁存测试时的电流
电源抑制比 （PSRR）	PSRR 被定义为电源电压变化量与器件输出电压的相应变化量之间的比率。
扫描	从所有传感器电容到数字值的转换。
建立时间	准备器件、机器、流程或系统就绪功能所需的时间。
信噪比 （SNR）	电容指控信号与系统噪声之间的比值。
SPI	串行外设接口是同步串行数据链接标准。

参考文档

- CY8C20xx6 器件的 《技术参考手册》
- 20xx6 的系统内串行编程 （ISSP）协议 — AN2026C
- 20xx6 的主机源串行编程 — AN59389

文档修订记录页

文档标题：CY8C20336H/CY8C20446H 触觉使能 CapSense® 控制器 文档编号：001-93001				
版本	**ECN**	**变更者**	**提交日期**	**变更说明**
**	4521408	LUFL	10/03/2014	本文档版本号为 Rev**，译自英文版 001-56223 Rev*E。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司， 2009-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。

PSoC Designer™ 是赛普拉斯半导体公司的商标，且 PSoC® 和 CapSense® 是赛普拉斯半导体公司的注册商标。从赛普拉斯或某个获得赛普拉斯从属许可证的联营公司处购买的 I²C 组件，即可根据飞利浦（Philips）I²C 专利权获得一份许可，以便在 I²C 系统中使用这些组建，但前提要保证该系统符合飞利浦定义的 I²C 标准规范。自 2006 年 10 月 1 日起，飞利浦半导体就采用一个新的商标名称 — NXP 半导体。本文件中介绍的所有产品和公司名称均为其各自所有者的商标。