本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

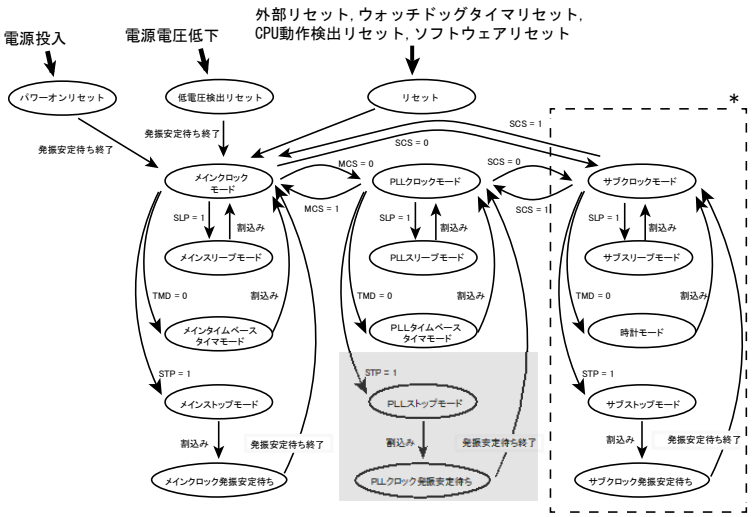
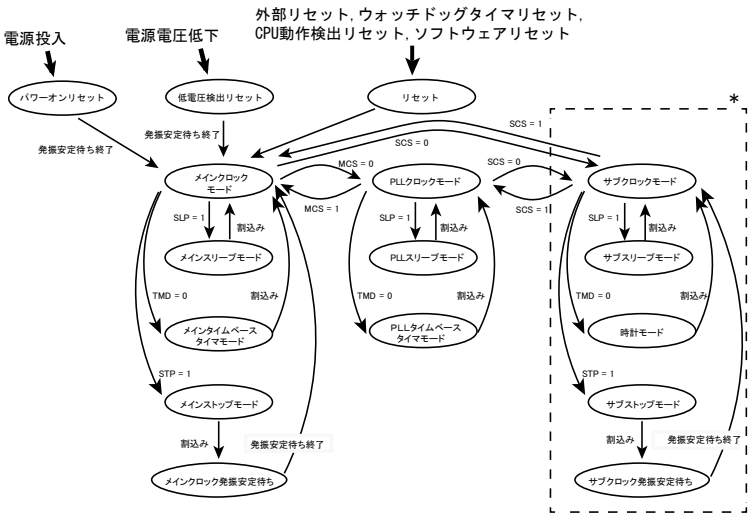
サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

MB90920 シリーズ

16 ビット・マイクロコントローラ
F^2MC-16LX
ハードウェアマニュアル

Errata Sheet

ページ	場所	訂正内容
Original document code: CM44-10142-5		
Revision 1.0　February 2, 2015		
125	5.3	表 5.3-1 クロック選択レジスタ(CKSCR) の機能 (1 / 3) の WS1, WS0 ビットでの以下の で示す PLL ストップモードに関する記述を削除 (誤) メインクロックモードから PLL クロックモードに切り換えた場合の発振安定待ち時間は, 2^{14}/HCLK(発振クロック周波数 4MHz で動作している場合: 約 4.1ms) 固定です。サブクロックモードから PLL クロックモードに切り換えた場合および PLL ストップモードから PLL クロックモードに復帰する場合の発振安定待ち時間は, 本ビットに設定された値に従います。 PLL クロック発振安定待ち時間は, 2^{14}/HCLK 以上必要ですので, サブクロックモードから PLL クロックモードに切り換える場合および PLL ストップモードに移行する場合は, 本ビットには 10_B または 11_B を設定してください。 (正) メインクロックモードから PLL クロックモードに切り換えた場合の発振安定待ち時間は, 2^{14}/HCLK(発振クロック周波数 4MHz で動作している場合: 約 4.1ms) 固定です。サブクロックモードから PLL クロックモードに切り換えた場合の発振安定待ち時間は, 本ビットに設定された値に従います。 PLL クロック発振安定待ち時間は, 2^{14}/HCLK 以上必要ですので, サブクロックモードから PLL クロックモードに切り換える場合は, 本ビットには 10_B または 11_B を設定してください。
155	6.5.4	ストップモードへの移行の<注意事項>に以下を追加 ・ストップモードへの移行は必ずメインクロックモードまたはサブクロックモードから設定してください。
156	6.5.4	ストップモードの解除の<注意事項>での以下の で示す PLL ストップモードに関する記述を削除 •PLL ストップモード中は, メインクロックおよび PLL 逓倍回路が停止しているため,PLL ストップモードから復帰する場合は, メインクロック発振安定待ち時間および PLL クロック発振安定待ち時間を確保する必要があります。この場合の発振安定待ち時間は, クロック選択レジスタの発振安定待ち時間選択ビット (CKSCR:WS1, WS0) に設定された値に従って, メインクロック発振安定待ち時間および PLL クロック発振安定待ち時間を同時にカウントしますので, CKSCR:WS1, WS0 ビットには発振安定待ち時間の長い方に合わせて値を設定してください。ただし, PLL クロック発振安定待ち時間は 2^{14}/HCLK 以上必要ですので, CKSCR:WS1, WS0 ビットには 10_B または 11_B を設定してください。

ページ	場所	訂正内容
158	6.6	図 6.6-1 状態遷移図を以下に示すように PLL ストップモード、PLL クロック発振安定待ちを削除 (誤)  ＊:クロック2系統品のみで使用できるモードです。 (正)  ＊:クロック2系統品のみで使用できるモードです。

<table>
<tr><th>ページ</th><th>場所</th><th>訂正内容</th></tr>
<tr><td>159</td><td>6.6</td><td>表 6.6-1 低消費電力モードの動作状態を以下の で示す PLL ストップモードに関する記述を削除

(誤)
<table>
<tr><th>動作状態</th><th>メイン
クロック</th><th>サブ
クロック</th><th>PLL
クロック</th><th>CPU</th><th>周辺</th><th>時計</th><th>タイム
ベース
タイマ</th><th>クロック
ソース</th></tr>
<tr><td>PLL</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td>動作</td><td rowspan="2">動作</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td rowspan="4">PLL
クロック</td></tr>
<tr><td>PLL スリープ</td><td rowspan="3">停止</td></tr>
<tr><td>PLL タイムベース
タイマ*1</td><td rowspan="2">停止</td></tr>
<tr><td>PLL ストップ</td><td>停止</td><td>停止</td><td>停止</td><td>停止</td><td>停止</td></tr>
<tr><td>PLL 発振安定待ち</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td></tr>
</table>
(正)
<table>
<tr><th>動作状態</th><th>メイン
クロック</th><th>サブ
クロック</th><th>PLL
クロック</th><th>CPU</th><th>周辺</th><th>時計</th><th>タイム
ベース
タイマ</th><th>クロック
ソース</th></tr>
<tr><td>PLL</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td>動作</td><td rowspan="2">動作</td><td rowspan="3">動作</td><td rowspan="3">動作</td><td rowspan="4">PLL
クロック</td></tr>
<tr><td>PLL スリープ</td><td rowspan="3">停止</td></tr>
<tr><td>PLL タイムベース
タイマ*1</td><td rowspan="2">停止</td></tr>
<tr><td>PLL 発振安定待ち</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td></tr>
</table></td></tr>
<tr><td>162</td><td>6.8</td><td>6.8 低消費電力モード使用上の注意 に以下の で示すストップモードに関する記述を追加

低消費電力モードを使用する場合には, 次に示す内容に関して注意が必要です。
• スタンバイモードへの移行と割込み
• スタンバイモードに移行する場合の注意
• スタンバイモードの割込みによる解除
• ストップモード移行時
• ストップモード解除時
• 発振安定待ち時間
• クロックモードの切換え
• スタンバイモード遷移のための低消費電力モード制御レジスタ (LPMCR) にアクセスする際の注意事項

■ ストップモード移行時
ストップモードへの移行は必ずメインモードまたはサブクロックモードから設定するようにしてください。
PLL クロックモードで動作中にストップモードへ移行したい場合は、一度メインモードに遷移してからストップモードに設定してください。</td></tr>
<tr><td>163</td><td>6.8</td><td>6.8 低消費電力モード使用上の注意の以下の で示す PLL ストップモードに関する記述を削除

■ 発振安定待ち時間
● PLL クロック発振安定待ち時間
PLL ストップモード中は, メインクロックおよび PLL 逓倍回路が停止しているため,PLL ストップモードから復帰する場合は, メインクロック発振安定待ち時間および PLL クロック発振安定待ち時間を確保してください。この場合の発振安定待ち時間は, クロック選択レジスタの発振安定待ち時間選択ビット (CKSCR:WS1, WS0) に設定された値に従って, メインクロック発振安定待ち時間および PLL クロック発振安定待ち時間を同時にカウントしますので, CKSCR:WS1, WS0 ビットには発振安定待ち時間の長い方に合わせて値を設定してください。ただし, PLL クロック発振安定待ち時間は 2^{14}/HCLK 以上必要ですので, CKSCR:WS1, WS0 ビットには 10_B または 11_B を設定してください。</td></tr>
</table>

ページ	場所	訂正内容
259	9.3.2	9.3.2 タイムベースタイマ制御レジスタ(TBTC) の TBOF ビットの以下の で示す PLL ストップモードに関する記述を削除 (誤) TBOF ビットは, 以下の条件でクリアされます。 • "0"の書込み • メインストップモードへの遷移 • PLL ストップモードへの遷移 • サブクロックモードからメインクロックモードへの遷移 • サブクロックモードから PLL クロックモードへの遷移 • メインクロックモードから PLL クロックモードへの遷移 • TBR ビットへの"0" 書込み • リセット "1" の書込みは意味がありません。 リードモディファイライト(RMW) 系命令における読出しの場合には, "1" が読み出されます。 (正) TBOF ビットは, 以下の条件でクリアされます。 • "0"の書込み • メインストップモードへの遷移 • サブクロックモードからメインクロックモードへの遷移 • サブクロックモードから PLL クロックモードへの遷移 • メインクロックモードから PLL クロックモードへの遷移 • TBR ビットへの"0" 書込み • リセット "1" の書込みは意味がありません。 リードモディファイライト(RMW) 系命令における読出しの場合には, "1" が読み出されます。

<table>
<tr><th>ページ</th><th>場所</th><th>訂正内容</th></tr>
<tr><td>266</td><td>9.4.2</td><td>9.4.2 タイムベースタイマの動作の以下の で示す PLL ストップモードに関する記述を削除

(誤)
■ タイムベースタイマの動作
タイムベースタイマは，メインクロックをカウントする 18 ビットのカウンタにより構成され，メインクロックが入力されている間は常にカウント動作を続けます。
タイムベースカウンタは，以下の条件によってクリアされます。
• パワーオンリセット
• メインストップモードへの遷移
• PLL ストップモードへの遷移
• メインクロックモードから PLL クロックモードへの遷移
• サブクロックモードからメインクロックモードへの遷移
• サブクロックモードから PLL クロックモードへの遷移
• TBTC レジスタの TBR ビットへの"0" 書込み
タイムベースタイマの出力を使用している，ウォッチドッグタイマとインターバル割込み機能は，タイムベースタイマのクリアに影響されます。

(正)
■ タイムベースタイマの動作
タイムベースタイマは，メインクロックをカウントする 18 ビットのカウンタにより構成され，メインクロックが入力されている間は常にカウント動作を続けます。
タイムベースカウンタは，以下の条件によってクリアされます。
• パワーオンリセット
• メインストップモードへの遷移
• メインクロックモードから PLL クロックモードへの遷移
• サブクロックモードからメインクロックモードへの遷移
• サブクロックモードから PLL クロックモードへの遷移
• TBTC レジスタの TBR ビットへの"0" 書込み
タイムベースタイマの出力を使用している，ウォッチドッグタイマとインターバル割込み機能は，タイムベースタイマのクリアに影響されます。</td></tr>
<tr><td>268</td><td>9.4.2</td><td>表 9.4-2 タイムベースタイマカウンタのクリア動作と発振安定待ち時間を以下の で示す PLL ストップモードに関する記述を削除

(誤)
<table>
<tr><th>動作</th><th>カウンタクリア</th><th>TBOF クリア</th><th>発振安定待ち時間</th></tr>
<tr><td>TBTC の TBR ビットへ"0" 書込み</td><td>○</td><td>○</td><td>－</td></tr>
<tr><td>パワーオンリセット</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間</td></tr>
<tr><td>メインストップモードの解除
PLL ストップモードの解除</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間</td></tr>
<tr><td>サブストップモードの解除</td><td>×</td><td>×</td><td>サブクロック発振安定待ち時間</td></tr>
</table>

(正)
<table>
<tr><th>動作</th><th>カウンタクリア</th><th>TBOF クリア</th><th>発振安定待ち時間</th></tr>
<tr><td>TBTC の TBR ビットへ"0" 書込み</td><td>○</td><td>○</td><td>－</td></tr>
<tr><td>パワーオンリセット</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間</td></tr>
<tr><td>メインストップモードの解除</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間</td></tr>
<tr><td>サブストップモードの解除</td><td>×</td><td>×</td><td>サブクロック発振安定待ち時間</td></tr>
</table>
</td></tr>
</table>