

英飞凌XMC4500工业用32位高性能、节能微控制器

英飞凌工业应用微控制器系列

ARM® Cortex®-M4

32位处理器内核

关于本文档

此数据手册专门针对嵌入式硬件和软件开发人员。它为读者提供了有关XMC4500系列设备的订购标识、可用功能、电气和物理特性的详细描述。

该文档描述了XMC4500系列设备超集的特性。为简单起见，本手册中使用统称 XMC4500 来指代各种设备类型。

XMC4000 系列用户文档

用户文档集包括：

- **参考手册**
 - 描述设备超集的功能。
- **数据手册**
 - 列出衍生设备的完整订购名称、可用功能和电气特性。
- **勘误表**
 - 列出与相关参考手册或数据手册中给出的规格的偏差。为设备超集提供了勘误表。

注意：请查阅文档集的所有部分以获得有关您的设备的综合知识。

用户指南 和 **应用笔记** 提供了应用相关的指导。

请参阅<http://www.infineon.com/xmc4000> 以获取这些文档的最新版本。

目录

	关于本文档.....	1
	目录.....	2
1	特征描述	4
1.1	订购信息.....	6
1.2	设备类型.....	6
1.3	设备类型特性.....	7
1.4	特征变体的定义.....	8
1.5	识别寄存器.....	9
2	设备通用信息	10
2.1	逻辑符号.....	10
2.2	引脚配置及定义.....	12
2.2.1	封装引脚汇总.....	14
2.2.2	端口 I/O 功能.....	21
2.2.2.1	端口 I/O 功能表.....	22
2.3	电源连接方案.....	47
3	电气参数	39
3.1	常规参数.....	39
3.1.1	参数释义.....	39
3.1.2	最大绝对额定值.....	39
3.1.3	过载下的引脚可靠性.....	40
3.1.4	Pad 驱动器 和 Pad 类别 总结.....	42
3.1.5	工作条件.....	43
3.2	直流参数.....	44
3.2.1	输入/输出引脚.....	44
3.2.2	模数转换器 (VADC).....	49
3.2.3	数模转换器 (DAC).....	52
3.2.4	超范围比较器 (ORC).....	55
3.2.5	芯片温度传感器.....	56
3.2.6	USB OTG 接口直流特性.....	57
3.2.7	振荡器引脚.....	59
3.2.8	电源电流.....	62
3.2.9	闪存参数.....	64
3.3	交流参数.....	65
3.3.1	测试波形.....	65
3.3.2	上电和 电源 监控.....	66
3.3.3	电源序列.....	67
3.3.4	锁相环 (PLL) 特性.....	68
3.3.5	内部时钟源特征.....	69

Table of contents

3.3.6	JTAG接口-时序	70
3.3.7	串行线调试端口 (SW-DP) 时序.....	71
3.3.8	嵌入式走线宏信元 (ETM) 时序.....	72
3.3.9	外围设备定时.....	73
3.3.9.1	增量-积分解调器 数字的 界面 定时.....	73
3.3.9.2	同步串行接口 (USIC SSC) 时序.....	74
3.3.9.3	Inter-IC (IIC) 接口时序.....	77
3.3.9.4	Inter-IC 声音(IIS) 接口时序	79
3.3.9.5	SDMMC 接口时序	81
3.3.10	EBU 时序	88
3.3.10.1	EBU 异步 时序	88
3.3.10.2	EBU 突发 模式 访问时序	94
3.3.10.3	EBU 仲裁 信号 时序.....	96
3.3.10.4	EBU SDRAM 访问 时序	97
3.3.11	USB接口特性	101
3.3.12	以太网 接口 (ETH) 特性.....	101
3.3.12.1	ETH 测量 参考点	101
3.3.12.2	ETH 管理 信号 参数 (ETH_MDC, ETH_MDIO)	102
3.3.12.3	ETH MII 参数.....	103
3.3.12.4	ETH RMII参数.....	104
4	封装与 可靠性.....	105
4.1	封装参数.....	105
4.1.1	散热考虑.....	106
4.2	封装外形	107
5	质量声明	111
	修订记录	112
	免责声明	113

1 Summary of Features

1 特征描述

XMC4500器件都是基于 Arm® Cortex-M4® 处理器内核的 XMC4000 系列微控制器产品。XMC4000 是一系列高性能、节能的微控制器，针对工业连接、工业控制、电源转换、传感和控制进行了优化。

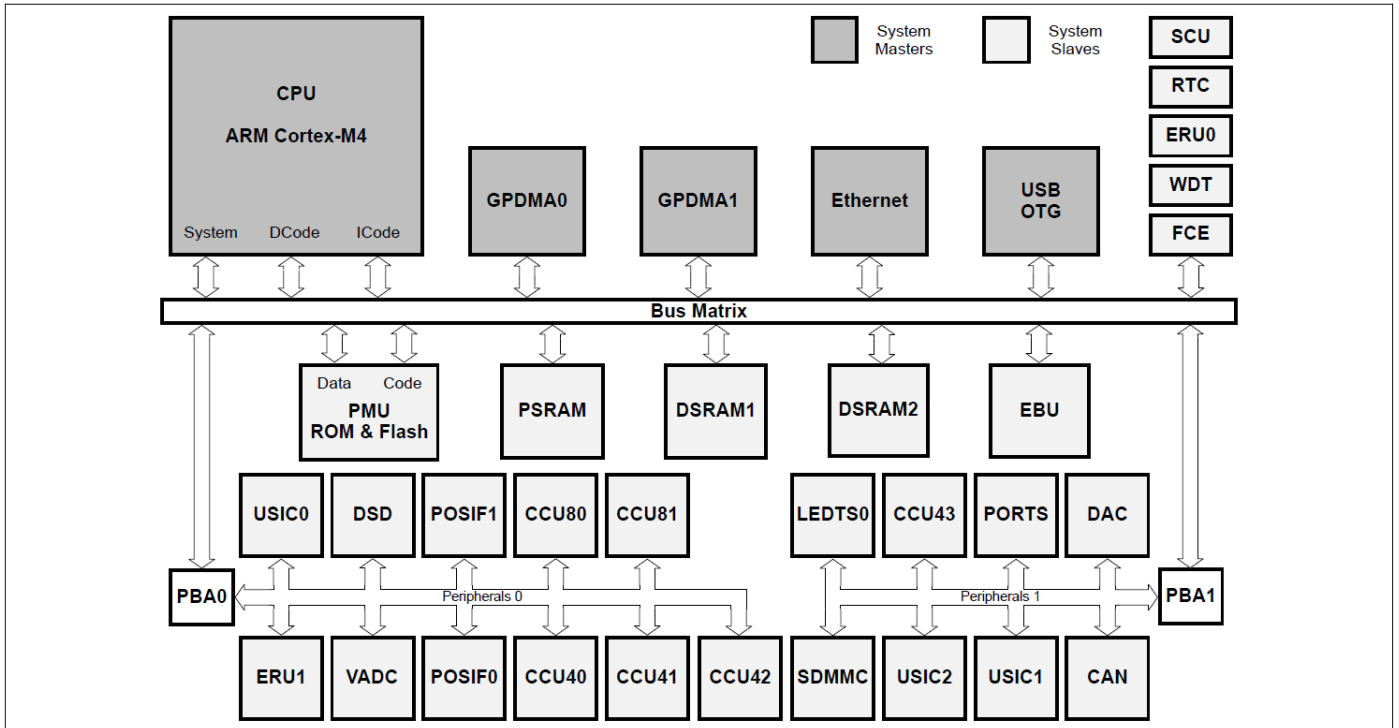


图 1 系统框图 CPU 子系统

- CPU 内核
 - 高性能 32 位 ARM Cortex-M4 CPU
 - 16 位和 32 位 Thumb2 指令集
 - DSP/MAC 指令
 - 用于操作系统支持的系统定时器 (SysTick)
- 浮点单元
- 存储器保护单元
- 嵌套中断向量控制器
- 最多 12 个通道的通用 DMA
- 事件请求单元 (ERU)，用于对外部和内部服务请求进行可编程处理
- 灵活的 CRC 引擎 (FCE)，用于多位错误检测

片上存储器

- 16 KB 片上引导 ROM
- 64 KB 片上高速程序存储器
- 64 KB 片上高速数据存储器
- 32 KB 片上高速通信存储器
- 1024 KB 片上闪存，带 4 KB 指令缓存

1 Summary of Features

通讯外设

- 以太网MAC模块支持10/100 Mbit/s的传输速率
- 通用串行总线、USB 2.0 主机、全速 OTG，带集成 PHY
- 控制器局域网接口 (MultiCAN)、带 3 个节点的 Full-CAN/Basic-CAN、64 个消息对象 (MO)、数据速率高达 1 MBaud
- 六个通用串行接口通道 (USIC)，提供 6 个串行通道，可用作 UART、双 SPI、四 SPI、IIC、IIS 和 LIN 接口
- 用于人机接口的 LED 和触摸感应控制器 (LEDTS)
- 用于数据存储卡的 SD 和多媒体卡接口 (SDMMC)
- 外部总线接口单元 (EBU)，可与外部存储器和片外外设进行通信

模拟前端外设

- 四个 12 位分辨率的模拟数字转换器 (VADC)，每个 8 个通道，带有检测输入超出范围的比较器
- 具有四通道、数字输入级的 Delta Sigma 解调器，用于 A/D 信号转换
- 具有两个 12 位分辨率通道的数模转换器 (DAC)

工业控制外设

- 两个捕获/比较单元 8 (CCU8)，用于电机控制和电源转换
- 四个捕获/比较单元 4 (CCU4)，用作通用定时器
- 用于伺服电机定位的双位置接口 (POSIF)
- 适用于安全敏感应用的窗口看门狗定时器 (WDT)
- 芯片温度传感器 (DTS)
- 带闹钟功能的实时时钟模块
- 系统控制单元 (SCU)，用于系统配置和控制

输入/输出线

- 可编程端口驱动控制模块 (PORTS)
- 独立寻址位
- 三态输入模式
- 推挽或开漏输出模式
- 通过 JTAG 接口支持边界扫描测试

片上调试支持

- 全面支持调试功能：8 个断点、CoreSight、跟踪
- 多种接口：ARM-JTAG、SWD、单线跟踪

1 Summary of Features

1.1 订购信息

英飞凌微控制器的订购代码提供了特定产品的准确参考。代码“XMC4<DDD>-<Z><PPP><T><FFFF>”标识：

- <DDD> 衍生品功能集
- <Z> 封装变体
 - E: LFBGA
 - F: LQFP
 - Q: VQFN
- <PPP> 封装引脚数
- <T> 温度范围：
 - F: -40°C至85°C
 - X: -40°C至105°C
 - K: -40°C至125°C
- <FFFF> 闪存大小

如需了解 XMC4500 的订购代码，请联系您的销售代表或当地经销商。

本文档介绍了 XMC4500 系列的几种衍生产品，其中一些描述可能不适用于特定产品。

为简单起见，本文中使用的术语 **XMC4500** 表示所有衍生产品。

1.2 设备类型

这些设备类型均已上市，可通过英飞凌的直销和/或分销渠道订购。

表 1 XMC4500 器件类型概要

Derivative ¹⁾	Package	Flash Kbytes	SRAM Kbytes
XMC4500-E144x1024	PG-LFBGA-144	1024	160
XMC4500-F144x1024	PG-LQFP-144	1024	160
XMC4500-F100x1024	PG-LQFP-100	1024	160
XMC4500-F144x768	PG-LQFP-144	768	160
XMC4500-F100x768	PG-LQFP-100	768	160
XMC4502-F100x768	PG-LQFP-100	768	160
XMC4504-F144x512	PG-LQFP-144	512	128
XMC4504-F100x512	PG-LQFP-100	512	128

1) x 是支持的温度范围的占位符。

1 Summary of Features

1.3 设备类型特性

下表列出了每种设备类型的可用功能。

表 2 XMC4500 器件类型的特性

Derivative ¹⁾	LEDTS Intf.	SDMMC Intf.	EBU Intf. ²⁾	ETH Intf. ³⁾	USB Intf.	USIC Chan.	MultiCAN Nodes, MO
XMC4500-E144x1024	1	1	SDM	MR	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4500-F144x1024	1	1	SDM	MR	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4500-F100x1024	1	1	M16	R	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4500-F144x768	1	1	SDM	MR	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4500-F100x768	1	1	M16	R	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4502-F100x768	1	1	M16	-	1	3 x 2	N0, N1, N2 MO[0..63]
XMC4504-F144x512	1	1	SDM	-	-	3 x 2	-
XMC4504-F100x512	1	1	M16	-	-	3 x 2	-

1) x 是支持的温度范围的占位符。

2) 支持的内存类型 S=SDRAM、D=DEMUX、M=MUX 16 位和 32 位、M16=MUX 16 位。

3) 支持的接口，M=MII，R=RMII。

表 3 XMC4500 器件类型的特性

Derivative ¹⁾	ADC Chan.	DSD Chan.	DAC Chan.	CCU4 Slice	CCU8 Slice	POSIF Intf.
XMC4500-E144x1024	32	4	2	4 x 4	2 x 4	2
XMC4500-F144x1024	32	4	2	4 x 4	2 x 4	2
XMC4500-F100x1024	24	4	2	4 x 4	2 x 4	2
XMC4500-F144x768	32	4	2	4 x 4	2 x 4	2
XMC4500-F100x768	24	4	2	4 x 4	2 x 4	2
XMC4502-F100x768	24	4	2	4 x 4	2 x 4	2

(表格续下页.....)

1 Summary of Features

表 3 (续) XMC4500 设备类型的特性

Derivative ¹⁾	ADC Chan.	DSD Chan.	DAC Chan.	CCU4 Slice	CCU8 Slice	POSIF Intf.
XMC4504-F144x512	32	4	2	4 x 4	2 x 4	2
XMC4504-F100x512	24	4	2	4 x 4	2 x 4	2

1) x 是支持的温度范围的占位符。

1.4 特征变体的定义

XMC4500 类型提供多种内存大小和可用 VADC 通道数量。表 4 描述可用闪存的位置，表 5 描述可用 SRAM 的位置，表 6 可用的 VADC 通道。

表 4 闪存范围

Total Flash Size	Cached Range	Uncached Range
512 Kbytes	0800 0000 _H - 0807 FFFF _H	0C00 0000 _H - 0C07 FFFF _H
768 Kbytes	0800 0000 _H - 080B FFFF _H	0C00 0000 _H - 0C0B FFFF _H
1,024 Kbytes	0800 0000 _H - 080F FFFF _H	0C00 0000 _H - 0C0F FFFF _H

表 5 SRAM 存储器范围

Total SRAM Size	Program SRAM	System Data SRAM	Communication Data SRAM
128 Kbytes	1000 0000 _H - 1000 FFFF _H	2000 0000 _H - 2000 FFFF _H	-
160 Kbytes	1000 0000 _H - 1000 FFFF _H	2000 0000 _H - 2000 FFFF _H	3000 0000 _H - 3000 7FFF _H

表 6 ADC 通道¹⁾

Package	VADC G0	VADC G1	VADC G2	VADC G3
PG-LQFP-144 PG-LFBGA-144	CH0..CH7	CH0..CH7	CH0..CH7	CH0..CH7
PG-LQFP-100	CH0..CH7	CH0..CH7	CH0..CH3	CH0..CH3

1) 封装中的某些引脚可能连接到多个通道。详细映射请参见端口 I/O 功能表。

1 Summary of Features

1.5 识别寄存器

识别寄存器允许软件识别标记。

表 7 XMC4500 识别寄存器

Register Name	Value	Marking
SCU_IDCHIP	0004 5002 _H	EES-AA, ES-AA
SCU_IDCHIP	0004 5003 _H	ES-AB, AB
SCU_IDCHIP	0004 5004 _H	AC
JTAG IDCODE	101D B083 _H	EES-AA, ES-AA
JTAG IDCODE	101D B083 _H	ES-AB, AB
JTAG IDCODE	401D B083 _H	AC

2 General Device Information

2 设备通用信息

本节总结了逻辑符号和封装引脚配置，并提供了功能 I/O 映射的详细列表。

2.1 逻辑符号

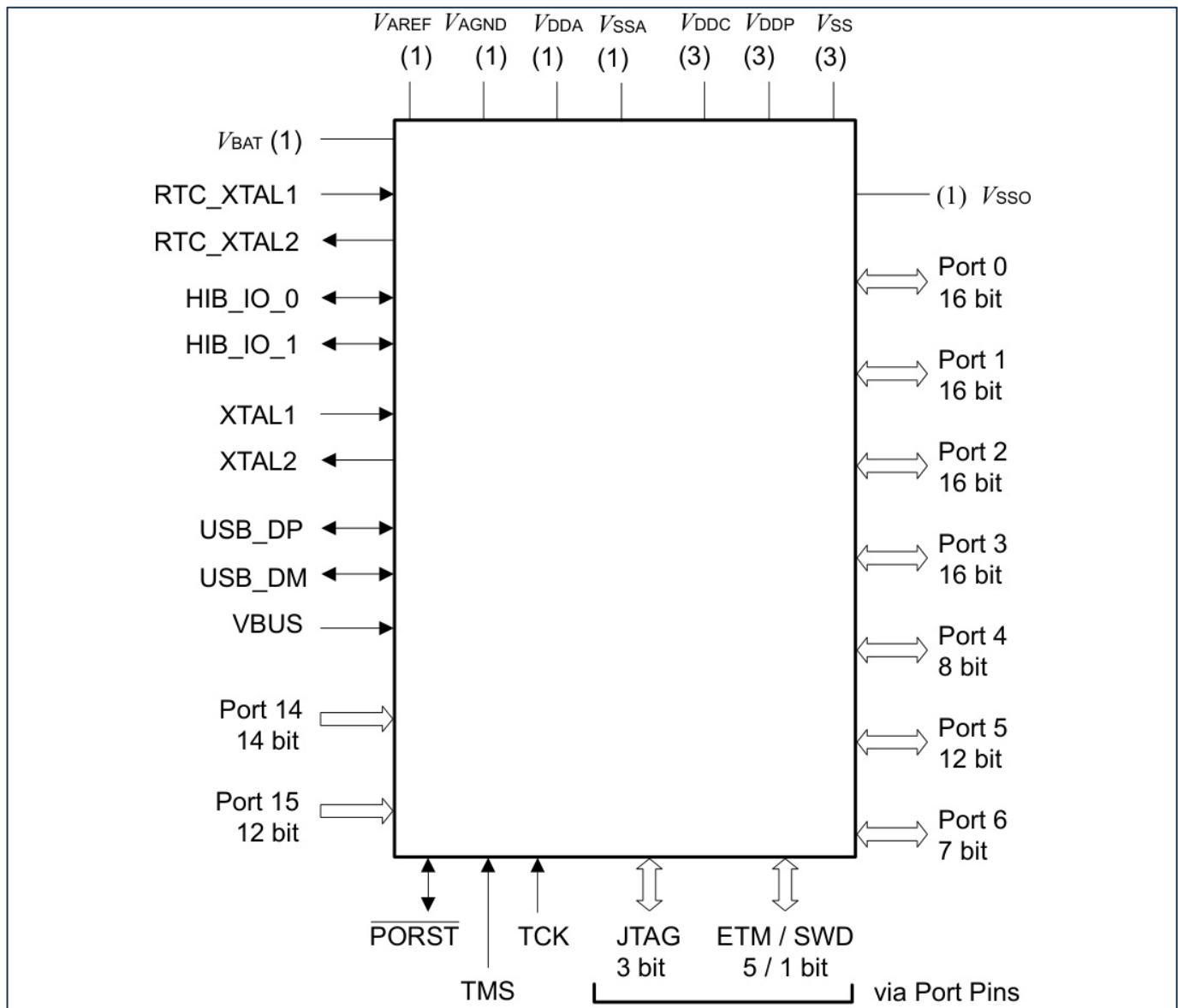


图2 XMC4500逻辑符号PG-LQFP-144

2 General Device Information

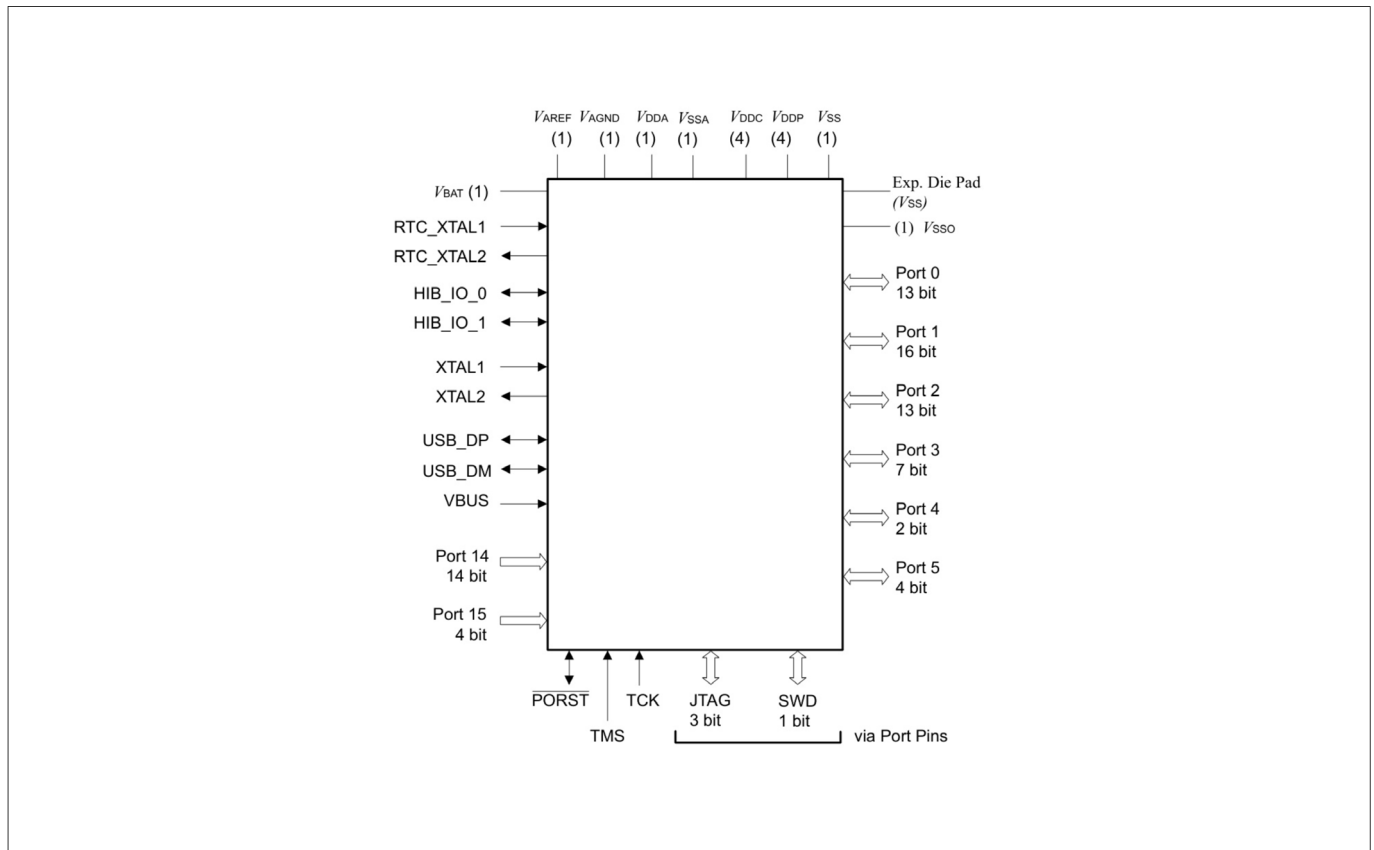


图3 XMC4500逻辑符号PG-LFBGA-144

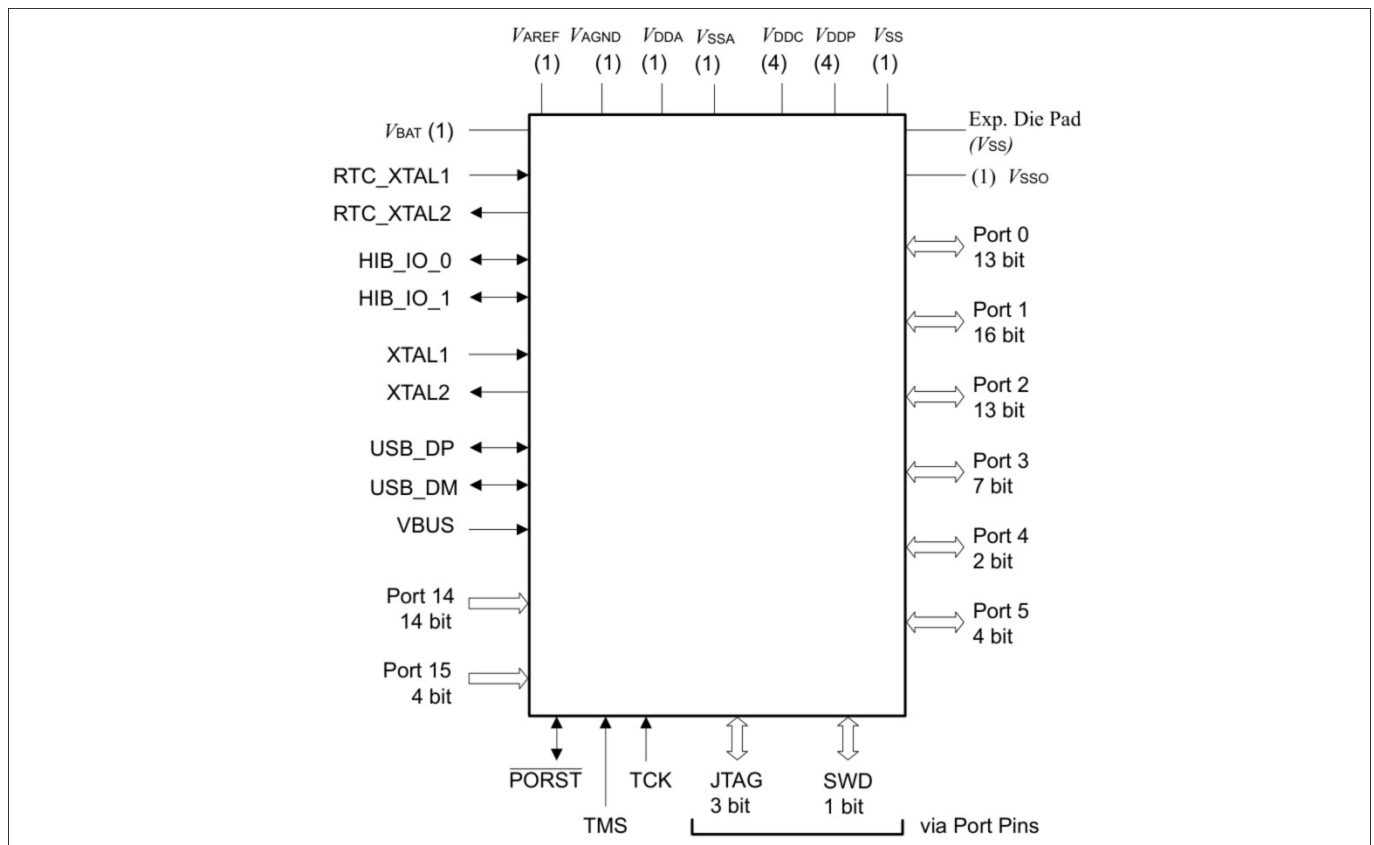


图4 XMC4500逻辑符号PG-LQFP-100

2 General Device Information

2.2 引脚配置及定义

下图总结了所有引脚，显示了它们在不同封装的四个侧面的位置。

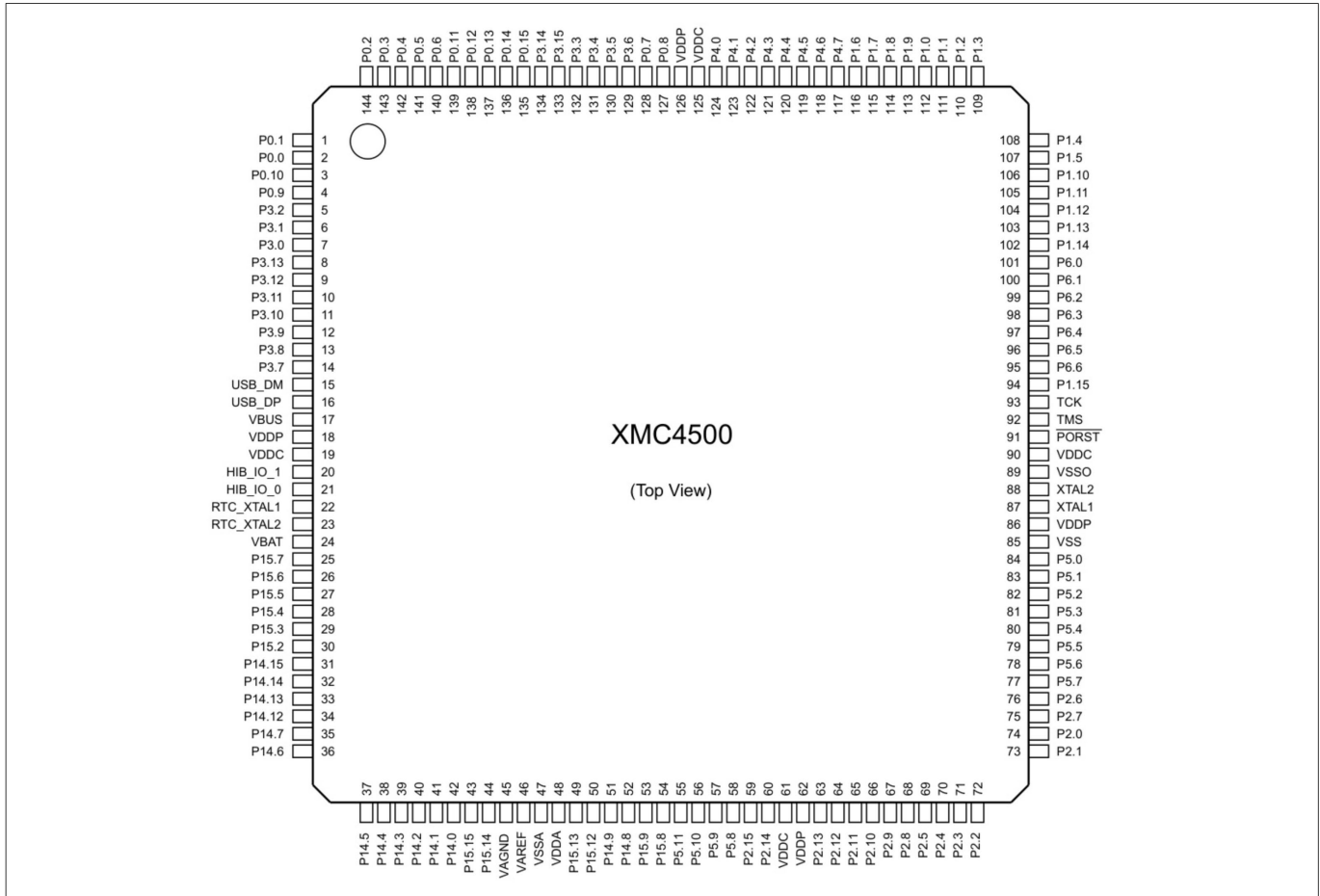


图 5 XMC4500 PG-LQFP-144 引脚配置 (顶视图)

2 General Device Information

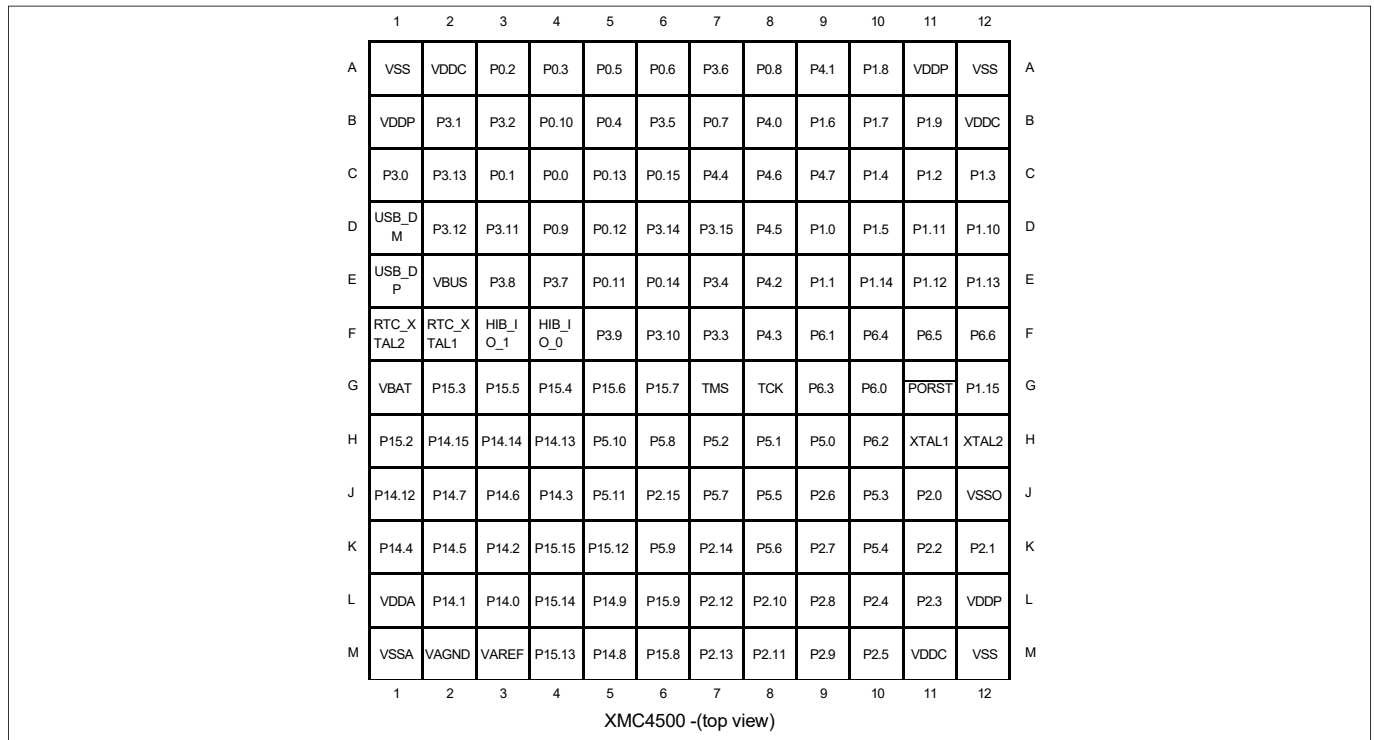


图 6 XMC4500 PG-LFBGA-144 引脚配置 (顶视图)

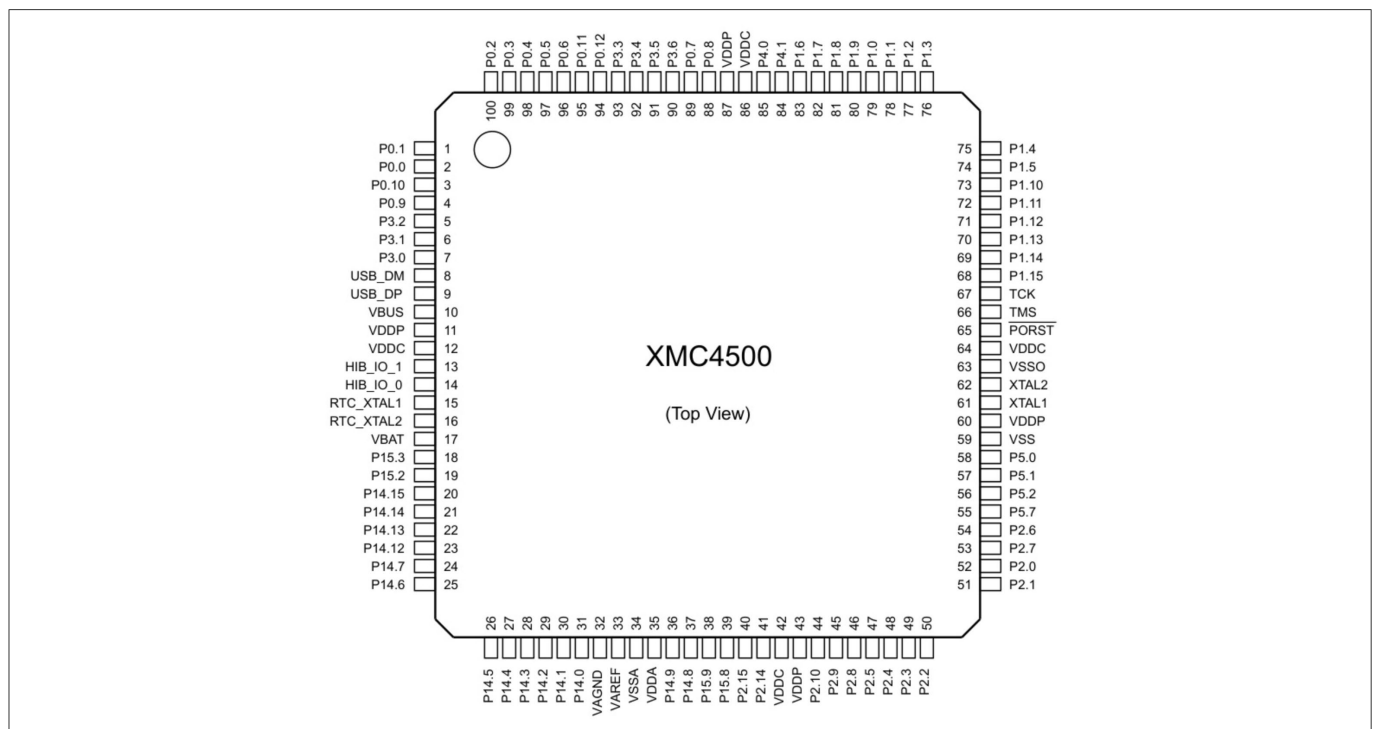


图 7 XMC4500 PG-LQFP-100 引脚配置 (顶视图)

2 General Device Information

2.2.1 封装引脚汇总

以下通用图表用于描述每个引脚：

表 8 封装引脚映射说明

Function	Package A	Package B	...	Pad Type	Notes
Name	N	Ax	...	A2	

该表按“功能”列排序，从常规端口引脚（Px.y）开始，然后是专用引脚（即 $\overline{\text{PORST}}$ ）和电源引脚。

以下各列以支持的封装变体为标题，列出了该封装中相应功能映射到的封装引脚号。

“Pad Type”表示所采用的焊盘类型（A1、A1+、A2、special=特殊焊盘、In=输入焊盘、AN/DIG_IN=模拟和数字输入、Power=电源）。有关焊盘属性的详细信息在电气参数中定义。

在“注释”中，给出了各个引脚/功能的特殊信息，即复位后与默认配置的偏差。默认情况下，常规端口引脚配置为直接输入，没有内部上拉或者下拉。

表 9 封装引脚映射

Function	LQFP-144	LFBGA-144	LQFP-100	Pad Type	Notes
P0.0	2	C4	2	A1+	
P0.1	1	C3	1	A1+	
P0.2	144	A3	100	A2	
P0.3	143	A4	99	A2	
P0.4	142	B5	98	A2	
P0.5	141	A5	97	A2	
P0.6	140	A6	96	A2	
P0.7	128	B7	89	A2	After a system reset, via HWSEL this pin selects the DB.TDI function.
P0.8	127	A8	88	A2	After a system reset, via HWSEL this pin selects the $\overline{\text{DB.TRST}}$ function, with a weak pull-down active.
P0.9	4	D4	4	A2	
P0.10	3	B4	3	A1+	
P0.11	139	E5	95	A1+	
P0.12	138	D5	94	A1+	

（表格续下页.....）

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFBGA-144	LQFP-100	Pad Type	Notes
P0.13	137	C5	-	A1+	
P0.14	136	E6	-	A1+	
P0.15	135	C6	-	A1+	
P1.0	112	D9	79	A1+	
P1.1	111	E9	78	A1+	
P1.2	110	C11	77	A2	
P1.3	109	C12	76	A2	
P1.4	108	C10	75	A1+	
P1.5	107	D10	74	A1+	
P1.6	116	B9	83	A2	
P1.7	115	B10	82	A2	
P1.8	114	A10	81	A2	
P1.9	113	B11	80	A2	
P1.10	106	D12	73	A1+	
P1.11	105	D11	72	A1+	
P1.12	104	E11	71	A2	
P1.13	103	E12	70	A2	
P1.14	102	E10	69	A2	
P1.15	94	G12	68	A2	
P2.0	74	J11	52	A2	
P2.1	73	K12	51	A2	After a system reset, via HWSEL this pin selects the DB.TDO function.
P2.2	72	K11	50	A2	
P2.3	71	L11	49	A2	
P2.4	70	L10	48	A2	
P2.5	69	M10	47	A2	
P2.6	76	J9	54	A1+	
P2.7	75	K9	53	A1+	
P2.8	68	L9	46	A2	
P2.9	67	M9	45	A2	
P2.10	66	L8	44	A2	
P2.11	65	M8	-	A2	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFPGA-144	LQFP-100	Pad Type	Notes
P2.12	64	L7	-	A2	
P2.13	63	M7	-	A2	
P2.14	60	K7	41	A2	
P2.15	59	J6	40	A2	
P3.0	7	C1	7	A2	
P3.1	6	B2	6	A2	
P3.2	5	B3	5	A2	
P3.3	132	F7	93	A1+	
P3.4	131	E7	92	A1+	
P3.5	130	B6	91	A2	
P3.6	129	A7	90	A2	
P3.7	14	E4	-	A1+	
P3.8	13	E3	-	A1+	
P3.9	12	F5	-	A1+	
P3.10	11	F6	-	A1+	
P3.11	10	D3	-	A1+	
P3.12	9	D2	-	A2	
P3.13	8	C2	-	A2	
P3.14	134	D6	-	A1+	
P3.15	133	D7	-	A1+	
P4.0	124	B8	85	A2	
P4.1	123	A9	84	A2	
P4.2	122	E8	-	A1+	
P4.3	121	F8	-	A1+	
P4.4	120	C7	-	A1+	
P4.5	119	D8	-	A1+	
P4.6	118	C8	-	A1+	
P4.7	117	C9	-	A1+	
P5.0	84	H9	58	A1+	
P5.1	83	H8	57	A1+	
P5.2	82	H7	56	A1+	
P5.3	81	J10	-	A2	
P5.4	80	K10	-	A2	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFPGA-144	LQFP-100	Pad Type	Notes
P5.5	79	J8	-	A2	
P5.6	78	K8	-	A2	
P5.7	77	J7	55	A1+	
P5.8	58	H6	-	A2	
P5.9	57	K6	-	A2	
P5.10	56	H5	-	A1+	
P5.11	55	J5	-	A1+	
P6.0	101	G10	-	A2	
P6.1	100	F9	-	A2	
P6.2	99	H10	-	A2	
P6.3	98	G9	-	A1+	
P6.4	97	F10	-	A2	
P6.5	96	F11	-	A2	
P6.6	95	F12	-	A2	
P14.0	42	L3	31	AN/DIG_IN	
P14.1	41	L2	30	AN/DIG_IN	
P14.2	40	K3	29	AN/DIG_IN	
P14.3	39	J4	28	AN/DIG_IN	
P14.4	38	K1	27	AN/DIG_IN	
P14.5	37	K2	26	AN/DIG_IN	
P14.6	36	J3	25	AN/DIG_IN	
P14.7	35	J2	24	AN/DIG_IN	
P14.8	52	M5	37	AN/DAC/DIG_IN	
P14.9	51	L5	36	AN/DAC/DIG_IN	
P14.12	34	J1	23	AN/DIG_IN	
P14.13	33	H4	22	AN/DIG_IN	
P14.14	32	H3	21	AN/DIG_IN	
P14.15	31	H2	20	AN/DIG_IN	
P15.2	30	H1	19	AN/DIG_IN	
P15.3	29	G2	18	AN/DIG_IN	
P15.4	28	G4	-	AN/DIG_IN	
P15.5	27	G3	-	AN/DIG_IN	
P15.6	26	G5	-	AN/DIG_IN	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFBGA-144	LQFP-100	Pad Type	Notes
P15.7	25	G6	-	AN/DIG_IN	
P15.8	54	M6	39	AN/DIG_IN	
P15.9	53	L6	38	AN/DIG_IN	
P15.12	50	K5	-	AN/DIG_IN	
P15.13	49	M4	-	AN/DIG_IN	
P15.14	44	L4	-	AN/DIG_IN	
P15.15	43	K4	-	AN/DIG_IN	
USB_DP	16	E1	9	special	
USB_DM	15	D1	8	special	
HIB_IO_0	21	F4	14	A1 special	At the first power-up and with every reset of the hibernate domain this pin is configured as open-drain output and drives "0". As output the medium driver mode is active.
HIB_IO_1	20	F3	13	A1 special	At the first power-up and with every reset of the hibernate domain this pin is configured as input with no pull device active. As output the medium driver mode is active.
TCK	93	G8	67	A1	Weak pull-down active.
TMS	92	G7	66	A1+	Weak pull-up active. As output the strong-soft driver mode is active.

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFBGA-144	LQFP-100	Pad Type	Notes
PORST	91	G11	65	special	Weak pull-up permanently active, strong pull-down controlled by EVR.
XTAL1	87	H11	61	clock_IN	
XTAL2	88	H12	62	clock_O	
RTC_XTAL1	22	F2	15	clock_IN	
RTC_XTAL2	23	F1	16	clock_O	
VBAT	24	G1	17	Power	When VDDP is supplied VBAT has to be supplied as well.
VBUS	17	E2	10	special	
VAREF	46	M3	33	AN_Ref	
VAGND	45	M2	32	AN_Ref	
VDDA	48	L1	35	AN_Power	
VSSA	47	M1	34	AN_Power	
VDDC	19	-	12	Power	
VDDC	61	-	42	Power	
VDDC	90	-	64	Power	
VDDC	125	-	86	Power	
VDDC	-	A2	-	Power	
VDDC	-	B12	-	Power	
VDDC	-	M11	-	Power	
VDDP	18	-	11	Power	
VDDP	62	-	43	Power	
VDDP	86	-	60	Power	
VDDP	126	-	87	Power	
VDDP	-	A11	-	Power	
VDDP	-	B1	-	Power	
VDDP	-	L12	-	Power	
VSS	85	-	59	Power	
VSS	-	A1	-	Power	
VSS	-	A12	-	Power	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-144	LFBGA-144	LQFP-100	Pad Type	Notes
VSS	-	M12	-	Power	
VSSO	89	J12	63	Power	
VSS	Exp. Pad	-	Exp. Pad	Power	<p>Exposed Die Pad</p> <p>The exposed die pad is connected internally to VSS. For proper operation, it is mandatory to connect the exposed pad directly to the common ground on the board.</p> <p>For thermal aspects, please refer to the Datasheet. Board layout examples are given in an application note.</p>

2 General Device Information

2.2.2 端口 I/O 功能

以下通用图表用于描述每个端口引脚：

表 10 端口 I/O 功能描述

Function	Outputs			Inputs		
	ALT1	ALTn	HWO0	HWI0	Input	Input
P0.0		MODA.OUT	MODB.OUT	MODB.INA	MODC.INA	
Pn.y	MODA.OUT				MODA.INA	MODC.INB

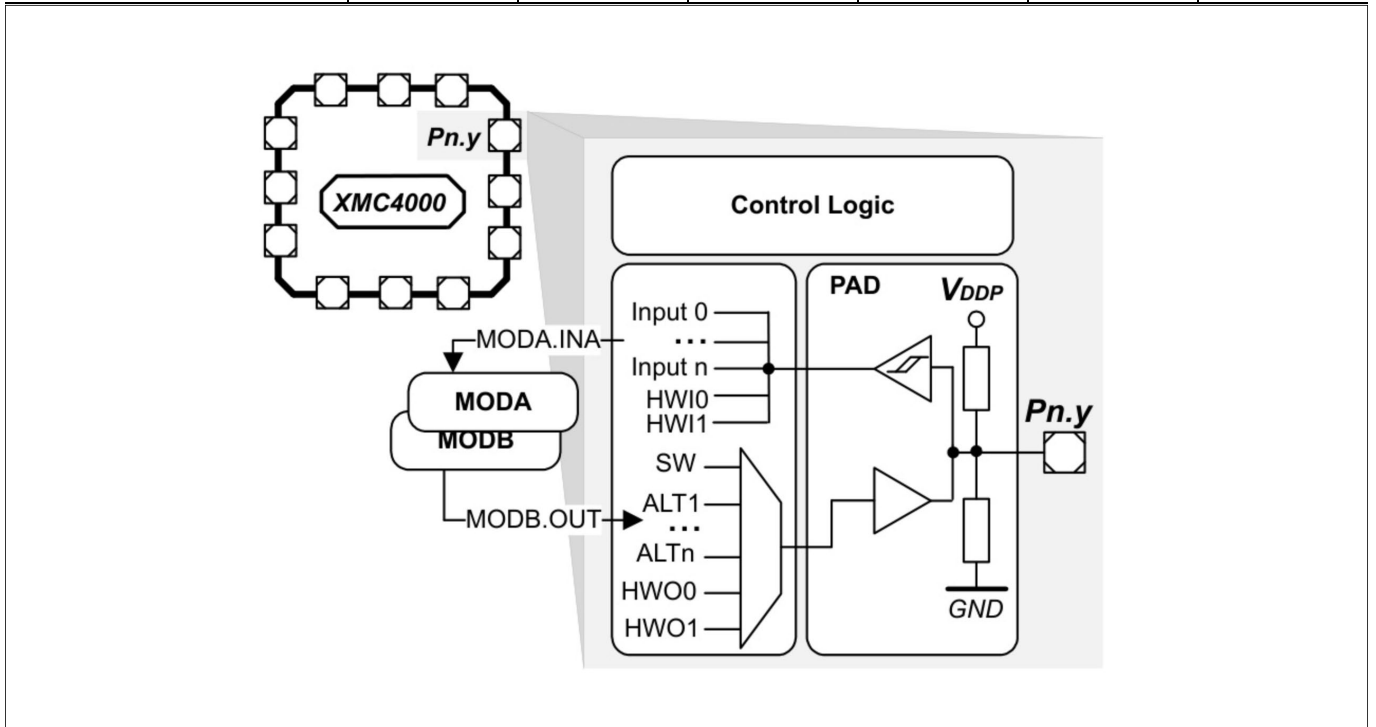


图 8 简化的端口结构

Pn.y 是端口引脚名称，定义与其相关的控制和数据位/寄存器。作为 GPIO，该端口受软件控制。其输入值通过 Pn_IN.y 读取，Pn_OUT 定义其输出值。

最多可以将四个备用输出功能 (ALT1/2/3/4) 映射到单个端口引脚，由 Pn_IOCR.PC 选择。输出值直接由相应模块驱动，引脚特性由端口寄存器控制（在所连接焊盘的限制范围内）。

端口引脚输入可以连接多个外设。大多数外设都有一个输入多路复用器，可以在不同的可能输入源之间进行选择。

当引脚配置为输出时，输入路径也处于活动状态。这允许将输出反馈至片上资源，而无需浪费额外的外部引脚。

通过 Pn_HWSEL 可以在不同的硬件“主机” (HWO0/HWI0) 之间进行选择。选定的外设可以控制引脚。硬件控制否决相应端口引脚寄存器中的设置。

2.2.2.1 端口I/O功能表

表 11 端口 I/O 功能

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P0.0		CAN. NO_TX D	CCU80 · OUT21	LEDTS 0. COL2					U1C1. DX0D	ETH0. CLK_R MIIB	ERU0. 0B0					ETH0. CLKRX B
P0.1	USB. DRIVE VBUS	U1C1. DOUT 0	CCU80 · OUT11	LEDTS 0. COL3						ETH0. CRS_D VB	ERU0. 0A0					ETH0. RXDVB
P0.2		U1C1. SELO 1	CCU80 · OUT01		U1C0. DOUT 3	EBU. AD0	U1C0. HWIN3	EBU. D0	ETH0. RXD0B		ERU0. 3B3					
P0.3			CCU80 · OUT20		U1C0. DOUT 2	EBU. AD1	U1C0. HWIN2	EBU. D1	ETH0. RXD1B			ERU1. 3B0				
P0.4	ETH0. TX_EN		CCU80 · OUT10		U1C0. DOUT 1	EBU. AD2	U1C0. HWIN1	EBU. D2		U1C0. DX0A	ERU0. 2B3					
P0.5	ETH0 · TXD0	U1C0. DOUT 0	CCU80 · OUT00		U1C0. DOUT 0	EBU. AD3	U1C0. HWIN0	EBU. D3		U1C0. DX0B		ERU1. 3A0				
P0.6	ETH0 · TXD1	U1C0. SELO 0	CCU80 · OUT30			$\overline{\text{EBU.}}$ ADV				U1C0. DX2A	ERU0. 3B2		CCU80 · IN2B			

(表格续下页.....)



Table (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P0.7	WWDT. SERV I CE_O UT	U0C0. SELO 0				EBU. AD6	DB. TDI	EBU. D6	U0C0. DX2B	DSD. DIN1A	ERU0. 2B1		CCU80 · IN0A	CCU80 · IN1A	CCU80 · IN2A	CCU80 · IN3A
P0.8	SCU. EXTCL K	U0C0. SCLKO UT				EBU. AD7	$\overline{\text{DB.}}$ TRST	EBU. D7	U0C0. DX1B	DSD. DIN0A	ERU0. 2A1		CCU80 · IN1B			
P0.9		U1C1. SELO 0	CCU80 · OUT12	LEDTS 0. COL0	ETH0. MDO	$\overline{\text{EBU.}}$ CS1	ETH0. MDIA		U1C1. DX2A	USB. ID	ERU0. 1B0					
P0.10	ETH0. MDC	U1C1. SCLKO UT	CCU80 · OUT02	LEDTS 0. COL1					U1C1. DX1A		ERU0. 1A0					
P0.11		U1C0. SCLKO UT	CCU80 · OUT31		$\overline{\text{SDMMC.}}$ RST	$\overline{\text{EBU.}}$ BREQ			ETH0. RXERB	U1C0. DX1A	ERU0. 3A2					
P0.12		U1C1. SELO 0	CCU40 · OUT3			$\overline{\text{EBU.}}$ HLDA				U1C1. DX2B	ERU0. 2B2					
P0.13		U1C1. SCLKO UT	CCU40 · OUT2							U1C1. DX1B	ERU0. 2A2					
P0.14		U1C0. SELO 1	CCU40 · OUT1		U1C1. DOUT 3		U1C1. HWIN3						CCU42 · IN3C			

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P0.15		U1C0. SELO 2	CCU40 · OUT0		U1C1. DOUT 2		U1C1. HWIN2						CCU42 · IN2C			
P1.0	DSD. CGPW MN	U0C0. SELO 0	CCU40 · OUT3	ERU1. PDOU T3					U0C0. DX2A		ERU0. 3B0		CCU40 · IN3A			
P1.1	DSD. CGPW MP	U0C0. SCLKO UT	CCU40 · OUT2	ERU1. PDOU T2			SDMM C. SDWC		U0C0. DX1A	POSIF 0. IN2A	ERU0. 3A0		CCU40 · IN2A			
P1.2			CCU40 · OUT1	ERU1. PDOU T1	U0C0. DOUT 3	EBU. AD14	U0C0. HWIN3	EBU. D14		POSIF 0. IN1A		ERU1. 2B0	CCU40 · IN1A			
P1.3		U0C0. MCLK OUT	CCU40 · OUT0	ERU1. PDOU T0	U0C0. DOUT 2	EBU. AD15	U0C0. HWIN2	EBU. D15		POSIF 0. IN0A		ERU1. 2A0	CCU40 · IN0A			
P1.4	WWDT. SERV I CE_O UT	CAN. NO_TX D	CCU80 · OUT33	CCU81 · OUT20	U0C0. DOUT 1		U0C0. HWIN1		U0C0. DX0B	CAN. N1_RX DD	ERU0. 2B0		CCU41 · IN0C			
P1.5	CAN. N1_TX D	U0C0. DOUT 0	CCU80 · OUT23	CCU81 · OUT10	U0C0. DOUT 0		U0C0. HWIN0		U0C0. DX0A	CAN. NO_RX DA	ERU0. 2A0	ERU1. 0A0	CCU41 · IN1C	DSD. DIN2B		
P1.6		U0C0. SCLKO UT			SDMM C. DATA1 _OUT	EBU. AD10	SDMM C. DATA1 _IN	EBU. D10	DSD. DIN2A							

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P1.7		U0C0. DOUT0	DSD. MCLK2		SDMM C. DATA2 _OUT	EBU. AD11	SDMM C. DATA2 _IN	EBU. D11		DSD. MCLK2 A						
P1.8		U0C0. SELO1	DSD. MCLK1		SDMM C. DATA4 _OUT	EBU. AD12	SDMM C. DATA4 _IN	EBU. D12	CAN. N2_RX DA	DSD. MCLK1 A						
P1.9		CAN. N2_TX D			SDMM C. DATA5 _OUT	EBU. AD13	SDMM C. DATA5 _IN	EBU. D13		DSD. MCLK0 A						
P1.10	ETH0. MDC	U0C0. SCLKO UT	CCU81 · OUT21				SDMMC. SDCD							CCU41 · IN2C		
P1.11		U0C0. SELO0	CCU81 · OUT11		ETH0. MDO		ETH0. MDIC							CCU41 · IN3C		
P1.12	ETH0. TX_EN	CAN. N1_TX D	CCU81 · OUT01		SDMM C. DATA6 _OUT	EBU. AD16	SDMM C. DATA6 _IN	EBU. D16								
P1.13	ETH0 · TXD0	U0C1. SELO3	CCU81 · OUT20		SDMM C. DATA7 _OUT	EBU. AD17	SDMM C. DATA7 _IN	EBU. D17	CAN. N1_RX DC							

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P1.14	ETH0 TXD1	U0C1. SELO 2	CCU81 OUT10			EBU. AD18		EBU. D18								
P1.15	SCU. EXTCLK	DSD. MCLK2	CCU81 OUT00			EBU. AD19		EBU. D19		DSD. MCLK2 B		ERU1. 1A0				
P2.0		CCU81 OUT21	DSD. CGPWMN	LEDTS0. COL1	ETH0. MDO	EBU. AD20	ETH0. MDIB	EBU. D20			ERU0. 0B3		CCU40 IN1C			
P2.1		CCU81 OUT11	DSD. CGPMP	LEDTS0. COL0	DB.TD O/ TRACE SWO	EBU. AD21		EBU. D21	ETH0. CLK_R MIIA			ERU1. 0B0	CCU40 IN0C			ETH0. CLKRX A
P2.2	VADC. EMUX00	CCU81 OUT01	CCU41 OUT3	LEDTS0. LINE0	LEDTS0. EXTEN DED0	EBU. AD22	LEDTS0. TSIN0 A	EBU. D22	ETH0. RXD0A	U0C1. DX0A	ERU0. 1B2		CCU41 IN3A			
P2.3	VADC. EMUX01	U0C1. SELO0	CCU41 OUT2	LEDTS0. LINE1	LEDTS0. EXTEN DED1	EBU. AD23	LEDTS0. TSIN1 A	EBU. D23	ETH0. RXD1A	U0C1. DX2A	ERU0. 1A2	POSIF 1. IN2A	CCU41 IN2A			
P2.4	VADC. EMUX02	U0C1. SCLKOUT	CCU41 OUT1	LEDTS0. LINE2	LEDTS0. EXTEN DED2	EBU. AD24	LEDTS0. TSIN2 A	EBU. D24	ETH0. RXERA	U0C1. DX1A	ERU0. 0B2	POSIF 1. IN1A	CCU41 IN1A			

(table continues...)

Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P2.5	ETH0. TX_EN	U0C1. DOUT0	CCU41 OUT0	LEDTS0. LINE3	LEDTS0. EXTEN DED3	EBU. AD25	LEDTS0. TSIN3A	EBU. D25	ETH0. RXDVA	U0C1. DX0B	ERU0. 0A2	POSIF1. IN0A	CCU41 IN0A			ETH0. CRS_D VA
P2.6	U2C0. SELO4		CCU80 OUT13	LEDTS0. COL3	U2C0. DOUT3		U2C0. HWIN3		DSD. DIN1B	CAN. N1_RX DA	ERU0. 1B3		CCU40 IN3C			
P2.7	ETH0. MDC	CAN. N1_TX D	CCU80 OUT03	LEDTS0. COL2					DSD. DIN0B			ERU1. 1B0	CCU40 IN2C			
P2.8	ETH0 TXD0		CCU80 OUT32	LEDTS0. LINE4	LEDTS0. EXTEN DED4	EBU. AD26	LEDTS0. TSIN4A	EBU. D26	DAC. TRIGGER5				CCU40 IN0B	CCU40 IN1B	CCU40 IN2B	CCU40 IN3B
P2.9	ETH0 TXD1		CCU80 OUT22	LEDTS0. LINE5	LEDTS0. EXTEN DED5	EBU. AD27	LEDTS0. TSIN5A	EBU. D27	DAC. TRIGGER4				CCU41 IN0B	CCU41 IN1B	CCU41 IN2B	CCU41 IN3B
P2.10	VADC. EMUX10				DB. ETM_T RACED ATA3	EBU. AD28		EBU. D28								
P2.11	ETH0 TXER		CCU80 OUT22		DB. ETM_T RACED ATA2	EBU. AD29		EBU. D29								

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P2.12	ETH0 · TXD2		CCU81 · OUT33	ETH0 · TXD0	DB. ETM_T RACED ATA1	EBU. AD30		EBU. D30					CCU43 · IN3C			
P2.13	ETH0 · TXD3			ETH0 · TXD1	DB. ETM_T RACED ATA0	EBU. AD31		EBU. D31					CCU43 · IN2C			
P2.14	VADC. EMUX 11	U1C0. DOUT 0	CCU80 · OUT21		DB. ETM_T RACEC LK	$\overline{\text{EBU.}}$ BC0				U1C0. DX0D			CCU43 · IN0B	CCU43 · IN1B	CCU43 · IN2B	CCU43 · IN3B
P2.15	VADC. EMUX 12		CCU80 · OUT11	LEDTS 0. LINE6	LEDTS 0. EXTEN DED6	$\overline{\text{EBU.}}$ BC1	LEDTS 0. TSIN6 A		ETH0. COLA	U1C0. DX0C			CCU42 · IN0B	CCU42 · IN1B	CCU42 · IN2B	CCU42 · IN3B
P3.0	U2C1. SELO 0	U0C1. SCLKO UT	CCU42 · OUT0			$\overline{\text{EBU.}}$ RD			U0C1. DX1B				CCU80 · IN2C	CCU81 · IN0C		
P3.1		U0C1. SELO 0				$\overline{\text{EBU.}}$ RD_WR			U0C1. DX2B		ERU0. 0B1		CCU80 · IN1C			
P3.2	USB. DRIVE VBUS	CAN. NO_TX D		LEDTS 0. COLA		$\overline{\text{EBU.}}$ CS0					ERU0. 0A1		CCU80 · IN0C			

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P3.3		U1C1. SELO 1	CCU42 · OUT3		SDMM C. LED			<u>EBU.</u> WAIT		DSD. DIN3B			CCU42 · IN3A	CCU80 · IN3B		
P3.4	U2C1. MCLK OUT	U1C1. SELO 2	CCU42 · OUT2	DSD. MCLK3	SDMM C. BUS_P OWER			<u>EBU.</u> HOLD	U2C1. DX0B	DSD. MCLK3 B			CCU42 · IN2A	CCU80 · IN0B		
P3.5	U2C1. DOUT 0	U1C1. SELO 3	CCU42 · OUT1	U0C1. DOUT 0	SDMM C. CMD_ OUT	EBU. AD4	SDMM C. CMD_ IN	EBU. D4	U2C1. DX0A		ERU0. 3B1		CCU42 · IN1A			
P3.6	U2C1. SCLKO UT	U1C1. SELO 4	CCU42 · OUT0	U0C1. SCLKO UT	SDMM C. CLK_ UT	EBU. AD5	SDMM C. CLK_ IN	EBU. D5	U2C1. DX1B		ERU0. 3A1		CCU42 · IN0A			
P3.7		CAN. N2_TX D	CCU41 · OUT3	LEDTS 0. LINE0					U2C0. DX0C							
P3.8	U2C0. DOUT 0	U0C1. SELO 3	CCU41 · OUT2	LEDTS 0. LINE1					CAN. N2_RX DB				POSIF 1. IN2B			
P3.9	U2C0. SCLKO UT	CAN. N1_TX D	CCU41 · OUT1	LEDTS 0. LINE2									POSIF 1. IN1B			

(table continues...)

Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P3.10	U2C0. SELO 0	CAN. NO_TX D	CCU41 · OUT0	LEDTS 0. LINE3	U0C1. DOUT 3		U0C1. HWIN3						POSIF 1. IN0B			
P3.11	U2C1. DOUT 0	U0C1. SELO 2	CCU42 · OUT3	LEDTS 0. LINE4	U0C1. DOUT 2		U0C1. HWIN2		CAN. N1_RX DB					CCU81 · IN3C		
P3.12		U0C1. SELO 1	CCU42 · OUT2	LEDTS 0. LINE5	U0C1. DOUT 1		U0C1. HWIN1		CAN. NO_RX DC	U2C1. DX0D				CCU81 · IN2C		
P3.13	U2C1. SCLKO UT	U0C1. DOUT 0	CCU42 · OUT1	LEDTS 0. LINE6	U0C1. DOUT 0		U0C1. HWIN0		U0C1. DX0D				CCU80 · IN3C	CCU81 · IN1C		
P3.14		U1C0. SELO 3			U1C1. DOUT 1		U1C1. HWIN1			U1C1. DX0B			CCU42 · IN1C			
P3.15		U1C1. DOUT 0			U1C1. DOUT 0		U1C1. HWIN0			U1C1. DX0A			CCU42 · IN0C			
P4.0			DSD. MCLK1		SDMM C. DATA0 _OUT	EBU. AD8	SDMM C. DATA0 _IN	EBU. D8	U1C1. DX1C	DSD. MCLK1 B	U0C1. DX0E	U2C1. DX0C				
P4.1	U2C1. SELO 0		DSD. MCLK0	U0C1. SELO 0	SDMM C. DATA3 _OUT	EBU. AD9	SDMM C. DATA3 _IN	EBU. D9	U2C1. DX2B	DSD. MCLK0 B		U2C1. DX2A				

(table continues...)

Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P4.2	U2C1. SELO 1	U1C1. DOUT 0		U2C1. SCLKO UT					U1C1. DX0C			U2C1. DX1A	CCU43 · IN1C			
P4.3	U2C1. SELO 2	U0C0. SELO 5	CCU43 · OUT3										CCU43 · IN3A			
P4.4		U0C0. SELO 4	CCU43 · OUT2		U2C1. DOUT 3		U2C1. HWIN3						CCU43 · IN2A			
P4.5		U0C0. SELO 3	CCU43 · OUT1		U2C1. DOUT 2		U2C1. HWIN2						CCU43 · IN1A			
P4.6		U0C0. SELO 2	CCU43 · OUT0		U2C1. DOUT 1		U2C1. HWIN1		CAN. N2_RX DC				CCU43 · IN0A			
P4.7		CAN. N2_TX D			U2C1. DOUT 0		U2C1. HWIN0		U0C0. DX0C				CCU43 · IN0C			
P5.0	U2C0. DOUT 0	DSD. CGPW MN	CCU81 · OUT33		U2C0. DOUT 0		U2C0. HWIN0		U2C0. DX0B	ETH0. RXD0D	U0C0. DX0D		CCU81 · IN0A	CCU81 · IN1A	CCU81 · IN2A	CCU81 · IN3A
P5.1	U0C0. DOUT 0	DSD. CGPW MP	CCU81 · OUT32		U2C0. DOUT 1		U2C0. HWIN1		U2C0. DX0A	ETH0. RXD1D			CCU81 · IN0B			

(table continues...)

Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P5.2	U2C0. SCLKOUT		CCU81 · OUT23						U2C0. DX1A	ETH0. CRS_D VD			CCU81 · IN1B			ETH0. RXDVD
P5.3	U2C0. SELO 0		CCU81 · OUT22		EBU. CKE	EBU. A20			U2C0. DX2A	ETH0. RXERD			CCU81 · IN2B			
P5.4	U2C0. SELO 1		CCU81 · OUT13		$\overline{\text{EBU.}}$ RAS	EBU. A21				ETH0 · CRSD			CCU81 · IN3B			
P5.5	U2C0. SELO 2		CCU81 · OUT12		$\overline{\text{EBU.}}$ CAS	EBU. A22				ETH0 · COLD						
P5.6	U2C0. SELO 3		CCU81 · OUT03		EBU. BFCLK O	EBU. A23			EBU. BFCL KI							
P5.7			CCU81 · OUT02	LEDTS 0. COLA	U2C0. DOUT 2		U2C0. HWIN2									
P5.8		U1C0. SCLKOUT	CCU80 · OUT01		EBU. SDCLK O	$\overline{\text{EBU.}}$ CS2			ETH0. RXD2A	U1C0. DX1B						
P5.9		U1C0. SELO 0	CCU80 · OUT20	ETH0. TX_EN	EBU. BFCLK O	$\overline{\text{EBU.}}$ CS3			ETH0. RXD3A	U1C0. DX2B						

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P5.10		U1C0. MCLK OUT	CCU80 · OUT10	LEDTS 0. LINE7	LEDTS 0. EXTEN DED7		LEDTS 0. TSIN7 A		ETH0. CLK_T XA							
P5.11		U1C0. SELO 1	CCU80 · OUT00						ETH0. CRSA							
P6.0	ETH0 · TXD2	U0C1. SELO 1	CCU81 · OUT31		DB. ETM_T RACEC LK	EBU. A16										
P6.1	ETH0 · TXD3	U0C1. SELO 0	CCU81 · OUT30		DB. ETM_T RACED ATA3	EBU. A17			U0C1. DX2C							
P6.2	ETH0 · TXER	U0C1. SCLKO UT	CCU43 · OUT3		DB. ETM_T RACED ATA2	EBU. A18			U0C1. DX1C							
P6.3			CCU43 · OUT2						U0C1. DX0C	ETH0. RXD3B						
P6.4		U0C1. DOUT 0	CCU43 · OUT1		EBU. SDCLK O	EBU. A19			EBU. SDCL KI	ETH0. RXD2B						

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P6.5		U0C1. MCLK OUT	CCU43 · OUT0		DB. ETM_T RACED ATA1	<u>EBU.</u> BC2			DSD. DIN3A	ETH0. CLK_R MIID						ETH0. CLKRX D
P6.6			DSD. MCLK3		DB. ETM_T RACED ATA0	<u>EBU.</u> BC3			DSD. MCLK3 A	ETH0. CLK_T XB						
P14.0									VADC. G0CH0							
P14.1									VADC. G0CH1							
P14.2									VADC. G0CH2	VADC. G1CH2						
P14.3									VADC. G0CH3	VADC. G1CH3				CAN. NO_RX DB		
P14.4									VADC. G0CH4		VADC. G2CH0					
P14.5									VADC. G0CH5		VADC. G2CH1		POSIF 0. IN2B			
P14.6									VADC. G0CH6				POSIF 0. IN1B		G0OR C6	

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P14.7									VADC. G0CH7				POSIF 0. IN0B		G0OR C7	
P14.8					DAC. OUT_0					VADC. G1CH0		VADC. G3CH2	ETH0. RXD0C			
P14.9					DAC. OUT_1					VADC. G1CH1		VADC. G3CH3	ETH0. RXD1C			
P14.12										VADC. G1CH4						
P14.13										VADC. G1CH5						
P14.14										VADC. G1CH6					G1OR C6	
P14.15										VADC. G1CH7					G1OR C7	
P15.2											VADC. G2CH2					
P15.3											VADC. G2CH3					
P15.4											VADC. G2CH4					
P15.5											VADC. G2CH5					

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
P15.6											VADC. G2CH6					
P15.7											VADC. G2CH7					
P15.8											VADC. G3CH0	ETH0. CLK_R MIIC				ETH0. CLKRX C
P15.9											VADC. G3CH1	ETH0. CRS_D VC				ETH0. RXDVC
P15.12											VADC. G3CH4					
P15.13											VADC. G3CH5					
P15.14											VADC. G3CH6					
P15.15											VADC. G3CH7					
USB_ DP																
USB_D M																

(table continues...)



Table 11 (continued) Port I/O

Function	Outputs						Inputs									
	ALT1	ALT2	ALT3	ALT4	HWO0	HWO1	HWI0	HWI1	Input	Input	Input	Input	Input	Input	Input	Input
HIB_IO_0	HIBOUT	WWDTSERVICE_OUTPUT							WAKEUPA							
HIB_IO_1	HIBOUT	WWDTSERVICE_OUTPUT							WAKEUPB							
TCK							DB.TCK/SWCLK									
TMS					DB.TMS/SWDIO											
PORST																
XTAL1								U0C0.DX0F	U0C1.DX0F	U1C0.DX0F	U1C1.DX0F	U2C0.DX0F	U2C1.DX0F			
XTAL2																
RTC_XTAL1											ERU0.1B1					
RTC_XTAL2																

2 设备通用信息

2.3 电源连接方案

图 9 显示了 XMC4500 的参考电源连接方案。

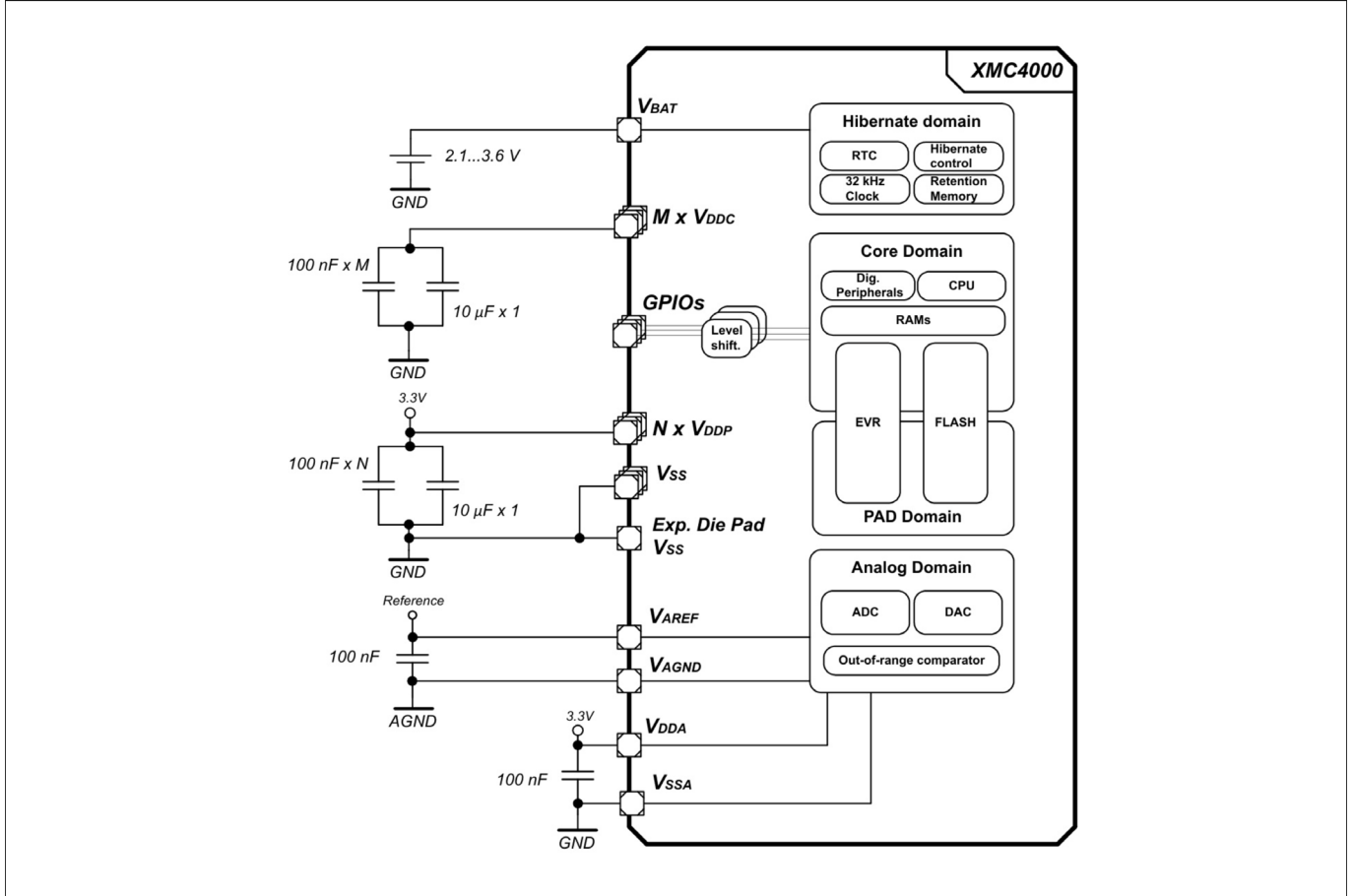


图 9 电源连接图

每个电源引脚都需要连接。同一电源的不同引脚也需要外部连接。例如，所有 V_{DDP} 引脚都必须外部连接到一个 V_{DDP} 网络。在此参考方案中，每个电源引脚上都连接一个 100 nF 电容以连接到 V_{SS} 。另一个 10 μ F 电容连接到 V_{DDP} 网络，另一个 10 μ F 电容连接到 V_{DDC} 网络。

XMC4500 具有共地概念，所有 V_{SS} 、 V_{SSA} 和 V_{SSO} 引脚共享相同的接地电位。在具有裸露芯片焊盘的封装中，它也必须连接到共地。

V_{AGND} 是模拟参考 V_{AREF} 的低电位。根据应用，它可以共用接地或具有不同的电位。

当 V_{DDP} 供电时， V_{BAT} 也必须供电。如果没有其他电源（例如电池）连接到 V_{BAT} ， V_{BAT} 引脚也可直接连接至 V_{DDP} 。

3 电气参数

3 电气参数

3.1 常规参数

3.1.1 参数解释

本节列出的参数部分代表XMC4500的特性，部分代表其对系统的要求。为了帮助在评估设计时轻松解释参数，它们在“符号”列中用两个字母的缩写标记：

- **CC**

这些参数表明了 控制器 参数 特性，这是 XMC4500 的一个显著特点，在系统设计中必须加以考虑

- **SR**

这些参数表明了 系统 要求，必须由采用XMC4500设计的应用系统提供。

3.1.2 最大绝对额定值

超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。暴露于绝对最大额定条件可能会影响器件的可靠性。

表 12 绝对最大额定参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Storage temperature	T_{ST} SR	-65	-	150	°C	-
Junction temperature	T_J SR	-40	-	150	°C	-
Voltage at 3.3 V power supply pins with respect to V_{SS}	V_{DDP} SR	-	-	4.3	V	-
Voltage on any Class A and dedicated input pin with respect to V_{SS}	V_{IN} SR	-1.0	-	$V_{DDP} + 1.0$ or max. 4.3	V	whichever is lower
Voltage on any analog input pin with respect to V_{AGND}	V_{AIN} V_{AREF} SR	-1.0	-	$V_{DDP} + 1.0$ or max. 4.3	V	whichever is lower
Input current on any pin during overload condition	I_{IN} SR	-10	-	+10	mA	
Absolute maximum sum of all input circuit currents for one port group during overload condition ¹⁾	ΣI_{IN} SR	-25	-	+25	mA	
Absolute maximum sum of all input circuit currents during overload condition	ΣI_{IN} SR	-100	-	+100	mA	

1) 端口组定义在 [过载下的引脚可靠性](#)。

3 Electrical Parameters

图 10 解释 V_{IN} 和 V_{AIN} 的输入电压范围及其对 V_{DDP} 电源电平的依赖性。输入电压不得超过 4.3 V，且不得比 V_{DDP} 超过 1.0V。对于以下范围： $V_{DDP} + 1.0V$ ，另请参见第 3.1.3. 节中过载条件的定义。

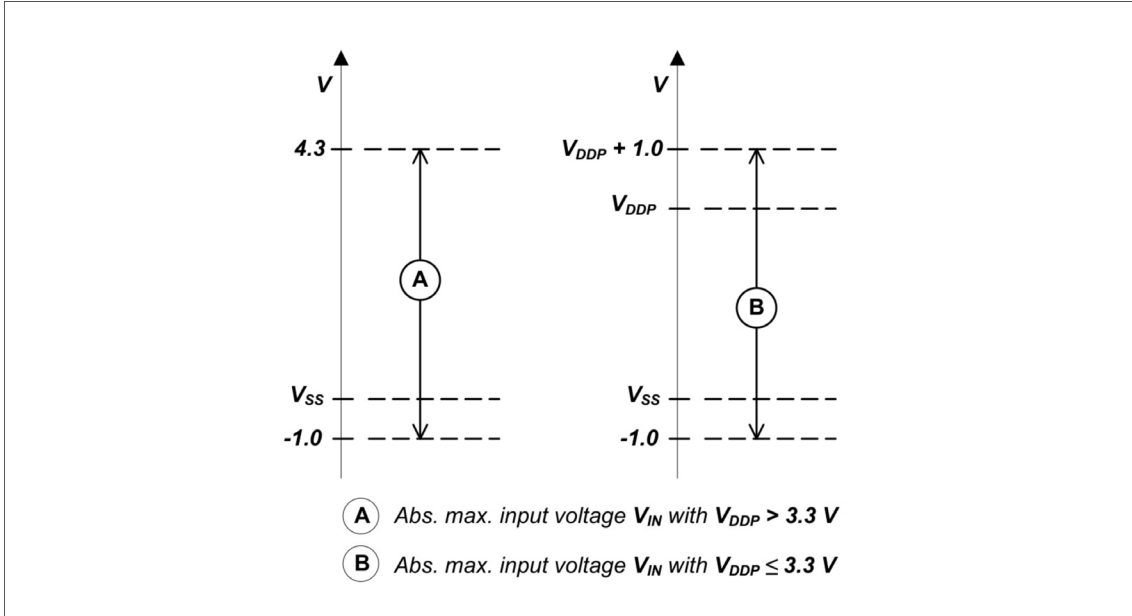


图 10 绝对最大输入电压范围

3.1.3 过载下的引脚可靠性

当接收来自高压设备的信号时，低压设备会出现超出其自身 IO 电源规格的过载电流和电压。

表 13 定义了过载条件，在满足以下所有条件的情况下不会对可靠性造成任何负面影响的：

- 不超过整个操作寿命
- 工作条件满足
 - 焊盘电源电平 (V_{DDP} 或 V_{DDA})
 - 温度

如果引脚电流超出工作条件但在过载条件下，则无法再保证该引脚的参数符合操作状况中的规定。在大多数情况下仍可运行，但参数要宽松。

注： 一个或多个引脚上的过载情况不需要复位。

注： 引脚处的串联电阻将电流限制为最大允许过载电流，足以处理电池短路等故障情况。

3 Electrical Parameters

表 13 过载参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input current on any port pin during overload condition	$I_{OV\ SR}$	-5	-	5	mA	
Absolute sum of all input circuit currents for one port group during overload condition ¹⁾	$I_{OVG\ SR}$	-	-	20	mA	$\sum I_{OVx} $, for all $I_{OVx} < 0\text{ mA}$
		-	-	20	mA	$\sum I_{OVx} $, for all $I_{OVx} > 0\text{ mA}$
Absolute sum of all input circuit currents during overload condition	$I_{OVS\ SR}$	-	-	80	mA	$\sum I_{OVG}$

1) 端口组定义见表 16。

图 11 显示了过载期间输入电流通过 ESD 保护结构的路径。接 V_{DDP} 和地的二极管 是这些 ESD 保护结构的简化表示。

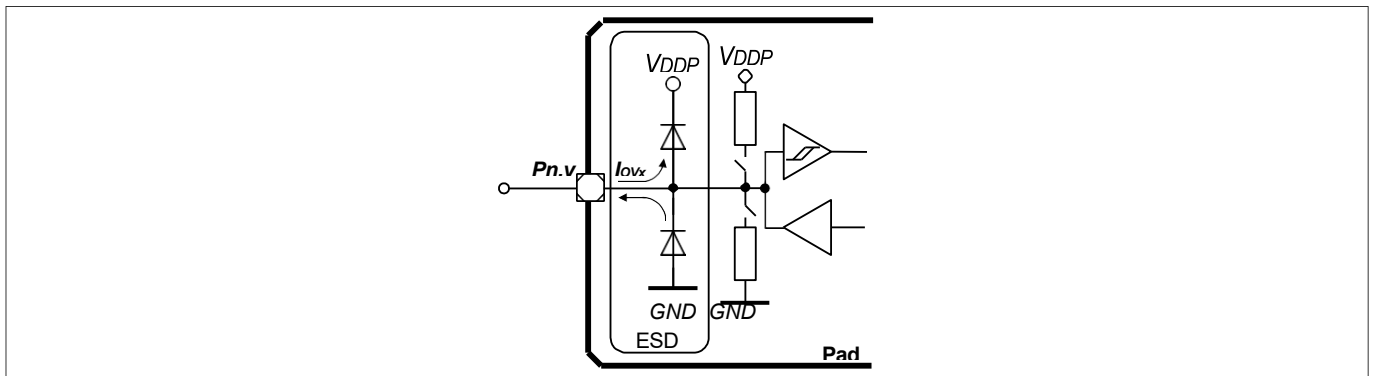


图 11 通过 ESD 结构的输入过载电流

表 14 和表 15 列出在过载条件下可以达到的输入电压。请注意，过载时不得超过在绝对最大额定值中规定的绝对最大输入电压。

表 14 正过载 PN 结特性

Pad Type	$I_{OV} = 5\text{ mA}, T_J = -40^\circ\text{C}$	$I_{OV} = 5\text{ mA}, T_J = 150^\circ\text{C}$
A1/A1+	$V_{IN} = V_{DDP} + 1.0\text{ V}$	$V_{IN} = V_{DDP} + 0.75\text{ V}$
A2	$V_{IN} = V_{DDP} + 0.7\text{ V}$	$V_{IN} = V_{DDP} + 0.6\text{ V}$
AN/DIG_IN	$V_{IN} = V_{DDP} + 1.0\text{ V}$	$V_{IN} = V_{DDP} + 0.75\text{ V}$

表 15 负过载的 PN 结特性

Pad Type	$I_{OV} = 5\text{ mA}, T_J = -40^\circ\text{C}$	$I_{OV} = 5\text{ mA}, T_J = 150^\circ\text{C}$
A1/A1+	$V_{IN} = V_{SS} - 1.0\text{ V}$	$V_{IN} = V_{SS} - 0.75\text{ V}$
A2	$V_{IN} = V_{SS} - 0.7\text{ V}$	$V_{IN} = V_{SS} - 0.6\text{ V}$
AN/DIG_IN	$V_{IN} = V_{DDP} - 1.0\text{ V}$	$V_{IN} = V_{DDP} - 0.75\text{ V}$

3 Electrical Parameters

表 16 过载和短路电流总和参数的端口组

Group	Pins
1	P0.[15:0], P3.[15:0]
2	P14.[15:0], P15.[15:0]
3	P2.[15:0], P5.[11:0]
4	P1.[15:0], P4.[7:0], P6.[6:0]

3.1.4 Pad 驱动器和 Pad 类别总结

本节概述了不同的 pad 驱动类别及其基本特性。

表 17 Pad 驱动器和 Pad 类别概述

Class	Power Supply	Type	Sub-Class	Speed Grade	Load	Termination
A	3.3 V	LVTTTL I/O	A1 (e.g. GPIO)	6 MHz	100 pF	No
			A1+ (e.g. serial I/Os)	25 MHz	50 pF	Series termination recommended
			A2 (e.g. ext. Bus)	80 MHz	15 pF	Series termination recommended

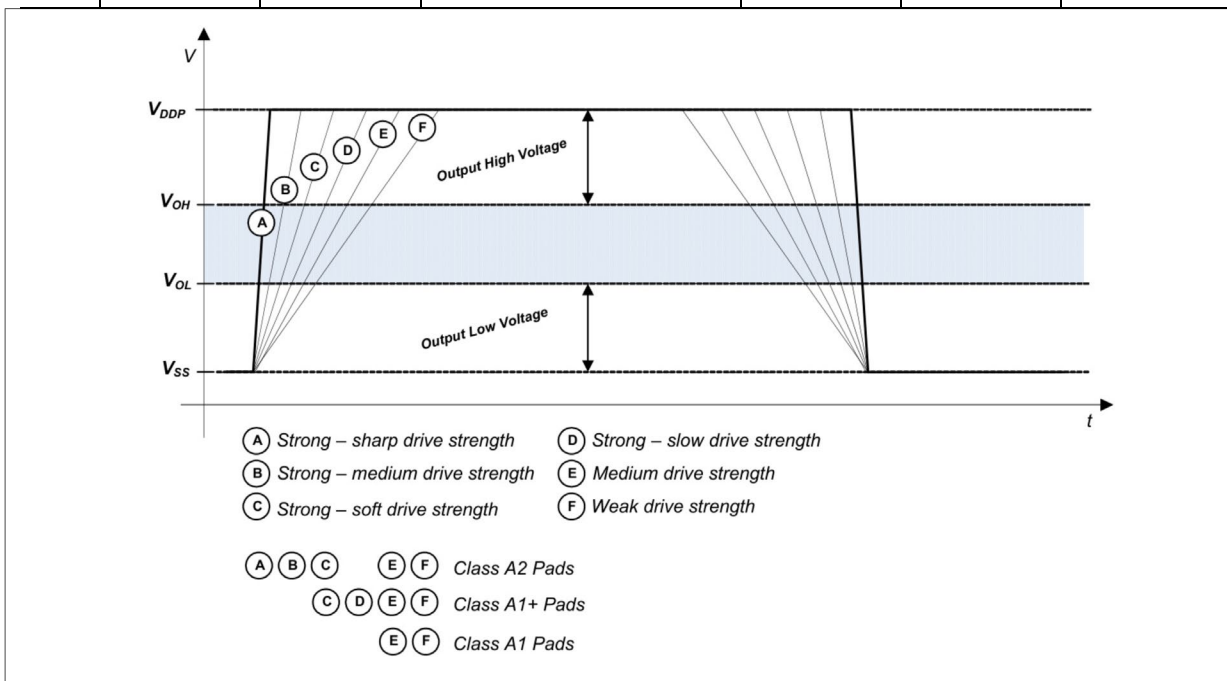


图 12 不同 Pad 驱动模式下的输出斜率

图 12 是不同输出驱动模式下输出斜率性能的定性显示。详细的输入和输出特性列于第 3.2.1 节。

3 Electrical Parameters

3.1.5 工作条件

为了确保 XMC4500 的正确操作和可靠性，不得超过以下操作条件。除非另有说明，以下部分中指定的所有参数均指这些操作条件。

表 18 工作条件参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Ambient Temperature	T_A SR	-40	-	85	°C	Temp. Range F
		-40	-	105	°C	Temp. Range X
		-40	-	125	°C	Temp. Range K
Digital supply voltage	V_{DDP} SR	3.13 ¹⁾	3.3	3.63 ²⁾	V	
Core Supply Voltage	V_{DCC} CC	- ¹⁾	1.3	-	V	Generated internally
Digital ground voltage	V_{SS} SR	0	-	-	V	
Analog supply voltage	V_{DDA} SR	3.0	3.3	3.6 ²⁾	V	
Analog ground voltage for V_{DDA}	V_{SSA} SR	-0.1	0	0.1	V	
Battery Supply Voltage for Hibernate Domain	V_{BAT} SR	1.95 ³⁾	-	3.63	V	When V_{DDP} is supplied V_{BAT} has to be supplied as well.
System Frequency	f_{SYS} SR	-	-	120	MHz	
Short circuit current of digital outputs	I_{SC} SR	-5	-	5	mA	
Absolute sum of short circuit currents per pin group ⁴⁾ .	ΣI_{SC_PG} SR	-	-	20	mA	
Absolute sum of short circuit currents of the device	ΣI_{SC_D} SR	-	-	100	mA	

1) 另请参阅电源监控阈值，第 3.3.2 节。

2) 只要脉冲持续时间小于 100 μ s 并且脉冲累计和在整个使用寿命期间不超过 1 小时，上电和 PORST 低时允许电压过冲至 4.0 V。

3) 要启动休眠域，要求 $V_{BAT} \geq 2.1$ V，要以晶振模式可靠启动 RTC_XTAL 振荡，要求 $V_{BAT} \geq 3.0$ V。

4) 端口组定义见表 16。

3 Electrical Parameters

3.2 直流参数

3.2.1 输入/输出引脚

共享模拟/数字输入引脚的数字输入级与标准数字输入/输出引脚的输入级相同。

PORST 引脚上的上拉电阻与标准数字输入/输出引脚上的上拉电阻相同。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 19 标准Pad参数

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Pin capacitance (digital inputs/ outputs)	C_{IO} CC	–	10	pF	
Pull-down current	$ I_{PDL} $ CC	150	–	μ A	¹⁾ $V_{IN} \geq 0.6 \times V_{DDP}$
		–	10	μ A	²⁾ $V_{IN} \leq 0.36 \times V_{DDP}$
Pull-up current	$ I_{PUH} $ CC	–	10	μ A	²⁾ $V_{IN} \geq 0.6 \times V_{DDP}$
		100	–	μ A	¹⁾ $V_{IN} \leq 0.36 \times V_{DDP}$
Input Hysteresis for pads of all A classes ³⁾	H_{YSA} CC	$0.1 \times V_{DDP}$	–	V	
PORST spike filter always blocked pulse duration	t_{SF1} CC	–	10	ns	
PORST spike filter pass-through pulse duration	t_{SF2} CC	100	–	ns	
PORST pull-down current	$ I_{PPD} $ CC	13	–	mA	$V_{IN} = 1.0$ V

1) 用相反逻辑电平驱动时流过上下拉设备所需的电流（“强制电流”）。对于有源上下拉装置，负载电流在强制和保持电流之间时输入状态未定。

2) 上下拉装置仍然维持有效逻辑电平的负载电流（“保持电流”）。对于有源上下拉装置，负载电流在强制和保持电流之间时输入状态未定。

3) 实施滞后是为了避免亚稳态和由于内部地弹而引起的切换。不能保证它能抑制由于外部系统噪声而引起的切换。

3 Electrical Parameters

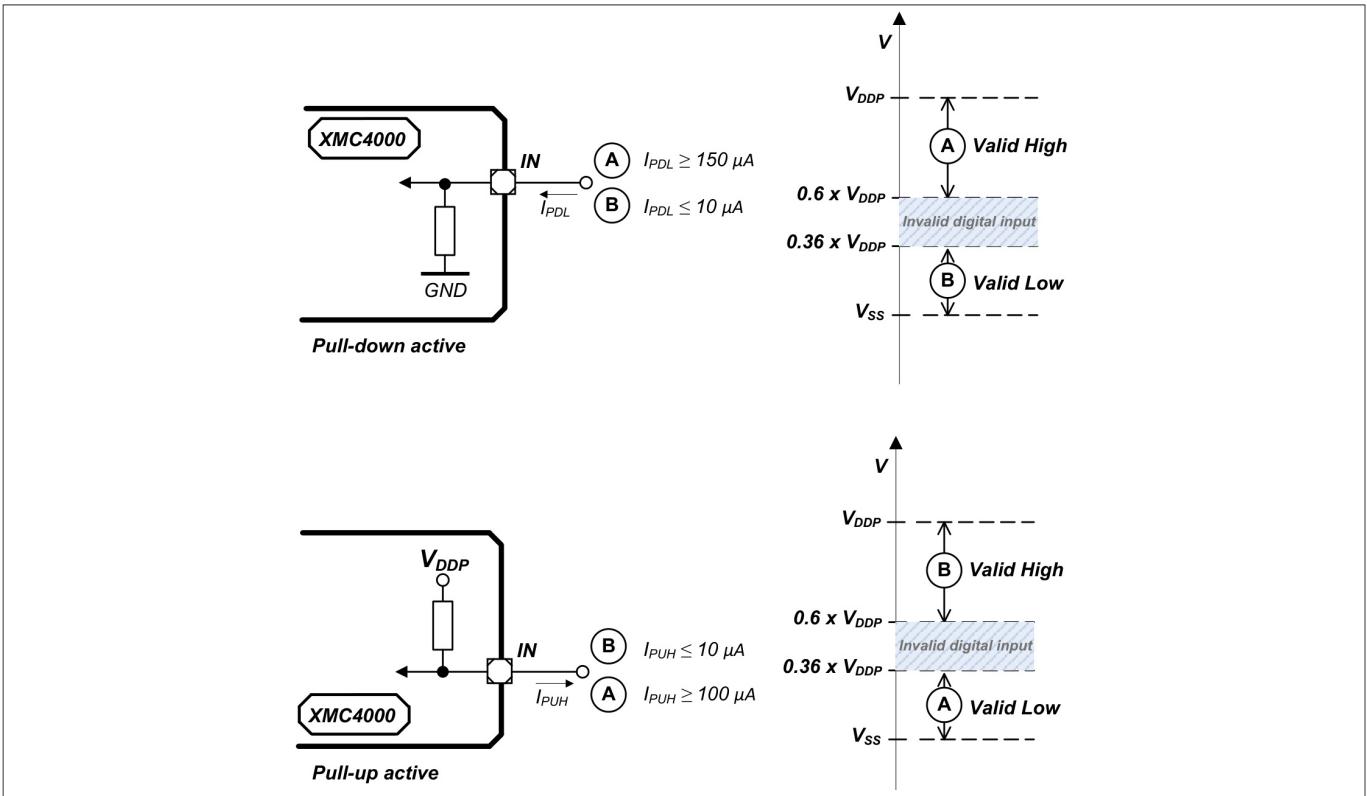


图 13 上拉装置输入特性

图 13 绘出了使用主动内部上拉装置的输入特性：

- 在情况“A”中，内部上拉装置被强外部驱动所取代；
- 在情况“B”中，外部负载弱时，内部上拉装置决定了输入逻辑状态

表 20 标准 Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input leakage current	I_{OZA1} CC	-500	500	nA	$0 V \leq V_{IN} \leq V_{DDP}$
Input high voltage	V_{IHA1} SR	$0.6 \times V_{DDP}$	$V_{DDP} + 0.3$	V	max. 3.6 V
Input low voltage	V_{ILA1} SR	-0.3	$0.36 \times V_{DDP}$	V	

(表格续下页.....)

3 Electrical Parameters

表 20 (续) 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Output high voltage, POD ¹⁾ = weak	V _{OHA1} CC	V _{DDP} - 0.4	-	V	I _{OH} ≥ -400 μA
		2.4	-	V	I _{OH} ≥ -500 μA
Output high voltage, POD ¹⁾ = medium		V _{DDP} - 0.4	-	V	I _{OH} ≥ -1.4 mA
		2.4	-	V	I _{OH} ≥ -2 mA
Output low voltage	V _{OLA1} CC	-	0.4	V	I _{OL} ≤ 500 μA; POD ¹⁾ = weak
		-	0.4	V	I _{OL} ≤ 2 mA; POD ¹⁾ = medium
Fall time	t _{FA1} CC	-	150	ns	C _L = 20 pF; POD ¹⁾ = weak
		-	50	ns	C _L = 50 pF; POD ¹⁾ = medium
Rise time	t _{RA1} CC	-	150	ns	C _L = 20 pF; POD ¹⁾ = weak
		-	50	ns	C _L = 50 pF; POD ¹⁾ = medium

1) POD = 引脚输出驱动器。

表 21 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input leakage current	I _{OZA1+} CC	-1	1	μA	0 V ≤ V _{IN} ≤ V _{DDP}
Input high voltage	V _{IHA1+} SR	0.6 × V _{DDP}	V _{DDP} + 0.3	V	max. 3.6 V
Input low voltage	V _{ILA1+} SR	-0.3	0.36 × V _{DDP}	V	
Output high voltage, POD ¹⁾ = weak	V _{OHA1+} CC	V _{DDP} - 0.4	-	V	I _{OH} ≥ -400 μA
		2.4	-	V	I _{OH} ≥ -500 μA
Output high voltage, POD ¹⁾ = medium		V _{DDP} - 0.4	-	V	I _{OH} ≥ -1.4 mA
		2.4	-	V	I _{OH} ≥ -2 mA
Output high voltage, POD ¹⁾ = strong		V _{DDP} - 0.4	-	V	I _{OH} ≥ -1.4 mA
		2.4	-	V	I _{OH} ≥ -2 mA
Output low voltage	V _{OLA1+} CC	-	0.4	V	I _{OL} ≤ 500 μA; POD ¹⁾ = weak

(表格续下页.....)

3 Electrical Parameters

表 21 (续) 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
		-	0.4	V	$I_{OL} \leq 2 \text{ mA}$; POD ¹⁾ = medium
		-	0.4	V	$I_{OL} \leq 2 \text{ mA}$; POD ¹⁾ = strong
Fall time	t_{FA1+CC}	-	150	ns	$C_L = 20 \text{ pF}$; POD ¹⁾ = weak
		-	50	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = medium
		-	28	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = slow
		-	16	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = soft;
Rise time	t_{RA1+CC}	-	150	ns	$C_L = 20 \text{ pF}$; POD ¹⁾ = weak
		-	50	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = medium
		-	28	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = slow
		-	16	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = soft

1) POD = 引脚输出驱动器。

表 22 标准Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input Leakage current	I_{OZA2CC}	-6	6	μA	$0 \text{ V} \leq V_{IN} < 0.5 * V_{DDP} - 1 \text{ V}$; $0.5 * V_{DDP} + 1 \text{ V} < V_{IN} \leq V_{DDP}$
		-3	3	μA	$0.5 * V_{DDP} - 1 \text{ V} < V_{IN} < 0.5 * V_{DDP} + 1 \text{ V}$

(表格续下页.....)

3 Electrical Parameters

表 22 (续) 标准Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input high voltage	V_{IHA2} SR	$0.6 \times V_{DDP}$	$V_{DDP} + 0.3$	V	max. 3.6 V
Input low voltage	V_{ILA2} SR	-0.3	$0.36 \times V_{DDP}$	V	
Output high voltage, POD = weak	V_{OHA2} CC	$V_{DDP} - 0.4$	-	V	$I_{OH} \geq -400 \mu A$
		2.4	-	V	$I_{OH} \geq -500 \mu A$
Output high voltage, POD = medium		$V_{DDP} - 0.4$	-	V	$I_{OH} \geq -1.4$ mA
		2.4	-	V	$I_{OH} \geq -2$ mA
Output high voltage, POD = strong		$V_{DDP} - 0.4$	-	V	$I_{OH} \geq -1.4$ mA
		2.4	-	V	$I_{OH} \geq -2$ mA
Output low voltage, POD = weak	V_{OLA2} CC	-	0.4	V	$I_{OL} \leq 500 \mu A$
Output low voltage, POD = medium		-	0.4	V	$I_{OL} \leq 2$ mA
Output low voltage, POD = strong		-	0.4	V	$I_{OL} \leq 2$ mA
Fall time	t_{FA2} CC	-	150	ns	$C_L = 20$ pF; POD = weak
		-	50	ns	$C_L = 50$ pF; POD = medium
		-	3.7	ns	$C_L = 50$ pF; POD = strong; edge = sharp
		-	7	ns	$C_L = 50$ pF; POD = strong; edge = medium
		-	16	ns	$C_L = 50$ pF; POD = strong; edge = soft
Rise time	t_{RA2} CC	-	150	ns	$C_L = 20$ pF; POD = weak
		-	50	ns	$C_L = 50$ pF; POD = medium
		-	3.7	ns	$C_L = 50$ pF; POD = strong; edge = sharp

(表格续下页.....)

3 Electrical Parameters

表 22 (续) 标准 Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
		-	7.0	ns	$C_L = 50 \text{ pF}$; POD = strong; edge = medium
		-	16	ns	$C_L = 50 \text{ pF}$; POD = strong; edge = soft

3.2.2 模数转换器

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 23 VADC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Analog reference voltage ¹⁾	$V_{AREF} \text{ SR}$	$V_{AGND} + 1$	-	$V_{DDA} + 0.05$ ²⁾	V	
Analog reference ground ¹⁾	$V_{AGND} \text{ SR}$	$V_{SSM} - 0.05$	-	$V_{AREF} - 1$	V	
Analog reference voltage range ^{1) 3)}	$V_{AREF} - V_{AGND} \text{ SR}$	1	-	$V_{DDA} + 0.1$	V	
Analog input voltage	$V_{AIN} \text{ SR}$	V_{AGND}	-	V_{DDA}	V	
Input leakage at analog inputs ⁴⁾	$I_{OZ1} \text{ CC}$	-100	-	200	nA	$0.03 \times V_{DDA} < V_{AIN} < 0.97 \times V_{DDA}$
		-500	-	100	nA	$0 \text{ V} \leq V_{AIN} \leq 0.03 \times V_{DDA}$
		-100	-	500	nA	$0.97 \times V_{DDA} \leq V_{AIN} \leq V_{DDA}$
Input leakage current at V_{AREF}	$I_{OZ2} \text{ CC}$	-1	-	1	μA	$0 \text{ V} \leq V_{AREF} \leq V_{DDA}$
Input leakage current at V_{AGND}	$I_{OZ3} \text{ CC}$	-1	-	1	μA	$0 \text{ V} \leq V_{AGND} \leq V_{DDA}$
Internal ADC clock	$f_{ADCI} \text{ CC}$	2	-	30	MHz	$V_{DDA} = 3.3 \text{ V}$
Switched capacitance at the analog voltage inputs ⁵⁾	$C_{AINSW} \text{ CC}$	-	7	20	pF	
Total capacitance of an analog input	$C_{AINTOT} \text{ CC}$	-	25	30	pF	
Switched capacitance at the positive reference voltage input ^{1) 6)}	$C_{AREFSW} \text{ CC}$	-	15	30	pF	

(表格续下页.....)

3 Electrical Parameters

表 23 (续) VADC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Total capacitance of the voltage reference inputs ¹⁾	$C_{AREFTOT}$ CC	-	20	40	pF	
Total Unadjusted Error	TUE CC	-4	-	4	LSB	12-bit resolution; $V_{DDA} = 3.3\text{ V}$; $V_{AREF} = V_{DDA}$ ⁷⁾
Differential Non-Linearity Error ⁸⁾	EA_{DNL} CC	-3	-	3	LSB	
Gain Error ⁸⁾	EA_{GAIN} CC	-4	-	4	LSB	
Integral Non-Linearity ⁸⁾	EA_{INL} CC	-3	-	3	LSB	
Offset Error ⁸⁾	EA_{OFF} CC	-4	-	4	LSB	
RMS Noise ⁹⁾	EN_{RMS} CC	-	1	2 ^{10) 11)}	LSB	
Worst case ADC V_{DDA} power supply current per active converter	I_{DDAA} CC	-	1.5	2	mA	during conversion $V_{DDP} = 3.6\text{ V}$, $T_J = 150^\circ\text{C}$
Charge consumption on V_{AREF} per conversion ⁴⁾	Q_{CONV} CC	-	30	-	pC	$0\text{ V} \leq V_{AREF} \leq V_{DDA}$ ¹²⁾
ON resistance of the analog input path	R_{AIN} CC	-	700	1700	Ohm	
ON resistance for the ADC test (pull down for AIN7)	R_{AIN7T} CC	180	550	900	Ohm	
Resistance of the reference voltage input path	R_{AREF} CC	-	700	1700	Ohm	

1) 适用于 AINx, 用作备用参考输入。

2) 如果违反正常条件 (电压过冲), 正在运行的转换可能会变得不精确。

3) 如果模拟参考电压低于 V_{DDA} , 则 ADC 转换器误差会增加。如果参考电压以因子 k 降低 ($k < 1$), 则 TUE、DNL、INL、增益和偏移误差也会以因子 $1/k$ 增加。

4) 漏电流定义是一个连续函数, 如图 ADCx 模拟输入漏电流所示。定义的数值决定给定连续线性近似的特征点 - 它们不定义阶跃函数 (见图 16)。

5) 转换 C 网络的采样电容在采样前预充电至 $V_{AREF}/2$ 。由于寄生元件的存在, 在 AINx 处测量的电压可能会偏离 $V_{AREF}/2$ 。

6) 这代表等效开关电容。该电容不会立即切换到参考电压。相反, 较小的电容会逐渐切换到参考电压。

7) 对于 10 位转换, 误差减少至 $1/4$; 对于 8 位转换, 误差减少至 $1/16$ 。绝不会小于 ± 1 LSB。

8) DNL/INL/GAIN/OFF 误差之和不超过相关的总未调整误差 TUE。

9) 此参数对焊接设备有效, 并且在模拟板设计时需格外小心。

10) 产生的最坏情况组合误差是 TUE 和 EN_{RMS} 的算术组合。

11) 值是根据一个 sigma 高斯分布定义的。

12) 转换产生的电流可以用 $I_{AREF} = Q_{CONV} / t_c$ 计算。最快的 12 位后校准转换 $t_c = 550\text{ ns}$ 产生典型的平均电流 $I_{AREF} = 54.5\text{ }\mu\text{A}$ 。

3 Electrical Parameters

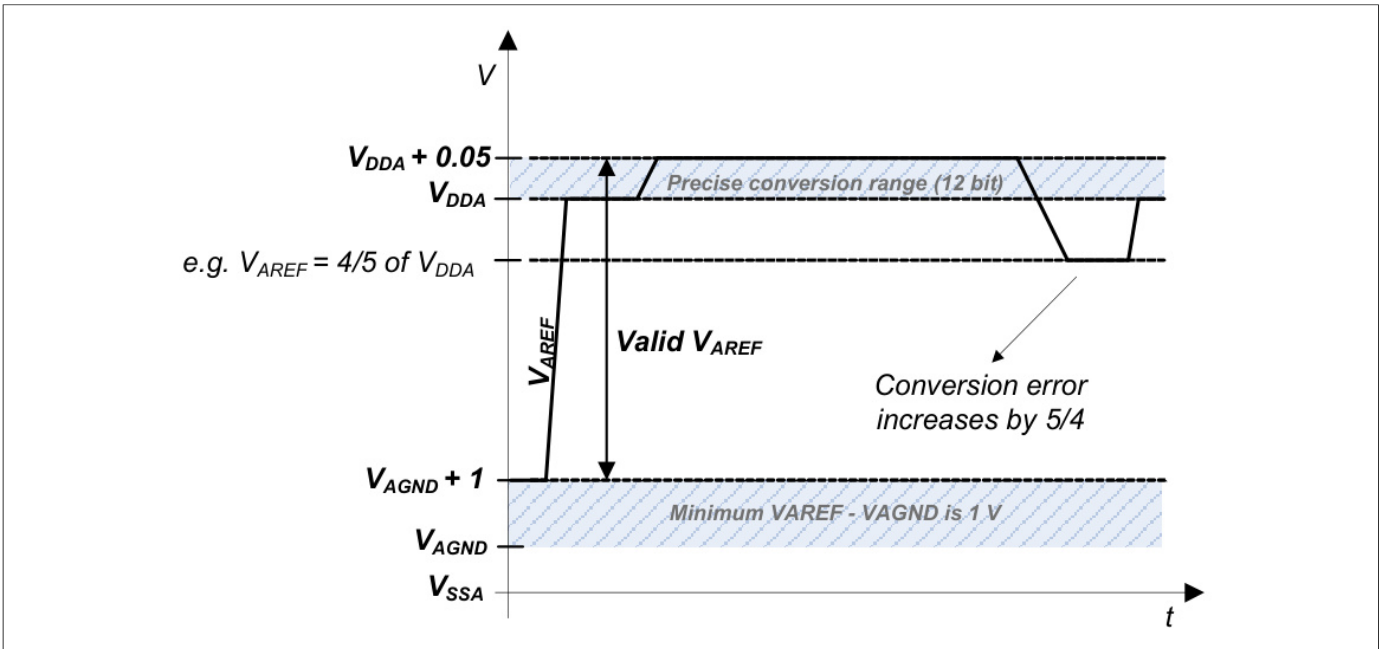


图 14 VADC 参考电压范围

VADC 的上电校准需要最多 $4352 f_{ADCI}$ 周期。

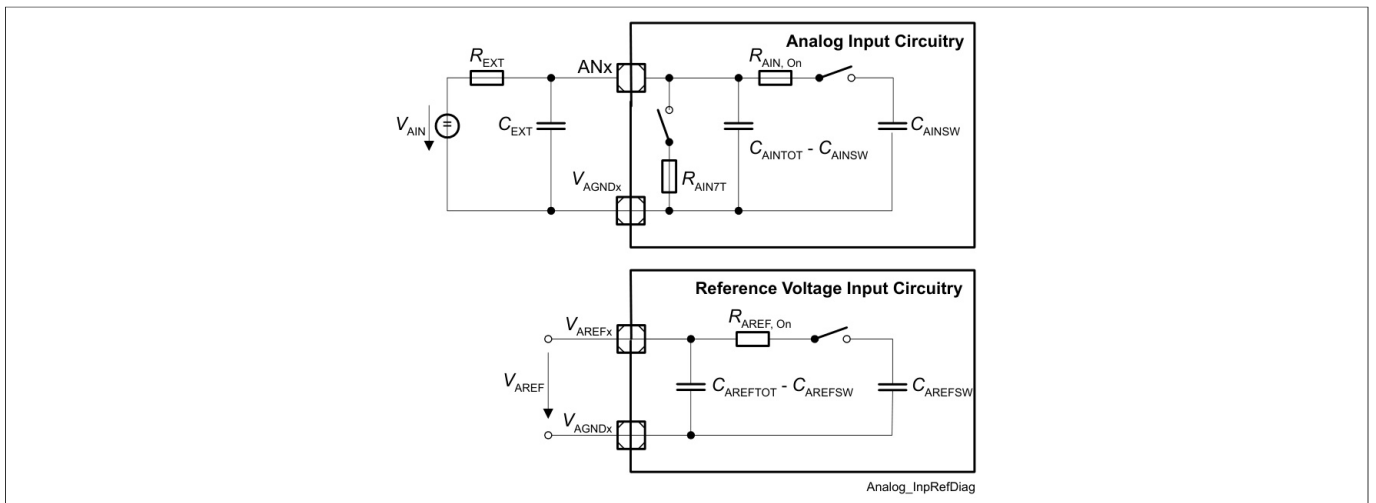


图 15 VADC 输入电路

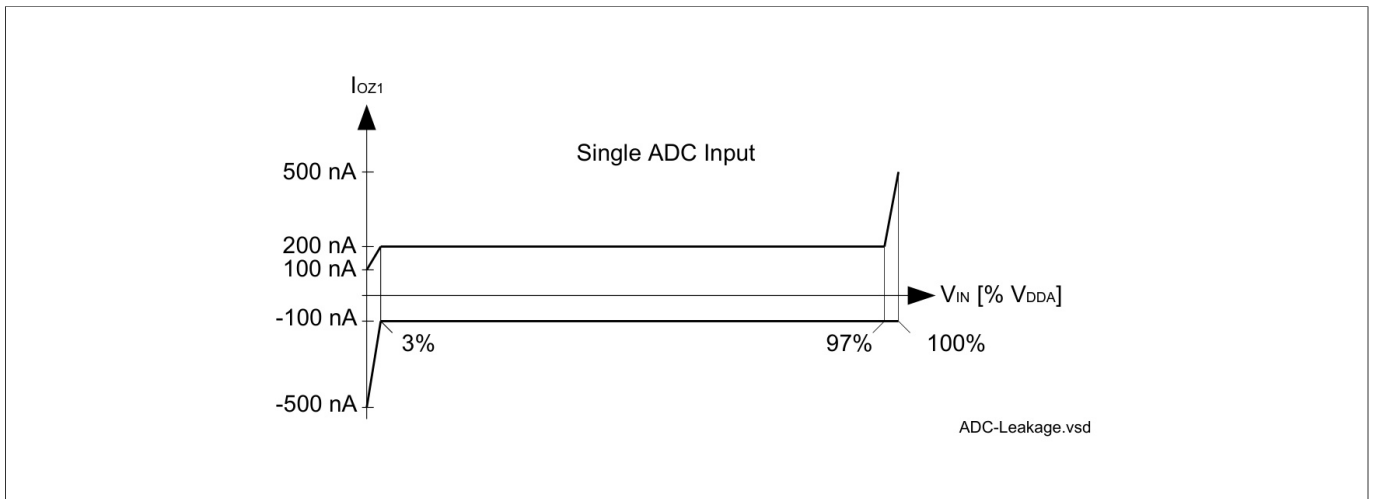


图 16 VADC 模拟输入漏电流

3 Electrical Parameters

转换时间

表 24 转换时间 (适用工作条件)

Parameter	Symbol	Values	Unit	Note
Conversion time	$t_{c\ CC}$	$2 \times T_{ADC} + (2 + N + STC + PC + DM) \times T_{ADCI}$	μs	N = 8, 10, 12 for N-bit conversion $T_{ADC} = 1/f_{PERIPH}$ $T_{ADCI} = 1/f_{ADCI}$

- STC 定义额外的时钟周期来延长采样时间
- 如果启用后校准, PC 将增加两个时钟周期
- DM 增加一个时钟周期以延长MSB的转换时间

转换时间示例

系统假设:

$f_{ADC} = 120\text{ MHz}$ that is $t_{ADC} = 8.33\text{ ns}$, $DIVA = 3$, $f_{ADCI} = 30\text{ MHz}$ that is $t_{ADCI} = 33.3\text{ ns}$

根据给定的公式, 可以实现以下最小转换时间 (STC = 0, DM = 0): 12 位后校准转换 (PC = 2):

$$t_{CN12C} = (2 + 12 + 2) \times t_{ADCI} + 2 \times t_{ADC} = 16 \times 33.3\text{ ns} + 2 \times 8.33\text{ ns} = 550\text{ ns}$$

12 位未校准转换:

$$t_{CN12} = (2 + 12) \times t_{ADCI} + 2 \times t_{ADC} = 14 \times 33.3\text{ ns} + 2 \times 8.33\text{ ns} = 483\text{ ns}$$

10 位未校准转换:

$$t_{CN10} = (2 + 10) \times t_{ADCI} + 2 \times t_{ADC} = 12 \times 33.3\text{ ns} + 2 \times 8.33\text{ ns} = 417\text{ ns}$$

8位未校准:

$$t_{CN8} = (2 + 8) \times t_{ADCI} + 2 \times t_{ADC} = 10 \times 33.3\text{ ns} + 2 \times 8.33\text{ ns} = 350\text{ ns}$$

3.2.3 数模转换器 (DAC)

注: 这些参数不经过生产测试, 但经过设计和/或特性验证。

表 25 DAC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
RMS supply current	$I_{DD\ CC}$	-	2.5	4	mA	per active DAC channel, without load currents of DAC outputs
Resolution	$RES\ CC$	-	12	-	Bit	
Update rate	$f_{URATE_A\ CC}$	-		2	Msamples/s	data rate, where DAC can follow 64 LSB code jumps to $\pm 1\text{LSB}$ accuracy

(表格续下页.....)

3 Electrical Parameters

表 25 (续) DAC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Update rate	f_{URATE_FCC}	-		5	Msamples/s	data rate, where DAC can follow 64 LSB code jumps to ± 4 LSB accuracy
Settling time	t_{SETTLE_CC}	-	1	2	μs	at full scale jump, output voltage reaches target value ± 20 LSB
Slew rate	SR _{CC}	2	5	-	V/ μs	
Minimum output voltage	$V_{OUT_MIN_CC}$	-	0.3	-	V	code value unsigned: 000 _H ; signed: 800 _H
Maximum output voltage	$V_{OUT_MAX_CC}$	-	2.5	-	V	code value unsigned: FFF _H ; signed: 7FF _H
Integral non-linearity	INL _{CC}	-4	± 2.5	4	LSB	$R_L \geq 5$ kOhm, $C_L \leq 50$ pF
Differential non-linearity	DNL _{CC}	-2	± 1	2	LSB	$R_L \geq 5$ kOhm, $C_L \leq 50$ pF
Offset error	ED_{OFF_CC}		± 20		mV	
Gain error	$ED_{G_IN_CC}$	-6.5	-1.5	3	%	
Startup time	$t_{STARTUP_CC}$	-	15	30	μs	time from output enabling till code valid ± 16 LSB
3dB Bandwidth of Output Buffer	f_{c1_CC}	2.5	5	-	MHz	verified by design
Output sourcing current	$I_{OUT_SOURCE_CC}$	-	-30	-	mA	
Output sinking current	$I_{OUT_SINK_CC}$	-	0.6	-	mA	
Output resistance	R_{OUT_CC}	-	50	-	Ohm	
Load resistance	R_L SR	5	-	-	kOhm	
Load capacitance	C_L SR	-	-	50	pF	
Signal-to-Noise Ratio	SNR _{CC}	-	70	-	dB	examination bandwidth < 25 kHz
Total Harmonic Distortion	THD _{CC}	-	70	-	dB	examination bandwidth < 25 kHz
Power Supply Rejection Ratio	PSRR _{CC}	-	56	-	dB	to V_{DDA} verified by design

3 Electrical Parameters

转换计算

无符号的:

$$DACxDATA = 4095 \times (V_{OUT} - V_{OUT_MIN}) / (V_{OUT_MAX} - V_{OUT_MIN})$$

有符号的:

$$DACxDATA = 4095 \times (V_{OUT} - V_{OUT_MIN}) / (V_{OUT_MAX} - V_{OUT_MIN}) - 2048$$

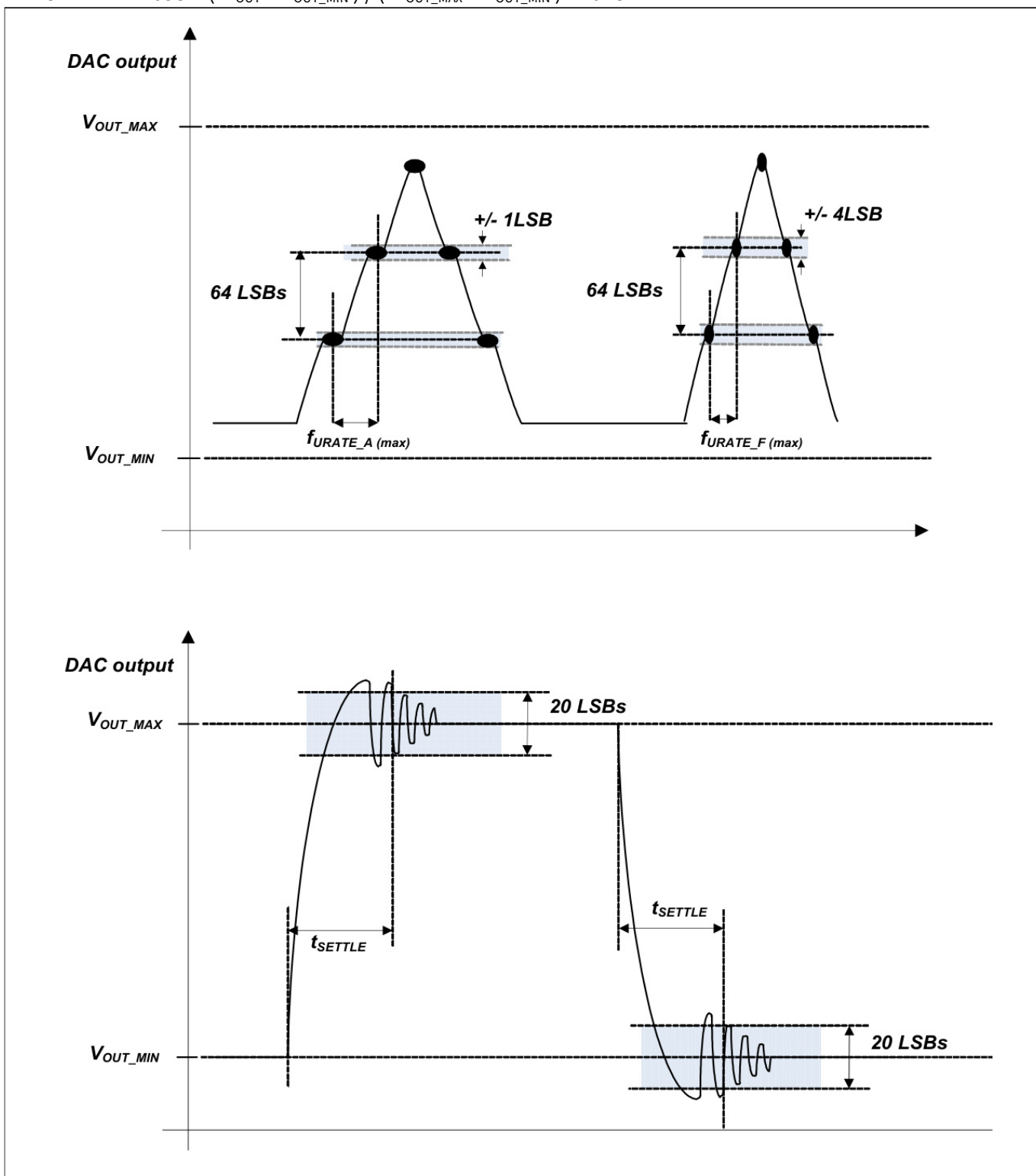


图 17 DAC 转换示例

3 Electrical Parameters

3.2.4 超范围比较器 (ORC)

超出范围比较器 (ORC) 在选定输入引脚 ($GxORCy$) 上检测到高于模拟参考¹⁾ (V_{AREF}) 的模拟输入电压 (V_{AIN}), 并生成服务请求触发 ($GxORCOUTy$)。

注: 这些参数不经过生产测试, 但经过设计和/或特性验证。

参数如表 26 适用最大参考电压 $V_{AREF} = V_{DDA} + 50 \text{ mV}$ 。

表 26 ORC 参数 (适用操作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
DC Switching Level	$V_{ODC \text{ CC}}$	100	125	200	mV	$V_{AIN} \geq V_{AREF} + V_{ODC}$
Hysteresis	$V_{OHYS \text{ CC}}$	50	–	V_{ODC}	mV	
Detection Delay of a persistent Overvoltage	$t_{ODD \text{ CC}}$	55	–	450	ns	$V_{AIN} \geq V_{AREF} + 200 \text{ mV}$
		45	–	105	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Always detected Overvoltage Pulse	$t_{OPDD \text{ CC}}$	440	–	–	ns	$V_{AIN} \geq V_{AREF} + 200 \text{ mV}$
		90	–	–	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Never detected Overvoltage Pulse	$t_{OPDN \text{ CC}}$	–	–	49	ns	$V_{AIN} \geq V_{AREF} + 200 \text{ mV}$
		–	–	30	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Release Delay	$t_{ORD \text{ CC}}$	65	–	105	ns	$V_{AIN} \leq V_{AREF}$
Enable Delay	$t_{OED \text{ CC}}$	–	100	200	ns	

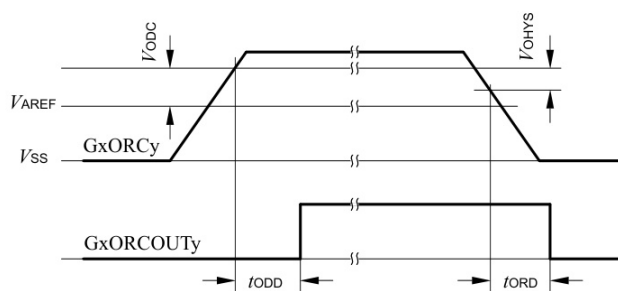


图 18 $GxORCOUTy$ 触发生成

¹⁾始终为标准 VADC 参考, 替代参考不适用于 ORC。

3 Electrical Parameters

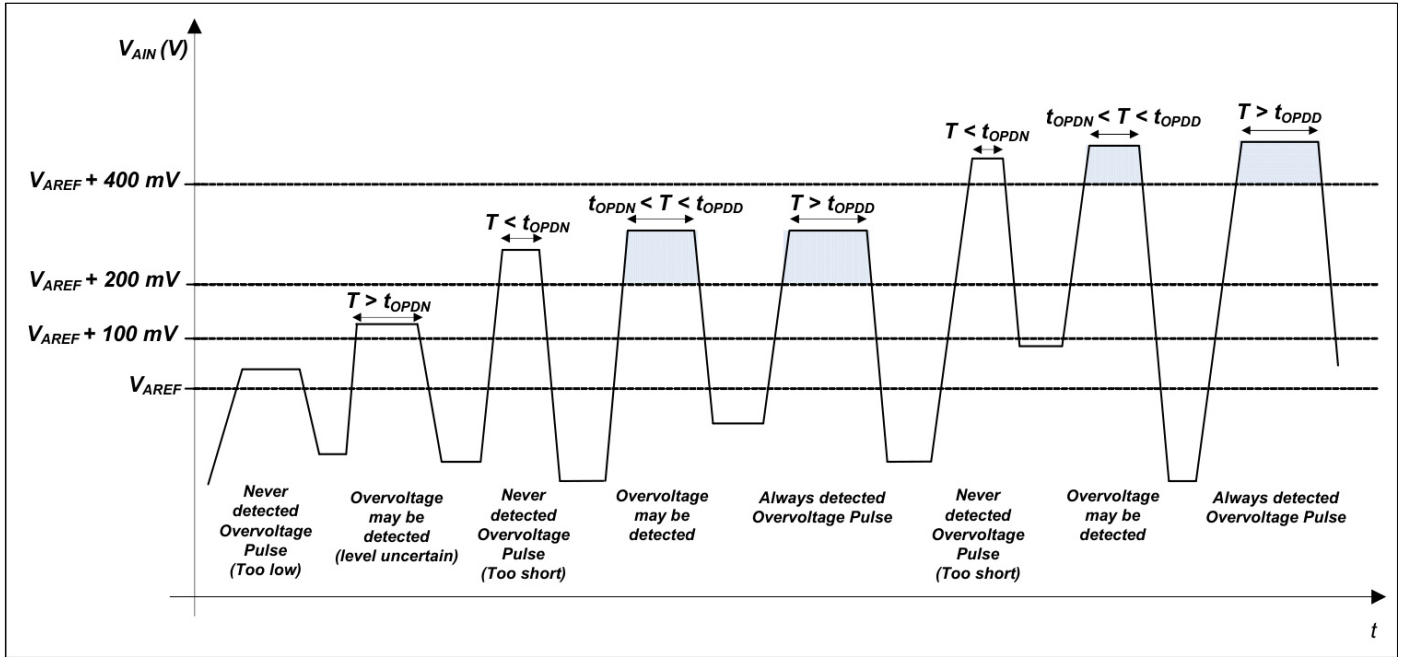


图 19 ORC 检测范围

3.2.5 芯片温度传感器

芯片温度传感器 (DTS) 测量结温 T_J 。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 27 芯片温度传感器参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Temperature sensor range	T_{SR} SR	-40	-	150	°C	
Linearity Error (to the below defined formula)	ΔT_{LE} CC	-	±1	-	°C	per $\Delta T_J \leq 30^\circ\text{C}$
Offset Error	ΔT_{OE} CC	-	±6	-	°C	$\Delta T_{OE} = T_J - T_{DTS}$ $V_{DDP} \leq 3.3$ V ¹⁾
Measurement time	t_M CC	-	-	100	µs	
Start-up time after reset inactive	t_{TSST} SR	-	-	10	µs	

1) 当 $V_{DDP_max} = 3.63$ V 时，典型偏移误差会额外增加 $\Delta T_{OE} = \pm 1^\circ\text{C}$ 。

3 Electrical Parameters

以下公式根据 DTSSTAT 寄存器的 RESULT 位字段计算 DTS 测量的温度（单位为 [°C]）。

$$\text{温度 } T_{\text{DTS}} = (\text{结果} - 605) / 2.05 \text{ [}^\circ\text{C]}$$

本公式及 [表27中定义的值](#) 适用以下校准值：

- DTSCON.BGTRIM = 8_H
- DTSCON.REFTRIM = 4_H

3.2.6 USB OTG 接口直流特性

通用串行总线 (USB) 接口符合 USB Rev. 2.0 规范和 OTG 规范 Rev. 1.3。不支持高速模式。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 28 USB OTG VBUS 和 ID 参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
VBUS input voltage range	$V_{\text{IN CC}}$	0.0	–	5.25	V	
A-device VBUS valid threshold	$V_{\text{B1 CC}}$	4.4	–	–	V	
A-device session valid threshold	$V_{\text{B2 CC}}$	0.8	–	2.0	V	
B-device session valid threshold	$V_{\text{B3 CC}}$	0.8	–	4.0	V	
B-device session end threshold	$V_{\text{B4 CC}}$	0.2	–	0.8	V	
VBUS input resistance to ground	$R_{\text{VBUS_IN CC}}$	40	–	100	kOhm	
B-device VBUS pull-up resistor	$R_{\text{VBUS_PU CC}}$	281	–	–	Ohm	Pull-up voltage = 3.0 V
B-device VBUS pull-down resistor	$R_{\text{VBUS_PD CC}}$	656	–	–	Ohm	
USB.ID pull-up resistor	$R_{\text{UID_PU CC}}$	14	–	25	kOhm	
VBUS input current	$I_{\text{VBUS_IN CC}}$	–	–	150	μA	$0 \text{ V} \leq V_{\text{IN}} \leq 5.25 \text{ V};$ $T_{\text{AVG}} = 1 \text{ ms}$

3 Electrical Parameters

表 29 USB OTG 数据线 (USB_DP, USB_DM) 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input low voltage	$V_{IL\ SR}$	–	–	0.8	V	
Input high voltage (driven)	$V_{IH\ SR}$	2.0	–	–	V	
Input high voltage (floating) ¹⁾	$V_{IHZ\ SR}$	2.7	–	3.6	V	
Differential input sensitivity	$V_{DIS\ CC}$	0.2	–	–	V	
Differential common mode range	$V_{CM\ CC}$	0.8	–	2.5	V	
Output low voltage	$V_{OL\ CC}$	0.0	–	0.3	V	1.5 kOhm pull-up to 3.6 V
Output high voltage	$V_{OH\ CC}$	2.8	–	3.6	V	15 kOhm pull-down to 0 V
DP pull-up resistor (idle bus)	$R_{PUI\ CC}$	900	–	1575	Ohm	
DP pull-up resistor (upstream port receiving)	$R_{PUA\ CC}$	1425	–	3090	Ohm	
DP, DM pull-down resistor	$R_{PD\ CC}$	14.25	–	24.8	kOhm	
Input impedance DP, DM	$Z_{INP\ CC}$	300	–	–	kOhm	$0\ V \leq V_{IN} \leq V_{DDP}$
Driver output resistance DP, DM	$Z_{DRV\ CC}$	28	–	44	Ohm	

1) 在A连接器接 1.5 kOhm ± 5%电阻上拉到 3.3 V ± 0.3 V再接USB_DP 或 USB_DM, B连接器接15 kOhm ±5%电阻下拉到地再接USB_DP 和 USB_DM的情况下进行测量
连接至 USB_DP 和 USB_DM 的接地电阻为 ±5%。

3 Electrical Parameters

3.2.7 振荡器引脚

注： 强烈建议测量最终目标系统（布局）中的振荡裕度（负电阻），以确定振荡器操作的最佳参数。请参考晶振或陶瓷谐振器供应商指定的限值。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

振荡器引脚可采用外部晶振（见图20）或直接输入模式（见图21）。

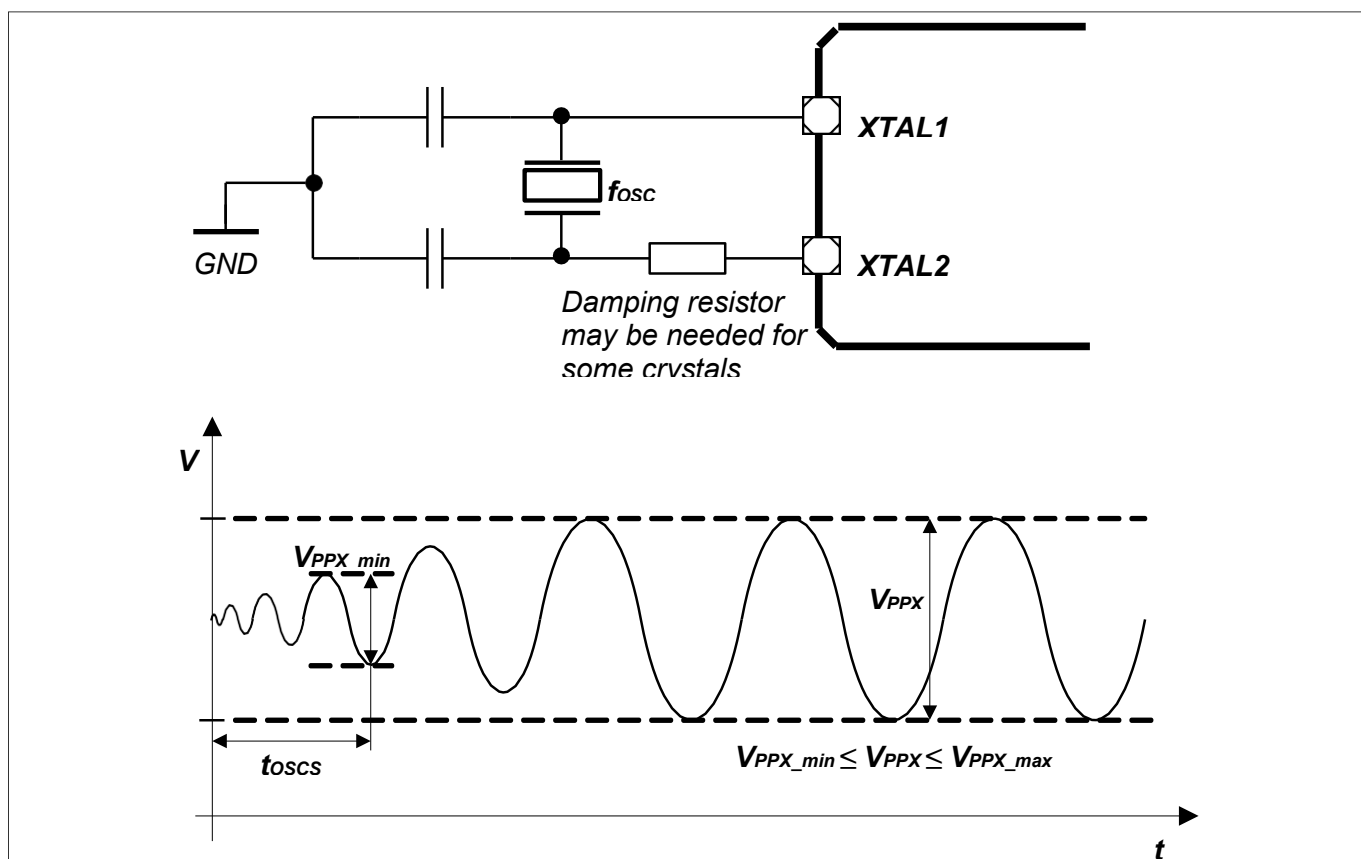


图 20 晶振模式下的振荡器

3 Electrical Parameters

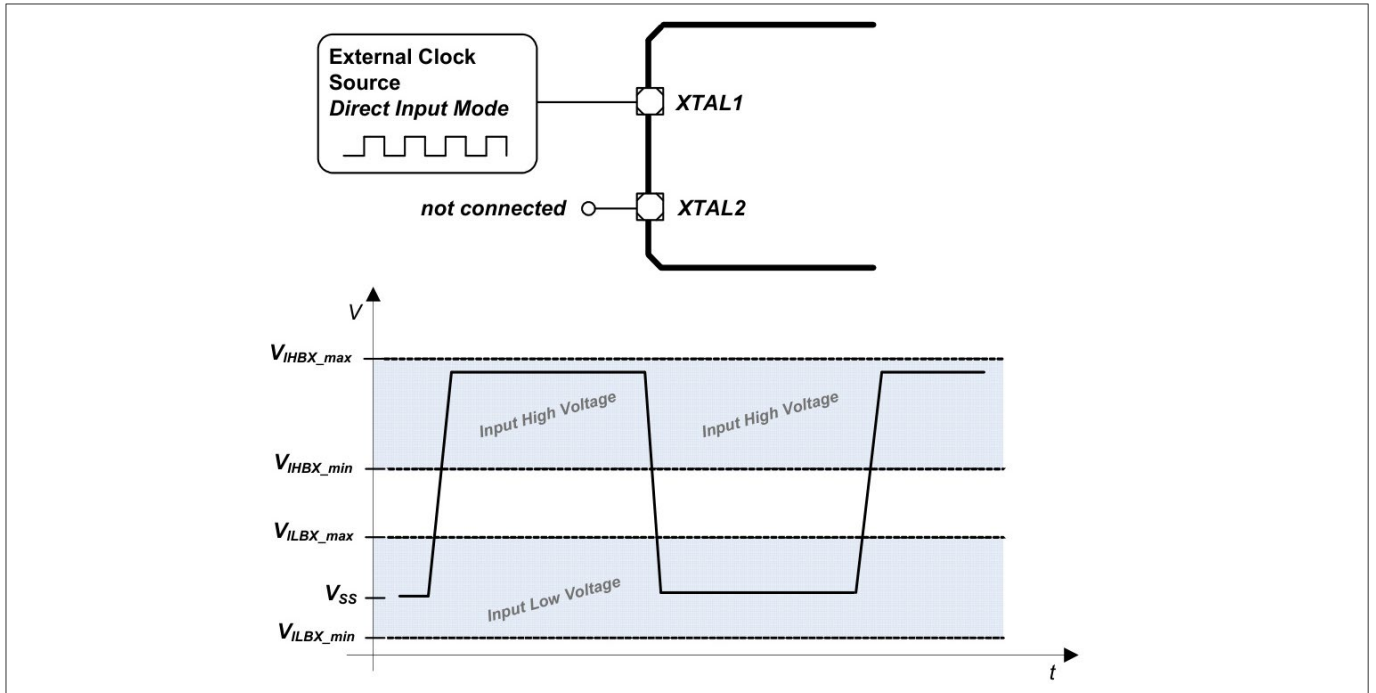


图 21 直接输入模式下的振荡器

表 30 OSC_XTAL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input frequency	f_{OSC} SR	4	-	40	MHz	Direct Input Mode selected
		4	-	25	MHz	External Crystal Mode selected
Oscillator start-up time ^{1) 2)}	t_{OSCS} CC	-	-	10	ms	
Input voltage at XTAL1	V_{IX} SR	-0.5	-	$V_{DDP} + 0.5$	V	
Input amplitude (peak-to-peak) at XTAL1 ^{2) 3)}	V_{PPX} SR	$0.4 \times V_{DDP}$	-	$V_{DDP} + 1.0$	V	
Input high voltage at XTAL1 ⁴⁾	V_{IHBX} SR	1.0	-	$V_{DDP} + 0.5$	V	
Input low voltage at XTAL1 ⁴⁾	V_{ILBX} SR	-0.5	-	0.4	V	
Input leakage current at XTAL1	I_{ILX1} CC	-100	-	100	nA	Oscillator power down $0 V \leq V_{IX} \leq V_{DDP}$

1) t_{OSCS} 的定义是从使用 SCU_OSCHCTRL.MODE 启用振荡器开始，直到振荡在 XTAL1 处达到 $0.4 \times V_{DDP}$ 的幅度。
 2) 客户必须优化外部振荡器电路，并按照晶体供应商的建议和规定检查负阻和幅度。
 3) 如果整形器单元被启用并且没有被绕过。
 4) 如果绕过整形器单元，则必须满足专用的直流阈值。

3 Electrical Parameters

表 31 RTC_XTAL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input frequency	f_{OSC} SR	-	32.768	-	kHz	
Oscillator start-up time ^{1) 2) 3)}	t_{OSCS} CC	-	-	5	s	
Input voltage at RTC_XTAL1	V_{IX} SR	-0.3	-	$V_{BAT} + 0.3$	V	
Input amplitude (peak-to-peak) at RTC_XTAL1 ^{2) 4)}	V_{PPX} SR	0.4	-	-	V	
Input high voltage at RTC_XTAL1 ⁵⁾	V_{IHBX} SR	$0.6 \times V_{BAT}$	-	$V_{BAT} + 0.3$	V	
Input low voltage at RTC_XTAL1 ⁵⁾	V_{ILBX} SR	-0.3	-	$0.36 \times V_{BAT}$	V	
Input Hysteresis for RTC_XTAL1 ^{5) 6)}	V_{HYSX} CC	$0.1 \times V_{BAT}$		-	V	$3.0 \text{ V} \leq V_{BAT} < 3.6 \text{ V}$
		$0.03 \times V_{BAT}$		-	V	$V_{BAT} < 3.0 \text{ V}$
Input leakage current at RTC_XTAL1	I_{ILX1} CC	-100	-	100	nA	Oscillator power down $0 \text{ V} \leq V_{IX} \leq V_{BAT}$

- 1) t_{OSCS} 的定义是从用户使用 SCU_OSCULCTRL.MODE 启用振荡器开始, 直到振荡在 RTC_XTAL1 处达到 400 mV 的幅度。
- 2) 客户必须优化外部振荡器电路, 并按照晶体供应商的建议和规定检查负阻和幅度。
- 3) 为了在晶体模式下可靠地启动振荡, 要求 $V_{BAT} \geq 3.0 \text{ V}$ 。在整个 V_{BAT} 电压范围内维持振荡运行。
- 4) 如果整形器单元被启用并且没有被绕过。
- 5) 如果绕过整形器单元, 则必须满足专用的直流阈值。
- 6) 实施滞后是为了避免亚稳态和由于内部地弹而引起的切换。不能保证它能抑制由于外部系统噪声而引起的切换。

3 Electrical Parameters

3.2.8 电源电流

下面定义的总电源电流由漏电流和开关分量组成。

应用相关值通常低于下表给出的值，并且取决于客户的系统运行条件（例如热连接或使用的应用配置）。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

若无特殊说明，下表中参数的操作条件如下：

$$V_{DDP} = 3.3 \text{ V}, T_A = 25 \text{ }^\circ\text{C},$$

表 32 电源参数

Parameter	Symbol	Values			Unit	Note/Tests Conditions
		Min.	Typ.	Max.		
Active supply current ^{1) 2)} Peripherals enabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPA\ CC}$	-	122	-	mA	120/120/120
		-	110	-		120/60/60
		-	85	-		60/60/120
		-	65	-		24/24/24
		-	52	-		1/1/1
Active supply current Code execution from RAM Flash in Sleep mode	$I_{DDPA\ CC}$	-	98	-	mA	120/120/120
		-	80	-		120/60/60
Active supply current ³⁾ Peripherals disabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPA\ CC}$	-	115	-	mA	120/120/120
		-	105	-		120/60/60
		-	80	-		60/60/120
		-	63	-		24/24/24
		-	50	-		1/1/1
Sleep supply current ⁴⁾ Peripherals enabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPS\ CC}$	-	115	-	mA	120/120/120
		-	105	-		120/60/60
		-	83	-		60/60/120
		-	60	-		24/24/24
		-	48	-		1/1/1
		$f_{CPU} / f_{PERIPH} / f_{CCU}$ in kHz	-	46		-
Sleep supply current ⁵⁾ Peripherals disabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPS\ CC}$	-	110	-	mA	120/120/120
		-	100	-		120/60/60
		-	77	-		60/60/120
		-	59	-		24/24/24
		-	48	-		1/1/1
		$f_{CPU} / f_{PERIPH} / f_{CCU}$ in kHz	-	46		-
Deep Sleep supply current ⁶⁾	$I_{DDPD\ CC}$	-	20	-	mA	24/24/24

(表格续下页.....)

3 Electrical Parameters

表 32 (续) 电源参数

Parameter	Symbol	Values			Unit	Note/Tests Condition
		Min.	Typ.	Max.		
Flash in Sleep mode Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz		-	12	-		4/4/4
		-	10	-		1/1/1
		-	6	-		100/100/100 ⁷⁾
Flash in Sleep mode Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in kHz		-	10	-		4/4/4
		-	10	-		1/1/1
		-	6	-		100/100/100 ⁷⁾
Hibernate supply current RTC on ⁸⁾	$I_{DDPH\ CC}$	-	10	-	μA	$V_{BAT} = 3.3\ V$
		-	7.5	-		$V_{BAT} = 2.4\ V$
		-	6.2	-		$V_{BAT} = 2.0\ V$
Hibernate supply current RTC off ⁹⁾	$I_{DDPH\ CC}$	-	9.2	-	μA	$V_{BAT} = 3.3\ V$
		-	6.7	-		$V_{BAT} = 2.4\ V$
		-	5.6	-		$V_{BAT} = 2.0\ V$
Worst case active supply current ²⁾	$I_{DDPA\ CC}$	-	-	180 ¹⁰⁾	mA	$V_{DDP} = 3.6\ V,$ $T_J = 150^\circ C$
V_{DDA} power supply current	$I_{DDA\ CC}$	-	-	.11)	mA	
I_{DDP} current at PORST Low	$I_{DDP_PORST\ CC}$	-	-	16	mA	$V_{DDP} = 3.6\ V,$ $T_J = 150^\circ C$
Power Dissipation	$P_{DISS\ CC}$	-	-	1	W	$V_{DDP} = 3.6\ V,$ $T_J = 150^\circ C$
Wake-up time from Sleep to Active mode	$t_{SSA\ CC}$	-	6	-	cycles	
Wake-up time from Deep Sleep to Active mode		-	-	-	ms	Defined by the wake-up of the Flash module, see Section 3.2.9
Wake-up time from Hibernate mode		-	-	-	ms	Wake-up via power-on reset event, see Section 3.3.2

1) CPU 从 Flash 执行代码，所有外设空闲。

2) 测试电源环路： $f_{SYS} = 120\ MHz$ ，CPU 从 Flash 执行基准代码，所有 CCU 处于 100 kHz 定时器模式，所有 ADC 组处于连续转换模式，USIC 作为 SPI 处于内部环回模式，CAN 处于 500 kHz 内部环回模式，中断触发的 DMA 块传输至奇偶校验保护的 RAM 和 FCE，DTS 处于测量模式和 FPU 在进行计算。
每个客户应用的功耗很可能低于该值，但必须单独评估。

3) CPU 从 Flash 执行代码。

4) CPU 处于休眠状态，所有外设处于空闲状态，Flash 处于活动模式。

5) CPU 处于休眠状态，Flash 处于活动模式。

6) CPU 处于休眠状态，外设禁用，唤醒后从 RAM 执行代码。

7) 要将 Flash 从睡眠模式唤醒，需要 $f_{CPU} \geq 1\ MHz$ 。

8) OSC_ULP 利用 RTC_XTAL 上的外部晶振进行操作。

9) OSC_ULP 关闭，休眠域使用 OSC_SI 时钟运行。

10) 在 T_J 恒定的情况下，当 f_{SYS} 下降 10 MHz 时， I_{DDP} 通常会下降约 6mA。

11) 所有活动转换器（ADC 和 DAC）的电流总和。

3 Electrical Parameters

3.2.9 闪存参数

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 33 闪存参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Erase Time per 256 Kbyte Sector	$t_{ERP\ CC}$	–	5	5.5	s	
Erase Time per 64 Kbyte Sector	$t_{ERP\ CC}$	–	1.2	1.4	s	
Erase Time per 16 Kbyte Logical Sector	$t_{ERP\ CC}$	–	0.3	0.4	s	
Program time per page ¹⁾	$t_{PRP\ CC}$	–	5.5	11	ms	
Erase suspend delay	$t_{FL_ErSusp\ CC}$	–	–	15	ms	
Wait time after margin change	$t_{FL_MarginDel\ CC}$	10	–	–	μs	
Wake-up time	$t_{WU\ CC}$	–	–	270	μs	
Read access time	$t_a\ CC$	22	–	–	ns	For operation with $1/f_{CPU} < t_a$ wait states must be configured ²⁾
Data Retention Time, Physical Sector ^{3) 4)}	$t_{RET\ CC}$	20	–	–	years	Max. 1000 erase/program cycles
Data Retention Time, Logical Sector ^{3) 4)}	$t_{RETL\ CC}$	20	–	–	years	Max. 100 erase/program cycles
Data Retention Time, User Configuration Block (UCB) ^{3) 4)}	$t_{RTU\ CC}$	20	–	–	years	Max. 4 erase/program cycles per UCB

1) 如果编程验证功能检测到弱位，则这些位将被再次编程。重新编程需要额外 5.5 毫秒的时间。

2) 以下公式适用于等待状态配置： $FCON.WSPFLASH \times (1/f_{CPU}) \geq t_a$ 。

3) 包括存储和非活动时间。

4) 给出的数值适用于平均加权结温 $T_J = 110^\circ\text{C}$ 。

3 Electrical Parameters

3.3 交流参数

3.3.1 测试波形

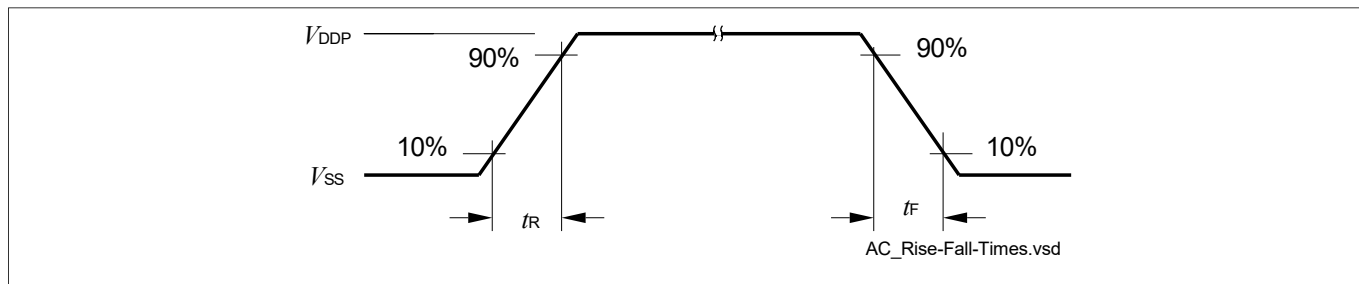


图 22 上升/下降时间参数

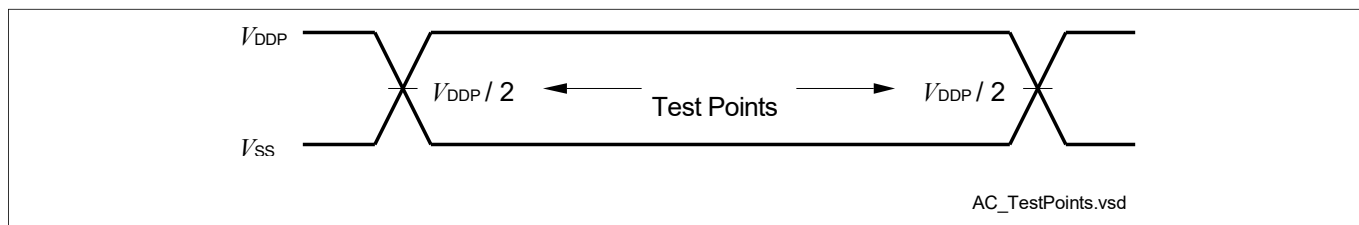


图 23 测试波形，输出延迟

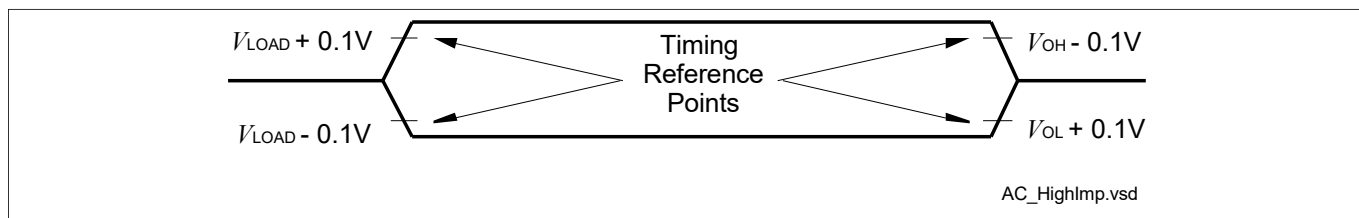


图 24 测试波形，输出高阻

3 Electrical Parameters

3.3.2 上电和电源监控

当 V_{DDP} 和/或 V_{DDC} 违反相应阈值时，PORST 始终处于有效状态。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

图 25 PORST电路

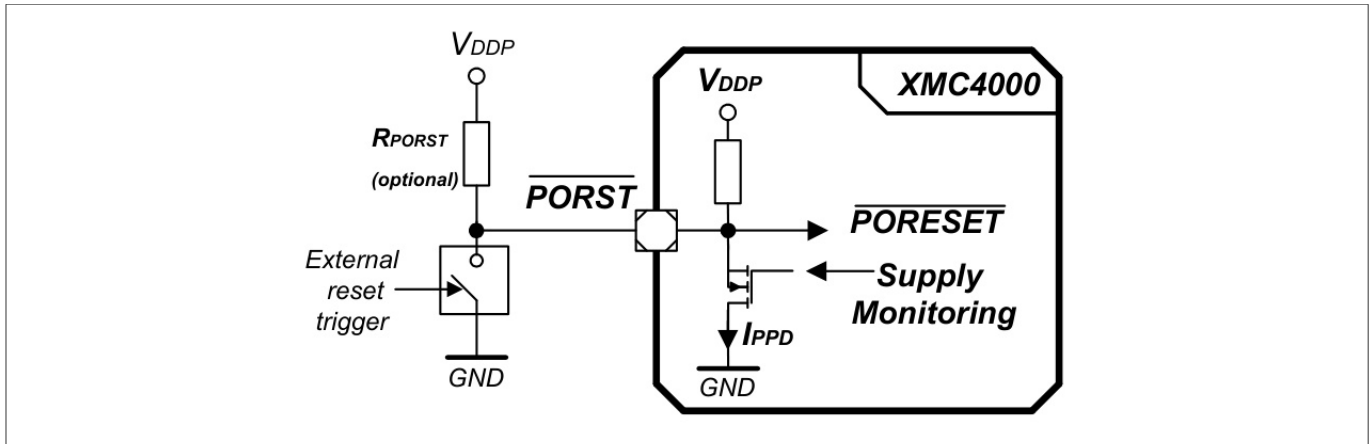


表 34 电源监控参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Digital supply voltage reset threshold	$V_{POR\ CC}$	2.79 ¹⁾	-	3.05 ²⁾	V	³⁾
Core supply voltage reset threshold	$V_{PV\ CC}$	-	-	1.17	V	
V_{DDP} voltage to ensure defined pad states	$V_{DDPPA\ CC}$	-	1.0	-	V	
PORST rise time	$t_{PR\ SR}$	-	-	2	μs	⁴⁾
Startup time from power-on reset with code execution from Flash	$t_{SSW\ CC}$	-	2.5	3.5	ms	Time to the first user code instruction
V_{DDC} ramp up time	$t_{VCR\ CC}$	-	550	-	μs	Ramp up after power-on or after a reset triggered by a violation of V_{POR} or V_{PV}

1) 复位有效的最低阈值。

2) 复位失效的最大阈值。

3) V_{DDP} 监控的典型滞后为 $V_{PORHYS} = 180\ mV$ 。

4) 如果不满足 t_{PR} ，则启动期间可能会看到 PORST 上的低尖峰（例如，由于 V_{DDP} 缓慢上升而导致电源监控产生复位脉冲）。

3 Electrical Parameters

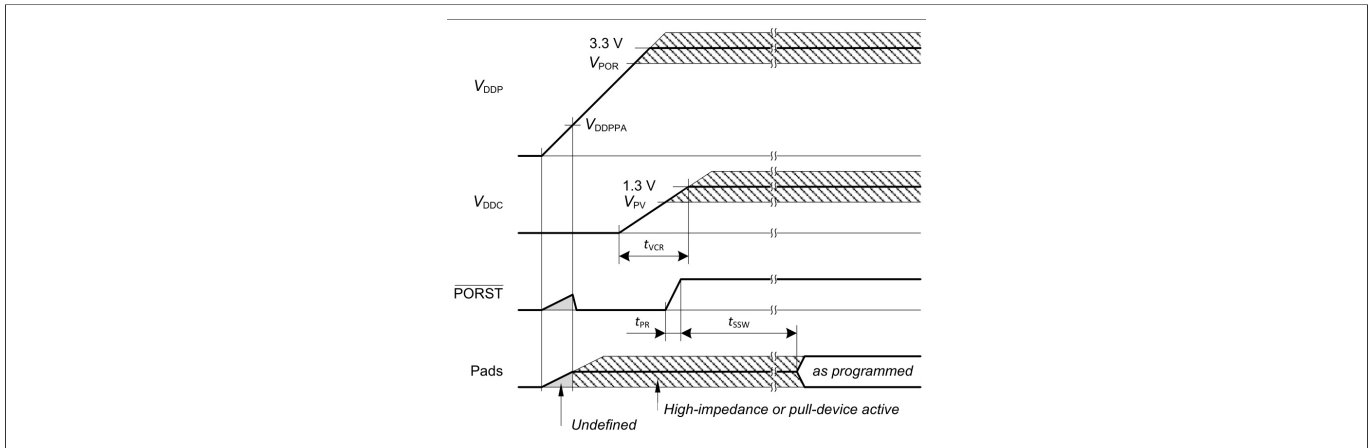


图 26 上电行为

3.3.3 电源序列

在启动和关闭以及切换系统电源模式时，限制电流负载阶跃非常重要。此类负载阶跃的典型原因是改变了CPU 频率 f_{CPU} 。超过以下定义值的负载阶跃可能会导致电源监控触发上电复位。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 35 电源排序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Positive Load Step Current	$\Delta I_{PLS SR}$	-	-	50	mA	Load increase on V_{DDP} $\Delta t \leq 10 \text{ ns}$
Negative Load Step Current	$\Delta I_{NLS SR}$	-	-	150	mA	Load decrease on V_{DDP} $\Delta t \leq 10 \text{ ns}$
V_{DDC} Voltage Over-/Undershoot from Load Step	$\Delta V_{LS CC}$	-	-	± 100	mV	For maximum positive or negative load step
Positive Load Step Settling Time	$t_{PLSS SR}$	50	-	-	μs	
Negative Load Step Settling Time	$t_{NLSS SR}$	100	-	-	μs	
External Buffer Capacitor on V_{DDC}	$C_{EXT SR}$	-	10	-	μF	In addition $C = 100 \text{ nF}$ capacitor on each V_{DDC} pin

3 Electrical Parameters

正负载阶跃示例

系统假设：

$f_{CPU} = f_{SYS}$ ，目标频率 $f_{CPU} = 120$ MHz，主 PLL $f_{VCO} = 488$ MHz，阶跃由 K2 分频器完成，各个阶跃之间的 t_{PLSS} ：

24 MHz - 48 MHz - 68 MHz - 96 MHz - 120 MHz (K2 阶跃 20 - 10 - 7 - 5 - 4)

24 MHz - 68 MHz - 96 MHz - 120 MHz (K2 阶跃 20 - 7 - 5 - 4)

24 MHz - 68 MHz - 120 MHz (K2 阶跃 20 - 7 - 4)

3.3.4 锁相环 (PLL) 特性

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

主 PLL 和 USB PLL

表 36 PLL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Accumulated Jitter	D_P CC	-	-	±5	ns	accumulated over 300 cycles $f_{SYS} = 120$ MHz
Duty Cycle ¹⁾	D_{DC} CC	46	50	54	%	Low pulse to total period, assuming an ideal input clock source
PLL base frequency	$f_{PLLBASE}$ CC	30	-	140	MHz	
VCO input frequency	f_{REF} CC	4	-	16	MHz	
VCO frequency range	f_{VCO} CC	260	-	520	MHz	
PLL lock-in time	t_L CC	-	-	400	µs	

1)对于偶数 K2 分频值，为 50%；对于奇数 K2 分频值，为 $50 \pm (10/K2)$ 。

3 Electrical Parameters

3.3.5 内部时钟源特性

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

快速内部时钟源

表 37 快速内部时钟参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Nominal frequency	f_{OFINCC}	-	36.5	-	MHz	not calibrated
		-	24	-	MHz	calibrated
Accuracy	Δf_{OFINCC}	-0.5	-	0.5	%	automatic calibration ^{1) 2)}
		-15	-	15	%	factory calibration, $V_{\text{DDP}} = 3.3 \text{ V}$
		-25	-	25	%	no calibration, $V_{\text{DDP}} = 3.3 \text{ V}$
		-7	-	7	%	Variation over voltage range ³⁾ $3.13 \text{ V} \leq V_{\text{DDP}} \leq 3.63 \text{ V}$
Start-up time	t_{OFISCC}	-	50	-	μs	

1) 除了参考时钟的精度之外的误差。

2) 自动校准可补偿温度和 V_{DDP} 电源电压的变化。

3) 与标称 V_{DDP} 电压的偏差会对未校准和/或工厂校准的振荡器频率产生额外的误差。

慢速内部时钟源

表 38 慢速内部时钟参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Nominal frequency	$f_{\text{OSI CC}}$	-	32.768	-	kHz	
Accuracy	$\Delta f_{\text{OSI CC}}$	-4	-	4	%	$V_{\text{BAT}} = \text{const.}$ $0^\circ\text{C} \leq T_{\text{A}} \leq 85^\circ\text{C}$
		-5	-	5	%	$V_{\text{BAT}} = \text{const.}$ $T_{\text{A}} < 0^\circ\text{C}$ or $T_{\text{A}} > 85^\circ\text{C}$
		-5	-	5	%	$2.4 \text{ V} \leq V_{\text{BAT}},$ $T_{\text{A}} = 25^\circ\text{C}$
		-10	-	10	%	$1.95 \text{ V} \leq V_{\text{BAT}} < 2.4 \text{ V},$ $T_{\text{A}} = 25^\circ\text{C}$
Start-up time	$t_{\text{OSIS CC}}$	-	50	-	μs	

3 Electrical Parameters

3.3.6 JTAG 接口时序

以下参数适用于通过 JTAG 调试接口进行通信。JTAG 模块完全符合 IEEE1149.1-2000。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用操作条件。

表 39 JTAG 接口时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
TCK clock period	t_1 SR	25	–	–	ns	
TCK high time	t_2 SR	10	–	–	ns	
TCK low time	t_3 SR	10	–	–	ns	
TCK clock rise time	t_4 SR	–	–	4	ns	
TCK clock fall time	t_5 SR	–	–	4	ns	
TDI/TMS setup to TCK rising edge	t_6 SR	6	–	–	ns	
TDI/TMS hold after TCK rising edge	t_7 SR	6	–	–	ns	
TDO valid after TCK falling edge ¹⁾ (propagation delay)	t_8 CC	–	–	13	ns	$C_L = 50$ pF
		3	–	–	ns	$C_L = 20$ pF
TDO hold after TCK falling edge ¹⁾	t_{18} CC	2	–	–	ns	
TDO high imped. to valid from TCK falling edge ^{1) 2)}	t_9 CC	–	–	14	ns	$C_L = 50$ pF
TDO valid to high imped. from TCK falling edge ¹⁾	t_{10} CC	–	–	13.5	ns	$C_L = 50$ pF

1) TCK 上的下降沿用于生成 TDO 时序。

2) TDO 的建立时间由 TCK 周期时间隐含给出。

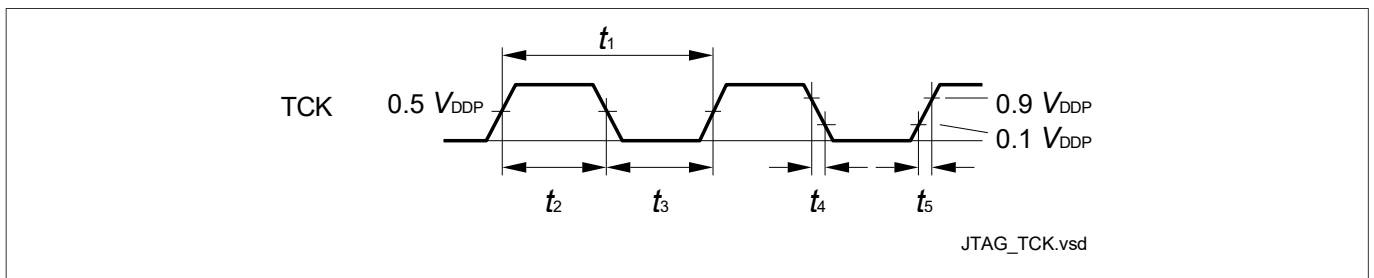


图27 测试时钟时序 (TCK)

3 Electrical Parameters

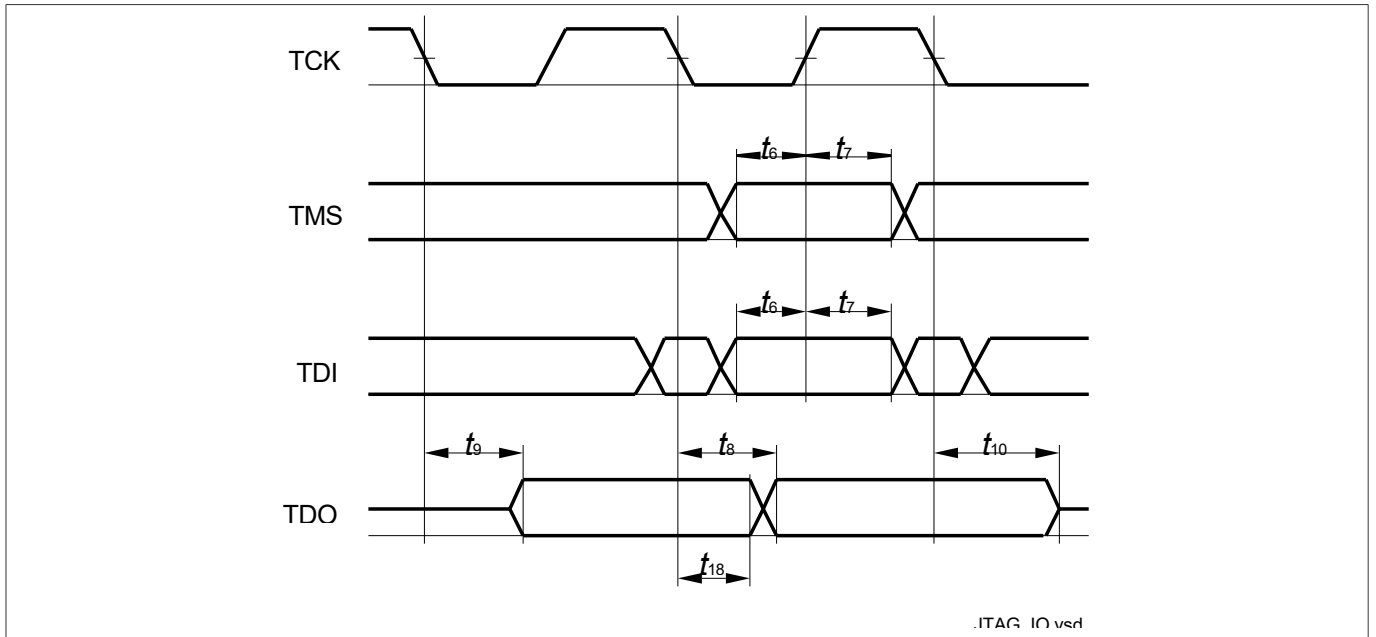


图 28 JTAG 时序

3.3.7 串行线调试端口 (SW-DP) 时序

以下参数适用于通过 SW-DP 接口进行通信。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用操作条件。

表 40 SWD 接口时序参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Testing Condition
		Min.	Typ.	Max.		
SWDCLK clock period	t_{sc} SR	25	-	-	ns	$C_L = 30$ pF
		40	-	-	ns	$C_L = 50$ pF
SWDCLK high time	t_1 SR	10	-	500000	ns	
SWDCLK low time	t_2 SR	10	-	500000	ns	
SWDIO input setup to SWDCLK rising edge	t_3 SR	6	-	-	ns	
SWDIO input hold after SWDCLK rising edge	t_4 SR	6	-	-	ns	
SWDIO output valid time after SWDCLK rising edge	t_5 CC	-	-	17	ns	$C_L = 50$ pF
		-	-	13	ns	$C_L = 30$ pF
SWDIO output hold time from SWDCLK rising edge	t_6 CC	3	-	-	ns	

3 Electrical Parameters

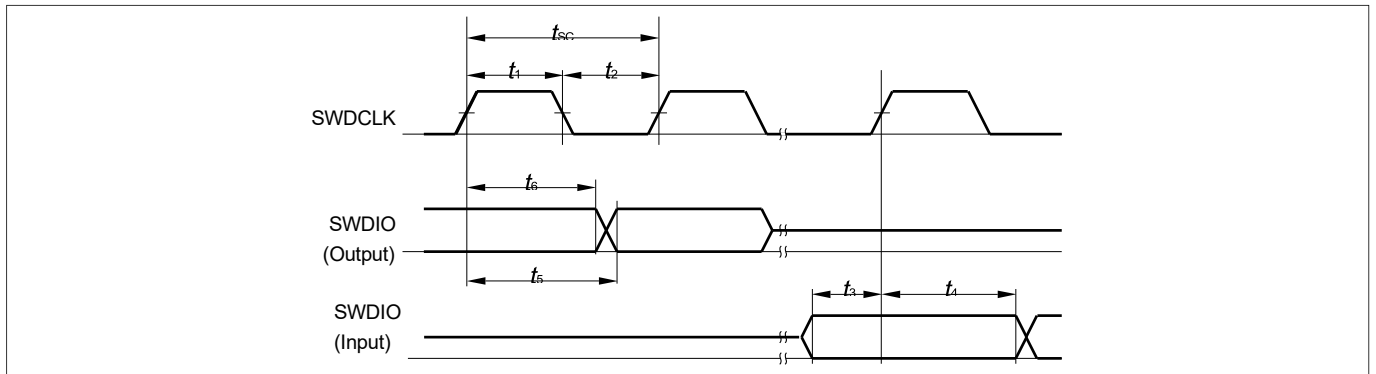


图 29 SWD 时序

3.3.8 嵌入式跟踪宏单元 (ETM) 时序

数据时序指的是有效时钟边沿。XMC4500 ETM 使用半速率时钟模式。在此模式下，上升和下降时钟沿都是有效时钟沿。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件， $C_L \leq 15 \text{ pF}$ 。

表 41 ETM 接口时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
TRACECLK period	$t_1 \text{ CC}$	16.7	-	-	ns	-
TRACECLK high time	$t_2 \text{ CC}$	2	-	-	ns	-
TRACECLK low time	$t_3 \text{ CC}$	2	-	-	ns	-
TRACECLK and TRACEDATA rise time	$t_4 \text{ CC}$	-	-	3	ns	-
TRACECLK and TRACEDATA fall time	$t_5 \text{ CC}$	-	-	3	ns	-
TRACEDATA output valid time	$t_6 \text{ CC}$	-2	-	3	ns	-

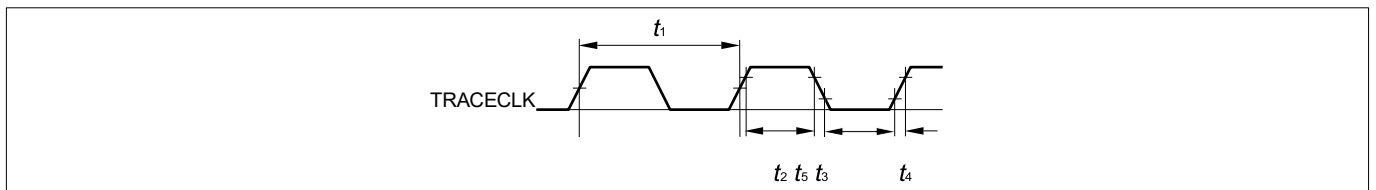


图 30 ETM 时钟时序

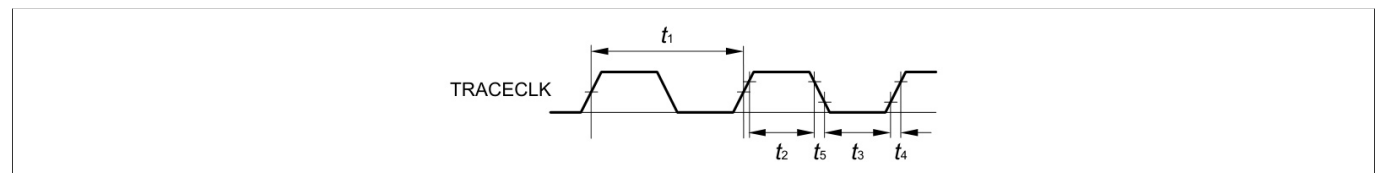


图 31 ETM 数据时序

3 Electrical Parameters

3.3.9 外设时序

3.3.9.1 Delta-Sigma 解调器数字接口时序

以下参数适用于 Delta-Sigma 解调器 (DSD) 的数字接口。

数据时序与有效时钟边沿相关。取决于所连接调制器的操作模式，可以是上升或下降时钟沿。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 42 DSD 接口时序参数

Parameter	Symbol	Values			Unit	Note/Tests Condition
		Min.	Typ.	Max.		
MCLK period in master mode	t_1 CC	33.3	-	-	ns	$t_1 \geq 4 \times t_{PERIPH}$ ¹⁾
MCLK high time in master mode	t_2 CC	9	-	-	ns	$t_2 > t_{PERIPH}$ ¹⁾
MCLK low time in master mode	t_3 CC	9	-	-	ns	$t_3 > t_{PERIPH}$ ¹⁾
MCLK period in slave mode	t_1 SR	33.3	-	-	ns	$t_1 \geq 4 \times t_{PERIPH}$ ¹⁾
MCLK high time in slave mode	t_2 SR	t_{PERIPH}	-	-	ns	¹⁾
MCLK low time in slave mode	t_3 SR	t_{PERIPH}	-	-	ns	¹⁾
DIN input setup time to the active clock edge	t_4 SR	$t_{PERIPH} + 4$	-	-	ns	¹⁾
DIN input hold time from the active clock edge	t_5 SR	$t_{PERIPH} + 3$	-	-	ns	¹⁾

1) $t_{PERIPH} = 1 / f_{PERIPH}$

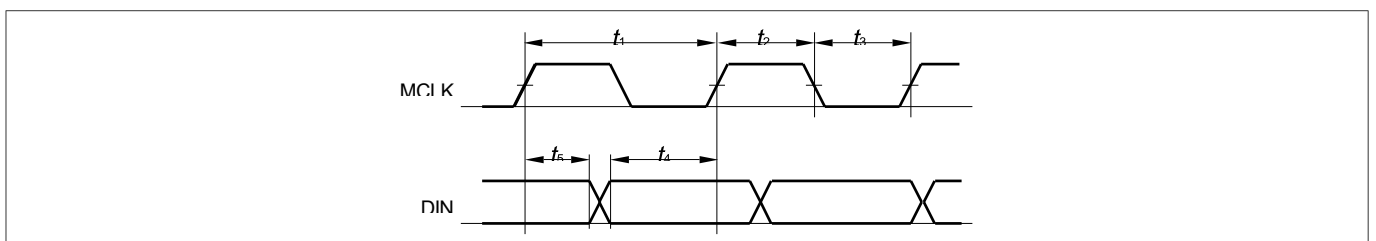


图 32 DSD 数据时序

3 Electrical Parameters

3.3.9.2 同步串行接口 (USIC SSC) 时序

以下参数适用于以 SSC 模式运行的 USIC 通道。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 43 USIC SSC 主模式时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
SCLKOUT master clock period	$t_{CLK\ CC}$	33.3	–	–	ns	
Slave select output SELO active to first SCLKOUT transmit edge	$t_1\ CC$	$t_{PB} - 6.5^{1)}$	–	–	ns	
Slave select output SELO inactive after last SCLKOUT receive edge	$t_2\ CC$	$t_{PB} - 8.5^{1)}$	–	–	ns	
Data output DOUT[3:0] valid time	$t_3\ CC$	-6	–	8	ns	
Receive data input DX0/DX[5:3] setup time to SCLKOUT receive edge	$t_4\ SR$	23	–	–	ns	
Data input DX0/DX[5:3] hold time from SCLKOUT receive edge	$t_5\ SR$	1	–	–	ns	

1) $t_{PB} = 1 / f_{PB}$

3 Electrical Parameters

表 44 USIC SSC 从机模式时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
DX1 slave clock period	t_{CLK} SR	66.6	–	–	ns	
Select input DX2 setup to first clock input DX1 transmit edge ¹⁾	t_{10} SR	3	–	–	ns	
Select input DX2 hold after last clock input DX1 receive edge ¹⁾	t_{11} SR	4	–	–	ns	
Receive data input DX0/ DX[5:3] setup time to shift clock receive edge ¹⁾	t_{12} SR	6	–	–	ns	
Data input DX0/DX[5:3] hold time from clock input DX1 receive edge ¹⁾	t_{13} SR	4	–	–	ns	
Data output DOUT[3:0] valid time	t_{14} CC	0	–	24	ns	

¹⁾该输入时序对于从机选择输入、移位时钟输入和接收数据输入（位 DXnCR.DSEN = 0）的异步输入信号处理有效。

3 Electrical Parameters

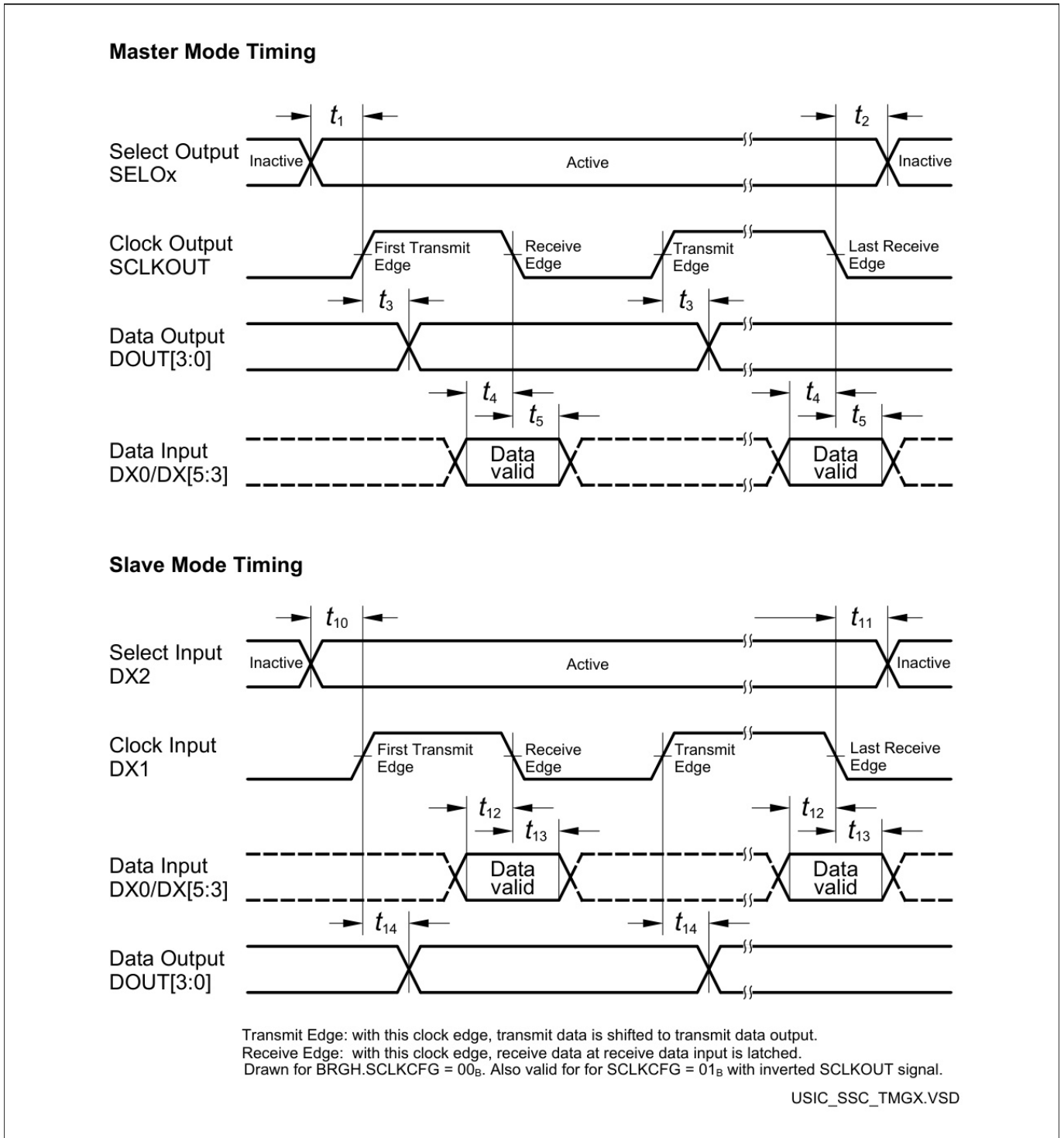


图 33 USIC - SSC 主/从模式时序

注： 该时序图显示了标准配置，其中从机选择信号为低电平有效，并且串行时钟信号不移位也不反转。

3 Electrical Parameters

3.3.9.3 Inter-IC (IIC) 接口时序

以下参数适用于以 IIC 模式运行的 USIC 通道。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 45 USIC IIC 标准模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Fall time of both SDA and SCL	t_1 CC/SR	–	–	300	ns	
Rise time of both SDA and SCL	t_2 CC/SR	–	–	1000	ns	
Data hold time	t_3 CC/SR	0	–	–	μs	
Data set-up time	t_4 CC/SR	250	–	–	ns	
LOW period of SCL clock	t_5 CC/SR	4.7	–	–	μs	
HIGH period of SCL clock	t_6 CC/SR	4.0	–	–	μs	
Hold time for (repeated) START condition	t_7 CC/SR	4.0	–	–	μs	
Set-up time for repeated START condition	t_8 CC/SR	4.7	–	–	μs	
Set-up time for STOP condition	t_9 CC/SR	4.0	–	–	μs	
Bus free time between a STOP and START condition	t_{10} CC/SR	4.7	–	–	μs	
Capacitive load for each bus line	C_b SR	–	–	400	pF	

1) 由于 IIC 总线系统采用线与结构，SCL 和 SDA 信号线的端口驱动器需要工作在开漏模式。这些线路上的高电平必须由外部上拉装置保持，在 100 kbit/s 的速率下运行时大约为 10 kΩ，在 400 kbit/s 的速率下运行时大约为 2 kΩ。

表 46 USIC IIC 快速模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Fall time of both SDA and SCL	t_1 CC/SR	$20 + 0.1 \cdot C_b^{2)}$	–	300	ns	
Rise time of both SDA and SCL	t_2 CC/SR	$20 + 0.1 \cdot C_b^{2)}$	–	300	ns	
Data hold time	t_3 CC/SR	0	–	–	μs	
Data set-up time	t_4 CC/SR	100	–	–	ns	
LOW period of SCL clock	t_5 CC/SR	1.3	–	–	μs	
HIGH period of SCL clock	t_6 CC/SR	0.6	–	–	μs	
Hold time for (repeated) START condition	t_7 CC/SR	0.6	–	–	μs	

(表格续下页.....)

3 Electrical Parameters

表 46(续) USIC IIC 快速模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Set-up time for repeated START condition	t_8 CC/SR	0.6	-	-	μ s	
Set-up time for STOP condition	t_9 CC/SR	0.6	-	-	μ s	
Bus free time between a STOP and START condition	t_{10} CC/SR	1.3	-	-	μ s	
Capacitive load for each bus line	C_b SR	-	-	400	pF	

- 1) 由于IIC总线系统采用线与结构，SCL和SDA信号线的端口驱动器需要工作在开漏模式。这些线路上的高电平必须由外部上拉装置保持，在 100 kbit/s 的速率下运行时大约为 10 kOhm，在 400 kbit/s 的速率下运行时大约为 2 kOhm。
- 2) C_b 表示一条总线的总电容，单位为 pF。

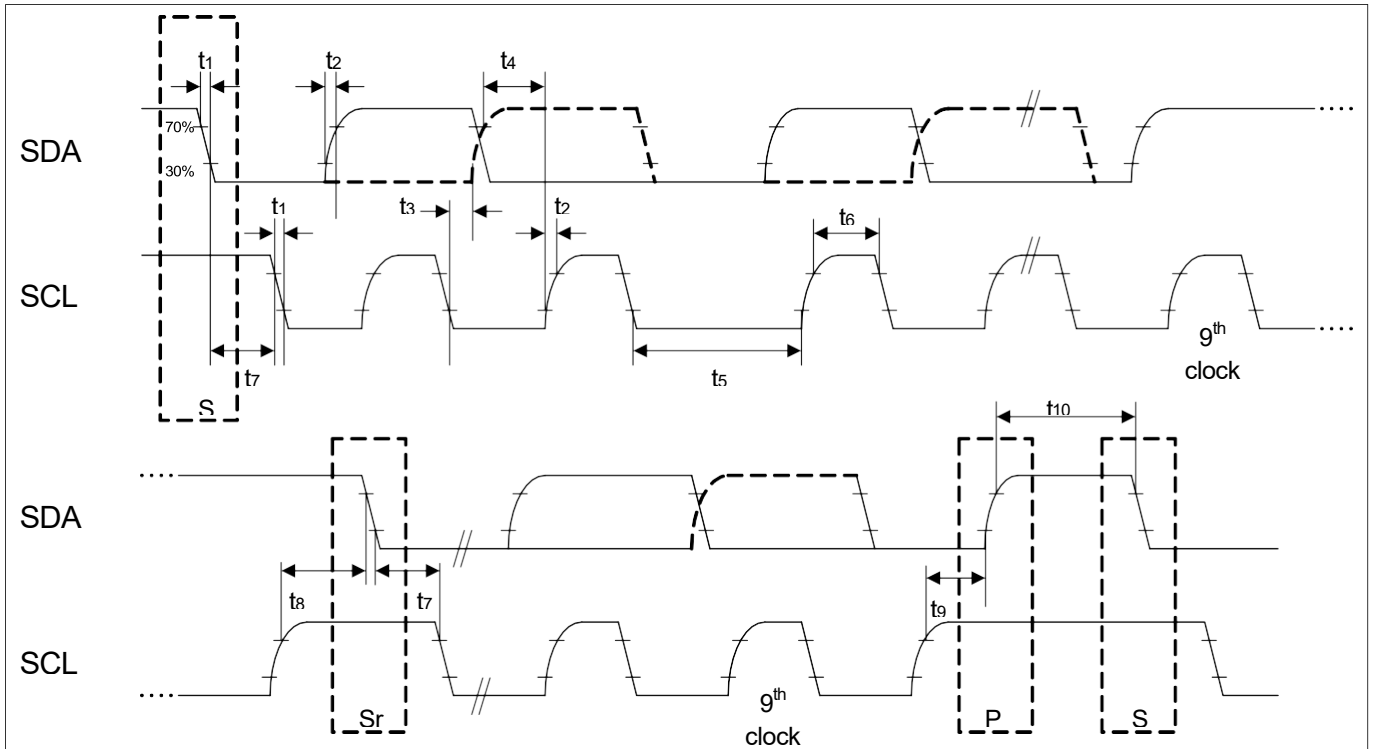


图 34 USIC IIC标准和快速模式时序

3 Electrical Parameters

3.3.9.4 Inter-IC Sound (IIS) 接口时序

以下参数适用于以IIS模式运行的USIC通道。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 47 USIC IIS 主机发送器时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Clock period	t_1 CC	33.3	-	-	ns	
Clock high time	t_2 CC	$0.35 \times t_{1min}$	-	-	ns	
Clock low time	t_3 CC	$0.35 \times t_{1min}$	-	-	ns	
Hold time	t_4 CC	0	-	-	ns	
Clock rise time	t_5 CC	-	-	$0.15 \times t_{1min}$	ns	

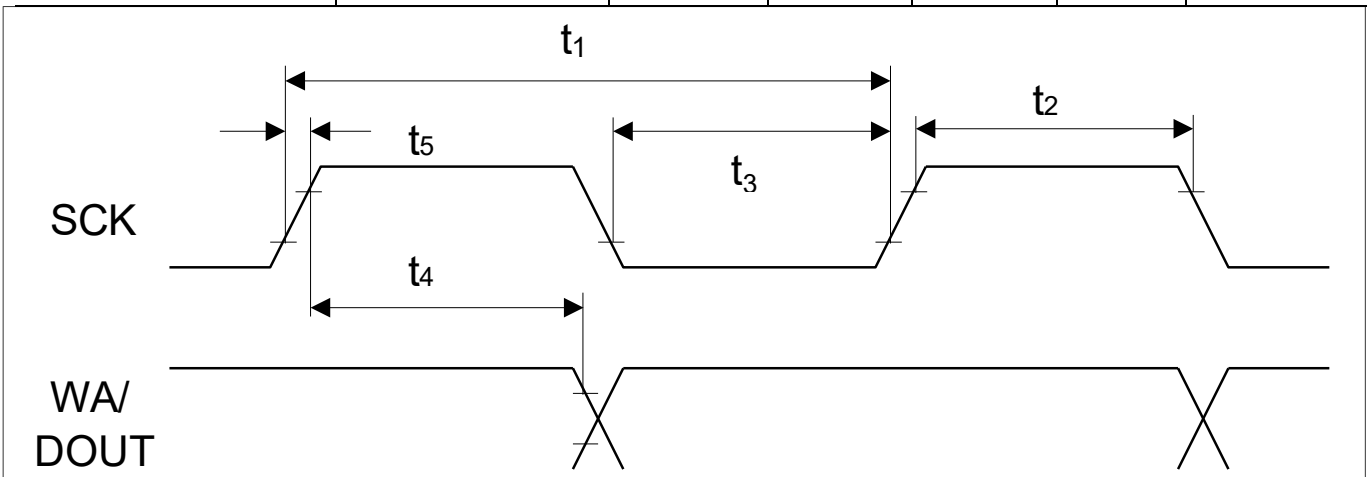


图 35 USIC IIS 主机发送器时序

表 48 USIC IIS 从机接收器时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Clock period	t_6 SR	66.6	-	-	ns	
Clock high time	t_7 SR	$0.35 \times t_{6min}$	-	-	ns	
Clock low time	t_8 SR	$0.35 \times t_{6min}$	-	-	ns	
Set-up time	t_9 SR	$0.2 \times t_{6min}$	-	-	ns	
Hold time	t_{10} SR	0	-	-	ns	

3 Electrical Parameters

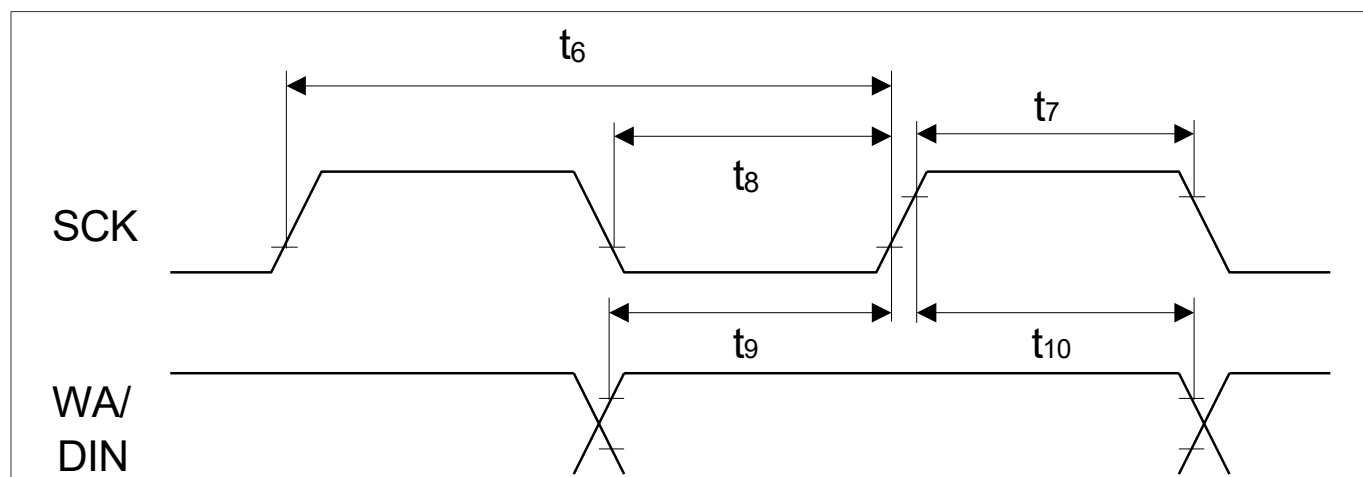


图 36 USIC IIS 从机接收器时序

3 Electrical Parameters

3.3.9.5 SDMMC 接口时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件，总外部电容负载 $C_L = 40 \text{ pF}$ 。

AC 时序规格（全速模式）

表 49 全速模式的 SDMMC 时序

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Clock frequency in full speed transfer mode (1/ t_{pp})	$f_{pp \text{ CC}}$	0	24	MHz	
Clock cycle in full speed transfer mode	$t_{pp \text{ CC}}$	40	–	ns	
Clock low time	$t_{WL \text{ CC}}$	10	–	ns	
Clock high time	$t_{WH \text{ CC}}$	10	–	ns	
Clock rise time	$t_{TLH \text{ CC}}$	–	10	ns	
Clock fall time	$t_{THL \text{ CC}}$	–	10	ns	
Inputs setup to clock rising edge	$t_{ISU_F \text{ SR}}$	2	–	ns	
Inputs hold after clock rising edge	$t_{IH_F \text{ SR}}$	2	–	ns	
Outputs valid time in full speed mode	$t_{ODLY_F \text{ CC}}$	–	10	ns	
Outputs hold time in full speed mode	$t_{OH_F \text{ CC}}$	0	–	ns	

表 50 全速模式下的 SD 卡总线时序¹⁾

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
SD card input setup time	t_{ISU}	5	–	ns	
SD card input hold time	t_{IH}	5	–	ns	
SD card output valid time	t_{ODLY}	–	14	ns	
SD card output hold time	t_{OH}	0	–	ns	

¹⁾计算示例的参考卡时序值。未经过生产测试且未进行特性验证。

3 Electrical Parameters

全速输出路径（写入）

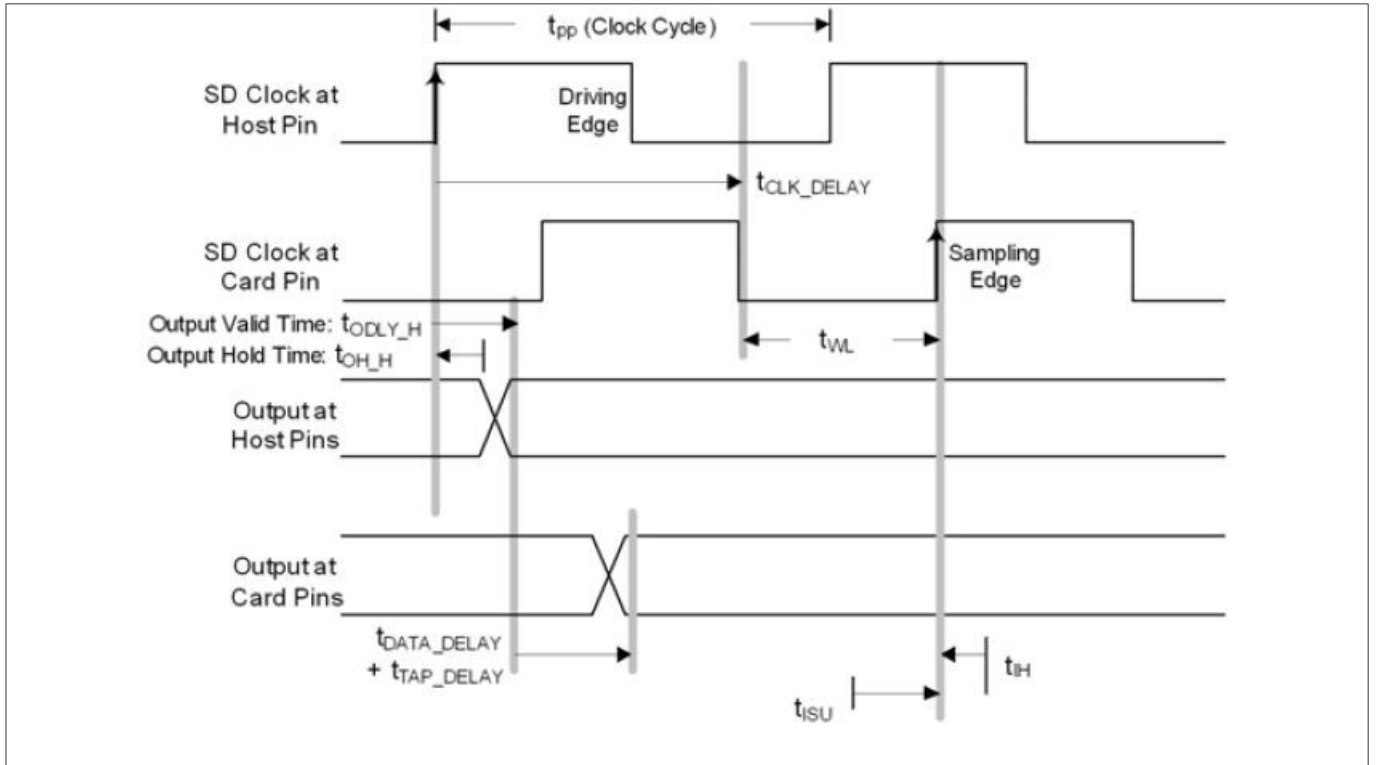


图 37 全速输出路径

满足全速写入设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

无时钟延迟：

$$t_{ODLY_F} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} \tag{1}$$

有时钟延迟：

$$t_{ODLY_F} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} + t_{CLK_DELAY} \tag{2}$$

$$\begin{aligned}
 t_{DATA_DELAY} + t_{TAP_DELAY} + t_{WL} &< t_{PP} + t_{CLK_DELAY} - t_{ISU} - \\
 t_{ODLY_F} \quad t_{DATA_DELAY} + t_{TAP_DELAY} + 20 &< 40 + t_{CLK_DELAY} - 5 - \\
 10 \quad t_{DATA_DELAY} &< 5 + t_{CLK_DELAY} - t_{TAP_DELAY}
 \end{aligned} \tag{3}$$

在 $t_{WL} = 20 \text{ ns}$ 的理想情况下，数据相对于时钟最多可延迟 5 ns。

3 Electrical Parameters

满足全速写入保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

$$\begin{aligned}
 t_{CLK_DELAY} &< t_{WL} + t_{OH_F} + t_{DATA_DELAY} + t_{TAP_DELAY} \\
 t_{CLK_DELAY} &< 20 + t_{DATA_DELAY} + t_{TAP_DELAY} \\
 t_{DATA_DELAY} &< 15 + t_{CLK_DELAY} + t_{TAP_DELAY}
 \end{aligned}
 \tag{4}$$

在 $t_{WL} = 20\text{ ns}$ 的理想情况下，时钟相对于数据最多可以延迟 18.2 ns（外部延迟线），最大可编程 $t_{TAP_DELAY} = 3.2\text{ ns}$ 。

全速输入路径（读取）

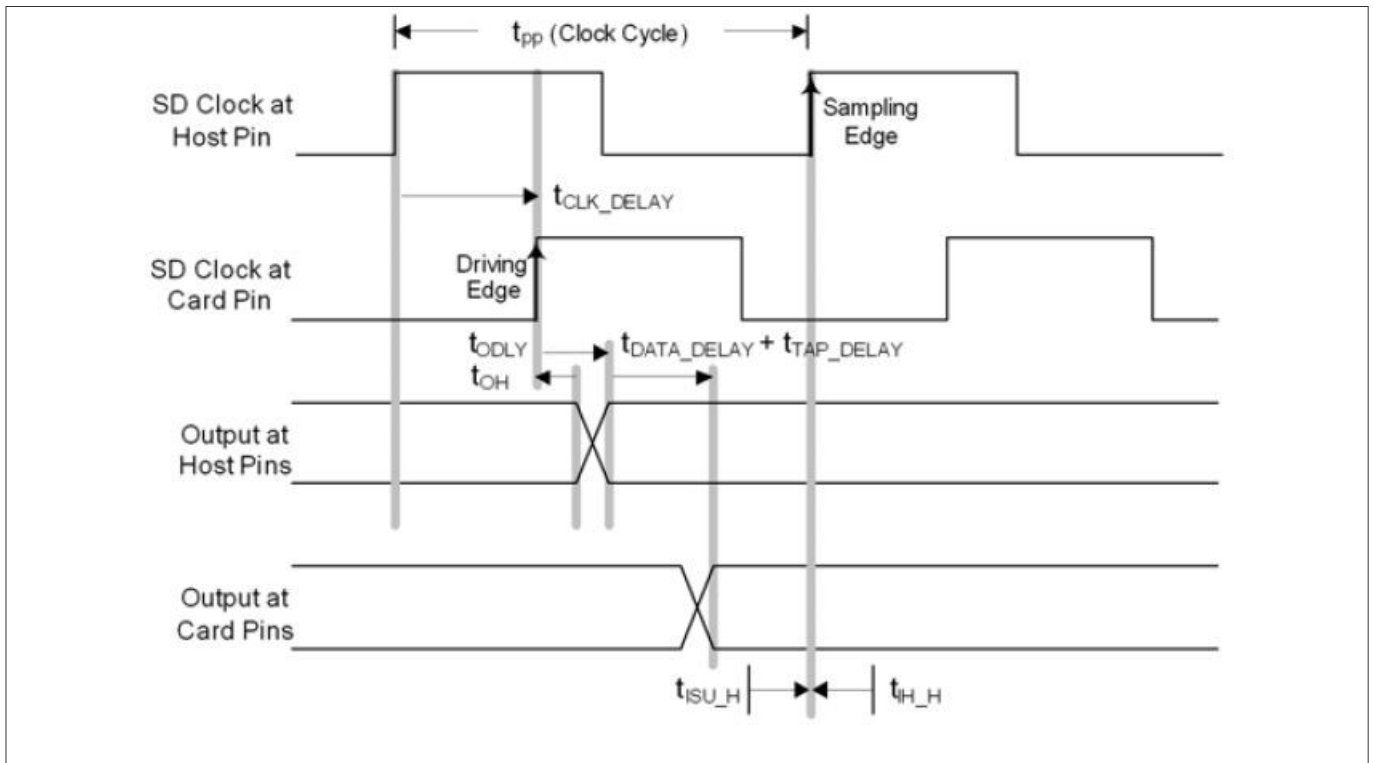


图 38 全速输入路径

满足全速读取设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned}
 t_{CLK_DELAY} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ODLY} + t_{ISU_F} &< 0.5 \times t_{pp} \\
 t_{CLK_DELAY} + t_{DATA_DELAY} &< 0.5 \times t_{pp} - t_{ODLY} - t_{ISU_F} - t_{TAP_DELAY} \\
 t_{CLK_DELAY} + t_{DATA_DELAY} &< 20 - 14 - 2 - t_{TAP_DELAY} \\
 t_{CLK_DELAY} + t_{DATA_DELAY} &< 4 - t_{TAP_DELAY}
 \end{aligned}
 \tag{5}$$

对于 40 ns 时钟周期，数据 + 时钟延迟最多 4 ns。

3 Electrical Parameters

满足全速读取保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned}
 t_{\text{CLK_DELAY}} + t_{\text{OH}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} &> t_{\text{IH_F}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> t_{\text{IH_F}} - t_{\text{OH}} - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> 2 - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{6}$$

如果不使用 $t_{\text{TAP_DELAY}}$ ，则数据 + 时钟延迟必须大于 2 ns。

如果 $t_{\text{TAP_DELAY}}$ 被编程为至少 2 ns，则数据 + 时钟延迟必须大于 0 ns（或更小）。这个条件总要满足。

AC 时序规格（高速模式）

表 51 高速模式的 SDMMC 时序

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Clock frequency in high speed transfer mode ($1/t_{\text{pp}}$)	$f_{\text{pp CC}}$	0	48	MHz	
Clock cycle in high speed transfer mode	$t_{\text{pp CC}}$	20	–	ns	
Clock low time	$t_{\text{WL CC}}$	7	–	ns	
Clock high time	$t_{\text{WH CC}}$	7	–	ns	
Clock rise time	$t_{\text{TLH CC}}$	–	3	ns	
Clock fall time	$t_{\text{THL CC}}$	–	3	ns	
Inputs setup to clock rising edge	$t_{\text{ISU_H SR}}$	2	–	ns	
Inputs hold after clock rising edge	$t_{\text{IH_H SR}}$	2	–	ns	
Outputs valid time in high speed mode	$t_{\text{ODLY_H CC}}$	–	14	ns	
Outputs hold time in high speed mode	$t_{\text{OH_H CC}}$	2	–	ns	

表 52 SD 卡总线时序（高速模式¹⁾

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
SD card input setup time	t_{ISU}	6	–	ns	
SD card input hold time	t_{IH}	2	–	ns	
SD card output valid time	t_{ODLY}	–	14	ns	
SD card output hold time	t_{OH}	2.5	–	ns	

¹⁾计算示例的参考卡时序值。未经过生产测试且未进行特性验证。

3 Electrical Parameters

高速输出路径（写入）

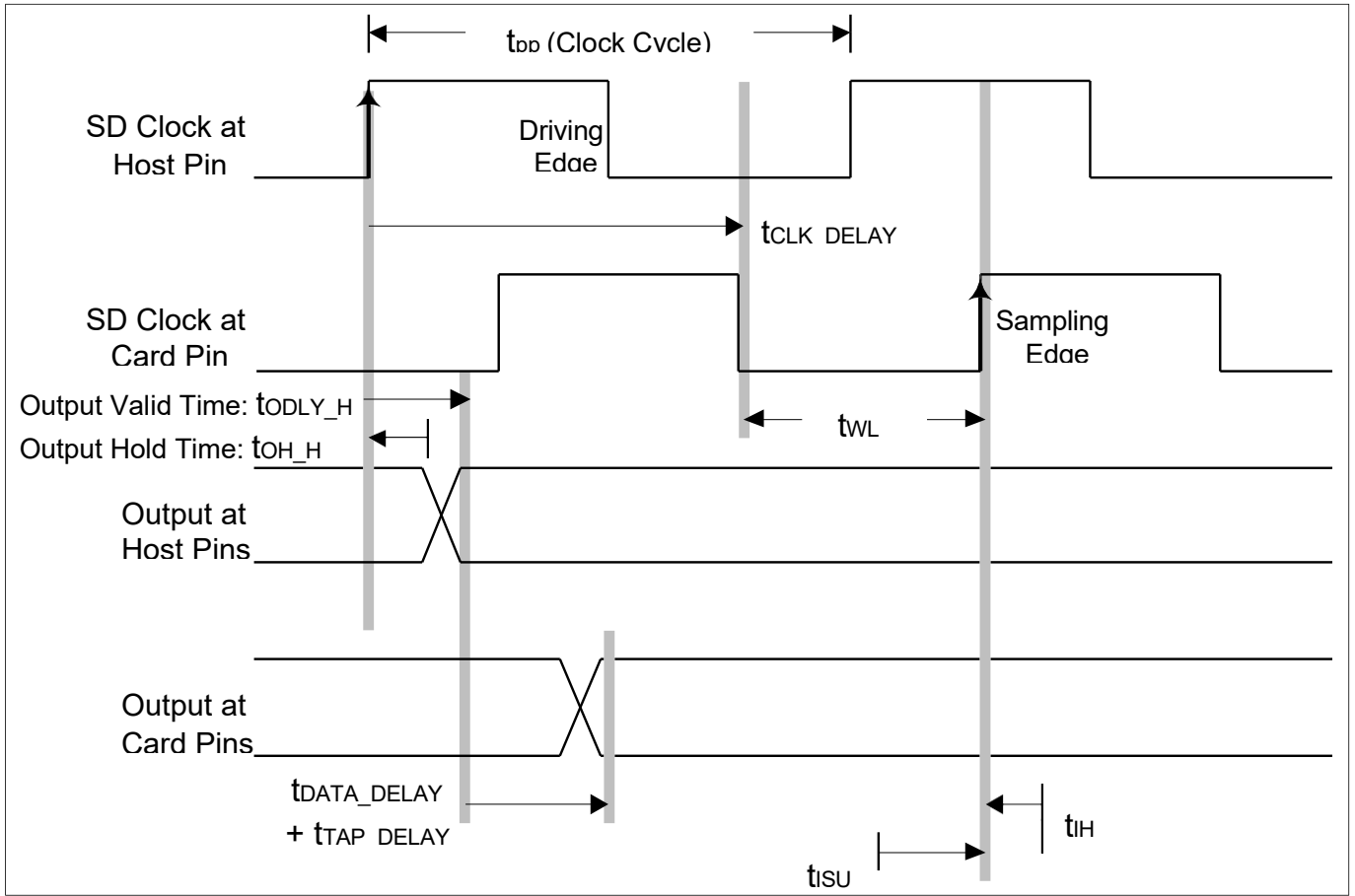


图 39 高速输出路径

满足高速写入设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

无时钟延迟：

$$t_{ODLY_H} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} \tag{7}$$

有时钟延迟：

$$t_{ODLY_H} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} + t_{CLK_DELAY} \tag{8}$$

$$\begin{aligned} t_{DATA_DELAY} + t_{TAP_DELAY} - t_{CLK_DELAY} &< t_{WL} - t_{ISU} - t_{ODLY_H} \\ t_{DATA_DELAY} - t_{CLK_DELAY} &< t_{WL} - t_{ISU} - t_{ODLY_H} - t_{TAP_DELAY} \\ t_{DATA_DELAY} - t_{CLK_DELAY} &< 10 - 6 - 14 - t_{TAP_DELAY} \\ t_{DATA_DELAY} - t_{CLK_DELAY} &< - 10 - t_{TAP_DELAY} \end{aligned} \tag{9}$$

在理想情况下 $t_{WL} = 10 \text{ ns}$ ，数据延迟比时钟延迟至少小 10 ns。

3 Electrical Parameters

满足高速写入保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

$$\begin{aligned}
 t_{CLK_DELAY} &< t_{WL} + t_{OH_H} + t_{DATA_DELAY} + t_{TAP_DELAY} - t_{IH} \\
 t_{CLK_DELAY} - t_{DATA_DELAY} &< t_{WL} + t_{OH_H} + t_{TAP_DELAY} - t_{IH} \\
 t_{CLK_DELAY} - t_{DATA_DELAY} &< 10 + 2 + t_{TAP_DELAY} - 2 \\
 t_{CLK_DELAY} - t_{DATA_DELAY} &< 10 + t_{TAP_DELAY}
 \end{aligned}
 \tag{10}$$

在 $t_{WL} = 10\text{ ns}$ 的理想情况下，时钟相对于数据最多可以延迟 13.2 ns（外部延迟线），最大可编程 $t_{TAP_DELAY} = 3.2\text{ ns}$ 。

高速输入路径（读取）

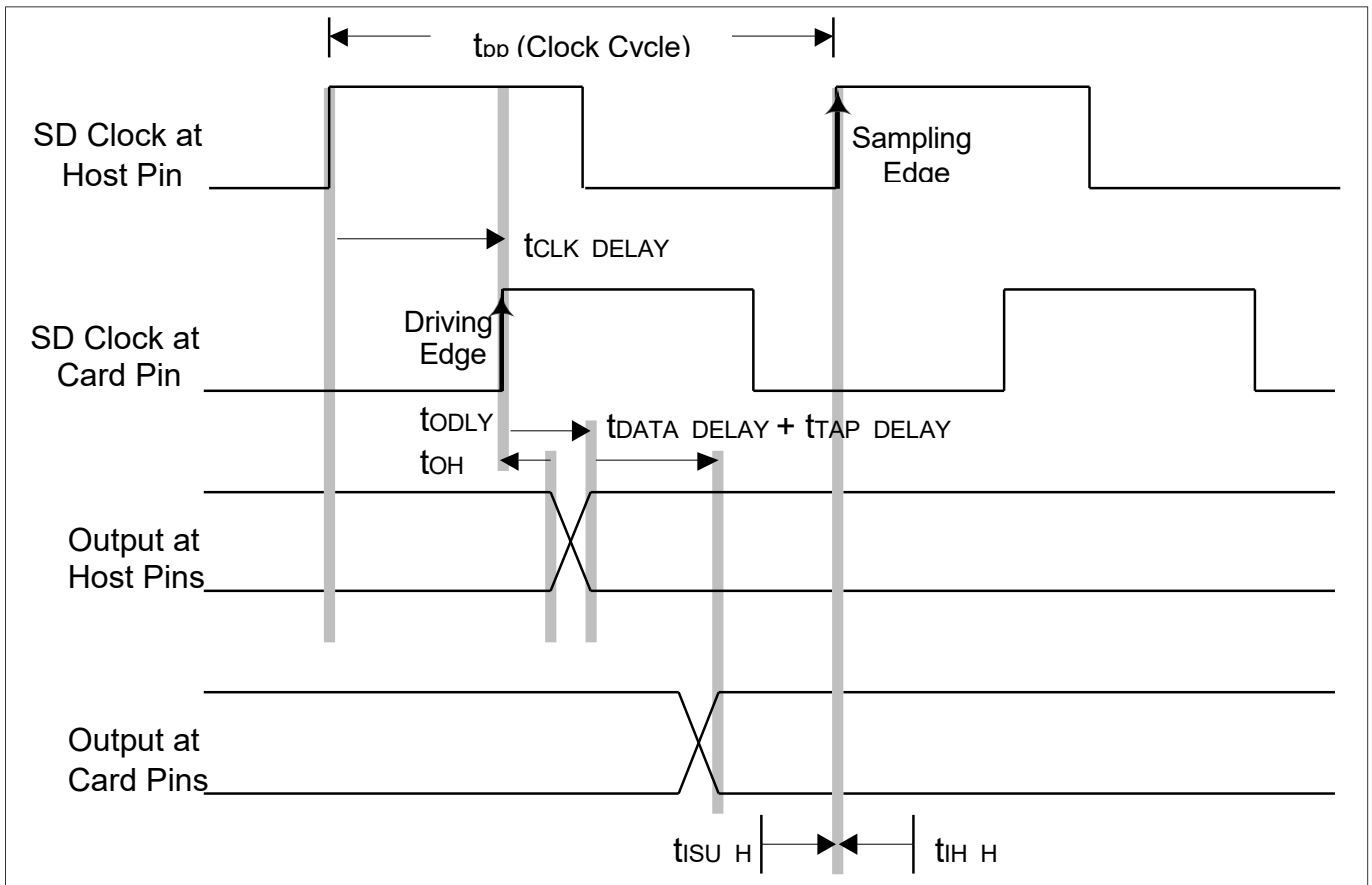


图 40 高速输入路径

3 Electrical Parameters

满足高速读取设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned}
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + t_{\text{ODLY}} + t_{\text{ISU_H}} &< t_{\text{pp}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< t_{\text{pp}} - t_{\text{ODLY}} - t_{\text{ISU_H}} - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 20 - 14 - 2 - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 4 - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{11}$$

对于 20 ns 时钟周期，数据 + 时钟延迟最多 4 ns。

满足高速读取保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned}
 t_{\text{CLK_DELAY}} + t_{\text{OH}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} &> t_{\text{IH_H}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> t_{\text{IH_H}} - t_{\text{OH}} - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> 2 - 2.5 - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> -0.5 - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{12}$$

对于 20 ns 时钟周期，数据 + 时钟延迟必须大于 -0.5 ns。这总是能够实现的。

3 Electrical Parameters

3.3.10 EBU时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件，A2 类引脚和 $C_L = 16$ pF。

3.3.10.1 EBU 异步时序

注： 对于每个时序，必须单独添加累积的PLL 抖动。

表 53 所有异步时序的通用时序参数

Parameter		Symbol	Limit Values		Unit	Edge Setting
			Min.	Max.		
Pulse width deviation from the ideal programmed width due to the A2 pad asymmetry, strong driver mode, rise delay - fall delay. $C_L = 16$ pF.	CC	t_a	-1	1.5	ns	sharp
			-2	1		medium
AD(24:16) output delay	to \overline{ADV} rising edge, multiplexed	CC	t_{13}	-5.5	2	-
AD(24:16) output delay	read/write	CC	t_{14}	-5.5	2	-

读取时间

表 54 异步读取时序，复用和解复用

Parameter		Symbol	Limit Values		Unit	
			Min.	Max.		
A(24:16) output delay	to \overline{RD} rising edge, deviation from the ideal programmed value.	CC	t_0	-2.5	2.5	ns
A(24:16) output delay		CC	t_1	-2.5	2.5	
CS rising edge		CC	t_2	-2	2.5	
ADV rising edge		CC	t_3	-1.5	4.5	
BC rising edge		CC	t_4	-2.5	2.5	
WAIT input setup		SR	t_5	12	-	
WAIT input hold		SR	t_6	0	-	
Data input setup		SR	t_7	12	-	
Data input hold		SR	t_8	0	-	
RD/ \overline{WR} output delay		CC	t_9	-2.5	1.5	

3 Electrical Parameters

多路复用读取时序

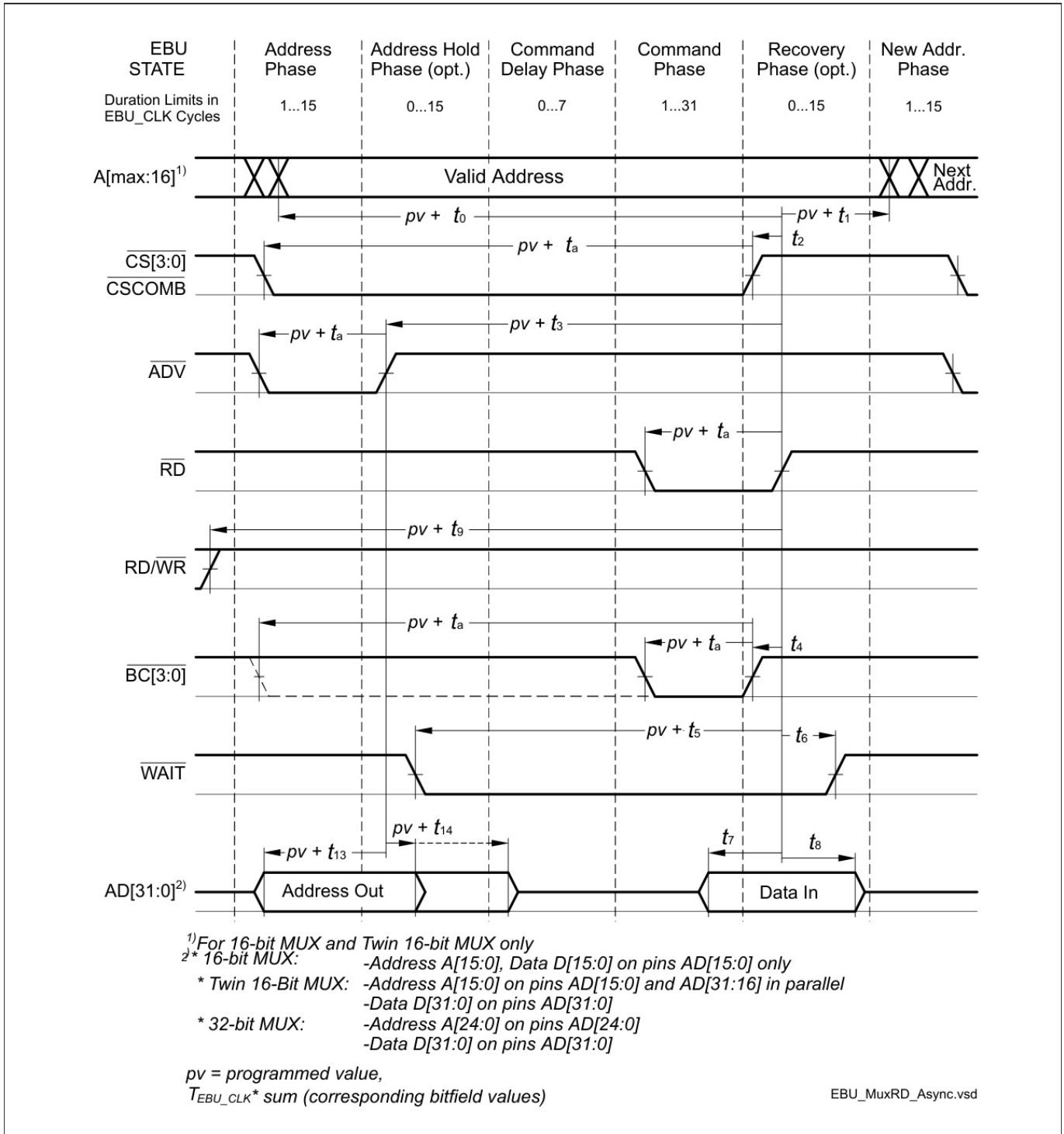


图 41 复用读取访问

3 Electrical Parameters

解复用读取时序

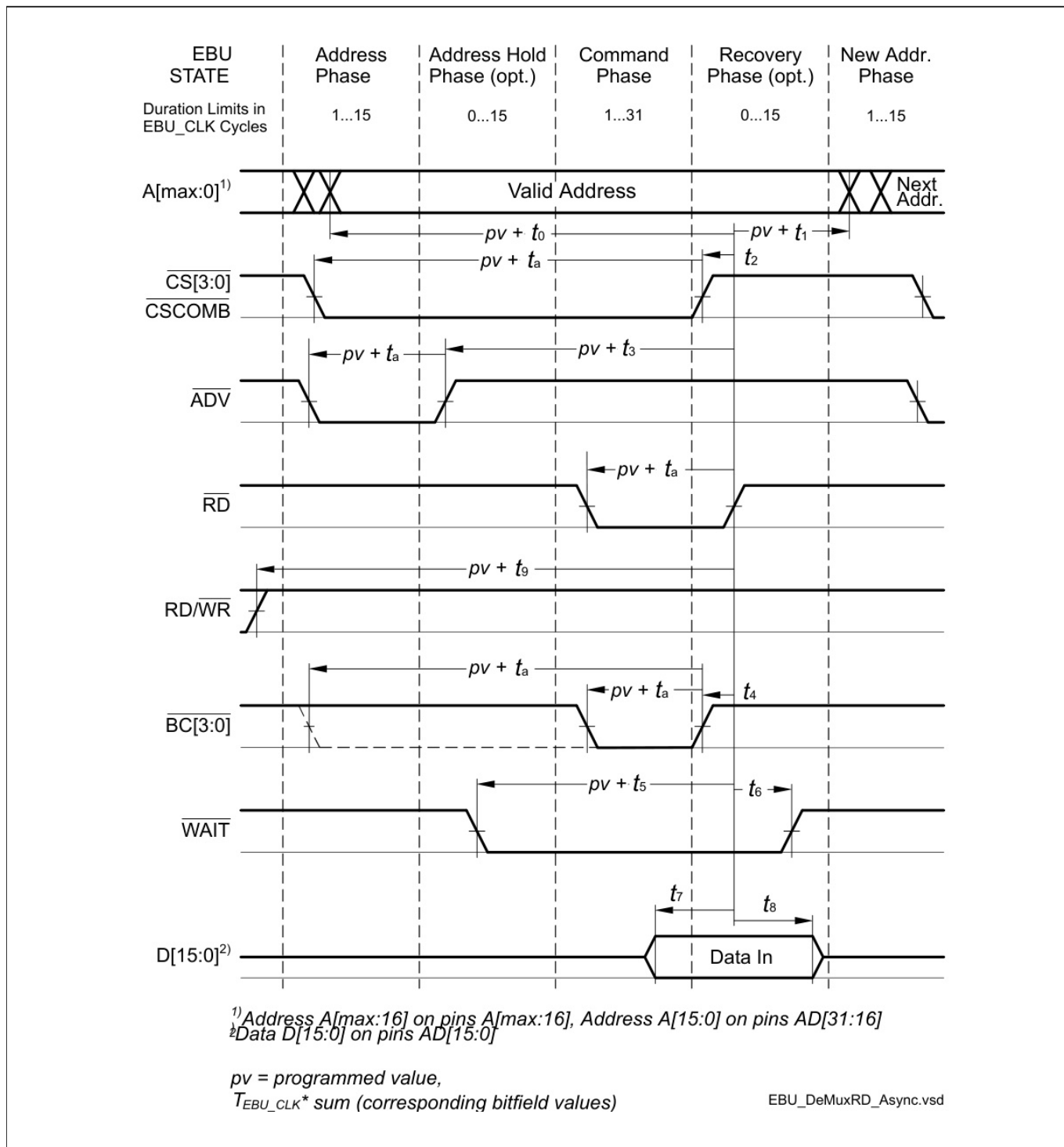


图 42 解复用读取访问

3 Electrical Parameters

写入时序

表 55 异步写时序，复用和解复用

Parameter		Symbol	Limit Values		Unit	
			Min.	Max.		
A(24:0) output delay	to $\overline{RD}/\overline{WR}$ rising edge, deviation from the ideal programmed value.	CC	t_{30}	-2.5	2.5	ns
A(24:0) output delay		CC	t_{31}	-2.5	2.5	
CS rising edge		CC	t_{32}	-2	2	
ADV rising edge		CC	t_{33}	-2	4.5	
BC rising edge		CC	t_{34}	-2.5	2	
WAIT input setup		SR	t_{35}	12	-	
WAIT input hold		SR	t_{36}	0	-	
Data output delay		CC	t_{37}	-5.5	2	
Data output delay		CC	t_{38}	-5.5	2	
$\overline{RD}/\overline{WR}$ output delay		CC	t_{39}	-2.5	1.5	

3 Electrical Parameters

多路复用写入时序

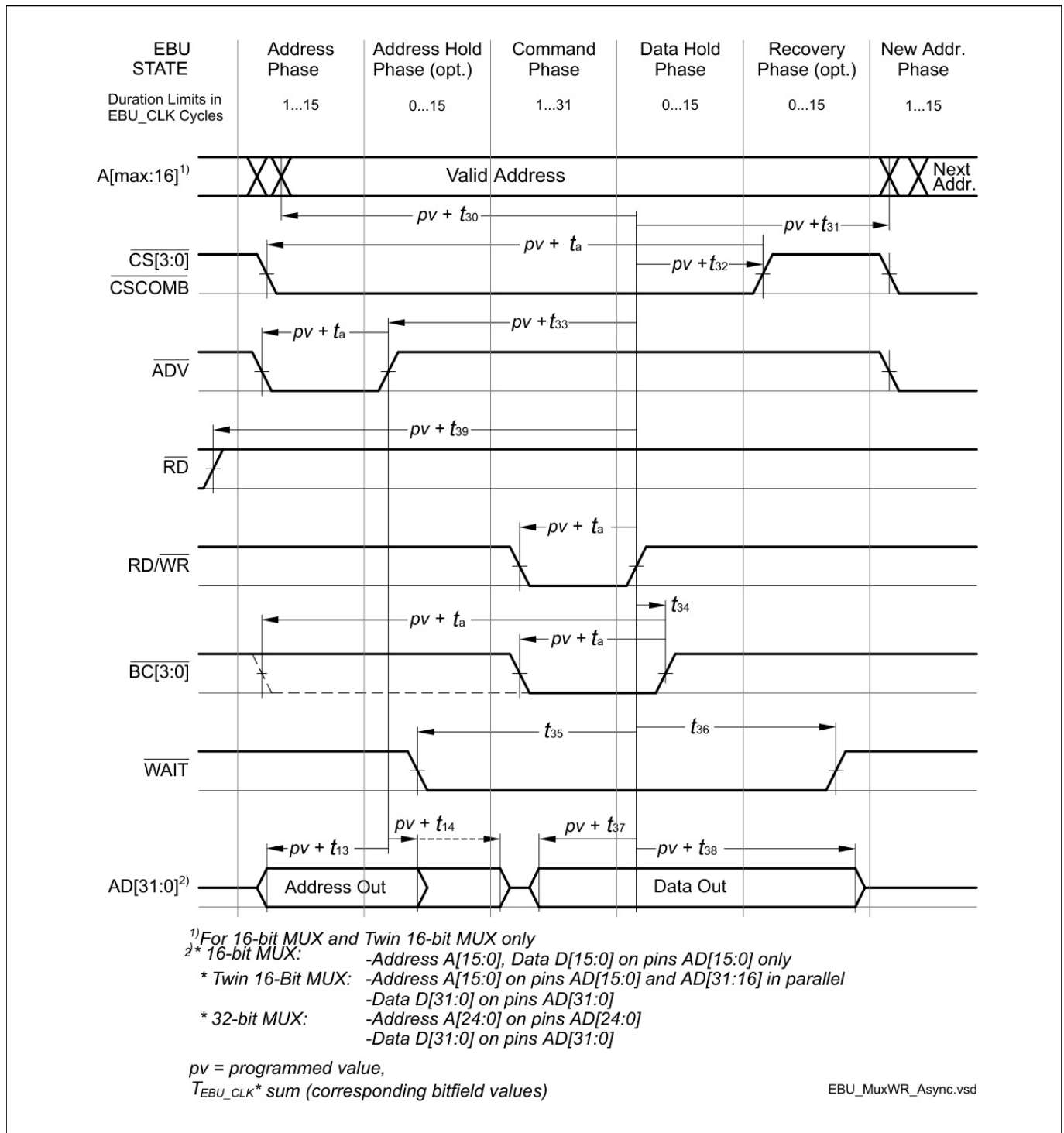


图 43 多路复用写访问

3 Electrical Parameters

解复用写入时序

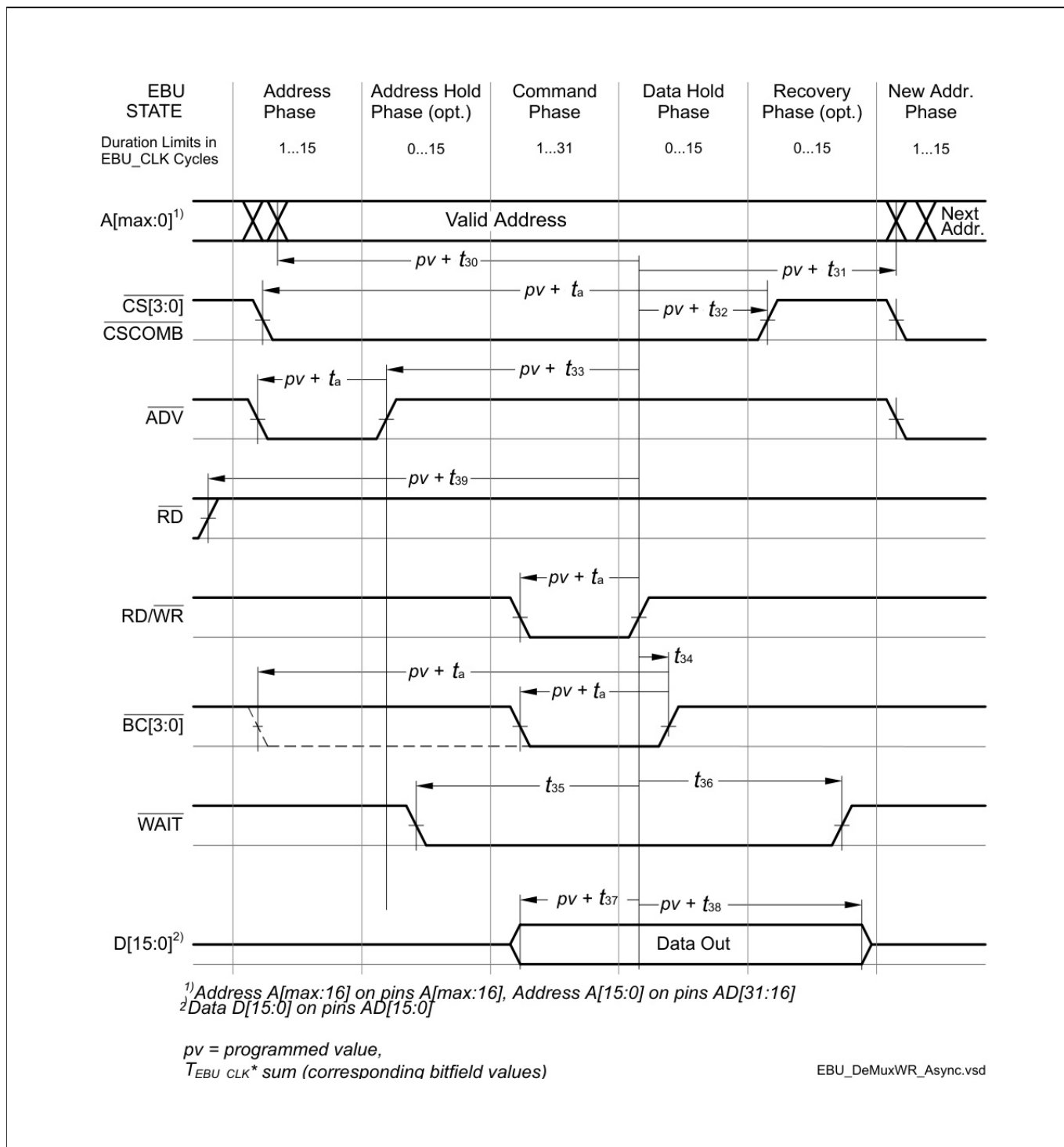


图 44 解复用写访问

3 Electrical Parameters

3.3.10.2 EBU 突发模式访问时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件，A2 类引脚和 $C_L = 16 \text{ pF}$ 。

表 56 EBU 突发模式读/写访问时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Output delay from BFCLKO rising edge	$t_{10 \text{ CC}}$	-2	-	2	ns	-
RD and RD/WR active/inactive after BFCLKO active edge ¹⁾	$t_{12 \text{ CC}}$	-2	-	2	ns	-
CSx output delay from BFCLKO active edge ¹⁾	$t_{21 \text{ CC}}$	-2.5	-	1.5	ns	-
ADV active/inactive after BFCLKO active edge ²⁾	$t_{22 \text{ CC}}$	-2	-	2	ns	-
BAA active/inactive after BFCLKO active edge ²⁾	$t_{22a \text{ CC}}$	-2.5	-	1.5	ns	-
Data setup to BFCLKI rising edge ³⁾	$t_{23 \text{ SR}}$	3	-	-	ns	-
Data hold from BFCLKI rising edge ³⁾	$t_{24 \text{ SR}}$	0	-	-	ns	-
WAIT setup (low or high) to BFCLKI rising edge ³⁾	$t_{25 \text{ SR}}$	3	-	-	ns	-
WAIT hold (low or high) from BFCLKI rising edge ³⁾	$t_{26 \text{ SR}}$	0	-	-	ns	-

1) 有效边沿可以是上升沿或下降沿，取决于位 BFCO.NEBSE/ECSE 的设置和时钟分频比。

这些参数的最小值为负意味着突发期间读取的最后数据可能已损坏。然而，当启用时钟反馈时，该值是内部总线事务不需要的过采样，因此将被丢弃。

2) 此参数对 BUSCONx.EBSE = 1 和 BUSAPx.EXTCLK = 00_B 有效。

对于 BUSCONx.EBSE = 1 和 BUSAPx.EXTCLK 的其他值，ADV 和 BAA 将延迟内部总线时钟周期 $T_{\text{CPU}} = 1/f_{\text{CPU}}$ 的 1/2。

对于 BUSCONx.EBSE = 0 和 BUSAPx.EXTCLK = 11_B，添加 2 个内部总线时钟周期。

对于 BUSCONx.EBSE = 0 且 BUSAPx.EXTCLK 为其他值，增加 1 个内部总线时钟周期。

3) 如果未启用时钟反馈，则输入信号将使用内部时钟以与异步访问相同的方式锁存。因此，异步时序中的 t_5 、 t_6 、 t_7 和 t_8 适用。

3 Electrical Parameters

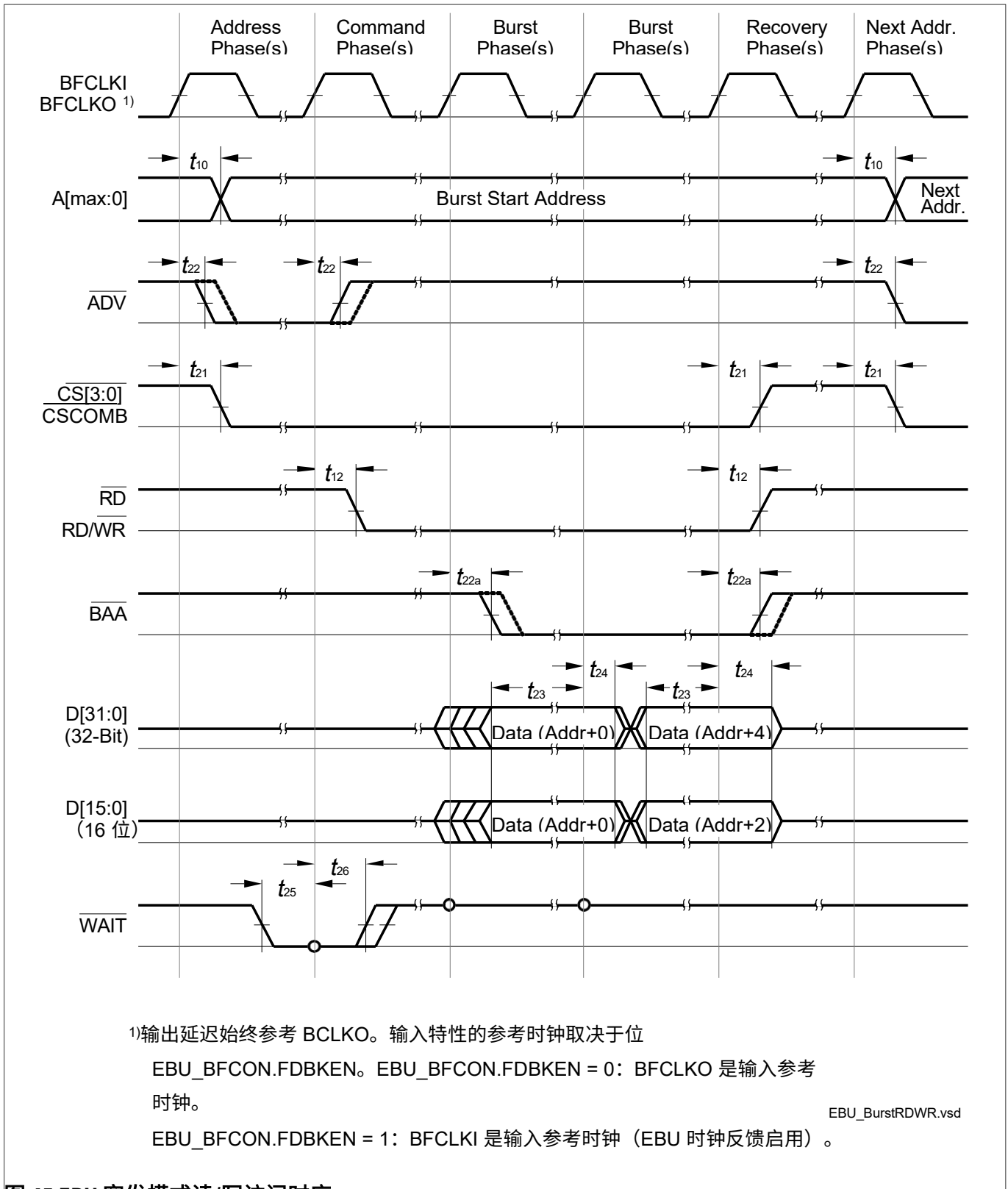


图 45 EBU 突发模式读/写访问时序

3 Electrical Parameters

3.3.10.3 EBU 仲裁信号时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用操作条件。

表 57 EBU仲裁信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Output delay from BFCLKO rising edge	t_1 CC	-	-	16	ns	$C_L = 50$ pF
Data setup to BFCLKO falling edge	t_2 SR	11	-	-	ns	-
Data hold from BFCLKO falling edge	t_3 SR	2	-	-	ns	-

3 Electrical Parameters

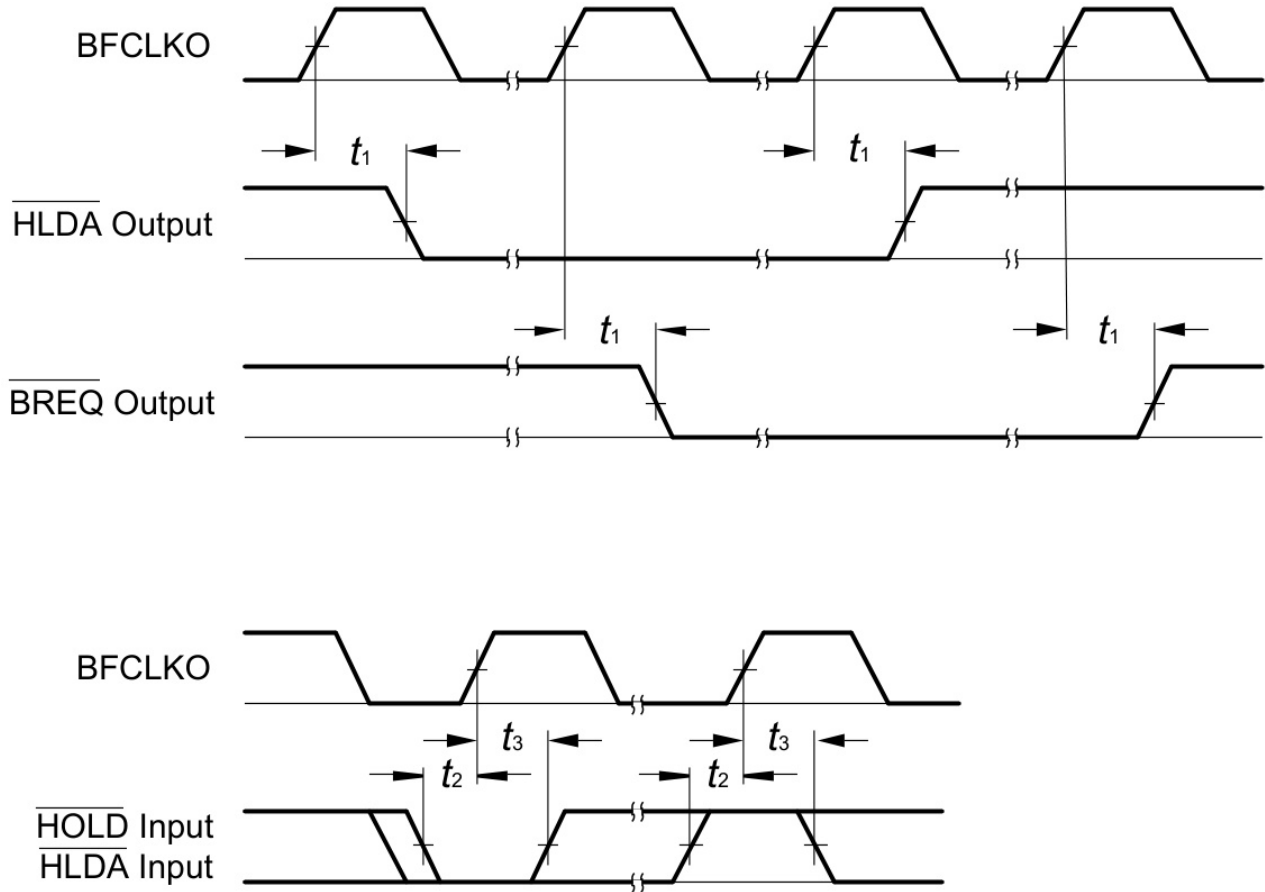


图46 EBU仲裁信号时序

3 Electrical Parameters

3.3.10.4 EBU SDRAM 访问时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件，A2 类引脚和 $C_L = 16 \text{ pF}$ 。

表 58 EBU SDRAM 访问 SDCLKO 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
SDCLKO period	t_1 CC	12.5	-	-	ns	-
SDCLKO high time	t_2 SR	5.5	-	-	ns	-
SDCLKO low time	t_3 SR	3.75	-	-	ns	-
SDCLKO rise time	t_4 SR	-	-	3.0	ns	-
SDCLKO fall time	t_5 SR	-	-	3.0	ns	-

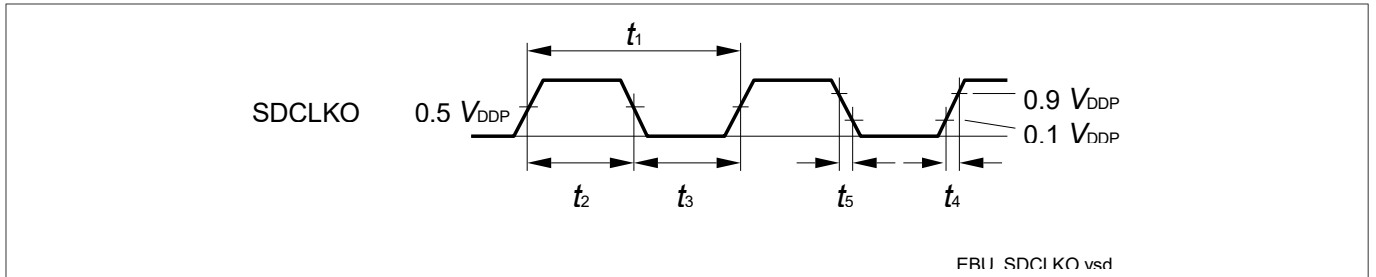


图 47 EBU SDRAM 访问 CLKOUT 时序

3 Electrical Parameters

表 59 EBU SDRAM 访问信号时序参数

Parameter		Symbol	Limit Values		Unit	
			Min.	Max.		
A(15:0) output valid	from SDCLKO low-to-high transition	CC	t_6	-	9	ns
A(15:0) output hold		CC	t_7	3	-	
CS(3:0) low		CC	t_8	-	9	
CS(3:0) high		CC	t_9	3	-	
RAS low		CC	t_{10}	-	9	
RAS high		SR	t_{11}	3	-	
CAS low		SR	t_{12}	-	9	
CAS high		CC	t_{13}	3	-	
RD/ $\overline{\text{WR}}$ low		CC	t_{14}	-	9	
RD/ $\overline{\text{WR}}$ high		CC	t_{15}	3	-	
BC(3:0) low		CC	t_{16}	-	9	
BC(3:0) high		CC	t_{17}	3	-	
D(15:0) output valid		CC	t_{18}	-	9	
D(15:0) output hold		CC	t_{19}	3	-	
CKE output valid ¹⁾		CC	t_{22}	-	7	
CKE output hold ¹⁾		CC	t_{23}	2	-	
D(15:0) input hold		SR	t_{21}	3	-	
D(15:0) input setup to SDCLKO low-to-high transition		SR	t_{20}	4	-	

1) 下面的读写访问时序图中未描述。

3 Electrical Parameters

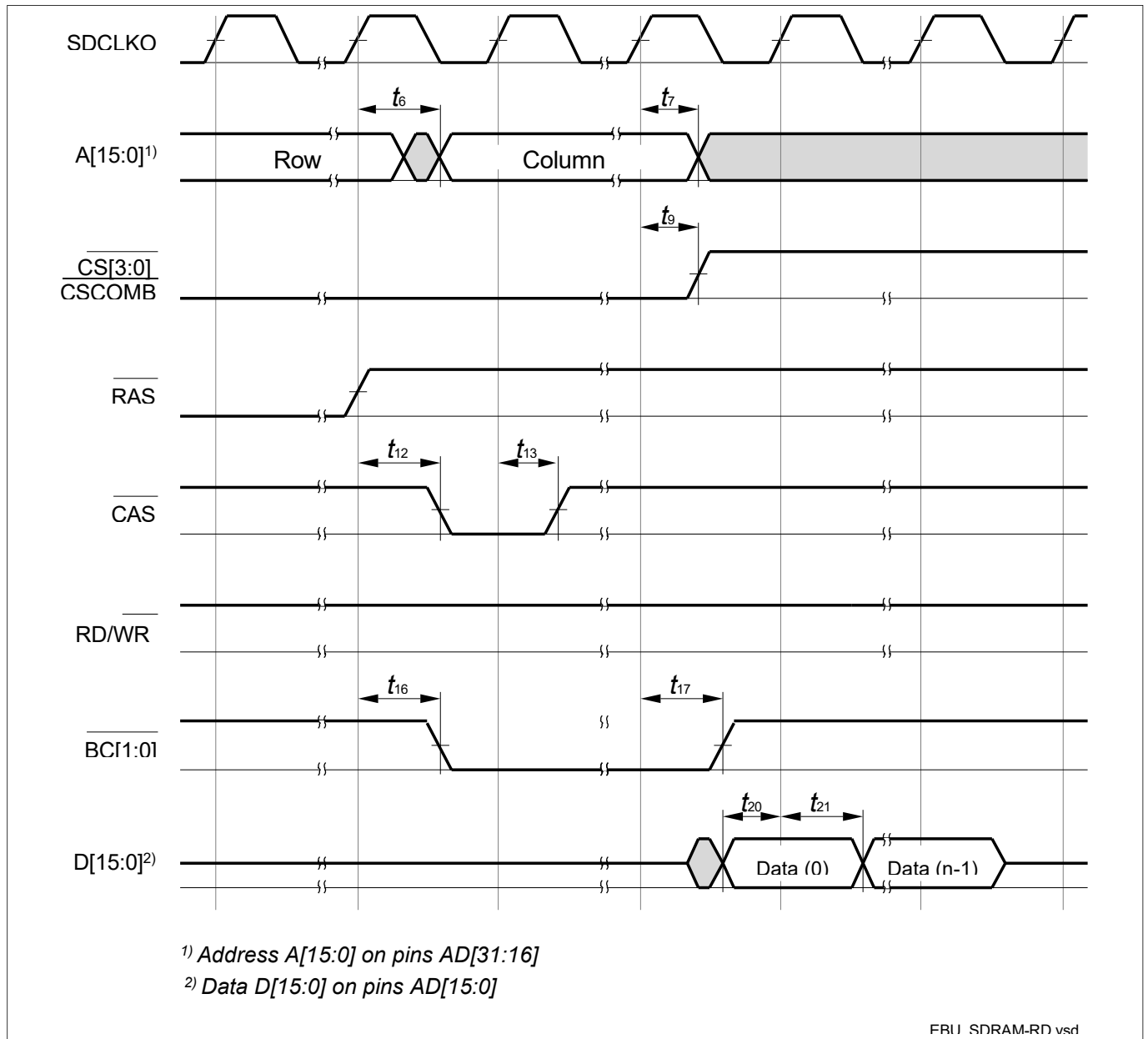


图 48 EBU SDRAM 读访问时序

3 Electrical Parameters

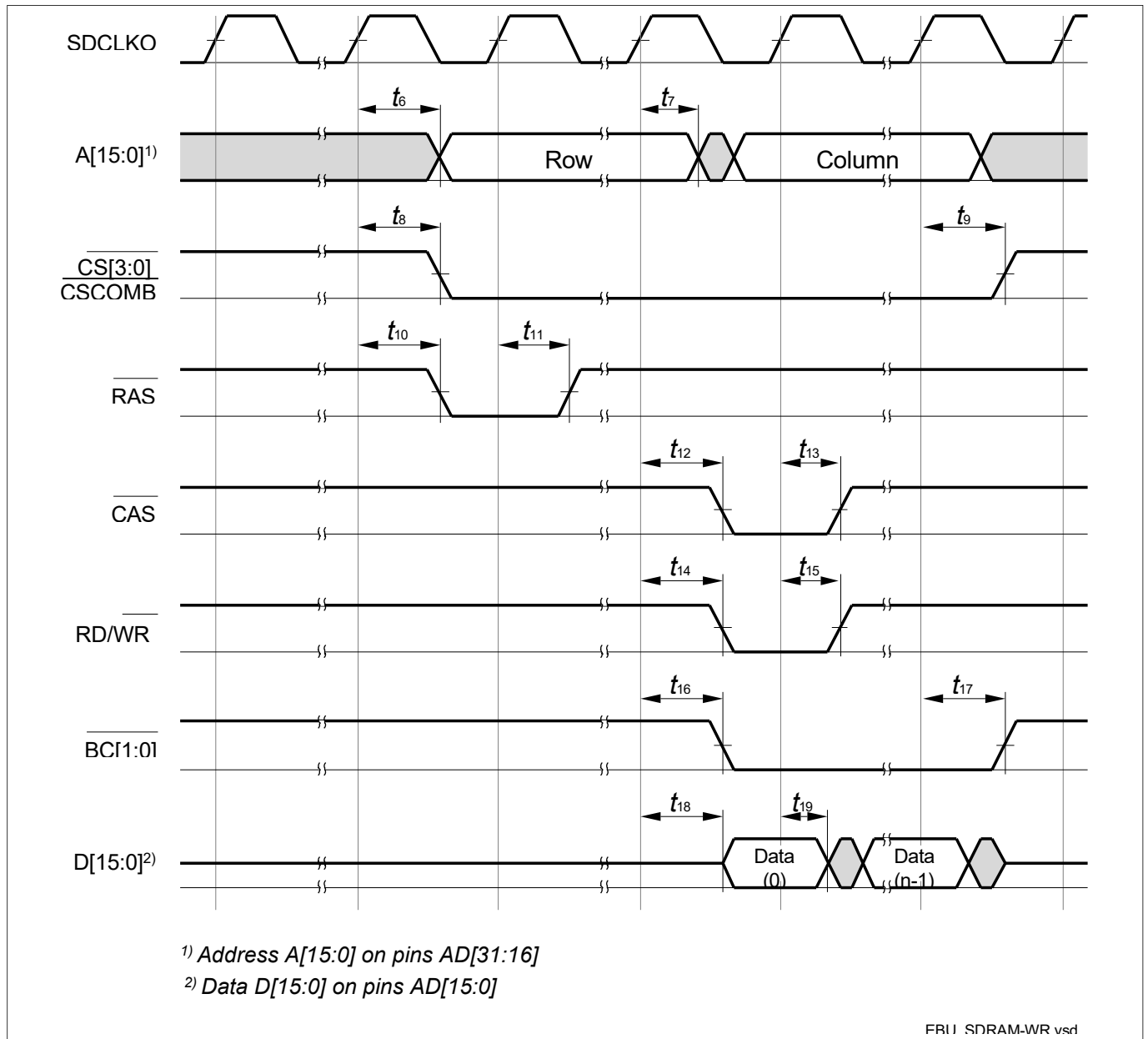


图 49 EBU SDRAM 写访问时序

3 Electrical Parameters

3.3.11 USB 接口特性

通用串行总线 (USB) 接口符合 USB Rev. 2.0 规范和 OTG 规范 Rev. 1.3。不支持高速模式。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 60 USB 时序参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Rise time	t_R CC	4	-	20	ns	$C_L = 50$ pF
Fall time	t_F CC	4	-	20	ns	$C_L = 50$ pF
Rise/Fall time matching	t_R/t_F CC	90	-	111.11	%	$C_L = 50$ pF
Crossover voltage	V_{CRS} CC	1.3	-	2.0	V	$C_L = 50$ pF

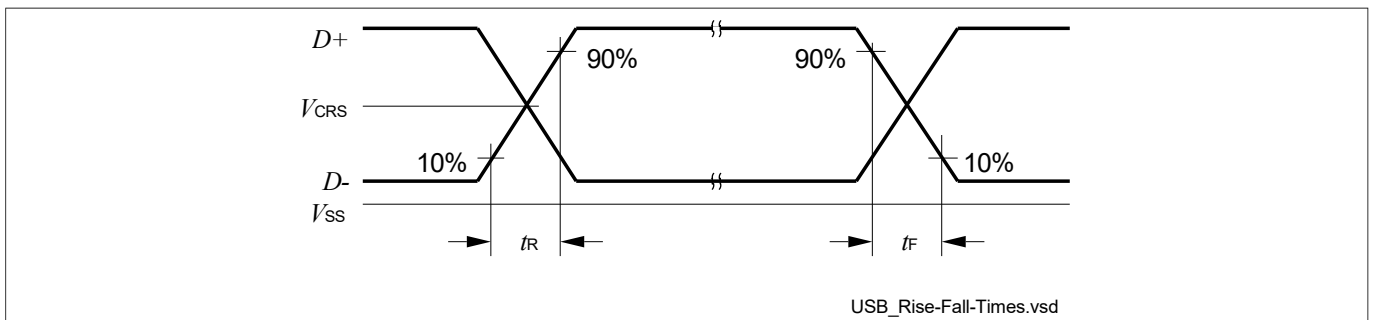


图 50 USB 信号时序

3.3.12 以太网接口 (ETH) 特性

为了以太网接口正常运行，要求 $f_{SYS} \geq 100$ MHz。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

3.3.12.1 ETH 测量参考点

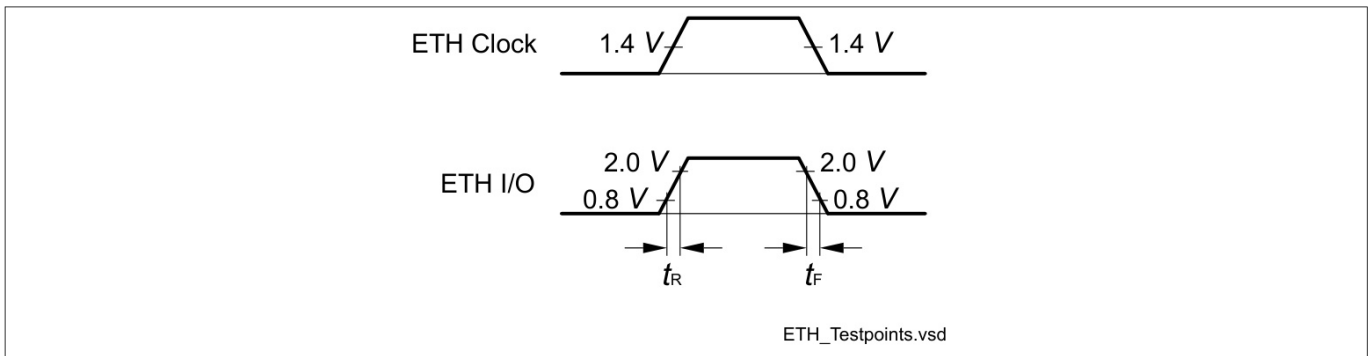


图 51 ETH 测量参考点

3 Electrical Parameters

3.3.12.2 ETH管理信号参数 (ETH_MDC、ETH_MDIO)

表 61 ETH 管理信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
ETH_MDC period	t_1 CC	400	-	-	ns	$C_L = 25$ pF
ETH_MDC high time	t_2 CC	160	-	-	ns	
ETH_MDC low time	t_3 CC	160	-	-	ns	
ETH_MDIO setup time (output)	t_4 CC	10	-	-	ns	
ETH_MDIO hold time (output)	t_5 CC	10	-	-	ns	
ETH_MDIO data valid (input)	t_6 SR	0	-	300	ns	

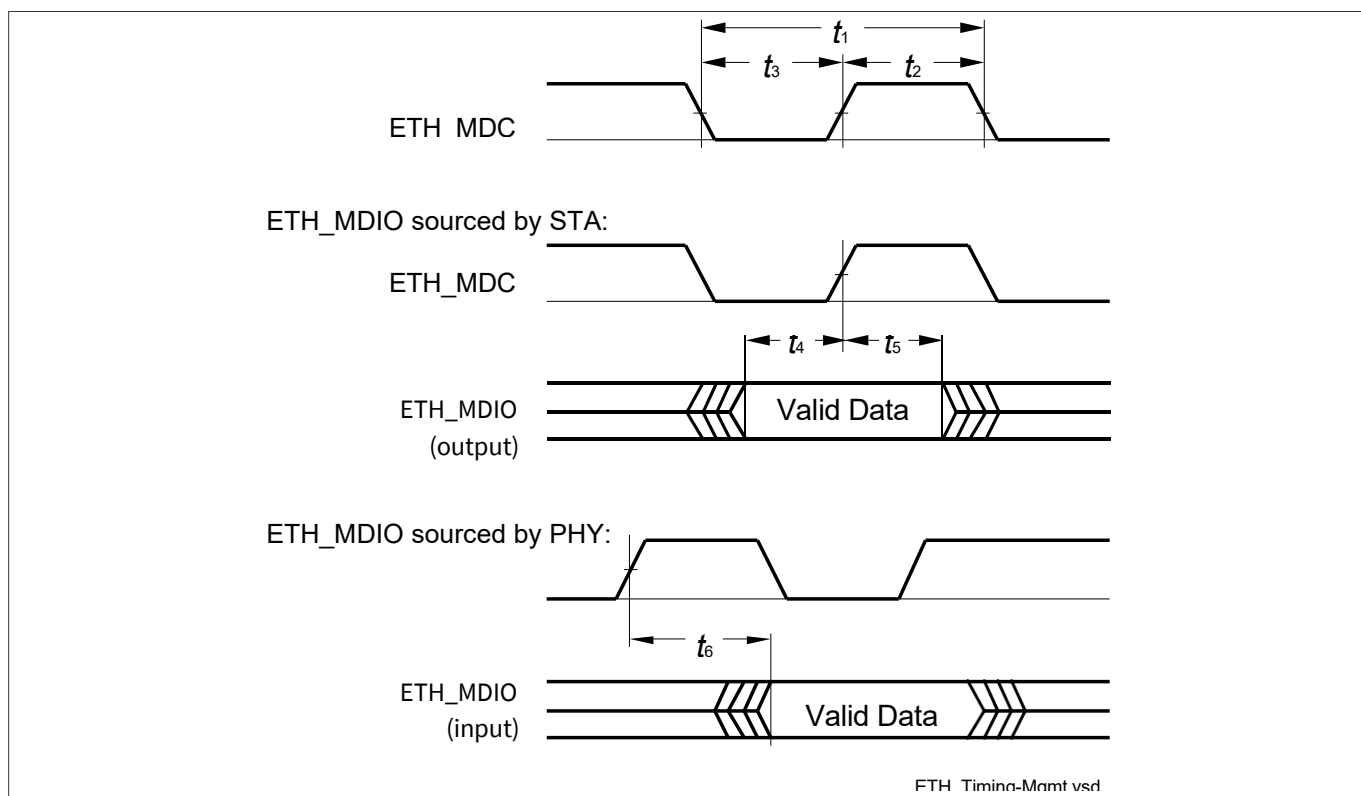


图 52 ETH 管理信号时序

3 Electrical Parameters

3.3.12.3 ETH MII 参数

下面介绍MII（媒体独立接口）的参数。

表 62ETH MII 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Clock period, 10 Mbps	t_7 SR	400	-	-	ns	$C_L = 25$ pF
Clock high time, 10 Mbps	t_8 SR	140	-	260	ns	
Clock low time, 10 Mbps	t_9 SR	140	-	260	ns	
Clock period, 100 Mbps	t_7 SR	40	-	-	ns	
Clock high time, 100 Mbps	t_8 SR	14	-	26	ns	
Clock low time, 100 Mbps	t_9 SR	14	-	26	ns	
Input setup time	t_{10} SR	10	-	-	ns	
Input hold time	t_{11} SR	10	-	-	ns	
Output valid time	t_{12} CC	0	-	25	ns	

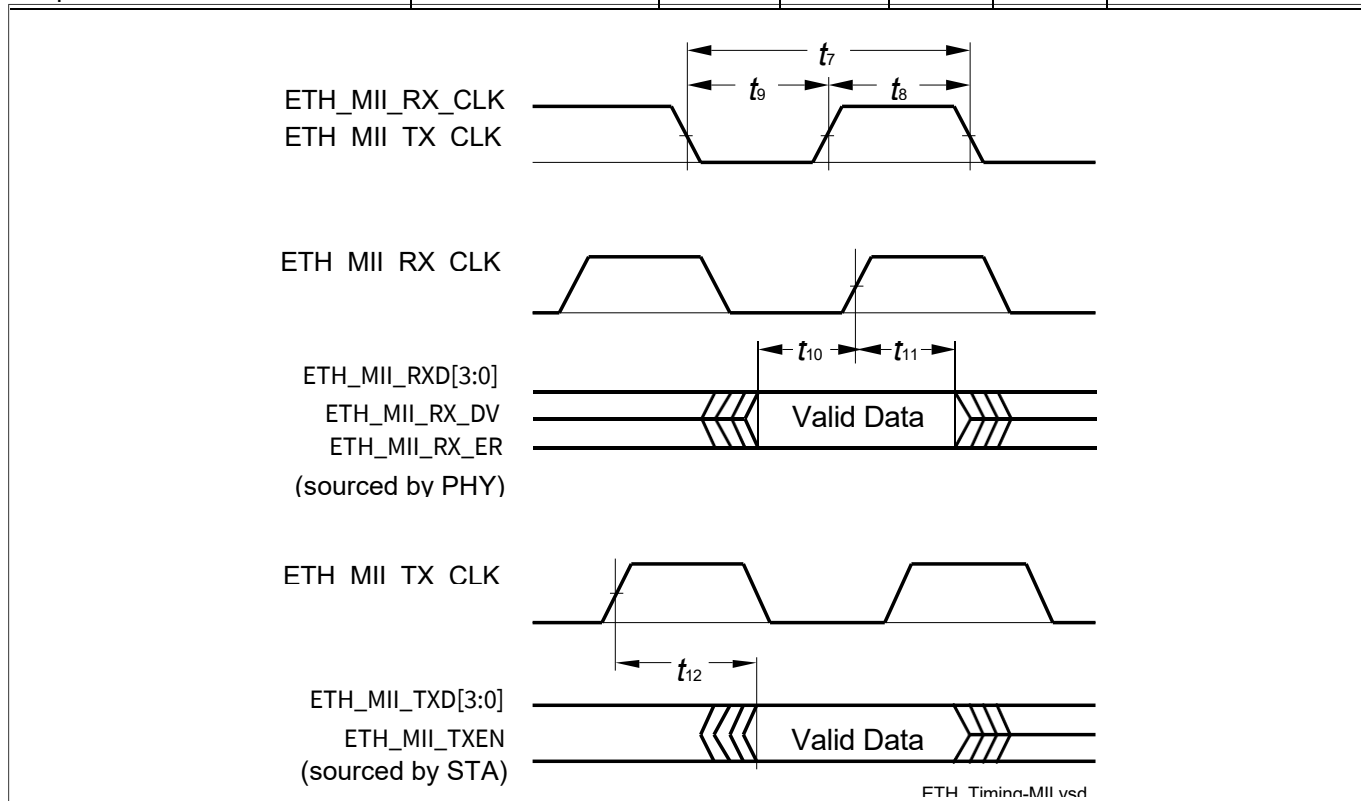


图 53 ETH MII 信号时序

3 电气参数

3.3.12.4 ETH RMII 参数

下面介绍RMII（精简媒体独立接口）的参数。

表 63 ETH RMII 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
ETH_RMII_REF_CL clock period	t_{13} SR	20	-	-	ns	$C_L = 25$ pF; 50 ppm
ETH_RMII_REF_CL clock high time	t_{14} SR	7	-	13	ns	$C_L = 25$ pF
ETH_RMII_REF_CL clock low time	t_{15} SR	7	-	13	ns	
ETH_RMII_RXD[1:0], ETH_RMII_CRS setup time	t_{16} SR	4	-	-	ns	
ETH_RMII_RXD[1:0], ETH_RMII_CRS hold time	t_{17} SR	2	-	-	ns	
ETH_RMII_TXD[1:0], ETH_RMII_TXEN data valid	t_{18} CC	4	-	15	ns	

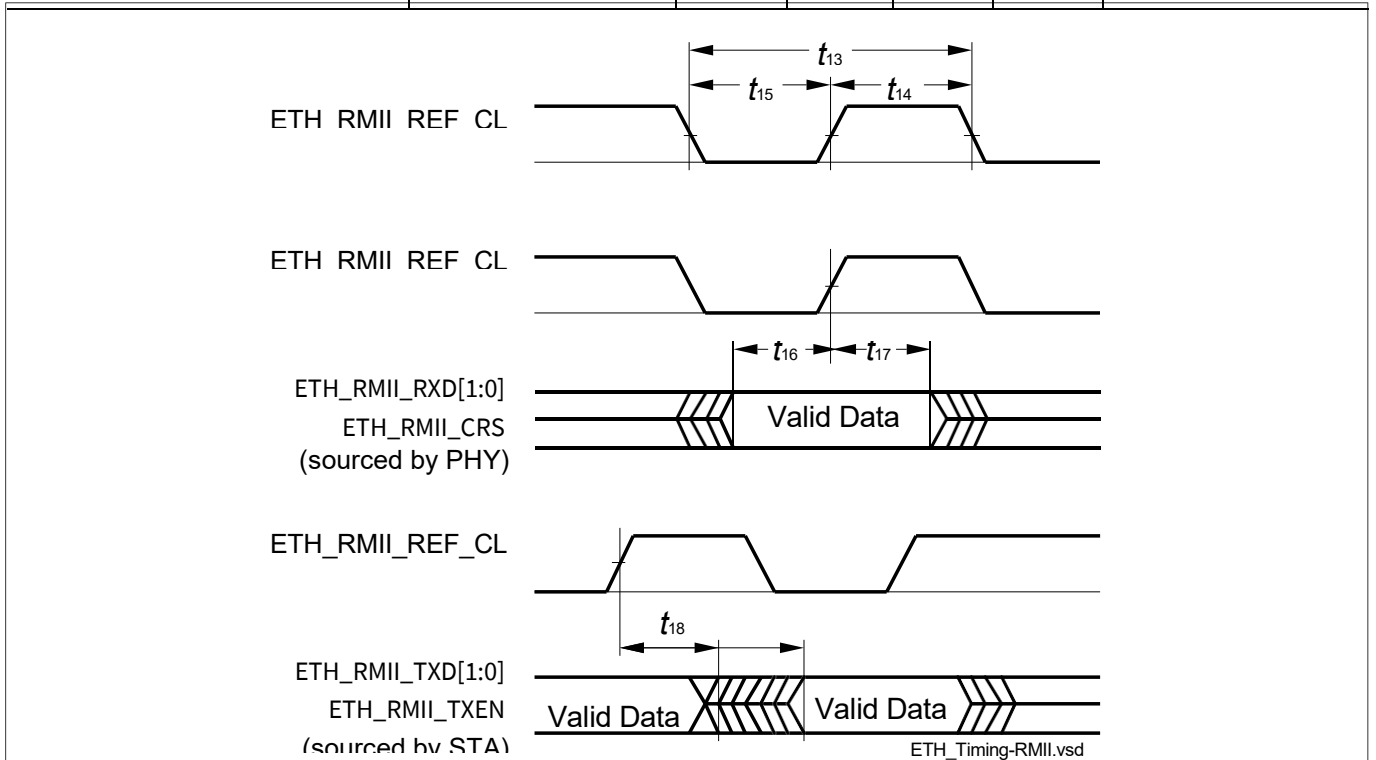


图 54 ETH RMII 信号时序

4 Package and Reliability

4 封装与可靠性

XMC4500 是 XMC4000 系列微控制器的成员。它在一定程度上也与相似家族或亚家族的成员兼容。

每个包装都针对其所容纳的设备进行了优化。因此，对于不同类型的器件，引脚数相同的封装之间可能会有细微的差别。特别是，裸露的芯片焊盘的尺寸可能会有所不同。

如果在应用中考虑或计划使用不同类型的设备，则必须确保电路板布局适合所有考虑的封装。

4.1 封装参数

表 64 提供了 XMC4500 中使用的封装的热特性。

表 64 封装的热特性

Parameter	Symbol	Limit Values		Unit	Package Types
		Min.	Max.		
Exposed Die Pad dimensions (including U-Groove where applicable)	Ex × Ey CC	-	6.5 × 6.5	mm	PG-LQFP-144-24
		-	7.0 × 7.0	mm	PG-LQFP-100-25
Exposed Die Pad dimensions	-	-	7.0 × 7.0	mm	PG-LQFP-100-29
	-	-	6.5 × 6.5	mm	PG-LQFP-144-26
Thermal resistance Junction-Ambient $T_J \leq 150^\circ\text{C}$	$R_{\theta JA CC}$	-	40.5	K/W	PG-LFBGA-144-10
		-	19.5	K/W	PG-LQFP-144-24 ¹⁾
		-	21.0	K/W	PG-LQFP-100-25 ¹⁾
		-	21.0	K/W	PG-LQFP-100-29 ¹⁾
		-	19.5	K/W	PG-LQFP-144-26 ¹⁾

1) 设备安装在带有散热孔的 4 层 JEDEC 板 (JESD 51-7) 上；裸露焊盘已焊接。

注意：出于电气原因，需要将裸露焊盘连接至电路板接地 V_{SS} ，与 EMC 和热要求无关。

4 Package and Reliability

4.1.1 散热考虑

在系统中操作 XMC4500 时，芯片产生的全部热量必须消散到周围环境中，以防止过热和由此造成的热损坏。

可耗散的最大热量取决于封装及其与目标板的集成度。“热阻 $R_{\theta JA}$ ”量化了这些参数。必须限制功率耗散，以使平均结温不超过 150°C。

结温和环境温度之间的差异取决于

$$\Delta T = (P_{INT} + P_{IOSTAT} + P_{IODYN}) \times R_{\theta JA}$$

内部功耗定义为

$$P_{INT} = V_{DDP} \times I_{DDP} \quad (\text{开关电流和漏电流})。$$

输出驱动器引起的静态外部功耗定义为

$$P_{IOSTAT} = \sum ((V_{DDP} - V_{OH}) \times I_{OH}) + \sum (V_{OL} \times I_{OL})$$

输出驱动器引起的动态外部功耗(P_{IODYN}) 取决于连接到各个引脚的电容负载及其开关频率。

如果给定系统配置的总功耗超过定义的限制，则必须采取对策以确保系统正常运行：

- 如果可能的话，降低系统中的 V_{DDP}
- 降低系统频率
- 减少输出引脚数量
- 减少有源输出驱动负载

4 Package and Reliability

4.2 封装外形

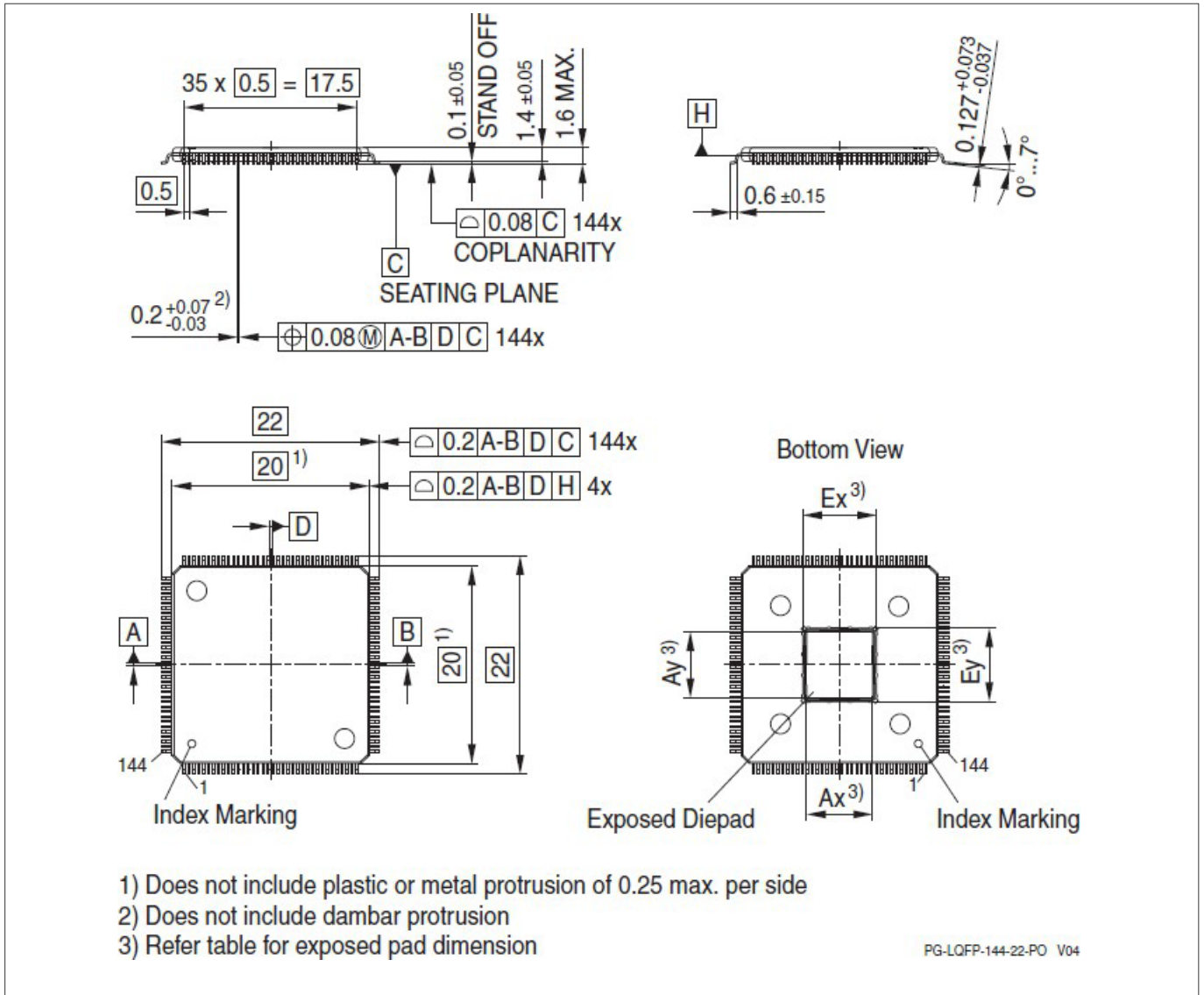


图 55 PG-LQFP-144-24 (塑料环保薄方扁平封装)

4 Package and Reliability

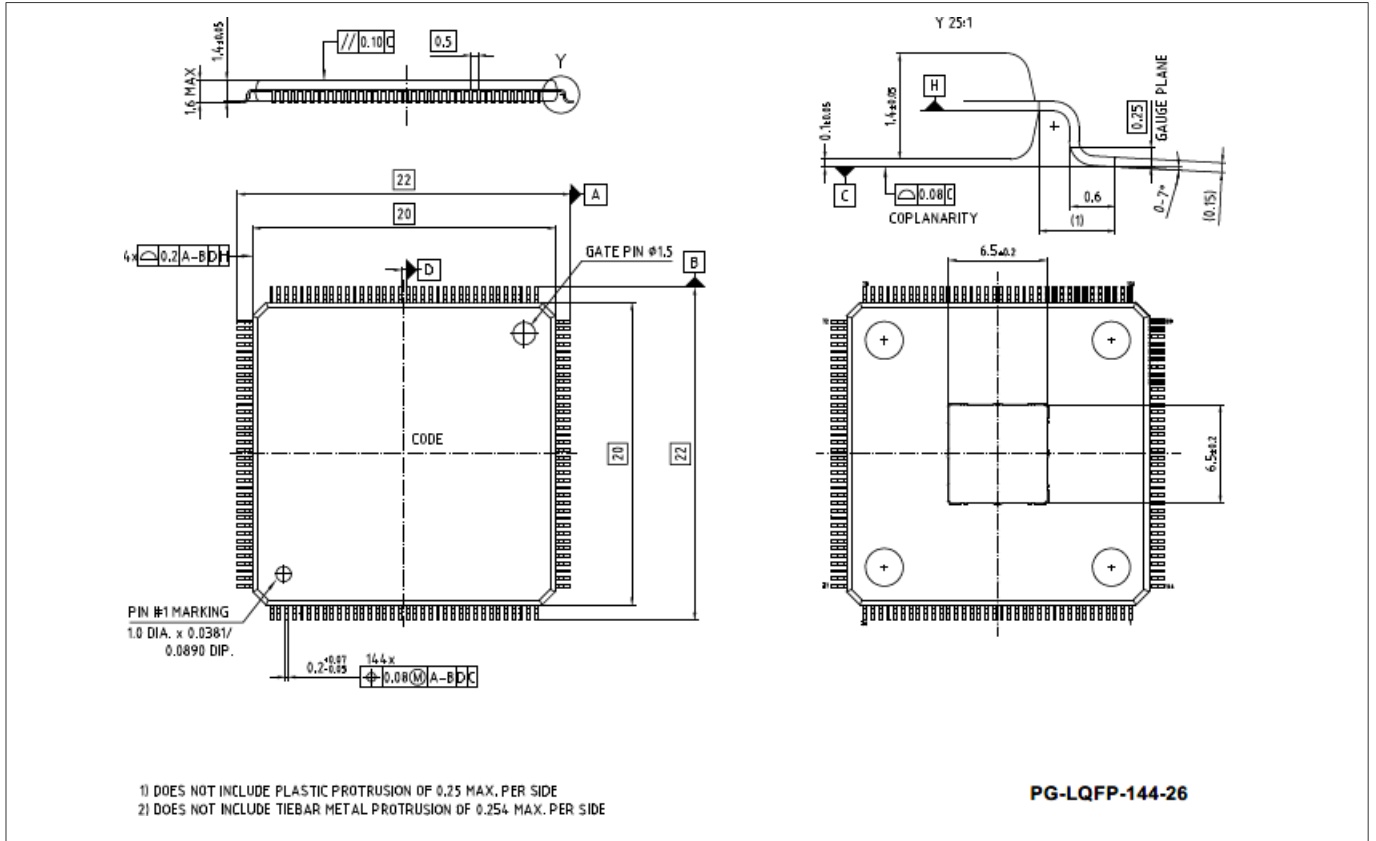


图 56 PG-LQFP-144-26 (塑料环保薄方扁平封装)

4 Package and Reliability

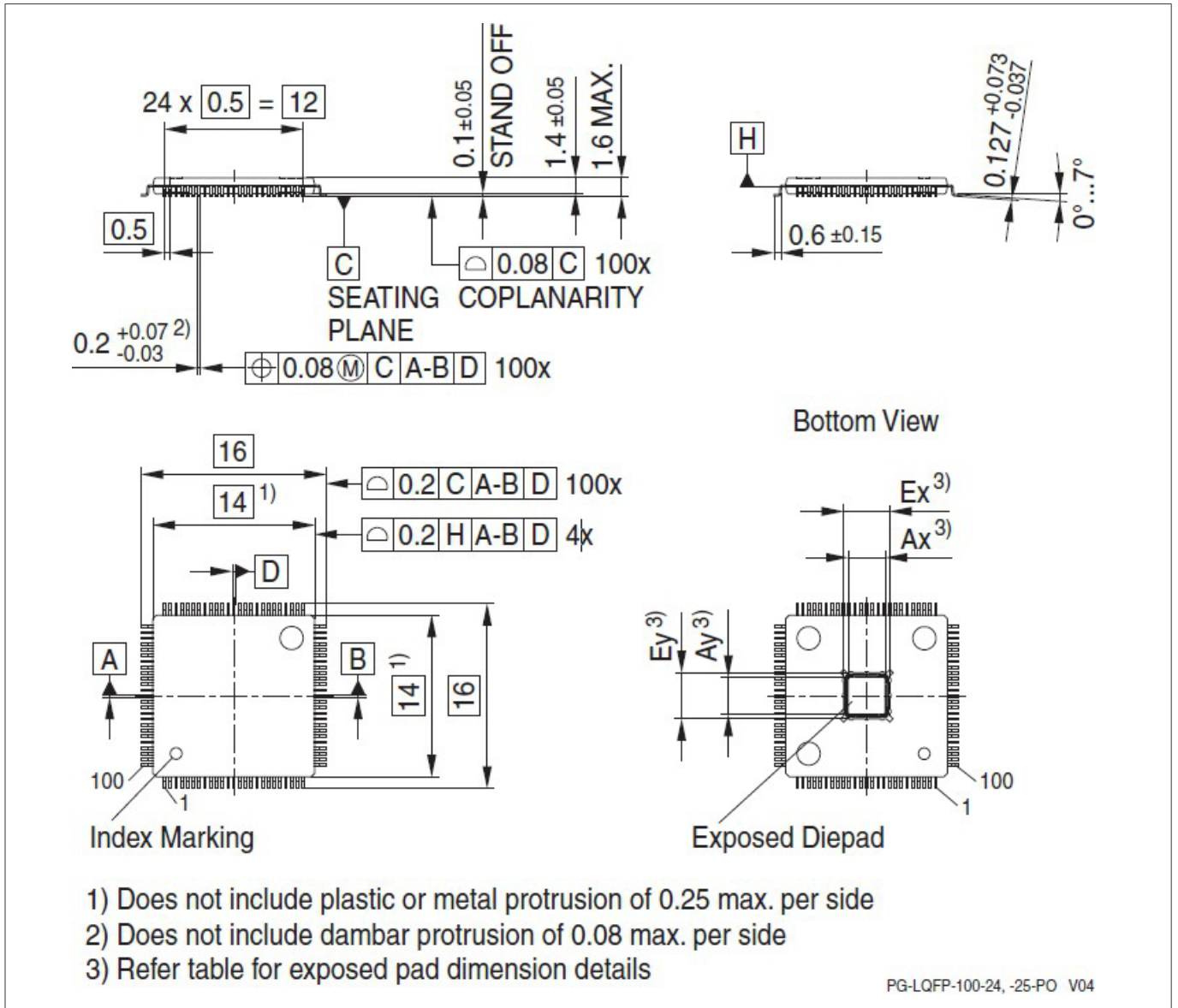


图 57 PG-LQFP-100-25 (塑料环保薄方扁平封装)

4 Package and Reliability

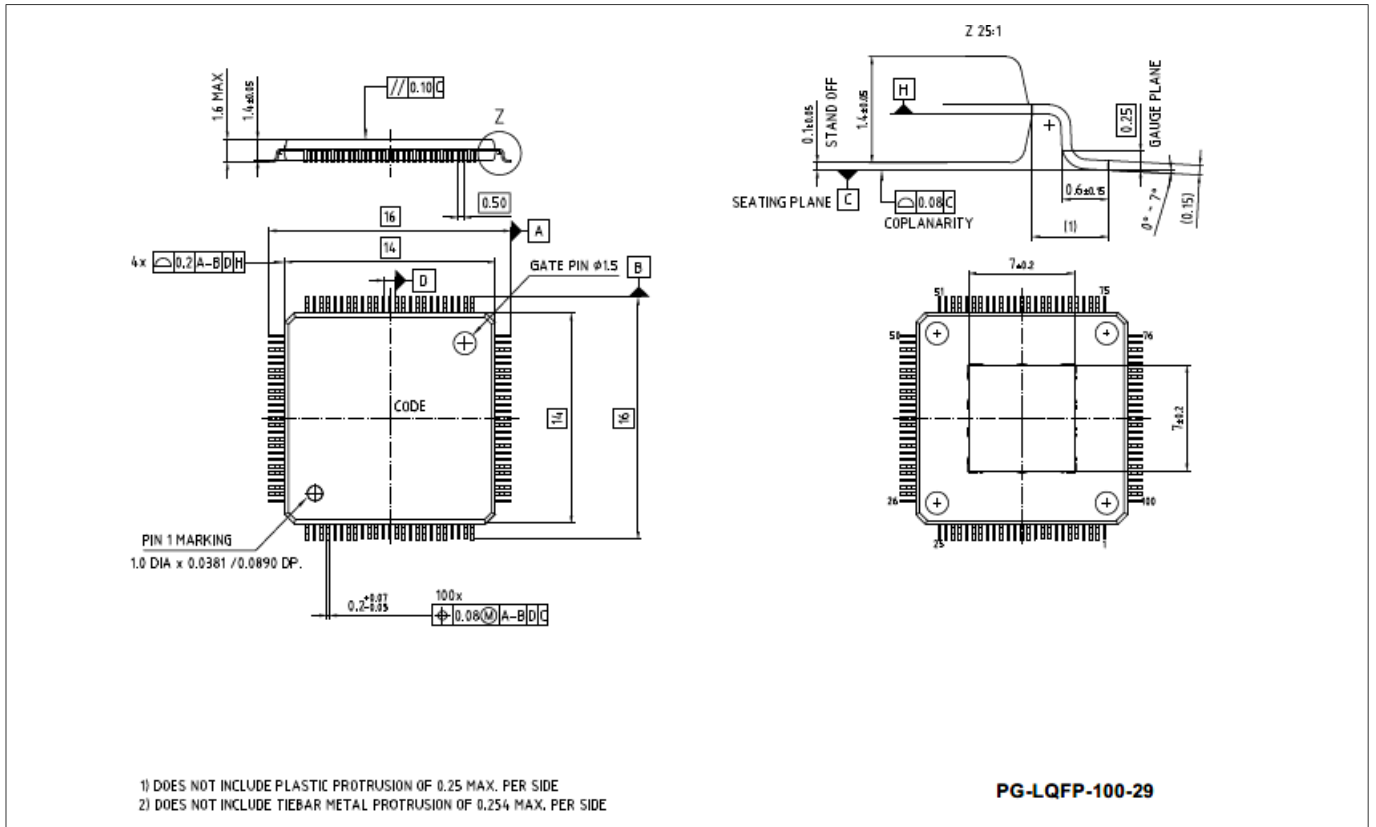


图 58 PG-LQFP-100-29 (塑料环保薄方扁平封装)

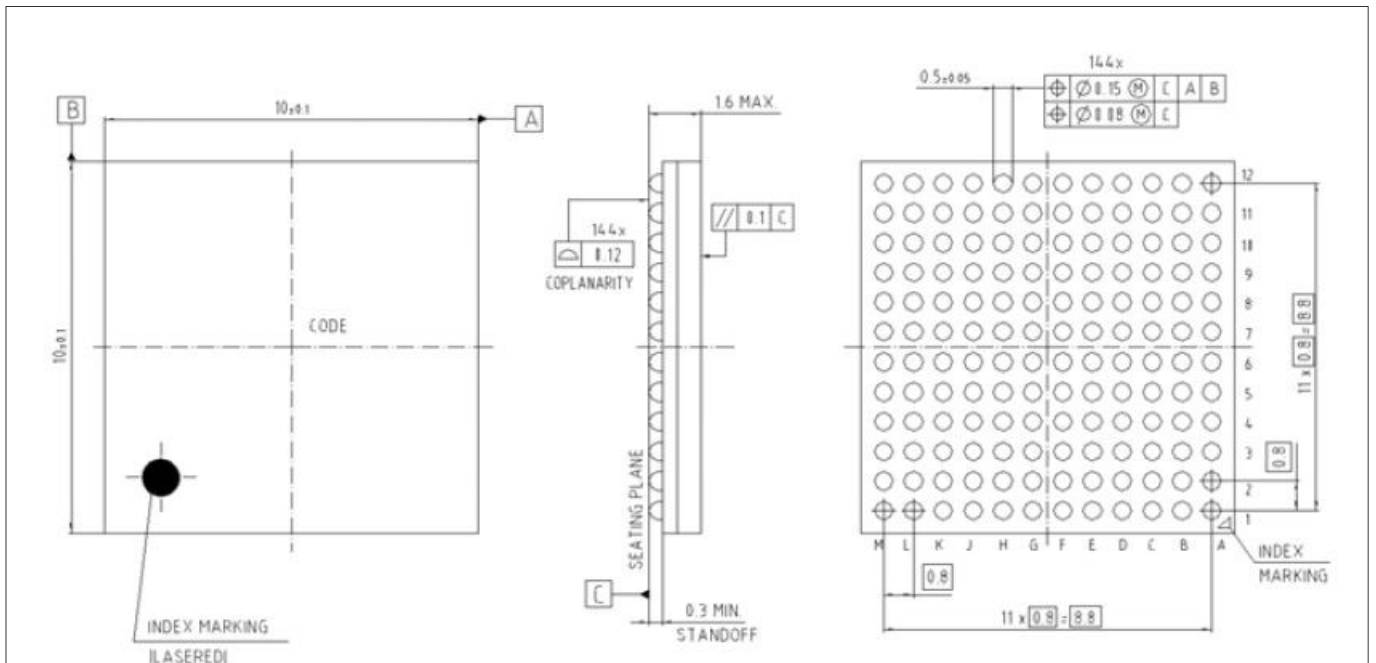


图 59 PG-LFBGA-144-10 (塑料环保低型细间距球栅阵列)

所有尺寸均以毫米为单位。

您可以在我们的英飞凌互联网页面“封装”中找到有关英飞凌封装、包装和标记的完整信息：<http://www.infineon.com/packages>。

5 质量声明

5 质量声明

XMC4500 的认证按照 JEDEC 标准 JESD47H 执行。

注：对于汽车应用，请参考英飞凌汽车微控制器。

表 65 质量参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Operation lifetime	$t_{OP\ CC}$	20	–	–	a	$T_J \leq 109^\circ\text{C}$, device permanent on
ESD susceptibility according to Human Body Model (HBM)	$V_{HBM\ SR}$	–	–	2000	V	EIA/JESD22-A114-B
ESD susceptibility according to Charged Device Model (CDM)	$V_{CDM\ SR}$	–	–	500	V	Conforming to JESD22- C101-C
Moisture sensitivity level	$MSL\ CC$	–	–	3	–	JEDEC J-STD-020D
Soldering temperature	$T_{SDR\ SR}$	–	–	260	$^\circ\text{C}$	Profile according to JEDEC J-STD-020D

修订记录

修订记录

Document revision	Date	Description of changes
V1.6	2023-04-01	Table 64 : Added package details: PG-LQFP-100-29 and PG-LQFP-144-26. Deleted package details: PG-LQFP-100-11 and PG-LQFP-144-18. Added package diagrams: PG-LQFP-100-29 and PG-LQFP-144-26. Deleted package diagrams: PG-LQFP-100-11 and PG-LQFP-144-18.
V1.7	2024-12-02	Template update; no content update



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-04-17

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email:

erratum@infineon.com

重要提示

本文件所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文件中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。此外，本文件所提供的任何信息均取决于客户履行本文件所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文件所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文件中所提供的信息是否充分自行予以评估。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。