

英飞凌XMC4300工业级32位高性能微控制器系列

英飞凌工业应用微控制器系列

ARM® Cortex® -M4

32位处理器内核

关于本文档

此数据手册专门针对嵌入式硬件和软件开发人员。它为读者提供了有关XMC4300系列设备的订购标识、可用功能、电气和物理特性的详细描述。

该文档描述了XMC4300系列设备超集的特性。为简单起见，本手册中使用统称 XMC4300 来指代各种设备类型。

XMC4000 系列用户文档

用户文档集包括：

- **参考手册**
 - 描述设备超集的功能。
- **数据手册**
 - 列出衍生设备的完整订购名称、可用功能和电气特性。
- **勘误表**
 - 列出与相关参考手册或数据手册中给出的规格的偏差。为设备超集提供了勘误表。

注意：请查阅文档集的所有部分以获得有关您的设备的综合知识。

用户指南 和 **应用笔记** 提供了应用相关的指导。

请参阅<http://www.infineon.com/xmc4000> 以获取这些文档的最新版本。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 [infineon.com](http://www.infineon.com) 参考最新的英文版本（控制文档）。

目录

	关于本文档	1
	目录	2
1	特征描述	4
1.1	订购信息	6
1.2	设备类型	6
1.3	设备类型特性	6
1.4	特征变体的定义	7
1.5	识别寄存器	7
2	设备通用信息	8
2.1	逻辑符号	8
2.2	引脚配置 及 定义	9
2.2.1	封装引脚 汇总	9
2.2.2	端口 I/O 功能	13
2.2.2.1	端口 I/O 功能表	15
2.3	电源连接 方案	27
3	电气参数	28
3.1	常规参数	28
3.1.1	参数释义	28
3.1.2	绝对最大额定值	28
3.1.3	过载下的引脚 可靠性	30
3.1.4	Pad 驱动器 和 Pad 类别 总结	32
3.1.5	工作条件	33
3.2	直流参数	34
3.2.1	输入/输出引脚	34
3.2.2	模数转换器 (VADC)	40
3.2.3	数模转换器 (DAC)	43
3.2.4	超范围比较器 (ORC)	47
3.2.5	芯片温度 传感器	48
3.2.6	USB OTG 接口直流特性	49
3.2.7	振荡器引脚	50
3.2.8	电源电流	53
3.2.9	闪存参数	57
3.3	交流参数	58
3.3.1	测试波形	58
3.3.2	上电和 电源 监控	59
3.3.3	电源序列	60
3.3.4	锁相环 (PLL) 特性	61
3.3.5	内部时钟源特征	62

Table of contents

3.3.6	JTAG接口时序.....	63
3.3.7	串行线调试端口 (SW-DP) 时序.....	64
3.3.8	外围设备定时.....	65
3.3.8.1	同步串行接口 (USIC SSC) 时序.....	65
3.3.8.2	Inter-IC (IIC) 接口时序.....	68
3.3.8.3	Inter-IC 声音(IIS) 接口时序	70
3.3.8.4	SDMMC 接口时序.....	71
3.3.9	USB 接口 特性.....	77
3.3.10	以太网 接口 (ETH) 特性.....	78
3.3.10.1	ETH 测量 参考点	78
3.3.10.2	ETH 管理 信号 参数 (ETH_MDC, ETH_MDIO)	78
3.3.10.3	ETH RMII参数.....	80
3.3.11	EtherCAT (ECAT) 特性.....	81
3.3.11.1	ECAT 测量 参考点.....	81
3.3.11.2	ETH 管理 信号 参数 (MCLK, MDIO)	81
3.3.11.3	MII 时序 RX 特性.....	82
3.3.11.4	MII 时序 RX 特性.....	83
3.3.11.5	同步/锁存时序.....	84
4	封装与 可靠性	85
4.1	封装参数.....	85
4.1.1	散热考虑.....	85
4.2	封装 外形	86
5	质量声明	88
	修订记录	89
	免责声明	90

1 Summary of Features

1 特征描述

XMC4300器件都是基于 Arm® Cortex-M4® 处理器内核的 XMC4000 系列微控制器产品。XMC4000 是一系列高性能、节能的微控制器，针对工业连接、工业控制、电源转换、传感和控制进行了优化。

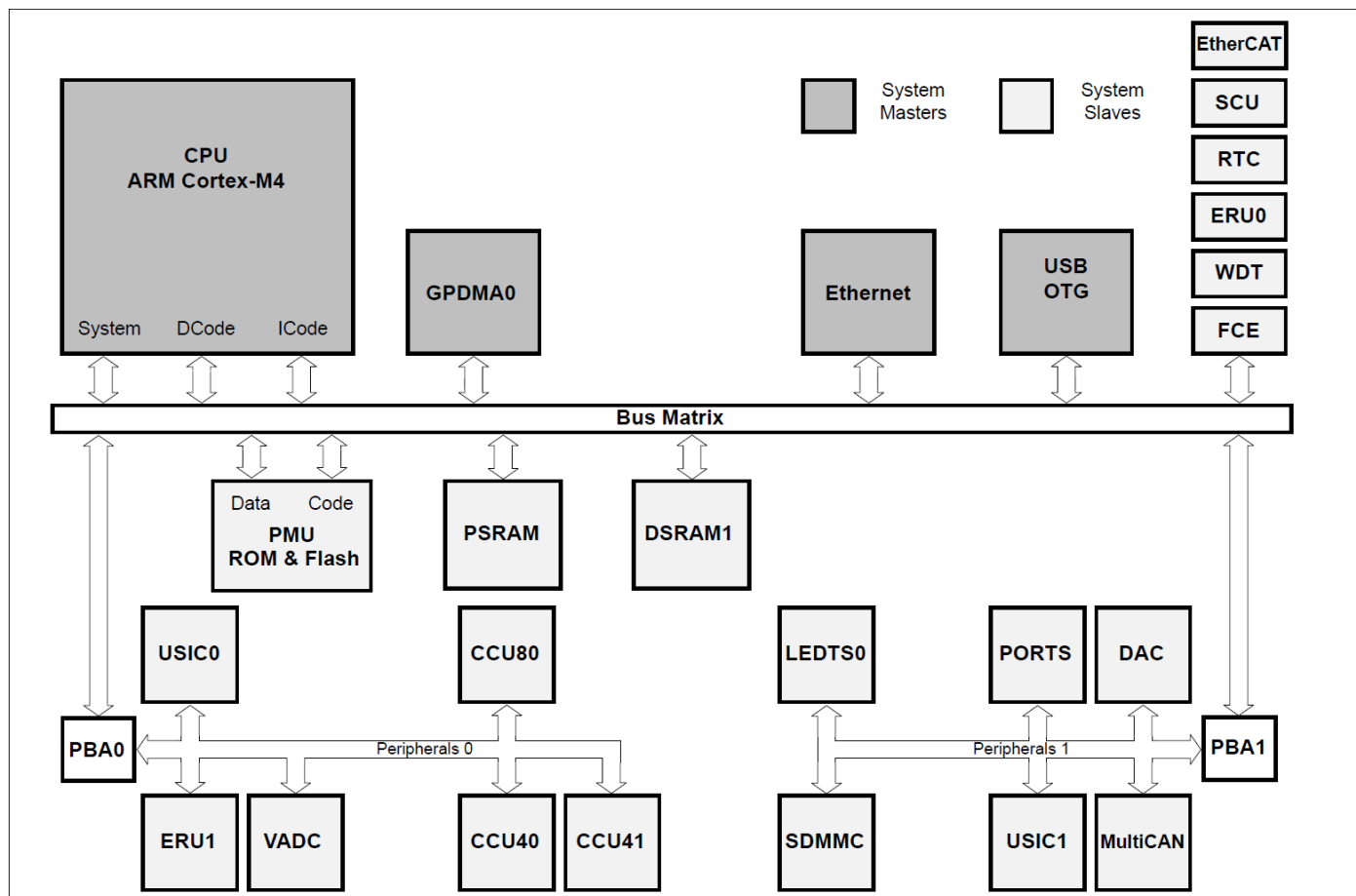


图 1 系统框图 CPU 子系统

- CPU 内核
 - 高性能 32 位 ARM Cortex-M4 CPU
 - 16 位和 32 位 Thumb2 指令集
 - DSP/MAC 指令
 - 用于操作系统支持的系统定时器 (SysTick)
- 浮点单元
- 存储器保护单元
- 嵌套中断向量控制器
- 最多 8 个通道的通用 DMA
- 事件请求单元 (ERU)，用于对外部和内部服务请求进行可编程处理
- 灵活的 CRC 引擎 (FCE)，用于多位错误检测

片上存储器

- 16 KB 片上引导 ROM
- 64 KB 片上高速程序存储器

1 Summary of Features

- 64 KB片上高速数据存储器
- 256 KB 片上闪存，带 8 KB 指令缓存

通讯外设

- 以太网MAC模块支持10/100 Mbit/s的传输速率
- EtherCATSlave 接口 (ECAT) 具有 100 Mbit/s 传输速率，配备 2 个 MII 端口、8 个现场总线存储器管理单元 (FMMU)、8 个同步管理器、64 位分布式时钟
- 通用串行总线、USB 2.0 主机、全速 OTG，带集成 PHY
- 控制器局域网接口 (MultiCAN)、带 2 个节点的 Full-CAN/Basic-CAN、64 个消息对象 (MO)、数据速率高达 1 MBaud
- 六个通用串行接口通道 (USIC)，提供 4 个串行通道，可用作 UART、双 SPI、四 SPI、IIC、IIS 和 LIN 接口
- 用于人机接口的 LED 和触摸感应控制器 (LEDTS)
- 用于数据存储卡的 SD 和多媒体卡接口 (SDMMC)

模拟前端外设

- 2个 12 位分辨率的模拟数字转换器 (VADC)，每个 8 个通道，带有检测输入超出范围的比较器
- 具有两个 12 位分辨率通道的数模转换器 (DAC)

工业控制外设

- 两个捕获/比较单元 8 (CCU8)，用于电机控制和电源转换
- 四个捕获/比较单元 4 (CCU4)，用作通用定时器
- 适用于安全敏感应用的窗口看门狗定时器 (WDT)
- 芯片温度传感器 (DTS)
- 带闹钟功能的实时时钟模块
- 系统控制单元 (SCU)，用于系统配置和控制

输入/输出线

- 可编程端口驱动控制模块 (PORTS)
- 独立寻址位
- 三态输入模式
- 推挽或开漏输出模式
- 通过 JTAG 接口支持边界扫描测试

片上调试支持

- 全面支持调试功能：6 个断点、CoreSight、跟踪
- 多种接口：ARM-JTAG、SWD、单线跟踪

1 Summary of Features

1.1 订购信息

英飞凌微控制器的订购代码提供了特定产品的准确参考。代码“XMC4<DDD>-<Z><PPP><T><FFFF>”标识：

- <DDD> 衍生品功能集
- <Z> 封装变体
 - E: LFBGA
 - F: LQFP
 - Q: VQFN
- <PPP> 封装引脚数
- <T> 温度范围：
 - F: -40°C至85°C
 - K: -40°C至125°C
- <FFFF> 闪存大小

如需了解 XMC4300 的订购代码，请联系您的销售代表或当地经销商。

本文档描述了 XMC4300 系列的几种衍生产品，有些描述可能不适用于特定产品。请参见设备类型。

为简单起见，本文中使用术语 **XMC4300** 表示所有衍生产品。

1.2 设备类型

这些设备类型均已上市，可通过英飞凌的直销和/或分销渠道订购。

表 1 XMC4300 器件类型概要

Derivative ¹⁾	Package	Flash Kbytes	SRAM Kbytes
XMC4300-F100x256	PG-LQFP-100	256	128

1) x 是支持的温度范围的占位符。

1.3 设备类型特性

下表列出了每种设备类型的可用功能。

表 2 XMC4300 器件类型的特性

Derivative ¹⁾	LEDTS Intf.	SD MMC Intf.	ETH Intf.	ECAT Slave Intf.	USB Intf.	USIC Chan.	MultiCAN Nodes, MO
XMC4300-F100x256	1	1	RMII	2 x MII	1	2 x 2	N0, N1 MO[0..63]

1) x 是支持的温度范围的占位符。

表 3 XMC4300 器件类型的特性

Derivative ¹⁾	ADC Chan.	DAC Chan.	CCU4 Slice	CCU8 Slice
XMC4300-F100x256	16	2	2 x 4	1 x 4

1) x 是支持的温度范围的占位符。

1 Summary of Features

1.4 特征变体的定义

XMC4300 类型提供多种内存大小和可用 VADC 通道数量。表 4 描述可用闪存的位置，表 5 描述可用 SRAM 的位置，表 6 可用的 VADC 通道。

表 4 闪存范围

Total Flash Size	Cached Range	Uncached Range
256 Kbytes	0800 0000 _H – 0803 FFFF _H	0C00 0000 _H – 0C03 FFFF _H

表 5 SRAM 存储器范围

Total SRAM Size	Program SRAM	System Data SRAM
128 Kbytes	1FFF 0000 _H – 1FFF FFFF _H	2000 0000 _H – 2000 FFFF _H

表 6 ADC 通道¹⁾

Package	VADC G0	VADC G1
PG-LQFP-100	CH0..CH7	CH0..CH7

1) 封装中的某些引脚可能连接到多个通道。详细映射请参见端口 I/O 功能表。

1.5 识别寄存器

识别寄存器允许软件识别标记。

表 7 XMC4300 识别寄存器

Register Name	Value	Marking
SCU_IDCHIP	0004 3001 _H	AA
JTAG IDCODE	101D F083 _H	AA

2 General Device Information

2 设备通用信息

本节总结了逻辑符号和封装引脚配置，并提供了功能 I/O 映射的详细列表。

2.1 逻辑符号

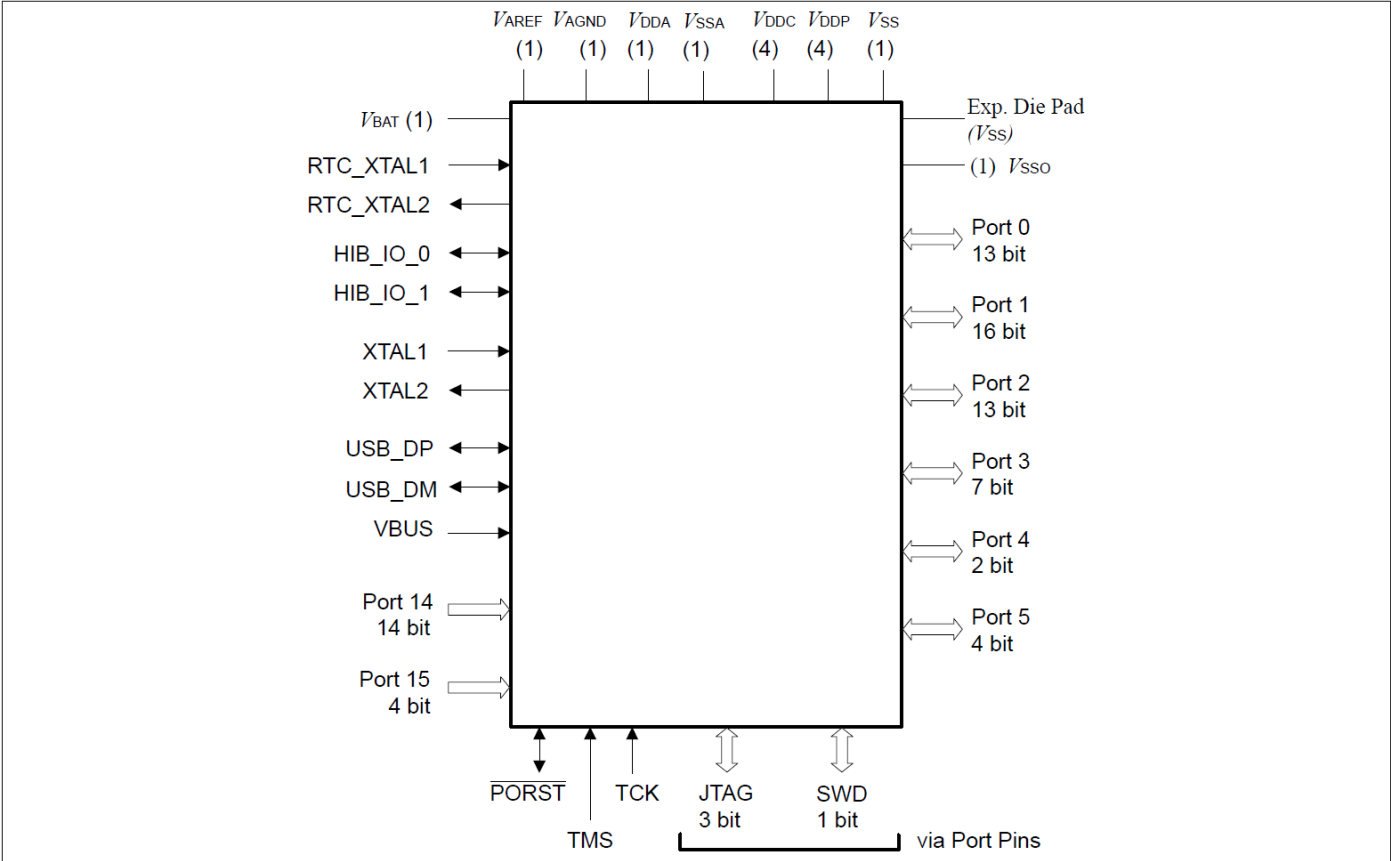


图2 XMC4300逻辑符号PG-LQFP-100

2 General Device Information

2.2 引脚配置及定义

下图总结了所有引脚，显示了它们在不同封装的四个侧面的位置。

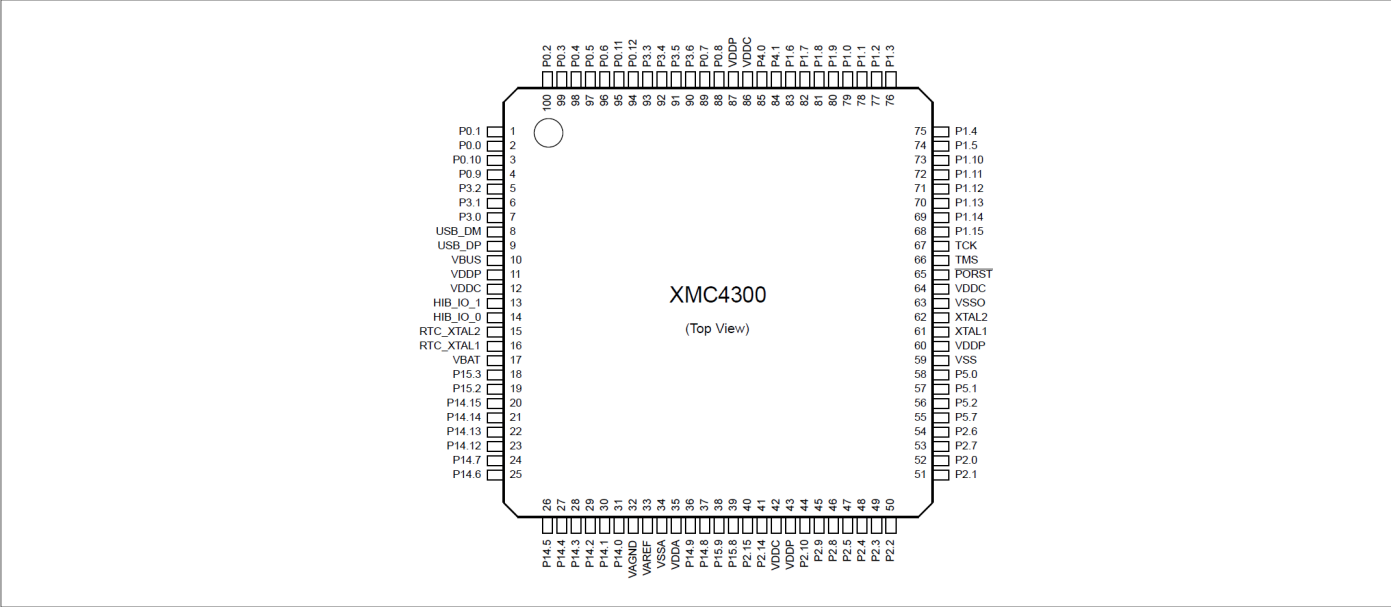


图 3 XMC4300 PG-LQFP-100 引脚配置（顶视图）

2.2.1 封装引脚汇总

以下通用图表用于描述每个引脚：

表 8 封装引脚映射说明

Function	Package A	Package B	...	Pad Type	Notes
Name	N	Ax	...	A2	

该表按“功能”列排序，从常规端口引脚（Px.y）开始，然后是专用引脚（即 $\overline{\text{PORST}}$ ）和电源引脚。

以下各列以支持的封装变体为标题，列出了该封装中相应功能映射到的封装引脚号。

“Pad Type”表示所采用的焊盘类型（A1、A1+、A2、special=特殊焊盘、In=输入焊盘、AN/DIG_IN=模拟和数字输入，Power=电源）。有关焊盘属性的详细信息在电气参数中定义。

在“注释”中，给出了各个引脚/功能的特殊信息，即复位后与默认配置的偏差。默认情况下，常规端口引脚配置为直接输入，没有内部上拉或者下拉。

表 9 封装引脚映射

Function	LQFP-100	Pad Type	Notes
P0.0	2	A1+	
P0.1	1	A1+	
P0.2	100	A2	
P0.3	99	A2	

（表格续下页.....）

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-100	Pad Type	Notes
P0.4	98	A2	
P0.5	97	A2	
P0.6	96	A2	
P0.7	89	A2	After a system reset, via HWSEL this pin selects the DB.TDI function.
P0.8	88	A2	After a system reset, via HWSEL this pin selects the $\overline{\text{DB.TRST}}$ function, with a weak pull-down active.
P0.9	4	A2	
P0.10	3	A1+	
P0.11	95	A1+	
P0.12	94	A1+	
P1.0	79	A1+	
P1.1	78	A1+	
P1.2	77	A2	
P1.3	76	A2	
P1.4	75	A1+	
P1.5	74	A1+	
P1.6	83	A2	
P1.7	82	A2	
P1.8	81	A2	
P1.9	80	A2	
P1.10	73	A1+	
P1.11	72	A1+	
P1.12	71	A2	
P1.13	70	A2	
P1.14	69	A2	
P1.15	68	A2	
P2.0	52	A2	
P2.1	51	A2	After a system reset, via HWSEL this pin selects the DB.TDO function.
P2.2	50	A2	
P2.3	49	A2	
P2.4	48	A2	
P2.5	47	A2	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-100	Pad Type	Notes
P2.6	54	A1+	
P2.7	53	A1+	
P2.8	46	A2	
P2.9	45	A2	
P2.10	44	A2	
P2.14	41	A2	
P2.15	40	A2	
P3.0	7	A2	
P3.1	6	A2	
P3.2	5	A2	
P3.3	93	A1+	
P3.4	92	A1+	
P3.5	91	A2	
P3.6	90	A2	
P4.0	85	A2	
P4.1	84	A2	
P5.0	58	A1+	
P5.1	57	A1+	
P5.2	56	A1+	
P5.7	55	A1+	
P14.0	31	AN/DIG_IN	
P14.1	30	AN/DIG_IN	
P14.2	29	AN/DIG_IN	
P14.3	28	AN/DIG_IN	
P14.4	27	AN/DIG_IN	
P14.5	26	AN/DIG_IN	
P14.6	25	AN/DIG_IN	
P14.7	24	AN/DIG_IN	
P14.8	37	AN/DAC/DIG_IN	
P14.9	36	AN/DAC/DIG_IN	
P14.12	23	AN/DIG_IN	
P14.13	22	AN/DIG_IN	
P14.14	21	AN/DIG_IN	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-100	Pad Type	Notes
P14.15	20	AN/DIG_IN	
P15.2	19	AN/DIG_IN	
P15.3	18	AN/DIG_IN	
P15.8	39	AN/DIG_IN	
P15.9	38	AN/DIG_IN	
HIB_IO_0	14	A1 special	At the first power-up and with every reset of the hibernate domain this pin is configured as open-drain output and drives "0". As output the medium driver mode is active.
HIB_IO_1	13	A1 special	At the first power-up and with every reset of the hibernate domain this pin is configured as input with no pull device active. As output the medium driver mode is active.
USB_DP	9	special	
USB_DM	8	special	
TCK	67	A1	Weak pull-down active.
TMS	66	A1+	Weak pull-up active. As output the strong-soft driver mode is active.
$\overline{\text{PORST}}$	65	special	Weak pull-up permanently active, strong pull-down controlled by EVR.
XTAL1	61	clock_IN	
XTAL2	62	clock_O	
RTC_XTAL1	16	clock_IN	
RTC_XTAL2	15	clock_O	
VBAT	17	Power	When VDDP is supplied VBAT has to be supplied as well.
VBUS	10	special	
VAREF	33	AN_Ref	
VAGND	32	AN_Ref	
VDDA	35	AN_Power	
VSSA	34	AN_Power	
VDDC	12	Power	
VDDC	42	Power	
VDDC	64	Power	
VDDC	86	Power	
VDDP	11	Power	

(表格续下页.....)

2 General Device Information

表 9 (续) 封装引脚映射

Function	LQFP-100	Pad Type	Notes
VDDP	43	Power	
VDDP	60	Power	
VDDP	87	Power	
VSS	59	Power	
VSSO	63	Power	
VSS	Exp. Pad	Power	Exposed Die Pad The exposed die pad is connected internally to VSS. For proper operation, it is mandatory to connect the exposed pad directly to the common ground on the board. For thermal aspects, please refer to the Datasheet. Board layout examples are given in an application note.

2.2.2 端口 I/O 功能

以下通用图表用于描述每个端口引脚：

表 10 端口 I/O 功能描述

Function	Outputs			Inputs		
	ALT1	ALTn	HWO0	HWI0	Input	Input
P0.0		MODA.OUT	MODB.OUT	MODB.INA	MODC.INA	
Pn.y	MODA.OUT				MODA.INA	MODC.INB

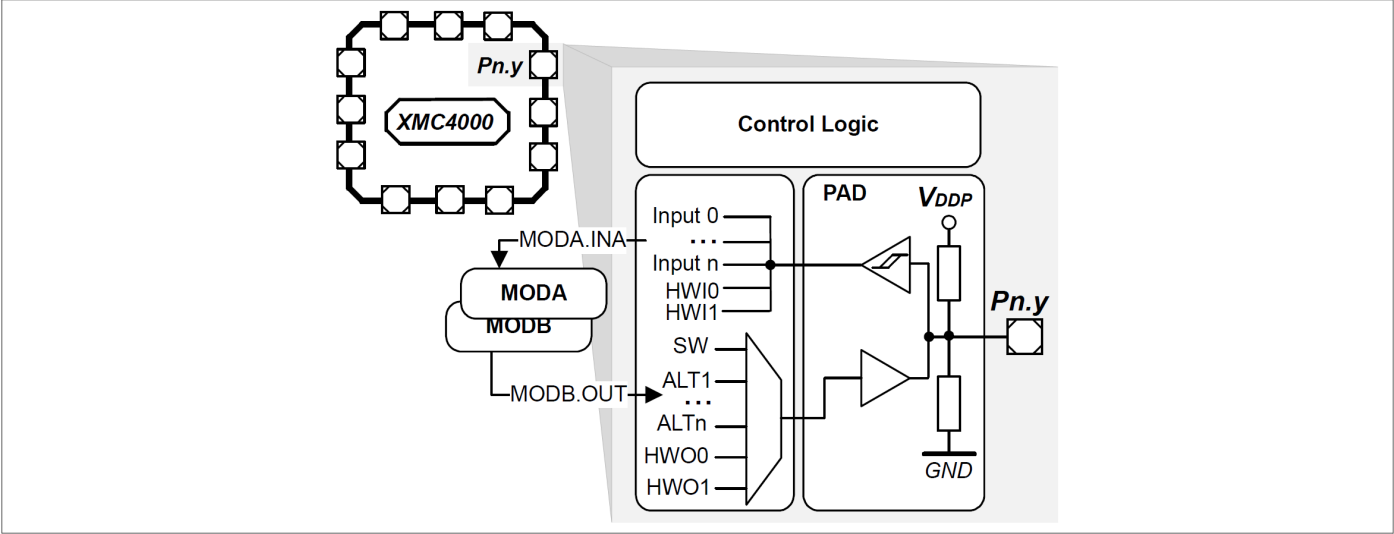


图 4 简化的端口结构

Pn.y 是端口引脚名称，定义与其相关的控制和数据位/寄存器。作为 GPIO，该端口受软件控制。其输入值通过Pn_IN.y读取， Pn_OUT 定义其输出值。

2 设备通用信息

最多可以将四个备用输出功能（ALT1/2/3/4）映射到单个端口引脚，由 Pn_IOC.R.PC 选择。输出值直接由相应模块驱动，引脚特性由端口寄存器控制（在所连接焊盘的限制范围内）。

端口引脚输入可以连接多个外设。大多数外设都有一个输入多路复用器，可以在不同的可能输入源之间进行选择。

当引脚配置为输出时，输入路径也处于活动状态。这允许将输出反馈至片上资源，而无需浪费额外的外部引脚。

通过 Pn_HWSEL 可以在不同的硬件“主机”（HWO0/HWI0）之间进行选择。选定的外设可以控制引脚。硬件控制否决相应端口引脚寄存器中的设置。

2.2.2.1 端口I/O功能表

表 11 端口 I/O 功能

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P0.0	ECAT0. PHY_R ST	CAN. NO_TXD	CCU80. OUT21	LEDTS0 .COL2			U1C1. DX0D	ETH0. CLK_ R MIIB	ERU0. 0B0					ETH0. CLKRXB
P0.1	USB. DRIVEV BUS	U1C1. DOUT0	CCU80. OUT11	LEDTS0 .COL3				ETH0. CRS_D VB	ERU0. 0A0				ECAT0. P1_RX_ CLA	ETH0. RXDVB
P0.2	ECAT0. P1_TXD 2	U1C1. SELO 1	CCU80. OUT01		U1C0. DOUT 3	U1C 0. HWI N3	ETH0. RXD0B		ERU0. 3B3					
P0.3	ECAT0. P1_TXD 3		CCU80. OUT20		U1C0. DOUT 2	U1C 0. HWI N2	ETH0. RXD1B			ERU1. 3B0				
P0.4	ETH0. TX_EN		CCU80. OUT10		U1C0. DOUT 1	U1C 0. HWI N1		U1C0. DX0A	ERU0. 2B3				ECAT0. P1_RXD 3A	
P0.5	ETH0. TXD0	U1C0. DOUT0	CCU80. OUT00		U1C0. DOUT 0	U1C 0. HWI N0		U1C0. DX0B		ERU1. 3A0			ECAT0. P1_RXD 2A	
P0.6	ETH0. TXD1	U1C0. SELO 0	CCU80. OUT30					U1C0. DX2A	ERU0. 3B2		CCU80. IN2B		ECAT0. P1_RXD 1A	

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P0.7	WDT. SERVIC E_OUT	U0C0. SELO 0	ECAT0. LED_E RR			DB. TDI	U0C0. DX2B		ERU0. 2B1		CCU80. IN0A	CCU80. IN1A	CCU80. IN2A	CCU80. IN3A
P0.8	SCU. EXTCLK	U0C0. SCLKO UT	ECAT0. LED_RU N			DB. TRS T	U0C0. DX1B		ERU0. 2A1		CCU80. IN1B			
P0.9		U1C1. SELO 0	CCU80. OUT12	LEDTS0 .COL0	ETH0. MDO	ETH 0. MDIA	U1C1. DX2A	USB. ID	ERU0. 1B0				ECAT0. P1_RX_ DVA	
P0.10	ETH0. MDC	U1C1. SCLKO UT	CCU80. OUT02	LEDTS0 .COL1			U1C1. DX1A		ERU0. 1A0				ECAT0. P1_TX_ CLA	
P0.11	ECAT0 .P1_LI N K_ACT	U1C0. SCLKO UT	CCU80. OUT31		SDMM RST		ETH0. RXERB	U1C0. DX1A	ERU0. 3A2				ECAT0. P1_RXD 0A	
P0.12		U1C1. SELO 0	CCU40. OUT3		ECAT 0. MDO	ECAT 0. MDIA		U1C1. DX2B	ERU0. 2B2					
P1.0		U0C0. SELO 0	CCU40. OUT3	ERU1. PDOUT 3			U0C0. DX2A		ERU0. 3B0		CCU40. IN3A			ECAT0. P0_TX_ CLA
P1.1		U0C0. SCLKO UT	CCU40. OUT2	ERU1. PDOUT 2		SDM MC. SDW C	U0C0. DX1A		ERU0. 3A0		CCU40. IN2A			ECAT0. P0_RX_ CLA

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P1.2	ECAT0. P0_TXD 3		CCU40. OUT1	ERU1. PDOUT 1	U0C0. DOUT 3	U0C 0. HWI N3				ERU1. 2B0	CCU40. IN1A			
P1.3	ECAT0. P0_TX_ ENA	U0C0. MCLKO UT	CCU40. OUT0	ERU1. PDOUT 0	U0C0. DOUT 2	U0C 0. HWI N2				ERU1. 2A0	CCU40. IN0A			
P1.4	WDT. SERVIC E_OUT	CAN. N0_TXD	CCU80. OUT33		U0C0. DOUT 1	U0C 0. HWI N1	U0C0. DX0B	CAN. N1_RXD D	ERU0. 2B0		CCU41. IN0C			ECAT0. P0_RXD 0A
P1.5	CAN. N1_TXD	U0C0. DOUT0	CCU80. OUT23		U0C0. DOUT 0	U0C 0. HWI N0	U0C0. DX0A	CAN. N0_RXD A	ERU0. 2A0	ERU1. 0A0	CCU41. IN1C			ECAT0. P0_RXD 1A
P1.6	ECAT0. P0_TXD 0	U0C0. SCLKO UT			SDM MC. DATA 1_OU T	SDM MC. DATA 1_IN								
P1.7	ECAT0. P0_TXD 1	U0C0. DOUT0		U1C1. SELO 2	SDM MC. DATA 2_OU T	SDM MC. DATA 2_IN								

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P1.8	ECAT0. P0_TXD 2	U0C0. SELO 1		U1C1. SCLKO UT	SDM MC. DATA 4_OU T	SDM MC. DATA 4_IN								
P1.9	U0C0. SCLKO UT			U1C1. DOUT0	SDM MC. DATA 5_OU T	SDM MC. DATA 5_IN								ECAT0. P0_RX_ DVA
P1.10	ETH0. MDC	U0C0. SCLKO UT		ECAT0. LED_E RR		SDMMC. SDCD					CCU41. IN2C			ECAT0. P0_RXD 2A
P1.11	ECAT0. LED_ST ATE_R UN	U0C0. SELO 0		ECAT0. LED_RU N	ETH0. MDO	ETH 0. MDIC					CCU41. IN3C			ECAT0. P0_RXD 3A
P1.12	ETH0. TX_EN	CAN. N1_TXD		ECAT0 . P0_LI N K_ACT	SDM MC. DATA 6_OU T	SDM MC. DATA 6_IN								
P1.13	ETH0. TXD0	U0C1. SELO 3		ECAT0. PHY_CL K25	SDM MC. DATA 7_OU T	SDM MC. DATA 7_IN	CAN. N1_RXD C							

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P1.14	ETH0. TXD1	U0C1. SELO 2		ECAT0. SYNC0			U1C0. DX0E							
P1.15	SCU. EXTCLK			U1C0. DOUT0						ERU1. 1A0				ECAT0 . P0_LI N KB
P2.0	CAN. NO_TXD			LEDTS0 .COL1	ETH0. MDO	ETH 0. MDI B			ERU0. 0B3		CCU40. IN1C			
P2.1				LEDTS0 .COL0	DB.TD O/ TRAC ESWO		ETH0. CLK_R MIIA			ERU1. 0B0	CCU40. IN0C			ETH0. CLKRX A
P2.2	VADC. EMUX0 0		CCU41. OUT3	LEDTS0 .LINE0	LEDTS0. EXTEN DED 0	LEDTS0. TSIN 0A	ETH0. RXD0A	U0C1. DX0A	ERU0. 1B2		CCU41. IN3A			
P2.3	VADC. EMUX0 1	U0C1. SELO 0	CCU41. OUT2	LEDTS0 .LINE1	LEDTS0. EXTEN DED 1	LEDTS0. TSIN 1A	ETH0. RXD1A	U0C1. DX2A	ERU0. 1A2		CCU41. IN2A			

(表格续下页.....)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO0	HWI0	Input	Input	Input	Input	Input	Input	Input	Input
P2.4	VADC. EMUX02	U0C1. SCLKOUT	CCU41. OUT1	LEDTS0. LINE2	LEDTS0. EXTENDED2	LEDTS0. TSIN2A	ETH0. RXERA	U0C1. DX1A	ERU0. 0B2		CCU41. IN1A			
P2.5	ETH0. TX_EN	U0C1. DOUT0	CCU41. OUT0	LEDTS0. LINE3	LEDTS0. EXTENDED3	LEDTS0. TSIN3A	ETH0. RXDVA	U0C1. DX0B	ERU0. 0A2		CCU41. IN0A			ETH0. CRS_DVA
P2.6		ERU1. PDOUT3	CCU80. OUT13	LEDTS0. COL3				CAN. N1_RXDA	ERU0. 1B3		CCU40. IN3C	ECAT0. P0_RX_ERRB		
P2.7	ETH0. MDC	CAN. N1_TXD	CCU80. OUT03	LEDTS0. COL2						ERU1. 1B0	CCU40. IN2C			
P2.8	ETH0. TXD0	ERU1. PDOUT1	CCU80. OUT32	LEDTS0. LINE4	LEDTS0. EXTENDED4	LEDTS0. TSIN4A	DAC. TRIGGER5				CCU40. IN0B	CCU40. IN1B	CCU40. IN2B	CCU40. IN3B
P2.9	ETH0. TXD1	ERU1. PDOUT2	CCU80. OUT22	LEDTS0. LINE5	LEDTS0. EXTENDED5	LEDTS0. TSIN5A	DAC. TRIGGER4				CCU41. IN0B	CCU41. IN1B	CCU41. IN2B	CCU41. IN3B

(表格续下页.....)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P2.10	VADC. EMUX1 0	ERU1. PDOUT 0	ECAT0. PHY_R ST	ECAT0. SYNC1										
P2.14	VADC. EMUX1 1	U1C0. DOUT0	CCU80. OUT21					U1C0. DX0D						
P2.15	VADC. EMUX1 2	ECAT0. P1_TXD 3	CCU80. OUT11	LEDTS0 .LINE6	LEDTS0. EXTENDED 6	LEDTS0. TSIN 6A	ETH0 .COLA	U1C0. DX0C						
P3.0		U0C1. SCLKO UT		ECAT0. P1_TX_ ENA			U0C1. DX1B				CCU80. IN2C			
P3.1		U0C1. SELO 0	ECAT0. P1_TXD 0				U0C1. DX2B		ERU0. 0B1		CCU80. IN1C			
P3.2	USB. DRIVEV BUS	CAN. N0_TXD	ECAT0. P1_TXD 1	LEDTS0 .COLA					ERU0. 0A1		CCU80. IN0C			
P3.3		U1C1. SELO 1		ECAT0. MCLK	SDM MC. LED							CCU80. IN3B		

(表格续下页.....)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P3.4		U1C1. SELO 2			SDM MC. BUS_ POWE R							CCU80. IN0B	ECAT0. P1_LIN A	
P3.5		U1C1. SELO 3		U0C1. DOUT0	SDM MC. CMD_ OUT	SDM MC. CMD_ _IN			ERU0. 3B1				ECAT0. P1_RX_ ERRA	
P3.6		U1C1. SELO 4		U0C1. SCLKO UT	SDM MC. CLK_ OUT	SDM MC. CLK_ IN			ERU0. 3A1					
P4.0		ECAT0. PHY_CL K25		U1C0. SCLKO UT	SDM MC. DATA 0_OU T	SDM MC. DATA 0_IN	U1C1. DX1C		U0C1. DX0E					ECAT0. P0_RX_ ERRA
P4.1		U1C1. MCLKO UT		U0C1. SELO 0	SDM MC. DATA 3_OU T	SDM MC. DATA 3_IN								ECAT0. P0_LIN A
P5.0				ERU1. PDOUT 0				ETH0. RXD0D	U0C0. DX0D	ECAT0. P0_RXD 0B				

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P5.1	U0C0. DOUT0			ERU1. PDOUT 1				ETH0. RXD1D		ECAT0. P0_RXD 1B				
P5.2		ECAT0 .P0_LI N_K_ACT		ERU1. PDOUT 2				ETH0. CRS_DV D		ECAT0. P0_RXD 2B				ETH0. RXDVD
P5.7	ECAT0. SYNC0			LEDTS0 .COLA						ECAT0. P0_RXD 3B				
P14.0							VADC. G0CH0							
P14.1							VADC. G0CH1							
P14.2							VADC. G0CH2	VADC. G1CH2						
P14.3							VADC. G0CH3	VADC. G1CH3			CAN. NO_RXD B			
P14.4							VADC. G0CH4							ECAT0. LATCH1 A
P14.5							VADC. G0CH5							ECAT0. LATCH0 A

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P14.6							VADC. G0CH6						G0ORC 6	ECAT0. P1_RX_ CLKB
P14.7							VADC. G0CH7						G0ORC 7	ECAT0. P1_RXD 0B
P14.8					DAC. OUT_ 0			VADC. G1CH0				ETH0. RXD0C		
P14.9					DAC. OUT_ 1			VADC. G1CH1				ETH0. RXD1C		
P14.12								VADC. G1CH4						ECAT0. P1_RXD 1B
P14.13								VADC. G1CH5						ECAT0. P1_RXD 2B
P14.14								VADC. G1CH6					G1ORC 6	ECAT0. P1_RXD 3B
P14.15								VADC. G1CH7					G1ORC 7	ECAT0. P1_RX_ DVB

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
P15.2														ECAT0. P1_RX_ ERRB
P15.3														ECAT0 . P1_LI N KB
P15.8											ETH0. CLK_ R MIIC			ETH0. CLKRXC
P15.9											ETH0. CRS_D V C			ETH0. RXDVC
HIB_IO_0	HIBOUT	WDT. SERVIC E_OUT					AKEUP A							
HIB_IO_1	HIBOUT	WDT. SERVIC E_OUT					AKEUP B							
USB_DP														
USB_DM														
TCK						DB.T C/ SCLK								

(table continues...)

Table 11 (continued) Port I/O

Function	Output					Input								
	ALT1	ALT2	ALT3	ALT4	HWO 0	HWI 0	Input	Input	Input	Input	Input	Input	Input	Input
TMS					DB.T MS/ SWDI O									
$\overline{\text{PORST}}$														
XTAL1							U0C0. DX0F	U0C1. DX0F	U1C0. DX0F	U1C1. DX0F				
XTAL2														
RTC_XTAL1									ERU0. 1B1					
RTC_XTAL2														

2 设备通用信息

2.3 电源连接方案

图 5 显示了 XMC4300 的参考电源连接方案。

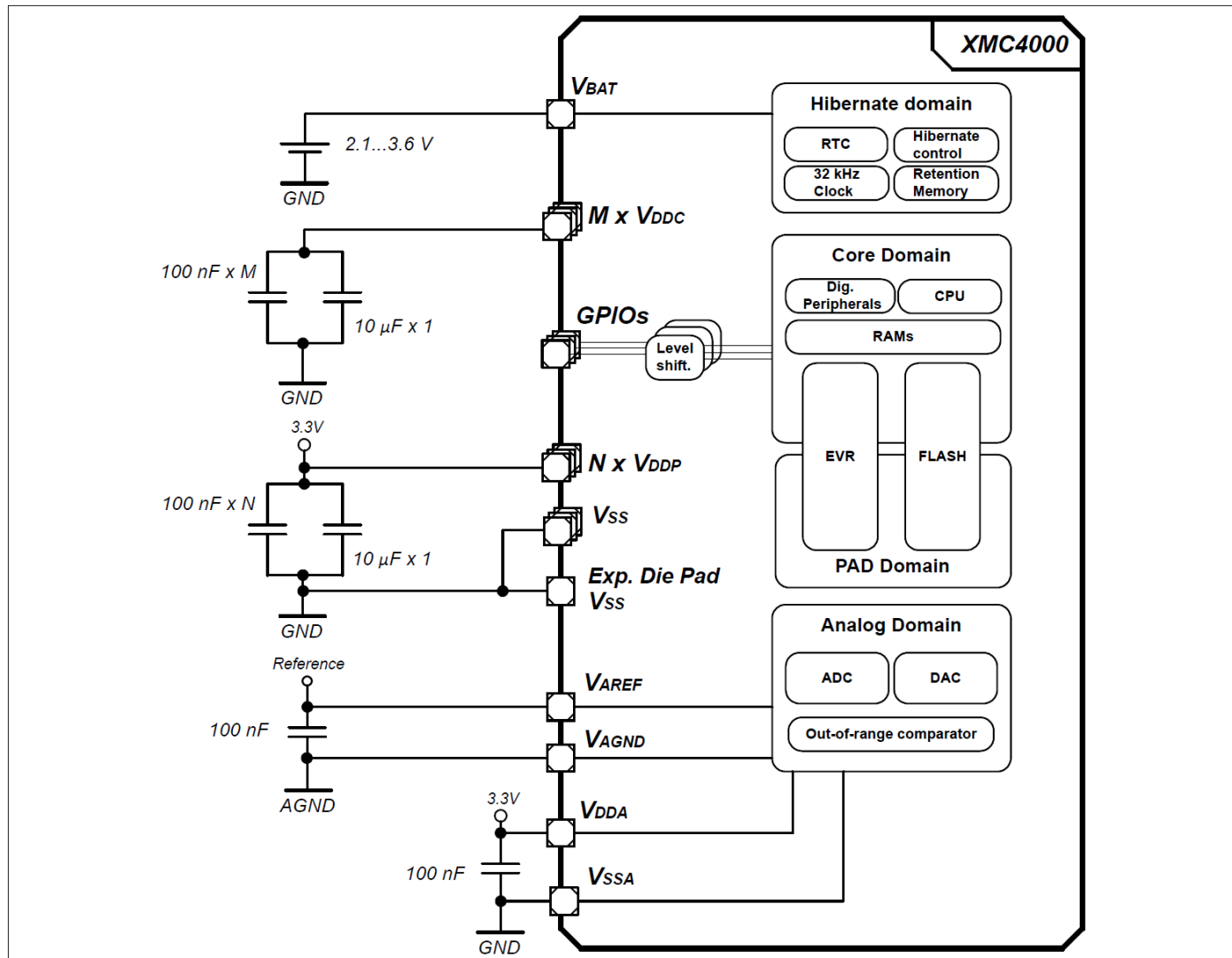


图 5 电源连接图

每个电源引脚都需要连接。同一电源的不同引脚也需要外部连接。例如，所有 V_{DDP} 引脚都必须外部连接到一个 V_{DDP} 网络。在此参考方案中，每个电源引脚上都连接一个 100 nF 电容以连接到 V_{SS} 。另一个 10 μ F 电容连接到 V_{DDP} 网络，另一个 10 μ F 电容连接到 V_{DDC} 网络。

XMC4300 具有共地概念，所有 V_{SS} 、 V_{SSA} 和 V_{SSO} 引脚共享相同的接地电位。在具有裸露芯片焊盘的封装中，它也必须连接到共地。

V_{AGND} 是模拟参考 V_{AREF} 的低电位。根据应用，它可以共享公共接地或具有不同的电位。在具有共享 V_{DDA} / V_{AREF} 和 V_{SSA} / V_{AGND} 引脚的设备中，参考与电源相连。一些模拟通道可以选择用作“备用参考”；有关此操作模式的更多详细信息，请参阅参考手册。

当 V_{DDP} 供电时， V_{BAT} 也必须供电。如果没有其他电源（例如电池）连接到 V_{BAT} ， V_{BAT} 引脚也可直接连接至 V_{DDP} 。

3 电气参数

3 电气参数

注意：本章中的所有参数均为初步目标值，可能会根据特性结果而改变。

3.1 常规参数

3.1.1 参数解释

本节列出的参数部分代表XMC4300的特性，部分代表其对系统的要求。为了帮助在评估设计时轻松解释参数，它们在“符号”列中用两个字母的缩写标记：

• CC

这些参数表明了 控制器 参数 特性，这是 XMC4300 的一个显著特点，在系统设计中必须加以考虑

• SR

这些参数表明了 系统要求，必须由采用XMC4300设计的应用系统提供。

3.1.2 最大绝对额定值

超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。暴露于绝对最大额定条件可能会影响器件的可靠性。

表 12 绝对最大额定参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Storage temperature	T_{ST} SR	-65	–	150	°C	–
Junction temperature	T_J SR	-40	–	150	°C	–
Voltage at 3.3 V power supply pins with respect to V_{SS}	V_{DDP} SR	–	–	4.3	V	–
Voltage on any Class A and dedicated input pin with respect to V_{SS}	V_{IN} SR	-1.0	–	$V_{DDP} + 1.0$ or max. 4.3	V	whichever is lower
Voltage on any analog input pin with respect to V_{AGND}	V_{AIN} V_{AREF} SR	-1.0	–	$V_{DDP} + 1.0$ or max. 4.3	V	whichever is lower
Input current on any pin during overload condition	I_{IN} SR	-10	–	+10	mA	

(表格续下页.....)

3 Electrical Parameters

表 12 (续) 绝对最大额定参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Absolute maximum sum of all input circuit currents for one port group during overload condition ¹⁾	$\Sigma I_{IN} SR$	-25	–	+25	mA	
Absolute maximum sum of all input circuit currents during overload condition	$\Sigma I_{IN} SR$	-100	–	+100	mA	

1) 端口组定义在 [过载下的引脚可靠性](#)。

图 6 解释 V_{IN} 和 V_{AIN} 的输入电压范围 及其对 V_{DDP} 电源电平的依赖性。输入电压不得超过 4.3 V，且不得比 V_{DDP} 超过 1.0 V。对于高达 $V_{DDP} + 1.0 V$ 的范围，另请参阅过载中的输入引脚可靠性中过载条件的定义。

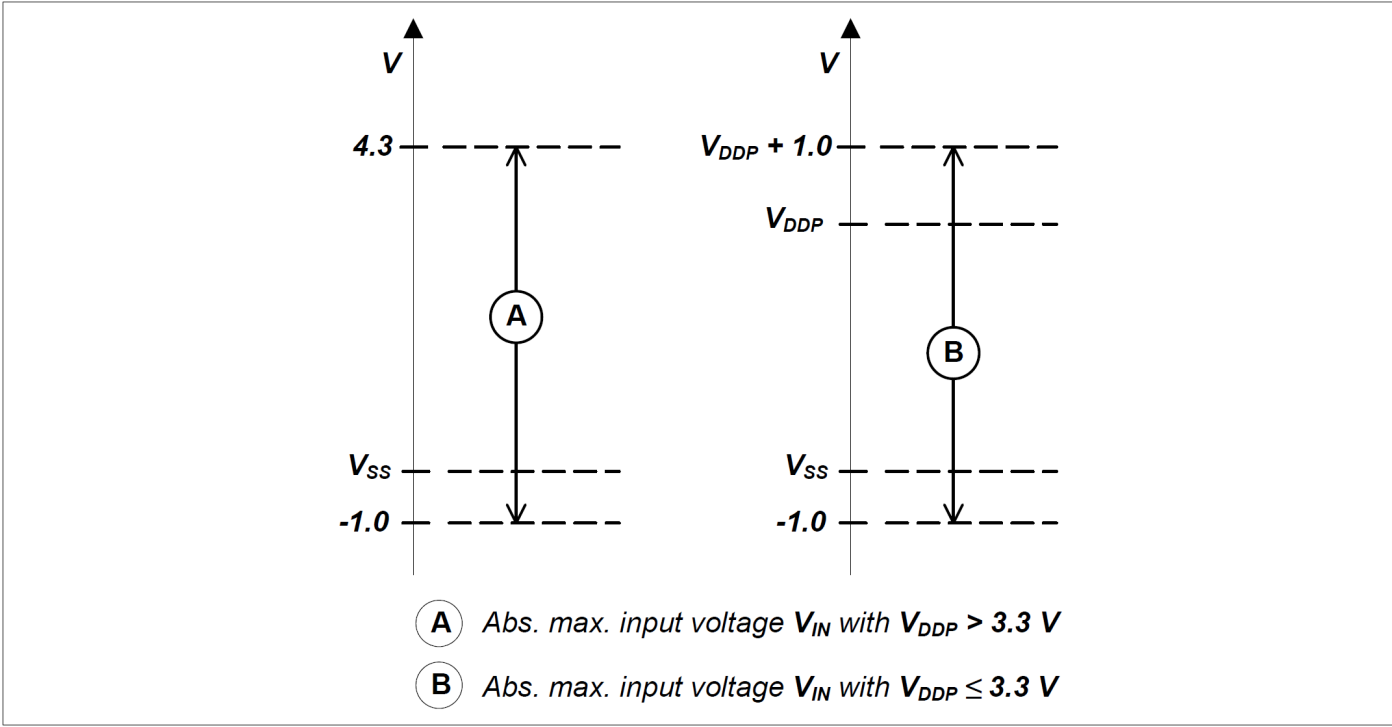


图 6 绝对最大输入电压范围

3 Electrical Parameters

3.1.3 过载下的引脚可靠性

当接收来自高压设备的信号时，低压设备会出现超出其自身 IO 电源规格的过载电流和电压。

表 14 定义了过载条件，在满足以下所有条件的情况下不会对可靠性造成任何负面影响的：

- 不超过整个操作寿命
- 工作条件满足
 - 焊盘电源电平 (V_{DDP} 或 V_{DDA})
 - 温度

如果引脚电流超出工作条件但在过载条件下，则无法再保证该引脚的参数符合操作状况中的规定。在大多数情况下仍可运行，但参数要宽松。

注： 一个或多个引脚上的过载情况不需要复位。

注： 引脚处的串联电阻将电流限制为最大允许过载电流，足以处理电池短路等故障情况。

表 13 过载参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input current on any port pin during overload condition	I_{OV} SR	-5	–	5	mA	
Absolute sum of all input circuit currents for one port group during overload condition ¹⁾	I_{OVG} SR	–	–	20	mA	$\Sigma I_{OVx} $, for all $I_{OVx} < 0$ mA
		–	–	20	mA	$\Sigma I_{OVx} $, for all $I_{OVx} > 0$ mA
Absolute sum of all input circuit currents during overload condition	I_{OVS} SR	–	–	80	mA	ΣI_{OVG}

1) 端口组定义见表 16。

图 7 显示了过载期间输入电流通过 ESD 保护结构的路径。接 V_{DDP} 和地的二极管 是这些 ESD 保护结构的简化表示。

3 Electrical Parameters

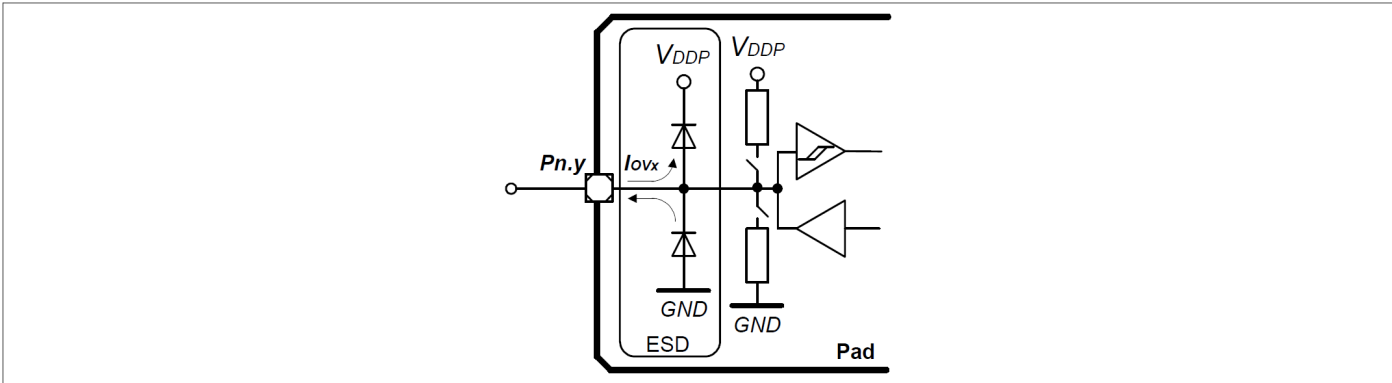


图 7 通过 ESD 结构的输入过载电流

表 14 和表 15 列出在过载条件下可以达到的输入电压。请注意，过载时不得超过在绝对最大额定值中规定的绝对最大输入电压。

表 14 正过载 PN 结特性

Pad Type	$I_{ov} = 5 \text{ mA}, T_J = -40^\circ\text{C}$	$I_{ov} = 5 \text{ mA}, T_J = 150^\circ\text{C}$
A1/A1+	$V_{IN} = V_{DDP} + 1.0 \text{ V}$	$V_{IN} = V_{DDP} + 0.75 \text{ V}$
A2	$V_{IN} = V_{DDP} + 0.7 \text{ V}$	$V_{IN} = V_{DDP} + 0.6 \text{ V}$
AN/DIG_IN	$V_{IN} = V_{DDP} + 1.0 \text{ V}$	$V_{IN} = V_{DDP} + 0.75 \text{ V}$

表 15 负过载的 PN 结特性

Pad Type	$I_{ov} = 5 \text{ mA}, T_J = -40^\circ\text{C}$	$I_{ov} = 5 \text{ mA}, T_J = 150^\circ\text{C}$
A1/A1+	$V_{IN} = V_{SS} - 1.0 \text{ V}$	$V_{IN} = V_{SS} - 0.75 \text{ V}$
A2	$V_{IN} = V_{SS} - 0.7 \text{ V}$	$V_{IN} = V_{SS} - 0.6 \text{ V}$
AN/DIG_IN	$V_{IN} = V_{DDP} - 1.0 \text{ V}$	$V_{IN} = V_{DDP} - 0.75 \text{ V}$

表 16 过载和短路电流总和参数的端口组

Group	Pins
1	P0.[12:0], P3.[6:0]
2	P14.[15:0], P15.[9:2]
3	P2.[15:0], P5.[7:0]
4	P1.[15:0], P4.[1:0]

3 Electrical Parameters

3.1.4 Pad 驱动器和 Pad 类别总结

本节概述了不同的 pad 驱动类别及其基本特性。

表 17 Pad 驱动器和 Pad 类别概述

Class	Power Supply	Type	Sub-Class	Speed Grade	Load	Termination
A	3.3 V	LVTTL I/O,	A1 (e.g. GPIO)	6 MHz	100 pF	No
			A1+ (e.g. serial I/Os)	25 MHz	50 pF	Series termination recommended
			A2 (e.g. ext. Bus)	80 MHz	15 pF	Series termination recommended

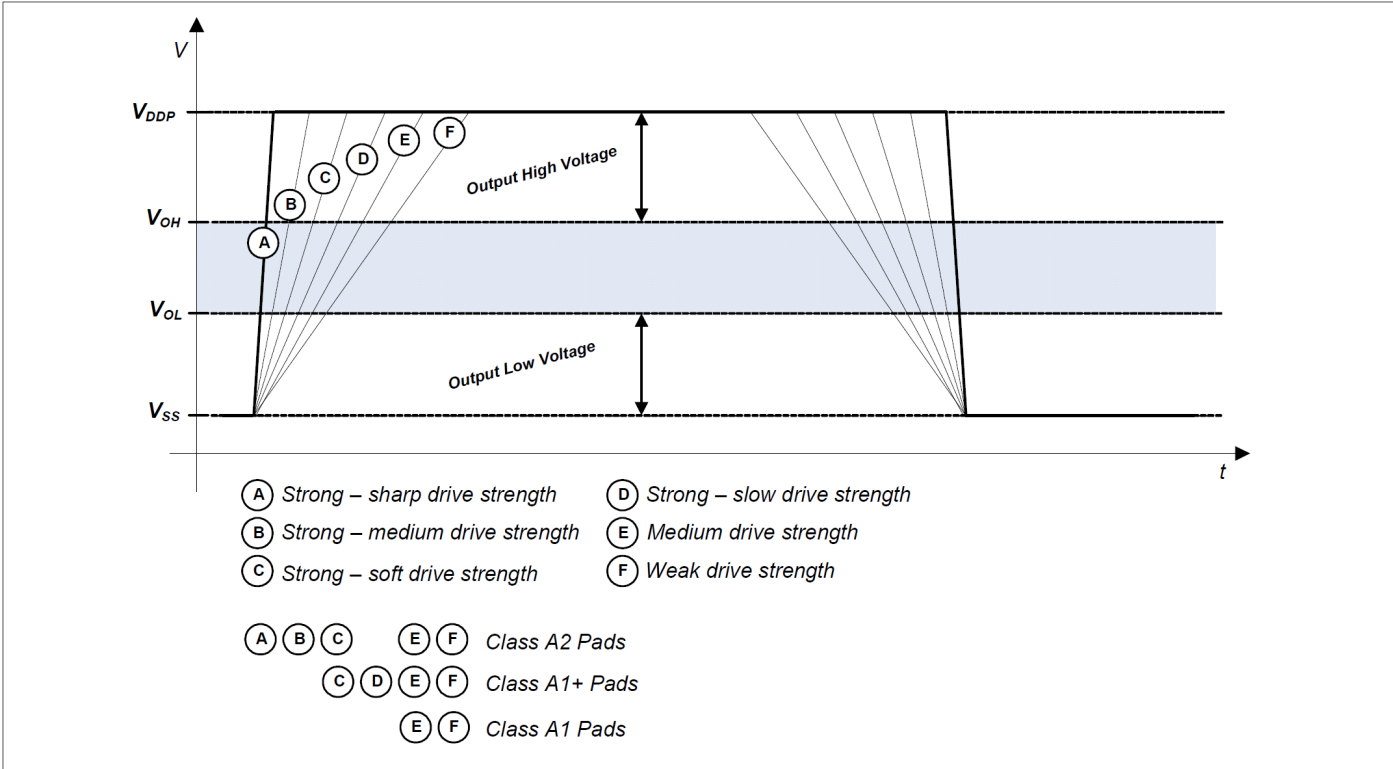


图 8 不同 Pad 驱动模式 下的输出斜率

图 8 是不同输出驱动模式下输出斜率性能的定性显示。详细的输入和输出特性列于[输入/输出引脚](#)。

3 Electrical Parameters

3.1.5 工作条件

为了确保 XMC4300 的正确操作和可靠性，不得超过以下操作条件。除非另有说明，以下部分中指定的所有参数均指这些操作条件。

表 18 工作条件参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Ambient Temperature	T_A SR	-40	–	85	°C	Temp. Range F
		-40	–	125	°C	Temp. Range K
Digital supply voltage	V_{DDP} SR	3.13 ¹⁾	3.3	3.63 ²⁾	V	
Core Supply Voltage	V_{DDC} CC	-1)	1.3	–	V	Generated internally
Digital ground voltage	V_{SS} SR	0	–	–	V	
ADC analog supply voltage	V_{DDA} SR	3.0	3.3	3.6 ²⁾	V	
Analog ground voltage for V_{DDA}	V_{SSA} SR	-0.1	0	0.1	V	
Battery Supply Voltage for Hibernate Domain	V_{BAT} SR	1.95 ³⁾	–	3.63	V	When V_{DDP} is supplied V_{BAT} has to be supplied as well.
System Frequency	f_{SYS} SR	–	–	144	MHz	
Short circuit current of digital outputs	I_{SC} SR	-5	–	5	mA	
Absolute sum of short circuit currents per pin group ⁴⁾	ΣI_{SC_PG} SR	–	–	20	mA	
Absolute sum of short circuit currents of the device	ΣI_{SC_D} SR	–	–	100	mA	

1) 另请参阅电源监控阈值、[上电和电源监控](#)。

2) 只要脉冲持续时间小于 100 μ s 并且脉冲累计和在整个使用寿命期间不超过 1 小时，上电和 PORST 低时允许电压过冲至 4.0 V。

3) 要启动休眠域，要求 $V_{BAT} \geq 2.1$ V，要以晶振模式可靠启动 RTC_XTAL 振荡，要求 $V_{BAT} \geq 3.0$ V。

4) 端口组定义见[表 16](#)。

3 Electrical Parameters

3.2 直流参数

3.2.1 输入/输出引脚

共享模拟/数字输入引脚的数字输入级与标准数字输入/输出引脚的输入级相同。

PORST 引脚 上的上拉电阻 与标准数字输入/输出引脚上的上拉电阻相同。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 19 标准Pad参数

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Pin capacitance (digital inputs/ outputs)	$C_{IO\ CC}$	–	10	pF	
Pull-down current	$ I_{PDL} $ SR	150	–	μA	¹⁾ $V_{IN} \geq 0.6 \times V_{DDP}$
		–	10	μA	²⁾ $V_{IN} \leq 0.36 \times V_{DDP}$
Pull-up current	$ I_{PUH} $ SR	–	10	μA	²⁾ $V_{IN} \geq 0.6 \times V_{DDP}$
		100	–	μA	¹⁾ $V_{IN} \leq 0.36 \times V_{DDP}$
Input Hysteresis for pads of all A classes ³⁾	$HYS_{A\ CC}$	$0.1 \times V_{DDP}$	–	V	
PORST spike filter always blocked pulse duration	$t_{SF1\ CC}$	–	10	ns	
PORST spike filter pass-through pulse duration	$t_{SF2\ CC}$	100	–	ns	
PORST pull-down current	$ I_{PPD} $ CC	13	–	mA	$V_{IN} = 1.0\ V$

- 1) 用相反逻辑电平驱动时流过上下拉设备所需的电流（“强制电流”）。对于有源上下拉装置，负载电流在强制和保持电流之间时输入状态未定。
- 2) 上下拉装置仍然维持有效逻辑电平的负载电流（“保持电流”）。对于有源上下拉装置，负载电流在强制和保持电流之间时输入状态未定。
- 3) 实施滞后是为了避免亚稳态和由于内部地弹而引起的切换。不能保证它能抑制由于外部系统噪声而引起的切换。

3 Electrical Parameters

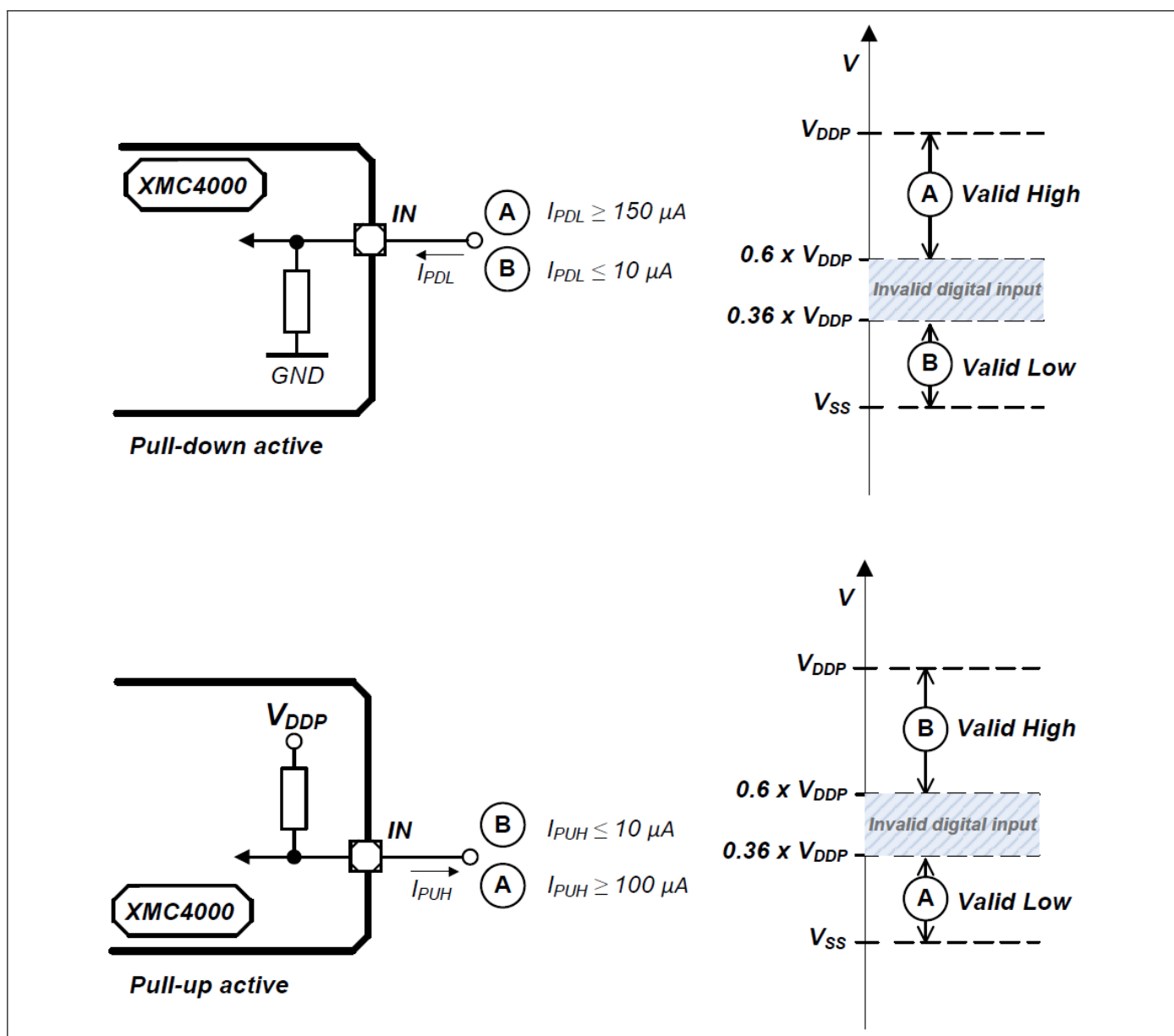


图 9 上拉装置输入特性

图 9 绘出了使用主动内部上拉装置的输入特性：

- 在情况“A”中，内部上拉装置被强外部驱动所取代；
- 在情况“B”中，外部负载弱时，内部上拉装置决定了输入逻辑状态

表 20 标准 Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input leakage current	$I_{OZA1\ CC}$	-500	500	nA	$0\text{ V} \leq V_{IN} \leq V_{DDP}$
Input high voltage	$V_{IHA1\ SR}$	$0.6 \times V_{DDP}$	$V_{DDP} + 0.3$	V	max. 3.6 V
Input low voltage	$V_{ILA1\ SR}$	-0.3	$0.36 \times V_{DDP}$	V	

(表格续下页.....)

3 Electrical Parameters

表 20 (续) 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Output high voltage, POD ¹⁾ = weak	V _{OHA1} CC	V _{DDP} - 0.4	–	V	I _{OH} ≥ -400 μA
		2.4	–	V	I _{OH} ≥ -500 μA
Output high voltage, POD ¹⁾ = medium		V _{DDP} - 0.4	–	V	I _{OH} ≥ -1.4 mA
		2.4	–	V	I _{OH} ≥ -2 mA
Output low voltage	V _{OLA1} CC	–	0.4	V	I _{OL} ≤ 500 μA; POD ¹⁾ = weak
		–	0.4	V	I _{OL} ≤ 2 mA; POD ¹⁾ = medium
Fall time	t _{FA1} CC	–	150	ns	C _L = 20 pF; POD ¹⁾ = weak
		–	50	ns	C _L = 50 pF; POD ¹⁾ = medium
Rise time	t _{RA1} CC	–	150	ns	C _L = 20 pF; POD ¹⁾ = weak
		–	50	ns	C _L = 50 pF; POD ¹⁾ = medium

1) POD = 引脚输出驱动器。

表 21 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input leakage current	I_{OZA1+} CC	-1	1	μA	$0\text{ V} \leq V_{IN} \leq V_{DDP}$
Input high voltage	V_{IHA1+} SR	$0.6 \times V_{DDP}$	$V_{DDP} + 0.3$	V	max. 3.6 V
Input low voltage	V_{ILA1+} SR	-0.3	$0.36 \times V_{DDP}$	V	
Output high voltage, POD ¹⁾ = weak	V_{OHA1+} CC	$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -400\text{ }\mu\text{A}$
		2.4	–	V	$I_{OH} \geq -500\text{ }\mu\text{A}$
Output high voltage, POD ¹⁾ = medium		$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -1.4\text{ mA}$
		2.4	–	V	$I_{OH} \geq -2\text{ mA}$
Output high voltage, POD ¹⁾ = strong		$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -1.4\text{ mA}$
		2.4	–	V	$I_{OH} \geq -2\text{ mA}$

(表格续下页.....)

3 Electrical Parameters

表 21 (续) 标准Pads Class_A1

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Output low voltage	$V_{OLA1+CC}$	–	0.4	V	$I_{OL} \leq 500 \mu A$; POD ¹⁾ = weak
		–	0.4	V	$I_{OL} \leq 2 \text{ mA}$; POD ¹⁾ = medium
		–	0.4	V	$I_{OL} \leq 2 \text{ mA}$; POD ¹⁾ = strong
Fall time	t_{FA1+CC}	–	150	ns	$C_L = 20 \text{ pF}$; POD ¹⁾ = weak
		–	50	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = medium
		–	28	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = slow
		–	16	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = soft;
Rise time	t_{RA1+CC}	–	150	ns	$C_L = 20 \text{ pF}$; POD ¹⁾ = weak
		–	50	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = medium
		–	28	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = slow
		–	16	ns	$C_L = 50 \text{ pF}$; POD ¹⁾ = strong; edge = soft

1) POD = 引脚输出驱动器。

表 22 标准Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input Leakage current	I_{OZA2CC}	-6	6	μA	$0 \text{ V} \leq V_{IN} < 0.5 * V_{DDP} - 1 \text{ V}$; $0.5 * V_{DDP} + 1 \text{ V} < V_{IN} \leq V_{DDP}$
		-3	3	μA	$0.5 * V_{DDP} - 1 \text{ V} < V_{IN} < 0.5 * V_{DDP} + 1 \text{ V}$
Input high voltage	V_{IHA2SR}	$0.6 * V_{DDP}$	$V_{DDP} + 0.3$	V	max. 3.6 V

(表格续下页.....)

3 Electrical Parameters

表 22 (续) 标准 Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input low voltage	$V_{ILA2\ SR}$	-0.3	$0.36 \times V_{DDP}$	V	
Output high voltage, POD = weak	$V_{OHA2\ CC}$	$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -400\ \mu A$
		2.4	–	V	$I_{OH} \geq -500\ \mu A$
Output high voltage, POD = medium		$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -1.4\ mA$
		2.4	–	V	$I_{OH} \geq -2\ mA$
Output high voltage, POD = strong		$V_{DDP} - 0.4$	–	V	$I_{OH} \geq -1.4\ mA$
		2.4	–	V	$I_{OH} \geq -2\ mA$
Output low voltage, POD = weak	$V_{OLA2\ CC}$	–	0.4	V	$I_{OL} \leq 500\ \mu A$
Output low voltage, POD = medium		–	0.4	V	$I_{OL} \leq 2\ mA$
Output low voltage, POD = strong		–	0.4	V	$I_{OL} \leq 2\ mA$
Fall time	$t_{FA2\ CC}$	–	150	ns	$C_L = 20\ pF$; POD = weak
		–	50	ns	$C_L = 50\ pF$; POD = medium
		–	3.7	ns	$C_L = 50\ pF$; POD = strong; edge = sharp
		–	7	ns	$C_L = 50\ pF$; POD = strong; edge = medium
		–	16	ns	$C_L = 50\ pF$; POD = strong; edge = soft
Rise time	$t_{RA2\ CC}$	–	150	ns	$C_L = 20\ pF$; POD = weak
		–	50	ns	$C_L = 50\ pF$; POD = medium
		–	3.7	ns	$C_L = 50\ pF$; POD = strong; edge = sharp

(表格续下页.....)

3 Electrical Parameters

表 22 (续) 标准Pads Class_A2

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
		–	7.0	ns	$C_L = 50 \text{ pF}$; POD = strong; edge = medium
		–	16	ns	$C_L = 50 \text{ pF}$; POD = strong; edge = soft

表 23 HIB_IO Class_A1 特殊Pads

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Input leakage current	$I_{OZHIB \text{ CC}}$	-500	500	nA	$0 \text{ V} \leq V_{IN} \leq V_{BAT}$
Input high voltage	$V_{IHIB \text{ SR}}$	$0.6 \times V_{BAT}$	$V_{BAT} + 0.3$	V	max. 3.6 V
Input low voltage	$V_{ILHIB \text{ SR}}$	-0.3	$0.36 \times V_{BAT}$	V	
Input Hysteresis for HIB_IO pins ¹⁾	$HYSHIB \text{ CC}$	$0.1 \times V_{BAT}$	–	V	$V_{BAT} \geq 3.13 \text{ V}$
		$0.06 \times V_{BAT}$	–	V	$V_{BAT} < 3.13 \text{ V}$
Output high voltage, POD ¹⁾ = medium	$V_{OHIB \text{ CC}}$	$V_{BAT} - 0.4$	–	V	$I_{OH} \geq -1.4 \text{ mA}$
Output low voltage	$V_{OLHIB \text{ CC}}$	–	0.4	V	$I_{OL} \leq 2 \text{ mA}$
Fall time	$t_{FHIB \text{ CC}}$	–	50	ns	$V_{BAT} \geq 3.13 \text{ V}$ $C_L = 50 \text{ pF}$
		–	100	ns	$V_{BAT} < 3.13 \text{ V}$ $C_L = 50 \text{ pF}$
Rise time	$t_{RHIB \text{ CC}}$	–	50	ns	$V_{BAT} \geq 3.13 \text{ V}$ $C_L = 50 \text{ pF}$
		–	100	ns	$V_{BAT} < 3.13 \text{ V}$ $C_L = 50 \text{ pF}$

¹⁾滞后作用是为了避免亚稳态和由于内部地弹而引起的切换。它不能保证抑制由于外部系统噪声而引起的切换。

3 Electrical Parameters

3.2.2 模数转换器

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 24 VADC 参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Analog reference voltage ¹⁾	V_{AREF} SR	$V_{AGND} + 1$	–	$V_{DDA} + 0.05$ ²⁾	V	
Analog reference ground ¹⁾	V_{AGND} SR	$V_{SSM} - 0.05$	–	$V_{AREF} - 1$	V	
Analog reference voltage range ^{1) 3)}	$V_{AREF} - V_{AGND}$ SR	1	–	$V_{DDA} + 0.1$	V	
Analog input voltage	V_{AIN} SR	V_{AGND}	–	V_{DDA}	V	
Input leakage at analog inputs ⁴⁾	I_{OZ1} CC	-100	–	200	nA	$0.03 \times V_{DDA} < V_{AIN} < 0.97 \times V_{DDA}$
		-500	–	100	nA	$0 \text{ V} \leq V_{AIN} \leq 0.03 \times V_{DDA}$
		-100	–	500	nA	$0.97 \times V_{DDA} \leq V_{AIN} \leq V_{DDA}$
Input leakage current at V_{AREF}	I_{OZ2} CC	-1	–	1	μA	$0 \text{ V} \leq V_{AREF} \leq V_{DDA}$
Input leakage current at V_{AGND}	I_{OZ3} CC	-1	–	1	μA	$0 \text{ V} \leq V_{AGND} \leq V_{DDA}$
Internal ADC clock	f_{ADCI} CC	2	–	36	MHz	$V_{DDA} = 3.3 \text{ V}$
Switched capacitance at the analog voltage inputs ⁵⁾	C_{AINSW} CC	–	4	6.5	pF	
Total capacitance of an analog input	C_{AINTOT} CC	–	12	20	pF	
Switched capacitance at the positive reference voltage input ^{1) 6)}	C_{AREFSW} CC	–	15	30	pF	
Total capacitance of the voltage reference inputs ¹⁾	$C_{AREFTOT}$ CC	–	20	40	pF	
Total Unadjusted Error	TUE CC	-4	–	4	LSB	12-bit resolution; $V_{DDA} = 3.3 \text{ V}$; $V_{AREF} = V_{DDA}$ ⁷⁾
Differential Non-Linearity Error ⁸⁾	EA_{DNL} CC	-3	–	3	LSB	
Gain Error ⁸⁾	EA_{GAIN} CC	-4	–	4	LSB	
Integral Non-Linearity ⁸⁾	EA_{INLCC}	-3	–	3	LSB	
Offset Error ⁸⁾	EA_{OFF} CC	-4	–	4	LSB	
RMS Noise ⁹⁾	E_{NRMS} CC	–	1	2 ^{10) 11)}	LSB	
Worst case ADC V_{DDA} power supply current per active converter	I_{DDAA} CC	–	1.5	2	mA	during conversion $V_{DDP} = 3.6 \text{ V}$, $T_J = 150^\circ\text{C}$

(表格续下页.....)

3 Electrical Parameters

表 24 (续) VADC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Charge consumption on V_{AREF} per conversion ¹⁾	$Q_{CONV\ CC}$	–	30	–	pC	$0\text{ V} \leq V_{AREF} \leq V_{DDA}$ ¹²⁾
ON resistance of the analog input path	$R_{AIN\ CC}$	–	600	1200	Ohm	
ON resistance for the ADC test (pull down for AIN7)	$R_{AIN7T\ CC}$	180	550	900	Ohm	
Resistance of the reference voltage input path	$R_{AREF\ CC}$	–	700	1700	Ohm	

1) 适用于 AINx，用作备用参考输入。

2) 如果违反正常条件（电压过冲），正在运行的转换可能会变得不精确。

3) 如果模拟参考电压低于 V_{DDA} ，则 ADC 转换器误差会增加。如果参考电压以因子 k 降低 ($k < 1$)，则 TUE、DNL、INL、增益和偏移误差也会以因子 $1/k$ 增加。

4) 漏电流定义是一个连续函数，如图 ADCx 模拟输入漏电流所示。定义的数值决定给定连续线性近似的特征点 - 它们不定义阶跃函数（见图 12）。

5) 转换网络的采样电容在采样前预充电至 $V_{AREF}/2$ 。由于寄生元件的存在，在 AINx 处测量的电压可能会偏离 $V_{AREF}/2$ 。

6) 这代表等效开关电容。该电容不会立即切换到参考电压。相反，较小的电容会逐渐切换到参考电压

7) 对于 10 位转换，误差减少至 $1/4$ ；对于 8 位转换，误差减少至 $1/16$ 。绝不会小于 ± 1 LSB。

8) DNL/INL/GAIN/OFF 误差之和不超过相关的总未调整误差 TUE。

9) 此参数对焊接设备有效，并且在模拟板设计时需格外小心。

10) 产生的最坏情况组合误差是 TUE 和 EN_{RMS} 的算术组合。

11) 值是根据一个 sigma 高斯分布定义的。

12) 转换产生的电流可以用 $I_{AREF} = Q_{CONV} / t_c$ 计算。最快的 12 位后校准转换时间为 $t_c = 459\text{ ns}$ ，其典型平均电流为 $I_{AREF} = 65.4\text{ }\mu\text{A}$ 。

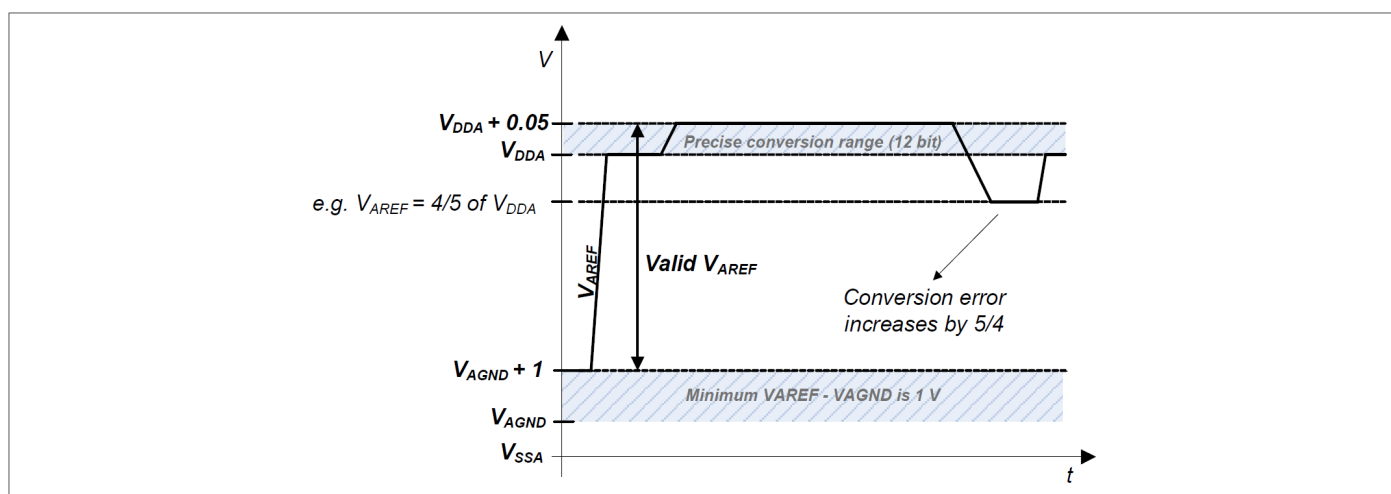


图 10 VADC 参考电压范围

VADC 的上电校准需要最多 $4352 f_{ADC}$ 周期。

3 Electrical Parameters

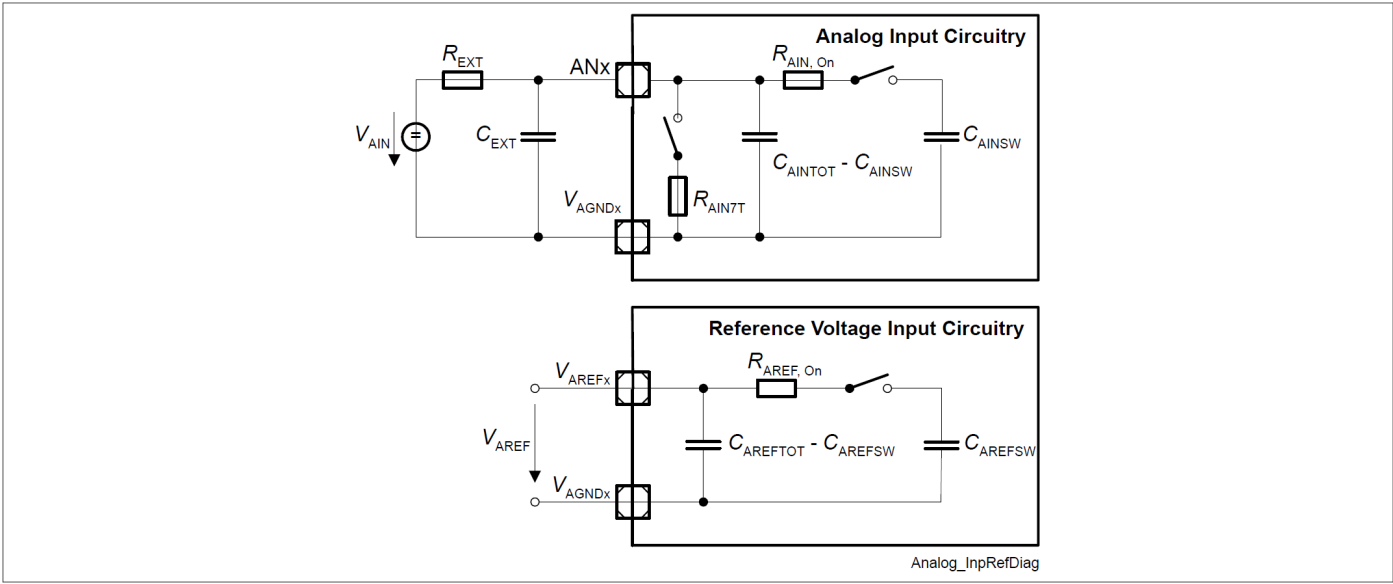


图 11 VADC 输入电路

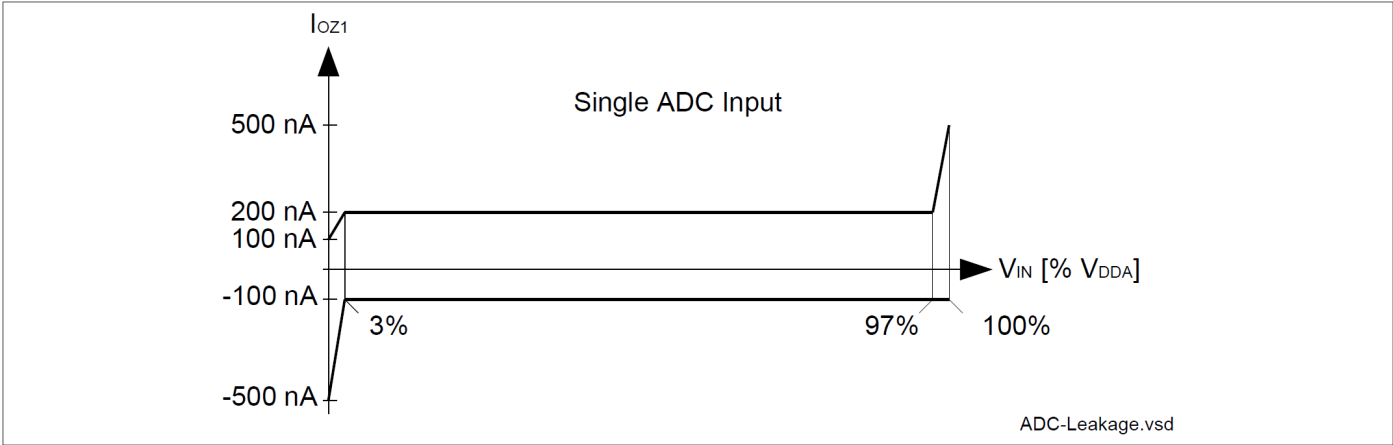


图 12 VADC 模拟输入漏电流转换时间

表 25 转换时间（适用工作条件）

Parameter	Symbol	Values	Unit	Note
Conversion time	$t_{c\ CC}$	$2 \times T_{ADC} + (2 + N + STC + PC + DM) \times T_{ADCI}$	μs	$N = 8, 10, 12$ for N-bit conversion $T_{ADC} = 1/f_{PERIPH}$ $T_{ADCI} = 1/f_{ADCI}$

- STC 定义额外的时钟周期来延长采样时间
- 如果启用后校准，PC 将增加两个时钟周期
- DM增加一个时钟周期以延长MSB的转换时间

3 Electrical Parameters

转换时间示例

系统假设：

$f_{\text{ADC}} = 144 \text{ MHz}$ ，即 $t_{\text{ADC}} = 6.9 \text{ ns}$ ， $\text{DIVA} = 3$ ， $f_{\text{ADCI}} = 36 \text{ MHz}$ ，即 $t_{\text{ADCI}} = 27.8 \text{ ns}$

根据给定的公式，可以实现以下最小转换时间（ $\text{STC} = 0$ ， $\text{DM} = 0$ ）：12 位后校准转换（ $\text{PC} = 2$ ）：

$$t_{\text{CN12C}} = (2 + 12 + 2) \times t_{\text{ADCI}} + 2 \times t_{\text{ADC}} = 16 \times 27.8 \text{ ns} + 2 \times 6.9 \text{ ns} = 459 \text{ ns}$$

12 位未校准转换：

$$t_{\text{CN12}} = (2 + 12) \times t_{\text{ADCI}} + 2 \times t_{\text{ADC}} = 14 \times 27.8 \text{ ns} + 2 \times 6.9 \text{ ns} = 403 \text{ ns}$$

10 位未校准转换：

$$t_{\text{CN10}} = (2 + 10) \times t_{\text{ADCI}} + 2 \times t_{\text{ADC}} = 12 \times 27.8 \text{ ns} + 2 \times 6.9 \text{ ns} = 348 \text{ ns}$$

8位未校准：

$$t_{\text{CN8}} = (2 + 8) \times t_{\text{ADCI}} + 2 \times t_{\text{ADC}} = 10 \times 27.8 \text{ ns} + 2 \times 6.9 \text{ ns} = 292 \text{ ns}$$

3.2.3 数模转换器 (DAC)

注：这些参数不经过生产测试，但经过设计和/或特性验证。

表 26 DAC 参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
RMS supply current	$I_{\text{DD CC}}$	–	2.5	4	mA	per active DAC channel, without load currents of DAC outputs
Resolution	RES CC	–	12	–	Bit	
Update rate	$f_{\text{URATE_A CC}}$	–		2	Msample/s	data rate, where DAC can follow 64 LSB code jumps to ± 1 LSB accuracy
Update rate	$f_{\text{URATE_F CC}}$	–		5	Msample/s	data rate, where DAC can follow 64 LSB code jumps to ± 4 LSB accuracy
Settling time	$t_{\text{SETTLE CC}}$	–	1	2	μs	at full scale jump, output voltage reaches target value ± 20 LSB
Slew rate	SR CC	2	5	–	V/ μs	

(table continues...)

3 Electrical Parameters

表 26 (续) DAC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Minimum output voltage	$V_{OUT_MIN\ CC}$	–	0.3	–	V	code value unsigned: 000 _H ; signed: 800 _H
Maximum output voltage	$V_{OUT_MAX\ CC}$	–	2.5	–	V	code value unsigned: FFF _H ; signed: 7FF _H
Integral non-linearity	$INL\ CC$	-5.5	±2.5	5.5	LSB	$R_L \geq 5\ k\Omega$, $C_L \leq 50\ pF$
Differential non-linearity	$DNL\ CC$	-2	±1	2	LSB	$R_L \geq 5\ k\Omega$, $C_L \leq 50\ pF$
Offset error	$ED_{OFF\ CC}$		±20		mV	
Gain error	$ED_{G_IN\ CC}$	-6.5	-1.5	3	%	
Startup time	$t_{STARTUP\ CC}$	–	15	30	µs	time from output enabling till code valid ±16 LSB
3dB Bandwidth of Output Buffer	$f_{C1\ CC}$	2.5	5	–	MHz	verified by design
Output sourcing current	$I_{OUT_SOURCE\ CC}$	–	-30	–	mA	
Output sinking current	$I_{OUT_SINK\ CC}$	–	0.6	–	mA	
Output resistance	$R_{OUT\ CC}$	–	50	–	Ohm	
Load resistance	$R_L\ SR$	5	–	–	kOhm	
Load capacitance	$C_L\ SR$	–	–	50	pF	
Signal-to-Noise Ratio	$SNR\ CC$	–	70	–	dB	examination bandwidth < 25 kHz
Total Harmonic Distortion	$THD\ CC$	–	70	–	dB	examination bandwidth < 25 kHz

(table continues...)

3 Electrical Parameters

表 26 (续) DAC 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Power Supply Rejection Ratio	$PSRR_{CC}$	–	56	–	dB	to V_{DDA} verified by design

转换计算

无符号的:

$$DACxDATA = 4095 \times (V_{OUT} - V_{OUT_MIN}) / (V_{OUT_MAX} - V_{OUT_MIN})$$

有符号的:

$$DACxDATA = 4095 \times (V_{OUT} - V_{OUT_MIN}) / (V_{OUT_MAX} - V_{OUT_MIN}) - 2048$$

3 Electrical Parameters

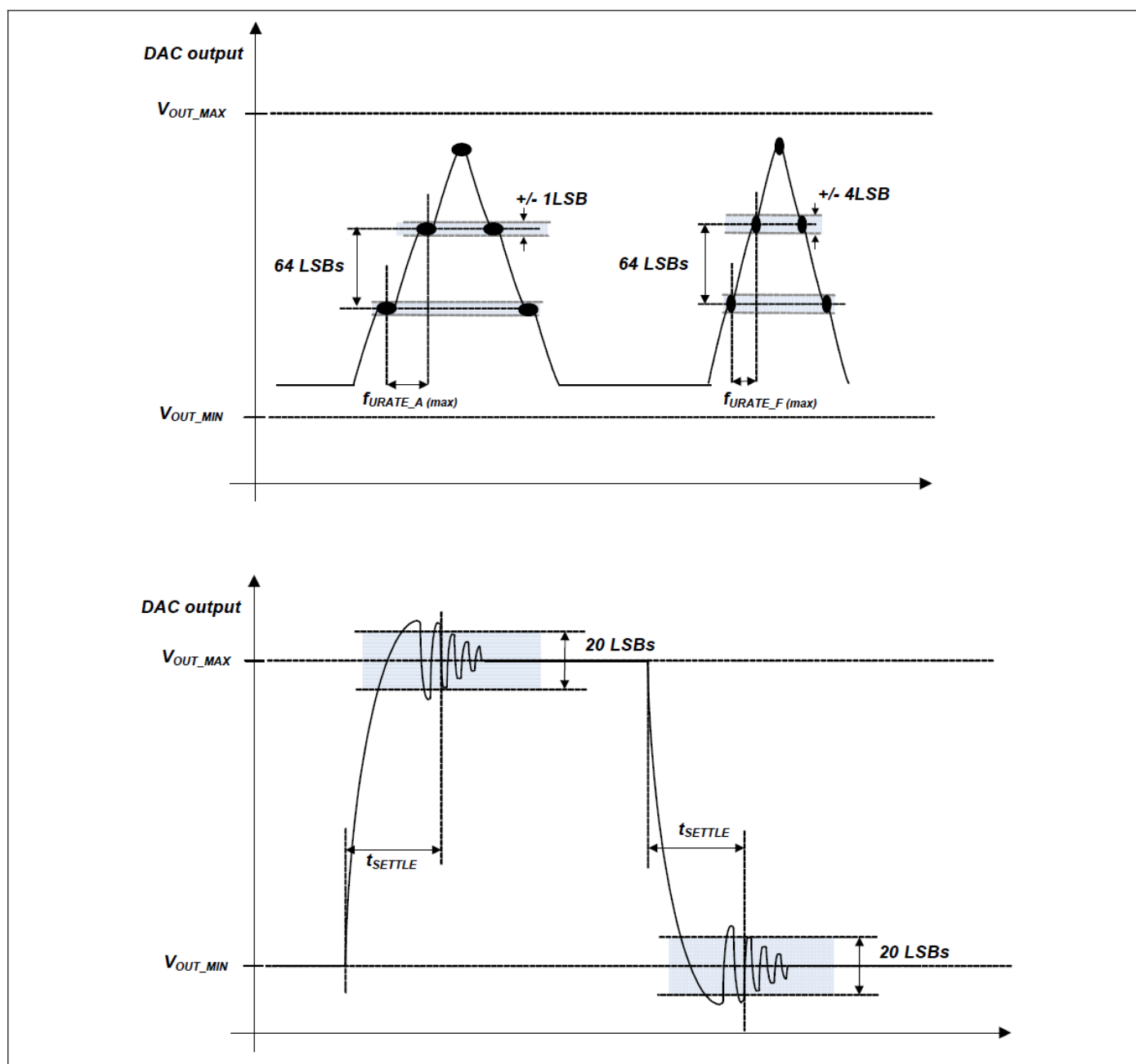


图 13 DAC 转换示例

3 Electrical Parameters

3.2.4 超范围比较器 (ORC)

超出范围比较器 (ORC) 在选定输入引脚 (GxORCy) 上检测到高于模拟参考1)(V_{AREF}) 的模拟输入电压 (V_{AIN}), 并生成服务请求触发 (GxORCOUTy)。

注: 这些参数不经过生产测试, 但经过设计和/或特性验证。

参数如表 27 适用最大参考电压 $V_{AREF} = V_{DDA} + 50 \text{ mV}$ 。

表 27 ORC 参数 (适用操作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
DC Switching Level	$V_{ODC} \text{ CC}$	100	125	210	mV	$V_{AIN} \geq V_{AREF} + V_{ODC}$
Hysteresis	$V_{OHYS} \text{ CC}$	50	–	V_{ODC}	mV	
Detection Delay of a persistent Overvoltage	$t_{ODD} \text{ CC}$	50	–	450	ns	$V_{AIN} \geq V_{AREF} + 210 \text{ mV}$
		45	–	105	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Always detected Overvoltage Pulse	$t_{OPDD} \text{ CC}$	440	–	–	ns	$V_{AIN} \geq V_{AREF} + 210 \text{ mV}$
		90	–	–	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Never detected Overvoltage Pulse	$t_{OPDN} \text{ CC}$	–	–	45	ns	$V_{AIN} \geq V_{AREF} + 210 \text{ mV}$
		–	–	30	ns	$V_{AIN} \geq V_{AREF} + 400 \text{ mV}$
Release Delay	$t_{ORD} \text{ CC}$	65	–	105	ns	$V_{AIN} \leq V_{AREF}$
Enable Delay	$t_{OED} \text{ CC}$	–	100	200	ns	

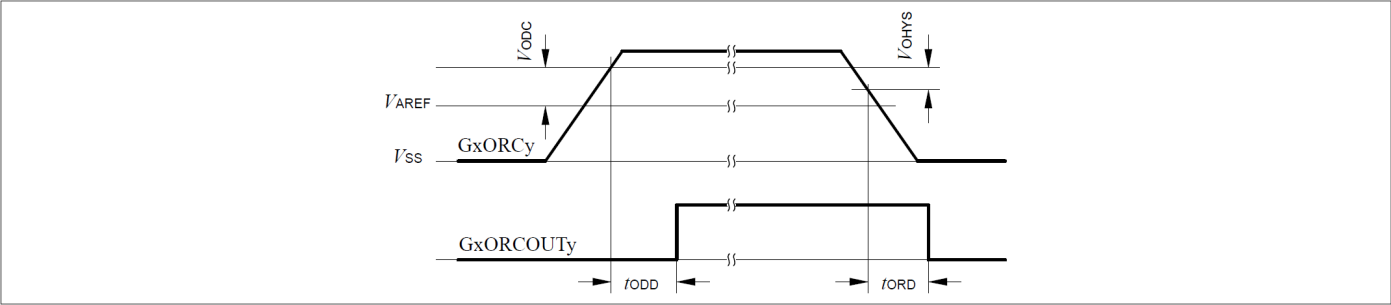


图 14 GxORCOUTy 触发生成

¹始终为标准 VADC 参考, 替代参考不适用于 ORC。

3 Electrical Parameters

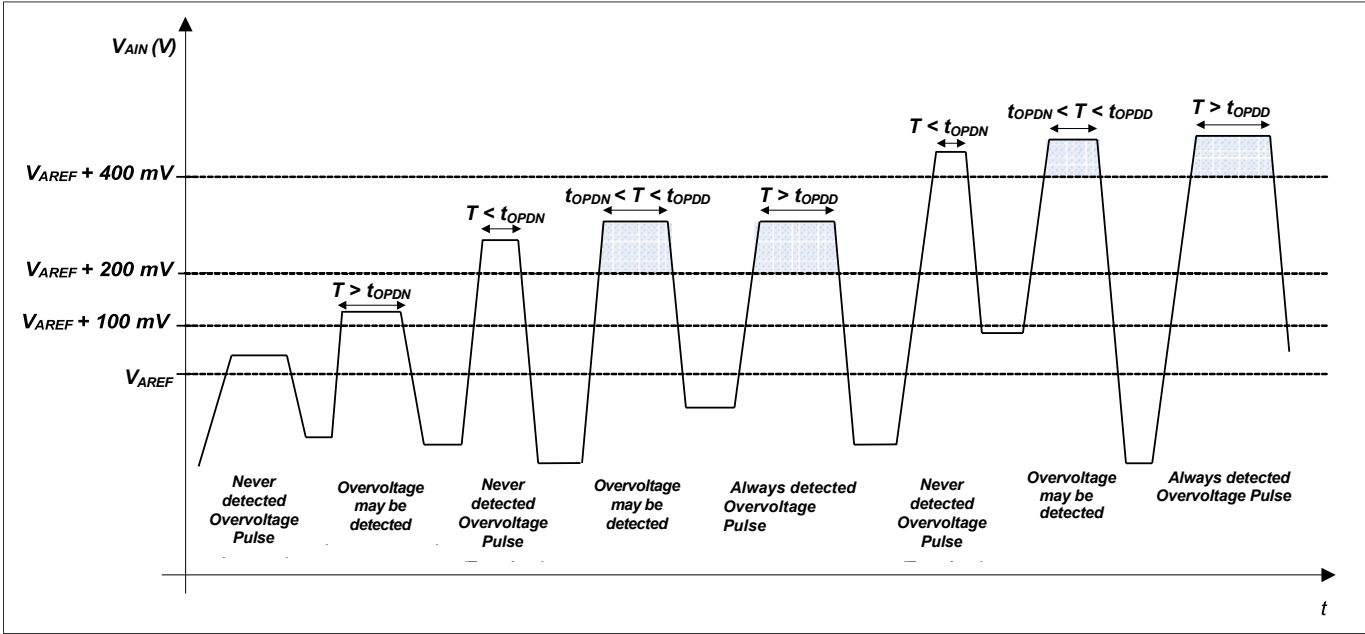


图 15 ORC 检测范围

3.2.5 芯片温度传感器

芯片温度传感器 (DTS) 测量结温 T_J 。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 28 芯片温度传感器参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Temperature sensor range	T_{SR} SR	-40	-	150	°C	
Linearity Error (to the below defined formula)	ΔT_{LE} CC	-	± 1	-	°C	per $\Delta T_J \leq 30^\circ\text{C}$
Offset Error	ΔT_{OE} CC	-	± 6	-	°C	$\Delta T_{OE} = T_J - T_{DTS}$ $V_{DDP} \leq 3.3\text{ V}^{1)}$
Measurement time	t_M CC	-	-	100	μs	
Start-up time after reset inactive	t_{TSST} SR	-	-	10	μs	

1) 当 $V_{DDP_max} = 3.63\text{ V}$ 时，典型偏移误差会额外增加 $\Delta T_{OE} = \pm 1^\circ\text{C}$ 。

3 Electrical Parameters

以下公式根据 DTSSTAT 寄存器的 RESULT 位字段计算 DTS 测量的温度（单位为 [°C]）。

温度 $T_{DTS} = (\text{结果} - 605) / 2.05$ [°C]

本公式及 表28中定义的值 适用以下校准值：

- DTSCON.BGTRIM = 8_H
- DTSCON.REFTRIM = 4_H

3.2.6 USB OTG 接口直流特性

通用串行总线 (USB) 接口符合 USB Rev. 2.0 规范和 OTG 规范 Rev. 1.3。不支持高速模式。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 29 USB OTG VBUS 和 ID 参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
VBUS input voltage range	$V_{IN\ CC}$	0.0	–	5.25	V	
A-device VBUS valid threshold	$V_{B1\ CC}$	4.4	–	–	V	
A-device session valid threshold	$V_{B2\ CC}$	0.8	–	2.0	V	
B-device session valid threshold	$V_{B3\ CC}$	0.8	–	4.0	V	
B-device session end threshold	$V_{B4\ CC}$	0.2	–	0.8	V	
VBUS input resistance to ground	$R_{VBUS_IN\ CC}$	40	–	100	kOhm	
B-device VBUS pull-up resistor	$R_{VBUS_PU\ CC}$	281	–	–	Ohm	Pull-up voltage = 3.0 V
B-device VBUS pull-down resistor	$R_{VBUS_PD\ CC}$	656	–	–	Ohm	
USB.ID pull-up resistor	$R_{UID_PU\ CC}$	14	–	25	kOhm	
VBUS input current	$I_{VBUS_IN\ CC}$	–	–	150	μA	$0\text{ V} \leq V_{IN} \leq 5.25\text{ V}$: $T_{AVG} = 1\text{ ms}$

表 30 USB OTG 数据线 (USB_DP, USB_DM) 参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input low voltage	$V_{IL\ SR}$	–	–	0.8	V	
Input high voltage (driven)	$V_{IH\ SR}$	2.0	–	–	V	
Input high voltage (floating) ¹⁾	$V_{IHZ\ SR}$	2.7	–	3.6	V	
Differential input sensitivity	$V_{DIS\ CC}$	0.2	–	–	V	

（表格续下页.....）

3 Electrical Parameters

表 30 USB OTG 数据线 (USB_DP, USB_DM) 参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Differential common mode range	$V_{CM\ CC}$	0.8	–	2.5	V	
Output low voltage	$V_{OL\ CC}$	0.0	–	0.3	V	1.5 kOhm pull-up to 3.6 V
Output high voltage	$V_{OH\ CC}$	2.8	–	3.6	V	15 kOhm pull-down to 0 V
DP pull-up resistor (idle bus)	$R_{PUI\ CC}$	900	–	1575	Ohm	
DP pull-up resistor (upstream port receiving)	$R_{PUA\ CC}$	1425	–	3090	Ohm	
DP, DM pull-down resistor	$R_{PD\ CC}$	14.25	–	24.8	kOhm	
Input impedance DP, DM	$Z_{INP\ CC}$	300	–	–	kOhm	$0\ V \leq V_{IN} \leq V_{DDP}$
Driver output resistance DP, DM	$Z_{DRV\ CC}$	28	–	44	Ohm	

1) 在A连接器接 1.5 kOhm $\pm$ 5%电阻上拉到 3.3 V $\pm$ 0.3 V再接USB_DP 或 USB_DM，B连接器接15 kOhm $\pm$ 5%电阻下拉到地再接USB_DP 和 USB_DM的情况下进行测量连接至 USB_DP 和 USB_DM 的接地电阻为 $\pm$ 5%。

3.2.7 振荡器引脚

注意：强烈建议测量最终目标系统（布局）中的振荡裕度（负电阻），以确定振荡器操作的最佳参数。
请参考晶振或陶瓷谐振器供应商指定的限值。

注：这些参数不经过生产测试，但经过设计和/或特性验证。

振荡器引脚可采用外部晶振（见图16）或直接输入模式（见图17）。

3 Electrical Parameters

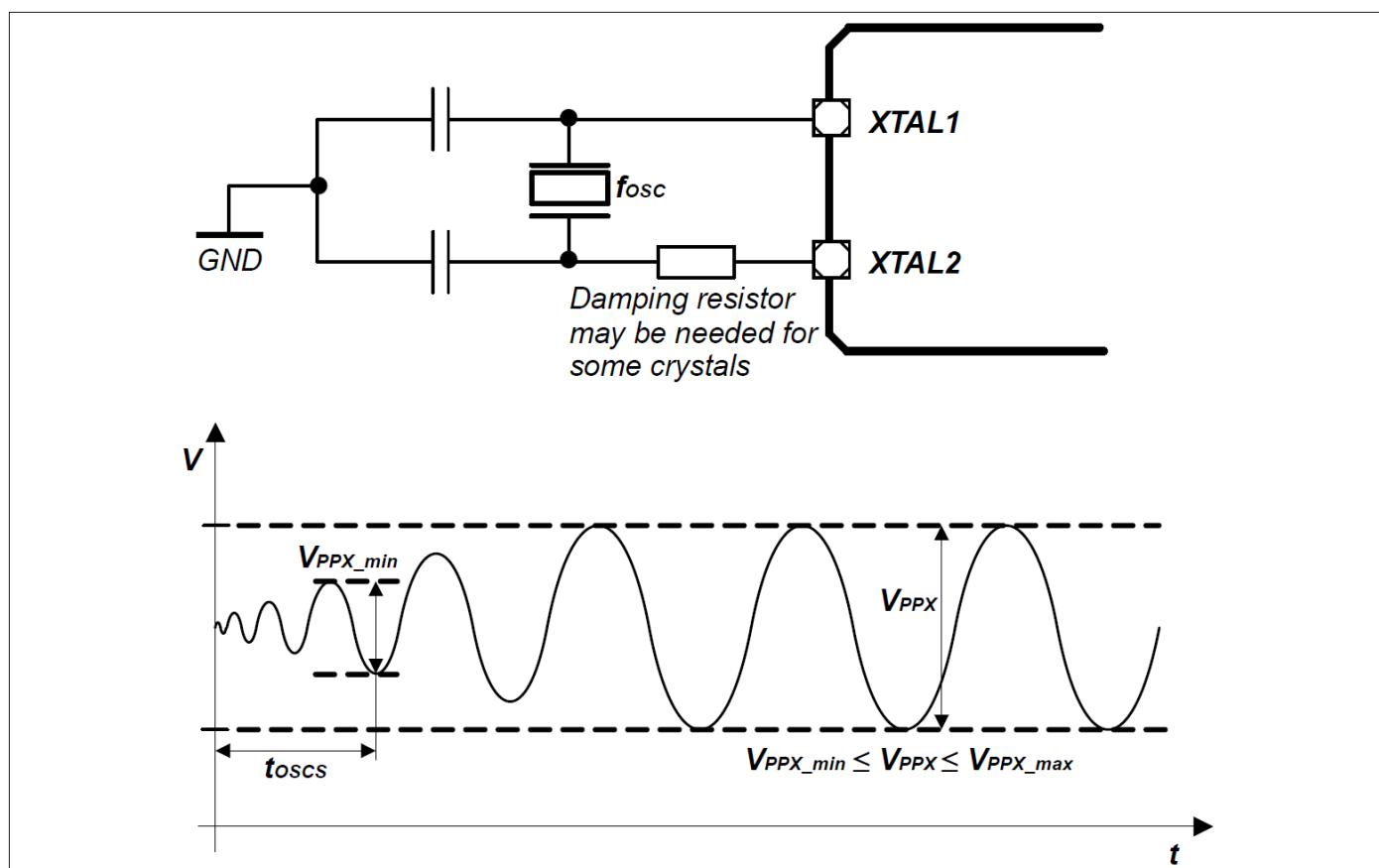


图 16 晶振模式下的振荡器

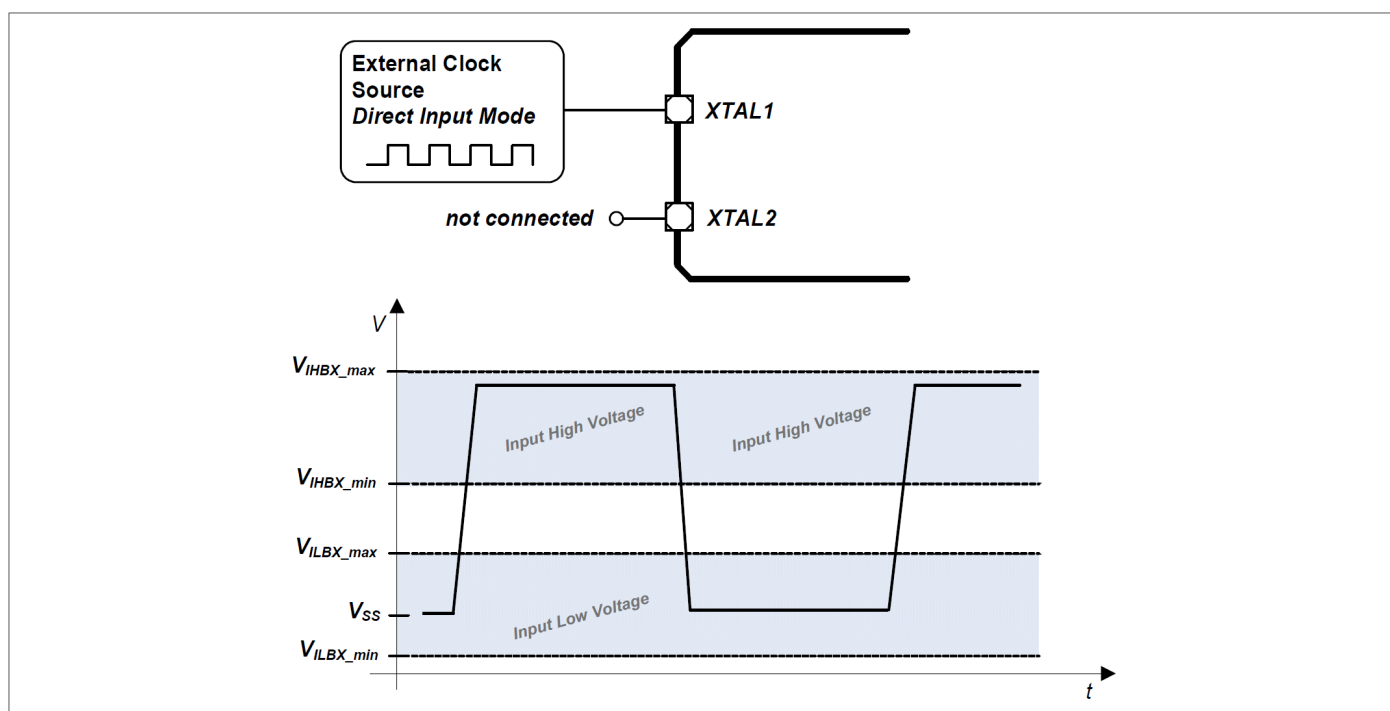


图 17 直接输入模式下的振荡器

3 Electrical Parameters

表 31 RTC_XTAL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input frequency	f_{OSC} SR	4	–	40	MHz	Direct Input Mode selected
		4	–	25	MHz	External Crystal Mode selected
Oscillator start-up time ^{1) 2)}	t_{OSCS} CC	–	–	10	ms	
Input voltage at XTAL1	V_{IX} SR	-0.5	–	$V_{DDP} + 0.5$	V	
Input amplitude (peak-to-peak) at XTAL1 ^{2) 3)}	V_{PPX} SR	$0.4 \times V_{DDP}$	–	$V_{DDP} + 1.0$	V	
Input high voltage at XTAL1 ⁴⁾	V_{IHBX} SR	1.0	–	$V_{DDP} + 0.5$	V	
Input low voltage at XTAL1 ⁴⁾	V_{ILBX} SR	-0.5	–	0.4	V	
Input leakage current at XTAL1	I_{ILX1} CC	-100	–	100	nA	Oscillator power down $0 V \leq V_{IX} \leq V_{DDP}$

1) t_{OSCS} 的定义是从使用 SCU_OSCHPCTRL.MODE 启用振荡器开始, 直到振荡在 XTAL1 处达到 $0.4 \times V_{DDP}$ 的幅度。

2) 客户必须优化外部振荡器电路, 并按照晶体供应商的建议和规定检查负载和幅度。

3) 如果整形器单元被启用并且没有被绕过。

4) 如果绕过整形器单元, 则必须满足专用的直流阈值。

表 32 RTC_XTAL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input frequency	f_{OSC} SR	–	32.768	–	kHz	
Oscillator start-up time ^{1) 2) 3)}	t_{OSCS} CC	–	–	5	s	
Input voltage at RTC_XTAL1	V_{IX} SR	-0.3	–	$V_{BAT} + 0.3$	V	
Input amplitude (peak-to-peak) at RTC_XTAL1 ^{2) 4)}	V_{PPX} SR	0.4	–	–	V	
Input high voltage at RTC_XTAL1 ⁵⁾	V_{IHBX} SR	$0.6 \times V_{BAT}$	–	$V_{BAT} + 0.3$	V	
Input low voltage at RTC_XTAL1 ⁵⁾	V_{ILBX} SR	-0.3	–	$0.36 \times V_{BAT}$	V	
Input Hysteresis for RTC_XTAL1 ^{5) 6)}	V_{HYSX} CC	$0.1 \times V_{BAT}$		–	V	$3.0 V \leq V_{BAT} < 3.6 V$
		$0.03 \times V_{BAT}$		–	V	$V_{BAT} < 3.0 V$

(table continues...)

3 Electrical Parameters

表 32 (续) RTC_XTAL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Input leakage current at RTC_XTAL1	$I_{ILX1\ CC}$	-100	–	100	nA	Oscillator power down $0\text{ V} \leq V_{IX} \leq V_{BAT}$

- 1) t_{OSCS} 的定义是从用户使用 SCU_OSCULCTRL.MODE 启用振荡器开始,直到振荡在 RTC_XTAL1 处达到 400 mV 的幅度。
- 2) 客户必须优化外部振荡器电路,并按照晶体供应商的建议和规定检查负载和幅度。
- 3) 为了在晶体模式下可靠地启动振荡,要求 $V_{BAT} \geq 3.0\text{ V}$ 。在整个 V_{BAT} 电压范围内维持振荡运行。
- 4) 如果整形器单元被启用并且没有被绕过。
- 5) 如果绕过整形器单元,则必须满足专用的直流阈值。
- 6) 实施滞后是为了避免亚稳态和由于内部地弹而引起的切换。不能保证它能抑制由于外部系统噪声而引起的切换。

3.2.8 电源电流

下面定义的总电源电流由漏电流和开关分量组成。

应用相关值通常低于下表给出的值,并且取决于客户的系统运行条件(例如热连接或使用的应用配置)。

注: 这些参数不经过生产测试,但经过设计和/或特性验证。

若无特殊说明,下表中参数的操作条件如下:

$$V_{DDP} = 3.3\text{ V}, T_A = 25\text{ }^{\circ}\text{C}$$

表 33 电源参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Active supply current ^{1) 2)} Peripherals enabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPA\ CC}$	–	135	–	mA	144/144/144
		–	125	–		144/72/72
		–	97	–		72/72/144
		–	80	–		24/24/24
		–	68	–		1/1/1
Active supply current Code execution from RAM Flash in Sleep mode	$I_{DDPA\ CC}$	–	108	–	mA	144/144/144
		–	98	–		144/72/72
Active supply current ³⁾ Peripherals disabled Frequency: $f_{CPU} / f_{PERIPH} / f_{CCU}$ in MHz	$I_{DDPA\ CC}$	–	86	–	mA	144/144/144
		–	85	–		144/72/72
		–	70	–		72/72/144
		–	55	–		24/24/24
		–	50	–		1/1/1

(table continues...)

3 Electrical Parameters

表 33 (续) 电源参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Sleep supply current ⁴⁾ Peripherals enabled Frequency: $f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in MHz	$I_{\text{DDPS CC}}$	–	127	–	mA	144/144/144
		–	115	–		144/72/72
		–	93	–		72/72/144
		–	57	–		24/24/24
		–	47	–		1/1/1
$f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in kHz		–	48	–		100/100/100
Sleep supply current ⁵⁾ Peripherals disabled Frequency: $f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in MHz	$I_{\text{DDPS CC}}$	–	77	–	mA	144/144/144
		–	76	–		144/72/72
		–	65	–		72/72/144
		–	53	–		24/24/24
		–	46	–		1/1/1
$f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in kHz		–	47	–		100/100/100
Deep Sleep supply current ⁶⁾ Flash in Sleep mode Frequency: $f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in MHz	$I_{\text{DDPD CC}}$	–	11	–	mA	24/24/24
		–	7.0	–		4/4/4
		–	6.6	–		1/1/1
$f_{\text{CPU}} / f_{\text{PERIPH}} / f_{\text{CCU}}$ in kHz		–	7.6	–		100/100/100 ⁷⁾
Hibernate supply current RTC on ⁸⁾	$I_{\text{DDPH CC}}$	–	8.7	–	μA	$V_{\text{BAT}} = 3.3 \text{ V}$
		–	6.5	–		$V_{\text{BAT}} = 2.4 \text{ V}$
		–	5.7	–		$V_{\text{BAT}} = 2.0 \text{ V}$
Hibernate supply current RTC off ⁹⁾	$I_{\text{DDPH CC}}$	–	8.0	–	μA	$V_{\text{BAT}} = 3.3 \text{ V}$
		–	6.0	–		$V_{\text{BAT}} = 2.4 \text{ V}$
		–	5.0	–		$V_{\text{BAT}} = 2.0 \text{ V}$
Hibernate off ¹⁰⁾	$I_{\text{DDPH CC}}$	–	4.4	–	μA	$V_{\text{BAT}} = 3.3 \text{ V}$
		–	3.5	–		$V_{\text{BAT}} = 2.4 \text{ V}$
		–	3.1	–		$V_{\text{BAT}} = 2.0 \text{ V}$
Worst case active supply current ¹¹⁾	$I_{\text{DDPA CC}}$	–	–	250 ²⁾	mA	$V_{\text{DDP}} = 3.6 \text{ V}$, $T_{\text{J}} = 150^{\circ}\text{C}$
V_{DDA} power supply current	$I_{\text{DDA CC}}$	–	–	– ¹²⁾	mA	
I_{DDP} current at PORST Low	$I_{\text{DDP_PORST CC}}$	–	5	10	mA	$V_{\text{DDP}} = 3.3 \text{ V}$, $T_{\text{J}} = 25^{\circ}\text{C}$
		–	13	55	mA	$V_{\text{DDP}} = 3.6 \text{ V}$, $T_{\text{J}} = 150^{\circ}\text{C}$

(表格续下页.....)

3 Electrical Parameters

表 33 (续) 电源参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Power Dissipation	$P_{DISS\ CC}$	–	–	1.4	W	$V_{DDP} = 3.6\text{ V}$, $T_J = 150^\circ\text{C}$
Wake-up time from Sleep to Active mode	$t_{SSA\ CC}$	–	6	–	cycles	
Wake-up time from Deep Sleep to Active mode		–	–	–	ms	Defined by the wake-up of the Flash module, see “Flash Memory Parameters”
Wake-up time from Hibernate mode		–	–	–	ms	Wake-up via power-on reset event, see “Power- Up and Supply Monitoring”

- 1) CPU 从 Flash 执行代码，所有外设空闲。
- 2) 在 T_J 恒定的情况下，当 f_{SYS} 下降 10 MHz 时， I_{DDP} 通常会下降约 5 mA。
- 3) CPU 从 Flash 执行代码。
- 4) CPU 处于休眠状态，所有外设处于空闲状态，Flash 处于活动模式。
- 5) CPU 处于休眠状态，Flash 处于活动模式。
- 6) CPU 处于休眠状态，外设禁用，唤醒后从 RAM 执行代码。
- 7) 要将 Flash 从睡眠模式唤醒，需要 $f_{CPU} \geq 1\text{ MHz}$ 。
- 8) OSC_ULP 利用 RTC_XTAL 上的外部晶振进行操作。
- 9) OSC_ULP 关闭，休眠域使用 OSC_SI 时钟运行。
- 10) V_{BAT} 已供电，但休眠域未启动；例如工厂组装后的状态。
- 11) 测试电源环路： $f_{SYS} = 144\text{ MHz}$ ，CPU 从 Flash 执行基准代码，所有 CCU 处于 100 kHz 定时器模式，所有 ADC 组处于连续转换模式，USIC 作为 SPI 处于内部环回模式，CAN 处于 500 kHz 内部环回模式，中断触发的 DMA 块传输至奇偶校验保护的 RAM 和 FCE，DTS 处于测量模式和 FPU 在进行计算。

每个客户应用的功耗很可能低于该值，但必须单独评估。
- 12) 所有活动转换器（ADC 和 DAC）的电流总和。

外设空闲电流

默认测试条件：

- f_{sys} 和派生时钟为 144 MHz
- $V_{DDP} = 3.3\text{ V}$, $T_a = 25^\circ\text{C}$,
- 所有外设都保持复位状态（参见 SCU 复位控制单元中的 PRSTAT 寄存器）
- 外设时钟被禁用（参见 SCU 时钟控制单元中的 CGATSTAT 寄存器）
- 无 I/O 活动

给定的值是对被测外设复位有效和取消以及时钟禁用和启用进行差分测量的结果。

被测试外设保持在外设复位取消后的状态，没有进行进一步的初始化或配置。例如，CCU 中没有运行计时器、USIC 中没有活动的通信等等。

3 Electrical Parameters

表 34

外设空闲电流

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
PORT S FCE WDT	$I_{\text{PER CC}}$	–	≤0.3	–	mA	
MultiCAN ERU LEDTSCU 0 ETH CCU4x ¹⁾ , CCU8x ¹⁾		–	≤1.0	–		
DAC (digital) ²⁾		–	1.3	–		
USICx SDMMC		–	3.0	–		
VADC (digital) ²⁾		–	4.5	–		
DMA0, USB, EtherCAT		–	6.0	–		

1)

为 POSIFx/CCU4x/CCU8x 模块 启用 f_{CCU} 时钟会增加大约 $I_{\text{PER}} = 4.8 \text{ mA}$ ，无论启用了哪些外设以及启用了多少个外设。

2)

模拟组件的电流消耗在相应外设的专用数据手册部分中给出。

3 Electrical Parameters

3.2.9 闪存参数

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 35 闪存参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Erase Time per 256 Kbyte Sector	$t_{\text{ERP CC}}$	–	5	5.5	s	
Erase Time per 64 Kbyte Sector	$t_{\text{ERP CC}}$	–	1.2	1.4	s	
Erase Time per 16 Kbyte Logical Sector	$t_{\text{ERP CC}}$	–	0.3	0.4	s	
Program time per page ¹⁾	$t_{\text{PRP CC}}$	–	5.5	11	ms	
Erase suspend delay	$t_{\text{FL_ErSusp CC}}$	–	–	15	ms	
Wait time after margin change	$t_{\text{FL_MarginDel CC}}$	10	–	–	μs	
Wake-up time	$t_{\text{WU CC}}$	–	–	270	μs	
Read access time	$t_{\text{a CC}}$	22	–	–	ns	For operation with $1/f_{\text{CPU}} < t_{\text{a}}$ wait states must be configured ²⁾
Data Retention Time, Physical Sector ^{3) 4)}	$t_{\text{RET CC}}$	20	–	–	years	Max. 1000 erase/program cycles
Data Retention Time, Logical Sector ^{3) 4)}	$t_{\text{RETL CC}}$	20	–	–	years	Max. 100 erase/program cycles
Data Retention Time, User Configuration Block (UCB) ^{3) 4)}	$t_{\text{RTU CC}}$	20	–	–	years	Max. 4 erase/program cycles per UCB
Endurance on 64 Kbyte Physical Sector PS4	$N_{\text{EPS4 CC}}$	10000	–	–	cycles	Cycling distributed over life time ⁵⁾

1) 如果编程验证功能检测到弱位，则这些位将被再次编程。重新编程需要额外 5.5 毫秒的时间。

2) 以下公式适用于等待状态配置： $\text{FCON.WSPFLASH} \times (1/f_{\text{CPU}}) \geq t_{\text{a}}$ 。

3) 包括存储和非活动时间。

4) 给出的数值适用于平均加权结温 $T_{\text{J}} = 110^{\circ}\text{C}$ 。

5) 仅对稳健的模拟EEPROM 算法有效，平等循环逻辑扇区。欲了解更多详细信息，请参阅参考手册。

3 Electrical Parameters

3.3 交流参数

3.3.1 测试波形

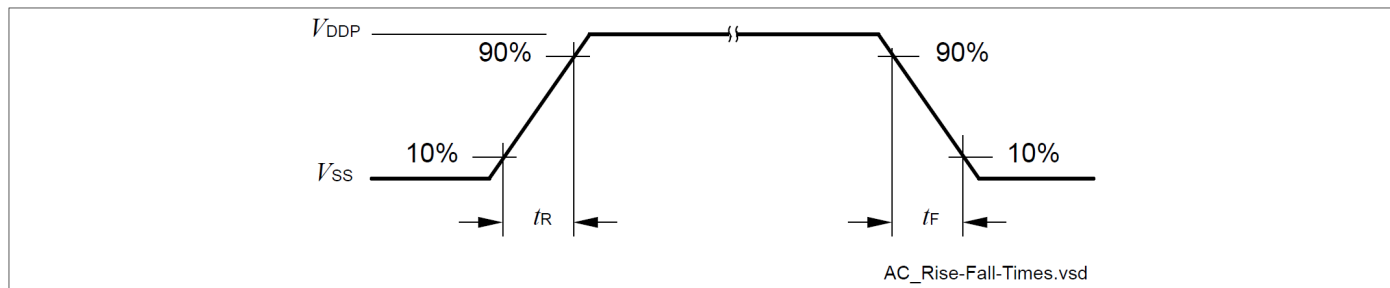


图 18 上升/下降时间参数

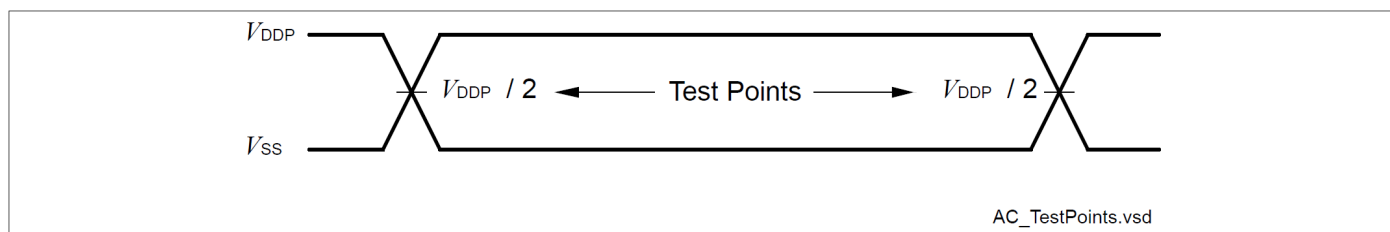


图19 测试波形，输出延迟

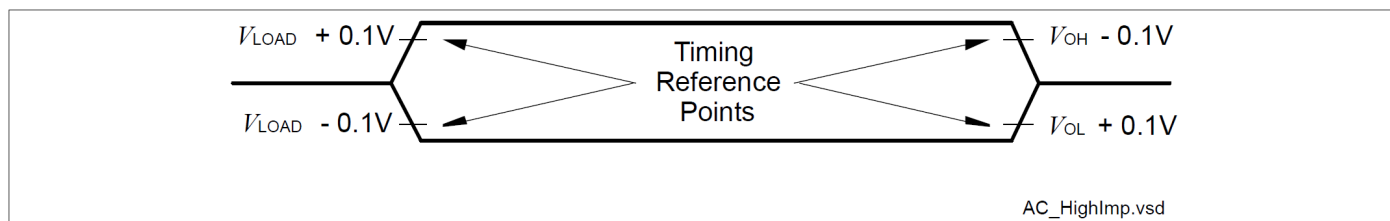


图20 测试波形，输出高阻

3 Electrical Parameters

3.3.2 上电和电源监控

当 V_{DDP} 和/或 V_{DDC} 违反相应阈值时，PORST 始终处于有效状态。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

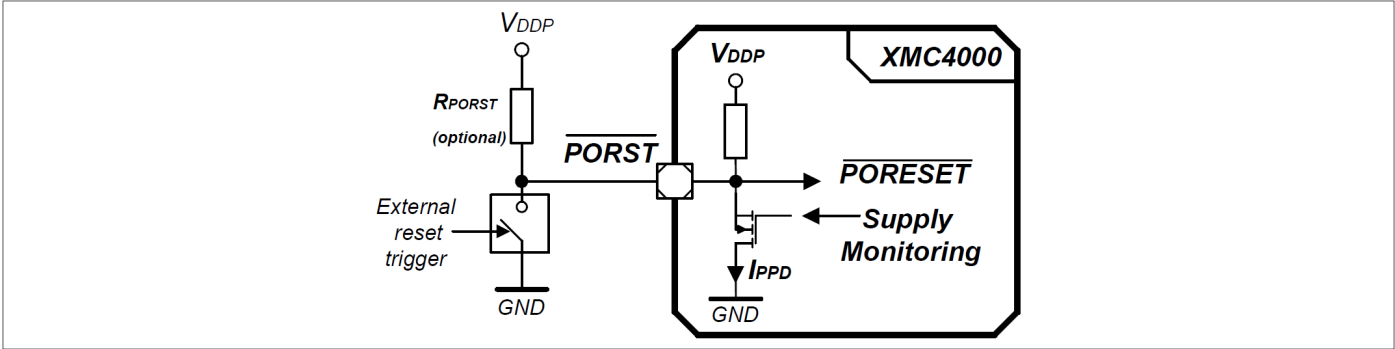


图 21 PORST 电路

表 36 电源监控参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Digital supply voltage reset threshold	$V_{POR\ CC}$	2.79 ¹⁾	–	3.05 ²⁾	V	³⁾
Core supply voltage reset threshold	$V_{PV\ CC}$	–	–	1.17	V	
V_{DDP} voltage to ensure defined pad states	$V_{DDPPA\ CC}$	–	1.0	–	V	
PORST rise time	$t_{PR\ SR}$	–	–	2	μs	⁴⁾
Startup time from power-on reset with code execution from Flash	$t_{SSW\ CC}$	–	2.5	3.5	ms	Time to the first user code instruction
V_{DDC} ramp up time	$t_{VCR\ CC}$	–	550	–	μs	Ramp up after power-on or after a reset triggered by a violation of V_{POR} or V_{PV}

- 1) 复位有效的最低阈值。
2) 复位失效的最大阈值。
3) V_{DDP} 监控的典型滞后为 $V_{PORHYS} = 180\text{ mV}$ 。
4) 如果 不满足 t_{PR} ，则启动期间可能会看到 PORST 上的低尖峰（例如，由于 V_{DDP} 缓慢上升而导致电源监控产生复位脉冲）。

3 Electrical Parameters

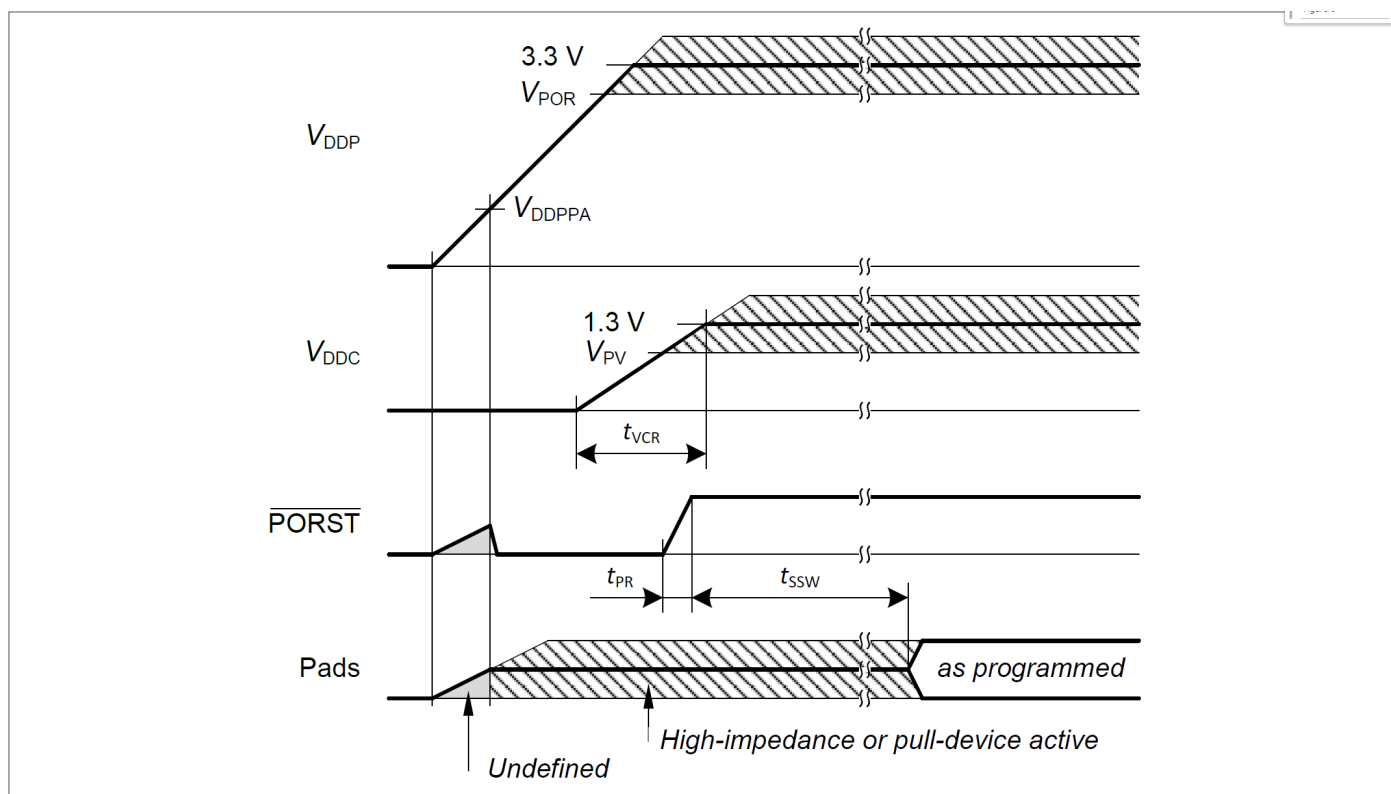


图 22 上电行为

3.3.3 电源序列

在启动和关闭以及切换系统电源模式时，限制电流负载阶跃非常重要。此类负载阶跃的典型原因是改变了CPU 频率 f_{CPU} 。超过以下定义值的负载阶跃可能会导致电源监控触发上电复位。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 37 电源排序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Positive Load Step Current	$\Delta I_{\text{PLS SR}}$	–	–	50	mA	Load increase on V_{DDP} $\Delta t \leq 10 \text{ ns}$
Negative Load Step Current	$\Delta I_{\text{NLS SR}}$	–	–	150	mA	Load decrease on V_{DDP} $\Delta t \leq 10 \text{ ns}$
V_{DDC} Voltage Over-/Undershoot from Load Step	$\Delta V_{\text{LS CC}}$	–	–	± 100	mV	For maximum positive or negative load step
Positive Load Step Settling Time	$t_{\text{PLSS SR}}$	50	–	–	μs	
Negative Load Step Settling Time	$t_{\text{NLSS SR}}$	100	–	–	μs	
External Buffer Capacitor on V_{DDC}	$C_{\text{EXT SR}}$	–	10	–	μF	In addition $C = 100 \text{ nF}$ capacitor on each V_{DDC} pin

3 Electrical Parameters

正负载阶跃示例

系统假设：

$f_{\text{CPU}} = f_{\text{SYS}}$ ，目标频率 $f_{\text{CPU}} = 144 \text{ MHz}$ ，主 PLL $f_{\text{VCO}} = 288 \text{ MHz}$ ，阶跃由 K2 分频器完成，各个阶跃之间的 t_{PLSS} ：

24 MHz - 48 MHz - 72 MHz - 96 MHz - 144 MHz (K2 阶跃 12 - 6 - 4 - 3 - 2)

24 MHz - 48 MHz - 96 MHz - 144 MHz (K2 阶跃 12 - 6 - 3 - 2)

24 MHz - 72 MHz - 144 MHz (K2 阶跃 12 - 4 - 2)

3.3.4 锁相环 (PLL) 特性

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

主 PLL 和 USB PLL

表 38 PLL 参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Accumulated Jitter	$D_P \text{ CC}$	–	–	±5	ns	accumulated over 300 cycles $f_{\text{SYS}} = 144 \text{ MHz}$
Duty Cycle ¹⁾	$D_{\text{DC}} \text{ CC}$	46	50	54	%	Low pulse to total period, assuming an ideal input clock source
PLL base frequency	$f_{\text{PLLBASE}} \text{ CC}$	30	–	140	MHz	
VCO input frequency	$f_{\text{REF}} \text{ CC}$	4	–	16	MHz	
VCO frequency range	$f_{\text{VCO}} \text{ CC}$	260	–	520	MHz	
PLL lock-in time	$t_L \text{ CC}$	–	–	400	µs	

1)对于偶数 K2 分频值，为 50%；对于奇数 K2 分频值，为 $50 \pm (10/K2)$ 。

3 Electrical Parameters

3.3.5 内部时钟源特性

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

快速内部时钟源

表 39 快速内部时钟参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Nominal frequency	$f_{\text{OFINC CC}}$	–	36.5	–	MHz	not calibrated
		–	24	–	MHz	calibrated
Accuracy	$\Delta f_{\text{OFI CC}}$	-0.5	–	0.5	%	automatic calibration ^{1) 2)}
		-15	–	15	%	factory calibration, $V_{\text{DDP}} = 3.3 \text{ V}$
		-25	–	25	%	no calibration, $V_{\text{DDP}} = 3.3 \text{ V}$
		-7	–	7	%	Variation over voltage range ³⁾ $3.13 \text{ V} \leq V_{\text{DDP}} \leq 3.63 \text{ V}$
Start-up time	$t_{\text{OFIS CC}}$	–	50	–	μs	

1) 除了参考时钟的精度之外的误差。

2) 自动校准可补偿温度和 V_{DDP} 电源电压的变化。

3) 与标称 V_{DDP} 电压的偏差会对未校准和/或工厂校准的振荡器频率产生额外的误差。

慢速内部时钟源

表 40 慢速内部时钟参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Nominal frequency	$f_{\text{OSI CC}}$	–	32.768	–	kHz	
Accuracy	$\Delta f_{\text{OSI CC}}$	-4	–	4	%	$V_{\text{BAT}} = \text{const.}$ $0^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$
		-5	–	5	%	$V_{\text{BAT}} = \text{const.}$ $T_A < 0^\circ\text{C}$ or $T_A > 85^\circ\text{C}$
		-5	–	5	%	$2.4 \text{ V} \leq V_{\text{BAT}},$ $T_A = 25^\circ\text{C}$
		-10	–	10	%	$1.95 \text{ V} \leq V_{\text{BAT}} < 2.4 \text{ V},$ $T_A = 25^\circ\text{C}$
Start-up time	$t_{\text{OSIS CC}}$	–	50	–	μs	

3 Electrical Parameters

3.3.6 JTAG 接口时序

以下参数适用于通过 JTAG 调试接口进行通信。JTAG 模块完全符合 IEEE1149.1-2000。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用操作条件。

表 41 JTAG 接口时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
TCK clock period	t_1 SR	25	–	–	ns	
TCK high time	t_2 SR	10	–	–	ns	
TCK low time	t_3 SR	10	–	–	ns	
TCK clock rise time	t_4 SR	–	–	4	ns	
TCK clock fall time	t_5 SR	–	–	4	ns	
TDI/TMS setup to TCK rising edge	t_6 SR	6	–	–	ns	
TDI/TMS hold after TCK rising edge	t_7 SR	6	–	–	ns	
TDO valid after TCK falling edge ¹⁾ (propagation delay)	t_8 CC	–	–	13	ns	$C_L = 50$ pF
		3	–	–	ns	$C_L = 20$ pF
TDO hold after TCK falling edge ¹⁾	t_{18} CC	2	–	–	ns	
TDO high impd. to valid from TCK falling edge ^{1) 2)}	t_9 CC	–	–	14	ns	$C_L = 50$ pF
TDO valid to high impd. from TCK falling edge ¹⁾	t_{10} CC	–	–	13.5	ns	$C_L = 50$ pF

- 1) TCK 上的下降沿用于生成 TDO 时序。
2) TDO 的建立时间由 TCK 周期时间隐含给出。

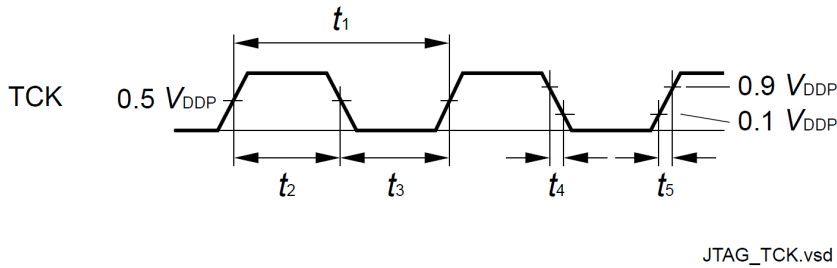


图23 测试时钟时序 (TCK)

3 Electrical Parameters

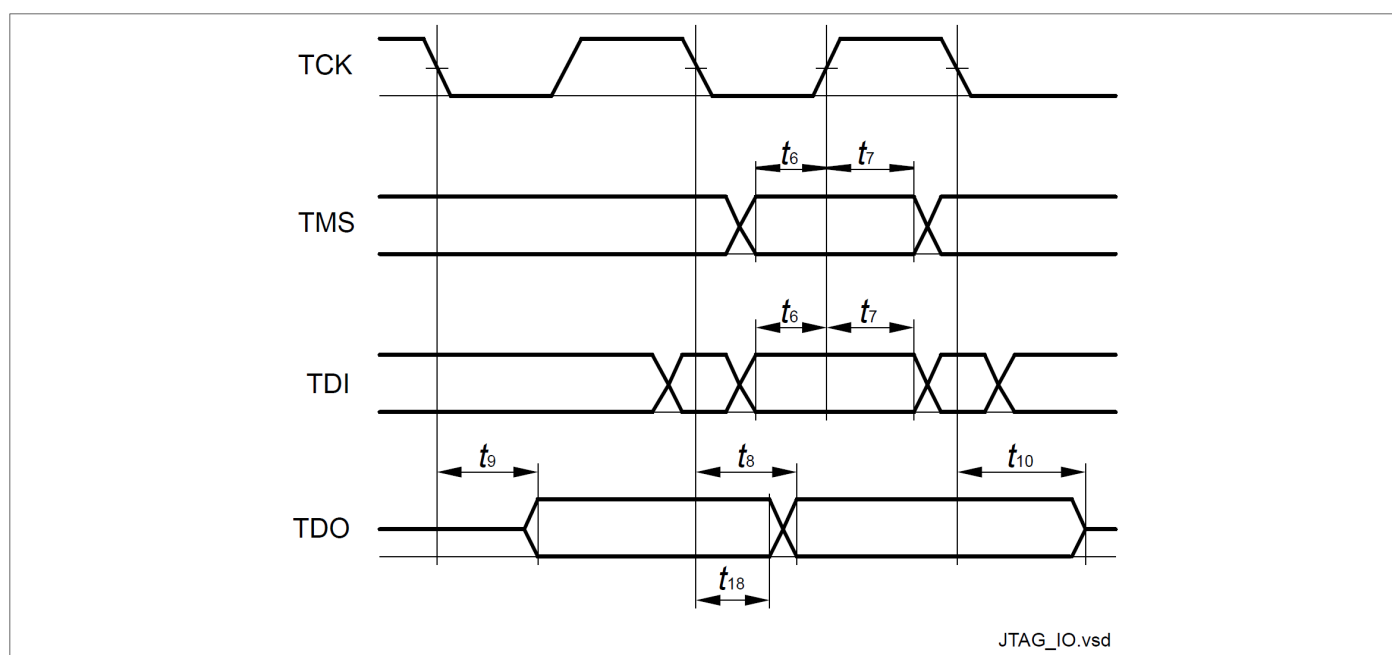


图 24 JTAG 时序

3.3.7 串行线调试端口 (SW-DP) 时序

以下参数适用于通过 SW-DP 接口进行通信。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用操作条件。

表 42 SWD 接口时序参数 (适用工作条件)

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
SWDCLK clock period	t_{SC} SR	25	–	–	ns	$C_L = 30$ pF
		40	–	–	ns	$C_L = 50$ pF
SWDCLK high time	t_1 SR	10	–	500000	ns	
SWDCLK low time	t_2 SR	10	–	500000	ns	
SWDIO input setup to SWDCLK rising edge	t_3 SR	6	–	–	ns	
SWDIO input hold after SWDCLK rising edge	t_4 SR	6	–	–	ns	
SWDIO output valid time after SWDCLK rising edge	t_5 CC	–	–	17	ns	$C_L = 50$ pF
		–	–	13	ns	$C_L = 30$ pF
SWDIO output hold time from SWDCLK rising edge	t_6 CC	3	–	–	ns	

3 Electrical Parameters

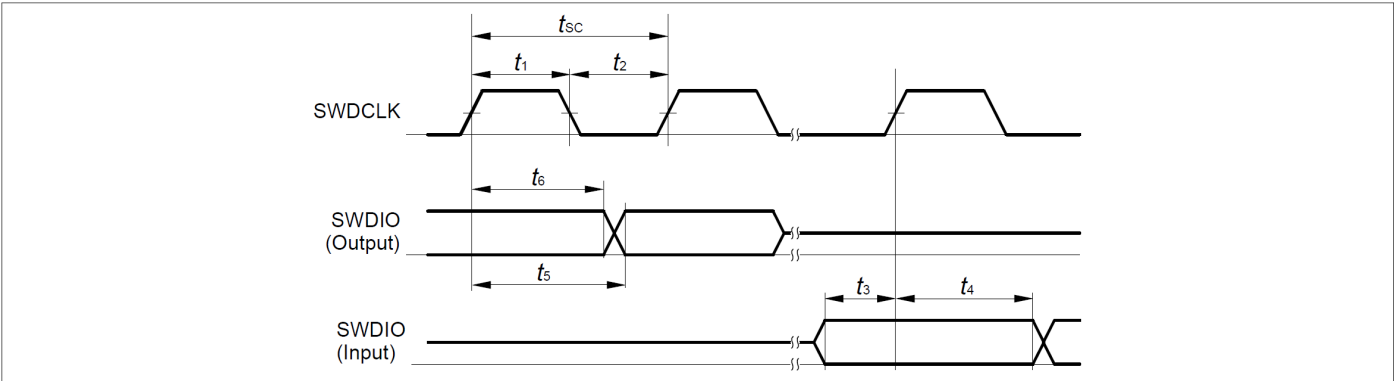


图 25 SWD 时序

3.3.8 外设时序

3.3.8.1 同步串行接口 (USIC SSC) 时序

以下参数适用于以 SSC 模式运行的 USIC 通道。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 43 USIC SSC 主模式时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
SCLKOUT master clock period	$t_{CLK\ CC}$	33.3	–	–	ns	
Slave select output SELO active to first SCLKOUT transmit edge	$t_1\ CC$	$t_{PB} - 6.5^{1)}$	–	–	ns	
Slave select output SELO inactive after last SCLKOUT receive edge	$t_2\ CC$	$t_{PB} - 8.5^{1)}$	–	–	ns	
Data output DOUT[3:0] valid time	$t_3\ CC$	-6	–	8	ns	
Receive data input DX0/DX[5:3] setup time to SCLKOUT receive edge	$t_4\ SR$	23	–	–	ns	
Data input DX0/DX[5:3] hold time from SCLKOUT receive edge	$t_5\ SR$	1	–	–	ns	

1) $t_{PB} = 1 / f_{PB}$

3 Electrical Parameters

表 44 USIC SSC 从机模式时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
DX1 slave clock period	t_{CLK} SR	66.6	–	–	ns	
Select input DX2 setup to first clock input DX1 transmit edge ¹⁾	t_{10} SR	3	–	–	ns	
Select input DX2 hold after last clock input DX1 receive edge ¹⁾	t_{11} SR	4	–	–	ns	
Receive data input DX0/DX[5:3] setup time to shift clock receive edge ¹⁾	t_{12} SR	6	–	–	ns	
Data input DX0/DX[5:3] hold time from clock input DX1 receive edge ¹⁾	t_{13} SR	4	–	–	ns	
Data output DOUT[3:0] valid time	t_{14} CC	0	–	24	ns	

¹⁾该输入时序对于从机选择输入、移位时钟输入和接收数据输入（位 DXnCR.DSEN = 0）的异步输入信号处理有效。

3 Electrical Parameters

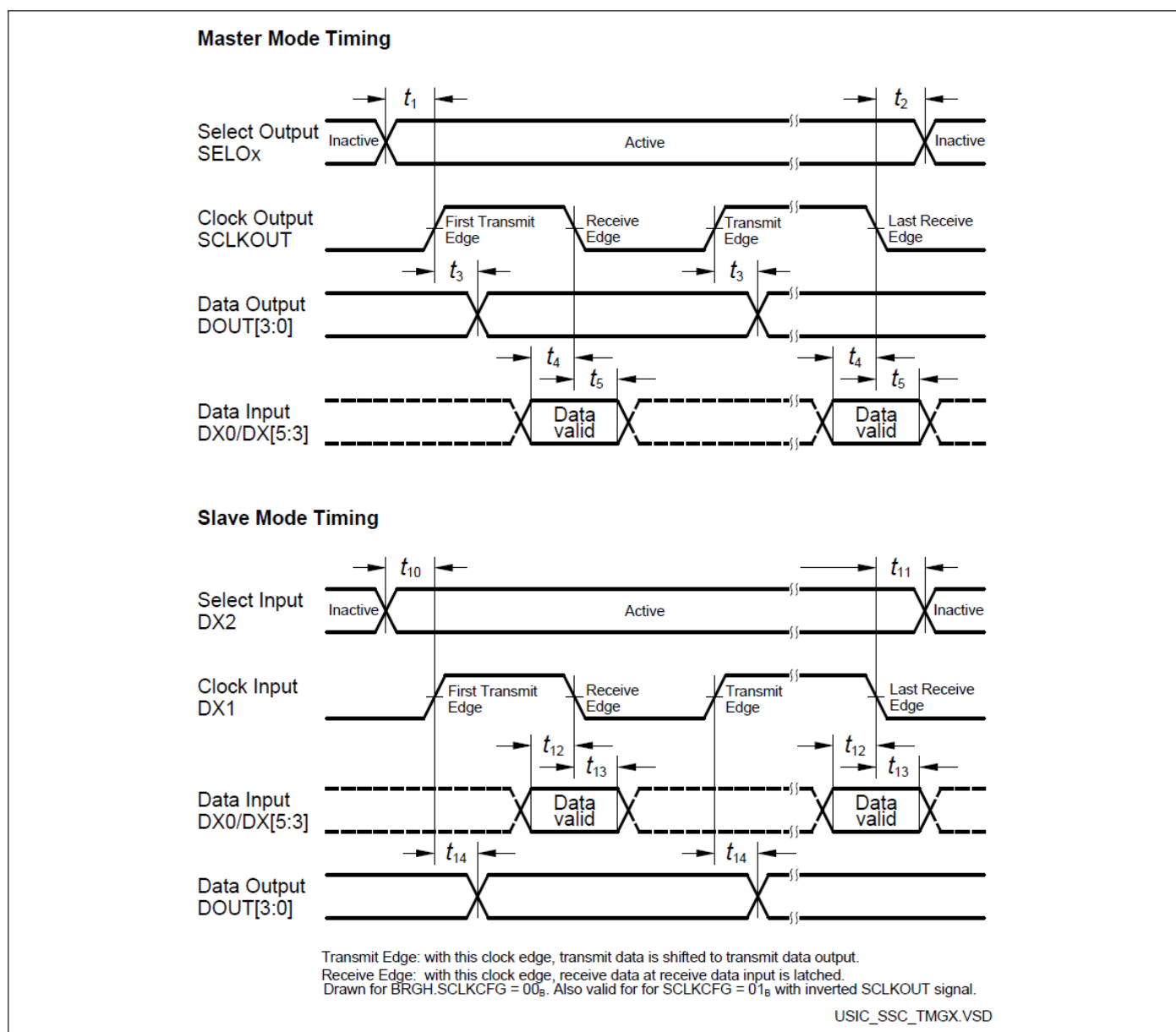


图 26 USIC - SSC 主/从模式时序

注： 该时序图显示了标准配置，其中从机选择信号为低电平有效，并且串行时钟信号不移位也不反转。

3 Electrical Parameters

3.3.8.2 Inter-IC (IIC) 接口时序

以下参数适用于以 IIC 模式运行的 USIC 通道。

注：这些参数不经过生产测试，但经过设计和/或特性验证。

表 45 USIC IIC 标准模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Fall time of both SDA and SCL	t_1 CC/SR	–	–	300	ns	
Rise time of both SDA and SCL	t_2 CC/SR	–	–	1000	ns	
Data hold time	t_3 CC/SR	0	–	–	μs	
Data set-up time	t_4 CC/SR	250	–	–	ns	
LOW period of SCL clock	t_5 CC/SR	4.7	–	–	μs	
HIGH period of SCL clock	t_6 CC/SR	4.0	–	–	μs	
Hold time for (repeated) START condition	t_7 CC/SR	4.0	–	–	μs	
Set-up time for repeated START condition	t_8 CC/SR	4.7	–	–	μs	
Set-up time for STOP condition	t_9 CC/SR	4.0	–	–	μs	
Bus free time between a STOP and START condition	t_{10} CC/SR	4.7	–	–	μs	
Capacitive load for each bus line	C_b SR	–	–	400	pF	

1) 由于IIC总线系统采用线与结构，SCL和SDA信号线的端口驱动器需要工作在开漏模式。这些线路上的高电平必须由外部上拉装置保持，在 100 kbit/s 的速率下运行时大约为 10 kOhm，在 400 kbit/s 的速率下运行时大约为 2 kOhm。

表 46 USIC IIC 快速模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Fall time of both SDA and SCL	t_1 CC/SR	$20 + 0.1 \cdot C_b^{2)}$	–	300	ns	
Rise time of both SDA and SCL	t_2 CC/SR	$20 + 0.1 \cdot C_b^{2)}$	–	300	ns	
Data hold time	t_3 CC/SR	0	–	–	μs	
Data set-up time	t_4 CC/SR	100	–	–	ns	
LOW period of SCL clock	t_5 CC/SR	1.3	–	–	μs	
HIGH period of SCL clock	t_6 CC/SR	0.6	–	–	μs	
Hold time for (repeated) START condition	t_7 CC/SR	0.6	–	–	μs	

(表格续下页.....)

3 Electrical Parameters

表 46(续) USIC IIC 快速模式时序¹⁾

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Set-up time for repeated START condition	t_8 CC/SR	0.6	–	–	μs	
Set-up time for STOP condition	t_9 CC/SR	0.6	–	–	μs	
Bus free time between a STOP and START condition	t_{10} CC/SR	1.3	–	–	μs	
Capacitive load for each bus line	C_b SR	–	–	400	pF	

- 1) 由于IIC总线系统采用线与结构，SCL和SDA信号线的端口驱动器需要工作在开漏模式。这些线路上的高电平必须由外部上拉装置保持，在 100 kbit/s 的速率下运行时大约为 10 kOhm，在 400 kbit/s 的速率下运行时大约为 2 kOhm。
- 2) C_b 表示一条总线的总电容，单位为 pF。

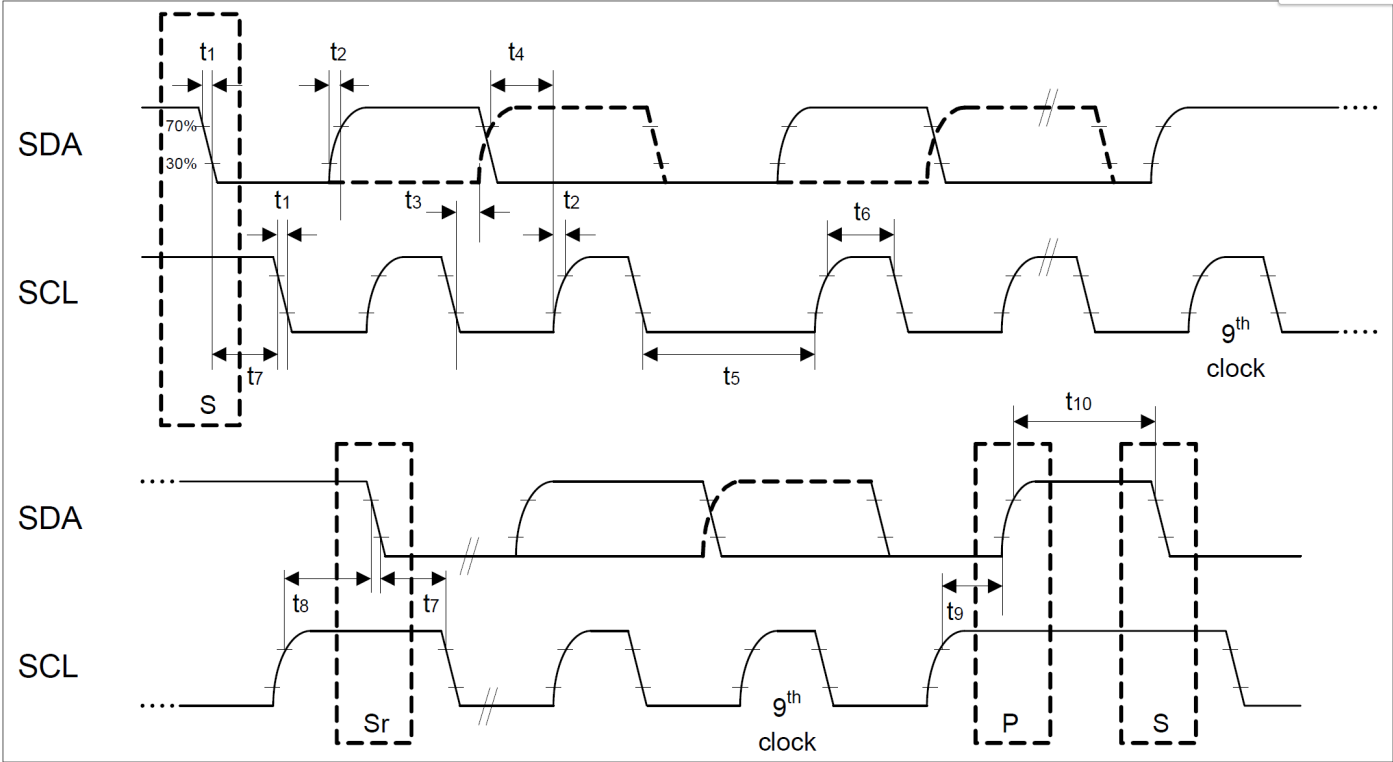


图 27 USIC IIC标准和快速模式时序

3 Electrical Parameters

3.3.8.3 Inter-IC Sound (IIS) 接口时序

以下参数适用于以IIS模式运行的USIC通道。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 47 USIC IIS 主机发送器时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Clock period	t_1 CC	33.3	–	–	ns	
Clock high time	t_2 CC	$0.35 \times t_{1min}$	–	–	ns	
Clock low time	t_3 CC	$0.35 \times t_{1min}$	–	–	ns	
Hold time	t_4 CC	0	–	–	ns	
Clock rise time	t_5 CC	–	–	$0.15 \times t_{1min}$	ns	

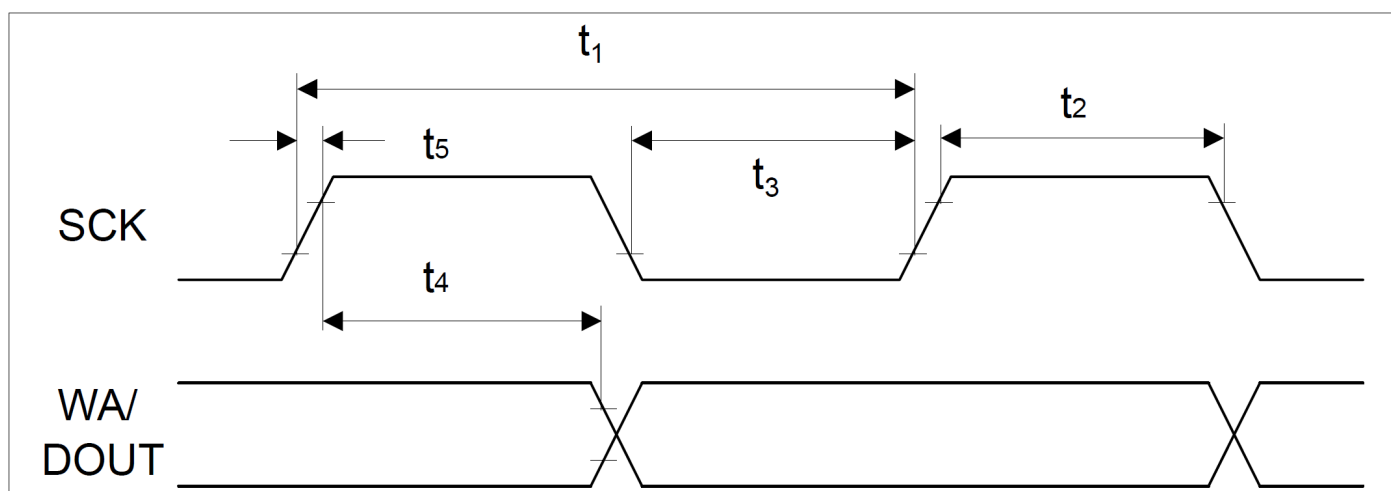


图 28 USIC IIS 主机发送器时序

表 48 USIC IIS 从机接收器时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Clock period	t_6 SR	66.6	–	–	ns	
Clock high time	t_7 SR	$0.35 \times t_{6min}$	–	–	ns	
Clock low time	t_8 SR	$0.35 \times t_{6min}$	–	–	ns	
Set-up time	t_9 SR	$0.2 \times t_{6min}$	–	–	ns	
Hold time	t_{10} SR	0	–	–	ns	

3 Electrical Parameters

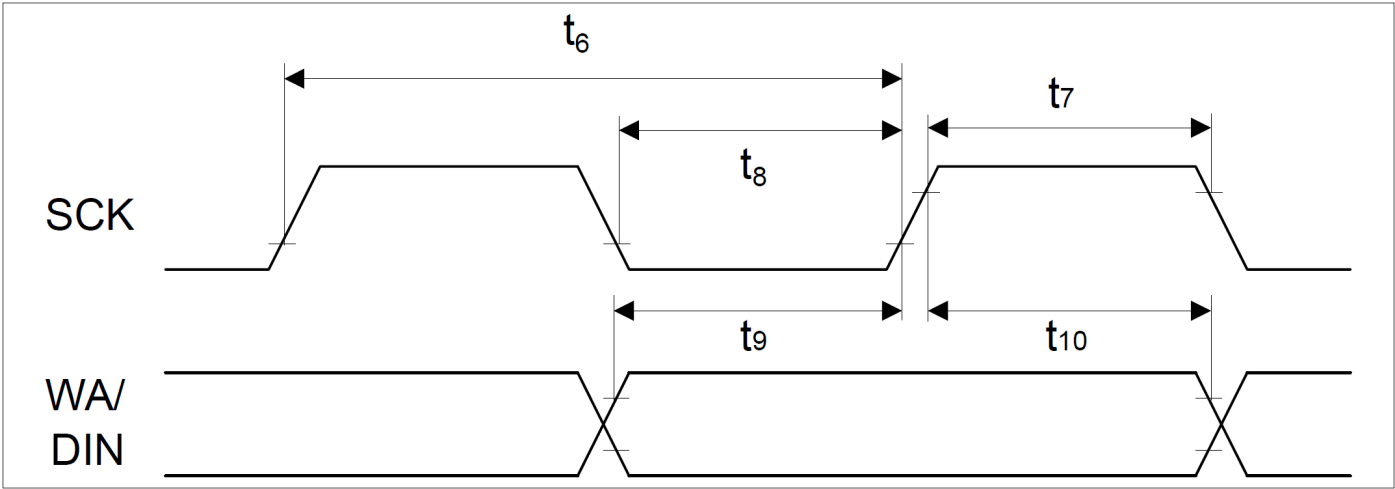


图 29 USIC IIS 从机接收器时序

3.3.8.4 SDMMC 接口时序

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

注： 适用工作条件，总外部电容负载 $C_L = 40 \text{ pF}$ 。

AC 时序规格（全速模式）

表 49 全速模式的 SDMMC 时序

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Clock frequency in full speed transfer mode (1/ t_{pp})	$f_{pp} \text{ CC}$	0	24	MHz	
Clock cycle in full speed transfer mode	$t_{pp} \text{ CC}$	40	–	ns	
Clock low time	$t_{WL} \text{ CC}$	10	–	ns	
Clock high time	$t_{WH} \text{ CC}$	10	–	ns	
Clock rise time	$t_{TLH} \text{ CC}$	–	10	ns	
Clock fall time	$t_{THL} \text{ CC}$	–	10	ns	
Inputs setup to clock rising edge	$t_{ISU_F} \text{ SR}$	2	–	ns	
Inputs hold after clock rising edge	$t_{IH_F} \text{ SR}$	2	–	ns	
Outputs valid time in full speed mode	$t_{ODLY_F} \text{ CC}$	–	10	ns	
Outputs hold time in full speed mode	$t_{OH_F} \text{ CC}$	0	–	ns	

3 Electrical Parameters

表 50 全速模式下的 SD 卡总线时序¹⁾

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
SD card input setup time	t_{ISU}	5	–	ns	
SD card input hold time	t_{IH}	5	–	ns	
SD card output valid time	t_{ODLY}	–	14	ns	
SD card output hold time	t_{OH}	0	–	ns	

1) 计算示例的参考卡时序值。未经过生产测试且未进行特性验证。

全速输出路径（写入）

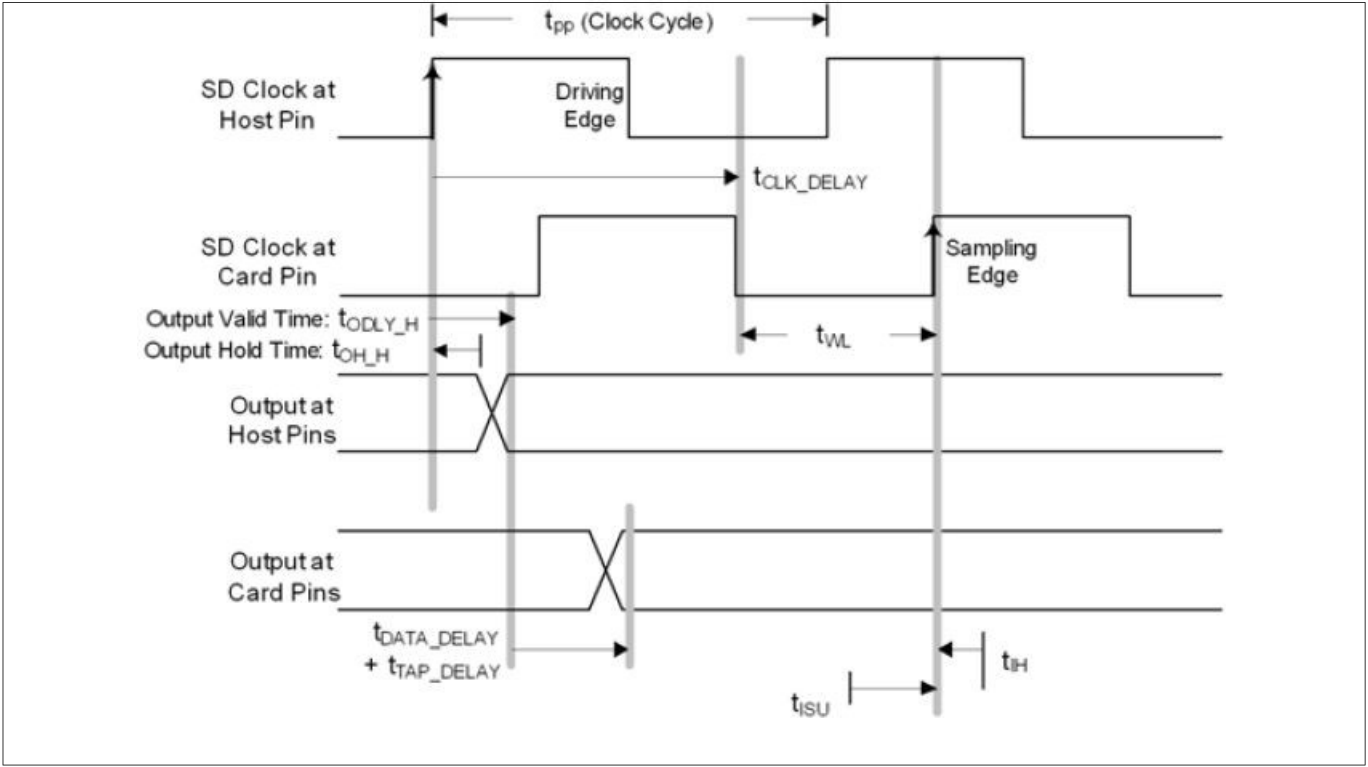


图 30 全速输出路径

满足全速写入设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

无时钟延迟：

$$t_{ODLY_F} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} \quad (1)$$

有时钟延迟：

$$t_{ODLY_F} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} \quad (2)$$

3 Electrical Parameters

$$\begin{aligned}
 t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + t_{\text{WL}} &< t_{\text{PP}} + t_{\text{CLK_DELAY}} - t_{\text{ISU}} - t_{\text{ODLY_F}} \\
 t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + 20 &< 40 + t_{\text{CLK_DELAY}} - 5 - 10 \\
 t_{\text{DATA_DELAY}} &< 5 + t_{\text{CLK_DELAY}} - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{3}$$

在 $t_{\text{WL}} = 20 \text{ ns}$ 的理想情况下，数据相对于时钟最多可延迟 5 ns。

满足全速写入保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

$$\begin{aligned}
 t_{\text{CLK_DELAY}} &< t_{\text{WL}} + t_{\text{OH_F}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} - \\
 t_{\text{IH}} \quad t_{\text{CLK_DELAY}} &< 20 + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} - 5 t \\
 \text{DATA_DELAY} &< 15 + t_{\text{CLK_DELAY}} + t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{4}$$

在 $t_{\text{WL}} = 20 \text{ ns}$ 的理想情况下，时钟相对于数据最多可以延迟 18.2 ns（外部延迟线），最大可编程

$t_{\text{TAP_DELAY}} = 3.2 \text{ ns}$ 。

全速输入路径（读取）

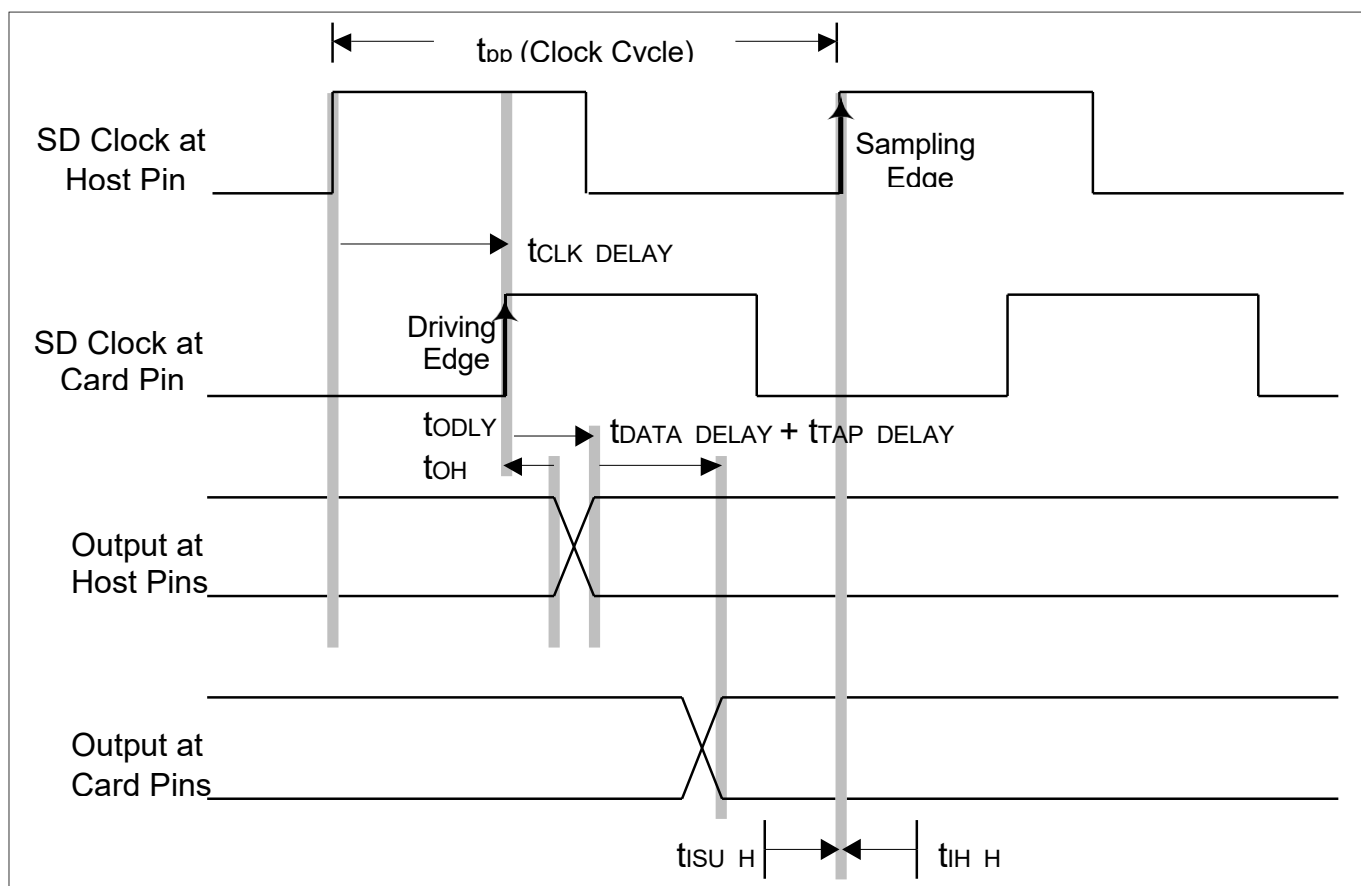


图 31 全速输入路径

满足全速读取设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

3 Electrical Parameters

$$\begin{aligned}
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + t_{\text{ODLY}} + t_{\text{ISU_F}} &< 0.5 \times \\
 t_{\text{pp}} t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 0.5 \times t_{\text{pp}} - t_{\text{ODLY}} - t_{\text{ISU_F}} - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 20 - 14 - 2 - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 4 - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{5}$$

对于 40 ns 时钟周期，数据 + 时钟延迟最多 4 ns。

满足全速读取保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned}
 t_{\text{CLK_DELAY}} + t_{\text{OH}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} &> t_{\text{IH}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> t_{\text{IH_F}} - t_{\text{OH}} - t_{\text{TAP_DELAY}} \\
 t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> 2 - t_{\text{TAP_DELAY}}
 \end{aligned}
 \tag{6}$$

如果不使用 $t_{\text{TAP_DELAY}}$ ，则数据 + 时钟延迟必须大于 2 ns。

如果 $t_{\text{TAP_DELAY}}$ 被编程为至少 2 ns，则数据 + 时钟延迟必须大于 0 ns（或更小）。这个条件总要满足。

AC 时序规格（高速模式）

表 51 高速模式的 SDMMC 时序

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
Clock frequency in high speed transfer mode ($1/t_{\text{pp}}$)	$f_{\text{pp CC}}$	0	48	MHz	
Clock cycle in high speed transfer mode	$t_{\text{pp CC}}$	20	–	ns	
Clock low time	$t_{\text{WL CC}}$	7	–	ns	
Clock high time	$t_{\text{WH CC}}$	7	–	ns	
Clock rise time	$t_{\text{TLH CC}}$	–	3	ns	
Clock fall time	$t_{\text{THL CC}}$	–	3	ns	
Inputs setup to clock rising edge	$t_{\text{ISU_H SR}}$	2	–	ns	
Inputs hold after clock rising edge	$t_{\text{IH_H SR}}$	2	–	ns	
Outputs valid time in high speed mode	$t_{\text{ODLY_H CC}}$	–	14	ns	
Outputs hold time in high speed mode	$t_{\text{OH_H CC}}$	2	–	ns	

表 52 SD 卡总线时序（高速模式¹⁾

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
SD card input setup time	t_{ISU}	6	–	ns	

（表格续下页.....）

3 Electrical Parameters

表 52 SD 卡总线时序（高速模式¹⁾

Parameter	Symbol	Values		Unit	Note/Test Condition
		Min.	Max.		
SD card input hold time	t_{IH}	2	–	ns	
SD card output valid time	t_{ODLY}	–	14	ns	
SD card output hold time	t_{OH}	2.5	–	ns	

1) 计算示例的参考卡时序值。未经过生产测试且未进行特性验证。

高速输出路径（写入）

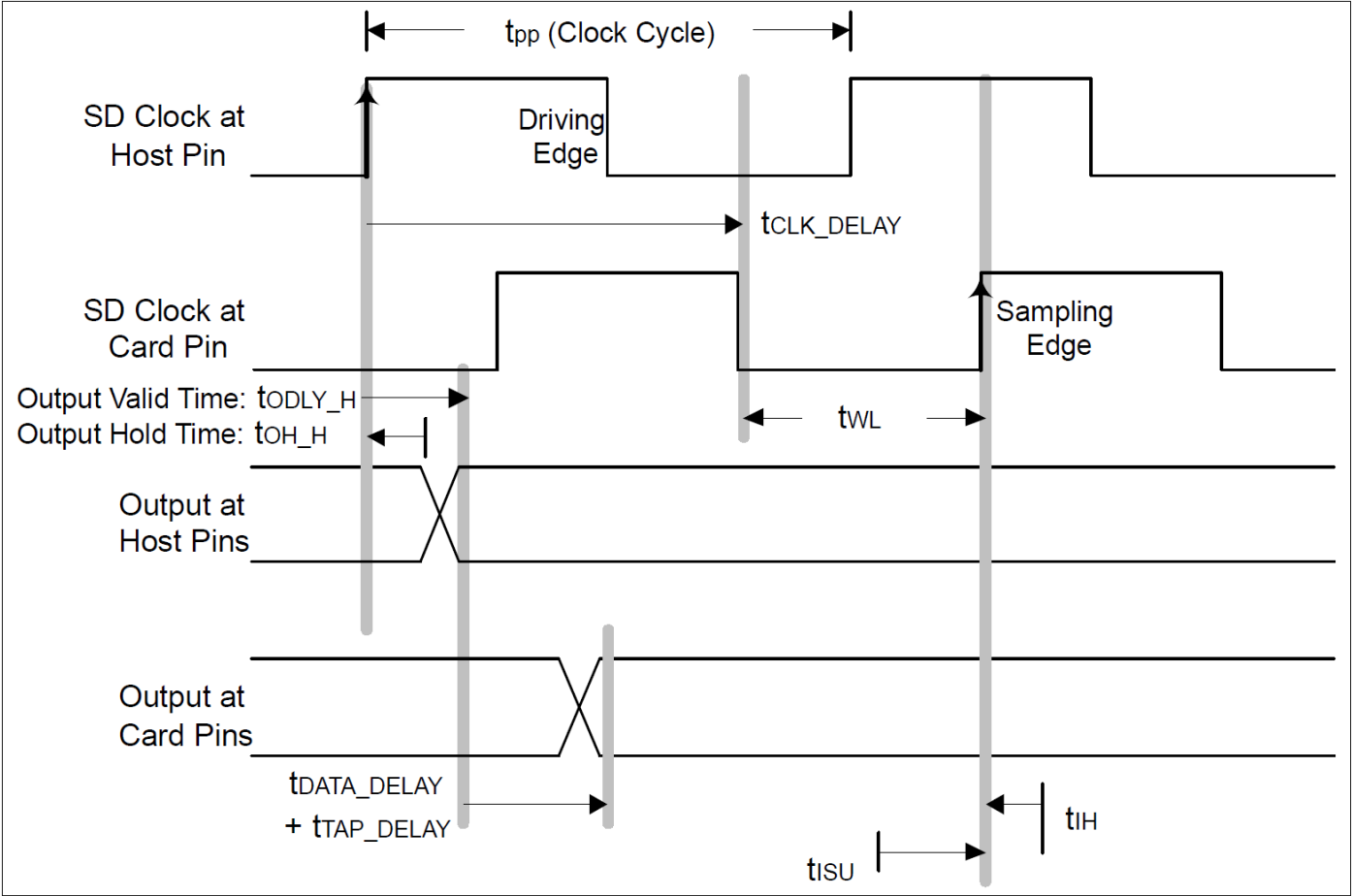


图 32 高速输出路径

满足高速写入设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

无时钟延迟：

$$t_{ODLY_H} + t_{DATA_DELAY} + t_{TAP_DELAY} + t_{ISU} < t_{WL} \quad (7)$$

有时钟延迟：

3 Electrical Parameters

$$t_{\text{ODLY_H}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + t_{\text{ISU}} < t_{\text{WL}} + t_{\text{CLK_DELAY}} \quad (8)$$

$$t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} - t_{\text{CLK_DELAY}} < t_{\text{WL}} - t_{\text{ISU}} - t_{\text{ODLY_H}} \quad (9)$$

$$t_{\text{DATA_DELAY}} - t_{\text{CLK_DELAY}} < t_{\text{WL}} - t_{\text{ISU}} - t_{\text{ODLY_H}} - t_{\text{TAP_DELAY}}$$

$$t_{\text{DATA_DELAY}} - t_{\text{CLK_DELAY}} < 10 - 6 - 14 - t_{\text{TAP_DELAY}}$$

$$t_{\text{DATA_DELAY}} - t_{\text{CLK_DELAY}} < -10 - t_{\text{TAP_DELAY}}$$

在理想情况下 $t_{\text{WL}} = 10 \text{ ns}$ ，数据延迟比时钟延迟至少小 10 ns 。

满足高速写入保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号之间允许的偏差范围。

$$\begin{aligned} t_{\text{CLK_DELAY}} &< t_{\text{WL}} + t_{\text{OH_H}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} - t_{\text{IH}} \\ t_{\text{CLK_DELAY}} - t_{\text{DATA_DELAY}} &< t_{\text{WL}} + t_{\text{OH_H}} + t_{\text{TAP_DELAY}} - t_{\text{IH}} \\ t_{\text{CLK_DELAY}} - t_{\text{DATA_DELAY}} &< 10 + 2 + t_{\text{TAP_DELAY}} - 2 \\ t_{\text{CLK_DELAY}} - t_{\text{DATA_DELAY}} &< 10 + t_{\text{TAP_DELAY}} \end{aligned} \quad (10)$$

在 $t_{\text{WL}} = 10 \text{ ns}$ 的理想情况下，时钟相对于数据最多可以延迟 13.2 ns （外部延迟线），最大可编程

$t_{\text{TAP_DELAY}} = 3.2 \text{ ns}$ 。

高速输入路径（读取）

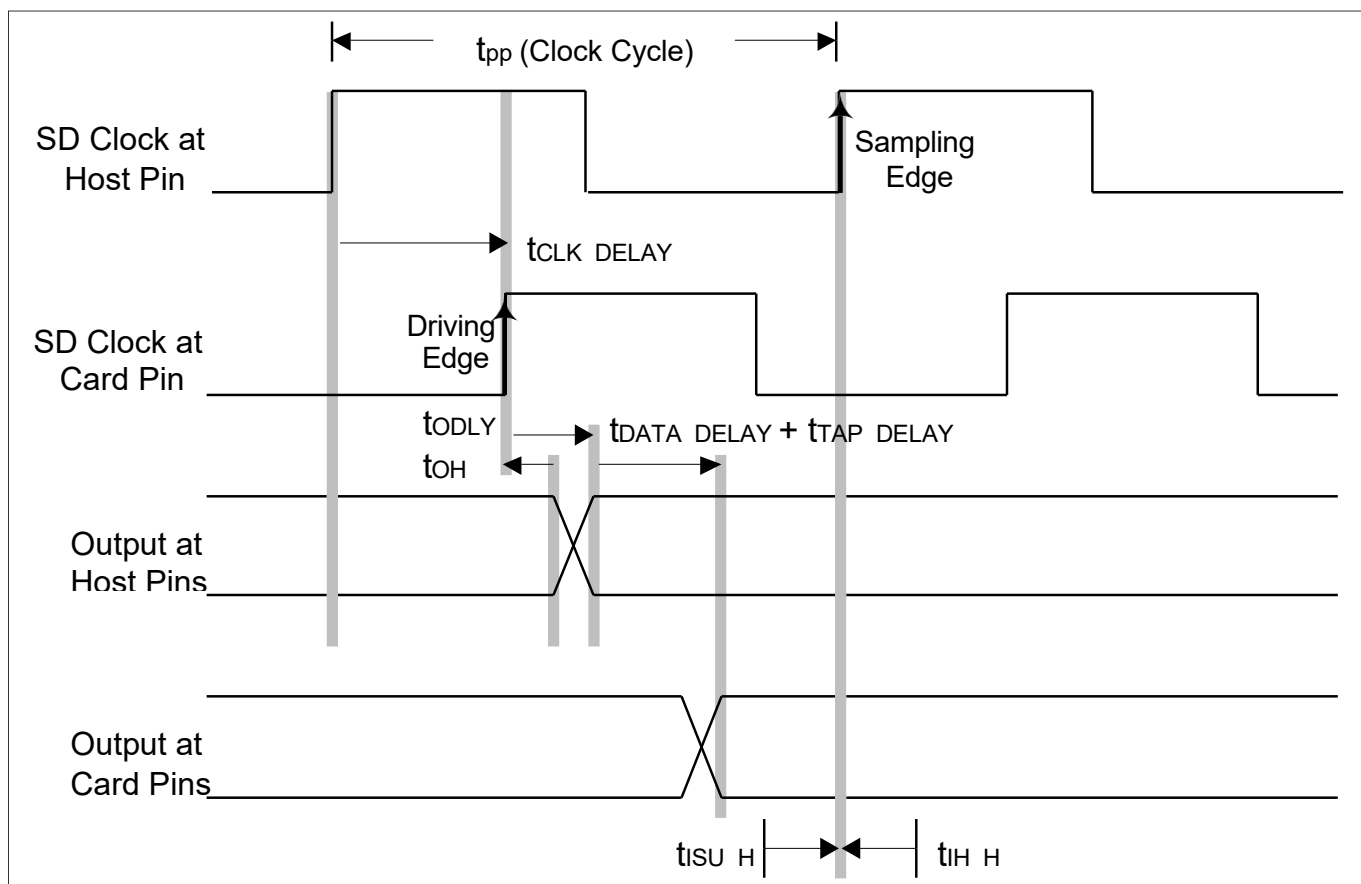


图 33 高速输入路径

3 Electrical Parameters

满足高速读取设置（最大延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned} t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} + t_{\text{ODLY}} + t_{\text{ISU_H}} &< t_{\text{pp}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< t_{\text{pp}} - t_{\text{ODLY}} - t_{\text{ISU_H}} - t_{\text{TAP_DELAY}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 20 - 14 - 2 - t_{\text{TAP_DELAY}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &< 4 - t_{\text{TAP_DELAY}} \end{aligned} \quad (11)$$

对于 20 ns 时钟周期，数据 + 时钟延迟最多 4 ns。

满足高速读取保持（最小延迟）

以下公式显示如何计算 PCB 上 SD_CLK 和 SD_DAT/CMD 信号允许的组合传播延迟范围。

$$\begin{aligned} t_{\text{CLK_DELAY}} + t_{\text{OH}} + t_{\text{DATA_DELAY}} + t_{\text{TAP_DELAY}} &> t_{\text{IH_H}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> t_{\text{IH_H}} - t_{\text{OH}} - t_{\text{TAP_DELAY}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> 2 - 2.5 - t_{\text{TAP_DELAY}} \\ t_{\text{CLK_DELAY}} + t_{\text{DATA_DELAY}} &> -0.5 - t_{\text{TAP_DELAY}} \end{aligned} \quad (12)$$

对于 20 ns 时钟周期，数据 + 时钟延迟必须大于 -0.5 ns。这总是能够实现的。

3.3.9 USB 接口特性

通用串行总线 (USB) 接口符合 USB Rev. 2.0 规范和 OTG 规范 Rev. 1.3。不支持高速模式。

注： 这些参数不经过生产测试，但经过设计和/或特性验证。

表 53 USB 时序参数（适用工作条件）

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Rise time	$t_{\text{R CC}}$	4	–	20	ns	$C_{\text{L}} = 50 \text{ pF}$
Fall time	$t_{\text{F CC}}$	4	–	20	ns	$C_{\text{L}} = 50 \text{ pF}$
Rise/Fall time matching	$t_{\text{R}}/t_{\text{F CC}}$	90	–	111.11	%	$C_{\text{L}} = 50 \text{ pF}$
Crossover voltage	$V_{\text{CRS CC}}$	1.3	–	2.0	V	$C_{\text{L}} = 50 \text{ pF}$

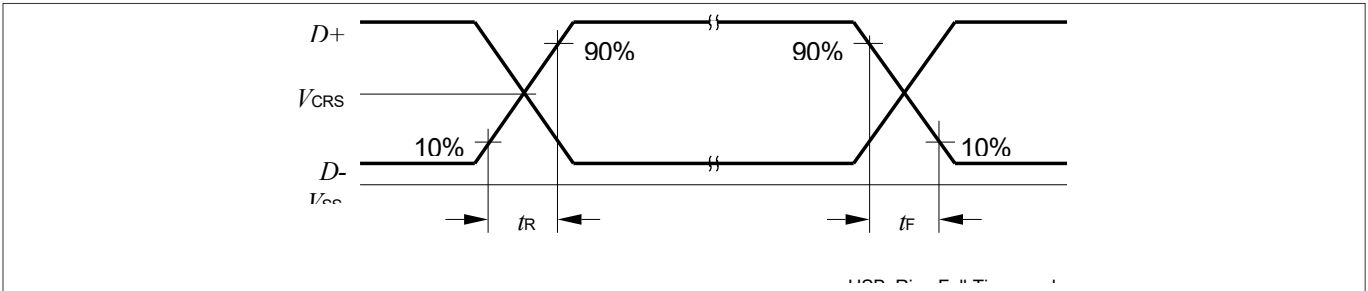


图 34 USB 信号时序

3 Electrical Parameters

3.3.10 以太网接口 (ETH) 特性

为了以太网接口正常运行, 要求 $f_{\text{SYS}} \geq 100 \text{ MHz}$ 。

注: 这些参数不经过生产测试, 但经过设计和/或特性验证。

3.3.10.1 ETH 测量参考点

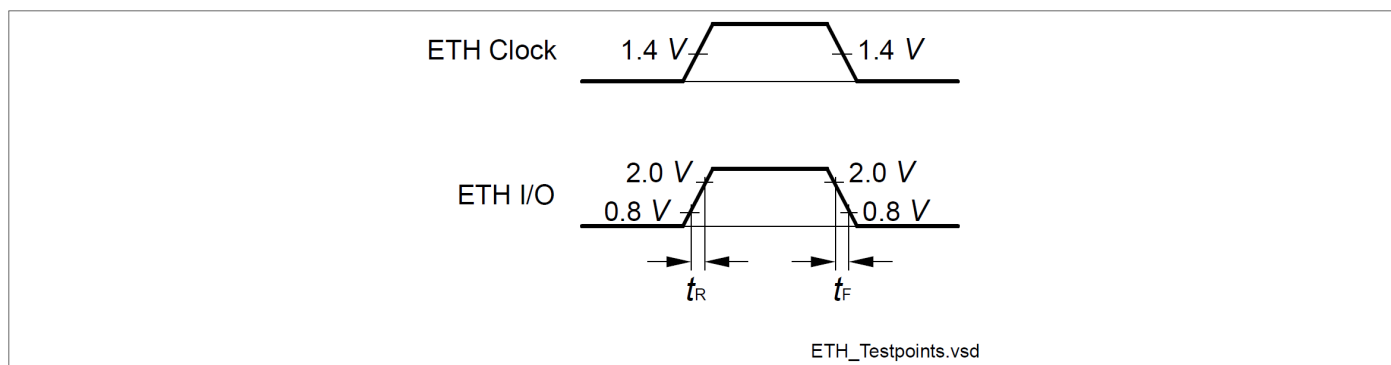


图 35 ETH 测量参考点

3.3.10.2 ETH管理信号参数 (ETH_MDC、ETH_MDIO)

表 54 ETH 管理信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
ETH_MDC period	$t_1 \text{ CC}$	400	–	–	ns	$C_L = 25 \text{ pF}$
ETH_MDC high time	$t_2 \text{ CC}$	160	–	–	ns	
ETH_MDC low time	$t_3 \text{ CC}$	160	–	–	ns	
ETH_MDIO setup time (output)	$t_4 \text{ CC}$	10	–	–	ns	
ETH_MDIO hold time (output)	$t_5 \text{ CC}$	10	–	–	ns	
ETH_MDIO data valid (input)	$t_6 \text{ SR}$	0	–	300	ns	

3 Electrical Parameters

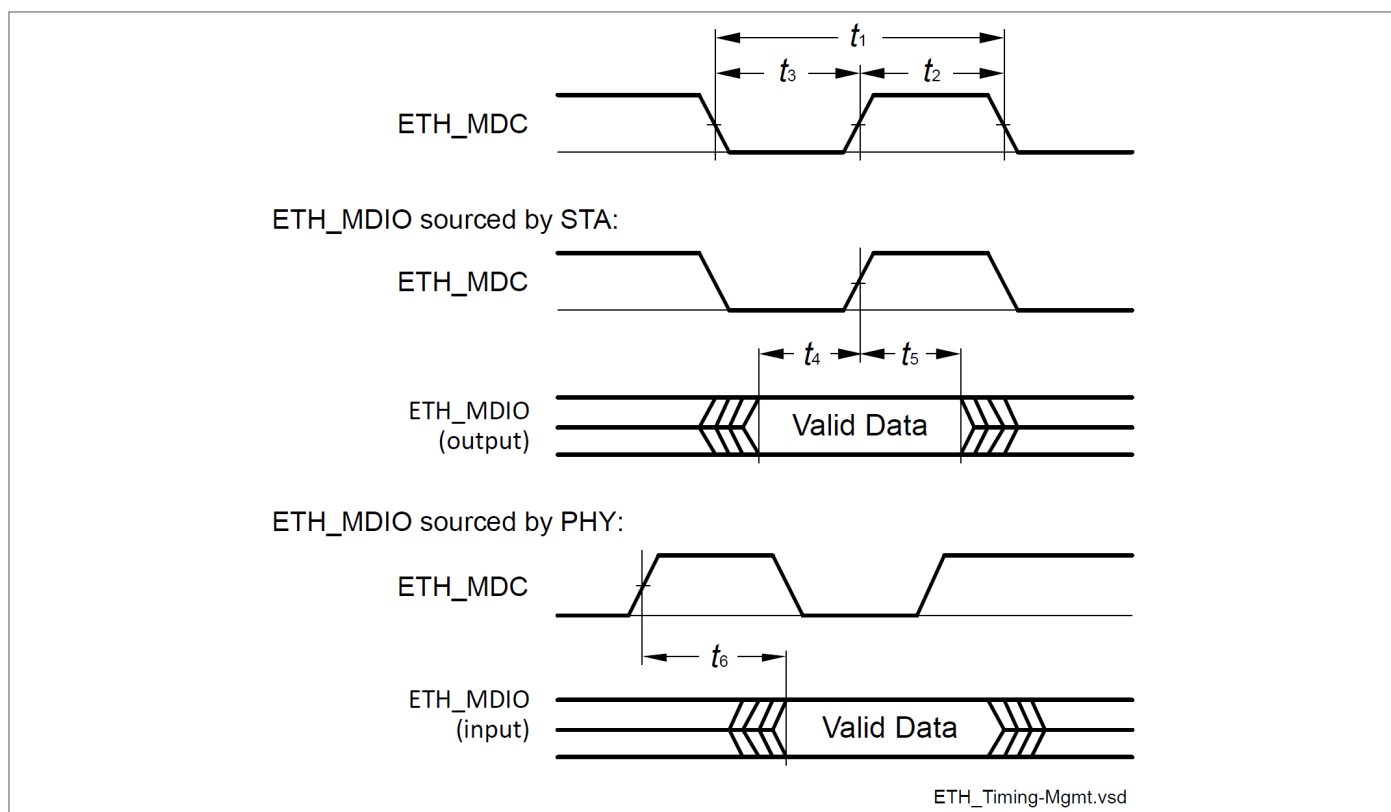


图 36

ETH 管理信号时序

3 Electrical Parameters

3.3.10.3 ETH RMII 参数

下面介绍RMII（精简媒体独立接口）的参数。

表 55 ETH RMII 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
ETH_RMII_REF_CL clock period	t_{13} SR	20	–	–	ns	$C_L = 25 \text{ pF}$; 50 ppm
ETH_RMII_REF_CL clock high time	t_{14} SR	7	–	13	ns	$C_L = 25 \text{ pF}$
ETH_RMII_REF_CL clock low time	t_{15} SR	7	–	13	ns	
ETH_RMII_RXD[1:0], ETH_RMII_CRS setup time	t_{16} SR	4	–	–	ns	
ETH_RMII_RXD[1:0], ETH_RMII_CRS hold time	t_{17} SR	2	–	–	ns	
ETH_RMII_TXD[1:0], ETH_RMII_TXEN data valid	t_{18} CC	4	–	15	ns	

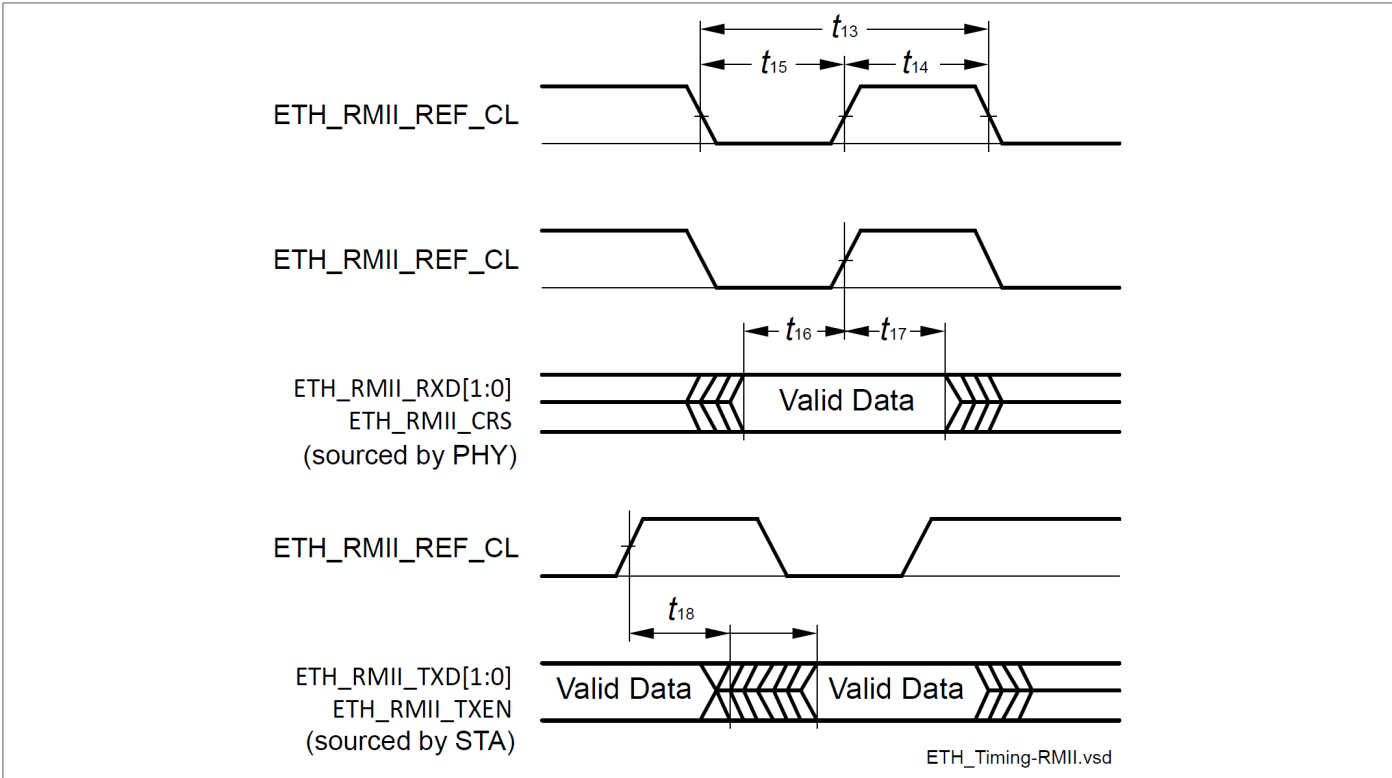


图 37 ETH RMII 信号时序

3 Electrical Parameters

3.3.11 EtherCAT (ECAT) 特性

3.3.11.1 ECAT 测量参考点

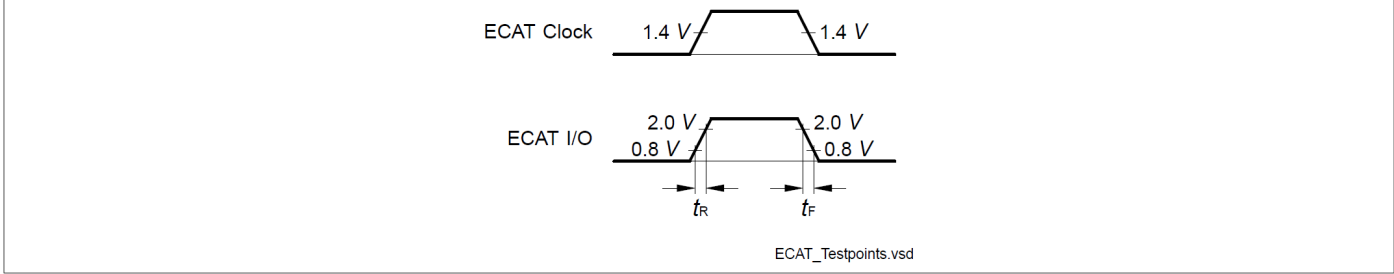


图 38 测量参考点

3.3.11.2 ETH管理信号参数 (MCLK、MDIO)

表 56 ECAT 管理信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
ECAT_MCLK period	$t_{\text{MCLK}} \text{ CC}$	–	400	–	ns	IEEE802.3 requirement (2.5 MHz) $C_L = 25 \text{ pF}$
ECAT_MCLK high time	$t_{\text{MCLK}_h} \text{ CC}$	160	–	–	ns	
ECAT_MCLK low time	$t_{\text{MCLK}_l} \text{ CC}$	160	–	–	ns	
ECAT_MDIO setup time (output)	$t_{\text{D_setup}} \text{ CC}$	10	–	–	ns	
ECAT_MDIO hold time (output)	$t_{\text{D_hold}} \text{ CC}$	10	–	–	ns	
ECAT_MDIO data valid (input)	$t_{\text{D_valid}} \text{ SR}$	0	–	300	ns	

3 Electrical Parameters

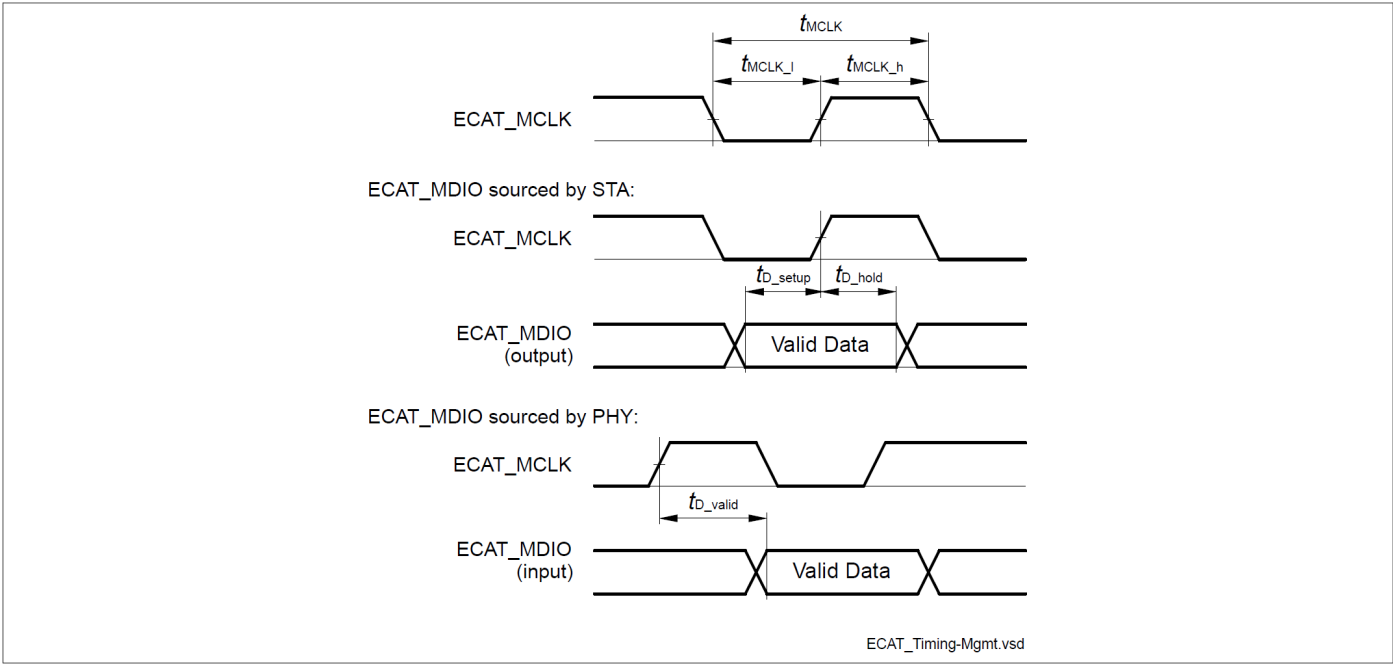


图 39 ECAT 管理信号时序

3.3.11.3 MII 时序 TX 特性

表 57 ETH MII TX 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
PHY_CLK25, TX_CLK period	t_{TX_CLK} SR	–	40	–	ns	
Delay between PHY clock source PHY_CLK25 and TX_CLK output of the PHY	t_{PHY_delay} SR	–	–	–	ns	PHY dependent
PHY setup requirement: TXEN/TXD[3:0] with respect to TX_CLK	t_{TX_setup} SR	15	–	0	ns	PHY dependent IEEE802.3 limit is 15 ns
PHY hold requirement: TXEN/TXD[3:0] with respect to TX_CLK	t_{TX_hold} CC	0	–	25	ns	PHY dependent IEEE802.3 limit is 0 ns

注意: ECAT0_CONPx.TX_SHIFT 可以通过在示波器上显示PHY的TX_CLK和TXEN/TXD[3:0]来调整。
TXEN/TXD[3:0]允许在TX_CLK上升沿后0 ns至25 ns之间变化。
(根据IEEE802.3 - 检查您的PHY文档)。配置TX_SHIFT,使得TXEN/TXD[3:0]在该范围的中间值附近变化。仅检查其中一个TXEN/TXD[3:0]信号就足够了,因为它们几乎同时生成。

3 Electrical Parameters

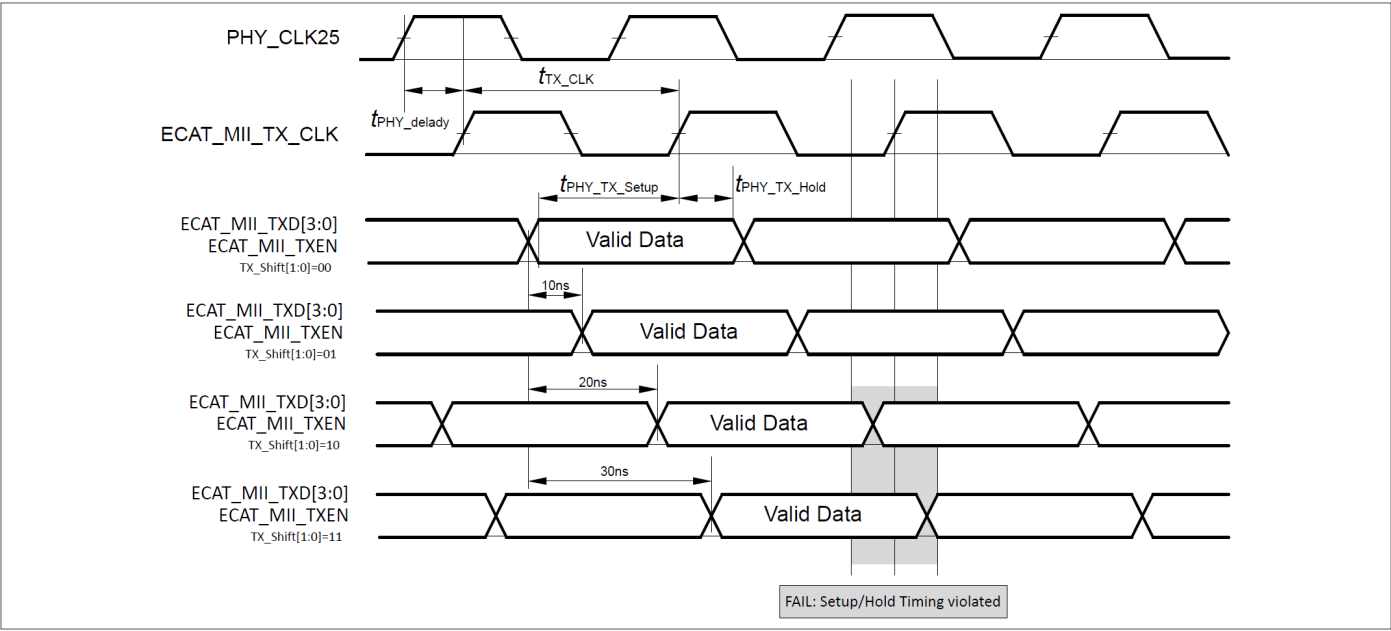


图 40 MII TX 特性

3.3.11.4 MII 时序 RX 特性

表 58 ETH MII RX 信号时序参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
RX_CLK period	t_{RX_CLK} SR	–	40	–	ns	$C_L = 25\text{ pF}$, IEEE802.3 requirement
RX_DV/RX_DV/RXD[3:0] valid before rising edge of RX_CLK	t_{RX_setup} SR	10	–	–	ns	
RX_DV/RX_DV/RXD[3:0] valid after rising edge of RX_CLK	t_{RX_hold} SR	10	–	–	ns	

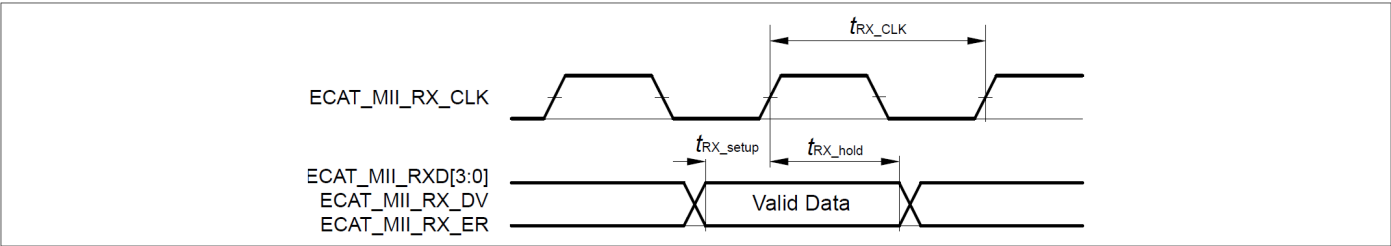


图 41 MII RX 特性

3 Electrical Parameters

3.3.11.5 同步/锁存时序

表 59 同步/锁存时序

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
SYNC0/1	$t_{DC_SYNC_Jitter}$ SR	–	–	$11 + m^{1)}$	ns	
LATCH0/1	t_{DC_LATCH} SR	$12 + n^{2)}$	–	–	ns	

- 1) 逻辑和焊盘导致的附加延迟，数字在特性验证后添加。
2) 额外的整形延迟，数字在特性验证后添加。

注： SYNC0/1 脉冲长度最初由EEPROM 内容ADR 0x0002 加载。实际使用的值可以从寄存器 DC_PULSE_LEN 读回。

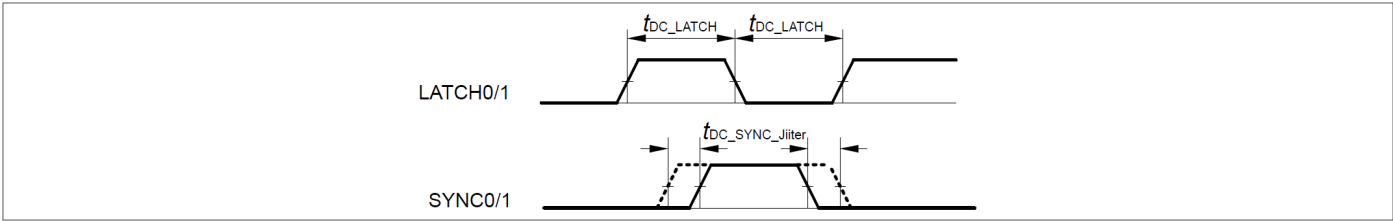


图 42 同步/锁存时序

4 Package and Reliability

4 封装与可靠性

XMC4300 是 XMC4000 系列微控制器的成员。它在一定程度上也与相似家族或亚家族的成员兼容。

每个包装都针对其所容纳的设备进行了优化。因此，对于不同类型的器件，引脚数相同的封装之间可能会有细微的差别。特别是，裸露的芯片焊盘的尺寸可能会有所不同。

如果在应用中考考虑或计划使用不同类型的设备，则必须确保电路板布局适合所有考虑的封装。

4.1 封装参数

表 60 提供了 XMC4300 中使用的封装的热特性。

表 60 封装的热特性

Parameter	Symbol	Limit Values		Unit	Package Types
		Min.	Max.		
Exposed Die Pad dimensions including U-Groove	$E_x \times E_y$ CC	–	7.0×7.0	mm	PG-LQFP-100-25
Exposed Die Pad dimensions excluding U-Groove	$A_x \times A_y$ CC	–	6.2×6.2	mm	PG-LQFP-100-25
Exposed Die Pad dimensions	–	–	7.0×7.0	mm	PG-LQFP-100-29
Thermal resistance Junction-Ambient $T_J \leq 150^\circ\text{C}$	$R_{\Theta JA}$ CC	–	22.5	K/W	PG-LQFP-100-25 ¹⁾ PG-LQFP-100-29 ¹⁾

1) 设备安装在带有散热孔的 4 层 JEDEC 板 (JESD 51-7) 上；裸露焊盘已焊接。

注： 出于电气原因，需要将裸露焊盘连接至电路板接地 V_{SS} ，与 EMC 和热要求无关。

4.1.1 散热考虑

在系统中操作 XMC4300 时，芯片产生的全部热量必须消散到周围环境中，以防止过热和由此造成的热损坏。

可耗散的最大热量取决于封装及其与目标板的集成度。“热阻 $R_{\Theta JA}$ ”量化了这些参数。必须限制功率耗散，以使平均结温不超过 150°C 。

结温和环境温度之间的差异取决于

$$\Delta T = (P_{INT} + P_{IOSTAT} + P_{IODYN}) \times R_{\Theta JA}$$

内部功耗定义为

$$P_{INT} = V_{DDP} \times I_{DDP} \quad (\text{开关电流和漏电流})。$$

输出驱动器引起的静态外部功耗定义为

$$P_{IOSTAT} = \sum ((V_{DDP} - V_{OH}) \times I_{OH}) + \sum (V_{OL} \times I_{OL})$$

输出驱动器引起的动态外部功耗 (P_{IODYN}) 取决于连接到各个引脚的电容负载及其开关频率。

如果给定系统配置的总功耗超过定义的限制，则必须采取对策以确保系统正常运行：

4 Package and Reliability

- 如果可能的话，降低系统中的 V_{DDP}
- 降低系统频率
- 减少输出引脚数量
- 减少有源输出驱动负载

4.2 封装外形

裸露的芯片焊盘尺寸列于 表 60。

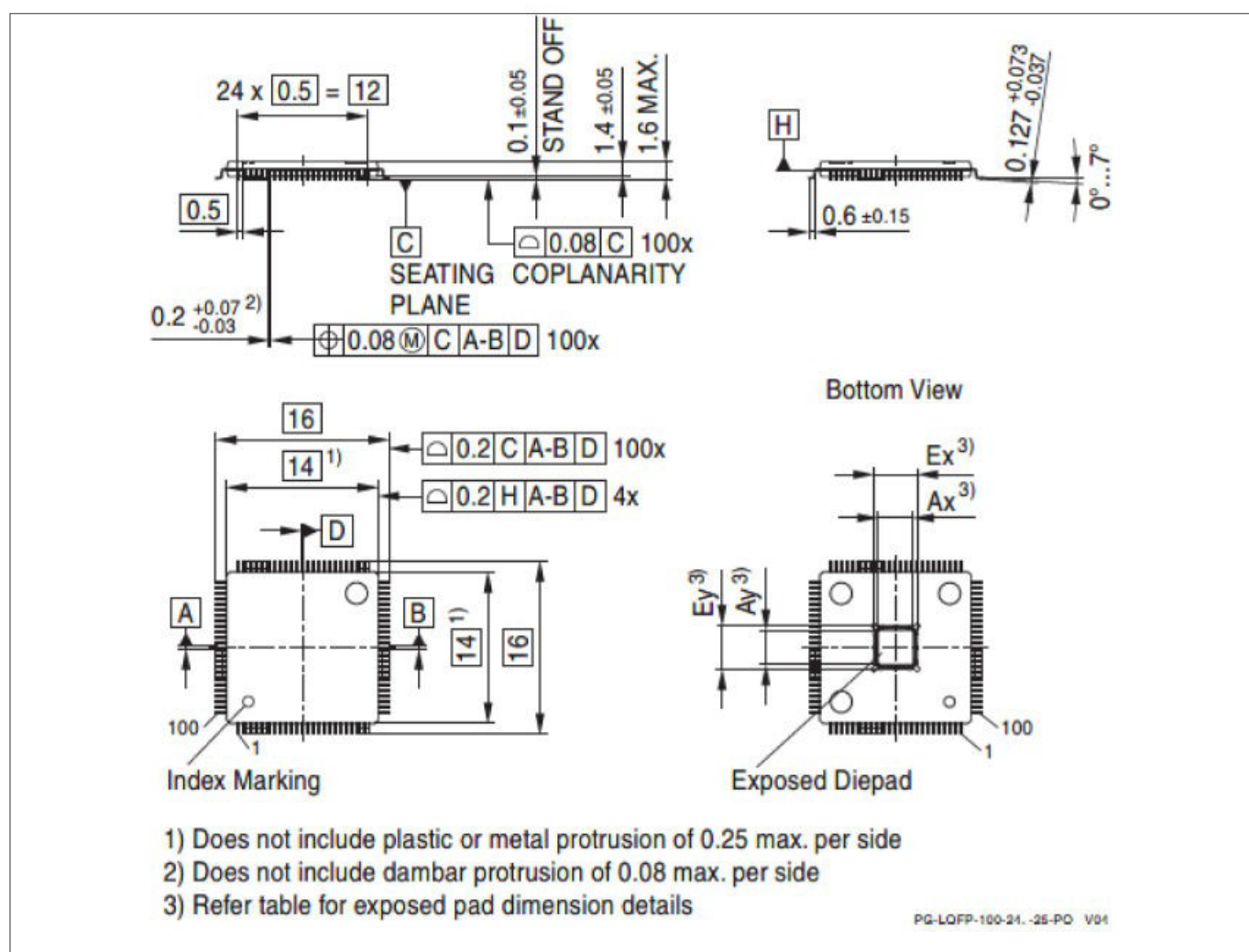


图 43 PG-LQFP-100-25 (塑料环保薄方扁平封装)

4 Package and Reliability

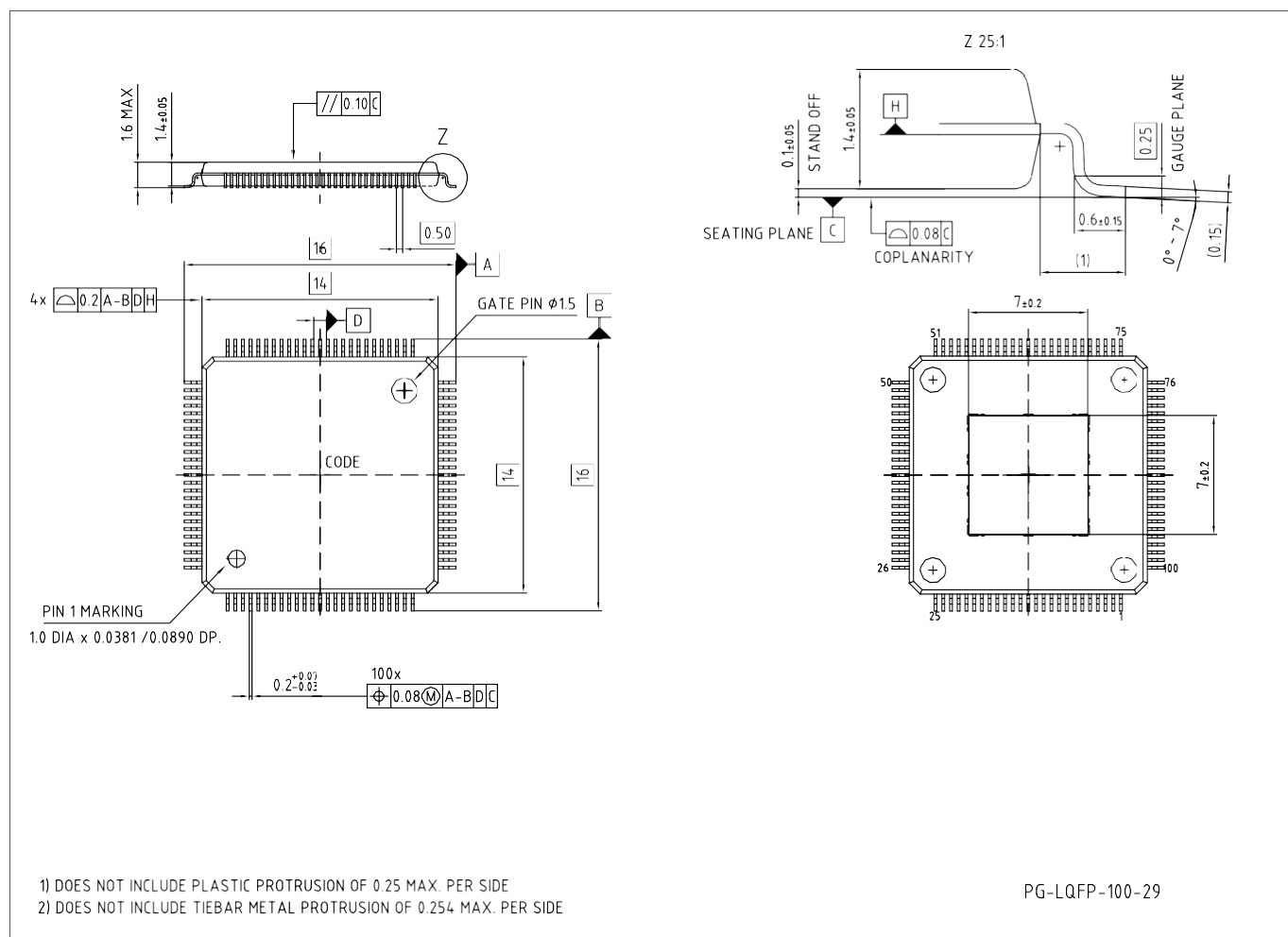


图 44 **PG-LQFP-100-29 (塑料环保薄方扁平封装)**

所有尺寸均以毫米为单位。

您可以在我们的英飞凌互联网页面“封装”中找到有关英飞凌封装、包装和标记的完整信息：

<http://www.infineon.com/packages>

5 质量声明

XMC4300 的认证按照 JEDEC 标准 JESD471 执行。

注： 对于汽车应用，请参考英飞凌汽车微控制器。

表 61 质量参数

Parameter	Symbol	Values			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Operation lifetime	t_{OP} CC	20	–	–	a	$T_J \leq 109^\circ\text{C}$, device permanent on
ESD susceptibility according to Human Body Model (HBM)	V_{HBM} SR	–	–	3000	V	EIA/JESD22-A114-B
ESD susceptibility according to Charged Device Model (CDM)	V_{CDM} SR	–	–	1000	V	Conforming to JESD22-C101-C
Moisture sensitivity level	MSL CC	–	–	3	–	JEDEC J-STD-020D
Soldering temperature	T_{SDR} SR	–	–	260	$^\circ\text{C}$	Profile according to JEDEC J-STD-020D

修订记录

修订记录

Document revision	Date	Description of changes
V1.2	2023-04-01	Summary of Features : Updated number of breakpoints from 8 to 6. Table 60 : Added PG-LQFP-100-29 details. Figure 44 : Added package diagram: PG-LQFP-100-29.
V1.3	2024-11-25	Template update; no content update



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-04-17

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email:

erratum@infineon.com

重要提示

本文件所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文件中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。此外，本文件所提供的任何信息均取决于客户履行本文件所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文件所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文件中所提供的信息是否充分自行予以评估。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。