

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「S」から始まるオーダ型格が記載されておりますが、これらのオーダ型格の末尾を更新して、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

32ビット ARM® Cortex®-M4F FM4 マイクロコントローラ

S6E2H シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M4F プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ、A/D コンバータ、各種通信インタフェース (UART, CSIO, I²C, LIN) により構成されます。このデータシートに記載されている製品は、「FM4 ファミリー Peripheral Manual Main Part (002-04857)」の TYPE6-M4 製品に分類されます。

特長

- 32 ビット ARM Cortex-M4F コア
 - 最大動作周波数: 160 MHz
- オンチップメモリ
 - メインフラッシュメモリ - 最大 512 K バイト
 - ワークフラッシュメモリ - 32 K バイト
 - SRAM
 - SRAM0: 最大 32 K バイト
 - SRAM1: 最大 16 K バイト
 - SRAM2: 最大 16 K バイト
- 外部バスインタフェース
- CAN インタフェース (最大 2 チャンネル)
- マルチファンクションシリアルインタフェース (最大 8 チャンネル)
 - UART
 - CSIO
 - LIN
 - I²C
- DMA コントローラ (8 チャンネル)
- DSTC (Descriptor System data Transfer Controller) (256 チャンネル)
- AD コンバータ (最大 24 チャンネル)
 - [12 ビット AD コンバータ]
- DA コンバータ (最大 2 チャンネル)
- ベースタイマ (最大 8 チャンネル)
- 最大 100 本の高速汎用 I/O ポート @120 pin Package
- 多機能タイマ (最大 3 ユニット)
- リアルタイムクロック (RTC : Real Time Clock)
- クアッドカウンタ (QPRC : Quadrature Position/Revolution Counter) (最大 3 チャンネル)
- デュアルタイマ (32/16 ビットダウンカウンタ)
- 時計カウンタ
- 外部割込み制御ユニット
- ウォッチドッグタイマ (2 チャンネル)
- CRC (Cyclic Redundancy Check) アクセラレータ
- SD カードインタフェース
- 5 種類のクロックソース (2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL) から選択できます。
 - メインクロック: 4 MHz ~ 48 MHz
 - サブクロック: 32.768 kHz
 - 内蔵高速 CR クロック: 4 MHz
 - 内蔵低速 CR クロック: 100 kHz
 - メイン PLL クロック
- リセット
 - INITX 端子からのリセット要求
 - 電源投入リセット
 - ソフトウェアリセット
 - ウォッチドッグタイマリセット
 - 低電圧検出リセット
 - クロックスーパーバイザリセット
- クロック監視機能 (CSV : Clock Super Visor)
- 低電圧検出機能 (LVD : Low-Voltage Detect)
- 低消費電力モード
 - スリープ
 - タイマ
 - RTC
 - ストップ
 - ディープスタンバイ RTC (RAM 保持あり・なし選択可能)
 - ディープスタンバイストップ (RAM 保持あり・なし選択可能)
- VBAT
- デバッグ
 - シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
 - エンベデッド・トレース・マクロセル (ETM)
- ユニーク ID (41 ビット)
- 電源
 - ワイドレンジ電圧対応: VCC = 2.7 V ~ 5.5 V
 - VBAT 用電源: VBAT = 2.7 V ~ 5.5 V

サイプレス FM4 MCU のエコシステム

サイプレスは、お客様のデザインに適切な MCU を選択し、選択したデバイスをデザインに迅速で効果的に組み込むことができるよう、www.cypress.com に豊富なデータを掲載しています。以下に FM4 MCU に関連する資料を掲載します。

■概要: 製品ポートフォリオ, 製品ロードマップ

■製品セクタ: FM4 MCU

- アプリケーションノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックの FM4 アプリケーションノートを提供しています。FM4 ファミリー入門用の推奨アプリケーションノートを以下に示します。:
 - [AN204468 - FM4 I2S USB MP3 Player Application 32-Bit Microcontroller FM4 Family](#): このアプリケーションノートは、I2S USB MP3Player ソフトウェアの一般的なアーキテクチャ、各モジュールの詳細や使用方法について説明します。
 - [AN204471 - FM4 S6E2CC Series External Memory Programmer](#): このアプリケーションノートは、S6E2CC シリーズ Starter Kit 上で、Quad SPI フラッシュメモリプログラミング用のオフラインでプログラムするための MCU ユニバーサルプログラマの使用方法について説明します。
 - [AN203277 - FM 32-Bit Microcontroller Family Hardware Design Considerations](#): このアプリケーションノートは、FM0+, FM3 および FM4 ファミリーの MCU を使用するハードウェアシステムを設計するための幾つかのトピックを掲載します。電力システム、リセット、水晶、他の端子の接続、プログラミングおよびデバッグのインターフェースの項目が含まれます。
 - [AN202488 - FM4 MB9BF56x and S6E2HG Series MCU - Servo Motor Speed Control](#): このアプリケーションノートは、MB9BF56x および S6E2HG の FM4 MCU のサーボモータ速度制御ソリューションを提供します。

- [AN99235 - FM4 S6E2HG Series MCU - 16-Bit PWM Using a Base Timer](#): 32 ビット ARM® Cortex®-M4 マイクロコントローラ FM4 S6E2H シリーズモータ制御 ARM® Cortex®-M4 MCU のサイプレス FM4 ファミリー
- [AN202487 - Differences Among FM0+, FM3, and FM4 32-Bit Microcontrollers](#): サイプレス FM ファミリー間のペリフェラルの差異について説明します。各ペリフェラルごとに個別の章を設け、リスト、表およびペリフェラル機能とレジスタの差異について説明しています。
- [AN204438 - How to Setup Flash Security for FM0+, FM3 and FM4 Families](#): このアプリケーションノートは、FM0+, FM3 および FM4 デバイス用のフラッシュセキュリティのセットアップ方法を説明します。

■Development kits:

- [FM4-U120-9B560 -USB および CMSIS-DAP を備えた ARM® Cortex®-M4 MCU スタータキット](#)
- [FM4-216-ETHERNET – Ethernet, CAN および USB ホストを備えた ARM® Cortex®-M4 MCU 開発キット](#)
- [FM4-176L-S6E2CC-ETH – Ethernet および USB ホストを備えた ARM® Cortex®-M4 MCU スタータキット](#)
- [FM4-176L-S6E2GM – Ethernet および USB ホストを備えた ARM® Cortex®-M4 MCU Pioneer Kit](#)

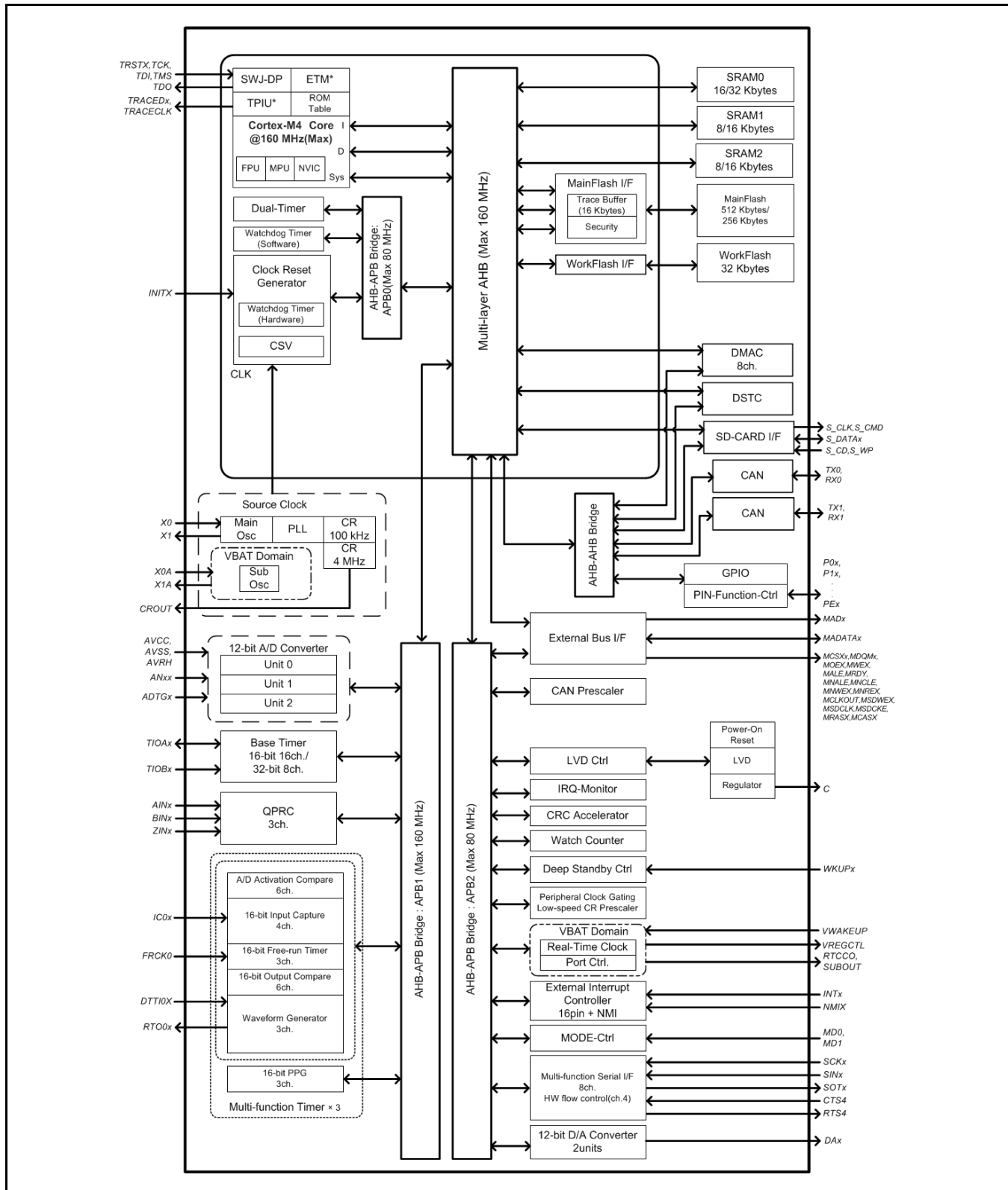
■Peripheral Manuals

Table of Contents

| | |
|--|-----|
| 特長 | 1 |
| サイプレス FM4 MCU のエコシステム | 2 |
| 1. S6E2H シリーズ ブロックダイアグラム | 5 |
| 2. 品種構成 | 6 |
| 3. パッケージと品種対応 | 7 |
| 4. 製品の特長 | 8 |
| 5. 端子配列図 | 12 |
| 6. 端子機能一覧 | 16 |
| 7. 入出力回路形式 | 44 |
| 8. 取扱上のご注意 | 51 |
| 8.1 設計上の注意事項 | 51 |
| 8.2 パッケージ実装上の注意事項 | 52 |
| 8.3 使用環境に関する注意事項 | 54 |
| 9. デバイス使用上の注意 | 55 |
| 10. メモリサイズ | 58 |
| 11. メモリマップ | 58 |
| 12. 各 CPU ステートにおける端子状態 | 61 |
| 13. 電気的特性 | 67 |
| 13.1 絶対最大定格 | 67 |
| 13.2 推奨動作条件 | 68 |
| 13.3 直流規格 | 71 |
| 13.3.1 電流規格 | 71 |
| 13.3.2 端子特性 | 80 |
| 13.4 交流規格 | 82 |
| 13.4.1 メインクロック入力規格 | 82 |
| 13.4.2 サブクロック入力規格 | 83 |
| 13.4.3 内蔵 CR 発振規格 | 83 |
| 13.4.4 メイン PLL の使用条件 (PLL の入力クロックにメインクロックを使用) | 84 |
| 13.4.5 メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用) | 84 |
| 13.4.6 リセット入力規格 | 84 |
| 13.4.7 パワーオンリセットタイミング | 85 |
| 13.4.8 GPIO 出力規格 | 86 |
| 13.4.9 外バスタイミング | 87 |
| 13.4.10 ベースタイマ入力タイミング | 99 |
| 13.4.11 CSIO タイミング | 100 |
| 13.4.12 外部入力タイミング | 133 |
| 13.4.13 クアッドカウンタ タイミング | 134 |
| 13.4.14 I ² C タイミング | 137 |
| 13.4.15 SD カードインタフェースタイミング | 140 |
| 13.4.16 ETM タイミング | 143 |
| 13.4.17 JTAG タイミング | 144 |
| 13.5 12 ビット A/D コンバータ | 145 |
| 13.6 12 ビット D/A コンバータ | 149 |
| 13.7 低電圧検出特性 | 150 |
| 13.7.1 低電圧検出リセット | 150 |
| 13.7.2 低電圧検出割込み | 150 |
| 13.8 メインフラッシュメモリ書込み/消去特性 | 151 |
| 13.9 ワークフラッシュメモリ書込み/消去特性 | 151 |
| 13.10 スタンバイ復帰時間 | 152 |
| 13.10.1 復帰要因: 割込み/WKUP | 152 |
| 13.10.2 復帰要因: リセット | 154 |

| | |
|----------------------------|-----|
| 14. オーダ型格 | 156 |
| 15. パッケージ・外形寸法図 | 157 |
| 改訂履歴 | 161 |
| セールス, ソリューションおよび法律情報 | 163 |

1. S6E2H シリーズ ブロックダイアグラム



*: S6E2HG4E0A, S6E2HG6E0A では、ETM は使用できません。

2. 品種構成

メモリサイズ

| 品種名 | S6E2HG4 S6E2HE4 S6E2H44 S6E2H14 | S6E2HG6 S6E2HE6 S6E2H46 S6E2H16 |
|-------------|--|--|
| メインフラッシュメモリ | 256 K バイト | 512 K バイト |
| ワークフラッシュメモリ | 32 K バイト | 32 K バイト |
| オンチップ SRAM | 32 K バイト | 64 K バイト |
| SRAM0 | 16 K バイト | 32 K バイト |
| SRAM1 | 8 K バイト | 16 K バイト |
| SRAM2 | 8 K バイト | 16 K バイト |

ファンクション

| Description | | | 品 種 名 | | | |
|--|------------|------|------------------------------|--------------------|--------------------|--------------------|
| | | | S6E2HG6 S6E2HG4 | S6E2HE6 S6E2HE4 | S6E2H46 S6E2H44 | S6E2H16 S6E2H14 |
| CPU | | | Cortex-M4F, MPU, NVIC 128ch. | | | |
| | | | 周波数 160 MHz | | | |
| 電源電圧範囲 | | | 2.7 V to 5.5 V | | | |
| CAN | | | 2ch. (Max) | N/A | 2ch. (Max) | N/A |
| DMAC | | | 8ch. | | | |
| DSTC | | | 256ch. | | | |
| マルチファンクションシリアル (UART/CSIO/LIN/I ² C) | | | 8ch. (Max) | | | |
| ベースタイマ (PWC/Reload timer/PWM/PPG) | | | 8ch. (Max) | | | |
| 多機能タイマ | A/D 起動コンペア | 6ch. | 3 units (Max) | | | |
| | インプットキャプチャ | 4ch. | | | | |
| | フリーランタイマ | 3ch. | | | | |
| | アウトプットコンペア | 6ch. | | | | |
| | 波形ジェネレータ | 3ch. | | | | |
| | PPG | 3ch. | | | | |
| SD カードインタフェース | | | 1 unit | | N/A | |
| クアッドカウンタ | | | 3ch. (Max) | | | |
| デュアルタイマ | | | 1 unit | | | |
| リアルタイムクロック | | | 1 unit | | | |
| 時計カウンタ | | | 1 unit | | | |

| Description | | 品種名 | | | |
|------------------|----|-------------------------|--------------------|--------------------|--------------------|
| | | S6E2HG6 S6E2HG4 | S6E2HE6 S6E2HE4 | S6E2H46 S6E2H44 | S6E2H16 S6E2H14 |
| CRC アクセラレータ | | Yes | | | |
| ウォッチドッグタイマ | | 1ch. (SW) + 1ch. (HW) | | | |
| 外部割込み | | 16 pins (Max) + NMI × 1 | | | |
| 12 ビット D/A コンバータ | | 2 units (Max) | | | |
| クロック監視機能 (CSV) | | Yes | | | |
| 低電圧検出機能 (LVD) | | 2ch. | | | |
| 内蔵 CR | 高速 | 4 MHz (±2%) | | | |
| | 低速 | 100 kHz (Typ) | | | |
| デバッグ機能 | | SWJ-DP/ETM | | | |
| ユニーク ID | | Yes | | | |

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当ててはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
- 内蔵 CR のクロック周波数精度については、「13.4.3 内蔵 CR 発振規格」を参照してください。

3. パッケージと品種対応

S6E2H シリーズのすべての製品は、80 ピン、100 ピンおよび 120(121)ピンパッケージで利用可能です。

| Description | S6E2H | | |
|------------------|---|---|---|
| | Package Suffix | | |
| | E0A | F0A | G0A |
| ピン数 | 80 | 100 | 120/121 |
| 12 ビット A/D コンバータ | 16ch. (3 units) | 24ch. (3 units) | |
| I/O ポート | 63 pins (Max) | 80 pins (Max) | 100 pins (Max) |
| 外部バスインタフェース | Addr:19-bit (Max), R/W data: 8-bit (Max), CS:5 (Max), SRAM, NOR Flash | Addr:25-bit (Max), R/W data: 8-/16-bit (Max), CS:9 (Max), SRAM, NOR Flash, SDRAM | Addr:25-bit (Max), R/W data: 8-/16-bit (Max), CS:9 (Max), SRAM, NOR Flash, SDRAM |

<注意事項>

- 製品型格と特長の差異については「14. オーダ型格」をご参照ください。
- 各パッケージの詳細は「15. パッケージ・外形寸法図」を参照してください。

4. 製品の特長

32 ビット ARM Cortex-M4F コア

- プロセッサ版数: r0p1
- 最大動作周波数: 160 MHz
- FPU 搭載
- DSP 命令対応
- メモリ保護ユニット(MPU): 組込みシステムの信頼性を向上させます。
- ネスト型バクタ割込みコントローラ(NVIC): 1 チャンネルの NMI(ノンマスカプブル割込み)と 128 チャンネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

- フラッシュメモリ
本シリーズは、2 つの独立したフラッシュメモリを搭載します。
 - メインフラッシュメモリ
 - ・最大 512 K バイト
 - ・16 K バイトのトレースバッファメモリを使用した、フラッシュメモリアクセラレータ機能を内蔵
 - ・フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。72 MHz より大きい場合でも、フラッシュメモリアクセラレータ機能により、0 wait-cycle と同等なアクセスを行います。
 - ・コード保護用セキュリティ機能
 - ワークフラッシュメモリ
 - ・32 K バイト
 - ・リードサイクル:
 - ・6 wait-cycle 動作周波数が 120 MHz を超え、160 MHz 以下の場合
 - ・4 wait-cycle 動作周波数が 72 MHz を超え、120 MHz 以下の場合
 - ・2 wait-cycle 動作周波数が 40 MHz を超え、72 MHz 以下の場合
 - ・0 wait-cycle 動作周波数が 40 MHz 以下の場合
 - ・セキュリティ機能はコード保護用セキュリティ機能と共有
- SRAM
本シリーズのオンチップ SRAM は、3 つの独立した SRAM (SRAM0, SRAM1, SRAM2) により構成されます。SRAM0 は、Cortex-M4F コアの I-Code バス、D-Code バスに接続します。SRAM1, SRAM2 は、Cortex-M4F コアの System バスに接続します。
 - SRAM0: 最大 32 K バイト
 - SRAM1: 最大 16 K バイト
 - SRAM2: 最大 16 K バイト

外部バスインタフェース

- SRAM, NOR と NAND フラッシュおよび SDRAM デバイスに対応
- 最大 9 チップセレクト CS0~CS8 (CS8 は SDRAM 専用)
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート
- スクランブル機能サポート
 - 外部領域 0x6000_0000~0xDFFF_FFFF の領域を 4 M バイト単位でスクランブルの有効/無効を設定可能
 - スクランブルキーを 2 種類設定可能
 - 注意事項:** 本機能を使用するためには、専用のソフトウェアライブラリが必要です。

CAN インタフェース (最大 2 チャンネル)

- CAN 仕様 2.0A および 2.0B に準拠
- 最大転送レート: 1 Mbps
- 32 メッセージバッファ搭載

マルチファンクションシリアルインタフェース(最大 8 チャンネル)

- 64 バイト FIFO あり(FIFO 段数は通信モード・ビット長の設定により可変)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全二重ダブルバッファ
 - パリティあり/なし選択可能
 - 専用ボーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - ハードウェアフロー・コントロール: CTS/RTS による送受信自動制御(ch.4 のみ)
 - 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)
- CSIO
 - 全二重ダブルバッファ
 - 専用ボーレートジェネレータ内蔵
 - オーバランエラー検出機能
 - シリアルチップセレクト機能(ch.6, ch.7 のみ)
 - 高速 SPI 対応(ch.4, ch.6 のみ)
 - データ長 5~16 ビット

■LIN

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■I²C

- 標準モード(最大 100 kbps)/高速モード(最大 400 kbps)に対応
- 高速モードプラス(Fm+) (最大 1000 kbps, ch.3=ch.A, ch.7=ch.B のみ)に対応

DMA コントローラ(8 チャネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

DSTC (Descriptor System data Transfer Controller) (256 チャネル)

DSTC は、CPU を介せずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。

ソフトウェア起動, ハードウェア起動, Chain 起動機能サポート

AD コンバータ(最大 24 チャネル)

- 逐次比較型
- 3 ユニット搭載
- 変換時間: 0.5 μ s @ 5 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

DA コンバータ(最大 2 チャネル)

- R-2R 型
- 12 ビット分解能

ベースタイマ(最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ
- イベントカウンタモード(外部クロックモード)

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにブルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 100 本の高速汎用 I/O ポート @ 120 pin Package

■ 一部のポートは、5 V トレラントに対応
該当する端子については「6. 端子機能一覧」と「7. 入出力回路形式」を参照してください。

多機能タイマ(最大 3 ユニット)

多機能タイマは、次のブロックで構成されます。

最小分解能: 6.25 ns

- 16 ビットフリーランタイマ×3 チャネル / ユニット
- インプットキャプチャ×4 チャネル / ユニット
- アウトプットコンペア×6 チャネル / ユニット
- A/D 起動コンペア×6 チャネル / ユニット
- 波形ジェネレータ×3 チャネル / ユニット
- 16 ビット PPG タイマ×3 チャネル / ユニット

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパルス出力機能
- デッドタイム機能
- インプットキャプチャ機能
- A/D コンバータ起動機能
- DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00 年～99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

クアドカウンタ (QPRC : Quadrature Position/Revolution Counter) (最大 3 チャネル)

クアドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。各タイマチャネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからのウェイクアップに使用します。クロックソースはメインクロック/サブクロック/内蔵高速 CR クロック/内蔵低速 CR クロックから選択可能です。インターバルタイマ : 最大 64 s@サブクロック使用時(32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 16 本
 - 立上り/立下りの両エッジ検出に対応
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、ハードウェア"ウォッチドッグ"とソフトウェアウォッチドッグの 2 つの異なるウォッチドッグがあります。

ハードウェアウォッチドッグタイマは内蔵低速 CR 発振で動作するため、STOP 以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

SD カードインタフェース

下記規格に準拠した SD カードが使用できます。

- Part 1 Physical Layer Specification version 3.01
- Part E1 SDIO Specification version 3.00
- Part A2 SD Host Controller Standard Specification version 3.00
- 1 ビットまたは 4 ビットのデータバス幅

クロック/リセット

■クロック

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz～48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

■リセット

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC(RAM 保持あり・なし選択可能)
- ディープスタンバイストップ(RAM 保持あり・なし選択可能)

VBAT

RTC(カレンダー回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。

VBAT には以下の回路が含まれます。

- RTC
- 32 kHz 発振回路
- パワーオン回路
- バックアップレジスタ: 32 バイト
- ポート回路

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル(ETM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

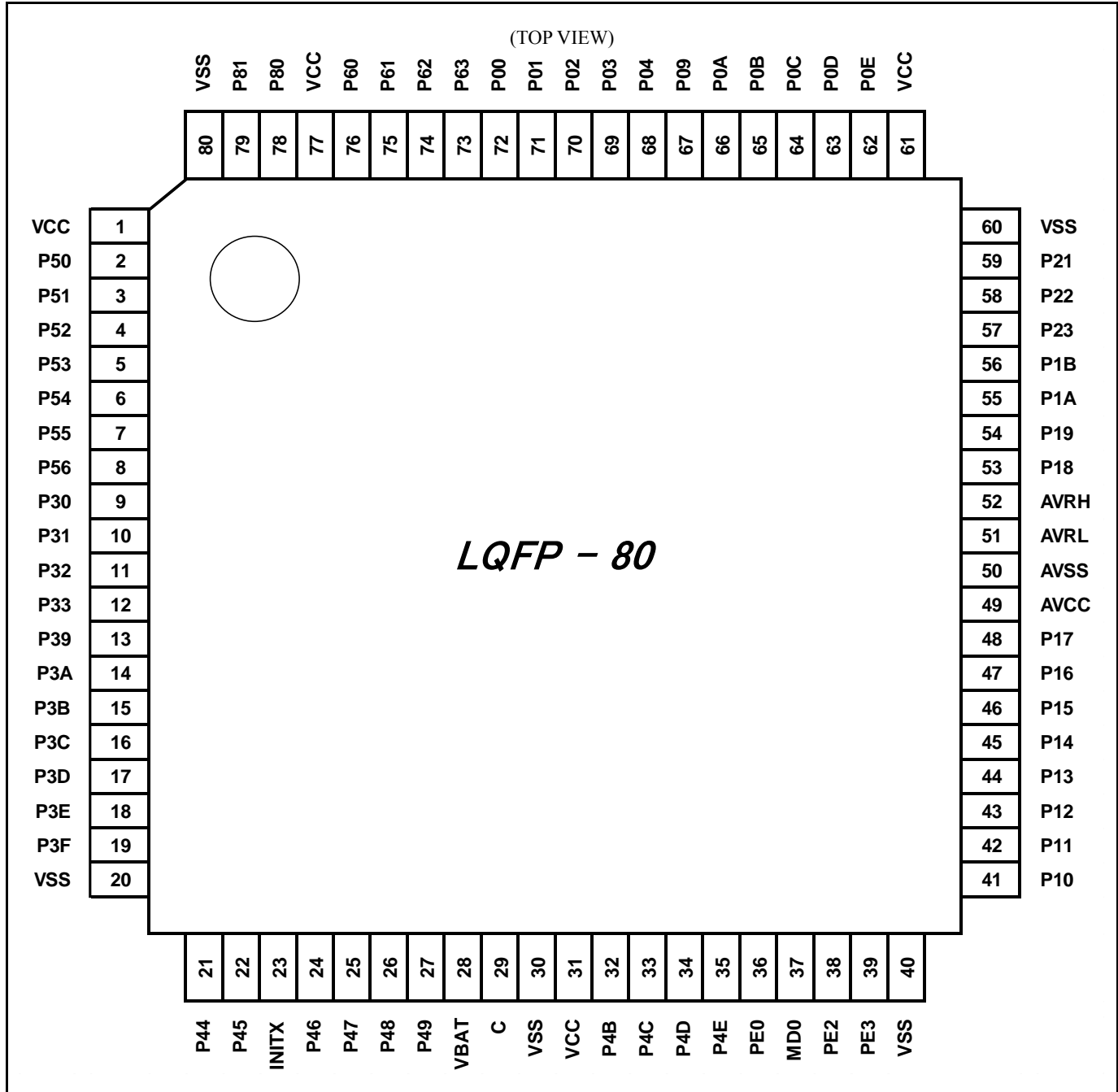
電源

2 種類の電源

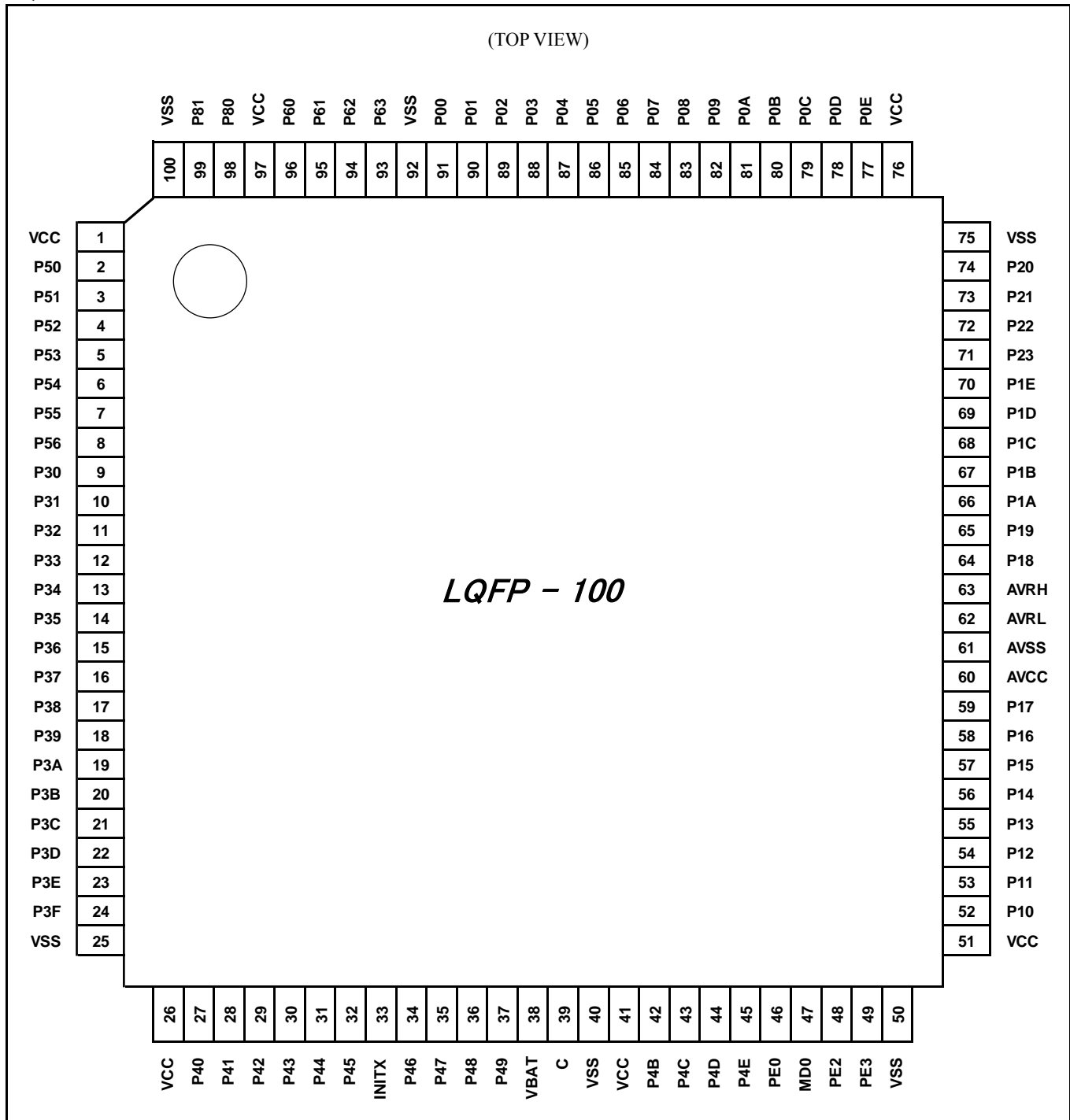
- ワイドレンジ電圧対応: $VCC = 2.7\text{ V} \sim 5.5\text{ V}$
- VBAT 用電源: $VBAT = 2.7\text{ V} \sim 5.5\text{ V}$

5. 端子配列図

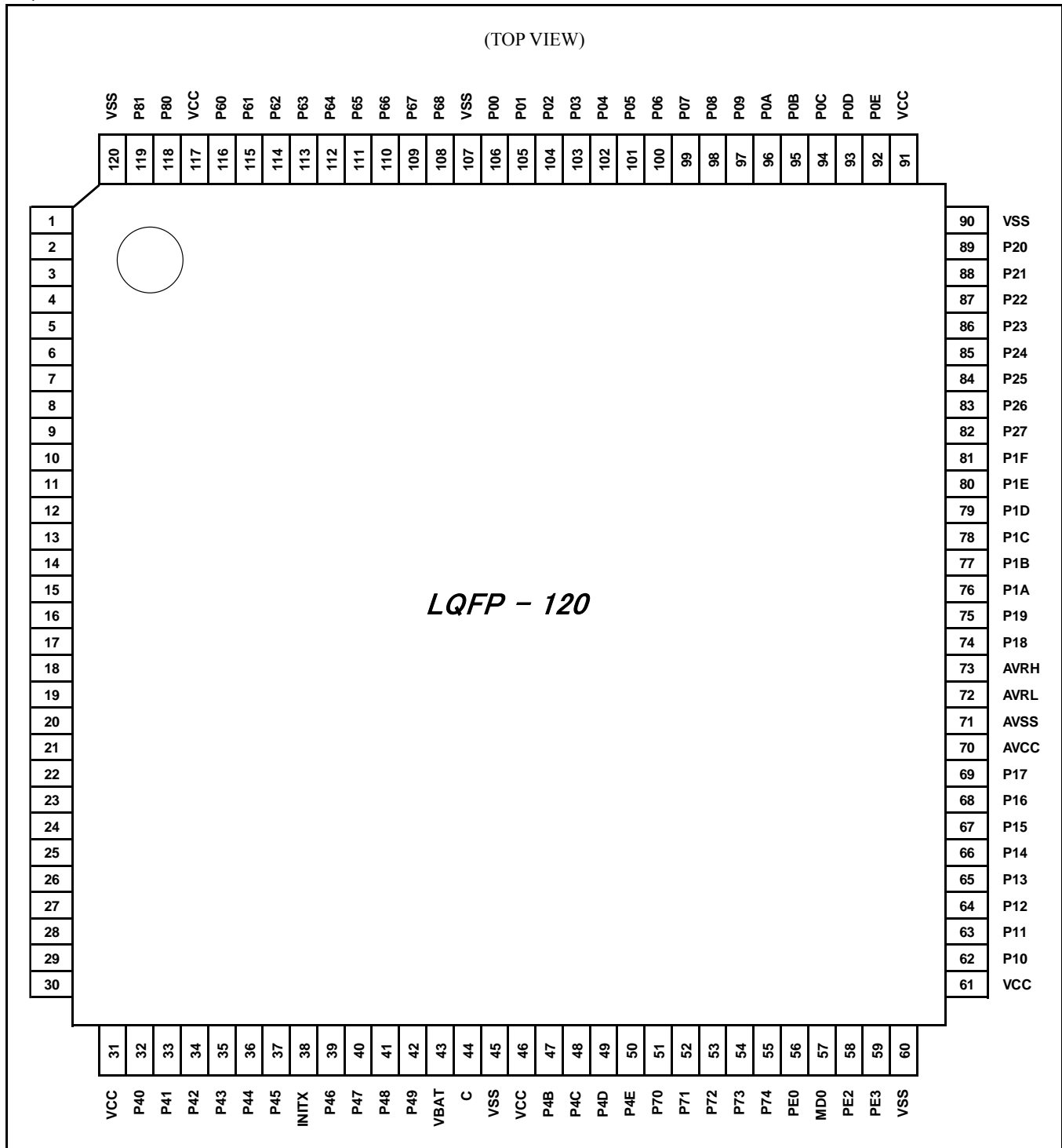
LQH080



LQI100



LQM120



FDI121

(TOP VIEW)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
|---|-----|-----|-------|-----|-------|-----|-----|-----|-----|-----|------|
| A | VSS | P81 | P80 | VCC | TRSTX | VSS | P06 | P0A | P0D | VCC | VSS |
| B | VCC | P60 | P61 | P63 | TCK | TDO | P07 | P0B | P0E | P24 | P20 |
| C | P50 | P51 | P62 | P64 | TDI | TMS | P08 | P0C | P25 | P22 | P21 |
| D | P52 | P53 | P54 | P65 | P66 | P05 | P09 | P26 | P1E | P1D | P23 |
| E | P30 | P55 | P56 | P57 | P67 | P68 | P27 | P1C | P1B | P1A | P19 |
| F | P34 | P33 | P32 | P31 | P58 | P59 | P1F | P18 | P17 | P16 | AVRH |
| G | P35 | P36 | P37 | P38 | P5A | P5B | P72 | P15 | P14 | P13 | AVRL |
| H | P39 | P3A | P3B | P3C | P43 | P70 | P71 | P73 | P12 | P11 | AVSS |
| J | P3D | P3E | P41 | P45 | P42 | P4B | P4C | P4D | P74 | P10 | AVCC |
| K | VCC | P3F | P44 | X1A | P48 | P49 | VCC | P4E | MD0 | VSS | VCC |
| L | VSS | P40 | INITX | X0A | VBAT | C | VSS | MD1 | X0 | X1 | VSS |

PFBGA-121

6. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|----------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 1 | 1 | 1 | B1 | VCC | - | - |
| 2 | 2 | 2 | C1 | P50 | E | K |
| | | | | CTS4_0 | | |
| | | | | AIN0_2 | | |
| | | | | RTO10_0 (PPG10_0) | | |
| | | | | INT00_0 | | |
| | | | | MADATA00_0 | | |
| 3 | 3 | 3 | C2 | P51 | E | K |
| | | | | RTS4_0 | | |
| | | | | BIN0_2 | | |
| | | | | RTO11_0 (PPG10_0) | | |
| | | | | INT01_0 | | |
| | | | | MADATA01_0 | | |
| 4 | 4 | 4 | D1 | P52 | E | I |
| | | | | SCK4_0 (SCL4_0) | | |
| | | | | ZIN0_2 | | |
| | | | | RTO12_0 (PPG12_0) | | |
| | | | | MADATA02_0 | | |
| 5 | 5 | 5 | D2 | P53 | E | I |
| | | | | TIOA1_2 | | |
| | | | | SOT4_0 (SDA4_0) | | |
| | | | | RTO13_0 (PPG12_0) | | |
| | | | | MADATA03_0 | | |
| 6 | 6 | 6 | D3 | P54 | E | K |
| | | | | TIOB1_2 | | |
| | | | | SIN4_0 | | |
| | | | | RTO14_0 (PPG14_0) | | |
| | | | | INT02_0 | | |
| | | | | MADATA04_0 | | |
| 7 | 7 | 7 | E2 | P55 | E | K |
| | | | | ADTG_1 | | |
| | | | | SIN6_0 | | |
| | | | | RTO15_0 (PPG14_0) | | |
| | | | | INT07_2 | | |
| | | | | MADATA05_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 8 | 8 | 8 | E3 | P56 | E | K |
| | | | | SOT6_0 (SDA6_0) | | |
| | | | | DTT11X_0 | | |
| | | | | INT08_2 | | |
| | | | | MADATA06_0 | | |
| 9 | - | - | E4 | P57 | E | I |
| | | | | SCK6_0 (SCL6_0) | | |
| | | | | MADATA07_0 | | |
| | | | | RTO20_1 | | |
| 10 | - | - | F5 | P58 | E | K |
| | | | | SIN4_2 | | |
| | | | | AIN1_0 | | |
| | | | | INT04_2 | | |
| | | | | MADATA08_0 | | |
| | | | | RTO21_1 | | |
| 11 | - | - | F6 | P59 | E | K |
| | | | | SOT4_2 (SDA4_2) | | |
| | | | | BIN1_0 | | |
| | | | | INT07_1 | | |
| | | | | MADATA09_0 | | |
| | | | | RTO22_1 | | |
| | | | | RX1_1 | | |
| 12 | - | - | G5 | P5A | E | I |
| | | | | SCK4_2 (SCL4_2) | | |
| | | | | ZIN1_0 | | |
| | | | | MADATA10_0 | | |
| | | | | RTO23_1 | | |
| | | | | TX1_1 | | |
| 13 | - | - | G6 | P5B | E | I |
| | | | | CTS4_2 | | |
| | | | | MADATA11_0 | | |
| | | | | RTO24_1 | | |
| 14 | 9 | 9 | E1 | P30 | E | Q |
| | | | | TIOB0_1 | | |
| | | | | RTS4_2 | | |
| | | | | INT15_2 | | |
| | | | | WKUP1 | | |
| - | - | - | - | MADATA07_0 | | |
| 14 | 9 | 9 | E1 | MADATA12_0 | | |
| | | | | RTO25_1 | | |
| 15 | 10 | 10 | F4 | P31 | I | K |
| | | | | TIOB1_1 | | |
| | | | | SIN3_1 | | |
| | | | | INT09_2 | | |
| | | | | MADATA08_0 | | |
| 15 | 10 | 10 | F4 | MADATA13_0 | | |
| | | | | DTT12X_1 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 16 | 11 | 11 | F3 | P32 | N | K |
| | | | | TIOB2_1 | | |
| | | | | SOT3_1 (SDA3_1) | | |
| | | | | INT10_1 | | |
| | | | | MADATA09_0 | | |
| - | - | - | - | MADATA14_0 | N | K |
| 16 | - | - | F3 | MADATA14_0 | | |
| 17 | 12 | 12 | F2 | P33 | | |
| | | | | ADTG_6 | | |
| | | | | TIOB3_1 | | |
| | | | | SCK3_1 (SCL3_1) | | |
| | | | | INT04_0 | | |
| - | - | - | - | MADATA10_0 | N | K |
| 17 | - | - | F2 | MADATA15_0 | | |
| 18 | 13 | - | F1 | P34 | | I |
| | | | | TIOB4_1 | | |
| | | | | FRCK0_0 | | |
| | | | | TX0_1 | | |
| | | | | MADATA11_0 | | |
| - | - | - | - | MNALE_0 | E | K |
| 18 | - | - | F1 | MNALE_0 | | |
| 19 | 14 | - | G1 | P35 | | K |
| | | | | TIOB5_1 | | |
| | | | | IC03_0 | | |
| | | | | INT08_1 | | |
| | | | | RX0_1 | | |
| - | - | - | - | MADATA12_0 | E | K |
| 19 | - | - | G1 | MNCLE_0 | | |
| 20 | 15 | - | G2 | P36 | | K |
| | | | | SIN5_2 | | |
| | | | | IC02_0 | | |
| | | | | INT09_1 | | |
| | | | | MADATA13_0 | | |
| - | - | - | - | MNWEX_0 | E | K |
| 20 | - | - | G2 | MNWEX_0 | | |
| 21 | 16 | - | G3 | P37 | | K |
| | | | | SOT5_2 (SDA5_2) | | |
| | | | | IC01_0 | | |
| | | | | INT05_2 | | |
| | | | | MADATA14_0 | | |
| - | - | - | - | MNREX_0 | E | K |
| 21 | - | - | G3 | MNREX_0 | | |
| 22 | 17 | - | G4 | P38 | | K |
| | | | | SCK5_2 (SCL5_2) | | |
| | | | | IC00_0 | | |
| | | | | INT06_2 | | |
| | | | | MADATA15_0 | | |
| - | - | - | - | MADATA15_0 | L | I |
| 23 | 18 | 13 | H1 | P39 | | |
| | | | | ADTG_2 | | |
| | | | | DTTIOX_0 | | |
| | | | | RTCCO_2 | | |
| | | | | SUBOUT_2 | | |
| - | - | - | - | MSDCLK_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|----------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 24 | 19 | 14 | H2 | P3A | G | I |
| | | | | TIOA0_1 | | |
| | | | | AIN0_0 | | |
| | | | | RTO00_0 (PPG00_0) | | |
| | | - | | MSDCKE_0 | | |
| 25 | 20 | 15 | H3 | P3B | G | I |
| | | | | TIOA1_1 | | |
| | | | | BIN0_0 | | |
| | | | | RTO01_0 (PPG00_0) | | |
| | | - | | MRASX_0 | | |
| 26 | 21 | 16 | H4 | P3C | G | I |
| | | | | TIOA2_1 | | |
| | | | | ZIN0_0 | | |
| | | | | RTO02_0 (PPG02_0) | | |
| | | - | | MCASX_0 | | |
| 27 | 22 | 17 | J1 | P3D | G | I |
| | | | | TIOA3_1 | | |
| | | | | RTO03_0 (PPG02_0) | | |
| | | | | MAD00_0 | | |
| 28 | 23 | 18 | J2 | P3E | G | I |
| | | | | TIOA4_1 | | |
| | | | | RTO04_0 (PPG04_0) | | |
| | | | | MAD01_0 | | |
| 29 | 24 | 19 | K2 | P3F | G | I |
| | | | | TIOA5_1 | | |
| | | | | RTO05_0 (PPG04_0) | | |
| | | | | MAD02_0 | | |
| 30 | 25 | 20 | L1 | VSS | - | - |
| 31 | 26 | - | K1 | VCC | - | - |
| 32 | 27 | - | L2 | P40 | G | K |
| | | | | TIOA0_0 | | |
| | | | | RTO10_1 (PPG10_1) | | |
| | | | | INT12_1 | | |
| 33 | 28 | - | J3 | P41 | G | K |
| | | | | TIOA1_0 | | |
| | | | | RTO11_1 (PPG10_1) | | |
| | | | | INT13_1 | | |
| | | | | AIN2_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|----------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 34 | 29 | - | J5 | P42 | G | I |
| | | | | TIOA2_0 | | |
| | | | | RTO12_1 (PPG12_1) | | |
| | | | | MSDWEX_0 | | |
| | | | | BIN2_0 | | |
| 35 | 30 | - | H5 | P43 | G | I |
| | | | | ADTG_7 | | |
| | | | | TIOA3_0 | | |
| | | | | RTO13_1 (PPG12_1) | | |
| | | | | MCSX8_0 | | |
| 36 | 31 | 21 | K3 | ZIN2_0 | R | J |
| | | | | P44 | | |
| | | | | TIOA4_0 | | |
| | | | | RTO14_1 (PPG14_1) | | |
| | | | | DA0 | | |
| 37 | 32 | 22 | J4 | P45 | R | J |
| | | | | TIOB0_0 | | |
| | | | | RTO15_1 (PPG14_1) | | |
| | | | | DA1 | | |
| 38 | 33 | 23 | L3 | INITX | B | C |
| 39 | 34 | 24 | L4 | P46 | P | S |
| | | | | X0A | | |
| 40 | 35 | 25 | K4 | P47 | Q | T |
| | | | | X1A | | |
| 41 | 36 | 26 | K5 | P48 | O | U |
| | | | | VREGCTL | | |
| 42 | 37 | 27 | K6 | P49 | O | U |
| | | | | VWAKEUP | | |
| 43 | 38 | 28 | L5 | VBAT | - | - |
| 44 | 39 | 29 | L6 | C | - | - |
| 45 | 40 | 30 | L7 | VSS | - | - |
| 46 | 41 | 31 | K7 | VCC | - | - |
| 47 | 42 | 32 | J6 | P4B | E | I |
| | | | | TIOB1_0 | | |
| | | | | SCS7_1 | | |
| | | | | MAD03_0 | | |
| 48 | 43 | 33 | J7 | P4C | N | I |
| | | | | TIOB2_0 | | |
| | | | | SCK7_1 (SCL7_1) | | |
| | | | | AIN1_2 | | |
| | | | | MAD04_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 49 | 44 | 34 | J8 | P4D | N | K |
| | | | | TIOB3_0 | | |
| | | | | SOT7_1 (SDA7_1) | | |
| | | | | BIN1_2 | | |
| | | | | INT13_2 | | |
| | | | | MAD05_0 | | |
| 50 | 45 | 35 | K8 | P4E | I | Q |
| | | | | TIOB4_0 | | |
| | | | | SIN7_1 | | |
| | | | | ZIN1_2 | | |
| | | | | FRCK1_1 | | |
| | | | | INT11_1 | | |
| | | | | WKUP2 | | |
| | | | | MAD06_0 | | |
| 51 | - | - | H6 | P70 | E | I |
| | | | | TIOA4_2 | | |
| | | | | AIN0_1 | | |
| | | | | IC13_1 | | |
| | | | | TX0_0 | | |
| 52 | - | - | H7 | P71 | E | K |
| | | | | TIOB4_2 | | |
| | | | | BIN0_1 | | |
| | | | | IC12_1 | | |
| | | | | INT15_1 | | |
| | | | | RX0_0 | | |
| 53 | - | - | G7 | P72 | E | K |
| | | | | TIOA6_0 | | |
| | | | | SIN2_0 | | |
| | | | | ZIN0_1 | | |
| | | | | IC11_1 | | |
| | | | | INT14_2 | | |
| 54 | - | - | H8 | P73 | E | K |
| | | | | TIOB6_0 | | |
| | | | | SOT2_0 (SDA2_0) | | |
| | | | | IC10_1 | | |
| | | | | INT03_2 | | |
| 55 | - | - | J9 | P74 | E | I |
| | | | | SCK2_0 (SCL2_0) | | |
| | | | | DTT1X_1 | | |
| 56 | 46 | 36 | L8 | PE0 | C | E |
| | | | | MD1 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 57 | 47 | 37 | K9 | MD0 | J | D |
| 58 | 48 | 38 | L9 | PE2 | A | A |
| | | | | X0 | | |
| 59 | 49 | 39 | L10 | PE3 | A | B |
| | | | | X1 | | |
| 60 | 50 | 40 | L11 | VSS | - | - |
| 61 | 51 | - | K11 | VCC | - | - |
| 62 | 52 | 41 | J10 | P10 | F | M |
| | | | | AN00 | | |
| | | | | SIN1_1 | | |
| | | | | FRCK0_2 | | |
| | | | | INT02_1 | | |
| | | | | MAD07_0 | | |
| | | | | RX1_2 | | |
| 63 | 53 | 42 | H10 | P11 | F | L |
| | | | | AN01 | | |
| | | | | SOT1_1 (SDA1_1) | | |
| | | | | IC00_2 | | |
| | | | | MAD08_0 | | |
| | | | | TX1_2 | | |
| 64 | 54 | 43 | H9 | P12 | F | L |
| | | | | AN02 | | |
| | | | | SCK1_1 (SCL1_1) | | |
| | | | | IC01_2 | | |
| | | | | RTCCO_1 | | |
| | | | | SUBOUT_1 | | |
| | | | | MAD09_0 | | |
| 65 | 55 | 44 | G10 | P13 | F | M |
| | | | | AN03 | | |
| | | | | SIN0_1 | | |
| | | | | IC02_2 | | |
| | | | | INT03_1 | | |
| | | | | MAD10_0 | | |
| 66 | 56 | 45 | G9 | P14 | F | L |
| | | | | AN04 | | |
| | | | | SOT0_1 (SDA0_1) | | |
| | | | | IC03_2 | | |
| | | | | MAD11_0 | | |
| 67 | 57 | 46 | G8 | P15 | F | L |
| | | | | AN05 | | |
| | | | | SCK0_1 (SCL0_1) | | |
| | | | | MAD12_0 | | |
| | | | | ZIN2_2 | | |
| | | | | RTO22_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 68 | 58 | 47 | F10 | P16 | F | M |
| | | | | AN06 | | |
| | | | | SIN2_2 | | |
| | | | | INT14_1 | | |
| | | | | MAD13_0 | | |
| | | | | BIN2_2 | | |
| | | | | RTO21_0 | | |
| 69 | 59 | 48 | F9 | P17 | F | P |
| | | | | AN07 | | |
| | | | | SOT2_2 (SDA2_2) | | |
| | | | | WKUP3 | | |
| | | | | MAD14_0 | | |
| | | | | AIN2_2 | | |
| | | | | RTO20_0 | | |
| 70 | 60 | 49 | J11 | AVCC | - | - |
| 71 | 61 | 50 | H11 | AVSS | - | - |
| 72 | 62 | 51 | G11 | AVRL | - | - |
| 73 | 63 | 52 | F11 | AVRH | - | - |
| 74 | 64 | 53 | F8 | P18 | F | L |
| | | | | AN08 | | |
| | | | | SCK2_2 (SCL2_2) | | |
| | | | | MAD15_0 | | |
| | | | | DTI2X_0 | | |
| 75 | 65 | 54 | E11 | P19 | F | M |
| | | | | AN09 | | |
| | | | | SIN4_1 | | |
| | | | | IC00_1 | | |
| | | | | INT05_1 | | |
| | | | | MAD16_0 | | |
| 76 | 66 | 55 | E10 | P1A | M | L |
| | | | | AN10 | | |
| | | | | SOT4_1 (SDA4_1) | | |
| | | | | IC01_1 | | |
| | | | | MAD17_0 | | |
| 77 | 67 | 56 | E9 | P1B | M | L |
| | | | | AN11 | | |
| | | | | SCK4_1 (SCL4_1) | | |
| | | | | IC02_1 | | |
| | | | | MAD18_0 | | |
| 78 | 68 | - | E8 | P1C | F | L |
| | | | | AN12 | | |
| | | | | CTS4_1 | | |
| | | | | IC03_1 | | |
| | | | | MAD19_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|----------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 79 | 69 | - | D10 | P1D | F | L |
| | | | | AN13 | | |
| | | | | RTS4_1 | | |
| | | | | DTTI0X_1 | | |
| | | | | MAD20_0 | | |
| 80 | 70 | - | D9 | P1E | F | L |
| | | | | AN14 | | |
| | | | | ADTG_5 | | |
| | | | | FRCK0_1 | | |
| | | | | MAD21_0 | | |
| 81 | - | - | F7 | P1F | E | I |
| | | | | ADTG_4 | | |
| | | | | TIOB6_2 | | |
| | | | | RTO05_1 (PPG04_1) | | |
| 82 | - | - | E7 | P27 | E | K |
| | | | | TIOA6_2 | | |
| | | | | RTO04_1 (PPG04_1) | | |
| | | | | INT02_2 | | |
| 83 | - | - | D8 | P26 | E | I |
| | | | | TIOB5_0 | | |
| | | | | SCK2_1 (SCL2_1) | | |
| | | | | RTO03_1 (PPG02_1) | | |
| 84 | - | - | C9 | P25 | E | I |
| | | | | TIOA5_0 | | |
| | | | | SOT2_1 (SDA2_1) | | |
| | | | | RTO02_1 (PPG02_1) | | |
| | | | | TX1_0 | | |
| 85 | - | - | B10 | P24 | E | K |
| | | | | SIN2_1 | | |
| | | | | RTO01_1 (PPG00_1) | | |
| | | | | INT01_2 | | |
| | | | | RX1_0 | | |
| 86 | 71 | 57 | D11 | P23 | F | L |
| | | | | AN15 | | |
| | | | | TIOA7_1 | | |
| | | | | SCK0_0 (SCL0_0) | | |
| | | | | RTO00_1 (PPG00_1) | | |
| | | - | | MAD22_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状态 形式 |
|--------------------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 87 | 72 | 58 | C10 | P22 | F | L |
| | | | | CROUT_0 | | |
| | | | | AN16 | | |
| | | | | TIOB7_1 | | |
| | | | | SOT0_0 (SDA0_0) | | |
| | | - | | ZIN1_1 | | |
| | | 58 | | RTO23_0 | | |
| 88 | 73 | 59 | C11 | P21 | F | M |
| | | | | AN17 | | |
| | | | | SIN0_0 | | |
| | | - | | BIN1_1 | | |
| | | 59 | | INT06_1 | | |
| | | - | | MAD23_0 | | |
| | | 59 | | RTO24_0 | | |
| 89 | 74 | - | B11 | P20 | F | M |
| | | | | AN18 | | |
| | | | | AIN1_1 | | |
| | | | | INT05_0 | | |
| | | | | MAD24_0 | | |
| | | | | RTO25_0 | | |
| | | | | 90 | | |
| 91 | 76 | 61 | A10 | VCC | - | - |
| 92 | 77 | 62 | B9 | P0E | L | I |
| | | | | TIOB5_2 | | |
| | | | | SCS6_1 | | |
| | | | | IC13_0 | | |
| | | | | S_CLK_0 | | |
| | | | | MDQM1_0 | | |
| | | | | 93 | | |
| TIOA5_2 | | | | | | |
| SCK6_1 (SCL6_1) | | | | | | |
| IC12_0 | | | | | | |
| S_CMD_0 | | | | | | |
| MDQM0_0 | | | | | | |
| 94 | 79 | 64 | C8 | | P0C | L |
| | | | | TIOA6_1 | | |
| | | | | SOT6_1 (SDA6_1) | | |
| | | | | IC11_0 | | |
| | | | | S_DATA1_0 | | |
| | | | | MALE_0 | | |
| | | | | 95 | 80 | |
| TIOB6_1 | | | | | | |
| SIN6_1 | | | | | | |
| IC10_0 | | | | | | |
| INT00_1 | | | | | | |
| S_DATA0_0 | | | | | | |
| MCSX0_0 | | | | | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 96 | 81 | 66 | A8 | P0A | L | K |
| | | | | SIN1_0 | | |
| | | | | FRCK1_0 | | |
| | | | | INT12_2 | | |
| | | | | S_DATA3_0 | | |
| | | | | MCSX1_0 | | |
| 97 | 82 | 67 | D7 | P09 | M | N |
| | | - | | AN19 | | |
| | | 67 | | TRACED0 | | |
| | | | | TIOA3_2 | | |
| | | | | SOT1_0 (SDA1_0) | | |
| | | | | S_DATA2_0 | | |
| | | | | MCSX5_0 | | |
| | | | | IC23_1 | | |
| 98 | 83 | - | C7 | P08 | F | N |
| | | | | AN20 | | |
| | | | | TRACED1 | | |
| | | | | TIOB3_2 | | |
| | | | | SCK1_0 (SCL1_0) | | |
| | | | | MCSX4_0 | | |
| | | | | IC22_1 | | |
| 99 | 84 | - | B7 | P07 | M | N |
| | | | | AN21 | | |
| | | | | TRACED2 | | |
| | | | | TIOA0_2 | | |
| | | | | SCK7_0 (SCL7_0) | | |
| | | | | MCLKOUT_0 | | |
| | | | | IC21_1 | | |
| 100 | 85 | - | A7 | P06 | F | N |
| | | | | AN22 | | |
| | | | | TRACED3 | | |
| | | | | TIOB0_2 | | |
| | | | | SOT7_0 (SDA7_0) | | |
| | | | | MCSX3_0 | | |
| | | | | IC20_1 | | |
| 101 | 86 | - | D6 | P05 | F | O |
| | | | | AN23 | | |
| | | | | ADTG_0 | | |
| | | | | TRACECLK | | |
| | | | | SIN7_0 | | |
| | | | | INT01_1 | | |
| | | | | MCSX2_0 | | |
| FRCK2_1 | | | | | | |
| 102 | 87 | 68 | B6 | P04 | E | G |
| | | | | TDO | | |
| | | | | SWO | | |
| 103 | 88 | 69 | C6 | P03 | E | G |
| | | | | TMS | | |
| | | | | SWDIO | | |
| 104 | 89 | 70 | C5 | P02 | E | H |
| | | | | TDI | | |
| | | | | MCSX6_0 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 105 | 90 | 71 | B5 | P01 | E | G |
| | | | | TCK | | |
| | | | | SWCLK | | |
| 106 | 91 | 72 | A5 | P00 | E | H |
| | | | | TRSTX | | |
| | | | | MCSX7_0 | | |
| 107 | 92 | - | A6 | VSS | - | - |
| 108 | - | - | E6 | P68 | E | K |
| | | | | TIOB7_2 | | |
| | | | | SCK3_0 (SCL3_0) | | |
| | | | | INT00_2 | | |
| 109 | - | - | E5 | P67 | E | I |
| | | | | TIOA7_2 | | |
| | | | | SOT3_0 (SDA3_0) | | |
| 110 | - | - | D5 | P66 | E | K |
| | | | | ADTG_8 | | |
| | | | | SIN3_0 | | |
| | | | | INT11_2 | | |
| 111 | - | - | D4 | P65 | E | I |
| | | | | TIOB7_0 | | |
| | | | | SCK5_1 (SCL5_1) | | |
| 112 | - | - | C4 | P64 | E | K |
| | | | | TIOA7_0 | | |
| | | | | SOT5_1 (SDA5_1) | | |
| | | | | INT10_2 | | |
| 113 | 93 | 73 | B4 | P63 | E | K |
| | 93 | 73 | | CROUT_1 | | |
| | | | | SIN5_1 | | |
| | | | | INT03_0 | | |
| | | | | S_CD_0 | | |
| | | | | MWEX_0 | | |
| | | | | IC23_0 | | |
| | RX0_2 | | | | | |
| 114 | 94 | 74 | C3 | P62 | I | K |
| | | | | ADTG_3 | | |
| | | | | SIN5_0 | | |
| | | | | INT04_1 | | |
| | | | | S_WP_0 | | |
| | | | | MOEX_0 | | |
| | | | | IC22_0 | | |
| | | | | TX0_2 | | |
| 115 | 95 | 75 | B3 | P61 | E | I |
| | | | | TIOB2_2 | | |
| | | | | SOT5_0 (SDA5_0) | | |
| | | | | RTCCO_0 | | |
| | | | | SUBOUT_0 | | |
| | | | | ZIN2_1 | | |

| 端子番号 | | | | 端子名 | 入出力 回路 形式 | 端子状態 形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 | | | |
| 116 | 96 | 76 | B2 | P60 | I | F |
| | | | | TIOA2_2 | | |
| | | | | SCK5_0 (SCL5_0) | | |
| | | | | NMIX | | |
| | | | | WKUP0 | | |
| | | | | MRDY_0 | | |
| | | | | FRCK2_0 | | |
| 117 | 97 | 77 | A4 | VCC | - | - |
| 118 | 98 | 78 | A3 | P80 | E *1 | I |
| | | | | BIN2_1 | | |
| | | | | IC21_0 | | |
| 119 | 99 | 79 | A2 | P81 | E *1 | I |
| | | | | AIN2_1 | | |
| | | | | IC20_0 | | |
| 120 | 100 | 80 | A1 | VSS | - | - |
| - | - | - | K10 | VSS | - | - |

*1 プルアップ抵抗制御なし

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|--------------|---------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| ADC | ADTG_0 | A/D コンバータ外部トリガ入力端子 | 101 | 86 | - | D6 |
| | ADTG_1 | | 7 | 7 | 7 | E2 |
| | ADTG_2 | | 23 | 18 | 13 | H1 |
| | ADTG_3 | | 114 | 94 | 74 | C3 |
| | ADTG_4 | | 81 | - | - | F7 |
| | ADTG_5 | | 80 | 70 | - | D9 |
| | ADTG_6 | | 17 | 12 | 12 | F2 |
| | ADTG_7 | | 35 | 30 | - | H5 |
| | ADTG_8 | | 110 | - | - | D5 |
| | AN00 | A/D コンバータアナログ入力端子。 ANxx は ADC ch.xx を示す。 | 62 | 52 | 41 | J10 |
| | AN01 | | 63 | 53 | 42 | H10 |
| | AN02 | | 64 | 54 | 43 | H9 |
| | AN03 | | 65 | 55 | 44 | G10 |
| | AN04 | | 66 | 56 | 45 | G9 |
| | AN05 | | 67 | 57 | 46 | G8 |
| | AN06 | | 68 | 58 | 47 | F10 |
| | AN07 | | 69 | 59 | 48 | F9 |
| | AN08 | | 74 | 64 | 53 | F8 |
| | AN09 | | 75 | 65 | 54 | E11 |
| | AN10 | | 76 | 66 | 55 | E10 |
| | AN11 | | 77 | 67 | 56 | E9 |
| | AN12 | | 78 | 68 | - | E8 |
| | AN13 | | 79 | 69 | - | D10 |
| | AN14 | | 80 | 70 | - | D9 |
| | AN15 | | 86 | 71 | 57 | D11 |
| | AN16 | | 87 | 72 | 58 | C10 |
| | AN17 | | 88 | 73 | 59 | C11 |
| | AN18 | | 89 | 74 | - | B11 |
| | AN19 | | 97 | 82 | 67 | D7 |
| | AN20 | | 98 | 83 | - | C7 |
| | AN21 | | 99 | 84 | - | B7 |
| | AN22 | | 100 | 85 | - | A7 |
| | AN23 | | 101 | 86 | - | D6 |
| ベース タイマ 0 | TIOA0_0 | ベースタイマ ch.0 の TIOA 端子 | 32 | 27 | - | L2 |
| | TIOA0_1 | | 24 | 19 | 14 | H2 |
| | TIOA0_2 | | 99 | 84 | - | B7 |
| | TIOB0_0 | ベースタイマ ch.0 の TIOB 端子 | 37 | 32 | 22 | J4 |
| | TIOB0_1 | | 14 | 9 | 9 | E1 |
| | TIOB0_2 | | 100 | 85 | - | A7 |
| ベース タイマ 1 | TIOA1_0 | ベースタイマ ch.1 の TIOA 端子 | 33 | 28 | - | J3 |
| | TIOA1_1 | | 25 | 20 | 15 | H3 |
| | TIOA1_2 | | 5 | 5 | 5 | D2 |
| | TIOB1_0 | ベースタイマ ch.1 の TIOB 端子 | 47 | 42 | 32 | J6 |
| | TIOB1_1 | | 15 | 10 | 10 | F4 |
| | TIOB1_2 | | 6 | 6 | 6 | D3 |
| ベース タイマ 2 | TIOA2_0 | ベースタイマ ch.2 の TIOA 端子 | 34 | 29 | - | J5 |
| | TIOA2_1 | | 26 | 21 | 16 | H4 |
| | TIOA2_2 | | 116 | 96 | 76 | B2 |
| | TIOB2_0 | ベースタイマ ch.2 の TIOB 端子 | 48 | 43 | 33 | J7 |
| | TIOB2_1 | | 16 | 11 | 11 | F3 |
| | TIOB2_2 | | 115 | 95 | 75 | B3 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|--------------|----------|----------------------------|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| ベース タイマ 3 | TIOA3_0 | ベースタイマ ch.3 の TIOA 端子 | 35 | 30 | - | H5 |
| | TIOA3_1 | | 27 | 22 | 17 | J1 |
| | TIOA3_2 | | 97 | 82 | 67 | D7 |
| | TIOB3_0 | ベースタイマ ch.3 の TIOB 端子 | 49 | 44 | 34 | J8 |
| | TIOB3_1 | | 17 | 12 | 12 | F2 |
| | TIOB3_2 | | 98 | 83 | - | C7 |
| ベース タイマ 4 | TIOA4_0 | ベースタイマ ch.4 の TIOA 端子 | 36 | 31 | 21 | K3 |
| | TIOA4_1 | | 28 | 23 | 18 | J2 |
| | TIOA4_2 | | 51 | - | - | H6 |
| | TIOB4_0 | ベースタイマ ch.4 の TIOB 端子 | 50 | 45 | 35 | K8 |
| | TIOB4_1 | | 18 | 13 | - | F1 |
| | TIOB4_2 | | 52 | - | - | H7 |
| ベース タイマ 5 | TIOA5_0 | ベースタイマ ch.5 の TIOA 端子 | 84 | - | - | C9 |
| | TIOA5_1 | | 29 | 24 | 19 | K2 |
| | TIOA5_2 | | 93 | 78 | 63 | A9 |
| | TIOB5_0 | ベースタイマ ch.5 の TIOB 端子 | 83 | - | - | D8 |
| | TIOB5_1 | | 19 | 14 | - | G1 |
| | TIOB5_2 | | 92 | 77 | 62 | B9 |
| ベース タイマ 6 | TIOA6_0 | ベースタイマ ch.6 の TIOA 端子 | 53 | - | - | G7 |
| | TIOA6_1 | | 94 | 79 | 64 | C8 |
| | TIOA6_2 | | 82 | - | - | E7 |
| | TIOB6_0 | ベースタイマ ch.6 の TIOB 端子 | 54 | - | - | H8 |
| | TIOB6_1 | | 95 | 80 | 65 | B8 |
| | TIOB6_2 | | 81 | - | - | F7 |
| ベース タイマ 7 | TIOA7_0 | ベースタイマ ch.7 の TIOA 端子 | 112 | - | - | C4 |
| | TIOA7_1 | | 86 | 71 | 57 | D11 |
| | TIOA7_2 | | 109 | - | - | E5 |
| | TIOB7_0 | ベースタイマ ch.7 の TIOB 端子 | 111 | - | - | D4 |
| | TIOB7_1 | | 87 | 72 | 58 | C10 |
| | TIOB7_2 | | 108 | - | - | E6 |
| デバッグ | SWCLK | シリアルワイヤデバッグインタフェースクロック入力端子 | 105 | 90 | 71 | B5 |
| | SWDIO | シリアルワイヤデバッグインタフェースデータ入出力端子 | 103 | 88 | 69 | C6 |
| | SWO | シリアルワイヤビューワ出力端子 | 102 | 87 | 68 | B6 |
| | TCK | JTAG テストクロック入力端子 | 105 | 90 | 71 | B5 |
| | TDI | JTAG テストデータ入力端子 | 104 | 89 | 70 | C5 |
| | TDO | JTAG デバッグデータ出力端子 | 102 | 87 | 68 | B6 |
| | TMS | JTAG テストモード状態入出力端子 | 103 | 88 | 69 | C6 |
| | TRACECLK | ETM のトレース CLK 出力端子 | 101 | 86 | - | D6 |
| | TRACED0 | ETM のトレースデータ出力端子 | 97 | 82 | - | D7 |
| | TRACED1 | | 98 | 83 | - | C7 |
| | TRACED2 | | 99 | 84 | - | B7 |
| | TRACED3 | | 100 | 85 | - | A7 |
| | TRSTX | JTAG テストリセット入力端子 | 106 | 91 | 72 | A5 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|----------|---------|-------------------|-------------|-------------|------------|-------------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 外部 バス | MAD00_0 | 外部バスインタフェースアドレスバス | 27 | 22 | 17 | J1 |
| | MAD01_0 | | 28 | 23 | 18 | J2 |
| | MAD02_0 | | 29 | 24 | 19 | K2 |
| | MAD03_0 | | 47 | 42 | 32 | J6 |
| | MAD04_0 | | 48 | 43 | 33 | J7 |
| | MAD05_0 | | 49 | 44 | 34 | J8 |
| | MAD06_0 | | 50 | 45 | 35 | K8 |
| | MAD07_0 | | 62 | 52 | 41 | J10 |
| | MAD08_0 | | 63 | 53 | 42 | H10 |
| | MAD09_0 | | 64 | 54 | 43 | H9 |
| | MAD10_0 | | 65 | 55 | 44 | G10 |
| | MAD11_0 | | 66 | 56 | 45 | G9 |
| | MAD12_0 | | 67 | 57 | 46 | G8 |
| | MAD13_0 | | 68 | 58 | 47 | F10 |
| | MAD14_0 | | 69 | 59 | 48 | F9 |
| | MAD15_0 | | 74 | 64 | 53 | F8 |
| | MAD16_0 | | 75 | 65 | 54 | E11 |
| | MAD17_0 | | 76 | 66 | 55 | E10 |
| | MAD18_0 | | 77 | 67 | 56 | E9 |
| | MAD19_0 | | 78 | 68 | - | E8 |
| | MAD20_0 | | 79 | 69 | - | D10 |
| | MAD21_0 | | 80 | 70 | - | D9 |
| | MAD22_0 | | 86 | 71 | - | D11 |
| | MAD23_0 | | 88 | 73 | - | C11 |
| | MAD24_0 | | 89 | 74 | - | B11 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------|------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 外部バス | MCSX0_0 | 外部バスインタフェースチップセレクト出力端子 | 95 | 80 | 65 | B8 |
| | MCSX1_0 | | 96 | 81 | 66 | A8 |
| | MCSX2_0 | | 101 | 86 | - | D6 |
| | MCSX3_0 | | 100 | 85 | - | A7 |
| | MCSX4_0 | | 98 | 83 | - | C7 |
| | MCSX5_0 | | 97 | 82 | 67 | D7 |
| | MCSX6_0 | | 104 | 89 | 70 | C5 |
| | MCSX7_0 | | 106 | 91 | 72 | A5 |
| | MCSX8_0 | | 35 | 30 | - | H5 |
| | MADATA00_0 | 外部バスインタフェースデータバス | 2 | 2 | 2 | C1 |
| | MADATA01_0 | | 3 | 3 | 3 | C2 |
| | MADATA02_0 | | 4 | 4 | 4 | D1 |
| | MADATA03_0 | | 5 | 5 | 5 | D2 |
| | MADATA04_0 | | 6 | 6 | 6 | D3 |
| | MADATA05_0 | | 7 | 7 | 7 | E2 |
| | MADATA06_0 | | 8 | 8 | 8 | E3 |
| | MADATA07_0 | | 9 | 9 | 9 | E4 |
| | MADATA08_0 | | 10 | 10 | 10 | F5 |
| | MADATA09_0 | | 11 | 11 | 11 | F6 |
| | MADATA10_0 | | 12 | 12 | 12 | G5 |
| | MADATA11_0 | | 13 | 13 | - | G6 |
| | MADATA12_0 | | 14 | 14 | - | E1 |
| | MADATA13_0 | | 15 | 15 | - | F4 |
| | MADATA14_0 | | 16 | 16 | - | F3 |
| | MADATA15_0 | | 17 | 17 | - | F2 |
| | MDQM0_0 | 外部バスインタフェースバイトマスク信号出力端子 | 93 | 78 | 63 | A9 |
| | MDQM1_0 | | 92 | 77 | 62 | B9 |
| | MALE_0 | マルチプレクス時アドレスラッチイネーブル信号 | 94 | 79 | 64 | C8 |
| | MRDY_0 | 外部 RDY 入力信号 | 116 | 96 | 76 | B2 |
| | MCLKOUT_0 | 外部バスクロック出力端子 | 99 | 84 | - | B7 |
| | MNALE_0 | NAND フラッシュ出力端子をコントロールする外部バスインタフェース ALE 信号 | 18 | - | - | F1 |
| | MNCLE_0 | NAND フラッシュ出力端子をコントロールする外部バスインタフェース CLE 信号 | 19 | - | - | G1 |
| | MNREX_0 | NAND フラッシュをコントロールする外部バスインタフェースリード許可信号 | 21 | - | - | G3 |
| | MNWEX_0 | NAND フラッシュをコントロールする外部バスインタフェースライト許可信号 | 20 | - | - | G2 |
| | MOEX_0 | SRAM の外部バスインタフェースリード許可信号 | 114 | 94 | 74 | C3 |
| | MWEX_0 | SRAM の外部バスインタフェースライト許可信号 | 113 | 93 | 73 | B4 |
| | MSDCLK_0 | SDRAM インタフェース SDRAM クロック出力端子 | 23 | 18 | - | H1 |
| | MSDCKE_0 | SDRAM インタフェース SDRAM クロックイネーブル端子 | 24 | 19 | - | H2 |
| | MRASX_0 | SDRAM インタフェース SDRAM ロウアクティブ端子 | 25 | 20 | - | H3 |
| | MCASX_0 | SDRAM インタフェース SDRAM カラムアクティブ端子 | 26 | 21 | - | H4 |
| | MSDWEX_0 | SDRAM インタフェース SDRAM ライトイネーブル端子 | 34 | 29 | - | J5 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|-----------|---------|------------------|-------------|-------------|------------|-------------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 外部 割込み | INT00_0 | 外部割込み要求 00 の入力端子 | 2 | 2 | 2 | C1 |
| | INT00_1 | | 95 | 80 | 65 | B8 |
| | INT00_2 | | 108 | - | - | E6 |
| | INT01_0 | 外部割込み要求 01 の入力端子 | 3 | 3 | 3 | C2 |
| | INT01_1 | | 101 | 86 | - | D6 |
| | INT01_2 | | 85 | - | - | B10 |
| | INT02_0 | 外部割込み要求 02 の入力端子 | 6 | 6 | 6 | D3 |
| | INT02_1 | | 62 | 52 | 41 | J10 |
| | INT02_2 | | 82 | - | - | E7 |
| | INT03_0 | 外部割込み要求 03 の入力端子 | 113 | 93 | 73 | B4 |
| | INT03_1 | | 65 | 55 | 44 | G10 |
| | INT03_2 | | 54 | - | - | H8 |
| | INT04_0 | 外部割込み要求 04 の入力端子 | 17 | 12 | 12 | F2 |
| | INT04_1 | | 114 | 94 | 74 | C3 |
| | INT04_2 | | 10 | - | - | F5 |
| | INT05_0 | 外部割込み要求 05 の入力端子 | 89 | 74 | - | B11 |
| | INT05_1 | | 75 | 65 | 54 | E11 |
| | INT05_2 | | 21 | 16 | - | G3 |
| | INT06_1 | 外部割込み要求 06 の入力端子 | 88 | 73 | 59 | C11 |
| | INT06_2 | | 22 | 17 | - | G4 |
| | INT07_1 | 外部割込み要求 07 の入力端子 | 11 | - | - | F6 |
| | INT07_2 | | 7 | 7 | 7 | E2 |
| | INT08_1 | 外部割込み要求 08 の入力端子 | 19 | 14 | - | G1 |
| | INT08_2 | | 8 | 8 | 8 | E3 |
| | INT09_1 | 外部割込み要求 09 の入力端子 | 20 | 15 | - | G2 |
| | INT09_2 | | 15 | 10 | 10 | F4 |
| | INT10_1 | 外部割込み要求 10 の入力端子 | 16 | 11 | 11 | F3 |
| | INT10_2 | | 112 | - | - | C4 |
| | INT11_1 | 外部割込み要求 11 の入力端子 | 50 | 45 | 35 | K8 |
| | INT11_2 | | 110 | - | - | D5 |
| | INT12_1 | 外部割込み要求 12 の入力端子 | 32 | 27 | - | L2 |
| | INT12_2 | | 96 | 81 | 66 | A8 |
| | INT13_1 | 外部割込み要求 13 の入力端子 | 33 | 28 | - | J3 |
| | INT13_2 | | 49 | 44 | 34 | J8 |
| | INT14_1 | 外部割込み要求 14 の入力端子 | 68 | 58 | 47 | F10 |
| | INT14_2 | | 53 | - | - | G7 |
| | INT15_1 | 外部割込み要求 15 の入力端子 | 52 | - | - | H7 |
| | INT15_2 | | 14 | 9 | 9 | E1 |
| | NMIX | ノンマスカブル割込み入力端子 | 116 | 96 | 76 | B2 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------|-----|------------|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| GPIO | P00 | 汎用入出力ポート 0 | 106 | 91 | 72 | A5 |
| | P01 | | 105 | 90 | 71 | B5 |
| | P02 | | 104 | 89 | 70 | C5 |
| | P03 | | 103 | 88 | 69 | C6 |
| | P04 | | 102 | 87 | 68 | B6 |
| | P05 | | 101 | 86 | - | D6 |
| | P06 | | 100 | 85 | - | A7 |
| | P07 | | 99 | 84 | - | B7 |
| | P08 | | 98 | 83 | - | C7 |
| | P09 | | 97 | 82 | 67 | D7 |
| | P0A | | 96 | 81 | 66 | A8 |
| | P0B | | 95 | 80 | 65 | B8 |
| | P0C | | 94 | 79 | 64 | C8 |
| | P0D | | 93 | 78 | 63 | A9 |
| | P0E | | 92 | 77 | 62 | B9 |
| | P10 | 汎用入出力ポート 1 | 62 | 52 | 41 | J10 |
| | P11 | | 63 | 53 | 42 | H10 |
| | P12 | | 64 | 54 | 43 | H9 |
| | P13 | | 65 | 55 | 44 | G10 |
| | P14 | | 66 | 56 | 45 | G9 |
| | P15 | | 67 | 57 | 46 | G8 |
| | P16 | | 68 | 58 | 47 | F10 |
| | P17 | | 69 | 59 | 48 | F9 |
| | P18 | | 74 | 64 | 53 | F8 |
| | P19 | | 75 | 65 | 54 | E11 |
| | P1A | | 76 | 66 | 55 | E10 |
| | P1B | | 77 | 67 | 56 | E9 |
| | P1C | | 78 | 68 | - | E8 |
| | P1D | | 79 | 69 | - | D10 |
| | P1E | | 80 | 70 | - | D9 |
| | P1F | | 81 | - | - | F7 |
| | P20 | 汎用入出力ポート 2 | 89 | 74 | - | B11 |
| | P21 | | 88 | 73 | 59 | C11 |
| | P22 | | 87 | 72 | 58 | C10 |
| | P23 | | 86 | 71 | 57 | D11 |
| | P24 | | 85 | - | - | B10 |
| | P25 | | 84 | - | - | C9 |
| | P26 | | 83 | - | - | D8 |
| | P27 | | 82 | - | - | E7 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------|-----|------------|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| GPIO | P30 | 汎用入出力ポート 3 | 14 | 9 | 9 | E1 |
| | P31 | | 15 | 10 | 10 | F4 |
| | P32 | | 16 | 11 | 11 | F3 |
| | P33 | | 17 | 12 | 12 | F2 |
| | P34 | | 18 | 13 | - | F1 |
| | P35 | | 19 | 14 | - | G1 |
| | P36 | | 20 | 15 | - | G2 |
| | P37 | | 21 | 16 | - | G3 |
| | P38 | | 22 | 17 | - | G4 |
| | P39 | | 23 | 18 | 13 | H1 |
| | P3A | | 24 | 19 | 14 | H2 |
| | P3B | | 25 | 20 | 15 | H3 |
| | P3C | | 26 | 21 | 16 | H4 |
| | P3D | | 27 | 22 | 17 | J1 |
| | P3E | | 28 | 23 | 18 | J2 |
| | P3F | | 29 | 24 | 19 | K2 |
| | P40 | 汎用入出力ポート 4 | 32 | 27 | - | L2 |
| | P41 | | 33 | 28 | - | J3 |
| | P42 | | 34 | 29 | - | J5 |
| | P43 | | 35 | 30 | - | H5 |
| | P44 | | 36 | 31 | 21 | K3 |
| | P45 | | 37 | 32 | 22 | J4 |
| | P46 | | 39 | 34 | 24 | L4 |
| | P47 | | 40 | 35 | 25 | K4 |
| | P48 | | 41 | 36 | 26 | K5 |
| | P49 | | 42 | 37 | 27 | K6 |
| | P4B | | 47 | 42 | 32 | J6 |
| | P4C | | 48 | 43 | 33 | J7 |
| | P4D | | 49 | 44 | 34 | J8 |
| | P4E | | 50 | 45 | 35 | K8 |
| | P50 | 汎用入出力ポート 5 | 2 | 2 | 2 | C1 |
| | P51 | | 3 | 3 | 3 | C2 |
| | P52 | | 4 | 4 | 4 | D1 |
| | P53 | | 5 | 5 | 5 | D2 |
| | P54 | | 6 | 6 | 6 | D3 |
| | P55 | | 7 | 7 | 7 | E2 |
| | P56 | | 8 | 8 | 8 | E3 |
| | P57 | | 9 | - | - | E4 |
| | P58 | | 10 | - | - | F5 |
| | P59 | | 11 | - | - | F6 |
| | P5A | | 12 | - | - | G5 |
| | P5B | | 13 | - | - | G6 |
| | P60 | 汎用入出力ポート 6 | 116 | 96 | 76 | B2 |
| | P61 | | 115 | 95 | 75 | B3 |
| | P62 | | 114 | 94 | 74 | C3 |
| | P63 | | 113 | 93 | 73 | B4 |
| | P64 | | 112 | - | - | C4 |
| | P65 | | 111 | - | - | D4 |
| | P66 | | 110 | - | - | D5 |
| | P67 | | 109 | - | - | E5 |
| | P68 | | 108 | - | - | E6 |
| | P70 | 汎用入出力ポート 7 | 51 | - | - | H6 |
| | P71 | | 52 | - | - | H7 |
| | P72 | | 53 | - | - | G7 |
| | P73 | | 54 | - | - | H8 |
| | P74 | | 55 | - | - | J9 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------------------|-----------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| GPIO | P80 | 汎用入出力ポート 8 | 118 | 98 | 78 | A3 |
| | P81 | | 119 | 99 | 79 | A2 |
| | PE0 | 汎用入出力ポート E | 56 | 46 | 36 | L8 |
| | PE2 | | 58 | 48 | 38 | L9 |
| | PE3 | | 59 | 49 | 39 | L10 |
| マルチファンクションシリアル 0 | SIN0_0 | マルチファンクションシリアルインタフェース ch.0 の入力端子 | 88 | 73 | 59 | C11 |
| | SIN0_1 | | 65 | 55 | 44 | G10 |
| | SOT0_0 (SDA0_0) | マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT0 として、I ² C 端子(動作モード 4)として使用するときには SDA0 として機能します。 | 87 | 72 | 58 | C10 |
| | SOT0_1 (SDA0_1) | | 66 | 56 | 45 | G9 |
| | SCK0_0 (SCL0_0) | マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK0 として、I ² C 端子(動作モード 4)として使用するときには SCL0 として機能します。 | 86 | 71 | 57 | D11 |
| | SCK0_1 (SCL0_1) | | 67 | 57 | 46 | G8 |
| マルチファンクションシリアル 1 | SIN1_0 | マルチファンクションシリアルインタフェース ch.1 の入力端子 | 96 | 81 | 66 | A8 |
| | SIN1_1 | | 62 | 52 | 41 | J10 |
| | SOT1_0 (SDA1_0) | マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT1 として、I ² C 端子(動作モード 4)として使用するときには SDA1 として機能します。 | 97 | 82 | 67 | D7 |
| | SOT1_1 (SDA1_1) | | 63 | 53 | 42 | H10 |
| | SCK1_0 (SCL1_0) | マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK1 として、I ² C 端子(動作モード 4)として使用するときには SCL1 として機能します。 | 98 | 83 | - | C7 |
| | SCK1_1 (SCL1_1) | | 64 | 54 | 43 | H9 |
| マルチファンクションシリアル 2 | SIN2_0 | マルチファンクションシリアルインタフェース ch.2 の入力端子 | 53 | - | - | G7 |
| | SIN2_1 | | 85 | - | - | B10 |
| | SIN2_2 | | 68 | 58 | 47 | F10 |
| | SOT2_0 (SDA2_0) | マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT2 として、I ² C 端子(動作モード 4)として使用するときには SDA2 として機能します。 | 54 | - | - | H8 |
| | SOT2_1 (SDA2_1) | | 84 | - | - | C9 |
| | SOT2_2 (SDA2_2) | | 69 | 59 | 48 | F9 |
| | SCK2_0 (SCL2_0) | マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK2 として、I ² C 端子(動作モード 4)として使用するときには SCL2 として機能します。 | 55 | - | - | J9 |
| | SCK2_1 (SCL2_1) | | 83 | - | - | D8 |
| | SCK2_2 (SCL2_2) | | 74 | 64 | 53 | F8 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------------------|-----------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| マルチファンクションシリアル 3 | SIN3_0 | マルチファンクションシリアルインタフェース ch.3 の入力端子 | 110 | - | - | D5 |
| | SIN3_1 | | 15 | 10 | 10 | F4 |
| | SOT3_0 (SDA3_0) | マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。 | 109 | - | - | E5 |
| | SOT3_1 (SDA3_1) | | 16 | 11 | 11 | F3 |
| | SCK3_0 (SCL3_0) | マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。 | 108 | - | - | E6 |
| | SCK3_1 (SCL3_1) | | 17 | 12 | 12 | F2 |
| マルチファンクションシリアル 4 | SIN4_0 | マルチファンクションシリアルインタフェース ch.4 の入力端子 | 6 | 6 | 6 | D3 |
| | SIN4_1 | | 75 | 65 | 54 | E11 |
| | SIN4_2 | | 10 | - | - | F5 |
| | SOT4_0 (SDA4_0) | マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。 | 5 | 5 | 5 | D2 |
| | SOT4_1 (SDA4_1) | | 76 | 66 | 55 | E10 |
| | SOT4_2 (SDA4_2) | | 11 | - | - | F6 |
| | SCK4_0 (SCL4_0) | マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK4 として、I ² C 端子(動作モード 4)として使用するときは SCL4 として機能します。 | 4 | 4 | 4 | D1 |
| | SCK4_1 (SCL4_1) | | 77 | 67 | 56 | E9 |
| | SCK4_2 (SCL4_2) | | 12 | - | - | G5 |
| | CTS4_0 | マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子 | 2 | 2 | 2 | C1 |
| | CTS4_1 | | 78 | 68 | - | E8 |
| | CTS4_2 | | 13 | - | - | G6 |
| | RTS4_0 | マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子 | 3 | 3 | 3 | C2 |
| | RTS4_1 | | 79 | 69 | - | D10 |
| | RTS4_2 | | 14 | 9 | 9 | E1 |
| マルチファンクションシリアル 5 | SIN5_0 | マルチファンクションシリアルインタフェース ch.5 の入力端子 | 114 | 94 | 74 | C3 |
| | SIN5_1 | | 113 | - | - | B4 |
| | SIN5_2 | | 20 | 15 | - | G2 |
| | SOT5_0 (SDA5_0) | マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT5 として、I ² C 端子(動作モード 4)として使用するときは SDA5 として機能します。 | 115 | 95 | 75 | B3 |
| | SOT5_1 (SDA5_1) | | 112 | - | - | C4 |
| | SOT5_2 (SDA5_2) | | 21 | 16 | - | G3 |
| | SCK5_0 (SCL5_0) | マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK5 として、I ² C 端子(動作モード 4)として使用するときは SCL5 として機能します。 | 116 | 96 | 76 | B2 |
| | SCK5_1 (SCL5_1) | | 111 | - | - | D4 |
| | SCK5_2 (SCL5_2) | | 22 | 17 | - | G4 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------------------|-----------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| マルチファンクションシリアル 6 | SIN6_0 | マルチファンクションシリアルインタフェース ch.6 の入力端子 | 7 | 7 | 7 | E2 |
| | SIN6_1 | | 95 | 80 | 65 | B8 |
| | SOT6_0 (SDA6_0) | マルチファンクションシリアルインタフェース ch.6 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT6 として、I ² C 端子(動作モード 4)として使用するときには SDA6 として機能します。 | 8 | 8 | 8 | E3 |
| | SOT6_1 (SDA6_1) | | 94 | 79 | 64 | C8 |
| | SCK6_0 (SCL6_0) | マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK6 として、I ² C 端子(動作モード 4)として使用するときには SCL6 として機能します。 | 9 | - | - | E4 |
| | SCK6_1 (SCL6_1) | | 93 | 78 | 63 | A9 |
| | SCS6_1 | マルチファンクションシリアルインタフェース ch.6 のシリアルチップセレクト端子 | 92 | 77 | 62 | B9 |
| マルチファンクションシリアル 7 | SIN7_0 | マルチファンクションシリアルインタフェース ch.7 の入力端子 | 101 | 86 | - | D6 |
| | SIN7_1 | | 50 | 45 | 35 | K8 |
| | SOT7_0 (SDA7_0) | マルチファンクションシリアルインタフェース ch.7 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT7 として、I ² C 端子(動作モード 4)として使用するときには SDA7 として機能します。 | 100 | 85 | - | A7 |
| | SOT7_1 (SDA7_1) | | 49 | 44 | 34 | J8 |
| | SCK7_0 (SCL7_0) | マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK7 として、I ² C 端子(動作モード 4)として使用するときには SCL7 として機能します。 | 99 | 84 | - | B7 |
| | SCK7_1 (SCL7_1) | | 48 | 43 | 33 | J7 |
| | SCS7_1 | マルチファンクションシリアルインタフェースの ch.7 シリアルチップセレクト端子 | 47 | 42 | 32 | J6 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|--------------|----------------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 多機能 タイマ 0 | DTTI0X_0 | 多機能タイマ 0 の RTO00~RTO05 出力を制御する 波形ジェネレータの入力信号 | 23 | 18 | 13 | H1 |
| | DTTI0X_1 | | 79 | 69 | - | D10 |
| | FRCK0_0 | 16 ビットフリーランタイム ch.0 の 外部クロック入力端子 | 18 | 13 | - | F1 |
| | FRCK0_1 | | 80 | 70 | - | D9 |
| | FRCK0_2 | | 62 | 52 | 41 | J10 |
| | IC00_0 | 多機能タイマ 0 の 16 ビットインプットキャプ チャの入力端子。 ICxx は、チャネル数を示します。 | 22 | 17 | - | G4 |
| | IC00_1 | | 75 | 65 | 54 | E11 |
| | IC00_2 | | 63 | 53 | 42 | H10 |
| | IC01_0 | | 21 | 16 | - | G3 |
| | IC01_1 | | 76 | 66 | 55 | E10 |
| | IC01_2 | | 64 | 54 | 43 | H9 |
| | IC02_0 | | 20 | 15 | - | G2 |
| | IC02_1 | | 77 | 67 | 56 | E9 |
| | IC02_2 | | 65 | 55 | 44 | G10 |
| | IC03_0 | | 19 | 14 | - | G1 |
| | IC03_1 | | 78 | 68 | - | E8 |
| | IC03_2 | | 66 | 56 | 45 | G9 |
| | RTO00_0 (PPG00_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 と して機能します。 | 24 | 19 | 14 | H2 |
| | RTO00_1 (PPG00_1) | | 86 | 71 | 57 | D11 |
| | RTO01_0 (PPG00_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 と して機能します。 | 25 | 20 | 15 | H3 |
| | RTO01_1 (PPG00_1) | | 85 | - | - | B10 |
| | RTO02_0 (PPG02_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 と して機能します。 | 26 | 21 | 16 | H4 |
| | RTO02_1 (PPG02_1) | | 84 | - | - | C9 |
| | RTO03_0 (PPG02_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 と して機能します。 | 27 | 22 | 17 | J1 |
| | RTO03_1 (PPG02_1) | | 83 | - | - | D8 |
| | RTO04_0 (PPG04_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 と して機能します。 | 28 | 23 | 18 | J2 |
| | RTO04_1 (PPG04_1) | | 82 | - | - | E7 |
| | RTO05_0 (PPG04_0) | 多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 と して機能します。 | 29 | 24 | 19 | K2 |
| | RTO05_1 (PPG04_1) | | 81 | - | - | F7 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|--------------|----------------------|---|-------------|-------------|------------|-------------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 多機能 タイマ 1 | DTTI1X_0 | 多機能タイマ 1 の RTO10~RTO15 出力を制御する波形ジェネレータの入力信号 | 8 | 8 | 8 | E3 |
| | DTTI1X_1 | | 55 | - | - | J9 |
| | FRCK1_0 | 16 ビットフリーランタイム ch.1 の外部クロック入力端子 | 96 | 81 | 66 | A8 |
| | FRCK1_1 | | 50 | 45 | 35 | K8 |
| | IC10_0 | 多機能タイマ 1 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャネル数を示します。 | 95 | 80 | 65 | B8 |
| | IC10_1 | | 54 | - | - | H8 |
| | IC11_0 | | 94 | 79 | 64 | C8 |
| | IC11_1 | | 53 | - | - | G7 |
| | IC12_0 | | 93 | 78 | 63 | A9 |
| | IC12_1 | | 52 | - | - | H7 |
| | IC13_0 | | 92 | 77 | 62 | B9 |
| | IC13_1 | | 51 | - | - | H6 |
| | RTO10_0 (PPG10_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。 | 2 | 2 | 2 | C1 |
| | RTO10_1 (PPG10_1) | | 32 | 27 | - | L2 |
| | RTO11_0 (PPG10_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。 | 3 | 3 | 3 | C2 |
| | RTO11_1 (PPG10_1) | | 33 | 28 | - | J3 |
| | RTO12_0 (PPG12_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。 | 4 | 4 | 4 | D1 |
| | RTO12_1 (PPG12_1) | | 34 | 29 | - | J5 |
| | RTO13_0 (PPG12_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。 | 5 | 5 | 5 | D2 |
| | RTO13_1 (PPG12_1) | | 35 | 30 | - | H5 |
| | RTO14_0 (PPG14_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。 | 6 | 6 | 6 | D3 |
| | RTO14_1 (PPG14_1) | | 36 | 31 | 21 | K3 |
| | RTO15_0 (PPG14_0) | 多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。 | 7 | 7 | 7 | E2 |
| | RTO15_1 (PPG14_1) | | 37 | 32 | 22 | J4 |

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|---------------|----------------------|---|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| 多機能 タイマ 2 | DTTI2X_0 | 多機能タイマ 2 の RTO20～RTO25 出力を制御する波形ジェネレータの入力信号 | 74 | 64 | 53 | F8 |
| | DTTI2X_1 | | 15 | 10 | 10 | F4 |
| | FRCK2_0 | 16 ビットフリーランタイム ch.2 の外部クロック入力端子 | 116 | 96 | 76 | B2 |
| | FRCK2_1 | | 101 | 86 | - | D6 |
| | IC20_0 | 多機能タイマ 2 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。 | 119 | 99 | 79 | A2 |
| | IC20_1 | | 100 | 85 | - | A7 |
| | IC21_0 | | 118 | 98 | 78 | A3 |
| | IC21_1 | | 99 | 84 | - | B7 |
| | IC22_0 | | 114 | 94 | 74 | C3 |
| | IC22_1 | | 98 | 83 | - | C7 |
| | IC23_0 | | 113 | 93 | 73 | B4 |
| | IC23_1 | | 97 | 82 | 67 | D7 |
| | RTO20_0 (PPG20_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG20 として機能します。 | 69 | 59 | 48 | F9 |
| | RTO20_1 (PPG20_1) | | 9 | - | - | E4 |
| | RTO21_0 (PPG20_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG20 として機能します。 | 68 | 58 | 47 | F10 |
| | RTO21_1 (PPG20_1) | | 10 | - | - | F5 |
| | RTO22_0 (PPG22_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG22 として機能します。 | 67 | 57 | 46 | G8 |
| | RTO22_1 (PPG22_1) | | 11 | - | - | F6 |
| | RTO23_0 (PPG22_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG22 として機能します。 | 87 | 72 | 58 | C10 |
| | RTO23_1 (PPG22_1) | | 12 | - | - | G5 |
| | RTO24_0 (PPG24_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG24 として機能します。 | 88 | 73 | 59 | C11 |
| | RTO24_1 (PPG24_1) | | 13 | - | - | G6 |
| | RTO25_0 (PPG24_0) | 多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG24 として機能します。 | 89 | 74 | - | B11 |
| | RTO25_1 (PPG24_1) | | 14 | 9 | 9 | E1 |
| クアド カウンタ 0 | AIN0_0 | QPRC ch.0 の AIN 入力端子 | 24 | 19 | 14 | H2 |
| | AIN0_1 | | 51 | - | - | H6 |
| | AIN0_2 | | 2 | 2 | 2 | C1 |
| | BIN0_0 | QPRC ch.0 の BIN 入力端子 | 25 | 20 | 15 | H3 |
| | BIN0_1 | | 52 | - | - | H7 |
| | BIN0_2 | | 3 | 3 | 3 | C2 |
| | ZIN0_0 | QPRC ch.0 の ZIN 入力端子 | 26 | 21 | 16 | H4 |
| | ZIN0_1 | | 53 | - | - | G7 |
| | ZIN0_2 | | 4 | 4 | 4 | D1 |
| クアド カウンタ 1 | AIN1_0 | QPRC ch.1 の AIN 入力端子 | 10 | - | - | F5 |
| | AIN1_1 | | 89 | 74 | - | B11 |
| | AIN1_2 | | 48 | 43 | 33 | J7 |
| | BIN1_0 | QPRC ch.1 の BIN 入力端子 | 11 | - | - | F6 |
| | BIN1_1 | | 88 | 73 | - | C11 |
| | BIN1_2 | | 49 | 44 | 34 | J8 |
| | ZIN1_0 | QPRC ch.1 の ZIN 入力端子 | 12 | - | - | G5 |
| | ZIN1_1 | | 87 | 72 | - | C10 |
| | ZIN1_2 | | 50 | 45 | 35 | K8 |

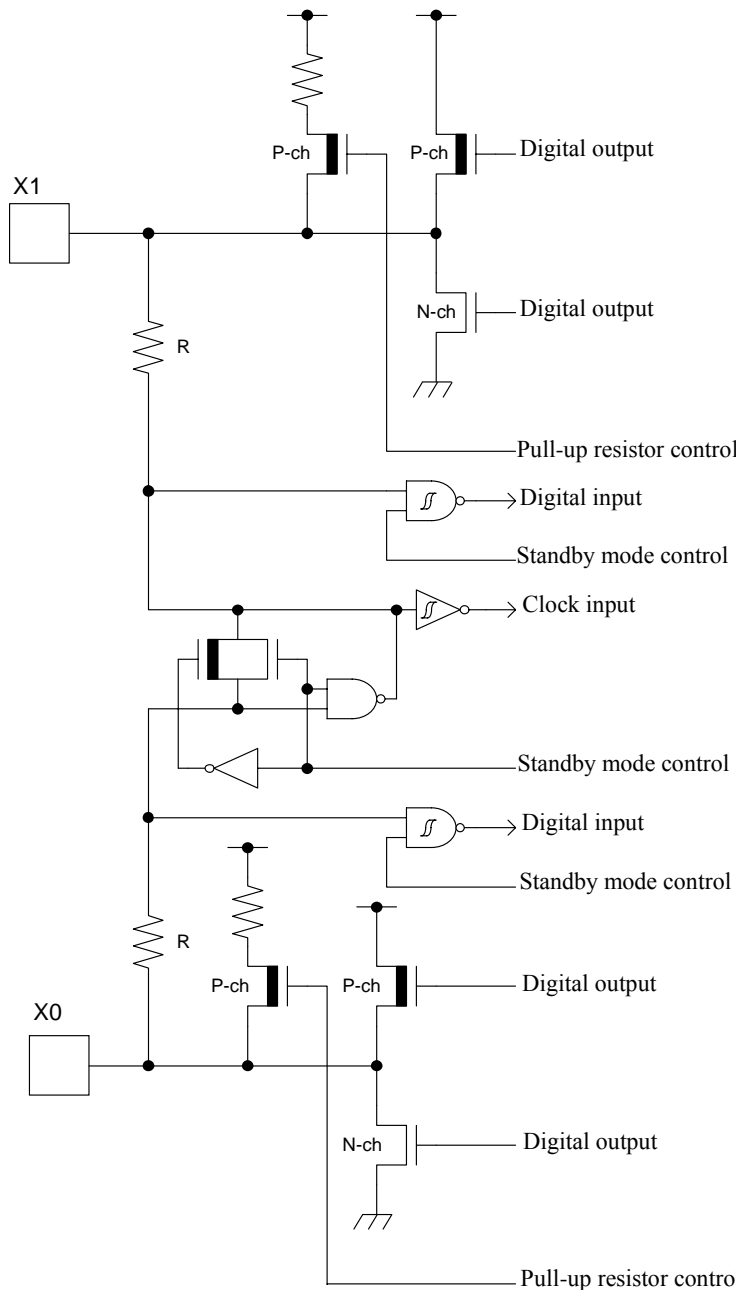
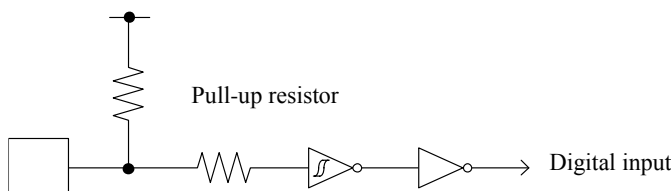
| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|--------------------|-----------|-------------------------------------|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| クアッド カウンタ 2 | AIN2_0 | QPRC ch.2 の AIN 入力端子 | 33 | 28 | - | J3 |
| | AIN2_1 | | 119 | 99 | 79 | A2 |
| | AIN2_2 | | 69 | 59 | 48 | F9 |
| | BIN2_0 | QPRC ch.2 の BIN 入力端子 | 34 | 29 | - | J5 |
| | BIN2_1 | | 118 | 98 | 78 | A3 |
| | BIN2_2 | | 68 | 58 | 47 | F10 |
| | ZIN2_0 | QPRC ch.2 の ZIN 入力端子 | 35 | 30 | - | H5 |
| | ZIN2_1 | | 115 | 95 | 75 | B3 |
| | ZIN2_2 | | 67 | 57 | 46 | G8 |
| リアル タイム クロック | RTCCO_0 | リアルタイムクロックの 0.5 秒パルス出力端子 | 115 | 95 | 75 | B3 |
| | RTCCO_1 | | 64 | 54 | 43 | H9 |
| | RTCCO_2 | | 23 | 18 | 13 | H1 |
| | SUBOUT_0 | サブクロック出力端子 | 115 | 95 | 75 | B3 |
| | SUBOUT_1 | | 64 | 54 | 43 | H9 |
| | SUBOUT_2 | | 23 | 18 | 13 | H1 |
| 低消費電力 | WKUP0 | ディープスタンバイモード復帰信号入力端子 0 | 116 | 96 | 76 | B2 |
| | WKUP1 | ディープスタンバイモード復帰信号入力端子 1 | 14 | 9 | 9 | E1 |
| | WKUP2 | ディープスタンバイモード復帰信号入力端子 2 | 50 | 45 | 35 | K8 |
| | WKUP3 | ディープスタンバイモード復帰信号入力端子 3 | 69 | 59 | 48 | F9 |
| DAC | DA0 | D/A コンバータ ch.0 のアナログ出力端子 | 36 | 31 | 21 | K3 |
| | DA1 | D/A コンバータ ch.1 のアナログ出力端子 | 37 | 32 | 22 | J4 |
| VBAT | VREGCTL | オンボードレギュレータ制御用端子 | 41 | 36 | 26 | K5 |
| | VWAKEUP | ハイバネーション状態からの復帰信号入力端子 | 42 | 37 | 27 | K6 |
| SD I/F | S_CLK_0 | SD メモリカードインタフェース SD クロック出力端子 | 92 | 77 | 62 | B9 |
| | S_CMD_0 | SD メモリカードインタフェース SD コマンド出力端子 | 93 | 78 | 63 | A9 |
| | S_DATA1_0 | SD メモリカードインタフェース SD データバス | 94 | 79 | 64 | C8 |
| | S_DATA0_0 | | 95 | 80 | 65 | B8 |
| | S_DATA3_0 | | 96 | 81 | 66 | A8 |
| | S_DATA2_0 | | 97 | 82 | 67 | D7 |
| | S_CD_0 | SD メモリカードインタフェース SD カード検出端子 | 113 | 93 | 73 | B4 |
| CAN0 | S_WP_0 | SD メモリカードインタフェース SD ライトプロテクト端子 | 114 | 94 | 74 | C3 |
| | TX0_0 | CAN インタフェース ch.0 の TX 出力端子 | 51 | - | - | H6 |
| | TX0_1 | | 18 | 13 | - | F1 |
| | TX0_2 | | 114 | 94 | 74 | C3 |
| | RX0_0 | CAN インタフェース ch.0 の RX 入力端子 | 52 | - | - | H7 |
| | RX0_1 | | 19 | 14 | - | G1 |
| | RX0_2 | | 113 | 93 | 73 | B4 |
| CAN1 | TX1_0 | CAN インタフェース ch.1 の TX 出力端子 | 84 | - | - | C9 |
| | TX1_1 | | 12 | - | - | G5 |
| | TX1_2 | | 63 | 53 | 42 | H10 |
| | RX1_0 | CAN インタフェース ch.1 の RX 入力端子 | 85 | - | - | B10 |
| | RX1_1 | | 11 | - | - | F6 |
| | RX1_2 | | 62 | 52 | 41 | J10 |
| Reset | INITX | 外部リセット入力端子。 INITX=L のとき、リセットが有効。 | 38 | 33 | 23 | L3 |

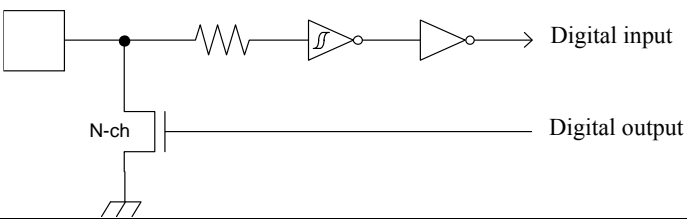
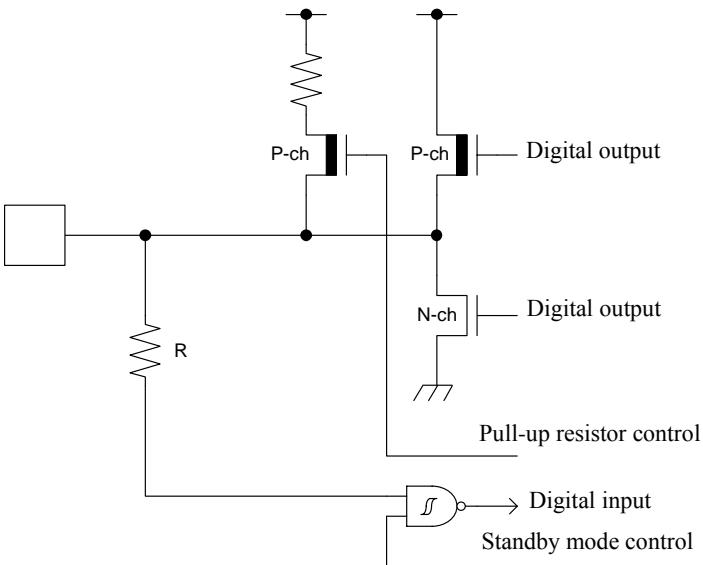
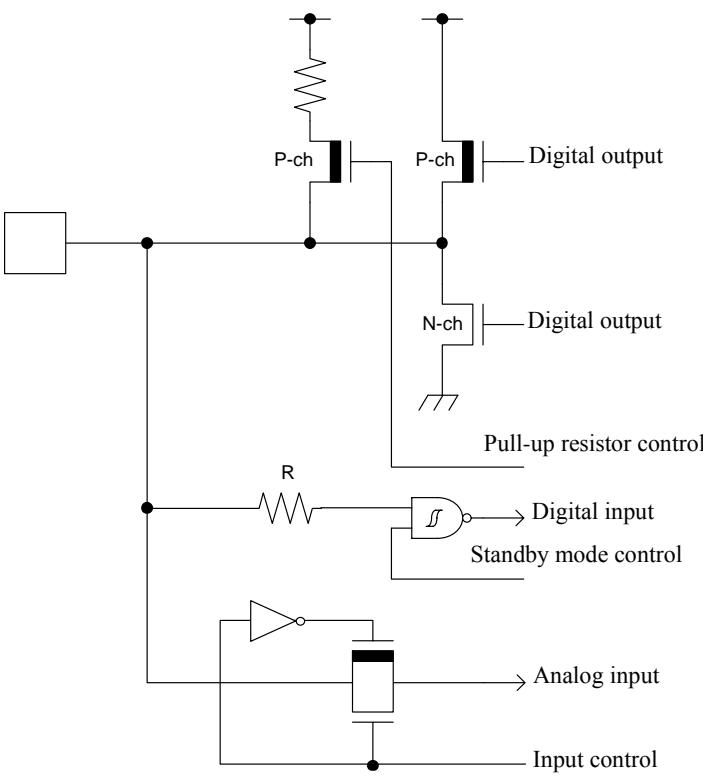
| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | |
|------------|---------|--|----------|----------|---------|----------|
| | | | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| Mode | MD1 | モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。 | 56 | 46 | 36 | L8 |
| | MD0 | モード0 端子。 通常動作時は、MD0=L を入力してください。 フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。 | 57 | 47 | 37 | K9 |
| Power | VCC | 電源端子 | 1 | 1 | 1 | B1 |
| | | | 31 | 26 | - | K1 |
| | | | 46 | 41 | 31 | K7 |
| | | | 61 | 51 | - | K11 |
| | | | 91 | 76 | 61 | A10 |
| | | | 117 | 97 | 77 | A4 |
| GND | VSS | GND 端子 | 107 | 92 | - | A6 |
| | | | 30 | 25 | 20 | L1 |
| | | | 45 | 40 | 30 | L7 |
| | | | 60 | 50 | 40 | L11 |
| | | | 90 | 75 | 60 | A11 |
| | | | 120 | 100 | 80 | A1 |
| | | | - | - | - | K10 |
| Clock | X0 | メインクロック(発振)入力端子 | 58 | 48 | 38 | L9 |
| | X1 | メインクロック(発振)I/O 端子 | 59 | 49 | 39 | L10 |
| | X0A | サブクロック(発振)入力端子 | 39 | 34 | 24 | L4 |
| | X1A | サブクロック(発振)I/O 端子 | 40 | 35 | 25 | K4 |
| | CROUT_0 | 高速内蔵 CR 発振クロック出力ポート | 87 | 72 | 58 | C10 |
| | CROUT_1 | | 113 | 93 | 73 | B4 |
| ADC Power | AVCC | A/D コンバータ, D/A コンバータのアナログ電源端子 | 70 | 60 | 49 | J11 |
| | AVRL | A/D コンバータのアナログ基準電圧入力端子 | 72 | 62 | 51 | G11 |
| | AVRH | A/D コンバータのアナログ基準電圧入力端子 | 73 | 63 | 52 | F11 |
| VBAT Power | VBAT | VBAT 電源端子バックアップ電源 (電池など) システム電源からの供給 | 43 | 38 | 28 | L5 |
| ADC GND | AVSS | A/D コンバータ, D/A コンバータの GND 端子 | 71 | 61 | 50 | H11 |
| C 端子 | C | 電源安定化容量端子 | 44 | 39 | 29 | L6 |

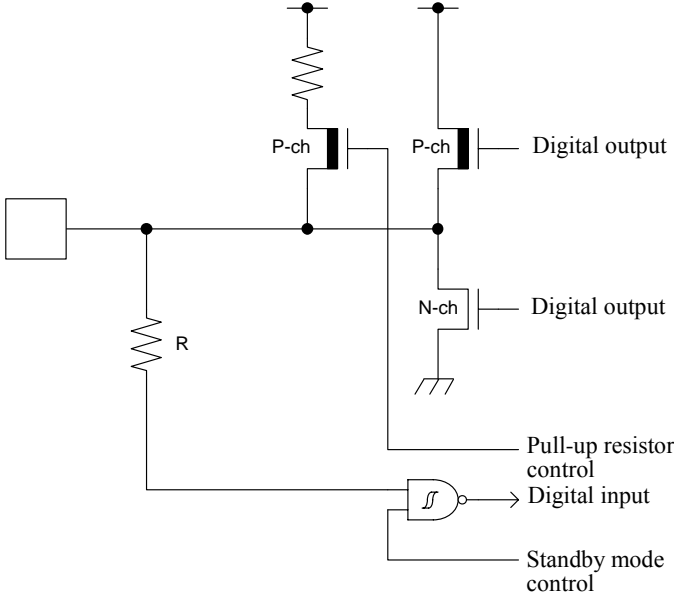
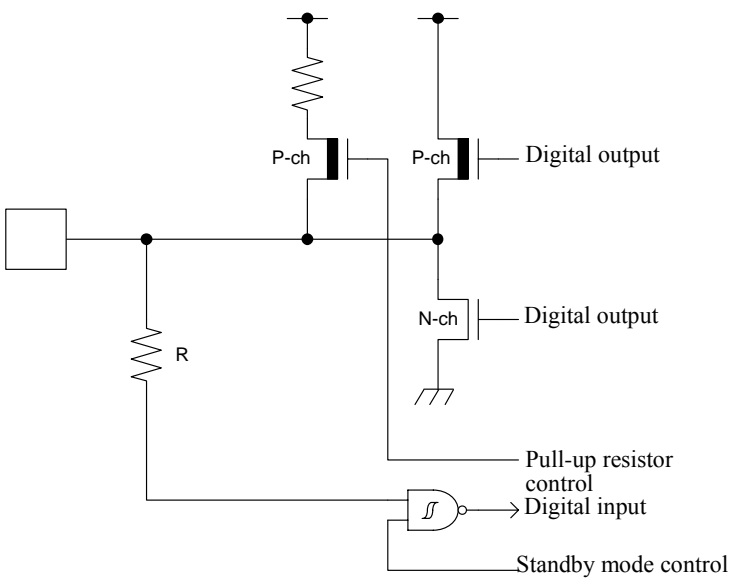
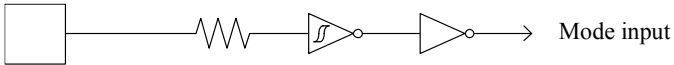
<注意事項>

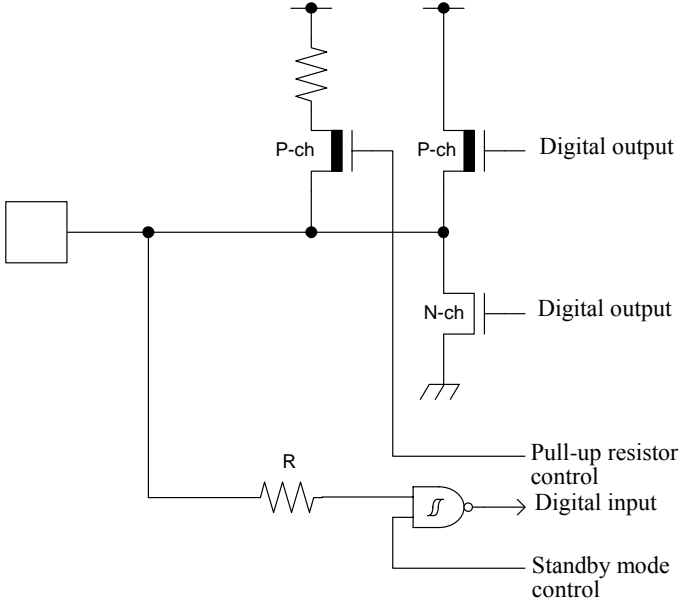
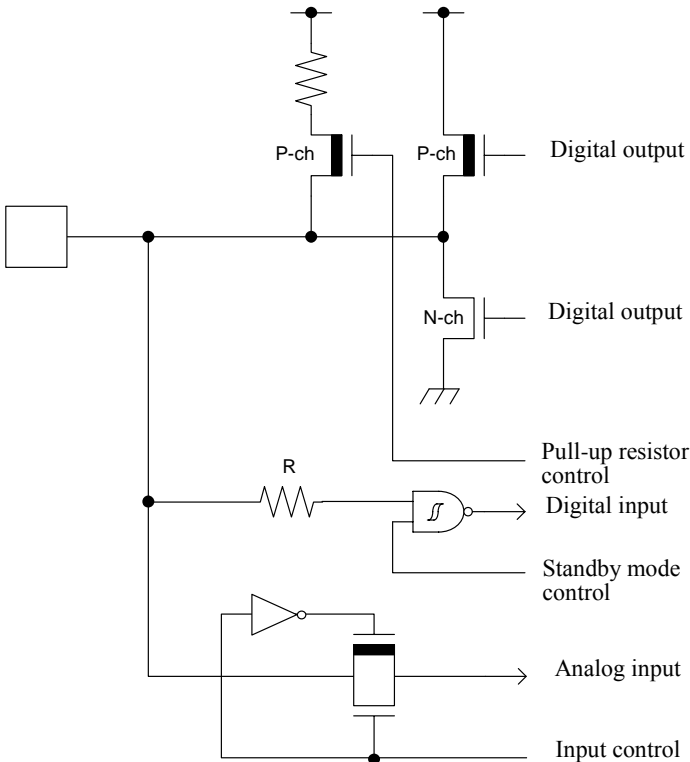
- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

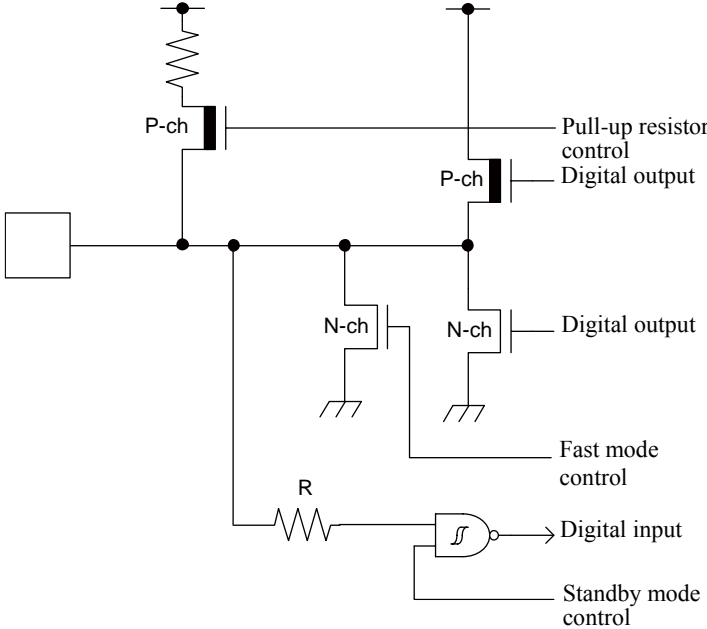
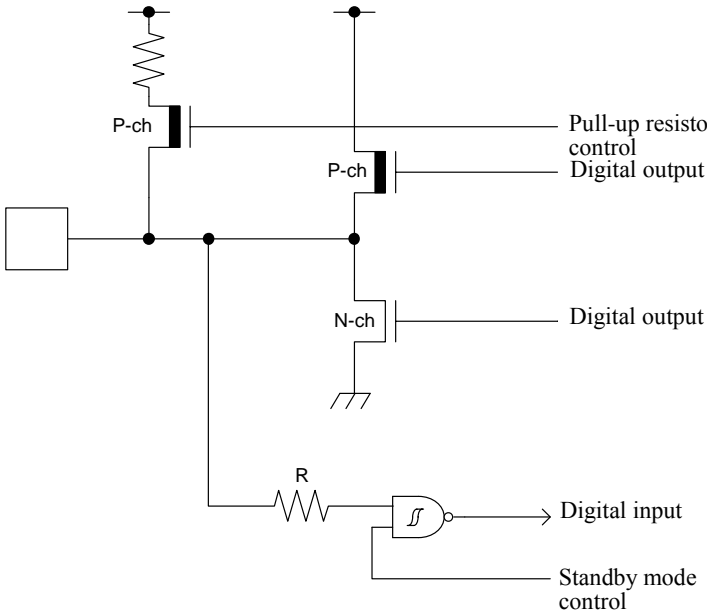
7. 入出力回路形式

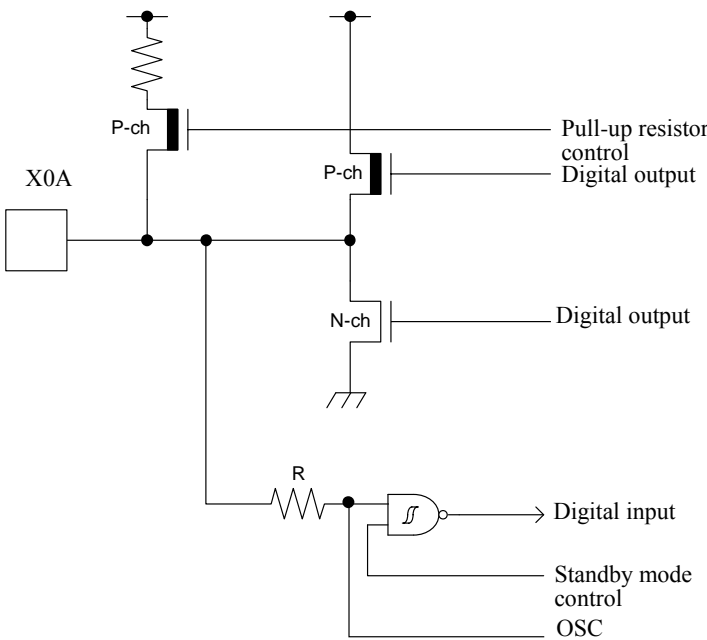
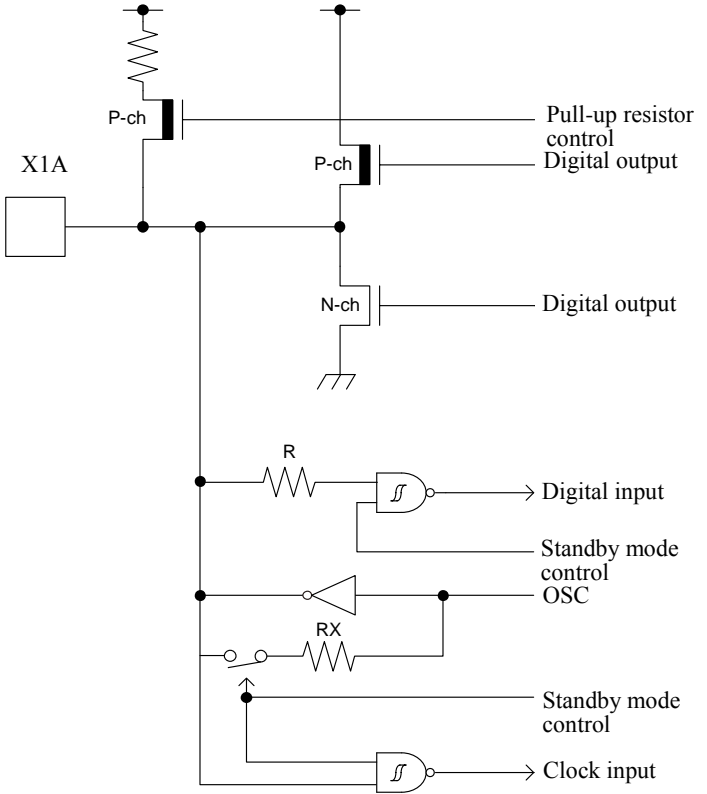
| 分類 | 回路 | 備考 |
|----|---|--|
| A |  | <p>メイン発振/GPIO 切換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗 : 約 1 MΩ - スタンバイ制御あり - <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ |
| B |  | <ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - ブルアップ抵抗 : 約 50 kΩ |

| 分類 | 回路 | 備考 |
|----|---|---|
| C |  | <ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力 |
| E |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |
| F |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |

| 分類 | 回路 | 備考 |
|----|---|---|
| G |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |
| I |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - 5V トレラント - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 |
| J |  | CMOS レベルヒステリシス入力 |

| 分類 | 回路 | 備考 |
|----|---|---|
| L |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |
| M |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ |

| 分類 | 回路 | 備考 |
|----|---|--|
| N |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ (GPIO) - $I_{OL} = 20 \text{ mA}$ (Fast Mode Plus) - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |
| O |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください |

| 分類 | 回路 | 備考 |
|----|---|---|
| P |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください |
| Q |  | <p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗 : 約 10 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください |

| 分類 | 回路 | 備考 |
|----|---|---|
| R | <p>Pull-up resistor control</p> <p>Digital output</p> <p>Digital output</p> <p>Digital input</p> <p>Standby mode control</p> <p>Analog output</p> | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - アナログ出力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗 : 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ (4.5V~5.5V) - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ (2.7V~4.5V) |

8. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

8.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合（サイリスタ構造）が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

8.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

FBGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40 %～70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

8.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

9. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源端子について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz~60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1 V/ μs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板ア트워크は安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

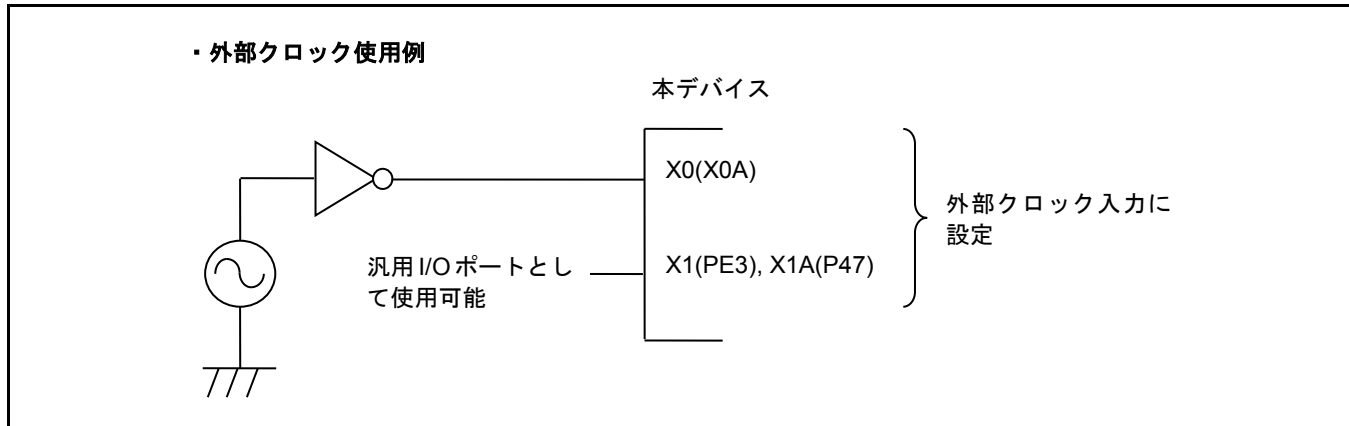
サイズ: 3.2 mm \times 1.5 mm 以上
負荷容量: 6 pF~7 pF 程度

■リードタイプ

負荷容量: 6 pF~7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。
同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。

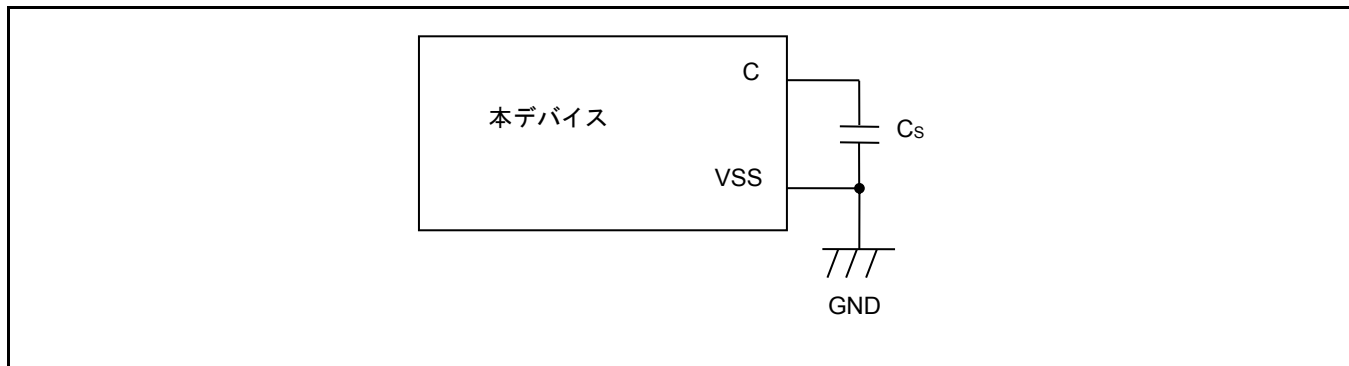


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_S)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。
本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。すべての電源の投入後に正常動作します。

VBAT のみ電源 on するには、VBAT と VCC を電源 on して、ハイバネーション制御してから VCC を電源 off することで可能です。ハイバネーション制御については、FM4 パリフェラルマニュアル(002-04856)の CHAPTER 7-2: VBAT ドメイン(A)を参照ください。なお、A/D コンバータおよび D/A コンバータを使用しない場合でも、AVCC = VCC レベル、AVSS = VSS レベルに接続してください。

| | |
|------|---------------------------------|
| 投入時: | VBAT → VCC VCC → AVCC → AVRH |
| 切断時: | AVRH → AVCC → VCC VCC → VBAT |

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD、ラッチアップ、ノイズ特性、発振特性等を含めた電気的特性が異なります。

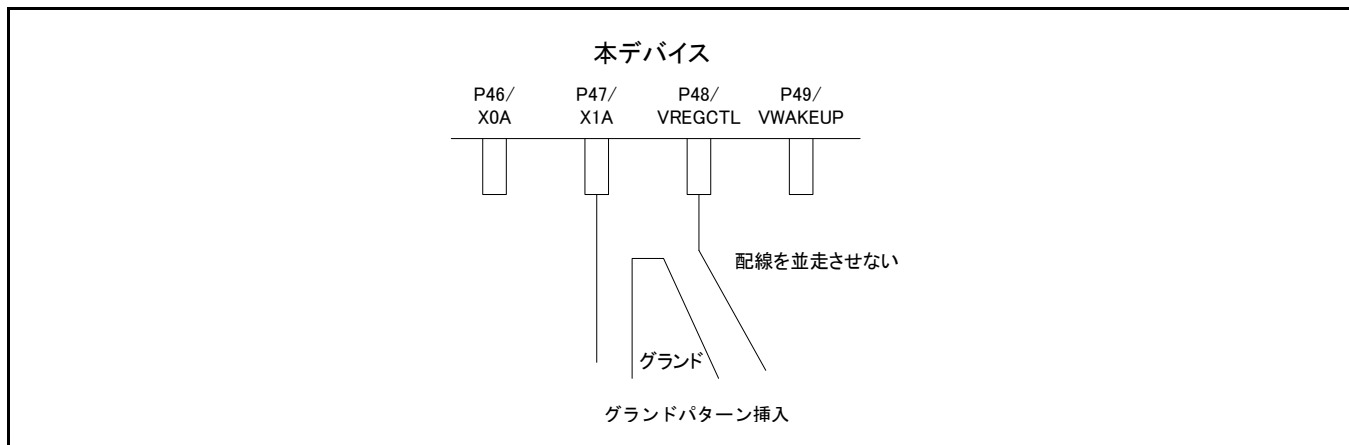
お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5Vトレラント I/O のプルアップ機能について

5Vトレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

基板上の隣接配線について

水晶発振回路 X1A と P48/VREGCTL の配線を隣接して並走させると、P48/VREGCTL の変化で X1A にノイズが載り、発振が誤カウントする可能性があります。それを避けるために、両者の配線の距離をできるだけ離し、間にグランドパターンを挿入してください。



デバッグ機能を兼用している端子について

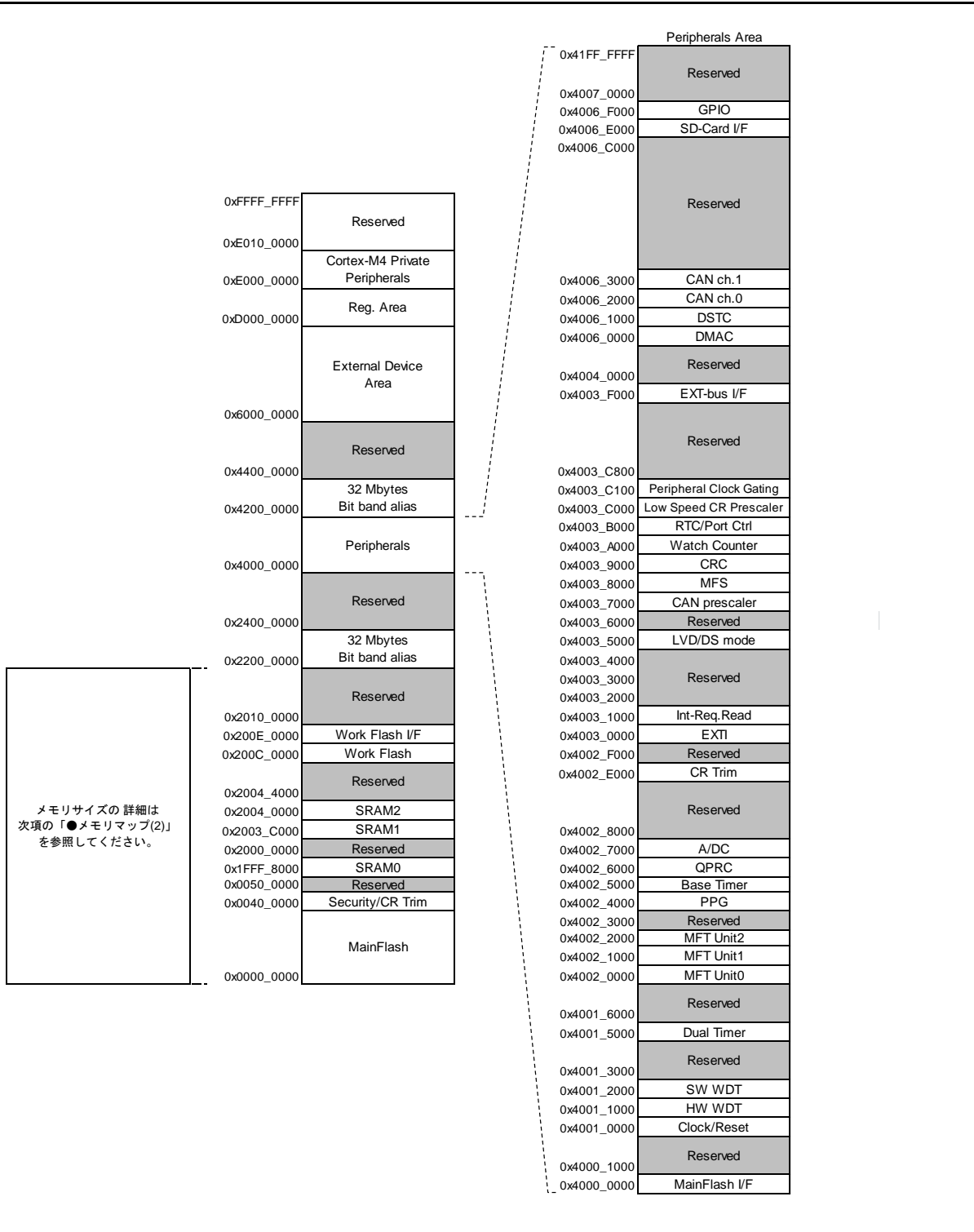
TDO/TMS/TDI/TCK/TRSTX, SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

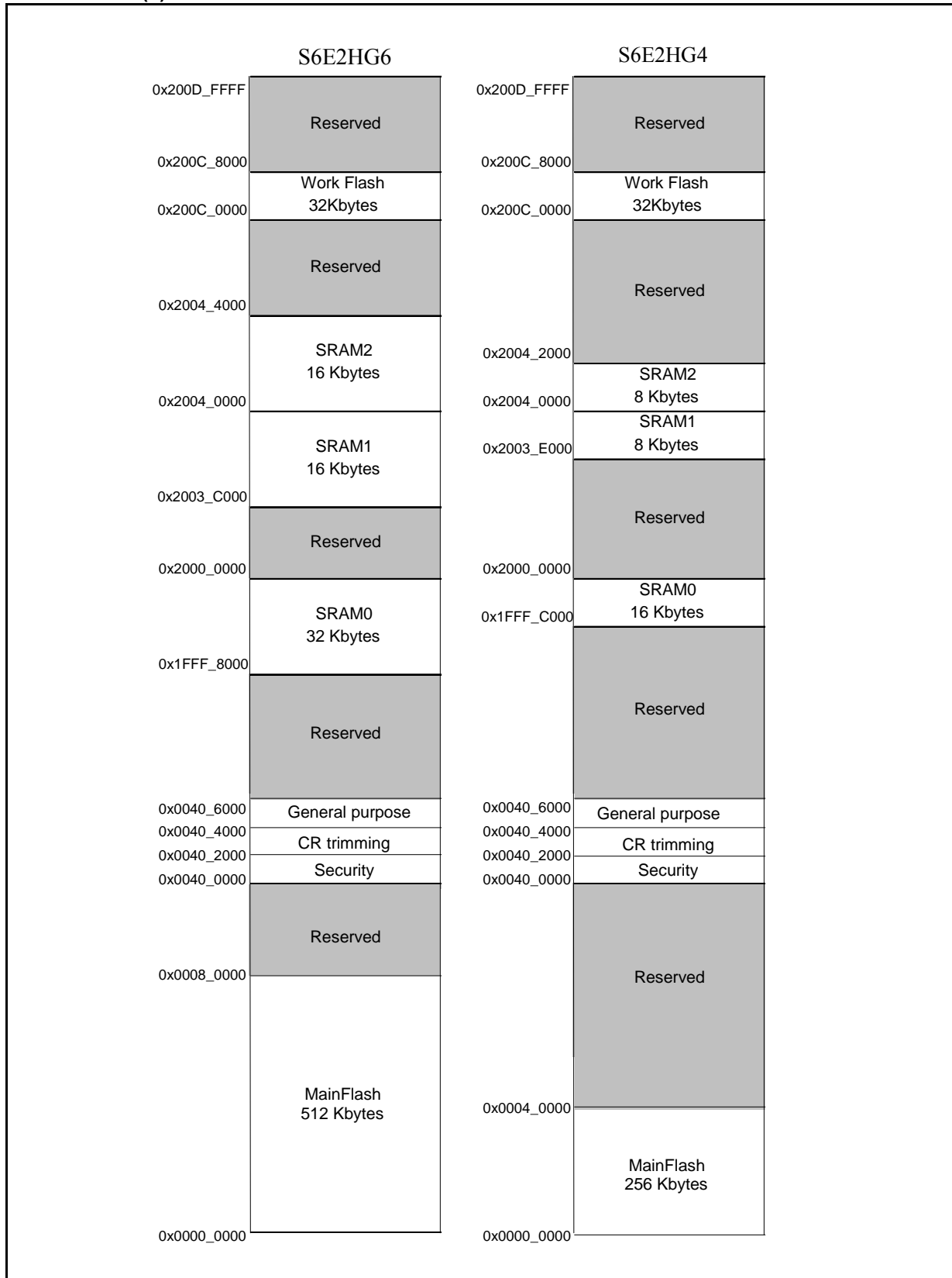
10. メモリサイズ

メモリサイズについては、「2. 品種構成」の「メモリサイズ」を参照してください。

11. メモリマップ

メモリマップ (1)



メモリマップ (2)


ペリフェラル・アドレスマップ

| スタート アドレス | エンド アドレス | バス | 周辺機能 |
|--------------|-------------|------|--------------------|
| 0x4000_0000 | 0x4000_0FFF | AHB | MainFlash I/F レジスタ |
| 0x4000_1000 | 0x4000_FFFF | | 予約 |
| 0x4001_0000 | 0x4001_0FFF | APB0 | クロック・リセット制御 |
| 0x4001_1000 | 0x4001_1FFF | | ハードウェアウォッチドッグタイマ |
| 0x4001_2000 | 0x4001_2FFF | | ソフトウェアウォッチドッグタイマ |
| 0x4001_3000 | 0x4001_4FFF | | 予約 |
| 0x4001_5000 | 0x4001_5FFF | | デュアルタイマ |
| 0x4001_6000 | 0x4001_FFFF | | 予約 |
| 0x4002_0000 | 0x4002_0FFF | APB1 | 多機能タイマ unit0 |
| 0x4002_1000 | 0x4002_1FFF | | 多機能タイマ unit1 |
| 0x4002_2000 | 0x4002_2FFF | | 多機能タイマ unit2 |
| 0x4002_3000 | 0x4003_FFFF | | 予約 |
| 0x4002_4000 | 0x4002_4FFF | | PPG |
| 0x4002_5000 | 0x4002_5FFF | | ベースタイマ |
| 0x4002_6000 | 0x4002_6FFF | | クアッドカウンタ |
| 0x4002_7000 | 0x4002_7FFF | | A/D コンバータ |
| 0x4002_8000 | 0x4002_DFFF | | 予約 |
| 0x4002_E000 | 0x4002_EFFF | | 内蔵 CR トリミング |
| 0x4002_F000 | 0x4002_FFFF | | 予約 |
| 0x4003_0000 | 0x4003_0FFF | APB2 | 外部割込み |
| 0x4003_1000 | 0x4003_1FFF | | 割込み要因確認レジスタ |
| 0x4003_2000 | 0x4003_4FFF | | 予約 |
| 0x4003_3000 | 0x4003_3FFF | | D/A コンバータ |
| 0x4003_4000 | 0x4003_4FFF | | 予約 |
| 0x4003_5000 | 0x4003_57FF | | 低電圧検出 |
| 0x4003_5800 | 0x4003_5FFF | | ディープスタンバイ制御部 |
| 0x4003_6000 | 0x4003_6FFF | | 予約 |
| 0x4003_7000 | 0x4003_7FFF | | CAN プリスケラ |
| 0x4003_8000 | 0x4003_8FFF | | マルチファンクションシリアル |
| 0x4003_9000 | 0x4003_9FFF | | CRC |
| 0x4003_A000 | 0x4003_AFFF | | 時計カウンタ |
| 0x4003_B000 | 0x4003_BFFF | | RTC/Port Ctrl |
| 0x4003_C000 | 0x4003_C0FF | | 低速 CR 補正 |
| 0x4003_C100 | 0x4003_C7FF | | 周辺クロック停止 |
| 0x4003_C800 | 0x4003_EFFF | | 予約 |
| 0x4003_F000 | 0x4003_FFFF | | 外部バス I/F |
| 0x4004_0000 | 0x4005_FFFF | AHB | 予約 |
| 0x4006_0000 | 0x4006_0FFF | | DMAC レジスタ |
| 0x4006_1000 | 0x4006_1FFF | | DSTC レジスタ |
| 0x4006_2000 | 0x4006_2FFF | | CAN ch.0 |
| 0x4006_3000 | 0x4006_3FFF | | CAN ch.1 |
| 0x4006_4000 | 0x4006_DFFF | | 予約 |
| 0x4006_E000 | 0x4006_EFFF | | SD-Card I/F |
| 0x4006_F000 | 0x4006_FFFF | | GPIO |
| 0x4006_7000 | 0x41FF_FFFF | | 予約 |
| 0x200E_0000 | 0x200E_FFFF | AHB | WorkFlash I/F レジスタ |

12. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が L レベルの期間です。

■INITX=1

INITX 端子が H レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 0 に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 1 に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は L に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

端子状態一覧表

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード, RTC モードまたはストップモード状態 | | ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|------------------------------------|--------------------------------------|------------------------|------------------------|--|-----------------------------|------------------------|--|------------------------|--------------------|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| A | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | メイン水晶発振入力端子/ 外部メインクロック入力 選択時 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| B | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 外部メインクロック入力 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 |
| | メイン水晶発振出力端子 | Hi-Z/ 内部入力 "0"固定 または 入力可 | Hi-Z/ 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持/ 発振停止時*1は Hi-Z/ 内部入力"0"固定 | | | | | |
| C | INITX 入力端子 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 | プルアップ/ 入力可 |
| D | モード 入力端子 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| E | モード 入力端子 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 入力可 | GPIO 選択 | Hi-Z/ 入力可 | GPIO 選択 |
| F | NMIX 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | WKUP 入力可 | Hi-Z/ WKUP 入力可 | GPIO 選択 |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | Hi-Z/ 内部入力 "0"固定 | | | 直前状態保持 |
| | GPIO 選択時 | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード, RTC モードまたはストップモード状態 | | ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|--------------|---------------------|---------------|---------------|-------------------|-----------------------------|------------------------|--|------------------------|--------------------|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| G | JTAG 選択時 | Hi-Z | プルアップ/ 入力可 | プルアップ/ 入力可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 |
| | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | | | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| H | JTAG 選択時 | Hi-Z | プルアップ/ 入力可 | プルアップ/ 入力可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 |
| | 上記以外のリソース選択時 | 設定不可 | 設定不可 | 設定不可 | | | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |
| I | リソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |
| J | アナログ出力選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | *2 | *3 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | | | |
| | GPIO 選択時 | | | | | | | | | |
| K | 外部割込み許可選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | Hi-Z/ 内部入力 "0"固定 | | | |
| | GPIO 選択時 | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード, RTC モードまたはストップモード状態 | | ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|--------------|---------------------|--|--|--|--|--|--|--|--|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| L | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 |
| | 上記以外のリソース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |
| M | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 |
| | 外部割込み許可選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外のリソース選択時 | | | | | | Hi-Z/ 内部入力 "0"固定 | | | |
| | GPIO 選択時 | | | | | | | | | |
| N | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 |
| | トレース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | トレース 出力 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外のリソース選択時 | | | | | | Hi-Z/ 内部入力 "0"固定 | | | |
| | GPIO 選択時 | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード, RTC モードまたはストップモード状態 | | ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|----------------|---------------------|--|--|--|--|--|--|--|--|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| O | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 |
| | トレース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | トレース 出力 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 外部割込み許可選択時 | | | | | | 直前状態 保持 | | | |
| | 上記以外のリソース選択時 | | | | | | Hi-Z/ 内部入力 "0"固定 | | | |
| | GPIO 選択時 | | | | | | | | | |
| P | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | |
| | WKUP 許可時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | WKUP 入力可 | Hi-Z/ WKUP 入力可 | GPIO 選択 |
| | 上記以外のリソース選択時 | | | | | | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | |
| | GPIO 選択時 | | | | | | | | | |
| Q | WKUP 許可時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | WKUP 入力可 | Hi-Z/ WKUP 入力可 | GPIO 選択 |
| | 外部割込み許可 選択時 | | | | | | | | | |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | |
| | GPIO 選択時 | | | | | | | | | |

*1: サブタイマ, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力"0"固定です。

*3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力"0"固定です。

VBAT ドメイン端子状態一覧表

| VBAT 端子状態形式 | グループ機能名 | VBAT パワーオン リセット*1 | INITX 入力 状態 | デバイス 内部 リセット 状態 | ランモード または スリープ モード 状態 | タイマモード, RTC モード または ストップモード 状態 | | ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態 | | ディープ スタンバイ モード 復帰直後 状態 | VBAT RTC モード 状態 | VBAT RTC モード 復帰直後 状態 |
|-------------|--|--------------------------------------|-------------------|--------------------------|-----------------------------------|--|--------------------------------------|---|--------------------------------------|------------------------------------|--------------------------|----------------------------------|
| | | 電源不安 定 | 電源安定 | 電源安定 | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 | 電源安 定 | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 | - | - |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - | - | - |
| S | GPIO 選択時 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | GPIO 選択 | 設定禁 止 | - |
| | サブ水晶 発振 入力端子 / 外部サブ クロック 入力選択 時 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 直前状 態 保持 | 直前状態 保持 |
| T | GPIO 選択時 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | GPIO 選択 | 設定禁 止 | - |
| | 外部サブ クロック 入力 選択時 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状 態 保持 | 直前状態 保持 |
| | サブ水晶 発振出力 端子 | Hi-Z/ 内部入力 "0"固定 または 入力可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持/ 発振 停止時は Hi-Z*2 | 直前状態 保持/ 発振 停止時は Hi-Z *2 | 直前状態 保持/ 発振 停止時は Hi-Z *2 | 直前状態 保持/ 発振 停止時は Hi-Z *2 | 直前状態 保持 | 直前状 態 保持 | 直前状態 保持 |
| U | リソース 選択時 | Hi-Z | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | 直前状 態 保持 | 直前状態 保持 |
| | GPIO 選択時 | | | | | | | | | | | |

*1: VBAT,VCC 電源投入状態

*2: WTOSCCNT レジスタの連携制御ビット(SOSCNLT)が 0 の場合は直前状態保持。

WTOSCCNT レジスタの連携制御ビット(SOSCNLT)が 1 の場合は、ストップモード、ディープスタンバイストップモード時に発振が停止します。

13. 電気的特性

13.1 絶対最大定格

| 項目 | 記号 | 定格値 | | 単位 | 備考 |
|------------------|--------------------|-----------------------|------------------------------------|----|----------------------|
| | | 最小 | 最大 | | |
| 電源電圧*1,*2 | V _{CC} | V _{SS} - 0.5 | V _{SS} + 6.5 | V | |
| 電源電圧(VBAT) *1,*3 | V _{BAT} | V _{SS} - 0.5 | V _{SS} + 6.5 | V | |
| アナログ電源電圧*1,*4 | AV _{CC} | V _{SS} - 0.5 | V _{SS} + 6.5 | V | |
| アナログ基準電圧*1,*4 | AV _{RH} | V _{SS} - 0.5 | V _{SS} + 6.5 | V | |
| 入力電圧*1 | V _I | V _{SS} - 0.5 | V _{CC} + 0.5 (≤6.5 V) | V | |
| | | V _{SS} - 0.5 | V _{SS} + 6.5 | V | 5V トレラント |
| アナログ端子入力電圧*1 | V _{IA} | V _{SS} - 0.5 | AV _{CC} + 0.5 (≤6.5 V) | V | |
| 出力電圧*1 | V _O | V _{SS} - 0.5 | V _{CC} + 0.5 (≤6.5 V) | V | |
| "L"レベル最大出力電流*5 | I _{OL} | - | 10 | mA | 4mA タイプ |
| | | | 20 | mA | 8mA タイプ |
| | | | 20 | mA | 12mA タイプ |
| | | | 22.4 | mA | I ² C Fm+ |
| "L"レベル平均出力電流*6 | I _{OLAV} | - | 4 | mA | 4mA タイプ |
| | | | 8 | mA | 8mA タイプ |
| | | | 12 | mA | 12mA タイプ |
| | | | 20 | mA | I ² C Fm+ |
| "L"レベル最大総出力電流 | ΣI _{OL} | - | 100 | mA | |
| "L"レベル平均総出力電流*7 | ΣI _{OLAV} | - | 50 | mA | |
| "H"レベル最大出力電流*5 | I _{OH} | - | - 10 | mA | 4mA タイプ |
| | | | 20 | mA | 8mA タイプ |
| | | | - 20 | mA | 12mA タイプ |
| "H"レベル平均出力電流*6 | I _{OHAV} | - | - 4 | mA | 4mA タイプ |
| | | | 8 | mA | 8mA タイプ |
| | | | - 12 | mA | 12mA タイプ |
| "H"レベル最大総出力電流 | ΣI _{OH} | - | - 100 | mA | |
| "H"レベル平均総出力電流*7 | ΣI _{OHAV} | - | - 50 | mA | |
| 保存温度 | T _{STG} | - 55 | + 150 | °C | |

*1: V_{SS} = AV_{SS} = 0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

*3: V_{BAT} は V_{SS} - 0.5 V より低くならないでください。

*4: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

*5: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*6: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

<注意事項>

- 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

13.2 推奨動作条件

| 項目 | 記号 | 条件 | 規格値 | | 単位 | 備考 |
|------------|------------------|----------------|-------|------------------|-------|-----------------------------------|
| | | | 最小 | 最大 | | |
| 電源電圧 | V _{CC} | - | 2.7*4 | 5.5 | V | |
| 電源電圧(VBAT) | V _{BAT} | - | 2.7 | 5.5 | V | |
| アナログ電源電圧 | AV _{CC} | - | 2.7 | 5.5 | V | AV _{CC} =V _{CC} |
| 基準電圧 | AV _{RH} | - | *3 | AV _{CC} | V | |
| 平滑コンデンサ容量 | C _S | - | 1 | 10 | μF | 内蔵レギュレータ用 *1 |
| 動作温度 | ジャンクション温度 | T _J | - | - 40 | + 125 | °C |
| | 周囲温度 | T _A | - | - 40 | *2 | °C |

*1: 平滑コンデンサの接続方法は、「デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 周囲温度(T_A)の最大温度は、ジャンクション温度(T_J)を超えない範囲まで保証可能です。
周囲温度(T_A)の計算式を以下に示します。

$$T_A(\text{Max}) = T_J(\text{Max}) - P_d(\text{Max}) \times \theta_{ja}$$

P_d: 消費電力(W)
 θ_{ja}: パッケージ熱抵抗(°C/W)

$$P_d(\text{Max}) = V_{CC} \times I_{CC}(\text{Max}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL}: L レベル出力電流
 I_{OH}: H レベル出力電流
 V_{OL}: L レベル出力電圧
 V_{OH}: H レベル出力電圧

*3: アナログ基準電圧は、コンペアクロック周期によって規格値が異なります。

詳細は「13.5 12 ビット A/D コンバータ」の章を参照してください。

*4: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック
(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。
半導体デバイスは最大許容電力以下で動作が保証されます。

パッケージ熱抵抗と最大許容電力表

| パッケージ | 基板 | 熱抵抗 θ _{ja} (°C/W) | 最大許容電力(mW) | |
|-------------------------|------|-------------------------------|-----------------------|------------------------|
| | | | T _A =+85°C | T _A =+105°C |
| LQH080 (0.5mm pitch) | 単層両面 | 82 | 488 | 244 |
| | 4 層 | 56 | 714 | 357 |
| LQI100 (0.5mm pitch) | 単層両面 | 59 | 678 | 339 |
| | 4 層 | 39 | 1026 | 513 |
| LQM120 (0.5mm pitch) | 単層両面 | 71 | 563 | 282 |
| | 4 層 | 50 | 800 | 400 |
| FDI121 (0.5mm pitch) | 単層両面 | 63 | 635 | 317 |
| | 4 層 | 37 | 1081 | 540 |

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

消費電力(Pd)の算出方法

消費電力は以下の式で表されます。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL} : L レベル出力電流
 I_{OH} : H レベル出力電流
 V_{OL} : L レベル出力電圧
 V_{OH} : H レベル出力電圧

I_{CC} はデバイス内で消費される電流です。
 以下に分解できます。

$$I_{CC} = I_{CC}(INT) + \sum I_{CC}(IO)$$

$I_{CC}(INT)$: レギュレータを通して内部 Logic, メモリなどで消費される電流
 $\sum I_{CC}(IO)$: 出力端子にて消費される電流(I/O スイッチング電流)の合計

$I_{CC}(INT)$ については「3.直流規格」の「(1)電流規格」によって予測できます (本規格の値は端子固定時の値のため、 $I_{CC}(IO)$ は含んでいません)。

$I_{CC}(IO)$ についてはお客様のシステムに依存します。
 以下の計算式により算出してください。

$$I_{CC}(IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{sw}$$

C_{INT} : 端子内部負荷容量
 C_{EXT} : 出力端子の外部負荷容量
 f_{sw} : 端子スイッチング周波数

| 項目 | 記号 | 条件 | 容量値 |
|----------|-----------|-----------|---------|
| 端子内部負荷容量 | C_{INT} | 4 mA タイプ | 1.93 pF |
| | | 8 mA タイプ | 3.45 pF |
| | | 12 mA タイプ | 3.42 pF |

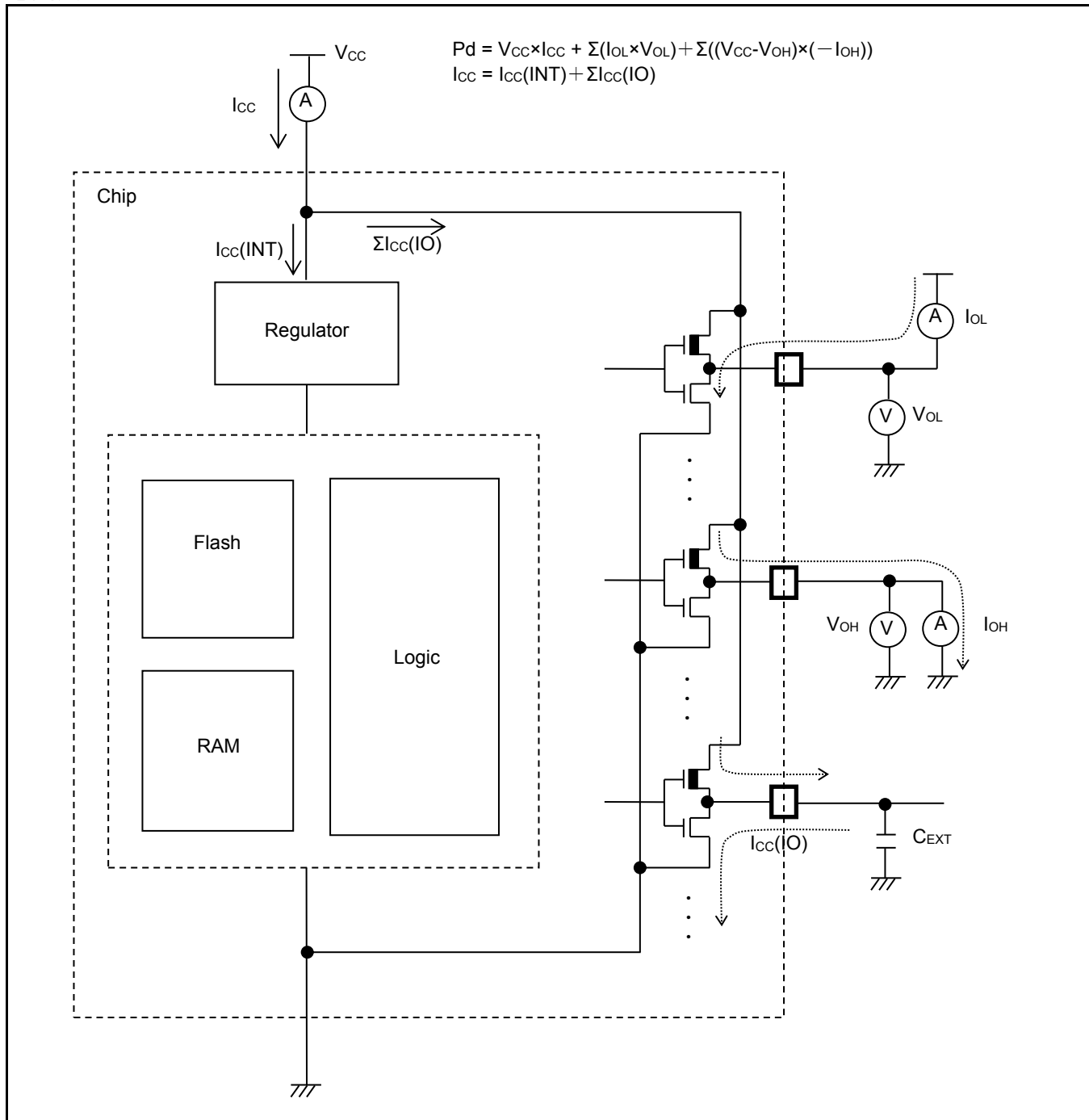
お客様ご自身で消費電力を評価可能な場合には、 $I_{CC}(Max)$ の値は以下のように算出してください。

- 常温(+25°C)にて電流値 $I_{CC}(Typ)$ を測定
- (1)の値に動作時最大リーク電流値 $I_{CC}(leak_max)$ を加算

$$I_{CC}(Max) = I_{CC}(Typ) + I_{CC}(leak_max)$$

| 項目 | 記号 | 条件 | 電流値 |
|------------|---------------------|----------------------|---------|
| 動作時最大リーク電流 | $I_{CC}(leak_max)$ | $T_J = +125^\circ C$ | 16.8 mA |
| | | $T_J = +105^\circ C$ | 8.6 mA |
| | | $T_J = +85^\circ C$ | 5.8 mA |

電流説明図



13.3 直流規格

13.3.1 電流規格

Table 13-1 通常動作(PLL)の標準と最大の消費電流, フラッシュ・メモリから実行しているとき
(フラッシュアクセラレータモードとトレースバッファ機能が有効)

| 項目 | 記号 | 端子名 | 条件 | 周波数*4 | 規格値 | | 単位 | 備考 |
|------|-----------------|-----|------------------------|---------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{cc} | VCC | 通常動作*5, *6 *9 (PLL) | 160 MHz | 51 | 71 | mA | *3 周辺クロック すべて ON 時 |
| | | | | 144 MHz | 47 | 67 | | |
| | | | | 120 MHz | 39 | 59 | | |
| | | | | 100 MHz | 33 | 53 | | |
| | | | | 80 MHz | 27 | 47 | | |
| | | | | 60 MHz | 20 | 40 | | |
| | | | | 40 MHz | 14 | 34 | | |
| | | | | 20 MHz | 7.6 | 28 | | |
| | | | | 8 MHz | 3.9 | 24 | | |
| | | | | 4 MHz | 2.7 | 23 | | |
| | | | | 160 MHz | 30 | 51 | mA | *3 周辺クロック すべて OFF 時 |
| | | | | 144 MHz | 28 | 48 | | |
| | | | | 120 MHz | 23 | 43 | | |
| | | | | 100 MHz | 20 | 40 | | |
| | | | | 80 MHz | 16 | 36 | | |
| | | | | 60 MHz | 12 | 32 | | |
| | | | | 40 MHz | 8.7 | 29 | | |
| | | | | 20 MHz | 5.0 | 25 | | |
| | | | | 8 MHz | 2.8 | 23 | | |
| | | | | 4 MHz | 2.1 | 22 | | |

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT = 10, FBFCR.BE = 1)のとき

*6: メインフラッシュメモリへのデータアクセスなし。

*7: 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

*8: フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT = 10, FBFCR.BE = 0)のとき

*9: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-2 通常動作(PLL)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ・メモリから実行しているとき(フラッシュアクセラレータモードとトレースバッファ機能が無効)

| 項目 | 記号 | 端子名 | 条件 | 周波数*7 | 規格値 | | 単位 | 備考 |
|------|-----------------|-----------------|--------------------|---------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CC} | V _{CC} | 通常動作*8 *9 (PLL) | 160 MHz | 56 | 76 | mA | *3 周辺クロック すべて ON 時 |
| | | | | 144 MHz | 51 | 71 | | |
| | | | | 120 MHz | 43 | 63 | | |
| | | | | 100 MHz | 37 | 57 | | |
| | | | | 80 MHz | 30 | 50 | | |
| | | | | 60 MHz | 23 | 43 | | |
| | | | | 40 MHz | 16 | 36 | | |
| | | | | 20 MHz | 8.5 | 29 | | |
| | | | | 8 MHz | 4.3 | 25 | | |
| | | | | 4 MHz | 2.9 | 23 | | |
| | | | | 160 MHz | 30 | 51 | mA | *3 周辺クロック すべて OFF 時 |
| | | | | 144 MHz | 28 | 48 | | |
| | | | | 120 MHz | 24 | 44 | | |
| | | | | 100 MHz | 20 | 41 | | |
| | | | | 80 MHz | 17 | 37 | | |
| | | | | 60 MHz | 13 | 33 | | |
| | | | | 40 MHz | 9.2 | 30 | | |
| | | | | 20 MHz | 5.3 | 26 | | |
| | | | | 8 MHz | 3.0 | 23 | | |
| | | | | 4 MHz | 2.2 | 23 | | |

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT = 10, FBFCR.BE = 1)のとき

*6: メインフラッシュメモリへのデータアクセスなし。

*7: 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

*8: フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT = 10, FBFCR.BE = 0)のとき

*9: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-3 通常動作(PLL)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ・メモリから実行しているとき(フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

| 項目 | 記号 | 端子名 | 条件 | 周波数*4 | 規格値 | | 単位 | 備考 |
|------|-----------------|-----|--------------------|--------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CC} | VCC | 通常動作*5 *6 (PLL) | 72 MHz | 38 | 58 | mA | *3 周辺クロック すべて ON 時 |
| | | | | 60 MHz | 33 | 53 | | |
| | | | | 48 MHz | 28 | 48 | | |
| | | | | 36 MHz | 22 | 42 | | |
| | | | | 24 MHz | 16 | 36 | | |
| | | | | 12 MHz | 9.5 | 30 | | |
| | | | | 8 MHz | 6.9 | 27 | | |
| | | | | 4 MHz | 4.2 | 25 | | |
| | | | | 72 MHz | 29 | 49 | mA | *3 周辺クロック すべて OFF 時 |
| | | | | 60 MHz | 26 | 46 | | |
| | | | | 48 MHz | 22 | 42 | | |
| | | | | 36 MHz | 18 | 38 | | |
| | | | | 24 MHz | 13 | 33 | | |
| | | | | 12 MHz | 7.8 | 28 | | |
| | | | | 8 MHz | 5.8 | 26 | | |
| | | | | 4 MHz | 3.7 | 24 | | |

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000)のとき

*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-4 通常動作(PLL 以外)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ・メモリから実行しているとき(フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

| 項目 | 記号 | 端子名 | 条件 | 周波数 ^{*4} | 規格値 | | 単位 | 備考 |
|------|-----------------|-----------------|--|-------------------|------------------|------------------|----|---------------------------------------|
| | | | | | 標準 ^{*1} | 最大 ^{*2} | | |
| 電源電流 | I _{CC} | V _{CC} | 通常動作 ^{*5} * ⁶ (メイン発振) | 4 MHz | 4.0 | 24 | mA | * ³ 周辺クロック すべて ON 時 |
| | | | | | 3.2 | 24 | mA | * ³ 周辺クロック すべて OFF 時 |
| | | | 通常動作 ^{*5} (内蔵高速 CR) | 4 MHz | 3.2 | 24 | mA | * ³ 周辺クロック すべて ON 時 |
| | | | | | 2.7 | 23 | mA | * ³ 周辺クロック すべて OFF 時 |
| | | | 通常動作 ^{*5} (サブ発振) | 32 kHz | 0.34 | 21 | mA | * ³ 周辺クロック すべて ON 時 |
| | | | | | 0.30 | 21 | mA | * ³ 周辺クロック すべて OFF 時 |
| | | | 通常動作 ^{*5} (内蔵低速 CR) | 100 kHz | 0.36 | 21 | mA | * ³ 周辺クロック すべて ON 時 |
| | | | | | 0.33 | 21 | mA | * ³ 周辺クロック すべて OFF 時 |

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000)のとき

*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-5 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2 のとき

| 項目 | 記号 | 端子名 | 条件 | 周波数*4 | 規格値 | | 単位 | 備考 |
|------|------------------|-----|------------------|---------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CCS} | VCC | Sleep 動作*6 (PLL) | 160 MHz | 35 | 55 | mA | *3 周辺クロック すべて ON 時 |
| | | | | 144 MHz | 32 | 52 | | |
| | | | | 120 MHz | 27 | 47 | | |
| | | | | 100 MHz | 23 | 43 | | |
| | | | | 80 MHz | 18 | 39 | | |
| | | | | 60 MHz | 14 | 34 | | |
| | | | | 40 MHz | 9.9 | 30 | | |
| | | | | 20 MHz | 5.5 | 26 | | |
| | | | | 8 MHz | 3.1 | 23 | | |
| | | | | 4 MHz | 2.3 | 23 | mA | *3 周辺クロック すべて OFF 時 |
| | | | | 160 MHz | 14 | 35 | | |
| | | | | 144 MHz | 13 | 33 | | |
| | | | | 120 MHz | 11 | 31 | | |
| | | | | 100 MHz | 9.5 | 30 | | |
| | | | | 80 MHz | 7.8 | 28 | | |
| | | | | 60 MHz | 6.3 | 27 | | |
| | | | | 40 MHz | 4.6 | 25 | | |
| | | | | 20 MHz | 2.9 | 23 | | |
| | | | | 8 MHz | 2.2 | 23 | | |
| | | | | 4 MHz | 2.0 | 22 | | |

Table 13-6 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK のとき

| 項目 | 記号 | 端子名 | 条件 | 周波数*5 | 規格値 | | 単位 | 備考 |
|------|------------------|-----|------------------|--------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CCS} | VCC | Sleep 動作*6 (PLL) | 72 MHz | 23 | 43 | mA | *3 周辺クロック すべて ON 時 |
| | | | | 60 MHz | 19 | 39 | | |
| | | | | 48 MHz | 16 | 36 | | |
| | | | | 36 MHz | 12 | 32 | | |
| | | | | 24 MHz | 8.5 | 29 | | |
| | | | | 12 MHz | 5.1 | 25 | | |
| | | | | 8 MHz | 3.9 | 24 | | |
| | | | | 4 MHz | 2.7 | 23 | | |
| | | | | 72 MHz | 8.8 | 29 | mA | *3 周辺クロック すべて OFF 時 |
| | | | | 60 MHz | 7.6 | 28 | | |
| | | | | 48 MHz | 6.3 | 27 | | |
| | | | | 36 MHz | 5.1 | 25 | | |
| | | | | 24 MHz | 3.9 | 24 | | |
| | | | | 12 MHz | 2.7 | 23 | | |
| | | | | 8 MHz | 2.3 | 23 | | |
| | | | | 4 MHz | 1.9 | 22 | | |

 *1: T_A=+25°C, V_{CC}=3.3V

 *2: T_J=+125°C, V_{CC}=5.5V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-7 Sleep 動作(PLL 以外)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2 のとき

| 項目 | 記号 | 端子名 | 条件 | 周波数*4 | 規格値 | | 単位 | 備考 |
|------|------------------|-----|-----------------------|---------|------|------|----|---------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{ccs} | VCC | Sleep 動作*5 (メイン発振) | 4 MHz | 2.1 | 22 | mA | *3 周辺クロック すべて ON 時 |
| | | | | | 1.3 | 22 | mA | *3 周辺クロック すべて OFF 時 |
| | | | Sleep 動作 (内蔵高速 CR) | 4 MHz | 1.3 | 22 | mA | *3 周辺クロック すべて ON 時 |
| | | | | | 0.8 | 21 | mA | *3 周辺クロック すべて OFF 時 |
| | | | Sleep 動作 (サブ発振) | 32 kHz | 0.28 | 21 | mA | *3 周辺クロック すべて ON 時 |
| | | | | | 0.27 | 21 | mA | *3 周辺クロック すべて OFF 時 |
| | | | Sleep 動作 (内蔵低速 CR) | 100 kHz | 0.29 | 21 | mA | *3 周辺クロック すべて ON 時 |
| | | | | | 0.28 | 21 | mA | *3 周辺クロック すべて OFF 時 |

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-8 ストップモード, タイマモード, RTC モードの標準と最大の消費電流

| 項目 | 記号 | 端子名 | 条件 | 周波数 | 規格値 | | 単位 | 備考 |
|------|------------------|-----|----------------------|---------|------|------|----|----------------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CCH} | VCC | ストップモード | - | 0.21 | 0.94 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 7.6 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 10 | mA | *3, *4 T _A =+105°C |
| | I _{CCT} | | タイマモード *5 (メイン発振) | 4 MHz | 1.4 | 2.1 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 8.8 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 11 | mA | *3, *4 T _A =+105°C |
| | | | タイマモード (内蔵高速 CR) | 4 MHz | 0.49 | 1.2 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 7.9 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 11 | mA | *3, *4 T _A =+105°C |
| | | | タイマモード (サブ発振) | 32 kHz | 0.23 | 0.96 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 7.6 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 10 | mA | *3, *4 T _A =+105°C |
| | | | タイマモード (内蔵低速 CR) | 100 kHz | 0.24 | 0.97 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 7.6 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 10 | mA | *3, *4 T _A =+105°C |
| | I _{CCR} | | RTC モード (サブ発振) | 32 kHz | 0.21 | 0.94 | mA | *3, *4 T _A =+25°C |
| | | | | | - | 7.6 | mA | *3, *4 T _A =+85°C |
| | | | | | - | 10 | mA | *3, *4 T _A =+105°C |

 *1: V_{CC}=3.3 V

 *2: V_{CC}=5.5 V

*3: 全ポート固定時

*4: LVD OFF 時

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 13-9 ディープスタンバイストップモード、ディープスタンバイ RTC モード、VBAT の標準と最大の消費電流

| 項目 | 記号 | 端子名 | 条件 | 周波数 | 規格値 | | 単位 | 備考 |
|------|--------------------------|------|---|--------|-------|------|----------------------------------|--------------------------------------|
| | | | | | 標準*1 | 最大*2 | | |
| 電源電流 | I _{CCHD} | VCC | ディープ スタンバイストップ モード (RAM OFF 時) | - | 24 | 40 | μA | *3, *4 T _A =+25°C |
| | | | | | - | 640 | μA | *3, *4 T _A =+85°C |
| | | | | | - | 813 | μA | *3, *4 T _A =+105°C |
| | | | 41 | | 146 | μA | *3, *4 T _A =+25°C | |
| | | | - | | 1616 | μA | *3, *4 T _A =+85°C | |
| | | | - | | 2059 | μA | *3, *4 T _A =+105°C | |
| | I _{CCRD} | | ディープ スタンバイ RTC モー ド*6 (RAM OFF 時) | 32 kHz | 24 | 40 | μA | *3, *4 T _A =+25°C |
| | | | | | - | 640 | μA | *3, *4 T _A =+85°C |
| | | | | | - | 813 | μA | *3, *4 T _A =+105°C |
| | | | 41 | | 146 | μA | *3, *4 T _A =+25°C | |
| | | | - | | 1616 | μA | *3, *4 T _A =+85°C | |
| | | | - | | 2059 | μA | *3, *4 T _A =+105°C | |
| | I _{CCVBA T} | VBAT | RTC 停止*7 | - | 0.015 | 0.14 | μA | *3, *4, *5 T _A =+25°C |
| | | | | | - | 4.0 | μA | *3, *4, *5 T _A =+85°C |
| | | | | | - | 9.4 | μA | *3, *4, *5 T _A =+105°C |
| | | | RTC 動作 *6*7 | | 1.3 | 2.4 | μA | *3, *4 T _A =+25°C |
| | | | | | - | 6.2 | μA | *3, *4 T _A =+85°C |
| | | | | | - | 12 | μA | *3, *4 T _A =+105°C |

*1: V_{CC}=3.3 V

*2: V_{CC}=5.5 V

*3: 全ポート固定時

*4: LVD OFF 時

*5: サブ発振 OFF 時

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

*7: VCC 電源投入後、RTC の設定を行った時

Table 13-10 低電圧検出回路, メインフラッシュメモリ書き込み/消去の標準と最大の消費電流

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|------------------------------|-----------|-----|--------------|-----|------|------|----|--------|
| | | | | 最小 | 標準 | 最大 | | |
| 低電圧 検出回路 (LVD) 電源電流 | ICCLVD | VCC | 動作時 | - | 4 | 7 | μA | 割込み発生用 |
| メインフラッシュメモリ 書き込み/消去電流 | ICCFLASH | | 書き込み/ 消去時 | - | 13.4 | 15.9 | mA | |
| ワークフラッシュメモリ 書き込み/消去電流 | ICCWFLASH | | 書き込み/ 消去時 | - | 11.5 | 13.6 | mA | *1 |

*1: フラッシュメモリへ書き込み、または消去するときは電源電流 ICC にフラッシュ書き込み/消去電流 ICCFLASH が加算されます。

Table 13-11 ペリフェラル消費電流

| クロック 系列 | ペリフェラル | 単位 | 周波数(MHz) | | | 単位 | 備考 |
|------------|--------------------|------------|----------|------|------|----|-----------------------|
| | | | 40 | 80 | 160 | | |
| HCLK | GPIO | 全ポート | 0.16 | 0.32 | 0.62 | mA | TA=+25°C VCC=3.3 V |
| | DMAC | - | 0.68 | 1.35 | 2.63 | | |
| | DSTC | - | 0.93 | 1.88 | 3.65 | | |
| | 外部バス I/F | - | 0.17 | 0.34 | 0.71 | | |
| | CAN | 1ch | 0.01 | 0.02 | 0.03 | | |
| | SD カード I/F | - | 0.47 | 0.92 | 1.85 | | |
| PCLK1 | ベースタイマ | 4ch. | 0.18 | 0.37 | 0.73 | mA | TA=+25°C VCC=3.3 V |
| | 多機能タイマ/PPG | 1unit/4ch. | 0.61 | 1.22 | 2.43 | | |
| | クアッドカウンタ | 1unit | 0.04 | 0.07 | 0.14 | | |
| | A/DC | 1unit | 0.22 | 0.44 | 0.88 | | |
| PCLK2 | マルチファンクション シリアル | 1ch. | 0.30 | 0.60 | - | mA | TA=+25°C VCC=3.3 V |

13.3.2 端子特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|---------------------------------|-----------|------------------------------------|--|---------------------|----|---------------------|----|--------|
| | | | | 最小 | 標準 | 最大 | | |
| H レベル 入力電圧 (ヒステリシス入 力) | V_{IHS} | CMOS ヒステリシス入力端子, MD0, MD1 | - | $V_{CC} \times 0.8$ | - | $V_{CC} + 0.3$ | V | |
| | | 5 V トレラント入力端子 | - | $V_{CC} \times 0.8$ | - | $V_{SS} + 5.5$ | V | |
| | | I ² C Fm+ 兼用 入力端子 | - | $V_{CC} \times 0.7$ | - | $V_{SS} + 5.5$ | V | |
| L レベル 入力電圧 (ヒステリシス入 力) | V_{ILS} | CMOS ヒステリシス入力端子, MD0, MD1 | - | $V_{SS} - 0.3$ | - | $V_{CC} \times 0.2$ | V | |
| | | 5 V トレラント 入力端子 | - | $V_{SS} - 0.3$ | - | $V_{CC} \times 0.2$ | V | |
| | | I ² C Fm+ 兼用 入力端子 | - | V_{SS} | - | $V_{CC} \times 0.3$ | V | |
| H レベル 出力電圧 | V_{OH} | 4 mA タイプ | $V_{CC} \geq 4.5 V$, $I_{OH} = -4 \text{ mA}$ | $V_{CC} - 0.5$ | - | V_{CC} | V | |
| | | | $V_{CC} < 4.5 V$, $I_{OH} = -2 \text{ mA}$ | | | | | |
| | | 8 mA タイプ | $V_{CC} \geq 4.5 V$, $I_{OH} = -8 \text{ mA}$ | $V_{CC} - 0.5$ | - | V_{CC} | V | |
| | | | $V_{CC} < 4.5 V$, $I_{OH} = -4 \text{ mA}$ | | | | | |
| | | 12 mA タイプ | $V_{CC} \geq 4.5 V$, $I_{OH} = -12 \text{ mA}$ | $V_{CC} - 0.5$ | - | V_{CC} | V | |
| | | | $V_{CC} < 4.5 V$, $I_{OH} = -8 \text{ mA}$ | | | | | |
| | | I ² C Fm+ 兼用 | $V_{CC} \geq 4.5 V$, $I_{OH} = -4 \text{ mA}$ | $V_{CC} - 0.5$ | - | V_{CC} | V | GPIO 時 |
| | | | $V_{CC} < 4.5 V$, $I_{OH} = -3 \text{ mA}$ | | | | | |

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|---------------|-----------------|--|---|-----------------|----|-----|----|--------------------------|
| | | | | 最小 | 標準 | 最大 | | |
| L レベル 出力電圧 | V _{OL} | 4 mA タイプ | V _{CC} ≥ 4.5 V, I _{OL} = 4 mA | V _{SS} | - | 0.4 | V | |
| | | | V _{CC} < 4.5 V, I _{OL} = 2 mA | | | | | |
| | | 8 mA タイプ | V _{CC} ≥ 4.5 V, I _{OH} = 8 mA | V _{SS} | - | 0.4 | V | |
| | | | V _{CC} < 4.5 V, I _{OH} = 4 mA | | | | | |
| | | 12 mA タイプ | V _{CC} ≥ 4.5 V, I _{OL} = 12 mA | V _{SS} | - | 0.4 | V | |
| | | | V _{CC} < 4.5 V, I _{OL} = 8 mA | | | | | |
| | | I2C Fm+ 兼用 | V _{CC} ≥ 4.5 V, I _{OH} = 4 mA | V _{SS} | - | 0.4 | V | GPIO 時 |
| | | | V _{CC} < 4.5 V, I _{OH} = 3 mA | | | | | I ² C Fm+時 |
| | | | V _{CC} ≤ 5.5 V, I _{OH} = 20 mA | | | | | |
| 入力リーク 電流 | I _{IL} | - | - | - 5 | - | +5 | μA | |
| プルアップ 抵抗値 | R _{PU} | プルアップ 端子 | V _{CC} ≥ 4.5 V | 25 | 50 | 100 | kΩ | |
| | | | V _{CC} < 4.5 V | 30 | 80 | 200 | | |
| 入力容量 | C _{IN} | VCC, VBAT, VSS, AVCC, AVSS, AVRH 以外 | - | - | 5 | 15 | pF | |

13.4 交流規格

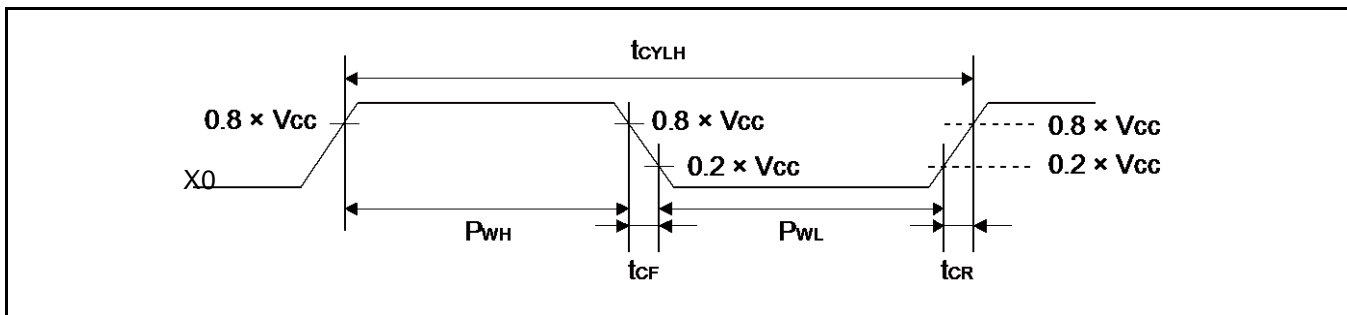
13.4.1 メインクロック入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------------------------|--------------------------------------|-----------|--|-------|-----|-----|------------------------|
| | | | | 最小 | 最大 | | |
| 入力周波数 | f _{CH} | X0, X1 | V _{CC} ≧ 4.5 V | 4 | 48 | MHz | 水晶発振子接続時 |
| | | | V _{CC} < 4.5 V | 4 | 20 | | |
| | | | V _{CC} ≧ 4.5 V | 4 | 48 | MHz | 外部クロック時 |
| | | | V _{CC} < 4.5 V | 4 | 20 | | |
| 入力クロック周期 | t _{CYLH} | | V _{CC} ≧ 4.5 V | 20.83 | 250 | ns | 外部クロック時 |
| | | | V _{CC} < 4.5 V | 50 | 250 | | |
| 入力クロック パルス幅 | - | | P _{WH} /t _{CYLH} , P _{WL} /t _{CYLH} | 45 | 55 | % | 外部クロック時 |
| 入力クロック 立上り, 立下り 時間 | t _{CF} , t _{CR} | | - | - | 5 | ns | 外部クロック時 |
| 内部動作クロック*1 周波数 | f _{CC} | - | - | - | 160 | MHz | ベースクロック (HCLK/FCLK) |
| | f _{CP0} | - | - | - | 80 | MHz | APB0 バスクロック*2 |
| | f _{CP1} | - | - | - | 160 | MHz | APB1 バスクロック*2 |
| | f _{CP2} | - | - | - | 80 | MHz | APB2 バスクロック*2 |
| 内部動作クロック*1 サイクル時間 | t _{CYCC} | - | - | 6.25 | - | ns | ベースクロック (HCLK/FCLK) |
| | t _{CYCP0} | - | - | 12.5 | - | ns | APB0 バスクロック*2 |
| | t _{CYCP1} | - | - | 6.25 | - | ns | APB1 バスクロック*2 |
| | t _{CYCP2} | - | - | 12.5 | - | ns | APB2 バスクロック*2 |

*1: 各内部動作クロックの詳細については、『FM4 ファミリー ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

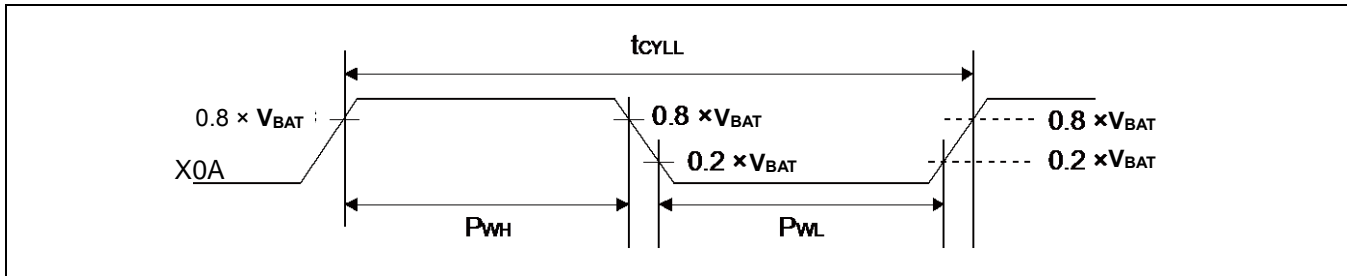
*2: 各ペリフェラルが接続されている APB バスについては「1. S6E2H シリーズ ブロックダイアグラム」を参照してください。



13.4.2 サブクロック入力規格

($V_{BAT} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|------------|--------------|-------------|--|-----|--------|-------|---------|---------|
| | | | | 最小 | 標準 | 最大 | | |
| 入力周波数 | $1/t_{CYLL}$ | X0A, X1A | - | - | 32.768 | - | kHz | 水晶発振接続時 |
| | | | - | 32 | - | 100 | kHz | 外部クロック時 |
| 入力クロック周期 | t_{CYLL} | | - | 10 | - | 31.25 | μs | 外部クロック時 |
| 入力クロックパルス幅 | - | | P_{WH}/t_{CYLL} , P_{WL}/t_{CYLL} | 45 | - | 55 | % | 外部クロック時 |



13.4.3 内蔵 CR 発振規格

内蔵高速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|---------|------------|---------------------------------------|------|----|------|---------|----------|
| | | | 最小 | 標準 | 最大 | | |
| クロック周波数 | f_{CRH} | $T_J = -20^\circ C \sim +105^\circ C$ | 3.92 | 4 | 4.08 | MHz | トリミング時*1 |
| | | $T_J = -40^\circ C \sim +125^\circ C$ | 3.88 | 4 | 4.12 | | |
| | | $T_J = -40^\circ C \sim +125^\circ C$ | 2.9 | 4 | 5 | | 非トリミング時 |
| 周波数安定時間 | t_{CRWT} | - | - | | 30 | μs | *2 |

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。

なお、トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|---------|-----------|----|-----|-----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | | |
| クロック周波数 | f_{CRL} | - | 50 | 100 | 150 | kHz | |

13.4.4 メインPLLの使用条件 (PLLの入カクロックにメインクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 規格値 | | | 単位 | 備考 |
|--------------------------------|---------------------|-----|----|-----|-----|----|
| | | 最小 | 標準 | 最大 | | |
| PLL 発振安定待ち時間*1 (LOCK UP 時間) | t _{LOCK} | 200 | - | - | μs | |
| PLL 入力クロック周波数 | f _{PLLI} | 4 | - | 16 | MHz | |
| PLL 通倍率 | - | 13 | - | 80 | 通倍 | |
| PLL マクロ発振クロック周波数 | f _{PLLO} | 200 | - | 320 | MHz | |
| メイン PLL クロック周波数*2 | f _{CLKPLL} | - | - | 160 | MHz | |

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER: クロック』を参照してください。

13.4.5 メインPLLの使用条件 (メインPLLの入カクロックに内蔵高速CRクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 規格値 | | | 単位 | 備考 |
|--------------------------------|---------------------|-----|----|-----|-----|----|
| | | 最小 | 標準 | 最大 | | |
| PLL 発振安定待ち時間*1 (LOCK UP 時間) | t _{LOCK} | 200 | - | - | μs | |
| PLL 入力クロック周波数 | f _{PLLI} | 3.8 | 4 | 4.2 | MHz | |
| PLL 通倍率 | - | 50 | - | 75 | 通倍 | |
| PLL マクロ発振クロック周波数 | f _{PLLO} | 190 | - | 320 | MHz | |
| メイン PLL クロック周波数*2 | f _{CLKPLL} | - | - | 160 | MHz | |

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER: クロック』を参照してください。

<注意事項>

- メインPLLのソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速CRクロック(CLKHC)を入力してください。

13.4.6 リセット入力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|----------|--------------------|-------|----|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| リセット入力時間 | t _{INITX} | INITX | - | 500 | - | ns | |

13.4.7 パワーオンリセットタイミング

($V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

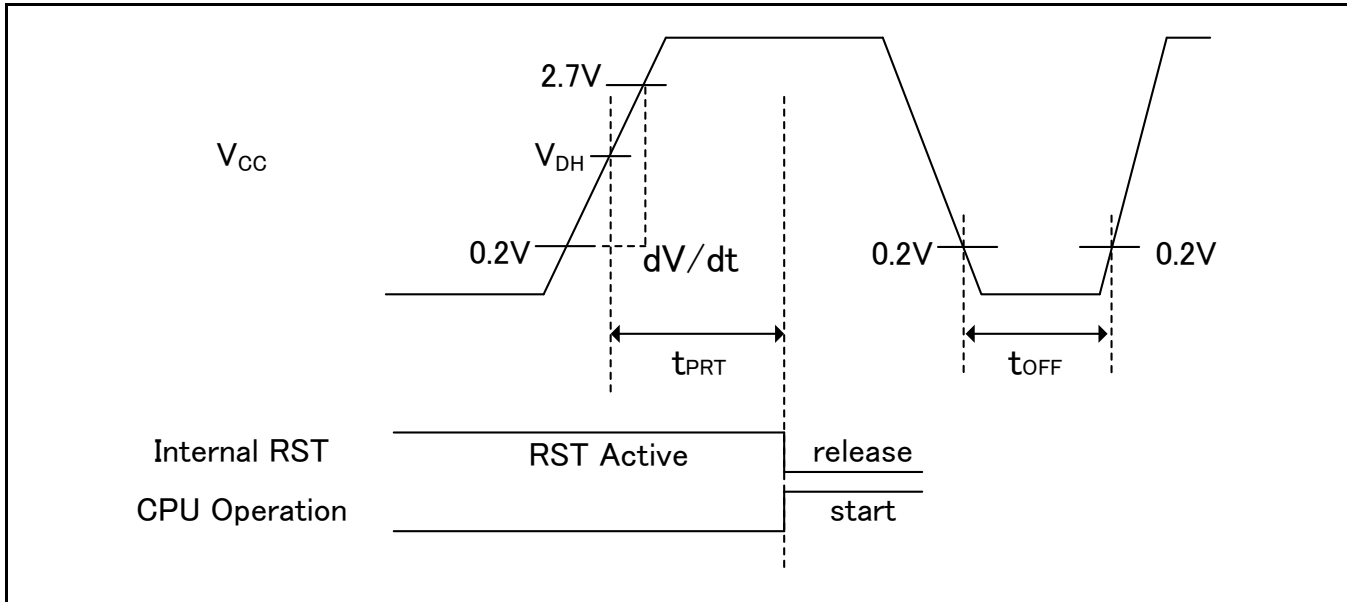
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|------------------|-----------|-----|---------------------------|------|----|------|-------------|----|
| | | | | 最小 | 標準 | 最大 | | |
| 電源断時間 | t_{OFF} | VCC | - | 50 | - | - | ms | *1 |
| 電源立上り速度 | dV/dt | | $V_{CC}: 0.2V \sim 2.70V$ | 1.3 | - | 1000 | mV/ μs | *2 |
| パワーオンリセット解除までの時間 | t_{PRT} | | - | 0.33 | - | 0.60 | ms | |

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start ($t_{OFF} > 50ms$) のパワーオン時に適用されます。

<注意事項>

- t_{OFF} は必ず満たす必要があります。もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 13.4.7 に従い外部リセット (INTX) を入れてください。



用語解説

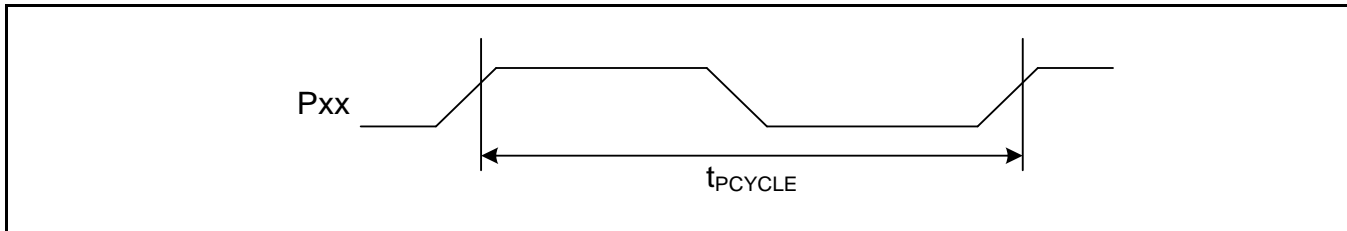
- V_{DH} : 低電圧検出リセット解除電圧。
「13.7 低電圧検出特性」を参照してください。

13.4.8 GPIO 出力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-------|---------------------|-------------------|-------------------------|-----|----|-----|
| | | | | 最小 | 最大 | |
| 出力周波数 | t _{PCYCLE} | P _{XX} * | V _{CC} ≥ 4.5 V | - | 50 | MHz |
| | | | V _{CC} < 4.5 V | - | 32 | MHz |

*: GPIO が対象です。



13.4.9 外バスタイミング

外バスクロック出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

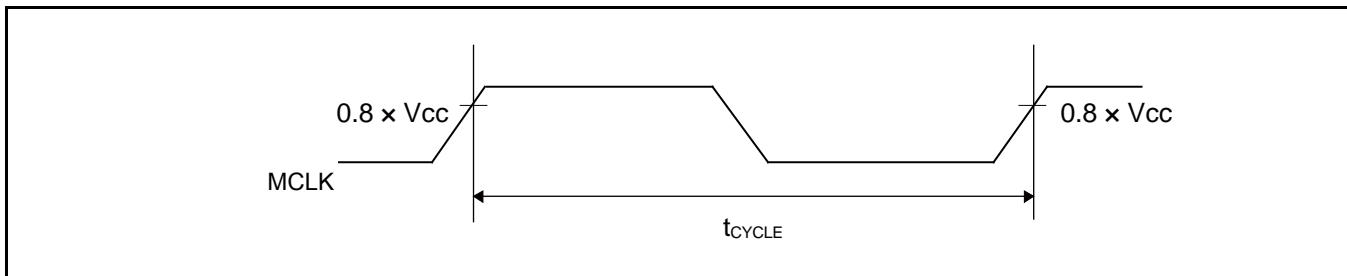
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-------|-------------|-----------|--------------------|-----|------|-----|
| | | | | 最小 | 最大 | |
| 出力周波数 | t_{CYCLE} | MCLKOUT*1 | $V_{CC} \geq 4.5V$ | - | 50*2 | MHz |
| | | | $V_{CC} < 4.5V$ | - | 32*3 | MHz |

*1: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。

設定の詳細は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER:外部バスインタフェース』を参照してください。

*2: AHB バスクロックが 100 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。

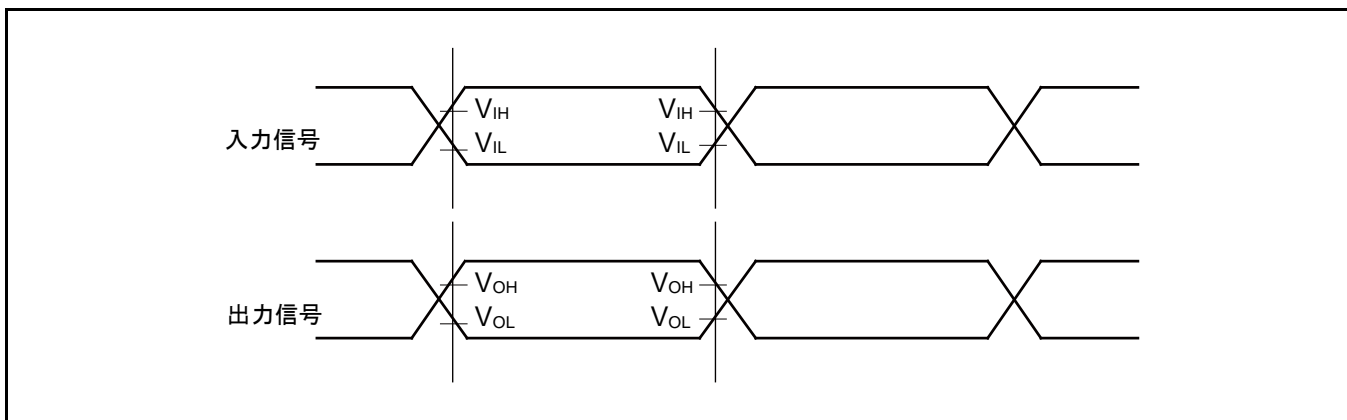
*3: AHB バスクロックが 64 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。



外バス信号入出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 条件 | 規格値 | 単位 | 備考 |
|--------|----------|----|---------------------|----|----|
| 信号入力規格 | V_{IH} | - | $0.8 \times V_{CC}$ | V | |
| | V_{IL} | | $0.2 \times V_{CC}$ | V | |
| 信号出力規格 | V_{OH} | | $0.8 \times V_{CC}$ | V | |
| | V_{OL} | | $0.2 \times V_{CC}$ | V | |



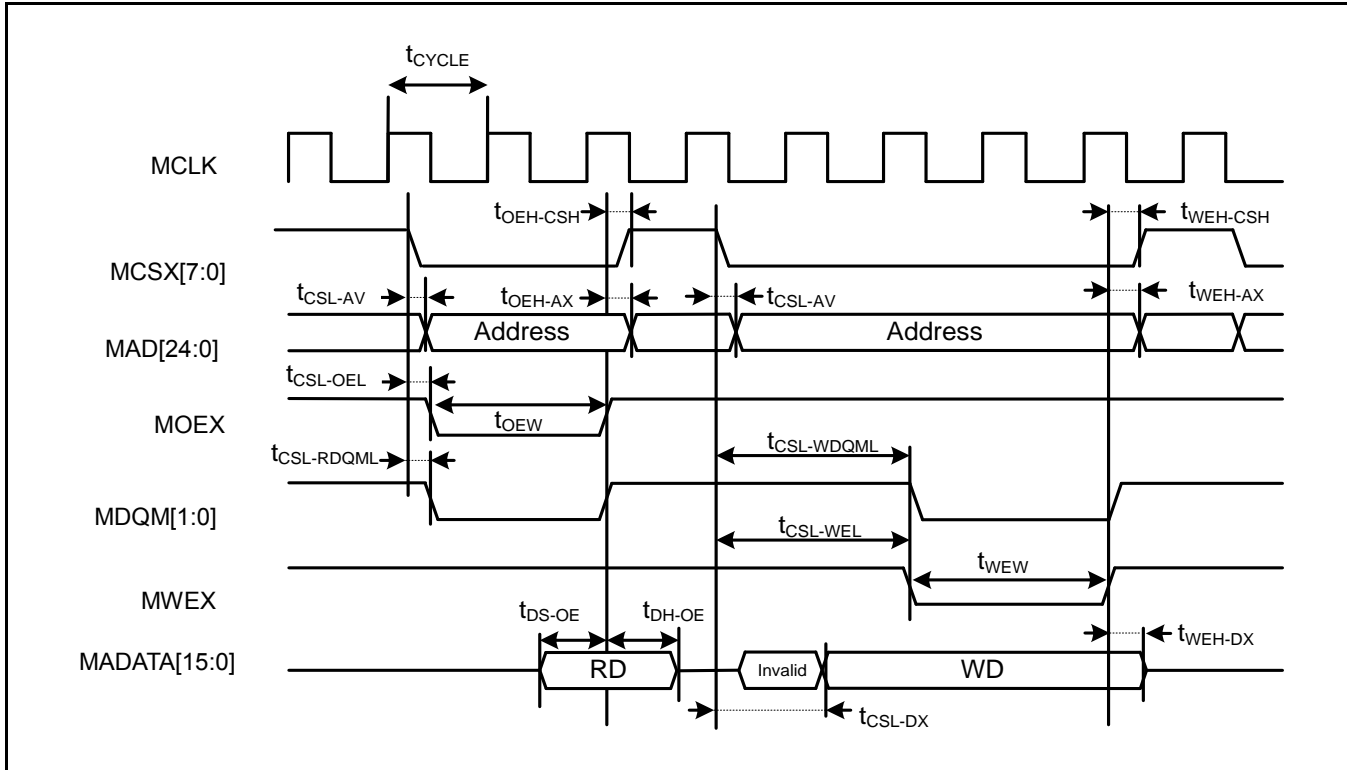
セパレートバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|---|--------------------------|-------------------------|---------------------------------------|---|---|----|
| | | | | 最小 | 最大 | |
| MOEX 最小パルス幅 | $t_{OE\overline{W}}$ | MOEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 3$ | - | ns |
| MCSX $\downarrow \rightarrow$ アドレス 出力遅延時間 | t_{CSL-AV} | MCSX[7:0], MAD[24:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | -9 -12 | +9 +12 | ns |
| MOEX $\uparrow \rightarrow$ アドレス ホールド時間 | $t_{OE\overline{H}-AX}$ | MOEX, MAD[24:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MCSX $\downarrow \rightarrow$ MOEX \downarrow 遅延時間 | $t_{CSL-OEL}$ | MOEX, MCSX[7:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times m - 9$ $MCLK \times m - 12$ | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MOEX $\uparrow \rightarrow$ MCSX \uparrow 時間 | $t_{OE\overline{H}-CSH}$ | | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MCSX $\downarrow \rightarrow$ MDQM \downarrow 遅延時間 | $t_{CSL-RDQML}$ | MCSX, MDQM[1:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times m - 9$ $MCLK \times m - 12$ | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| データセットアップ \rightarrow MOEX \uparrow 時間 | t_{DS-OE} | MOEX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 20 38 | - - | ns |
| MOEX $\uparrow \rightarrow$ データホールド時間 | t_{DH-OE} | MOEX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | - | ns |
| MWEX 最小パルス幅 | $t_{WE\overline{W}}$ | MWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 3$ | - | ns |
| MWEX $\uparrow \rightarrow$ アドレス 出力遅延時間 | $t_{WE\overline{H}-AX}$ | MWEX, MAD[24:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MCSX $\downarrow \rightarrow$ MWEX \downarrow 遅延時間 | $t_{CSL-WEL}$ | MWEX, MCSX[7:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 9$ $MCLK \times n - 12$ | $MCLK \times n + 9$ $MCLK \times n + 12$ | ns |
| MWEX $\uparrow \rightarrow$ MCSX \uparrow 遅延時間 | $t_{WE\overline{H}-CSH}$ | | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MCSX $\downarrow \rightarrow$ MDQM \downarrow 遅延時間 | $t_{CSL-WDQML}$ | MCSX, MDQM[1:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 9$ $MCLK \times n - 12$ | $MCLK \times n + 9$ $MCLK \times n + 12$ | ns |
| MCSX $\downarrow \rightarrow$ データ出力時間 | t_{CSL-DX} | MCSX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK - 9$ $MCLK - 12$ | $MCLK + 9$ $MCLK + 12$ | ns |
| MWEX $\uparrow \rightarrow$ データホールド時間 | $t_{WE\overline{H}-DX}$ | MWEX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



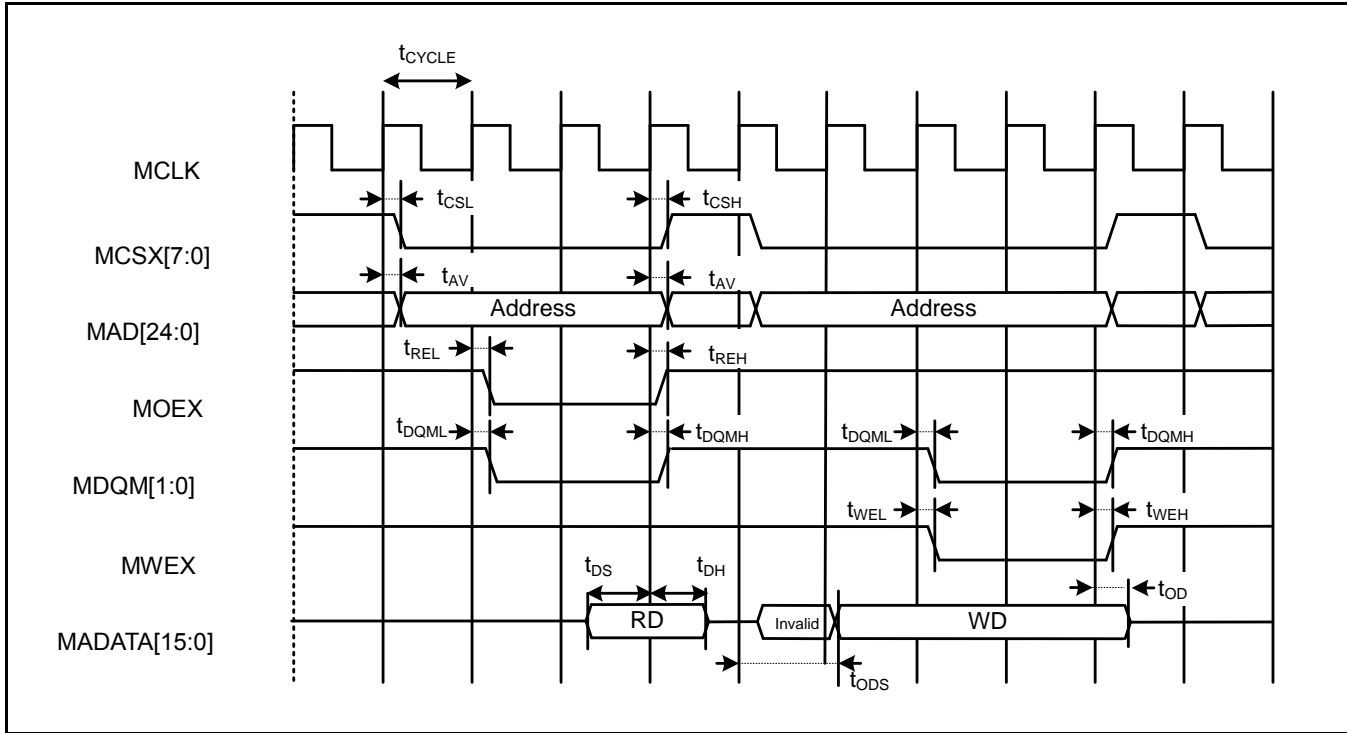
セパレートバスアクセス 同期 SRAM モード

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-------------------------|-------------------|-----------------------|-------------------------|--------|---------|----|
| | | | | 最小 | 最大 | |
| アドレス遅延時間 | t _{AV} | MCLK, MAD[24:0] | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| MCSX 遅延時間 | t _{CSL} | MCLK, MCSX[7:0] | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| | t _{CSH} | | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| MOEX 遅延時間 | t _{REL} | MCLK, MOEX | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| | t _{REH} | | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| データセットアップ →MCLK ↑ 時間 | t _{DS} | MCLK, MADATA[15:0] | V _{CC} ≥ 4.5 V | 19 | - | ns |
| | | | V _{CC} < 4.5 V | 37 | | |
| MCLK ↑ → データホールド時間 | t _{DH} | MCLK, MADATA[15:0] | V _{CC} ≥ 4.5 V | 0 | - | ns |
| | | | V _{CC} < 4.5 V | | | |
| MWEX 遅延時間 | t _{WEL} | MCLK, MWEX | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| | t _{WEH} | | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| MDQM[1:0] 遅延時間 | t _{DQML} | MCLK, MDQM[1:0] | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| | t _{DQMH} | | V _{CC} ≥ 4.5 V | 1 | 9 | ns |
| | | | V _{CC} < 4.5 V | | 12 | |
| MCLK ↑ → データ出力時間 | t _{ODS} | MCLK, MADATA[15:0] | V _{CC} ≥ 4.5 V | MCLK+1 | MCLK+18 | ns |
| | | | V _{CC} < 4.5 V | | MCLK+24 | |
| MCLK ↑ → データホールド時間 | t _{OD} | MCLK, MADATA[15:0] | V _{CC} ≥ 4.5 V | 1 | 18 | ns |
| | | | V _{CC} < 4.5 V | | 24 | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



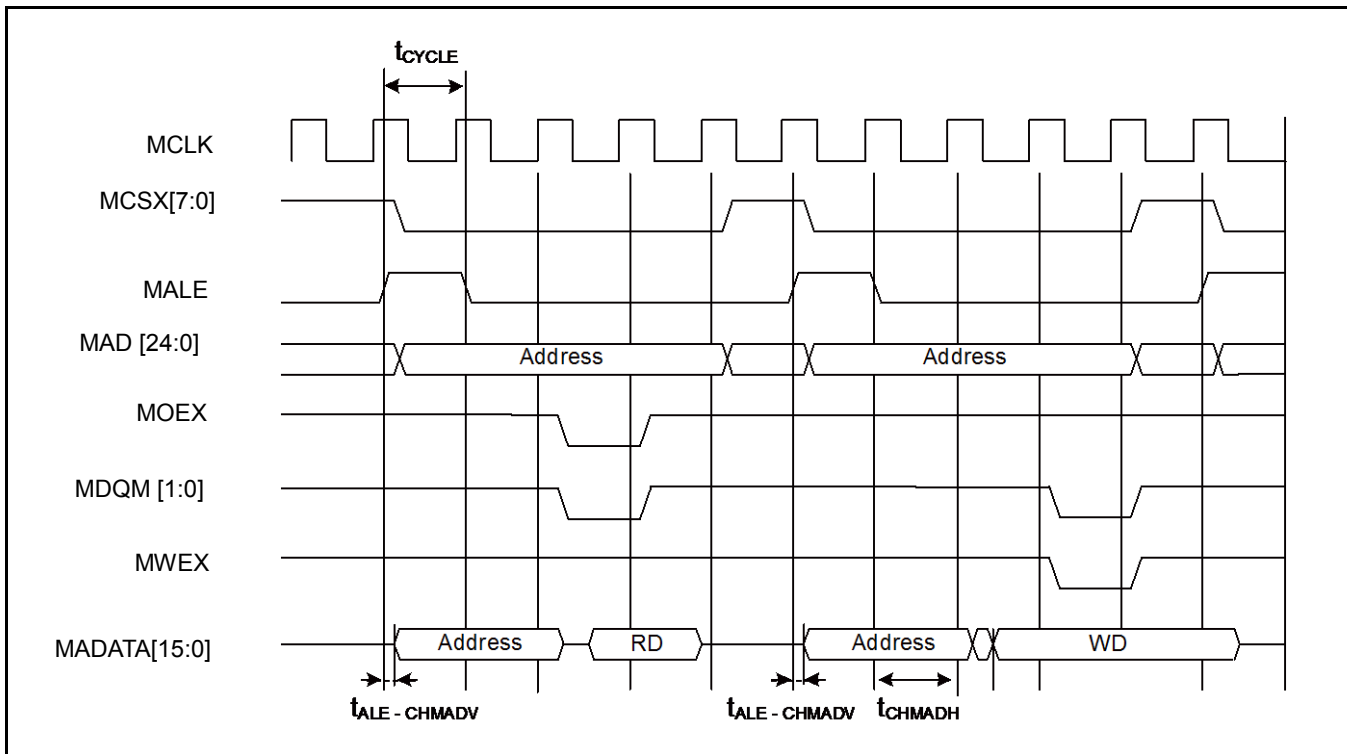
マルチプレクスバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|---------------------------|-------------------------|-----------------------|-------------------------|----------|-----------|----|
| | | | | 最小 | 最大 | |
| マルチプレクス アドレス遅延時間 | t _{ALE-CHMADV} | MALE, MADATA[15:0] | V _{CC} ≥ 4.5 V | 0 | 10 | ns |
| | | | V _{CC} < 4.5 V | | 20 | |
| マルチプレクス アドレスホールド 時間 | t _{CHMADH} | | V _{CC} ≥ 4.5 V | MCLK×n+0 | MCLK×n+10 | ns |
| | | | V _{CC} < 4.5 V | MCLK×n+0 | MCLK×n+20 | |

<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



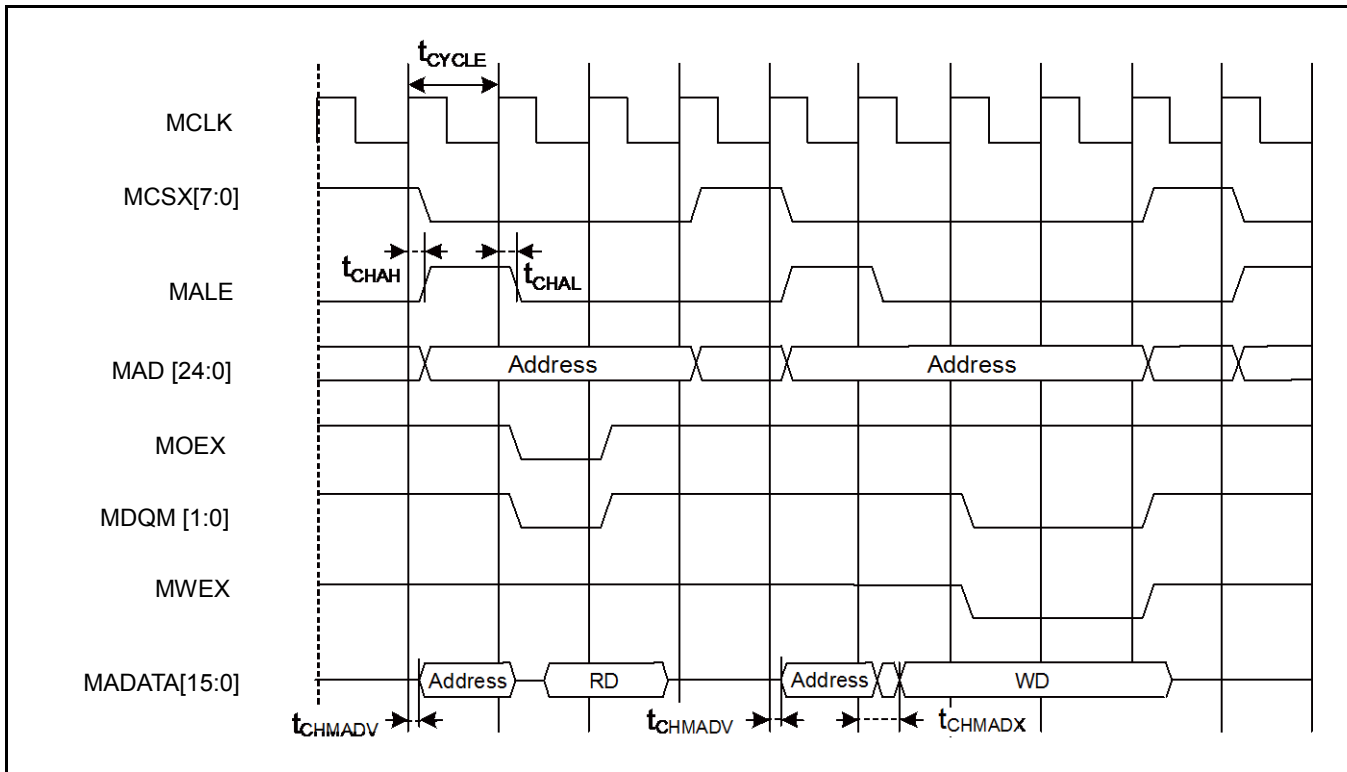
マルチプレクスバスアクセス 同期 SRAM モード

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|---------------------------------|-------------------------|-----------------------|-------------------------|-----|-----------------|----|----|
| | | | | 最小 | 最大 | | |
| MALE 遅延時間 | t _{CHAL} | MCLK, ALE | V _{CC} ≥ 4.5 V | 1 | 9 | ns | |
| | | | V _{CC} < 4.5 V | | 12 | ns | |
| | t _{CHAH} | | V _{CC} ≥ 4.5 V | 1 | 9 | ns | |
| | | | V _{CC} < 4.5 V | | 12 | ns | |
| MCLK ↑ → マルチプレクス アドレス遅延時間 | t _{CHMADV} | MCLK, MADATA[15:0] | V _{CC} ≥ 4.5 V | 1 | t _{OD} | ns | |
| | V _{CC} < 4.5 V | | | | | | |
| MCLK ↑ → マルチプレクス データ出力時間 | t _{CHMADX} | | V _{CC} ≥ 4.5 V | 1 | t _{OD} | ns | |
| | | | V _{CC} < 4.5 V | | | | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



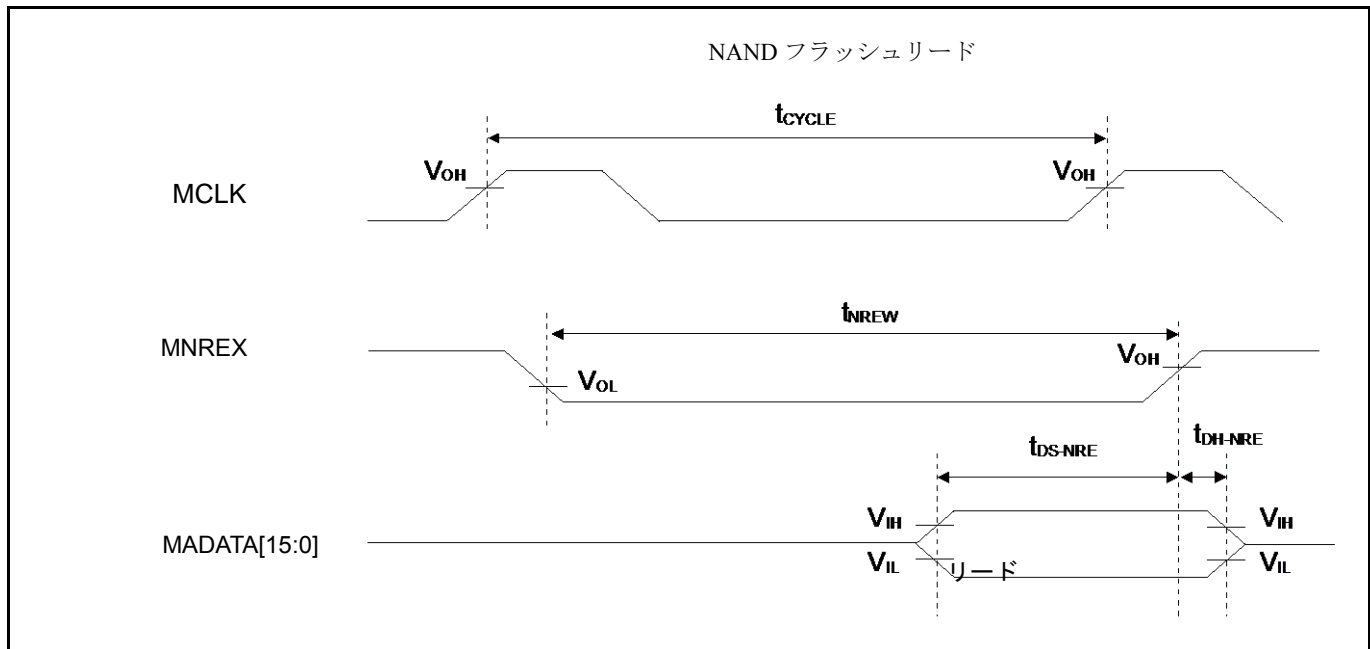
NAND フラッシュモード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

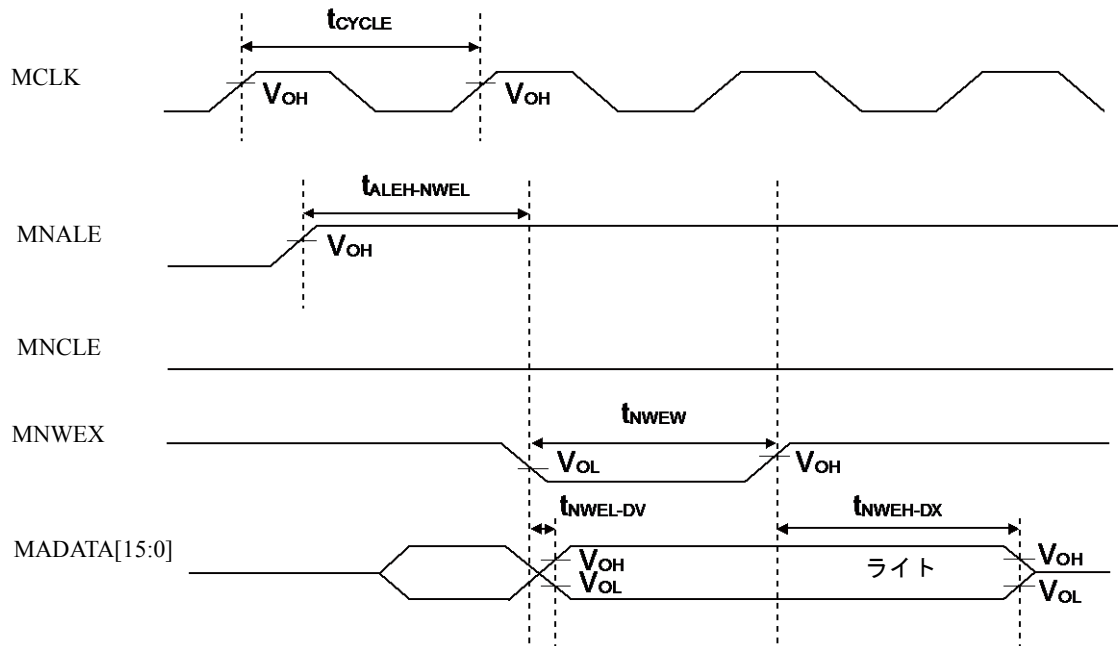
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|---------------------------|-----------------|------------------------|---------------------------------------|---|---|----|
| | | | | 最小 | 最大 | |
| MNREX 最小パルス幅 | t_{NREW} | MNREX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 3$ | - | ns |
| データセットアップ → MNREX ↑ 時間 | t_{DS-NRE} | MNREX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 20 38 | - - | ns |
| MNREX ↑ → データホールド時間 | t_{DH-NRE} | MNREX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | - | ns |
| MNALE ↑ → MNWEX 遅延時間 | $t_{ALEH-NWEL}$ | MNALE, MNWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times m - 9$ $MCLK \times m - 12$ | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MNALE ↓ → MNWEX 遅延時間 | $t_{ALEL-NWEL}$ | MNALE, MNWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times m - 9$ $MCLK \times m - 12$ | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MNCLE ↑ → MNWEX 遅延時間 | $t_{CLEH-NWEL}$ | MNCLE, MNWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times m - 9$ $MCLK \times m - 12$ | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MNWEX ↑ → MNCLE 遅延時間 | $t_{NWEH-CLEL}$ | MNCLE, MNWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |
| MNWEX 最小パルス幅 | t_{NWEW} | MNWEX | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | $MCLK \times n - 3$ | - | ns |
| MNWEX ↓ → データ出力時間 | $t_{NWEL-DV}$ | MNWEX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | -9 -12 | +9 +12 | ns |
| MNWEX ↑ → データホールド時間 | $t_{NWEH-DX}$ | MNWEX, MADATA[15:0] | $V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$ | 0 | $MCLK \times m + 9$ $MCLK \times m + 12$ | ns |

<注意事項>

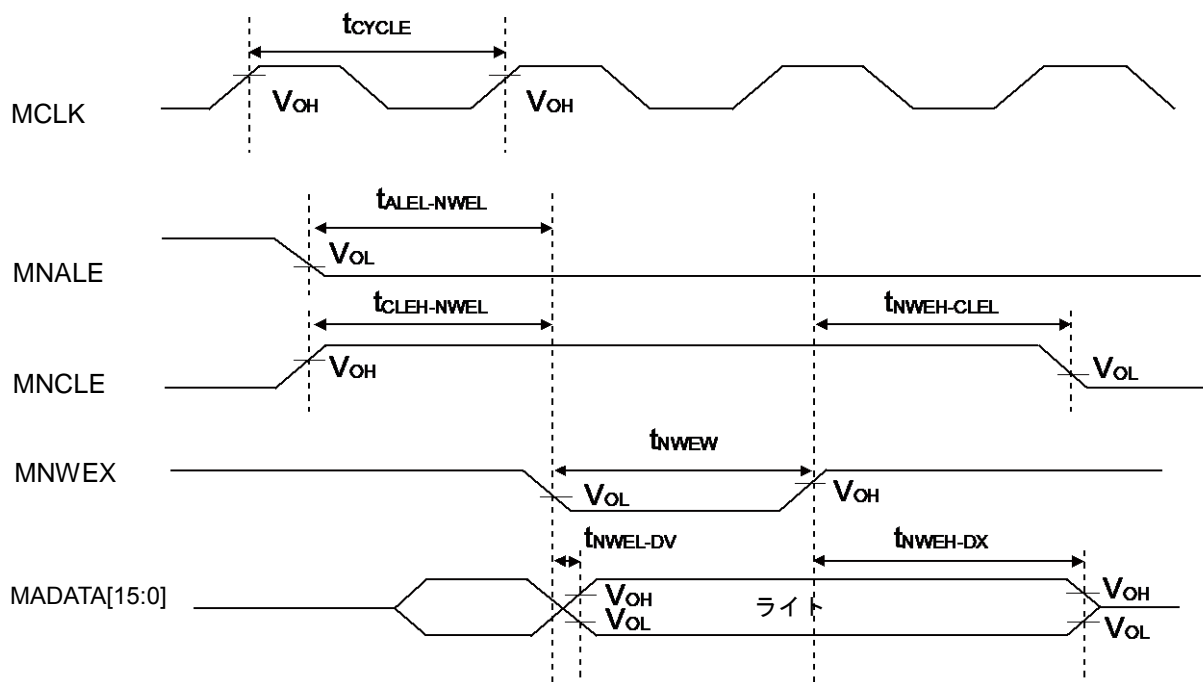
- 外部負荷容量 $C_L = 30 pF$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



NAND フラッシュアドレスライト



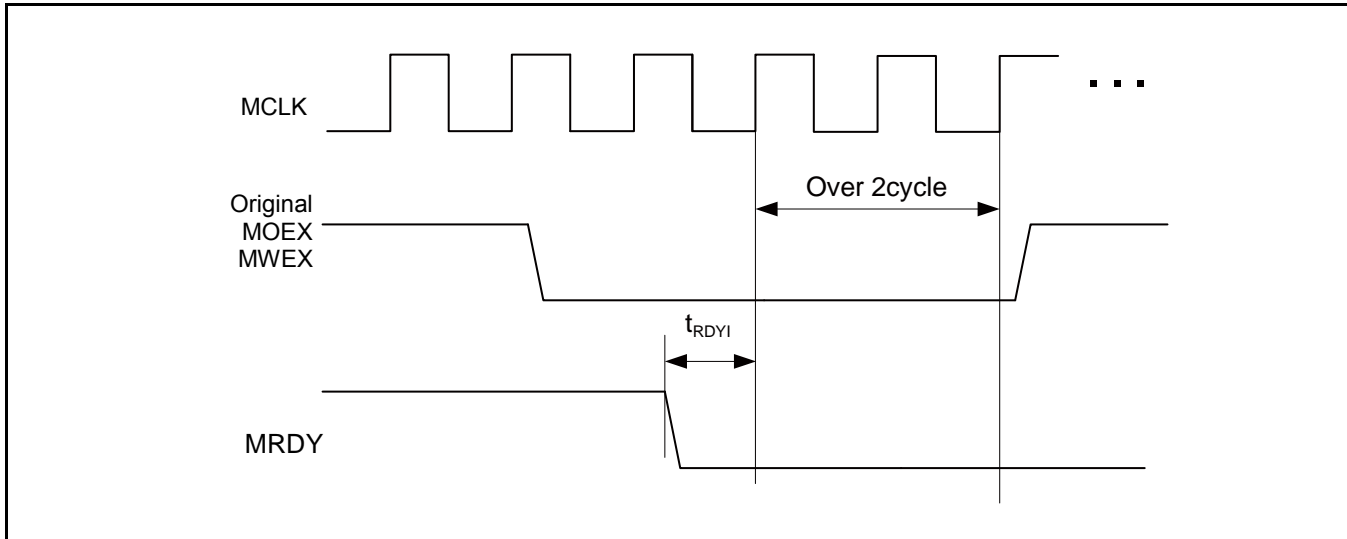
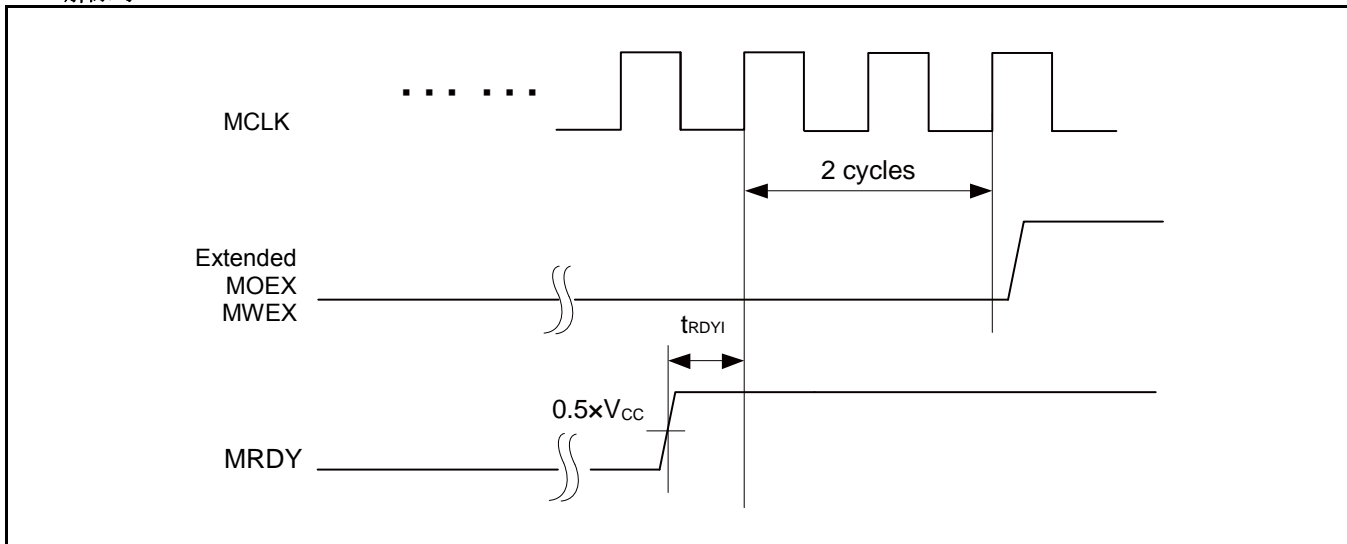
NAND フラッシュコマンドライト



外部 RDY 入力タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|-------------------------------|-------------------|---------------|-------------------------|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| MCLK ↑ MRDY 入力 セットアップ時間 | t _{RDYI} | MCLK, MRDY | V _{CC} ≥ 4.5 V | 19 | - | ns | |
| | | | V _{CC} < 4.5 V | 37 | | | |

RDY 入力時

RDY 解除時


SDRAM モード

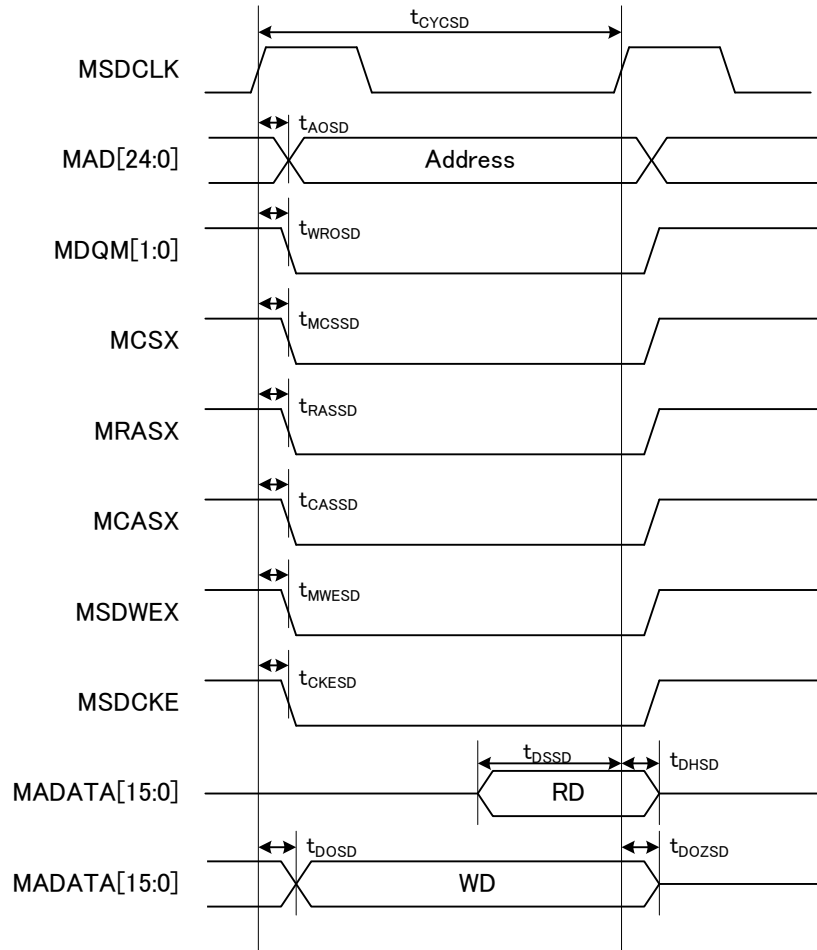
 (V_{CC} = 2.7V ~ 3.6V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 規格値 | | 単位 |
|------------------------------|--------------------|-------------------------|-----|----|-----|
| | | | 最小 | 最大 | |
| 出力周波数 | t _{CYCSD} | MSDCLK | - | 32 | MHz |
| アドレス遅延時間 | t _{AOSD} | MSDCLK, MAD[15:0] | 2 | 12 | ns |
| MSDCLK ↑ → データ 出力遅延時間 | t _{DOSD} | MSDCLK, MADATA[31:0] | 2 | 12 | ns |
| MSDCLK ↑ → データ 出力 Hi-Z 時間 | t _{DOZSD} | MSDCLK, MADATA[31:0] | 2 | 20 | ns |
| MDQM[1:0] 遅延時間 | t _{WROSD} | MSDCLK, MDQM[1:0] | 1 | 12 | ns |
| MCSX 遅延時間 | t _{MCSSD} | MSDCLK, MCSX8 | 2 | 12 | ns |
| MRASX 遅延時間 | t _{RASSD} | MSDCLK, MRASX | 2 | 12 | ns |
| MCASX 遅延時間 | t _{CASSD} | MSDCLK, MCASX | 2 | 12 | ns |
| MSDWEX 遅延時間 | t _{MWESD} | MSDCLK, MSDWEX | 2 | 12 | ns |
| MSDCKE 遅延時間 | t _{CKESD} | MSDCLK, MSDCKE | 2 | 12 | ns |
| データセットアップ時間 | t _{DSSD} | MSDCLK, MADATA[31:0] | 23 | - | ns |
| データホールド時間 | t _{DHSD} | MSDCLK, MADATA[31:0] | 0 | - | ns |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時

SDRAM アクセス

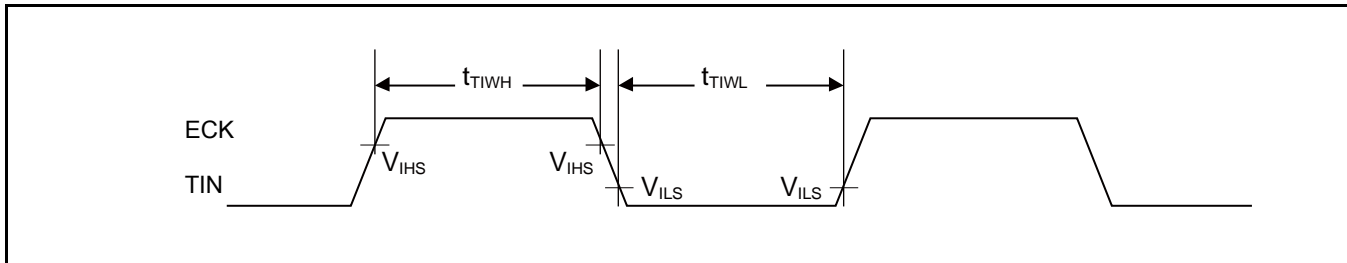


13.4.10 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

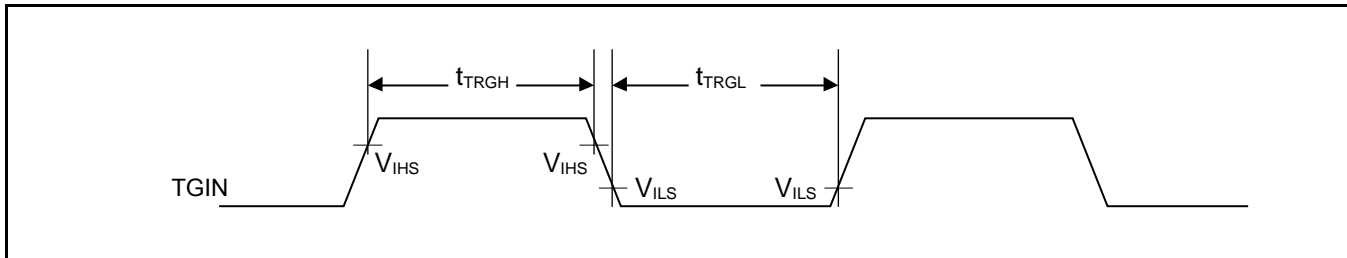
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|----------------------------|---|----|-------------|----|----|----|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t_{TIWH} , t_{TIWL} | TIOAn/TIOBn (ECK, TIN として使 用するとき) | - | $2t_{CYCP}$ | - | ns | |



トリガ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|----------------------------|-------------------------------------|----|-------------|----|----|----|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t_{TRGH} , t_{TRGL} | TIOAn/TIOBn (TGIN として 使用するとき) | - | $2t_{CYCP}$ | - | ns | |



<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。

13.4.11 CSIO タイミング

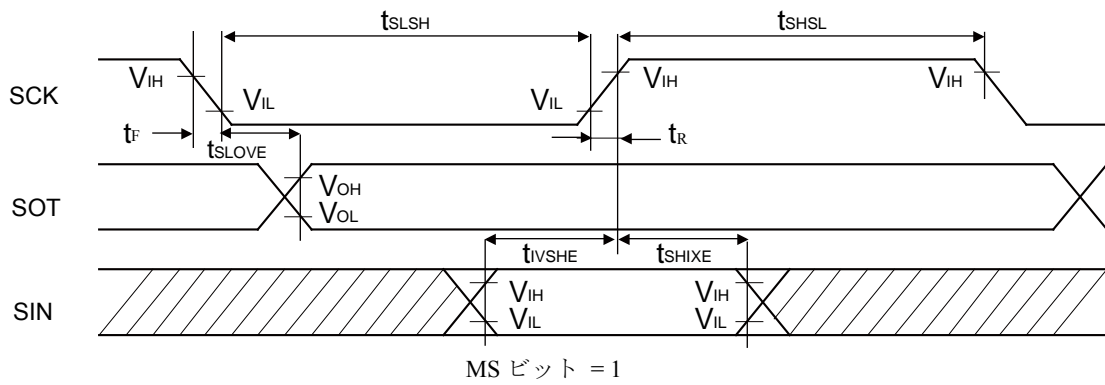
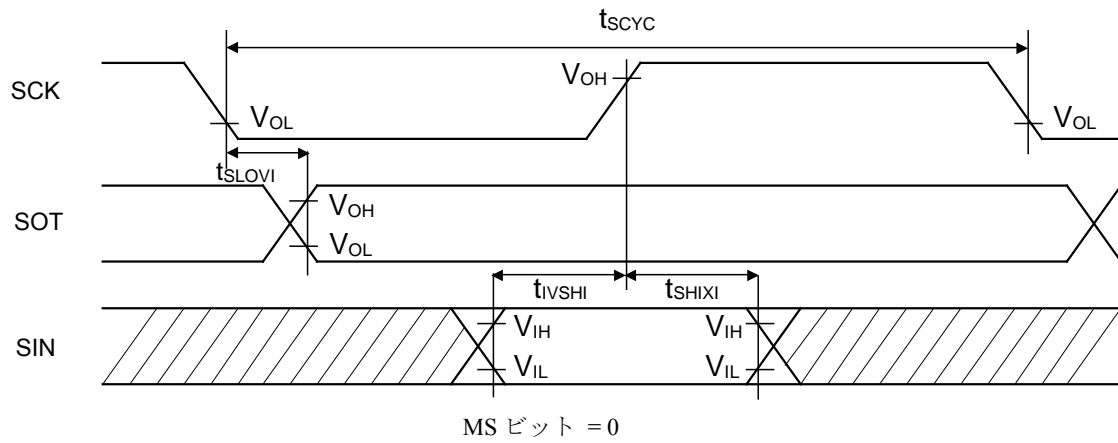
同期シリアル(SPI = 0, SCINV = 0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVI} | SCK _x , SOT _x | | -30 | +30 | - 20 | + 20 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHI} | SCK _x , SIN _x | | 50 | - | 30 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXI} | SCK _x , SIN _x | | 0 | - | 0 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVE} | SCK _x , SOT _x | | - | 50 | - | 30 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHE} | SCK _x , SIN _x | | 10 | - | 10 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXE} | SCK _x , SIN _x | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCLK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



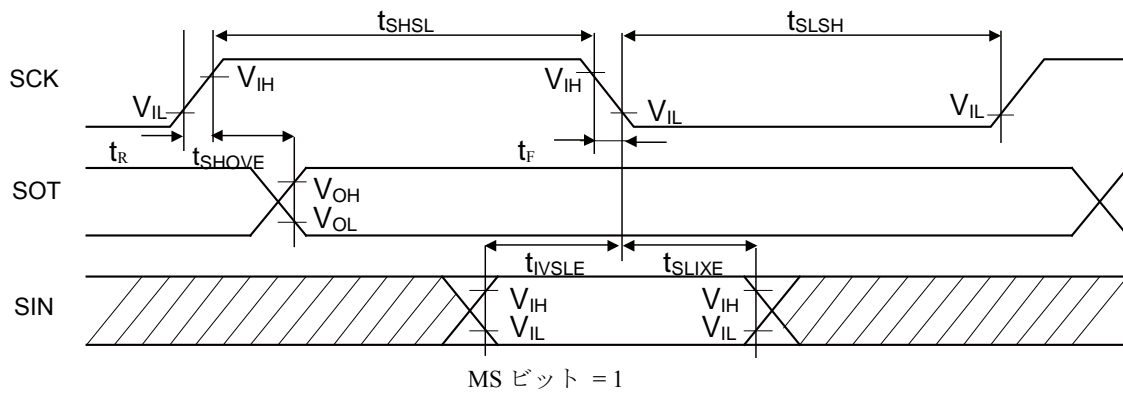
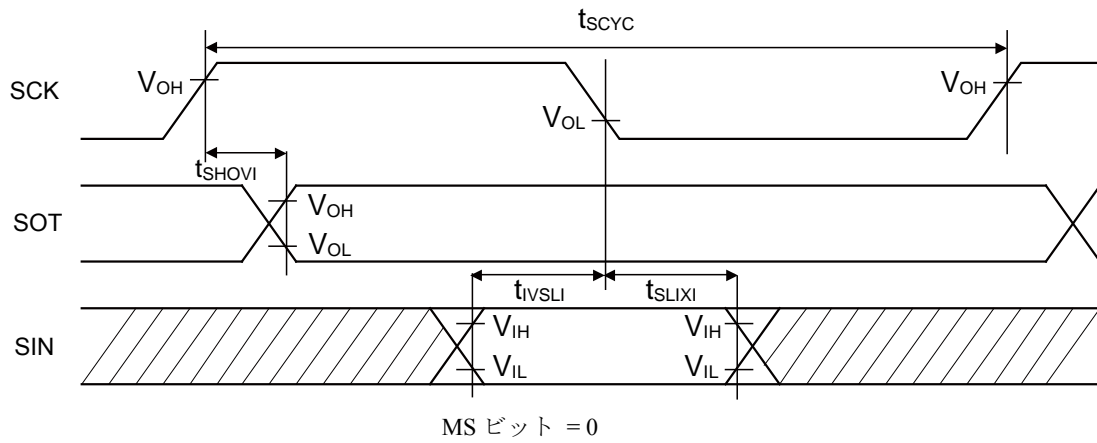
同期シリアル(SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVI} | SCK _x , SOT _x | | -30 | +30 | -20 | +20 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _x , SIN _x | | 50 | - | 30 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXI} | SCK _x , SIN _x | | 0 | - | 0 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVE} | SCK _x , SOT _x | | - | 50 | - | 30 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _x , SIN _x | | 10 | - | 10 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXE} | SCK _x , SIN _x | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _f | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _r | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCLK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



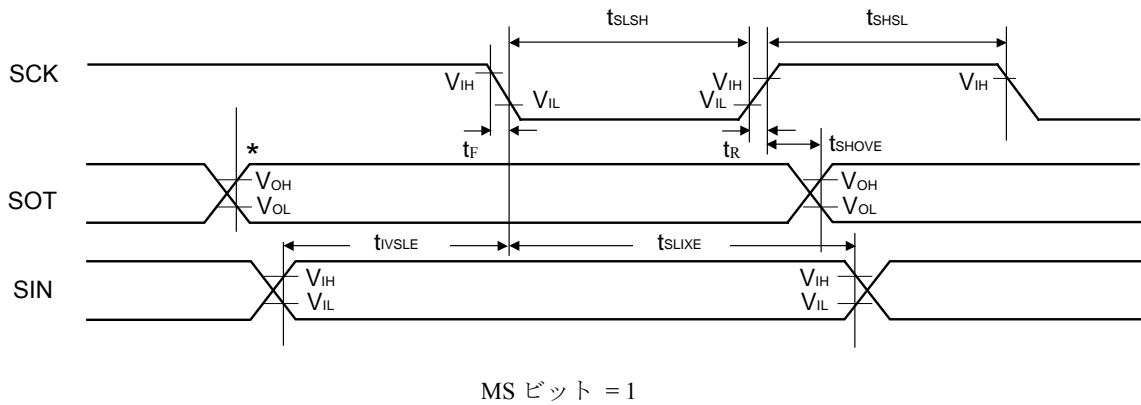
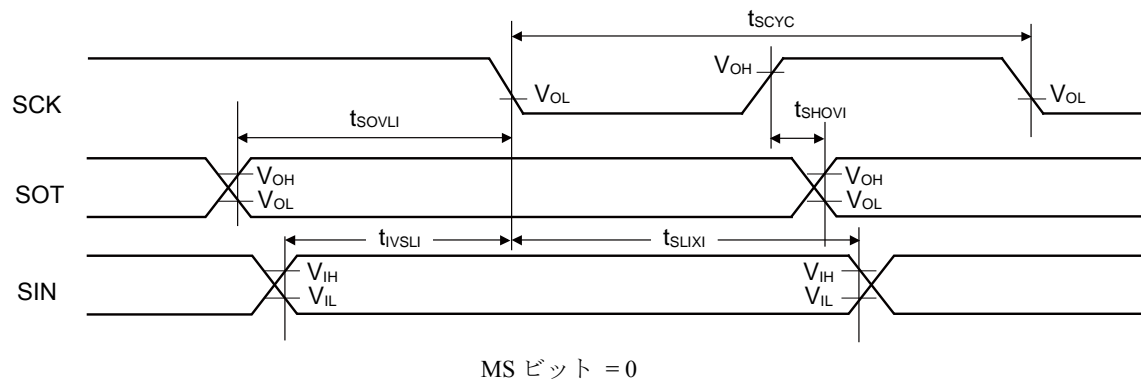
同期シリアル(SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVI} | SCK _x , SOT _x | | -30 | +30 | -20 | +20 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _x , SIN _x | | 50 | - | 30 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXI} | SCK _x , SIN _x | | 0 | - | 0 | - | ns |
| SOT → SCK ↓ 遅延時間 | t _{SOVLI} | SCK _x , SOT _x | | 2t _{CYCP} - 30 | - | 2t _{CYCP} - 30 | - | ns |
| シリアルクロック L パルス幅 | t _{LSH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック H パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVE} | SCK _x , SOT _x | | - | 50 | - | 30 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _x , SIN _x | | 10 | - | 10 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXE} | SCK _x , SIN _x | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCLK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



*: TDR レジスタにライトすると変化

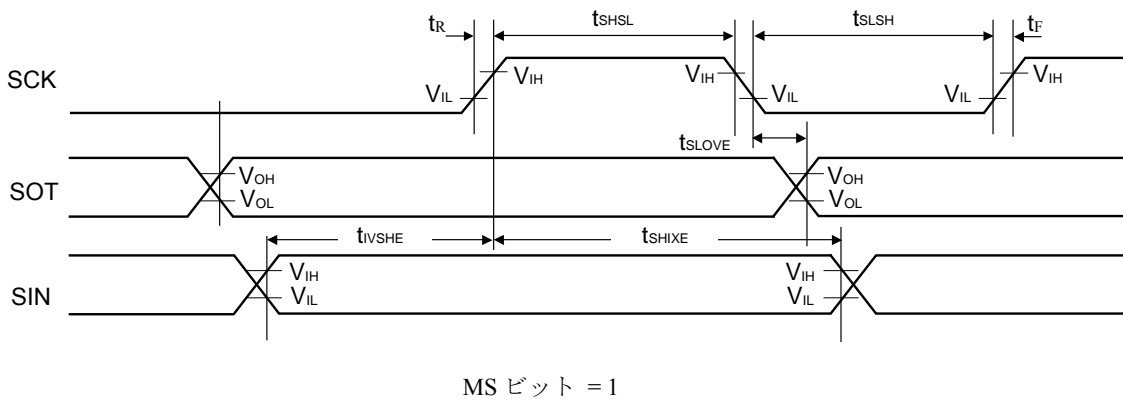
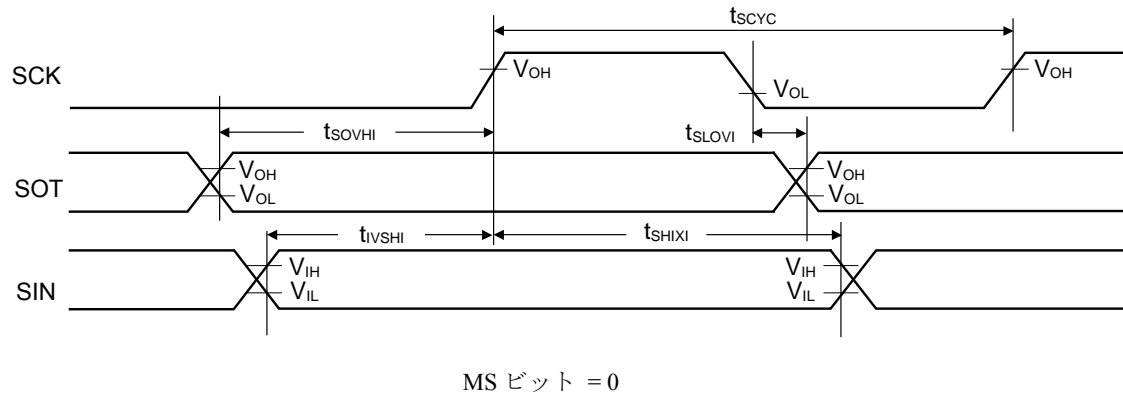
同期シリアル(SPI = 1, SCINV = 1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|------|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVI} | SCK _x , SOT _x | | - 30 | + 30 | - 20 | + 20 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHI} | SCK _x , SIN _x | | 50 | - | 30 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXI} | SCK _x , SIN _x | | 0 | - | 0 | - | ns |
| SOT → SCK ↑ 遅延時間 | t _{SOVHI} | SCK _x , SOT _x | | 2t _{CYCP} - 30 | - | 2t _{CYCP} - 30 | - | ns |
| シリアルクロック L パルス幅 | t _{LSH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック H パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVE} | SCK _x , SOT _x | | - | 50 | - | 30 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHE} | SCK _x , SIN _x | | 10 | - | 10 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXE} | SCK _x , SIN _x | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCLK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|-------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↓ → SCK ↓ セットアップ時間 | t _{CSSI} | 内部 シフト クロック 動作 | (*1)-50 | (*1)+0 | (*1)-50 | (*1)+0 | ns |
| SCK ↑ → SCS ↑ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+50 | (*2)+0 | (*2)+50 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | ns |
| SCS ↓ → SCK ↓ セットアップ時間 | t _{CSSE} | 外部 シフト クロック 動作 | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCK ↑ → SCS ↑ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCS ↓ → SOT 遅延時間 | t _{DSE} | | - | 40 | - | 40 | ns |
| SCS ↑ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

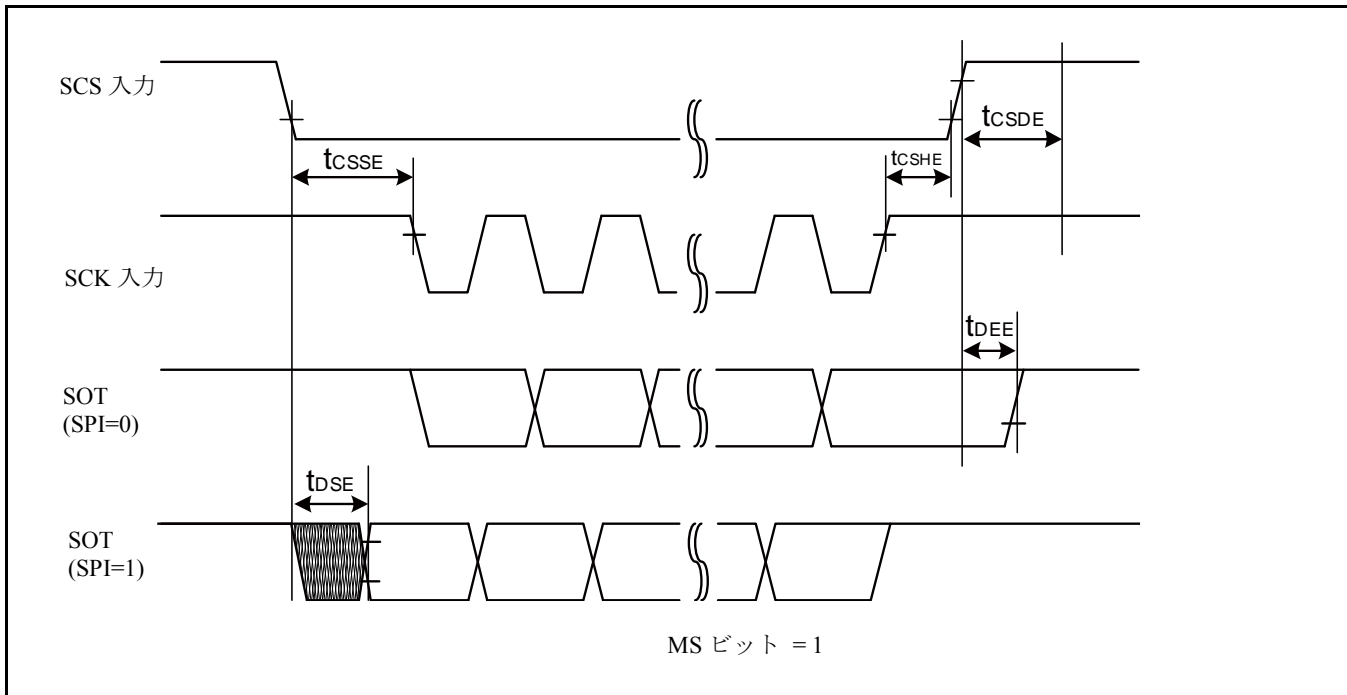
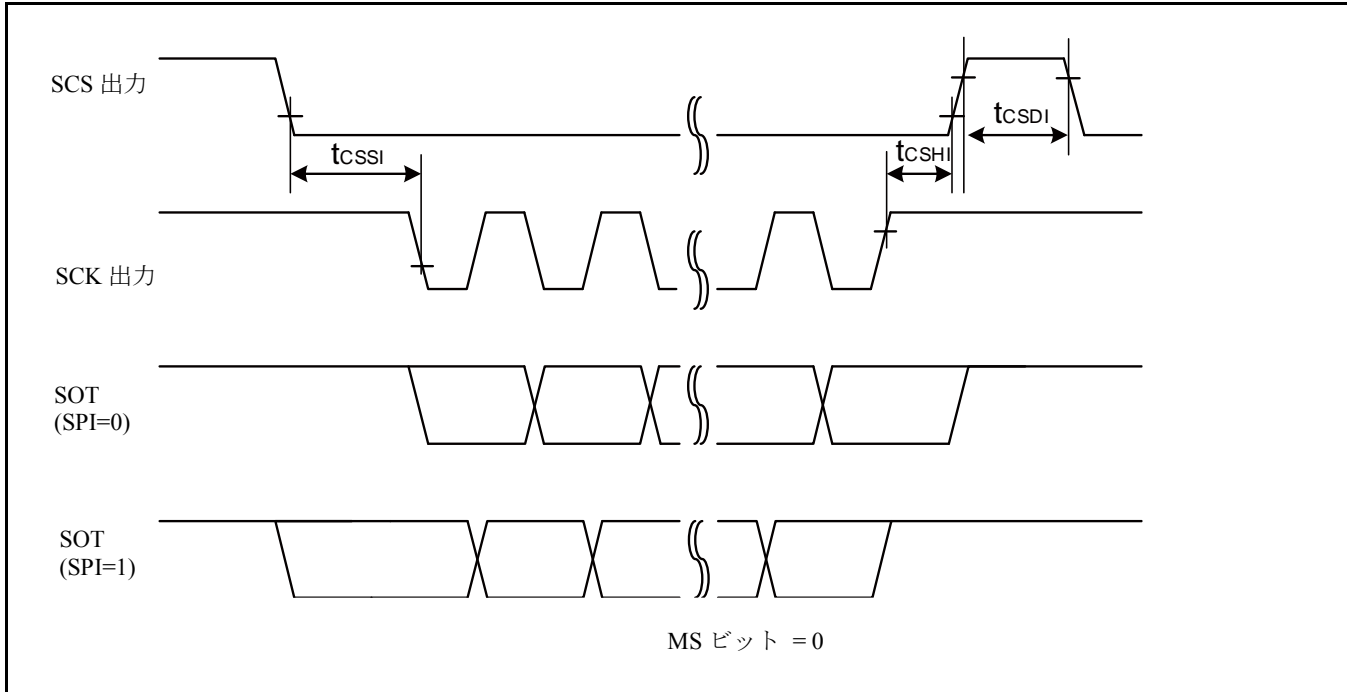
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↓ → SCK ↑ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-50 | (*1)+0 | (*1)-50 | (*1)+0 | ns |
| SCK ↓ → SCS ↑ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+50 | (*2)+0 | (*2)+50 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | ns |
| SCS ↓ → SCK ↑ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCK ↓ → SCS ↑ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDI} | | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCS ↓ → SOT 遅延時間 | t _{DSE} | | - | 40 | - | 40 | ns |
| SCS ↑ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

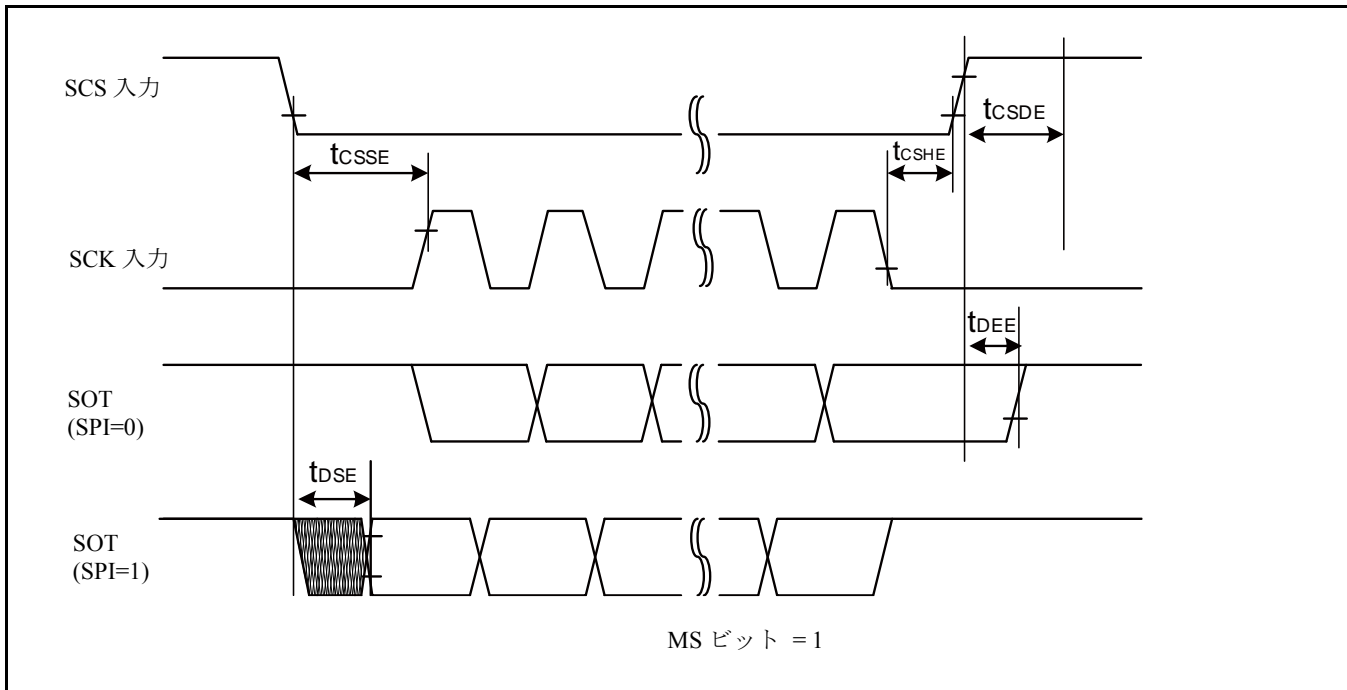
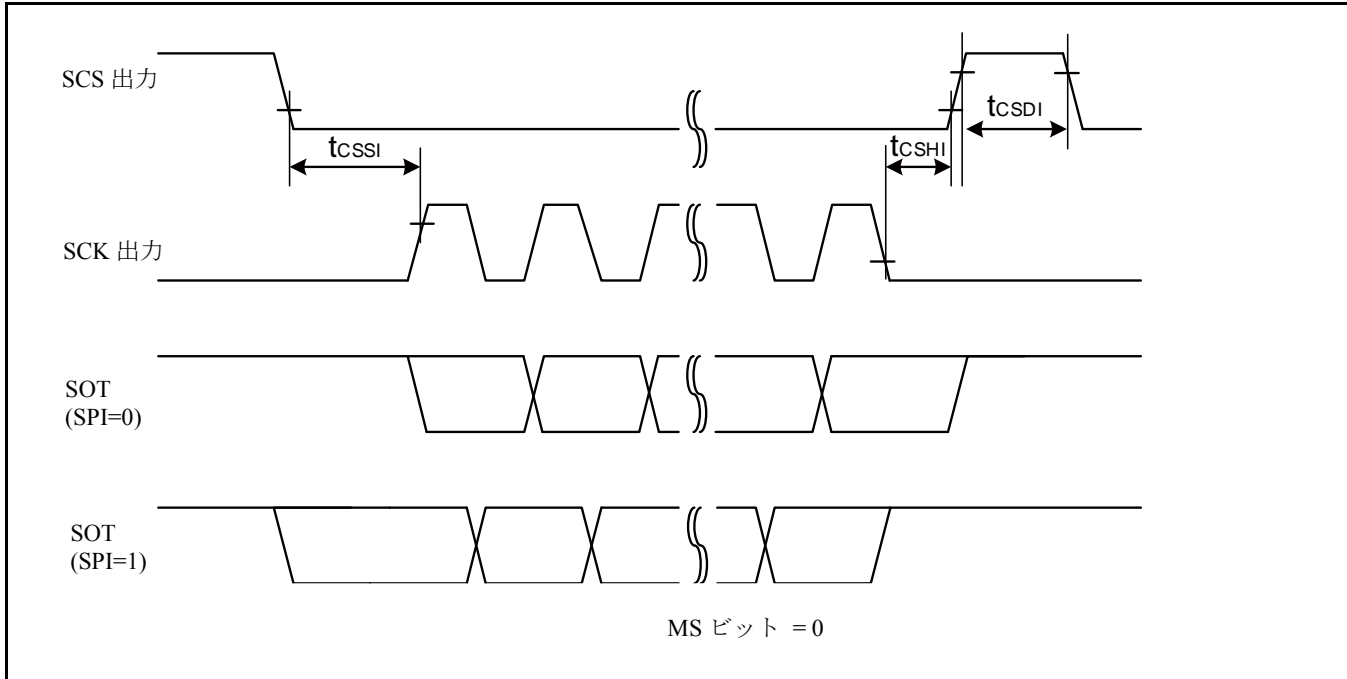
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↑ → SCK ↓ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-50 | (*1)+0 | (*1)-50 | (*1)+0 | ns |
| SCK ↑ → SCS ↓ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+50 | (*2)+0 | (*2)+50 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | ns |
| SCS ↑ → SCK ↓ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCK ↑ → SCS ↓ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCS ↑ → SOT 遅延時間 | t _{DSE} | | - | 40 | - | 40 | ns |
| SCS ↓ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

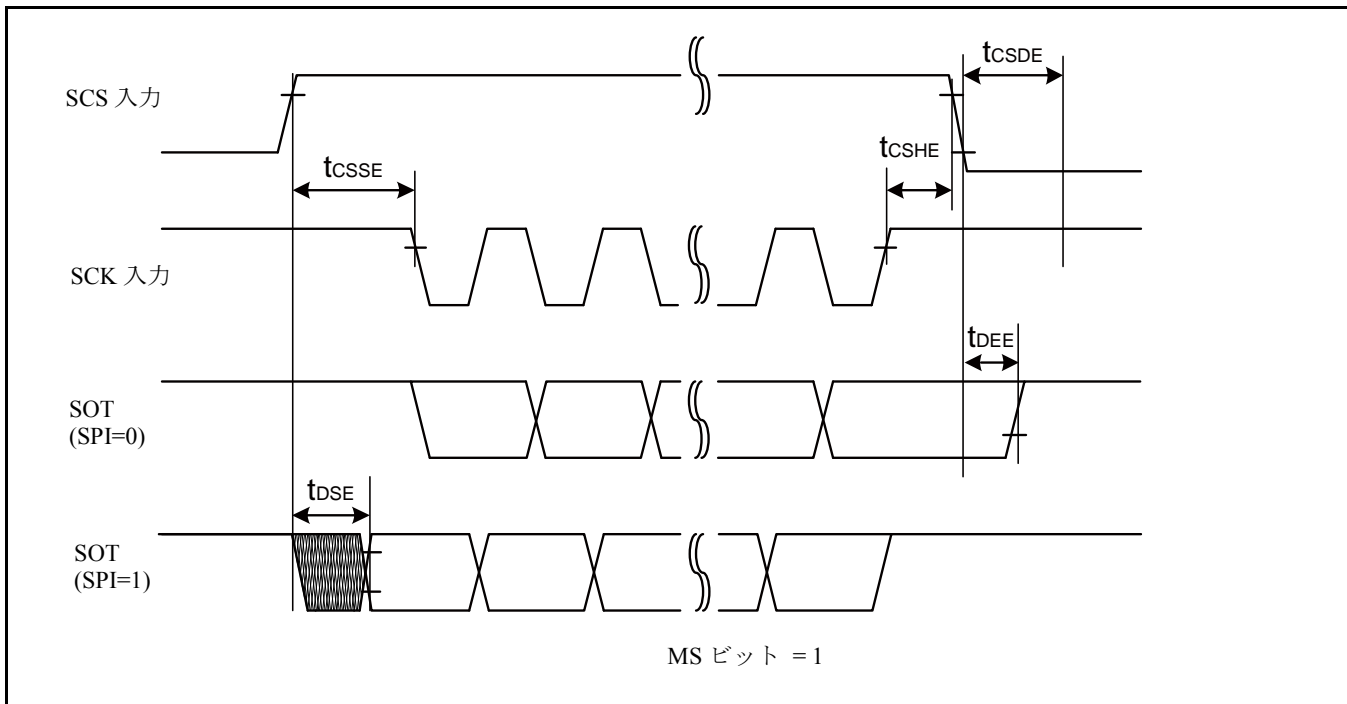
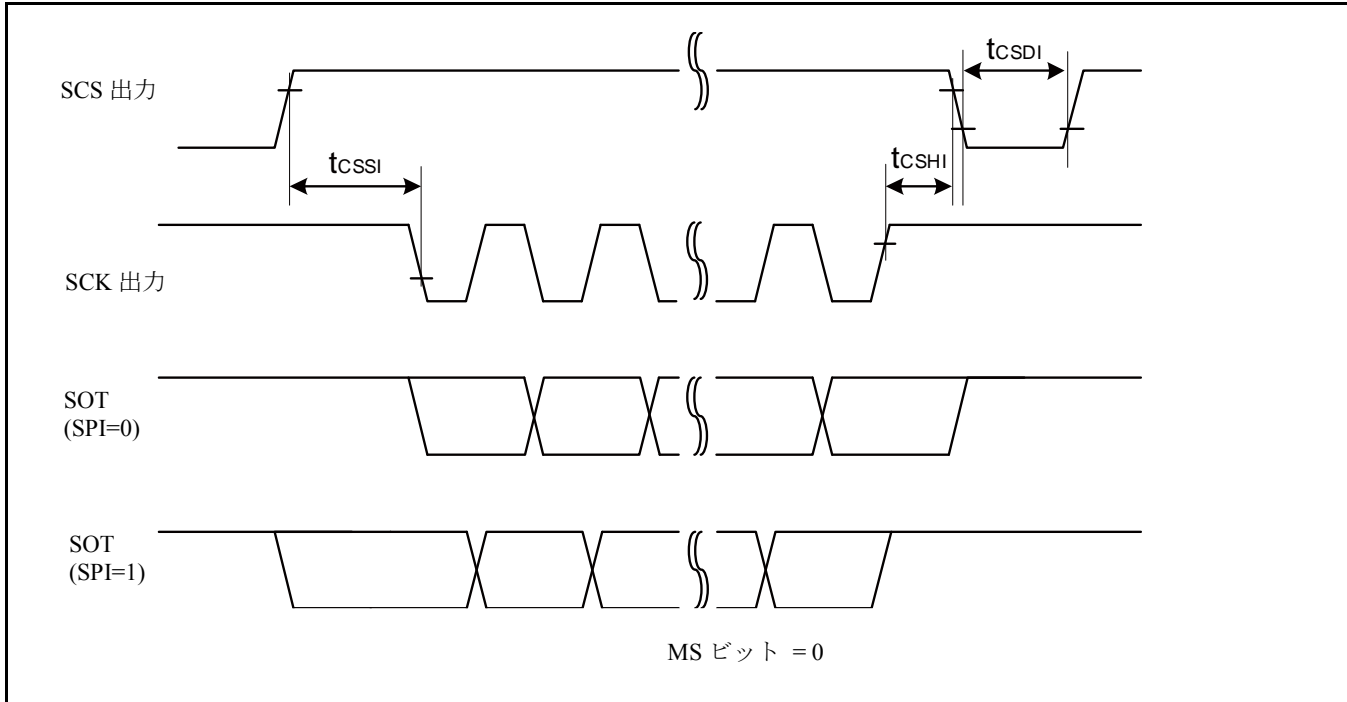
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↑ → SCK ↑ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-50 | (*1)+0 | (*1)-50 | (*1)+0 | ns |
| SCK ↓ → SCS ↓ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+50 | (*2)+0 | (*2)+50 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | (*3)-50 +5t _{CYCP} | (*3)+50 +5t _{CYCP} | ns |
| SCS ↑ → SCK ↑ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCK ↓ → SCS ↓ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +30 | - | 3t _{CYCP} +30 | - | ns |
| SCS ↑ → SOT 遅延時間 | t _{DSE} | | - | 40 | - | 40 | ns |
| SCS ↓ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

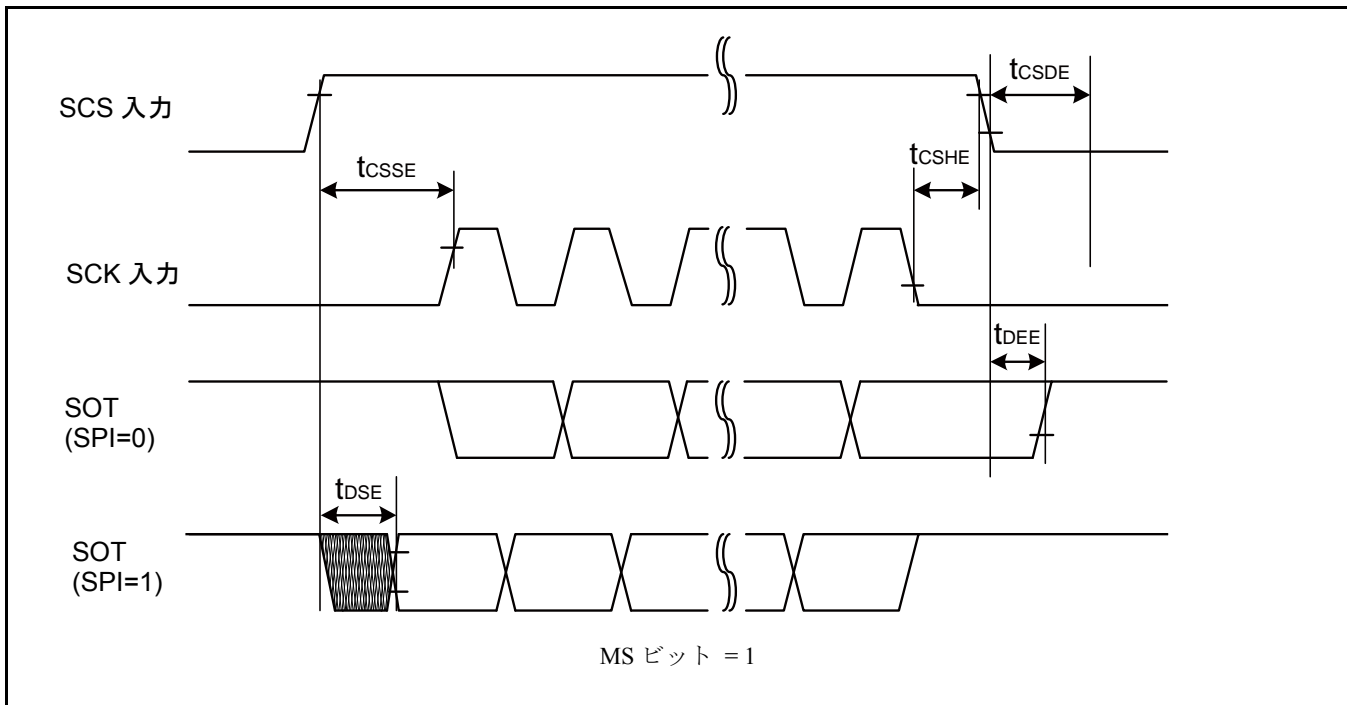
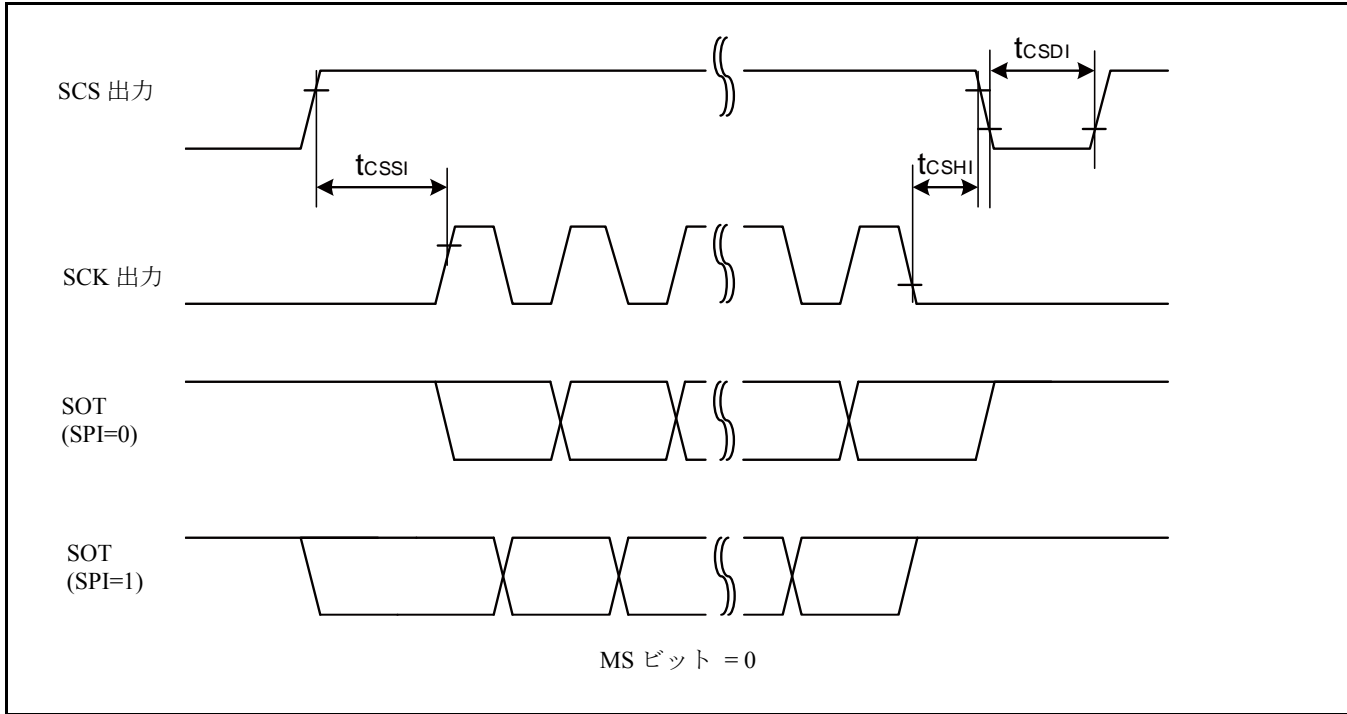
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



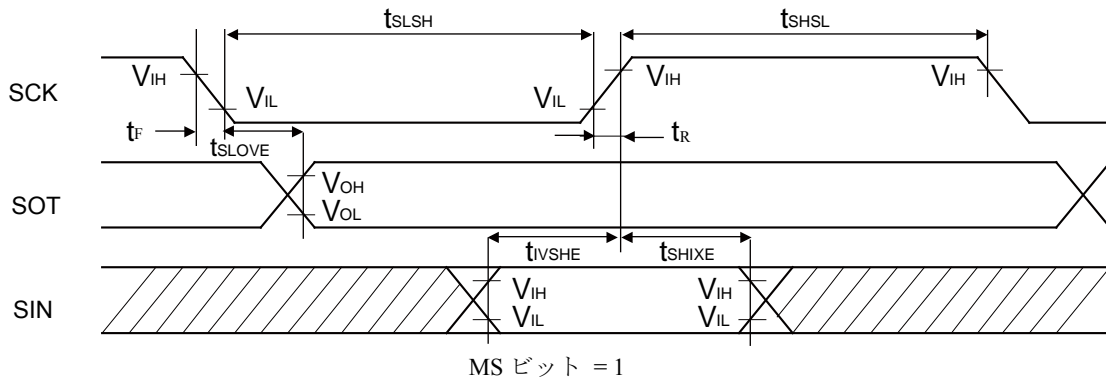
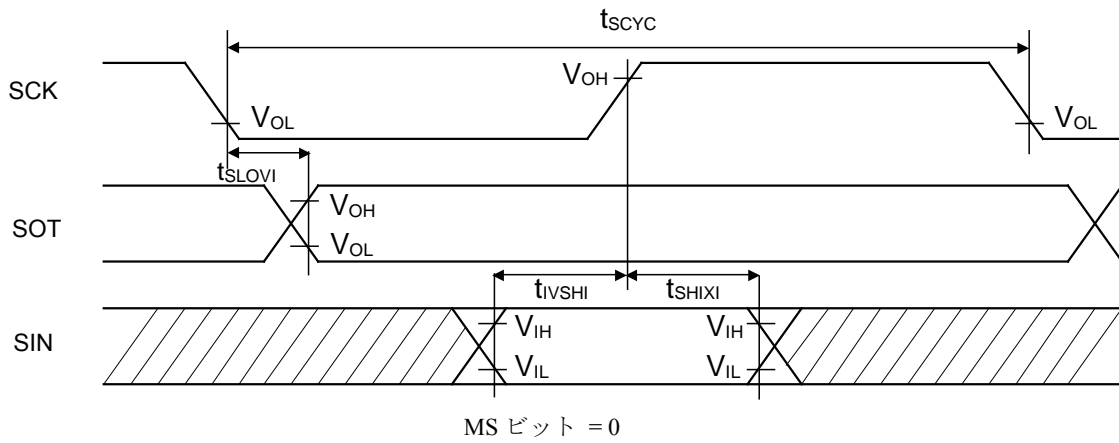
高速同期シリアル(SPI = 0, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|----|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVI} | SCK _x , SOT _x | | -10 | +10 | -10 | +10 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHI} | SCK _x , SIN _x | | 14 12.5* | - | 12.5 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXI} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| シリアルクロック L パルス幅 | t _{LSH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 5 | - | 2t _{CYCP} - 5 | - | ns |
| シリアルクロック H パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVE} | SCK _x , SOT _x | | - | 15 | - | 15 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHE} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXE} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| SCK 立下り時間 | t _F | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 C_L = 30 pF 時 (* は C_L = 10 pF 時)



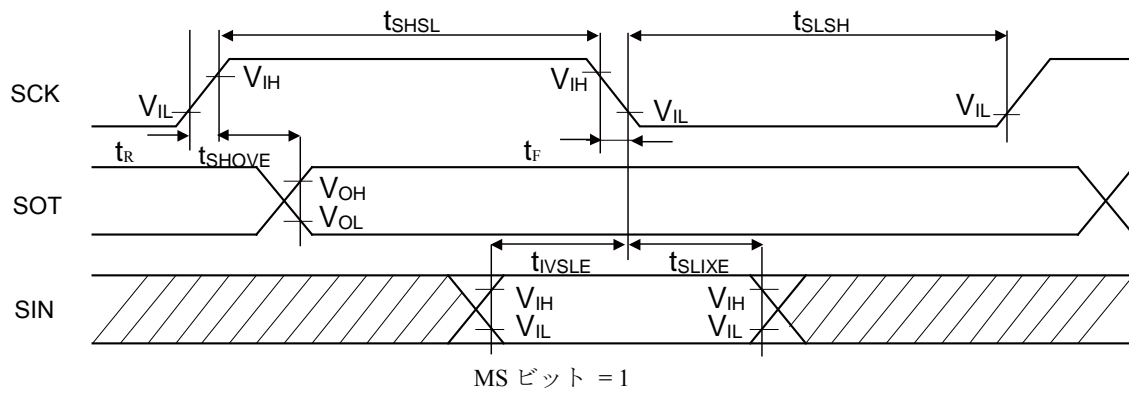
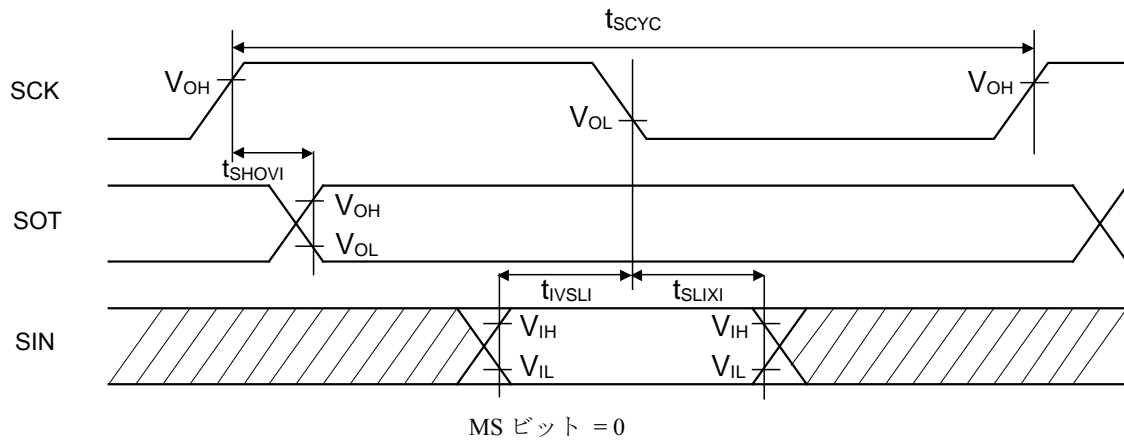
高速同期シリアル(SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|----|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _x | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVI} | SCK _x , SOT _x | | -10 | +10 | -10 | +10 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _x , SIN _x | | 14 12.5* | - | 12.5 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXI} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| シリアルクロック L パルス幅 | t _{LSLH} | SCK _x | 外部シフト クロック動作 | 2t _{CYCP} - 5 | - | 2t _{CYCP} - 5 | - | ns |
| シリアルクロック H パルス幅 | t _{SHSL} | SCK _x | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVE} | SCK _x , SOT _x | | - | 15 | - | 15 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXE} | SCK _x , SIN _x | | 5 | - | 5 | - | ns |
| SCK 立下り時間 | t _F | SCK _x | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _x | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 C_L = 30 pF 時 (* は C_L = 10 pF 時)



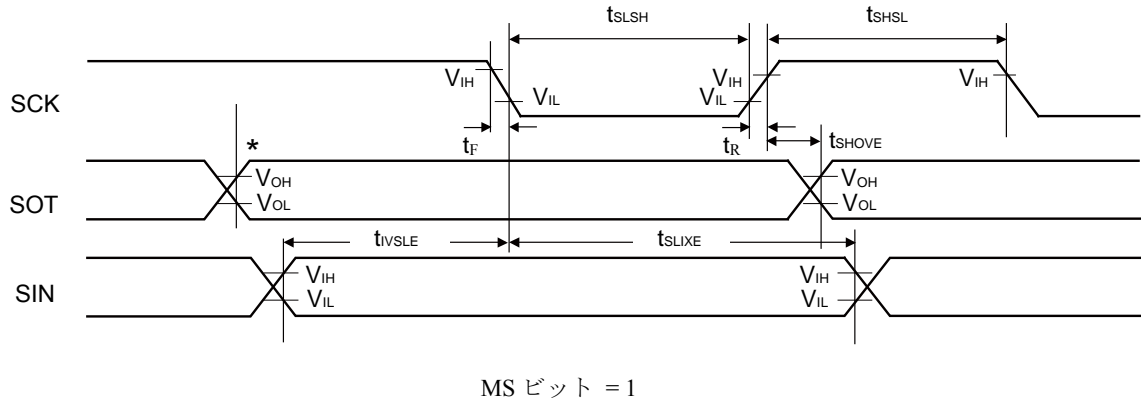
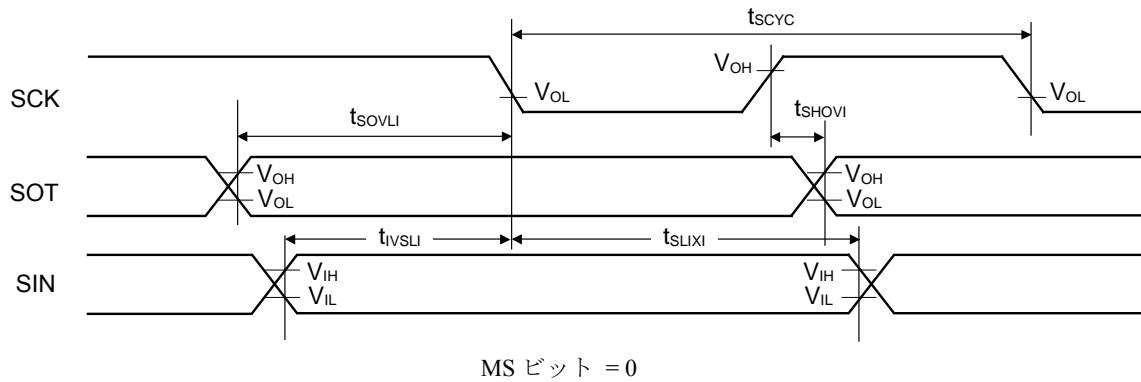
高速同期シリアル(SPI = 1, SCINV = 0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|----|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVI} | SCK _X , SOT _X | | -10 | +10 | -10 | +10 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _X , SIN _X | | 14 12.5* | - | 12.5 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXI} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SOT → SCK ↓ 遅延時間 | t _{SOVLI} | SCK _X , SOT _X | | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック L パルス幅 | t _{LSH} | SCK _X | 外部シフト クロック動作 | 2t _{CYCP} - 5 | - | 2t _{CYCP} - 5 | - | ns |
| シリアルクロック H パルス幅 | t _{HSL} | SCK _X | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVE} | SCK _X , SOT _X | | - | 15 | - | 15 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SCK ↓ → SIN ホールド時間 | t _{SLIXE} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は以下のリロケート・ポート番号組み合わせのみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 C_L = 30 pF 時 (* は C_L = 10 pF 時)



*: TDR レジスタにライトすると変化

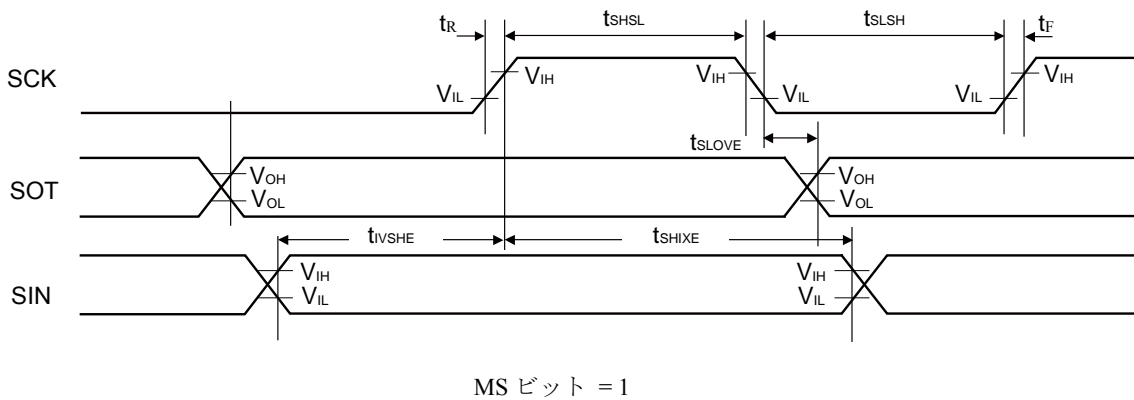
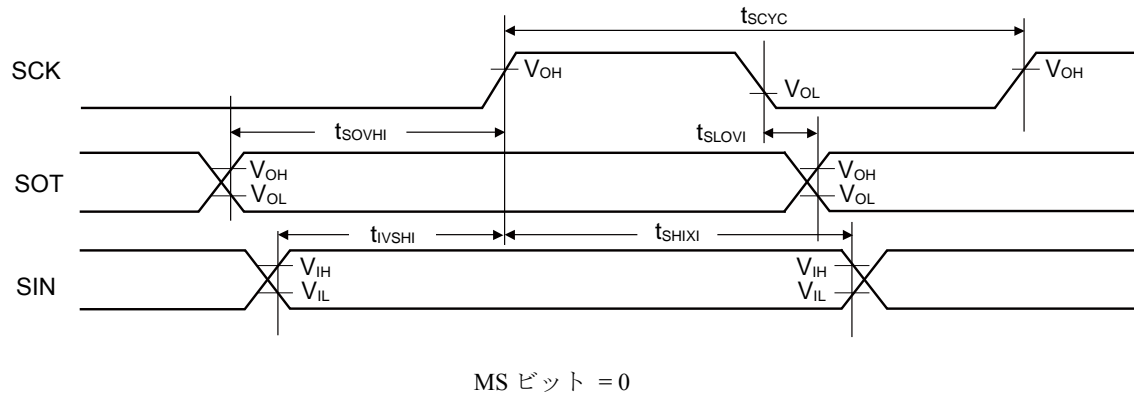
高速同期シリアル(SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|-------------------------|--------------------|--|-----------------|-------------------------|-----|-------------------------|-----|----|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | 内部シフト クロック動作 | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVI} | SCK _X , SOT _X | | -10 | +10 | -10 | +10 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHI} | SCK _X , SIN _X | | 14 12.5* | - | 12.5 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXI} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SOT → SCK ↑ 遅延時間 | t _{SOVHI} | SCK _X , SOT _X | | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック L パルス幅 | t _{LSLH} | SCK _X | 外部シフト クロック動作 | 2t _{CYCP} - 5 | - | 2t _{CYCP} - 5 | - | ns |
| シリアルクロック H パルス幅 | t _{SHSL} | SCK _X | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVE} | SCK _X , SOT _X | | - | 15 | - | 15 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHE} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXE} | SCK _X , SIN _X | | 5 | - | 5 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | | - | 5 | - | 5 | ns |

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- 本規格は以下のリロケート・ポート番号組み合わせのみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 C_L = 30 pF 時 (* は C_L = 10 pF 時)



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↓ → SCK ↓ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-20 | (*1)+0 | (*1)-20 | (*1)+0 | ns |
| SCK ↑ → SCS ↑ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+20 | (*2)+0 | (*2)+20 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | ns |
| SCS ↓ → SCK ↓ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCK ↑ → SCS ↑ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCS ↓ → SOT 遅延時間 | t _{DSE} | | - | 25 | - | 25 | ns |
| SCS ↑ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

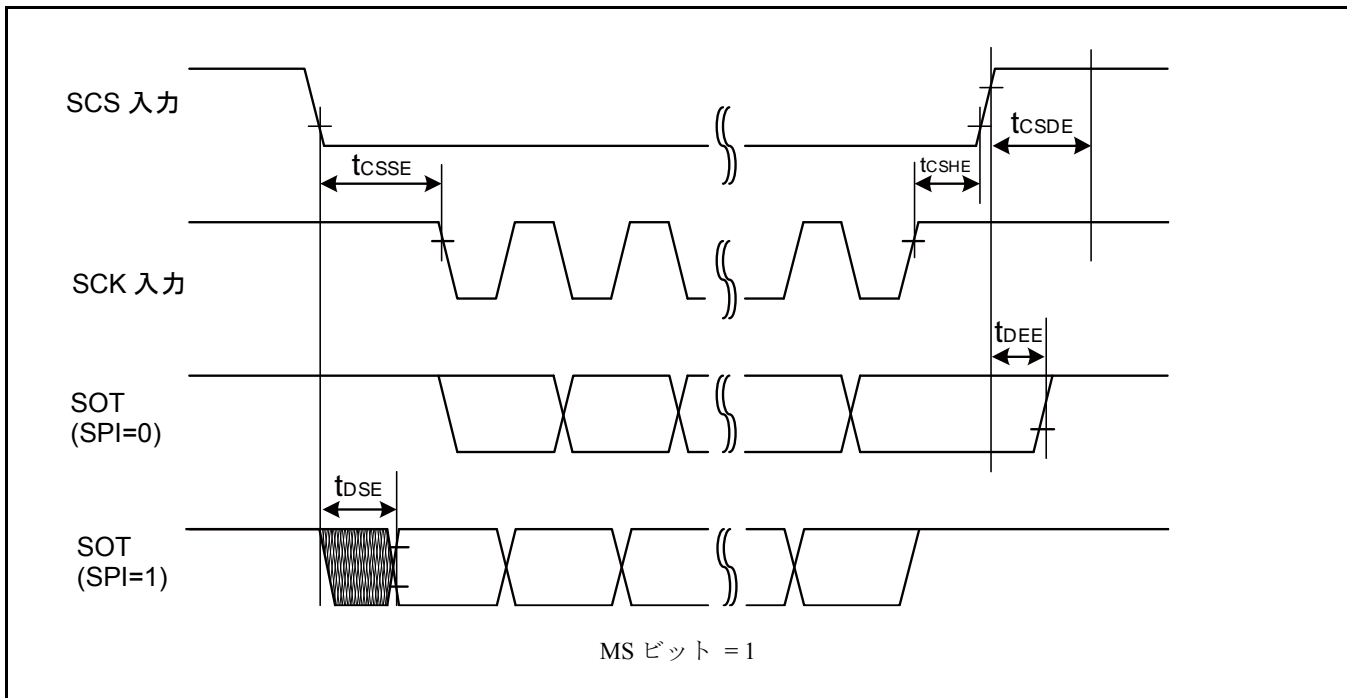
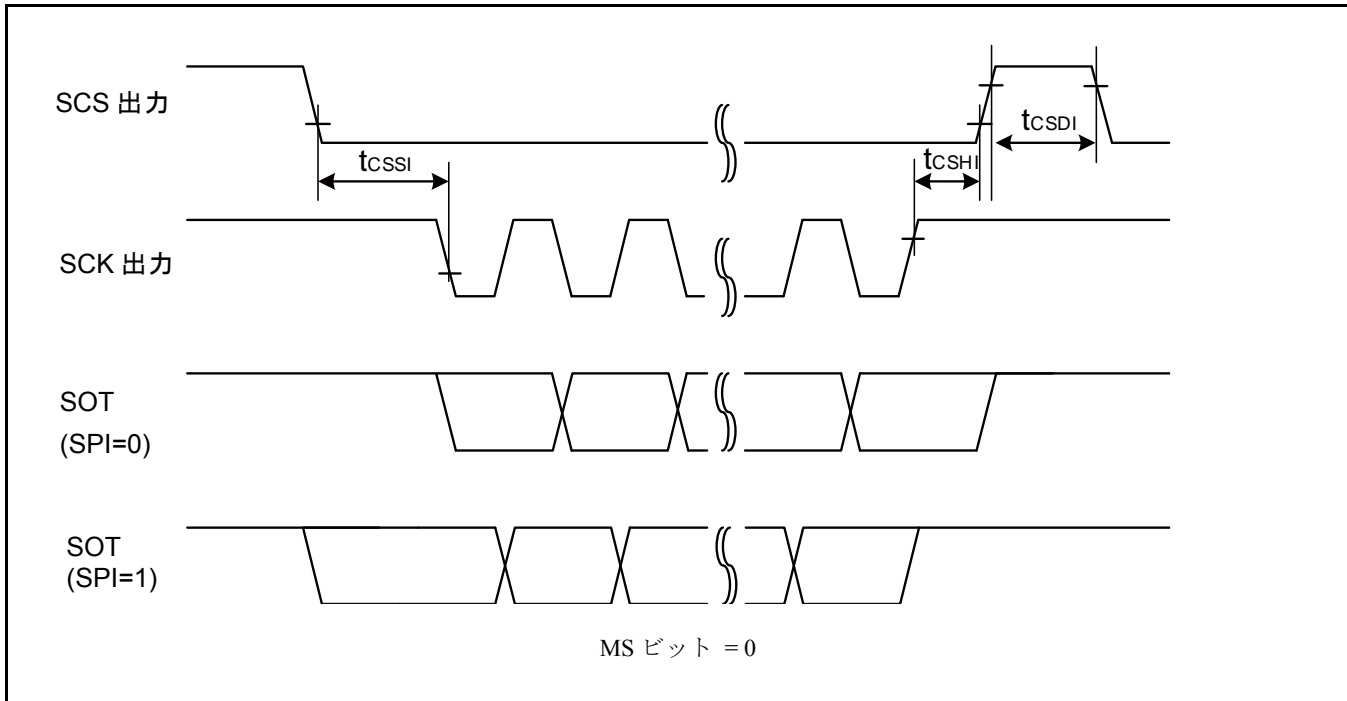
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↓ → SCK ↑ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-20 | (*1)+0 | (*1)-20 | (*1)+0 | ns |
| SCK ↓ → SCS ↑ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+20 | (*2)+0 | (*2)+20 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | ns |
| SCS ↓ → SCK ↑ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCK ↓ → SCS ↑ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCS ↓ → SOT 遅延時間 | t _{DSE} | | - | 25 | - | 25 | ns |
| SCS ↑ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

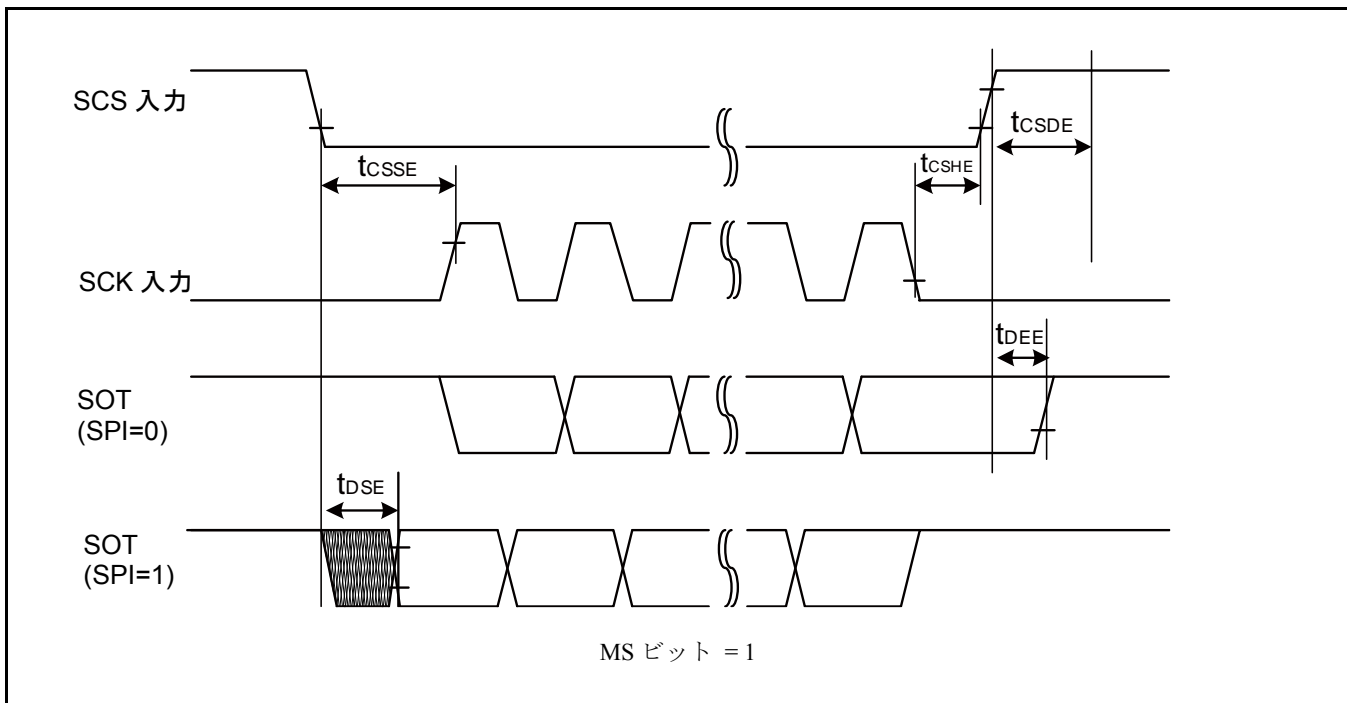
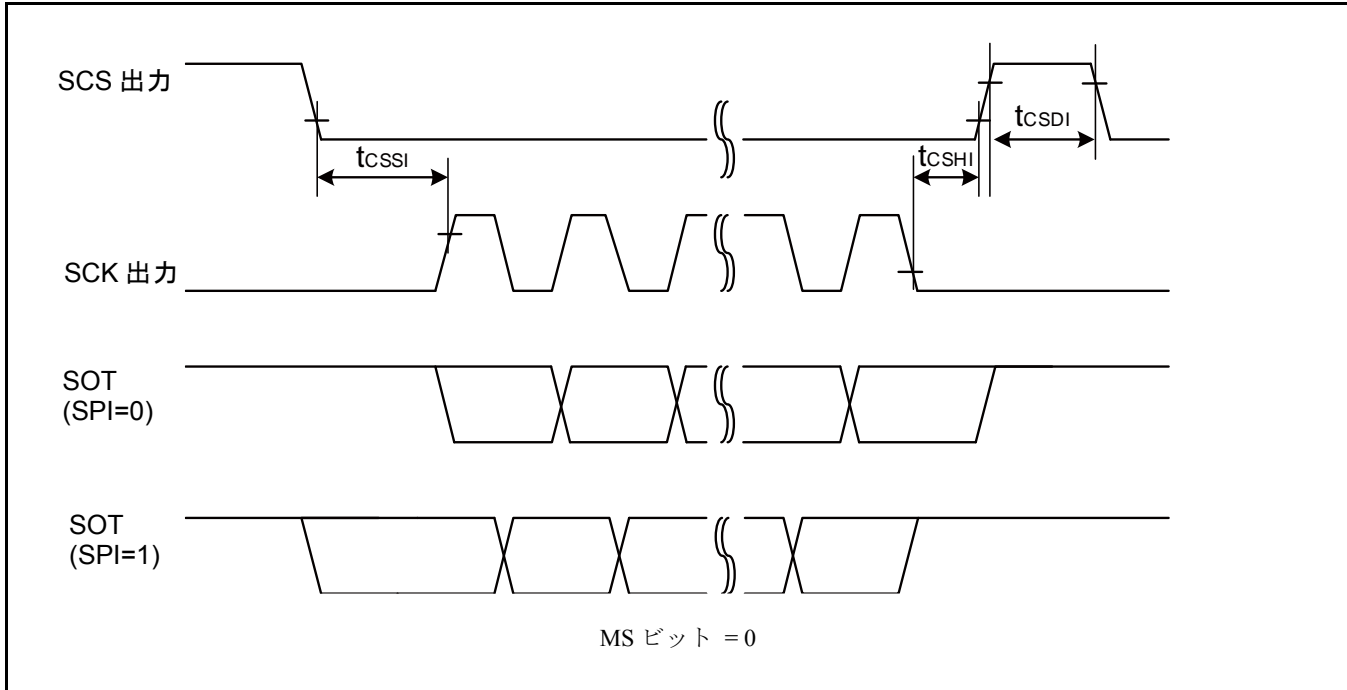
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↑ → SCK ↓ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-20 | (*1)+0 | (*1)-20 | (*1)+0 | ns |
| SCK ↑ → SCS ↓ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+20 | (*2)+0 | (*2)+20 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | ns |
| SCS ↑ → SCK ↓ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCK ↑ → SCS ↓ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCS ↑ → SOT 遅延時間 | t _{DSE} | | - | 25 | - | 25 | ns |
| SCS ↓ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

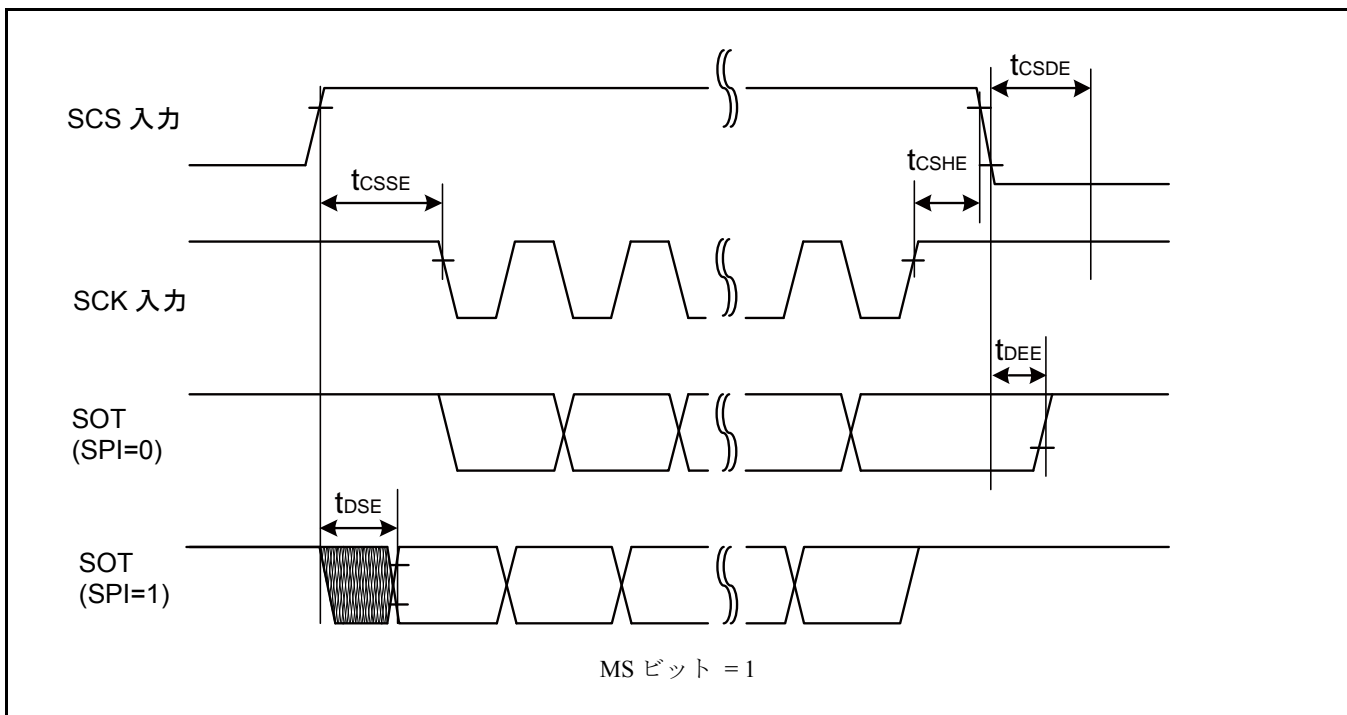
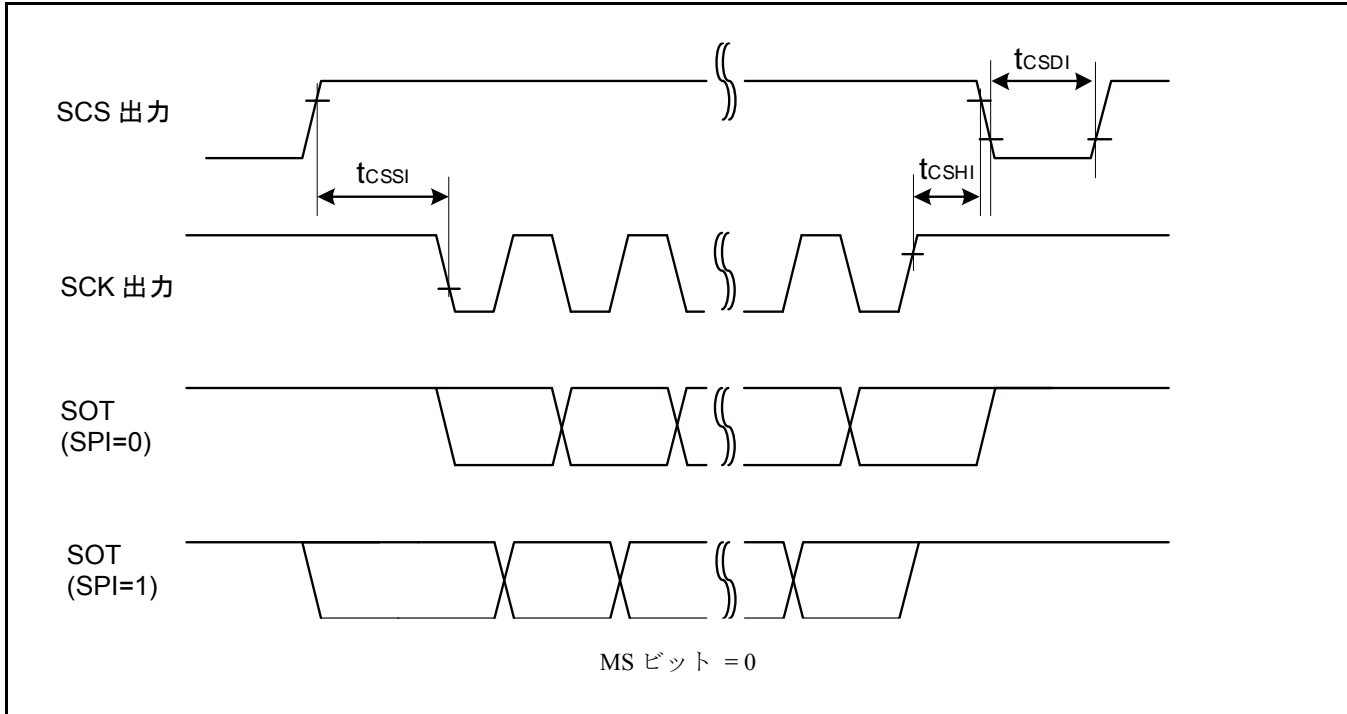
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | V _{CC} < 4.5 V | | V _{CC} ≥ 4.5 V | | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
| | | | 最小 | 最大 | 最小 | 最大 | |
| SCS ↑ → SCK ↑ セットアップ時間 | t _{CSSI} | 内部シフト クロック 動作 | (*1)-20 | (*1)+0 | (*1)-20 | (*1)+0 | ns |
| SCK ↓ → SCS ↓ ホールド時間 | t _{CSHI} | | (*2)+0 | (*2)+20 | (*2)+0 | (*2)+20 | ns |
| SCS ディセレクト時間 | t _{CSDI} | | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | (*3)-20 +5t _{CYCP} | (*3)+20 +5t _{CYCP} | ns |
| SCS ↑ → SCK ↑ セットアップ時間 | t _{CSSE} | 外部シフト クロック 動作 | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCK ↓ → SCS ↓ ホールド時間 | t _{CSHE} | | 0 | - | 0 | - | ns |
| SCS ディセレクト時間 | t _{CSDE} | | 3t _{CYCP} +15 | - | 3t _{CYCP} +15 | - | ns |
| SCS ↑ → SOT 遅延時間 | t _{DSE} | | - | 25 | - | 25 | ns |
| SCS ↓ → SOT 遅延時間 | t _{DEE} | | 0 | - | 0 | - | ns |

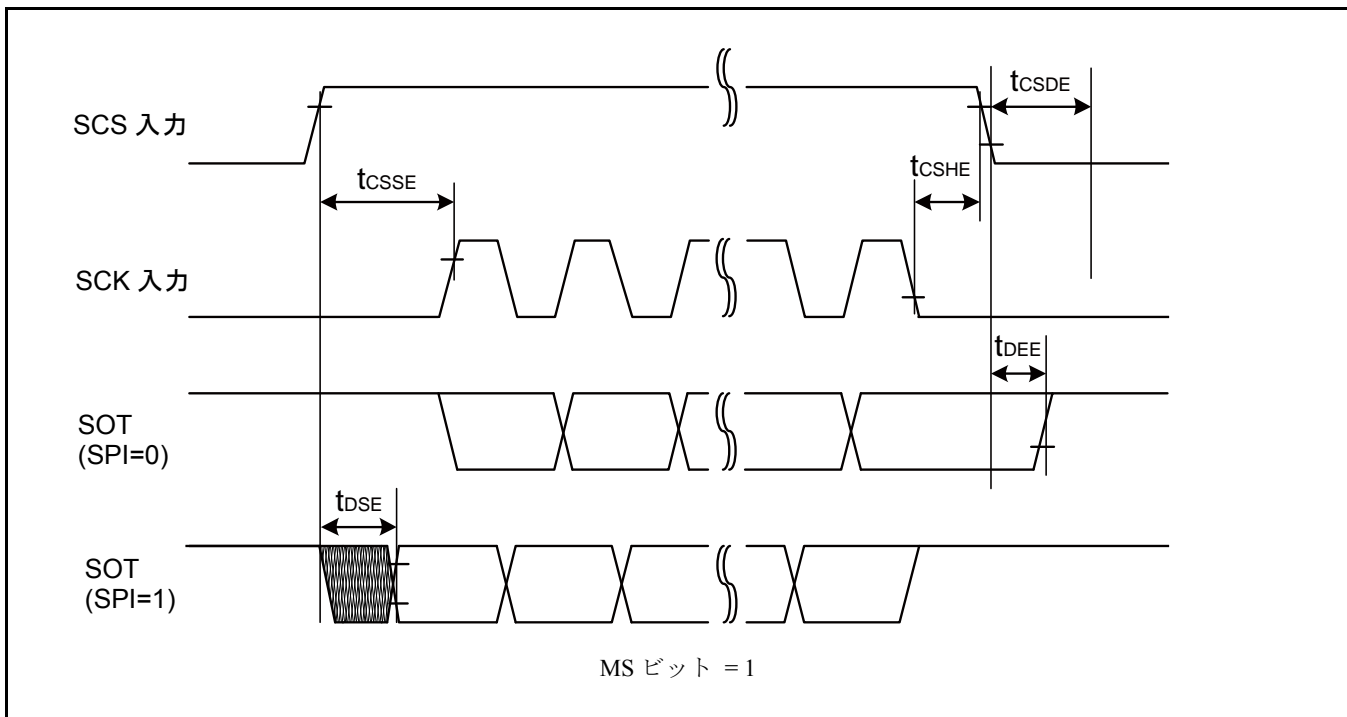
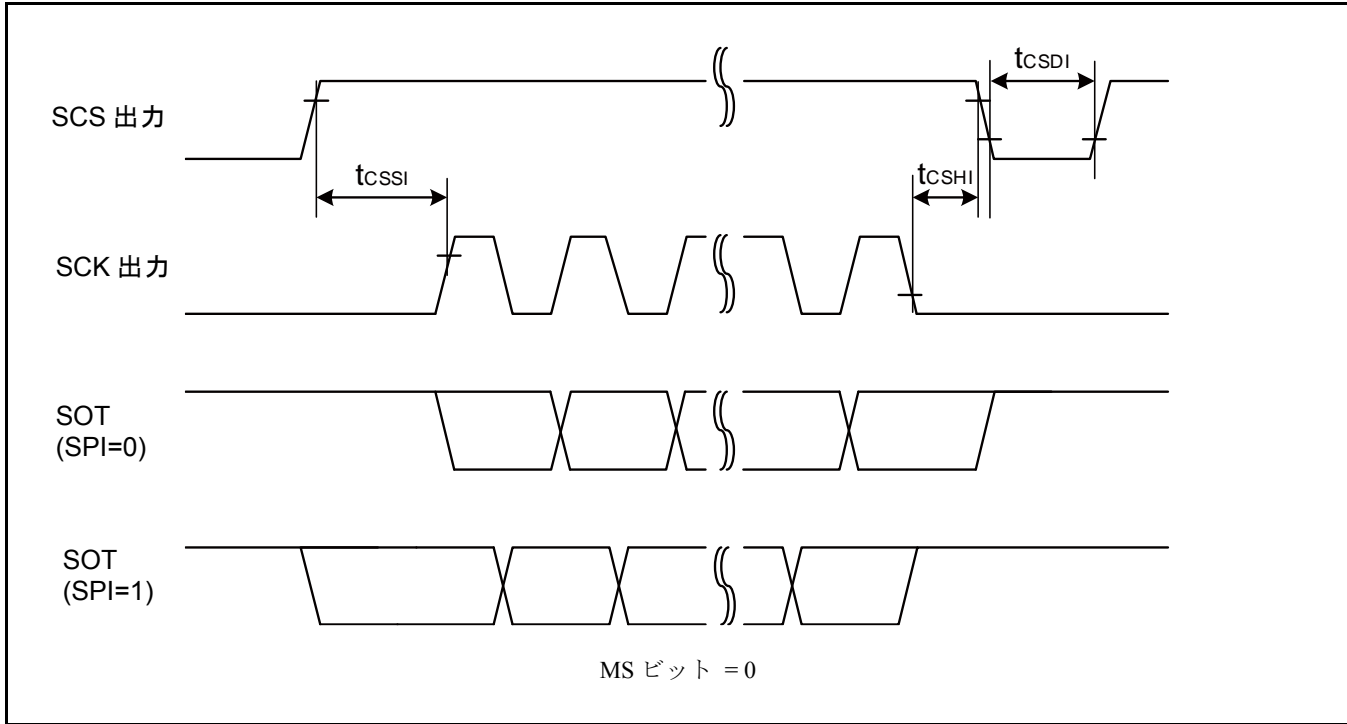
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

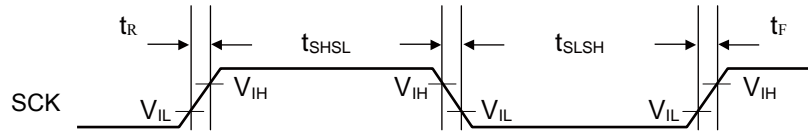
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1.S6E2H シリーズ ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



外部クロック (EXT = 1) : 非同期時のみ

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | 規格値 | | 単位 | 備考 |
|-------------------|-------------------|------------------------|------------------------|----|----|----|
| | | | 最小 | 最大 | | |
| シリアルクロック "L" パルス幅 | t _{SLSH} | C _L = 30 pF | t _{CYCP} + 10 | - | ns | |
| シリアルクロック "H" パルス幅 | t _{SHSL} | | t _{CYCP} + 10 | - | ns | |
| SCK 立下り時間 | t _F | | - | 5 | ns | |
| SCK 立上り時間 | t _R | | - | 5 | ns | |



13.4.12 外部入力タイミング

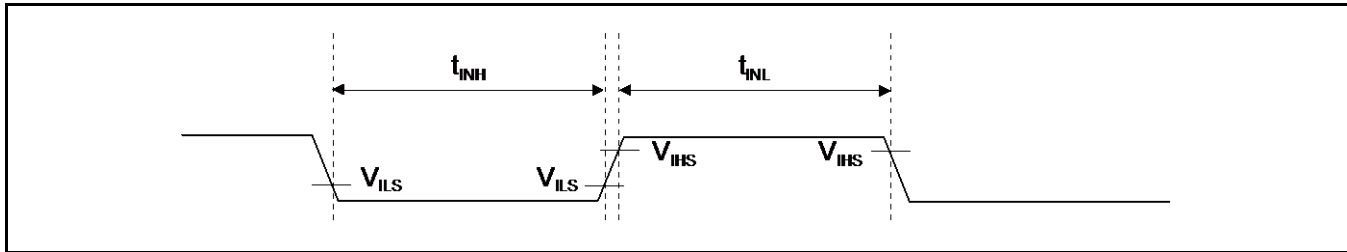
($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|--------------------------|---------------------------|----|------------------------|----|----|----------------------|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t_{INH} , t_{INL} | ADTG | - | $2t_{CYCP}^{*1}$ | - | ns | A/D コンバータトリガ入力 |
| | | FRCKx | | | | | フリーランタイム入力クロック |
| | | ICxx | | | | | インプットキャプチャ |
| | | DTTlxX | - | $2t_{CYCP}^{*1}$ | - | ns | 波形ジェネレータ |
| | | INT00 ~ INT15, NMIX | - | $2t_{CYCP} + 100^{*1}$ | - | ns | 外部割込み, NMI |
| | | WKUPx | | 500^{*2} | - | ns | |
| | | | - | 500^{*3} | - | ns | ディープスタンバイ ウェイクアップ |

*1: t_{CYCP} は APB バスクロックのサイクル時間です(タイマモード, ストップモードの停止時を除く)。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「1. S6E2H シリーズ ブロックダイアグラム」を参照してください。

*2: タイマモード, ストップモード時

*3: ディープスタンバイ RTC モード, ディープスタンバイストップモード時



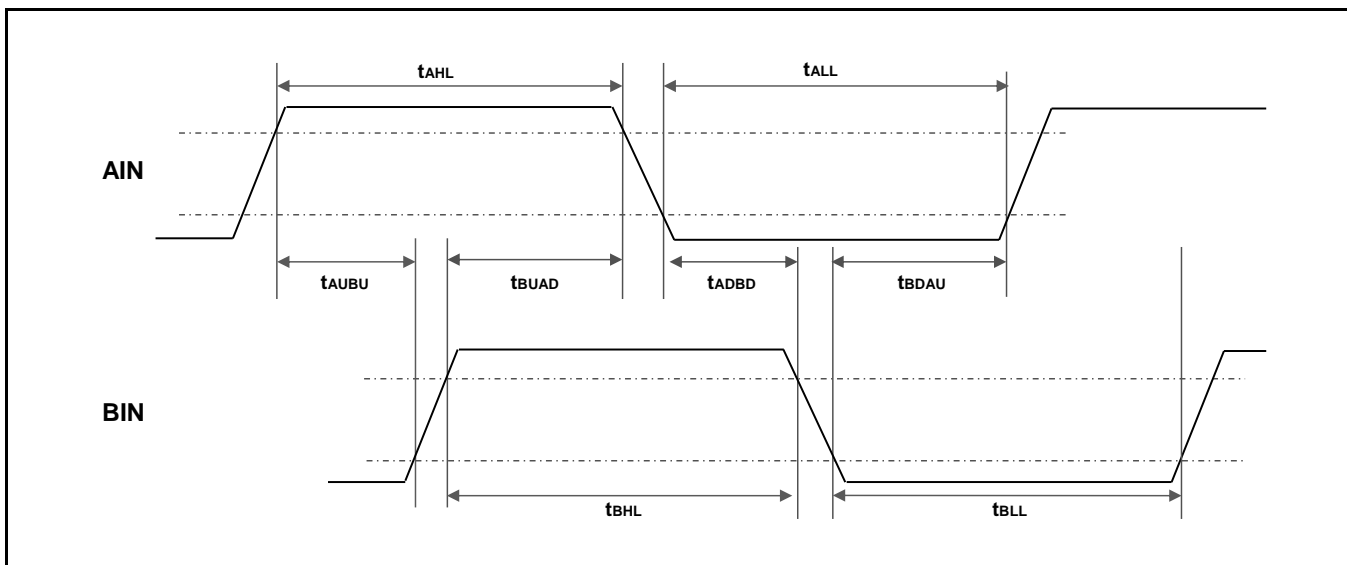
13.4.13 クアッドカウンタ タイミング

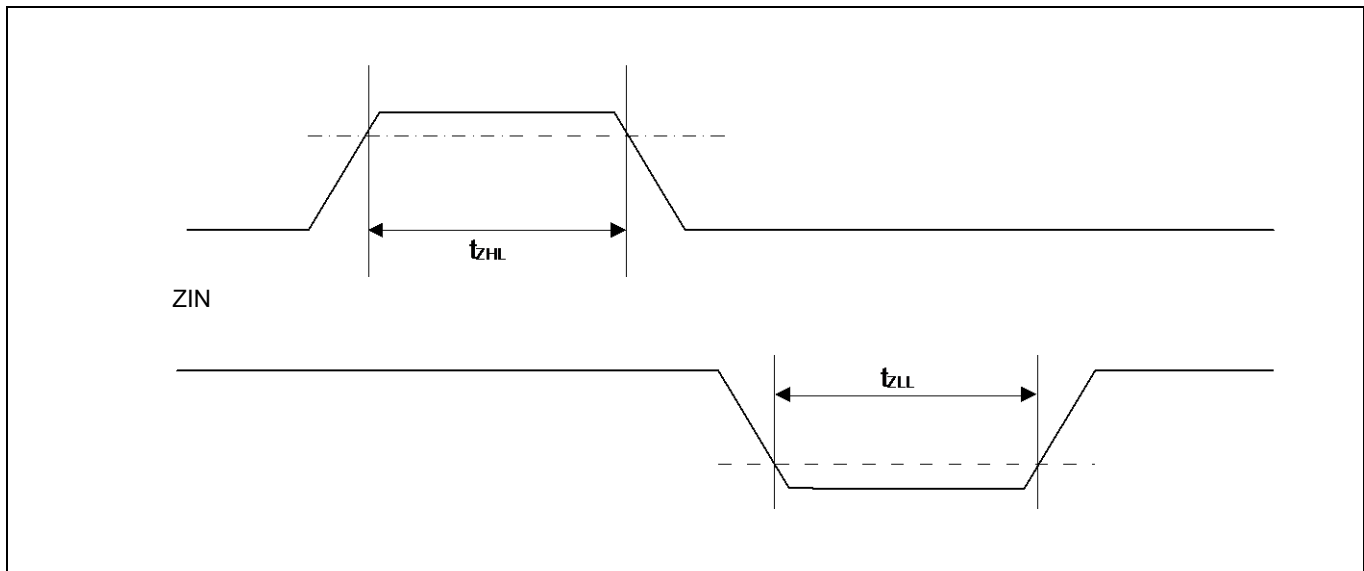
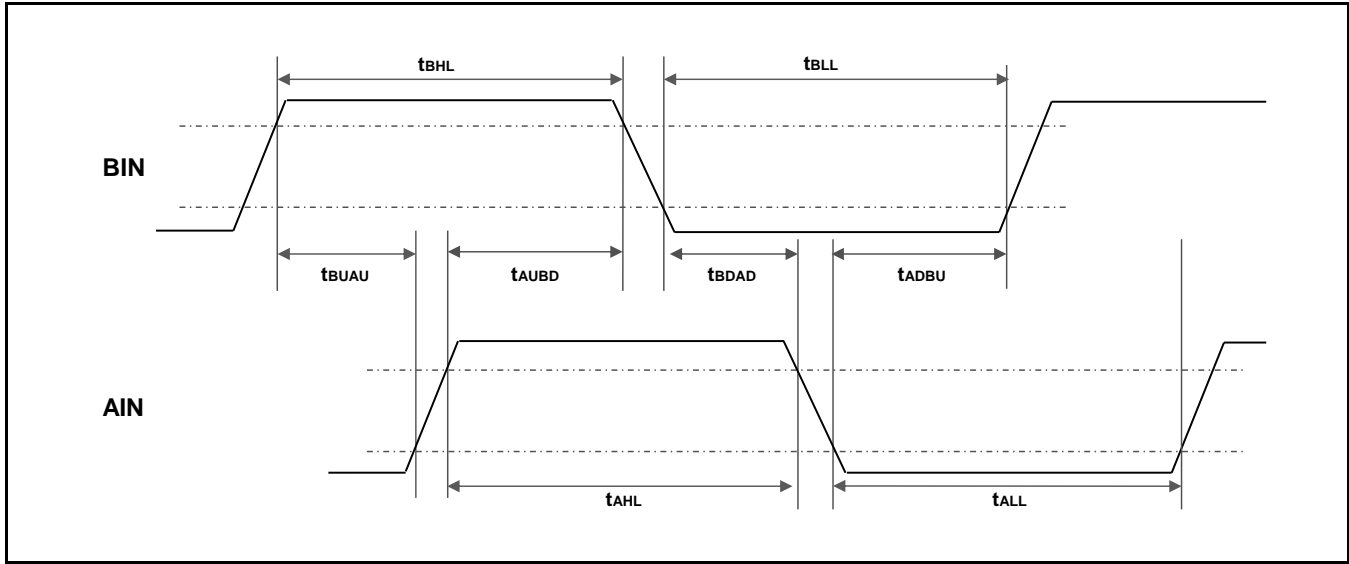
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

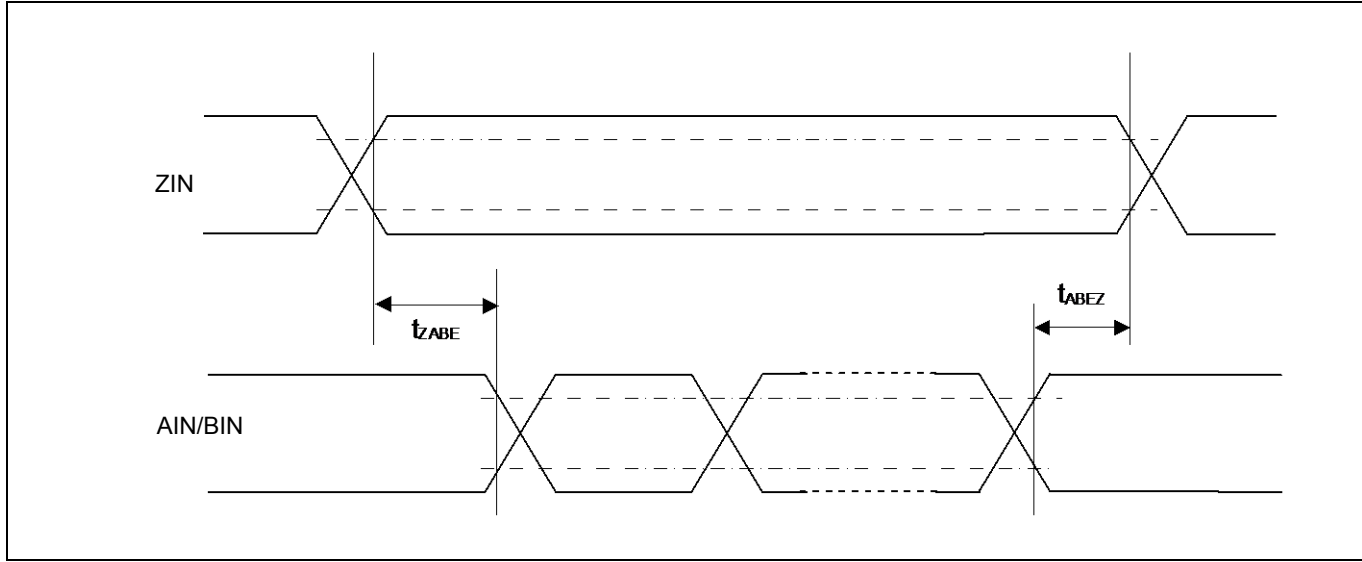
| 項目 | 記号 | 条件 | 規格値 | | 単位 |
|--------------------------------------|-------------------|-----------------------|----------------------|-----|----|
| | | | 最小値 | 最大値 | |
| AIN 端子 H 幅 | t _{AHL} | - | 2t _{cyCP} * | - | ns |
| AIN 端子 L 幅 | t _{ALL} | - | | | |
| BIN 端子 H 幅 | t _{BHL} | - | | | |
| BIN 端子 L 幅 | t _{BLL} | - | | | |
| AIN H レベルから BIN 立上り時間 | t _{AUBU} | PC_Mode2 または PC_Mode3 | | | |
| BIN H レベルから AIN 立下り時間 | t _{BUAD} | PC_Mode2 または PC_Mode3 | | | |
| AIN L レベルから BIN 立下り時間 | t _{ADBD} | PC_Mode2 または PC_Mode3 | | | |
| BIN L レベルから AIN 立上り時間 | t _{BDAU} | PC_Mode2 または PC_Mode3 | | | |
| BIN H レベルから AIN 立上り時間 | t _{BUAU} | PC_Mode2 または PC_Mode3 | | | |
| AIN H レベルから BIN 立下り時間 | t _{AUBD} | PC_Mode2 または PC_Mode3 | | | |
| BIN L レベルから AIN 立下り時間 | t _{BDAD} | PC_Mode2 または PC_Mode3 | | | |
| AIN L レベルから BIN 立上り時間 | t _{ADBU} | PC_Mode2 または PC_Mode3 | | | |
| ZIN 端子 H 幅 | t _{ZHL} | QCR:CGSC="0" | | | |
| ZIN 端子 L 幅 | t _{ZLL} | QCR:CGSC="0" | | | |
| ZIN レベル確定から AIN/BIN 立下り立 上り 時間 | t _{ZABE} | QCR:CGSC="1" | | | |
| AIN/BIN 立下り立上り 時間から ZIN レベル確定 | t _{ABEZ} | QCR:CGSC="1" | | | |

*: t_{cyCP} は APB バスクロックのサイクル時間です(タイマモード、ストップモード時を除く)。

クアッドカウンタが接続されている APB バス番号については「1. S6E2H シリーズ ブロックダイアグラム」を参照してください。







13.4.14 I²C タイミング

Standard-mode, Fast-mode

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | Standard-mode | | Fast-mode | | 単位 | 備考 |
|---|--------------------|---|------------------------------------|--------------------|------------------------------------|-------------------|-----|----|
| | | | 最小 | 最大 | 最小 | 最大 | | |
| SCL クロック周波数 | f _{SCL} | C _L = 30 pF, R = (V _p /I _{OL})* ¹ | 0 | 100 | 0 | 400 | kHz | |
| (反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓ | t _{HDSTA} | | 4.0 | - | 0.6 | - | μs | |
| SCL クロック "L" 幅 | t _{LOW} | | 4.7 | - | 1.3 | - | μs | |
| SCL クロック "H" 幅 | t _{HIGH} | | 4.0 | - | 0.6 | - | μs | |
| 反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓ | t _{SUSTA} | | 4.7 | - | 0.6 | - | μs | |
| データホールド時間 SCL ↓ → SDA ↓ ↑ | t _{HDDAT} | | 0 | 3.45* ² | 0 | 0.9* ³ | μs | |
| データセットアップ時間 SDA ↓ ↑ → SCL ↑ | t _{SUDAT} | | 250 | - | 100 | - | ns | |
| 「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑ | t _{SUSTO} | | 4.0 | - | 0.6 | - | μs | |
| 「ストップ」条件と 「スタート」条件との間の バスフリー時間 | t _{BUF} | | 4.7 | - | 1.3 | - | μs | |
| ノイズフィルタ | t _{SP} | 2 MHz ≤ t _{CYCP} < 40 MHz | 2t _{CYCP} * ⁴ | - | 2t _{CYCP} * ⁴ | - | ns | *5 |
| | | 40 MHz ≤ t _{CYCP} < 60 MHz | 4t _{CYCP} * ⁴ | - | 4t _{CYCP} * ⁴ | - | ns | |
| | | 60 MHz ≤ t _{CYCP} < 80 MHz | 6t _{CYCP} * ⁴ | - | 6t _{CYCP} * ⁴ | - | ns | |
| | | 80 MHz ≤ t _{CYCP} < 100 MHz | 8t _{CYCP} * ⁴ | - | 8t _{CYCP} * ⁴ | - | ns | |
| | | 100 MHz ≤ t _{CYCP} < 120 MHz | 10t _{CYCP} * ⁴ | - | 10t _{CYCP} * ⁴ | - | ns | |
| | | 120 MHz ≤ t _{CYCP} < 140 MHz | 12t _{CYCP} * ⁴ | - | 12t _{CYCP} * ⁴ | - | ns | |
| | | 140 MHz ≤ t _{CYCP} < 160 MHz | 14t _{CYCP} * ⁴ | - | 14t _{CYCP} * ⁴ | - | ns | |
| | | 160 MHz ≤ t _{CYCP} < 180 MHz | 16t _{CYCP} * ⁴ | - | 16t _{CYCP} * ⁴ | - | ns | |

*1: R, C_L は SCL, SDA ラインのプルアップ抵抗, 負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「1. S6E2H シリーズ ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、周辺バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、周辺バスクロックを 8 MHz 以上に設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。

APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

Fast mode Plus (Fm+)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 条件 | Fast-mode plus(Fm+)*6 | | 単位 | 備考 |
|---|--------------------|---|-------------------------|------------|-----|----|
| | | | 最小 | 最大 | | |
| SCL クロック周波数 | f _{SCL} | C _L = 30 pF, R = (V _p /I _{OL})*1 | 0 | 1000 | kHz | |
| (反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓ | t _{HDSTA} | | 0.26 | - | μs | |
| SCL クロック "L" 幅 | t _{LOW} | | 0.5 | - | μs | |
| SCL クロック "H" 幅 | t _{HIGH} | | 0.26 | - | μs | |
| 反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓ | t _{SUSTA} | | 0.26 | - | μs | |
| データホールド時間 SCL ↓ → SDA ↓ ↑ | t _{HDDAT} | | 0 | 0.45*2, *3 | μs | |
| データセットアップ時間 SDA ↓ ↑ → SCL ↑ | t _{SUDAT} | | 50 | - | ns | |
| 「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑ | t _{SUSTO} | | 0.26 | - | μs | |
| 「ストップ」条件と 「スタート」条件との間の パスフリー時間 | t _{BUF} | | 0.5 | - | μs | |
| ノイズフィルタ | t _{SP} | 60 MHz ≤ t _{CYCP} < 80 MHz | 6 t _{CYCP} *4 | - | ns | *5 |
| | | 80 MHz ≤ t _{CYCP} < 100 MHz | 8 t _{CYCP} *4 | - | ns | |
| | | 100 MHz ≤ t _{CYCP} < 120 MHz | 10 t _{CYCP} *4 | - | ns | |
| | | 120 MHz ≤ t _{CYCP} < 140 MHz | 12 t _{CYCP} *4 | - | ns | |
| | | 140 MHz ≤ t _{CYCP} < 160 MHz | 14 t _{CYCP} *4 | - | ns | |
| | | 160 MHz ≤ t _{CYCP} < 180 MHz | 16 t _{CYCP} *4 | - | ns | |

*1: R, C_Lは SCL, SDA ラインのプルアップ抵抗, 負荷容量です。V_pはプルアップ抵抗の電源電圧、I_{OL}は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「1. S6E2H シリーズ ブロックダイアグラム」を参照してください。

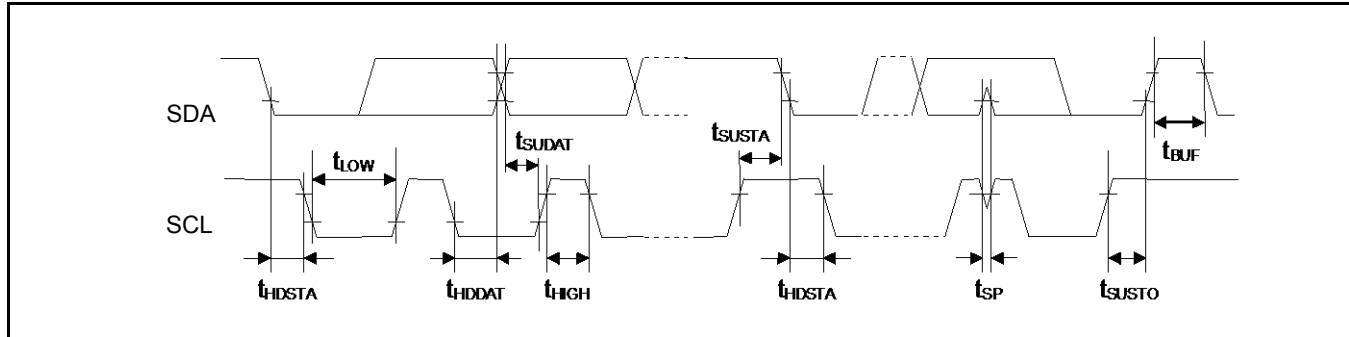
Fast-mode plus(Fm+)使用時は、周辺バスクロックを 64 MHz 以上に設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。

APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

*6: Fast-mode plus(Fm+)使用時は、I/O 端子を EPFR レジスタにて I²C Fm+に対応したモードに設定してください。

詳細は『FM4 ファミリ パリフェラルマニュアル 本編(002-04857)』の『CHAPTER 12: I/O ポート』の章を参照してください。



13.4.15 SD カードインタフェースタイミング

Default-Speed Mode

■クロック CLK (規格は V_{IH} , V_{IL} レベルでの値となります。)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-----------------|------------------|-------|---|--------|-----|-----|
| | | | | 最小 | 最大 | |
| クロック周波数データ転送モード | f _{PP} | S_CLK | $C_{CARD} \leq 10 \text{ pF}$ (1 card) | 0 | 20 | MHz |
| クロック周波数識別モード | f _{OD} | S_CLK | | 0*/100 | 400 | kHz |
| クロック低時間 | t _{WL} | S_CLK | | 10 | - | ns |
| クロック高時間 | t _{WH} | S_CLK | | 10 | - | ns |
| クロック立上り時間 | t _{TLH} | S_CLK | | - | 10 | ns |
| クロック立下り時間 | t _{THL} | S_CLK | | - | 10 | ns |

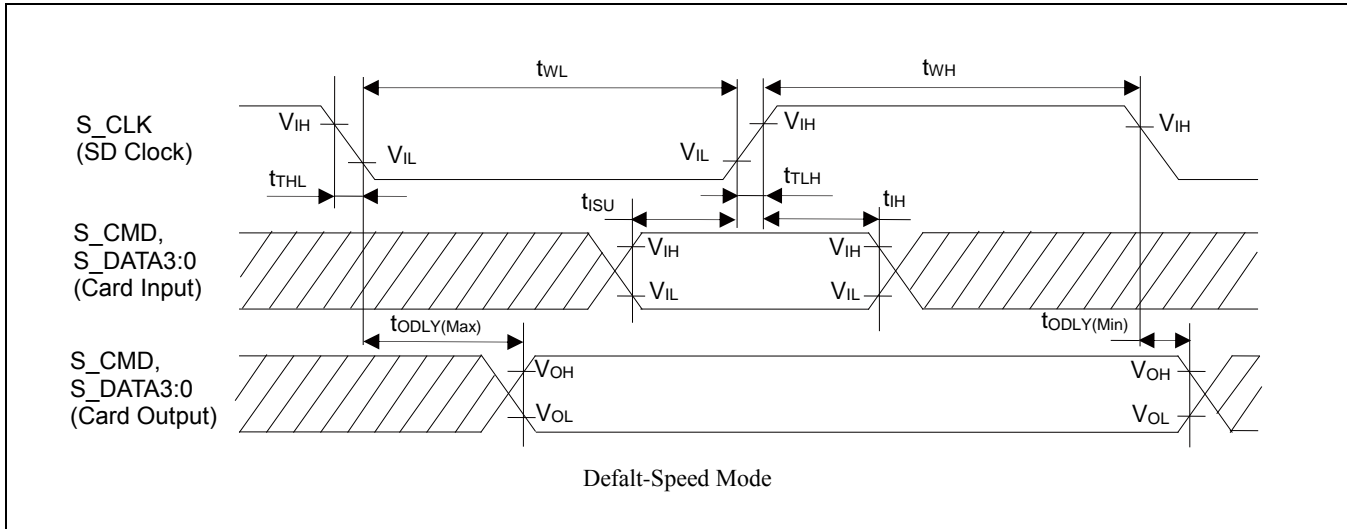
*: 0Hz はクロック停止を示します。継続動作させる場合、最小周波数の値となります。

■Card 入力 CMD, DAT (クロックの項目を参照してください。)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|------------|------------------|---------------------|---|-----|----|----|
| | | | | 最小 | 最大 | |
| 入力セットアップ時間 | t _{ISU} | S_CMD, S_DATA3:0 | $C_{CARD} \leq 10 \text{ pF}$ (1 card) | 5 | - | ns |
| 入力ホールド時間 | t _{IH} | S_CMD, S_DATA3:0 | | 5 | - | ns |

■Card 出力 CMD, DAT (クロックの項目を参照してください。)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|------------------|-------------------|---------------------|---|-----|----|----|
| | | | | 最小 | 最大 | |
| データ転送モード時の出力遅延時間 | t _{ODLY} | S_CMD, S_DATA3:0 | $C_{CARD} \leq 40 \text{ pF}$ (1 card) | 0 | 22 | ns |
| 識別モード時の出力遅延時間 | t _{ODLY} | S_CMD, S_DATA3:0 | | 0 | 50 | ns |



<注意事項>

- 本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。

High-Speed Mode

■クロック CLK (規格は V_{IH} , V_{IL} レベルでの値となります。)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-----------------|-----------|-------|---|-----|----|-----|
| | | | | 最小 | 最大 | |
| クロック周波数データ転送モード | f_{PP} | S_CLK | $C_{CARD} \leq 10 \text{ pF}$ (1 card) | 0 | 40 | MHz |
| クロック低時間 | t_{WL} | S_CLK | | 7 | - | ns |
| クロック高時間 | t_{WH} | S_CLK | | 7 | - | ns |
| クロック立上り時間 | t_{TLH} | S_CLK | | - | 3 | ns |
| クロック立下り時間 | t_{THL} | S_CLK | | - | 3 | ns |

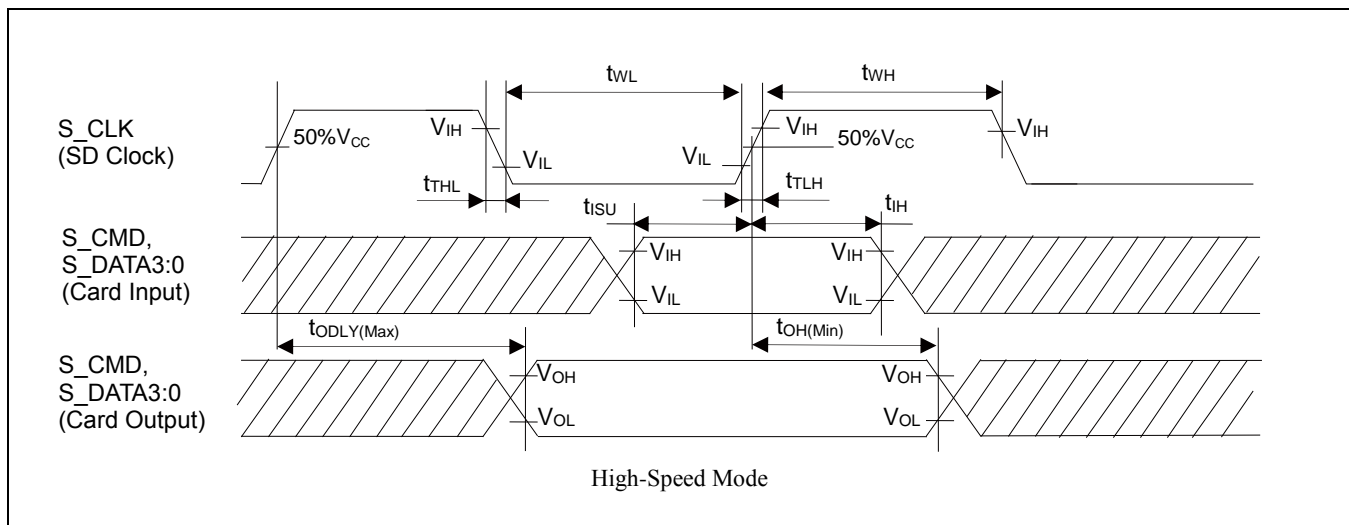
■Card 入力 CMD, DAT (クロックの項目を参照してください。)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|------------|-----------|---------------------|---|-----|----|----|
| | | | | 最小 | 最大 | |
| 入力セットアップ時間 | t_{ISU} | S_CMD, S_DATA3:0 | $C_{CARD} \leq 10 \text{ pF}$ (1 card) | 8 | - | ns |
| 入力ホールド時間 | t_{IH} | S_CMD, S_DATA3:0 | | 2 | - | ns |

■Card 出力 CMD, DAT (クロックの項目を参照してください。)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|------------------|------------|---------------------|--------------------------------------|-----|----|----|
| | | | | 最小 | 最大 | |
| データ転送モード時の出力遅延時間 | t_{ODLY} | S_CMD, S_DATA3:0 | $C_L \leq 40 \text{ pF}$ (1 card) | - | 22 | ns |
| 出力ホールド時間 | t_{OH} | S_CMD, S_DATA3:0 | $C_L \geq 15 \text{ pF}$ (1 card) | 2.5 | - | ns |
| 配線間のシステム総容量* | C_L | - | 1 card | - | 40 | pF |

*: 厳しいタイミングを満たすために、Host は 1 枚のカードのみ動作させるものとします。



<注意事項>

- 本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。
- Clock 周波数(f_{PP})については、FM4 ペリフェラルマニュアル(002-04857)の CHAPTER 15: SD カードインタフェースを参照ください。

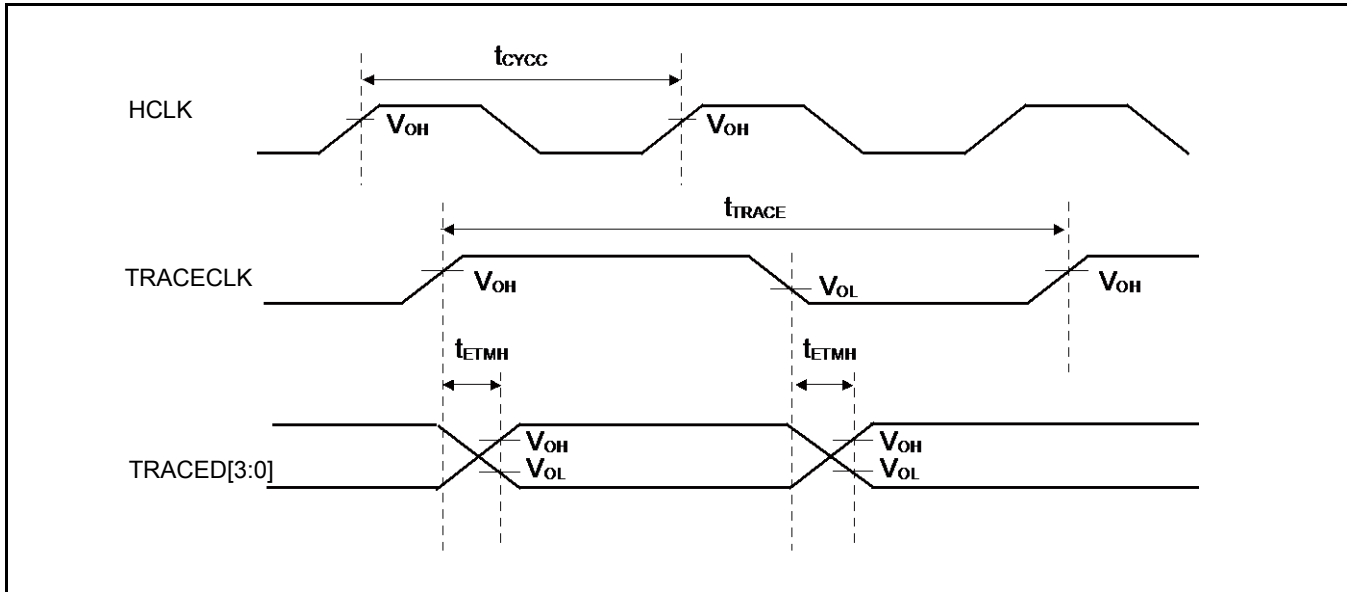
13.4.16 ETM タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------------------|-----------------------|--------------------------|-------------------------|-------|----|-----|----|
| | | | | 最小 | 最大 | | |
| データホールド | t _{ETMH} | TRACECLK, TRACED[3:0] | V _{CC} ≥ 4.5 V | 2 | 9 | ns | |
| | | | V _{CC} < 4.5 V | 2 | 15 | | |
| TRACECLK 周波数 | 1/ t _{TRACE} | TRACECLK | V _{CC} ≥ 4.5 V | - | 50 | MHz | |
| | | | V _{CC} < 4.5 V | - | 32 | MHz | |
| TRACECLK クロック周期 | t _{TRACE} | TRACECLK | V _{CC} ≥ 4.5 V | 20 | - | ns | |
| | | | V _{CC} < 4.5 V | 31.25 | - | ns | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



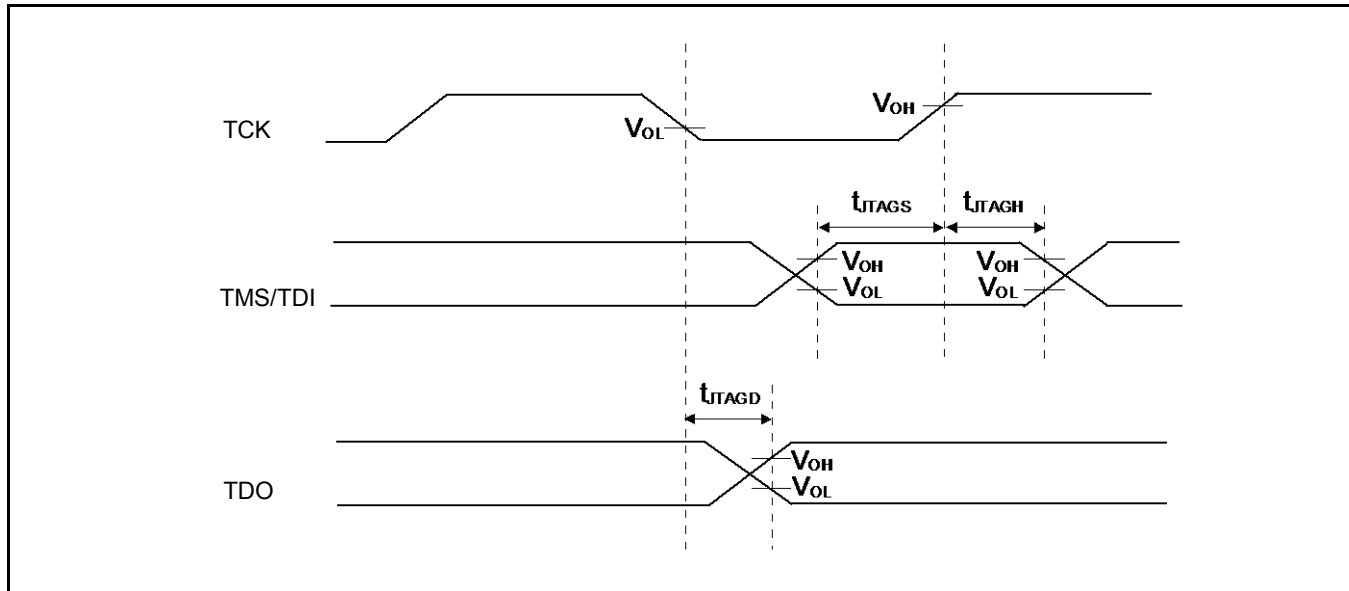
13.4.17 JTAG タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|----------------------|--------------------|------------------|-------------------------|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| TMS, TDI セットアップ時間 | t _{JTAGS} | TCK, TMS, TDI | V _{CC} ≥ 4.5 V | 15 | - | ns | |
| | | | V _{CC} < 4.5 V | | | | |
| TMS, TDI ホールド時間 | t _{JTAGH} | TCK, TMS, TDI | V _{CC} ≥ 4.5 V | 15 | - | ns | |
| | | | V _{CC} < 4.5 V | | | | |
| TDO 遅延時間 | t _{JTAGD} | TCK TDO | V _{CC} ≥ 4.5 V | - | 25 | ns | |
| | | | V _{CC} < 4.5 V | - | 45 | | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



13.5 12 ビット A/D コンバータ

A/D 変換部電気的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$)

| 項目 | 記号 | 端子名 | 規格値 | | | 単位 | 備考 |
|-----------------------|-----------|------|-----------|--------------|--------------|------------|--|
| | | | 最小 | 標準 | 最大 | | |
| 分解能 | - | - | - | - | 12 | bit | |
| 積分直線性誤差 | - | - | - | - | ± 4.5 | LSB | AVRH = 2.7 V ~ 5.5 V オフセットキャリ ブレーション機能 使用時 |
| 微分直線性誤差 | - | - | - | - | ± 2.5 | LSB | |
| ゼロトランジション電 圧 | V_{ZT} | ANxx | - | ± 2 | ± 7 | LSB | |
| フルスケールトランジ ション電圧 | V_{FST} | ANxx | - | $AVRH \pm 2$ | $AVRH \pm 7$ | LSB | |
| 総合誤差 | - | - | - | ± 3 | ± 8 | LSB | |
| 変換時間 | - | - | 0.5*1 | - | - | μs | $AV_{CC} \geq 4.5 V$ |
| サンプリング時間 *2 | t_s | - | 0.15 | - | 10 | μs | $AV_{CC} \geq 4.5 V$ |
| | | | 0.3 | - | | | $AV_{CC} < 4.5 V$ |
| コンペアクロック周期 *3 | t_{CCK} | - | 25 | - | 1000 | ns | $AV_{CC} \geq 4.5 V$ |
| | | | 50 | - | 1000 | | $AV_{CC} < 4.5 V$ |
| 動作許可状態遷移時間 | t_{STT} | - | - | - | 1.0 | μs | |
| 電源電流 (アナログ + デジタル) | - | AVCC | - | 0.69 | 0.92 | mA | A/D 1unit 動作時 |
| | | | - | 1.0 | 18 | μA | A/D 停止時 |
| 基準電源電流 (AVRH) | - | AVRH | - | 1.1 | 1.97 | mA | A/D 1unit 動作時 AVRH=5.5 V |
| | | | | 0.3 | 6.3 | μA | A/D 停止時 |
| アナログ入力容量 | C_{AIN} | - | - | - | 12.05 | pF | |
| アナログ入力抵抗 | R_{AIN} | - | - | - | 1.2 | k Ω | $AV_{CC} \geq 4.5 V$ |
| | | | | | 1.8 | | $AV_{CC} < 4.5 V$ |
| チャンネル間ばらつき | - | - | - | - | 4 | LSB | |
| アナログポート入力 リーク電流 | - | ANxx | - | - | 5 | μA | |
| アナログ入力電圧 | - | ANxx | AV_{SS} | - | AVRH | V | |
| 基準電圧 | - | AVRH | 4.5 | - | AV_{CC} | V | $T_{cck} < 50 ns$ |
| | | | 2.7 | - | AV_{CC} | V | $T_{cck} \geq 50 ns$ |
| | - | AVRL | AV_{SS} | - | AV_{SS} | V | |

*1: 変換時間は サンプリング時間 (t_s) + コンペア時間 (t_c) の値です。

最小変換時間の条件は、サンプリング時間: 150 ns, コンペア時間: 350 ns ($AV_{CC} \geq 4.5 V$)の値です。

必ずサンプリング時間(t_s), コンペアクロック周期(t_{cck})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM4 ファミリー ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

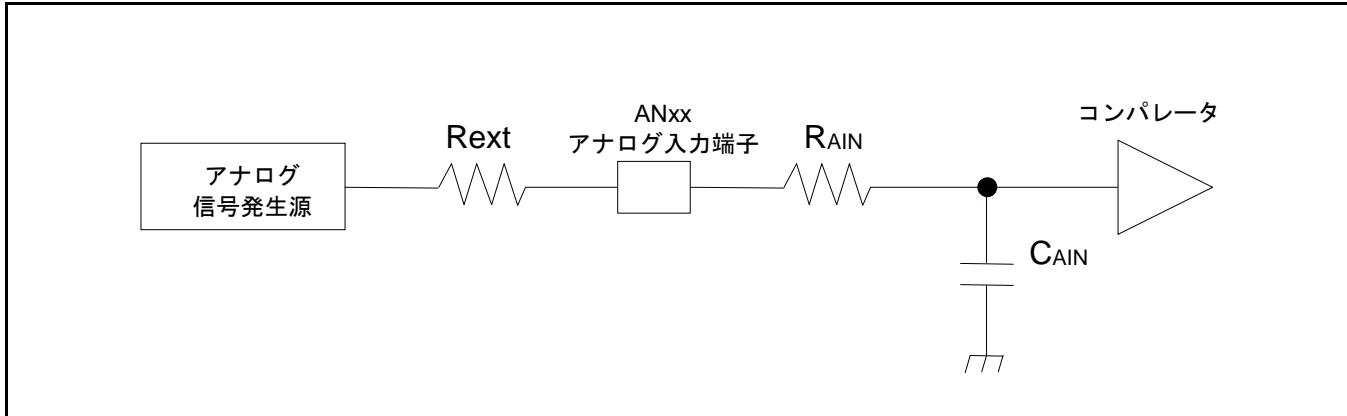
A/D コンバータのレジスタの設定は周辺クロックタイミングで反映されます。

サンプリングおよびコンペアクロックはベースクロック(HCLK)にて設定されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_c) は (式 2)の値です。



$$(式 1) t_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$$

t_s : サンプリング時間

R_{AIN} : A/D の入力抵抗 = 1.2 k Ω 4.5 V \leq AV_{CC} \leq 5.5 V の場合

A/D の入力抵抗 = 1.8 k Ω 2.7 V \leq AV_{CC} \leq 4.5 V の場合

C_{AIN} : A/D の入力容量 = 12.05 pF 2.7 V \leq AV_{CC} \leq 5.5 V の場合

R_{ext} : 外部回路の出力インピーダンス

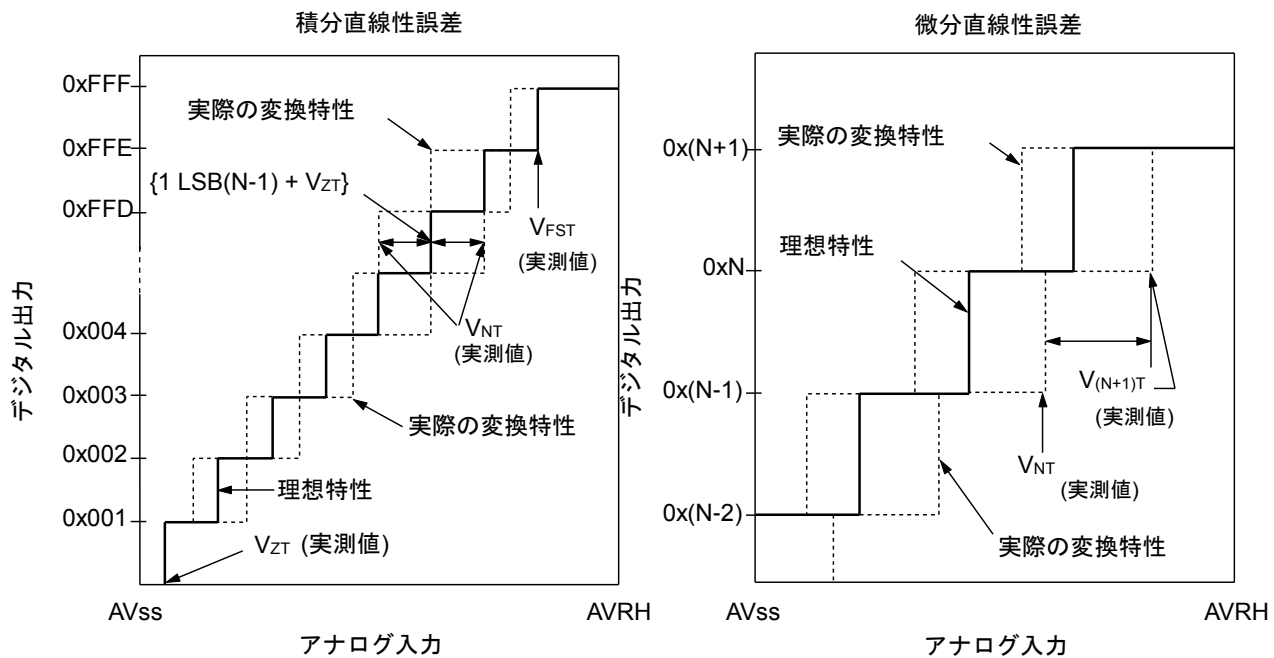
$$(式 2) t_c = t_{CCK} \times 14$$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

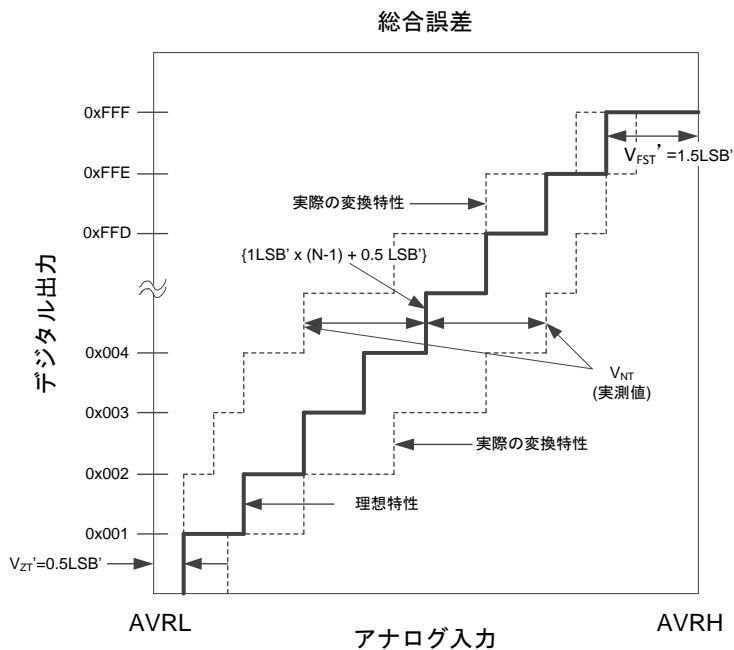
N: A/D コンバータデジタル出力値

V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧

V_{FST}: デジタル出力が 0xFFE から 0xFFFF に遷移する電圧

V_{NT}: デジタル出力が 0x(N - 1)から 0xN に遷移する電圧

■総合誤差: 実際の値と理論値との差を言い、ゼロトランジション電圧/フルスケールトランジション電圧/直線性誤差を含む誤差



$$\text{デジタル出力Nの総合誤差} = \frac{V_{NT} - \{1 \text{ LSB}' \times (N-1) + 0.5 \text{ LSB}'\}}{1 \text{ LSB}'} \quad [\text{LSB}]$$

$$1 \text{ LSB}' (\text{理想値}) = \frac{\text{AVRH} - \text{AVRL}}{4096} \quad [\text{V}]$$

$$V_{ZT}' (\text{理想値}) = \text{AVRL} + 0.5 \text{ LSB}' \quad [\text{V}]$$

$$V_{FST}' (\text{理想値}) = \text{AVRH} - 1.5 \text{ LSB}' \quad [\text{V}]$$

V_{NT}' : デジタル出力が (N-1) からNに移る電圧

13.6 12 ビット D/A コンバータ

D/A 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$)

| 項目 | 記号 | 端子名 | 規格値 | | | 単位 | 備考 |
|---------------|------------------|------|--------|------|-------|---------------------------------------|---------------------------------------|
| | | | 最小 | 標準 | 最大 | | |
| 分解能 | - | DAx | - | - | 12 | bit | |
| 変換時間 | tc20 | | 0.56 | 0.69 | 0.81 | μs | 負荷 20 pF |
| | tc100 | | 2.79 | 3.42 | 4.06 | μs | 負荷 100 pF |
| 積分直線性誤差* | INL | | - 16 | - | + 16 | LSB | |
| 微分直線性誤差* | DNL | | - 0.98 | - | + 1.5 | LSB | |
| 出力電圧オフセット | V _{OFF} | | - | - | 10.0 | mV | 0x000 設定時 |
| | | | - 20.0 | - | + 1.4 | mV | 0xFFFF 設定時 |
| アナログ出力インピーダンス | R _O | | 3.10 | 3.80 | 4.50 | kΩ | D/A 動作時 |
| | | 2.0 | - | - | MΩ | D/A 停止時 | |
| 電源電流* | IDDA | AVCC | 260 | 330 | 410 | μA | D/A 1unit 動作時 AV _{CC} =3.3 V |
| | 400 | | 510 | 620 | μA | D/A 1unit 動作時 AV _{CC} =5.0 V | |
| | IDSA | | - | - | 14 | μA | D/A 停止時 |

*: 無負荷時

13.7 低電圧検出特性

13.7.1 低電圧検出リセット

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|------|-----|----|------|------|------|----|-------|
| | | | 最小 | 標準 | 最大 | | |
| 検出電圧 | VDL | - | 2.25 | 2.45 | 2.65 | V | 電圧降下時 |
| 解除電圧 | VDH | - | 2.30 | 2.50 | 2.70 | V | 電圧上昇時 |

13.7.2 低電圧検出割込み

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|------------|-------|--------------|------|-----|---------------|----|-------|
| | | | 最小 | 標準 | 最大 | | |
| 検出電圧 | VDL | SVHI = 00111 | 2.58 | 2.8 | 3.02 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.67 | 2.9 | 3.13 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 00100 | 2.76 | 3.0 | 3.24 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.85 | 3.1 | 3.34 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01100 | 2.94 | 3.2 | 3.45 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.04 | 3.3 | 3.56 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01111 | 3.31 | 3.6 | 3.88 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.40 | 3.7 | 3.99 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01110 | 3.40 | 3.7 | 3.99 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.50 | 3.8 | 4.10 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01001 | 3.68 | 4.0 | 4.32 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.77 | 4.1 | 4.42 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01000 | 3.77 | 4.1 | 4.42 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.86 | 4.2 | 4.53 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 11000 | 3.86 | 4.2 | 4.53 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.96 | 4.3 | 4.64 | V | 電圧上昇時 |
| LVD 安定待ち時間 | tLVDW | - | - | - | 4480 × tcycp* | μs | |

*: tcycp は APB2 バスクロックのサイクル時間です。

13.8 メインフラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V ~ 5.5V)

| 項目 | | 規格値 | | | 単位 | 備考 |
|-----------------------------|----------------------|-----|------|-----|----|----------------------|
| | | 最小 | 標準 | 最大 | | |
| セクタ消去時間 | Large Sector | - | 0.7 | 3.7 | s | 内部での消去前書込み時間を含む |
| | Small Sector | | 0.3 | 1.1 | | |
| ハーフワード (16 ビット) 書込み時間 | 書込み サイクル ≤ 100 | - | 12 | 100 | μs | システムレベルのオーバーヘッド時間は除く |
| | 書込み サイクル > 100 | | | 200 | | |
| チップ消去時間 | | - | 13.6 | 68 | s | 内部での消去前書込み時間を含む |

書込みサイクルとデータ保持時間

| 消去/書込みサイクル(cycle) | 保持時間(年) |
|-------------------|---------|
| 1,000 | 20 * |
| 10,000 | 10 * |
| 100,000 | 5 * |

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

13.9 ワークフラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V ~ 5.5V)

| 項目 | | 規格値 | | | 単位 | 備考 |
|-------------------------|--|-----|-----|-----|----|----------------------|
| | | 最小 | 標準 | 最大 | | |
| セクタ消去時間 | | - | 0.3 | 1.5 | s | 内部での消去前書込み時間を含む |
| ハーフワード(16 ビット) 書込み時間 | | - | 20 | 200 | μs | システムレベルのオーバーヘッド時間は除く |
| チップ消去時間 | | - | 1.2 | 6 | s | 内部での消去前書込み時間を含む |

書込みサイクルとデータ保持時間

| 消去/書込みサイクル(cycle) | 保持時間(年) |
|-------------------|---------|
| 1,000 | 20 * |
| 10,000 | 10 * |
| 100,000 | 5 * |

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

13.10 スタンバイ復帰時間

13.10.1 復帰要因: 割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

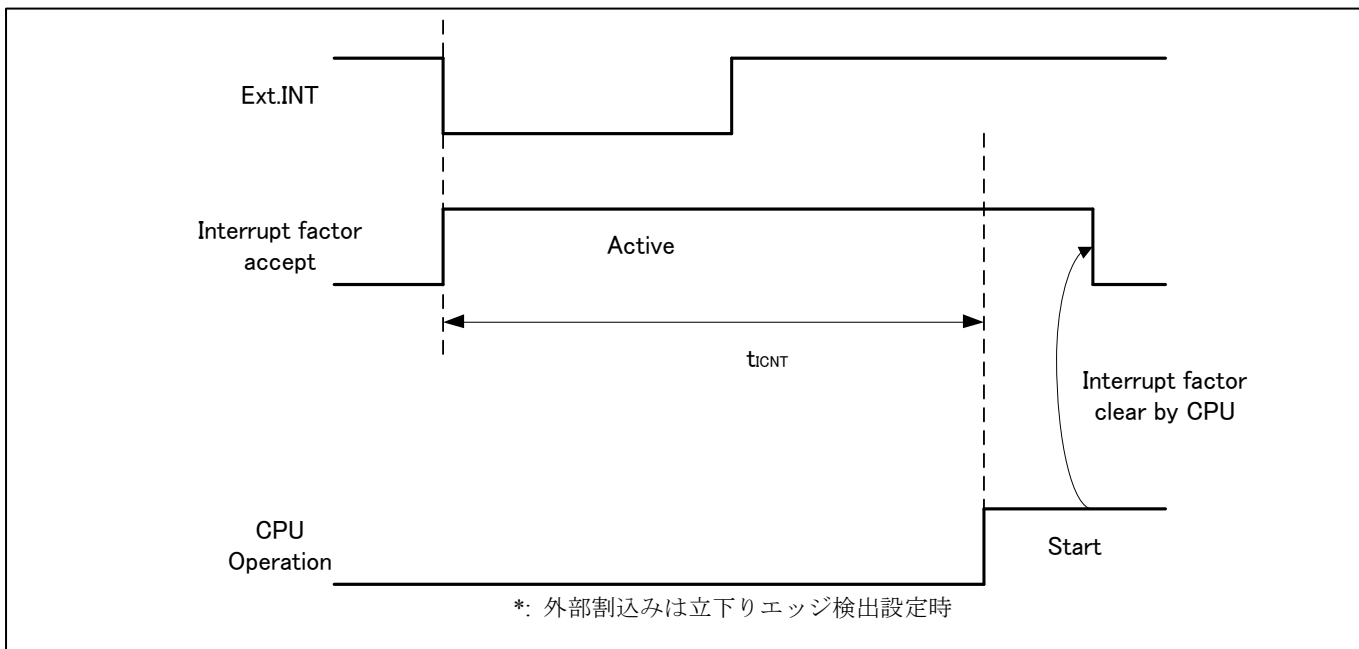
復帰カウンタ時間

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

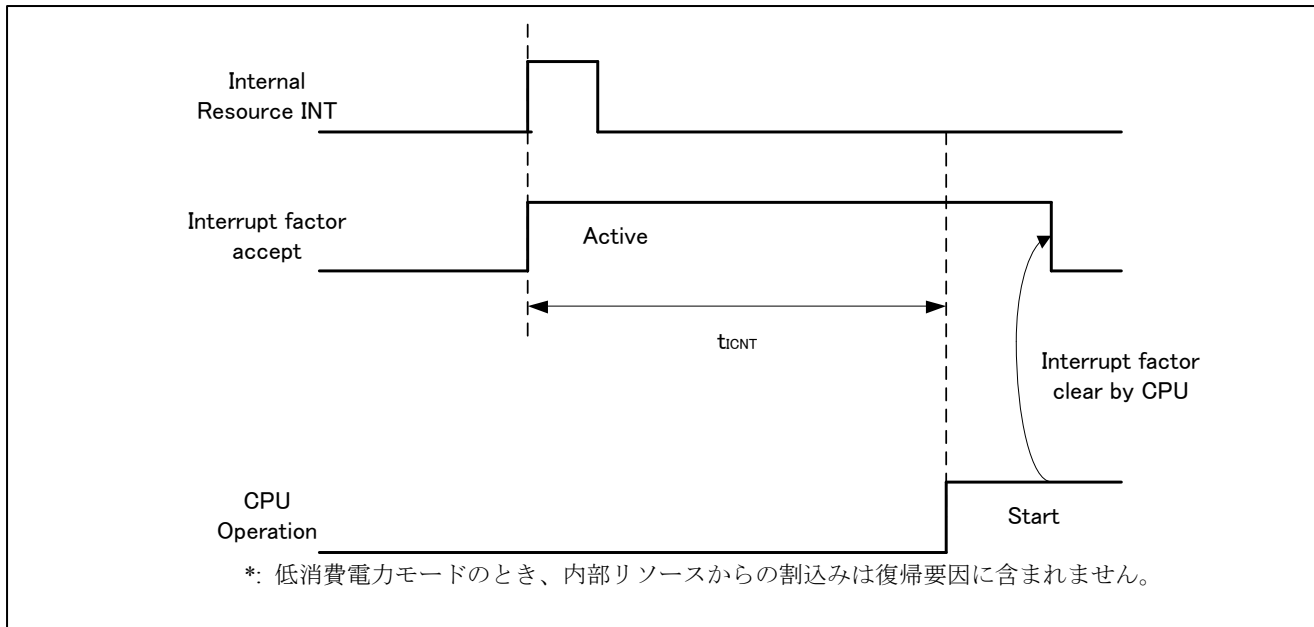
| 項目 | 記号 | 規格値 | | 単位 | 備考 |
|---|-------------------|--------|------|----|----------|
| | | 標準 | 最大* | | |
| スリープモード | t _{ICNT} | HCLK×1 | | μs | |
| 高速 CR タイマモード メインタイマモード PLL タイマモード | | 40 | 80 | μs | |
| 低速 CR タイマモード | | 450 | 900 | μs | |
| サブタイマモード | | 896 | 1136 | μs | |
| RTC モード ストップモード (メイン/高速 CR/PLL ランモード復帰) | | 316 | 581 | μs | |
| RTC モード ストップモード (サブ/低速 CR ランモード復帰) | | 270 | 540 | μs | |
| ディープスタンバイ RTC モード | | 365 | 667 | μs | RAM 保持なし |
| ディープスタンバイストップモード | | 365 | 667 | μs | RAM 保持あり |

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



スタンバイ復帰動作例(内部リソース割込み復帰時*)



<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

13.10.2 復帰要因: リセット

リセット解除からプログラム動作開始までの時間を示します。

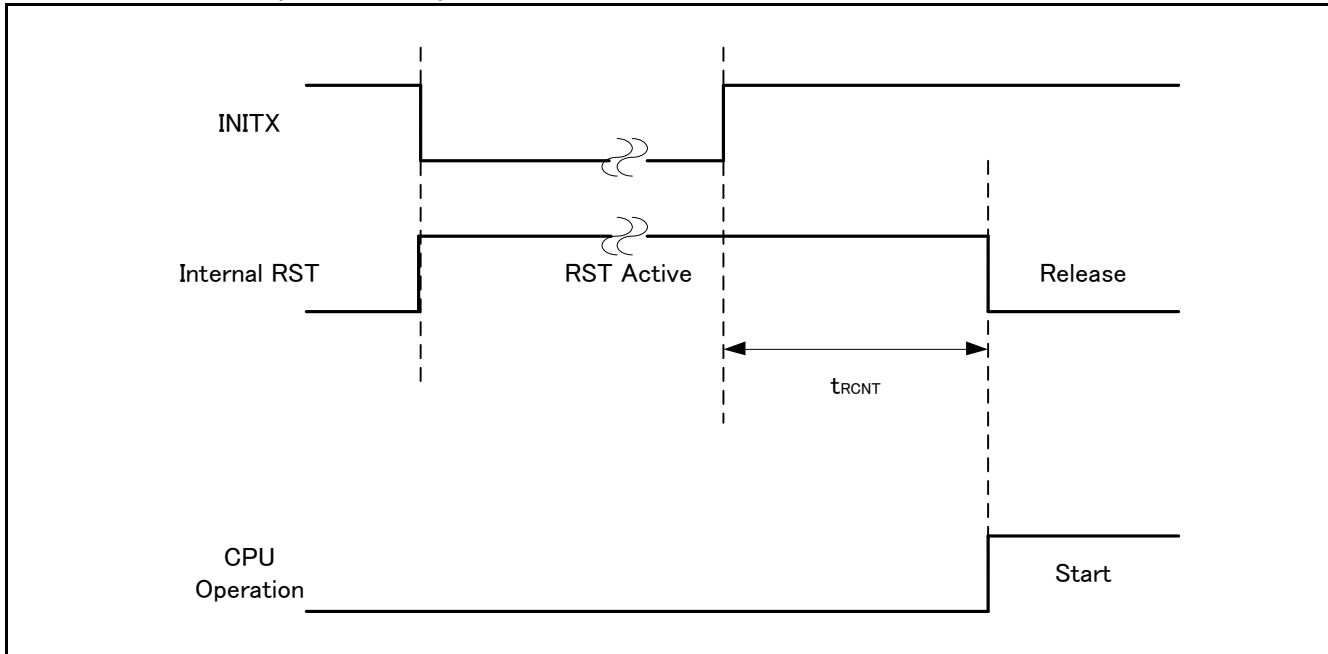
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

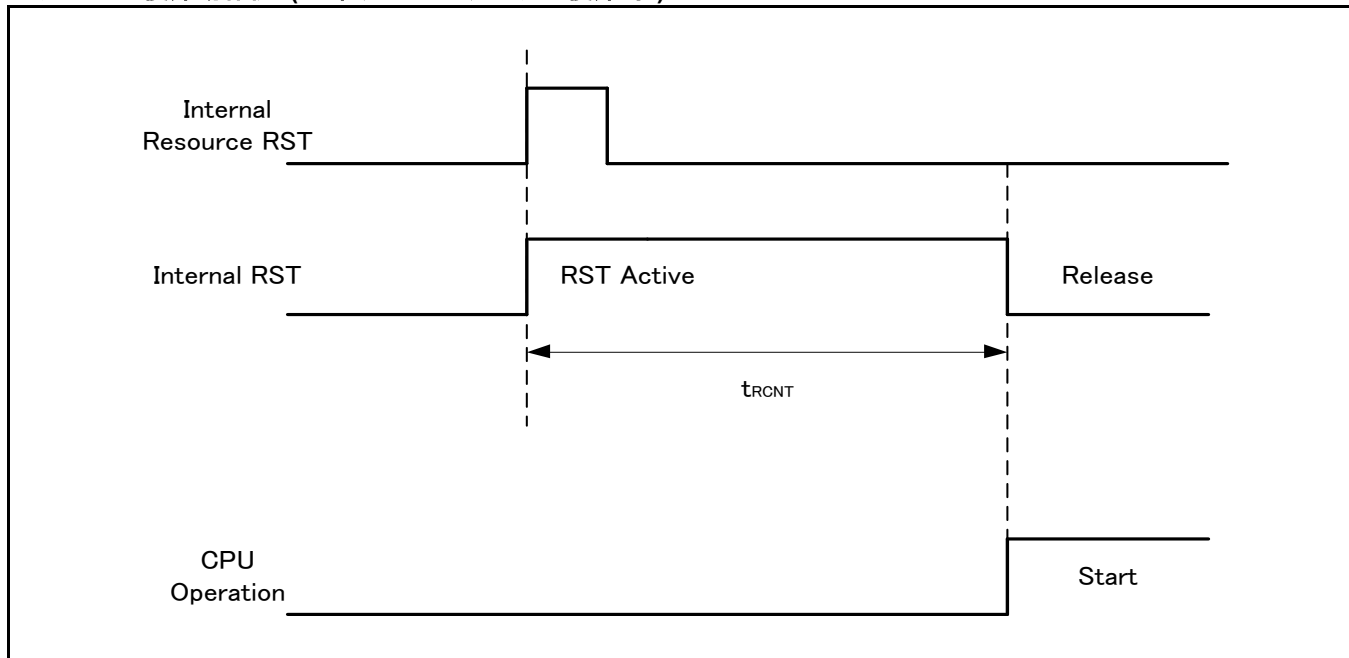
| 項目 | 記号 | 規格値 | | 単位 | 備考 |
|---|-------------------|-----|-----|----|----------|
| | | 標準 | 最大* | | |
| スリープモード | t _{RCNT} | 155 | 266 | μs | |
| 高速 CR タイマモード メインタイマモード PLL タイマモード | | 155 | 266 | μs | |
| 低速 CR タイマモード | | 315 | 567 | μs | |
| サブタイマモード | | 315 | 567 | μs | |
| RTC モード ストップモード | | 315 | 567 | μs | |
| ディープスタンバイ RTC モード | | 336 | 667 | μs | RAM 保持なし |
| ディープスタンバイストップモード | | 336 | 667 | μs | RAM 保持あり |

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例 (内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

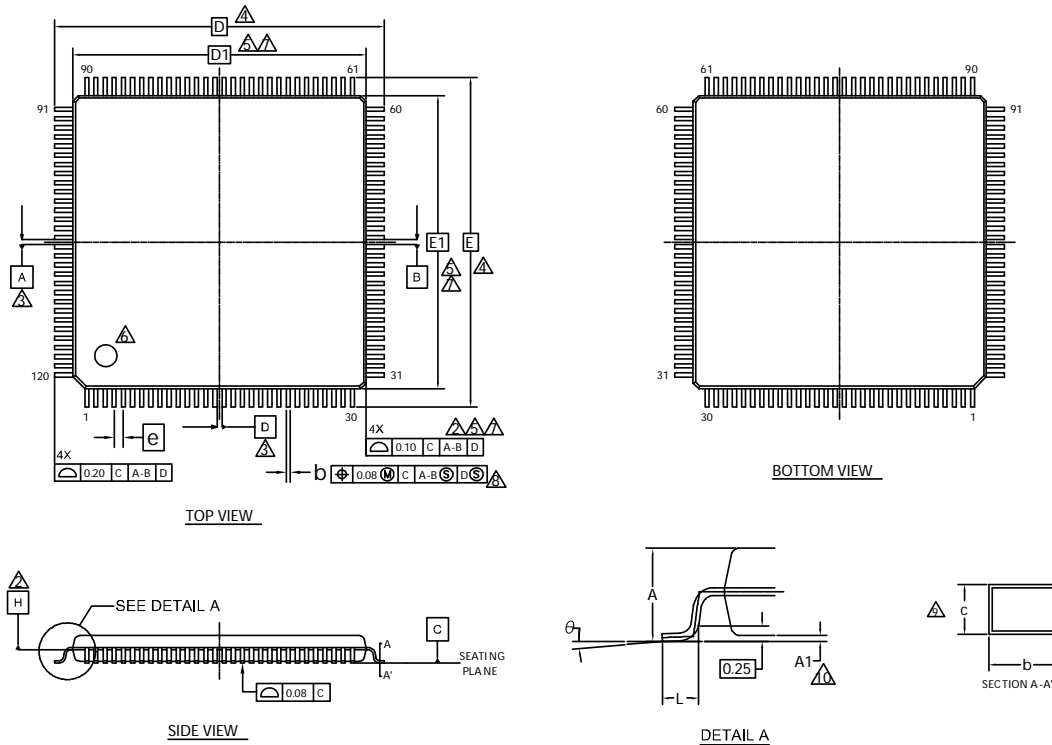
- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM4 ファミリー ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「13.4.7 パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット、CSV リセットを指します。

14. オーダー型格

| Part Number | Flash | RAM | CAN | SD Card Interface | Package |
|--------------------|--------|-------|-----|-------------------|---|
| S6E2HG6G0A GV20000 | 544 KB | 64 KB | ✓ | ✓ | Plastic LQFP (0.5-mm pitch), 120 pin (LQM120) |
| S6E2HG4G0A GV20000 | 288 KB | 32 KB | ✓ | ✓ | |
| S6E2HG6F0A GV20000 | 544 KB | 64 KB | ✓ | ✓ | Plastic LQFP (0.5-mm pitch), 100 pin (LQI100) |
| S6E2HG4F0A GV20000 | 288 KB | 32 KB | ✓ | ✓ | |
| S6E2HG6E0A GV20000 | 544 KB | 64 KB | ✓ | ✓ | Plastic LQFP (0.5-mm pitch), 80 pin (LQH080) |
| S6E2HG4E0A GV20000 | 288 KB | 32 KB | ✓ | ✓ | |
| S6E2HG6G0A GB3000A | 544 KB | 64 KB | ✓ | ✓ | Plastic FBGA (0.5-mm pitch), 121 pin (FDI121) |
| S6E2HG4G0A GB3000A | 288 KB | 32 KB | ✓ | ✓ | |
| S6E2HE6G0A GV20000 | 544 KB | 64 KB | | ✓ | Plastic LQFP (0.5-mm pitch), 120 pin (LQM120) |
| S6E2HE4G0A GV20000 | 288 KB | 32 KB | | ✓ | |
| S6E2HE6F0A GV2000A | 544 KB | 64 KB | | ✓ | Plastic LQFP (0.5-mm pitch), 100 pin (LQI100) |
| S6E2HE4F0A GV20000 | 288 KB | 32 KB | | ✓ | |
| S6E2HE6E0A GV20000 | 544 KB | 64 KB | | ✓ | Plastic LQFP (0.5-mm pitch), 80 pin (LQH080) |
| S6E2HE4E0A GV20000 | 288 KB | 32 KB | | ✓ | |
| S6E2HE6G0A GB3000A | 544 KB | 64 KB | | ✓ | Plastic FBGA (0.5-mm pitch), 121 pin (FDI121) |
| S6E2HE4G0A GB3000A | 288 KB | 32 KB | | ✓ | |
| S6E2H46G0A GV20000 | 544 KB | 64 KB | ✓ | | Plastic LQFP (0.5-mm pitch), 120 pin (LQM120) |
| S6E2H44G0A GV20000 | 288 KB | 32 KB | ✓ | | |
| S6E2H46F0A GV20000 | 544 KB | 64 KB | ✓ | | Plastic LQFP (0.5-mm pitch), 100 pin (LQI100) |
| S6E2H44F0A GV20000 | 288 KB | 32 KB | ✓ | | |
| S6E2H46E0A GV20000 | 544 KB | 64 KB | ✓ | | Plastic LQFP (0.5-mm pitch), 80 pin (LQH080) |
| S6E2H44E0A GV20000 | 288 KB | 32 KB | ✓ | | |
| S6E2H46G0A GB3000A | 544 KB | 64 KB | ✓ | | Plastic FBGA (0.5-mm pitch), 121 pin (FDI121) |
| S6E2H44G0A GB3000A | 288 KB | 32 KB | ✓ | | |
| S6E2H16G0A GV20000 | 544 KB | 64 KB | | | Plastic LQFP (0.5-mm pitch), 120 pin (LQM120) |
| S6E2H14G0A GV20000 | 288 KB | 32 KB | | | |
| S6E2H16F0A GV20000 | 544 KB | 64 KB | | | Plastic LQFP (0.5-mm pitch), 100 pin (LQI100) |
| S6E2H14F0A GV20000 | 288 KB | 32 KB | | | |
| S6E2H16E0A GV20000 | 544 KB | 64 KB | | | Plastic LQFP (0.5-mm pitch), 80 pin (LQH080) |
| S6E2H14E0A GV20000 | 288 KB | 32 KB | | | |
| S6E2H16G0A GB3000A | 544 KB | 64 KB | | | Plastic FBGA (0.5-mm pitch), 121 pin (FDI121) |
| S6E2H14G0A GB3000A | 288 KB | 32 KB | | | |

15. パッケージ・外形寸法図

| Package Type | Package Code |
|--------------|--------------|
| LQFP 120 | LQM120 |



| SYMBOL | DIMENSIONS | | |
|----------|------------|------|-------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.05 | — | 0.15 |
| b | 0.17 | 0.22 | 0.27 |
| c | 0.115 | — | 0.195 |
| D | 18.00 BSC | | |
| D1 | 16.00 BSC | | |
| e | 0.50 BSC | | |
| E | 18.00 BSC | | |
| E1 | 16.00 BSC | | |
| L | 0.45 | 0.60 | 0.75 |
| θ | 0° | — | 8° |

NOTES

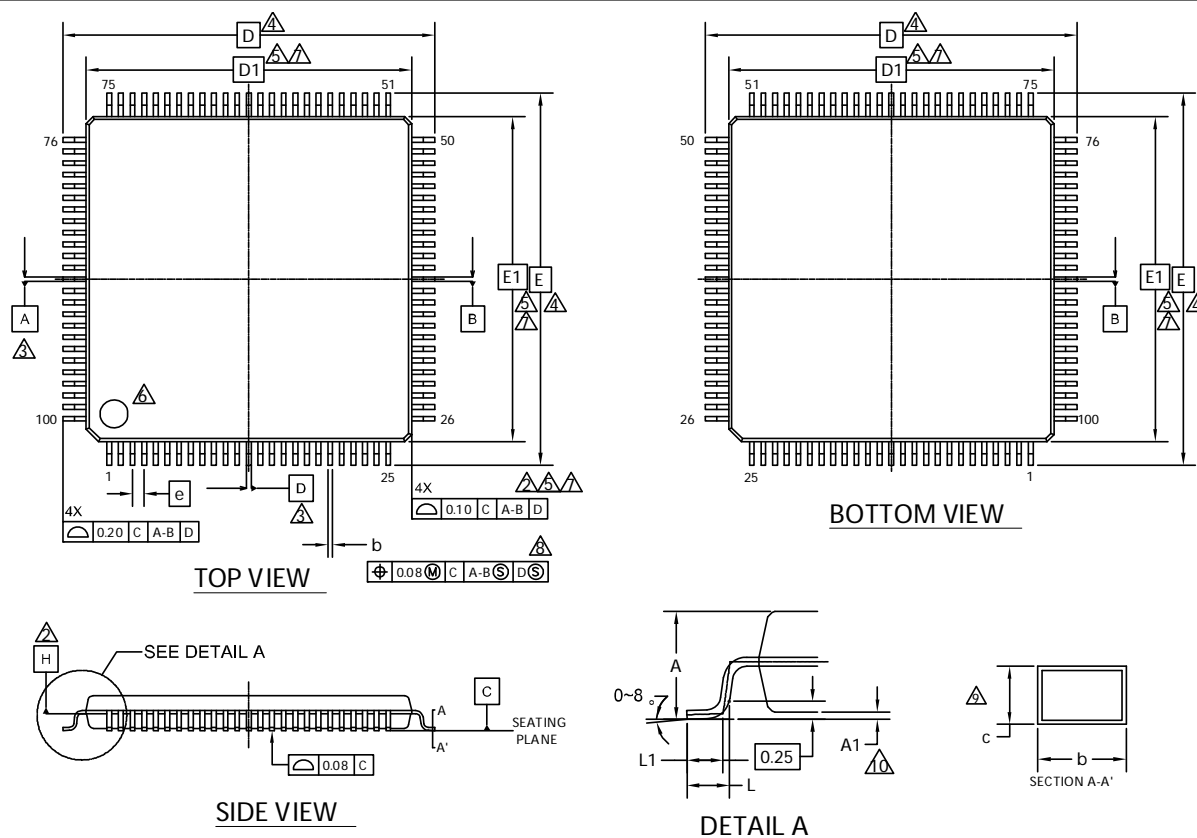
- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. JEDEC SPECIFICATION NO. REF: N/A.

PACKAGE OUTLINE, 120 LEAD LQFP
 18.0X18.0X1.7 MM LQM120 REV**

002-16172 **

| Package Type | Package Code |
|--------------|--------------|
| LQFP 100 | LQI100 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.05 | — | 0.15 |
| b | 0.15 | — | 0.27 |
| c | 0.09 | — | 0.20 |
| D | 16.00 BSC | | |
| D1 | 14.00 BSC | | |
| e | 0.50 BSC | | |
| E | 16.00 BSC | | |
| E1 | 14.00 BSC | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |

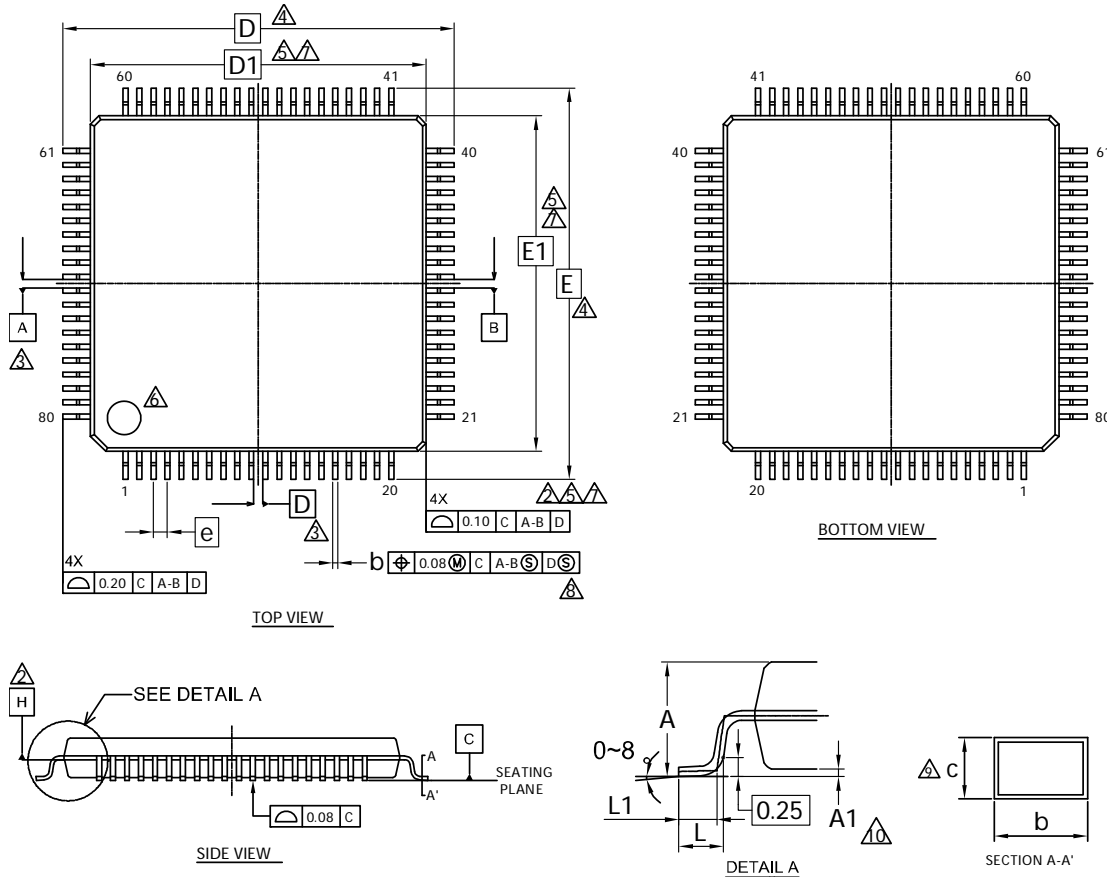
NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

002-11500 *A

| Package Type | Package Code |
|--------------|--------------|
| LQFP 80 | LQH080 |

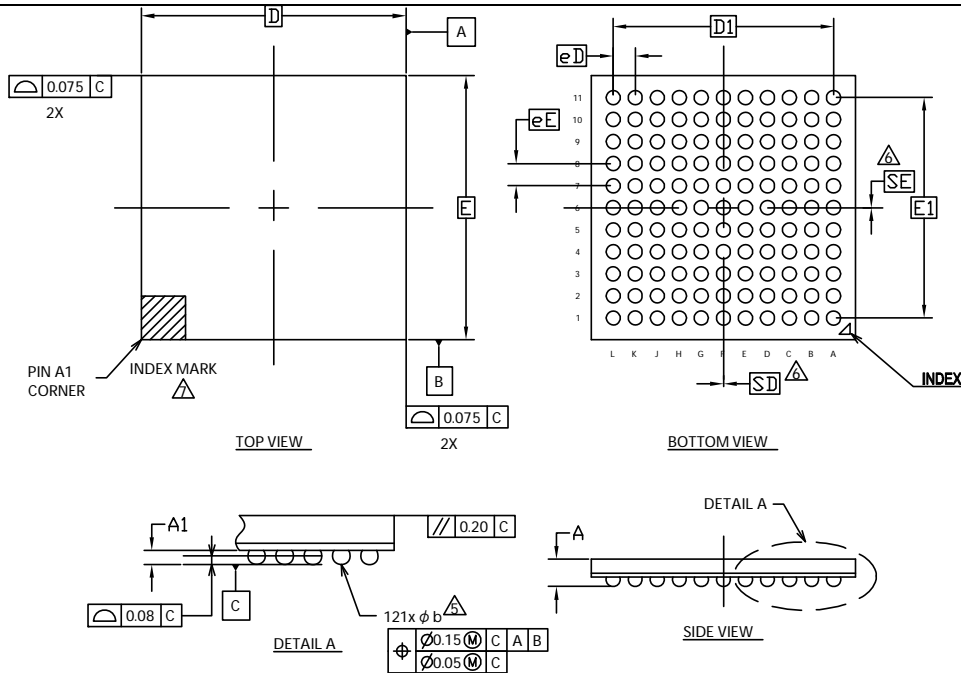


| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.05 | — | 0.15 |
| b | 0.15 | — | 0.27 |
| c | 0.09 | — | 0.20 |
| D | 14.00 BSC. | | |
| D1 | 12.00 BSC. | | |
| e | 0.50 BSC. | | |
| E | 14.00 BSC. | | |
| E1 | 12.00 BSC. | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm).
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

| Package Type | Package Code |
|--------------|--------------|
| FBGA 121 | FDI121 |


NOTES:

| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | - | - | 1.20 |
| A1 | 0.20 | 0.25 | 0.30 |
| D | 6.00 BSC | | |
| E | 6.00 BSC | | |
| D1 | 5.00 BSC | | |
| E1 | 5.00 BSC | | |
| MD | 11 | | |
| ME | 11 | | |
| N | 121 | | |
| Ø b | 0.27 | 0.32 | 0.37 |
| eD | 0.50 BSC | | |
| eE | 0.50 BSC | | |
| SD | 0.00 | | |
| SE | 0.00 | | |

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

改訂履歴

文書名: S6E2H シリーズ 32 ビット ARM® Cortex®-M4F, FM4 マイクロコントローラ

文書番号: 001-99421

| 版 | ECN 番号 | 変更者 | 発行日 | 変更内容 |
|----|---------|------|------------|--|
| ** | 4884630 | YUIA | 08/18/2015 | New Spec. (これは英語版の 001-98943 Rev. ** を翻訳した日本語版です。) |
| *A | 4932870 | YUIA | 10/02/2015 | Preliminary から Final に変更。 12.2 推奨動作条件 を更新: "平滑コンデンサ容量(C _s)"を追加。 "動作時最大リーク電流"の"電流値"を追加。 12.3.1 電流規格 を更新: Table 12-1 ~ 12-9 を更新: "最大値"を追加。 Table 12-11 を更新: 電圧、温度条件を追加。 12.10.1 復帰要因: 割込み/WKUP を更新: 復帰カウント時間を更新。 12.10.2 復帰要因: リセット を更新: 復帰カウント時間を更新。 |
| *B | 5027953 | YUIA | 11/26/2015 | 2 パッケージと品種対応 を更新: FBGA を"開発中から"対応"に変更。 4 端子機能一覧 を更新: JTAG 端子についての"注意事項"を追加。 12.5 12 ビット A/D コンバータを更新: "ゼロトランジション"と"フルスケールトランジション"の値を更新。 "総合誤差"を追加。 |
| *C | 5639298 | NOSU | 02/22/2017 | サイプレスロゴを更新 特長 リアルタイムクロック(RTC:Real Time Clock)の記述を以下の様に修正((/秒/曜日)の削除): 修正前) 日時指定(年/月/日/時/分/秒/曜日)での割込み機能、年/月/日/時/分 だけの個別設定も可能 修正後) 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分 だけの個別設定も可能 3 端子配列図を更新: 図から信号名を削除。 4 端子機能一覧を更新: 入出力回路形式および端子状態形式にハイパーリンクを追加。 5 入出力回路形式を更新: 分類 N の備考に"- 5V トレラント"を追加。 7 デバイス使用上の注意を更新: 電源投入時についてにコメントを追加。 10 メモリマップを更新: メモリマップ(2)の最大アドレスを 0x200D_FFFF に変更。 11 各 CPU ステートにおける端子状態を更新: VBAT ドメイン端子状態一覧表に"*1"を追加。 12.3.1 電流規格を更新: Table 12-9 に"*7"を追加。 12.4.7 パワーオンリセットタイミングを更新: 項目、規格を以下の様に変更。また、備考および<注意事項>としてコメントを追記。 電源立上り時間(T _r)を削除。 |

| | | | | |
|----|---------|------|------------|--|
| | | | | <p>電源断時間(Toff)の規格値を変更。 修正前)電源断時間(t_{OFF})[ms] : 1(最小), -(最大) 修正後)電源断時間(t_{OFF})[ms] : 50(最小), -(最大) 電源立上り速度(dV/dt)を追加。 12.4.11 CSIO タイミングを更新: 以下の例に従い、表タイトルから”SPI=1”および”MS=0”を削除。また、タイミング図に”MS ビット=0”または”MS ビット=1”を追加。 計 8 か所 (106、108、110、112、122、124、126、128 ページ)。 表タイトル修正の例 (106 ページの場合) 修正前) 同期シリアル チップセレクト使用時(SPI=1,SCINV=0,MS=0,CSLVL=1) 修正後) 同期シリアル チップセレクト使用時(SCINV=0,CSLVL=1) 12.4.11 CSIO タイミングの表にボーレートの最大値を追加。 計 4 か所 (98、100、102、104 ページ)。 12.4.15 SD カードインタフェースタイミングを更新: High-Speed Mode の<注意事項>から、” High-Speed Mode では、Clock 周波数(f_{PP})と AHB Bus Clock 周波数を同じ値に設定してください。”の条件を削除。 13 オーダ型格を以下の様に修正: S6E2HG6G0A GB30000 → S6E2HG6G0A GB3000A S6E2HG4G0A GB30000 → S6E2HG4G0A GB3000A 14 パッケージ・外形寸法図の図を更新</p> |
| *D | 5849501 | HTER | 08/10/2017 | <p>これは英語版の 001-98943 Rev.*E を翻訳した日本語版です。 Cypress の新ロゴを適用 S6E2H シリーズを統合 2. 品種構成の表を拡張 3. パッケージと品種対応の表を拡張 4. 製品の特長を章として追加 14. オーダ型格の表を拡張 15. パッケージ・外形寸法図 002-11500 を*A 版に更新</p> |

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

| | |
|-------------------------------|--|
| ARM® Cortex® Microcontrollers | cypress.com/arm |
| 車載用 | cypress.com/automotive |
| クロック&バッファ | cypress.com/clocks |
| インターフェース | cypress.com/interface |
| IoT (モノのインターネット) | cypress.com/iot |
| メモリ | cypress.com/memory |
| マイクロコントローラ | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 電源用 IC | cypress.com/pmic |
| タッチ センシング | cypress.com/touch |
| USB コントローラー | cypress.com/usb |
| ワイヤレス/RF | cypress.com/wireless |

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)
| [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2015-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。