

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



S6E2G シリーズ

32 ビット Arm® Cortex®-M4F FM4 マイクロコントローラ

S6E2G シリーズは最大 180 MHz CPU, 1 MB フラッシュ, 192 KB SRAM, 20 個の通信ペリフェラル, 33 個のデジタルペリフェラルおよび 3 個のアナログペリフェラルから構成される FM4 デバイスであり、産業用オートメーションおよびメータアプリケーション向けに設計されています。S6E2G シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは Arm® Cortex®-M4F プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御タイマ、A/D コンバータおよび各種通信インタフェース (USB, CAN, UART, CSIO (SPI), I²C, LIN) などにより構成されています。このデータシートに記載されている製品は、「FM4 Family Peripheral Manual Main Part (002-04856)」の TYPE5-M4 製品に分類されます。

- 32 ビット Arm® Cortex®-M4F コア
 - 最大動作周波数: 180 MHz
- 内蔵メモリ
 - フラッシュメモリ: 最大 1024 K バイト
 - SRAM メモリ:
 - SRAM0: 最大 128 KB
 - SRAM1: 32 KB
 - SRAM2: 32 KB
- ダイレクトメモリアクセス (DMA) コントローラ (8 チャンネル)
- DSTC (Descriptor System data Transfer Controller); 256 チャンネル
- 外部バスインタフェース
- USB インタフェース (最大 2 チャンネル): ホストおよびデバイス
- CAN インタフェース (最大 1 チャンネル)、S6E2GM および S6E2GH デバイスのみに利用可能
- マルチファンクションシリアルインタフェース (最大 10 チャンネル)
 - UART (非同期シリアルインタフェース)
 - CSIO (SPI に対応)
 - LIN
 - I²C
 - I²S
- ベースタイマ (最大 16 個のチャンネル)
- 汎用 I/O ポート
 - 最大 121 本の高速汎用 I/O ポート@144-pin package
 - 最大 153 本の高速汎用 I/O ポート@176-pin package
- 多機能タイマ (最大 2 ユニット)
- リアルタイムクロック (RTC)
- A/D コンバータ (ADC) (最大 32 チャンネル)
- デュアルタイマ (32/16 ビット ダウンカウンタ)
- クアッドカウンタ (Quadrature Position/Revolution Counter - QPRC; 最大 2 チャンネル)
- 時計カウンタ
- 外部割込み制御 ユニット
- ウォッチドッグタイマ (2 チャンネル)
- CRC (Cyclic Redundancy Check) アクセラレータ
- SD カードインタフェースは S6E2GM、S6E2GH および S6E2GK デバイスのみに利用可能
- Ethernet-MAC は S6E2GM、S6E2GK および S6E2G2 デバイスのみに利用可能
- Smartcard インタフェース (最大 2 チャンネル)
- 5 種類のクロックソース
- 6 種類のリセットソース
- クロック 監視機能 (CSV: Clock Supervisor)
- 低電圧検出機能 (LVD: Low-Voltage Detection)
- 6 種類の低消費電力モード
 - スリープ
 - タイマ
 - RTC
 - ストップ
 - ディープスタンバイ RTC
 - ディープスタンバイストップ
- 周辺クロック停止機能
- デバッグ
 - シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
 - エンベデッド・トレース・マクロセル (ETM) (デバッグおよびトレースを容易にする)。
 - AHBトレース・マクロセル (HTM)
- 41 ビット ユニーク ID
- ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V

サイプレス FM4 MCU のエコシステム

サイプレスは、お客様のデザインに適切な MCU を選択し、選択したデバイスをデザインに迅速で効果的に組み込むことができるよう、www.cypress.com に豊富なデータを掲載しています。以下に FM4 MCU に関連する資料を掲載します。

■ 概要: 製品ポートフォリオ、製品ロードマップ

■ 製品セレクト: FM4 MCU

- アプリケーションノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックの FM4 アプリケーションノートを提供しています。FM4 ファミリー入門用の推奨アプリケーションノートを以下に示します:

- [AN204468 - FM4 I2S USB MP3 Player Application 32-Bit Microcontroller FM4 Family](#): このアプリケーションノートは、I2S USB MP3 Player ソフトウェアの一般的なアーキテクチャ、各モジュールの詳細や使用方法について説明します。
- [AN204471 - FM4 S6E2CC Series External Memory Programmer](#): このアプリケーションノートは、S6E2CC シリーズ Starter Kit 上で、Quad SPI フラッシュメモリプログラミング用のオフラインでプログラムするための MCU ユニバーサルプログラマの使用法について説明します。
- [AN203277 - FM 32-Bit Microcontroller Family Hardware Design Considerations](#): このアプリケーションノートは、FM0+、FM3 および FM4 ファミリーの MCU を使用するハードウェアシステムを設計するための幾つかのトピックを掲載します。電力システム、リセット、水晶、他の端子の接続、プログラミングおよびデバッグのインタフェースの項目が含まれます。
- [AN202488 - FM4 MB9BF56x and S6E2HG Series MCU - Servo Motor Speed Control](#): このアプリケーションノートは、MB9BF56x および S6E2HG の FM4 MCU のサーボモータ速度制御ソリューションを提供します。

- [AN99235 - FM4 S6E2HG Series MCU - 16-Bit PWM Using a Base Timer](#): 32 ビット Arm® Cortex®-M4 マイクロコントローラ FM4 S6E2H シリーズ モータ制御 Arm® Cortex®-M4 MCU のサイプレス FM4 ファミリー

- [AN202487 - Differences Among FM0+, FM3, and FM4 32-Bit Microcontrollers](#): サイプレス FM ファミリー間のペリフェラルの差異について説明します。各ペリフェラル毎に個別の章を設け、リスト、表およびペリフェラル機能とレジスタの差異について説明しています。

- [AN204438 - How to Setup Flash Security for FM0+, FM3 and FM4 Families](#): このアプリケーションノートは、FM0+、FM3 および FM4 デバイス用のフラッシュセキュリティのセットアップ方法を説明します。

■ 開発キット:

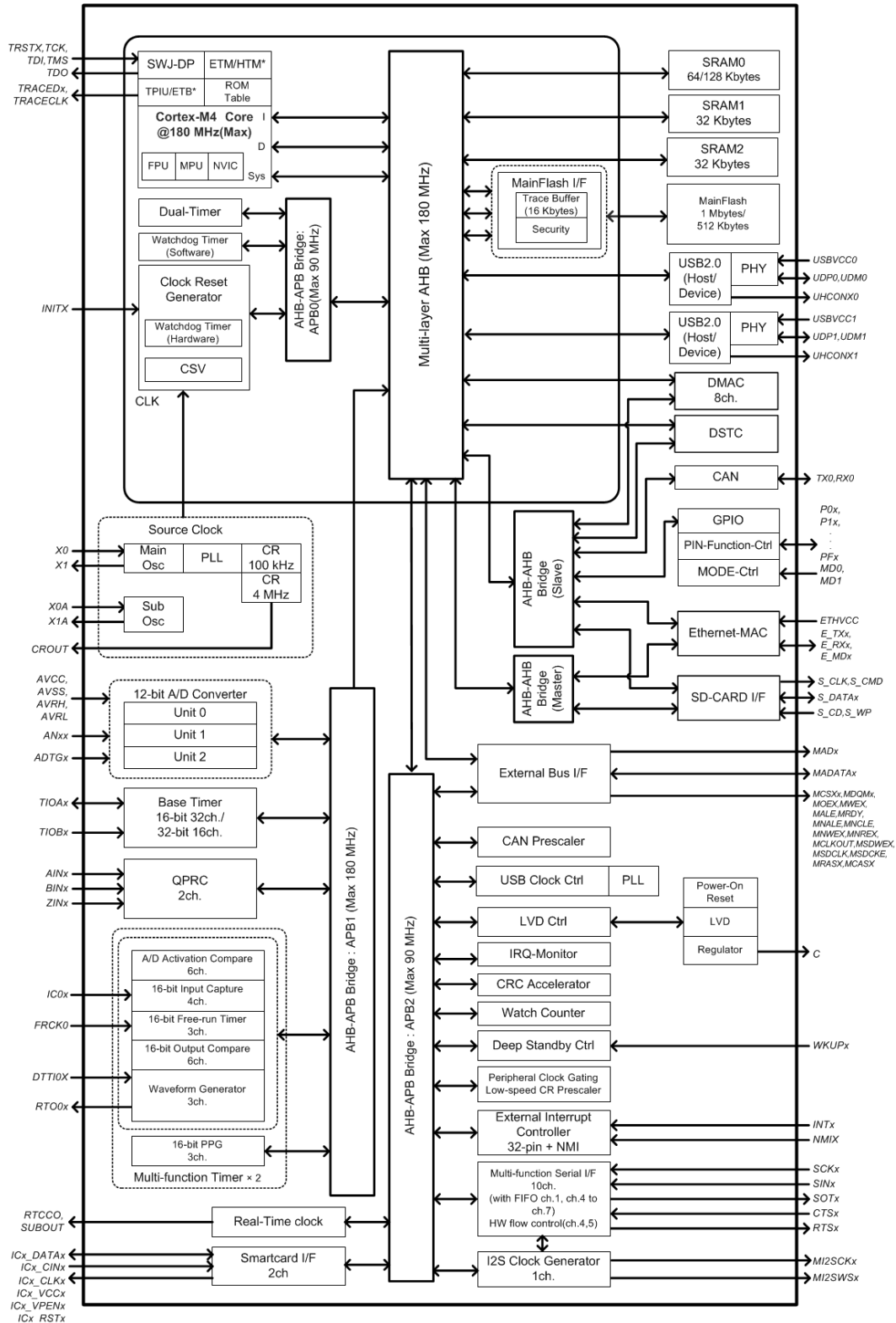
- [FM4-U120-9B560 - USB および CMSIS-DAP を備えた Arm® Cortex®-M4 MCU スタータキット](#)
- [FM4-216-ETHERNET - Ethernet、CAN および USB ホストを備えた Arm® Cortex®-M4 MCU 開発キット](#)
- [FM4-176L-S6E2CC-ETH - Ethernet および USB ホストを備えた Arm® Cortex®-M4 MCU スタータキット](#)
- [FM4-176L-S6E2GM - Ethernet および USB ホストを備えた Arm® Cortex®-M4 MCU Pioneer Kit](#)

■ ペリフェラルマニュアル

目次

1. S6E2G シリーズ ブロックダイヤグラム	4	12.4.7 リセット入力規格	102
2. 品種構成	5	12.4.8 パワーオンリセットタイミング	103
3. パッケージの品種対応	7	12.4.9 GPIO 出力規格	103
4. 製品の特長	8	12.4.10 外部バス タイミング	104
5. 端子配列図	12	12.4.11 ベースタイマ入力タイミング	115
6. 端子機能	14	12.4.12 CSIO (SPI) タイミング	116
7. 入出力回路形式	51	12.4.13 外部入力タイミング	149
8. 取扱上のご注意	60	12.4.14 クアッドカウンタタイミング	150
8.1 設計上の注意事項	60	12.4.15 I ² C タイミング	153
8.2 パッケージ実装上の注意事項	61	12.4.16 SD カードインタフェースタイミング	155
8.3 使用環境に関する注意事項	63	12.4.17 ETM/HTM タイミング	157
9. デバイス使用上の注意	64	12.4.18 JTAG タイミング	159
10. メモリ マップ	67	12.4.19 Ethernet-MAC タイミング	160
11. 各 CPU ステートにおける端子状態	71	12.4.20 I ² S タイミング (マルチファンクションシリアルインタ フェース)	165
12. 電气的特性	80	12.5 12ビット A/D コンバータ	166
12.1 絶対最大定格	80	12.6 USB 特性	170
12.2 推奨動作条件	82	12.7 低電圧検出特性	174
12.3 直流規格	87	12.7.1 低電圧検出リセット	174
12.3.1 電流規格	87	12.7.2 低電圧検出割込み	174
12.3.2 端子特性	97	12.8 メインフラッシュメモリ書込み／消去特性	175
12.4 交流規格	99	12.9 スタンバイ復帰時間	176
12.4.1 メインクロック入力規格	99	12.9.1 復帰要因: 割込み/WKUP	176
12.4.2 サブクロック入力規格	100	12.9.2 復帰要因: リセット	178
12.4.3 内蔵 CR 発振規格	100	13. オーダ型格	180
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメイン クロックを使用)	101	14. パッケージ・外形寸法図	181
12.4.5 USB/Ethernet 用 PLL の使用条件(PLL の入力 クロックにメインクロックを使用)	101	改訂履歴	183
12.4.6 メイン PLL の使用条件(メイン PLL の入力クロック に内蔵高速 CR クロックを使用)	102	セールス, ソリューションおよび法律情報	185

1. S6E2G シリーズ ブロックダイアグラム



2. 品種構成

メモリ サイズ

メモリ タイプ	製品名	
	S6E2GM6 S6E2GK6 S6E2GH6 S6E2G36 S6E2G26	S6E2GM8 S6E2GK8 S6E2GH8 S6E2G38 S6E2G28
オンチップフラッシュメモリ	512KB	1024KB
オンチップ SRAM	128KB	192KB
SRAM0	64KB	128KB
SRAM1	32KB	32KB
SRAM2	32KB	32KB

ファンクション

項目		品種名				
		S6E2GM6 S6E2GM8	S6E2GK6 S6E2GK8	S6E2GH6 S6E2GH8	S6E2G36 S6E2G38	S6E2G26 S6E2G28
CPU		Cortex®-M4F、MPU、NVIC 128 ch				
	周波数	180 MHz				
電源電圧範囲		2.7 V～5.5 V				
USB2.0 (デバイス／ホスト)		2 ch				
Ethernet-MAC		1ch (最大) MII: 1 ch／ RMII: 1 ch (最大)	—			1 ch (最大) MII: 1 ch／ RMII: 1 ch (最大)
CAN		1 ch (最大)	—	1 ch (最大)	—	
SD カードインタフェース		1 unit			—	
DMAC		8 ch				
DSTC		256 ch				
外部バスインタフェース		アドレス: 25 ビット (最大)、 データ: 8/16 ビット CS: 9 (最大)、 SRAM、 NOR フラッシュ NAND フラッシュ SDRAM				
マルチファンクション シリアルインタフェース (UART/CSIO(SPI)/ LIN/I ² C/I ² S)		10 ch (最大) ch 1、ch 4～ch 7: FIFO、 ch 0、ch 2、ch 3、ch 8～ch 15: No FIFO ch 1: I ² S				

項目			品種名				
			S6E2GM6 S6E2GM8	S6E2GK6 S6E2GK8	S6E2GH6 S6E2GH8	S6E2G36 S6E2G38	S6E2G26 S6E2G28
ベースタイム (PWC/リロードタイム/ PWM/PPG)			16 ch (最大)				
多機能タイム	A/D 起動 コンペア	6 ch	2 ユニット (最大)				
	インプット キャプチャ	4 ch					
	フリーラン タイム	3 ch					
	アウトプット コンペア	6 ch					
	波形ジェ ネレータ	3 ch					
	PPG	3 ch					
SmartCard (ISO7816)			2 ch (最大)				
QPRC			2 ch (最大)				
デュアルタイム			1 unit				
リアルタイムクロック			1 unit				
時計カウンタ			1 unit				
CRC アクセラレータ			Yes (Fixed)				
ウォッチドッグタイム			1 ch (SW) + 1 ch (HW)				
外部割込み			32 端子 (最大)+ NMI × 1				
CSV (クロック監視機能)			Yes				
LVD (低電圧検出機能)			2 ch				
内蔵 CR	高速		4 MHz				
	低速		100 kHz				
デバッグ機能			SWJ-DP/ETM/HTM				
ユニーク ID			Yes				

<注意事項>

- デバイスの機能は、パッケージ端子の制限により、すべて外部端子に割り当てることができません。設計時は注意して端子割当てを行う必要があります。
ご使用になる機能に応じて、I/O ポート割当てにポート リロケーション機能を用いてください。
- 内蔵 CR の精度について、「12.4.3 内蔵 CR 発振規格」をご参照ください。

3. パッケージの品種対応

S6E2G シリーズのすべての製品は、144 ピン LQFP および 176 ピン LQFP の両方で利用可能です。

項目	基本型格 S6E2G	
	パッケージ サフィックス	
	H0A	J0A
LQFP: (0.5mm ピッチ)	144 端子	176 端子
I/O ポート	121 端子 (最大)	153 端子 (最大)
12 ビット AD コンバータ	24 ch (3 unit)	32 ch (3 unit)

<注意事項>

- 製品型格と特長の差異については、「13. オーダ型格」をご参照ください。
- 各パッケージの詳細情報については、「14. パッケージ・外形寸法図」をご参照ください。

4. 製品の特長

32 ビット Arm® Cortex®-M4F コア

- 最大動作周波数: 180 MHz
- FPU 搭載
- DSP 命令対応
- メモリ保護ユニット (MPU): 組込みシステムの信頼性を向上
- ネスト型ベクタ割り込みコントローラ (NVIC): 1 ch の NMI (ノンマスクابل割り込み)、128 ch の周辺割り込みに対応し、16 の割り込み優先レベルを設定可能
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマ

オンチップメモリ

- フラッシュメモリ
本シリーズはフラッシュメモリを搭載します。
 - 最大 1024 KB
 - フラッシュアクセラレータ機能により、0 wait でアクセスを行います
 - コード保護用セキュリティ機能
- SRAM
オンチップ SRAM は 3 つの独立した SRAM (SRAM0、SRAM1 および SRAM2)により構成されます。SRAM0 は Cortex®-M4F コアの I-code バスと D-code バスに接続されます。SRAM1 と SRAM2 は Cortex®-M4F コアの System バスに接続されます。
 - SRAM0: 最大 128 KB
 - SRAM1: 32 KB
 - SRAM2: 32 KB

外部バスインタフェース

- SRAM、NOR、NAND フラッシュおよび SDRAM デバイスに対応
- 最大 9 チップセレクト CS0~CS8 (CS8 は SDRAM 専用)
- 8/16/32 ビットのデータ幅
- 最大 25 ビットのアドレスバス
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート
- スランブル機能をサポート
 - 4MB 単位で 0x6000_0000~0xDFFF_FFFF の外部領域にスランブル機能の有効性/無効性を設定可能
 - 2 種類のスランブルキーがある
 - 注意: スランブル機能の使用にサイプレス提供のソフトウェアライブラリを使用する必要がある

USB インタフェース (最大 2 チャンネル)

USB インタフェースはデバイスとホストで構成されます。

- USB デバイス
 - USB 2.0 Full-speed 対応
 - 最大 6 エンドポイント
 - エンドポイント 0 はコントロール転送
 - エンドポイント 1、2 はバルク転送、インタラプト転送またはアイソクロナス転送を選択可能
 - エンドポイント 3~5 は、バルク転送またはインタラプト転送を選択可能
 - エンドポイント 1~5 はダブルバッファ構成
 - 各エンドポイントのサイズは以下の通り:
 - エンドポイント 0、2~5: 64 バイト
 - エンドポイント 1: 256 バイト
- USB ホスト
 - USB 2.0 Full-Speed/Low-Speed 対応
 - バルク転送、インタラプト転送およびアイソクロナス転送に対応
 - USB デバイスの接続/切断を自動検出
 - IN/OUT トークン時のハンドシェイクパケットの自動処理
 - 最大 256 バイトのパケット長をサポート
 - ウェイクアップ機能をサポート

CAN インタフェース (最大 1 チャンネル) は S6E2GM と S6E2GH デバイスのみに利用可能

- CAN 仕様 2.0A/B に準拠
- 最大転送レート: 1Mbps
- 32 メッセージバッファ搭載

マルチファンクションシリアルインタフェース (最大 10 チャンネル)

- ch 1 および ch 4~7 に 64 バイト受信・送信 FIFO を搭載
- チャンネルごとに動作モードを次の中から選択できます:
 - UART
 - CSIO (SPI)
 - LIN
 - I2C
 - I2S
- UART
 - 全二重ダブルバッファ
 - パリティあり/なしの選択可能
 - 専用ボーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - 豊富なエラー検出機能 (パリティエラー、フレーミングエラーおよびオーバーランエラー)

■ CSIO (SPI)

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能
- シリアルチップセレクト機能 (ch 6 と ch 7 のみ)
- 高速 SPI 対応 (ch 4 と ch 6 のみ)
- データ長: 5~16 ビット

■ LIN

- LIN プロトコル Rev.2.1 に対応
- 全二重ダブルバッファ
- マスタ/スレーブモードに対応
- LIN break field 生成 (データ長が 13 ビットから 16 ビットに変更可能)
- LIN break デリミタ生成 (1 ビットから 4 ビット長に変更可能)
- 豊富なエラー検出機能 (パリティエラー, フレーミングエラーおよびオーバーランエラー)

■ I²C

- Standard-mode (最大 100 kbps)/Fast-mode (最大 400 kbps) に対応
- Fast-mode plus (Fm+) (最大 1000 kbps, ch 3 = ch A および ch 7 = ch B のみ) に対応

■ I²S

- CSIO (SPI) (ch 1 のみ) および I2S clock generator を使用
- 2 種類の転送プロトコルに対応: I2S および MSB-justified
- マスタモードのみ

DMA コントローラ (8 チャネル)

DMA コントローラは独立したバスを持ち、CPU と DMA コントローラは並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェアまたは内蔵周辺要求による転送開始が可能
- 転送アドレス空間: 32 ビット (4 GB)
- 転送モード: ブロック転送/バースト転送/デマンド転送
- 転送データタイプ: バイト/ハーフワード/ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

DSTC (Descriptor System data transfer Controller; 256 チャネル)

DSTC は CPU を介さずに高速でデータを転送できます。DSTC は Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/ペリフェラル デバイスに直接アクセスを行い、データ転送動作を実行できます。

ソフトウェア起動、ハードウェア起動およびチェーン起動機能サポート

A/D コンバータ (最大 32 チャネル)

- 12 ビット A/D コンバータ
 - 逐次比較型
 - 3 ユニット搭載
 - 変換時間: 0.5 μ s@5 V
 - 優先変換可能 (2 レベルの優先度)
 - スキャン変換モード
 - 変換データ格納用 FIFO 搭載 (スキャン変換用: 16 ステップ、優先変換用: 4 ステップ)

ベースタイマ (最大 16 チャネル)

チャンネルごとに動作モードを次の中から選択できます:

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットのリロードタイマ
- 16/32 ビットの PWC タイマ
- イベントカウンタモード (外部クロックモード)

汎用 I/O ポート

本シリーズは端子が外部バスまたは周辺機能に使用されていない場合、端子を汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てることができるかを設定できるポート リロケーション機能を搭載しています。

- 端子ごとのプルアップ制御可能
- 端子レベルを直接読み出し可能
- ポートリロケーション機能搭載
- 144 ピン パッケージで最大 121 個の高速汎用 I/O ポート
- 一部のポートは 5V トレラントに対応した I/O 該当する端子については、「6. 端子機能一覧」および「7. 入出力回路形式」をご参照ください。

多機能タイマ (最大 2 ユニット)

多機能タイマは、次のブロックで構成されます:
(最小分解能: 5.56ns)

- 16 ビットフリーランタイマ × 3 チャネル/ユニット
 - インพุットキャプチャ × 4 チャネル/ユニット
 - アウトプットコンペア × 6 チャネル/ユニット
 - A/D 起動コンペア × 6 チャネル/ユニット
 - 波形ジェネレータ × 3 チャネル/ユニット
 - 16 ビット PPG タイマ × 3 チャネル/ユニット
- モータ制御を実現するために次の機能を用意しています:
- PWM 信号出力機能
 - DC チョップパルス出力機能
 - デッドタイム機能
 - インพุットキャプチャ機能

- ADC 起動機能
- DTIF (モータ緊急停止) 割込み機能

リアルタイムクロック (RTC)

リアルタイムクロックは 00~99 までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定 (年/月/日/時/分) での割込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間ごと/設定時間後のタイマ割込み機能
- 時間カウントを継続して時刻書換え可能
- うるう年の自動カウントが可能

クアッドカウンタ (Quadrature Position/Revolution Counter - QPRC; 最大 2 チャンネル)

クアッドカウンタ (QPRC) は、ポジションエンコーダの位置を測定するために使用されます。また、設定によりアップ/ダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN、BIN、ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

デュアルタイマ (32/16 ビットダウン カウンタ)

デュアルタイマは 2 つのプログラム可能な 32/16 ビット ダウン カウンタで構成されます。

各チャンネルの動作モードを次の中から選択できます:

- フリーランモード
- 周期モード (= リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからの復帰のために使用されます。クロックソースをメインクロック、サブクロック、内蔵高速 CR クロックまたは内蔵低速 CR クロックから選択可能です。

- インターバルタイマ: 最長 64s (サブクロック: 32.768kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 32 本
 - 両エッジ (立ち上がりエッジと立ち下がりエッジ) 検出に対応
- ノンマスカブル割込み (NMI): 1 本

ウォッチドッグタイマ (2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには「ハードウェア」ウォッチドッグと「ソフトウェア」ウォッチドッグの二つの異なるウォッチドッグがあります。

ハードウェアウォッチドッグタイマは内部低速 CR 発振で動作するため、RTC モードとストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check) アクセラレータ

CRC アクセラレータは受信データまたはストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 および IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 生成多項式: 0x1021
- IEEE-802.3 CRC32 生成多項式: 0x04C11DB7

SD カードインタフェースは S6E2GM、S6E2GH および S6E2GK デバイスのみに利用可能

下記規格に準拠した SD カードが使用できます。

- Part 1 Physical Layer Specification version 3.01
- Part E1 SDIO Specification version 3.00
- Part A2 SD Host Controller Standard Specification version 3.00
- 1 ビットまたは 4 ビットのデータバス幅

Ethernet-MAC は S6E2GM、S6E2GK および S6E2G2 デバイスのみに利用可能

- IEEE802.3 仕様に準拠
- 10Mbps/100Mbps のデータ転送レートに対応
- MII/RMII により外部 PHY デバイスとの接続に対応
- MII: 最大 1 チャンネル
- RMII: 最大 1 チャンネル
- 全二重転送および半二重転送に対応
- Wake-ON-LAN に対応
- ディスクリプタ方式専用 DMAC 内蔵
- 送信 FIFO 2KB および受信 FIFO 2KB
- IEEE1588-2008 (PTP) に準拠

Smartcard インタフェース (最大 2 チャンネル)

- ISO7816-3 に準拠
- カードリーダーのみ/B クラスカードのみ
- 対応プロトコル
 - Transmitter: 8E2、8O2、8N2
 - Receiver: 8E1、8O1、8N2、8N1、9N1
 - Inverse mode
- TX/RX FIFO 搭載 (RX: 16 バイト、TX: 16 バイト)

クロック／リセット

■ クロック

5 個のクロックソース (2 個の外部発振器、2 個の内部 CR 発振器およびメイン PLL) から選択できます。

- ☐ メインクロック: 4 MHz~48 MHz
- ☐ サブクロック: 30 kHz~100 kHz
- ☐ 内蔵高速 CR クロック: 4 MHz
- ☐ 内蔵低速 CR クロック: 100 kHz
- ☐ メイン PLL クロック

■ リセット

- ☐ INITX 端子からのリセット要求
- ☐ パワーオンリセット
- ☐ ソフトウェアリセット
- ☐ ウォッチドッグタイマリセット
- ☐ 低電圧検出リセット
- ☐ クロックスーパーバイザリセット

クロック監視機能 (CSV: Clock Supervisor)

内蔵 CR 発振による生成クロックを用いて、外部クロックの異常を監視します。

- 外部クロック異常 (クロック停止) が検出されると、リセットがアサートされる
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能 (LVD: Low-Voltage Detection)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より下がった場合、低電圧検出機能により割込みまたはリセットを発生します。

- LVD1: 割込みによるエラー報告
- LVD2: オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC (RAM 保持あり／なし選択可能)
- ディープスタンバイストップ (RAM 保持あり／なし選択可能)

周辺クロック停止機能

システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減することができます。

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル (ETM) (デバッグおよびトレースを容易にする)。
- AHBトレース・マクロセル (HTM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み。

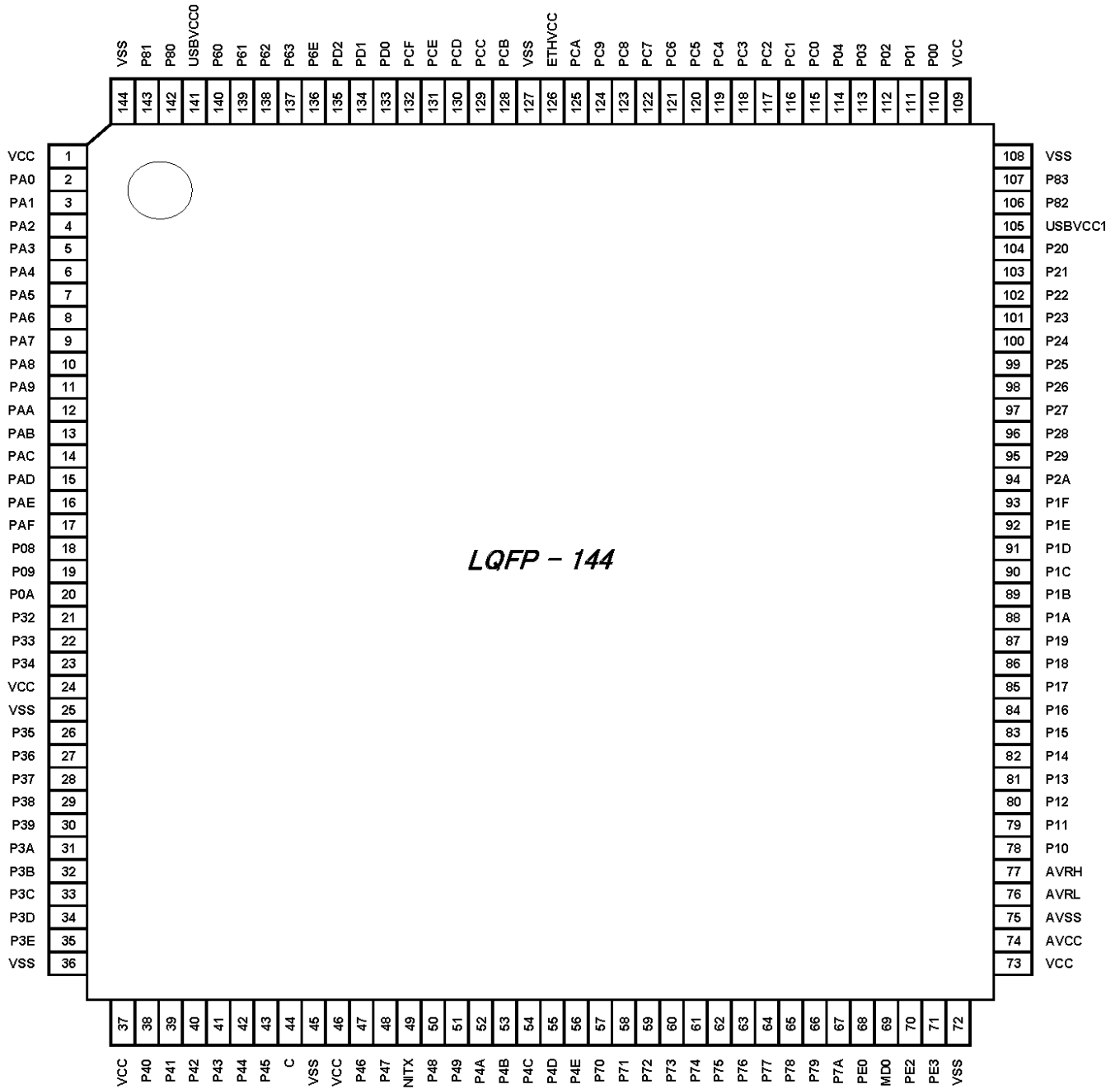
電源

■ 4 種類の電源

- ☐ ワイドレンジ電圧対応:
VCC = 2.7 V~5.5 V
- ☐ USB ch 0 I/O 用電源:
USBVCC0 = 3.0 V~3.6 V (USB ch 0 使用時)
= 2.7 V~5.5 V (GPIO 使用時)
- ☐ USB ch 1 I/O 用電源:
USBVCC1 = 3.0 V~3.6 V (USB ch 1 使用時)
= 2.7 V~5.5 V (GPIO 使用時)
- ☐ Ethernet-MAC I/O の電源:
ETHVCC = 3.0 V~5.5 V (Ethernet 使用時)
= 2.7 V~5.5 V (GPIO 使用時)

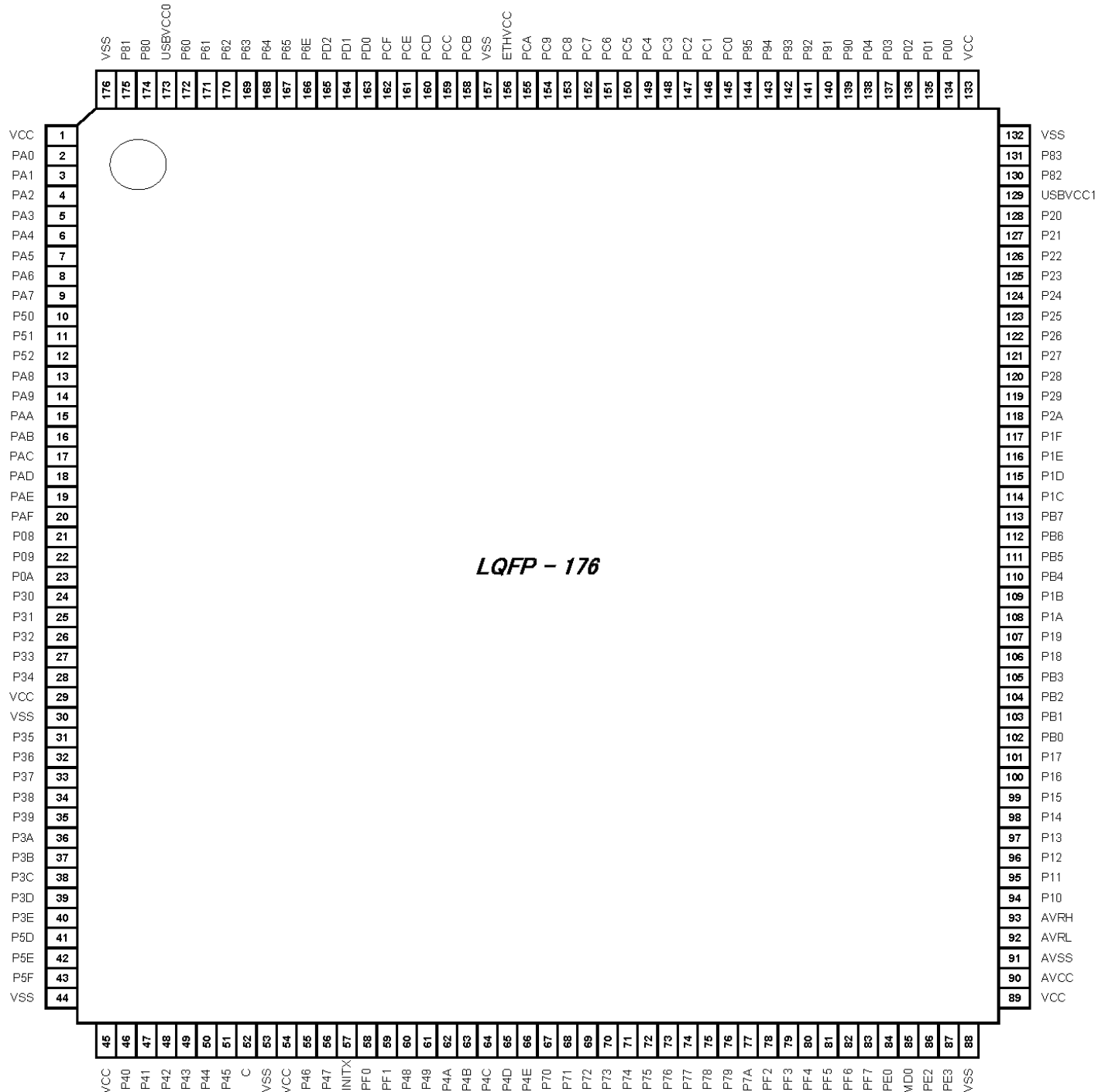
5. 端子配列図

LQS144



<注意事項>

- GPIO 端子では GPIO 機能のみを表示しています。多重化された信号名についての詳細は[端子機能](#)の表をご参照ください。

LQP176

<注意事項>

- GPIO 端子では GPIO 機能のみを表示しています。多重化された信号名についての詳細は[端子機能](#)の表をご参照ください。

6. 端子機能

端子番号別一覧

XXX_1 や XXX_2 のように、アンダバー ("_") がついている端子の後の数字はリロケーションポート番号を示します。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ (EPFR) によって利用する端子を選択してください。

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
1	1	VCC	-	-
2	2	PA0	E	K
		RTO00_1 (PPG00_1)		
		TIOA8_0		
		INT00_0		
		MADATA00_0		
		IC0_CIN_0		
3	3	PA1	E	I
		RTO01_1 (PPG01_1)		
		TIOA9_0		
		MADATA01_0		
		IC0_DATA_0		
4	4	PA2	E	I
		RTO02_1 (PPG02_1)		
		TIOA10_0		
		MADATA02_0		
		IC0_RST_0		
5	5	PA3	E	I
		RTO03_1 (PPG03_1)		
		TIOA11_0		
		MADATA03_0		
		IC0_VPEN_0		
6	6	PA4	E	I
		RTO04_1 (PPG04_1)		
		TIOA12_0		
		MADATA04_0		
		IC0_VCC_0		
7	7	PA5	E	K
		RTO05_1 (PPG05_1)		
		TIOA13_0		
		INT01_0		
		MADATA05_0		
		IC0_CLK_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
8	8	PA6	E	K
		DTTIOX_1		
		INT00_2		
		MADATA06_0		
9	9	PA7	E	K
		IC00_1		
		INT02_2		
		MADATA07_0		
		RTCCO_1		
		SUBOUT_1		
10	-	P50	E	I
		SCS72_0		
		IC01_1		
		TIOA8_2		
11	-	P51	E	I
		SCS73_0		
		IC02_1		
		TIOB8_2		
12	-	P52	E	I
		IC03_1		
		TIOA9_2		
13	10	PA8	I	Q
		SIN7_0		
		FRCK0_1		
		INT02_0		
		WKUP1		
		MADATA08_0		
14	11	PA9	N	I
		SOT7_0 (SDA7_0)		
		AIN1_1		
		MADATA09_0		
15	12	PAA	N	I
		SCK7_0 (SCL7_0)		
		BIN1_1		
		MADATA10_0		
16	13	PAB	E	K
		SCS70_0		
		ZIN1_1		
		INT03_0		
		MADATA11_0		
17	14	PAC	E	I
		SCS71_0		
		TIOB8_0		
		MADATA12_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
18	15	PAD	N	I
		SCK3_0 (SCL3_0)		
		TIOB9_0		
		MADATA13_0		
19	16	PAE	N	I
		ADTG_0		
		SOT3_0 (SDA3_0)		
		TIOB10_0		
		MADATA14_0		
20	17	PAF	I	K
		SIN3_0		
		TIOB11_0		
		INT16_0		
		MADATA15_0		
21	18	P08	E	K
		TIOB12_0		
		INT17_0		
		MDQM0_0		
22	19	P09	E	K
		TIOB13_0		
		INT18_0		
		MDQM1_0		
23	20	P0A	L	I
		ADTG_1		
		MCLKOUT_0		
24	-	P30	E	K
		MI2SWS1_1		
		RX0_1		
		TIOB11_2		
		INT01_2		
25	-	P31	E	I
		MI2SMCK1_1		
		TX0_1		
		TIOA12_2		
26	21	P32	L	K
		INT19_0		
		S_DATA1_0		
27	22	P33	L	I
		FRCK0_0		
		S_DATA0_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
28	23	P34	L	K
		IC03_0		
		INT00_1		
		S_CLK_0		
29	24	VCC	-	-
30	25	VSS	-	-
31	26	P35	L	K
		IC02_0		
		INT01_1		
		S_CMD_0		
32	27	P36	L	K
		IC01_0		
		INT02_1		
		S_DATA3_0		
33	28	P37	L	K
		IC00_0		
		INT03_1		
		S_DATA2_0		
34	29	P38	E	I
		ADTG_2		
		DTTIOX_0		
		S_WP_0		
35	30	P39	G	K
		RTO00_0 (PPG00_0)		
		TIOA0_1		
		AIN1_0		
		INT16_1		
		S_CD_0		
		MAD24_0		
36	31	P3A	G	K
		RTO01_0 (PPG01_0)		
		TIOA1_1		
		BIN1_0		
		INT17_1		
		MAD23_0		
37	32	P3B	G	K
		RTO02_0 (PPG02_0)		
		TIOA2_1		
		ZIN1_0		
		INT18_1		
		MAD22_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
38	33	P3C	G	K
		SIN2_1		
		RTO03_0 (PPG03_0)		
		TIOA3_1		
		INT19_1		
		MAD21_0		
39	34	P3D	G	I
		SOT2_1 (SDA2_1)		
		RTO04_0 (PPG04_0)		
		TIOA4_1		
		MAD20_0		
40	35	P3E	G	I
		SCK2_1 (SCL2_1)		
		RTO05_0 (PPG05_0)		
		TIOA5_1		
		MAD19_0		
41	-	P5D	E	K
		SIN1_1		
		MI2SDI1_1		
		TIOB12_2		
		INT03_2		
42	-	P5E	E	I
		SOT1_1 (SDA1_1)		
		MI2SDO1_1		
		TIOA13_2		
43	-	P5F	E	I
		SCK1_1 (SCL1_1)		
		MI2SCK1_1		
		TIOB13_2		
44	36	VSS	-	-
45	37	VCC	-	-
46	38	P40	G	K
		SIN7_1		
		RTO10_0 (PPG10_0)		
		TIOA0_0		
		AIN0_0		
		INT23_0		
		MCSX7_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
47	39	P41	G	I
		SOT7_1 (SDA7_1)		
		RTO11_0 (PPG11_0)		
		TIOA1_0		
		BIN0_0		
		MCSX6_0		
48	40	P42	G	I
		SCK7_1 (SCL7_1)		
		RTO12_0 (PPG12_0)		
		TIOA2_0		
		ZIN0_0		
		MCSX5_0		
49	41	P43	G	K
		SCS70_1		
		RTO13_0 (PPG13_0)		
		TIOA3_0		
		INT04_0		
		MCSX4_0		
50	42	P44	G	I
		SCS71_1		
		RTO14_0 (PPG14_0)		
		TIOA4_0		
		MCSX3_0		
51	43	P45	G	I
		SCS72_1		
		RTO15_0 (PPG15_0)		
		TIOA5_0		
		MCSX2_0		
52	44	C	-	-
53	45	VSS	-	-
54	46	VCC	-	-
55	47	P46	D	S
		X0A		
56	48	P47	D	T
		X1A		
57	49	INITX	B	C

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
58	-	PF0	E	K
		SCS73_1		
		RX0_2		
		TIOA15_1		
		INT22_1		
59	-	PF1	E	K
		TX0_2		
		TIOB15_1		
		INT23_1		
60	50	P48	L	K
		SIN1_0		
		MI2SDI1_0		
		DTTI1X_0		
		INT06_0		
		MRASX_0		
61	51	P49	L	I
		SOT1_0 (SDA1_0)		
		MI2SDO1_0		
		IC10_0		
		MCASX_0		
62	52	P4A	L	I
		SCK1_0 (SCL1_0)		
		MI2SCK1_0		
		IC11_0		
		MSDWEX_0		
63	53	P4B	L	K
		MI2SWS1_0		
		IC12_0		
		INT04_2		
		MCSX8_0		
64	54	P4C	L	K
		MI2SMCK1_0		
		IC13_0		
		INT05_2		
		MSDCKE_0		
65	55	P4D	L	K
		FRCK1_0		
		INT07_0		
		MSDCLK_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
66	56	P4E	L	Q
		SCK9_0 (SCL9_0)		
		INT05_0		
		WKUP2		
		MCSX1_0		
67	57	P70	L	I
		ADTG_7		
		SOT9_0 (SDA9_0)		
		MCSX0_0		
68	58	P71	I	K
		ADTG_8		
		SIN9_0		
		INT04_1		
		MRDY_0		
69	59	P72	E	I
		TIOB0_0		
		INT06_2		
		MAD00_0		
70	60	P73	E	K
		SIN8_0		
		TIOB1_0		
		INT20_0		
		MAD01_0		
71	61	P74	E	I
		SOT8_0 (SDA8_0)		
		TIOB2_0		
		MAD02_0		
72	62	P75	E	I
		SCK8_0 (SCL8_0)		
		TIOB3_0		
		MAD03_0		
73	63	P76	E	K
		SIN6_0		
		TIOB4_0		
		INT21_0		
		MAD04_0		
74	64	P77	L	I
		SOT6_0 (SDA6_0)		
		TIOB5_0		
		MAD05_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
75	65	P78	L	I
		SCK6_0 (SCL6_0)		
		AIN0_1		
		MAD06_0		
76	66	P79	E	K
		SCS60_0		
		BIN0_1		
		INT22_0		
		MAD07_0		
77	67	P7A	E	K
		SCS61_0		
		ZIN0_1		
		INT07_2		
		MAD08_0		
78	-	PF2	E	I
		SCS62_0		
		DTT11X_1		
		TIOA6_1		
		IC1_CLK_1		
79	-	PF3	E	K
		SCS63_0		
		FRCK1_1		
		TIOB6_1		
		INT05_1		
		IC1_VCC_1		
80	-	PF4	E	K
		IC10_1		
		TIOA7_1		
		INT06_1		
		IC1_VPEN_1		
81	-	PF5	E	K
		SIN3_1		
		IC11_1		
		TIOB7_1		
		INT07_1		
		IC1_RST_1		
82	-	PF6	E	K
		SOT3_1 (SDA3_1)		
		IC12_1		
		TIOA14_1		
		INT20_1		
		IC1_DATA_1		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
83	-	PF7	E	K
		SCK3_1 (SCL3_1)		
		IC13_1		
		TIOB14_1		
		INT21_1		
		IC1_CIN_1		
84	68	PE0	C	E
		MD1		
85	69	MD0	J	D
86	70	PE2	A	A
		X0		
87	71	PE3	A	B
		X1		
88	72	VSS	-	-
89	73	VCC	-	-
90	74	AVCC	-	-
91	75	AVSS	-	-
92	76	AVRL	-	-
93	77	AVRH	-	-
94	78	P10	F	M
		AN00		
		TIOA0_2		
		INT08_0		
		MNREX_0		
		IC1_CLK_0		
95	79	P11	F	L
		AN01		
		TIOB0_2		
		MNWEX_0		
		IC1_VCC_0		
96	80	P12	F	L
		AN02		
		TIOA1_2		
		MNCLE_0		
		IC1_VPEN_0		
97	81	P13	F	M
		AN03		
		SIN9_1		
		TIOB1_2		
		INT25_1		
		MNALE_0		
		IC1_RST_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
98	82	P14	F	N
		AN04		
		SOT9_1 (SDA9_1)		
		TIOA2_2		
		IC1_DATA_0		
		TRACED0		
99	83	P15	F	N
		AN05		
		SCK9_1 (SCL9_1)		
		TIOB2_2		
		IC1_CIN_0		
		TRACED1		
100	84	P16	F	O
		AN06		
		SIN6_1		
		RX0_0		
		INT09_0		
		TRACED2		
101	85	P17	F	N
		AN07		
		SOT6_1 (SDA6_1)		
		TX0_0		
		TRACED3		
102	-	PB0	F	N
		AN16		
		SCK6_1 (SCL6_1)		
		TIOA9_1		
		TRACED8		
103	-	PB1	F	O
		AN17		
		SCS60_1		
		TIOB9_1		
		AIN0_2		
		INT08_1		
		TRACED9		
104	-	PB2	F	O
		AN18		
		SCS61_1		
		TIOA10_1		
		BIN0_2		
		INT09_1		
		TRACED10		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
105	-	PB3	F	N
		AN19		
		SCS62_1		
		TIOB10_1		
		ZIN0_2		
		TRACED11		
106	86	P18	F	O
		AN08		
		SIN2_0		
		TIOA3_2		
		INT10_0		
		TRACED4		
107	87	P19	F	O
		AN09		
		SOT2_0 (SDA2_0)		
		TIOB3_2		
		INT24_1		
		TRACED5		
108	88	P1A	F	N
		AN10		
		SCK2_0 (SCL2_0)		
		TIOA4_2		
		TRACED6		
109	89	P1B	F	O
		AN11		
		TIOB4_2		
		INT11_0		
		TRACED7		
110	-	PB4	F	O
		AN20		
		SCS63_1		
		TIOA11_1		
		INT10_1		
		TRACED12		
111	-	PB5	F	O
		AN21		
		SIN8_1		
		TIOB11_1		
		AIN1_2		
		INT11_1		
		TRACED13		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
112	-	PB6	F	N
		AN22		
		SOT8_1 (SDA8_1)		
		TIOA12_1		
		BIN1_2		
		TRACED14		
113	-	PB7	F	N
		AN23		
		SCK8_1 (SCL8_1)		
		TIOB12_1		
		ZIN1_2		
		TRACED15		
114	90	P1C	F	N
		AN12		
		SCK0_1 (SCL0_1)		
		TIOA5_2		
		TRACECLK		
115	91	P1D	F	L
		AN13		
		SOT0_1 (SDA0_1)		
		TIOB5_2		
		MAD09_0		
116	92	P1E	F	M
		AN14		
		SIN0_1		
		TIOA8_1		
		INT26_1		
		MAD10_0		
117	93	P1F	F	M
		AN15		
		RTS5_0		
		TIOB8_1		
		INT27_1		
		MAD11_0		
118	94	P2A	F	M
		AN24		
		CTS5_0		
		INT08_2		
		MAD12_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
119	95	P29	F	M
		AN25		
		SCK5_0 (SCL5_0)		
		INT09_2		
		MAD13_0		
120	96	P28	F	M
		AN26		
		SOT5_0 (SDA5_0)		
		INT10_2		
		MAD14_0		
121	97	P27	F	M
		AN27		
		SIN5_0		
		INT24_0		
		MAD15_0		
122	98	P26	E	M
		ADTG_6		
		TIOA6_2		
		INT11_2		
		MAD16_0		
123	99	P25	F	M
		AN28		
		TIOB6_2		
		INT25_0		
		MAD17_0		
124	100	P24	F	L
		AN29		
		TIOA13_1		
		MAD18_0		
125	101	P23	F	L
		UHCONX1		
		AN30		
		SCK0_0 (SCL0_0)		
		TIOB13_1		
126	102	P22	E	M
		AN31		
		SOT0_0 (SDA0_0)		
		INT26_0		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
127	103	P21	I	K
		ADTG_4		
		SIN0_0		
		INT27_0		
		CROUT_0		
128	104	P20	I	F
		NMIX		
		WKUP0		
129	105	USBVCC1	-	-
130	106	P82	H	R
		UDM1		
131	107	P83	H	R
		UDP1		
132	108	VSS	-	-
133	109	VCC	-	-
134	110	P00	E	G
		TRSTX		
135	111	P01	E	G
		TCK		
		SWCLK		
136	112	P02	E	G
		TDI		
137	113	P03	E	G
		TMS		
		SWDIO		
138	114	P04	E	G
		TDO		
		SWO		
139	-	P90	E	K
		RTO10_1 (PPG10_1)		
		TIOB0_1		
		INT12_1		
		IC0_CLK_1		
140	-	P91	E	K
		SIN5_1		
		RTO11_1 (PPG11_1)		
		TIOB1_1		
		INT13_1		
		IC0_VCC_1		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
141	-	P92	E	K
		SOT5_1 (SDA5_1)		
		RTO12_1 (PPG12_1)		
		TIOB2_1		
		INT14_1		
		IC0_VPEN_1		
142	-	P93	E	K
		SCK5_1 (SCL5_1)		
		RTO13_1 (PPG13_1)		
		TIOB3_1		
		INT15_1		
		IC0_RST_1		
143	-	P94	E	I
		CTS5_1		
		RTO14_1 (PPG14_1)		
		TIOB4_1		
		IC0_DATA_1		
144	-	P95	E	I
		RTS5_1		
		RTO15_1 (PPG15_1)		
		TIOB5_1		
		IC0_CIN_1		
145	115	PC0	K	V
		E_RXER		
146	116	PC1	K	V
		TIOB6_0		
		E_RX03		
147	117	PC2	K	V
		TIOA6_0		
		E_RX02		
148	118	PC3	K	V
		TIOB7_0		
		E_RX01		
149	119	PC4	K	V
		TIOA7_0		
		E_RX00		
150	120	PC5	K	V
		TIOB14_0		
		E_RXDV		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
151	121	PC6	K	V
		TIOA14_0		
		E_MDIO		
152	122	PC7	E	W
		INT13_0		
		E_MDC		
		CROUT_1		
153	123	PC8	K	V
		E_RXCK_REFCK		
154	124	PC9	K	V
		TIOB15_0		
		E_COL		
155	125	PCA	K	V
		TIOA15_0		
		E_CRS		
156	126	ETHVCC	-	-
157	127	VSS	-	-
158	128	PCB	L	W
		INT28_0		
		E_COUT		
159	129	PCC	K	V
		E_TCK		
160	130	PCD	L	W
		SOT4_1 (SDA4_1)		
		INT14_0		
		E_TXER		
161	131	PCE	L	W
		SIN4_1		
		INT15_0		
		E_TX03		
162	132	PCF	L	W
		RTS4_1		
		INT12_0		
		E_TX02		
163	133	PD0	L	W
		INT30_1		
		E_TX01		
164	134	PD1	L	W
		INT31_1		
		E_TX00		
165	135	PD2	L	V
		CTS4_1		
		E_TXEN		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144			
166	136	P6E	E	W
		ADTG_5		
		SCK4_1 (SCL4_1)		
		INT29_0		
		E_PPS		
167	-	P65	E	K
		INT28_1		
168	-	P64	I	K
		CTS4_0		
		INT29_1		
169	137	P63	L	K
		ADTG_3		
		RTS4_0		
		INT30_0		
		MOEX_0		
170	138	P62	L	I
		SCK4_0 (SCL4_0)		
		TIOB7_2		
		MWEX_0		
171	139	P61	L	I
		UHCONX0		
		SOT4_0 (SDA4_0)		
		TIOA7_2		
		MALE_0		
		RTCCO_0		
		SUBOUT_0		
172	140	P60	I	Q
		SIN4_0		
		INT31_0		
		WKUP3		
173	141	USBVCC0	-	-
174	142	P80	H	R
		UDM0		
175	143	P81	H	R
		UDP0		
176	144	VSS	-	-

端子機能別一覧

XXX_1 や XXX_2 のように、アンダバー ("_") がついている端子の後の数字はリロケーションポート番号を示します。これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ (EPFR) によって利用する端子を選択してください。

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
A/D コンバータ	ADTG_0	A/D コンバータ外部トリガ入力端子	19	16
	ADTG_1		23	20
	ADTG_2		34	29
	ADTG_3		169	137
	ADTG_4		127	103
	ADTG_5		166	136
	ADTG_6		122	98
	ADTG_7		67	57
	ADTG_8		68	58
	AN00	A/D コンバータ アナログ入力端子。 ANxx は A/D コンバータ ch xx を示す	94	78
	AN01		95	79
	AN02		96	80
	AN03		97	81
	AN04		98	82
	AN05		99	83
	AN06		100	84
	AN07		101	85
	AN08		106	86
	AN09		107	87
	AN10		108	88
	AN11		109	89
	AN12		114	90
	AN13		115	91
	AN14		116	92
	AN15		117	93
	AN16		102	-
	AN17		103	-
	AN18		104	-
	AN19		105	-
	AN20		110	-
	AN21		111	-
	AN22		112	-
	AN23		113	-
	AN24		118	94
	AN25		119	95
	AN26		120	96
	AN27		121	97
	AN28		123	99
	AN29		124	100
	AN30		125	101
	AN31		126	102

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
ベースタイム 0	TIOA0_0	ベースタイム ch 0 TIOA 端子	46	38
	TIOA0_1		35	30
	TIOA0_2		94	78
	TIOB0_0	ベースタイム ch 0 TIOB 端子	69	59
	TIOB0_1		139	-
	TIOB0_2		95	79
ベースタイム 1	TIOA1_0	ベースタイム ch 1 TIOA 端子	47	39
	TIOA1_1		36	31
	TIOA1_2		96	80
	TIOB1_0	ベースタイム ch 1 TIOB 端子	70	60
	TIOB1_1		140	-
	TIOB1_2		97	81
ベースタイム 2	TIOA2_0	ベースタイム ch 2 TIOA 端子	48	40
	TIOA2_1		37	32
	TIOA2_2		98	82
	TIOB2_0	ベースタイム ch 2 TIOB 端子	71	61
	TIOB2_1		141	-
	TIOB2_2		99	83
ベースタイム 3	TIOA3_0	ベースタイム ch 3 TIOA 端子	49	41
	TIOA3_1		38	33
	TIOA3_2		106	86
	TIOB3_0	ベースタイム ch 3 TIOB 端子	72	62
	TIOB3_1		142	-
	TIOB3_2		107	87
ベースタイム 4	TIOA4_0	ベースタイム ch 4 TIOA 端子	50	42
	TIOA4_1		39	34
	TIOA4_2		108	88
	TIOB4_0	ベースタイム ch 4 TIOB 端子	73	63
	TIOB4_1		143	-
	TIOB4_2		109	89
ベースタイム 5	TIOA5_0	ベースタイム ch 5 TIOA 端子	51	43
	TIOA5_1		40	35
	TIOA5_2		114	90
	TIOB5_0	ベースタイム ch 5 TIOB 端子	74	64
	TIOB5_1		144	-
	TIOB5_2		115	91
ベースタイム 6	TIOA6_0	ベースタイム ch 6 TIOA 端子	147	117
	TIOA6_1		78	-
	TIOA6_2		122	98
	TIOB6_0	ベースタイム ch 6 TIOB 端子	146	116
	TIOB6_1		79	-
	TIOB6_2		123	99
ベースタイム 7	TIOA7_0	ベースタイム ch 7 TIOA 端子	149	119
	TIOA7_1		80	-
	TIOA7_2		171	139

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	TIOB7_0	ベースタイム ch 7 TIOB 端子	148	118
	TIOB7_1		81	-
	TIOB7_2		170	138
ベースタイム 8	TIOA8_0	ベースタイム ch 8 TIOA 端子	2	2
	TIOA8_1		116	92
	TIOA8_2		10	-
	TIOB8_0	ベースタイム ch 8 TIOB 端子	17	14
	TIOB8_1		117	93
	TIOB8_2		11	-
ベースタイム 9	TIOA9_0	ベースタイム ch 9 TIOA 端子	3	3
	TIOA9_1		102	-
	TIOA9_2		12	-
	TIOB9_0	ベースタイム ch 9 TIOB 端子	18	15
	TIOB9_1		103	-
ベースタイム 10	TIOA10_0	ベースタイム ch 10 TIOA 端子	4	4
	TIOA10_1		104	-
	TIOB10_0	ベースタイム ch 10 TIOB 端子	19	16
	TIOB10_1		105	-
ベースタイム 11	TIOA11_0	ベースタイム ch 11 TIOA 端子	5	5
	TIOA11_1		110	-
	TIOB11_0	ベースタイム ch 11 TIOB 端子	20	17
	TIOB11_1		111	-
	TIOB11_2		24	-
ベースタイム 12	TIOA12_0	ベースタイム ch 12 TIOA 端子	6	6
	TIOA12_1		112	-
	TIOA12_2		25	-
	TIOB12_0	ベースタイム ch 12 TIOB 端子	21	18
	TIOB12_1		113	-
	TIOB12_2		41	-
ベースタイム 13	TIOA13_0	ベースタイム ch 13 TIOA 端子	7	7
	TIOA13_1		124	100
	TIOA13_2		42	-
	TIOB13_0	ベースタイム ch 13 TIOB 端子	22	19
	TIOB13_1		125	101
	TIOB13_2		43	-
ベースタイム 14	TIOA14_0	ベースタイム ch 14 TIOA 端子	151	121
	TIOA14_1		82	-
	TIOB14_0	ベースタイム ch 14 TIOB 端子	150	120
	TIOB14_1		83	-
ベースタイム 15	TIOA15_0	ベースタイム ch 15 TIOA 端子	155	125
	TIOA15_1		58	-
	TIOB15_0	ベースタイム ch 15 TIOB 端子	154	124
	TIOB15_1		59	-
CAN 0	TX0_0	CAN インタフェース ch 0 TX 出力端子	101	85
	TX0_1		25	-

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	TX0_2	CAN インタフェース ch 0 RX 入力端子	59	-
	RX0_0		100	84
	RX0_1		24	-
	RX0_2		58	-
デバッグ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力端子	135	111
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力端子	137	113
	SWO	シリアルワイヤビューア出力端子	138	114
	TCK	JTAG テストクロック入力端子	135	111
	TDI	JTAG テス データ入力端子	136	112
	TDO	JTAG デバッグデータ出力端子	138	114
	TMS	JTAG テストモード状態入出力端子	137	113
	TRACECLK	ETM/HTM のトレース CLK 出力端子	114	90
	TRACED0	ETM のトレースデータ出力端子／ HTM のトレースデータ出力端子	98	82
	TRACED1		99	83
	TRACED2		100	84
	TRACED3		101	85
	TRACED4	HTM のトレースデータ出力端子	106	86
	TRACED5		107	87
	TRACED6		108	88
	TRACED7		109	89
	TRACED8		102	-
	TRACED9		103	-
	TRACED10		104	-
	TRACED11		105	-
	TRACED12		110	-
	TRACED13		111	-
	TRACED14		112	-
	TRACED15		113	-
	TRSTX	JTAG テストリセット入力端子	134	110
外部 バス	MAD00_0	外部バスインタフェースアドレスバス	69	59
	MAD01_0		70	60
	MAD02_0		71	61
	MAD03_0		72	62
	MAD04_0		73	63
	MAD05_0		74	64
	MAD06_0		75	65
	MAD07_0		76	66
	MAD08_0		77	67
	MAD09_0		115	91
	MAD10_0		116	92
	MAD11_0		117	93
	MAD12_0		118	94
	MAD13_0		119	95

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	MAD14_0		120	96
	MAD15_0		121	97
	MAD16_0		122	98
	MAD17_0		123	99
	MAD18_0		124	100
	MAD19_0		40	35
	MAD20_0		39	34
	MAD21_0		38	33
	MAD22_0		37	32
	MAD23_0		36	31
	MAD24_0		35	30
	MCSX0_0	外部バスインタフェースチップセレクト出力端子	67	57
	MCSX1_0		66	56
	MCSX2_0		51	43
	MCSX3_0		50	42
	MCSX4_0		49	41
	MCSX5_0		48	40
	MCSX6_0		47	39
	MCSX7_0		46	38
	MCSX8_0		63	53
外部 バス	MADATA00_0	外部バスインタフェースデータバス (アドレス/データマルチプレクサバス)	2	2
	MADATA01_0		3	3
	MADATA02_0		4	4
	MADATA03_0		5	5
	MADATA04_0		6	6
	MADATA05_0		7	7
	MADATA06_0		8	8
	MADATA07_0		9	9
	MADATA08_0		13	10
	MADATA09_0		14	11
	MADATA10_0		15	12
	MADATA11_0		16	13
	MADATA12_0		17	14
	MADATA13_0		18	15
	MADATA14_0		19	16
	MADATA15_0		20	17
	MDQM0_0	外部バスインタフェースバイトマスク信号出力	21	18
	MDQM1_0		22	19
	MALE_0	マルチプレクス時アドレスラッチイネーブル出力信号	171	139
	MRDY_0	外部 RDY 入力信号	68	58
	MCLKOUT_0	外部バスクロック出力	23	20
	MNALE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース ALE 信号	97	81
	MNCLE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース CLE 信号	96	80

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	MNREX_0	NAND フラッシュをコントロールする外部バス インタフェースリード許可信号	94	78
	MNWEX_0	NAND フラッシュをコントロールする外部バス インタフェースライト許可信号	95	79
	MOEX_0	SRAM の外部バスインタフェース リード許可信号 読み出しイネーブル信号	169	137
	MWEX_0	SRAM の外部バスインタフェース ライト許可信号 書き込みイネーブル信号	170	138
	MSDCLK_0	SDRAM インタフェース SDRAM クロック出力端子	65	55
	MSDCKE_0	SDRAM インタフェース SDRAM クロックイネーブル端子	64	54
	MRASX_0	SDRAM インタフェース SDRAM ロウアクティブストロブ端子	60	50
	MCASX_0	SDRAM インタフェース SDRAM カラムアクティブストロブ端子	61	51
	MSDWEX_0	SDRAM インタフェース SDRAM ライトイネーブル端子	62	52
外部 割込み	INT00_0	外部割込み要求 00 の入力端子	2	2
	INT00_1		28	23
	INT00_2		8	8
	INT01_0	外部割込み要求 01 入力端子	7	7
	INT01_1		31	26
	INT01_2		24	-
	INT02_0	外部割込み要求 02 入力端子	13	10
	INT02_1		32	27
	INT02_2		9	9
	INT03_0	外部割込み要求 03 入力端子	16	13
	INT03_1		33	28
	INT03_2		41	-
	INT04_0	外部割込み要求 04 入力端子	49	41
	INT04_1		68	58
	INT04_2		63	53
	INT05_0	外部割込み要求 05 入力端子	66	56
	INT05_1		79	-
	INT05_2		64	54
	INT06_0	外部割込み要求 06 入力端子	60	50
	INT06_1		80	-
	INT06_2		69	59
	INT07_0	外部割込み要求 07 入力端子	65	55
	INT07_1		81	-
	INT07_2		77	67
	INT08_0	外部割込み要求 08 入力端子	94	78
	INT08_1		103	-
	INT08_2		118	94
	INT09_0	外部割込み要求 09 入力端子	100	84
	INT09_1		104	-
	INT09_2		119	95

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	INT10_0	外部割込み要求 10 入力端子	106	86
	INT10_1		110	-
	INT10_2		120	96
	INT11_0	外部割込み要求 11 入力端子	109	89
	INT11_1		111	-
	INT11_2		122	98
	INT12_0	外部割込み要求 12 入力端子	162	132
	INT12_1		139	-
	INT13_0	外部割込み要求 13 入力端子	152	122
	INT13_1		140	-
外部 割込み	INT14_0	外部割込み要求 14 入力端子	160	130
	INT14_1		141	-
	INT15_0	外部割込み要求 15 入力端子	161	131
	INT15_1		142	-
	INT16_0	外部割込み要求 16 入力端子	20	17
	INT16_1		35	30
	INT17_0	外部割込み要求 17 入力端子	21	18
	INT17_1		36	31
	INT18_0	外部割込み要求 18 入力端子	22	19
	INT18_1		37	32
	INT19_0	外部割込み要求 19 入力端子	26	21
	INT19_1		38	33
	INT20_0	外部割込み要求 20 入力端子	70	60
	INT20_1		82	-
	INT21_0	外部割込み要求 21 入力端子	73	63
	INT21_1		83	-
	INT22_0	外部割込み要求 22 入力端子	76	66
	INT22_1		58	-
	INT23_0	外部割込み要求 23 入力端子	46	38
	INT23_1		59	-
	INT24_0	外部割込み要求 24 入力端子	121	97
	INT24_1		107	87
	INT25_0	外部割込み要求 25 入力端子	123	99
	INT25_1		97	81
	INT26_0	外部割込み要求 26 入力端子	126	102
	INT26_1		116	92
	INT27_0	外部割込み要求 27 入力端子	127	103
	INT27_1		117	93
	INT28_0	外部割込み要求 28 入力端子	158	128
	INT28_1		167	-
	INT29_0	外部割込み要求 29 入力端子	166	136
	INT29_1		168	-
	INT30_0	外部割込み要求 30 入力端子	169	137
	INT30_1		163	133
	INT31_0	外部割込み要求 31 入力端子	172	140

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	INT31_1		164	134
	NMIX	ノンマスカブル割込み入力端子	128	104
GPIO	P00	汎用入出力ポート 0	134	110
	P01		135	111
	P02		136	112
	P03		137	113
	P04		138	114
	P08		21	18
	P09		22	19
	P0A		23	20
	P10	汎用入出力ポート 1	94	78
	P11		95	79
	P12		96	80
	P13		97	81
	P14		98	82
	P15		99	83
	P16		100	84
	P17		101	85
	P18		106	86
	P19		107	87
	P1A		108	88
	P1B		109	89
	P1C		114	90
	P1D		115	91
	P1E		116	92
	P1F		117	93
	P20	汎用入出力ポート 2	128	104
	P21		127	103
	P22		126	102
	P23		125	101
	P24		124	100
	P25		123	99
	P26		122	98
	P27		121	97
	P28		120	96
	P29		119	95
	P2A		118	94
	P30	汎用入出力ポート 3	24	-
	P31		25	-
	P32		26	21
	P33		27	22
	P34		28	23
	P35		31	26
	P36		32	27
	P37		33	28

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	P38		34	29
	P39		35	30
	P3A		36	31
	P3B		37	32
	P3C		38	33
	P3D		39	34
	P3E		40	35
	P40	汎用入出力ポート 4	46	38
	P41		47	39
	P42		48	40
	P43		49	41
	P44		50	42
	P45		51	43
	P46		55	47
	P47		56	48
	P48		60	50
	P49		61	51
	P4A		62	52
	P4B		63	53
	P4C		64	54
	P4D		65	55
	P4E		66	56
	P50	汎用入出力ポート 5	10	-
	P51		11	-
	P52		12	-
	P5D		41	-
	P5E		42	-
	P5F		43	-
	P60	汎用入出力ポート 6	172	140
	P61		171	139
	P62		170	138
	P63		169	137
	P64		168	-
	P65		167	-
	P6E		166	136
GPIO	P70	汎用入出力ポート 7	67	57
	P71		68	58
	P72		69	59
	P73		70	60
	P74		71	61
	P75		72	62
	P76		73	63
	P77		74	64
	P78		75	65
	P79		76	66

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	P7A	汎用入出力ポート 8	77	67
	P80		174	142
	P81		175	143
	P82		130	106
	P83		131	107
	P90	汎用入出力ポート 9	139	-
	P91		140	-
	P92		141	-
	P93		142	-
	P94		143	-
	P95		144	-
	PA0	汎用入出力ポート A	2	2
	PA1		3	3
	PA2		4	4
	PA3		5	5
	PA4		6	6
	PA5		7	7
	PA6		8	8
	PA7		9	9
	PA8		13	10
	PA9		14	11
	PAA		15	12
	PAB		16	13
	PAC		17	14
	PAD		18	15
	PAE		19	16
	PAF		20	17
GPIO	PB0	汎用入出力ポート B	102	-
	PB1		103	-
	PB2		104	-
	PB3		105	-
	PB4		110	-
	PB5		111	-
	PB6		112	-
	PB7		113	-
GPIO	PC0	汎用入出力ポート C	145	115
	PC1		146	116
	PC2		147	117
	PC3		148	118
	PC4		149	119
	PC5		150	120
	PC6		151	121
	PC7		152	122
	PC8		153	123
	PC9		154	124

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	PCA		155	125
	PCB		158	128
	PCC		159	129
	PCD		160	130
	PCE		161	131
	PCF		162	132
	PD0	汎用入出力ポート D	163	133
	PD1		164	134
	PD2		165	135
	PE0	汎用入出力ポート E	84	68
	PE2		86	70
	PE3		87	71
	PF0	汎用入出力ポート F	58	-
	PF1		59	-
	PF2		78	-
	PF3		79	-
	PF4		80	-
	PF5		81	-
	PF6		82	-
	PF7		83	-
マルチファンクション シリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch 0 の入力端子	127	103
	SIN0_1		116	92
	SOT0_0 (SDA0_0)	マルチマルチファンクションシリアルインタフェース ch 0 の出力端子。 UART/CSIO/LIN (動作モード 0~3) として使用する ときは SOT0 として、I ² C 端子 (動作モード 4) として 使用するときは SDA0 として機能します。	126	102
	SOT0_1 (SDA0_1)		115	91
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch 0 のクロック I/O 端子。 CSIO 端子 (動作モード 2) として使用するときは SCK0 として、I ² C 端子 (動作モード 4) として使用 するときは SCL0 として機能する。	125	101
	SCK0_1 (SCL0_1)		114	90
マルチファンクション シリアル 1	SIN1_0 (MI2SDI1_0)	マルチファンクションシリアルインタフェース ch 1 の 入力端子。 I ² S 端子 (動作モード 2) として使用するときは SIN1 は MI2SDI1 として機能する。	60	50
	SIN1_1 (MI2SDI1_1)		41	-
	SOT1_0 (SDA1_0) (MI2SDO1_0)	マルチファンクションシリアルインタフェース ch 1 の 出力端子。 UART/CSIO/LIN 端子 (動作モード 0~3) として使 用するときは SOT1 として、I ² C 端子 (動作モード 4) として使用するときは SDA1 として機能する。 I ² S 端子 (動作モード 2) として使用するときは SOT1 は MI2SDO1 として機能する。	61	51
	SOT1_1 (SDA1_1) (MI2SDO1_1)		42	-
	SCK1_0 (SCL1_0) (MI2SCK1_0)	マルチファンクションシリアルインタフェース ch 1 の クロック I/O 端子。 CSIO 端子 (動作モード 2) で使用するときは SCK1 として、I ² C 端子 (動作モード 4) として使用 するときは SCL1 として機能する。 I ² S 端子 (動作モード 2) として使用するときは SCK1 は MI2SCK1 として機能する。	62	52
	SCK1_1 (SCL1_1) (MI2SCK1_1)		43	-

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	MI2SWS1_0	I ² S ワード選択(WS)出力端子	63	53
	MI2SWS1_1		24	-
	MI2SMCK1_0	I ² S マスタクロック入出力端子	64	54
	MI2SMCK1_1		25	-
マルチファンクション シリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch 2 の 入力端子	106	86
	SIN2_1		38	33
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch 2 の 出力端子。	107	87
	SOT2_1 (SDA2_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用 するときは SOT2 として、I ² C 端子 (動作モード 4) として使用するときは SDA2 として機能する。	39	34
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch 2 の クロック I/O 端子。	108	88
	SCK2_1 (SCL2_1)	CSIO 端子 (動作モード 2) として使用するときは SCK2 として、I ² C 端子 (動作モード 4) として使用 するときは SCL2 として機能する。	40	35
マルチファンクション シリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch 3 の 入力端子	20	17
	SIN3_1		81	-
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch 3 の 出力端子。	19	16
	SOT3_1 (SDA3_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用 するときは SOT3 として、I ² C 端子 (動作モード 4) として使用するときは SDA3 として機能する。	82	-
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch 3 の クロック I/O 端子。	18	15
	SCK3_1 (SCL3_1)	CSIO 端子 (動作モード 2) として使用するときは SCK3 として、I ² C 端子 (動作モード 4) として使用 するときは SCL3 として機能する。	83	-
マルチファンクション シリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch 4 の 入力端子	172	140
	SIN4_1		161	131
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch 4 の 出力端子。	171	139
	SOT4_1 (SDA4_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用 するときは SOT4 として、I ² C 端子 (動作モード 4) として使用するときは SDA4 として機能する。	160	130
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch 4 の クロック I/O 端子。	170	138
	SCK4_1 (SCL4_1)	CSIO 端子 (動作モード 2) で使用するときは SCK4 として、I ² C 端子 (動作モード 4) として使用 するときは SCL4 として機能する。	166	136
	CTS4_0	マルチファンクションシリアルインタフェース ch 4 の CTS 入力端子	168	-
	CTS4_1		165	135
	RTS4_0	マルチファンクションシリアルインタフェース ch 4 の RTS 出力端子	169	137
	RTS4_1		162	132
マルチファンクション シリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch 5 の 入力端子	121	97
	SIN5_1		140	-
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch 5 の 出力端子。	120	96
	SOT5_1 (SDA5_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用 するときは SOT5 として、I ² C 端子 (動作モード 4) として使用するときは SDA5 として機能する。	141	-
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch 5 の	119	95

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	SCK5_1 (SCL5_1)	クロック I/O 端子。 CSIO 端子 (動作モード 2) として使用するときは SCK5 として、I ² C 端子 (動作モード 4) として使用 するときは SCL5 として機能する。	142	-
	CTS5_0	マルチファンクションシリアルインタフェース ch 5 の CTS 入力端子	118	94
	CTS5_1		143	-
	RTS5_0	マルチファンクションシリアルインタフェース ch 5 の RTS 出力端子	117	93
	RTS5_1		144	-
マルチファンク ション シリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch 6 の 入力端子	73	63
	SIN6_1		100	84
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch 6 の 出力端子。 UART/CSIO/LIN 端子 (動作モード 0~3) として使 用するときは SOT6 として、I ² C 端子 (動作モード 4) として使用するときは SDA6 として機能する。	74	64
	SOT6_1 (SDA6_1)		101	85
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch 6 の クロック I/O 端子。 CSIO 端子 (動作モード 2) として使用するときは SCK6 として、I ² C 端子 (動作モード 4) として使用 するときは SCL6 として機能する。	75	65
	SCK6_1 (SCL6_1)		102	-
	SCS60_0	マルチファンクションシリアルインタフェース ch 6 の チップセレクト 0 入出力端子	76	66
	SCS60_1		103	-
	SCS61_0	マルチファンクションシリアルインタフェース ch 6 の チップセレクト 1 入出力端子	77	67
	SCS61_1		104	-
	SCS62_0	マルチファンクションシリアルインタフェース ch 6 の チップセレクト 2 入出力端子	78	-
	SCS62_1		105	-
	SCS63_0	マルチファンクションシリアルインタフェース ch 6 の チップセレクト 3 入出力端子	79	-
	SCS63_1		110	-
マルチファンク ション シリアル 7	SIN7_0	マルチファンクションシリアルインタフェース ch 7 の 入力端子	13	10
	SIN7_1		46	38
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch 7 の 出力端子。 UART/CSIO/LIN 端子 (動作モード 0~3) として使 用するときは SOT7 として、I ² C 端子 (動作モード 4) として使用するときは SDA7 として機能する。	14	11
	SOT7_1 (SDA7_1)		47	39
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch 7 の クロック I/O 端子。 CSIO 端子 (動作モード 2) として使用するときは SCK7 として、I ² C 端子 (動作モード 4) として使用 するときは SCL7 として機能する。	15	12
	SCK7_1 (SCL7_1)		48	40
	SCS70_0	マルチファンクションシリアルインタフェース ch 7 の チップセレクト 0 入出力端子	16	13
	SCS70_1		49	41
	SCS71_0	マルチファンクションシリアルインタフェース ch 7 の チップセレクト 1 入出力端子	17	14
	SCS71_1		50	42
	SCS72_0	マルチファンクションシリアルインタフェース ch 7 の チップセレクト 2 入出力端子	10	-
	SCS72_1		51	43
	SCS73_0	マルチファンクションシリアルインタフェース ch 7 の チップセレクト 3 入出力端子	11	-
	SCS73_1		58	-
	SIN8_0	マルチファンクションシリアルインタフェース ch 8 の 入力端子	70	60
	SIN8_1		111	-

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
マルチファンクション シリアル 8	SOT8_0 (SDA8_0)	マルチファンクションシリアルインタフェース ch 8 の出力端子。	71	61
	SOT8_1 (SDA8_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用するときには SOT8 として、I ² C 端子 (動作モード 4) として使用するときには SDA8 として機能する。	112	-
	SCK8_0 (SCL8_0)	マルチファンクションシリアルインタフェース ch 8 のクロック I/O 端子。	72	62
	SCK8_1 (SCL8_1)	CSIO 端子 (動作モード 2) として使用するときには SCK8 として、I ² C 端子 (動作モード 4) として使用するときには SCL8 として機能する。	113	-
マルチファンクション シリアル 9	SIN9_0	マルチファンクションシリアルインタフェース ch 9 の入力端子	68	58
	SIN9_1		97	81
	SOT9_0 (SDA9_0)	マルチファンクションシリアルインタフェース ch 9 の出力端子。	67	57
	SOT9_1 (SDA9_1)	UART/CSIO/LIN 端子 (動作モード 0~3) として使用するときには SOT9 として、I ² C 端子 (動作モード 4) として使用するときには SDA9 として機能する。	98	82
	SCK9_0 (SCL9_0)	マルチファンクションシリアルインタフェース ch 9 のクロック I/O 端子。	66	56
	SCK9_1 (SCL9_1)	CSIO 端子 (動作モード 2) として使用するときには SCK9 として、I ² C 端子 (動作モード 4) として、使用するときには SCL9 として機能する。	99	83
多機能 タイマ 0	DTTIOX_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	34	29
	DTTIOX_1		8	8
	FRCK0_0	16 ビットフリーランタイム ch 0 の外部クロック入力端子	27	22
	FRCK0_1		13	10
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx はチャネル数を示します。	33	28
	IC00_1		9	9
	IC01_0		32	27
	IC01_1		10	-
	IC02_0		31	26
	IC02_1		11	-
	IC03_0		28	23
	IC03_1		12	-
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときには、PPG00 として機能する。	35	30
	RTO00_1 (PPG00_1)		2	2
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときには、PPG00 として機能する。	36	31
	RTO01_1 (PPG00_1)		3	3
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときには、PPG02 として機能する。	37	32
	RTO02_1 (PPG02_1)		4	4
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときには、PPG02 として機能する。	38	33
	RTO03_1 (PPG02_1)		5	5
	RTO04_0 (PPG04_0)		39	34

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	RTO04_1 (PPG04_1)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能する。	6	6
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能する。	40	35
	RTO05_1 (PPG04_1)		7	7
多機能 タイマ 1	DTT1X_0	多機能タイマ 1 の RTO10~RTO15 を出力を制御する波形ジェネレータの入力信号	60	50
	DTT1X_1		78	-
	FRCK1_0	16 ビットフリーランタイム ch 1 の外部クロック入力端子	65	55
	FRCK1_1		79	-
	IC10_0	多機能タイマ 1 の 16 ビットインプットキャプチャの入力端子。 ICxx はチャンネル数を示します。	61	51
	IC10_1		80	-
	IC11_0		62	52
	IC11_1		81	-
	IC12_0		63	53
	IC12_1		82	-
	IC13_0		64	54
	IC13_1		83	-
	RTO10_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として動作する。	46	38
	RTO10_1 (PPG10_1)		139	-
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能する。	47	39
	RTO11_1 (PPG10_1)		140	-
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能する。	48	40
	RTO12_1 (PPG12_1)		141	-
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能する。	49	41
	RTO13_1 (PPG12_1)		142	-
	RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能する。	50	42
	RTO14_1 (PPG14_1)		143	-
	RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能する。	51	43
	RTO15_1 (PPG14_1)		144	-
クアド カウンタ 0	AIN0_0	QPRC ch 0 AIN 入力端子	46	38
	AIN0_1		75	65
	AIN0_2		103	-
	BIN0_0	QPRC ch 0 BIN 入力端子	47	39
	BIN0_1		76	66
	BIN0_2		104	-

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	ZIN0_0	QPRC ch 0 ZIN 入力端子	48	40
	ZIN0_1		77	67
	ZIN0_2		105	-
クアッド カウンタ 1	AIN1_0	QPRC ch 1 AIN 入力端子	35	30
	AIN1_1		14	11
	AIN1_2		111	-
	BIN1_0	QPRC ch 1 BIN 入力端子	36	31
	BIN1_1		15	12
	BIN1_2		112	-
	ZIN1_0	QPRC ch 1 ZIN 入力端子	37	32
	ZIN1_1		16	13
	ZIN1_2		113	-
リアルタイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	171	139
	RTCCO_1		9	9
	SUBOUT_0	サブクロック出力端子	171	139
	SUBOUT_1		9	9
USB0	UDM0	USB ch 0 ファンクション／ホスト D-端子	174	142
	UDP0	USB ch 0 ファンクション／ホスト D+端子	175	143
	UHCONX0	USB ch 0 外部プルアップ制御端子	171	139
USB1	UDM1	USB ch 1 ファンクション／ホスト D-端子	130	106
	UDP1	USB ch 1 ファンクション／ホスト D+端子	131	107
	UHCONX1	USB ch 1 外部プルアップ制御端子	125	101
低消費 電力 モード	WKUP0	ディープスタンバイモード復帰信号入力端子 0	128	104
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	13	10
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	66	56
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	172	140
SD I/F	S_CLK_0	SD メモリカードインタフェース SD メモリカードクロック出力端子	28	23
	S_CMD_0	SD メモリカードインタフェース SD メモリカードコマンド出力端子	31	26
	S_DATA1_0	SD メモリカードインタフェース SD メモリカードデータ バス	26	21
	S_DATA0_0		27	22
	S_DATA3_0		32	27
	S_DATA2_0		33	28
	S_CD_0	SD メモリカードインタフェース SD メモリカード検出端子	35	30
	S_WP_0	SD メモリカードインタフェース SD メモリカードライトプロテクト端子	34	29
Ethernet	E_COL	衝突検出	154	124
	E_COUT	Ethernet PHY へのクロック出力	158	128
	E_CRS	キャリア検出	155	125
	E_MDC	マネージメントクロック	152	122
	E_MDIO	マネージメントデータ I/O	151	121
	E_PPS	PTP カウンタモニタ	166	136
	E_RX00	受信データ 0	149	119
	E_RX01	受信データ 1	148	118

端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
	E_RX02	受信データ 2	147	117
	E_RX03	受信データ 3	146	116
	E_RXCK_RE FCK	受信クロック入力／リファレンスクロック	153	123
	E_RXDV	受信データ有効	150	120
	E_RXER	受信データエラー検出	145	115
	E_TCK	送信クロック入力	159	129
	E_TX00	送信データ 0	164	134
	E_TX01	送信データ 1	163	133
	E_TX02	送信データ 2	162	132
	E_TX03	送信データ 3	161	131
	E_TXEN	送信データ有効	165	135
	E_TXER	送信データエラー検出	160	130

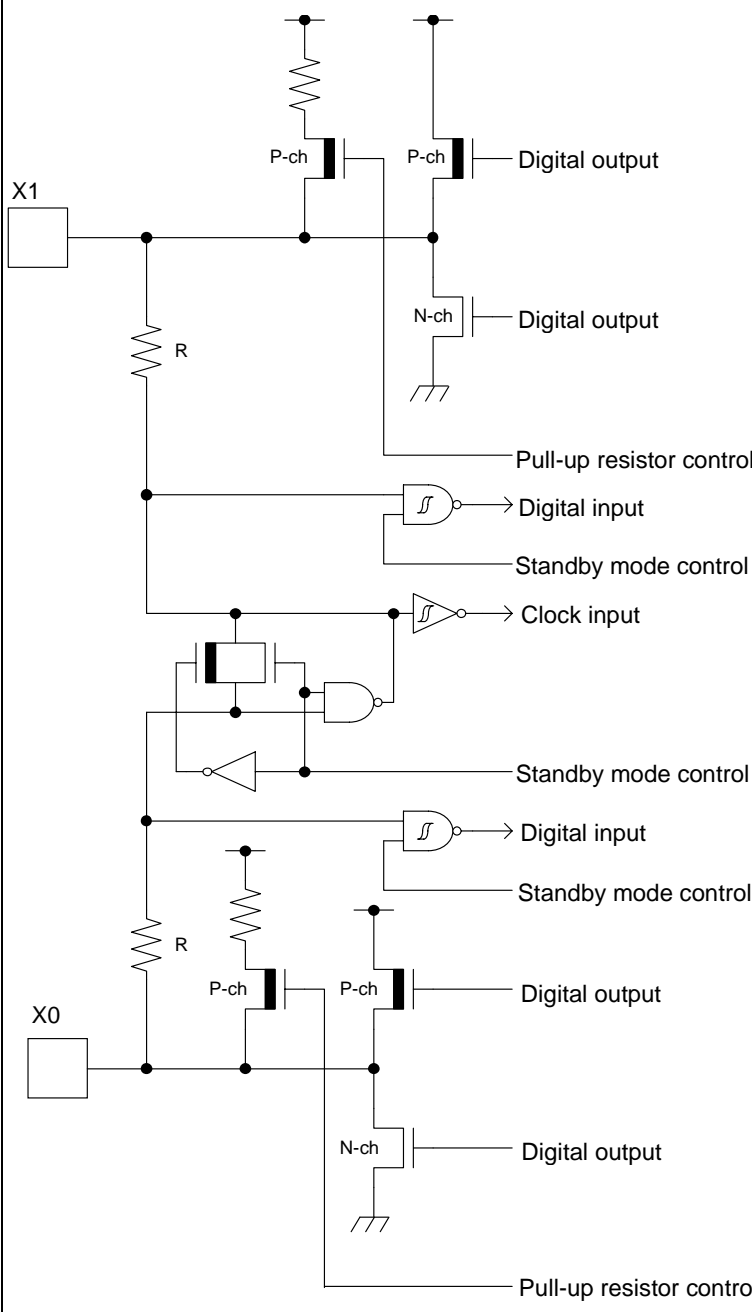
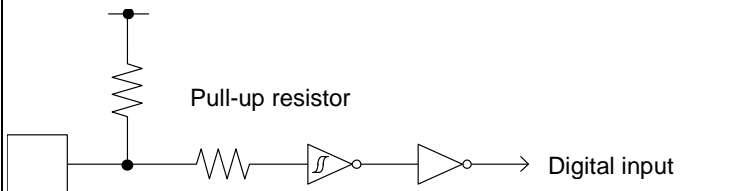
端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
Smartcard0	IC0_VCC_0	Smartcard ch 0 パワーイネーブル出力端子	6	6
	IC0_VCC_1		140	-
	IC0_VPEN_0	Smartcard ch 0 プログラミング出力端子	5	5
	IC0_VPEN_1		141	-
	IC0_RST_0	Smartcard ch 0 リセット出力端子	4	4
	IC0_RST_1		142	-
	IC0_CIN_0	Smartcard ch 0 挿入検出入力端子	2	2
	IC0_CIN_1		144	-
	IC0_CLK_0	Smartcard ch 0 シリアルインタフェースクロック出力端子	7	7
	IC0_CLK_1		139	-
	IC0_DATA_0	Smartcard ch 0 シリアルインタフェースデータ入出力端子	3	3
	IC0_DATA_1		143	-
Smartcard1	IC1_VCC_0	Smartcard ch 1 パワーイネーブル出力端子	95	79
	IC1_VCC_1		79	-
	IC1_VPEN_0	Smartcard ch 1 プログラミング出力端子	96	80
	IC1_VPEN_1		80	-
	IC1_RST_0	Smartcard ch 1 リセット出力端子	97	81
	IC1_RST_1		81	-
	IC1_CIN_0	Smartcard ch 1 挿入検出入力端子	99	83
	IC1_CIN_1		83	-
	IC1_CLK_0	Smartcard ch 1 シリアルインタフェースクロック出力端子	94	78
	IC1_CLK_1		78	-
	IC1_DATA_0	Smartcard ch 1 シリアルインタフェースデータ入出力端子	98	82
	IC1_DATA_1		82	-

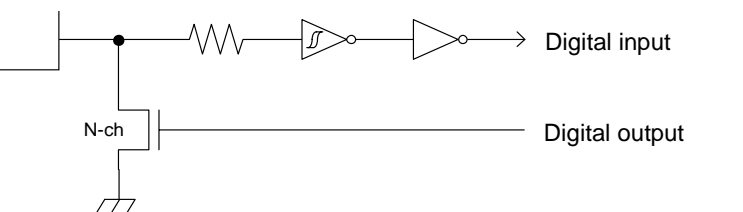
端子機能	端子名	機能	端子番号	
			LQFP 176	LQFP 144
Reset	INITX	外部リセット入力端子。 INITX = L のとき、リセットが有効。	57	49
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1 = L を入力してください。	84	68
	MD0	モード 0 端子。 通常動作時は、MD0 = L を入力してください。 フラッシュメモリのシリアル書込み時は、MD0 = H を入力してください。	85	69
Power	VCC	電源端子	1	1
			29	24
			45	37
			54	46
			89	73
			133	109
	USBVCC0	USB I/O 用 3.3V 電源端子	173	141
	USBVCC1		129	105
	ETHVCC	Ethernet I/O 用電源端子	156	126
GND	VSS	GND 端子	30	25
			44	36
			53	45
			88	72
			132	108
			157	127
			176	144
Clock	X0	メイン クロック (発振) 入力端子	86	70
	X1	メイン クロック (発振) I/O 端子	87	71
	X0A	サブ クロック (発振) 入力端子	55	47
	X1A	サブ クロック (発振) I/O 端子	56	48
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	127	103
	CROUT_1		152	122
Analog power	AVCC	A/D コンバータおよび D/A コンバータのアナログ電源端子	90	74
	AVRL	A/D コンバータのアナログ基準電圧入力端子	92	76
	AVRH	A/D コンバータのアナログ基準電圧入力端子	93	77
Analog GND	AVSS	A/D コンバータおよび D/A コンバータの GND 端子	91	75
C 端子	C	電源安定化容量端子	52	44

<注意事項>

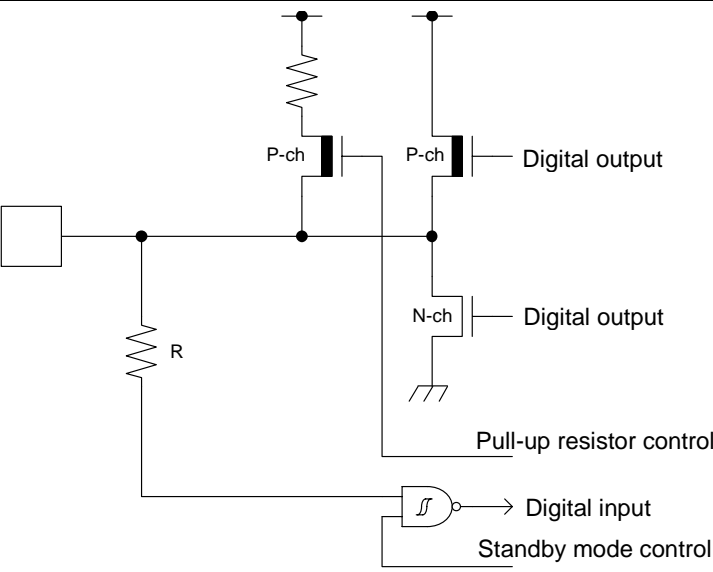
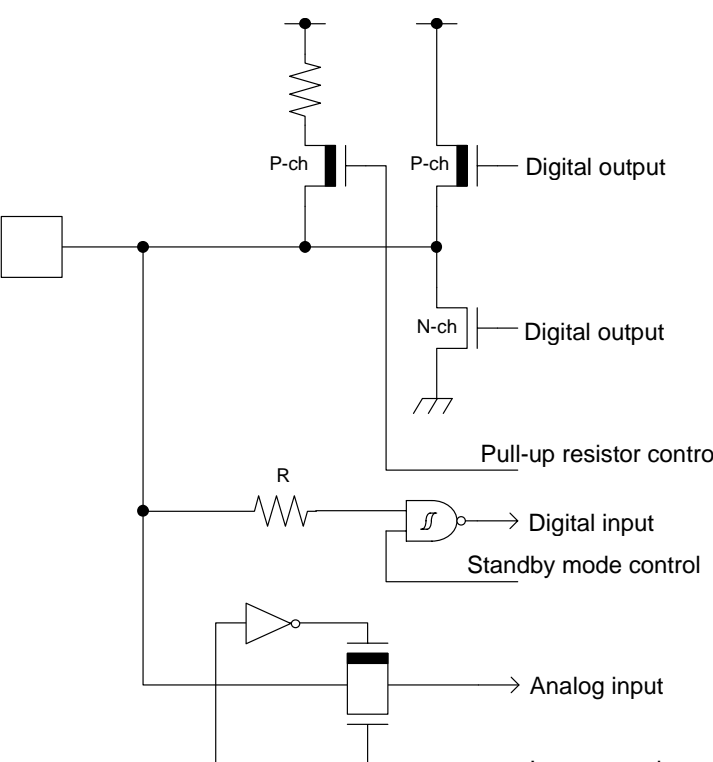
- 本デバイスには、JTAG 標準のテスト アクセス ポート (TAP) が搭載されていますが、IEEE 1149.1-2001 に 完全に準拠していません。32 ビット デバイス ID 番号は、異なる機能を持つ他のシリーズの ID と重なる場合があります。TAP 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

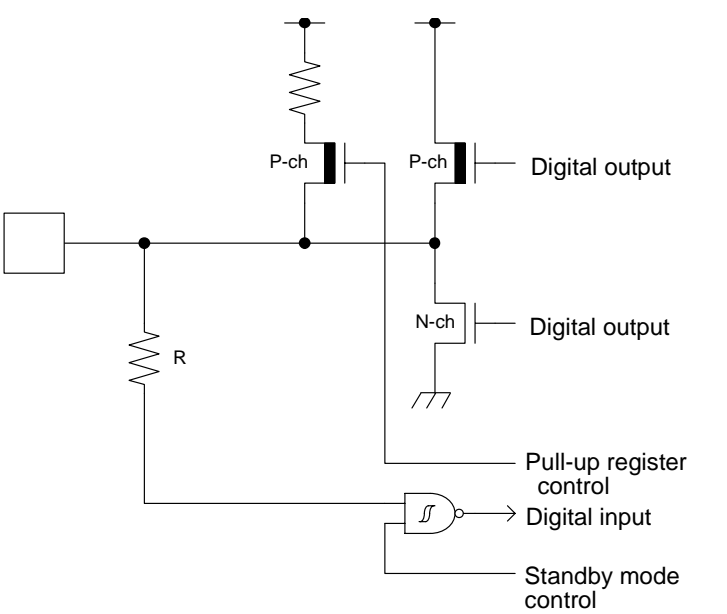
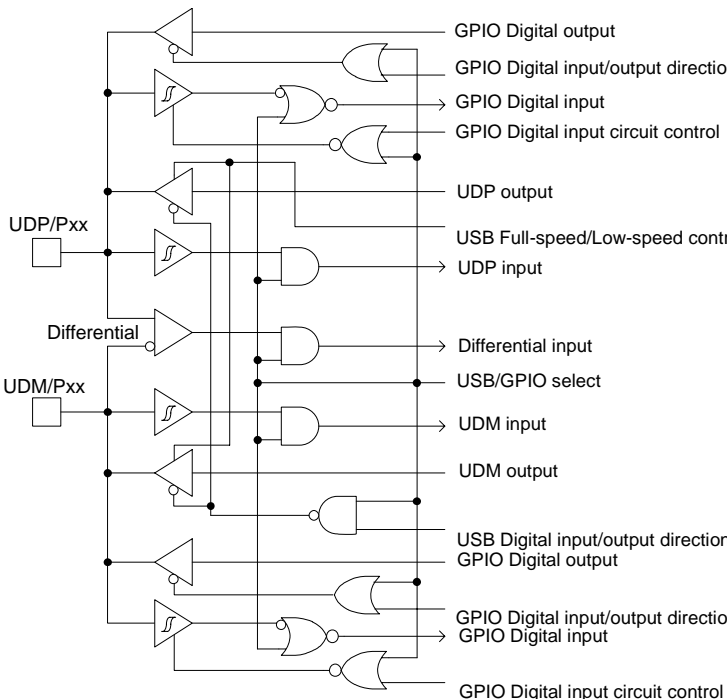
7. 入出力回路形式

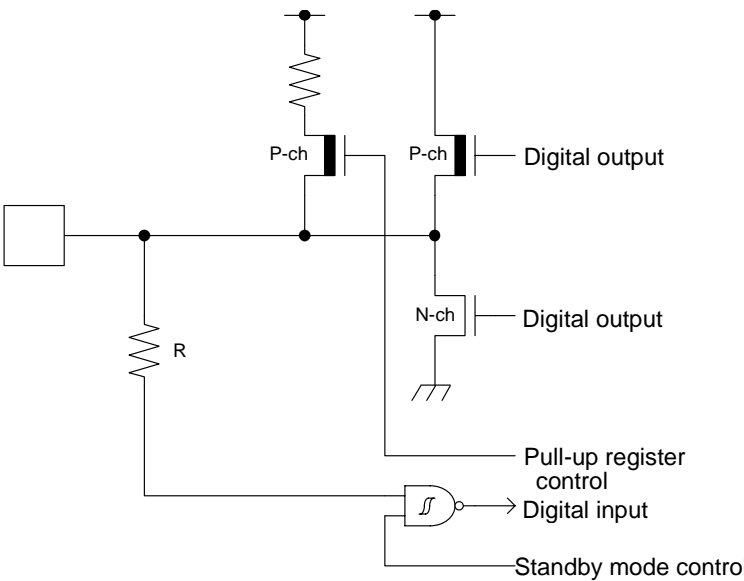
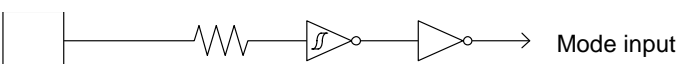
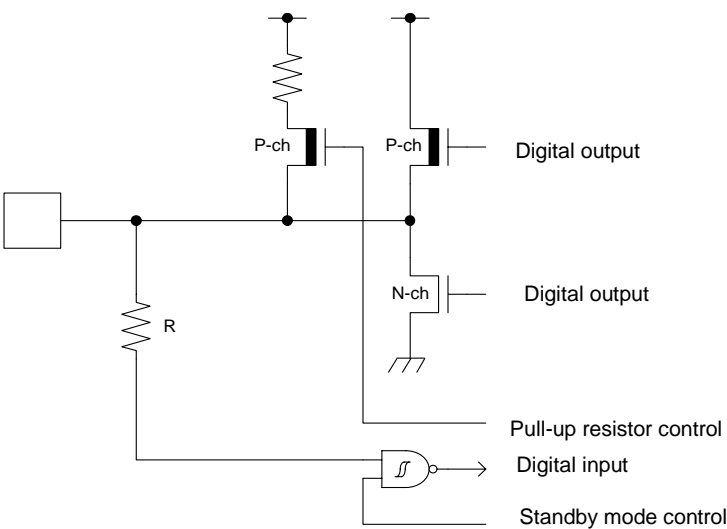
分類	回路	備考
A		<p>メイン発振／GPIO 切り替え可能。</p> <p>メイン発振機能選択時:</p> <ul style="list-style-type: none"> ・ 発振帰還抵抗: 約 1MΩ ・ スタンバイモード制御あり <p>GPIO 機能選択時:</p> <ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$
B		<ul style="list-style-type: none"> ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗: 約 50kΩ

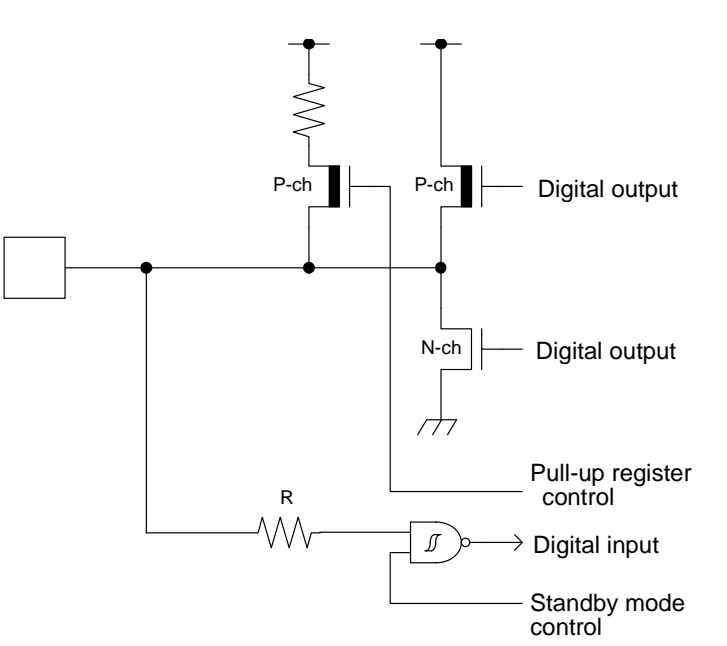
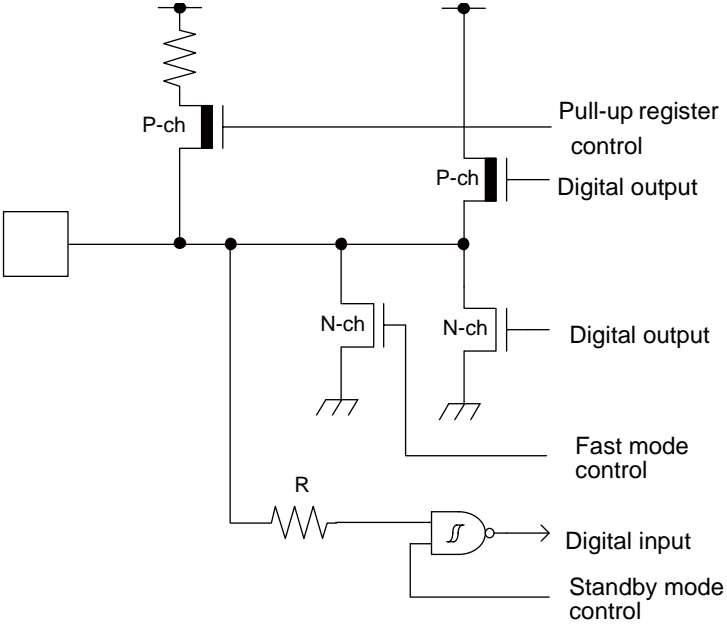
分類	回路	備考
C		<ul style="list-style-type: none"> ・ オープンドレイン出力 ・ CMOS レベルヒステリシス入力

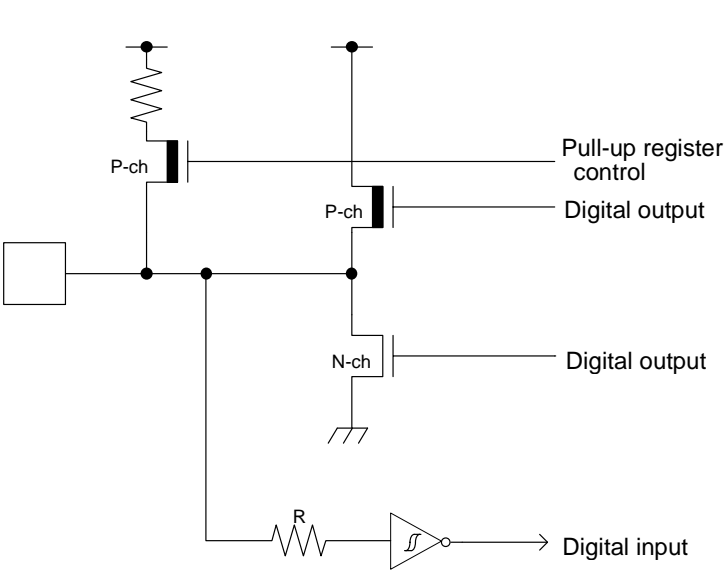
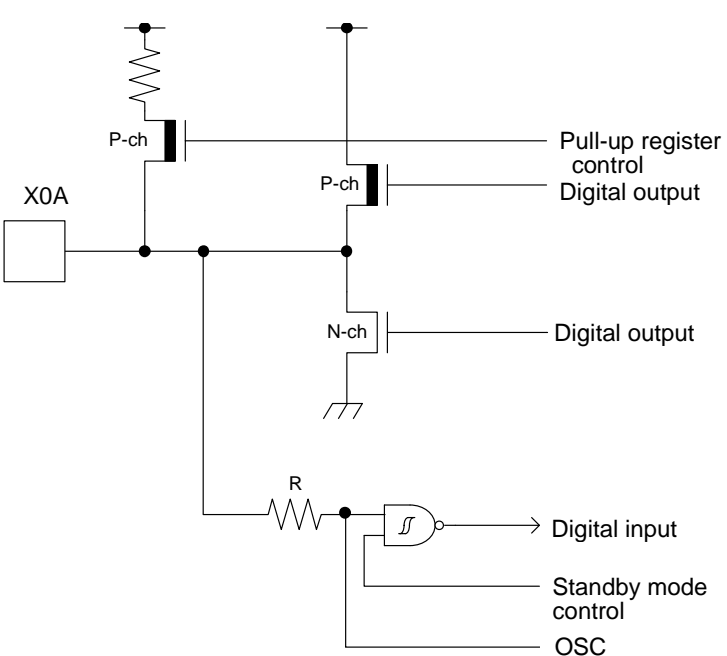
分類	回路	備考
D	<p>The diagram shows a complex digital circuit with two external inputs, X1A and X0A. Each input is connected to a pull-up resistor R. The circuit includes several MOSFETs (P-ch and N-ch), pull-up resistors, and logic gates (AND, OR, NOT, NAND). The outputs are labeled as Digital output and Digital input. The circuit is controlled by Standby mode control and Pull-up resistor control signals. The inputs X1A and X0A are connected to a network of transistors and logic gates that determine the output states.</p>	<p>サブ発振／GPIO 切替え可能。</p> <p>メイン発振機能選択時:</p> <ul style="list-style-type: none"> ・ 発振帰還抵抗: 約 5MΩ ・ スタンバイモード制御あり <p>GPIO 機能選択時:</p> <ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$

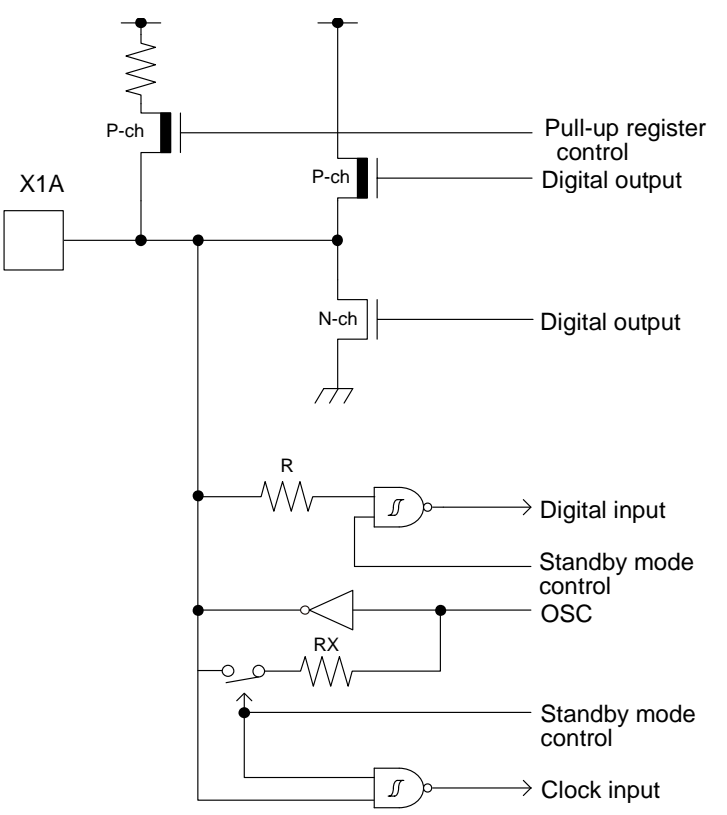
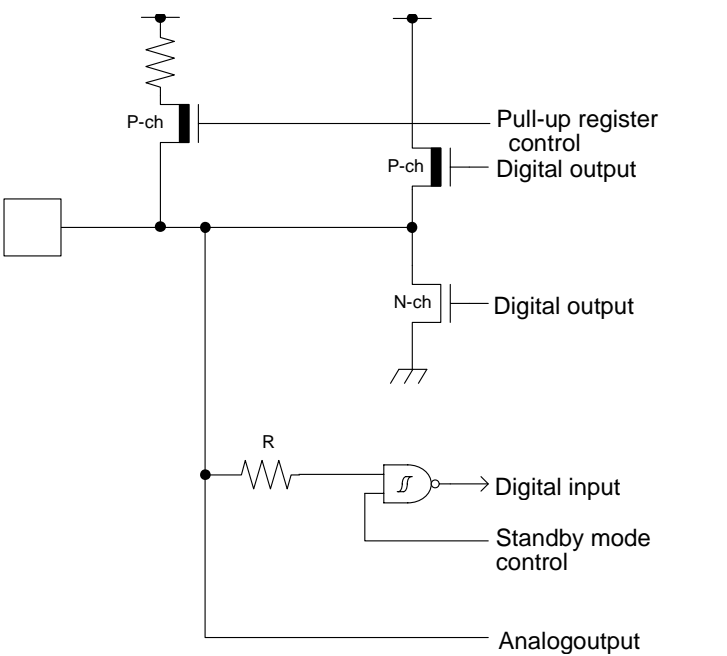
分類	回路	備考
E	 <p>Pull-up resistor control</p> <p>Digital input</p> <p>Standby mode control</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$、$I_{OL} = 4mA$ ・ I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフ
F	 <p>Pull-up resistor control</p> <p>Digital input</p> <p>Standby mode control</p> <p>Analog input</p> <p>Input control</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ 入力制御あり ・ アナログ入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$、$I_{OL} = 4mA$ ・ I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフ

分類	回路	備考
G		<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -12\text{mA}$, $I_{OL} = 12\text{mA}$ ・ I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフ
H		<p>USB IO/GPIO 切替え可能</p> <p>USB IO 機能選択時:</p> <ul style="list-style-type: none"> ・ フルスピード/ロースピード制御あり <p>GPIO 機能選択時:</p> <ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ スタンバイモード制御あり ・ $I_{OH} = -20.5\text{mA}$, $I_{OL} = 18.5\text{mA}$

分類	回路	備考
I		<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ 5Vトレラント ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$ ・ PZR レジスタ制御可能(擬似オープンドレイン制御) ・ PZR レジスタの詳細は「FM4 Family Peripheral Manual Main Part (002-04856)」の I/O ポートの章をご参照ください
J		CMOS レベルヒステリシス入力
K		<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ TTL レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$

分類	回路	備考
L	 <p> P-ch Digital output N-ch Digital output Pull-up register control R Digital input Standby mode control </p>	<ul style="list-style-type: none"> CMOS レベル出力 CMOS レベルヒステリシス入力 プルアップ抵抗制御あり スタンバイモード制御あり プルアップ抵抗: 約 50kΩ $I_{OH} = -8\text{mA}$, $I_{OL} = 8\text{mA}$ I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフ
N	 <p> P-ch Pull-up register control Digital output N-ch Digital output Fast mode control R Digital input Standby mode control </p>	<ul style="list-style-type: none"> CMOS レベル出力 CMOS レベルヒステリシス入力 5V トレラント プルアップ抵抗制御あり スタンバイモード制御あり プルアップ抵抗: 約 50kΩ $I_{OH} = -4\text{mA}$, $I_{OL} = 4\text{mA}$ (GPIO) $I_{OL} = 20\text{mA}$ (高速モード プラス) PZR レジスタの制御可能 (擬似オープン ドレイン制御) PZR レジスタの詳細は「FM4 Family Peripheral Manual Main Part (002-04856)」の I/O ポートの章をご参照ください I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフ

分類	回路	備考
O	 <p>Pull-up register control</p> <p>Digital output</p> <p>Digital output</p> <p>Digital input</p>	<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • 5V トレラント • プルアップ抵抗制御あり • プルアップ抵抗: 約 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$ • PZR レジスタの制御可能 (擬似オープン ドレイン制御) • PZR レジスタの詳細は「FM4 Family Peripheral Manual Main Part (002-04856)」の I/O ポートの章をご参照ください
P	 <p>Pull-up register control</p> <p>Digital output</p> <p>Digital output</p> <p>Digital input</p> <p>Standby mode control</p> <p>OSC</p>	<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • プルアップ抵抗制御あり • プルアップ抵抗: 約 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$

分類	回路	備考
Q		<p>サブ発振/GPIO 切換え可能。</p> <p>サブ発振機能選択時:</p> <ul style="list-style-type: none"> ・ 発振帰還抵抗: 約 10MΩ <p>GPIO 機能選択時:</p> <ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ抵抗制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$
R		<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ アナログ出力 ・ プルアップ抵抗制御あり ・ スタンバイモード制御あり ・ プルアップ抵抗: 約 50kΩ ・ $I_{OH} = -4mA$, $I_{OL} = 4mA$ (4.5V~5.5V) ・ $I_{OH} = -2mA$, $I_{OL} = 2mA$ (2.7V~4.5V)

8. 取扱上のご注意

半導体デバイスはある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件など）によっても大きく左右されます。以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

8.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスでは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。

常に推奨動作条件内でご使用ください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない使用条件、動作条件または論理組合せでの使用は保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理および保護

半導体デバイスには、電源および各種入出力端子に対しての取り扱い時、これらに対して以下の注意が必要です。

1. 過電圧および過電流の防止

各端子に最大定格を超える電圧／電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧または過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合（サイリスタ構造）が導通して、数百 mA を超える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。

注意：ラッチアップが怒ると半導体デバイスの信頼性を損ねるだけでなく、破壊に至り発熱、発煙、発火の恐れもあります。これを防止するために、以下の点にご注意ください：

1. 最大定格以上の電圧が端子に加わることがないようにしてください。異常なノイズ、サージなどにも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制に適合するようにお願いします。

フェイルセーフ設計

半導体デバイスは、ある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載されたサイプレス製品は通常の一般用途（コンピューター、事務処理自動化および事務用機器、産業機器、通信、測定器、パーソナル用、家庭用など）に使用することを意図して設計・製造されています。

注意：極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害等については、責任を負いかねますのでご了承ください。

8.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント基板への実装方法は、プリント基板へ直接はんだ付けする方法とソケットを使用してプリント基板に実装する方法とがあります。

プリント基板へ直接はんだ付けする場合は、プリント基板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を引き起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入型と比較して、リードが薄くて細いため、リードが変形しやすい性質を持っています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリー パッケージ

注意：BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください:

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの仕様を推奨します。相対湿度 70%RH 以下、湿度 5°C~30°C で保管をお願いします。
3. ドライパッケージを開封した場合には湿度 40%~70%RH を推奨いたします。
4. 当社では必要に応じて、半導体デバイスの梱包材として防湿性の高いアルミ ラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
5. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください:

1. 作業環境の相対湿度は 40%~70%RH にしてください。除湿装置（イオン発生装置）の使用なども必要に応じて検討してください。
2. 使用するコンペア、はんだ漕、はんだごて、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗（1MΩ 程度）で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具、計器類は、接地または帯電電荷を最小限に保つようにしてください。
5. 組立完了基板の保管時、発泡スチロールなどの帯電しやすい材料の使用は避けてください。

8.3 使用環境に関する注意事項

半導体デバイスの信頼性は、前述の周囲温度とそれ以外の環境条件にも依存します。

ご使用に当たっては、以下の点にご注意ください：

1. 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施すなどの配慮をお願いします。

2. 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でのご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

注意：樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、本製品を特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

9. デバイス使用上の注意

電源端子について

VCC、VSS 端子端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するために、デバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グラウンドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグラウンドに接続してください。

さらに、本デバイスの近くで各電源端子と GND 端子の間、AVCC 端子と AVSS 端子の間、AVRH 端子と AVRL 端子の間に 0.1μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について、電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として、VCC は、商用周波数 (50Hz/60Hz) におけるリップル変動 (ピークツーピーク値) を推奨動作条件内の 10% 以内にしてください。かつ、電源切換えによる瞬間変動の過渡変動率は 0.1V/μs 以下にしてください。

水晶発振回路について

X0/X1、X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1、X0A/X1A 端子および水晶発振子 (またはセラミック発振子)、さらにグラウンドへのバイパスコンデンサはできる限り近くに配置するようにプリント基板を設計してください。

また、X0/X1、X0A/X1A 端子の周りをグラウンドで囲むようなプリント基板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低くなっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します:

■ 表面実装タイプ

サイズ: 3.2mm × 1.5mm 以上

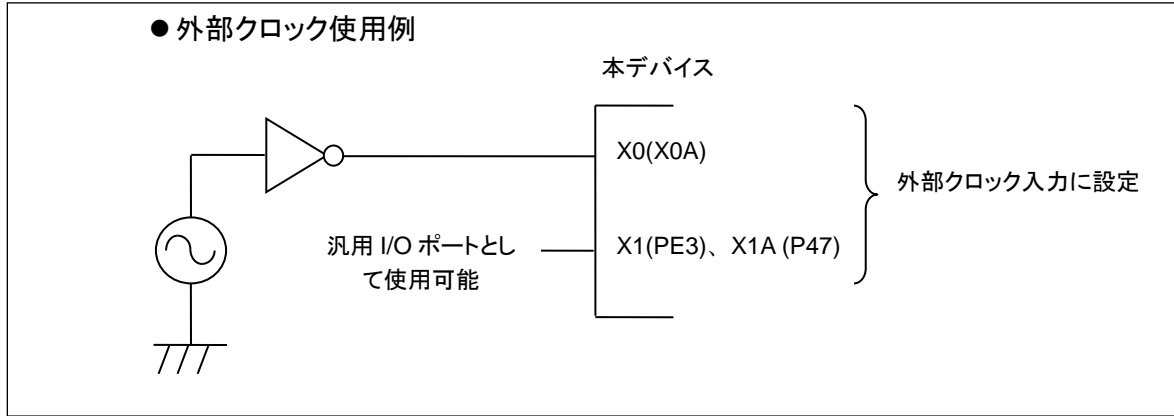
負荷容量: 6pF~7pF 程度

■ リード タイプ

負荷容量: 6pF~7pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入してください。X1 (PE3) 端子は汎用 I/O ポートとして使用できます。同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A (P47) 端子は汎用 I/O ポートとして使用できます。

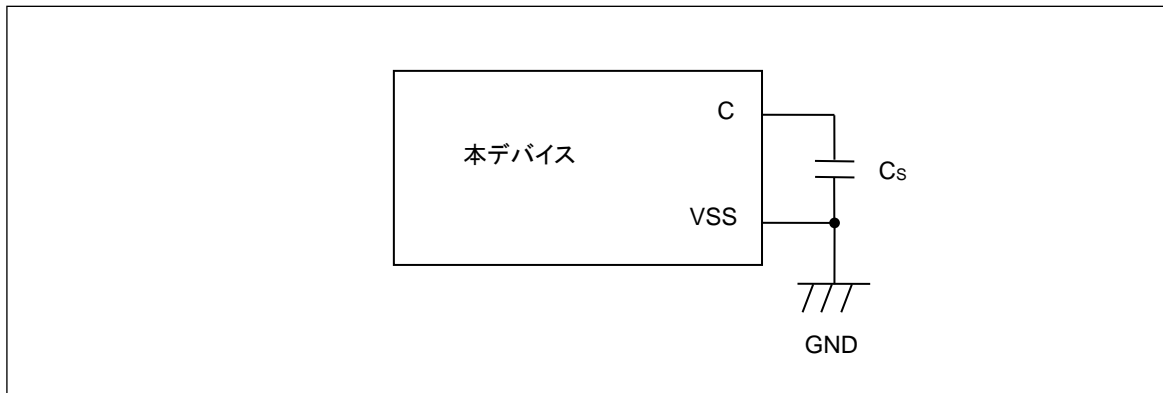


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力の P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、MCU 電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ (C_s) を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性 (F 特性、Y5V 特性) を持つものがあります。コンデンサの温度特性を確認、使用条件において規格値を満たすコンデンサを使用してください。本シリーズでは 4.7μF 程度の平滑コンデンサを推奨します。



モード端子 (MD0) について

モード端子 (MD0) は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書き換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低いインピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入／切断する際は同時か、あるいは次の順番で投入／切断を行ってください。A/D コンバータおよび D/A コンバータを使用しない場合、AVCC= VCC および AVSS = VSS を接続してください。

投入時:	VCC → USBVCC0
	VCC → USBVCC1
	VCC → ETHVCC
	VCC → AVCC → AVRH
切断時:	AVRH → AVCC → VCC
	ETHVCC → VCC
	USBVCC1 → VCC
	USBVCC0 → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後のデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリの構造の違いにより消費電流や ESD、ラッチアップ、ノイズ特性、発振特性等を含めた電氣的特性が異なります。お客様にて同一シリーズの別製品に切り替えて使用する際は、電氣的特性の評価を行ってください。

5Vトレラント I/O のプルアップ機能について

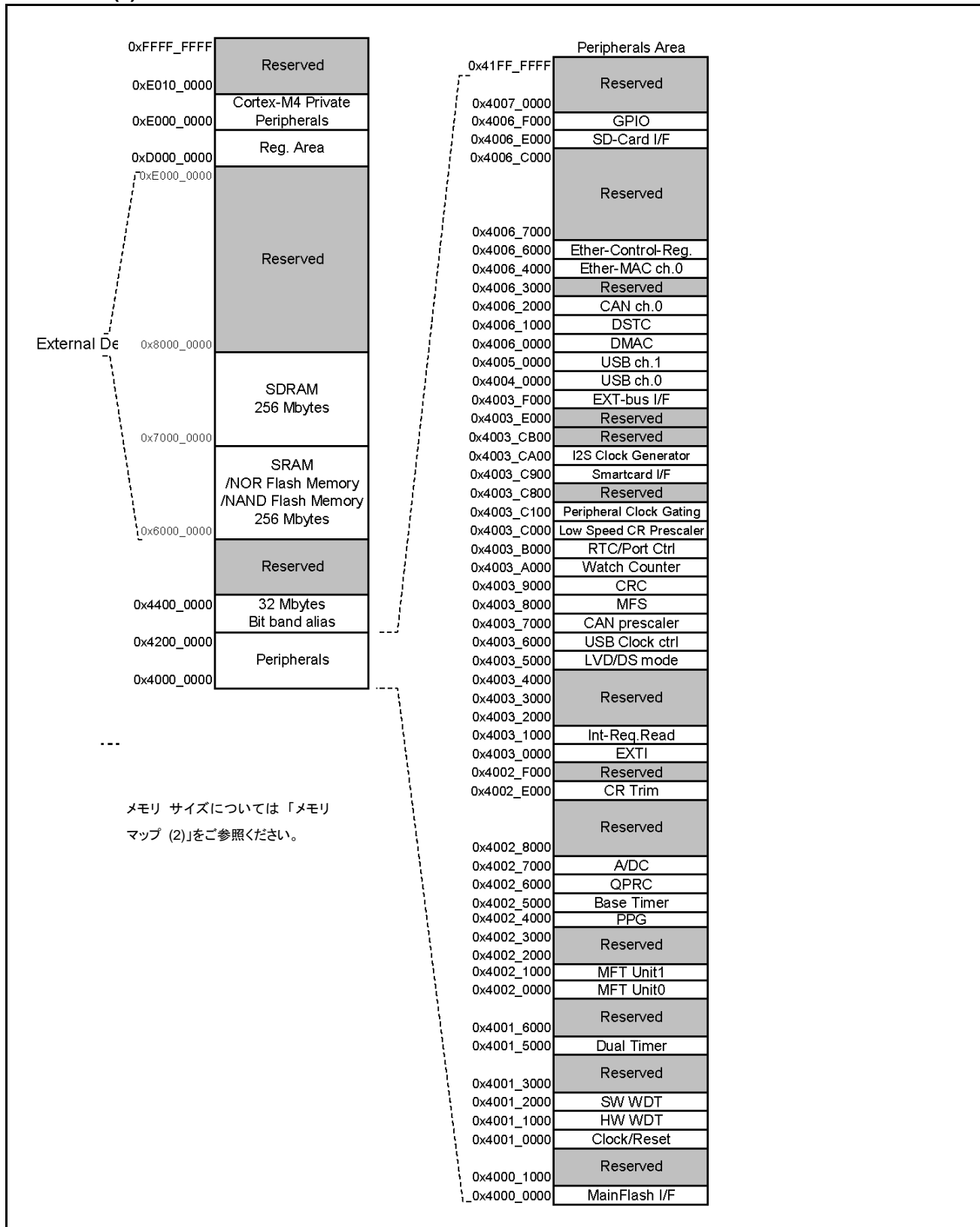
5Vトレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

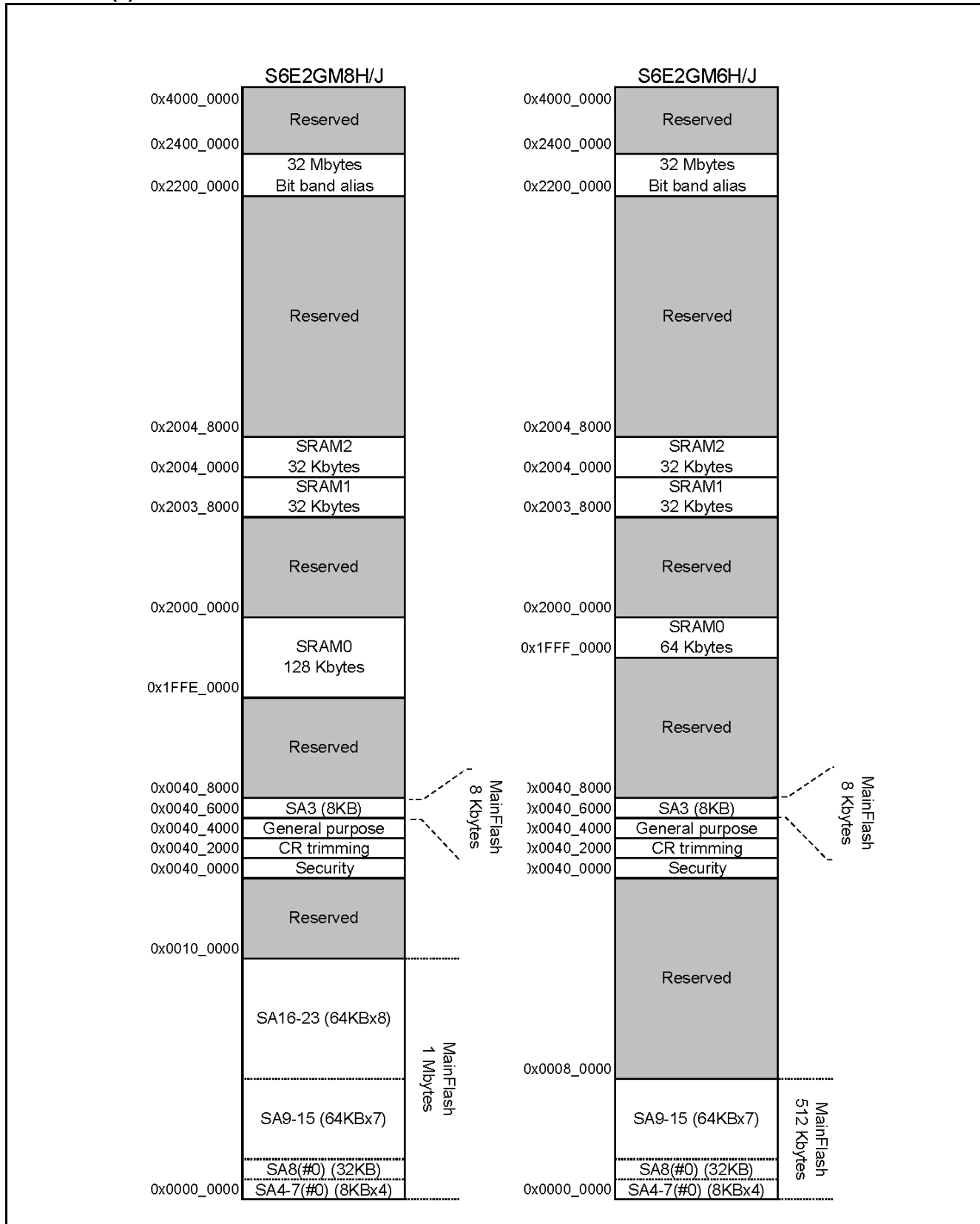
デバッグ機能を兼用している端子について

TDO/TMS/TDI/TCK/TRSTX、SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力としては使用してはいけません。

10. メモリ マップ

メモリ マップ (1)



メモリ マップ (2)


*: フラッシュメモリの詳細は S6E2GM/GK/GH/G3/G2 シリーズ フラッシュプログラミングマニュアルをご参照ください。

ペリフェラル アドレス マップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	メインフラッシュ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック/リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ハードウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ 0
0x4006_1000	0x4002_1FFF		多機能タイマ 1
0x4002_2000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ (QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内部 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み制御部
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_4FFF		予約
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_5FFF		ディープスタンバイモード 制御部
0x4003_6000	0x4003_6FFF		USB クロック 生成回路
0x4003_7000	0x4003_7FFF		CAN プリスケアラ
0x4003_8000	0x4003_8FFF		マルチファンクションシリアルインタフェース
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC/ポート制御
0x4003_C000	0x4003_C0FF		低速 CR プリスケアラ
0x4003_C100	0x4003_C7FF		周辺クロック停止
0x4003_C800	0x4003_C8FF		予約
0x4003_C900	0x4003_C9FF		I ² S クロック 生成回路
0x4003_CA00	0x4003_CAFF		Smartcard インタフェース
0x4003_CB00	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外部メモリインタフェース

スタート アドレス	エンド アドレス	バス	周辺機能
0x4004_0000	0x4004_FFFF	AHB	USB ch 0
0x4005_0000	0x4005_FFFF		USB ch 1
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x4006_1FFF		DSTC レジスタ
0x4006_2000	0x4006_2FFF		CAN ch.0
0x4006_3000	0x4006_3FFF		予約
0x4006_4000	0x4006_5FFF		Ethernet-MAC ch 0
0x4006_6000	0x4006_6FFF		Ethernet-MAC 設定レジスタ
0x4006_7000	0x4006_DFFF		予約
0x4006_E000	0x4006_EFFF		SD カード I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4007_0000	0x41FF_FFFF		予約

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

- INITX = 0
INITX 端子が L レベルである期間。
- INITX = 1
INITX 端子が H レベルである期間。
- SPL = 0
スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が 0 に設定された状態。
- SPL = 1
スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が 1 に設定された状態。
- 入力可
入力機能が使用可能な状態です。
- 内部入力「0」固定
入力機能が使用できない状態。内部入力は L に固定されます。
- Hi-Z
端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。
- 設定不可
設定ができません。
- 直前状態保持
本モードに移行する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
端子をポートとして使用している場合は、その状態を保持します。
- アナログ入力可
アナログ入力が許可されています。
- トレース出力
トレース機能が使用可能な状態です。
- GPIO 選択
ディープスタンバイモード時、汎用 I/O ポートに切り替わります。
- 設定禁止
仕様制限により設定禁止です。

端子状態一覧表

端子 群	グループ 機能名	パワーオン リセット または 低電圧 検出状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード、 RTC モード、または ストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップ モード状態		ディープ スタンバイ モード復帰直後 状態
		電源 不安定	電源 安定		電源 安定	電源 安定		電源 安定		電源 安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z／内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択時
	メイン水晶発 振入力端子／ 外部メイン クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z／内部 入力「0」固定	GPIO 選択 時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択時
	外部メイン クロック入力 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z／内部 入力「0」固定	直前状態 保持	Hi-Z／内部 入力「0」固定	直前状態保持
	メイン水晶発 振出力端子	Hi-Z／ 内部入力 「0」固定／ 入力可	Hi-Z／ 内部入力 「0」固定	Hi-Z／ 内部入力 「0」固定	発振動作時、直前状態保持／発振停止時*1、Hi-Z／内部入力「0」固定					
C	INITX 入力端子	プル アップ／ 入力可	プル アップ／ 入力可	プル アップ／ 入力可	プルアップ／ 入力可	プルアップ／ 入力可	プルアップ／ 入力可	プルアップ／ 入力可	プルアップ／ 入力可	プルアップ／ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態 保持	Hi-Z／ 入力可	GPIO 選択 時	Hi-Z／入力可	GPIO 選択時

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード、 RTC モード、または ストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップ モード状態		ディープ スタンバイ モード復帰直後 状態
		電源 不安定	電源 安定		電源 安定	電源 安定		電源 安定		電源 安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
F	NMIX 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力 可	直前状態 保持
	上記以外のリ ソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 「0」固定			GPIO 選択時			
	GPIO 選択時									
G	JTAG 選択時	Hi-Z	プル アップ/ 入力可	プル アップ/ 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z/ 内部入力 「0」固定	GPIO 選択時
H	JTAG 選択時	Hi-Z	プル アップ/ 入力可	プル アップ/ 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	上記以外のリ ソース選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z/ 内部 入力「0」固定	GPIO 選択時
	GPIO 選択時									
I	リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z/ 内部 入力「0」固定	GPIO 選択時
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード、 RTC モード、または ストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップ モード状態		ディープ スタンバイ モード復帰直後 状態
		電源 不安定	電源 安定		電源 安定	電源 安定		電源 安定		電源 安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
J	アナログ出力 選択時	Hi-Z	Hi-Z／ 入力可	Hi-Z／ 入力可	直前状態 保持	*2	*3	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択時
	外部割込み許 可選択時					直前状態 保持	直前状態 保持			
	上記以外のリ ソース選択時						Hi-Z／内部 入力「0」固定			
	GPIO 選択時									
K	外部割込み許 可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択時
	上記以外のリ ソース選択時	Hi-Z	Hi-Z／ 入力可	Hi-Z／ 入力可			Hi-Z／内部 入力「0」固定			
	GPIO 選択時									
L	アナログ入力 選択時	Hi-Z	Hi-Z／ 内部入力 「0」 固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」 固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」固定／ アナログ 入力可	Hi-Z／ 内部入力 「0」固定／ アナログ 入力可	
	上記以外のリ ソース選択時		設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z／内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定
	GPIO 選択時									

電源状態	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTC モード、またはストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択時 内部入力「0」固定	Hi-Z/内部入力「0」固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力「0」固定			
	GPIO 選択									
N	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択時 内部入力「0」固定	Hi-Z/内部入力「0」固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力「0」固定			
	GPIO 選択									

電源状態形態	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTC モード、またはストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
O	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択時 内部入力「0」固定	Hi-Z/ 内部入力「0」固定	GPIO 選択
	外部割込み許可選択時						直前状態保持			
	上記以外のリソース選択時						Hi-Z/ 内部入力「0」固定			
	GPIO 選択									
P	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可	Hi-Z/ 内部入力「0」固定/ アナログ入力可
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入力「0」固定	GPIO 選択時 内部入力「0」固定	Hi-Z/ 内部入力「0」固定	
	GPIO 選択									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード、 RTC モード、または ストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップ モード状態		ディープ スタンバイ モード復帰直後 状態
		電源 不安定	電源 安定		電源 安定	電源 安定		電源 安定		電源 安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
Q	WKUP 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	WKUP 入力可
	外部割込み許可 選択時							GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力 「0」固定	GPIO 選択
	上記以外のリ ソース選択時	Hi-Z	Hi-Z／ 入力可	Hi-Z／ 入力可						
	GPIO 選択									
R	GPIO 選択	Hi-Z	Hi-Z／ 入力可	Hi-Z／ 入力可	直前状態保持	直前状態 保持	Hi-Z／内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択
	USB I/O 端子	設定不可	設定不可	設定不可	送信時は Hi-Z／ 入力可／ 受信時は 内部入力「0」 固定	送信時は Hi-Z／ 入力可／ 受信時は 内部入力「0」 固定	送信時は Hi-Z／ 入力可／ 受信時は 内部入力「0」 固定	Hi-Z／ 入力可	Hi-Z／ 入力可	Hi-Z／ 入力可
S	GPIO 選択	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z／内部 入力「0」固定	GPIO 選択時 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択
	サブ水晶発振 入力端子／ 外部メイン ク ロック入力選 択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモード、またはストップモード状態		ディープスタンバイ RTCモード またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
T	GPIO 選択	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z／内部入力「0」固定	GPIO選択時内部入力「0」固定	Hi-Z／内部入力「0」固定	GPIO 選択
	外部メインクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z／内部入力「0」固定	直前状態保持	Hi-Z／内部入力「0」固定	直前状態保持
	サブ水晶発振出力端子	Hi-Z／内部入力「0」固定／入力可	Hi-Z／内部入力「0」固定	Hi-Z／内部入力「0」固定	発振動作時、直前状態保持／発振器停止時*5、Hi-Z／内部入力「0」固定					
V	Ethernet I/O 選択時*4	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択内部入力「0」固定	Hi-Z／内部入力「0」固定	GPIO 選択時
	上記以外のリソース選択時	Hi-Z	Hi-Z／入力可	Hi-Z／入力可						
	GPIO 選択									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧 検出状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード、 RTC モード、または ストップモード状態		ディープスタンバイ RTC モード または ディープスタンバイストップ モード状態		ディープ スタンバイ モード復帰直後 状態
		電源 不安定	電源 安定		電源 安定	電源 安定		電源 安定		電源 安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
W	Ethernet 入出力選択時 ^{*4}	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択 内部入力 「0」固定	Hi-Z／内部 入力「0」固定	GPIO 選択
	外部割込み許可選択時									
	上記以外のリソース選択時	Hi-Z	Hi-Z／ 入力可	Hi-Z／ 入力可			Hi-Z／内部 入力「0」固定			
	GPIO 選択									

*1: サブタイマモード、低速 CR タイマモード、RTC モード、ストップモード、ディープスタンバイ RTC モードおよびディープスタンバイストップモードは発振が停止します。

*2: タイマモード状態は直前状態を保持、RTC モードまたはストップモード状態は GPIO 選択／内部入力「0」固定です。

*3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z／内部入力「0」固定です。

*4: EPFR14.E_SPLC レジスタにより選択されている場合を指します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 ^{*1、*2}	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧 (USB 用) ^{*1、*3}	USBV _{CC0}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧 (USB 用) ^{*1、*3}	USBV _{CC1}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧 (Ethernet-MAC 用) ^{*1、*4}	ETHV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ電源電圧 ^{*1、*5}	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧 ^{*1、*5}	AVRH	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧 ^{*1}	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≦ 6.5V)	V	USB および Ethernet-MAC 端子を除く
		V _{SS} - 0.5	USBV _{CC0} + 0.5 (≦ 6.5V)	V	USB ch.0 端子
		V _{SS} - 0.5	USBV _{CC1} + 0.5 (≦ 6.5V)	V	USB ch.1 端子
		V _{SS} - 0.5	ETHV _{CC} + 0.5 (≦ 6.5V)	V	Ethernet-MAC 端子
		V _{SS} - 0.5	V _{SS} + 6.5	V	5Vトレラント
アナログ端子入力電圧 ^{*1}	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≦ 6.5V)	V	
出力電圧 ^{*1}	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≦ 6.5V)	V	
L レベル最大出力電流 ^{*6}	I _{OL}	-	10	mA	4mA タイプ
			20	mA	8mA タイプ
			20	mA	12mA タイプ
			22.4	mA	I ² C Fm+
L レベル平均出力電流 ^{*7}	I _{OLAV}	-	4	mA	4mA タイプ
			8	mA	8mA タイプ
			12	mA	12mA タイプ
			20	mA	I ² C Fm+
L レベル最大総出力電流	ΣI _{OL}	-	100	mA	
L レベル平均総出力電流 ^{*8}	ΣI _{OLAV}	-	50	mA	
H レベル最大出力電流 ^{*6}	I _{OH}	-	- 10	mA	4mA タイプ
			-20	mA	8mA タイプ
			- 20	mA	12mA タイプ
H レベル平均出力電流 ^{*7}	I _{OHAV}	-	- 4	mA	4mA タイプ
			-8	mA	8mA タイプ
			- 12	mA	12mA タイプ
H レベル最大総出力電流	ΣI _{OH}	-	- 100	mA	
H レベル平均総出力電流 ^{*8}	ΣI _{OHAV}	-	- 50	mA	
保存温度	T _{STG}	- 55	+ 150	°C	

- *1: $V_{SS} = AV_{SS} = 0.0V$ を基準にした値です。
- *2: V_{CC} は $(V_{SS} - 0.5V)$ より低くならないでください。
- *3: $USBV_{CC0}$ と $USBV_{CC1}$ は $(V_{SS} - 0.5V)$ より低くならないでください。
- *4: $ETHV_{CC}$ は $(V_{SS} - 0.5V)$ より低くならないでください。
- *5: 電源投入時、電圧が $(V_{CC} + 0.5V)$ を超えてはいけません。
- *6: 最大出力電流は、該当する端子 1 本のピーク値を規定します。
- *7: 平均出力電流は、該当する端子 1 本に流れる電流の 100ms 期間内での平均電流を規定します。
- *8: 平均総出力電流は、該当する端子すべてに流れる電流の 100ms の期間内での平均電流値を規定します。

<注意事項>

- 絶対最大定格を超えるストレス（電圧、電流や温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を 1 項目でも超えることのないようご注意ください。

12.2 推奨動作条件

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V _{CC}	-	2.7*10	5.5	V	
電源電圧(USB ch 0 用)	USBV _{CC0}	-	3.0	3.6 (≤ V _{CC})	V	*1
			2.7	5.5 (≤ V _{CC})		*2
電源電圧 (USB ch 1 用)	USBV _{CC1}	-	3.0	3.6 (≤ V _{CC})	V	*3
			2.7	5.5 (≤ V _{CC})		*4
電源電圧 (Ethernet-MAC 用)	ETHV _{CC}	-	3.0	3.6 (≤ V _{CC})	V	*5
			4.5	5.5 (≤ V _{CC})		*5
			2.7	5.5 (≤ V _{CC})		*6
アナログ電源電圧	AV _{CC}	-	2.7	5.5	V	AV _{CC} = V _{CC}
アナログ基準電圧	AVRH	-	*9	AV _{CC}	V	
	AVRL	-	AV _{SS}	AV _{SS}	V	
平滑コンデンサ容量	C _S	-	1	10	μF	内蔵レギュレータ用 *7
動作温度	ジャンクション温度	T _J	-	-40	+125	°C
	周囲温度	T _A	-	-40	*8	°C

*1: P81/UDP0, P80/UDM0 端子を USB (UDP0、UDM0) として使用する場合

*2: P81/UDP0, P80/UDM0 端子を GPIO (P81、P80) として使用する場合

*3: P83/UDP1, P82/UDM1 端子を USB (UDP1、UDM1) として使用する場合

*4: P83/UDP1, P82/UDM1 端子を GPIO (P83、P82) として使用する場合

*5: P6E/ADTG_5/SCK4_1/IC23_1/INT29_0/E_PPS 端子を除く、Ethernet-MAC タイミングにある端子を Ethernet-MAC 端子として使用する場合

*6: P6E/ADTG_5/SCK4_1/IC23_1/INT29_0/E_PPS 端子を除く、Ethernet-MAC タイミングにある端子を機能端子として使用する場合

*7: 平滑コンデンサの接続方法は、9 デバイス使用上の注意の「C 端子について」をご参照ください。

*8: 周囲温度 (T_A) の最大温度は、ジャンクション温度 (T_J) を超えない範囲まで保証可能です。

周囲温度 (T_A) の計算式を以下に示します:

$$T_A (\text{Max}) = T_J (\text{Max}) - P_d (\text{Max}) \times \theta_{JA}$$

P_d: 消費電力 (W)

θ_{JA}: パッケージ熱抵抗 (°C/W)

$$P_d (\text{Max}) = V_{CC} \times I_{CC} (\text{Max}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL}: L レベル出力電流

I_{OH}: H レベル出力電流

V_{OL}: L レベル出力電圧

V_{OH}: H レベル出力電圧

*9: アナログ基準電圧は、コンペアクロック周期(T_{CK}) によって規格値が異なります。詳細は 12.5. 12 ビット A/D コンバータの章をご参照ください。

*10: 電源電圧が最小値未満かつ低電圧検出リセット (VDH) の間は、内蔵高速 CR または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。
 半導体デバイスは最大許容電力以下で動作が保証されます。

パッケージ熱抵抗と最大許容電力表

パッケージ	基板	熱抵抗 θ_{ja} (°C/W)	最大許容電力 (mW)	
			$T_A = +85^{\circ}\text{C}$	$T_A = +105^{\circ}\text{C}$
LQS144 (0.5mm ピッチ)	単層両面	48	833	417
	4 層	33	1212	606
LQP176 (0.5mm ピッチ)	単層両面	45	889	444
	4 層	31	1290	645

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。
常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
- データシートに記載されていない項目、使用条件、論理の組み合わせでの使用は保証していません。
記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

Ethernet-MAC 端子の対応表

端子名	Ethernet-MAC 使用時	Ethernet-MAC 未使用時	電源種別
P6E/ADTG_5/SCK4_1/INT29_0/E_PPS	E_PPS *	P6E/ADTG_5/SCK4_1/INT29_0	V _{CC}
PC0/E_RXER	E_RXER	PC0	ETHV _{CC}
PC1/TIOB6_0/E_RX03	E_RX03	PC1/TIOB6_0	
PC2/TIOA6_0/E_RX02	E_RX02	PC2/TIOA6_0	
PC3/TIOB7_0/E_RX01	E_RX01	PC3/TIOB7_0	
PC4/TIOA7_0/E_RX00	E_RX00	PC4/TIOA7_0	
PC5/TIOB14_0/E_RXDV	E_RXDV	PC5/TIOB14_0	
PC6/TIOA14_0/E_MDIO	E_MDIO	PC6/TIOA14_0	
PC7/INT13_0/E_MDC/CROUT_1	E_MDC	PC7/INT13_0/CROUT_1	
PC8/E_RXCK_REFCK	E_RXCK_REFCK	PC8	
PC9/TIOB15_0/E_COL	E_COL	PC9/TIOB15_0	
PCA/TIOA15_0/E_CRS	E_CRS	PCA/TIOA15_0	
PCB/INT28_0/E_COUT	E_COUT	PCB/INT28_0	
PCC/E_TCK	E_TCK	PCC	
PCD/SOT4_1/INT14_0/E_TXER	E_TXER	PCD/SOT4_1/INT14_0	
PCE/SIN4_1/INT15_0/E_TX03	E_TX03	PCE/SIN4_1/INT15_0	
PCF/RTS4_1/INT12_0/E_TX02	E_TX02	PCF/RTS4_1/INT12_0	
PD0/INT30_1/E_TX01	E_TX01	PD0/INT30_1	
PD1/INT31_1/E_TX00	E_TX00	PD1/INT31_1	
PD2/CTS4_1/E_TXEN	E_TXEN	PD2/CTS4_1	

*: Ethernet-MAC 内部の PTP カウンタ周期を波形で確認する際に使用されます。

消費電力 (Pd) の算出方法

消費電力は以下の式で計算されます。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL} : L レベル出力電流
 I_{OH} : H レベル出力電流
 V_{OL} : L レベル出力電圧
 V_{OH} : H レベル出力電圧

I_{CC} はデバイス内で消費される電流です。

以下に分解できます。

$$I_{CC} = I_{CC} (INT) + \sum I_{CC} (IO)$$

$I_{CC} (INT)$: レギュレータを通して内部ロジック、メモリなどで消費される電流です。

$\sum I_{CC} (IO)$: 出力端子が消費する電流 (I/O 切り替え電流) の合計

$I_{CC} (INT)$ については「12.3. 直流規格」の「(1) 電流規格」によって予測できます (本規格の値は端子固定時の値のため、 $I_{CC} (IO)$ は含んでいません)。

$I_{CC} (IO)$ については、お客様のシステムに依存します。

以下の計算式により算出してください。

$$I_{CC} (IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{SW}$$

C_{INT} : 端子内部負荷容量
 C_{EXT} : 出力端子外部負荷容量
 f_{SW} : 端子スイッチング周波数

項目	記号	条件	容量値
端子内部負荷容量	C_{INT}	4mA タイプ	1.93pF
		8mA タイプ	3.45pF
		12mA タイプ	3.42pF

消費電力が評価可能な場合には、 $I_{CC} (Max)$ の値は以下のように算出してください:

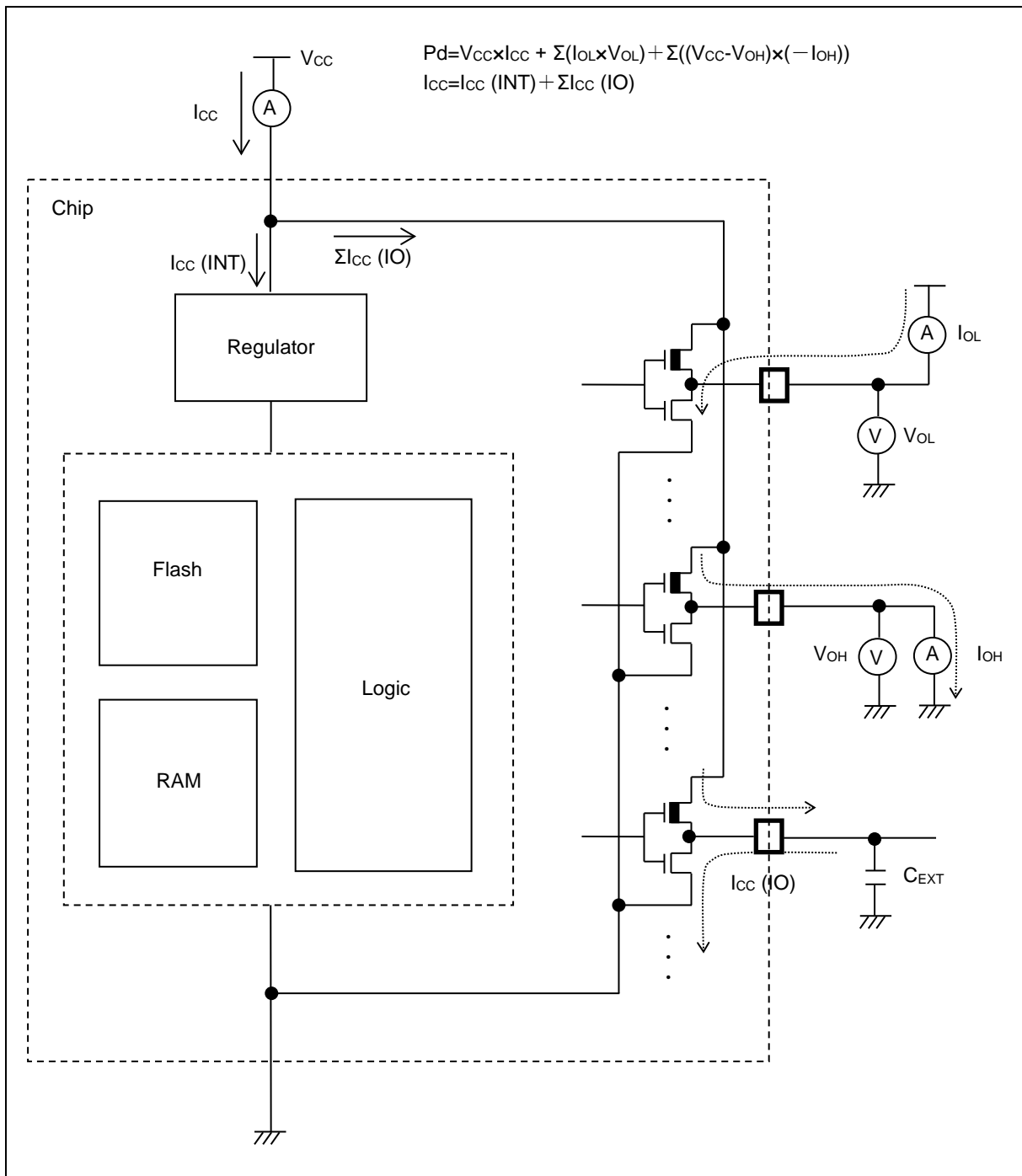
常温 (+25°C) にて電流値 ($I_{CC} (Typ)$) を測定します。

I_{CC} の値に動作時最大リーク電流値 ($I_{CC} (leak_max)$) を加算します。

$$I_{CC}(Max) = I_{CC} (Typ) + I_{CC} (leak_max)$$

項目	記号	条件	電流値
動作時最大リーク電流	$I_{CC} (leak_max)$	$T_J = +125^\circ C$	53.6mA
		$T_J = +105^\circ C$	26.6mA
		$T_J = +85^\circ C$	17.5mA

電流説明図



12.3 直流規格

12.3.1 電流規格

表 12-1. 通常動作(PLL)で標準と最大の消費電流、フラッシュメモリから実行するコード(フラッシュアクセラレータモードおよび配線バッファ機能が有効)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I _{CC}	V _{CC}	通常動作 *7,*8 (PLL)	*5	180MHz	73	131	mA	*3 周辺クロックすべて ON 時
				*6	160MHz	65	123	mA	
					144MHz	59	117	mA	
					120MHz	50	108	mA	
					100MHz	43	101	mA	
					80MHz	35	93	mA	
					60MHz	27	85	mA	
					40MHz	19	77	mA	
					20MHz	11	69	mA	
					8MHz	6.9	64	mA	
					4MHz	5.3	63	mA	
				*5	180MHz	44	102	mA	*3 周辺クロックすべて OFF 時
				*6	160MHz	40	98	mA	
					144MHz	36	94	mA	
					120MHz	31	89	mA	
					100MHz	27	85	mA	
					80MHz	22	80	mA	
					60MHz	17	75	mA	
					40MHz	13	71	mA	
					20MHz	7.9	65	mA	
					8MHz	5.2	63	mA	
					4MHz	4.3	62	mA	

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、周波数は HCLK の値です

*5: フラッシュアクセラレータモード、トレースバッファ機能動作 (FRWTR.RWT = 11、FBFCR.BE = 1) のとき

*6: フラッシュアクセラレータモード、トレースバッファ機能動作 (FRWTR.RWT = 10、FBFCR.BE = 1) のとき

*7: メインフラッシュメモリへのデータアクセスなし

*8: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

表 12-2. 通常動作(PLL)の標準と最大の消費電流、フラッシュメモリから命令動作実行(フラッシュアクセラレータモードとトレースバッファ機能が無効)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	Icc	VCC	通常動作 *7、*8 (PLL)	*5	180MHz	82	140	mA	*3 周辺クロックすべて ON 時
				*6	160MHz	74	132	mA	
					144MHz	68	126	mA	
					120MHz	58	116	mA	
					100MHz	49	107	mA	
					80MHz	40	98	mA	
					60MHz	31	89	mA	
					40MHz	22	80	mA	
					20MHz	13	71	mA	
					8MHz	7.5	65	mA	
					4MHz	5.6	63	mA	
				*5	180MHz	48	106	mA	*3 周辺クロックすべて OFF 時
				*6	160MHz	44	102	mA	
					144MHz	41	99	mA	
					120MHz	35	93	mA	
					100MHz	30	88	mA	
					80MHz	25	83	mA	
					60MHz	20	78	mA	
					40MHz	14	72	mA	
					20MHz	8.7	66	mA	
					8MHz	5.6	63	mA	
					4MHz	4.5	62	mA	

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK の時、周波数は HCLK の値です。

*5: フラッシュアクセラレータモード、トレースバッファ機能停止 (FRWTR.RWT = 11、FBFCR.BE = 0) の時

*6: フラッシュアクセラレータ モード、トレースバッファ機能停止 (FRWTR.RWT = 10、FBFCR.BE = 0) の時

*7: メインフラッシュメモリへのデータ アクセスあり

*8: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

表 12-3. 通常動作(PLL)の標準と最大の消費電流、フラッシュメモリから命令動作実行時 (フラッシュ 0 ウェイトサイクルモード、リードアクセス 0 ウェイト)

項目	記号	端子名	条件	周波数*4	規格値		単位	備考	
					標準*1	最大*2			
電源電流	Icc	VCC	通常動作 *6、*7 (PLL)	*5	72MHz	54	112	mA	*3 周辺クロックすべて ON 時
					60MHz	47	105	mA	
					48MHz	39	97	mA	
					36MHz	31	89	mA	
					24MHz	23	81	mA	
					12MHz	14	72	mA	
					8MHz	11	69	mA	
					4MHz	7.2	65	mA	
				*5	72MHz	37	95	mA	*3 周辺クロックすべて OFF 時
					60MHz	33	91	mA	
					48MHz	28	86	mA	
					36MHz	23	81	mA	
					24MHz	17	75	mA	
					12MHz	11	69	mA	
					8MHz	8.3	66	mA	
					4MHz	5.9	63	mA	

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK の時、周波数は HCLK の値です。

*5: フラッシュ 0 ウェイト サイクルモード、リードアクセス 0 ウェイト (FRWTR.RWT = 00、FBFCR SD = 000) の時

*6: メインフラッシュメモリへのデータアクセスあり

*7: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

表 12-4. 通常動作(PLL 以外)の標準と最大の消費電流、フラッシュメモリから命令動作実行時(フラッシュ 0 ウェイトサイクルモード、リードアクセス 0 ウェイト)

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I _{CC}	V _{CC}	通常動作 *6、*7 (メイン発振)	*5	4MHz	4.3	62	mA	*3 周辺クロックすべて ON 時
						3.7	61	mA	*3 周辺クロックすべて OFF 時
			通常動作 *6 (内蔵高速 CR)	*5	4MHz	3.5	61	mA	*3 周辺クロックすべて ON 時
						2.9	60	mA	*3 周辺クロックすべて OFF 時
			通常動作 *6、*8 (サブ発振)	*5	32kHz	0.47	58	mA	*3 周辺クロックすべて ON 時
						0.46	58	mA	*3 周辺クロックすべて OFF 時
			通常動作 *6 (内蔵低速 CR)	*5	100kHz	0.51	58	mA	*3 周辺クロックすべて ON 時
						0.50	58	mA	*3 周辺クロックすべて OFF 時

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、周波数は HCLK の値です。

*5: フラッシュ 0 ウェイト サイクルモード、リードアクセス 0 ウェイト (FRWTR.RWT = 00、FBFCR.SD = 000) の時

*6: メインフラッシュメモリへのデータ アクセスあり

*7: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

*8: 水晶振動子(32kHz)使用時 (発振回路の消費電流を含む)

表 12-5 PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、スリープ動作(PLL)の標準と最大の消費電流

項目	記号	端子名	条件	周波数 ^{*4}	規格値		単位	備考
					標準 ^{*1}	最大 ^{*2}		
電源電流	I _{CCS}	V _{CC}	スリープ動作 ^{*5} (PLL)	180MHz	58	116	mA	^{*3} 周辺クロックすべて ON 時
				160MHz	52	110	mA	
				144MHz	48	106	mA	
				120MHz	40	98	mA	
				100MHz	35	93	mA	
				80MHz	28	86	mA	
				60MHz	22	80	mA	
				40MHz	16	74	mA	
				20MHz	9.7	67	mA	
				8MHz	6.2	64	mA	
				4MHz	5.0	63	mA	
				180MHz	30	88	mA	^{*3} 周辺クロックすべて OFF 時
				160MHz	27	85	mA	
				144MHz	25	83	mA	
				120MHz	21	79	mA	
				100MHz	18	76	mA	
				80MHz	15	73	mA	
				60MHz	12	70	mA	
				40MHz	9.3	67	mA	
				20MHz	6.2	64	mA	
				8MHz	4.5	62	mA	
				4MHz	4.0	62	mA	

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、周波数は HCLK の値です。

*5: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

表 12-6 PCLK0 = PCLK1 = PCLK2 = HCLK の時、スリープ動作(PLL)の標準と最大の消費電流

項目	記号	端子名	条件	周波数 ^{*4}	規格値		単位	備考
					標準 ^{*1}	最大 ^{*2}		
電源電流	I _{CCS}	V _{CC}	スリープ動作 ^{*5} (PLL)	72MHz	32	90	mA	^{*3} 周辺クロックすべて ON 時
				60MHz	27	85	mA	
				48MHz	23	81	mA	
				36MHz	18	76	mA	
				24MHz	13	71	mA	
				12MHz	8.5	66	mA	
				8MHz	6.9	64	mA	
				4MHz	5.3	63	mA	
				72MHz	15	73	mA	^{*3} 周辺クロックすべて OFF 時
				60MHz	13	71	mA	
				48MHz	11	69	mA	
				36MHz	9.3	67	mA	
				24MHz	7.3	65	mA	
				12MHz	5.4	63	mA	
				8MHz	4.7	62	mA	
				4MHz	4.1	62	mA	

*1: T_A = +25°C、V_{CC} = 3.3V

*2: T_J = +125°C、V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: PCLK0 = PCLK1 = PCLK2 = HCLK の時、周波数は HCLK の値です。

*5: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

表 12-7 PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、スリープ動作(PLL 以外)の標準と最大の消費電流

項目	記号	端子名	条件	周波数 ^{*4}	規格値		単位	備考
					標準 ^{*1}	最大 ^{*2}		
電源電流	I _{CCS}	VCC	スリープ動作 ^{*5} (メイン発振)	4MHz	2.6	60	mA	^{*3} 周辺クロックすべて ON 時
					2.0	60	mA	^{*3} 周辺クロックすべて OFF 時
			スリープ動作 (内蔵高速 CR)	4MHz	2.0	60	mA	^{*3} 周辺クロックすべて ON 時
					1.3	59	mA	^{*3} 周辺クロックすべて OFF 時
			スリープ動作 ^{*6} (サブ発振)	32kHz	0.46	58	mA	^{*3} 周辺クロックすべて ON 時
					0.45	58	mA	^{*3} 周辺クロックすべて OFF 時
			スリープ動作 (内蔵低速 CR)	100kHz	0.47	58	mA	^{*3} 周辺クロックすべて ON 時
					0.46	58	mA	^{*3} 周辺クロックすべて OFF 時

^{*1}: T_A = +25°C、V_{CC} = 3.3V

^{*2}: T_J = +125°C、V_{CC} = 5.5V

^{*3}: すべてのポートが入力であり、「0」に固定される場合

^{*4}: PCLK0 = PCLK1 = PCLK2 = HCLK/2 の時、周波数は HCLK の値です。

^{*5}: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

^{*6}: 水晶振動(32KHz)使用時 (発振回路の消費電流を含む)

表 12-8 ストップモード、タイマモード、RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考	
					標準*1	最大*2			
電源電流	I _{CCH}	V _{CC}	ストップモード	-	0.41	1.9	mA	*3、*4 T _A = +25°C	
					-	18	mA	*3、*4 T _A = +85°C	
					-	26	mA	*3、*4 T _A = +105°C	
	I _{CCT}		タイマモード**5 (メイン発振)	4MHz	1.4	2.9	mA	*3、*4 T _A = +25°C	
					-	19	mA	*3、*4 T _A = +85°C	
					-	27	mA	*3、*4 T _A = +105°C	
			タイマモード (内蔵高速 CR)	4MHz	0.71	2.2	mA	*3、*4 T _A = +25°C	
					-	19	mA	*3、*4 T _A = +85°C	
					-	27	mA	*3、*4 T _A = +105°C	
			タイマモード**6 (サブ発振)	32kHz	0.41	1.9	mA	*3、*4 T _A = +25°C	
					-	18	mA	*3、*4 T _A = +85°C	
					-	27	mA	*3、*4 T _A = +105°C	
			タイマモード (内蔵低速 CR)	100kHz	0.42	1.9	mA	*3、*4 T _A = +25°C	
					-	18	mA	*3、*4 T _A = +85°C	
					-	27	mA	*3、*4 T _A = +105°C	
			I _{CCR}	RTC モード**6 (サブ発振)	32kHz	0.42	1.9	mA	*3、*4 T _A = +25°C
						-	18	mA	*3、*4 T _A = +85°C
						-	27	mA	*3、*4 T _A = +105°C

 *1: V_{CC} = 3.3V

 *2: V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: LVD OFF 時

*5: 水晶振動子(4MHz)使用時 (発振回路の消費電流を含む)

*6: 水晶振動子(32kHz)使用時 (発振回路の消費電流を含む)

表 12-9. ディープスタンバイストップ モード、ディープスタンバイ RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{CCHD}	VCC	ディープスタンバイ ストップモード (RAM OFF 時)	-	89	162	μA	*3、*4 T _A = +25°C
					-	1689	μA	*3、*4 T _A = +85°C
					-	2189	μA	*3、*4 T _A = +105°C
			ディープスタンバイ ストップモード (RAM ON 時)	-	101	245	μA	*3、*4 T _A = +25°C
					-	2401	μA	*3、*4 T _A = +85°C
					-	3223	μA	*3、*4 T _A = +105°C
	I _{CCRD}	VCC	ディープスタンバイ RTC モード*6 (RAM OFF 時)	32kHz	93	166	μA	*3、*4 T _A = +25°C
					-	1693	μA	*3、*4 T _A = +85°C
					-	2193	μA	*3、*4 T _A = +105°C
			ディープスタンバイ RTC モード*6 (RAM ON 時)		105	249	μA	*3、*4 T _A = +25°C
					-	2405	μA	*3、*4 T _A = +85°C
					-	3227	μA	*3、*4 T _A = +105°C

 *1: V_{CC} = 3.3V

 *2: V_{CC} = 5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: LVD OFF 時

*5: サブ発振 OFF 時

*6: 水晶振動(32KHz)使用時 (発振回路の消費電流を含む)

表 12-10. 低電圧検出回路、メインフラッシュメモリ書き込み／消去の標準と最大の消費電流

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
低電圧検出回路 (LVD) 電源電流	I _{CC} LVD	VCC	動作時	-	4	7	μA	割込み発生用
メインフラッシュメモリ書き込み／消去電流	I _{CC} FLASH		書き込み／消去時	-	13.4	15.9	mA	*1

1: フラッシュメモリへ書き込み、または消去をする時は、電源電流 (I_{CC}) にフラッシュ書き込み／消去電流 (I_{CC}FLASH) が加算されます。

表 12-11. パリフェラルの消費電流

クロック系列	パリフェラル	単位	周波数 (MHz)			単位	備考
			45	90	180		
HCLK	GPIO	全ポート	0.69	1.39	2.76	mA	T _A =+25°C、 V _{CC} =3.3V
	DMAC	-	0.74	1.46	2.83		
	DSTC	-	0.58	1.13	2.12		
	外部バス I/F	-	0.23	0.44	0.87		
	SD カード I/F	-	0.56	1.10	2.18		
	CAN	1 ch	0.09	0.10	0.12		
	USB	1 ch	0.41	0.83	1.64		
	Ethernet-MAC	-	1.52	2.97	5.84		
PCLK1	ベースタイマ	4 ch	0.38	0.76	1.50	mA	T _A =+25°C、 V _{CC} =3.3V
	多機能タイマ／PPG	1 unit/4 ch	0.72	1.43	2.83		
	クアッドカウンタ	1 unit	0.06	0.12	0.22		
	A/D コンバータ	1 unit	0.31	0.61	1.22		
PCLK2	マルチファンクションシリアル	1 ch	0.36	0.72	-	mA	T _A =+25°C、 V _{CC} =3.3V
	IC カードインタフェース	1 ch	0.27	0.54	-		
	I ² S クロック生成	1 ch	0.26	0.53	-		

12.3.2 端子特性
 $(V_{CC} = USBV_{CC0} = USBV_{CC1} = ETHV_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル入力 電圧 (ヒステリ シス入力)	V_{IHS}	CMOS ヒステリシス入力 端子、MD0、MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
				$ETHV_{CC} \times 0.8$	-	$ETHV_{CC} + 0.3$	V	
		MADATAxx	$V_{CC} > 3.0V$ 、 $V_{CC} \leq 3.6V$ 、	2.4	-	$V_{CC} + 0.3$	V	外部バス 使用時
		5V トレラント入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		I ² C Fm+兼用入力端子	-	$V_{CC} \times 0.7$	-	$V_{SS} + 5.5$	V	
		TTL シュミット入力端子	-	2.0	-	$ETHV_{CC} + 0.3$	V	
L レベル入力電 圧 (ヒステリ シス入力)	V_{ILS}	CMOS ヒステリシス入力 端子、MD0、MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
				$V_{SS} - 0.3$	-	$ETHV_{CC} \times 0.2$	V	
		5V のトレラント入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		I ² C Fm+兼用入力端子	-	V_{SS}	-	$V_{CC} \times 0.3$	V	
		TTL シュミット入力端子	-	$V_{SS} - 0.3$	-	0.8	V	
H レベル出力 電圧	V_{OH}	4mA タイプ	$V_{CC} \geq 4.5V$ 、 $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V$ 、 $I_{OH} = -2mA$					
			$ETHV_{CC} \geq 4.5V$ 、 $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	$ETHV_{CC}$	V	
			$ETHV_{CC} < 4.5V$ 、 $I_{OH} = -2mA$					
		8mA タイプ	$V_{CC} \geq 4.5V$ 、 $I_{OH} = -8mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V$ 、 $I_{OH} = -4mA$					
			$ETHV_{CC} \geq 4.5V$ 、 $I_{OH} = -8mA$	$ETHV_{CC} - 0.5$	-	$ETHV_{CC}$	V	
			$ETHV_{CC} < 4.5V$ 、 $I_{OH} = -4mA$					
		12mA タイプ	$V_{CC} \geq 4.5V$ 、 $I_{OH} = -12mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V$ 、 $I_{OH} = -8mA$					
		USB I/O 兼用端子	$USBV_{CC} \geq 4.5V$ 、 $I_{OH} = -20.5mA$	$USBV_{CC} - 0.4$	-	$USBV_{CC}$	V	*1
			$USBV_{CC} < 4.5V$ 、 $I_{OH} = -13.0mA$					
		I ² C Fm+兼用端子	$V_{CC} \geq 4.5V$ 、 $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	GPIO 時
			$V_{CC} < 4.5V$ 、 $I_{OH} = -3mA$					

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
L レベル出力電圧	V _{OL}	4mA タイプ	V _{CC} ≥ 4.5V、 I _{OL} = 4mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5V、 I _{OL} = 2mA					
			ETHV _{CC} ≥ 4.5V、 I _{OL} = 4mA	V _{SS}	-	0.4	V	
			RTHV _{CC} < 4.5V、 I _{OL} = 2mA					
		8mA タイプ	V _{CC} ≥ 4.5V、 I _{OL} = 8mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5V、 I _{OL} = 4mA					
			ETHV _{CC} ≥ 4.5V、 I _{OL} = 8mA	V _{SS}	-	0.4	V	
			RTHV _{CC} < 4.5V、 I _{OL} = 4mA					
		12mA タイプ	V _{CC} ≥ 4.5V、 I _{OL} = 12mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5V、 I _{OL} = 8mA					
		USB I/O 兼用 端子	USBV _{CC} ≥ 4.5V、 I _{OL} = 18.5mA	V _{SS}	-	0.4	V	*1
			USBV _{CC} < 4.5V、 I _{OL} = 10.5mA					
		I ² C Fm+兼用 端子	V _{CC} ≥ 4.5V、 I _{OL} = 4mA	V _{SS}	-	0.4	V	GPIO 時
			V _{CC} < 4.5V、 I _{OL} = 3mA					I ² C Fm+ 時
			V _{CC} ≤ 4.5V、 I _{OL} = 20mA					
入力リーク電流	I _{IL}	-	-	-5	-	+5	μA	
プルアップ抵抗値	R _{PU}	プルアップ端子	V _{CC} ≥ 4.5V	25	50	100	kΩ	
			V _{CC} < 4.5V	30	80	200		
入力容量	C _{IN}	V _{CC} 、 USBV _{CC0} 、 USBV _{CC1} 、 ETHV _{CC} 、 V _{SS} 、 AV _{CC} 、AV _{SS} 、 AVRH 以外	-	-	5	15	pF	

*1: USBV_{CC0} および USBV_{CC1} を USBV_{CC} と表記しています。

12.4 交流規格

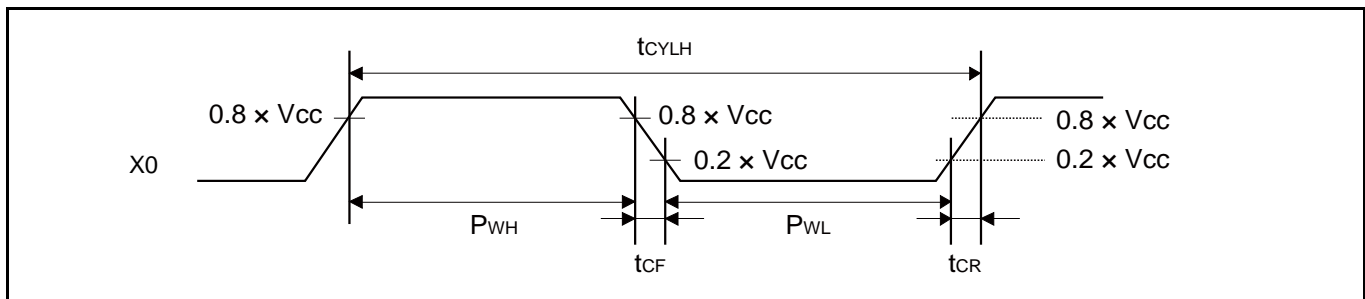
12.4.1 メインクロック入力規格

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f _{CH}	X0、 X1	V _{CC} ≥4.5V	4	48	MHz	水晶発振子接続時
			V _{CC} < 4.5V	4	20		
			V _{CC} ≥4.5V	4	48	MHz	外部クロック使用時
			V _{CC} < 4.5V	4	20		
入力クロック周期	t _{CYLH}		V _{CC} ≥4.5V	20.83	250	ns	外部クロック使用時
			V _{CC} < 4.5V	50	250		
入力クロックパルス幅	-		P _{WH} /t _{CYLH} 、 P _{WL} /t _{CYLH}	45	55	%	外部クロック使用時
入力クロックパルス立ち上り／立ち下り時間	t _{CF} 、 t _{CR}		-	-	5	ns	外部クロック使用時
内部動作クロック*1 周波数	f _{CC}	-	-	-	180	MHz	ベースクロック (HCLK/FCLK)
	f _{CP0}	-	-	-	90	MHz	APB0 バスクロック *2
	f _{CP1}	-	-	-	180	MHz	APB1 バスクロック *2
	f _{CP2}	-	-	-	90	MHz	APB2 バスクロック *2
内部動作クロック*1 サイクル時間	t _{CYCC}	-	-	5.56	-	ns	ベースクロック (HCLK/FCLK)
	t _{CYCP0}	-	-	11.1	-	ns	APB0 バスクロック *2
	t _{CYCP1}	-	-	5.56	-	ns	APB1 バスクロック *2
	t _{CYCP2}	-	-	11.1	-	ns	APB2 バスクロック *2

*1: 各内部動作クロックの詳細については、『FM4 Family Peripheral Manual Main part』 (002-04856) の第 2-1 章「クロック」をご参照ください。

*2: 各ペリフェラルが接続されている APB バスについては、本データシートの 1. S6E2G シリーズ ブロックダイアグラムの章をご参照ください。

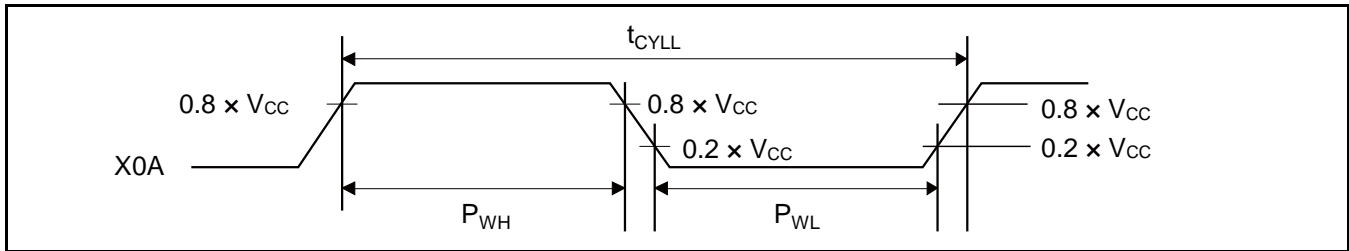


12.4.2 サブクロック入力規格

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A、 X1A	-	-	32.768	-	kHz	水晶発振接続時*
			-	32	-	100	kHz	外部クロック使用時
入力クロックサイクル	t_{CYLL}		-	10	-	31.25	μs	外部クロック使用時
入力クロックパルス幅	-		P_{WH}/t_{CYLL} 、 P_{WL}/t_{CYLL}	45	-	55	%	外部クロック使用時

*: 水晶振動子については、9.デバイス使用上の注意のサブクロック用水晶振動子についてをご参照ください。



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	$T_J = -20^{\circ}C \sim +105^{\circ}C$	3.92	4	4.08	MHz	トリミング時 *1
		$T_J = -40^{\circ}C \sim +125^{\circ}C$	3.88	4	4.12		
		$T_J = -40^{\circ}C \sim +125^{\circ}C$	2.9	4	5		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値として設定した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	100	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	200	-	400	MHz	
メイン PLL クロック周波数*2	f _{CLKPLL}	-	-	180	MHz	

*1: PLL の発振が安定するまでの待ち時間。

*2: メイン PLL クロック (CLKPLL) の詳細は、『FM4 Family Peripheral Manual Main part』 (002-04856)の 2-1 章「クロック」をご参照ください。

12.4.5 USB/Ethernet 用 PLL の使用条件(PLL の入力クロックにメインクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	100	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	200	-	400	MHz	USB/Ethernet
USB/Ethernet クロック周波数 *2	f _{CLKPLL}	-	-	50	MHz	M 分周後の波数

*1: PLL の発振が安定するまでの待ち時間。

*2: USB/Ethernet クロックの詳細については、『FM4 Family Peripheral Manual Communication Macro Part』 (002-04862) の 節 2-2: USB/Ethernet クロック生成をご参照ください。

12.4.6 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ^{*1} (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	50	-	95	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	190	-	400	MHz	
メイン PLL クロック周波数 ^{*2}	f _{CLKPLL}	-	-	180	MHz	

*1: PLL の発振が安定するまでの待ち時間。

*2: メイン PLL クロック (CLKPLL) の詳細については、『FM4 Family Peripheral Manual Main part』(002-04856) の 2-1 章「クロック」をご参照ください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速 CR クロック (CLKHC) を入力してください。

12.4.7 リセット入力規格

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t _{INITX}	INITX	-	500	-	ns	

12.4.8 パワーオンリセットタイミング

 (V_{SS} = 0V)

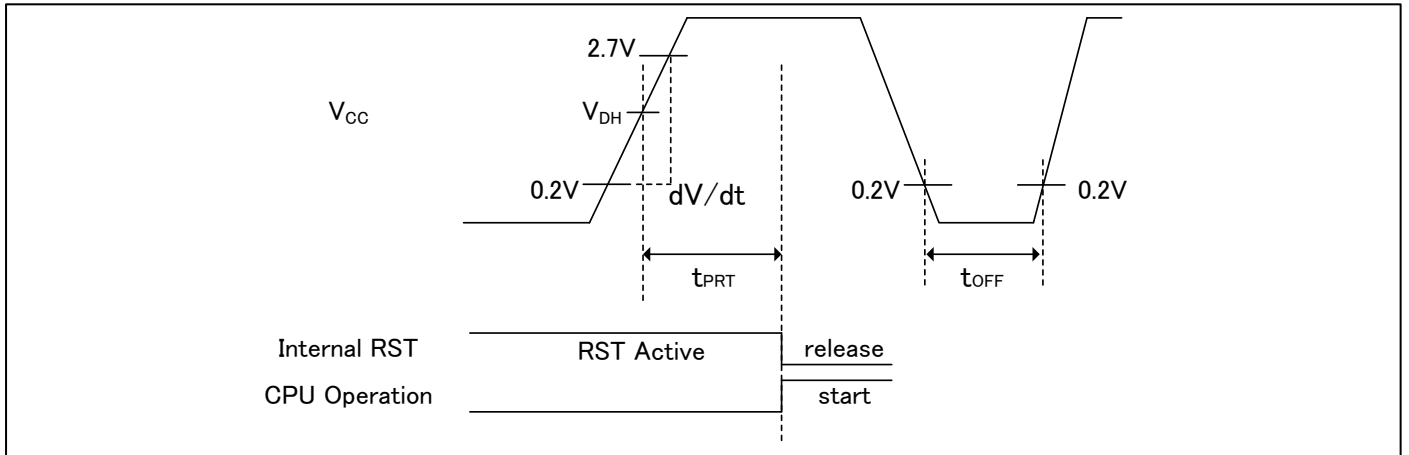
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t _{OFF}	VCC	-	1	-	-	ms	*1
電源立上り速度	dV/dt		V _{CC} = 0.2V ~ 2.7V	0.6	-	1000	mV/μs	*2
パワーオンリセット解除までの時間	t _{PRT}		-	0.33	-	0.60	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start (t_{OFF}>1ms) のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12. 4. 7. に従い外部リセット (INITX) を入れて下さい。



用語

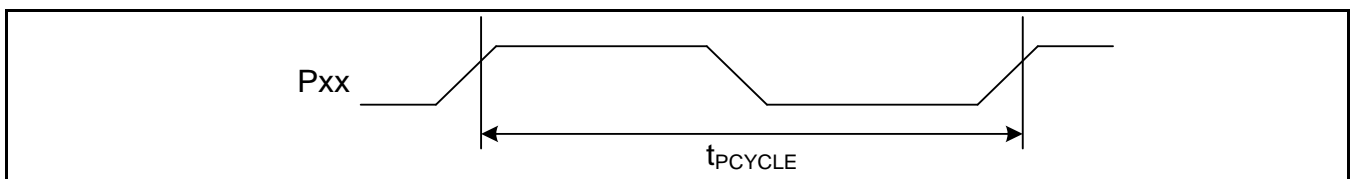
- V_{DH}: 低電圧検出リセット解除電圧、12.7 低電圧検出特性をご参照ください。

12.4.9 GPIO 出力規格

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t _{PCYCLE}	Pxx*	V _{CC} ≥ 4.5V	-	50	MHz	
			V _{CC} < 4.5V	-	32	MHz	

*: GPIO が対象です。



12.4.10 外部バス タイミング

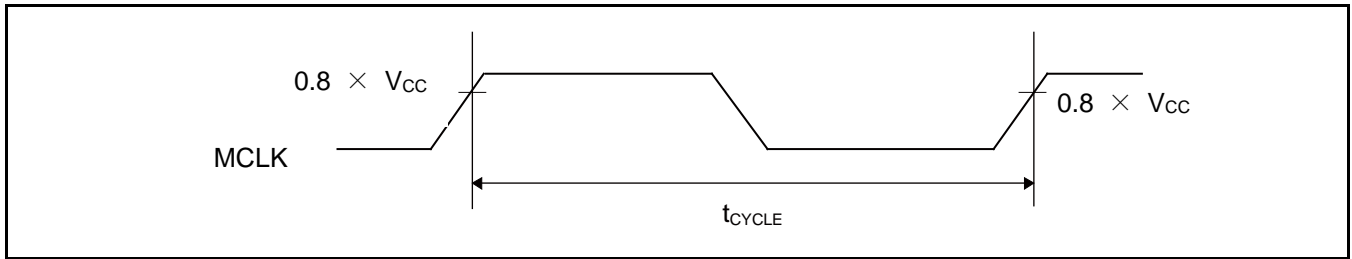
外部バスクロック出力規格

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{CYCLE}	MCLKOUT *1		-	50 *2	MHz	

*1: 外部バス クロック (MCLKOUT) は HCLK の分周クロックです。

クロック分周設定の詳細は: 『FM4 Family Peripheral Manual Main part』 (002-04856) の 14 章「外部バスインタフェース」をご参照ください。

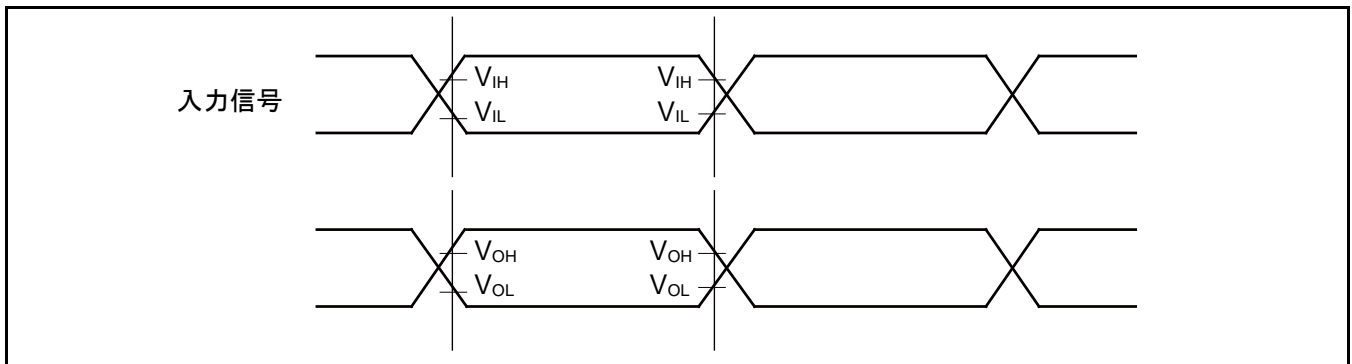
*2: ABH バス クロックが 100MHz を超える場合、4 分周以上の設定で MCLKOUT を生成してください。



外部バス信号入出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	規格値	単位	備考
信号入力特性	V_{IH}	-	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号出力特性	V_{OH}		$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	



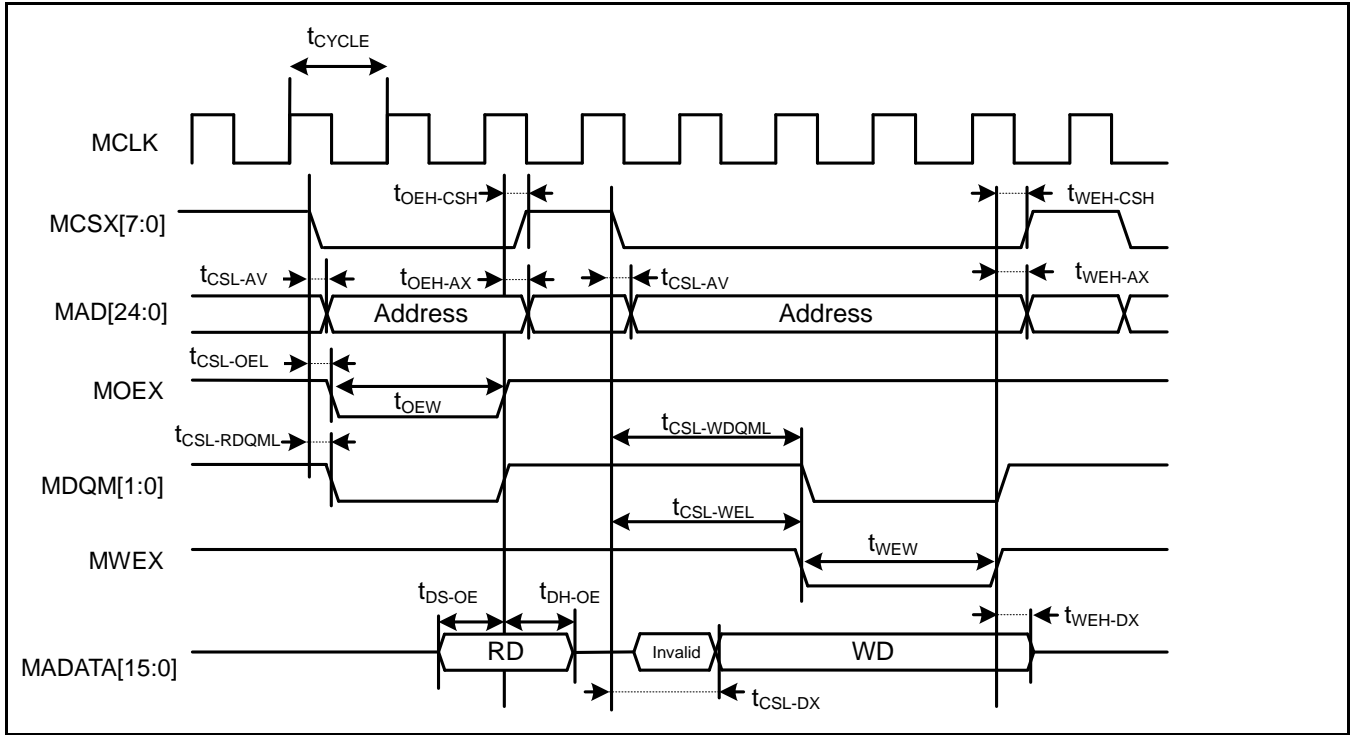
セパレートバスアクセス非同期 SRAM モード

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MOEX 最小パルス幅	t _{OE}	MOEX	-	MCLK×n-3	-	ns	
MCSX↓→アドレス出力 遅延時間	t _{CSL} - AV	MCSX[7:0]、 MAD[24:0]	-	-9	+9	ns	
MOEX↑→アドレス ホールド時間	t _{OE} - AX	MOEX、 MAD[24:0]	-	0	MCLK×m+9	ns	
MCSX↓→ MOEX↓遅延時間	t _{CSL} - OEL	MOEX、 MCSX[7:0]	-	MCLK×m-9	MCLK×m+9	ns	
MOEX↑→ MCSX↑時間	t _{OE} - CSH		-	0	MCLK×m+9	ns	
MCSX↓→ MDQM↓遅延時間	t _{CSL} - RDQML	MCSX、 MDQM[3:0]	-	MCLK×m-9	MCLK×m+9	ns	
データセットアップ →MOEX↑時間	t _{DS} - OE	MOEX、 MADATA[31:0]	-	20	-	ns	
MOEX↑→ データホールド時間	t _{DH} - OE	MOEX、 MADATA[31:0]	-	0	-	ns	
MWEX 最小パルス幅	t _{WE}	MWEX	-	MCLK×n-3	-	ns	
MWEX↑→アドレス 出力遅延時間	t _{WE} - AX	MWEX、 MAD[24:0]	-	0	MCLK×m+9	ns	
MCSX↓→ MWEX↓遅延時間	t _{CSL} - WEL	MWEX、 MCSX[7:0]	-	MCLK×n-9	MCLK×n+9	ns	
MWEX↑→ MCSX↑遅延時間	t _{WE} - CSH		-	0	MCLK×m+9	ns	
MCSX↓→ MDQM↓遅延時間	t _{CSL} - WDQML	MCSX、 MDQM[3:0]	-	MCLK×n-9	MCLK×n+9	ns	
MCSX↓→ データ出力時間	t _{CSL} - DX	MCSX、 MADATA[31:0]	-	MCLK-9	MCLK+9	ns	
MWEX↑→ データ ホールド時間	t _{WE} - DX	MWEX、 MADATA[31:0]	-	0	MCLK×m+9	ns	

<注意事項>

- 外部負荷容量 C_L = 30pF 時 (m = 0~15、n = 1~16)

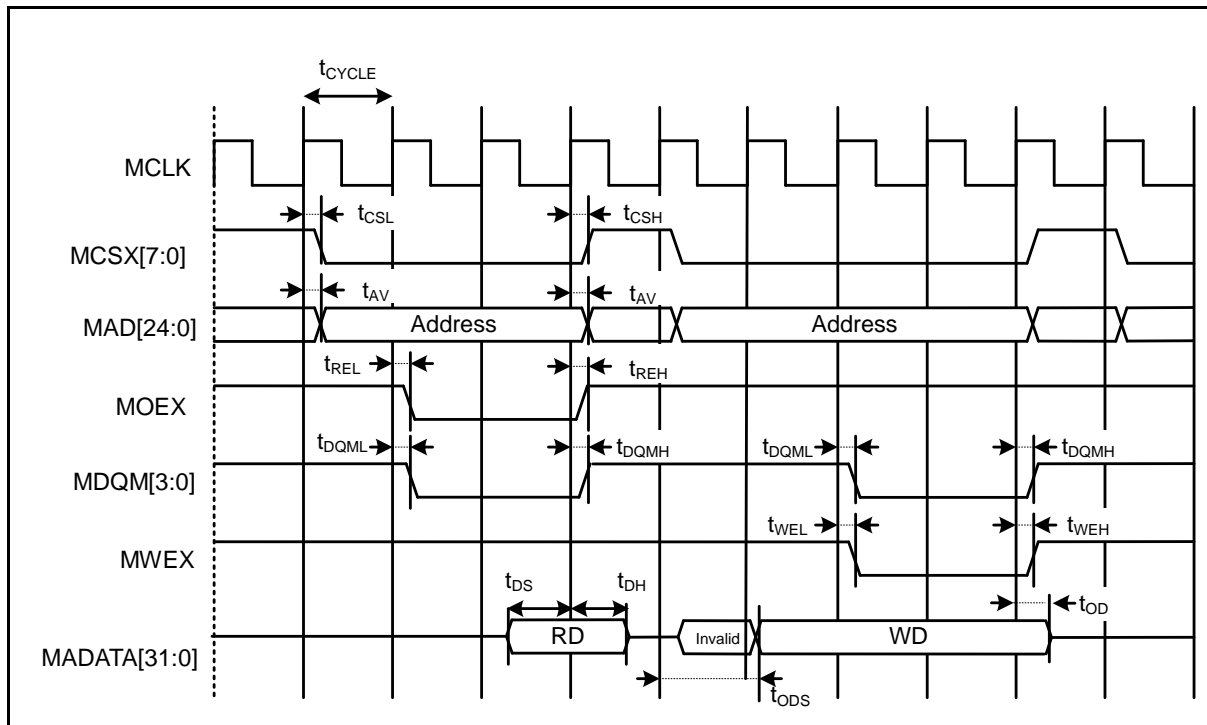


セパレートバスアクセス同期 SRAM モード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
アドレス遅延時間	t_{AV}	MCLK、 MAD[24:0]	-	1	9	ns	
MCSX 遅延時間	t_{CSL}	MCLK、 MCSX[7:0]	-	1	9	ns	
	t_{CSH}		-	1	9	ns	
MOEX 遅延時間	t_{REL}	MCLK、 MOEX	-	1	9	ns	
	t_{REH}		-	1	9	ns	
データセットアップ →MCLK↑時間	t_{DS}	MCLK、 MADATA[31:0]	-	19	-	ns	
MCLK↑→ データホールド時間	t_{DH}	MCLK、 MADATA[31:0]	-	0	-	ns	
MWEX 遅延時間	t_{WEL}	MCLK、 MWEX	-	1	9	ns	
	t_{WEH}		-	1	9	ns	
MDQM[1:0] 遅延時間	t_{DQML}	MCLK、 MDQM[3:0]	-	1	9	ns	
	t_{DQMH}		-	1	9	ns	
MCLK↑→ データ出力時間	t_{ODS}	MCLK、 MADATA[31:0]	-	MCLK+1	MCLK+18	ns	
MCLK↑→ データホールド時間	t_{OD}	MCLK、 MADATA[31:0]	-	1	18	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時

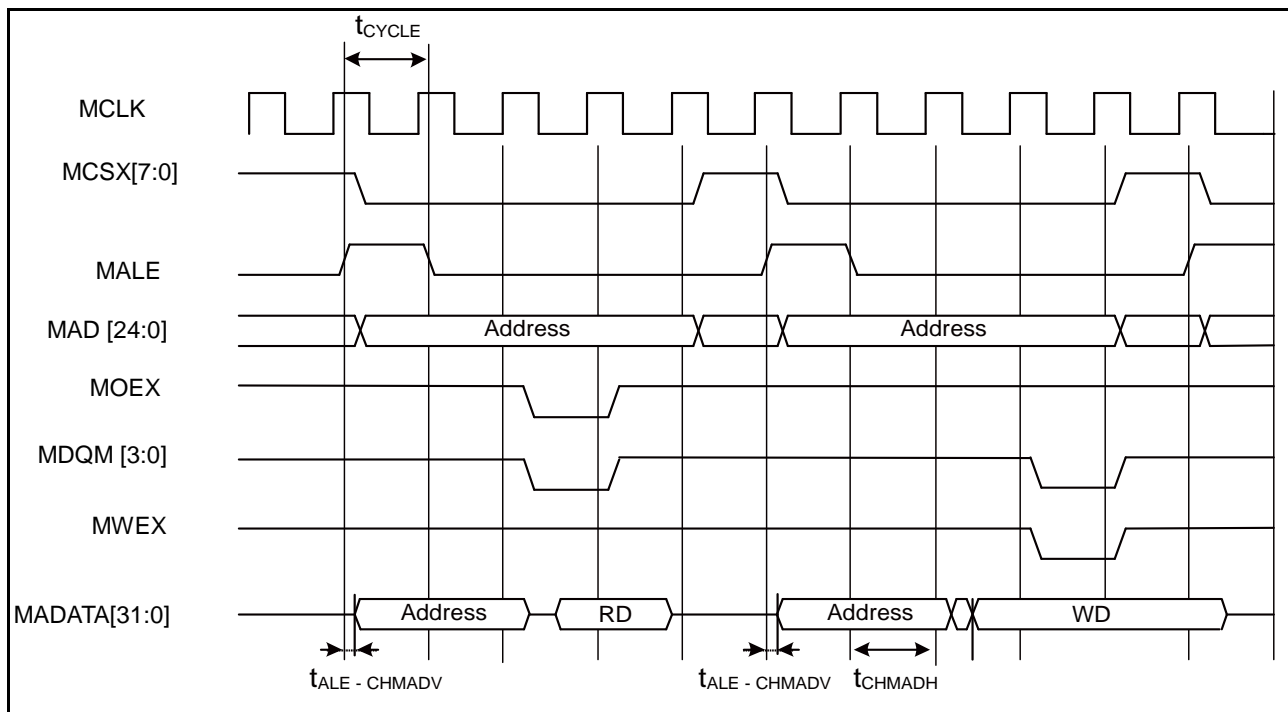


マルチプレクスバスアクセス非同期 SRAM モード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
マルチプレクスアドレス 遅延時間	$t_{ALE-CHMADV}$	MALE、 MAD[24:0]	-	0	10	ns	
マルチプレクスアドレス ホールド時間	t_{CHMADH}		-	$MCLK \times n + 0$	$MCLK \times n + 10$	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時 ($m = 0 \sim 15, n = 1 \sim 16$)



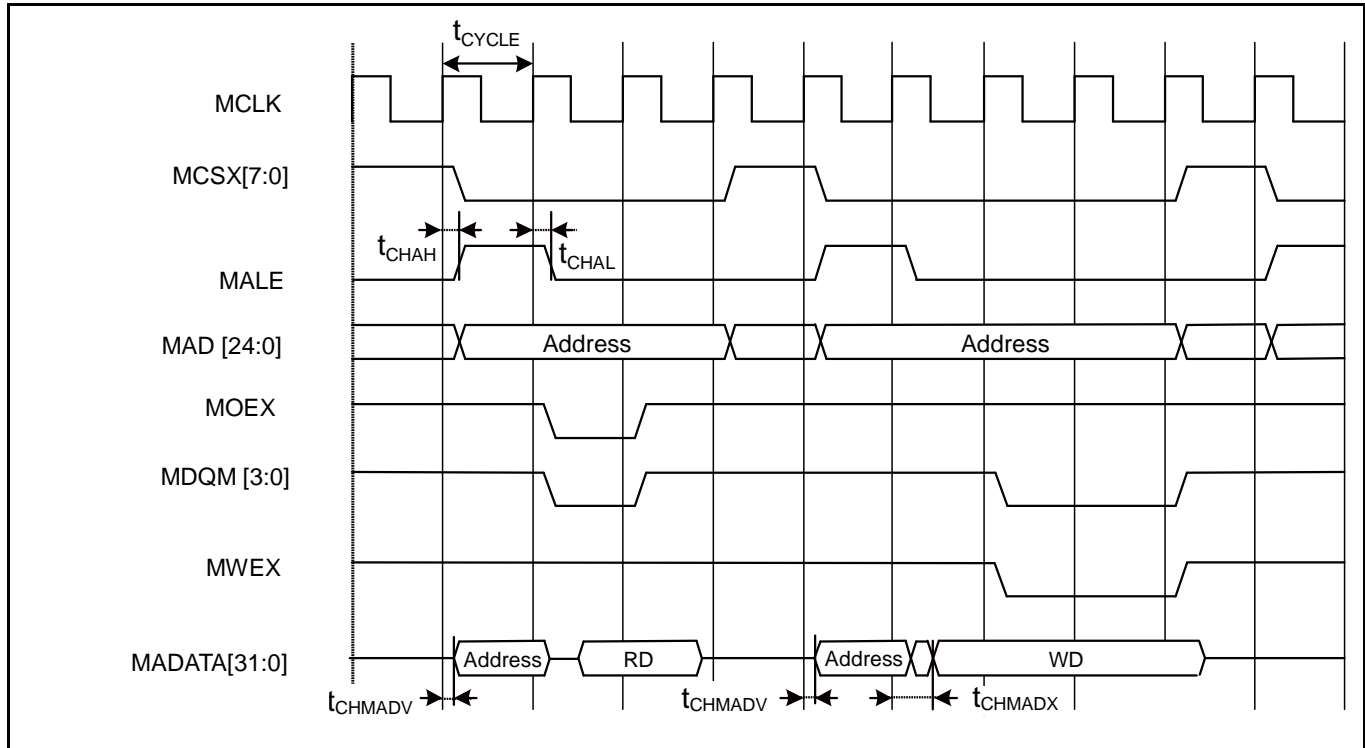
マルチプレクスバスアクセス同期 SRAM モード

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t _{CHAL}	MCLK、 MALE	-	1	9		
	t _{CHAH}		-	1	9		
MCLK↑→マルチプレクス アドレス遅延時間	t _{CHMADV}	MCLK、 MADATA[31:0]	-	1	t _{OD}	ns	
MCLK↑→マルチプレクス データ出力時間	t _{CHMADX}		-	1	t _{OD}	ns	

<注意事項>

- 外部負荷容量 C_L = 30pF 時。

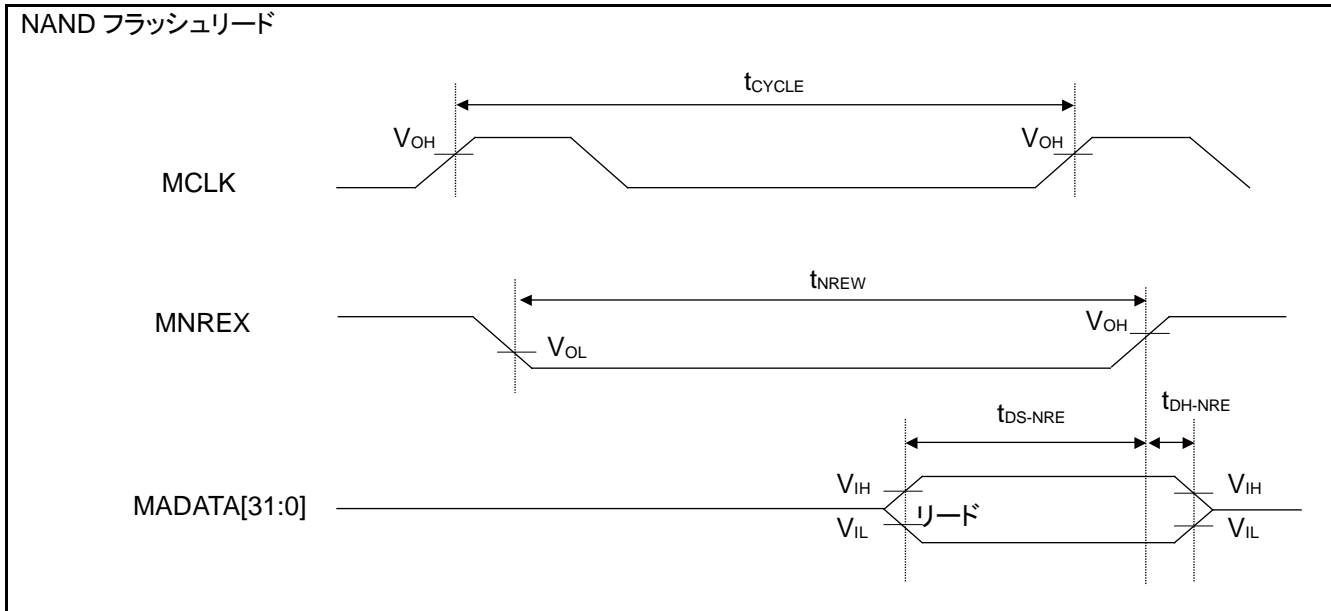


NAND フラッシュモード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

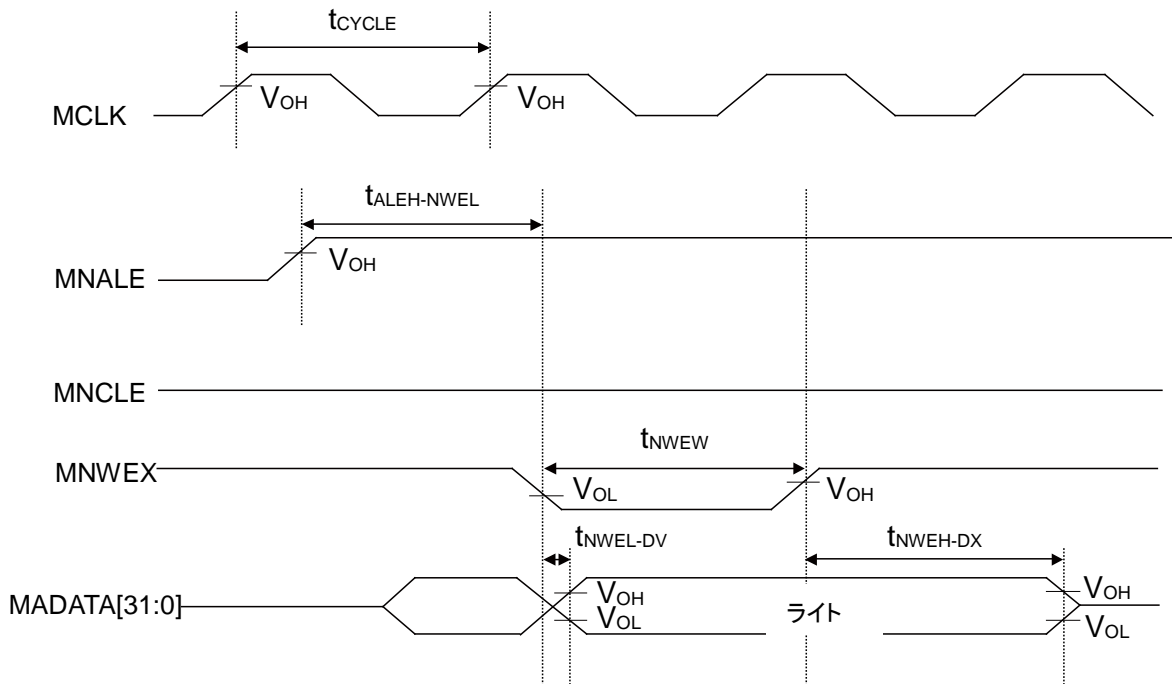
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MNREX 最小パルス幅	t_{NREW}	MNREX	-	$MCLK \times n - 3$	-	ns	
データセットアップ →MNREX↑時間	t_{DS-NRE}	MNREX、 MADATA[31:0]	-	20	-	ns	
MNREX↑→ データホールド時間	t_{DH-NRE}	MNREX、 MADATA[31:0]	-	0	-	ns	
MNALE↑→ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE、 MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNALE↓→ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE、 MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNCLE↑→ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE、 MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNWEX↑→ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE、 MNWEX	-	0	$MCLK \times m + 9$	ns	
MNWEX 最小パルス幅	t_{NWEW}	MNWEX	-	$MCLK \times n - 3$	-	ns	
MNWEX↓→ データ出力時間	$t_{NWEL-DV}$	MNWEX、 MADATA[31:0]	-	-9	9	ns	
MNWEX↑→ データホールド時間	$t_{NWEH-DX}$	MNWEX、 MADATA[31:0]	-	0	$MCLK \times m + 9$	ns	

<注意事項>

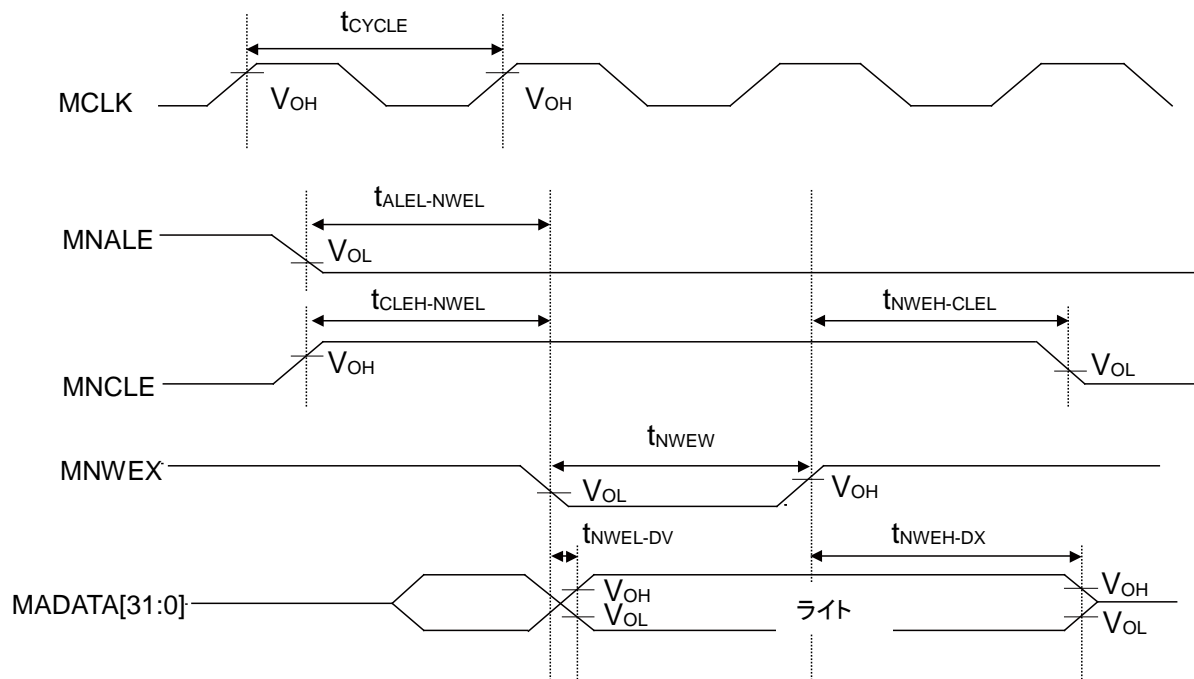
- 外部負荷容量 $C_L = 30pF$ 時 ($m = 0 \sim 15$, $n = 1 \sim 16$)



NAND フラッシュアドレスライト

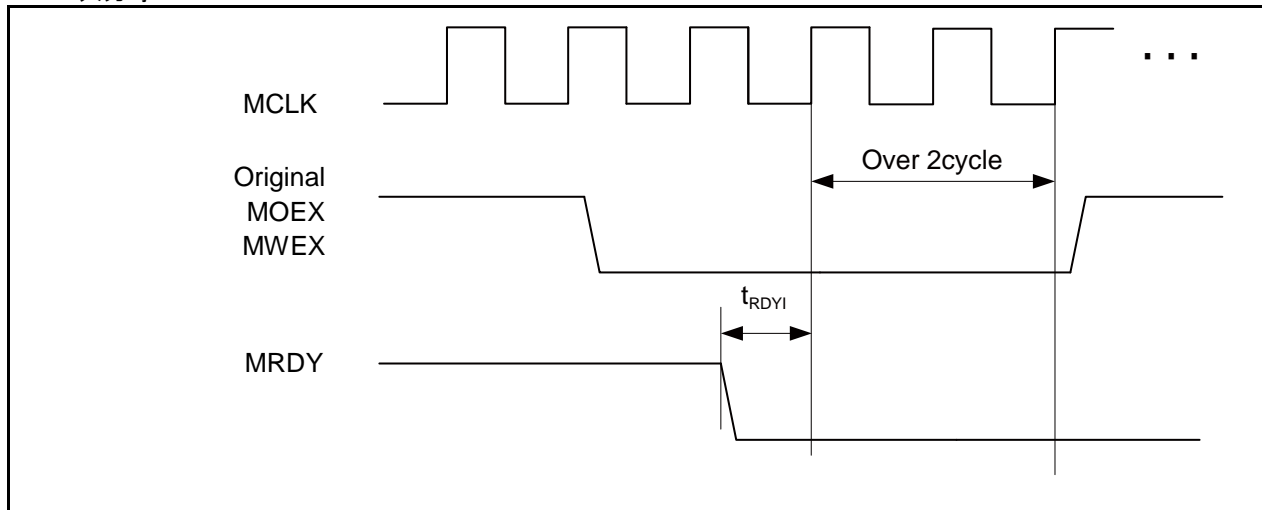
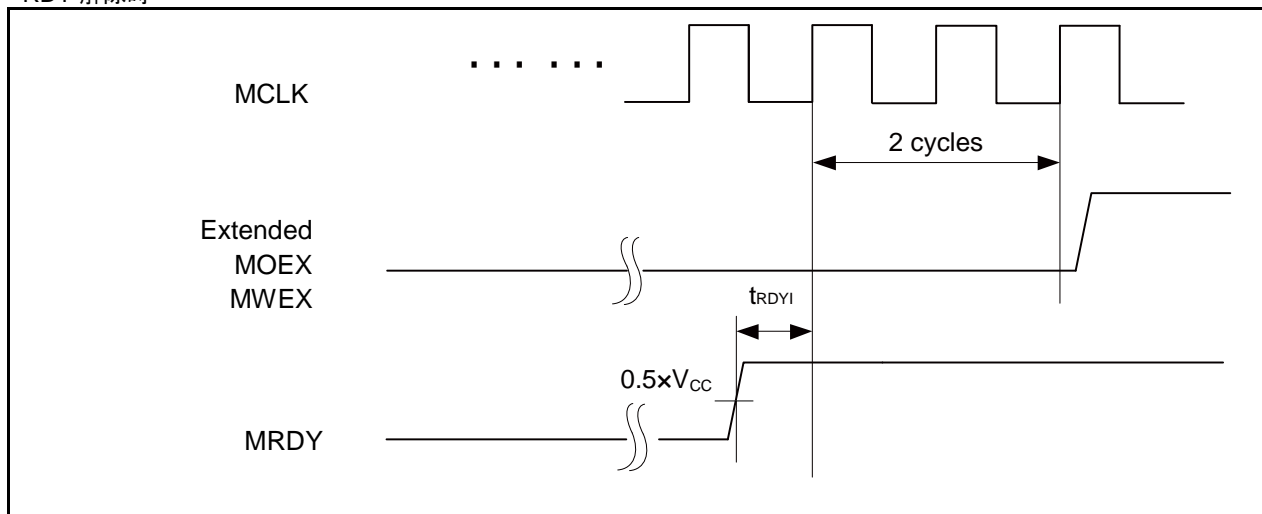


NAND フラッシュコマンドライト



外部 RDY 入力タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK、 MRDY	-	19	-	ns	

■ RDY 入力時

■ RDY 解除時


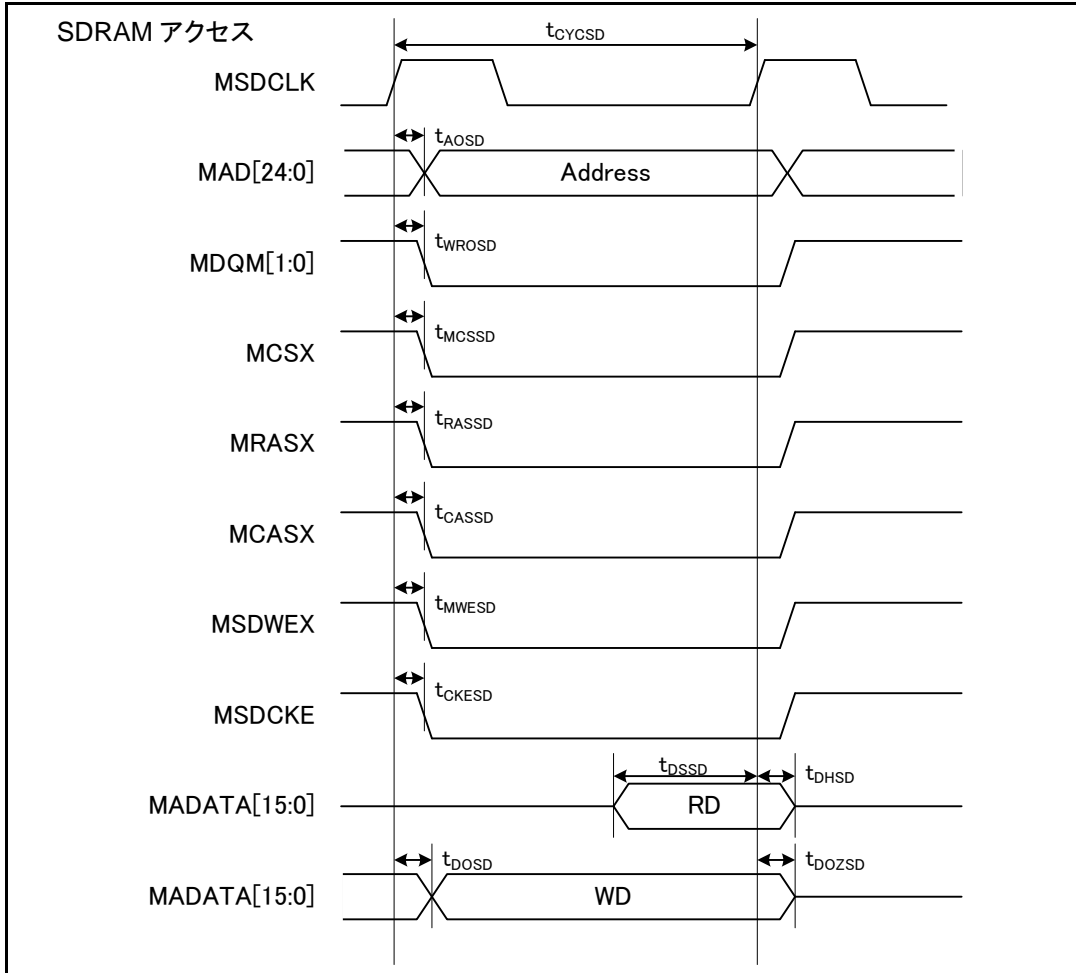
SDRAM モード

(V_{CC} = 2.7V~3.6V, V_{SS} = 0V)

項目	記号	端子名	規格値	単位		単位	備考
				最小	最大		
出力周波数	t _{CYCSD}	MSDCLK	-	-	50	MHz	
アドレス遅延時間	t _{AOSD}	MSDCLK、 MAD[15:0]	-	2	12	ns	
MSDCLK↑→ データ出力遅延時間	t _{DOSD}	MSDCLK、 MADATA[31:0]	-	2	12	ns	
MSDCLK↑→ データ出力 Hi-Z 時間	t _{DOZSD}	MSDCLK、 MADATA[31:0]	-	2	19.5	ns	
MDQM[3: 0]遅延時間	t _{WROSD}	MSDCLK、 MDQM[1:0]	-	1	12	ns	
MCSX 遅延時間	t _{MCSSD}	MSDCLK、 MCSX8	-	2	12	ns	
MRASX 遅延時間	t _{RASSD}	MSDCLK、 MRASX	-	2	12	ns	
MCASX 遅延時間	t _{CASSD}	MSDCLK、 MCASX	-	2	12	ns	
MSDWEX 遅延時間	t _{MWESD}	MSDCLK、 MSDWEX	-	2	12	ns	
MSDCKE 遅延時間	t _{CKESD}	MSDCLK、 MSDCKE	-	2	12	ns	
データセットアップ時間	t _{DSSD}	MSDCLK、 MADATA[31:0]	-	19	-	ns	
データホールド時間	t _{DHSD}	MSDCLK、 MADATA[31:0]	-	0	-	ns	

<注意事項>

- 外部負荷容量 C_L = 30pF 時。

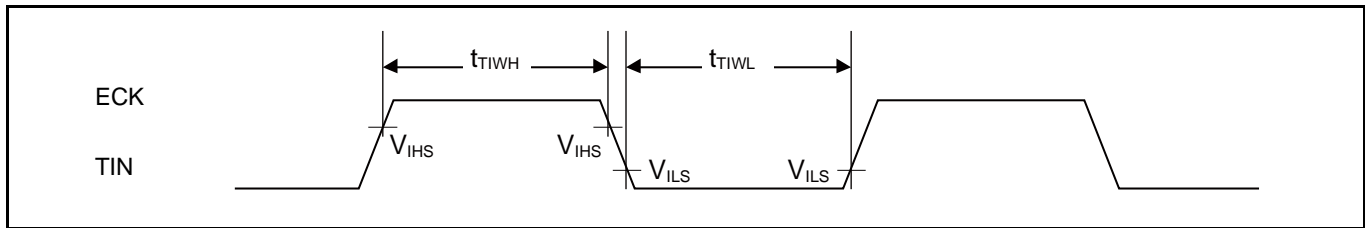


12.4.11 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

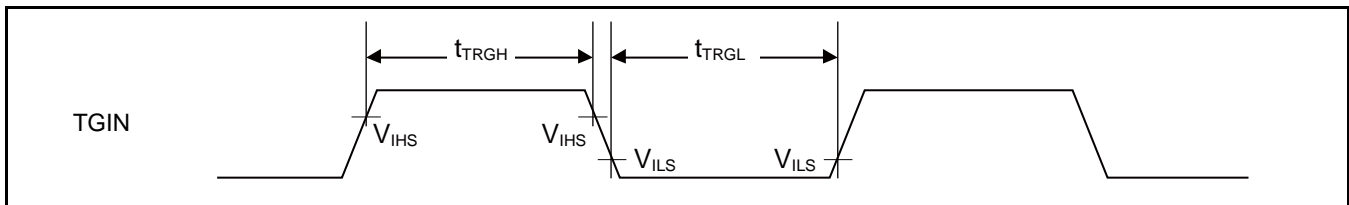
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK、TINとして使用する時)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGINとして使用する時)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- t_{CYCP} は APB バスクロックサイクル時間です。ベースタイマが接続されている APB バス番号については 1.S6E2G シリーズブロックダイヤグラムをご参照ください。

12.4.12 CSIO (SPI) タイミング

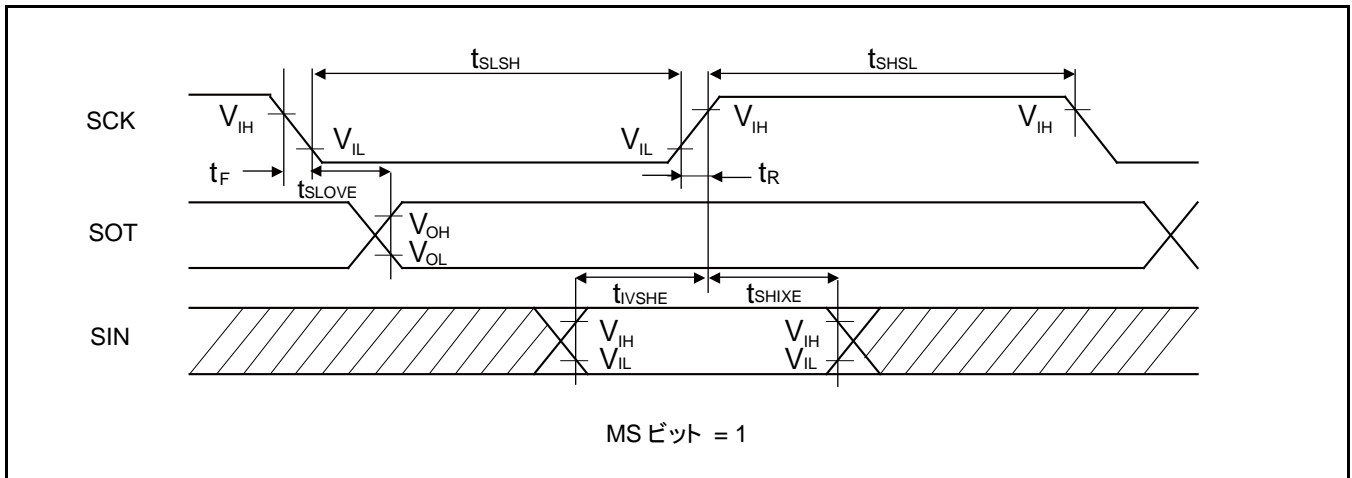
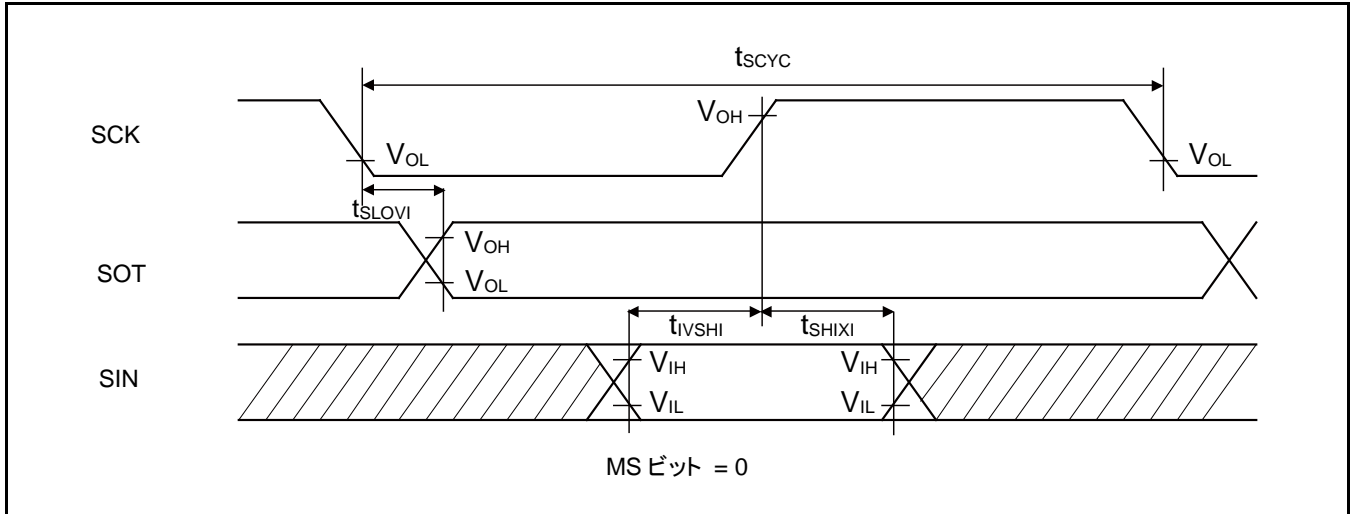
同期シリアル (SPI = 0、SCINV = 0)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部ソフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↓→SOT 遅延時間	t _{SLOVI}	SCKx、 SOTx		-30	+30	-20	+20	ns
SIN→SCK↑ セットアップ時間	t _{IVSHI}	SCKx、 SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t _{SHIXI}	SCKx、 SINx		0	-	0	-	ns
シリアルクロック L パルス幅	t _{SLSH}	SCKx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCKx	外部ソフト クロック 動作	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t _{SLOVE}	SCKx、 SOTx		-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t _{IVSHE}	SCKx、 SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t _{SHIXE}	SCKx、 SINx		20	-	20	-	ns
SCK 立ち下がり時間	t _f	SCKx		-	5	-	5	ns
SCK 立ち上がり時間	t _r	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については本データシートの 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は同ポートリロケーションポート番号のみの保証です。例えば、SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時。



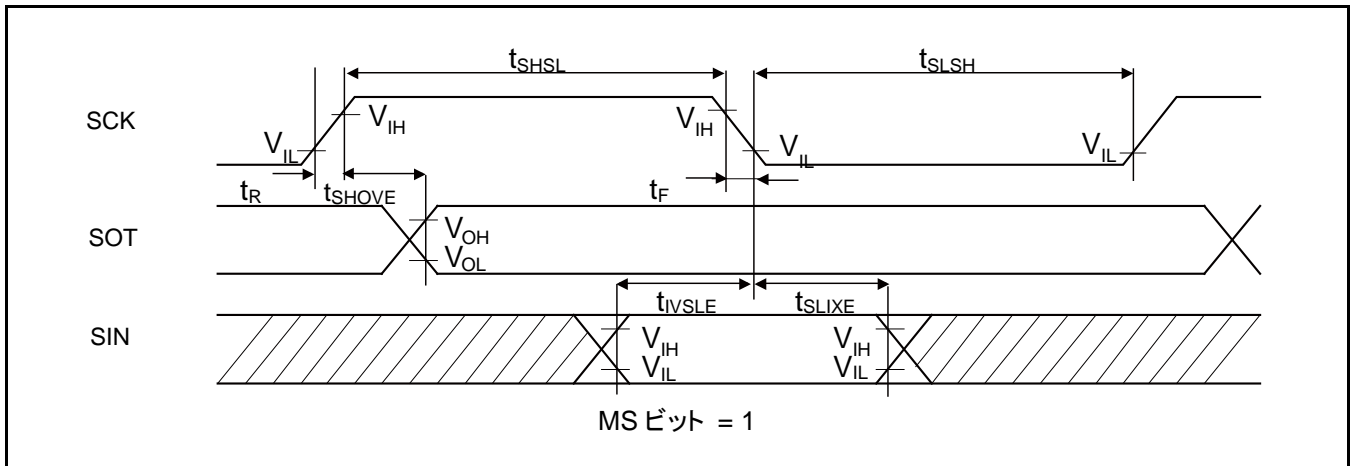
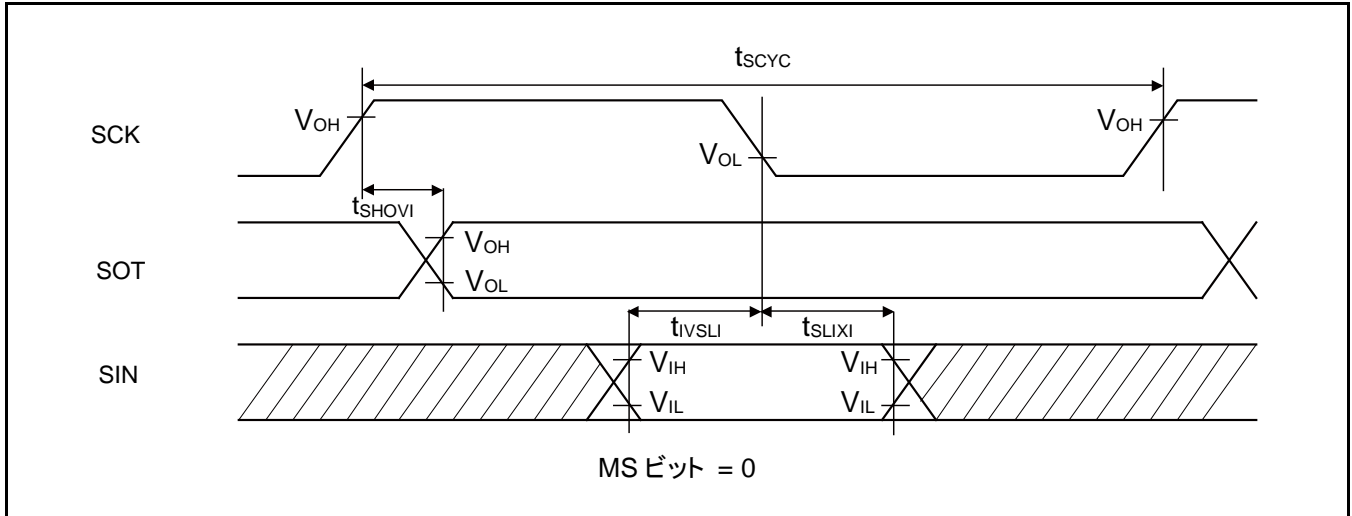
同期シリアル(SPI = 0、SCINV = 1)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↑→SOT 遅延時間	t _{SHOVI}	SCKx、 SOTx		-30	+30	-20	+20	ns
SIN→SCK↓セットアップ時間	t _{IVSLI}	SCKx、 SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t _{SLIXI}	SCKx、 SINx		0	-	0	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCKx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCKx	外部シフト クロック動作	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t _{SHOVE}	SCKx、 SOTx		-	50	-	30	ns
SIN→SCK↓セットアップ時間	t _{IVSLE}	SCKx、 SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t _{SLIXE}	SCKx、 SINx		20	-	20	-	ns
SCK 立ち下がり時間	t _F	SCKx		-	5	-	5	ns
SCK 立ち上がり時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続する APB バス番号については 1.S6E2G シリーズ ブロックダイヤグラムをご参照ください。
- 本規格は同ポートリロケーションポート番号のみの保証です。例えば、SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時。



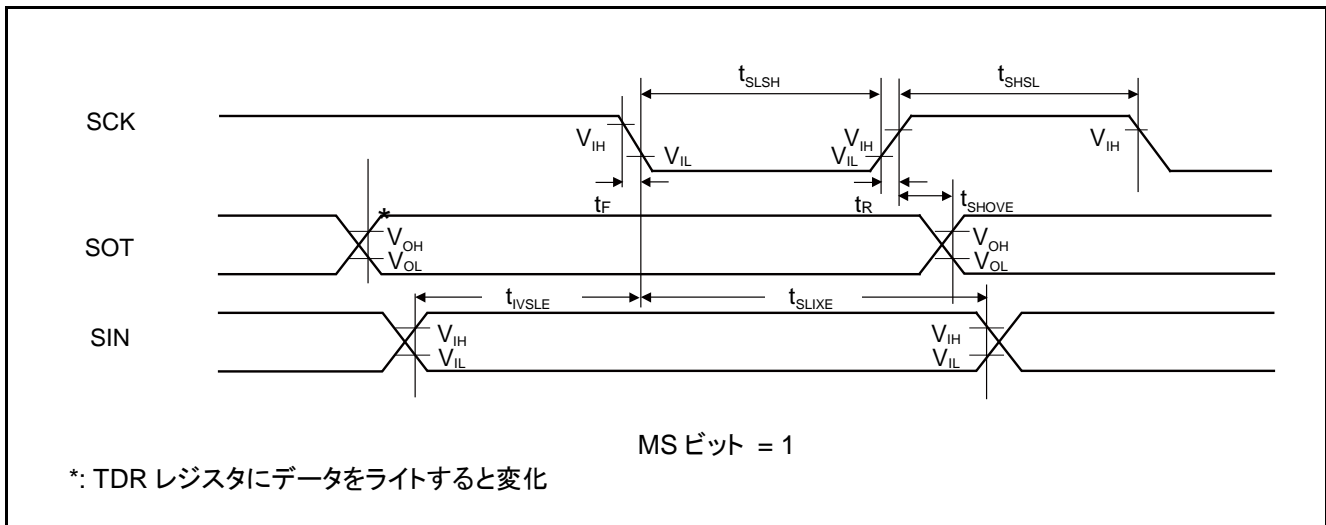
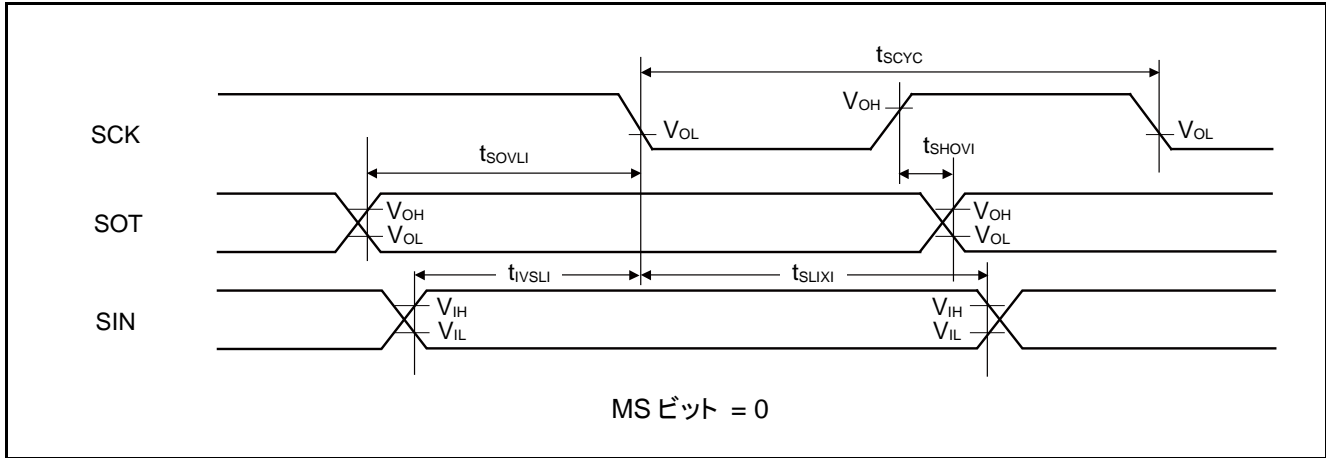
同期シリアル (SPI = 1、SCINV = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクル時間	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↑→SOT 遅延時間	t _{SHOVI}	SCK _x 、 SOT _x		-30	+30	-20	+20	ns
SIN→SCK↓ セットアップ時間	t _{IVSLI}	SCK _x 、 SIN _x		50	-	30	-	ns
SCK↓→SIN ホールド時間	t _{SLIXI}	SCK _x 、 SIN _x		0	-	0	-	ns
SOT→SCK↓遅延時間	t _{SOVLI}	SCK _x 、 SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t _{SHOVE}	SCK _x 、 SOT _x		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t _{IVSLE}	SCK _x 、 SIN _x		10	-	10	-	ns
SCK↓→SIN ホールド時間	t _{SLIXE}	SCK _x 、 SIN _x		20	-	20	-	ns
SCK 立ち下がり時間	t _F	SCK _x		-	5	-	5	ns
SCK 立ち上がり時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は同ポートリロケーションポート番号のみの保証です。例えば、SCLK_{x_0} と SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時。



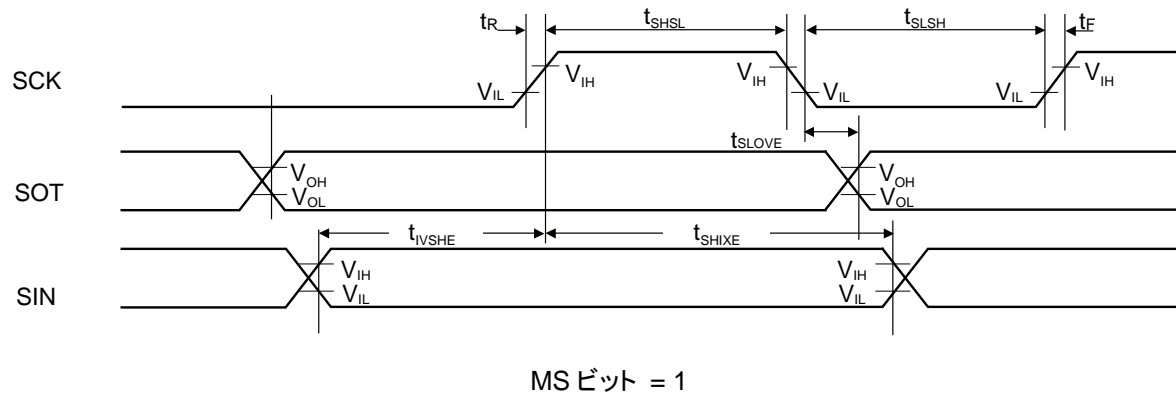
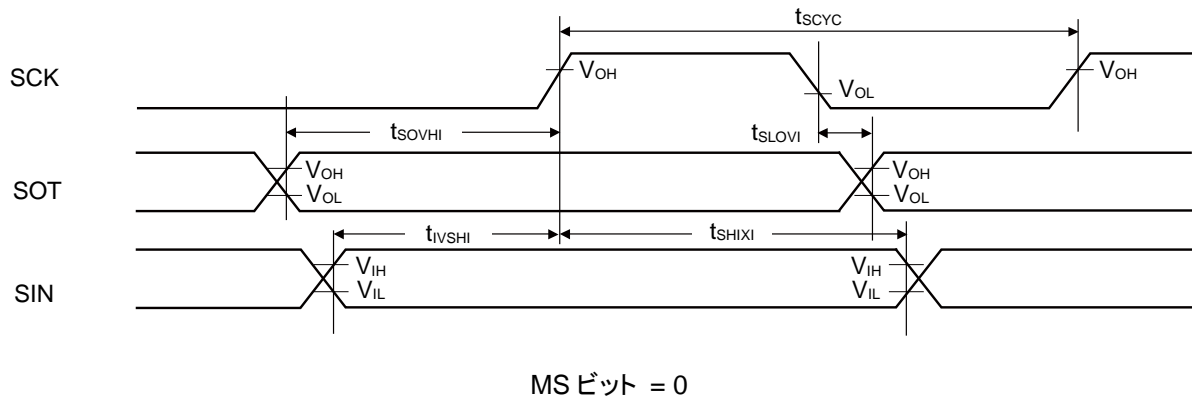
同期シリアル(SPI = 1、SCINV = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↓→SOT 遅延時間	t _{SLOVI}	SCKx、 SOTx		-30	+30	-20	+20	ns
SIN→SCK↑セットアップ時間	t _{IVSHI}	SCKx、 SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t _{SHIXI}	SCKx、 SINx		0	-	0	-	ns
SOT→SCK↑遅延時間	t _{SOVHI}	SCKx、 SOTx		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCKx	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t _{SLOVE}	SCKx、 SOTx		-	50	-	30	ns
SIN→SCK↑セットアップ時間	t _{IVSHE}	SCKx、 SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t _{SHIXE}	SCKx、 SINx		20	-	20	-	ns
SCK 立ち下がり時間	t _F	SCKx		-	5	-	5	ns
SCK 立ち上がり時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は同ポートリロケーションポート番号のみの保証です。例えば、SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時。



同期シリアル チップ セレクト使用時 (SCINV = 0、CSLVL = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCK↑→SCS↑ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCS↓→SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS↑→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

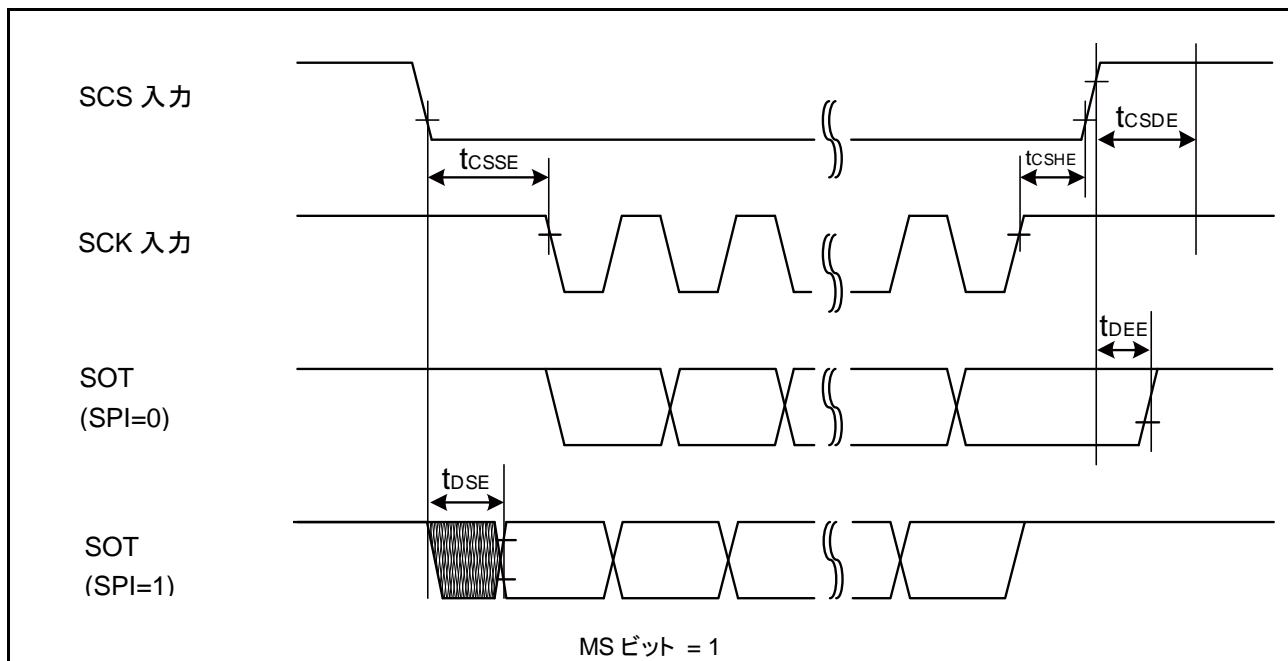
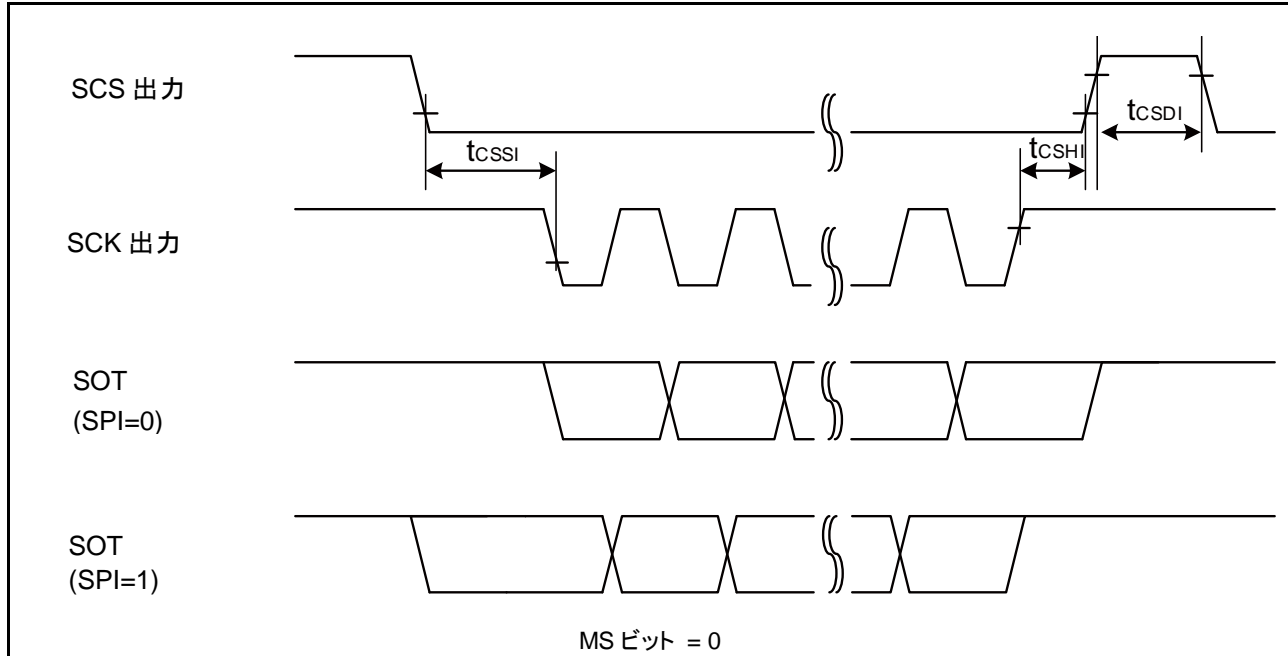
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号について S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアル チップセレクトタイミング動作クロックについては、「FM4 Family Peripheral Manual Main part」 (002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



同期シリアル チップ セレクト使用時 (SCINV = 1, CSLVL = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCK↑→SCS↑ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCS↓→SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS↑→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

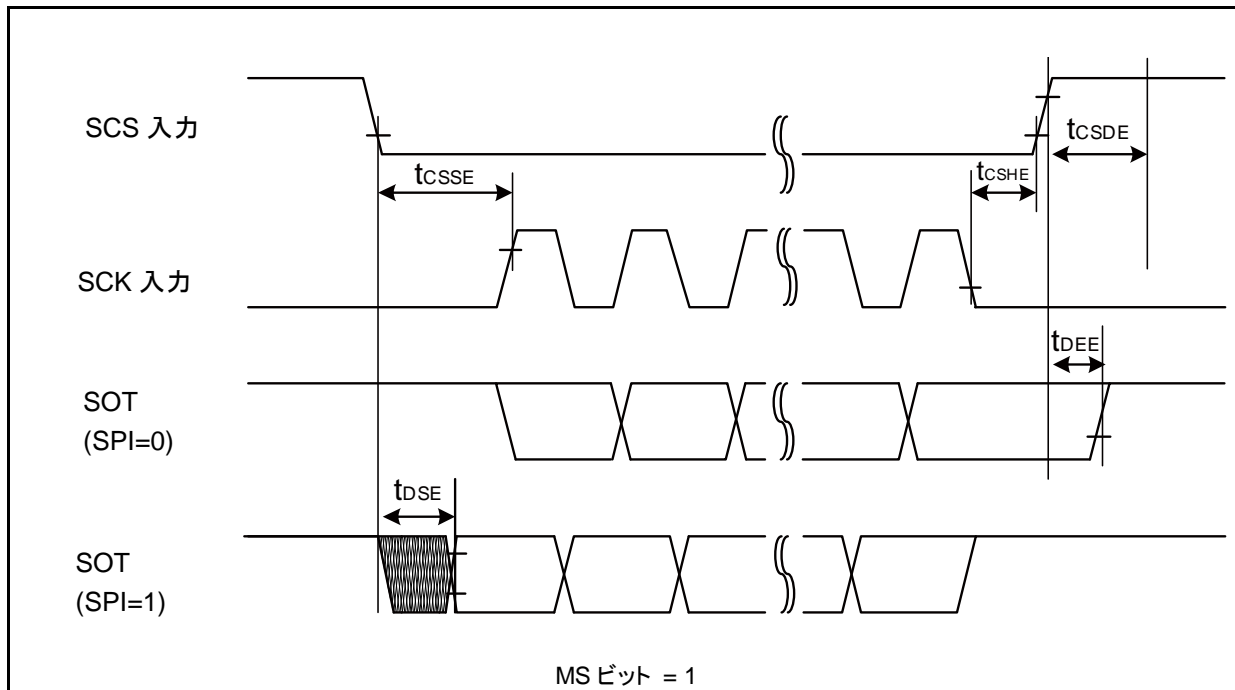
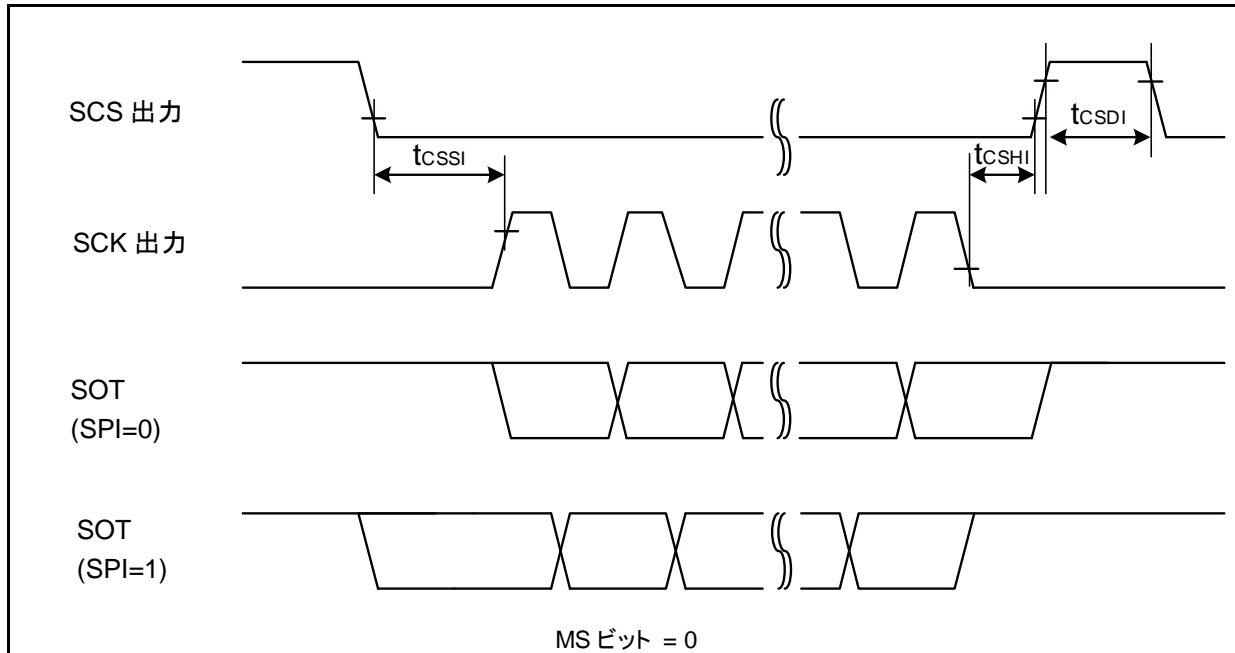
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号について S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアル チップセレクトタイミングの動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



同期シリアルチップセレクト使用時 (SCINV = 0、CSLVL = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS↑→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↓ホールド時間	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS↑→SCK↓セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCK↑→SCS↓ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCS↑→SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS↓→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

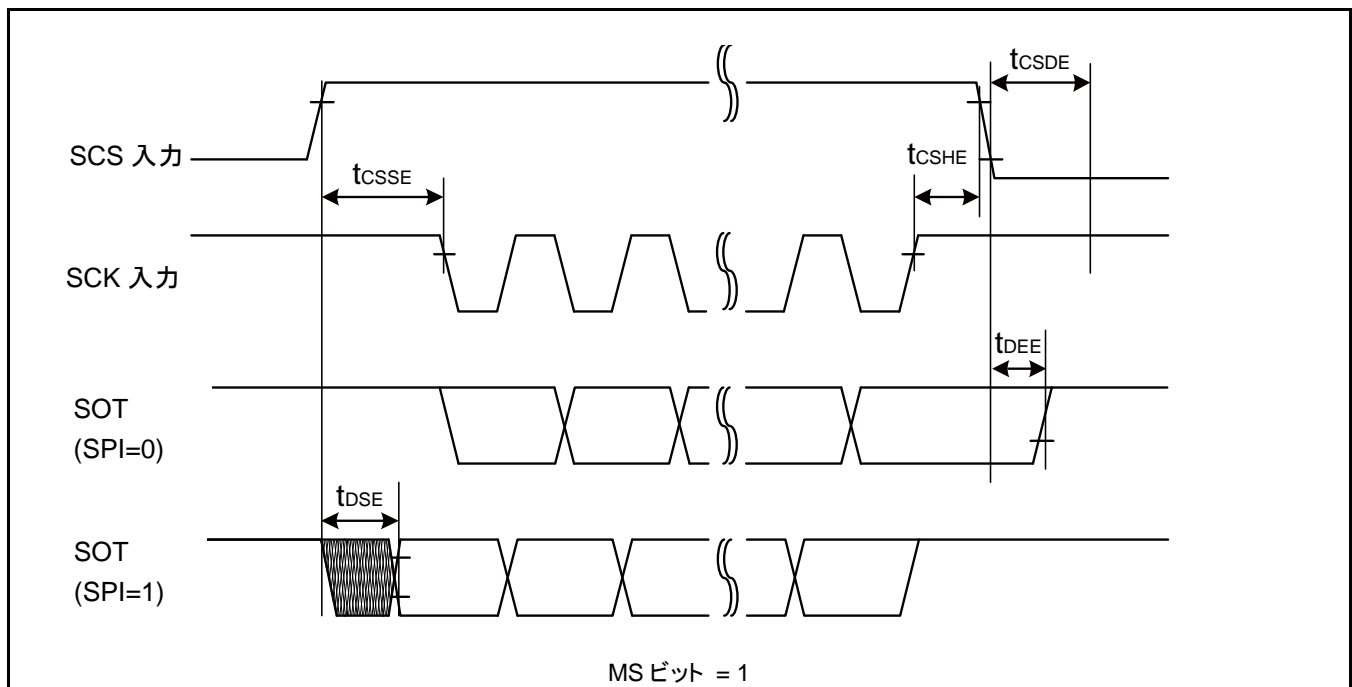
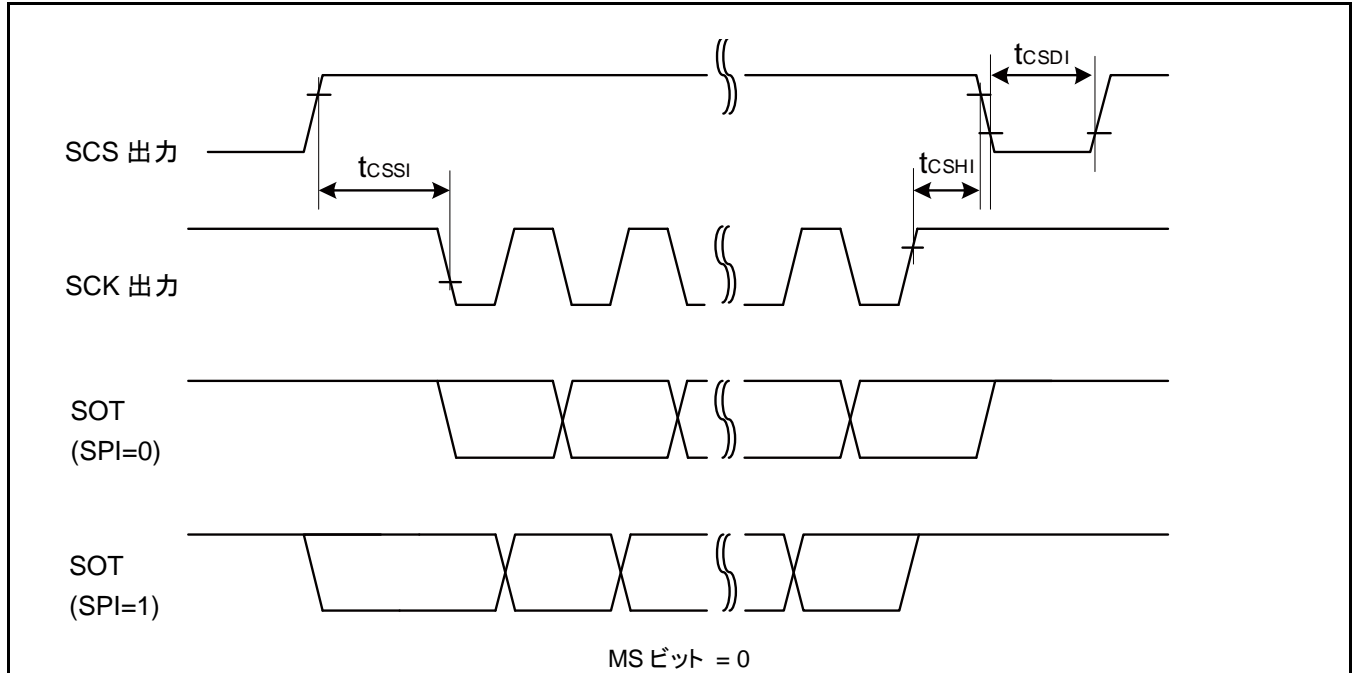
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミングの動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号について
は 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアル チップセレクトタイミング動作クロックについては、「FM4 Family Peripheral
Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



同期シリアルチップセレクト使用時 (SCINV = 1、CSLVL = 0)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
			最小	最大	最小	最大	
SCS \uparrow →SCK \uparrow セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK \downarrow →SCS \downarrow ホールド時間	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS \uparrow →SCK \uparrow セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCK \downarrow →SCS \downarrow ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 30	-	3t _{CYCP} + 30	-	ns
SCS \uparrow →SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS \downarrow →SOT 遅延時間	t _{DEE}		0	-	0	-	ns

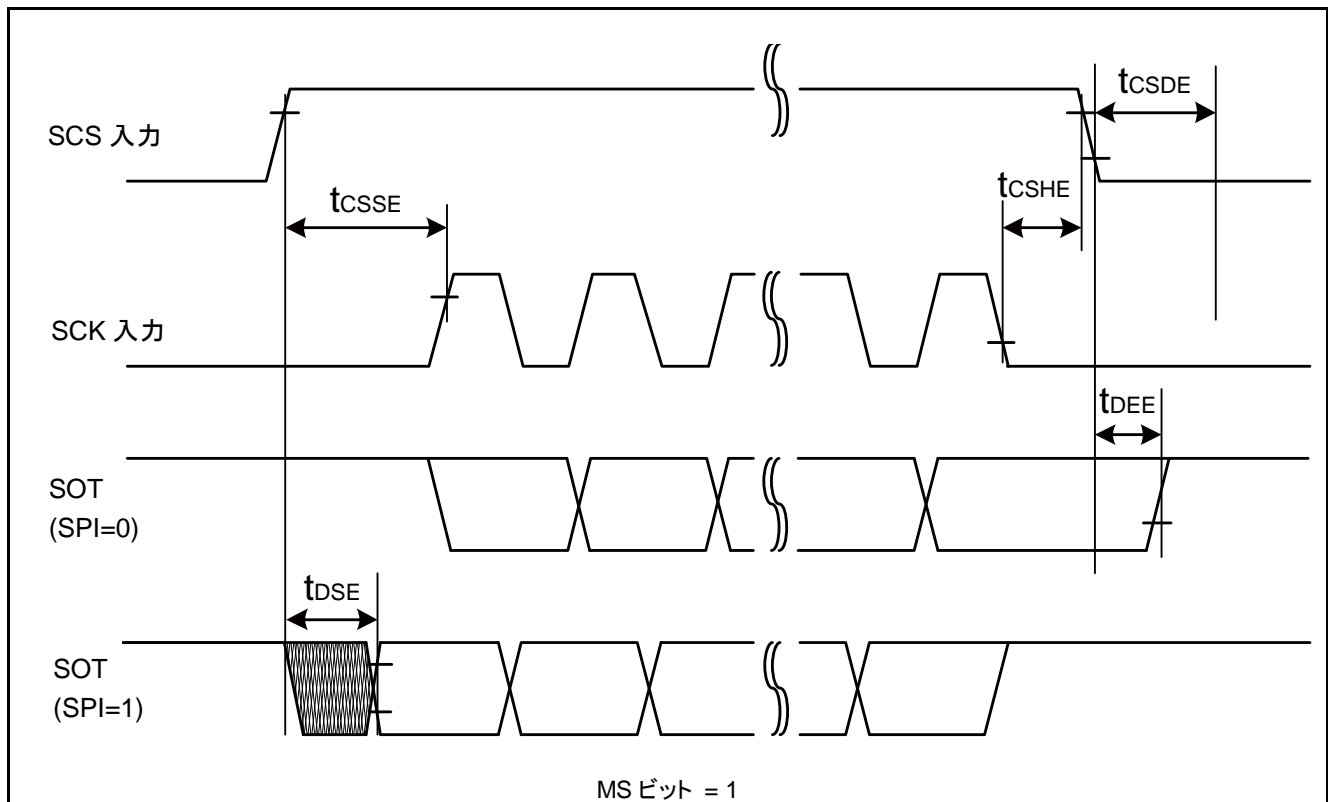
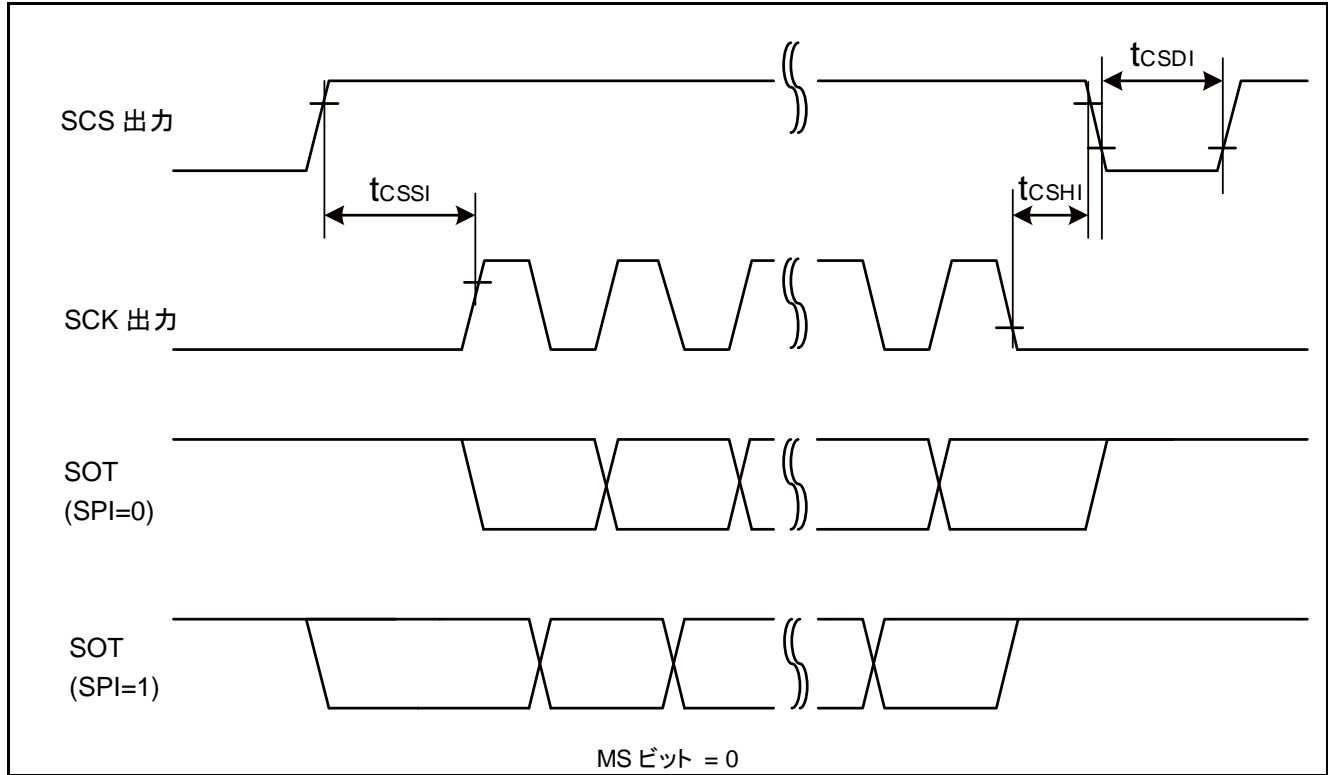
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイヤグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアル チップセレクトタイミングの動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



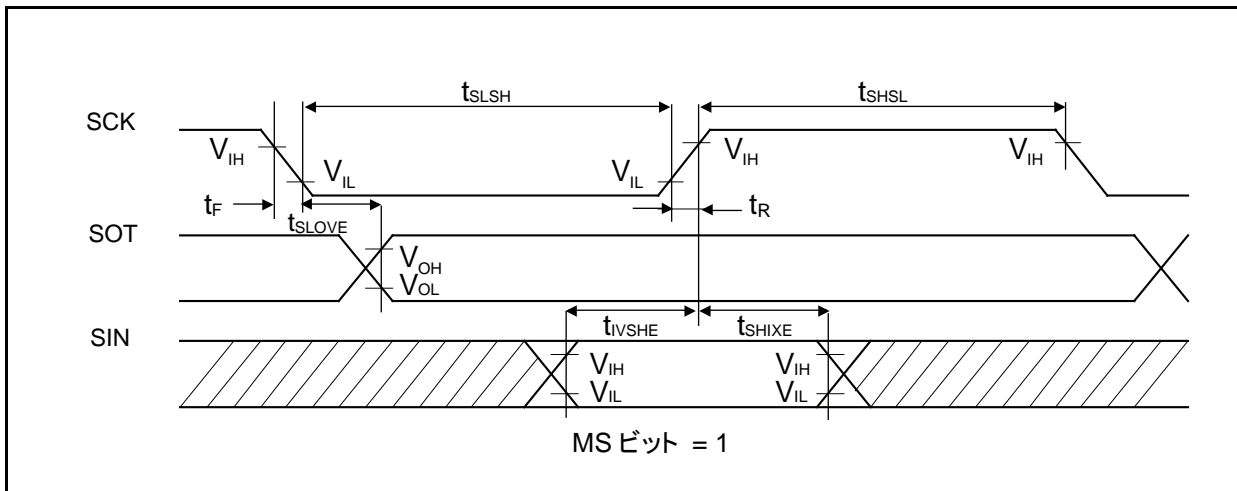
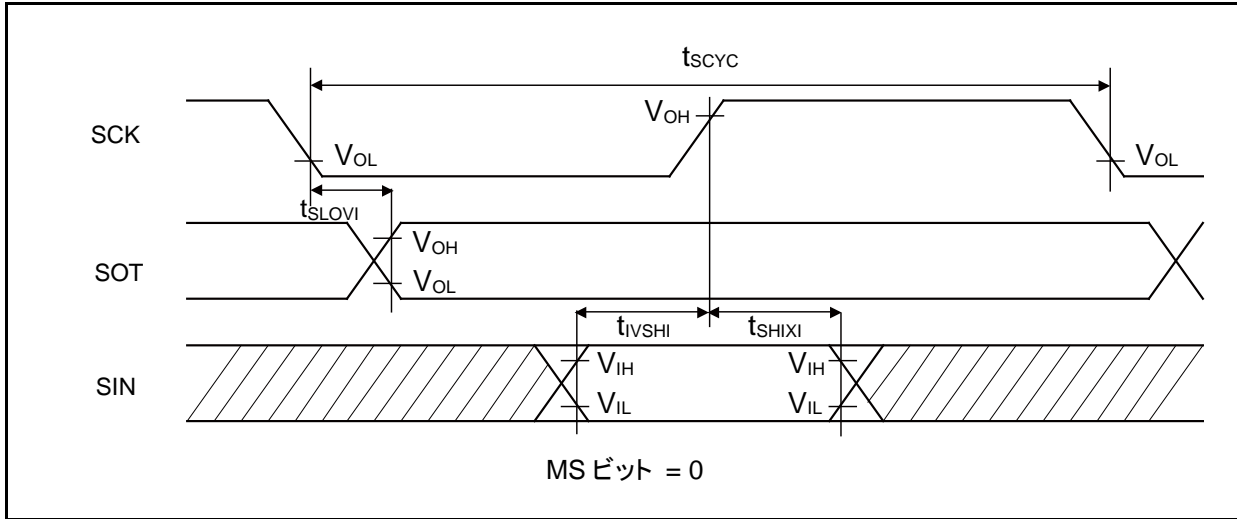
高速同期シリアル (SPI = 0、SCINV = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↓→SOT 遅延時間	t _{SLOVI}	SCKx、 SOTx		-10	+10	-10	+10	ns
SIN→SCK↑セットアップ時間	t _{IVSHI}	SCKx、 SINx		14	-	12.5	-	ns
				12.5*				
SCK↑→SIN ホールド時間	t _{SHIXI}	SCKx、 SINx	外部シフト クロック動作	5	-	5	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCKx		2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{HSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t _{SLOVE}	SCKx、 SOTx		-	15	-	15	ns
SIN→SCK↑セットアップ時間	t _{IVSHE}	SCKx、 SINx		5	-	5	-	ns
SCK↑→SIN ホールド時間	t _{SHIXE}	SCKx、 SINx		5	-	5	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は以下の端子のみの保証です:
チップセレクトなし: SIN4_0、SOT4_0、SCK4_0
チップセレクトあり: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0
- 外部負荷容量 C_L = 30pF 時 (*は C_L = 10pF の時)。



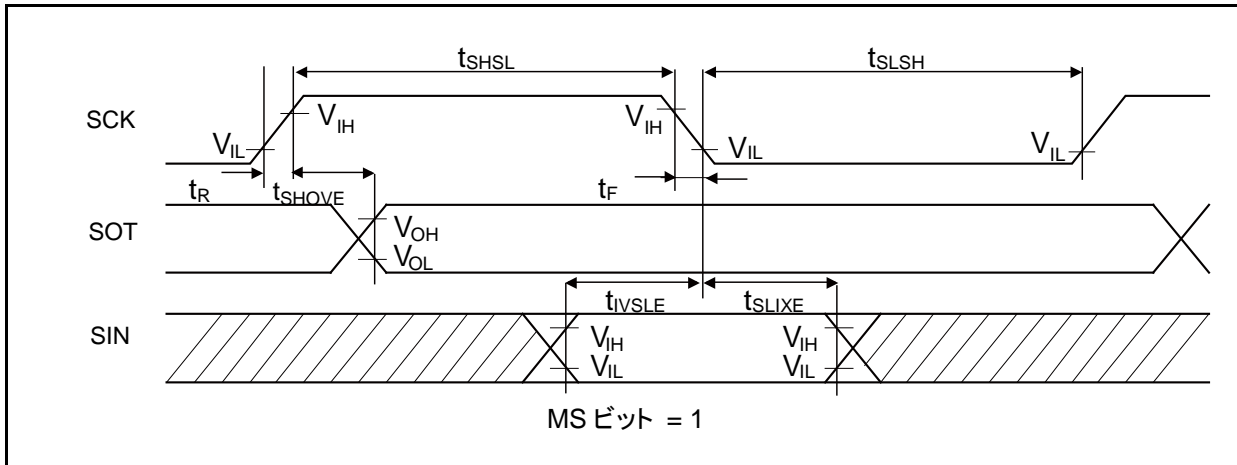
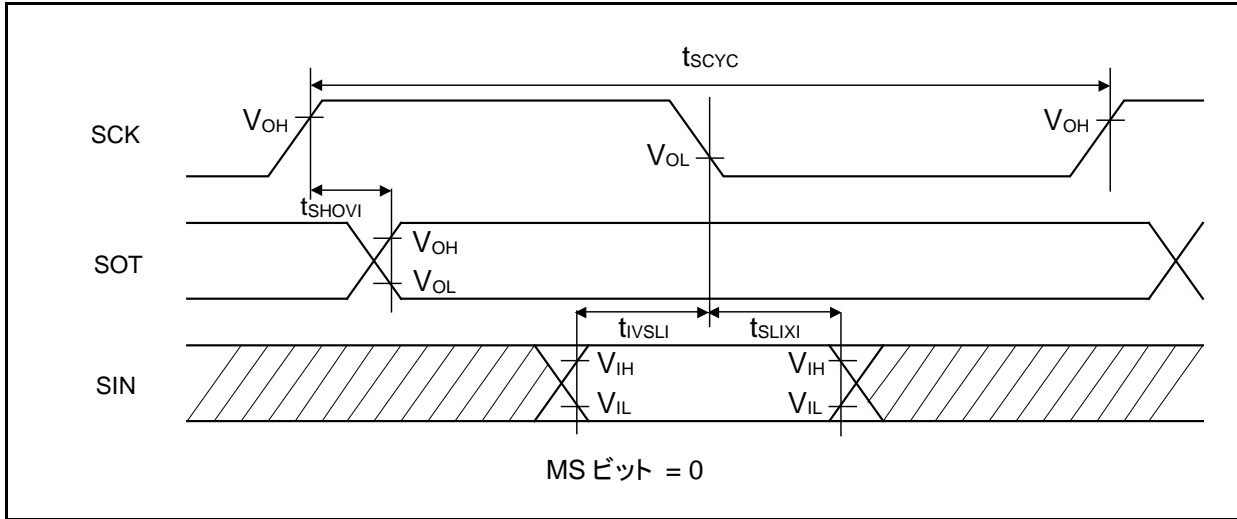
高速同期シリアル (SPI = 0、SCINV = 1)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↑→SOT 遅延時間	t _{SHOVI}	SCKx、 SOTx		-10	+10	-10	+10	ns
SIN→SCK↓セットアップ時間	t _{IVSLI}	SCKx、 SINx		14	-	12.5	-	ns
				12.5*				
SCK↓→SIN ホールド時間	t _{SLIXI}	SCKx、 SINx	外部シフト クロック動作	5	-	5	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCKx		2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t _{SHOVE}	SCKx、 SOTx		-	15	-	15	ns
SIN→SCK↓セットアップ時間	t _{IVSLE}	SCKx、 SINx		5	-	5	-	ns
SCK↓→SIN ホールド時間	t _{SLIXE}	SCKx、 SINx		5	-	5	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は以下の端子のみの保証です:
チップセレクトなし: SIN4_0、SOT4_0、SCK4_0
チップセレクトあり: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0
- 外部負荷容量 C_L = 30pF 時 (*は C_L が 10pF の時)。



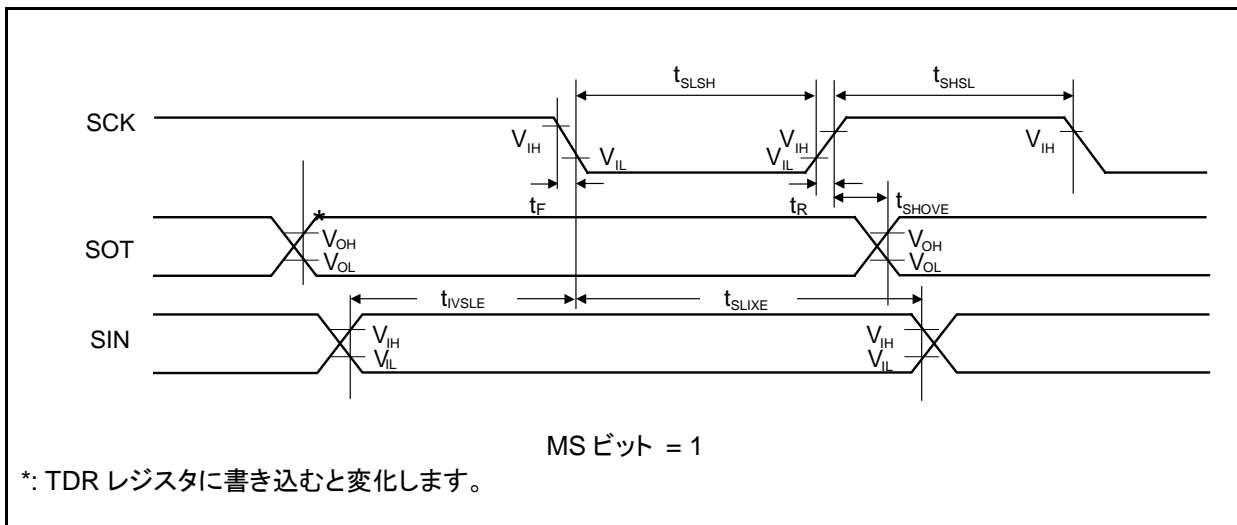
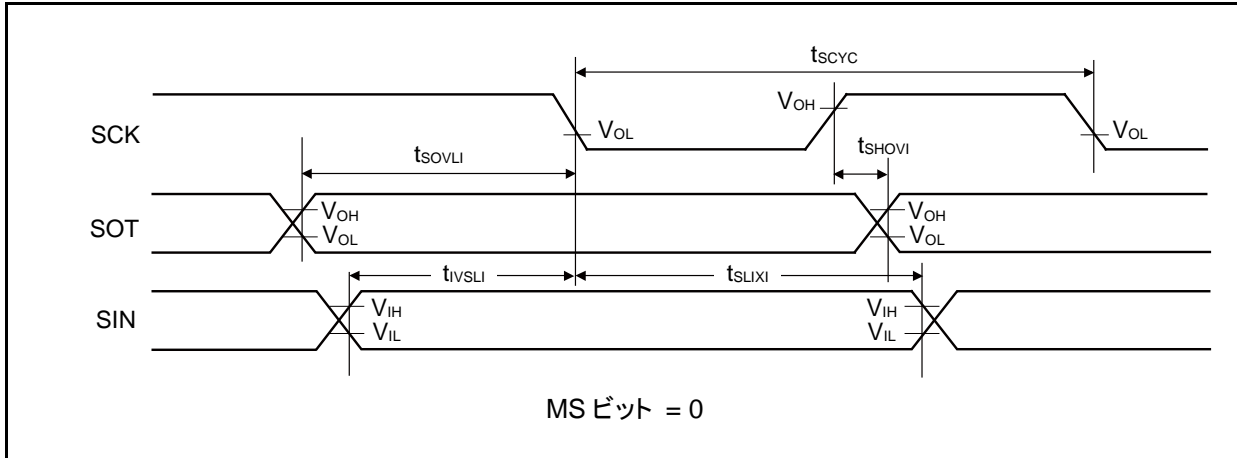
高速同期シリアル (SPI = 1、SCINV = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロックサイクル時間	t _{SCYC}	SCKx	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↑→SOT 遅延時間	t _{SHOVI}	SCKx、 SOTx		-10	+10	-10	+10	ns
SIN→SCK↓セットアップ時間	t _{IVSLI}	SCKx、 SINx		14	-	12.5	-	ns
				12.5*				
SCK↓→SIN ホールド時間	t _{SLIXI}	SCKx、 SINx		5	-	5	-	ns
SOT→SCK↓遅延時間	t _{SOVLI}	SCKx、 SOTx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCKx	外部シフト クロック動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t _{SHOVE}	SCKx、 SOTx		-	15	-	15	ns
SIN→SCK↓セットアップ時間	t _{IVSLE}	SCKx、 SINx		5	-	5	-	ns
SCK↓→SIN ホールド時間	t _{SLIXE}	SCKx、 SINx		5	-	5	-	ns
SCK 立下り時間	t _f	SCKx		-	5	-	5	ns
SCK 立上り時間	t _r	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックのサイクル時間です。 マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は以下の端子のみの保証です:
 チップセレクトなし: SIN4_0、SOT4_0、SCK4_0
 チップセレクトあり: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0
- 外部負荷容量 C_L = 30pF 時 (*は C_L が 10pF の時)。



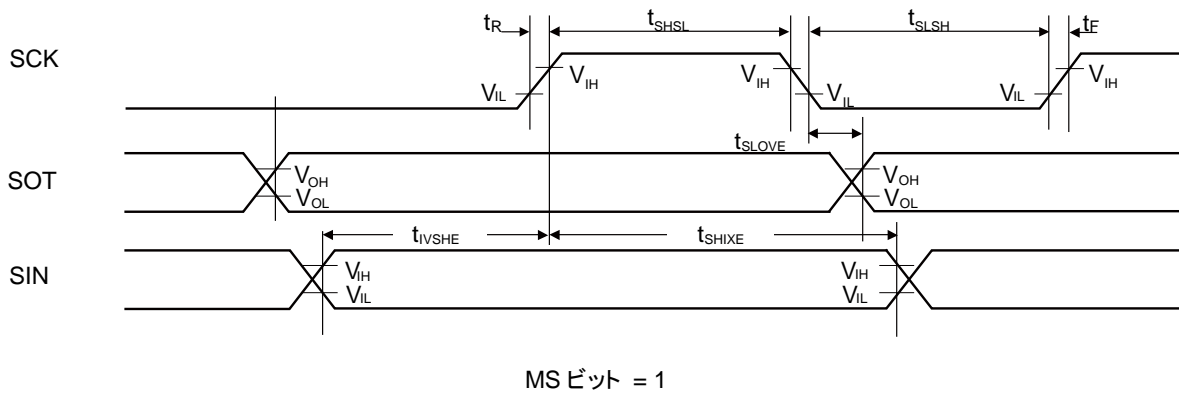
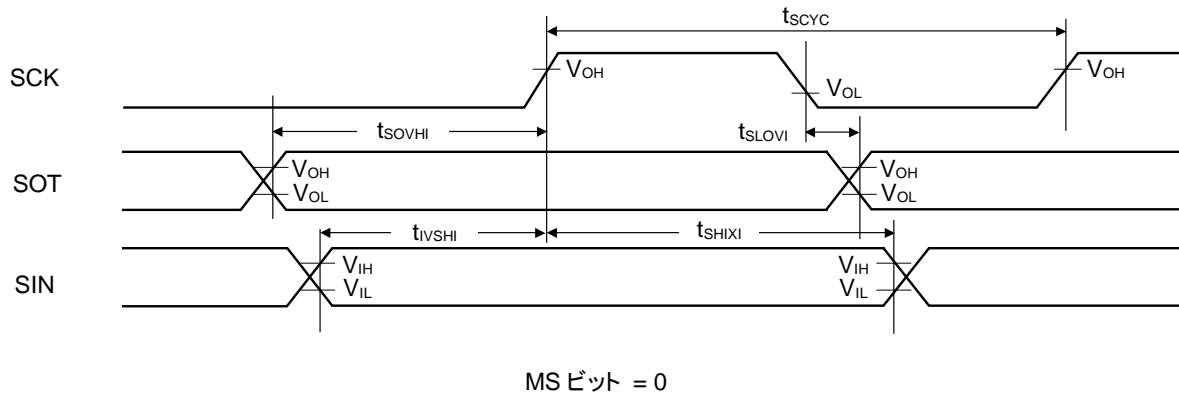
高速同期シリアル (SPI = 1、SCINV = 1)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
				最小	最大	最小	最大	
シリアルクロックサイクル時間	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx、 SOTx		-10	+10	-10	+10	ns
SIN→SCK↑セットアップ時間	t_{IVSHI}	SCKx、 SINx		14	-	12.5	-	ns
				12.5*				
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx、 SINx		5	-	5	-	ns
SOT→SCK↑遅延時間	t_{SOVHI}	SCKx、 SOTx		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック L パルス幅	t_{LSLH}	SCKx	外部シフト クロック動作	$2t_{CYCP} - 5$	-	$2t_{CYCP} - 5$	-	ns
シリアルクロック H パルス幅	t_{HSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx、 SOTx		-	15	-	15	ns
SIN→SCK↑セットアップ時間	t_{IVSHE}	SCKx、 SINx		5	-	5	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx、 SINx		5	-	5	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の規格です。
- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルに接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- 本規格は以下の端子のみの保証です:
 チップセレクトなし: SIN4_0、SOT4_0、SCK4_0
 チップセレクトあり: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0
- 外部負荷容量 $C_L = 30pF$ 時 (*は C_L が $10pF$ の時)。



高速同期シリアルチップセレクト使用時 (SCINV = 0、CSLVL = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t_{CSSI}	内部ソフト クロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t_{CSSE}	外部ソフト クロック動作	3 t_{CYCP} + 15	-	3 t_{CYCP} + 15	-	ns
SCK↑→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3 t_{CYCP} + 15	-	3 t_{CYCP} + 15	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	25	-	25	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

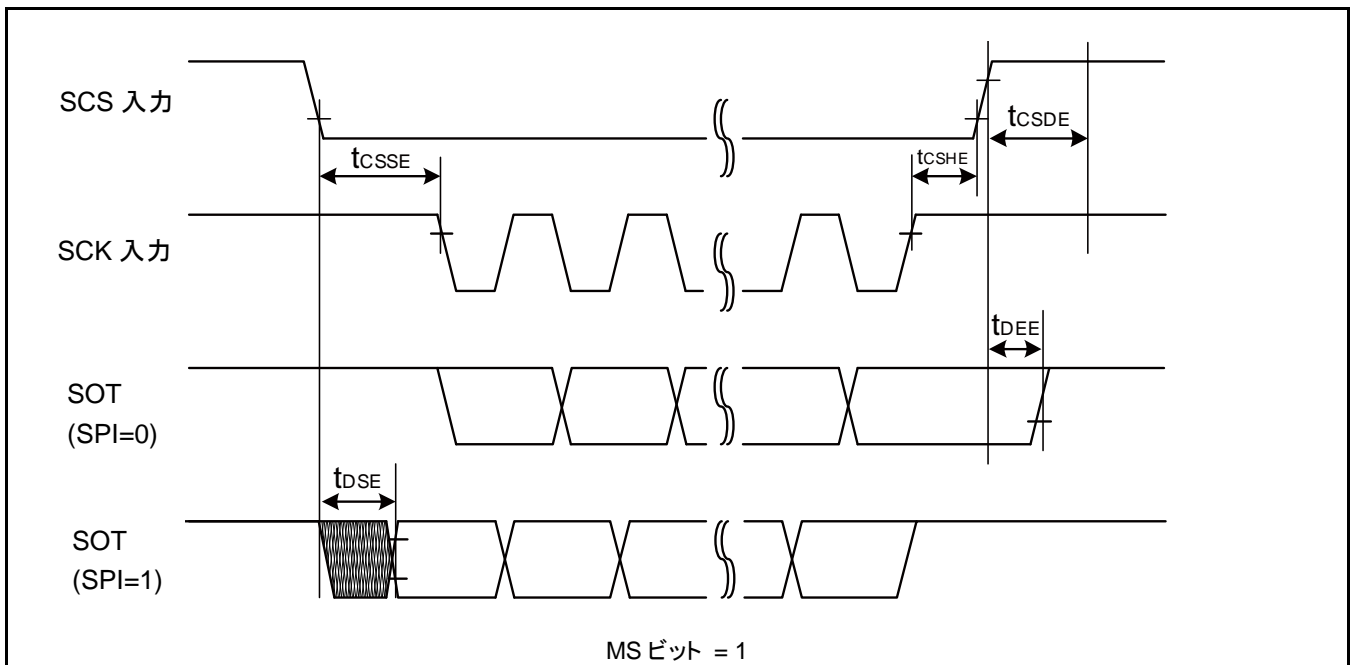
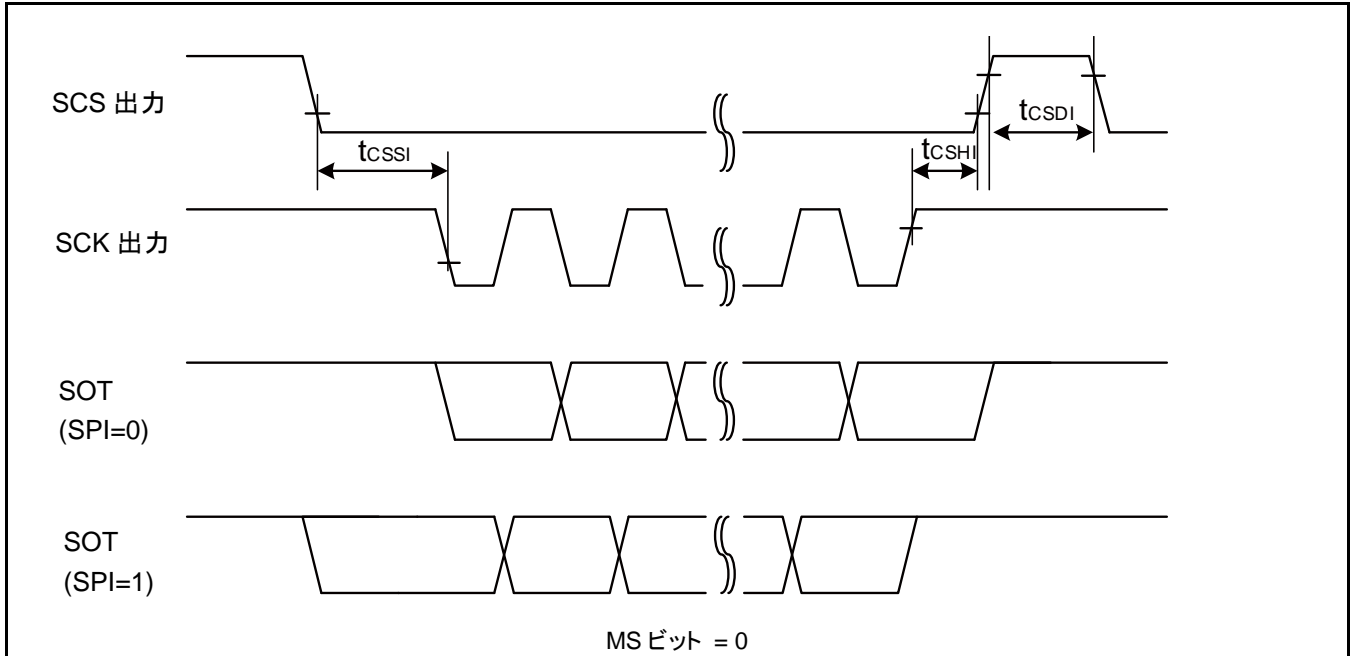
(*1): CSSU ビット値×シリアルチップ選択タイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップ選択タイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップ選択タイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアルチップセレクトタイミング動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 $C_L = 30pF$ 時。



高速同期シリアルチップセレクト使用時 (SCINV = 1、CSLVL = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS↓→SCK↑セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} +15	-	3t _{CYCP} + 15	-	ns
SCK↑→SCS↑ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 15	-	3t _{CYCP} +15	-	ns
SCS↓→SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS↑→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

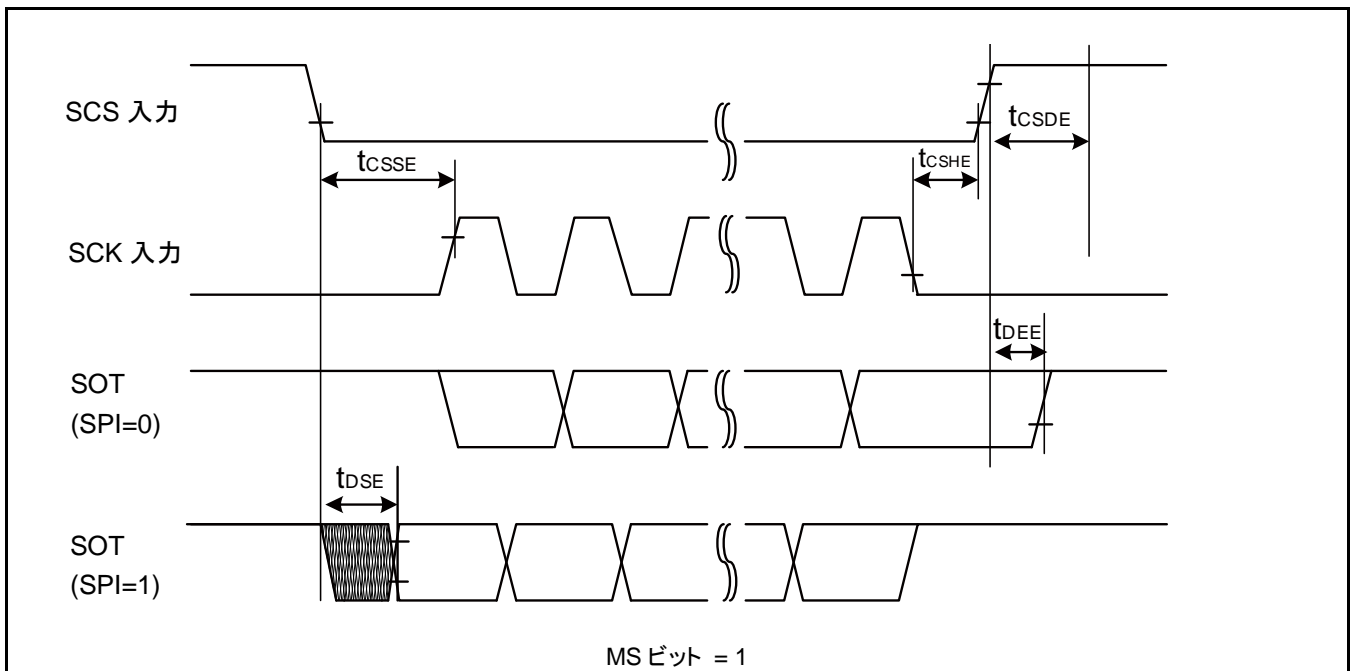
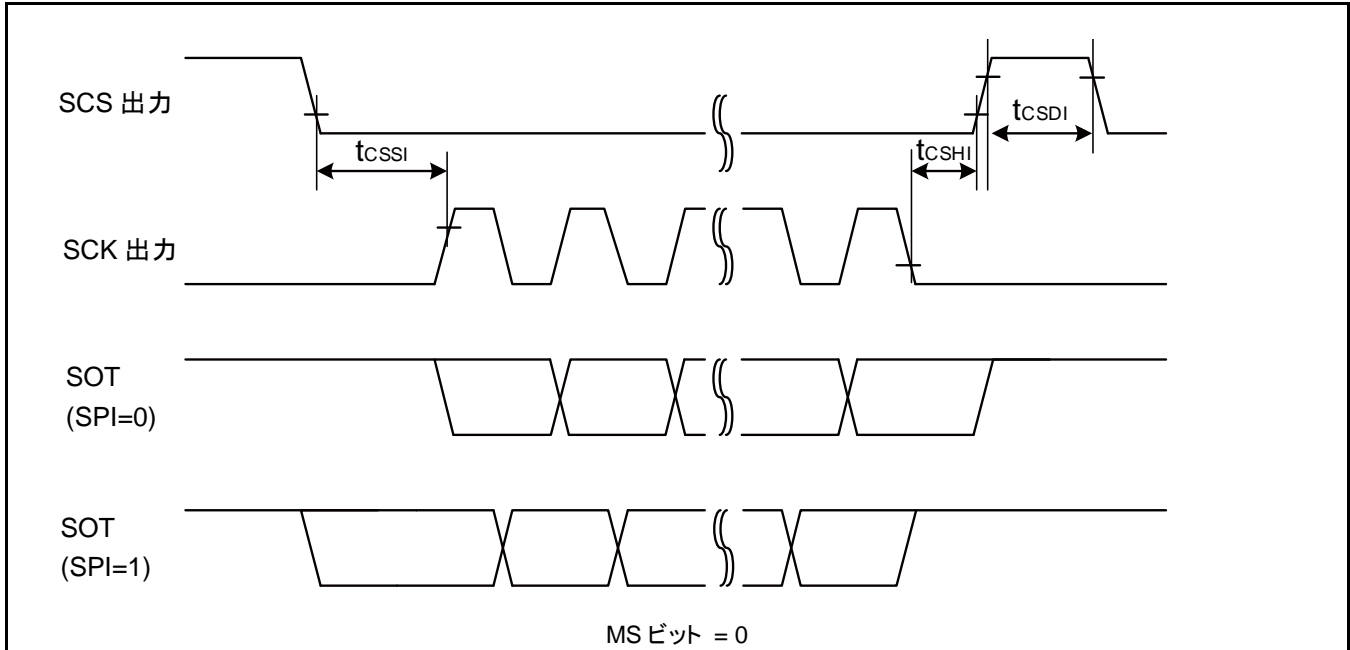
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアルチップセレクトタイミングの動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



高速同期シリアルチップセレクト使用時 (SCINV = 0、CSLVL = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS↑→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↑→SCS↓ ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS↑→SCK↓セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} + 15	-	3t _{CYCP} + 15	-	ns
SCK↑→SCS↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} + 15	-	3t _{CYCP} + 15	-	ns
SCS↑→SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS↓→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

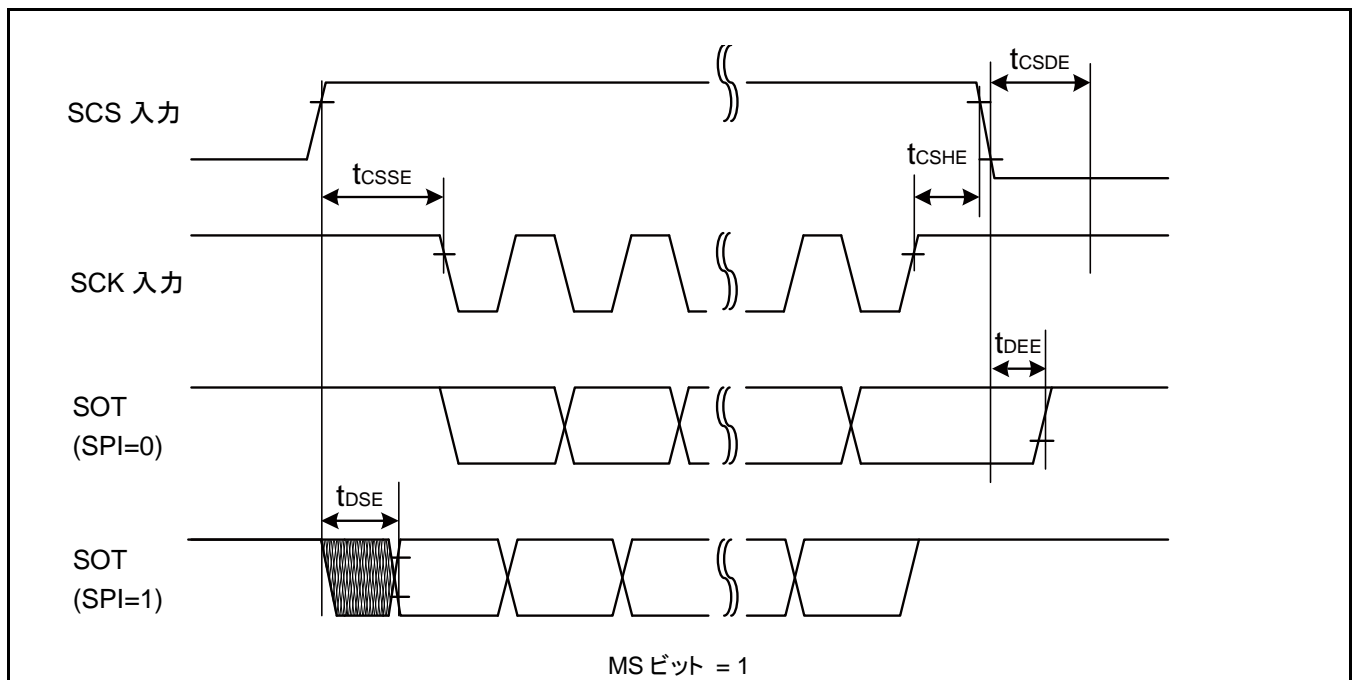
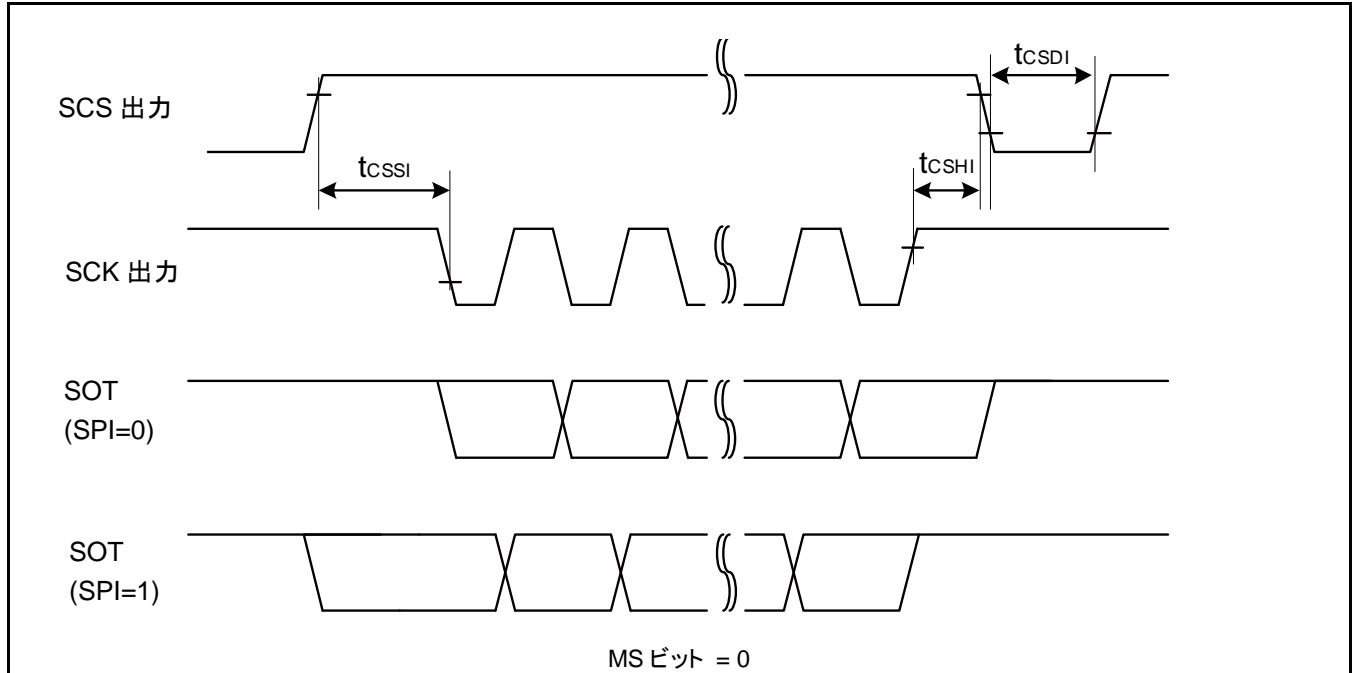
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアルチップセレクトタイミングの動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



高速同期シリアルチップセレクト使用時 (SCINV = 1、CSLVL = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t _{CSSI}	内部シフト クロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↑→SCS↓ ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS↑→SCK↑セットアップ時間	t _{CSSE}	外部シフト クロック動作	3t _{CYCP} + 15	-	3t _{CYCP} + 15	-	ns
SCK↓→SCS↓ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS↑→SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS↓→SOT 遅延時間	t _{DEE}		0	-	0	-	ns

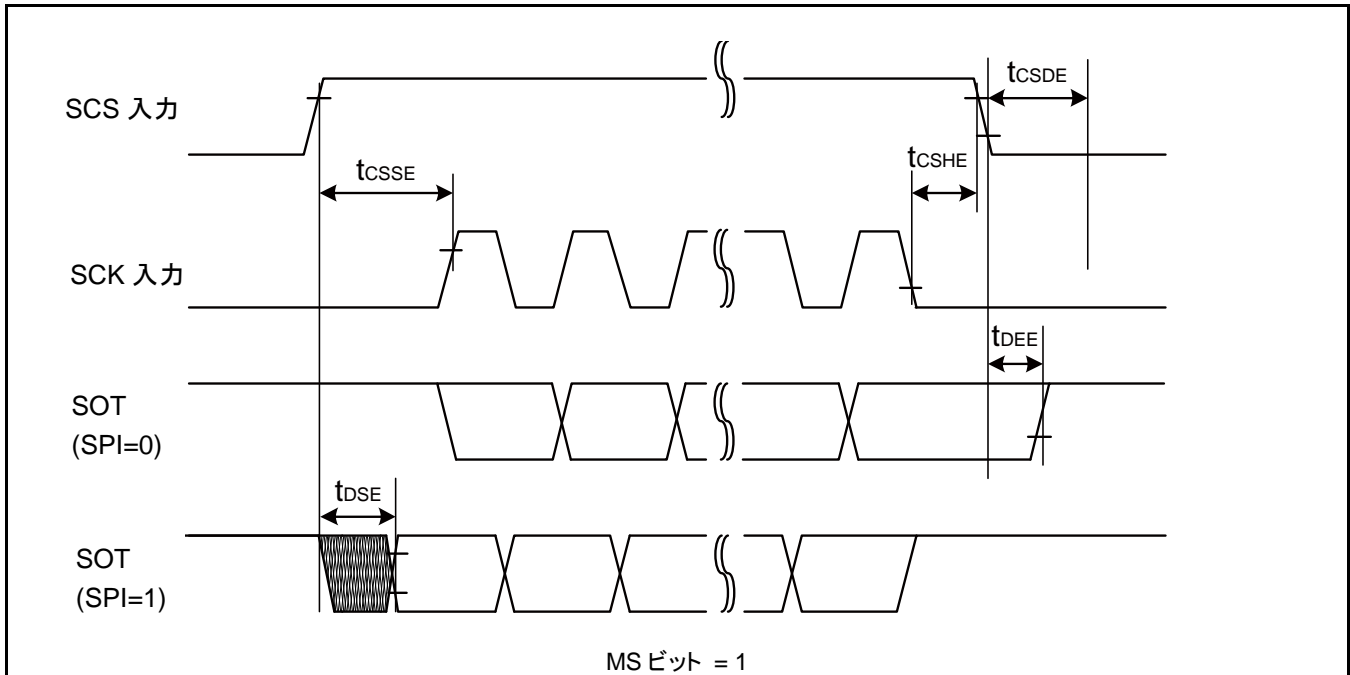
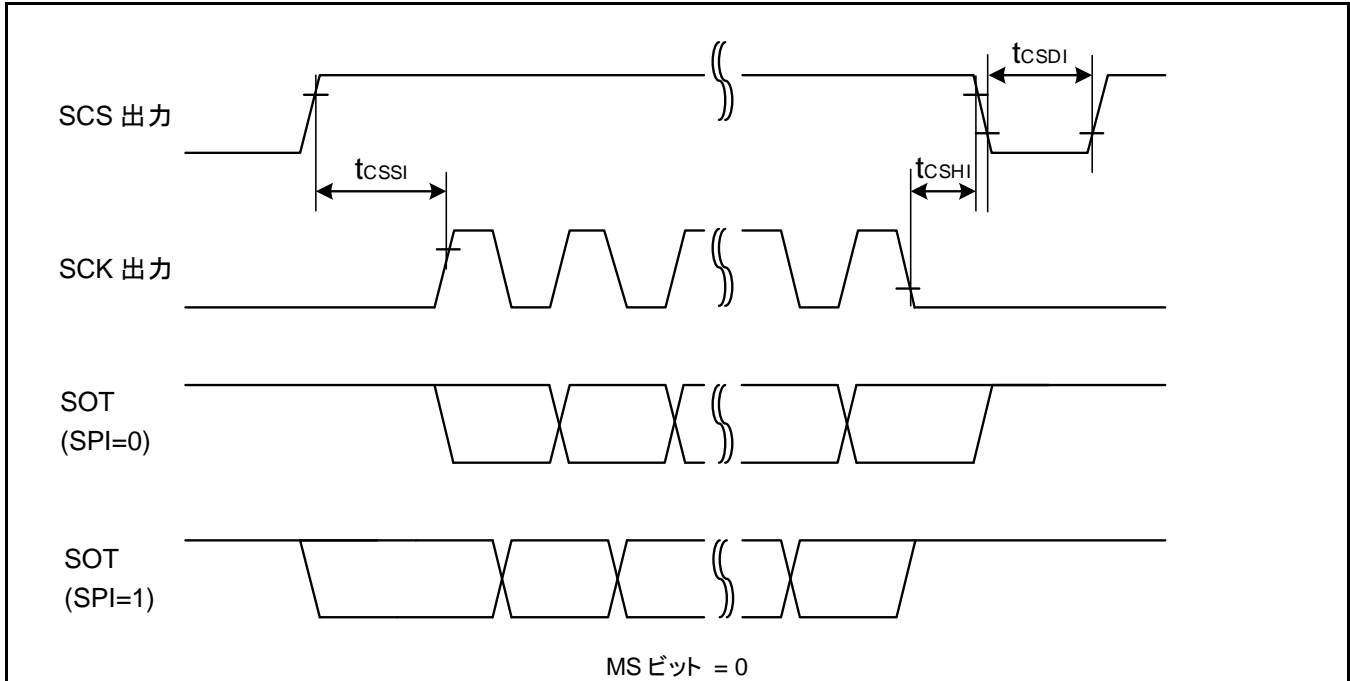
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

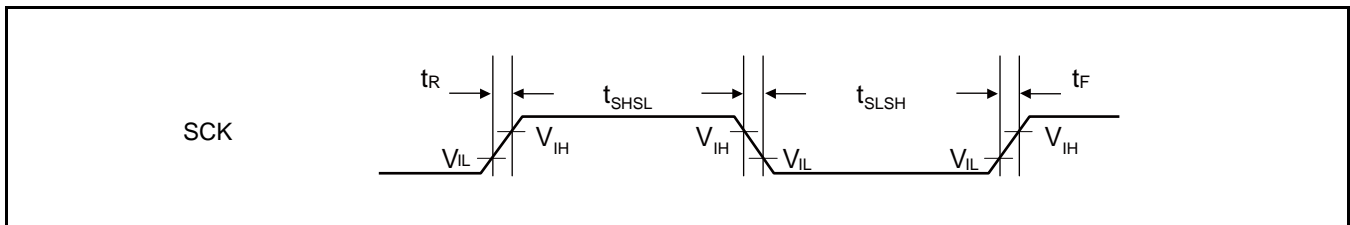
<注意事項>

- t_{CYCP} は APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
- CSSU、CSHD、CSDS、シリアルチップセレクトタイミングの動作クロックについては、「FM4 Family Peripheral Manual Main part」(002-04856) をご参照ください。
- 外部負荷容量 C_L = 30pF 時。



外部クロック (EXT = 1): 非同期モードのみ
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック L パルス幅	t_{SLSH}	$C_L = 30pF$	$t_{CYCP} + 10$	-	ns	
シリアルクロック H パルス幅	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



12.4.13 外部入力タイミング

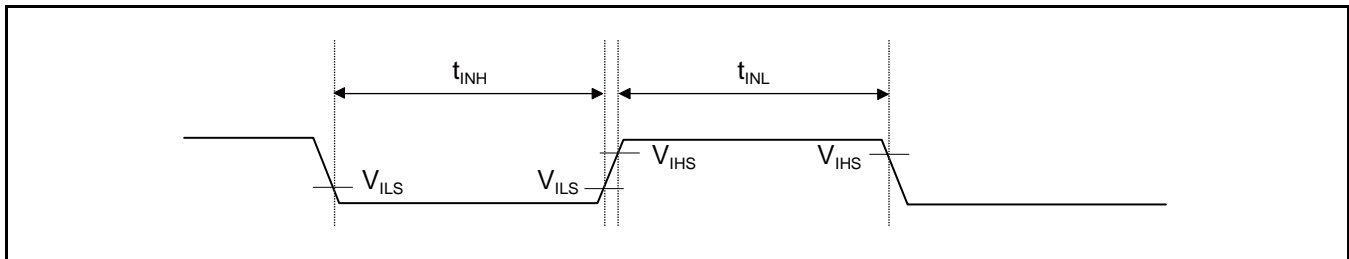
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} , t _{INL}	ADTGx	-	2t _{CYCP} ^{*1}	-	ns	A/D コンバータトリガ入力
		FRCKx					フリーランタイム入力クロック
		ICxx					インプットキャプチャ
		DTTIXx	-	2t _{CYCP} ^{*1}	-	ns	波形ジェネレータ
		INT00~INT31、 NMIX	-	2t _{CYCP} + 100 ^{*1}	-	ns	外部割込み、NMI
				500 ^{*2}	-	ns	
		WKUPx	-	500 ^{*3}	-	ns	ディープスタンバイウェイクアップ

*1: t_{CYCP} は APB バスクロックのサイクル時間です (ストップモード、タイマモード時を除く)。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。

*2: ストップモードとタイマモード時

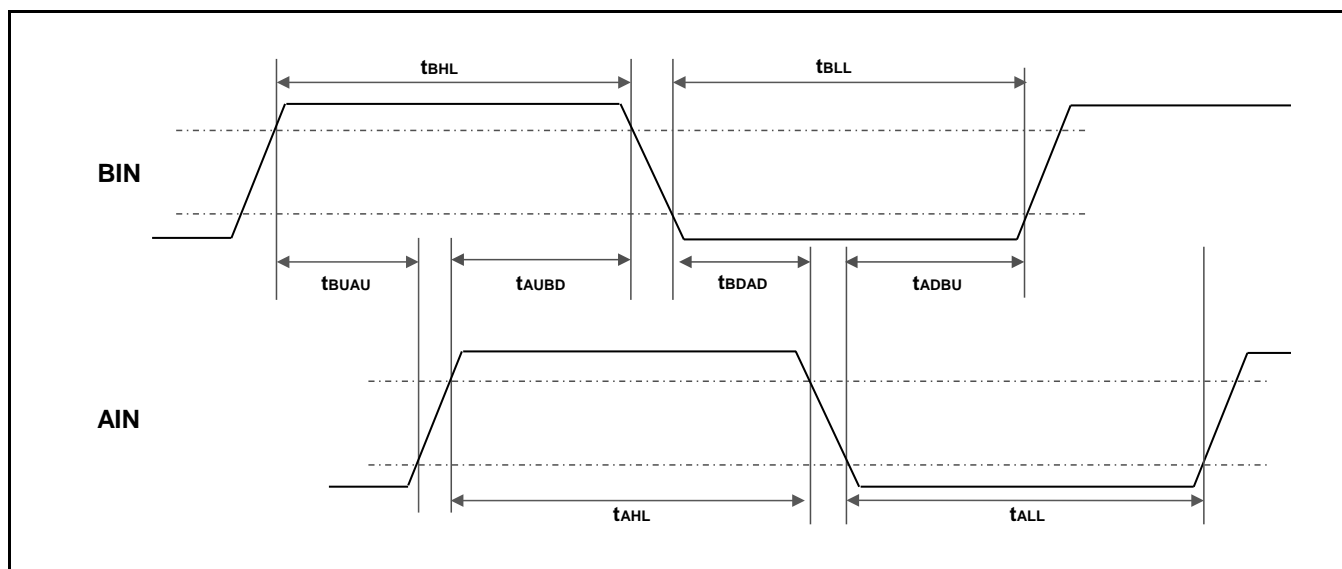
*3: ディープスタンバイ RTC モードとディープスタンバイストップ モード時

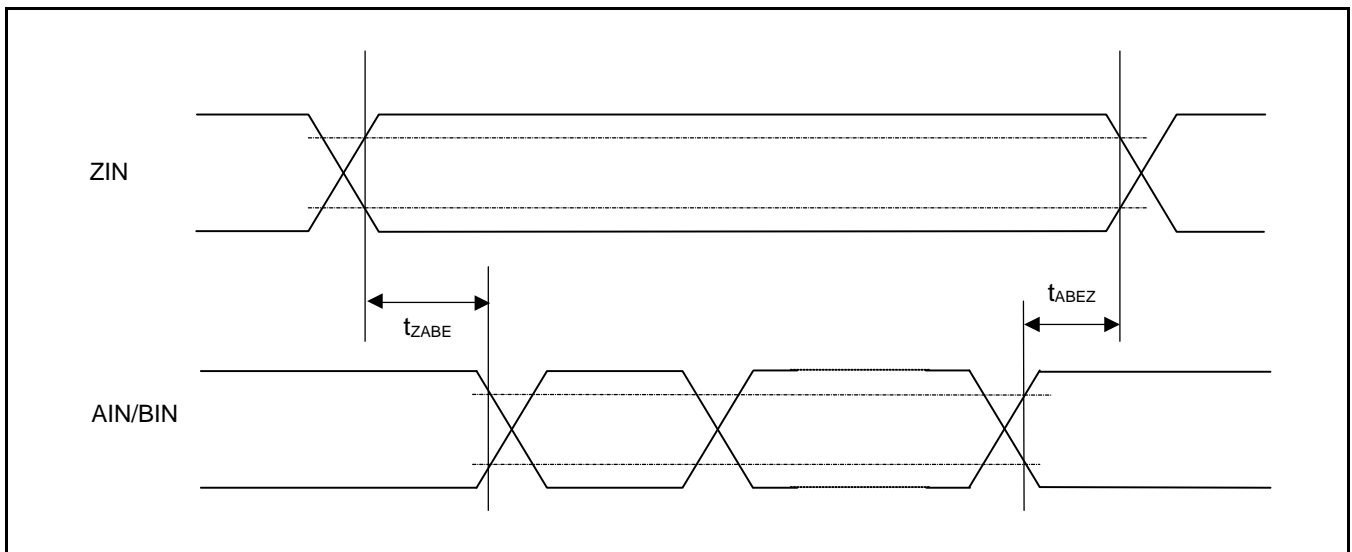
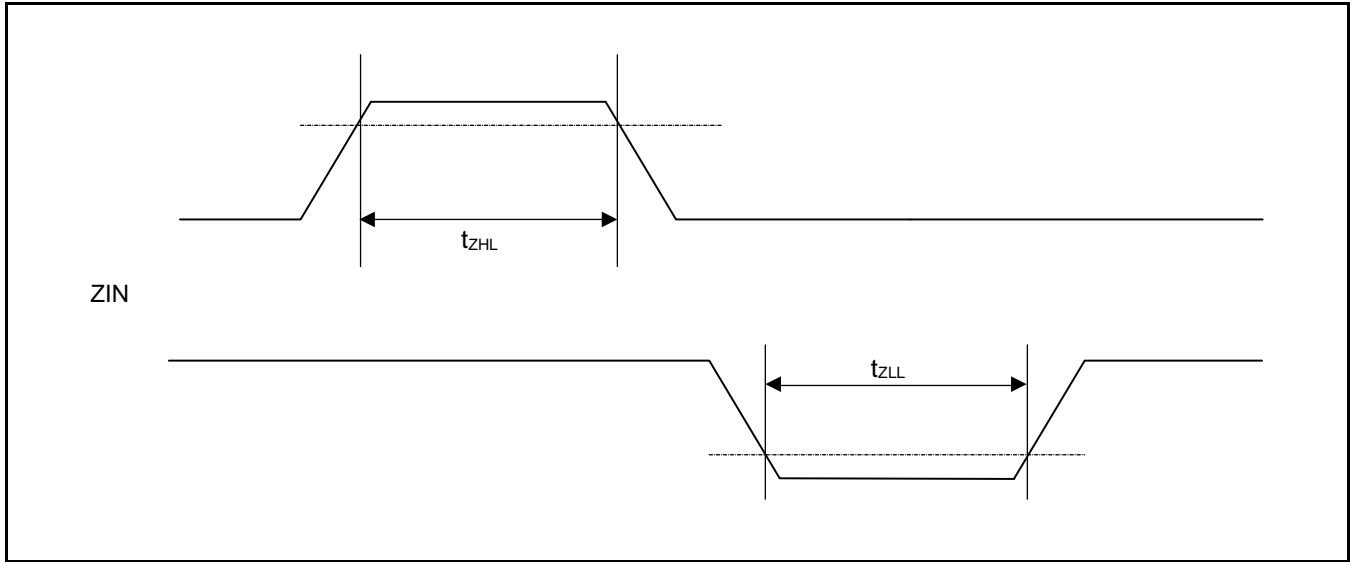


12.4.14 クアッドカウンタタイミング
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V)$

項目	記号	条件	規格値		単位
			最小	最大	
AIN 端子 H 幅	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN 端子 L 幅	t _{ALL}	-			
BIN 端子 H 幅	t _{BHL}	-			
BIN 端子 L 幅	t _{BLL}	-			
AIN 端子 H レベルからの BIN 立上りまでの時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN 端子 H レベルから AIN 立下りまでの時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN 端子 L レベルから BIN 立下りまでの時間	t _{ADBD}	PC_Mode2 または PC_Mode3			
BIN 端子 L レベルから AIN 立上りまでの時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN 端子 H レベルから AIN 立上りまでの時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN 端子 H レベルから BIN 立下りまでの時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN 端子 L レベルから AIN 立下りまでの時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN 端子 L レベルから BIN 立上りまでの時間	t _{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子 H 幅	t _{ZHL}	QCR: CGSC = 0			
ZIN 端子 L 幅	t _{ZLL}	QCR: CGSC = 0			
確定した ZIN レベルから AIN/BIN 立下りと立上りまでの時間	t _{ZABE}	QCR: CGSC = 1			
AIN/BIN 立下り立上りから確定した ZIN レベルまでの時間	t _{ABEZ}	QCR: CGSC = 1			

*: t_{CYCP} は APB バスクロックのサイクル時間です (ストップモード、タイマモード時を除く)。クアッドカウンタが接続されている APB バス番号については、1.S6E2G シリーズ ブロックダイアグラムをご参照ください。





12.4.15 I²C タイミング

Standard-mode、Fast-mode

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	C _L = 30pF、 R = (V _p /I _{OL}) ^{*1}	0	100	0	400	kHz	
(反復)「スタート」条件ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック L 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック H 幅	t _{HIGH}		4.0	-	0.6	-	μs	
(反復)「スタート」条件セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45 ^{*2}	0	0.9 ^{*3}	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と「スタート」条件との間のバスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズ フィルタ	t _{SP}	2MHz ≤ t _{CYCP} < 40MHz	2 t _{CYCP} ^{*4}	-	2 t _{CYCP} ^{*4}	-	ns	*5
		40MHz ≤ t _{CYCP} < 60MHz	4 t _{CYCP} ^{*4}	-	4 t _{CYCP} ^{*4}	-	ns	
		60MHz ≤ t _{CYCP} < 80MHz	6 t _{CYCP} ^{*4}	-	6 t _{CYCP} ^{*4}	-	ns	
		80MHz ≤ t _{CYCP} ≤ 100MHz	8 t _{CYCP} ^{*4}	-	8 t _{CYCP} ^{*4}	-	ns	

*1: R、C_L は SCL、SDA ラインのプルアップ抵抗および負荷静電容量です。V_p はプルアップ抵抗の電源電圧を示し、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間 (t_{LOW}) を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスは、Standard-mode I²C バスシステムに使用できますが、要求される条件「t_{SUDAT} ≥ 250ns」を満足しなければなりません。

*4: t_{CYCP} は APB バスクロックのサイクル時間です。I²C が接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
Standard-mode 使用時は、周辺バスクロックを 2MHz 以上設定してください。
Fast-mode 使用時は、周辺バスクロックを 8MHz 以上設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。APB バスクロック周波数に応じてノイズフィルタ段数の変更をしてください。

Fast-modeplus (Fm+)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	条件	Fast-modeplus (Fm+)*6		単位	備考
			最小	最大		
SCL クロック周波数	f_{SCL}	$C_L = 30pF$, $R = (V_p/I_{OL})^{*1}$	0	1000	kHz	
(反復)「スタート」条件ホールド時間 SDA ↓ → SCL ↓	t_{HDSTA}		0.26	-	μs	
SCL クロック L 幅	t_{LOW}		0.5	-	μs	
SCL クロック H 幅	t_{HIGH}		0.26	-	μs	
(反復)「スタート」条件セットアップ時間 SCL ↑ → SDA ↓	t_{SUSTA}		0.26	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t_{HDDAT}		0	$0.45^{*2, *3}$	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t_{SUDAT}		50	-	ns	
「ストップ」条件セットアップ時間 SCL ↑ → SDA ↑	t_{SUSTO}		0.26	-	μs	
「ストップ」条件と「スタート」条件との間のバスフリー時間	t_{BUF}		0.5	-	μs	
ノイズフィルタ	t_{SP}	$60MHz \leq t_{CYCP} < 80MHz$	$6 t_{CYCP}^{*4}$	-	ns	*5
		$80MHz \leq t_{CYCP} \leq 100MHz$	$8 t_{CYCP}^{*4}$	-	ns	

*1: R , C_L は SCL、SDA ラインのプルアップ抵抗、負荷静電容量です。 V_p はプルアップ抵抗の電源電圧、 I_{OL} は V_{OL} 保証電流を示します。

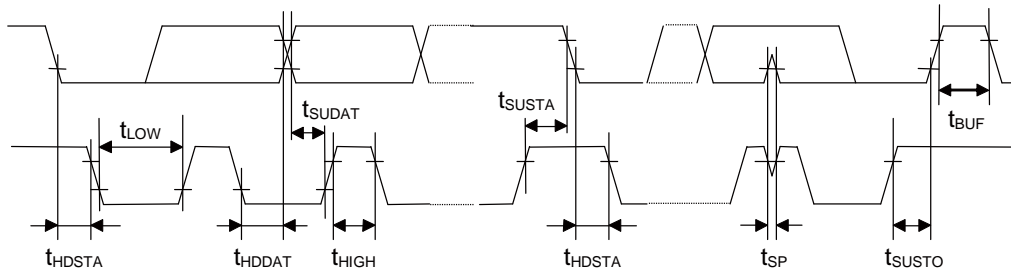
*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間 (t_{LOW}) を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスは、Standard-mode I²C バスシステムに使用できますが、要求される条件「 $t_{SUDAT} \geq 250ns$ 」を満足しなければなりません。

*4: t_{CYCP} は APB バスクロックのサイクル時間です。I²C が接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。
Fast-mode plus (Fm+) 使用時は、周辺バス クロックを 64MHz 以上設定してください。

*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。APB バスクロック周波数に応じてノイズフィルタ段数の変更をしてください。

*6: Fast-mode plus (Fm+) 使用時は、I/O 端子を EPFR レジスタにて I²C Fm+に対応したモードに設定してください。詳細は、「FM4 Family Peripheral Manual Main Part (002-04856)」の第 12 章「I/O ポート」をご参照ください。



12.4.16 SD カードインタフェースタイミング

Default-Speed Mode

■ クロック CLK (規格は V_{IH} 、 V_{IL} レベルでの値となります)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		備考
				最小	最大	
クロック周波数データ転送モード	f_{PP}	S_CLK	$C_{CARD} \leq 10pF$ (1 カード)	0	25	MHz
クロック周波数識別モード	f_{OD}	S_CLK		0/100	400	kHz
クロック低時間	t_{WL}	S_CLK		10	-	ns
クロック高時間	t_{WH}	S_CLK		10	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	10	ns
クロック立下り時間	t_{THL}	S_CLK		-	10	ns

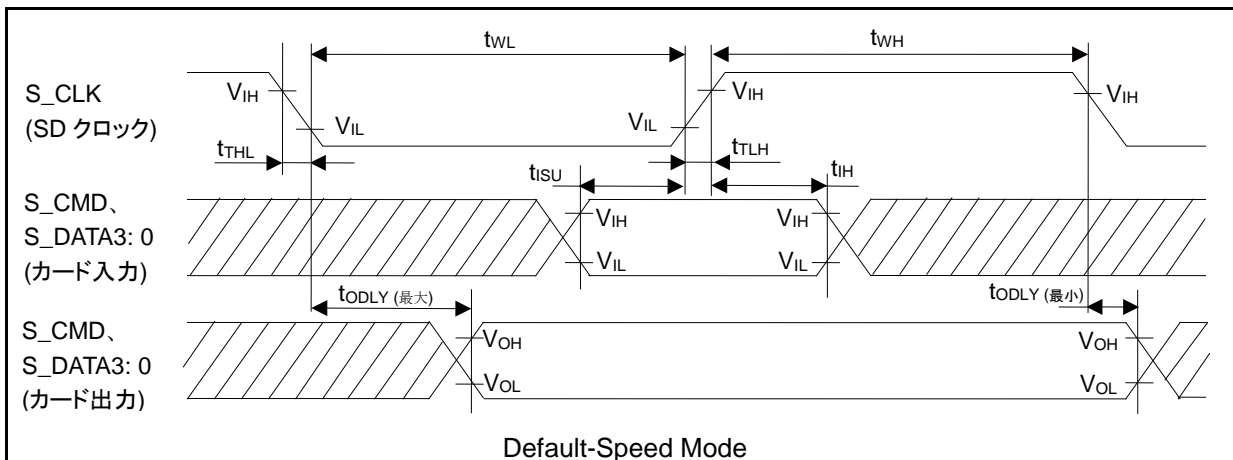
*: 0Hz はクロック停止を示します。継続動作される場合、最小周波数となります。

■ カード入力 CMD、DAT (クロックの項目を参照ください)

項目	記号	端子名	条件	規格値		備考
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 10pF$ (1 カード)	5	-	ns
入力ホールド時間	t_{IH}	S_CMD、 S_DATA3: 0		5	-	ns

■ カード出力 CMD、DAT (クロックの項目を参照ください)

項目	記号	端子名	条件	規格値		備考
				最小	最大	
データ転送モード間の出力遅延時間	t_{ODLY}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 40pF$ (1 カード)	0	14	ns
識別モード間の出力遅延時間	t_{ODLY}	S_CMD、 S_DATA3: 0		0	50	ns



<注意事項>

- 本製品はホストであり、Card Input が Host Output に対応し、Card Output は Host Input に対応します。
- クロック周波数 (f_{PP}) の詳細は、「FM4 Family Peripheral Manual Main Part (002-04856)」の第 15 章「SD card Interface」をご参照ください。

High-Speed Mode
■ クロック CLK (規格は V_{IH} 、 V_{IL} レベルでの値となります)
 $(V_{CC} = 2.7V \sim 3.6V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		備考
				最小	最大	
クロック周波数データ転送モード	f_{PP}	S_CLK	$C_{CARD} \leq 10pF$ (1 カード)	0	45	MHz
クロック低時間	t_{WL}	S_CLK		7	-	ns
クロック高時間	t_{WH}	S_CLK		7	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	3	ns
クロック立下り時間	t_{THL}	S_CLK		-	3	ns

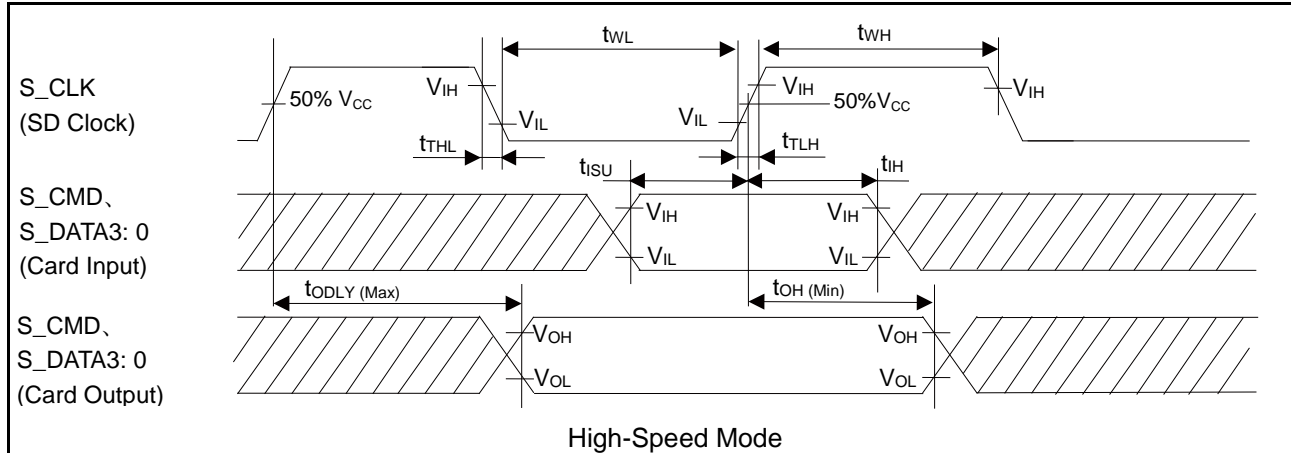
■ カード入力 CMD、DAT (クロックの項目を参照ください)

項目	記号	端子名	条件	規格値		備考
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 10pF$ (1 カード)	6	-	ns
入力ホールド時間	t_{IH}	S_CMD、 S_DATA3: 0		2	-	ns

■ カード出力 CMD、DAT (クロックの項目を参照ください)

項目	記号	端子名	条件	規格値		備考
				最小	最大	
データ転送モード間の出力遅延時間	t_{ODLY}	S_CMD、 S_DATA3: 0	$C_L \leq 40pF$ (1 カード)	0	14	ns
出力ホールド時間	t_{OH}	S_CMD、 S_DATA3: 0	$C_L \geq 15pF$ (1 カード)	2.5	-	ns
配線間のシステム総容量*	C_L	-	1 card	-	40	pF

*: 厳しいタイミングを満たすために、Host は一枚のカードのみ動作させるものとします。



<注意事項>

- 本製品はホストであり、Card Input が Host Output に対応し、Card Output は Host Input に対応します。
- クロック周波数 (f_{PP}) の詳細は、「FM4 Family Peripheral Manual Main Part (002-04856)」の第 15 章「SD card Interface」をご参照ください。

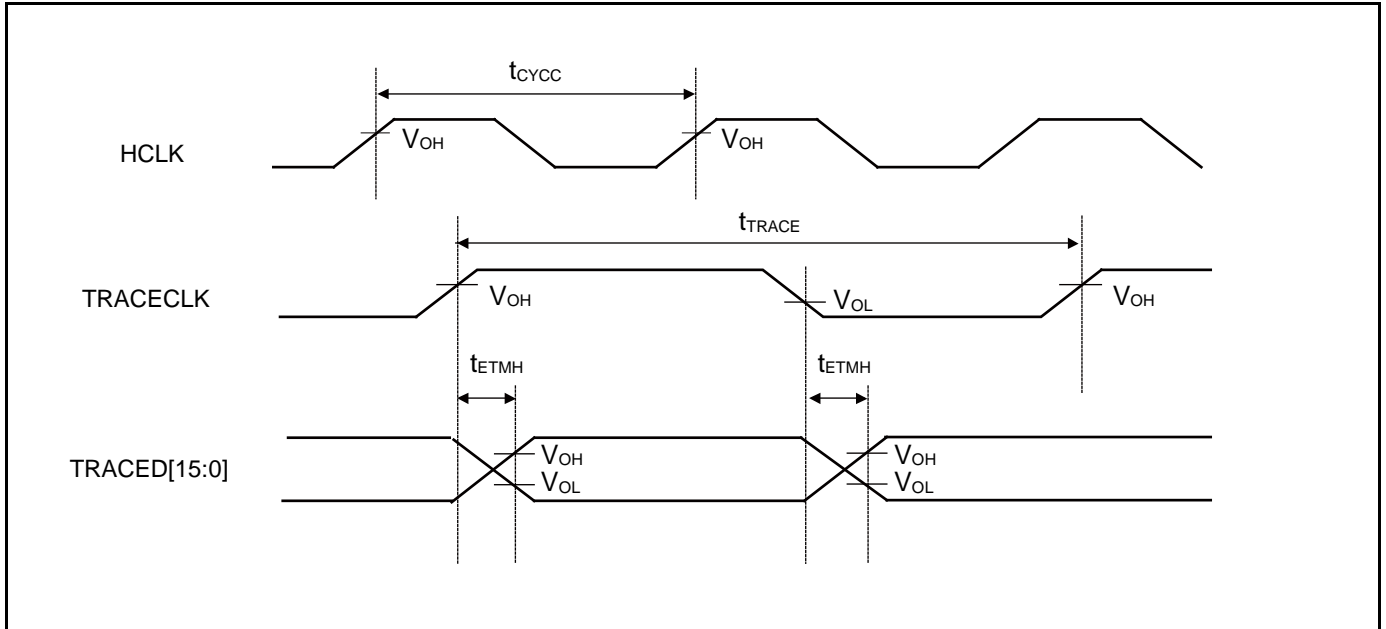
12.4.17 ETM/HTM タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド時間	t _{ETMH}	TRACECLK、 TRACED[15:0]	V _{CC} ≥ 4.5V	2	9	ns	
			V _{CC} < 4.5V	2	15		
TRACECLK 周波数	1/t _{TRACE}	TRACECLK	V _{CC} ≥ 4.5V		50	MHz	
			V _{CC} < 4.5V		32	MHz	
TRACECLK クロック サイクル	t _{TRACE}		V _{CC} ≥ 4.5V	20	-	ns	
			V _{CC} < 4.5V	31.25	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時。



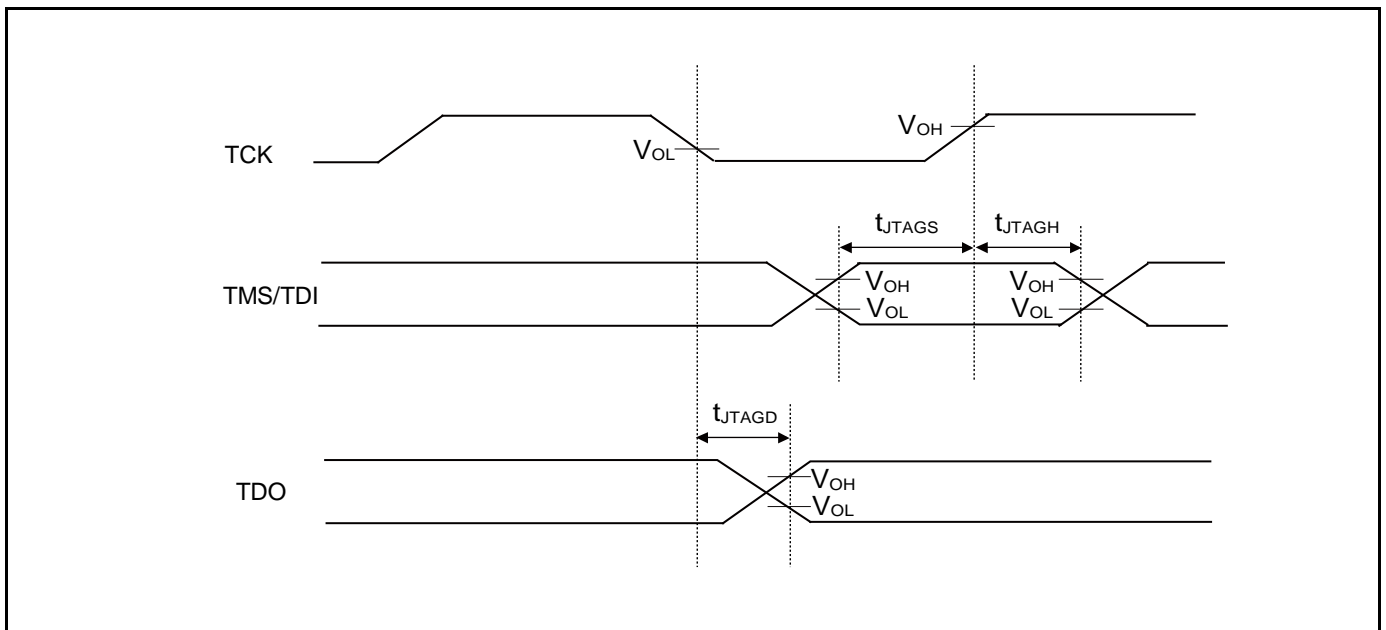
12.4.18 JTAG タイミング

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS、TDI セットアップ時間	t _{JTAGS}	TCK、 TMS、TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TMS、TDI ホールド時間	t _{JTAGH}	TCK、 TMS、TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TDO 遅延時間	t _{JTAGD}	TCK、 TDO	V _{CC} ≥ 4.5V	-	25	ns	
			V _{CC} < 4.5V	-	45		

<注意事項>

- 外部負荷容量 C_L = 30pF 時。



12.4.19 Ethernet-MAC タイミング

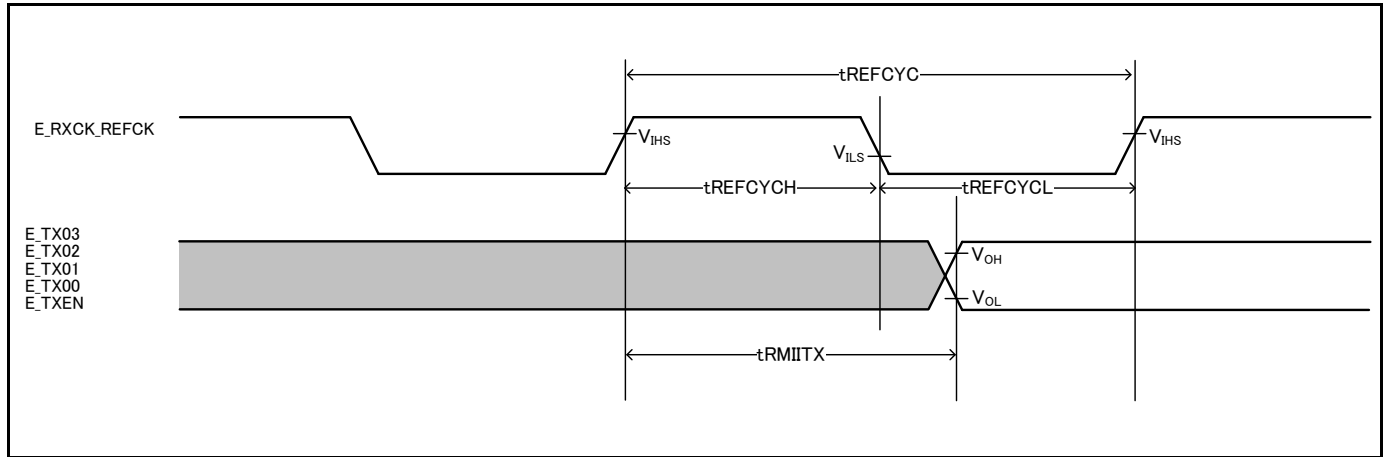
RMII 送信 (100Mbps/10Mbps)

(ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V^{*1}, V_{SS} = 0V, C_L = 25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
リファレンスクロックサイクルタイム ^{*2}	t _{REFCYC}	E_RXCK_REFCK	標準 20ns	-	-	ns
リファレンスクロック H パルス幅率	t _{REFCYCH}	E_RXCK_REFCK	t _{REFCYCH} /t _{REFCYC}	35	65	%
リファレンスクロック L パルス幅率	t _{REFCYCL}	E_RXCK_REFCK	t _{REFCYCL} /t _{REFCYC}	35	65	%
REFCK ↑ → 送信データ 遅延時間	t _{RMIITX}	E_TX03、E_RX02、 E_TX01、E_TX00、 E_TXEN	-	-	12	ns

*1: ETHV = 4.5V~5.5V 動作時は出力電流を抑えるため、出力端子に直列抵抗を接続することを推奨します。

*2: RMII 規格でリファレンスクロックは 50MHz に固定されています。クロックの精度は接続する PHY デバイスの規格を満たしてください。

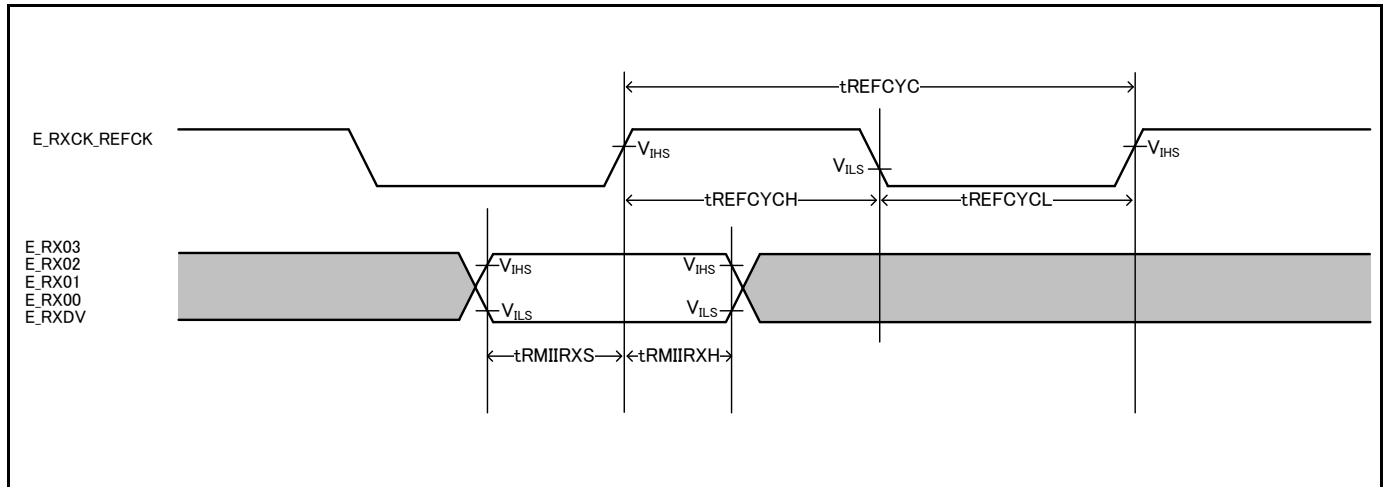


RMII 受信 (100Mbps/10Mbps)

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L = 25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
リファレンスクロック サイクルタイム*	tREFCYC	E_RXCK_REFCK	標準 20ns	-	-	ns
リファレンスクロック H パルス幅率	tREFCYCH	E_RXCK_REFCK	tREFCYCH/tREFCYC	35	65	%
リファレンスクロック L パルス幅率	tREFCYCL	E_RXCK_REFCK	tREFCYCL/tREFCYC	35	65	%
受信データ → REFCK↑ セットアップ時間	tRMIIRXS	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	-	4	-	ns
REFCK↑ → 受信データ ホールド時間	tRMIIRXH	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	-	2	-	ns

*: RMII 規格でリファレンスクロックは 50MHz に固定されています。
 クロックの精度は接続する PHY デバイスの規格を満たしてください。

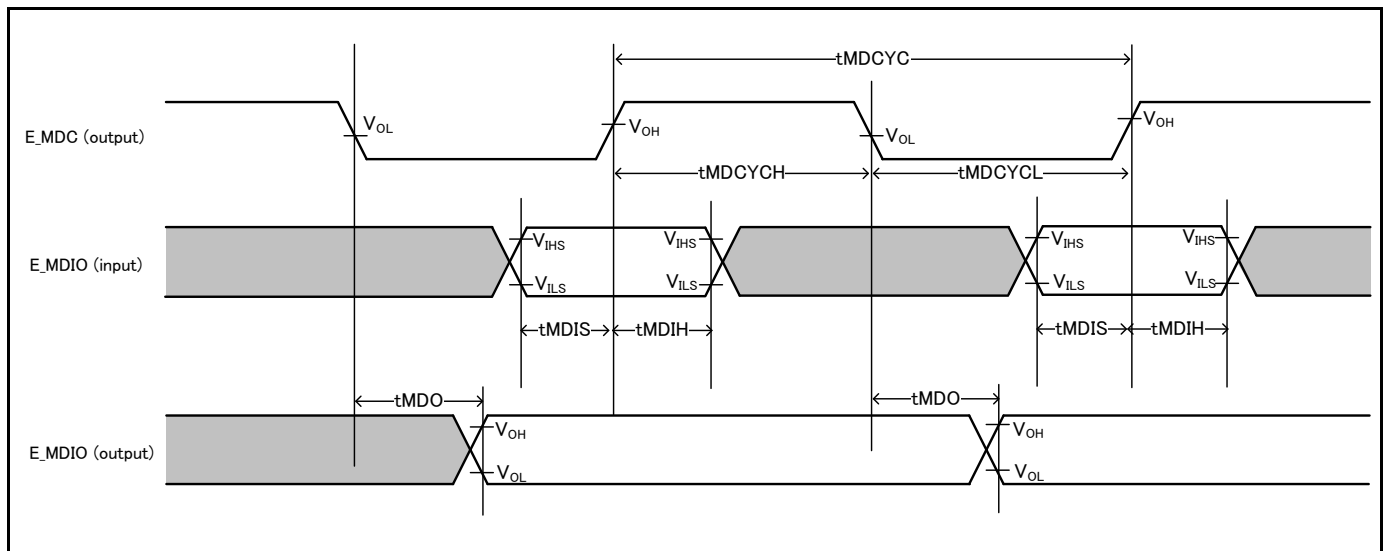


マネージメントインタフェース

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L = 25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マネージメント用クロック サイクルタイム*	t _{MDCYC}	E_MDC	-	400	-	ns
マネージメント用クロック H パルス幅率	t _{MDCYCH}	E_MDC	t _{MDCYCH} /t _{MDCYC}	35	65	%
マネージメント用管理クロック L パルス幅率	t _{MDCYCL}	E_MDC	t _{MDCYCL} /t _{MDCYC}	35	65	%
MDC ↓ → MDIO 遅延時間	t _{MDO}	E_MDIO	-	-	60	ns
MDIO → MDC ↑ セットアップ時間	t _{MDIS}	E_MDIO	-	20	-	ns
MDC ↑ → MDIO ホールド時間	t _{MDIH}	E_MDIO	-	0	-	ns

*: Ethernet-MAC のレジスタ設定で、サイクルタイムが規格を満たすように設定してください。



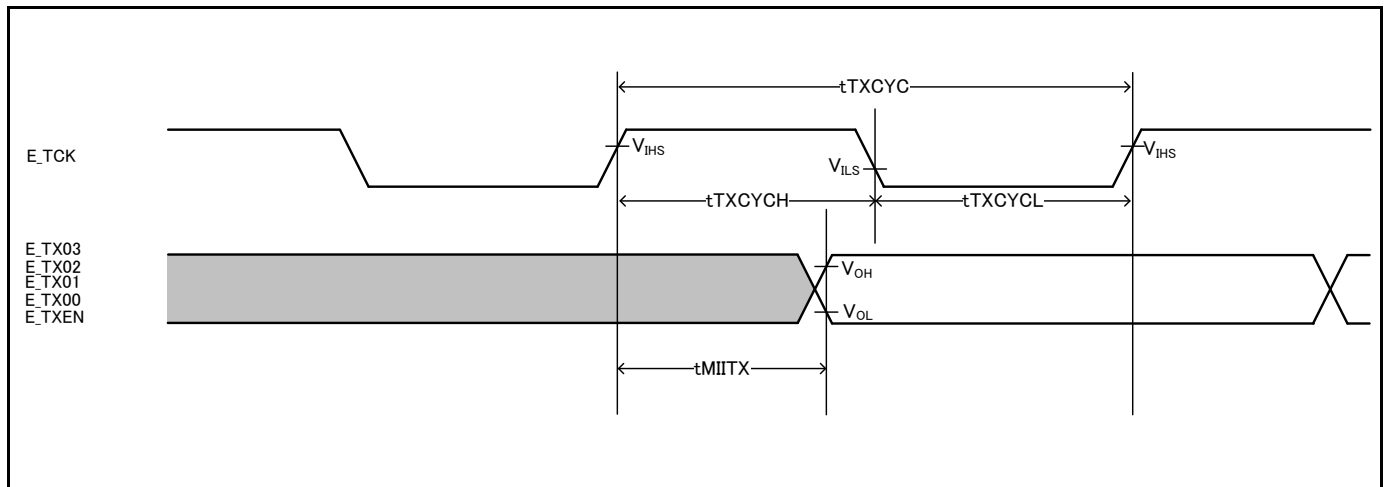
MII 送信 (100Mbps/10Mbps)

(ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V^{*1}, V_{SS} = 0V, C_L = 25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
送信クロック サイクルタイム*2	t _{TXCYC}	E_TCK	100Mbps 標準 40ns	-	-	ns
			100Mbps 標準 400ns	-	-	ns
送信クロック H 高パルス幅率	t _{TXCYCH}	E_TCK	t _{TXCYCH} /t _{TXCYC}	35	65	%
送信クロック L パルス幅率	t _{TXCYCL}	E_TCK	t _{TXCYCL} /t _{TXCYC}	35	65	%
TXCK ↑ → 送信データ遅延時間	t _{MIITX}	E_TX03、E_TX02、 E_TX01、E_TX00、 E_TXEN	-	-	24	ns

*1: ETHV = 4.5V~5.5V 動作時は出力電流を抑えるために、出力端子に直列抵抗を接続することを推奨します。

*2: MII 規格で送信クロックは 25MHz または 2.5MHz に固定されています。クロックの精度は接続する PHY デバイスの規格を満たしてください。



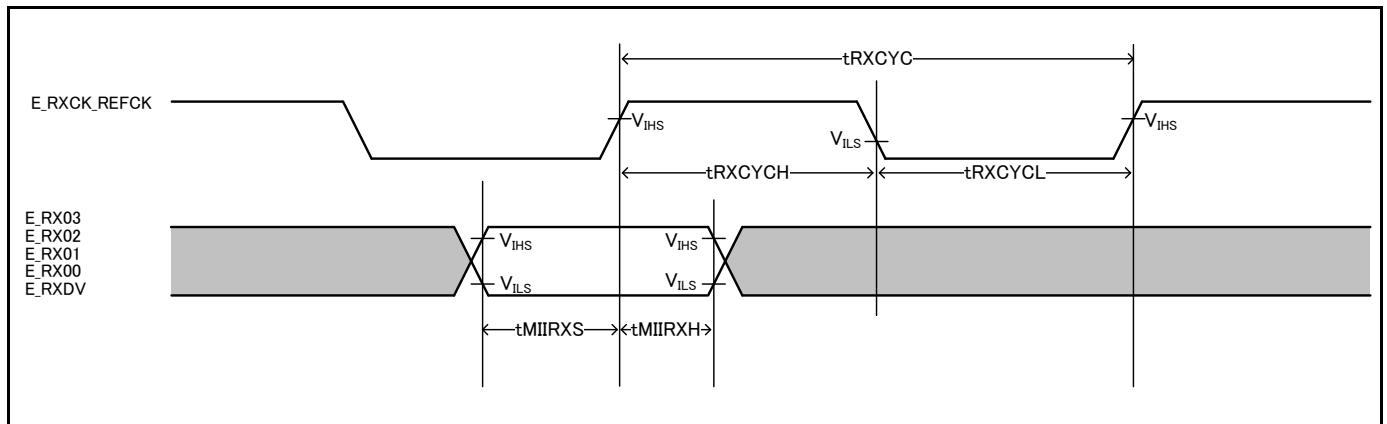
MII 受信 (100Mbps/10Mbps)

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L = 25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
受信クロック サイクル タイム*	t _{RXCYC}	E_RXCK_REFCK	100Mbps 標準 40ns	-	-	ns
			100Mbps 標準 400ns	-	-	ns
受信クロック H パルス幅率	t _{RXCYPH}	E_RXCK_REFCK	t _{RXCYPH} /t _{RXCYC}	35	65	%
受信クロック L パルス幅率	t _{RXCYCL}	E_RXCK_REFCK	t _{RXCYCL} /t _{RXCYC}	35	65	%
受信データ → REFCK ↑セットアップ時間	t _{MIIRXS}	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	-	5	-	ns
REFCK ↑ → 受信データのホールド時間	t _{MIIRXH}	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	-	2	-	ns

*: MII 規格で受信クロックは 100Mbps で 25MHz、10Mbps で 2.5MHz に固定されています。

クロックの精度は接続する PHY デバイスの規格を満たしてください。



12.4.20 I²S タイミング (マルチファンクションシリアルインタフェース)

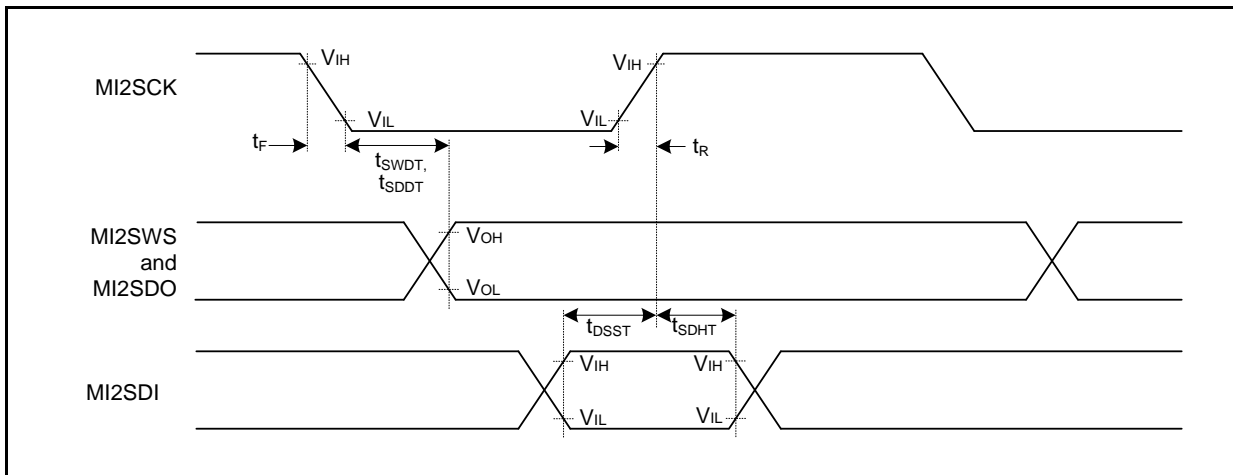
(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
I ² SCK 最大周波数 (*1)	f _{I2SCK}	MI2SCKx	-	-	6.144	MHz	
I ² S クロックサイクル時間 (*1)	t _{ICYC}	MI2SCKx	-	4 t _{CYCP2}	-	%	
I ² S クロックデューティ	Δ	MI2SCKx		45	55	%	
I ² SCK↓ → I ² SWS 遅延時間	t _{SWDT}	MI2SCKx、 MI2SWSx	-	-20	+20	ns	
I ² SCK↓ → I ² SDO 遅延時間	t _{SDDT}	MI2SCKx、 MI2SDOx	-	-20	+20	ns	
I ² SDI → I ² SCK ↑セットアップ時間	t _{DSST}	MI2SCKx、MI2SDIx	-	36	-	ns	
I ² SCK ↑ → I ² SDI ホールド時間	t _{SDHT}		-	0	-	ns	
I ² SCK 立下り時間	t _F	MI2SCKx	-	-	5	ns	
I ² SCK 立上り時間	t _R		-	-	5	ns	

*1: I²S クロックは PCLK (t_{ICYC}) を分周して、f_{I2SCK} より低い周波数にする必要があります。

<注意事項>

- 詳細は、「FM4 Peripheral Manual Communication Macro Part (002-04856)」の第 1-6 章「I²S (Inter-IC Sound bus) Interface」をご参照ください。



12.5 12ビット A/D コンバータ

A/D コンバータ電気的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	ビット	
積分直線性誤差	-	-	-	-	± 4.5	LSB	AVRH = 2.7V ~ 5.5V。 オフセットキャリブレーション機能使用時
微分直線性誤差	-	-	-	-	± 2.5	LSB	
ゼロトランジション電圧	V _{ZT}	ANxx	-	± 2	± 7	LSB	
フルスケールトランジション電圧	V _{FST}	ANxx	-	AVRH ± 2	AVRH ± 7	LSB	
総合誤差	-	-	-	± 3	± 8	LSB	
変換時間	-	-	0.5 ^{*1}	-	-	μs	AV _{CC} $\geq 4.5V$
サンプリング時間 ^{*2}	t _s	-	0.15	-	10	μs	AV _{CC} $\geq 4.5V$
			0.3	-			AV _{CC} < 4.5V
コンペアクロック周期 ^{*3}	t _{CCK}	-	25	-	1000	ns	AV _{CC} $\geq 4.5V$
			50	-	1000		AV _{CC} < 4.5V
動作許可状態遷移時間	t _{STT}	-	-	-	1.0	μs	
電源電流 (アナログ+デジタル)	-	AV _{CC}	-	0.69	0.92	mA	A/D 1 unit 動作時
			-	1.3	22	μA	A/D 停止時
基準電源電流 (AVRH)	-	AVRH	-	1.1	1.97	mA	A/D 1 unit 動作時 AVRH = 5.5V
			-	0.3	6.3	μA	A/D 停止時
アナログ入力容量	C _{AIN}	-	-	-	12.05	pF	
アナログ入力抵抗	R _{AIN}	-	-	-	1.2	k Ω	AV _{CC} $\geq 4.5V$
					1.8		AV _{CC} < 4.5V
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	AV _{SS}	-	AVRH	V	
			AV _{SS}	-	AV _{CC}	V	
基準電圧	-	AVRH	4.5	-	AV _{CC}	V	T _{cck} < 50ns
			2.7	-	AV _{CC}		T _{cck} $\geq 50ns$
	-	AVRL	AV _{SS}	-	AV _{SS}	V	

*1: 変換時間はサンプリング時間 (t_s) + コンペア時間 (t_c) の値です。

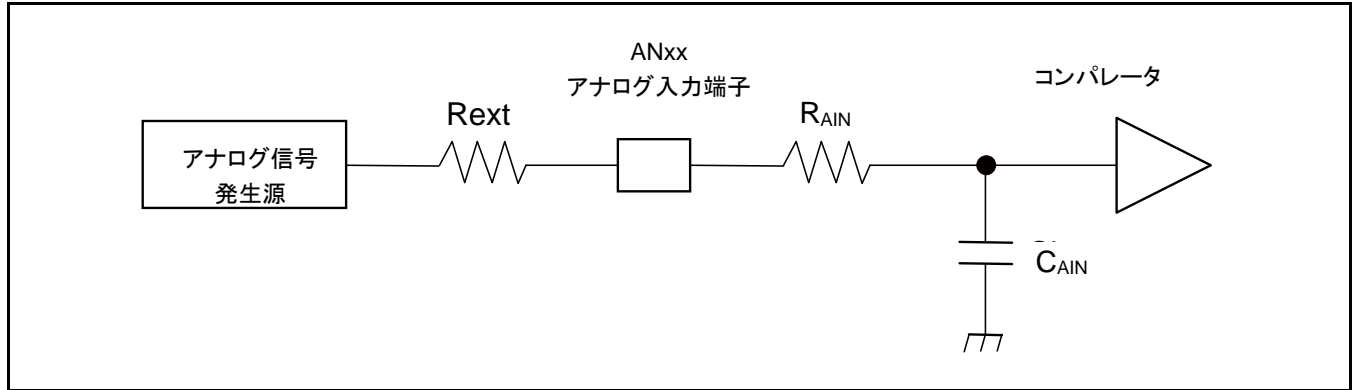
最小変換時間の条件は、サンプリング時間: 150ns、コンペア時間: 350ns (AV_{CC} $\geq 4.5V$) の値です。必ずサンプリング時間 (t_s)、コンペアクロック周期 (t_{CCK}) の規格を満足するようにしてください。

サンプリング時間、コンペアクロック周期の設定については、「FM4 Family Peripheral Manual Analog Macro Part (002-04860)」の第 1-1 章「A/D Converter」をご参照ください。A/D コンバータのレジスタ設定は APB バスクロックのタイミングで反映されます。A/D コンバータが接続されている APB バス番号については 1.S6E2G シリーズ ブロックダイアグラムをご参照ください。

サンプリングクロックおよびコンペアクロックはベースクロック (HCLK) にて生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。必ず (式 1) を満たすようにサンプリング時間を設定してください。

*3: コンペア時間 (t_c) は (式 2) の値です。



(式 1) $t_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

t_s : サンプルング時間

R_{AIN} : A/D コンバータの入力抵抗 = 1.2k Ω 、4.5V \leq AV_{CC} \leq 5.5V の場合

A/D コンバータの入力抵抗 = 1.8k Ω 、2.7V \leq AV_{CC} < 4.5V の場合

C_{AIN} : A/D コンバータの入力容量 = 12.05pF、2.7V \leq AV_{CC} \leq 5.5V の場合

R_{ext} : 外部回路の出力インピーダンス

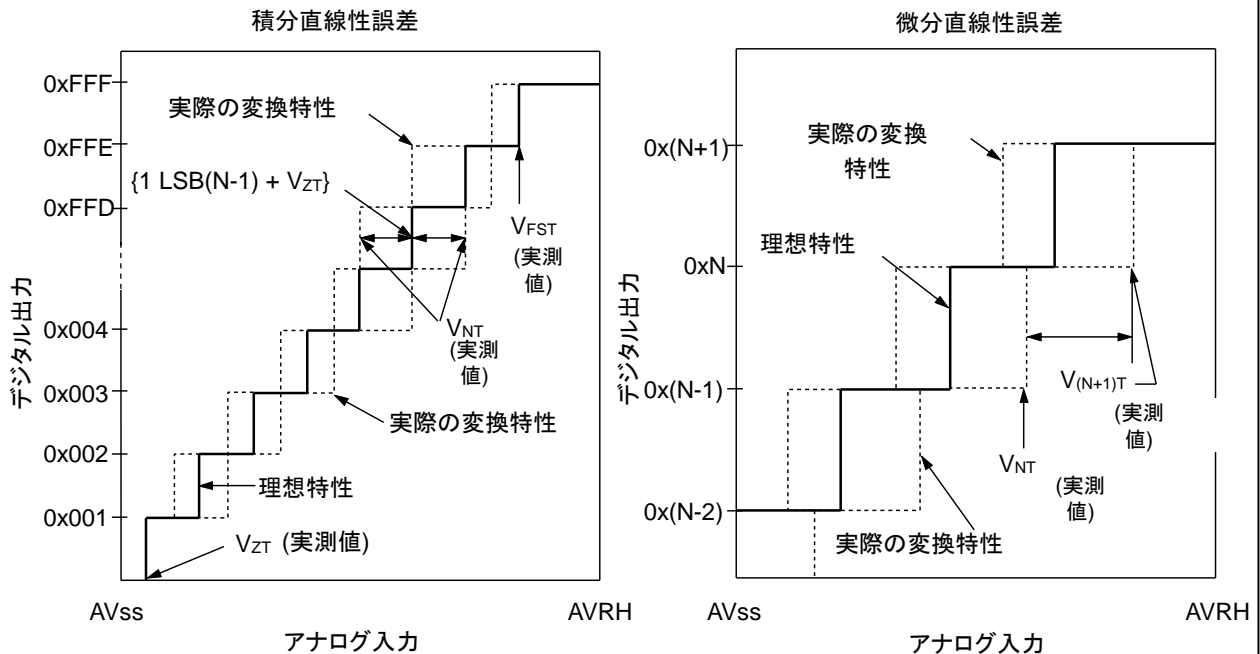
(式 2) $t_c = t_{CCK} \times 14$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12ビット A/D コンバータの用語定義

- 分解能: A/D コンバータにより識別可能なアナログ変化。
- 積分直線性誤差: ゼロランジション点 (0b000000000000 ←→ 0b000000000001) とフルスケールランジション点 (0b111111111110 ←→ 0b111111111111) を結んだ直線と実際の変換特性との偏差。
- 微分直線性誤差: 出力コードを 1 LSB 変化させるのに必要な入力電圧の理想値からの偏差。



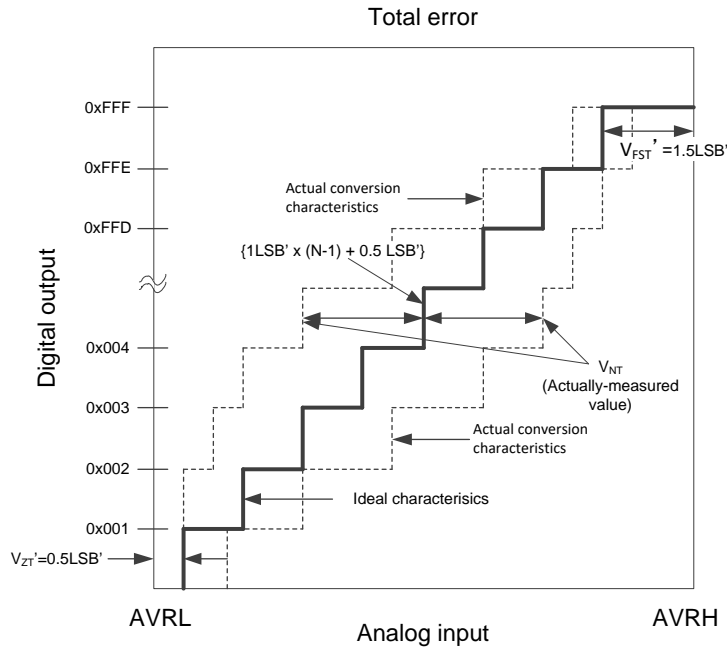
$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{デジタル出力 } N \text{ の微分非直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータデジタル出力値
 V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
 V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
 V_{NT}: デジタル出力が 0x(N - 1)から 0xN に遷移する電圧

- 総合誤差: 実際の値と理論値との差。
 総合誤差はゼロランジション電圧／フルスケールランジション電圧／直線性誤差を含む誤差。



$$\text{Total error of digital output } N = \frac{V_{NT} - \{1 \text{ LSB}' \times (N-1) + 0.5 \text{ LSB}'\}}{1 \text{ LSB}'} \quad [\text{LSB}]$$

$$1 \text{ LSB}' \text{ (ideal value)} = \frac{AVRH - AVRL}{4096} \quad [\text{V}]$$

$$V_{ZT}' \text{ (ideal value)} = AVRL + 0.5 \text{ LSB}' \quad [\text{V}]$$

$$V_{FST}' \text{ (ideal value)} = AVRH - 1.5 \text{ LSB}' \quad [\text{V}]$$

V_{NT}' : A voltage for causing transition of digital output from (N-1) to N

12.6 USB 特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $USBV_{CC0} = USBV_{CC1} = 3.0V \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$)

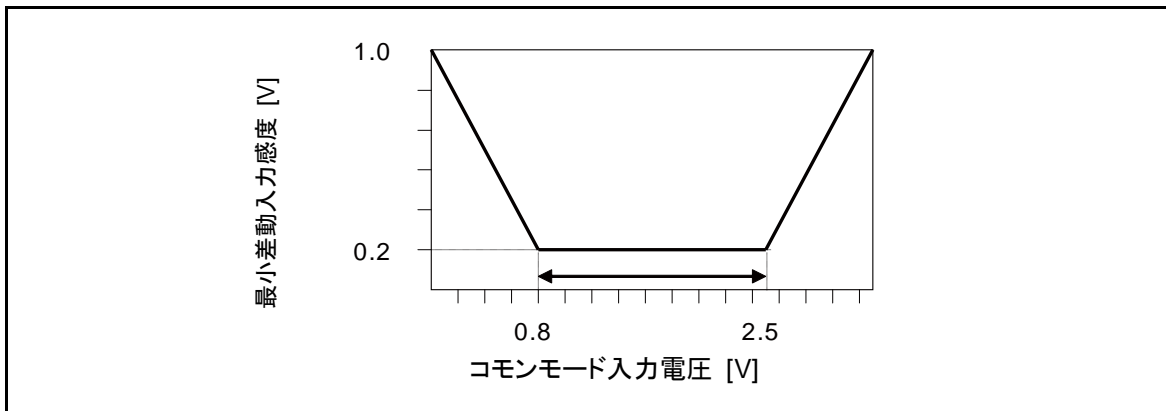
項目		記号	端子名	条件	規格値		単位	備考
					最小	最大		
入力特性	入力 H レベル電圧	V_{IH}	UDP0/ UDM0、 UDP1/ UDM1	-	2.0	$USBV_{CC} + 0.3$	V	*1
	入力 L レベル電圧	V_{IL}		-	$V_{SS} - 0.3$	0.8	V	*1
	差動入力感度	V_{DI}		-	0.2	-	V	*2
	差動コモンモードレンジ	V_{CM}		-	0.8	2.5	V	*2
出力特性	出力 H レベル電圧	V_{OH}		外部プルダウン抵抗 = 15k Ω	2.8	3.6	V	*3
	出力 L レベル電圧	V_{OL}		外部プルアップ抵抗 = 1.5k Ω	0.0	0.3	V	*3
	クロスオーバー電圧	V_{CRS}		-	1.3	2.0	V	*4
	立上り時間	t_{FR}		Full-Speed	4	20	ns	*5
	立下り時間	t_{FF}		Full-Speed	4	20	ns	*5
	立上り／立下り時間マッチング	t_{FRFM}		Full-Speed	90	111.11	%	*5
	出力インピーダンス	Z_{DRV}		Full-Speed	28	44	Ω	*6
	立上り時間	t_{LR}		Low-Speed	75	300	ns	*7
	立下り時間	t_{LF}		Low-Speed	75	300	ns	*7
	立上り／立下り時間マッチング	t_{LRFM}		Low-Speed	80	125	%	*7

*1: USB I/O バッファの Single-End-Receiver のスイッチング・スレッショルド電圧は「 $V_{IL}(\text{Max}) = 0.8V$ 」～「 $V_{IH}(\text{Min}) = 2.0V$ 」(TTL 入力標準)の範囲内で設定されています。

また、ノイズ感度を低下させるために、ヒステリシス特性を持たせています。

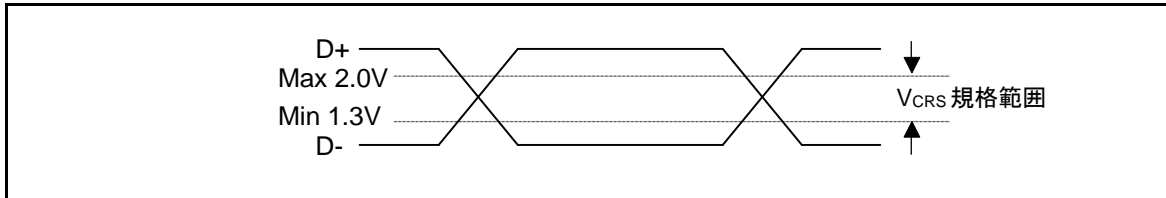
*2: USB 差動データ信号の受信には、Differential-Receiver を使用します。Differential-Receiver は、差動データ入力ローカルグランドリファレンスレベルに対し、0.8V～2.5V の範囲内にあるときは、200mV の差動入力感度があります。

上記の電圧範囲はコモンモード入力電圧範囲とされています。

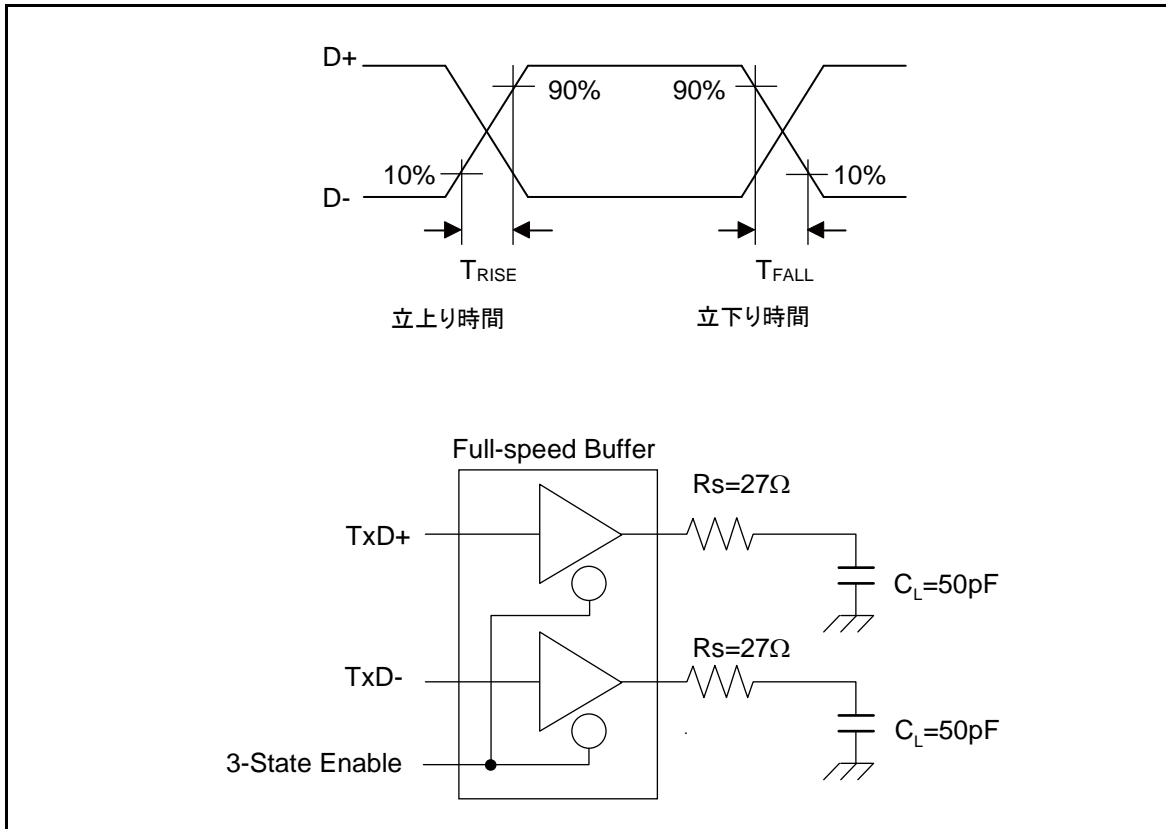


*3: ドライバの出力駆動能力は、Low-state (V_{OL}) で 0.3V 以下 (対 3.6V、1.5k Ω 負荷)、および High-state (V_{OH}) で 2.8V 以上 (対 VSS、1.5k Ω 負荷) です。

*4: USB I/O バッファの外部差動出力信号 (D+/D-) のクロス電圧は 1.3V~2.0V の範囲内にあります。



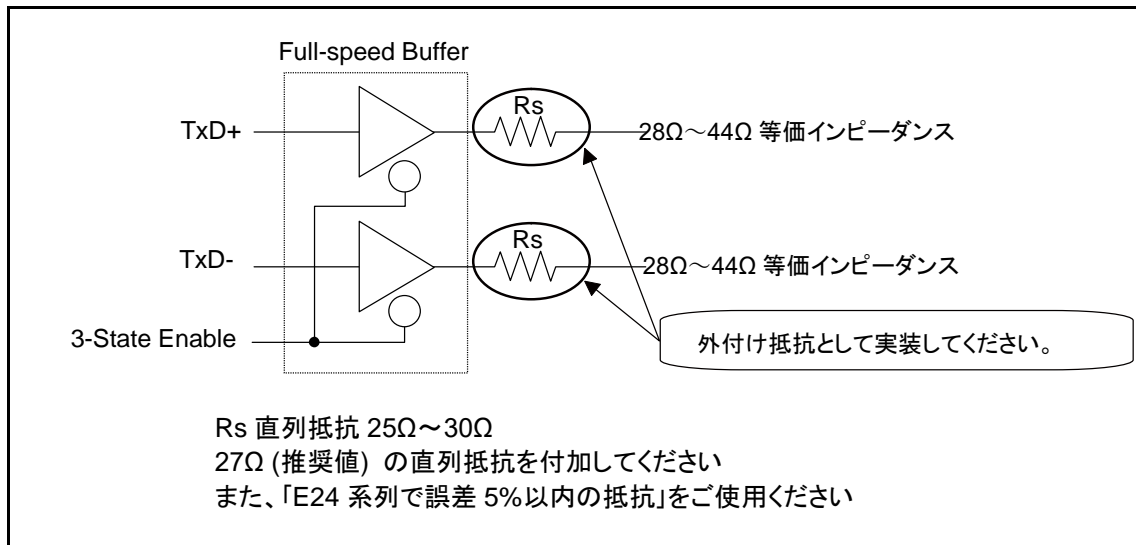
*5: Full-Speed 差動データ信号の立上り時間 (t_{RISE}) と立下り時間 (t_{FALL}) 規定です。
 出力信号電圧の 10%~90%間の時間で定義されます。
 Full-speed Buffer に関しては、 t_R/t_F は RFI 放射を最小にするために $\pm 10\%$ 以内と規定されています。



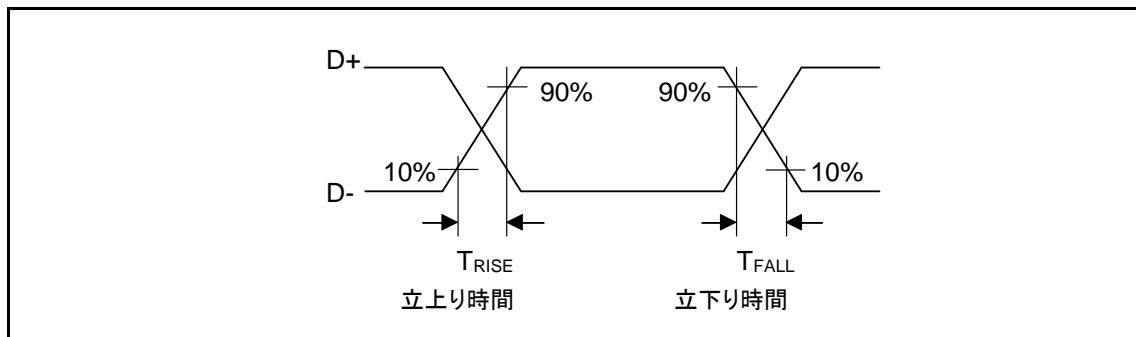
*6: USB Full-speed 接続は $90\Omega \pm 15\%$ の特性インピーダンス (Differential Mode) で、シールドされたツイストペアケーブルを介して行われます。

USB 規格は、USB Driver の出力インピーダンスは $28\Omega \sim 44\Omega$ の範囲内になければならないことを規定しており、上記の規定を満足し、バランスをとるために、ディスクリット直列抵抗 (R_s) を付加することを規定しています。

本 USB I/O をご使用の際には、直列抵抗 R_s として $25\Omega \sim 30\Omega$ (推奨値 27Ω) を付加してご使用ください。

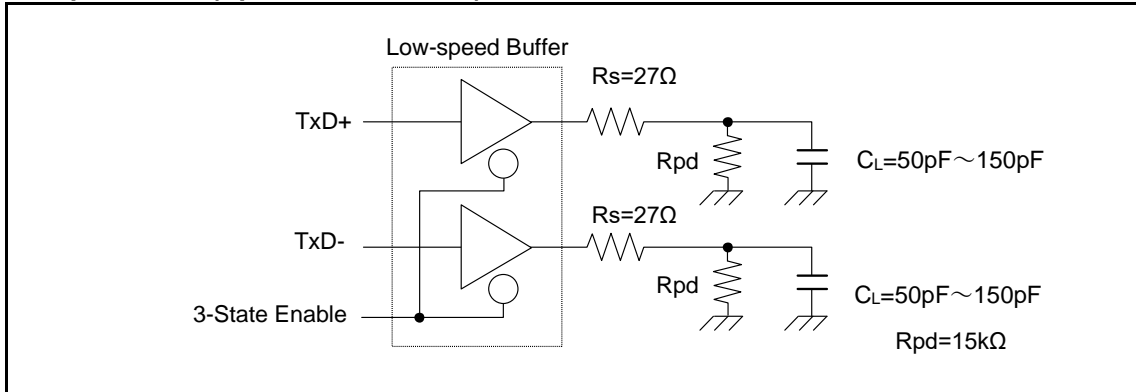
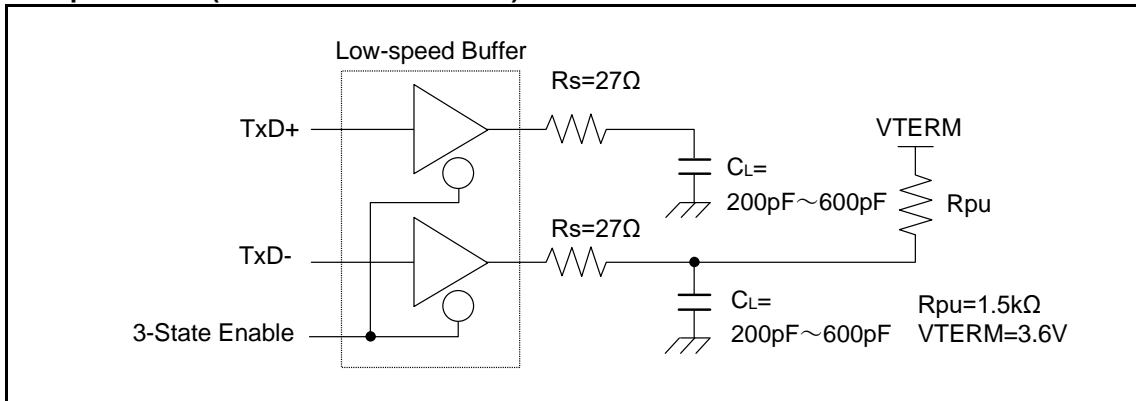
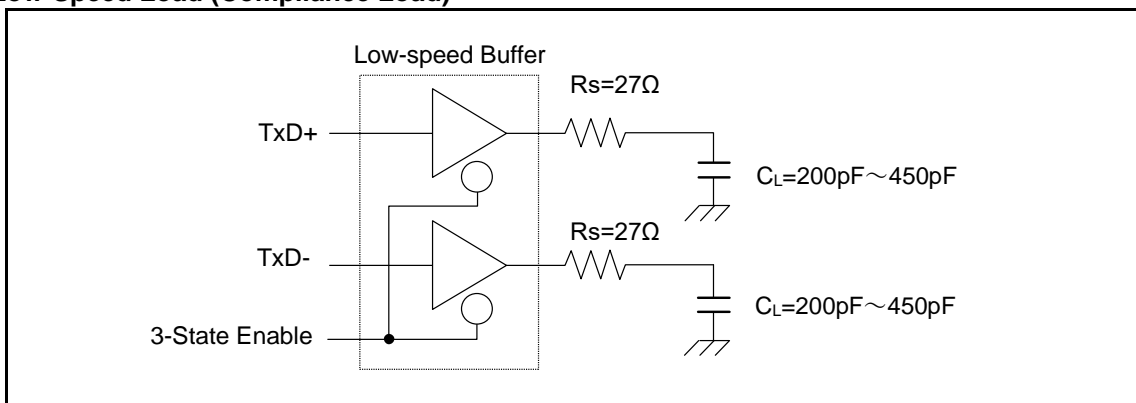


*7: Low-Speed 差動データ信号の立上り時間 (t_{RISE}) と立下り時間 (t_{FALL}) 規定です。
 出力信号電圧の 10%~90% 間の時間で定義されます。



<注意事項>

- 外部負荷条件は Low-Speed Load (Compliance Load) をご参照ください。

Low-Speed Load (Upstream Port Load) - リファレンス 1

Low-Speed Load (Downstream Port Load) - リファレンス 2

Low-Speed Load (Compliance Load)


12.7 低電圧検出特性

12.7.1 低電圧検出リセット

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.46	2.55	2.64	V	電圧降下時
解除電圧	VDH	-	2.51	2.60	2.69	V	電圧上昇時

12.7.2 低電圧検出割込み

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00111	2.80	2.90	3.00	V	電圧降下時
解除電圧	VDH		2.90	3.00	3.11	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.99	3.10	3.21	V	電圧降下時
解除電圧	VDH		3.09	3.20	3.31	V	電圧上昇時
検出電圧	VDL	SVHI = 01100	3.18	3.30	3.42	V	電圧降下時
解除電圧	VDH		3.28	3.40	3.52	V	電圧上昇時
検出電圧	VDL	SVHI = 01111	3.67	3.80	3.93	V	電圧降下時
解除電圧	VDH		3.76	3.90	4.04	V	電圧上昇時
検出電圧	VDL	SVHI = 01110	3.76	3.90	4.04	V	電圧降下時
解除電圧	VDH		3.86	4.00	4.14	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	4.05	4.20	4.35	V	電圧降下時
解除電圧	VDH		4.15	4.30	4.45	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	4.15	4.30	4.45	V	電圧降下時
解除電圧	VDH		4.25	4.40	4.55	V	電圧上昇時
検出電圧	VDL	SVHI = 11000	4.25	4.40	4.55	V	電圧降下時
解除電圧	VDH		4.34	4.50	4.66	V	電圧上昇時
LVD 安定待ち時間	tLVDW	-	-	-	6000×tCYP*	μs	

*: tCYP は APB2 バスクロックのサイクル時間です。

12.8 メインフラッシュメモリ書き込み／消去特性

(V_{CC} = 2.7V~5.5V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large sector	-	0.7	3.7	s	内部での消去前書き込み時間を含む
	Small sector	-	0.3	1.1	s	
ハーフワード (16ビット) 書き込み時間	書き込みサイクル ≤ 100 回	-	12	100	μs	システムレベルのオーバヘッド時間は除く
	書き込みサイクル < 100 回			200		
チップ消去時間*		-	13.6	68	s	内部での消去前書き込み時間を含む

*: 1MB メインフラッシュメモリのチップ消去時間になります。

1.5MB/2MB のメインフラッシュメモリ搭載品はチップ消去は 2 回必要となります。

詳細は本製品のフラッシュプログラミングマニュアルの 3.2.2「コマンド動作説明」および 3.3.3「フラッシュ消去動作」をご参照ください。

書き込みサイクルとデータ保持時間

消去／書き込みサイクル(cycle)	データ保持時間 (年)
1,000	20*
10,000	10*
100,000	5*

*: 信頼性評価結果からの換算値です (アレニウスの式を使用し、高温加速試験結果を平均温度+85°C へ換算しています)。

12.9 スタンバイ復帰時間

12.9.1 復帰要因: 割込み/WKUP

復帰要因受付からプログラム動作開始までの時間を示します。

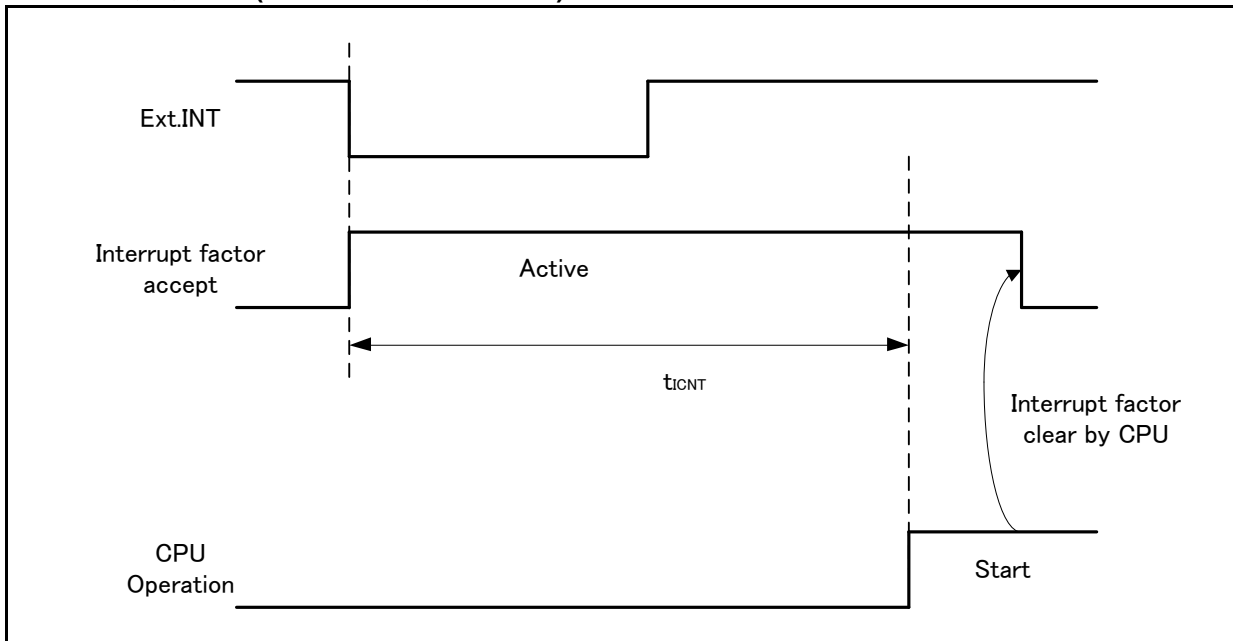
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

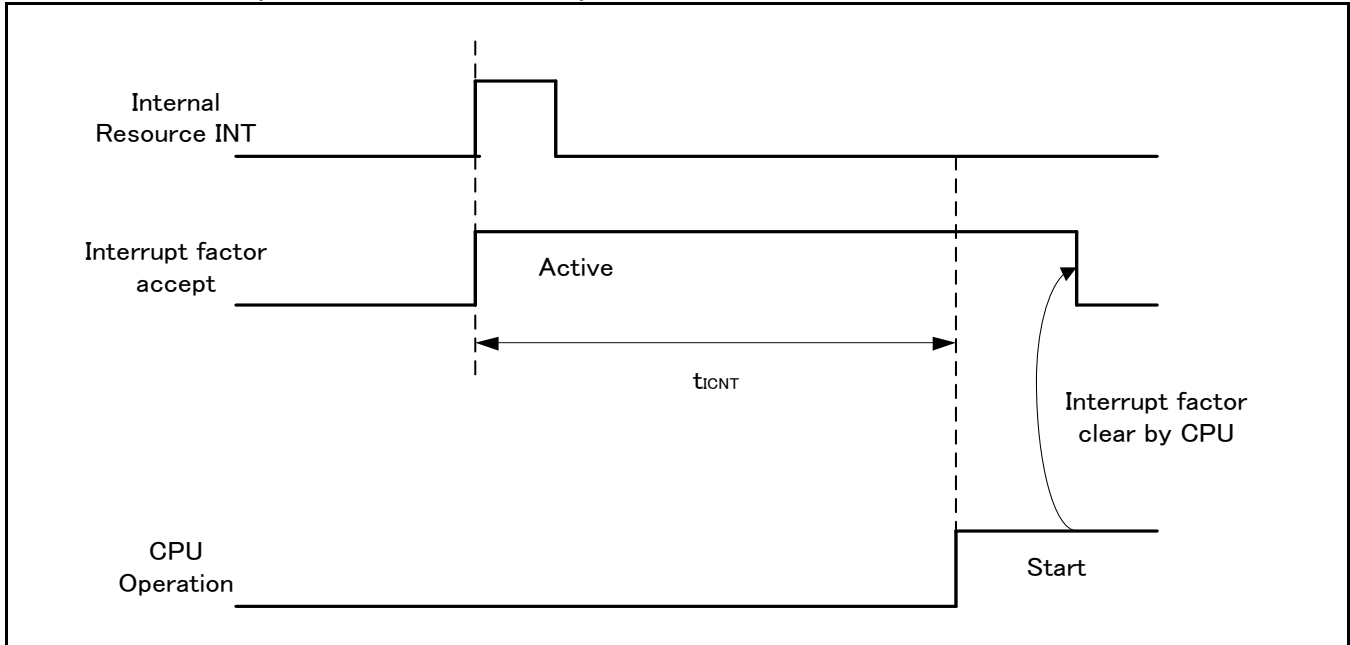
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{ICNT}	HCLKx1		μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	μs	
低速 CR タイマモード		450	900	μs	
サブタイマモード		896	1136	μs	
RTC モード ストップモード (高速 CR/メイン/PLL ランモード復帰)		316	581	μs	
RTC モード ストップモード (低速 CR/サブランモード復帰)		270	540	μs	
ディープスタンバイ RTC モード、RAM 保持あり		365	667	μs	RAM 保持なし
ディープスタンバイストップモード、RAM 保持あり		365	667	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例 (外部割込み復帰モード時*)



*: 外部割込みは立下りエッジ検出設定時。

スタンバイ復帰動作例 (内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は、低消費電力モードごとに異なります。「FM4 Family Peripheral Manual Main Part (002-04856)」の第6章「Low Power Consumption mode and Operations of Standby modes」をご参照ください。
- 割込み復帰時、CPU が復帰する動作モードは消費電力モード遷移前の状態に依存します。「FM4 Family Peripheral Manual Main Part (002-04856)」の第6章「低消費電力モード」をご参照ください。

12.9.2 復帰要因: リセット

リセット解除からプログラム動作開始までの時間を示します。

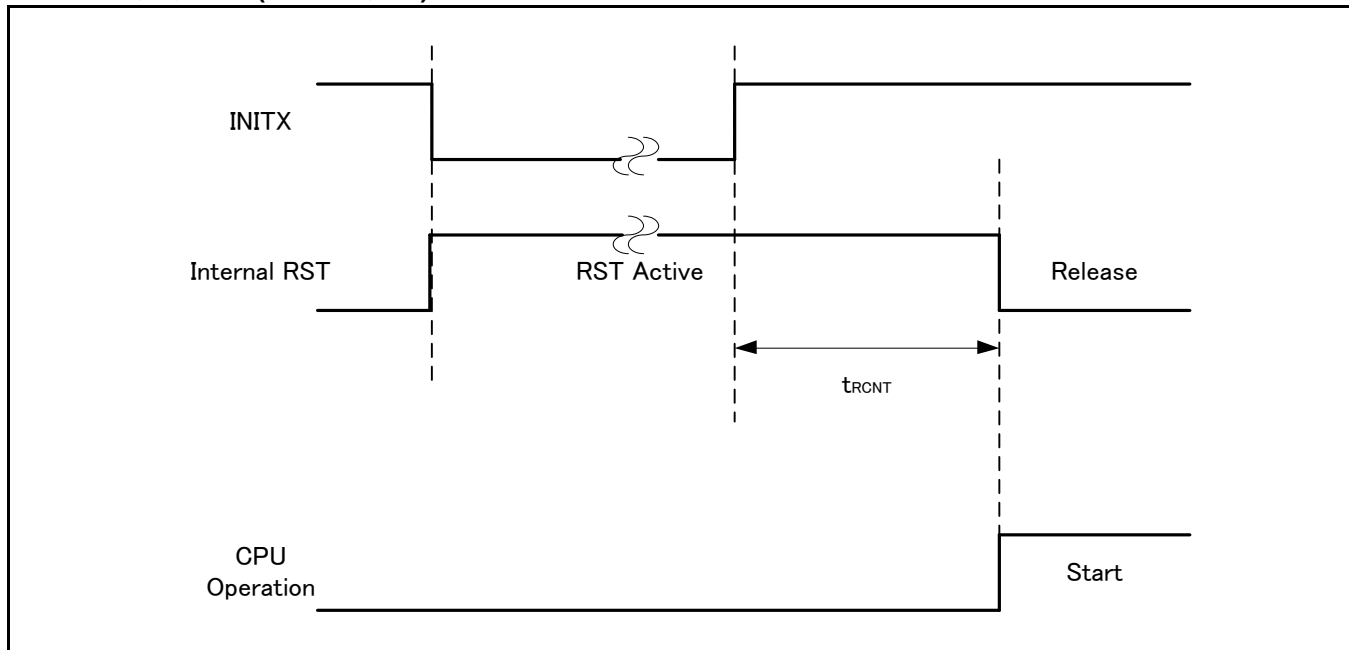
復帰カウント時間

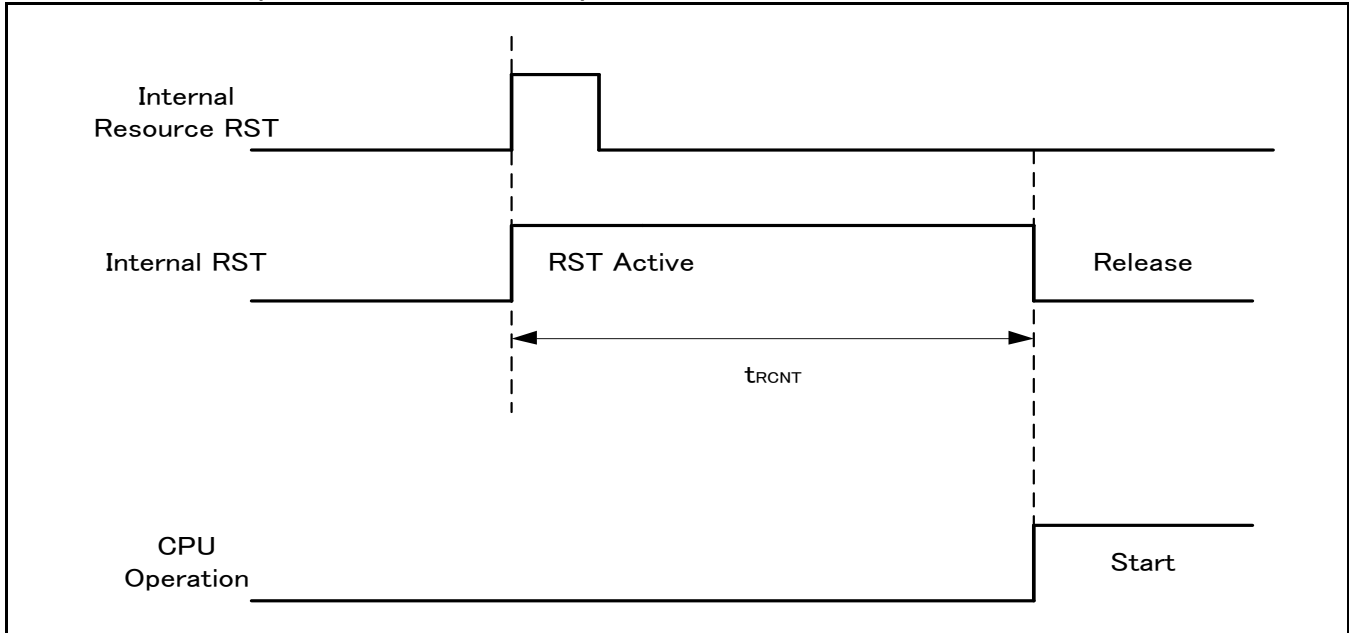
($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{RCNT}	155	266	μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		155	266	μs	
低速 CR タイマモード		315	567	μs	
サブタイマモード		315	567	μs	
RTC モード ストップモード		315	567	μs	
ディープスタンバイ RTC モード、RAM 保持		336	667	μs	RAM 保持なし
ディープスタンバイストップモード、RAM 保持		336	667	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例 (INITX 復帰時)



スタンバイ復帰動作例 (内部リソースリセット復帰時*)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰原因に含まれません。

<注意事項>

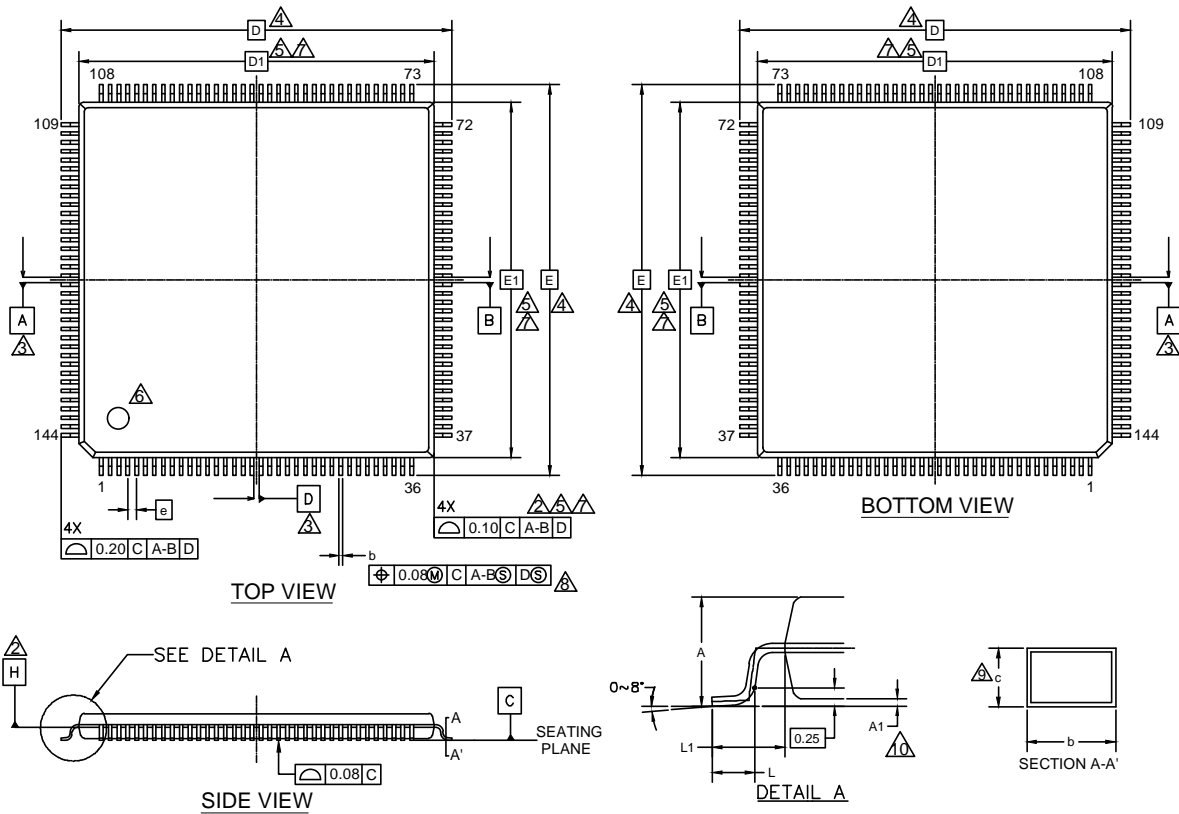
- 復帰要因は、低消費電力モードごとに異なります。
「FM4 Family Peripheral Manual Main Part (002-04856)」の第6章「低消費電力モード」のスタンバイモード動作説明をご参照ください。
- 割込み復帰時、CPU が復帰する動作モードは消費電力モード遷移前の状態に依存します。「FM4 Family Peripheral Manual Main Part (002-04856)」の第6章「低消費電力モード」をご参照ください。
- パワーオンリセット／低電圧検出リセット時は復帰要因には含まれません。「12.4.8 パワーオンリセットタイミング」をご参照ください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。メインクロックおよび PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間やメイン PLL クロックの発振安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット、CSV リセットを指します。

13. オーダ型格

Part Number	Flash	RAM	CAN	Ethernet	SD カード	Package
S6E2GM6H0AGV2000A	512KB	128KB	✓	✓	✓	プラスチック LQFP (0.5mm pitch)、 144 pin (LQS144)
S6E2GM8H0AGV2000A	1MB	192KB	✓	✓	✓	
S6E2GM6J0AGV2000A	512KB	128KB	✓	✓	✓	プラスチック LQFP (0.5mm pitch)、 176 pin (LQP176)
S6E2GM8J0AGV2000A	1MB	192KB	✓	✓	✓	
S6E2GK6H0AGV2000A	512KB	128KB		✓	✓	プラスチック LQFP (0.5mm pitch)、 144 pin (LQS144)
S6E2GK8H0AGV2000A	1MB	192KB		✓	✓	
S6E2GK6J0AGV2000A	512KB	128KB		✓	✓	プラスチック LQFP (0.5mm pitch)、 176 pin (LQP176)
S6E2GK8J0AGV2000A	1MB	192KB		✓	✓	
S6E2GH6H0AGV2000A	512KB	128KB	✓		✓	プラスチック LQFP (0.5mm pitch)、 144 pin (LQS144)
S6E2GH8H0AGV2000A	1MB	192KB	✓		✓	
S6E2GH6J0AGV2000A	512KB	128KB	✓		✓	プラスチック LQFP (0.5mm pitch)、 176 pin (LQP176)
S6E2GH8J0AGV2000A	1MB	192KB	✓		✓	
S6E2G36H0AGV2000A	512KB	128KB				プラスチック LQFP (0.5mm pitch)、 144 pin (LQS144)
S6E2G38H0AGV2000A	1MB	192KB				
S6E2G36J0AGV2000A	512KB	128KB				プラスチック LQFP (0.5mm pitch)、 176 pin (LQP176)
S6E2G38J0AGV2000A	1MB	192KB				
S6E2G26H0AGV2000A	512KB	128KB		✓		プラスチック LQFP (0.5mm pitch)、 144 pin (LQS144)
S6E2G28H0AGV2000A	1 MB	192KB		✓		
S6E2G26J0AGV2000A	512KB	128KB		✓		プラスチック LQFP (0.5mm pitch)、 176 pin (LQP176)
S6E2G28J0AGV2000A	1MB	192KB		✓		

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 144	LQS144



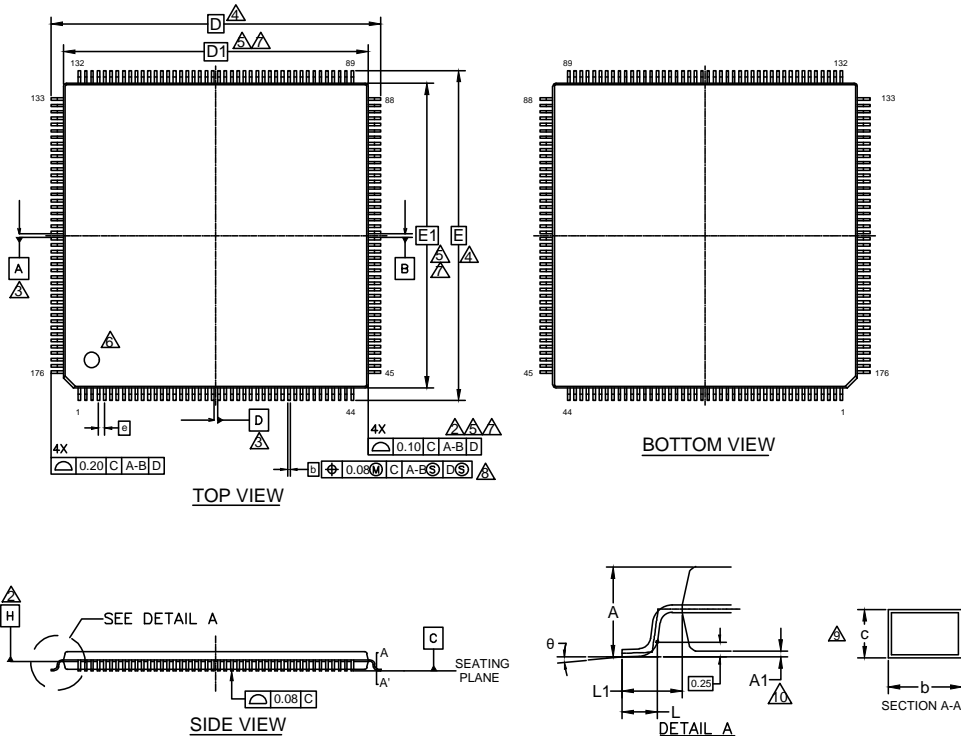
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	22.00 BSC		
D1	20.00 BSC		
e	0.50 BSC		
E	22.00 BSC		
E1	20.00 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13015 *B

Package Type	Package Code
LQFP 176	LQP176



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	26.00 BSC		
D1	24.00 BSC		
e	0.50 BSC		
E	26.00 BSC		
E1	24.00 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	—	8°

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15150 *A

改訂履歴
文書名: S6E2G シリーズ 32 ビット Arm® Cortex®-M4F、FM4 マイクロコントローラ
文書番号: 001-99416

版	ECN	発行日	変更内容
**	4881311	08/12/2015	New Spec. (これは英語版の 001-98708 Rev.** を翻訳した日本語版です。)
*A	4945369	11/19/2015	<p>Preliminary から Final に変更。 4 端子機能一覧を更新: J-TAG 端子についての"注意事項"を追加。 12.2 を更新: "平滑コンデンサ容量(CS)"を追加。 "動作時最大リーク電流"の"電流値"を追加。 12.3.1 を更新: Table 12-1 ~ 12-9 を更新: "最大値"を追加。 Table 12-11 を更新: 12.5 を更新: "ゼロトランジション" と"フルスケールトランジション"の値を更新。 "総合誤差"</p>
*B	5323550	07/15/2016	これは英語版 001-98708 Rev. *B を翻訳した日本語版 001-99416 Rev. *B です。
*C	5450737	04/12/2017	<p>これは英語版の 001-98708 Rev.*C を翻訳した日本語版です。 Cypress ロゴを新しいものに差替え "4.製品の特徴 電源"にて電源数の誤記を修正(5->4)(11 ページ) "12.4.8 パワーオンリセットタイミング"にて、電源立上り項目、規格を以下の様に変更。 また、備考、および<注意事項>としてコメントを追記(106 ページ) 修正前)電源立上がり時間(t_{VCCR})[ms]: 0(最小), -(最大) 修正後)電源立上り速度(dV/dt)[mV/μs]: 0.6(最小), 1000(最大) "12.4.12 CSIO(SPI)タイミング"のタイトルから SPI=1, MS=0 の記述を削除し、図中に MS=0, 1 の記述を追加。全部で 8 箇所(127-134,143-150 ページ) "12.4.12 CSIO(SPI)タイミング"の高速同期シリアルのパレートを削除(135-141 ページ) "4.製品の特徴 リアルタイムクロック(RTC:Real Time Clock)"のカウント年数を 00~に修正。割込み機能の指定条件から「秒/曜日」を削除(10 ページ) "14. パッケージ・外形寸法図"を更新(185 ページ) "13. オーダ型格"(183 ページ)から次の型格を削除 S6E2G26H0AGV20000, S6E2G26HHAGV20000, S6E2G26J0AGV20000, S6E2G26JHAGV20000, S6E2G28H0AGV20000, S6E2G28HHAGV20000, S6E2G28J0AGV20000, S6E2G28JHAGV20000, S6E2G36H0AGV20000, S6E2G36J0AGV20000, S6E2G38H0AGV20000, S6E2G38J0AGV20000, S6E2GH6H0AGV20000, S6E2GH6J0AGV20000, S6E2GH8H0AGV20000, S6E2GH8J0AGV20000, S6E2GK6H0AGV20000, S6E2GK6HHAGV20000, S6E2GK6J0AGV20000, S6E2GK6JHAGV20000, S6E2GK8H0AGV20000, S6E2GK8HHAGV20000, S6E2GK8J0AGV20000, S6E2GK8JHAGV20000, S6E2GM6H0AGV20000, S6E2GM6HHAGV20000, S6E2GM6J0AGV20000,</p>

版	ECN	発行日	変更内容
			<p>S6E2GM6JHAGV20000, S6E2GM8H0AGV20000, S6E2GM8HHAGV20000, S6E2GM8J0AGV20000, S6E2GM8JHAGV20000</p> <p>“13.オーダ型格”(183 ページ)に次の型格を追加</p> <p>S6E2G26H0AGV2000A, S6E2G26HHAGV2000A, S6E2G26J0AGV2000A, S6E2G26JHAGV2000A, S6E2G28H0AGV2000A, S6E2G28HHAGV2000A, S6E2G28J0AGV2000A, S6E2G28JHAGV2000A, S6E2G36H0AGV2000A, S6E2G36J0AGV2000A, S6E2G38H0AGV2000A, S6E2G38J0AGV2000A, S6E2GH6H0AGV2000A, S6E2GH6J0AGV2000A, S6E2GH8H0AGV2000A, S6E2GH8J0AGV2000A, S6E2GK6H0AGV2000A, S6E2GK6HHAGV2000A, S6E2GK6J0AGV2000A, S6E2GK6JHAGV2000A, S6E2GK8H0AGV2000A, S6E2GK8HHAGV2000A, S6E2GK8J0AGV2000A, S6E2GK8JHAGV2000A, S6E2GM6H0AGV2000A, S6E2GM6HHAGV2000A, S6E2GM6J0AGV2000A, S6E2GM6JHAGV2000A, S6E2GM8H0AGV2000A, S6E2GM8HHAGV2000A, S6E2GM8J0AGV2000A, S6E2GM8JHAGV2000A</p> <p>“2. 品種構成”の内蔵 CR の表記を修正(6 ページ)</p>
*D	7500325	12/09/2021	これは英語版 001-98708 Rev. *F を翻訳した日本語版 001-99416 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers cypress.com/arm

車載用 cypress.com/automotive

クロック&バッファ cypress.com/clocks

インターフェース cypress.com/interface

IoT (モノのインターネット) cypress.com/iot

メモリ cypress.com/memory

マイクロコントローラ cypress.com/mcu

PSoC cypress.com/psoc

電源用 IC cypress.com/pmic

タッチセンシング cypress.com/touch

USB コントローラー cypress.com/usb

ワイヤレス cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2015-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリ形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害 (総称して、以下「セキュリティ違反」という。) がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループット・デバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループット・デバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループット・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループット・デバイスのあらゆる構成部分をいう。Cypress 製品をハイスループット・デバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress (その関連会社を含む)、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループット・デバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループット・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループット・デバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループット・デバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress, Cypress のロゴ及びこれらの組み合わせ、PSoC, CapSense, EZ-USB, F-RAM, Traveo, WICED, 及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。