



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。



S6E2G 系列

32 位 Arm® Cortex®-M4F
FM4 微控制器

S6E2G 系列属于 FM4 器件，它包含频率高达 180 MHz 的 CPU、1 MB 闪存、192 KB SRAM、20 个通信外设、33 个数字外设以及 3 个模拟外设。这些产品定位于工业自动化和计量应用。

S6E2G 系列产品是高度集成的 32 位微控制器，具有高性能和低成本优势。该系列微控制器基于 Arm® Cortex®-M4F 处理器、集成片上闪存和 SRAM。此外，它还集成马达控制定时器，模数转换器和通信接口(USB, CAN, UART, CSIO(SPI), I²C, LIN)等各种外设。本数据手册所介绍的产品归类于“FM4 系列外设手册主要部分(002-04856)”中指明的 TYPE5-M4 产品类别。

特性

- 32 位 Arm Cortex-M4F 内核
 - 工作频率高达 180 MHz
- 片上存储器
 - 闪存存储器：容量高达 1024 KB
 - SRAM 存储器：
 - SRAM0：高达 128 KB
 - SRAM1：32 KB
 - SRAM2：32 KB
- 8 通道的直接存储器访问 (DMA) 控制器
- 描述符系统数据传输控制器 (DSTC)：256 个通道
- 外部总线接口
- USB 接口 (最多支持两个通道)：主机和器件
- CAN 接口 (最多支持一个通道)：仅适用于 S6E2GM 和 S6E2GH 器件
- 多功能串行接口 (最多支持 10 个通道)
 - UART (通用异步接收器/发送器)
 - CSIO/SPI (时钟同步串行接口)
 - LIN (局部互连网络)
 - I²C (集成电路互连总线)
 - I²S (集成电路互连音频总线)
- 基础定时器 (最多 16 个通道)
- 通用 I/O 端口
 - 144 引脚封装提供多达 121 个高速通用 I/O 端口
 - 176 引脚封装提供多达 153 个高速通用 I/O 端口
- 多功能定时器 (最多两个单元)
- 实时时钟 (RTC)
- 模数转换器 (ADC) (最多 32 个通道)
- 双定时器 (32/16 位递减计数器)
- 正交位置/转数计数器 (QPRC；最多 2 个通道)
- 看守计数器
- 外部中断控制器单元
- 看门狗定时器 (双通道)
- 循环冗余校验 (CRC) 加速器
- SD 卡接口：仅适用于 S6E2GM、S6E2GH 和 S6E2GK 器件
- Ethernet-MAC：仅适用于 S6E2GM、S6E2GK 和 S6E2G2 器件
- 智能卡接口 (最多两通道)
- 5 个时钟源
- 6 个复位源
- 时钟监控 (CSV)
- 低电压检测 (LVD)
- 6 个低功耗模式
 - 睡眠
 - 定时器
 - RTC
 - 停止
 - 深度待机 RTC
 - 深度待机停止
- 外设时钟门控系统
- 调试
 - 串行线 JTAG 调试端口 (SWJ-DP)
 - 嵌入式 Trace 宏单元 (ETM) 支持全面高效的调试和跟踪操作。
 - AHB Trace 宏单元 (HTM)
- 41 位设备唯一号
- 宽电压范围：VCC = 2.7 到 5.5 V

赛普拉斯 FM4 MCU 的生态系统

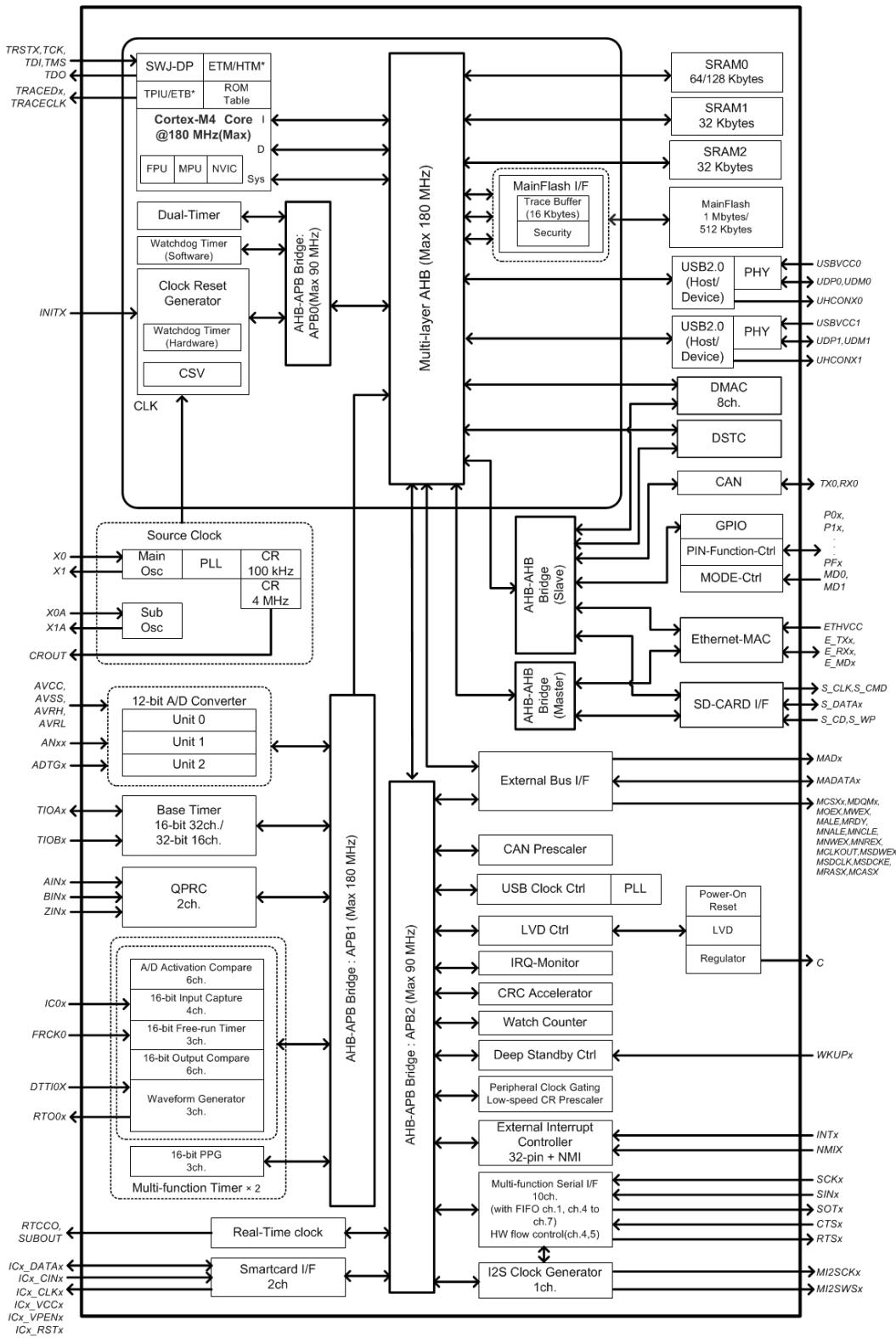
在赛普拉斯网站 www.cypress.com 上提供了大量数据，有助您正确选择 MCU 器件来进行设计，从而使您能够快速并有效地将器件集成到设计中。下面是 FM4 MCU 的简要列表：

- 概况：产品系列、产品蓝图
- 产品选型器：FM4 MCU
- 应用笔记：赛普拉斯提供了大量 FM4 应用笔记，包括了从基础到高级的广泛内容。下面列出的是 FM4 MCU 系列入门的应用笔记：
 - [AN204468 — FM4 I2S USB MP3 播放器应用的 32 位微控制器 FM4 系列](#)：该应用笔记描述了 I^S USB MP3 播放器软件的示例、它所包含各模块的详情以及它的使用情况。
 - [AN204471 — FM4 S6E2CC 系列外部存储器编程器](#)：该文档描述了如何将 MCU 通用编程器作为脱机编程器，编程 S6E2CC 系列 SK 板载 Quad SPI 闪存存储器。
 - [AN203277 — FM 32 位微控制器系列的硬件设计注意事项](#)：该应用笔记回顾了一些有关设计使用 FM0+、FM3 和 FM4 系列 MCU 硬件系统设计的事项。这些主题包括电源系统、复位、晶振、其它引脚连接以及编程和调试接口等内容。
 - [AN202488 — FM4 MB9BF56x 和 S6E2HG 系列 MCU — 伺服马达速度控制](#)：该文档介绍了 FM4 MCU MB9BF56x 和 S6E2HG 系列的伺服马达速度控制解决方案。
- 开发套件：
 - [FM4-U120-9B560](#)：带有 USB 和 CMSIS-DAP 的 ARM® Cortex®-M4 MCU 基础入门套件
 - [FM4-216-ETHERNET](#)：带有以太网、CAN 和 USB 主设备的 ARM® Cortex®-M4 MCU 开发套件
 - [FM4-176L-S6E2CC-ETH](#)：带有以太网和 USB 主设备的 ARM® Cortex®-M4 MCU 基础入门套件
 - [FM4-176L-S6E2GM](#)：带有以太网和 USB 主设备的 ARM® Cortex®-M4 MCU Pioneer 套件
- 外设手册

目录

1. S6E2G 系列框图	4
2. 产品系列	5
3. 与封装相关的特性	7
4. 产品详细特性	8
5. 引脚分配	12
6. 引脚说明	14
7. I/O 电路类型	51
8. 注意事项	60
8.1 产品设计注意事项	60
8.2 封装安装注意事项	61
8.3 使用环境注意事项	63
9. 器件注意事项	64
10. 存储器映射	67
11. 各 CPU 模式下的引脚状态	71
12. 电气特性	80
12.1 最大绝对额定值	80
12.2 推荐工作条件	82
12.3 直流特性	87
12.3.1 电流额定值	87
12.3.2 引脚特性	97
12.4 交流特性	99
12.4.1 主时钟输入特性	99
12.4.2 副时钟输入特性	100
12.4.3 内置 CR 振荡特性	100
12.4.4 主 PLL 模式（主时钟作为 PLL 输入时钟）	101
12.4.5 USB/Ethernet PLL 工作条件（主时钟作为 PLL 输入时钟）	101
12.4.6 主 PLL 模式（内置高速 CR 时钟作为主 PLL 输入时钟）	102
12.4.7 复位输入特性	102
12.4.8 上电复位时序	103
12.4.9 GPIO 输出特性	103
12.4.10 外部总线时序	104
12.4.11 基础定时器输入时序	115
12.4.12 CSIO (SPI) 时序	116
12.4.13 外部输入时序	149
12.4.14 正交位置/转数计数器时序	150
12.4.15 I ² C 时序	153
12.4.16 SD 卡接口时序	155
12.4.17 ETM/ HTM 时序	157
12.4.18 JTAG 时序	158
12.4.19 Ethernet-MAC 时序	159
12.4.20 I ² S 时序（多功能串行接口）	164
12.5 12 位模数转换器	165
12.6 USB 特性	169
12.7 低电压检测特性	173
12.7.1 低电压检测复位	173
12.7.2 低电压检测的中断	173
12.8 MainFlash 存储器写入/擦除特性	174
12.9 待机恢复时间	175
12.9.1 恢复原因: 中断/WKUP	175
12.9.2 恢复源: 复位	177
13. 订购信息	179
14. 封装尺寸	180
文档修订记录	182
销售、解决方案以及法律信息	183

1. S6E2G 系列框图



2. 产品系列

存储器容量

存储器类型		产品名称	
		S6E2GM6 S6E2GK6 S6E2GH6 S6E2G36 S6E2G26	S6E2GM8 S6E2GK8 S6E2GH8 S6E2G38 S6E2G28
片上闪存存储器		512 KB	1024 KB
片上	SRAM	128 KB	192 KB
	SRAM0	64 KB	128 KB
	SRAM1	32 KB	32 KB
	SRAM2	32 KB	32 KB

器件功能可用性

描述		产品名称						
		S6E2GM6 S6E2GM8	S6E2GK6 S6E2GK8	S6E2GH6 S6E2GH8	S6E2G36 S6E2G38	S6E2G26 S6E2G28		
CPU		Cortex-M4F、MPU、NVIC 128 个通道						
	频率	180 MHz						
供电电压范围		2.7 V 到 5.5 V						
USB 2.0 (接口/主设备)		2 个通道						
Ethernet-MAC		一个通道 (最多) MII: 一个通道/ RMII: 一个通道 (最多)	N/A		一个通道 (最多) MII: 一个通道/ RMII: 一个通道 (最 多)			
CAN		一个通道 (最 多)	N/A	一个通道 (最多)	N/A			
SD 卡接口		1 个单元			N/A			
DMAC		8 通道						
DSTC		256 个通道						
外部总线接口		地址线: 25 位 (最多), 数据线: 8/16 位 CS: 9 个 (最多), SRAM, NOR 闪存 NAND 闪存 SDRAM						
多功能串行接口 (UART/CSIO (SPI) /LIN/I ² C/I ² S)		10 个通道 (最多) 通道 1、通道 4 到通道 7: FIFO,						

描述	产品名称							
	S6E2GM6 S6E2GM8	S6E2GK6 S6E2GK8	S6E2GH6 S6E2GH8	S6E2G36 S6E2G38	S6E2G26 S6E2G28			
	通道 0、通道 2、通道 3、通道 8 到通道 15: 无 FIFO 通道 1: I ² S							
基础定时器 (PWC/重载定时器 /PWM/PPG)	16 个通道 (最多)							
多 功 能 定 时 器	模数触发 比较	6 个通道	两个单元 (最多)					
	输入捕获	4 个通道						
	自由运行 定时器	3 个通道						
	输出比较	6 个通道						
	波形发生 器	3 个通道						
	PPG	3 个通道						
智能卡 (ISO7816)	两个通道 (最多)							
QPRC	两个通道 (最多)							
双定时器	1 个单元							
实时时钟	1 个单元							
计时计数器	1 个单元							
CRC 加速器	有 (固定)							
看门狗定时器	1 个通道 (SW) + 1 个通道 (HW)							
外部中断	32 个引脚 (最多) + NMI × 1							
CSV (时钟监控)	有							
低电压检测 (LVD)	2 个通道							
内置 CR	高速	4 MHz						
	低速	100 kHz						
调试功能		SWJ-DP/ETM/HTM						
唯一识别号		有						

注意:

- 由于封装引脚有限, 因此并不是器件的所有功能都可以引出到外部引脚。您必须仔细考虑设计中的引脚分配情况。根据所需功能, 使用 I/O 端口的重定位功能进行配置。
- 请参考第 12.4.3 节. 内置 CR 振荡特性, 了解内置 CR 的精度。

3. 与封装相关的特性

所有 S6E2G 系列产品均适用于 144 引脚 LQFP 和 176 引脚 LQFP 封装。

描述	基本部件编号 S6E2G	
	封装字母 H0A	封装字母 J0A
LQFP: (间距为 0.5 mm)	144 个引脚	176 个引脚
I/O 端口	121 个引脚 (最多)	153 个引脚 (最多)
12 位模数转换器	24 个通道 (3 个单元)	32 个通道 (三个单元)

注意:

- 欲了解详细的器件型号列表和它们之间的特性差异, 请参考 13. 订购信息。
- 请参考 14. 封装尺寸, 了解详细信息。

4. 产品详细特性

32 位 ARM Cortex-M4F 内核

- 工作频率高达 180 MHz
- 内置 FPU
- 支持 DSP 指令
- 内存保护单元 (MPU): 提升嵌入式系统可靠性
- 集成的嵌套向量中断控制器 (NVIC): 1 个 NMI (不可屏蔽中断)、128 个外设中断以及 16 个优先级
- 24 位的系统定时器 (Sys Tick): 用于 OS 任务调度的系统定时器

片上存储器

- 闪存存储器
该产品系列集成了片上闪存存储器。

- 多达 1024 KB 的闪存
 - 内置的零等待状态闪存加速器
 - 代码安全保护功能

■ SRAM

本产品系列 SRAM 由三个独立的 SRAM (SRAM0、SRAM1 和 SRAM2) 构成。SRAM0 挂接到 Cortex-M4F 内核的 I-code 总线和 D-code 总线。SRAM1 和 SRAM2 挂接到 Cortex-M4F 内核的系统总线。

- SRAM0: 多达 128 KB
 - SRAM1: 32 KB
 - SRAM2: 32 KB

外部总线接口

- 支持 SRAM、NOR、NAND 闪存和 SDRAM 器件
- 多达 9 个片选 CS0 到 CS8 (其中 CS8 只适用于 SDRAM)
- 数据宽度为 8/16/32 位
- 多达 25 位的地址总线
- 支持地址/数据复用
- 支持外部 RDY 功能
- 支持加扰功能
 - 可以使能/禁用 0x6000_0000 到 0xFFFF_FFFF 的外部存储区加扰功能 (大小以 4 MB 为单位)。
 - 能够设置两种加扰密钥
 - 注意: 必须调用赛普拉斯提供的软件库才能使用该功能。

USB 接口 (最多支持两个通道)

USB 接口由一个 USB 接口和一个主设备组成。

- USB 接口
 - 支持全速 USB 2.0
 - 最多支持 6 个端点
 - 端点 0 用于传输控制信息
 - 端点 1 和 2 用于批量传输、中断传输或等时传输
 - 端点 3 到 5 用于批量传输或中断传输

- 端点 1 到 5 由双缓冲区构成
- 各个端点的容量分别为:
 - 端点 0 和端点 2 到 5: 64 个字节
 - 端点 1: 256 个字节

■ USB 主设备

- 支持全速/低速 USB 2.0
- 支持批量传输、中断传输和等时传输
- 自动检测 USB 从设备的连接/断开
- IN/OUT 令牌时自动处理握手数据包
- 最大数据包长度为 256 个字节
- 支持唤醒功能

CAN 接口 (最多支持一个通道): 仅适用于 S6E2GM 和 S6E2GH 器件

- 符合 CAN 规范 2.0A/B
- 最高传输速率: 1 Mbps
- 内置 32 个消息缓冲区

多功能串行接口 (最多支持 10 个通道)

- 通道 1 和通道 4 到 7 均有独立的 64 字节发送接收 FIFO 缓冲区。
- 各通道的操作模式如下:
 - UART
 - CSIO (SPI)
 - LIN
 - I2C
 - I2S
- UART
 - 全双工双缓冲区
 - 可选择是否支持奇偶校验
 - 内置专用波特率生成器
 - 外部时钟可以作为串行时钟
 - 支持多种错误检测 (奇偶校验检测、帧错误检测和溢出错误检测)
- CSIO (SPI)
 - 全双工双缓冲区
 - 内置专用波特率生成器
 - 支持溢出错误检测
 - 支持串行片选功能 (只适用于通道 6 和 7)
 - 支持高速 SPI 接口 (只适用于通道 4 和 6)
 - 数据长度为 5 到 16 位
- LIN
 - 支持 LIN 协议版本 2.1
 - 全双工双缓冲区
 - 支持主设备/从设备模式

- LIN 间隔场生成（长度为 13 到 16 位）
- LIN 间隔符生成（长度为 1 到 4 位）
- 支持多种错误检测（奇偶校验检测、帧错误检测和溢出错误检测）
- I²C
 - 支持标准模式（最高速度为 100 kbps）/快速模式（最高速度为 400 kbps）
 - 支持增强式快速模式（Fm+）（最高速度为 1000 kbps，只适用于通道 3 = 通道 A 和通道 7 = 通道 B）
- I²S
 - 通道 1 CSIO（SPI）模式和 I²S 时钟发生器
 - 支持 I²S 和 MSB 对齐两种协议
 - 仅支持主设备模式

DMA 控制器（八个通道）

DMA 控制器使用独立的总线，因此 CPU 和 DMA 控制器可以同时运行。

- 八个独立配置和运行的通道
- 可通过软件或通过内置外设请求触发数据传输
- 传输地址范围：32 位（4GB）
- 传输模式：块传输/突发传输/请求传输
- 传输数据类型：字节/半字/字
- 块传输次数：1 到 16
- 传输次数：1 到 65536

DSTC（描述符系统数据传输控制器；256 个通道）

DSTC 可高速传输数据而无需 CPU 干预。DSTC 采用描述符系统，根据预设在存储器中的描述符的特定内容要求，可直接访问存储器/外设器件并执行数据传输操作。

支持软件激活、硬件激活和链式激活等功能。

模数转换器（最多支持 32 个通道）

- 12 位模数转换器
 - 逐次逼近型
 - 三个内置单元
 - 转换时间：5 V 电压时为 0.5 μ s
 - 支持优先级转换（共两级优先级）
 - 扫描转换模式
 - 内置 FIFO 用于存储转换结果（用于扫描转换模式：16 次；用于优先级转换模式：4 次）

基础定时器（最多 16 个通道）

各通道的操作模式如下：

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器

- 16/32 位 PWC 定时器
- 事件计数器模式（外部时钟模式）

通用 I/O 端口

本系列产品的引脚未用作外部总线或外设功能时，可将其作为通用 I/O 端口使用；此外还支持内置端口重定位功能。可以将 I/O 端口设置为可分配的外设。

- 引脚均支持上拉控制功能
- 可直接读取引脚电平
- 支持内置的端口重定位功能
- 144 引脚封装提供了多达 121 个高速通用 I/O 端口
- 部分 I/O 引脚耐 5 V 的输入电压
请参考第 6 章. 引脚说明和第 7 章. I/O 电路类型的 I/O 电路类型。

多功能定时器（最多两个单元）

多功能定时器由如下模块构成：

最小时钟精度：5.56 ns

- 16 位自由运行定时器×3 个通道/单元
- 输入捕获×4 个通道/单元
- 输出比较×6 个通道/单元
- 模数激活比较×6 个通道/单元
- 波形生成器×3 个通道/单元
- 16 位 PPG 定时器×3 个通道/单元

通过如下功能，可实现电机控制：

- PWM 信号输出功能
- 直流斩波输出功能
- 死区控制功能
- 输入捕获功能
- 模数转换器激活功能
- DTIF（马达紧急停止）中断功能

实时时钟（RTC）

实时时钟可记录年（从 00 到 99）、月、日、时、分、秒或周中某日。

- 支持指定日期和时间（年/月/日/时/分）中断。该功能还支持单独指定的年、月、日、时或分的中断。
- 中断可在设置的一段时间后或者每间隔一段时间后产生。
- 可保持时间计数的同时重设时间。
- 支持自动计数闰年

正交位置/转数计数器（QPRC；最多 2 个通道）

正交位置/转数计数器（QPRC）用于测量位置编码器的位置。也可当递增/递减计数器使用。

- 可配置三个外部事件输入引脚（AIN、BIN 和 ZIN）的检测边沿。

- 16 位位置计数器
- 16 位转数计数器
- 2 个 16 位比较寄存器

双定时器（32/16 位递减计数器）

双定时器由两个 32/16 位可编程递减计数器构成。
各通道的操作模式如下：

- 自由运行
- 周期（= 重新加载）
- 单次触发

计时计数器

该计数器将器件从低功耗模式唤醒。可以选择主时钟、副时钟、内置高速 CR 时钟或内置低速 CR 时钟作为时钟源。

- 间隔定时器：使用 32.768 kHz 副时钟时支持长达 64 秒的间隔。

外部中断控制器单元

- 外部中断输入引脚：最多 32 个引脚
 - 双边沿（上升沿和下降沿）检测
- 包括一个不可屏蔽中断（NMI）

看门狗定时器（两个通道）

看门狗定时器溢出可产生中断或引起复位。

本产品系列有两种看门狗定时器：一个“硬件”看门狗，一个“软件”看门狗。

硬件看门狗定时器由低速内部 CR 振荡器提供时钟。因此，硬件看门狗定时器能在 RTC 模式和停止模式除外的所有低功耗模式下运行。

循环冗余校验（CRC）加速器

CRC 加速器用于验证数据传输或存储器的完整性。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 生成多项式：0x1021
- IEEE-802.3 CRC32 生成多项式：0x04C11DB7

SD 卡接口：仅适用于 S6E2GM、S6E2GH 和 S6E2GK 器件

可支持符合如下标准的 SD 卡。

- Part 1：物理层规范版本 3.01
- Part E1：SDIO 规范版本 3.00
- Part A2：SD 主机控制器标准规范版本 3.00
- 支持 1 位或 4 位数据总线

Ethernet-MAC：仅适用于 S6E2GM、S6E2GK 和 S6E2G2 器件

- 符合 IEEE802.3 规范

- 支持 10 Mbps/100 Mbps 数据传输速度
- 支持外部 PHY 器件 MII/RMII 接口。
- MII：最多一个通道
- RMII：最多一个通道
- 支持全双工和半双工模式。
- 支持网络唤醒（Wake On LAN）
- 内置的专用描述符系统 DMAC
- 内置的 2 KB 发送 FIFO 和 2 KB 接收 FIFO。
- 符合 IEEE1558-2008（PTP）规范

智能卡接口（最多两个通道）

- 符合 ISO7816-3 规范
- 仅支持读卡器/B 类卡
- 支持的接口协议
 - 发送端：8E2、8O2、8N2
 - 接收端：8E1、8O1、8N2、8N1、9N1
 - 反转模式
- 集成 TX/RX FIFO（RX：16 个字节，TX：16 个字节）

时钟和复位

- 时钟
 - 5 个动态可选时钟源（两个外部振荡器、两个内部 CR 振荡器和主 PLL 振荡器）。

- 主时钟：4 MHz 到 48 MHz
- 副时钟：30 kHz 到 100 kHz
- 高速内部 CR 时钟：4 MHz
- 低速内部 CR 时钟：100 kHz
- 主 PLL 时钟

- 复位
 - 从 INITX 引脚的复位请求
 - 上电复位
 - 软件复位
 - 看门狗定时器复位
 - 低电压检测复位
 - 时钟监控复位

时钟监控（CSV）

内部 CR 振荡器所生成的时钟被用于监控外部时钟的异常状态。

- 如果检测到外部 OSC 时钟故障（时钟停止），将产生复位。
- 如果检测到外部 OSC 频率不正常，将产生中断或复位。

低电压检测（LVD）

该系列产品对 VCC 引脚上的电压进行双重监控。当电压低于所设置的电压时，低电压检测功能将生成中断或复位。

- LVD1：错误报告中断
- LVD2：自动复位操作

低功耗模式

支持六种低功耗模式。

- 睡眠
- 定时器
- RTC
- 停止
- 深度待机 RTC (可选择是否保持 RAM)
- 深度待机停止 (可选择是否保持 RAM)

外设时钟门控

通过控制未使用外设的运行时钟，可以降低整个系统的消耗功率。

调试

- 串行线 JTAG 调试端口 (SWJ-DP)
- 嵌入式 Trace 宏单元 (ETM) 支持全面高效的调试和跟踪操作。
- AHB Trace 宏单元 (HTM)

唯一识别号

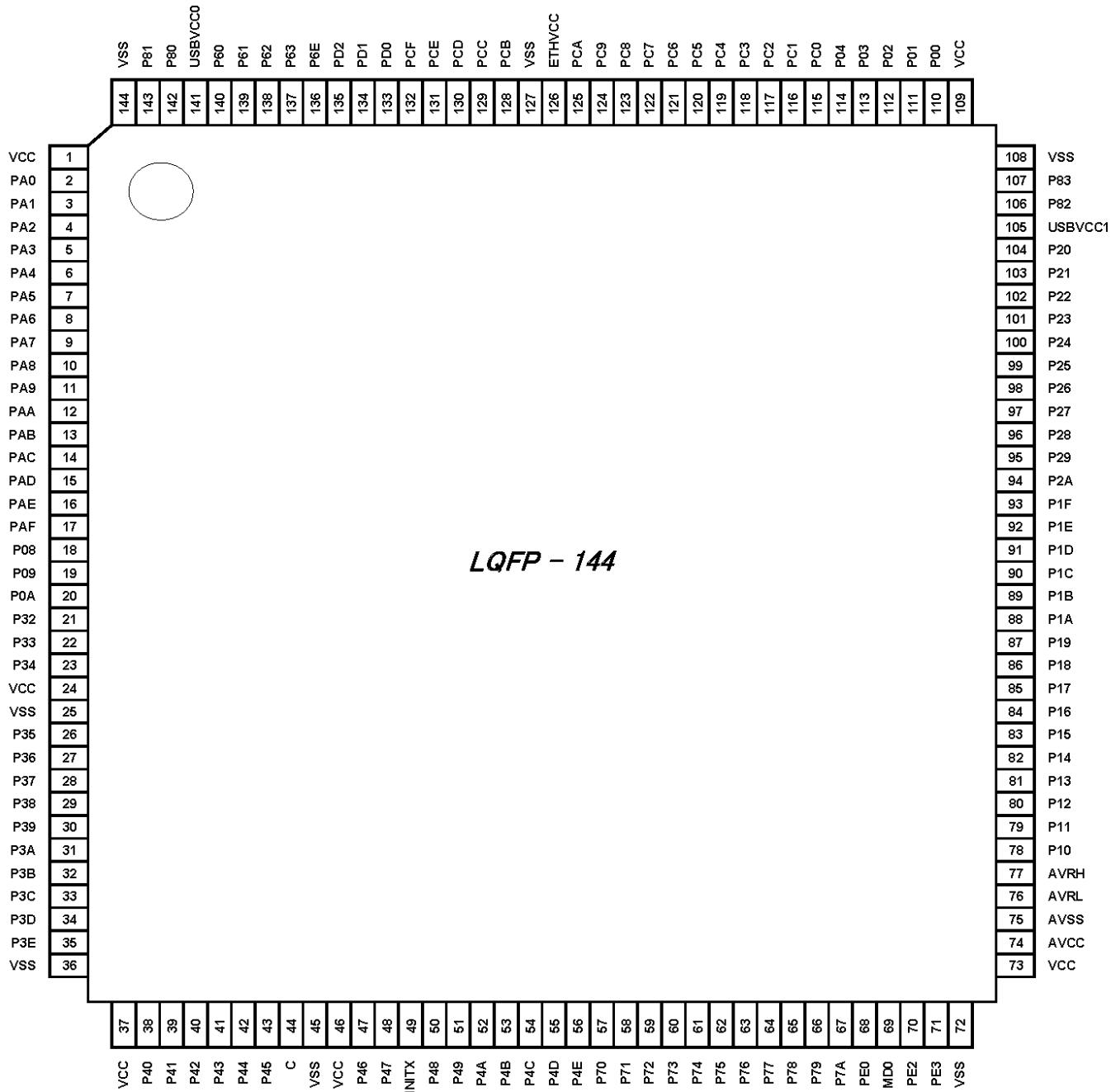
器件的唯一号 (41 位)

电源

- 支持 4 组电源
 - 宽电压范围: $V_{CC} = 2.7\text{ V}$ 到 5.5 V
 - USB 通道 0 I/O 电源: $USBVCC0$
= 3.0 V 到 3.6 V (使用 USB 时)
= 2.7 V 到 5.5 V (使用 GPIO 时)
 - USB 通道 1 I/O 电源: $USBVCC1$
= 3.0 V 到 3.6 V (使用 USB 时)
= 2.7 V 到 5.5 V (使用 GPIO 时)
 - Ethernet-MAC I/O 电源: $ETHVCC$
= 3.0 V 到 5.5 V (使用 Ethernet 时)

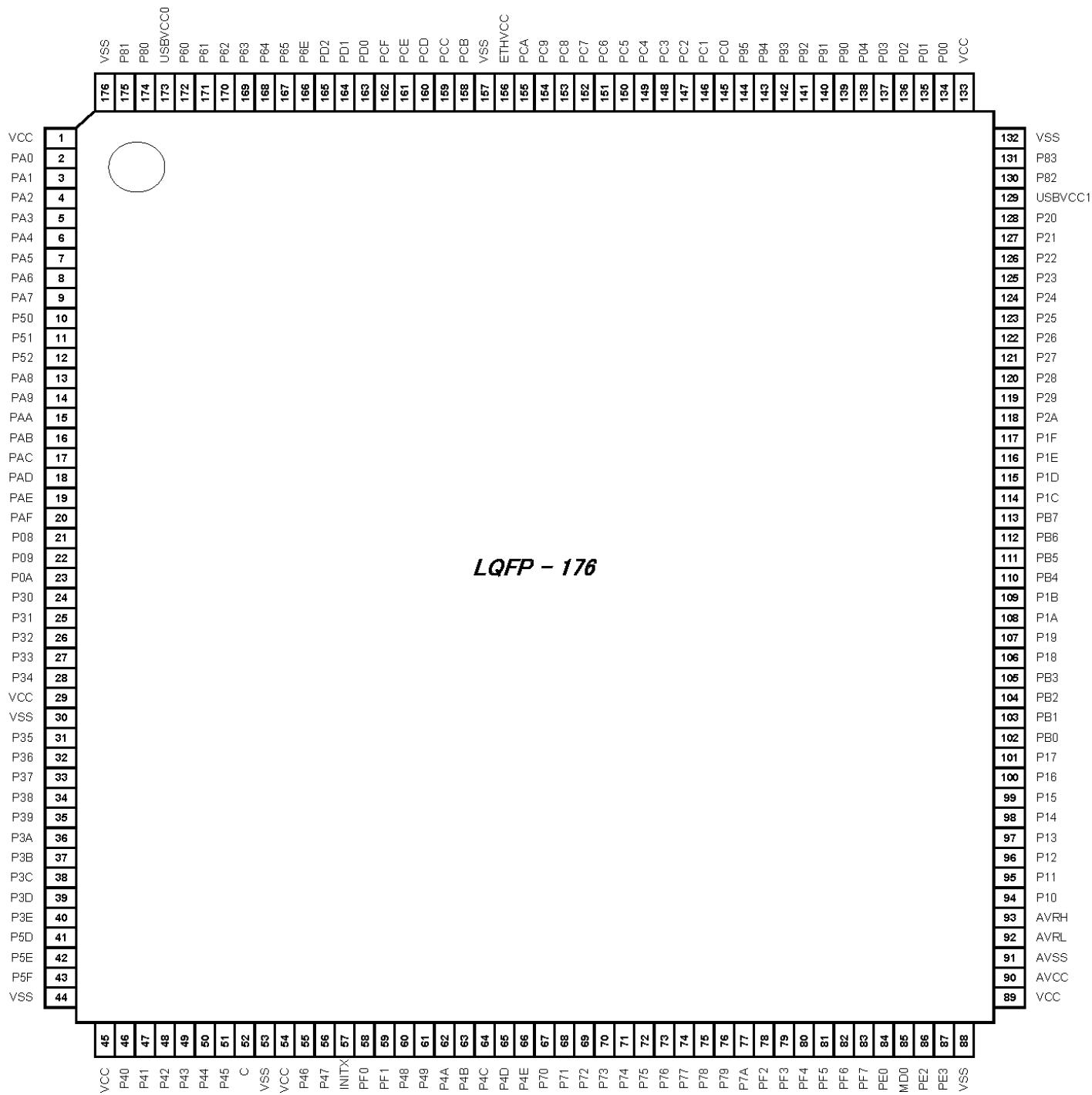
5. 引脚分配

LQS144



注意:

- 对于 GPIO 引脚, 只显示 GPIO 功能。请参考[引脚说明](#)部分中的表格, 了解全部复用信号名称。

LQP176

注意:

- 对于 GPIO 引脚, 只显示 GPIO 功能。请参考 [引脚说明](#) 部分中的表格, 了解全部复用信号名称。

6. 引脚说明

引脚功能列表

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。在此类功能引脚中，许多引脚为同一个通道提供相同的功能。

使用扩展端口功能寄存器（EPFR）来选择引脚。

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
1	1	VCC	-	-
2	2	PA0	E	K
		RTO00_1 (PPG00_1)		
		TIOA8_0		
		INT00_0		
		MADATA00_0		
		IC0_CIN_0		
3	3	PA1	E	I
		RTO01_1 (PPG01_1)		
		TIOA9_0		
		MADATA01_0		
		IC0_DATA_0		
4	4	PA2	E	I
		RTO02_1 (PPG02_1)		
		TIOA10_0		
		MADATA02_0		
		IC0_RST_0		
5	5	PA3	E	I
		RTO03_1 (PPG03_1)		
		TIOA11_0		
		MADATA03_0		
		IC0_VPEN_0		
6	6	PA4	E	I
		RTO04_1 (PPG04_1)		
		TIOA12_0		
		MADATA04_0		
		IC0_VCC_0		
7	7	PA5	E	K
		RTO05_1 (PPG05_1)		
		TIOA13_0		
		INT01_0		
		MADATA05_0		
		IC0_CLK_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
8	8	PA6	E	K
		DTTI0X_1		
		INT00_2		
		MADATA06_0		
9	9	PA7	E	K
		IC00_1		
		INT02_2		
		MADATA07_0		
		RTCCO_1		
		SUBOUT_1		
10	-	P50	E	I
		SCS72_0		
		IC01_1		
		TIOA8_2		
11	-	P51	E	I
		SCS73_0		
		IC02_1		
		TIOB8_2		
12	-	P52	E	I
		IC03_1		
		TIOA9_2		
13	10	PA8	I	Q
		SIN7_0		
		FRCK0_1		
		INT02_0		
		WKUP1		
		MADATA08_0		
14	11	PA9	N	I
		SOT7_0 (SDA7_0)		
		AIN1_1		
		MADATA09_0		
15	12	PAA	N	I
		SCK7_0 (SCL7_0)		
		BIN1_1		
		MADATA10_0		
16	13	PAB	E	K
		SCS70_0		
		ZIN1_1		
		INT03_0		
		MADATA11_0		
17	14	PAC	E	I
		SCS71_0		
		TIOB8_0		
		MADATA12_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
18	15	PAD	N	I
		SCK3_0 (SCL3_0)		
		TIOB9_0		
		MADATA13_0		
19	16	PAE	N	I
		ADTG_0		
		SOT3_0 (SDA3_0)		
		TIOB10_0		
		MADATA14_0		
20	17	PAF	I	K
		SIN3_0		
		TIOB11_0		
		INT16_0		
		MADATA15_0		
21	18	P08	E	K
		TIOB12_0		
		INT17_0		
		MDQM0_0		
22	19	P09	E	K
		TIOB13_0		
		INT18_0		
		MDQM1_0		
23	20	P0A	L	I
		ADTG_1		
		MCLKOUT_0		
24	-	P30	E	K
		MI2SWS1_1		
		RX0_1		
		TIOB11_2		
		INT01_2		
25	-	P31	E	I
		MI2SMCK1_1		
		TX0_1		
		TIOA12_2		
26	21	P32	L	K
		INT19_0		
		S_DATA1_0		
27	22	P33	L	I
		FRCK0_0		
		S_DATA0_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
28	23	P34	L	K
		IC03_0		
		INT00_1		
		S_CLK_0		
29	24	VCC	-	-
30	25	VSS	-	-
31	26	P35	L	K
		IC02_0		
		INT01_1		
		S_CMD_0		
32	27	P36	L	K
		IC01_0		
		INT02_1		
		S_DATA3_0		
33	28	P37	L	K
		IC00_0		
		INT03_1		
		S_DATA2_0		
34	29	P38	E	I
		ADTG_2		
		DTTIOX_0		
		S_WP_0		
35	30	P39	G	K
		RTO00_0 (PPG00_0)		
		TIOA0_1		
		AIN1_0		
		INT16_1		
		S_CD_0		
		MAD24_0		
36	31	P3A	G	K
		RTO01_0 (PPG01_0)		
		TIOA1_1		
		BIN1_0		
		INT17_1		
		MAD23_0		
37	32	P3B	G	K
		RTO02_0 (PPG02_0)		
		TIOA2_1		
		ZIN1_0		
		INT18_1		
		MAD22_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
38	33	P3C	G	K
		SIN2_1		
		RTO03_0 (PPG03_0)		
		TIOA3_1		
		INT19_1		
		MAD21_0		
39	34	P3D	G	I
		SOT2_1 (SDA2_1)		
		RTO04_0 (PPG04_0)		
		TIOA4_1		
		MAD20_0		
40	35	P3E	G	I
		SCK2_1 (SCL2_1)		
		RTO05_0 (PPG05_0)		
		TIOA5_1		
		MAD19_0		
41	-	P5D	E	K
		SIN1_1		
		MI2SDI1_1		
		TIOB12_2		
		INT03_2		
42	-	P5E	E	I
		SOT1_1 (SDA1_1)		
		MI2SDO1_1		
		TIOA13_2		
43	-	P5F	E	I
		SCK1_1 (SCL1_1)		
		MI2SCK1_1		
		TIOB13_2		
44	36	VSS	-	-
45	37	VCC	-	-
46	38	P40	G	K
		SIN7_1		
		RTO10_0 (PPG10_0)		
		TIOA0_0		
		AIN0_0		
		INT23_0		
		MCSX7_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
47	39	P41	G	I
		SOT7_1 (SDA7_1)		
		RTO11_0 (PPG11_0)		
		TIOA1_0		
		BIN0_0		
		MCSX6_0		
48	40	P42	G	I
		SCK7_1 (SCL7_1)		
		RTO12_0 (PPG12_0)		
		TIOA2_0		
		ZIN0_0		
		MCSX5_0		
49	41	P43	G	K
		SCS70_1		
		RTO13_0 (PPG13_0)		
		TIOA3_0		
		INT04_0		
		MCSX4_0		
50	42	P44	G	I
		SCS71_1		
		RTO14_0 (PPG14_0)		
		TIOA4_0		
		MCSX3_0		
		P45		
51	43	SCS72_1	G	I
		RTO15_0 (PPG15_0)		
		TIOA5_0		
		MCSX2_0		
		C		
52	44	VSS	-	-
53	45	VCC	-	-
54	46	P46	D	S
55	47	X0A		
56	48	P47	D	T
		X1A		
57	49	INITX	B	C

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
58	-	PF0	E	K
		SCS73_1		
		RX0_2		
		TIOA15_1		
		INT22_1		
59	-	PF1	E	K
		TX0_2		
		TIOB15_1		
		INT23_1		
60	50	P48	L	K
		SIN1_0		
		MI2SDI1_0		
		DTTI1X_0		
		INT06_0		
		MRASX_0		
61	51	P49	L	I
		SOT1_0 (SDA1_0)		
		MI2SDO1_0		
		IC10_0		
		MCASX_0		
62	52	P4A	L	I
		SCK1_0 (SCL1_0)		
		MI2SCK1_0		
		IC11_0		
		MSDWEX_0		
63	53	P4B	L	K
		MI2SWS1_0		
		IC12_0		
		INT04_2		
		MCSX8_0		
64	54	P4C	L	K
		MI2SMCK1_0		
		IC13_0		
		INT05_2		
		MSDCKE_0		
65	55	P4D	L	K
		FRCK1_0		
		INT07_0		
		MSDCLK_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
66	56	P4E	L	Q
		SCK9_0 (SCL9_0)		
		INT05_0		
		WKUP2		
		MCSX1_0		
67	57	P70	L	I
		ADTG_7		
		SOT9_0 (SDA9_0)		
		MCSX0_0		
68	58	P71	I	K
		ADTG_8		
		SIN9_0		
		INT04_1		
		MRDY_0		
69	59	P72	E	I
		TIOB0_0		
		INT06_2		
		MAD00_0		
70	60	P73	E	K
		SIN8_0		
		TIOB1_0		
		INT20_0		
		MAD01_0		
71	61	P74	E	I
		SOT8_0 (SDA8_0)		
		TIOB2_0		
		MAD02_0		
72	62	P75	E	I
		SCK8_0 (SCL8_0)		
		TIOB3_0		
		MAD03_0		
73	63	P76	E	K
		SIN6_0		
		TIOB4_0		
		INT21_0		
		MAD04_0		
74	64	P77	L	I
		SOT6_0 (SDA6_0)		
		TIOB5_0		
		MAD05_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
75	65	P78	L	I
		SCK6_0 (SCL6_0)		
		AIN0_1		
		MAD06_0		
76	66	P79	E	K
		SCS60_0		
		BIN0_1		
		INT22_0		
		MAD07_0		
77	67	P7A	E	K
		SCS61_0		
		ZIN0_1		
		INT07_2		
		MAD08_0		
78	-	PF2	E	I
		SCS62_0		
		DTT11X_1		
		TIOA6_1		
		IC1_CLK_1		
79	-	PF3	E	K
		SCS63_0		
		FRCK1_1		
		TIOB6_1		
		INT05_1		
		IC1_VCC_1		
80	-	PF4	E	K
		IC10_1		
		TIOA7_1		
		INT06_1		
		IC1_VPEN_1		
81	-	PF5	E	K
		SIN3_1		
		IC11_1		
		TIOB7_1		
		INT07_1		
		IC1_RST_1		
82	-	PF6	E	K
		SOT3_1 (SDA3_1)		
		IC12_1		
		TIOA14_1		
		INT20_1		
		IC1_DATA_1		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
83	-	PF7	E	K
		SCK3_1 (SCL3_1)		
		IC13_1		
		TIOB14_1		
		INT21_1		
		IC1_CIN_1		
84	68	PE0	C	E
		MD1		
85	69	MD0	J	D
86	70	PE2	A	A
		X0		
87	71	PE3	A	B
		X1		
88	72	VSS	-	-
89	73	VCC	-	-
90	74	AVCC	-	-
91	75	AVSS	-	-
92	76	AVRL	-	-
93	77	AVRH	-	-
94	78	P10	F	M
		AN00		
		TIOA0_2		
		INT08_0		
		MNREX_0		
		IC1_CLK_0		
95	79	P11	F	L
		AN01		
		TIOB0_2		
		MNWEX_0		
		IC1_VCC_0		
96	80	P12	F	L
		AN02		
		TIOA1_2		
		MNCLE_0		
		IC1_VPEN_0		
97	81	P13	F	M
		AN03		
		SIN9_1		
		TIOB1_2		
		INT25_1		
		MNALE_0		
		IC1_RST_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
98	82	P14	F	N
		AN04		
		SOT9_1 (SDA9_1)		
		TIOA2_2		
		IC1_DATA_0		
		TRACED0		
99	83	P15	F	N
		AN05		
		SCK9_1 (SCL9_1)		
		TIOB2_2		
		IC1_CIN_0		
		TRACED1		
100	84	P16	F	O
		AN06		
		SIN6_1		
		RX0_0		
		INT09_0		
		TRACED2		
101	85	P17	F	N
		AN07		
		SOT6_1 (SDA6_1)		
		TX0_0		
		TRACED3		
102	-	PB0	F	N
		AN16		
		SCK6_1 (SCL6_1)		
		TIOA9_1		
		TRACED8		
103	-	PB1	F	O
		AN17		
		SCS60_1		
		TIOB9_1		
		AIN0_2		
		INT08_1		
		TRACED9		
104	-	PB2	F	O
		AN18		
		SCS61_1		
		TIOA1_1		
		BIN0_2		
		INT09_1		
		TRACED10		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
105	-	PB3	F	N
		AN19		
		SCS62_1		
		TIOB10_1		
		ZIN0_2		
		TRACED11		
106	86	P18	F	O
		AN08		
		SIN2_0		
		TIOA3_2		
		INT10_0		
		TRACED4		
107	87	P19	F	O
		AN09		
		SOT2_0 (SDA2_0)		
		TIOB3_2		
		INT24_1		
		TRACED5		
108	88	P1A	F	N
		AN10		
		SCK2_0 (SCL2_0)		
		TIOA4_2		
		TRACED6		
109	89	P1B	F	O
		AN11		
		TIOB4_2		
		INT11_0		
		TRACED7		
110	-	PB4	F	O
		AN20		
		SCS63_1		
		TIOA11_1		
		INT10_1		
		TRACED12		
111	-	PB5	F	O
		AN21		
		SIN8_1		
		TIOB11_1		
		AIN1_2		
		INT11_1		
		TRACED13		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
112	-	PB6	F	N
		AN22		
		SOT8_1 (SDA8_1)		
		TIOA12_1		
		BIN1_2		
		TRACED14		
113	-	PB7	F	N
		AN23		
		SCK8_1 (SCL8_1)		
		TIOB12_1		
		ZIN1_2		
		TRACED15		
114	90	P1C	F	N
		AN12		
		SCK0_1 (SCL0_1)		
		TIOA5_2		
		TRACECLK		
115	91	P1D	F	L
		AN13		
		SOT0_1 (SDA0_1)		
		TIOB5_2		
		MAD09_0		
116	92	P1E	F	M
		AN14		
		SIN0_1		
		TIOA8_1		
		INT26_1		
		MAD10_0		
117	93	P1F	F	M
		AN15		
		RTS5_0		
		TIOB8_1		
		INT27_1		
		MAD11_0		
118	94	P2A	F	M
		AN24		
		CTS5_0		
		INT08_2		
		MAD12_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
119	95	P29	F	M
		AN25		
		SCK5_0 (SCL5_0)		
		INT09_2		
		MAD13_0		
120	96	P28	F	M
		AN26		
		SOT5_0 (SDA5_0)		
		INT10_2		
		MAD14_0		
121	97	P27	F	M
		AN27		
		SIN5_0		
		INT24_0		
		MAD15_0		
122	98	P26	E	M
		ADTG_6		
		TIOA6_2		
		INT11_2		
		MAD16_0		
123	99	P25	F	M
		AN28		
		TIOB6_2		
		INT25_0		
		MAD17_0		
124	100	P24	F	L
		AN29		
		TIOA13_1		
		MAD18_0		
125	101	P23	F	L
		UHCONX1		
		AN30		
		SCK0_0 (SCL0_0)		
		TIOB13_1		
126	102	P22	E	M
		AN31		
		SOT0_0 (SDA0_0)		
		INT26_0		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
127	103	P21	I	K
		ADTG_4		
		SIN0_0		
		INT27_0		
		CROUT_0		
128	104	P20	I	F
		NMIX		
		WKUP0		
129	105	USBVCC1	-	-
130	106	P82	H	R
		UDM1		
131	107	P83	H	R
		UDP1		
132	108	VSS	-	-
133	109	VCC	-	-
134	110	P00	E	G
		TRSTX		
135	111	P01	E	G
		TCK		
		SWCLK		
136	112	P02	E	G
		TDI		
137	113	P03	E	G
		TMS		
		SWDIO		
138	114	P04	E	G
		TDO		
		SWO		
139	-	P90	E	K
		RTO10_1 (PPG10_1)		
		TIOB0_1		
		INT12_1		
		IC0_CLK_1		
140	-	P91	E	K
		SIN5_1		
		RTO11_1 (PPG11_1)		
		TIOB1_1		
		INT13_1		
		IC0_VCC_1		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
141	-	P92	E	K
		SOT5_1 (SDA5_1)		
		RTO12_1 (PPG12_1)		
		TIOB2_1		
		INT14_1		
		IC0_VPEN_1		
142	-	P93	E	K
		SCK5_1 (SCL5_1)		
		RTO13_1 (PPG13_1)		
		TIOB3_1		
		INT15_1		
		IC0_RST_1		
143	-	P94	E	I
		CTS5_1		
		RTO14_1 (PPG14_1)		
		TIOB4_1		
		IC0_DATA_1		
144	-	P95	E	I
		RTS5_1		
		RTO15_1 (PPG15_1)		
		TIOB5_1		
		IC0_CIN_1		
145	115	PC0	K	V
		E_RXER		
146	116	PC1	K	V
		TIOB6_0		
		E_RX03		
147	117	PC2	K	V
		TIOA6_0		
		E_RX02		
148	118	PC3	K	V
		TIOB7_0		
		E_RX01		
149	119	PC4	K	V
		TIOA7_0		
		E_RX00		
150	120	PC5	K	V
		TIOB14_0		
		E_RXDV		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
151	121	PC6	K	V
		TIOA14_0		
		E_MDIO		
152	122	PC7	E	W
		INT13_0		
		E_MDC		
		CROUT_1		
153	123	PC8	K	V
		E_RXCK_REFCK		
154	124	PC9	K	V
		TIOB15_0		
		E_COL		
155	125	PCA	K	V
		TIOA15_0		
		E_CRS		
156	126	ETHVCC	-	-
157	127	VSS	-	-
158	128	PCB	L	W
		INT28_0		
		E_COUT		
159	129	PCC	K	V
		E_TCK		
160	130	PCD	L	W
		SOT4_1 (SDA4_1)		
		INT14_0		
		E_TXER		
161	131	PCE	L	W
		SIN4_1		
		INT15_0		
		E_TX03		
162	132	PCF	L	W
		RTS4_1		
		INT12_0		
		E_TX02		
163	133	PDO	L	W
		INT30_1		
		E_TX01		
164	134	PD1	L	W
		INT31_1		
		E_TX00		
165	135	PD2	L	V
		CTS4_1		
		E_TXEN		

引脚编号		引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144			
166	136	P6E	E	W
		ADTG_5		
		SCK4_1 (SCL4_1)		
		INT29_0		
		E_PPS		
167	-	P65	E	K
		INT28_1		
168	-	P64	I	K
		CTS4_0		
		INT29_1		
169	137	P63	L	K
		ADTG_3		
		RTS4_0		
		INT30_0		
		MOEX_0		
170	138	P62	L	I
		SCK4_0 (SCL4_0)		
		TIOB7_2		
		MWEX_0		
171	139	P61	L	I
		UHCONX0		
		SOT4_0 (SDA4_0)		
		TIOA7_2		
		MALE_0		
		RTCCO_0		
		SUBOUT_0		
172	140	P60	I	Q
		SIN4_0		
		INT31_0		
		WKUP3		
173	141	USBVCC0	-	-
174	142	P80	H	R
		UDM0		
175	143	P81	H	R
		UDPO		
176	144	VSS	-	-

信号说明

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。在此类功能引脚中，许多引脚为同一个通道提供相同的功能。

使用扩展端口功能寄存器（EPFR）来选择引脚。

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
模数转换器	ADTG_0	模数转换器外部触发输入引脚	19	16
	ADTG_1		23	20
	ADTG_2		34	29
	ADTG_3		169	137
	ADTG_4		127	103
	ADTG_5		166	136
	ADTG_6		122	98
	ADTG_7		67	57
	ADTG_8		68	58
	AN00		94	78
	AN01		95	79
	AN02		96	80
	AN03		97	81
	AN04		98	82
	AN05		99	83
	AN06		100	84
	AN07		101	85
	AN08		106	86
	AN09		107	87
	AN10		108	88
	AN11		109	89
	AN12		114	90
	AN13		115	91
	AN14		116	92
	AN15	模数转换器模拟输入引脚。 ANxx 表示模数转换器通道 xx。	117	93
	AN16		102	-
	AN17		103	-
	AN18		104	-
	AN19		105	-
	AN20		110	-
	AN21		111	-
	AN22		112	-
	AN23		113	-
	AN24		118	94
	AN25		119	95
	AN26		120	96
	AN27		121	97
	AN28		123	99
	AN29		124	100
	AN30		125	101
	AN31		126	102

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
基础定时器0	TIOA0_0	基础定时器通道 0 TIOA 引脚	46	38
	TIOA0_1		35	30
	TIOA0_2		94	78
基础定时器1	TIOB0_0	基础定时器通道 0 TIOB 引脚	69	59
	TIOB0_1		139	-
	TIOB0_2		95	79
基础定时器2	TIOA1_0	基础定时器通道 1 TIOA 引脚	47	39
	TIOA1_1		36	31
	TIOA1_2		96	80
基础定时器3	TIOB1_0	基础定时器通道 1 TIOB 引脚	70	60
	TIOB1_1		140	-
	TIOB1_2		97	81
基础定时器4	TIOA2_0	基础定时器通道 2 TIOA 引脚	48	40
	TIOA2_1		37	32
	TIOA2_2		98	82
基础定时器5	TIOB2_0	基础定时器通道 2 TIOB 引脚	71	61
	TIOB2_1		141	-
	TIOB2_2		99	83
基础定时器6	TIOA3_0	基础定时器通道 3 TIOA 引脚	49	41
	TIOA3_1		38	33
	TIOA3_2		106	86
基础定时器7	TIOB3_0	基础定时器通道 3 TIOB 引脚	72	62
	TIOB3_1		142	-
	TIOB3_2		107	87
基础定时器8	TIOA4_0	基础定时器通道 4 TIOA 引脚	50	42
	TIOA4_1		39	34
	TIOA4_2		108	88
基础定时器9	TIOB4_0	基础定时器通道 4 TIOB 引脚	73	63
	TIOB4_1		143	-
	TIOB4_2		109	89
基础定时器10	TIOA5_0	基础定时器通道 5 TIOA 引脚	51	43
	TIOA5_1		40	35
	TIOA5_2		114	90
基础定时器11	TIOB5_0	基础定时器通道 5 TIOB 引脚	74	64
	TIOB5_1		144	-
	TIOB5_2		115	91
基础定时器12	TIOA6_0	基础定时器通道 6 TIOA 引脚	147	117
	TIOA6_1		78	-
	TIOA6_2		122	98
基础定时器13	TIOB6_0	基础定时器通道 6 TIOB 引脚	146	116
	TIOB6_1		79	-
	TIOB6_2		123	99
基础定时器14	TIOA7_0	基础定时器通道 7 TIOA 引脚	149	119
	TIOA7_1		80	-
	TIOA7_2		171	139

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
基础定时器 8	TIOB7_0	基础定时器通道 7 TIOB 引脚	148	118
	TIOB7_1		81	-
	TIOB7_2		170	138
基础定时器 9	TIOA8_0	基础定时器通道 8 TIOA 引脚	2	2
	TIOA8_1		116	92
	TIOA8_2		10	-
	TIOB8_0	基础定时器通道 8 TIOB 引脚	17	14
	TIOB8_1		117	93
	TIOB8_2		11	-
基础定时器 10	TIOA9_0	基础定时器通道 9 TIOA 引脚	3	3
	TIOA9_1		102	-
	TIOA9_2		12	-
	TIOB9_0	基础定时器通道 9 TIOB 引脚	18	15
	TIOB9_1		103	-
基础定时器 11	TIOA10_0	基础定时器通道 10 TIOA 引脚	4	4
	TIOA1_1		104	-
	TIOB10_0	基础定时器通道 10 TIOB 引脚	19	16
	TIOB10_1		105	-
基础定时器 12	TIOA11_0	基础定时器通道 11 TIOA 引脚	5	5
	TIOA11_1		110	-
	TIOB11_0	基础定时器通道 11 TIOB 引脚	20	17
	TIOB11_1		111	-
	TIOB11_2		24	-
基础定时器 13	TIOA12_0	基础定时器通道 12 TIOA 引脚	6	6
	TIOA12_1		112	-
	TIOA12_2		25	-
	TIOB12_0	基础定时器通道 12 TIOB 引脚	21	18
	TIOB12_1		113	-
	TIOB12_2		41	-
基础定时器 14	TIOA13_0	基础定时器通道 13 TIOA 引脚	7	7
	TIOA13_1		124	100
	TIOA13_2		42	-
	TIOB13_0	基础定时器通道 13 TIOB 引脚	22	19
	TIOB13_1		125	101
	TIOB13_2		43	-
基础定时器 15	TIOA14_0	基础定时器通道 14 TIOA 引脚	151	121
	TIOA14_1		82	-
	TIOB14_0	基础定时器通道 14 TIOB 引脚	150	120
	TIOB14_1		83	-
基础定时器 15	TIOA15_0	基础定时器通道 15 TIOA 引脚	155	125
	TIOA15_1		58	-
	TIOB15_0	基础定时器通道 15 TIOB 引脚	154	124
	TIOB15_1		59	-
CAN 0	TX0_0	CAN 接口通道 0 TX 输出引脚	101	85
	TX0_1		25	-

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
CAN 接口	TX0_2	CAN 接口通道 0 RX 输入引脚	59	-
	RX0_0		100	84
	RX0_1		24	-
	RX0_2		58	-
	SWCLK	串行线调试接口时钟输入引脚	135	111
调试器	SWDIO	串行线调试接口数据输入/输出引脚	137	113
	SWO	串行线调试接口观察输出引脚	138	114
	TCK	JTAG 测试时钟输入引脚	135	111
	TDI	JTAG 测试数据输入引脚	136	112
	TDO	JTAG 调试数据输出引脚	138	114
	TMS	JTAG 测试模式状态输入/输出引脚	137	113
	TRACECLK	ETM/HTM 的 Trace 时钟输出引脚	114	90
	TRACED0	ETM 的 Trace 数据输出引脚/ HTM 的 Trace 数据输出引脚	98	82
	TRACED1		99	83
	TRACED2		100	84
	TRACED3		101	85
	TRACED4		106	86
	TRACED5	HTM 的 Trace 数据输出引脚	107	87
	TRACED6		108	88
	TRACED7		109	89
	TRACED8		102	-
	TRACED9		103	-
	TRACED10		104	-
	TRACED11		105	-
	TRACED12		110	-
	TRACED13		111	-
	TRACED14		112	-
	TRACED15		113	-
	TRSTX	JTAG 测试复位输入引脚	134	110
外部总线	MAD00_0	外部总线接口地址总线	69	59
	MAD01_0		70	60
	MAD02_0		71	61
	MAD03_0		72	62
	MAD04_0		73	63
	MAD05_0		74	64
	MAD06_0		75	65
	MAD07_0		76	66
	MAD08_0		77	67
	MAD09_0		115	91
	MAD10_0		116	92
	MAD11_0		117	93
	MAD12_0		118	94
	MAD13_0		119	95
	MAD14_0		120	96
	MAD15_0		121	97

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
外部总线	MAD16_0	外部总线接口的片选输出引脚	122	98
	MAD17_0		123	99
	MAD18_0		124	100
	MAD19_0		40	35
	MAD20_0		39	34
	MAD21_0		38	33
	MAD22_0		37	32
	MAD23_0		36	31
	MAD24_0		35	30
	MCSX0_0		67	57
外部总线	MCSX1_0	外部总线接口数据总线 (地址/数据复用总线)	66	56
	MCSX2_0		51	43
	MCSX3_0		50	42
	MCSX4_0		49	41
	MCSX5_0		48	40
	MCSX6_0		47	39
	MCSX7_0		46	38
	MCSX8_0		63	53
	MADATA00_0	外部总线接口数据总线 (地址/数据复用总线)	2	2
	MADATA01_0		3	3
	MADATA02_0		4	4
	MADATA03_0		5	5
	MADATA04_0		6	6
	MADATA05_0		7	7
	MADATA06_0		8	8
	MADATA07_0		9	9
	MADATA08_0		13	10
	MADATA09_0		14	11
	MADATA10_0		15	12
	MADATA11_0		16	13
	MADATA12_0		17	14
	MADATA13_0		18	15
	MADATA14_0		19	16
	MADATA15_0		20	17
外部总线	MDQM0_0	外部总线接口的字节屏蔽信号输出引脚	21	18
	MDQM1_0		22	19
	MALE_0	外部总线接口复用模式的地址锁存使能输出信号	171	139
	MRDY_0	外部总线接口外部 RDY 输入信号	68	58
	MCLKOUT_0	外部总线接口外部时钟输出引脚	23	20
	MNALE_0	外部总线接口 ALE 信号, 用于控制 NAND 闪存的输出引脚	97	81
	MNCLE_0	外部总线接口 CLE 信号, 用于控制 NAND 闪存的输出引脚	96	80
	MNREX_0	外部总线接口读使能信号, 用于控制 NAND 闪存	94	78

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
	MNWEX_0	外部总线接口写使能信号, 用于控制 NAND 闪存	95	79
	MOEX_0	SRAM 的外部总线接口读使能信号	169	137
	MWEX_0	SRAM 的外部总线接口写使能信号	170	138
	MSDCLK_0	SDRAM 接口 SDRAM 时钟输出引脚	65	55
	MSDCKE_0	SDRAM 接口 SDRAM 时钟使能引脚	64	54
	MRASX_0	SDRAM 接口 SDRAM 行地址锁存引脚	60	50
	MCASX_0	SDRAM 接口 SDRAM 列地址锁存引脚	61	51
	MSDWEX_0	SDRAM 接口 SDRAM 写使能引脚	62	52
外部中断	INT00_0	外部中断请求 00 输入引脚	2	2
	INT00_1		28	23
	INT00_2		8	8
	INT01_0	外部中断请求 01 输入引脚	7	7
	INT01_1		31	26
	INT01_2		24	-
	INT02_0	外部中断请求 02 输入引脚	13	10
	INT02_1		32	27
	INT02_2		9	9
	INT03_0	外部中断请求 03 输入引脚	16	13
	INT03_1		33	28
	INT03_2		41	-
	INT04_0	外部中断请求 04 输入引脚	49	41
	INT04_1		68	58
	INT04_2		63	53
	INT05_0	外部中断请求 05 输入引脚	66	56
	INT05_1		79	-
	INT05_2		64	54
	INT06_0	外部中断请求 06 输入引脚	60	50
	INT06_1		80	-
	INT06_2		69	59
	INT07_0	外部中断请求 07 输入引脚	65	55
	INT07_1		81	-
	INT07_2		77	67
	INT08_0	外部中断请求 08 输入引脚	94	78
	INT08_1		103	-
	INT08_2		118	94
	INT09_0	外部中断请求 09 输入引脚	100	84
	INT09_1		104	-
	INT09_2		119	95
	INT10_0	外部中断请求 10 输入引脚	106	86
	INT10_1		110	-
	INT10_2		120	96

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
外部中断	INT11_0	外部中断请求 11 输入引脚	109	89
	INT11_1		111	-
	INT11_2		122	98
外部中断	INT12_0	外部中断请求 12 输入引脚	162	132
	INT12_1		139	-
	INT13_0	外部中断请求 13 输入引脚	152	122
	INT13_1		140	-
外部中断	INT14_0	外部中断请求 14 输入引脚	160	130
	INT14_1		141	-
	INT15_0	外部中断请求 15 输入引脚	161	131
	INT15_1		142	-
	INT16_0	外部中断请求 16 输入引脚	20	17
	INT16_1		35	30
	INT17_0	外部中断请求 17 输入引脚	21	18
	INT17_1		36	31
	INT18_0	外部中断请求 18 输入引脚	22	19
	INT18_1		37	32
	INT19_0	外部中断请求 19 输入引脚	26	21
	INT19_1		38	33
	INT20_0	外部中断请求 20 输入引脚	70	60
	INT20_1		82	-
	INT21_0	外部中断请求 21 输入引脚	73	63
	INT21_1		83	-
	INT22_0	外部中断请求 22 输入引脚	76	66
	INT22_1		58	-
	INT23_0	外部中断请求 23 输入引脚	46	38
	INT23_1		59	-
	INT24_0	外部中断请求 24 输入引脚	121	97
	INT24_1		107	87
	INT25_0	外部中断请求 25 输入引脚	123	99
	INT25_1		97	81
	INT26_0	外部中断请求 26 输入引脚	126	102
	INT26_1		116	92
	INT27_0	外部中断请求 27 输入引脚	127	103
	INT27_1		117	93
	INT28_0	外部中断请求 28 输入引脚	158	128
	INT28_1		167	-
	INT29_0	外部中断请求 29 输入引脚	166	136
	INT29_1		168	-
	INT30_0	外部中断请求 30 输入引脚	169	137
	INT30_1		163	133
	INT31_0	外部中断请求 31 输入引脚	172	140
	INT31_1		164	134
GPIO	NMIX	不可屏蔽中断输入引脚	128	104
GPIO	P00	通用输入/输出端口 0	134	110

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
GPIO	P01	通用输入/输出端口 1	135	111
	P02		136	112
	P03		137	113
	P04		138	114
	P08		21	18
	P09		22	19
	P0A		23	20
	P10		94	78
	P11		95	79
	P12		96	80
	P13		97	81
	P14		98	82
	P15		99	83
	P16		100	84
	P17		101	85
	P18		106	86
	P19		107	87
	P1A		108	88
	P1B		109	89
	P1C		114	90
	P1D		115	91
	P1E		116	92
	P1F		117	93
	P20	通用输入/输出端口 2	128	104
	P21		127	103
	P22		126	102
	P23		125	101
	P24		124	100
	P25		123	99
	P26		122	98
	P27		121	97
	P28		120	96
	P29		119	95
	P2A		118	94
GPIO	P30	通用输入/输出端口 3	24	-
	P31		25	-
	P32		26	21
	P33		27	22
	P34		28	23
	P35		31	26
	P36		32	27
	P37		33	28
	P38		34	29
	P39		35	30
	P3A		36	31

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
	P3B	通用输入/输出端口 4	37	32
	P3C		38	33
	P3D		39	34
	P3E		40	35
	P40		46	38
	P41		47	39
	P42		48	40
	P43		49	41
	P44		50	42
	P45		51	43
	P46		55	47
	P47		56	48
	P48		60	50
	P49		61	51
	P4A		62	52
	P4B		63	53
	P4C		64	54
	P4D		65	55
	P4E		66	56
	P50	通用输入/输出端口 5	10	-
	P51		11	-
	P52		12	-
	P5D		41	-
	P5E		42	-
	P5F		43	-
	P60	通用输入/输出端口 6	172	140
	P61		171	139
	P62		170	138
	P63		169	137
	P64		168	-
	P65		167	-
	P6E		166	136
GPIO	P70	通用输入/输出端口 7	67	57
	P71		68	58
	P72		69	59
	P73		70	60
	P74		71	61
	P75		72	62
	P76		73	63
	P77		74	64
	P78		75	65
	P79		76	66
	P7A		77	67
	P80	通用输入/输出端口 8	174	142
	P81		175	143

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
通用输入/输出端口 9	P82	通用输入/输出端口 9	130	106
	P83		131	107
	P90		139	-
	P91		140	-
	P92		141	-
	P93		142	-
	P94		143	-
	P95		144	-
	PA0		2	2
	PA1		3	3
通用输入/输出端口 A	PA2	通用输入/输出端口 A	4	4
	PA3		5	5
	PA4		6	6
	PA5		7	7
	PA6		8	8
	PA7		9	9
	PA8		13	10
	PA9		14	11
	PAA		15	12
	PAB		16	13
	PAC		17	14
	PAD		18	15
	PAE		19	16
	PAF		20	17
GPIO	PB0	通用输入/输出端口 B	102	-
	PB1		103	-
	PB2		104	-
	PB3		105	-
	PB4		110	-
	PB5		111	-
	PB6		112	-
	PB7		113	-
GPIO	PC0	通用输入/输出端口 C	145	115
	PC1		146	116
	PC2		147	117
	PC3		148	118
	PC4		149	119
	PC5		150	120
	PC6		151	121
	PC7		152	122
	PC8		153	123
	PC9		154	124
	PCA		155	125
	PCB		158	128
	PCC		159	129

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
	PCD		160	130
	PCE		161	131
	PCF		162	132
	PD0		163	133
	PD1	通用输入/输出端口 D	164	134
	PD2		165	135
	PE0		84	68
	PE2	通用输入/输出端口 E	86	70
	PE3		87	71
	PF0		58	-
	PF1		59	-
	PF2		78	-
	PF3	通用输入/输出端口 F	79	-
	PF4		80	-
	PF5		81	-
	PF6		82	-
	PF7		83	-
多功能串行 0	SIN0_0	多功能串行接口通道 0 输入引脚	127	103
	SIN0_1		116	92
	SOT0_0 (SDA0_0)	多功能串行接口通道 0 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT0 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA0 使用。	126	102
	SOT0_1 (SDA0_1)		115	91
	SCK0_0 (SCL0_0)	多功能串行接口通道 0 时钟 I/O 引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK0 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL0 使用。	125	101
	SCK0_1 (SCL0_1)		114	90
多功能串行 1	SIN1_0 (MI2SDI1_0)	多功能串行接口通道 1 输入引脚。 用于 I ² S (操作模式 2) 接口时, SIN1 引脚作为 MI2SDI1 使用。	60	50
	SIN1_1 (MI2SDI1_1)		41	-
	SOT1_0 (SDA1_0) (MI2SDO1_0)	多功能串行接口通道 1 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT1 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA1 使用。 用于 I ² S (操作模式 2) 接口时, SOT1 引脚作为 MI2SDO1 使用。	61	51
	SOT1_1 (SDA1_1) (MI2SDO1_1)		42	-
	SCK1_0 (SCL1_0) (MI2SCK1_0)	多功能串行接口通道 1 时钟 I/O 引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK1 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL1 使用。 用于 I ² S (操作模式 2) 引脚时, SCK1 引脚作为 MI2SCK1 使用。	62	52
	SCK1_1 (SCL1_1) (MI2SCK1_1)		43	-
	MI2SWS1_0	I ² S 字选择 (WS) 输出引脚	63	53

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
MI2SWS1_1			24	-
	MI2SMCK1_0	I ² S 主时钟 I/O 引脚	64	54
	MI2SMCK1_1		25	-
多功能串行 2	SIN2_0	多功能串行接口通道 2 输入引脚	106	86
	SIN2_1		38	33
	SOT2_0 (SDA2_0)	多功能串行接口通道 2 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT2 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA2 使用。	107	87
	SOT2_1 (SDA2_1)		39	34
	SCK2_0 (SCL2_0)		108	88
	SCK2_1 (SCL2_1)		40	35
多功能串行 3	SIN3_0	多功能串行接口通道 3 输入引脚	20	17
	SIN3_1		81	-
	SOT3_0 (SDA3_0)	多功能串行接口通道 3 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT3 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA3 使用。	19	16
	SOT3_1 (SDA3_1)		82	-
	SCK3_0 (SCL3_0)		18	15
	SCK3_1 (SCL3_1)		83	-
多功能串行 4	SIN4_0	多功能串行接口通道 4 输入引脚	172	140
	SIN4_1		161	131
	SOT4_0 (SDA4_0)	多功能串行接口通道 4 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT4 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA4 使用。	171	139
	SOT4_1 (SDA4_1)		160	130
	SCK4_0 (SCL4_0)		170	138
	SCK4_1 (SCL4_1)		166	136
	CTS4_0	多功能串行接口通道 4 CTS 输入引脚	168	-
	CTS4_1		165	135
	RTS4_0	多功能串行接口通道 4 RTS 输出引脚	169	137
	RTS4_1		162	132
多功能串行 5	SIN5_0	多功能串行接口通道 5 输入引脚	121	97
	SIN5_1		140	-
	SOT5_0 (SDA5_0)	多功能串行接口通道 5 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT5 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA5 使用。	120	96
	SOT5_1 (SDA5_1)		141	-
	SCK5_0 (SCL5_0)		119	95
	SCK5_1 (SCL5_1)		142	-

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
多功能串行 6	CTS5_0	多功能串行接口通道 5 CTS 输入引脚	118	94
	CTS5_1		143	-
	RTS5_0	多功能串行接口通道 5 RTS 输出引脚	117	93
	RTS5_1		144	-
多功能串行 7	SIN6_0	多功能串行接口通道 6 输入引脚	73	63
	SIN6_1		100	84
	SOT6_0 (SDA6_0)	多功能串行接口通道 6 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT6 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA6 使用。	74	64
	SOT6_1 (SDA6_1)		101	85
	SCK6_0 (SCL6_0)	多功能串行接口通道 6 时钟 I/O 引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK6 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL6 使用。	75	65
	SCK6_1 (SCL6_1)		102	-
	SCS60_0	多功能串行接口通道 6 片选 0 输入/输出引脚	76	66
	SCS60_1		103	-
	SCS61_0	多功能串行接口通道 6 片选 1 输入/输出引脚	77	67
	SCS61_1		104	-
	SCS62_0	多功能串行接口通道 6 片选 2 输入/输出引脚	78	-
	SCS62_1		105	-
	SCS63_0	多功能串行接口通道 6 片选 3 输入/输出引脚	79	-
	SCS63_1		110	-
多功能串行 8	SIN7_0	多功能串行接口通道 7 输入引脚	13	10
	SIN7_1		46	38
	SOT7_0 (SDA7_0)	多功能串行接口通道 7 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT7 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA7 使用。	14	11
	SOT7_1 (SDA7_1)		47	39
	SCK7_0 (SCL7_0)	多功能串行接口通道 7 时钟引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK7 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL7 使用。	15	12
	SCK7_1 (SCL7_1)		48	40
	SCS70_0	多功能串行接口通道 7 片选 0 输入/输出引脚	16	13
	SCS70_1		49	41
	SCS71_0	多功能串行接口通道 7 片选 1 输入/输出引脚	17	14
	SCS71_1		50	42
	SCS72_0	多功能串行接口通道 7 片选 2 输入/输出引脚	10	-
	SCS72_1		51	43
	SCS73_0	多功能串行接口通道 7 片选 3 输入/输出引脚	11	-
	SCS73_1		58	-

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
	SCK8_0 (SCL8_0)	多功能串行接口通道 8 时钟引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK8 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL8 使用。	72	62
	SCK8_1 (SCL8_1)		113	-
多功能串行 9	SIN9_0	多功能串行接口通道 9 输入引脚	68	58
	SIN9_1		97	81
	SOT9_0 (SDA9_0)	多功能串行接口通道 9 输出引脚 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT9 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SDA9 使用。	67	57
	SOT9_1 (SDA9_1)		98	82
	SCK9_0 (SCL9_0)	多功能串行接口通道 9 时钟引脚 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK9 使用; 而用于 I ² C (操作模式 4) 时, 则作为 SCL9 使用。	66	56
	SCK9_1 (SCL9_1)		99	83
多功能 定时器 0	DTT10X_0	输入信号, 用于控制多功能定时器 0 的波形生成器输出 (RTO00 到 RTO05)。	34	29
	DTT10X_1		8	8
	FRCK0_0	16 位自由运行定时器通道 0 外部时钟输入引脚	27	22
	FRCK0_1		13	10
	IC00_0	多功能定时器 0 的 16 位输入捕获输入引脚。 ICxx 表示通道编号。	33	28
	IC00_1		9	9
	IC01_0		32	27
	IC01_1		10	-
	IC02_0		31	26
	IC02_1		11	-
	IC03_0		28	23
	IC03_1		12	-
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG00 使用。	35	30
	RTO00_1 (PPG00_1)		2	2
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG00 使用。	36	31
	RTO01_1 (PPG00_1)		3	3
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG02 使用。	37	32
	RTO02_1 (PPG02_1)		4	4
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG02 使用。	38	33
	RTO03_1 (PPG02_1)		5	5
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG04 使用。	39	34
	RTO04_1 (PPG04_1)		6	6

模块	引脚名称	功能	引脚编号		
			LQFP 176	LQFP 144	
RTO05_0 (PPG04_0)	RTO05_1 (PPG04_1)	多功能定时器 0 的波形生成器输出引脚。 在 PPG0 输出模式下, 该引脚作为 PPG04 使用。	40	35	
			7	7	
多功能 定时器 1	DTT1X_0	输入信号, 用于控制多功能定时器 1 的波形生成器输出 (RTO10 到 RTO15)。 FRCK1_0 16 位自由运行定时器通道 1 外部时钟输入引脚。 IC10_0 IC10_1 IC11_0 IC11_1 IC12_0 IC12_1 IC13_0 IC13_1 RTO10_0 (PPG10_0)	60	50	
	DTT1X_1		78	-	
	FRCK1_0		65	55	
	FRCK1_1		79	-	
	IC10_0		61	51	
	IC10_1		80	-	
	IC11_0		62	52	
	IC11_1		81	-	
	IC12_0		63	53	
	IC12_1		82	-	
	IC13_0		64	54	
	IC13_1		83	-	
	RTO10_0 (PPG10_0)		46	38	
RTO10_1 (PPG10_1)	RTO11_0 (PPG10_0)	多功能定时器 1 的波形生成器输出引脚。 在 PPG1 输出模式下, 该引脚作为 PPG10 使用。	139	-	
			47	39	
RTO11_1 (PPG10_1)	RTO11_0 (PPG10_0)		140	-	
			48	40	
RTO12_0 (PPG12_0)	RTO12_1 (PPG12_1)	多功能定时器 1 的波形生成器输出引脚。 在 PPG1 输出模式下, 该引脚作为 PPG12 使用。	141	-	
			49	41	
RTO13_0 (PPG12_0)	RTO13_1 (PPG12_1)	多功能定时器 1 的波形生成器输出引脚。 在 PPG1 输出模式下, 该引脚作为 PPG12 使用。	142	-	
			50	42	
RTO14_0 (PPG14_0)	RTO14_1 (PPG14_1)	多功能定时器 1 的波形生成器输出引脚。 在 PPG1 输出模式下, 该引脚作为 PPG14 使用。	143	-	
			51	43	
RTO15_0 (PPG14_0)	RTO15_1 (PPG14_1)	多功能定时器 1 的波形生成器输出引脚。 在 PPG1 输出模式下, 该引脚作为 PPG14 使用。	144	-	
			46	38	
正交位置/ 转数计数器 0	AIN0_0	QPRC 通道 0 AIN 输入引脚	75	65	
	AIN0_1		103	-	
	AIN0_2		47	39	
	BIN0_0	QPRC 通道 0 BIN 输入引脚	76	66	
	BIN0_1		104	-	
	BIN0_2		48	40	
	ZIN0_0	QPRC 通道 0 ZIN 输入引脚			

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
			77	67
正交位置/ 转数计数器 1	ZIN0_1	QPRC 通道 1 AIN 输入引脚	105	-
	ZIN0_2		35	30
	AIN1_0		14	11
	AIN1_1	QPRC 通道 1 BIN 输入引脚	111	-
	AIN1_2		36	31
	BIN1_0		15	12
	BIN1_1		112	-
	BIN1_2		37	32
	ZIN1_0	QPRC 通道 1 ZIN 输入引脚	16	13
	ZIN1_1		113	-
	ZIN1_2		RTCCO_0	171
实时时钟	RTCCO_1	实时时钟的 0.5 秒脉冲输出引脚	9	139
	SUBOUT_0	副时钟输出引脚	171	139
	SUBOUT_1		9	9
	UDM0	USB 通道 0 接口/主设备 D-引脚	174	142
USB0	UDP0	USB 通道 0 接口/主设备 D+引脚	175	143
	UHCONX0	USB 通道 0 外部上拉控制引脚	171	139
	UDM1	USB 通道 1 接口/主设备 D-引脚	130	106
USB1	UDP1	USB 通道 1 接口/主设备 D+引脚	131	107
	UHCONX1	USB 通道 1 外部上拉控制引脚	125	101
	WKUP0	深度待机模式唤醒信号输入引脚 0	128	104
低功耗模式	WKUP1	深度待机模式唤醒信号输入引脚 1	13	10
	WKUP2	深度待机模式唤醒信号输入引脚 2	66	56
	WKUP3	深度待机模式唤醒信号输入引脚 3	172	140
	S_CLK_0	SD 存储卡接口 SD 存储卡时钟输出引脚	28	23
SD I/F	S_CMD_0	SD 存储卡接口 SD 存储卡指令输出	31	26
	S_DATA1_0	SD 存储卡接口 SD 存储卡数据总线	26	21
	S_DATA0_0		27	22
	S_DATA3_0		32	27
	S_DATA2_0		33	28
	S_CD_0	SD 存储卡接口 SD 存储卡检测引脚	35	30
	S_WP_0	SD 存储卡接口 SD 存储卡写保护	34	29
以太网	E_COL	冲突检测	154	124
	E_COUT	以太网 PHY 时钟输出	158	128
	E_CRS	载波侦测	155	125
	E_MDC	管理时钟	152	122
	E_MDIO	管理数据 I/O	151	121
	E_PPS	PTP 计数器监视器	166	136
	E_RX00	接收数据 0	149	119
	E_RX01	接收数据 1	148	118
	E_RX02	接收数据 2	147	117

模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
	E_RX03	接收数据 3	146	116
	E_RXCK_REF CK	接收时钟输入/ 参考时钟	153	123
	E_RXDV	接收数据使能	150	120
	E_RXER	接收数据错误检测	145	115
	E_TCK	发送时钟输入	159	129
	E_TX00	发送数据 0	164	134
	E_TX01	发送数据 1	163	133
	E_TX02	发送数据 2	162	132
	E_TX03	发送数据 3	161	131
	E_TXEN	发送数据使能	165	135
	E_TXER	发送数据错误检测	160	130

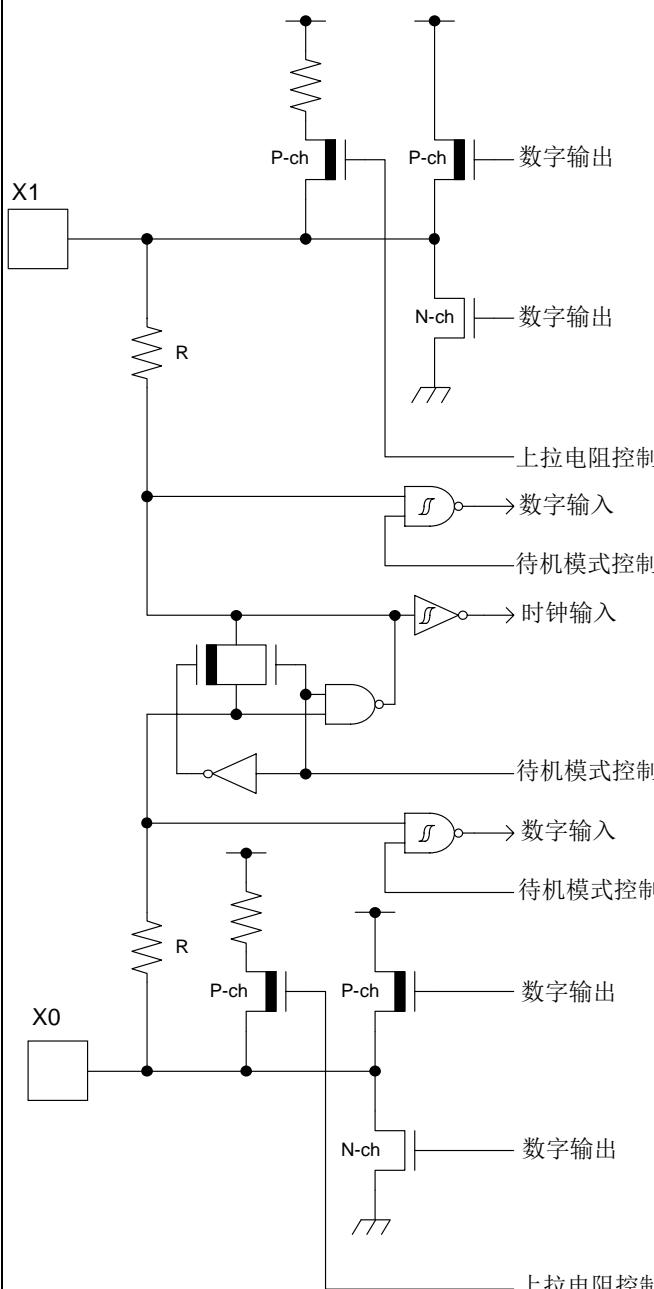
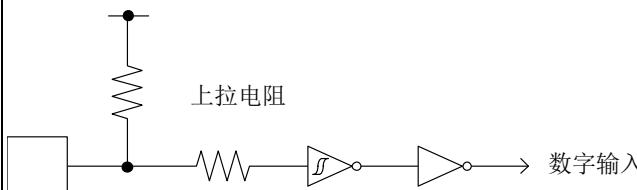
模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
智能卡 0	IC0_VCC_0	智能卡通道 0 电源使能输出引脚	6	6
	IC0_VCC_1		140	-
	IC0_VPEN_0	智能卡通道 0 编程输出引脚	5	5
	IC0_VPEN_1		141	-
	IC0_RST_0	智能卡通道 0 复位输出引脚	4	4
	IC0_RST_1		142	-
	IC0_CIN_0	智能卡通道 0 插入检测输入引脚	2	2
	IC0_CIN_1		144	-
	IC0_CLK_0	智能卡通道 0 串行接口时钟输出引脚	7	7
	IC0_CLK_1		139	-
智能卡 1	IC1_VCC_0	智能卡通道 1 电源使能输出引脚	95	79
	IC1_VCC_1		79	-
	IC1_VPEN_0	智能卡通道 1 编程输出引脚	96	80
	IC1_VPEN_1		80	-
	IC1_RST_0	智能卡通道 1 复位输出引脚	97	81
	IC1_RST_1		81	-
	IC1_CIN_0	智能卡通道 1 插入检测输入引脚	99	83
	IC1_CIN_1		83	-
	IC1_CLK_0	智能卡通道 1 串行接口时钟输出引脚	94	78
	IC1_CLK_1		78	-
	IC1_DATA_0	智能卡通道 1 串行接口数据 I/O 引脚	98	82
	IC1_DATA_1		82	-

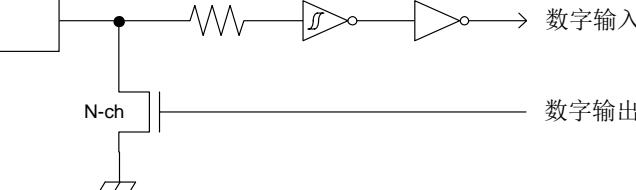
模块	引脚名称	功能	引脚编号	
			LQFP 176	LQFP 144
复位	INITX	外部复位输入引脚 当 INITX = L 时, 复位有效。	57	49
模式	MD1	模式 1 引脚 串行编程闪存存储器时, MD1 需为低电平。	84	68
	MD0	模式 0 引脚 正常运行时, MD0 需要为低电平。串行编程闪存存储器时, MD0 需为高电平。	85	69
电源	VCC	电源供电引脚	1	1
			29	24
			45	37
			54	46
			89	73
			133	109
	USBVCC0	USB I/O 的 3.3V 电源供电端口	173	141
	USBVCC1		129	105
	ETHVCC	以太网 I/O 的电源供电引脚	156	126
GND	VSS	GND 引脚	30	25
			44	36
			53	45
			88	72
			132	108
			157	127
			176	144
时钟	X0	主时钟 (振荡) 输入引脚	86	70
	X1	主时钟 (振荡) I/O 引脚	87	71
	X0A	副时钟 (振荡) 输入引脚	55	47
	X1A	副时钟 (振荡) I/O 引脚	56	48
	CROUT_0	内置高速 CR 振荡时钟输出端口	127	103
	CROUT_1		152	122
模拟电源	AVCC	模数转换器和数模转换器 模拟电源供电引脚	90	74
	AVRL	模数转换器模拟参考电压输入引脚	92	76
	AVRH	模数转换器模拟参考电压输入引脚	93	77
模拟 GND	AVSS	模数转换器和数模转换器 GND 引脚	91	75
C 引脚	C	电源稳定电容引脚	52	44

注意:

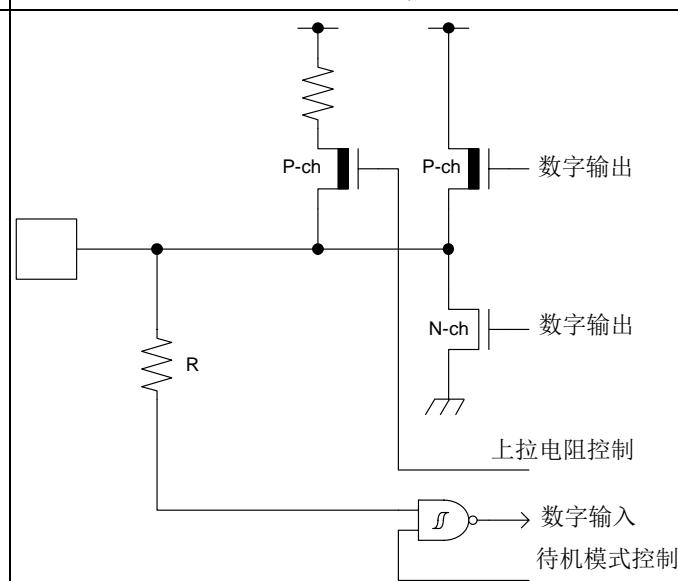
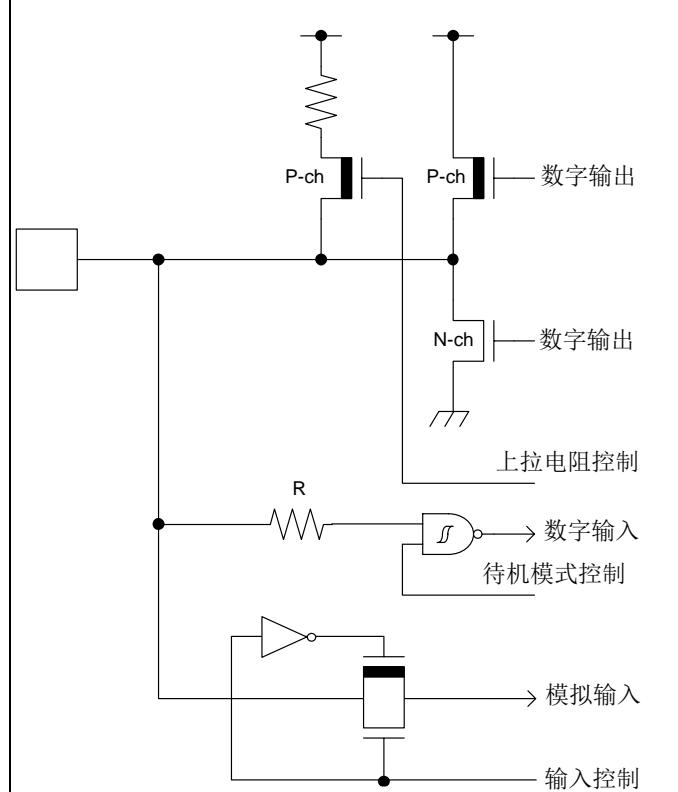
- 该器件包含一个符合 IEEE 1149.1-2001 JTAG 标准的测试访问端口 (TAP), 它并不完全兼容于该标准的所有要求。该器件的 32 位器件 ID 与其它器件中的 32 位器件 ID 相似, 但其功能不一样。可以将 TAP 引脚配置为非 TAP 控制器的其它引脚功能。

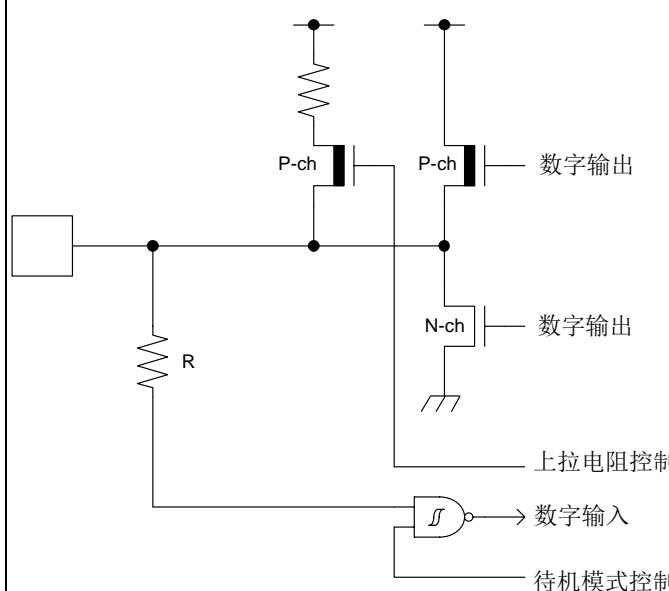
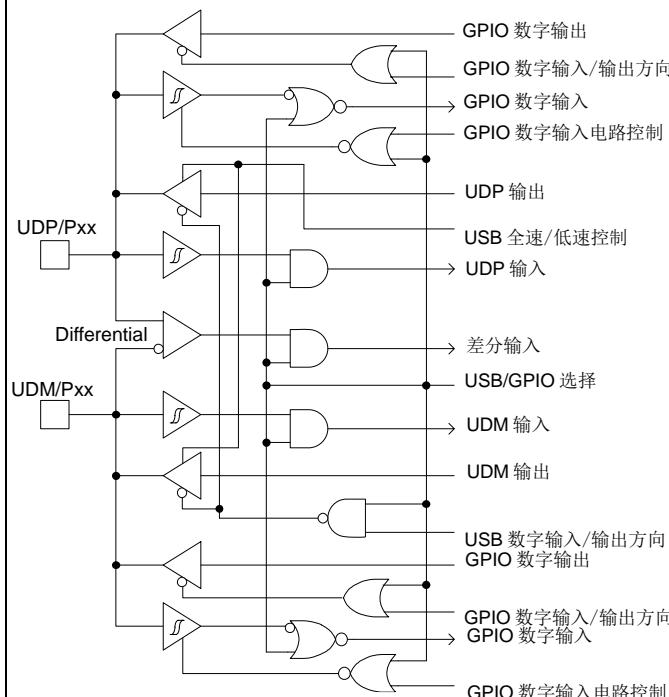
7. I/O 电路类型

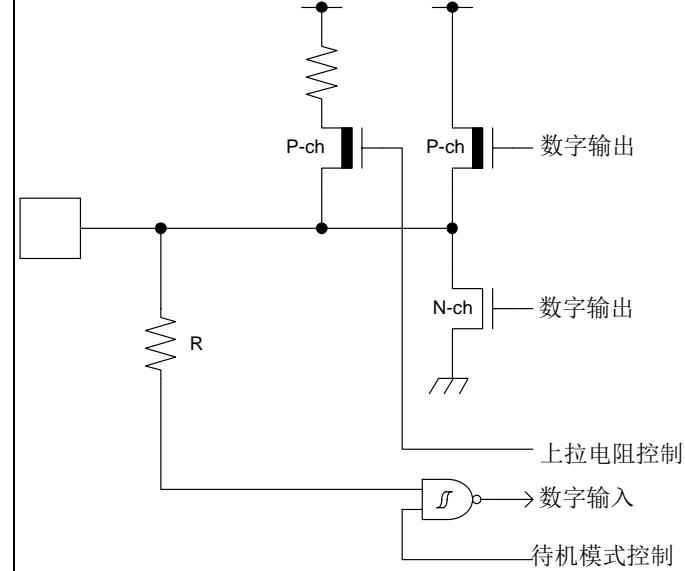
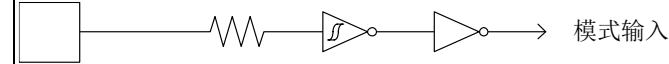
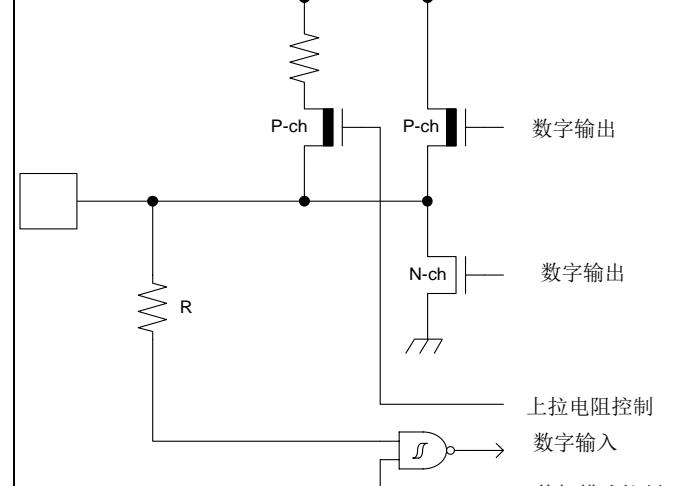
类型	电路	备注
A	 <p>数字输出</p> <p>上拉电阻控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>时钟输入</p> <p>待机模式控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>上拉电阻控制</p>	<p>可选主振荡/GPIO 功能。</p> <p>选择主振荡时：</p> <ul style="list-style-type: none"> 振荡反馈电阻：约为 $1\text{ M}\Omega$ 待机模式控制 <p>选择 GPIO 时：</p> <ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻：约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$
B	 <p>上拉电阻</p> <p>数字输入</p>	<ul style="list-style-type: none"> CMOS 电平迟滞输入 上拉电阻：约为 $50\text{ k}\Omega$

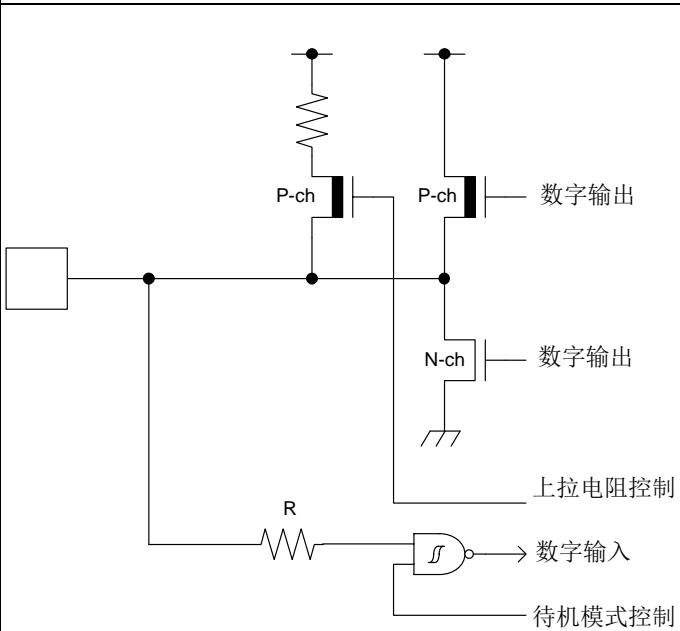
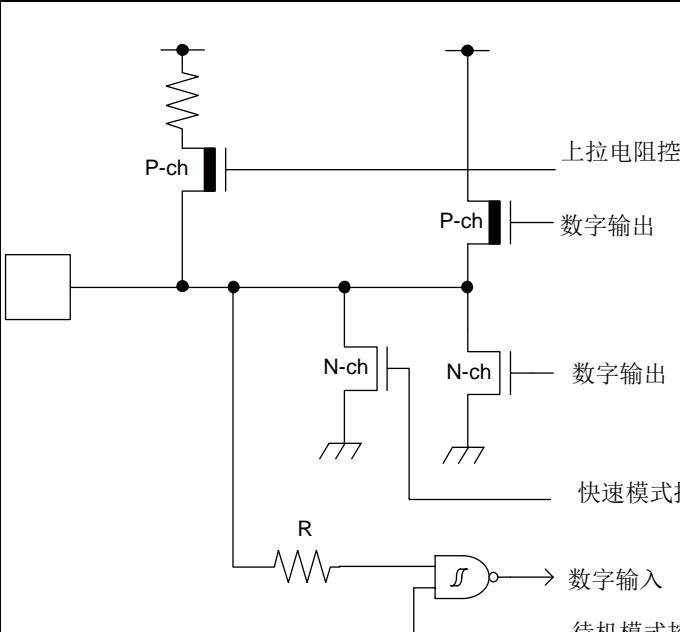
类型	电路	备注
C	 <p>数字输入</p> <p>数字输出</p> <p>N-ch</p>	<ul style="list-style-type: none">开漏输出CMOS 电平迟滞输入

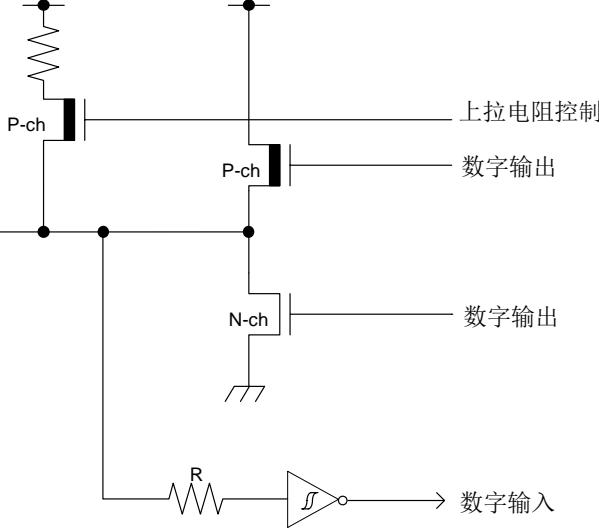
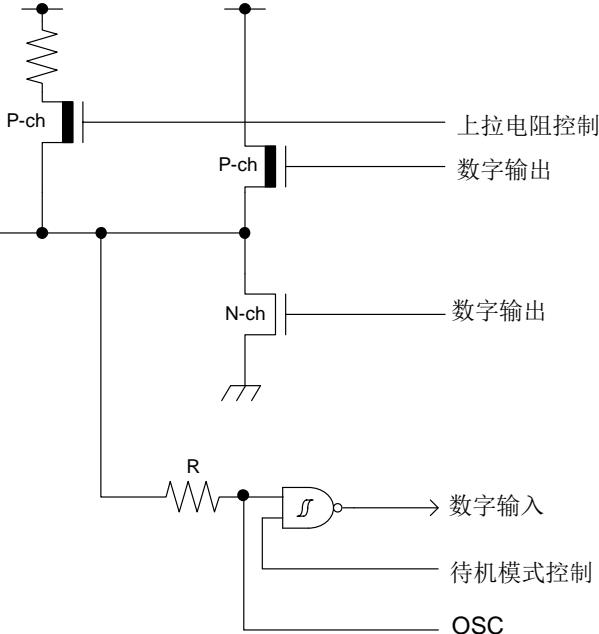
类型	电路	备注
D	<p>可以选择副振荡/GPIO 功能。</p> <p>选择副振荡时：</p> <ul style="list-style-type: none"> 振荡反馈电阻：约为 $5\text{ M}\Omega$ 待机模式控制 <p>选择 GPIO 时：</p> <ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻：约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ 	

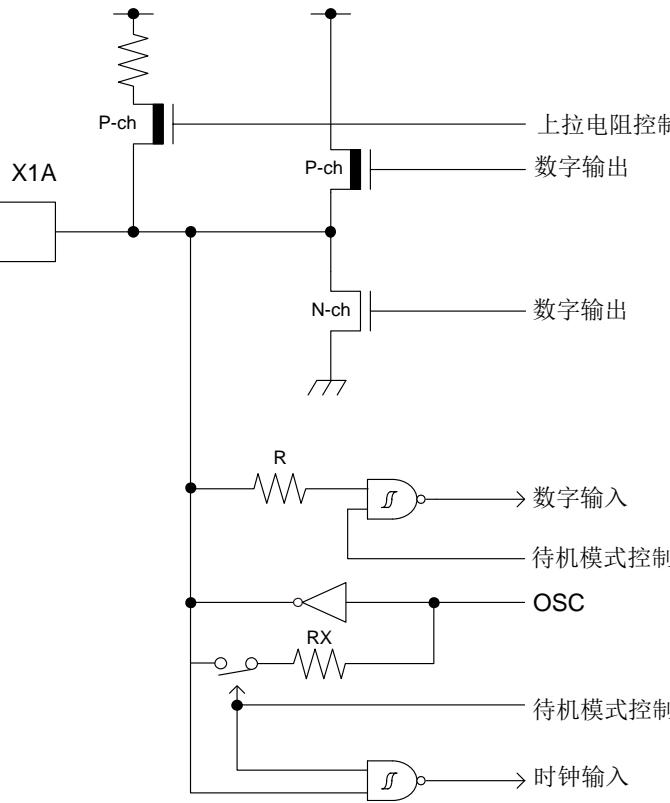
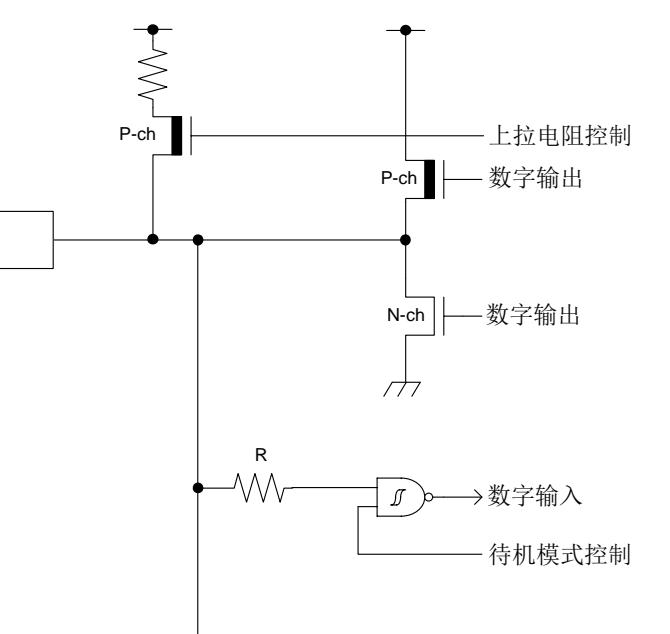
类型	电路	备注
E		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ 当该引脚作为 I²C 引脚时, 数字输出 P 通道晶体管始终被关闭。
F		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 输入控制 模拟输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ 当该引脚作为 I²C 引脚时, 数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
G		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 $50\text{ k}\Omega$ $I_{OH} = -12\text{ mA}$, $I_{OL} = 12\text{ mA}$ 当该引脚作为 I²C 引脚时, 数字输出 P 通道管始终被关闭。
H		<p>可选 USB IO/GPIO 功能。</p> <p>选择 USB I/O 时:</p> <ul style="list-style-type: none"> 全速、低速控制 <p>选择 GPIO 时:</p> <ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 待机模式控制 $I_{OH} = -20.5\text{ mA}$, $I_{OL} = 18.5\text{ mA}$

类型	电路	备注
I		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 耐 5 V 输入电压 上拉电阻控制 待机模式控制 上拉电阻: 约为 50 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ 可控制 PZR 寄存器 (伪开漏控制) 有关 PZR 寄存器, 请参考 FM4 系列外设手册主要部分 (002-04856) 中的 GPIO。
J		CMOS 电平迟滞输入
K		<ul style="list-style-type: none"> CMOS 电平输出 TTL 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 50 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

类型	电路	备注
L	 <p>该图展示了逻辑电平输出 (L) 的内部结构。它由一个上拉电阻 (R) 和一个由数字输入控制的开关组成。当数字输入为高电平时，开关断开，输出为高电平 (VH)。当数字输入为低电平时，开关闭合，输出为低电平 (VL)。输出端还连接到一个上拉电阻控制逻辑，该逻辑由待机模式控制 (SLEEP) 和上拉电阻控制 (PULLUP) 信号驱动。该逻辑确保当待机模式被激活时，上拉电阻被断开，从而降低功耗。</p>	<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻：约为 $50\text{ k}\Omega$ $I_{OH} = -8\text{ mA}$, $I_{OL} = 8\text{ mA}$ 当该引脚作为 I²C 引脚时，数字输出 P 通道管始终被关闭。
N	 <p>该图展示了逻辑电平输出 (N) 的内部结构。它由一个上拉电阻 (R) 和一个由数字输入控制的开关组成。当数字输入为高电平时，开关断开，输出为高电平 (VH)。当数字输入为低电平时，开关闭合，输出为低电平 (VL)。输出端还连接到一个上拉电阻控制逻辑，该逻辑由待机模式控制 (SLEEP) 和上拉电阻控制 (PULLUP) 信号驱动。该逻辑确保当待机模式被激活时，上拉电阻被断开，从而降低功耗。</p>	<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 耐 5V 电压 上拉电阻控制 待机模式控制 上拉电阻：约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ (GPIO) $I_{OL} = 20\text{ mA}$ (增强式快速模式) 可控制 PZR 寄存器 (伪开漏控制) 有关 PZR 寄存器，请参考 FM4 系列外设手册主要部分 (002-04856) 中的 GPIO。 当该引脚作为 I²C 引脚时，数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
O		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 耐 5 V 输入电压 上拉电阻控制 上拉电阻: 大约 50 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ 可控制 PZR 寄存器 (伪开漏控制) 有关 PZR 寄存器, 请参考 FM4 系列外设手册主要部分 (002-04856) 中的 GPIO。
P		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 上拉电阻: 大约 50 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

类型	电路	备注
Q	 <p>上拉电阻控制 数字输出 数字输出 待机模式控制 待机模式控制 时钟输入</p>	<p>可选副振荡/GPIO 功能。</p> <p>选择副振荡时：</p> <ul style="list-style-type: none"> 振荡反馈电阻：大约为 $10\text{ M}\Omega$ <p>选择 GPIO 时：</p> <ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 上拉电阻：大约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}, I_{OL} = 4\text{ mA}$
R	 <p>上拉电阻控制 数字输出 数字输出 待机模式控制 待机模式控制 模拟输出</p>	<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 模拟输出 上拉电阻控制 待机模式控制 上拉电阻：大约为 $50\text{ k}\Omega$ $I_{OH} = -4\text{ mA}, I_{OL} = 4\text{ mA}$ (4.5 V 到 5.5 V) $I_{OH} = -2\text{ mA}, I_{OL} = 2\text{ mA}$ (2.7 V 到 4.5 V)

8. 注意事项

任何半导体器件都有一个典型的固定故障率。发生故障的可能性很大程度上取决于该器件的使用情况（电路条件、环境条件等）。本节介绍了必须考虑的各种注意事项，从而尽可能降低发生故障的概率，并提高赛普拉斯半导体器件的可靠性。

8.1 产品设计注意事项

本节介绍了使用半导体器件进行设计电子设备时需要考虑的各种注意事项。

最大绝对额定值

外界冲击（电压、电流、温度等等）超出某一确定的限制（最大绝对额定值）时可永久性损坏半导体器件。因此，不要超过这些额定值。

建议的工作条件

建议的工作条件为半导体器件的典型工作范围。当器件在这些条件下工作时，所有器件的电气特性均得到保证。

始终在所建议的工作条件下使用半导体器件。如果在这些范围外进行操作，会影响可靠性，并会导致器件故障。

对于超出本数据手册中所介绍的使用情况、工作范围或组合条件，赛普拉斯公司不提供任何保证。如果用户考虑使用超出所列条件的应用，请提前联系销售代表。

引脚处理和保护

连接半导体器件引脚至电源和 I/O 功能时，需要遵循以下注意事项。

1. 防止发生过压和过流条件

在任何引脚上施加的电压或电流超过最大额定值时，会降低器件的品质，在极端情况下还会导致器件永久性的损坏。请在设计阶段尽量避免这种过压或过流条件。

2. 输出引脚保护

将输出引脚与电源引脚或其他输出引脚短接或者将其连接到大电容时，会引起电流变大。如果长期在这种条件下使用器件，则会破坏器件，因此应避免这种连接。

3. 未使用输入引脚的处理

将断开连接的输入引脚置于极高阻抗电平会影响到运行的稳定性。应该通过某个合适的电阻将这些引脚连接至电源引脚或接地引脚上。

闩锁

半导体器件由基板上的 P 型和 N 型区域构成。当接触异常的高电压时，可能会形成内部的寄生 $pn\bar{p}n$ 结（称为晶闸管结构），这样会在电源引脚上连续流过超过几百毫安级的大电流。该条件被称为闩锁。

警告：闩锁事件不仅会降低半导体器件的可靠性，而且会引起由高热量、烟雾或燃烧造成的伤害或损坏。要想防止发生闩锁，请遵循以下原则：

1. 确保引脚上的电压不超过最大绝对额定值。也应限制异常噪声、浪涌电平等。
2. 确保在上电序列期间不会发生异常电流。

遵循安全性规定和标准

世界上大多数国家都建立了有关安全性、电磁干扰保护等标准和规定。客户需要遵循这些针对产品设计的规定和标准。

可靠性设计

如上面所述，所有半导体器件都存在固有的故障率。您必须在自己的设施和设备中加入安全设计措施，如冗余、防火、过流保护和其他异常工况，以防止由于此类故障造成的伤害、损坏或损失。

器件使用的注意事项

赛普拉斯半导体器件适用于各种标准应用（电脑、办公自动化以及其他办公设备、工业、通信、测量设备、个人或家用设备等）。

警告：如果客户考虑在特殊应用中使用我们的产品，即故障或异常操作可能会直接影响到生命安全，造成人身伤害或财产损失的应用，或者要求极高可靠性的应用（如航空系统、原子能控制、海底下继器、车辆运行控制、生命保障医疗设备等），务必预先联系销售代表。如果未经批准，本公司将不对这种使用情况所造成的损害负责。

8.2 封装安装注意事项

封装安装可能包括插件和表面安装两种类型。在这两种情况中，为了保证对应焊接的耐热能力，请遵照赛普拉斯的建议条件进行安装。有关安装条件的更多信息，请联系您的销售代表。

插件类型

通过以下两种方法可以将插件类型封装安装在印刷电路板上：电路板上直接焊接或使用插座安装。

电路板上直接安装通常需要将引脚插入到电路板上的过孔，然后采用液体焊料的波峰焊方法。在这种方法中，焊接过程通常会使引脚承受超过存储温度绝对额定值的热冲击。安装程序应该符合赛普拉斯所建议的安装条件。

如果采用插座安装，长期使用后插座触点和 IC 引脚的表面处理差异会使两者贴接质量降低。因此，建议在安装之前验证插座触点和 IC 引脚的表面处理情况。

表面安装类型

与插件类型封装相比，表面安装封装的引脚更长且更薄，因此它们更容易变形或弯曲。使用更多引脚和间距更小的封装时，更易损坏，增加引脚变形造成的连接开路，或由焊料接导致的短路。

您必须使用合适的安装技术。赛普拉斯建议使用回流焊，并为每个产品的各个焊接条件制定了规范。用户应该根据赛普拉斯所建议的条件级别来安装封装。

无铅封装

警告：当使用 Sn-Pb 共晶焊料来焊接带 Sn-Ag-Cu 球形焊盘的球栅阵列（BGA）封装时，芯片的结强度可能会在某些使用条件下降低。

半导体器件存储

由于塑料芯片封装是由塑料树脂构成的，因此接触自然环境时它会吸收潮气。在焊接过程中，如果受潮封装被加热，则表面会剥落，从而使防潮性能降低并使封装破裂。要想防止这种情况，请遵照以下注意事项：

1. 避免外界温度剧烈变化，否则潮气会在产品内冷凝成水珠。将产品存储在温度变化小的环境内。
2. 使用干燥箱存储产品。应将产品存储在相对湿度低于 70%、温度为 5°C 到 30°C 的环境内。
3. 打开干燥封装时，建议储存在相对湿度为 40% 到 70% 的环境内。

4. 必要时，赛普拉斯将半导体器件包装在带有硅胶干燥剂的高度防潮铝膜真空包装袋内。应将器件密封在这些铝膜真空包装袋内来储存它们。
5. 避免将这些封装存储在存在腐蚀性气体或含高粉尘的环境中。

烘烤

已经吸潮的包装可通过烘烤（热烘）除湿。请遵照赛普拉斯所建议的条件进行烘烤。

条件: 125°C/24 h

静电

由于静电非常容易对半导体器件产生不利影响，因此必须遵照以下注意事项：

1. 保证工作环境的相对湿度为 40% 到 70%。也可能需要离子产生设备来去除静电。
2. 通过电气方式将所有输料机、焊舱、焊铁和外设接地。
3. 使用通过高电阻（ $1 M\Omega$ 左右）接地的手环或戒指来消除人体静电。建议穿导电的衣服和鞋，使用导电地垫和其他方法，尽量减少静电的冲击能量。
4. 将所有夹具和仪器接地，或使用其它防静电措施。
5. 避免使用聚苯乙烯泡沫塑料或其他易带静电的材料来存储电路板组件成品。

8.3 使用环境注意事项

如前面章节所述，半导体器件的可靠性取决于环境温度和其他条件。

为使性能可靠，请遵守：

1. 湿度

长时间在高湿环境下使用会导致器件之间或印刷电路板之间的电流泄露。如能预知应用于高湿环境，则需要考虑额外的防潮措施。

2. 静电放电

当高压带电物体靠近半导体器件时，放电会引起运行异常。在这种情况下，请使用防静电措施或工艺来防止放电发生。

3. 腐蚀性气体、粉尘或油

暴露在腐蚀性气体、粉尘或油等环境时可能会引起化学反应，对器件产生不利影响。如果在这些条件下使用器件，则需要考虑采取措施防止器件暴露于此类物质中以保护器件。

4. 辐射，包括宇宙射线

大多数的器件设计并没考虑到应对辐射或宇宙射线的措施。因此，用户最好适当屏蔽。

5. 烟雾、燃烧

警告：塑封器件易燃，因此需远离易燃物质。如果设备冒烟或燃烧，存在释放有毒气体的危险。

如果客户考虑在其他特殊环境条件下使用赛普拉斯产品，请联系销售代表。

9. 器件注意事项

电源引脚

产品带有多个 VCC 和 VSS 引脚时，同电位的相应引脚在器件内已经互连，以防止发生闩锁等故障。但是所有这些引脚应当通过外部连接到电源或地上，以降低电磁辐射水平、防止地电位上升导致的选通信号异常操作，并符合额定的输出总电流。

请确保连接电源时，器件的供电引脚和 GND 引脚为低阻抗。另外建议在靠近器件的范围内将约 $0.1 \mu\text{F}$ 的旁路陶瓷电容放置在 VCC 和 VSS 之间。

当电源电压快速波动时，即使该波动处于 VCC 电源电压的保证工作范围，也可能发生故障。作为电压稳定规则，必须抑制工频（50 Hz/60 Hz）的 VCC 纹波（峰-峰值）波动不超过 VCC 标准值的 10%，并且瞬间波动斜率不能超过 $0.1 \text{ V}/\mu\text{s}$ ，尤其注意上下电时。

晶体振荡电路

X0/X1 和 X0A/X1A 引脚附近的噪声可能导致器件故障。设计印刷电路板时应使 X0/X1、X0A/X1A 引脚、晶振（或陶振）以及对地旁路电容尽可能靠近器件。

强烈建议在 PCB 设计时，设计地平面环绕 X0/X1 和 X0A/X1A 引脚，确保运行稳定。

用电路板上的晶振来评估振荡质量。

副晶振

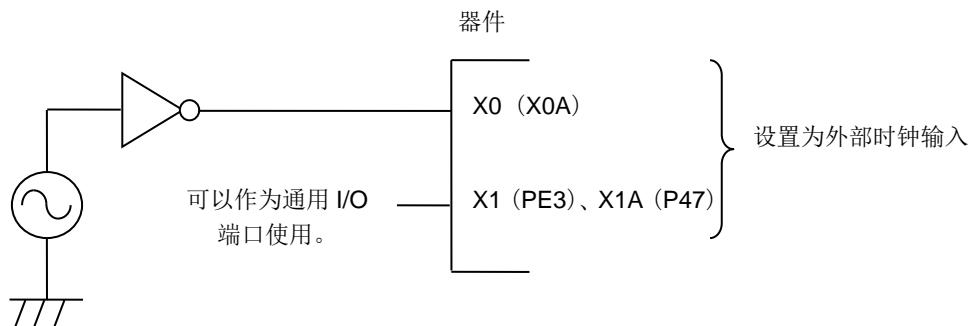
该器件系列的副振荡电路为保持低功耗而采用低增益电路。为了使振荡稳定，赛普拉斯建议晶振满足以下条件：

- 表面安装类型
 - 大小: $3.2 \text{ mm} \times 1.5 \text{ mm}$ 以上
 - 负载电容: 大约为 6 pF 到 7 pF
- 插件类型
 - 负载电容: 大约为 6 pF 到 7 pF

外部时钟的使用

将主时钟作为外部时钟的输入时，需要将 X0/X1 设置为外部时钟输入模式，并从 X0 输入。X1 (PE3) 可以作为通用 I/O 端口使用。同样，副时钟使用外部时钟时，X0A/X1A 设置为外部时钟输入模式，从 X0A 输入。X1A (P47) 可以作为通用 I/O 端口使用。

● 外部时钟使用示例

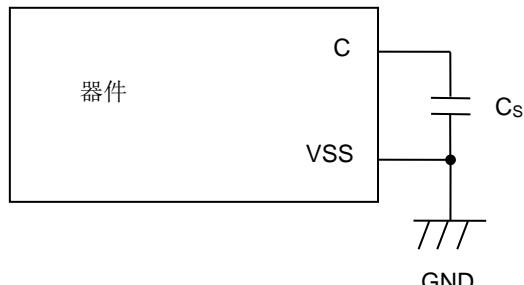


多功能串行引脚作为 I²C 引脚时的注意事项

如果应用将多功能串行引脚作为 I²C 引脚使用，则需要禁用数字输出的 P 沟道管。同其他引脚相似，I²C 引脚也要符合电气限制规则，并且 MCU 断电时，避免将这些引脚连接到工作的外部系统。

C 引脚

该系列器件内置电压调节器。请确保在 C 引脚和 GND 引脚之间为内部电压调节器连接平滑电容 (C_s)。请使用陶瓷电容或频率特性相等的平滑电容。某些叠层陶瓷电容会随温度波动造成较大容值变化。请评估器件温度特性，来选择满足运行条件的电容。该器件系列建议使用 4.7 μ F 大小的平滑电容。



模式引脚 (MD0)

将 MD 引脚 (MD0) 直接连接到 VCC 或 VSS 引脚上。设计印刷电路板时，请确保上拉/下拉电阻保持低阻抗，模式引脚和 VCC/VSS 引脚之间的距离尽可能短，且在将引脚上拉/下拉时（如切换引脚电平和重新编写闪存数据），连接阻抗也要低。此重要原则可以避免噪声时器件错误地切换为测试模式。

上电注意事项

请按照以下顺序或同时打开/关闭电源。如果未使用模数转换器和数模转换器，请将 AVCC 连接到 VCC 上，将 AVSS 连接到 VSS。

上电:	VCC → USBVCC0
	VCC → USBVCC1
	VCC → ETHEVCC
	VCC → AVCC → AVRH
关闭:	USBVCC0 → VCC
	USBVCC1 → VCC
	ETHEVCC → VCC
	AVRH → AVCC → VCC

串行通信

实现串行通信时，噪声或其他问题可能导致接收到错误数据。慎重设计印刷电路板，尽可能降低噪声。

考虑到噪声引起的错误现象，请注意错误检测，比如在数据结尾添加校验和。如果检测到某种错误，应重新传输数据。

同产品线的性能差异

由于芯片布局和存储器结构不一样（比如不同大小、闪存或者 ROM，等等），产品线中各成员的电气特性（包括功耗、ESD、闩锁、噪声和振荡）可能存在差异。如果您切换到同一个系列中的其他产品，必须评估电气特性。

耐 5 V I/O 的上拉功能

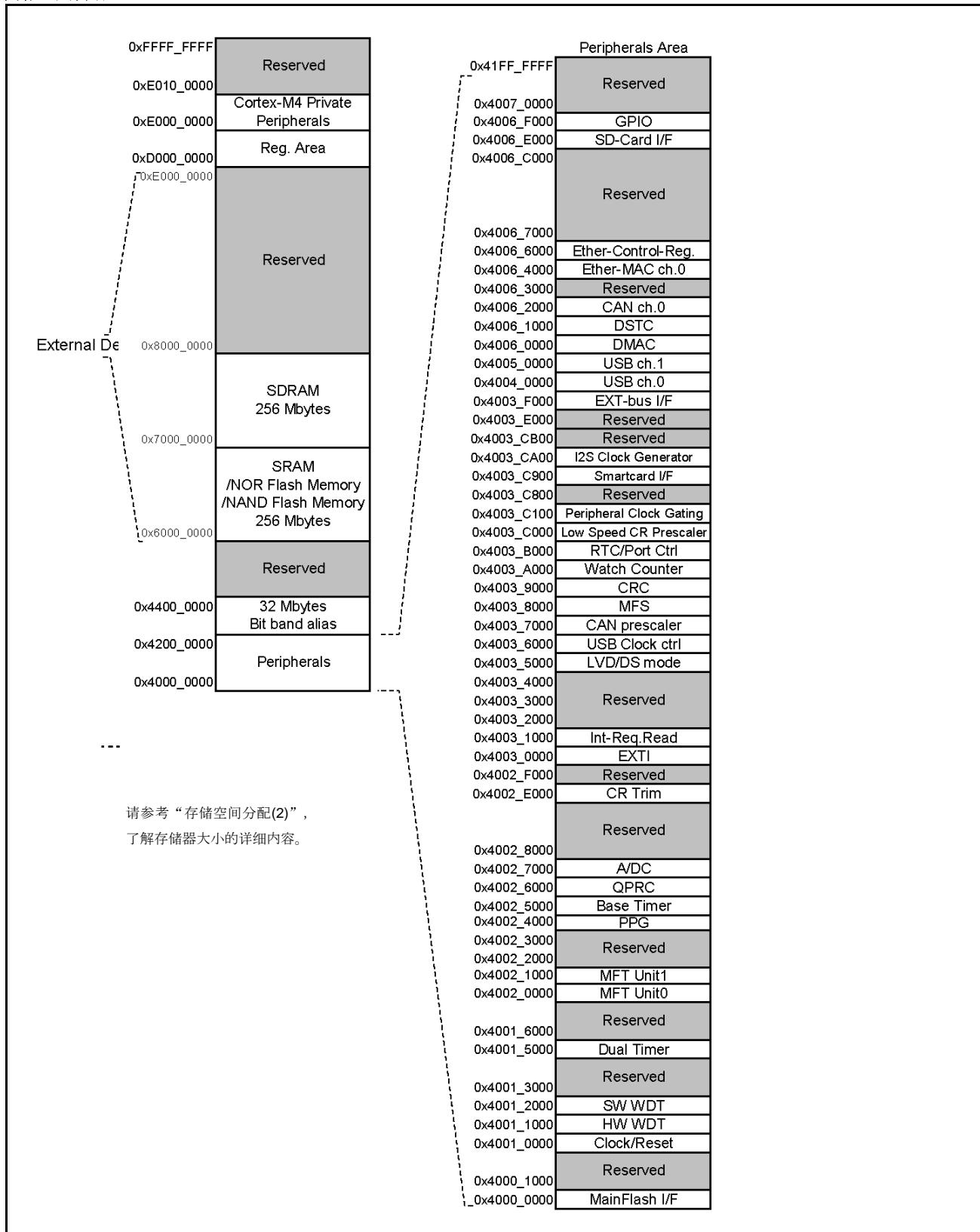
当使用耐 5 V I/O 的上拉功能时，请勿输入超过 VCC 电压的信号。

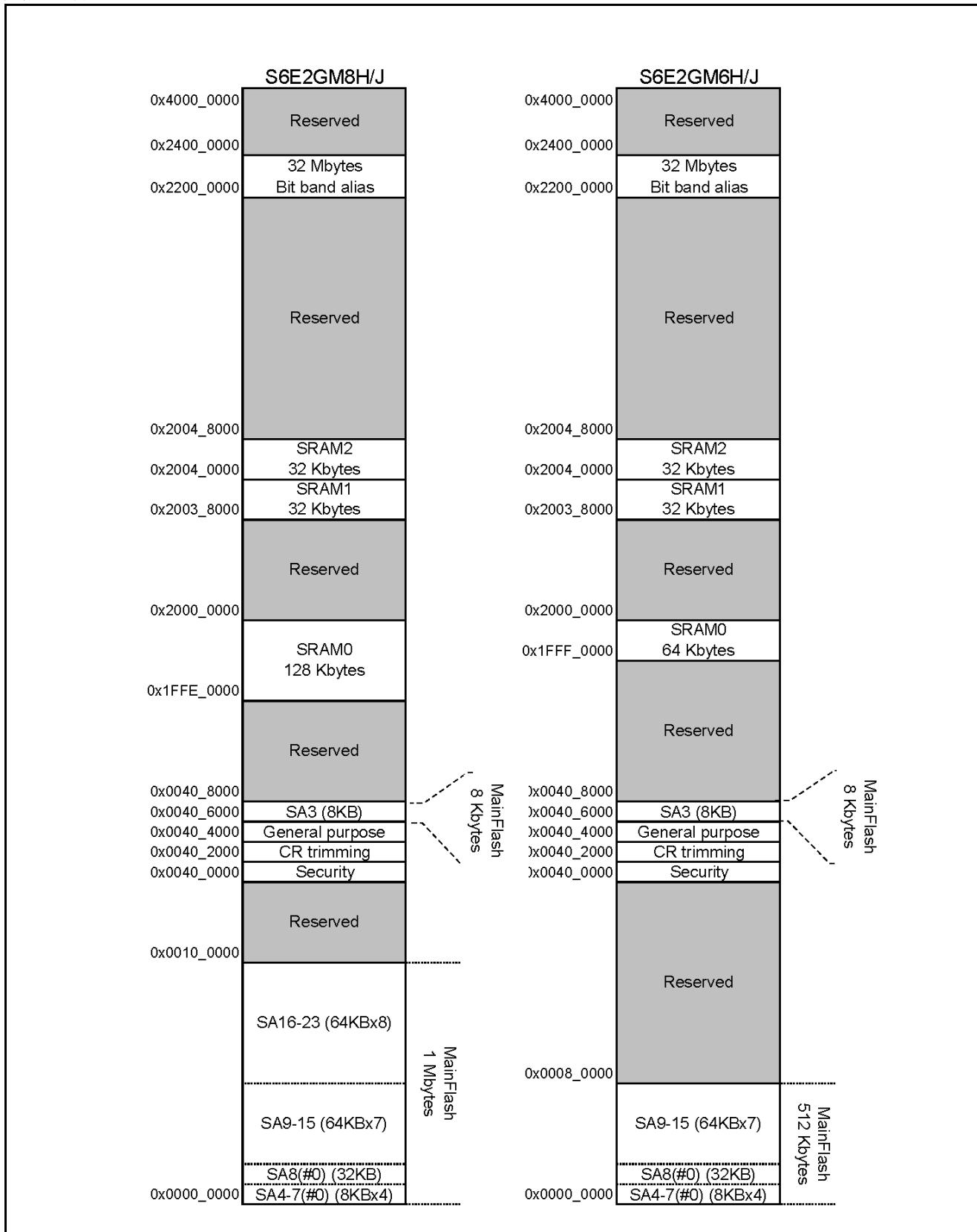
复用调试功能的引脚

TDO/TMS/TDI/TCK/TRSTX、SWO/SWDIO/SWCLK 等复用功能的引脚只能作为输出。请勿将其作为输入使用。

10. 存储器映射

存储空间分配 (1)



存储空间分配 (2)


*: 请参考 S6E2GM/GK/GH/G3/G2 系列闪存编程手册了解闪存的详细内容。

外设地址分配

起始地址	结束地址	总线	外设
0x4000_0000	0x4000_0FFF	AHB	主闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件看门狗定时器
0x4001_2000	0x4001_2FFF		软件看门狗定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器单元 0
0x4002_1000	0x4002_1FFF		多功能定时器单元 1
0x4002_2000	0x4002_3FFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基础定时器
0x4002_6000	0x4002_6FFF		正交位置/转数计数器
0x4002_7000	0x4002_7FFF		模数转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内部 CR 校准
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断控制器
0x4003_1000	0x4003_1FFF		中断请求批量读取功能
0x4003_2000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低电压检测
0x4003_5800	0x4003_5FFF		深度待机模式控制器
0x4003_6000	0x4003_6FFF		USB 时钟发生器
0x4003_7000	0x4003_7FFF		CAN 预分频器
0x4003_8000	0x4003_8FFF		多功能串行接口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		RTC/端口控制
0x4003_C000	0x4003_C0FF		低速 CR 预分频器
0x4003_C100	0x4003_C7FF		外设时钟门控
0x4003_C800	0x4003_C8FF		保留
0x4003_C900	0x4003_C9FF		I2S 时钟发生器
0x4003_CA00	0x4003_CAFF		智能卡接口
0x4003_CB00	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部存储器接口

起始地址	结束地址	总线	外设
0x4004_0000	0x4004_FFFF	AHB	USB 通道 0
0x4005_0000	0x4005_FFFF		USB 通道 1
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x4006_1FFF		DSTC 寄存器
0x4006_2000	0x4006_2FFF		CAN 通道 0
0x4006_3000	0x4006_3FFF		保留
0x4006_4000	0x4006_5FFF		以太网 MAC 通道 0
0x4006_6000	0x4006_6FFF		以太网 MAC 设置寄存器
0x4006_7000	0x4006_DFFF		保留
0x4006_E000	0x4006_EFFF		SD 卡 I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4007_0000	0x41FF_FFFF		保留

11. 各 CPU 模式下的引脚状态

描述引脚状态的术语含义如下：

■ INITX = 0

表示 INITX 引脚为低电平时。

■ INITX = 1

表示 INITX 引脚为高电平时。

■ SPL = 0

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 0。

■ SPL = 1

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 1。

■ 输入使能

表示输入功能有效。

■ 内部输入固定为 0

输入功能被禁止。内部输入固定为低电平。

■ 高阻态

表示引脚驱动晶体管被禁止，引脚处于高阻态。

■ 设置禁用

表示设置无效。

■ 保持之前状态

保持进入当前模式之前的状态。

如果内置外设功能正在运行，则引脚上的信号变化取决于外设功能。

如果该引脚为某个端口，则保持引脚上输出的状态。

■ 模拟输入被使能

表示模拟输入有效。

■ 追踪输出

表示可以使用追踪功能。

■ GPIO 功能

在深度待机模式下，引脚切换为通用 I/O 端口。

■ 设置禁止

根据规范被禁止的设置项

模式状态引脚行为表

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式		深度待机RTC模式、深度待机停止模式		深度深度待机模式返回状态
		电源未稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	GPIO 功能，内部输入固定为 0	高阻态/内部输入固定为 0	GPIO 功能
	主晶振输入引脚/外部主时钟输入	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	GPIO 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	GPIO 功能，内部输入固定为 0	高阻态/内部输入固定为 0	GPIO 功能
	外部主时钟输入	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	保持之前状态	高阻态/内部输入固定为 0	保持之前的状态
C	主晶振输出引脚	高阻态/内部输入固定为 0/输入使能	高阻态/内部输入固定为 0	高阻态/内部输入固定为 0	振荡器工作时，保持之前的状态/振荡器停止时 ⁵ ，该引脚为高阻态/内部输入固定为 0					
	INITX 输入引脚	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	GPIO 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/输入使能	GPIO 功能	高阻态/输入使能	GPIO 功能

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机RTC模式、深度待机停止模式	深度深度待机模式返回状态		
		电源未稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定		
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		
		-	-	-	-	SPL=0	SPL=1	SPL=0		
F	NMIX 引脚	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	保持之前的状态	保持之前的状态		
	其它外设功能	高阻态	高阻态/输入使能	高阻态/输入使能			高阻态/内部输入固定为 0	高阻态/WKUP 输入使能		
	GPIO 功能									
G	JTAG 功能	高阻态	上拉/输入使能	上拉/输入使能	保持之前的状态	保持之前的状态	保持之前的状态	保持之前的状态		
	GPIO 功能	设置被禁用	设置被禁用	设置被禁用			高阻态/内部输入固定为 0	GPIO 功能，内部输入固定为 0		
H	JTAG 功能	高阻态	上拉/输入使能	上拉/输入使能	保持之前的状态	保持之前的状态	保持之前的状态	保持之前的状态		
	其它外设功能	设置被禁用	设置被禁用	设置被禁用			高阻态/内部输入固定为 0	GPIO 功能，内部输入固定为 0		
	GPIO 功能									
I	外设功能	高阻态	高阻态/输入使能	高阻态/输入使能	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	高阻态/内部输入固定为 0		
	GPIO 功能									

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机、RTC模式、深度待机停止模式	深度深度待机模式返回状态	
		电源未稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1	
		-	-	-	-	SPL=0	SPL=1	SPL=0	
J	模拟输出功能	高阻态	高阻态/输入使能	高阻态/输入使能	保持之前的状态	*2	*3	GPIO 功能，内部输入固定为 0	
	外部中断使能					保持之前的状态	保持之前的状态		
	其它外设功能					保持之前的状态	高阻态/内部输入固定为 0		
	GPIO 功能					保持之前的状态	高阻态/内部输入固定为 0		
K	外部中断使能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	GPIO 功能，内部输入固定为 0	GPIO 功能	
	其它外设功能	高阻态	高阻态/输入使能	高阻态/输入使能		保持之前的状态			
	GPIO 功能					高阻态/内部输入固定为 0			
L	模拟输入功能	高阻态	高阻态/内部输入固定为 0/模拟输入使能						
	其它外设功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	GPIO 功能，内部输入固定为 0	GPIO 功能	
	GPIO 功能		高阻态/内部输入固定为 0						

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机RTC模式、深度待机停止模式	深度深度待机模式返回状态
		电源未稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0
M	模拟输入功能	高阻态	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能
	外部中断使能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	GPIO功能，内部输入固定为0	GPIO功能
	其它外设功能							
	GPIO功能					高阻态/内部输入固定为0	高阻态/内部输入固定为0	
N	模拟输入功能	高阻态	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能
	追踪功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	追踪输出	GPIO功能，内部输入固定为0	GPIO功能
	其它外设功能							
	GPIO功能					高阻态/内部输入固定为0	高阻态/内部输入固定为0	

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机RTC模式、深度待机停止模式	深度深度待机模式返回状态
		电源未稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0
O	模拟输入功能	高阻态	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能
	追踪功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	追踪输出	GPIO 功能，内部输入固定为0	GPIO 功能
	外部中断使能					保持之前的状态		
	其它外设功能					高阻态/内部输入固定为0		
	GPIO 功能							
P	模拟输入功能	高阻态	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能	高阻态/内部输入固定为0/模拟输入使能
	WKUP 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	WKUP 输入使能	高阻态/WKUP 输入使能
	其它外设功能					高阻态/内部输入固定为0	GPIO 功能，内部输入固定为0	高阻态/内部输入固定为0
	GPIO 功能							

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机、RTC模式、深度待机停止模式		深度深度待机模式返回状态		
		电源未稳定	电源稳定		电源稳定	电源稳定		电源稳定	电源稳定		
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1	INITX=1		
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1		
Q	WKUP 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	WKUP 输入使能	高阻态/WKUP输入使能	WKUP输入使能		
	外部中断使能							高阻态/内部输入固定为0	GPIO功能		
	其它外设功能	高阻态	高阻态/输入使能	高阻态/输入使能	保持之前的状态	保持之前的状态	GPIO功能，内部输入固定为0				
	GPIO功能										
R	GPIO功能	高阻态	高阻态/输入使能	高阻态/输入使能	保持之前的状态	保持之前的状态	高阻态/内部输入固定为0	GPIO功能，内部输入固定为0	高阻态/内部输入固定为0	GPIO功能	
	USB I/O引脚	设置被禁用	设置被禁用	设置被禁用	发送时为高阻态/输入使能/内部输入固定输入固定为0	发送时为高阻态/输入使能/内部输入固定输入固定为0	发送时为高阻态/输入使能/内部输入固定输入固定为0	高阻态/输入使能	高阻态/输入使能	高阻态/输入使能	
S	GPIO功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为0	GPIO功能，内部输入固定为0	高阻态/内部输入固定为0	GPIO功能	
	副晶振输入引脚/外部主时钟输入	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机、RTC模式、深度待机停止模式	深度深度待机模式返回状态		
		电源未稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定	电源稳定		
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		
		-	-	-	-	SPL=0	SPL=1	SPL=0		
T	GPIO 功能	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	GPIO 功能，内部输入固定为 0		
	外部主时钟输入	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	高阻态/内部输入固定为 0	高阻态/内部输入固定为 0		
	副晶振输出引脚	高阻态/内部输入固定为 0/输入使能	高阻态/内部输入固定为 0	高阻态/内部输入固定为 0	振荡器工作时，保持之前的状态/振荡器停止时 ^{*5} ， 该引脚为高阻态/内部输入固定为 0					
V	以太网 I/O 功能*4	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	保持之前的状态	GPIO 功能，内部输入固定为 0		
	其它外设功能	高阻态	高阻态/输入使能	高阻态/输入使能			高阻态/内部输入固定为 0			
	GPIO 功能						高阻态/内部输入固定为 0			

引脚状态类型	功能组	上电复位或低电压检测状态	INITX输入状态	器件内部复位状态	运行模式、睡眠模式	定时器模式、RTC模式、停止模式	深度待机RTC模式、深度待机停止模式	深度深度待机模式返回状态			
		电源未稳定	电源稳定		电源稳定	电源稳定		电源稳定			
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1			
		-	-	-	-	SPL=0	SPL=1	SPL=0			
W	以太网输入/输出功能 ⁴	设置被禁用	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	保持之前的 状态	GPIO 功能， 内部输入/固定为 0			
	外部中断使能功能	高阻态	高阻态/输入使能	高阻态/输入使能			高阻态/内部输入固定为 0				
	其它外设功能										
	GPIO 功能										

- 1: 在副定时器模式、副 CR 定时器模式、RTC 模式、停止模式、深度待机 RTC 模式和深度待机停止模式下，振荡停止。
- 2: 在定时器模式下保持之前状态。在 RTC 模式和停止模式下，GPIO 内部输入固定为 0。
- 3: 在定时器模式下保持之前状态。在 RTC 模式和停止模式下，为高阻态/内部输入固定为 0。
- 4: EPFR14.E_SPLC 寄存器设置决定的状态。

12. 电气特性

12.1 最大绝对额定值

参数	符号	额定值		单位	备注
		最小值	最大值		
供电电压 ^{*1、*2}	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
供电电压 (USB 部分) ^{*1、*3}	USBV _{CC0}	V _{SS} - 0.5	V _{SS} + 6.5	V	
供电电压 (USB 部分) ^{*1、*3}	USBV _{CC1}	V _{SS} - 0.5	V _{SS} + 6.5	V	
供电电压 (Ethernet-MAC 部分) ^{*1、*4}	ETHV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟供电电压 ^{*1、*5}	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟参考电压 ^{*1、*5}	AV _{RH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
输入电压 ^{*1}	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	USB 和 Ethernet-MAC 引脚除外
		V _{SS} - 0.5	USBV _{CC0} + 0.5 (≤ 6.5 V)	V	USB 通道 0 引脚
		V _{SS} - 0.5	USBV _{CC1} + 0.5 (≤ 6.5 V)	V	USB 通道 1 引脚
		V _{SS} - 0.5	ETHV _{CC} + 0.5 (≤ 6.5 V)	V	Ethernet-MAC 引脚
		V _{SS} - 0.5	V _{SS} + 6.5	V	耐 5 V 电压
模拟引脚输入电压 ^{*1}	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≤ 6.5 V)	V	
输出电压 ^{*1}	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	
低电平最大输出电流 ^{*6}	I _{OL}	-	10	mA	4 mA 型
			20	mA	8 mA 型
			20	mA	12 mA 型
			22.4	mA	I ² C Fm+
低电平平均输出电流 ^{*7}	I _{OLAV}	-	4	mA	4 mA 型
			8	mA	8 mA 型
			12	mA	12 mA 型
			20	mA	I ² C Fm+
低电平最大总输出电流	ΣI_{OL}	-	100	mA	
低电平平均总输出电流 ^{*8}	ΣI_{OLAV}	-	50	mA	
高电平最大输出电流 ^{*6}	I _{OH}	-	- 10	mA	4 mA 型
			- 20	mA	8 mA 型
			- 20	mA	12 mA 型
高电平平均输出电流 ^{*7}	I _{OHAV}	-	- 4	mA	4 mA 型
			- 8	mA	8 mA 型
			- 12	mA	12 mA 型
高电平最大总输出电流	ΣI_{OH}	-	- 100	mA	
高电平平均总输出电流 ^{*8}	ΣI_{OHAV}	-	- 50	mA	
存储温度	T _{STG}	- 55	+ 150	°C	

- 1: 参数基于 $V_{SS} = AV_{SS} = 0.0$ V。
- 2: V_{CC} 不可低于 $V_{SS} - 0.5$ V。
- 3: $USBV_{CC0}$ 、 $USBV_{CC1}$ 不可低于 $V_{SS} - 0.5$ V。
- 4: $ETHV_{CC}$ 不可低于 $V_{SS} - 0.5$ V。
- 5: 请确保电压不超过 $V_{CC} + 0.5$ V (例如上电时)。
- 6: 最大输出电流被定义为经过任意一个相应引脚的峰值电流。
- 7: 平均输出电流被定义为在 100 ms 周期内经过任意一个相应引脚的平均电流。
- 8: 平均总输出电流被定义为在 100 ms 周期内经过所有相应引脚的平均电流。

警告:

- 外界冲击 (包括未限制的电压、电流或温度) 超过最大绝对额定值会使半导体器件永久性损坏。禁止超过上述任何额定值。

12.2 推荐工作条件

参数	符号	条件	值		单位	备注
			最小值	最大值		
供电电压	V _{CC}	-	2.7*10	5.5	V	
供电电压 (USB 通道 0 部分)	USBV _{CC0}	-	3.0	3.6 (≤ V _{CC})	V	*1
			2.7	5.5 (≤ V _{CC})		*2
供电电压 (USB 通道 1 部分)	USBV _{CC1}	-	3.0	3.6 (≤ V _{CC})	V	*3
			2.7	5.5 (≤ V _{CC})		*4
供电电压 (Ethernet-MAC 部分)	ETHV _{CC}	-	3.0	3.6 (≤ V _{CC})	V	*5
			4.5	5.5 (≤ V _{CC})		*5
			2.7	5.5 (≤ V _{CC})		*6
模拟供电电压	A _{VCC}	-	2.7	5.5	V	A _{VCC} = V _{CC}
模拟参考电压	AVRH	-	*9	A _{VCC}	V	
	AVRL	-	A _{VSS}	A _{VSS}	V	
滤波电容	C _S	-	1	10	μF	内置电压调节器 *7
工作温度	结温	T _J	-40	+125	°C	
	环境温度	T _A	-40	*8	°C	

- 1: P81/UDP0 和 P80/UDM0 引脚配置为 USB (UDP0、UDM0)
- 2: P81/UDP0 和 P80/UDM0 引脚配置为 GPIO (P81、P80)
- 3: P83/UDP1 和 P82/UDM1 引脚配置为 USB (UDP1、UDM1)
- 4: P83/UDP1 和 P82/UDM1 引脚配置为 GPIO (P83、P82)
- 5: Ethernet-MAC 时序 (P6E/ADTG_5/SCK4_1/IC23_1/INT29_0/E_PPS 引脚除外) 当作 Ethernet-MAC 引脚使用
- 6: Ethernet-MAC 时序中的引脚 (P6E/ADTG_5/SCK4_1/IC23_1/INT29_0/E_PPS 引脚除外) 当作功能引脚使用
- 7: 请参考 9. 器件注意事项部分中的“C 引脚”，了解滤波电容的连接。
- 8: 结温 (T_J) 允许值决定最高环境温度 (T_A) 的动态范围。

环境温度 (T_A) 的计算公式如下：

$$T_A (\text{最大值}) = T_J (\text{最大值}) - P_d (\text{最大值}) \times \theta_{JA}$$

P_d: 功耗 (W)

θ_{JA}: 封装热阻 (°C/W)

$$P_d (\text{最大值}) = V_{CC} \times I_{CC} (\text{最大值}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL}: 低电平输出电流

I_{OH}: 高电平输出电流

V_{OL}: 低电平输出电压

V_{OH}: 高电平输出电压

9: 模拟参考电压的最小值取决于比较时钟周期值 (T_{CCK})。更多详细信息，请参考 12.5. 12 位模数转换器一节。

10: 电压范围在 V_{CC} (最小值) 到低电压检测复位 (VDH) 之间时，MCU 只能选择高速 CR 或低速 CR 作为时钟。

各封装的热阻和最大允许功耗如下。

当半导体器件功耗小于或等于最大允许值时可确保正常运行。

各种封装的热阻和最大允许功耗列表

封装	印刷电路板	热阻 θ_{ja} (°C/W)	最大允许功率 (mW)	
			$T_A = +85^\circ\text{C}$	$T_A = +105^\circ\text{C}$
LQS144 (间距为 0.5 mm)	单层双面	48	833	417
	四层	33	1212	606
LQP176 (间距为 0.5 mm)	单层双面	45	889	444
	四层	31	1290	645

警告:

- 为确保半导体器件正常工作, 需满足推荐的工作条件。当器件在这些条件下工作时, 所有器件的电气特性均可担保。始终在建议的工作条件范围内使用半导体器件。如果在这些范围外进行操作, 会对可靠性产生不利影响并导致器件故障。
- 对于超出本数据手册中所介绍的使用情况、工作范围或组合条件, 赛普拉斯公司不提供任何担保。如果用户考虑超出所列条件外的应用, 请提前联系销售代表。

Ethernet-MAC 引脚

引脚名称	Ethernet-MAC 功能	Ethernet-MAC 除外功能	电源类型
P6E/ADTG_5/SCK4_1/INT29_0/E_PPS	E_PPS *	P6E/ADTG_5/SCK4_1/INT29_0	V _{CC}
PC0/E_RXER	E_RXER	PC0	
PC1/TIOB6_0/E_RX03	E_RX03	PC1/TIOB6_0	
PC2/TIOA6_0/E_RX02	E_RX02	PC2/TIOA6_0	
PC3/TIOB7_0/E_RX01	E_RX01	PC3/TIOB7_0	
PC4/TIOA7_0/E_RX00	E_RX00	PC4/TIOA7_0	
PC5/TIOB14_0/E_RXDV	E_RXDV	PC5/TIOB14_0	
PC6/TIOA14_0/E_MDIO	E_MDIO	PC6/TIOA14_0	
PC7/INT13_0/E_MDC/CROUT_1	E_MDC	PC7/INT13_0/CROUT_1	
PC8/E_RXCK_REFCK	E_RXCK_REFCK	PC8	
PC9/TIOB15_0/E_COL	E_COL	PC9/TIOB15_0	ETHV _{CC}
PCA/TIOA15_0/E_CRS	E_CRS	PCA/TIOA15_0	
PCB/INT28_0/E_COUT	E_COUT	PCB/INT28_0	
PCC/E_TCK	E_TCK	PCC	
PCD/SOT4_1/INT14_0/E_TXER	E_TXER	PCD/SOT4_1/INT14_0	
PCE/SIN4_1/INT15_0/E_TX03	E_TX03	PCE/SIN4_1/INT15_0	
PCF/RTS4_1/INT12_0/E_TX02	E_TX02	PCF/RTS4_1/INT12_0	
PD0/INT30_1/E_TX01	E_TX01	PD0/INT30_1	
PD1/INT31_1/E_TX00	E_TX00	PD1/INT31_1	
PD2/CTS4_1/E_TXEN	E_TXEN	PD2/CTS4_1	

*: 结合波形, 可以确认 Ethernet-MAC 中的 PTP 计数器周期。

功耗 (Pd) 的计算方法

功耗计算公式如下。

$$Pd = V_{cc} \times I_{cc} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{cc} - V_{OH}) \times (-I_{OH}))$$

I_{OL} : 低电平输出电流

I_{OH} : 高电平输出电流

V_{OL} : 低电平输出电压

V_{OH} : 高电平输出电压

I_{cc} 是器件所消耗的电流。

可以按照下列情况分析。

$$I_{cc} = I_{cc} (\text{INT}) + \sum I_{cc} (\text{IO})$$

$I_{cc} (\text{INT})$: 内部逻辑和存储器等电路流过内部稳压器的电流

$\sum I_{cc} (\text{IO})$: 输出引脚所消耗的电流总和 (I/O 切换电流)

$I_{cc} (\text{INT})$ 部分, 可参考“12.3 直流特性”章节中的“(1)电流额定值”(该额定值不包括固定引脚上的 $I_{cc} (\text{I/O})$)。

$I_{cc} (\text{IO})$ 部分, 取决于用户使用的系统。

计算公式如下。

$$I_{cc} (\text{IO}) = (C_{INT} + C_{EXT}) \times V_{cc} \times f_{sw}$$

C_{INT} : 引脚内部负载电容

C_{EXT} : 输出引脚的外部负载电容

f_{sw} : 引脚切换频率

参数	符号	条件	电容值
引脚内部负载电容	C_{INT}	4 mA 型	1.93 pF
		8 mA 型	3.45 pF
		12 mA 型	3.42 pF

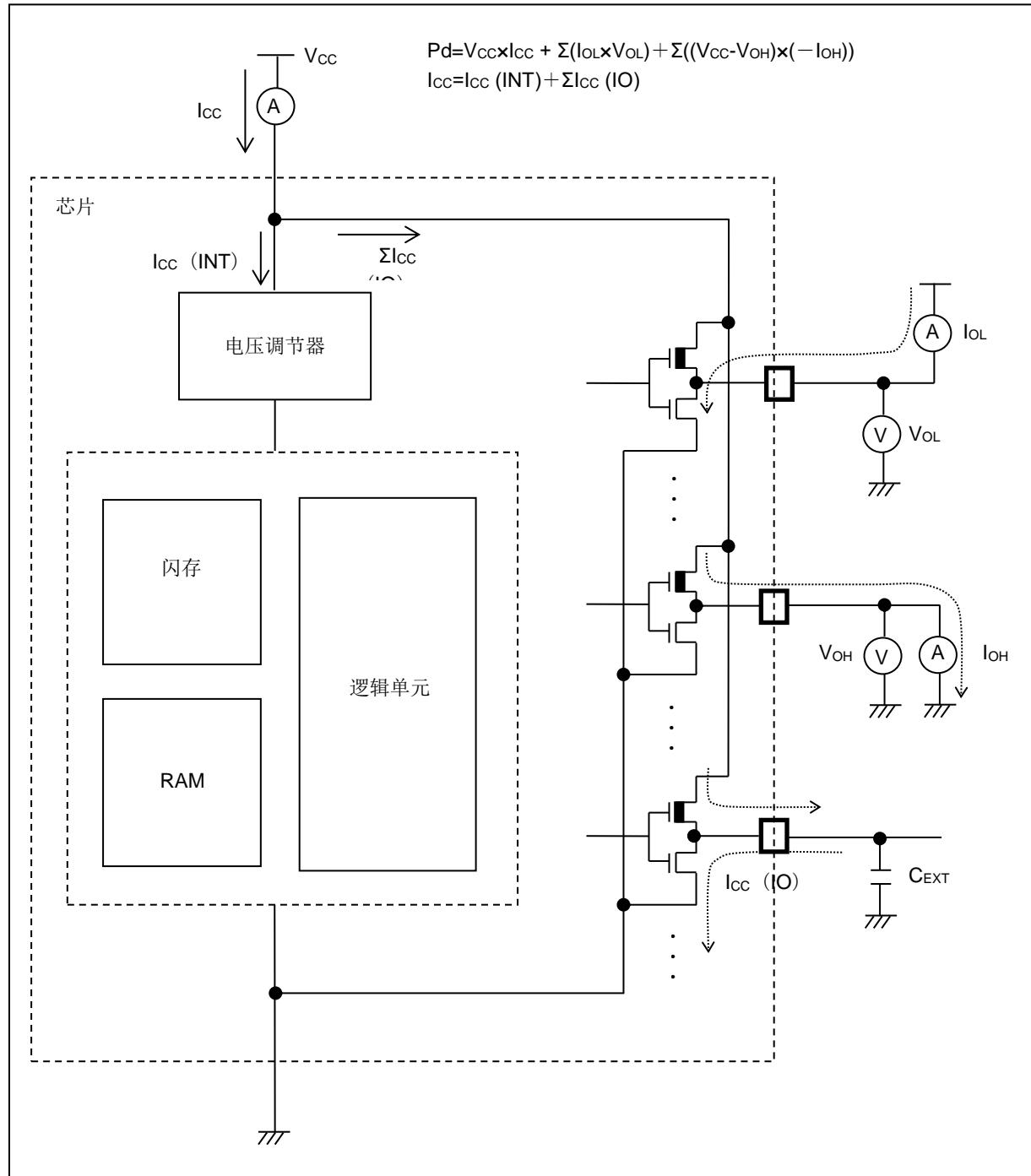
也可按照如下方式计算 I_{cc} (最大值) 来自己评估功耗:

测量正常温度 (+25°C) 下电流值 I_{cc} (典型值)。

再加下表中的最大漏电流值 I_{cc} (leak_max)。

$$I_{cc} (\text{最大值}) = I_{cc} (\text{典型值}) + I_{cc} (\text{leak_max})$$

参数	符号	条件	电流值
工作时的最大漏电流	$I_{cc} (\text{leak_max})$	$T_J = +125^\circ\text{C}$	53.6 mA
		$T_J = +105^\circ\text{C}$	26.6 mA
		$T_J = +85^\circ\text{C}$	17.5 mA

电流分解示意图


12.3 直流特性

12.3.1 电流额定值

表 12-1. 正常工作模式 (PLL) 的典型值和最大值, 执行闪存存储器中代码 (闪存加速器和追踪缓冲区功能使能)

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注	
					典型值 ^{*1}	最大值 ^{*2}			
电源电流	I _{CC}	V _{CC}	正常操作 *7、*8 (PLL)	*5	180 MHz	73	131	mA	
					160 MHz	65	123	mA	
					144 MHz	59	117	mA	
					120 MHz	50	108	mA	
					100 MHz	43	101	mA	
					80 MHz	35	93	mA	
					60 MHz	27	85	mA	
					40 MHz	19	77	mA	
					20 MHz	11	69	mA	
					8 MHz	6.9	64	mA	
				*6	4 MHz	5.3	63	mA	
					*5	180 MHz	44	102	mA
					160 MHz	40	98	mA	
					144 MHz	36	94	mA	
					120 MHz	31	89	mA	
					100 MHz	27	85	mA	
				*6	80 MHz	22	80	mA	
					60 MHz	17	75	mA	
					40 MHz	13	71	mA	
					20 MHz	7.9	65	mA	
					8 MHz	5.2	63	mA	
					4 MHz	4.3	62	mA	

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚, 并且固定连接至逻辑 0

4: $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}/2$ 时, 频率为 HCLK 值

5: 允许闪存加速器和追踪缓冲区功能 ($\text{FRWTR.RWT} = 11$, $\text{FBFCR.BE} = 1$)

6: 允许闪存加速器和追踪缓冲区功能 ($\text{FRWTR.RWT} = 10$, $\text{FBFCR.BE} = 1$)

7: 固件程序从 MainFlash 存储器外采集数据。

8: 使用 4 MHz 的晶体振荡器 (包含振荡电路所消耗的电流)

*3
所有外设时钟激活

*3
所有外设时钟关闭

表 12-2. 正常工作模式 (PLL) 的典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存加速器和追踪缓冲区功能禁止)

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常操作 *7、*8 (PLL)	*5	180 MHz	82	140	mA
					160 MHz	74	132	mA
					144 MHz	68	126	mA
					120 MHz	58	116	mA
					100 MHz	49	107	mA
					80 MHz	40	98	mA
					60 MHz	31	89	mA
					40 MHz	22	80	mA
					20 MHz	13	71	mA
					8 MHz	7.5	65	mA
					4 MHz	5.6	63	mA
				*6	180 MHz	48	106	mA
					160 MHz	44	102	mA
					144 MHz	41	99	mA
					120 MHz	35	93	mA
					100 MHz	30	88	mA
					80 MHz	25	83	mA
				*6	60 MHz	20	78	mA
					40 MHz	14	72	mA
					20 MHz	8.7	66	mA
					8 MHz	5.6	63	mA
					4 MHz	4.5	62	mA

 1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

 2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚, 并且固定连接至逻辑 0

 4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}$ 时, 频率为 HCLK 值

 5: 停止闪存加速器和追踪缓冲区功能 ($\text{FRWTR.RWT} = 11$, $\text{FBFCR.BE} = 0$)

 6: 停止闪存加速器和追踪缓冲区功能 ($\text{FRWTR.RWT} = 10$, $\text{FBFCR.BE} = 0$)

7: 在 MainFlash 存储器中访问数据。

8: 使用 4 MHz 的晶体振荡器 (包含震荡电路的电流消耗)

表 12-3. 正常工作模式 (PLL) 典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存 0 等待周期模式读访问 0 等待)

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常操作 ^{*5}	72 MHz	54	112	mA	^{*3} 所有外设时钟激活
				60 MHz	47	105	mA	
				48 MHz	39	97	mA	
				36 MHz	31	89	mA	
				24 MHz	23	81	mA	
				12 MHz	14	72	mA	
				8 MHz	11	69	mA	
				4 MHz	7.2	65	mA	
			^{*6} 、 ^{*7} (PLL) ^{*5}	72 MHz	37	95	mA	^{*3} 所有外设时钟关闭
				60 MHz	33	91	mA	
				48 MHz	28	86	mA	
				36 MHz	23	81	mA	
				24 MHz	17	75	mA	
				12 MHz	11	69	mA	
				8 MHz	8.3	66	mA	
				4 MHz	5.9	63	mA	

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚, 并且固定连接至逻辑 0

4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}$ 时, 频率为 HCLK 值

5: 闪存操作 0 等待周期模式和读访问 0 等待 ($\text{FRWTR.RWT} = 00$, $\text{FBFCR.SD} = 000$)

6: 访问 MainFlash 存储器中的数据。

7: 使用 4 MHz 的晶体振荡器 (包含震荡电路所消耗的电流)

表 12-4. 正常工作模式 (PLL 模式除外) 典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存 0 等待周期模式读访问 0 等待)

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注	
					典型值 ^{*1}	最大值 ^{*2}			
电源电流	I _{CC}	V _{CC}	正常操作 ^{*6、*7} (主振荡)	^{*5}	4 MHz	4.3	62	mA	^{*3} 所有外设时钟激活
						3.7	61	mA	^{*3} 所有外设时钟关闭
			正常操作 ^{*6} (内置高速 CR)	^{*5}	4 MHz	3.5	61	mA	^{*3} 所有外设时钟激活
						2.9	60	mA	^{*3} 所有外设时钟关闭
			正常操作 ^{*6、*8} (副振荡)	^{*5}	32 kHz	0.47	58	mA	^{*3} 所有外设时钟激活
						0.46	58	mA	^{*3} 所有外设时钟关闭
			正常操作 ^{*6} (内置低速 CR)	^{*5}	100 kHz	0.51	58	mA	^{*3} 所有外设时钟激活
						0.50	58	mA	^{*3} 所有外设时钟关闭

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚, 并且固定连接至逻辑 0

4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}/2$ 时, 频率为 HCLK 值

5: 闪存操作 0 等待周期模式和读访问 0 等待 ($\text{FRWTR.RWT} = 00$, $\text{FBFCR.SD} = 000$)

6: 访问 MainFlash 存储器中的数据。

7: 使用 4 MHz 的晶体振荡器 (包含振荡电路所消耗的电流)

8: 使用 32 kHz 的晶体振荡器 (包含震荡电路所消耗的电流)

表 12-5. 睡眠模式 (PLL) 典型值和最大电值 (PCLK0 = PCLK1 = PCLK2 = HCLK/2)

参数	符号	引脚名称	条件	频率 ^{*4}	数值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	Iccs	VCC	在睡眠模式下操作 ^{*5} (PLL)	180 MHz	58	116	mA	^{*3} 所有外设时钟激活
				160 MHz	52	110	mA	
				144 MHz	48	106	mA	
				120 MHz	40	98	mA	
				100 MHz	35	93	mA	
				80 MHz	28	86	mA	
				60 MHz	22	80	mA	
				40 MHz	16	74	mA	
				20 MHz	9.7	67	mA	
				8 MHz	6.2	64	mA	
				4 MHz	5.0	63	mA	
				180 MHz	30	88	mA	
				160 MHz	27	85	mA	
				144 MHz	25	83	mA	
				120 MHz	21	79	mA	
电源电流	Iccs	VCC	在睡眠模式下操作 ^{*5} (PLL)	100 MHz	18	76	mA	^{*3} 所有外设时钟关闭
				80 MHz	15	73	mA	
				60 MHz	12	70	mA	
				40 MHz	9.3	67	mA	
				20 MHz	6.2	64	mA	
				8 MHz	4.5	62	mA	
				4 MHz	4.0	62	mA	

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚，并且固定连接至逻辑 0

4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}/2$ 时，频率为 HCLK 值

5: 使用 4 MHz 的晶体振荡器（包含震荡电路所消耗的电流）

表 12-6. 睡眠模式 (PLL) 典型值和最大值 (PCLK0 = PCLK1 = PCLK2 = HCLK)

参数	符号	引脚名称	条件	频率 ^{*4}	数值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CCS}	V _{CC}	在睡眠模式下操作 ^{*5} (PLL)	72 MHz	32	90	mA	*3 所有外设时钟激活
				60 MHz	27	85	mA	
				48 MHz	23	81	mA	
				36 MHz	18	76	mA	
				24 MHz	13	71	mA	
				12 MHz	8.5	66	mA	
				8 MHz	6.9	64	mA	
				4 MHz	5.3	63	mA	
				72 MHz	15	73	mA	*3 所有外设时钟关闭
				60 MHz	13	71	mA	
				48 MHz	11	69	mA	
				36 MHz	9.3	67	mA	
				24 MHz	7.3	65	mA	
				12 MHz	5.4	63	mA	
				8 MHz	4.7	62	mA	
				4 MHz	4.1	62	mA	

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚，并且固定连接至逻辑 0

4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}$ 时，频率为 HCLK 值

5: 使用 4 MHz 的晶体振荡器（包含震荡电路所消耗的电流）

表 12-7. 睡眠模式 (PLL 模式除外) 的典型值的最大值 (PCLK0 = PCLK1 = PCLK2 = HCLK/2)

参数	符号	引脚名称	条件	频率 ^{*4}	数值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CCS}	V _{CC}	在睡眠模式下操作 ^{*5} (主振荡)	4 MHz	2.6	60	mA	^{*3} 所有外设时钟激活
					2.0	60	mA	^{*3} 所有外设时钟关闭
			在睡眠模式下操作 (内置高速 CR)	4 MHz	2.0	60	mA	^{*3} 所有外设时钟激活
					1.3	59	mA	^{*3} 所有外设时钟关闭
			在睡眠模式下操作 ^{*6} (子振荡)	32 kHz	0.46	58	mA	^{*3} 所有外设时钟激活
					0.45	58	mA	^{*3} 所有外设时钟关闭
			在睡眠模式下操作 (内置低速 CR)	100 kHz	0.47	58	mA	^{*3} 所有外设时钟激活
					0.46	58	mA	^{*3} 所有外设时钟关闭

1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$

2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚，并且固定连接至逻辑 0

4: 当 $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}/2$ 时，频率为 HCLK 值

5: 使用 4 MHz 的晶体振荡器（包含振荡电路所消耗的电流）

6: 使用 32 kHz 的晶体振荡器（包含震荡电路所消耗的电流）

表 12-8. 停止模式、定时器模式和 RTC 模式的典型值和最大值

参数	符号	引脚名称	条件	频率	数值		单位	备注	
					典型值 ^{*1}	最大值 ^{*2}			
电源电流	I _{CCH}	V _{CC}	停止模式	-	0.41	1.9	mA	*3、*4 $T_A = +25^\circ C$	
					-	18	mA	*3、*4 $T_A = +85^\circ C$	
					-	26	mA	*3、*4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 ^{*5} (主振荡)	4 MHz	1.4	2.9	mA	*3、*4 $T_A = +25^\circ C$	
					-	19	mA	*3、*4 $T_A = +85^\circ C$	
					-	27	mA	*3、*4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 (内置 高速 CR)	4 MHz	0.71	2.2	mA	*3、*4 $T_A = +25^\circ C$	
					-	19	mA	*3、*4 $T_A = +85^\circ C$	
					-	27	mA	*3、*4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 ^{*6} (子振荡)	32 kHz	0.41	1.9	mA	*3、*4 $T_A = +25^\circ C$	
					-	18	mA	*3、*4 $T_A = +85^\circ C$	
					-	27	mA	*3、*4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 (内置低速 CR)	100 kHz	0.42	1.9	mA	*3、*4 $T_A = +25^\circ C$	
					-	18	mA	*3、*4 $T_A = +85^\circ C$	
					-	27	mA	*3、*4 $T_A = +105^\circ C$	
	I _{CCR}		RTC 模式 ^{*6} (子振荡)	32 kHz	0.42	1.9	mA	*3、*4 $T_A = +25^\circ C$	
					-	18	mA	*3、*4 $T_A = +85^\circ C$	
					-	27	mA	*3、*4 $T_A = +105^\circ C$	

 1: $V_{CC} = 3.3 V$

 2: $V_{CC} = 5.5 V$

3: 所有端口均为输入引脚，并且固定连接至逻辑 0

4: LVD 关闭

5: 使用 4 MHz 的晶体振荡器（包含振荡电路所消耗的电流）

6: 使用 32 kHz 的晶体振荡器（包含震荡电路所消耗的电流）

表 12-9. 深度待机停止模式和深度待机 RTC 模式下的典型值和最大值

参数	符号	引脚名称	条件	频率	数值		单位	备注		
					典型值 ^{*1}	最大值 ^{*2}				
电源电流	I _{CCHD}	VCC	深度待机 停止模式 (RAM 关闭)	-	89	162	μA	^{*3、*4} $T_A = +25^\circ\text{C}$		
					-	1689	μA	^{*3、*4} $T_A = +85^\circ\text{C}$		
					-	2189	μA	^{*3、*4} $T_A = +105^\circ\text{C}$		
			深度待机 停止模式 (RAM 打开)	-	101	245	μA	^{*3、*4} $T_A = +25^\circ\text{C}$		
	I _{CCRD}	VCC			-	2401	μA	^{*3、*4} $T_A = +85^\circ\text{C}$		
					-	3223	μA	^{*3、*4} $T_A = +105^\circ\text{C}$		
		深度待机 RTC 模式 ^{*6} (RAM 关闭)	32 kHz	93	166	μA	^{*3、*4} $T_A = +25^\circ\text{C}$			
				-	1693	μA	^{*3、*4} $T_A = +85^\circ\text{C}$			
				-	2193	μA	^{*3、*4} $T_A = +105^\circ\text{C}$			
		深度待机 RTC 模式 ^{*6} (RAM 打开)		105	249	μA	^{*3、*4} $T_A = +25^\circ\text{C}$			
				-	2405	μA	^{*3、*4} $T_A = +85^\circ\text{C}$			
				-	3227	μA	^{*3、*4} $T_A = +105^\circ\text{C}$			

1: $V_{CC} = 3.3\text{ V}$

2: $V_{CC} = 5.5\text{ V}$

3: 所有端口均为输入引脚，并且固定连接至逻辑 0

4: LVD 关闭

5: 子振荡关闭

6: 使用 32 kHz 的晶体振荡器（包含震荡电路所消耗的电流）

表 12-10. 低电压检测电路和主闪存存储器擦/写所消耗电流的典型值和最大值

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
低电压检测电路 (LVD) 电源电流	I_{CCLVD}	VCC	运行时	—	4	7	μA	检测中断产生
主闪存存储器擦/ 写时的电流	$I_{CCFLASH}$		擦/写时	—	13.4	15.9	mA	*1

1: 在闪存存储器中进行编程或擦除时, 闪存存储器擦/写电流 ($I_{CCFLASH}$) 将被添加到电源电流上 (I_{CC})。

表 12-11. 外设电流消耗

时钟系统	外设	单位	频率 (MHz)			单位	备注
			45	90	180		
HCLK	GPIO	所有端口	0.69	1.39	2.76	mA	$T_A = +25^\circ C$, $V_{CC} = 3.3 V$
	DMAC	—	0.74	1.46	2.83		
	DSTC	—	0.58	1.13	2.12		
	外部总线 I/F	—	0.23	0.44	0.87		
	SD 卡 I/F	—	0.56	1.10	2.18		
	CAN	一通道	0.09	0.10	0.12		
	USB	一通道	0.41	0.83	1.64		
	Ethernet-MAC	—	1.52	2.97	5.84		
PCLK1	基础定时器	四通道	0.38	0.76	1.50	mA	$T_A = +25^\circ C$, $V_{CC} = 3.3 V$
	多功能定时器/PPG	一单元/四通道	0.72	1.43	2.83		
	正交位置/转速计数器	一单元	0.06	0.12	0.22		
	模数转换器	一单元	0.31	0.61	1.22		
PCLK2	多功能串行接口	一通道	0.36	0.72	—	mA	$T_A = +25^\circ C$, $V_{CC} = 3.3 V$
	IC 卡接口	一通道	0.27	0.54	—		
	I2S 时钟发生器	一通道	0.26	0.53	—		

12.3.2 引脚特性
 $(V_{CC} = USBV_{CC0} = USBV_{CC1} = ETHV_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
高电平输入电压（迟滞输入）	V_{IHS}	CMOS 迟滞输入引脚、MD0、MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
				$ETHV_{CC} \times 0.8$	-	$ETHV_{CC} + 0.3$	V	
		MADATAxx	$V_{CC} > 3.0\text{ V}, V_{CC} \leq 3.6\text{ V},$	2.4	-	$V_{CC} + 0.3$	V	外部总线功能
		耐 5 V 输入引脚	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		I ² C Fm+复用输入引脚	-	$V_{CC} \times 0.7$	-	$V_{SS} + 5.5$	V	
低电平输入电压（迟滞输入）	V_{ILS}	TTL Schmitt (施密特) 输入引脚	-	2.0	-	$ETHV_{CC} + 0.3$	V	
		CMOS 迟滞输入引脚、MD0、MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
				$V_{SS} - 0.3$	-	$ETHV_{CC} \times 0.2$	V	
		耐 5 V 输入引脚	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		I ² C Fm+复用输入引脚	-	V_{SS}	-	$V_{CC} \times 0.3$	V	
高电平输出电压	V_{OH}	4 mA 型	$V_{CC} \geq 4.5\text{ V}, I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}, I_{OH} = -2\text{ mA}$					
			$ETHV_{CC} \geq 4.5\text{ V}, I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	-	$ETHV_{CC}$	V	
			$ETHV_{CC} < 4.5\text{ V}, I_{OH} = -2\text{ mA}$					
		8 mA 型	$V_{CC} \geq 4.5\text{ V}, I_{OH} = -8\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}, I_{OH} = -4\text{ mA}$					
			$ETHV_{CC} \geq 4.5\text{ V}, I_{OH} = -8\text{ mA}$	$ETHV_{CC} - 0.5$	-	$ETHV_{CC}$	V	
			$ETHV_{CC} < 4.5\text{ V}, I_{OH} = -4\text{ mA}$					
		12 mA 型	$V_{CC} \geq 4.5\text{ V}, I_{OH} = -12\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}, I_{OH} = -8\text{ mA}$					
		USB I/O 复用引脚	$USBV_{CC} \geq 4.5\text{ V}, I_{OH} = -20.5\text{ mA}$	$USBV_{CC} - 0.4$	-	$USBV_{CC}$	V	*1
			$USBV_{CC} < 4.5\text{ V}, I_{OH} = -13.0\text{ mA}$					
		I ² C Fm+复用引脚	$V_{CC} \geq 4.5\text{ V}, I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	GPIO 功能
			$V_{CC} < 4.5\text{ V}, I_{OH} = -3\text{ mA}$					

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
低电平输出电压	V _{OL}	4 mA 型	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 2 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	—	0.4	V	
			RTHV _{CC} < 4.5 V, I _{OL} = 2 mA					
		8 mA 型	V _{CC} ≥ 4.5 V, I _{OL} = 8 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 4 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OL} = 8 mA	V _{SS}	—	0.4	V	
			RTHV _{CC} < 4.5 V, I _{OL} = 4 mA					
		12 mA 型	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
		USB I/O 复用引脚	USBV _{CC} ≥ 4.5 V, I _{OL} = 18.5 mA	V _{SS}	—	0.4	V	*1
			USBV _{CC} < 4.5 V, I _{OL} = 10.5 mA					
		I ² C Fm+复用引脚	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	—	0.4	V	GPIO 功能
			V _{CC} < 4.5 V, I _{OL} = 3 mA					
			V _{CC} ≤ 4.5 V, I _{OL} = 20 mA					
输入漏电流	I _{IL}	—	—	- 5	—	+ 5	μA	
上拉电阻值	R _{Pu}	上拉引脚	V _{CC} ≥ 4.5 V	25	50	100	kΩ	
			V _{CC} < 4.5 V	30	80	200		
输入电容	C _{IN}	VCC、USBVCC0、 USBVCC1、 ETHVCC、VSS、AVCC、 AVSS、 AVRH 除外	—	—	5	15	pF	

1: USBV_{CC0} 和 USBV_{CC1} 参考 USBV_{CC}。

12.4 交流特性

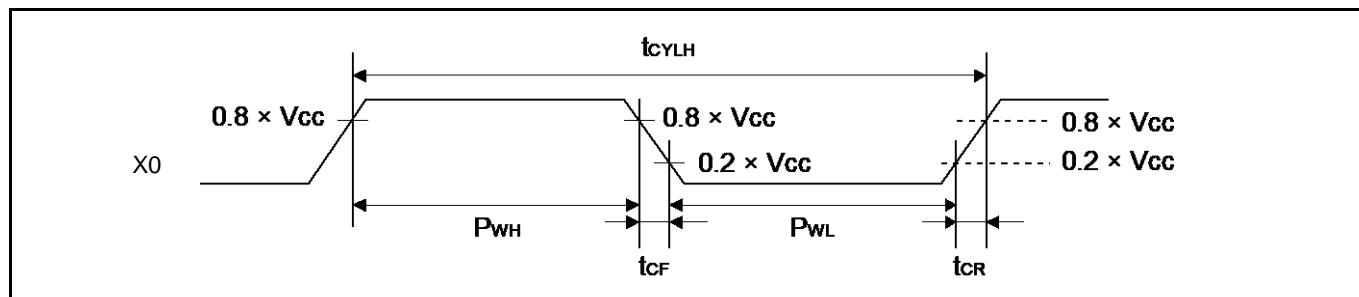
12.4.1 主时钟输入特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入频率	f_{CH}	X0、X1	$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	连接了外部晶振
			$V_{CC} < 4.5\text{ V}$	4	20		
			$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	4	20		
输入时钟周期	t_{CYLH}	X0、X1	$V_{CC} \geq 4.5\text{ V}$	20.83	250	ns	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	50	250		
输入时钟占空比	—	P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	—	45	55	%	使用外部时钟
输入时钟上升、下降时间	t_{CF} , t_{CR}		—	—	5	ns	使用外部时钟
内部时钟频率 *1	f_{CC}	—	—	—	180	MHz	基础时钟 (HCLK/FCLK)
	f_{CP0}	—	—	—	90	MHz	APB0 总线时钟 *2
	f_{CP1}	—	—	—	180	MHz	APB1 总线时钟 *2
	f_{CP2}	—	—	—	90	MHz	APB2 总线时钟 *2
内部时钟周期 *1	t_{CYCC}	—	—	5.56	—	ns	基础时钟 (HCLK/FCLK)
	t_{CYCP0}	—	—	11.1	—	ns	APB0 总线时钟 *2
	t_{CYCP1}	—	—	5.56	—	ns	APB1 总线时钟 *2
	t_{CYCP2}	—	—	11.1	—	ns	APB2 总线时钟 *2

1: 有关内部时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 2-1 章: “时钟”所介绍的内容。

2: 有关每个外设所挂接的 APB 总线, 请参考该数据手册中第 1 章: S6E2G 系列框图内容。

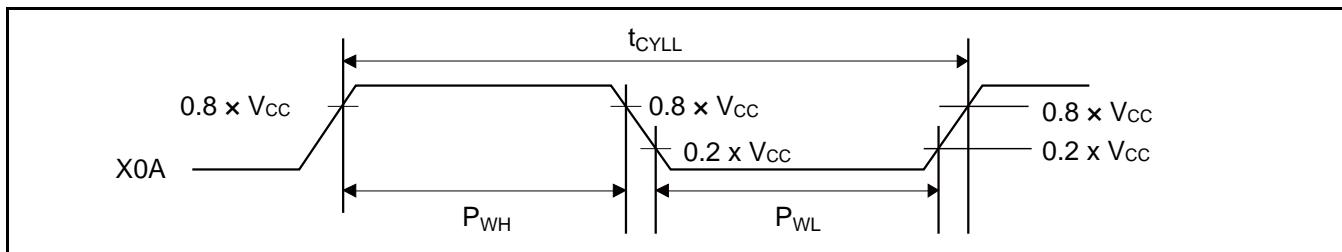


12.4.2 副时钟输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
输入频率	1/t _{CYLL}	X0A、 X1A	—	—	32.768	—	kHz	连接了外部晶振*
			—	32	—	100	kHz	使用外部时钟
			—	10	—	31.25	μs	使用外部时钟
输入时钟脉宽	—		P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL}	45	—	55	%	使用外部时钟

* 有关晶体振荡器的更多信息, 请参考第 9 章: 器件注意事项中副晶振的内容。



12.4.3 内置 CR 振荡特性

内置高速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
时钟频率	f _{CRH}	T _J = -20°C ~ +105°C	3.92	4	4.08	MHz	调整后 *1
		T _J = -40°C ~ +125°C	3.88	4	4.12		
		T _J = -40°C ~ +125°C	2.9	4	5		未调整时
频率稳定时间	t _{CRWT}	—	—	—	30	μs	*2

1: 经过闪存存储器的 CR 频率/温度出厂值调整

2: 设置调整值后, 稳定高速 CR 时钟频率的建立时间。该时间段也可将高速 CR 时钟作为时钟源。

内置低速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
时钟频率	f _{CRL}	—	50	100	150	kHz	

12.4.4 主 PLL 模式 (主时钟作为 PLL 输入时钟)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	数值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定的等待时间* ¹ (锁定时间)	t_{LOCK}	100	—	—	μs	
PLL 输入时钟频率	f_{PLL1}	4	—	16	MHz	
PLL 倍频率	—	13	—	100	倍数	
PLL 模块振荡时钟频率	f_{PLLO}	200	—	400	MHz	
主 PLL 时钟频率* ²	f_{CLKPLL}	—	—	180	MHz	

1: 从 PLL 启动到振荡稳定的时间

2: 有关主 PLL 时钟 (CLKPLL) 的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 2-1 章: “时钟”中讲述的内容。

12.4.5 USB/Ethernet PLL 工作条件 (主时钟作为 PLL 输入时钟)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	数值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定的等待时间* ¹ (锁定时间)	t_{LOCK}	100	—	—	μs	
PLL 输入时钟频率	f_{PLL1}	4	—	16	MHz	
PLL 倍频率	—	13	—	100	倍数	
PLL 模块振荡时钟频率	f_{PLLO}	200	—	400	MHz	USB/以太网
USB/以太网时钟频率 * ²	f_{CLKPLL}	—	—	50	MHz	频率 M 分频后

1: 从 PLL 启动到振荡稳定的时间

2: 更多有关 USB/Ethernet 时钟的信息, 请参考 FM4 系列外设手册通信宏部分 (002-04862) 中第 2-2 章: “USB/以太网时钟产生”所介绍的内容。

12.4.6 主 PLL 模式 (内置高速 CR 时钟作为主 PLL 输入时钟)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	数值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定的等待时间 ¹ (锁定时间)	t_{LOCK}	100	—	—	μs	
PLL 输入时钟频率	f_{PLL}	3.8	4	4.2	MHz	
PLL 倍频率	—	50	—	95	倍数	
PLL 模块振荡时钟频率	f_{PLL0}	190	—	400	MHz	
主 PLL 时钟频率 ²	f_{CLKPLL}	—	—	180	MHz	

1: 从 PLL 启动到振荡稳定的时间

2: 更多有关主 PLL 时钟 (CLKPLL) 的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 2-1 章: “时钟”中讲述的内容。

注意:

- 应当设置经过频率/温度调校的高速 CR 时钟 (CLKHC) 作为主 PLL 时钟源。

12.4.7 复位输入特性
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
复位输入时间	t_{INITX}	INITX	—	500	—	ns	

12.4.8 上电复位时序

($V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

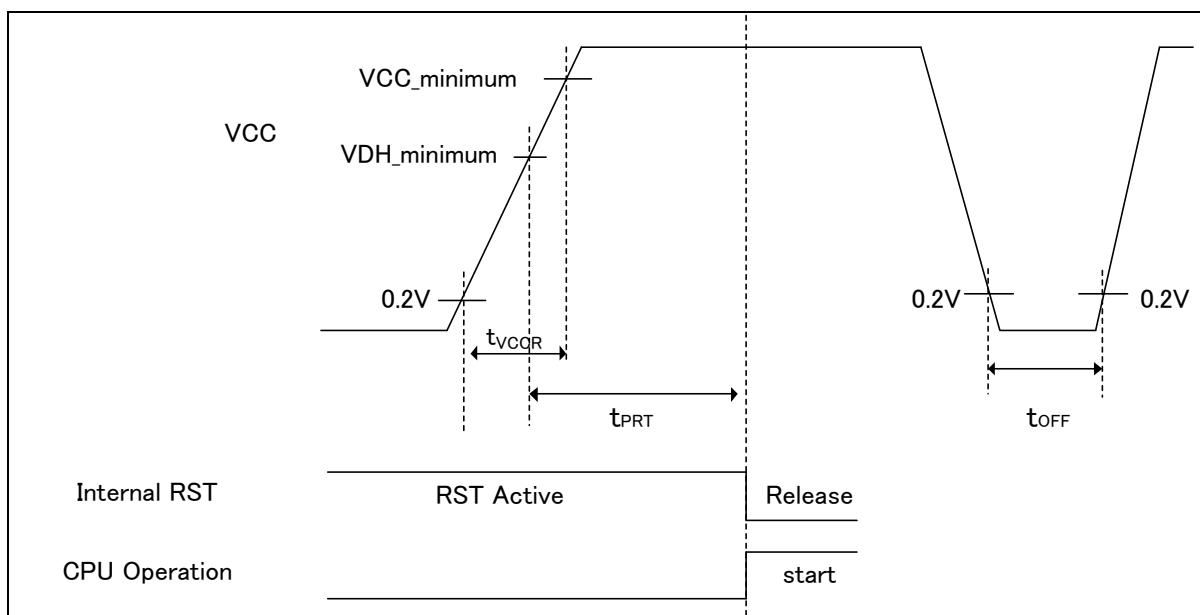
参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
电源关断时间	t_{OFF}	VCC	-	1	-	-	ms	*1
电源上升斜率	dV/dt		$V_{CC}: 0.2\text{V} \sim 2.70\text{V}$	0.6	-	1000	$\text{mV}/\mu\text{s}$	*2
上电复位释放时间	t_{PRT}		-	0.33	-	0.60	ms	

1: 在最小的 t_{OFF} 周期, V_{CC} 必须低于 0.2V ; 如果没有达到这个条件, 初始化值可能出现错误。

2: dV/dt 特征会在电源冷启动的时候发生($t_{OFF}>1\text{ms}$)。

注意:

- 上电和省电模式时, 当 t_{OFF} 不能满足设计要求, 系统必须使用外部复位 (INITX); 复位要求请参考章节 12.4.7



术语:

□ $V_{CC_minimum}$: 建议工作条件的 V_{CC} 最小值

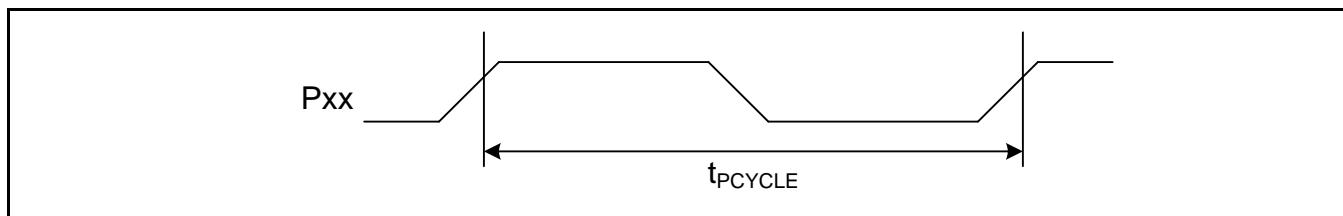
□ $V_{DH_minimum}$: 释放低电压检测复位的最小电压。请参考第 12.7 节: 低电压检测特性。

12.4.9 GPIO 输出特性

($V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输出频率	t_{PCYCLE}	Pxx*	$V_{CC} \geq 4.5 \text{ V}$	-	50	MHz	
			$V_{CC} < 4.5 \text{ V}$	-	32	MHz	

*: GPIO 功能。



12.4.10 外部总线时序

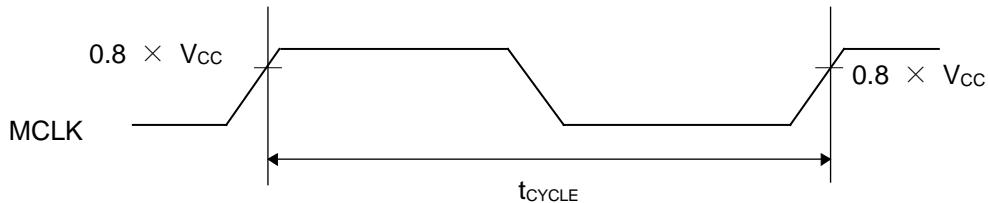
外部总线时钟输出特性

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输出频率	t_{CYCLE}	MCLKOUT ^{*1}		—	50 ^{*2}	MHz	

1: 外部总线时钟 (MCLKOUT) 是 HCLK 的分频时钟。

更多有关时钟分频器设置的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 14 章: “外部总线接口” 中讲述的内容。

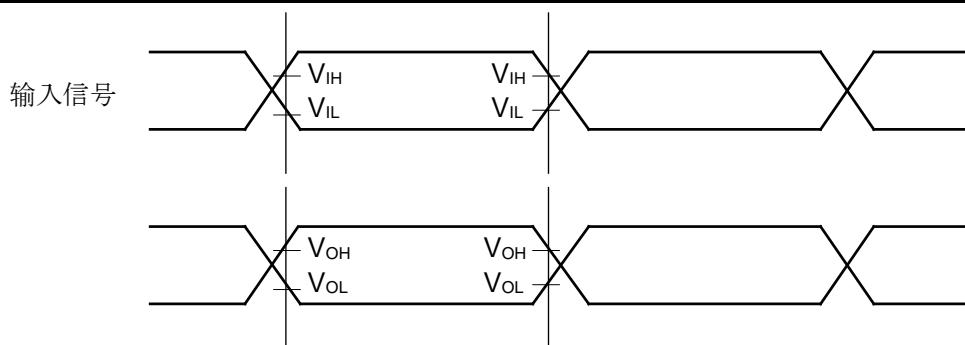
2: 当 AHB 总线时钟频率超过 100 MHz 时, 设置 MCLKOUT 分频大于四分频。



外部总线信号 I/O 特性

($V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

参数	符号	条件	数值	单位	备注
信号输入特性	V_{IH}	—	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号输出特性	V_{OH}	—	$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	

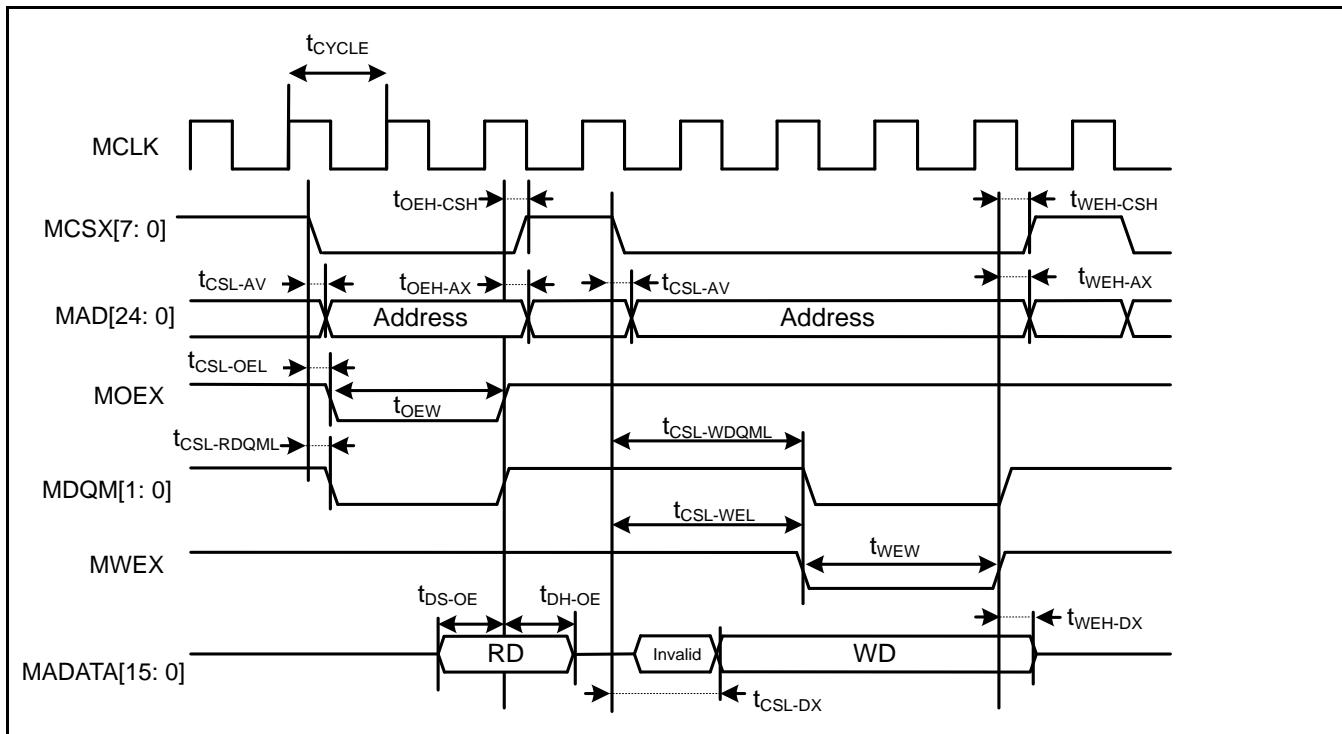


非复用总线异步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MOEX 最小脉宽	t_{OEW}	MOEX	—	$MCLK \times n - 3$	—	ns	
MCSX 下降沿到地址输出延迟时间	t_{CSL-AV}	MCSX[7: 0], MAD[24: 0]	—	-9	+9	ns	
MOEX 上升沿后地址保持时间	t_{OEH-AX}	MOEX, MAD[24: 0]	—	0	$MCLK \times m + 9$	ns	
MCSX 下降沿到 MOEX 下降沿的延迟时间	$t_{CSL-OEL}$	MOEX, MCSX[7: 0]	—	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MOEX 上升沿到 MCSX 上升沿的时间	$t_{OEH-CSH}$		—	0	$MCLK \times m + 9$	ns	
MCSX 下降沿到 MDQM 下降沿的延迟时间	$t_{CSL-RDQML}$	MCSX, MDQM[3: 0]	—	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
数据建立到 MOEX 上升沿的时间	t_{DS-OE}	MOEX, MADATA[31: 0]	—	20	—	ns	
MOEX 上升沿后数据保持时间	t_{DH-OE}	MOEX, MADATA[31: 0]	—	0	—	ns	
MWEX 最小脉宽	t_{WEW}	MWEX	—	$MCLK \times n - 3$	—	ns	
MWEX 上升沿到地址输出延迟时间	t_{WEH-AX}	MWEX, MAD[24: 0]	—	0	$MCLK \times m + 9$	ns	
MCSX 下降沿到 MWEX 下降沿延迟时间	$t_{CSL-WEL}$	MWEX, MCSX[7: 0]	—	$MCLK \times n - 9$	$MCLK \times n + 9$	ns	
MWEX 上升沿到 MCSX 上升沿的延迟时间	$t_{WEH-CSH}$		—	0	$MCLK \times m + 9$	ns	
MCSX 下降沿到 MDQM 下降沿的延迟时间	$t_{CSL-WDQML}$	MCSX, MDQM[3: 0]	—	$MCLK \times n - 9$	$MCLK \times n + 9$	ns	
MCSX 下降沿到数据输出时间	t_{CSL-DX}	MCSX, MADATA[31: 0]	—	$MCLK - 9$	$MCLK + 9$	ns	
MWEX 上升沿后数据保持时间	t_{WEH-DX}	MWEX, MADATA[31: 0]	—	0	$MCLK \times m + 9$	ns	

注意:

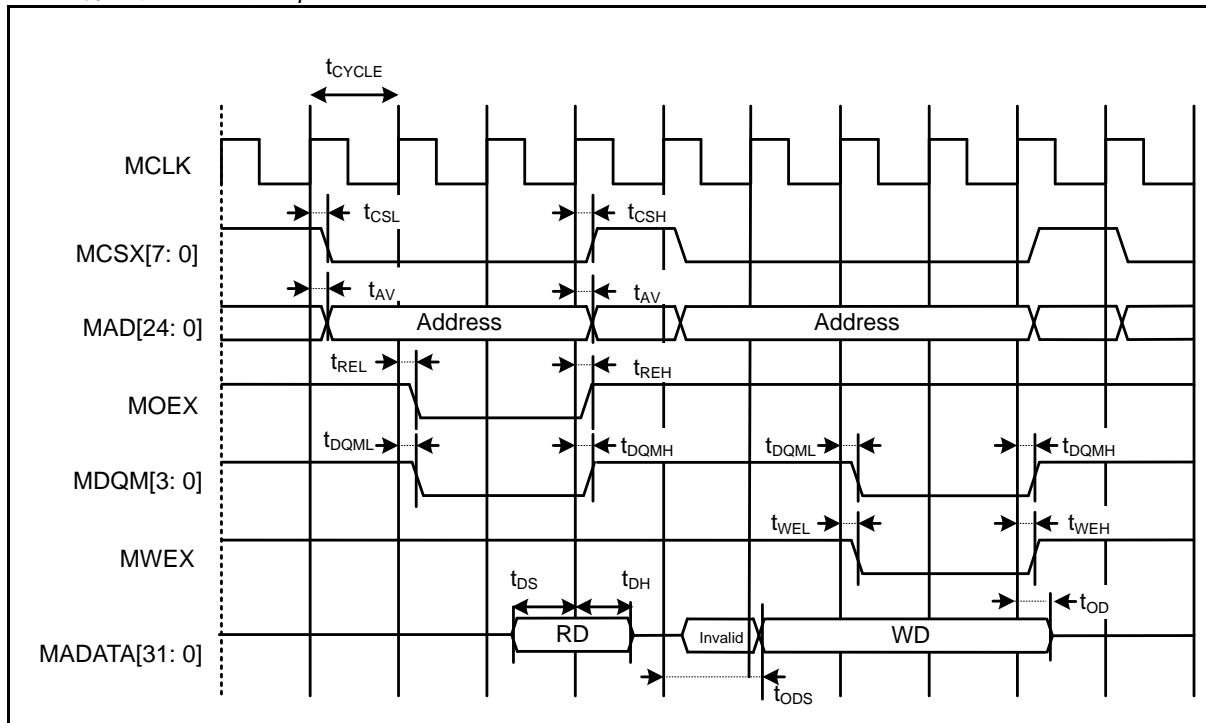
- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)



独立总线同步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
地址延迟时间	t_{AV}	MCLK, MAD[24: 0]	—	1	9	ns	
MCSX 延迟时间	t_{CSL}	MCLK, MCSX[7: 0]	—	1	9	ns	
	t_{CSH}		—	1	9	ns	
MOEX 延迟时间	t_{REL}	MCLK, MOEX	—	1	9	ns	
	t_{REH}		—	1	9	ns	
数据建立到 MCLK 上升沿的时间	t_{DS}	MCLK, MADATA[31: 0]	—	19	—	ns	
MCLK 上升沿后数据保持时间	t_{DH}	MCLK, MADATA[31: 0]	—	0	—	ns	
MWEX 的延迟时间	t_{WEL}	MCLK, MWEX	—	1	9	ns	
	t_{WEH}		—	1	9	ns	
MDQM[1: 0]延迟时间	t_{DQML}	MCLK, MDQM[3: 0]	—	1	9	ns	
	t_{DQMH}		—	1	9	ns	
MCLK 上升沿到数据输出的延迟时间	t_{ODS}	MCLK, MADATA[31: 0]	—	MCLK+1	MCLK+18	ns	
MCLK 上升沿后数据保持时间	t_{OD}	MCLK, MADATA[31: 0]	—	1	18	ns	

注意：

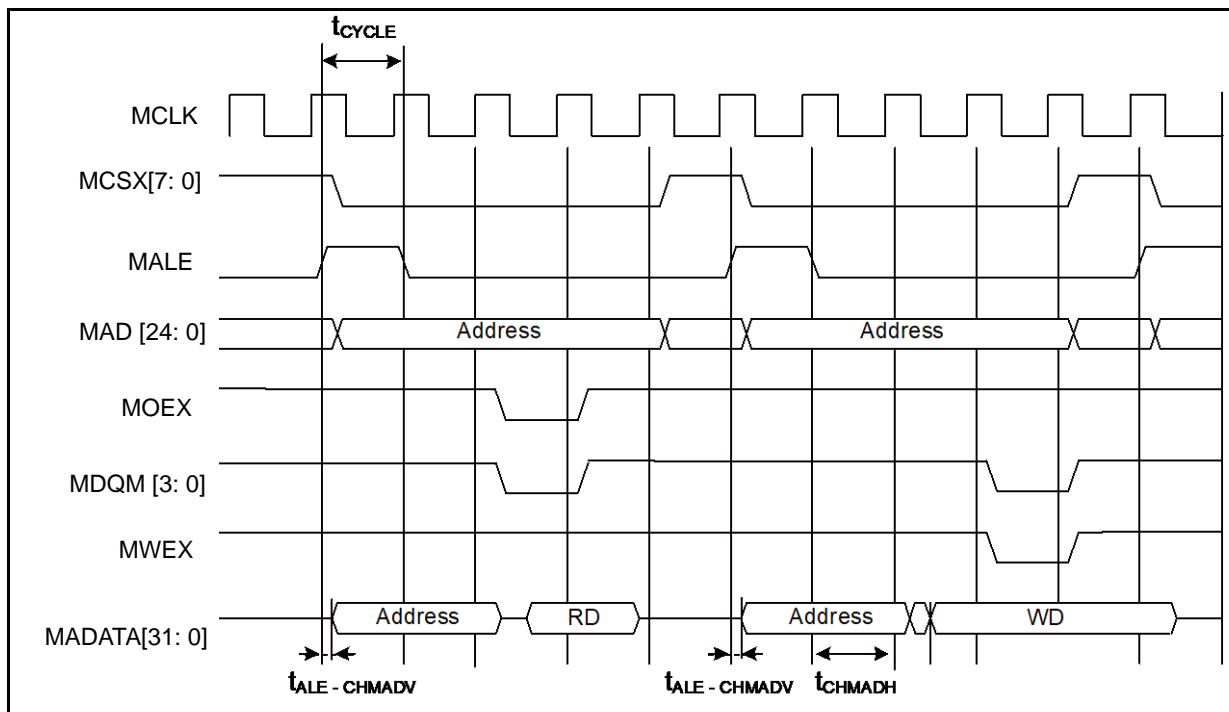
外部负载电容 CL 为 30 pF


复用总线异步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
复用地址延迟时间	$t_{ALE-CHMADV}$	MALE, MAD[24: 0]	—	0	10	ns	
复用地址保持时间	t_{CHMADH}		—	MCLK $\times n+0$	MCLK $\times n+10$	ns	

注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)

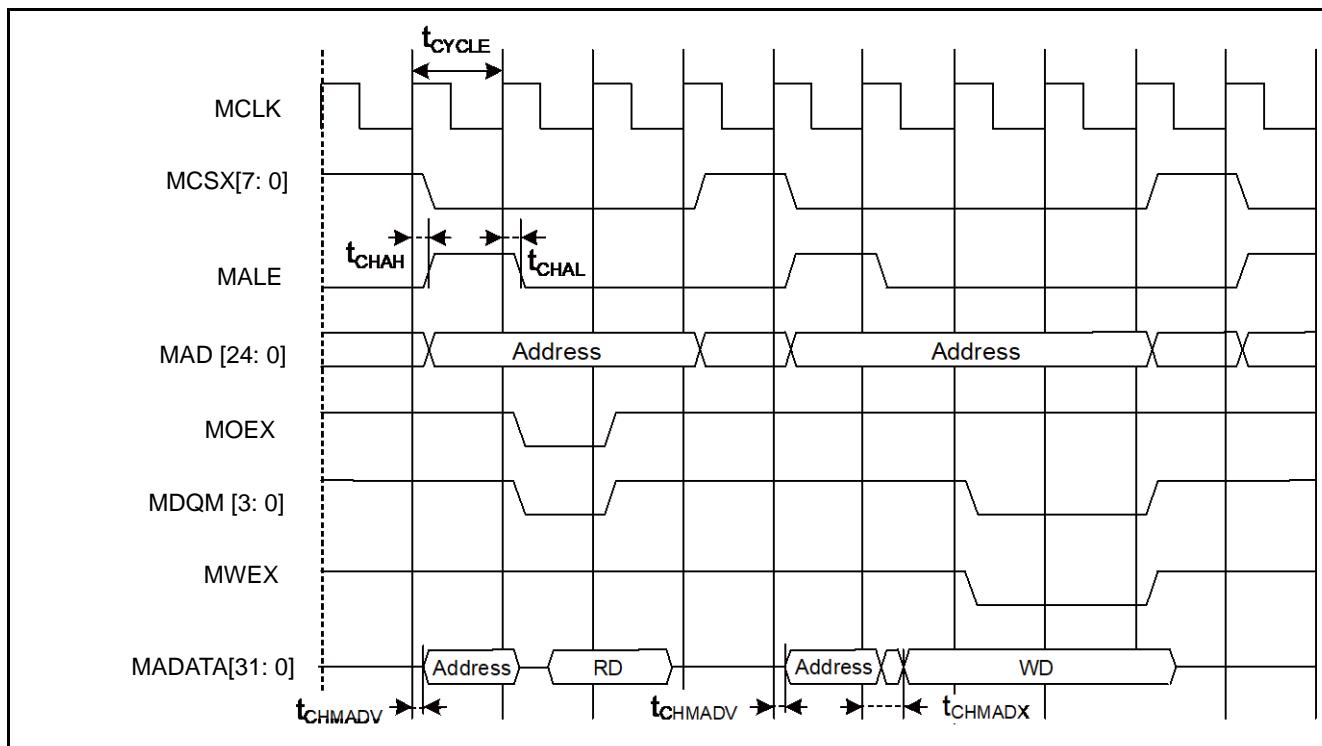


复用总线同步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MALE 延迟时间	t_{CHAL}	MCLK, MALE	—	1	9		
	t_{CHAH}		—	1	9		
MCLK 上升沿到地址复用的延迟时间	t_{CHMADV}	MCLK, MADATA[31: 0]	—	1	t_{OD}	ns	
MCLK 上升沿到数据复用输出时间	t_{CHMADX}		—	1	t_{OD}	ns	

注意:

- 外部负载电容 C_L 为 30 pF

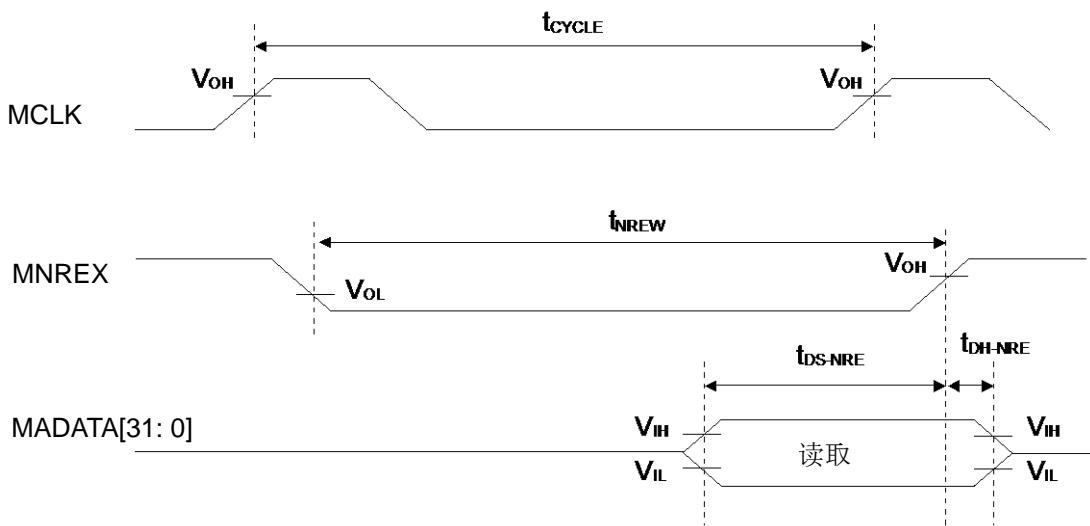


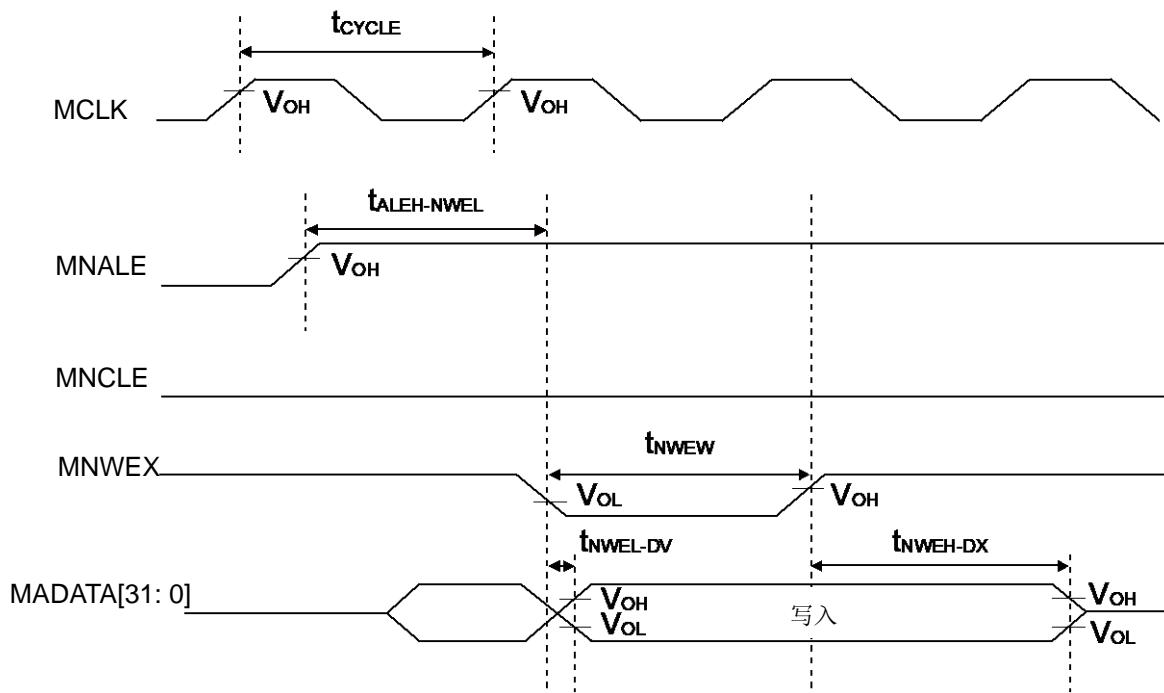
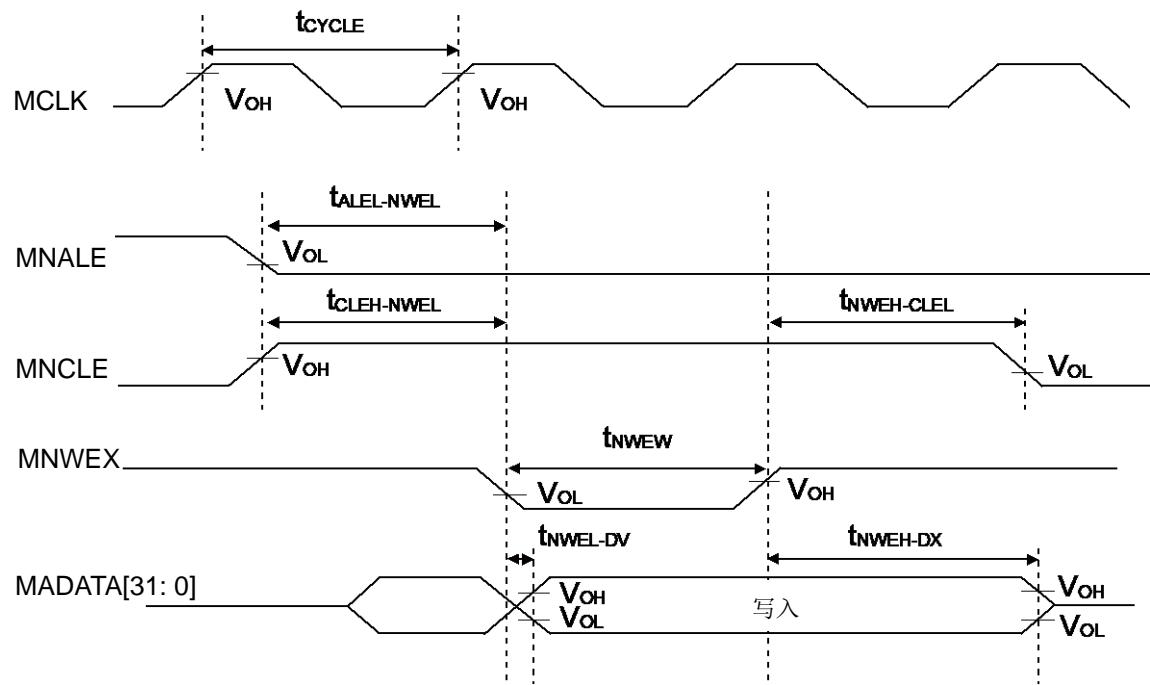
NAND 闪存模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MNREX 最小脉宽	t_{NREW}	MNREX	—	$MCLK \times n - 3$	—	ns	
数据建立到 MNREX 上升沿的时间	t_{DS-NRE}	MNREX, MADATA[31: 0]	—	20	—	ns	
MNREX 上升沿后数据保持时间	t_{DH-NRE}	MNREX, MADATA[31: 0]	—	0	—	ns	
MNALE 上升沿到 MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE, MNWEX	—	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNALE 下降沿到 MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE, MNWEX	—	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNCLE 上升沿到 MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE, MNWEX	—	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNWEX 上升沿到 MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE, MNWEX	—	0	$MCLK \times m + 9$	ns	
MNWEX 最小脉宽	t_{NWEW}	MNWEX	—	$MCLK \times n - 3$	—	ns	
MNWEX 下降沿到数据输出时间	$t_{NWEL-DV}$	MNWEX, MADATA[31: 0]	—	-9	9	ns	
MNWEX 上升沿后数据保持时间	$t_{NWEH-DX}$	MNWEX, MADATA[31: 0]	—	0	$MCLK \times m + 9$	ns	

注意:

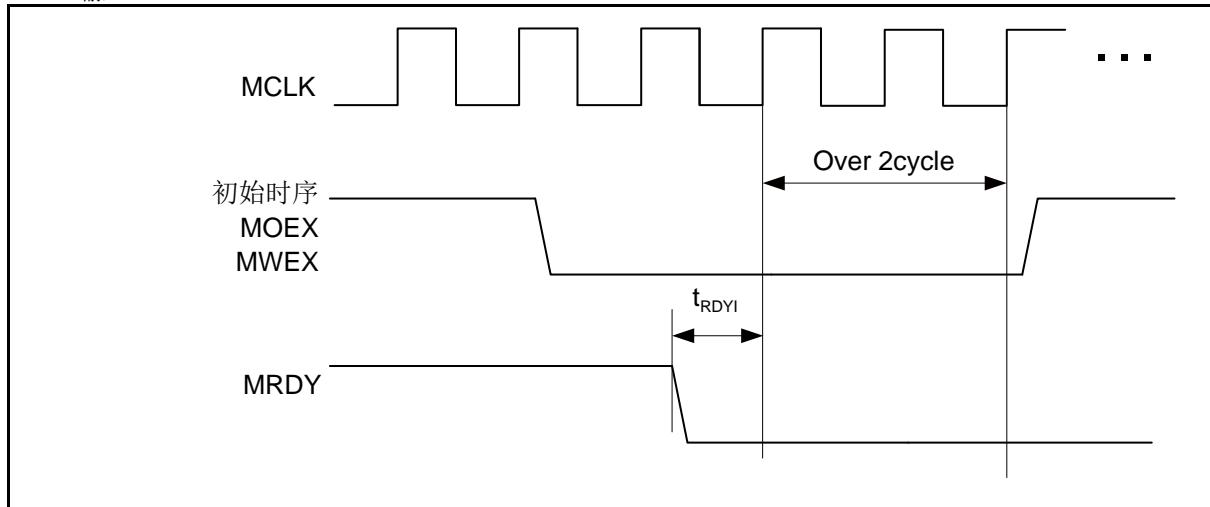
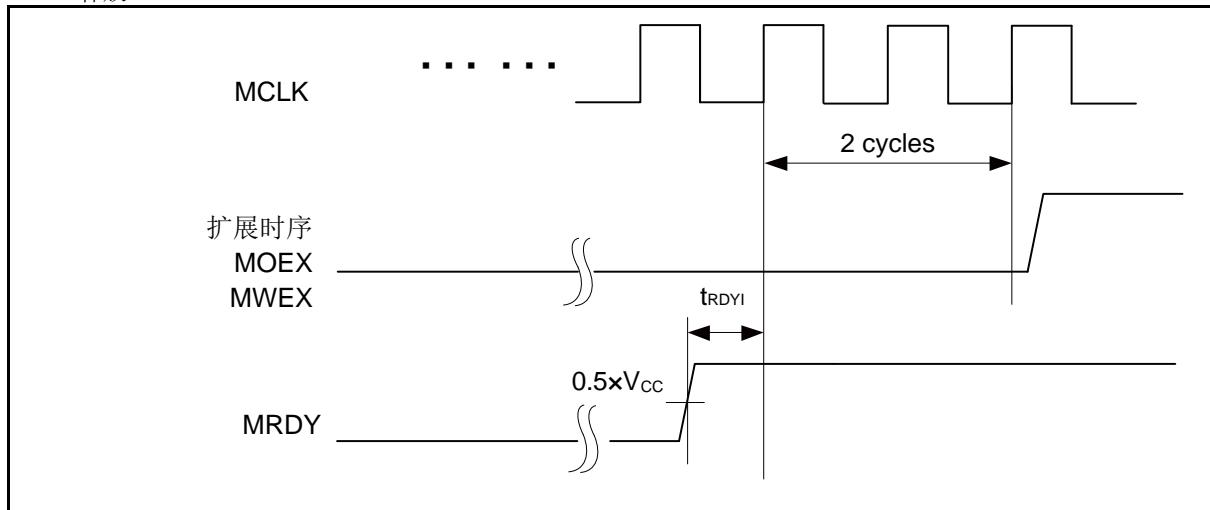
- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)

NAND 闪存读取


NAND 闪存地址写入

NAND 闪存命令写入


外部就绪输入时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MCLK 上升沿到 MRDY 输入的建立时间	t_{RDYI}	MCLK, MRDY	-	19	-	ns	

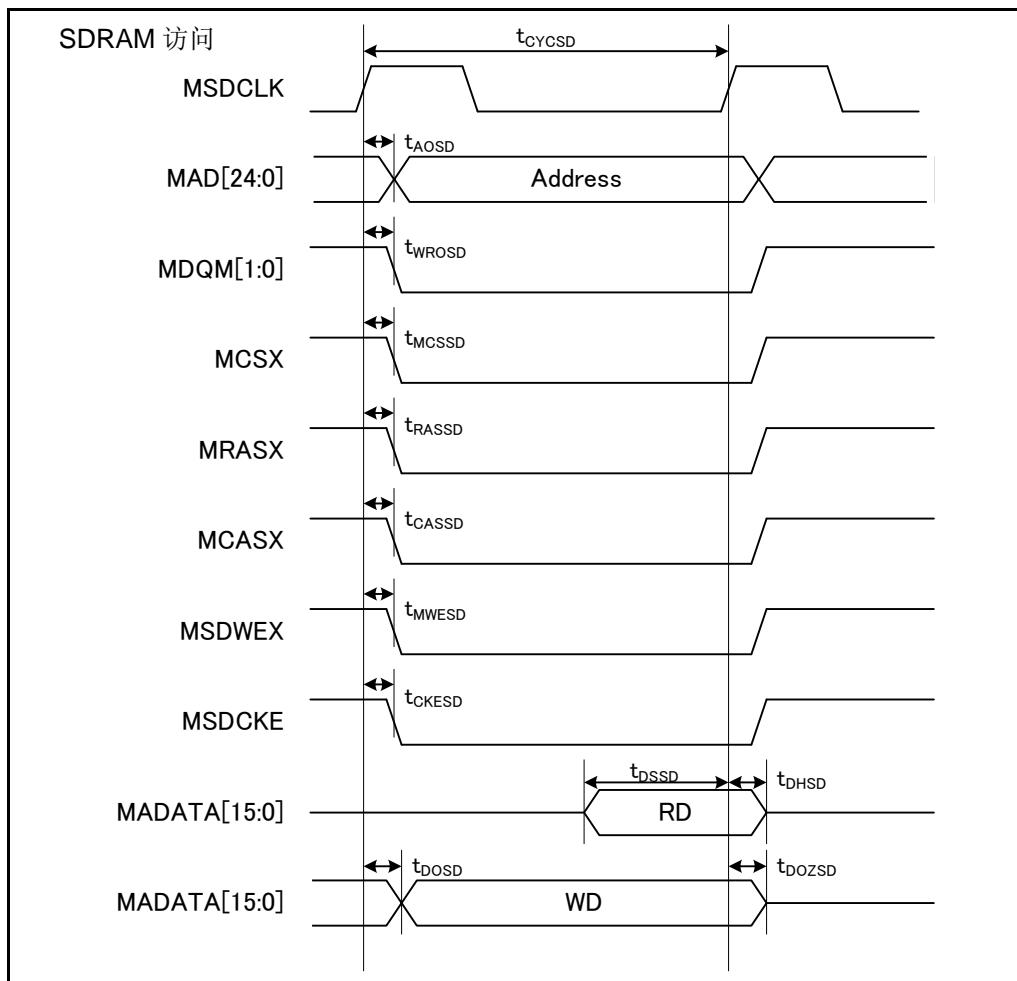
■ RDY 输入

■ RDY 释放


SDRAM 模式
 $(V_{CC} = 2.7 \text{ V} \sim 3.6 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	数值	单位		单位	备注
				最小值	最大值		
输出频率	t_{CYCSD}	MSDCLK	—	—	50	MHz	
地址延迟时间	$t_{AO OSD}$	MSDCLK, MAD[15: 0]	—	2	12	ns	
MSDCLK 上升沿到数据输出的延迟时间	$t_{DO OSD}$	MSDCLK, MADATA[31: 0]	—	2	12	ns	
MSDCLK 上升沿到数据输出处于高阻态的延迟时间	t_{DOZSD}	MSDCLK, MADATA[31: 0]	—	2	19.5	ns	
MDQM[3: 0]延迟时间	$t_{WRO OSD}$	MSDCLK, MDQM[1: 0]	—	1	12	ns	
MCSX 延迟时间	t_{MCSSD}	MSDCLK, MCSX8	—	2	12	ns	
MRASX 延迟时间	t_{RASSD}	MSDCLK, MRASX	—	2	12	ns	
MCASX 延迟时间	t_{CASSD}	MSDCLK, MCASX	—	2	12	ns	
MSDWEX 延迟时间	t_{MWESD}	MSDCLK, MSDWEX	—	2	12	ns	
MSDCKE 延迟时间	t_{CKESD}	MSDCLK, MSDCKE	—	2	12	ns	
数据建立时间	t_{DSSD}	MSDCLK, MADATA[31: 0]	—	19	—	ns	
数据保持时间	t_{DHSD}	MSDCLK, MADATA[31: 0]	—	0	—	ns	

注意:

- 外部负载电容 C_L 为 30 pF

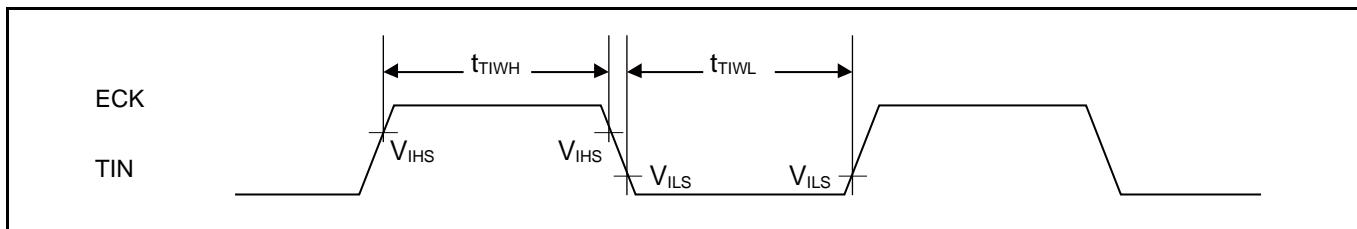


12.4.11 基础定时器输入时序

定时器输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

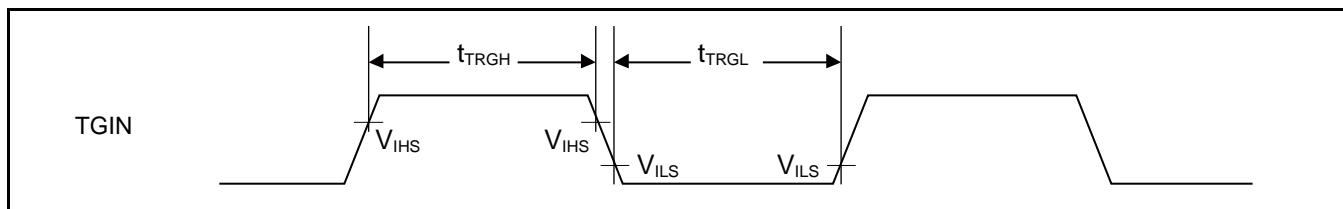
参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉宽	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (当作为 ECK、TIN 使用时)	-	$2t_{CYCP}$	-	ns	



触发输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉宽	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (当作为 TGIN 使用时)	-	$2t_{CYCP}$	-	ns	



注意:

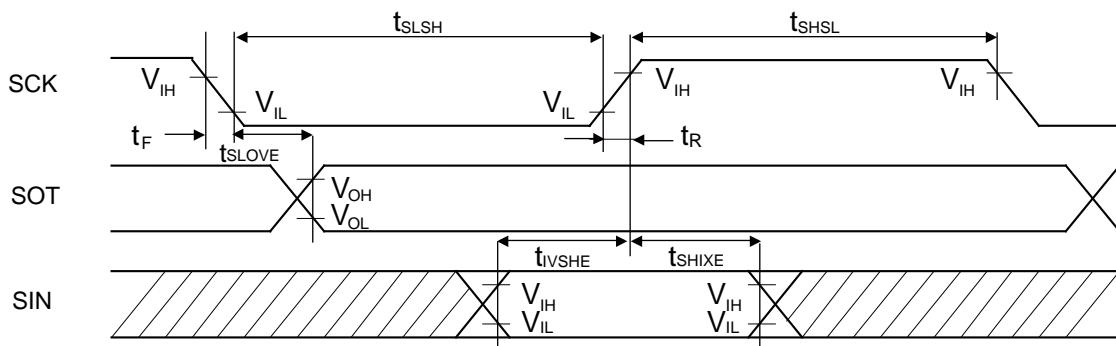
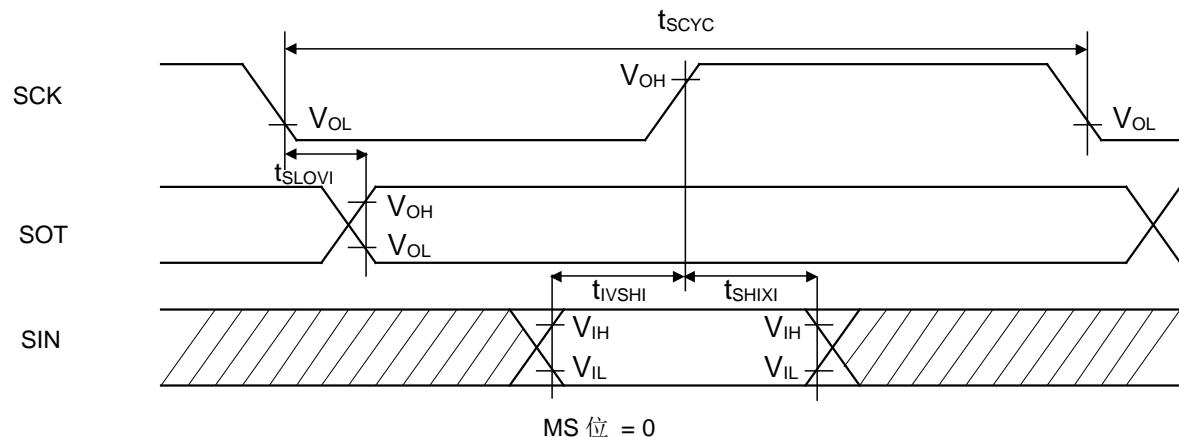
- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关基础定时器挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。

12.4.12 CSIO (SPI) 时序
同步串行 (SPI = 0, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
波特率	-	-		-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图**内容。
- 这些特性只对相同重定位端口编号有效; 例如, 对 **SCLKx_0** 和 **SOTx_1** 的组合无效。
- 外部负载电容 C_L 为 30 pF 。

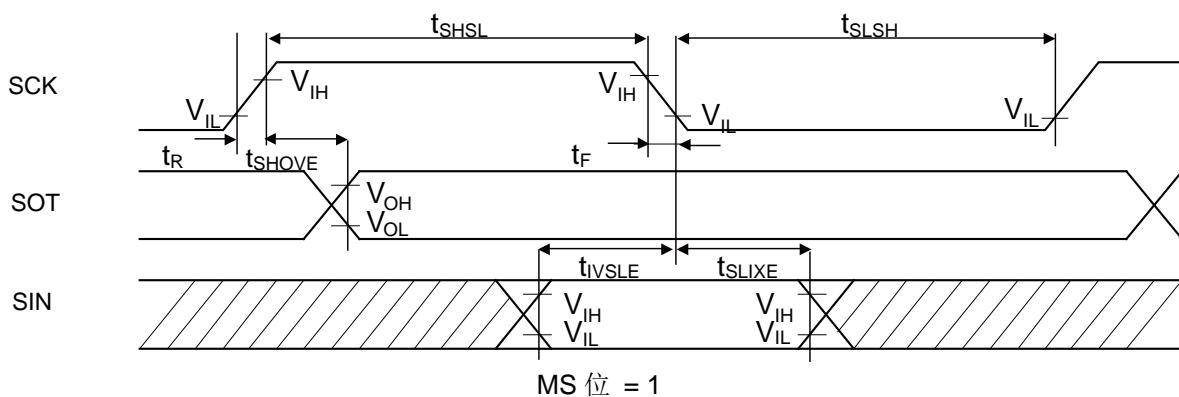
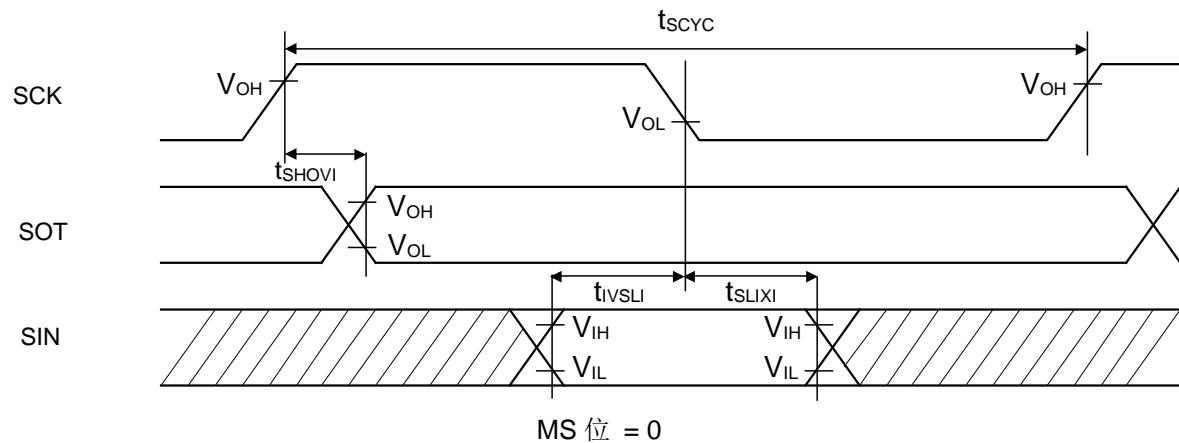


同步串行 (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。更多有关多功能串行接口挂接的 **APB 总线编号** 的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图** 内容。
- 这些特性只对相同重定位端口编号有效; 例如, 对 **SCLKx_0** 和 **SOTx_1** 的组合无效。
- 外部负载电容 C_L 为 **30 pF**。

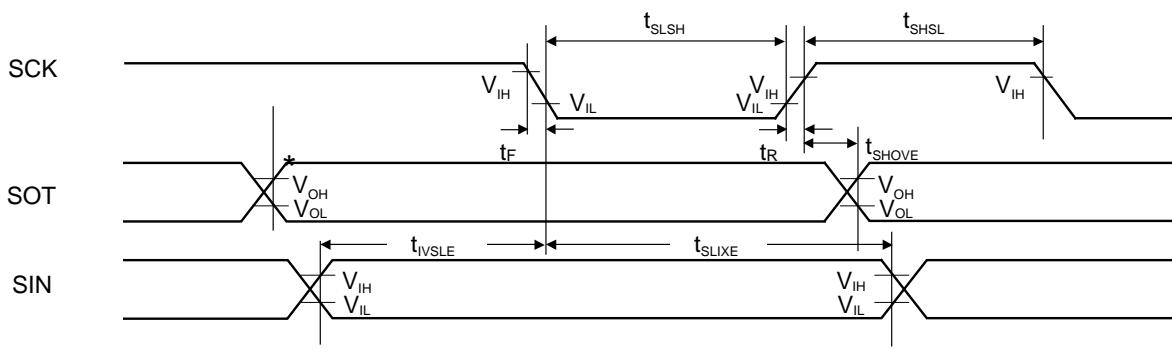
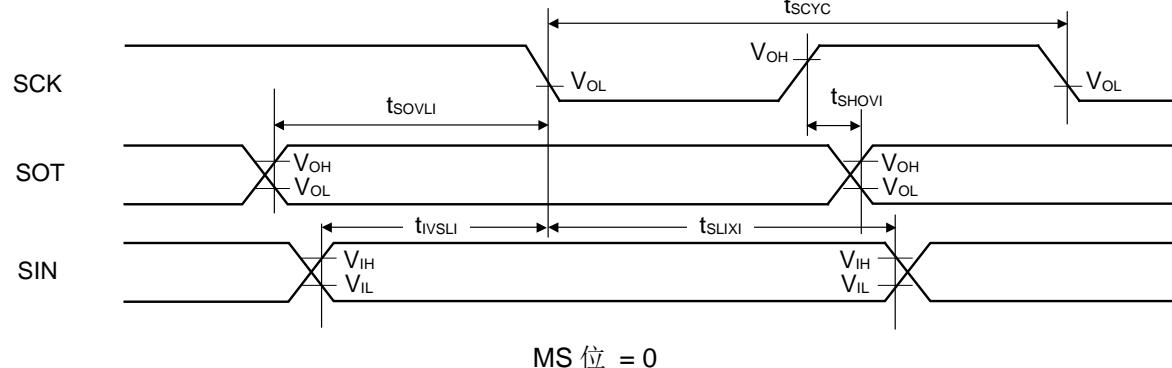


同步串行 (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
SOT 到 SCK 下降沿的延迟时间	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 这些特性只对相同重定位端口编号有效; 例如, 对 $SCLKx_0$ 和 $SOTx_1$ 的组合无效。
- 外部负载电容 C_L 为 30 pF 。



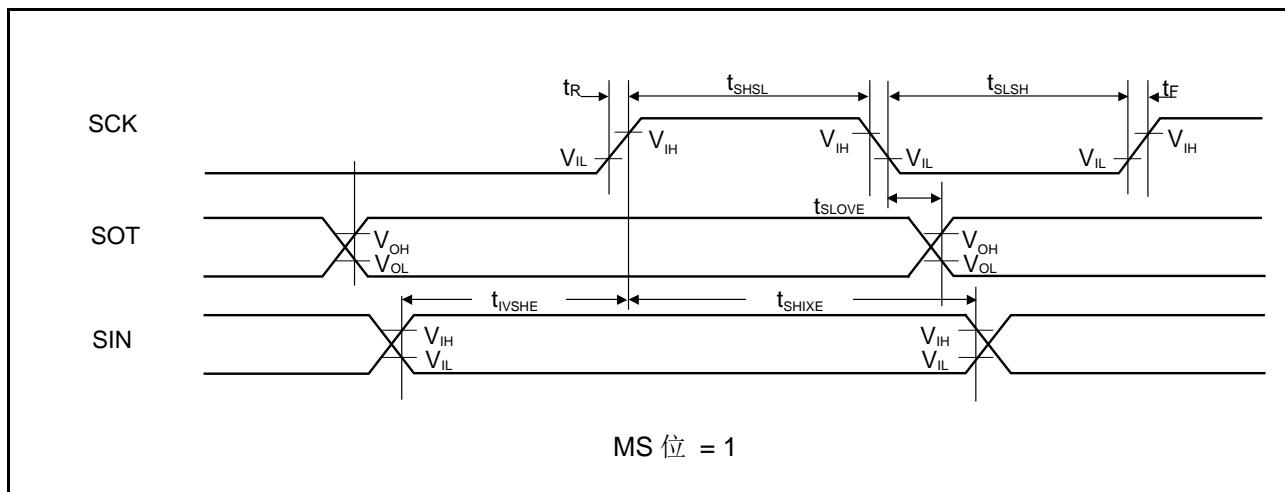
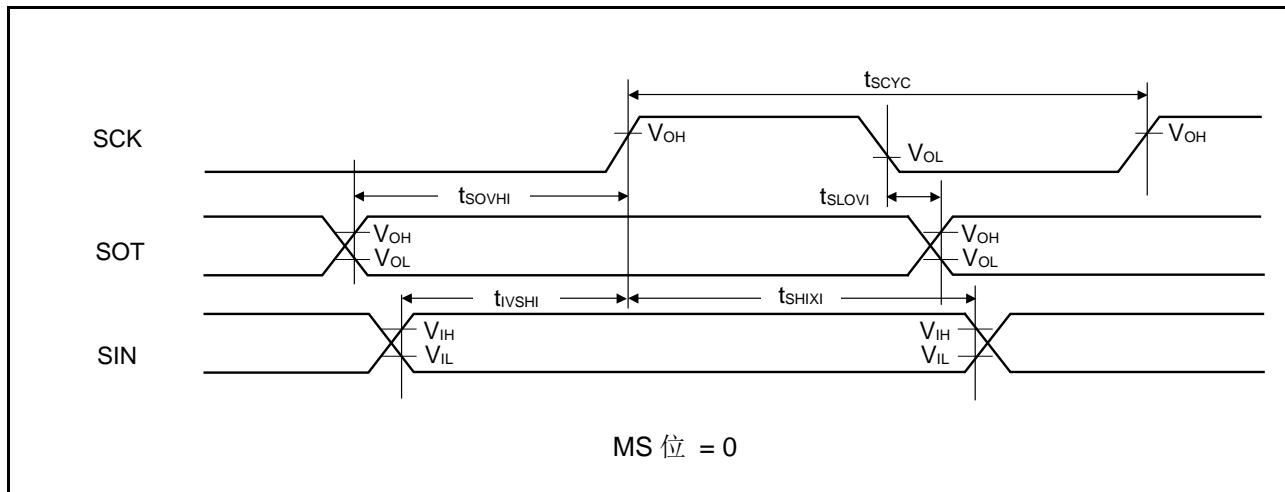
*: 写入 TDR 寄存器时产生变化。

同步串行 (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT 到 SCK 上升沿的延迟时间	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图内容**。
- 这些特性只对相同重定位端口编号有效; 例如, 对 **SCLKx_0** 和 **SOTx_1** 的组合无效。
- 外部负载电容 C_L 为 30 pF 。



同步串行片选 (SCINV = 0, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿的建立时间	t _{CSSE}	内部移位时钟运行时	([*] 1) -50	([*] 1) +0	([*] 1) -50	([*] 1) +0	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		([*] 2) +0	([*] 2) +50	([*] 2) +0	([*] 2) +50	ns
SCS 取消选择时间	t _{CSDI}		([*] 3) -50 +5t _{CYCP}	([*] 3) +50 +5t _{CYCP}	([*] 3) -50 +5t _{CYCP}	([*] 3) +50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿的建立时间	t _{CSSE}	外部移位时钟运行时	3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDI}		3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCS 下降沿到 SOT 的延迟时间	t _{DSE}		—	40	—	40	ns
SCS 上升沿到 SOT 的延迟时间	t _{DEE}		0	—	0	—	ns

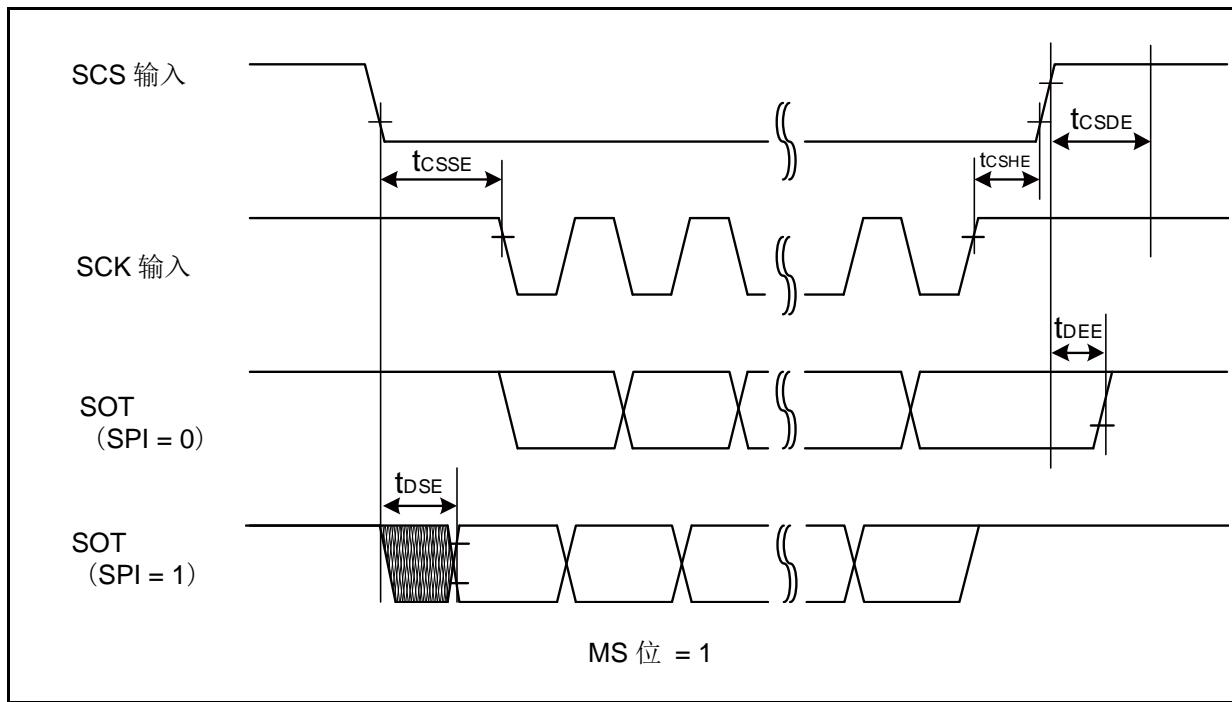
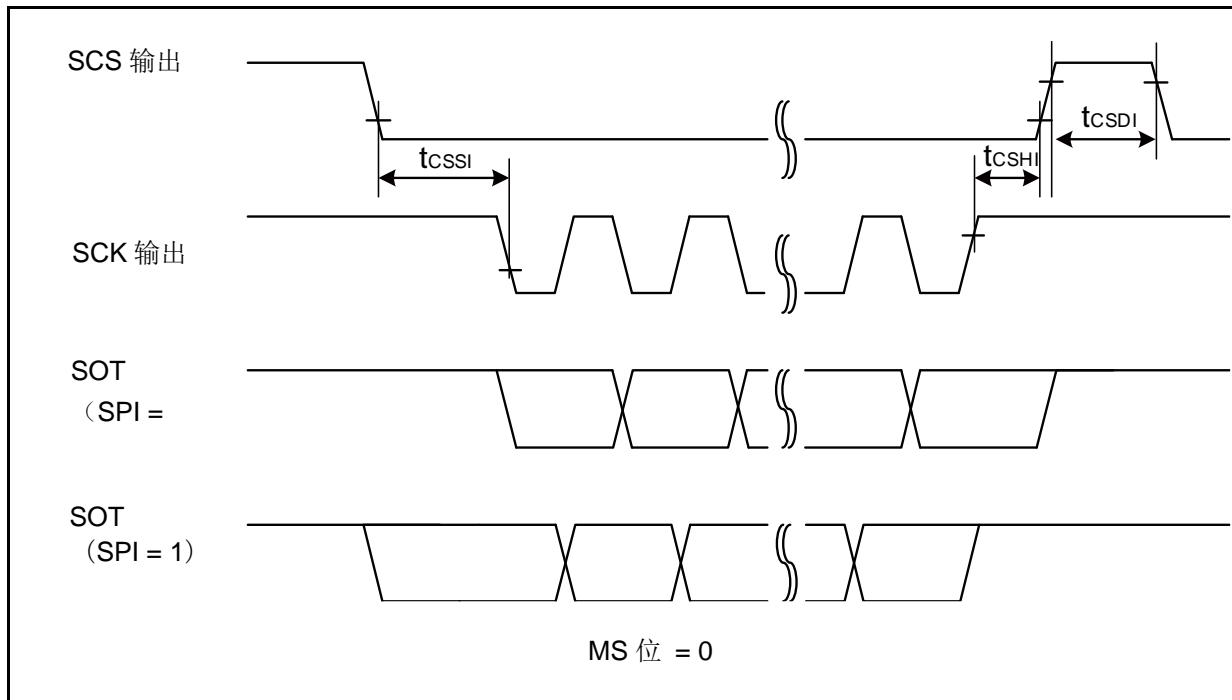
^(*1): CSSU 位值 \times 串行片选时序操作时钟周期[ns]

^(*2): CSHD 位值 \times 串行片选时序操作时钟周期[ns]

^(*3): CSDS 位值 \times 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF。



同步串行片选 (SCINV = 1, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿的建立时间	t_{CSSE}	内部移位时钟运行时	(*1) -50	(*1) +0	(*1) -50	(*1) +0	ns
SCK 上升沿到 SCS 上升沿的保持时间	t_{CSHE}		(*2) +0	(*2) +50	(*2) +0	(*2) +50	ns
SCS 取消选择时间	t_{CSDI}		(*3) -50 +5t _{CYCP}	(*3) +50 +5t _{CYCP}	(*3) -50 +5t _{CYCP}	(*3) +50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿的建立时间	t_{CSSE}	外部移位时钟运行时	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK 上升沿到 SCS 上升沿的保持时间	t_{CSHE}		0	-	0	-	ns
SCS 取消选择时间	t_{CSDI}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS 下降沿到 SOT 的延迟时间	t_{DSE}		-	40	-	40	ns
SCS 上升沿到 SOT 的延迟时间	t_{DEE}		0	-	0	-	ns

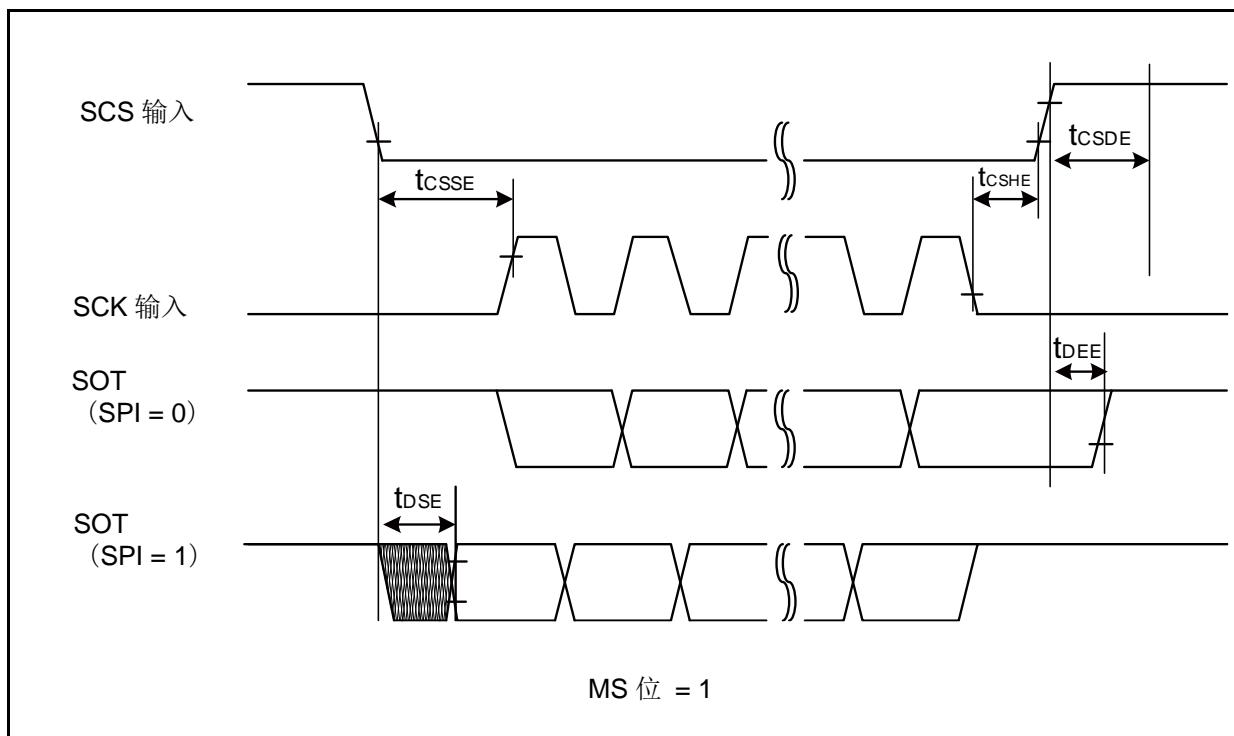
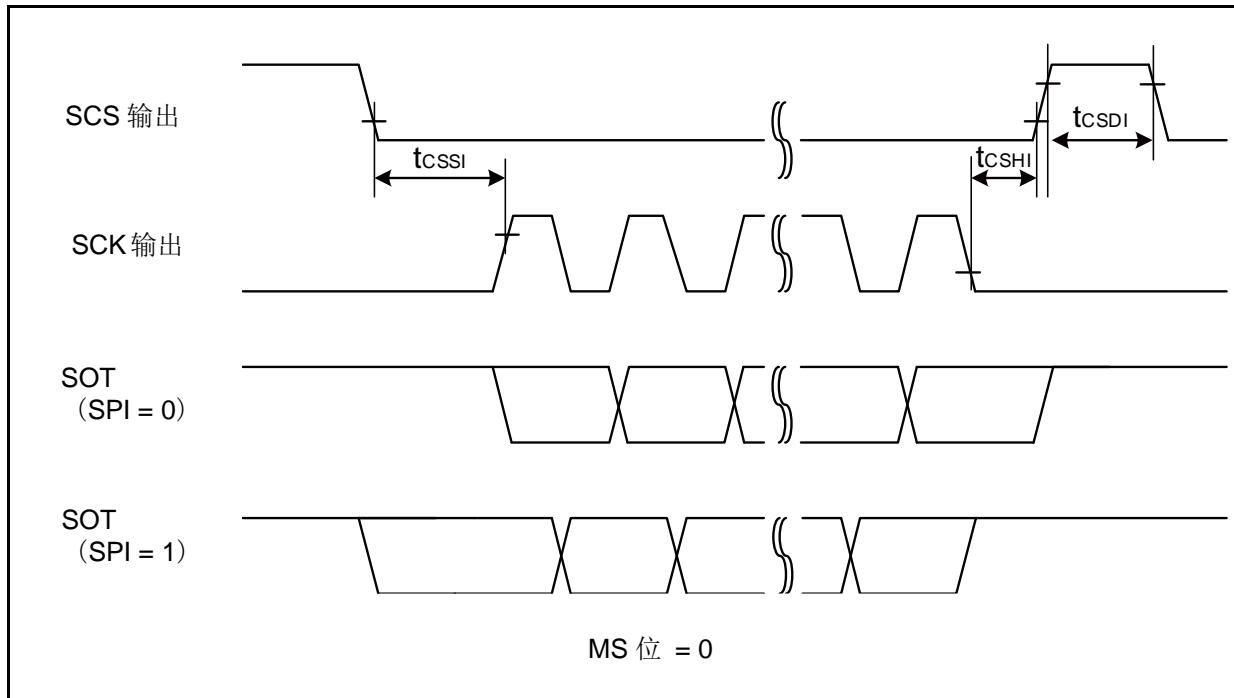
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF 。



同步串行片选 (SCINV = 0, CSLVL = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿的建立时间	t_{CSSE}	内部移位时钟运行时	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 上升沿到 SCS 下降沿的保持时间	t_{CSHE}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	t_{CSDE}		(*3)-50 +5 t_{CYCP}	(*3)+50 +5 t_{CYCP}	(*3)-50 +5 t_{CYCP}	(*3)+50 +5 t_{CYCP}	ns
SCS 上升沿到 SCK 下降沿的建立时间	t_{CSSE}	外部移位时钟	$3t_{CYCP}+30$	—	$3t_{CYCP}+30$	—	ns
SCK 上升沿到 SCS 下降沿的保持时间	t_{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t_{CSDE}		$3t_{CYCP}+30$	—	$3t_{CYCP}+30$	—	ns
SCS 上升沿到 SOT 的延迟时间	t_{DSE}		—	40	—	40	ns
SCS 下降沿到 SOT 的延迟时间	t_{DEE}		0	—	0	—	ns

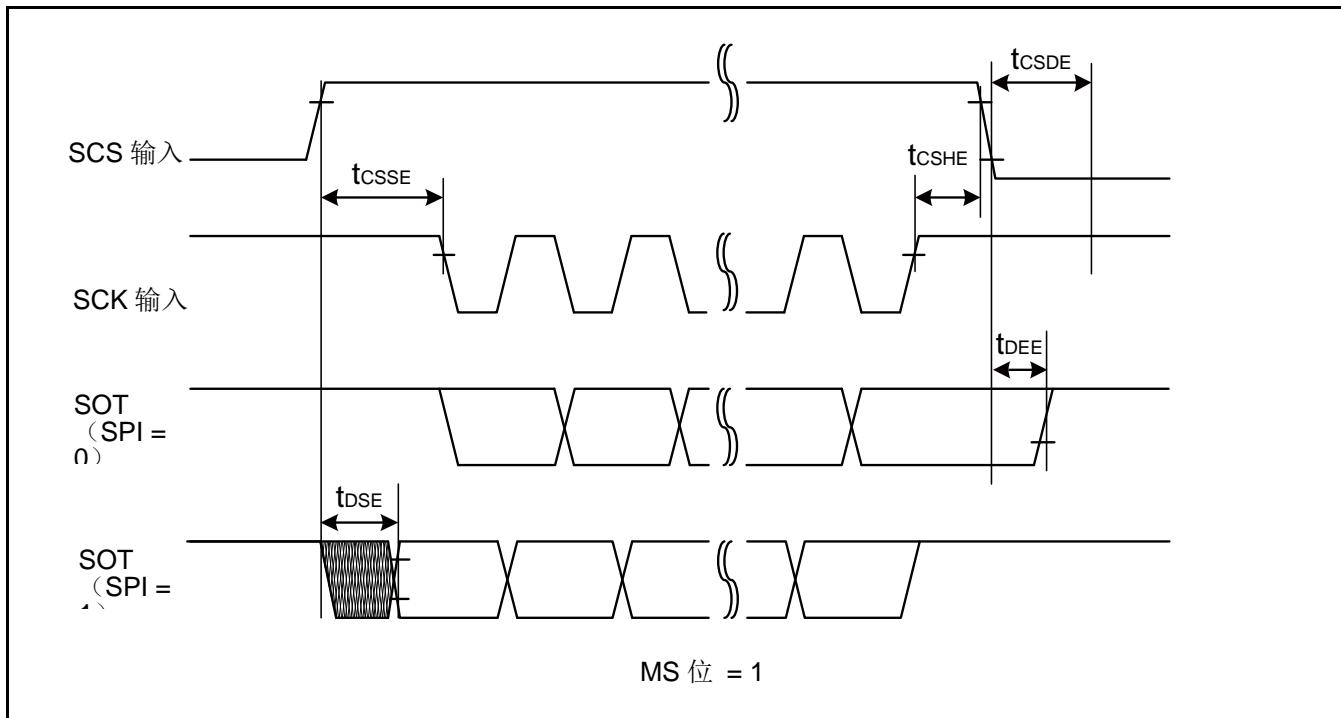
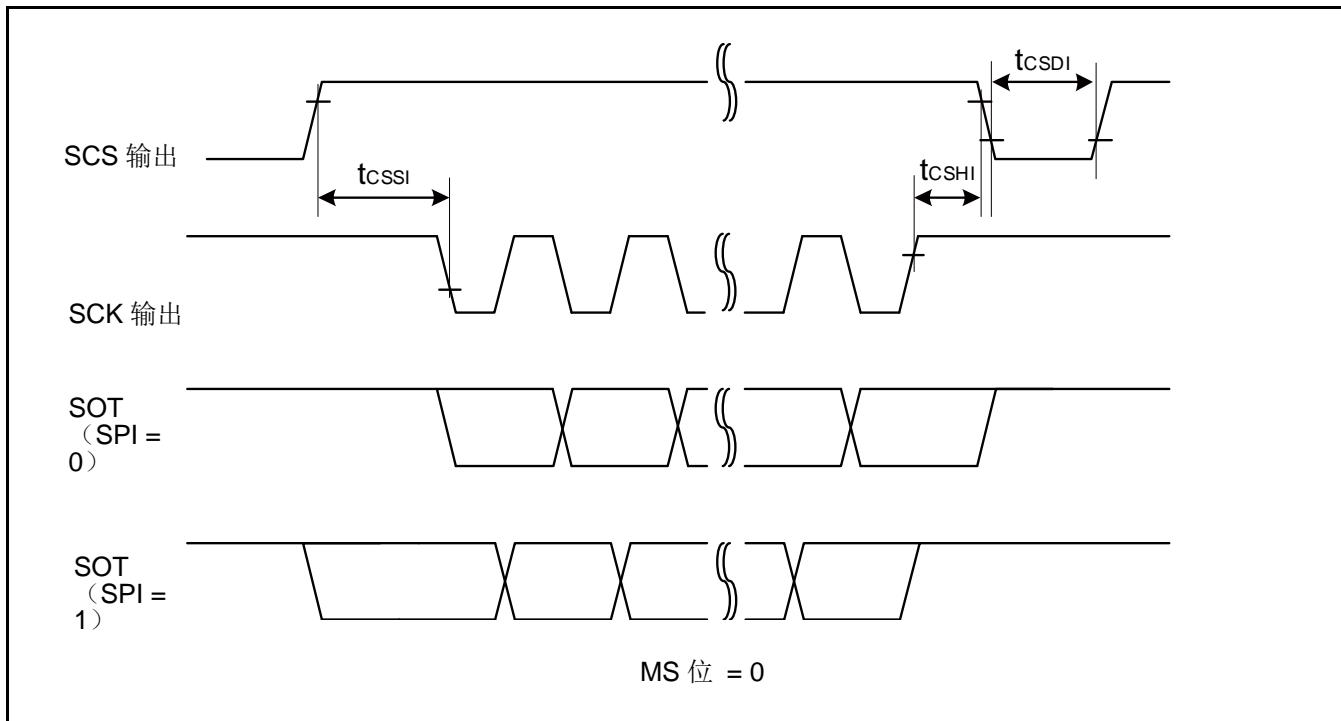
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章:S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF 。



同步串行片选 (SCINV = 1, CSLVL = 0)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	条件	VCC < 4.5 V		VCC ≥ 4.5 V		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 上升沿的建立时间	t _{CSSE}	内部移位时钟运行时	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 下降沿到 SCS 下降沿的保持时间	t _{CSHE}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	t _{CSDE}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS 上升沿到 SCK 上升沿的建立时间	t _{CSSE}	外部移位时钟运行时	3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCK 下降沿到 SCS 下降沿的保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		—	40	—	40	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	—	0	—	ns

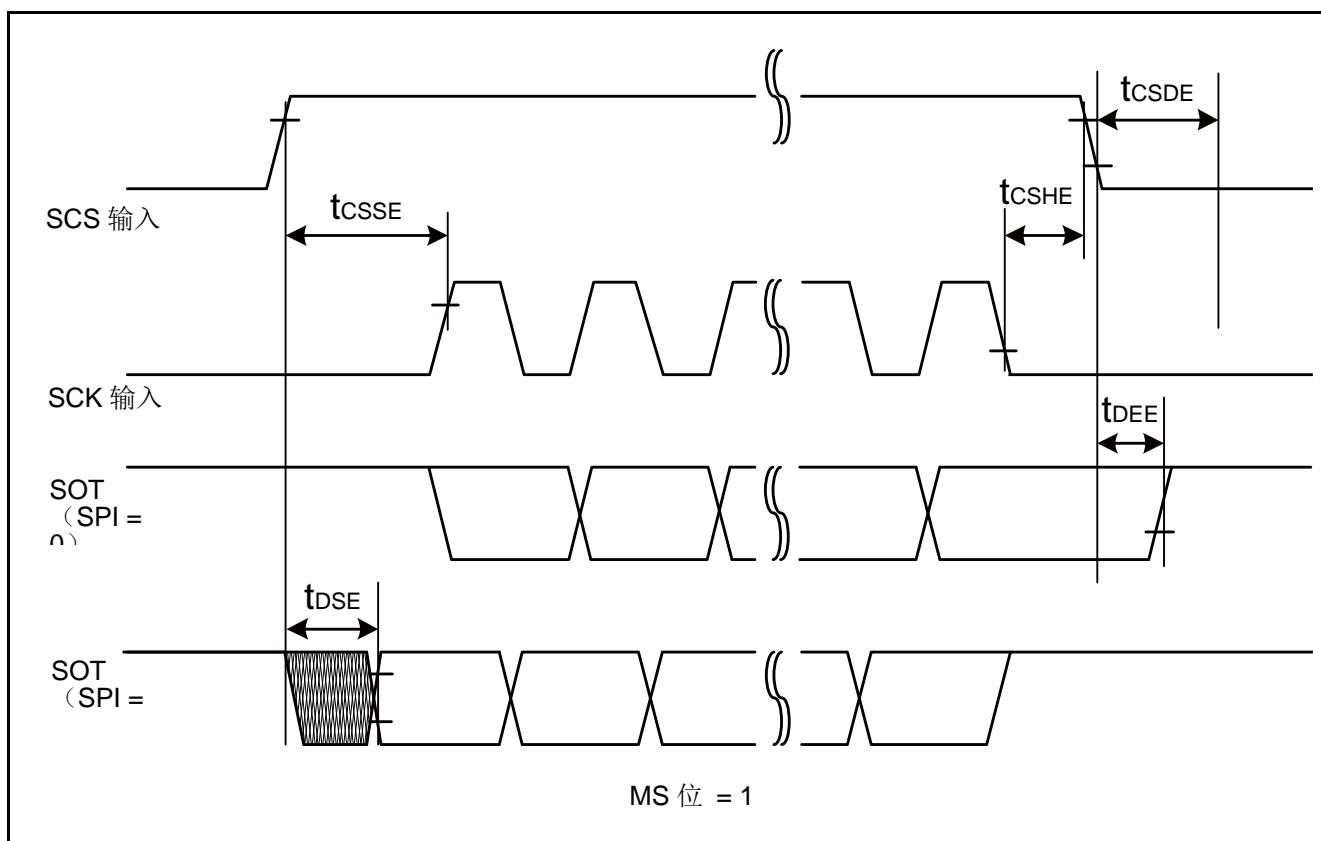
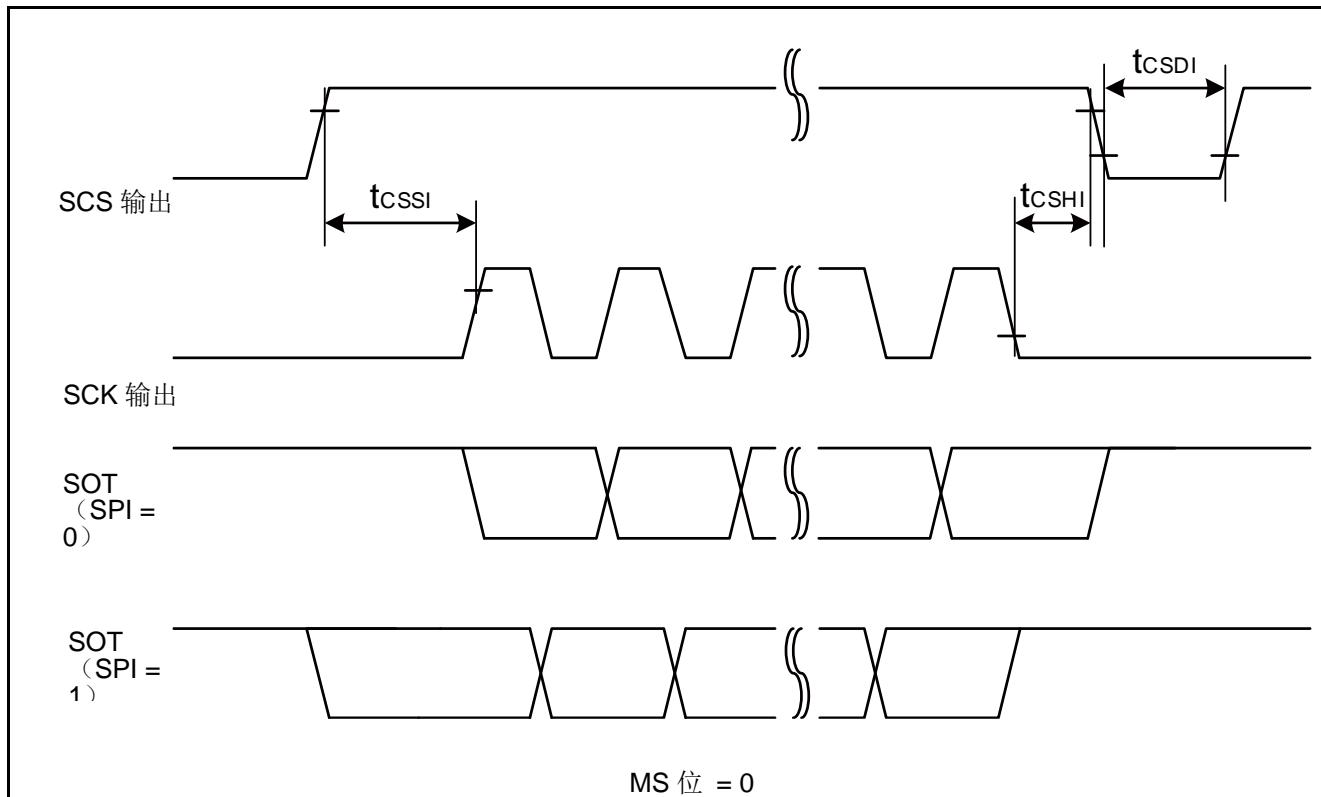
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章节.S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF。



高速同步串行 (SPI = 0, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位	
				最小值	最大值	最小值	最大值		
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns	
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		- 10	+ 10	- 10	+ 10	ns	
SIN 到 SCK 上升沿的建立时间	t_{IVSHI}	SCKx, SINx		14	—	12.5	—	ns	
				12.5*	—	—	—	ns	
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		5	—	5	—	ns	
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns	
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns	
SCK 下降沿到 SOT 的延迟时间	t_{SLOVE}	SCKx, SOTx		—	15	—	15	ns	
SIN 到 SCK 上升沿的建立时间	t_{IVSHE}	SCKx, SINx		5	—	5	—	ns	
SCK 上升沿到 SIN 的保持时间	t_{SHIXE}	SCKx, SINx		5	—	5	—	ns	
SCK 下降时间	t_F	SCKx		—	5	—	5	ns	
SCK 上升时间	t_R	SCKx		—	5	—	5	ns	

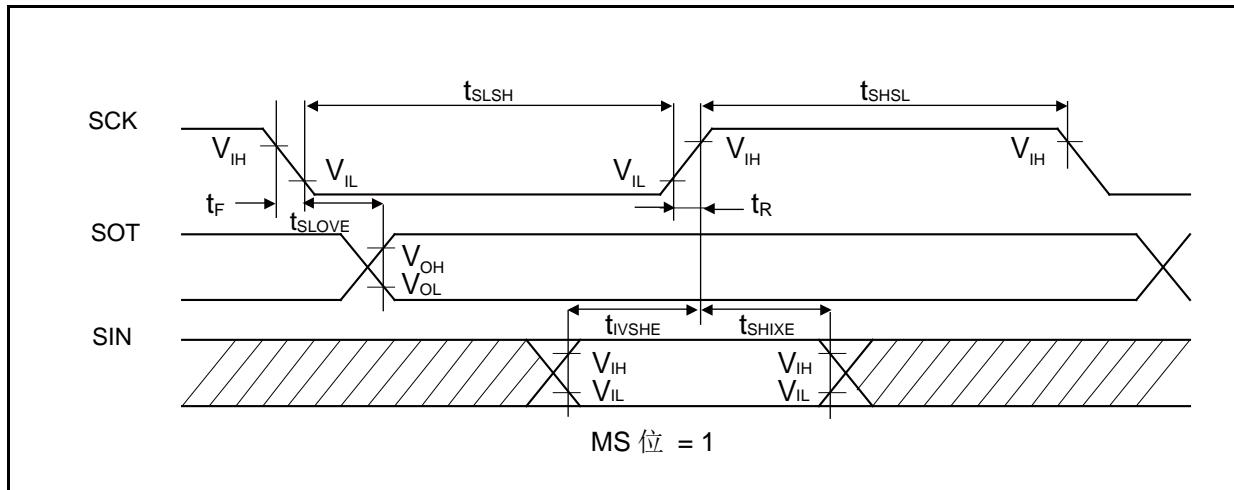
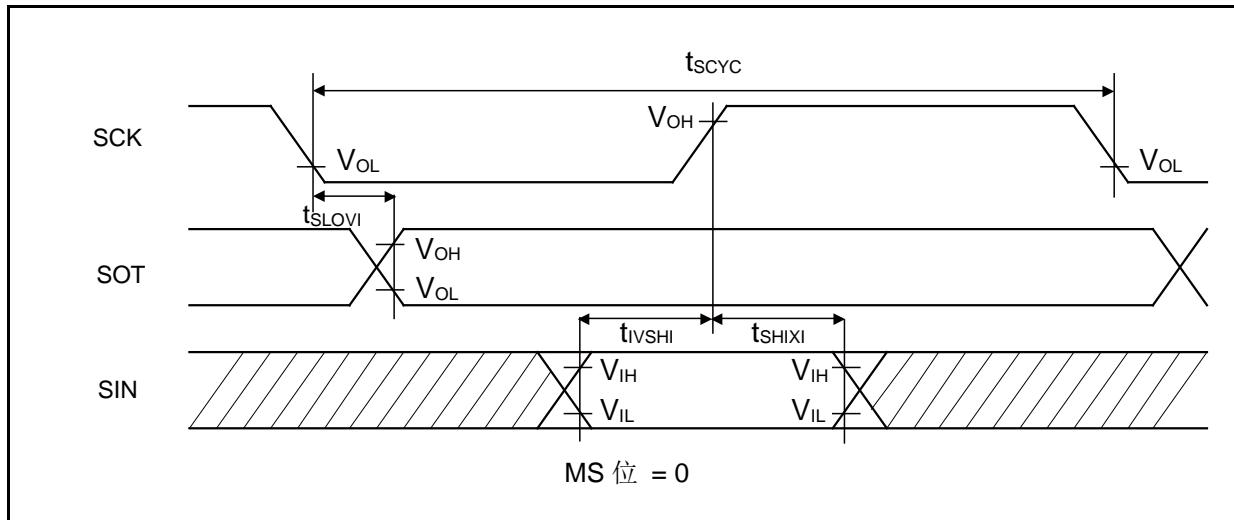
注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。更多有关多功能串行接口挂接的 **APB 总线编号** 的信息, 请参考本数据手册中第 1 章节 **S6E2G 系列框图** 内容。
- 这些特性仅适用于以下各引脚:

无片选: SIN4_0、SOT4_0、SCK4_0

有片选: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0

- 外部负载电容 C_L 为 30 pF 。(对于带*的项, 条件为 $C_L = 10\text{ pF}$)



高速同步串行 (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5 \text{ V}$		$V_{CC} \geq 4.5 \text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVI}	SCKx, SOTx		- 10	+ 10	- 10	+ 10	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLI}	SCKx, SINx		14	—	12.5	—	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXI}	SCKx, SINx		12.5*	—	5	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx		5	—	5	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx	外部移位时钟运行时	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVE}	SCKx, SOTx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLE}	SCKx, SINx		—	15	—	15	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		5	—	5	—	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

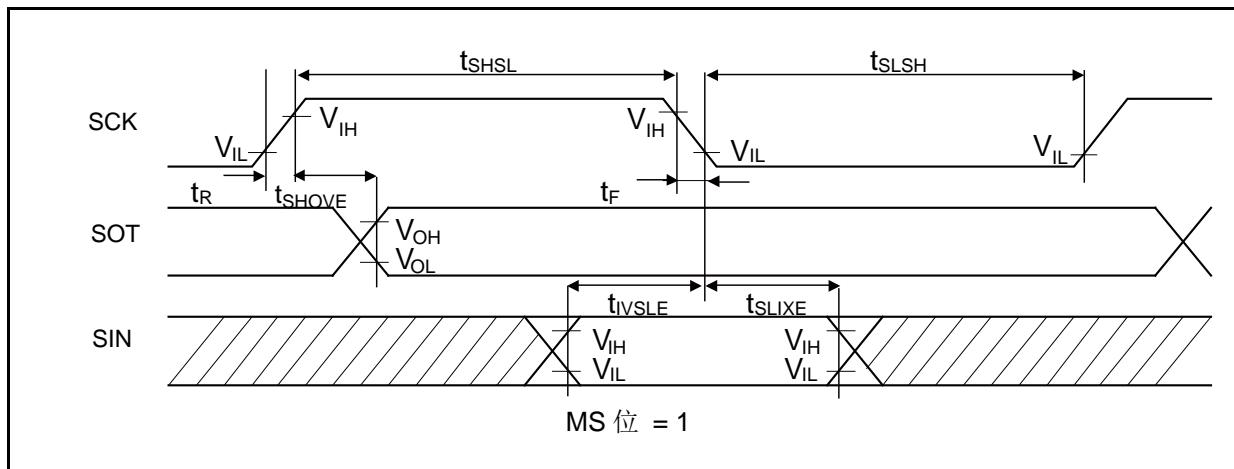
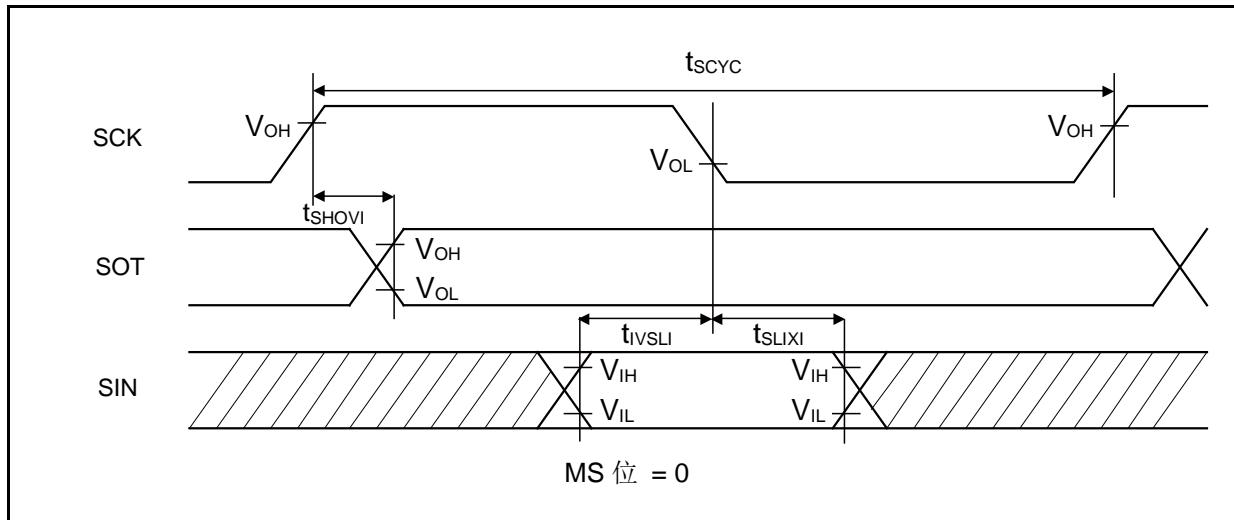
注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。更多有关多功能串行接口挂接的 **APB 总线编号** 的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图** 内容。
- 这些特性仅适用于以下各引脚:

无片选: **SIN4_0、SOT4_0、SCK4_0**

有片选: **SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0**

- 外部负载电容 C_L 为 30 pF 。(对于带*项, 条件为 $C_L = 10 \text{ pF}$)

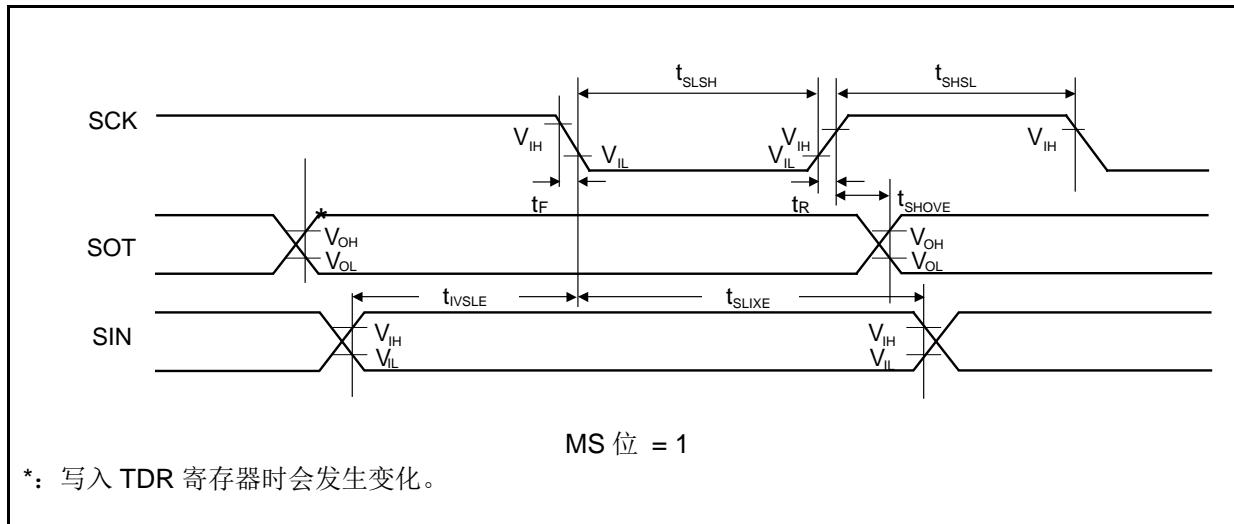
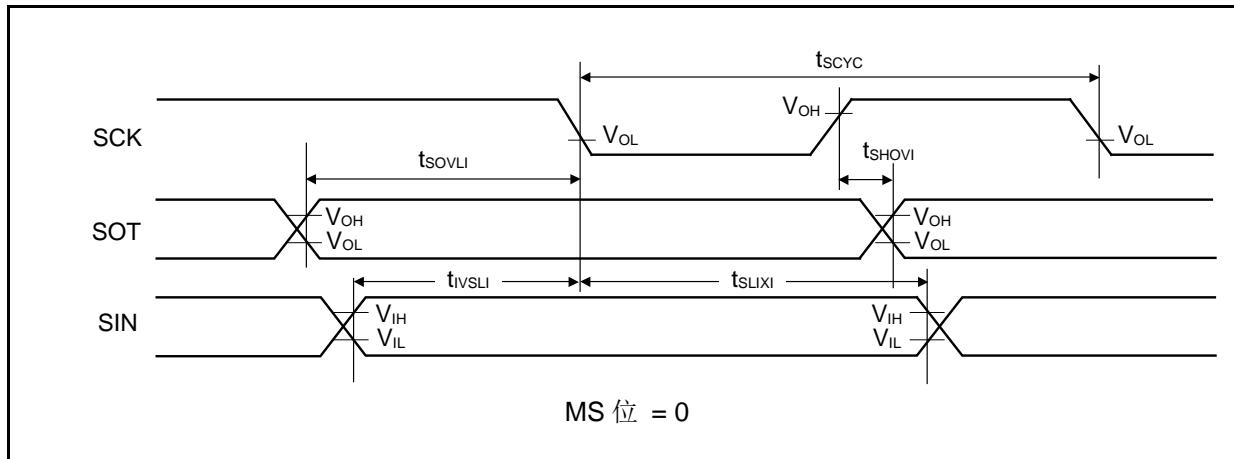


高速同步串行 (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVI}	SCKx, SOTx		- 10	+ 10	- 10	+ 10	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLI}	SCKx, SINx		14	—	12.5	—	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXI}	SCKx, SINx		12.5*	—	5	—	ns
SOT 到 SCK 下降沿的延迟时间	t_{SOVLI}	SCKx, SOTx		5	—	2 t_{CYCP} - 10	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx		2 t_{CYCP} - 5	—	2 t_{CYCP} - 5	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx	外部移位时钟运行时	$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 上升沿到 SOT 的延迟时间	t_{SHOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 下降沿的建立时间	t_{IVSLE}	SCKx, SINx		5	—	5	—	ns
SCK 下降沿到 SIN 的保持时间	t_{SLIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图内容**。
- 这些特性仅适用于以下各引脚:
 - 无片选: **SIN4_0、SOT4_0、SCK4_0**
 - 有片选: **SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0**
- 外部负载电容 C_L 为 30 pF 。(对于带*项, 条件为 $C_L = 10\text{ pF}$)

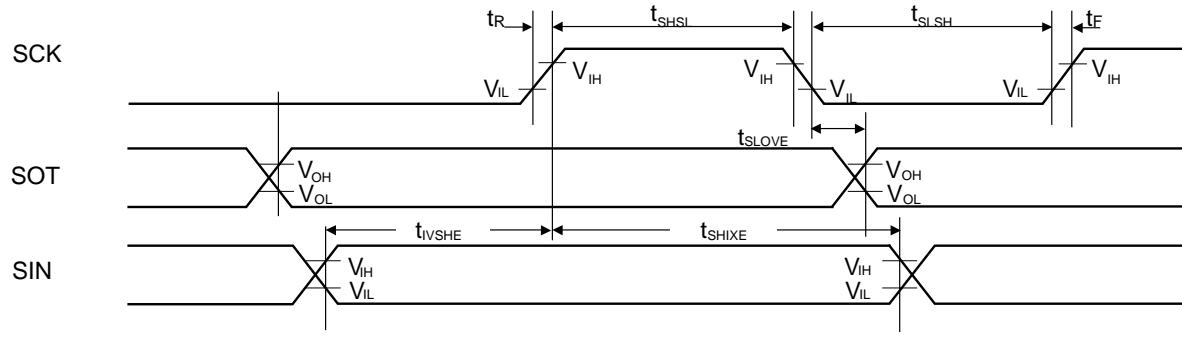
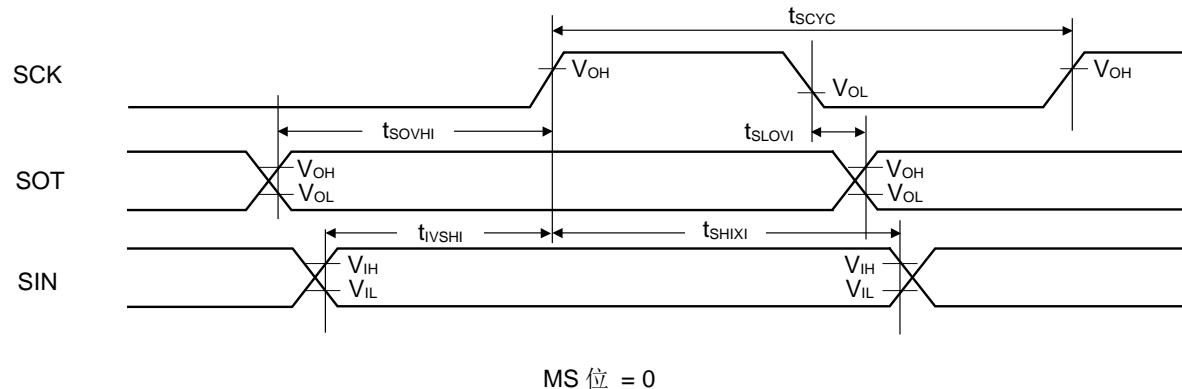


高速同步串行 (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5 \text{ V}$		$V_{CC} \geq 4.5 \text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟运行时	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVI}	SCKx, SOTx		- 10	+ 10	- 10	+ 10	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHI}	SCKx, SINx		14	—	12.5	—	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXI}	SCKx, SINx		12.5*	—	—	—	ns
SOT 到 SCK 上升沿的延迟时间	t_{SOVHI}	SCKx, SOTx		5	—	5	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx		2 t_{CYCP} - 10	—	2 t_{CYCP} - 10	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx	外部移位时钟运行时	$2t_{CYCP}$ - 5	—	$2t_{CYCP}$ - 5	—	ns
SCK 下降沿到 SOT 的延迟时间	t_{SLOVE}	SCKx, SOTx		t_{CYCP} + 10	—	t_{CYCP} + 10	—	ns
SIN 到 SCK 上升沿的建立时间	t_{IVSHE}	SCKx, SINx		—	15	—	15	ns
SCK 上升沿到 SIN 的保持时间	t_{SHIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		5	—	5	—	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: **S6E2G 系列框图**内容。
- 这些特性仅适用于以下各引脚:
 - 无片选: SIN4_0、SOT4_0、SCK4_0
 - 有片选: SIN6_0、SOT6_0、SCK6_0、SCS60_0、SCS61_0、SCS62_0、SCS63_0
- 外部负载电容 C_L 为 30 pF 。(对于带*项, 条件为 $C_L = 10 \text{ pF}$)



高速同步串行片选 (SCINV = 0, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿的建立时间	t _{CSSE}	内部移位时钟运行时	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+20	ns
SCS 取消选择时间	t _{CSDE}		([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿的建立时间	t _{CSSE}	外部移位时钟运行时	3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCS 下降沿到 SOT 的延迟时间	t _{DSE}		—	25	—	25	ns
SCS 上升沿到 SOT 的延迟时间	t _{DEE}		0	—	0	—	ns

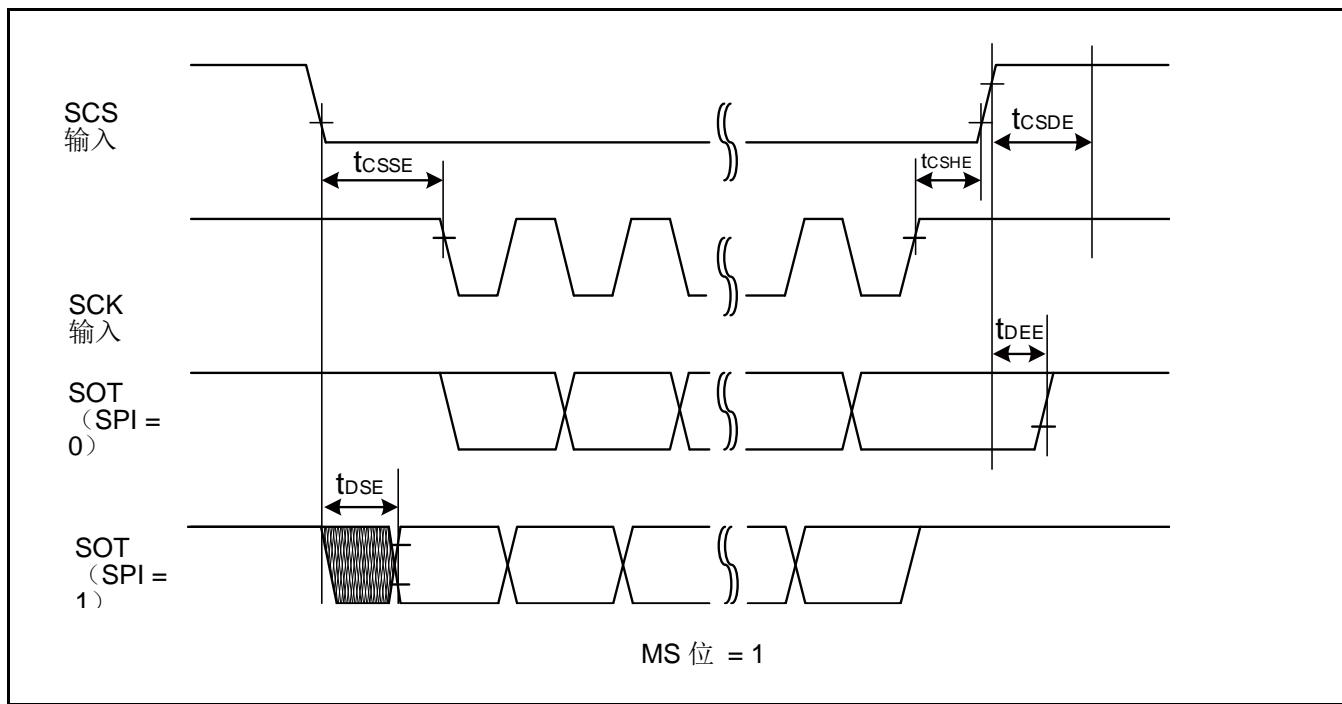
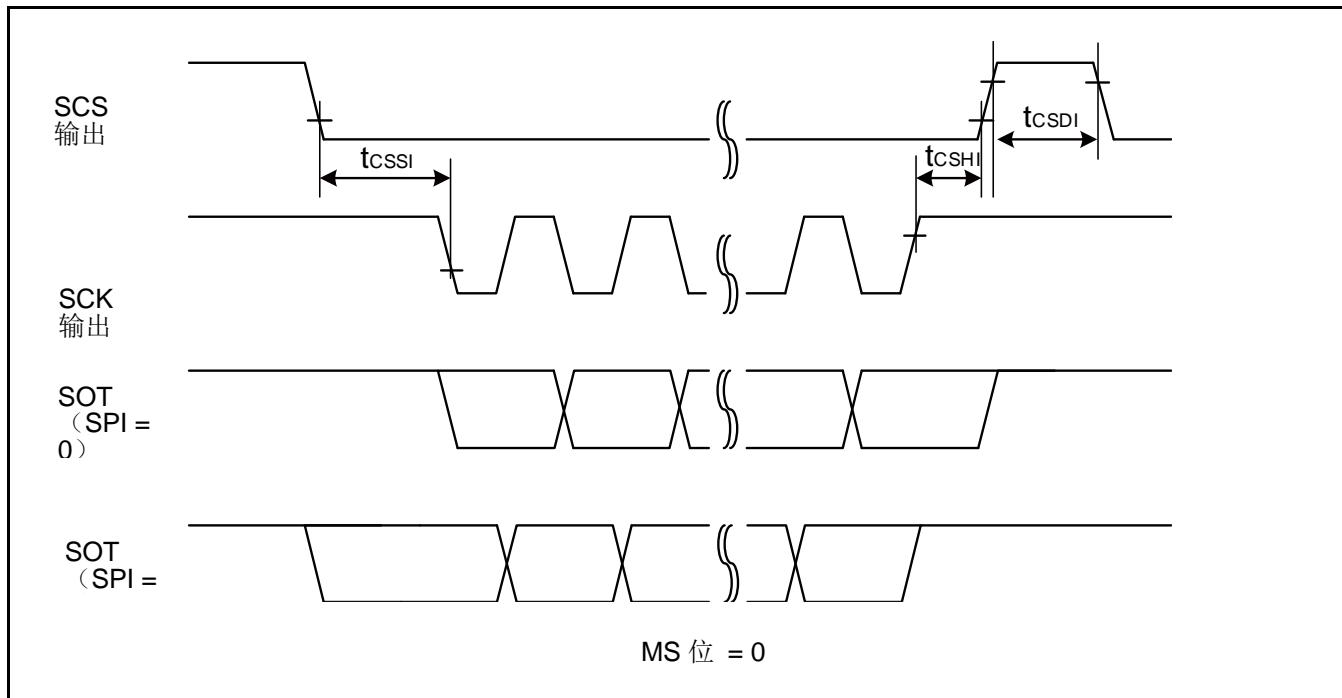
^{(*)1}: CSSU 位值 \times 串行片选时序操作时钟周期[ns]

^{(*)2}: CSHD 位值 \times 串行片选时序操作时钟周期[ns]

^{(*)3}: CSDS 位值 \times 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF 。



高速同步串行片选 (SCINV = 1, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿的建立时间	t _{CSSE}	内部移位时钟运行时	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+20	ns
SCS 取消选择时间	t _{CSDS}		([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	ns
SCS 下降沿到 SCK 上升沿的建立时间	t _{CSSE}	外部移位时钟运行时	3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCK 上升沿到 SCS 上升沿的保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDS}		3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCS 下降沿到 SOT 的延迟时间	t _{DSE}		—	25	—	25	ns
SCS 上升沿到 SOT 的延迟时间	t _{DEE}		0	—	0	—	ns

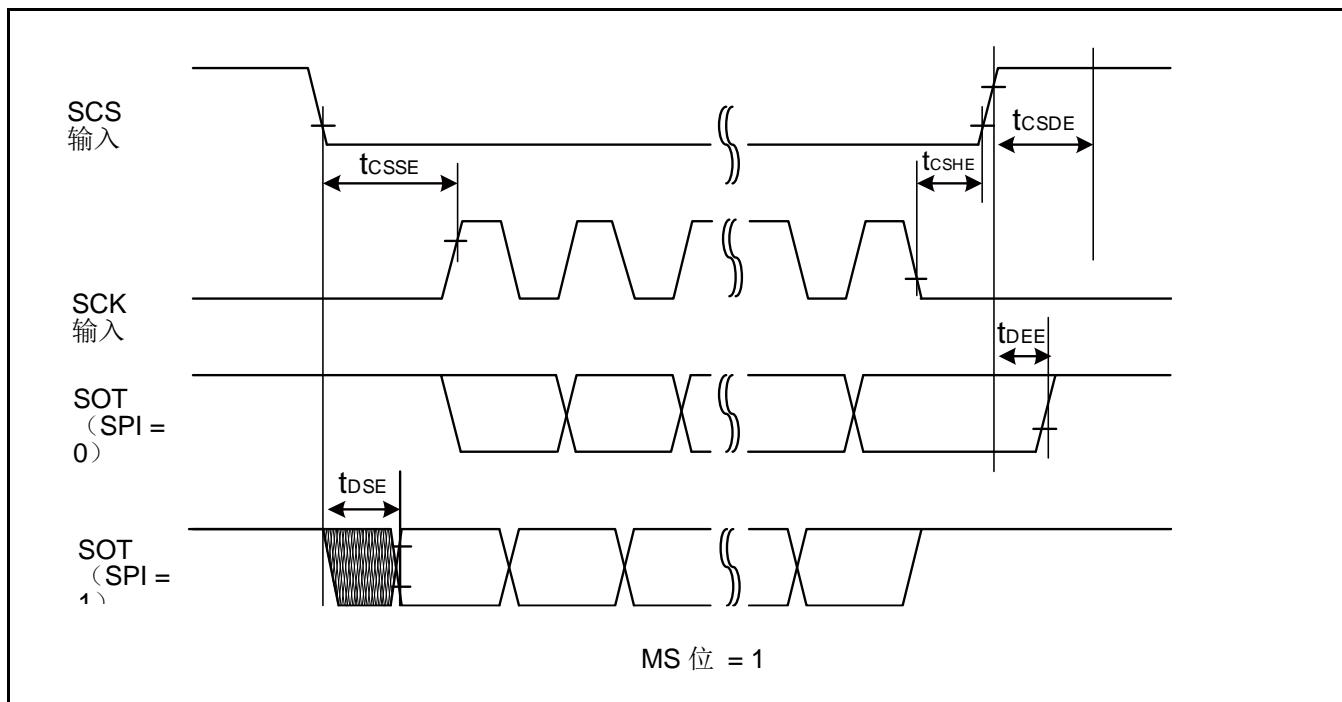
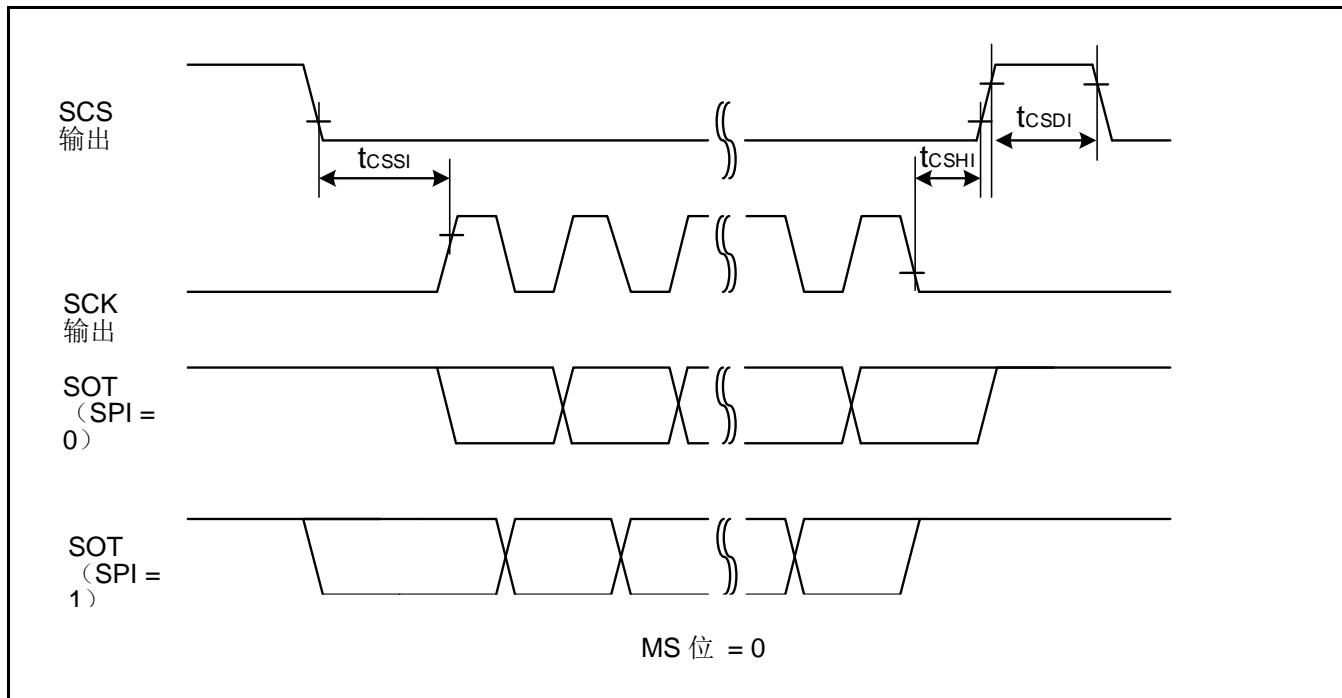
^{(*)1}: CSSU 位值 \times 串行片选时序操作时钟周期[ns]

^{(*)2}: CSHD 位值 \times 串行片选时序操作时钟周期[ns]

^{(*)3}: CSDS 位值 \times 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选 (SCINV = 0, CSLVL = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿的建立时间	t_{CSSE}	内部移位时钟运行时	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 上升沿到 SCS 下降沿的保持时间	t_{CSHE}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+20	ns
SCS 取消选择时间	t_{CSDE}		([*] 3)-20 +5 t_{CYCP}	([*] 3)+20 +5 t_{CYCP}	([*] 3)-20 +5 t_{CYCP}	([*] 3)+20 +5 t_{CYCP}	ns
SCS 上升沿到 SCK 下降沿的建立时间	t_{CSSE}	外部移位时钟运行时	$3t_{CYCP}+15$	-	$3t_{CYCP}+15$	-	ns
SCK 上升沿到 SCS 下降沿的保持时间	t_{CSHE}		0	-	0	-	ns
SCS 取消选择时间	t_{CSDE}		$3t_{CYCP}+15$	-	$3t_{CYCP}+15$	-	ns
SCS 上升沿到 SOT 的延迟时间	t_{DSE}		-	25	-	25	ns
SCS 下降沿到 SOT 的延迟时间	t_{DEE}		0	-	0	-	ns

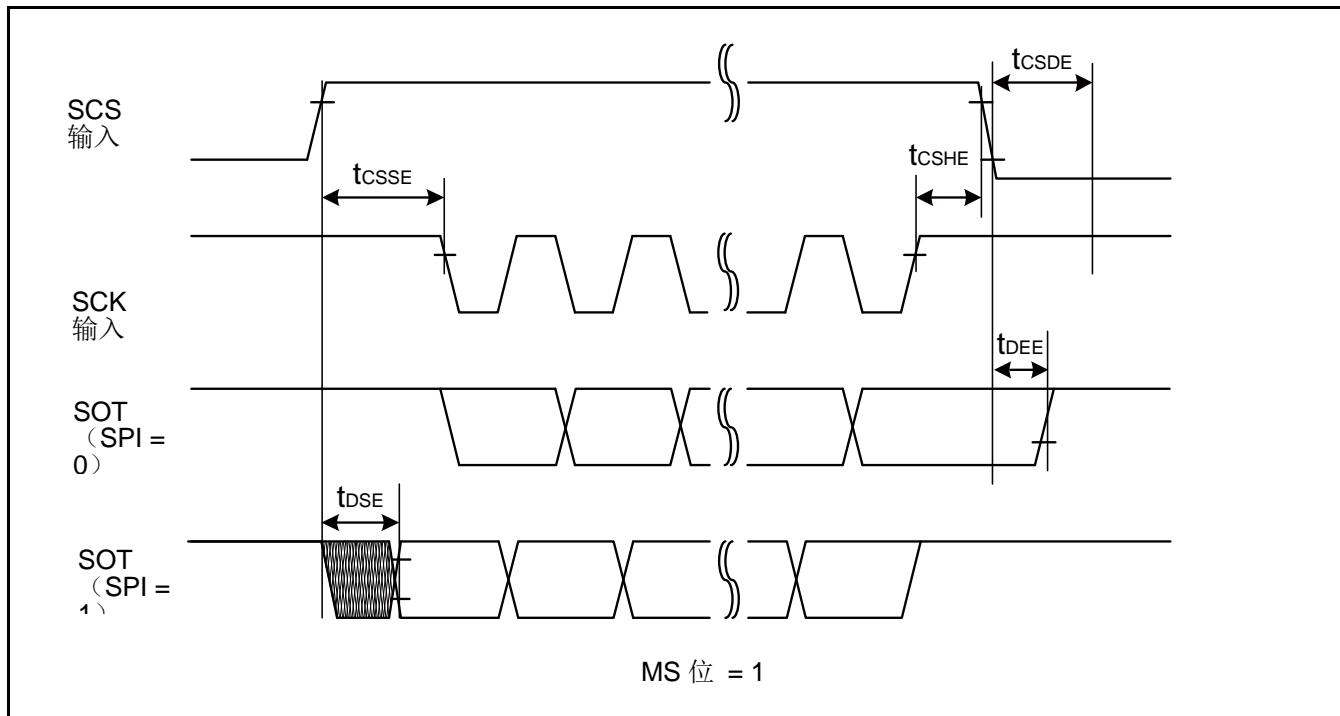
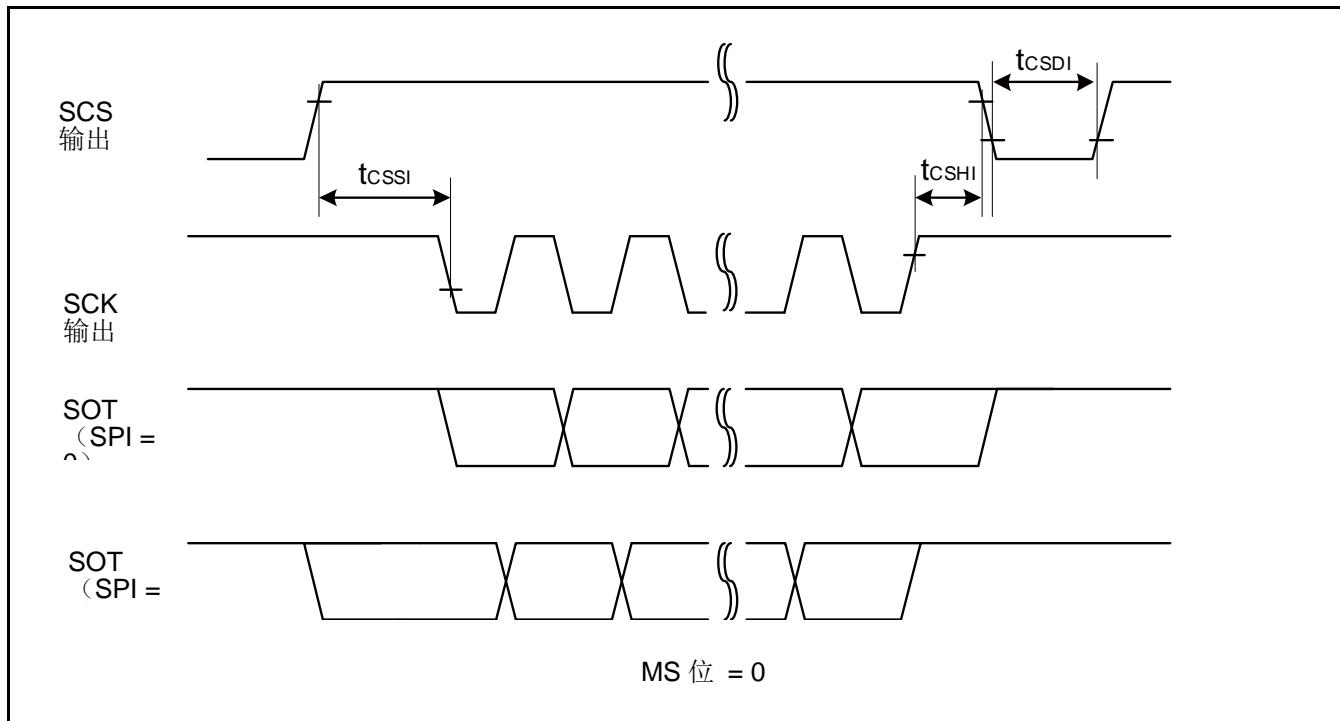
^(*1): CSSU 位值 \times 串行片选时序操作时钟周期[ns]

^(*2): CSHD 位值 \times 串行片选时序操作时钟周期[ns]

^(*3): CSDS 位值 \times 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF 。



高速同步串行片选 (SCINV = 1, CSLVL = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿的建立时间	t_{CSSI}	内部移位时钟运行时	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 上升沿到 SCS 下降沿的保持时间	t_{CSHI}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+20	ns
SCS 取消选择时间	t_{CSDI}		([*] 3)-20 +5 t_{CYCP}	([*] 3)+20 +5 t_{CYCP}	([*] 3)-20 +5 t_{CYCP}	([*] 3)+20 +5 t_{CYCP}	ns
SCS 上升沿到 SCK 上升沿的建立时间	t_{CSSE}	外部移位时钟运行时	$3t_{CYCP}+15$	—	$3t_{CYCP}+15$	—	ns
SCK 下降沿到 SCS 下降沿的保持时间	t_{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t_{CSDE}		$3t_{CYCP}+15$	—	$3t_{CYCP}+15$	—	ns
SCS 上升沿到 SOT 的延迟时间	t_{DSE}		—	40	—	40	ns
SCS 下降沿到 SOT 的延迟时间	t_{DEE}		0	—	0	—	ns

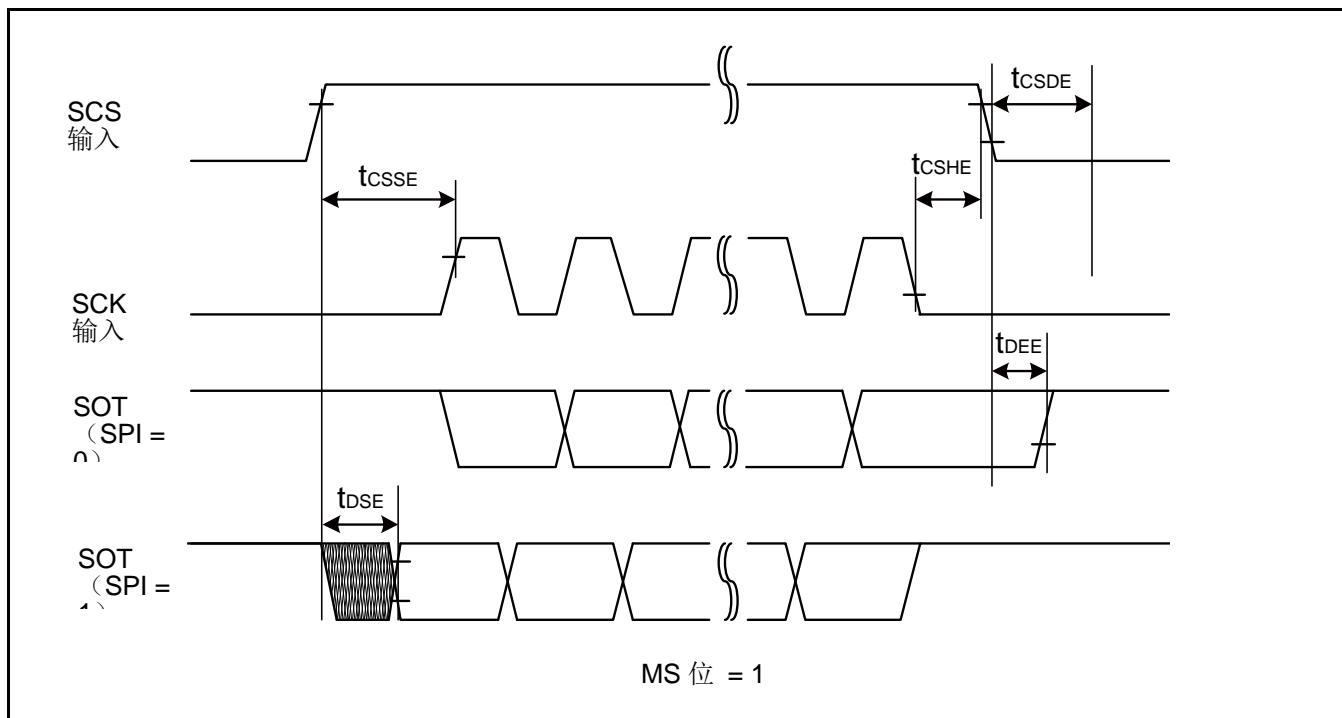
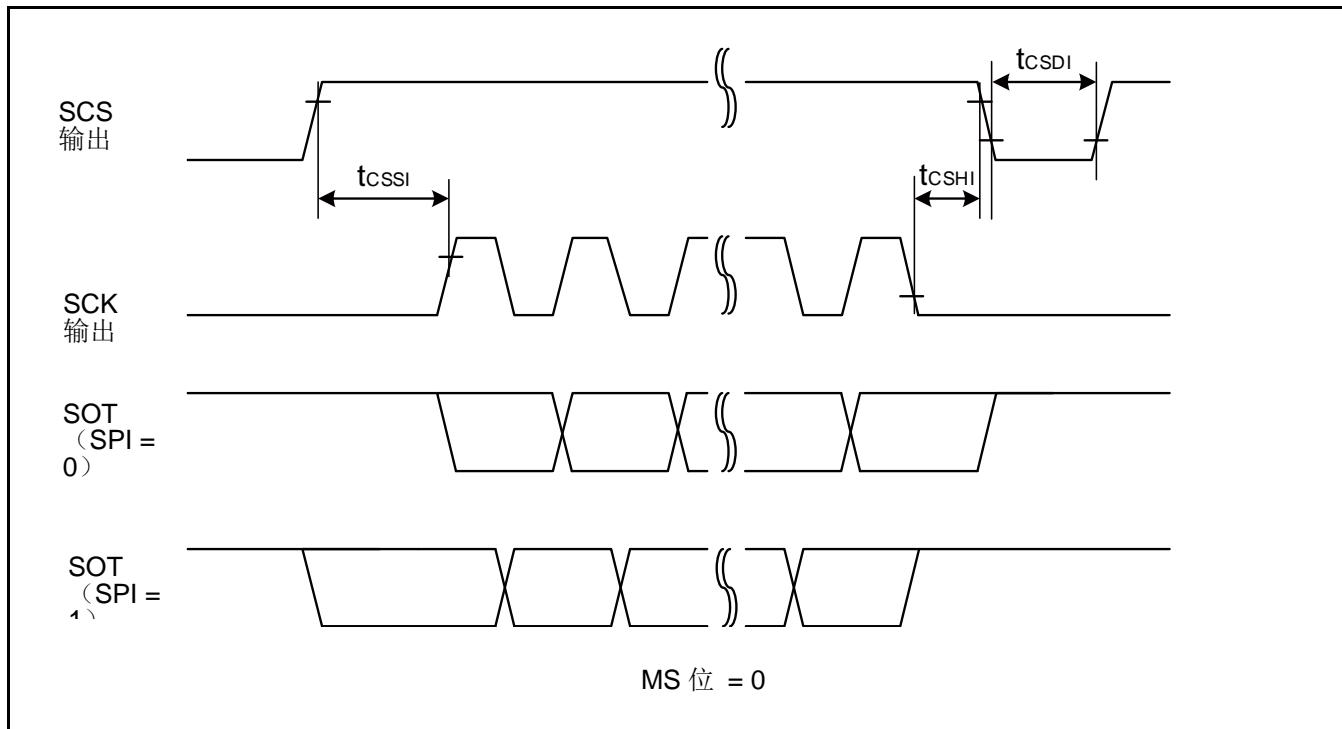
^(*1): CSSU 位值 \times 串行片选时序操作时钟周期[ns]

^(*2): CSHD 位值 \times 串行片选时序操作时钟周期[ns]

^(*3): CSDS 位值 \times 串行片选时序操作时钟周期[ns]

注意:

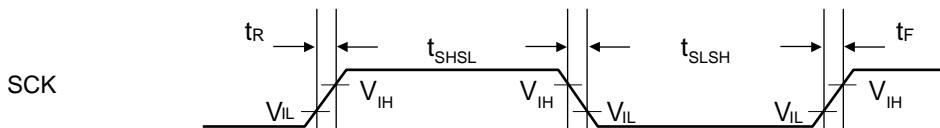
- t_{CYCP} 指的是 APB 总线时钟周期时间。更多有关多功能串行接口挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的信息, 请参考 FM4 系列外设手册的主要内容 (002-04856)。
- 外部负载电容 C_L 为 30 pF。



外部时钟 (EXT = 1): 仅适用于异步模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值		单位	备注
			最小值	最大值		
串行时钟低电平脉宽	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	—	ns	
串行时钟高电平脉宽	t_{SHSL}		$t_{CYCP} + 10$	—	ns	
SCK 下降时间	t_F		—	5	ns	
SCK 上升时间	t_R		—	5	ns	



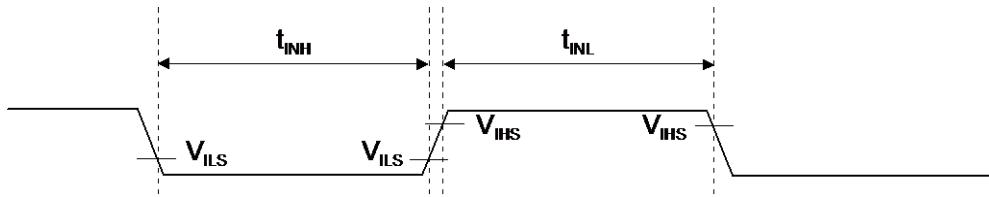
12.4.13 外部输入时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉冲宽度	t_{INH}, t_{INL}	ADTGx	—	$2t_{CYCP}^{*1}$	—	ns	模数转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕获
		DTTlxX	—	$2t_{CYCP}^{*1}$	—	ns	波形发生器
		INT00 ~ INT31、 NMIX	—	$2t_{CYCP} + 100^{*1}$	—	ns	外部中断, NMI
		WKUPx		500 ^{*2}	—	ns	
				500 ^{*3}	—	ns	从深度待机模式唤醒

1: t_{CYCP} 表示 APB 总线时钟周期时间 (不包括 APB 总线处于停止模式、定时器模式时停止的时间)。更多有关模数转换器、多功能定时器和外部中断挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。

2: 器件处于停止模式、定时器模式

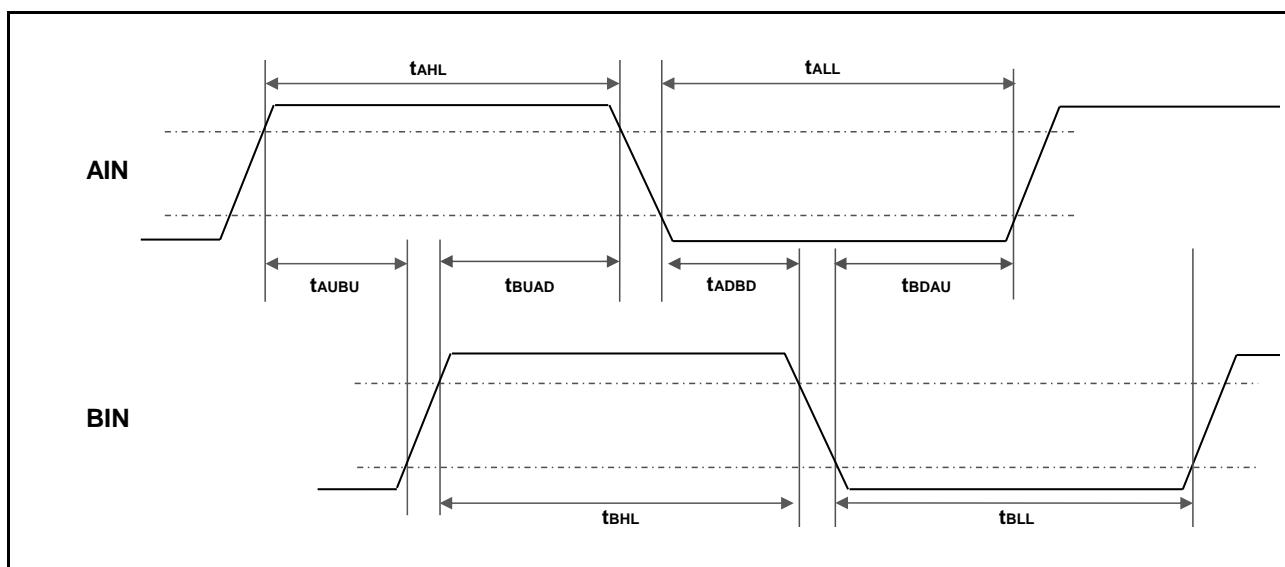
3: 器件处于深度待机 RTC 模式和深度待机停止模式

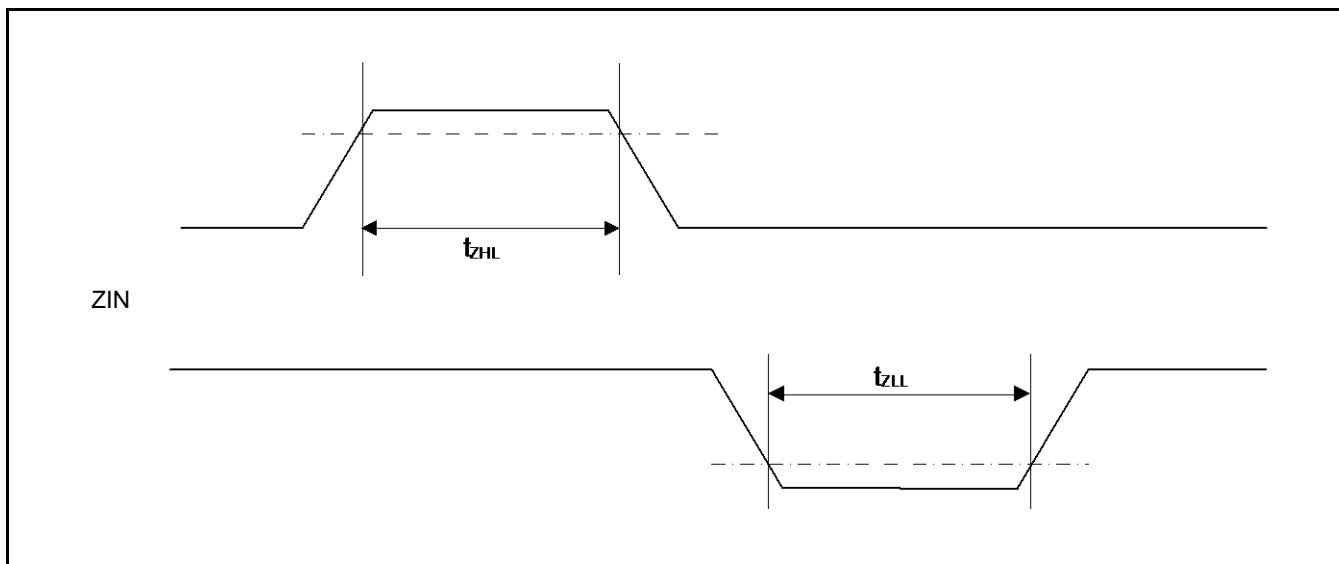
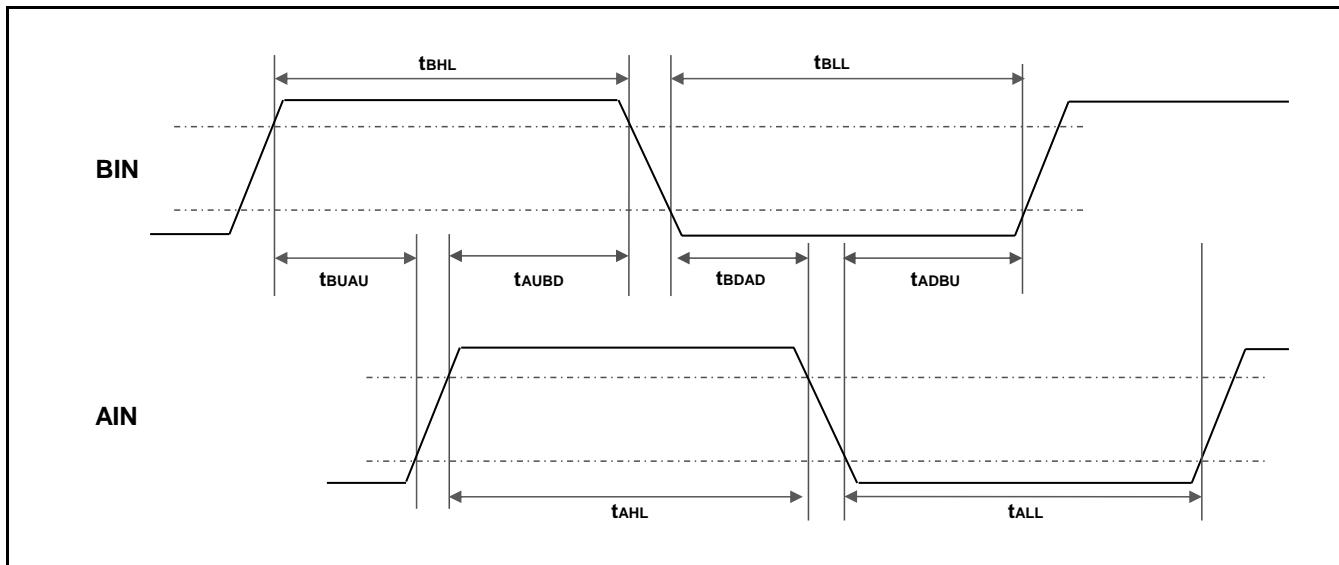


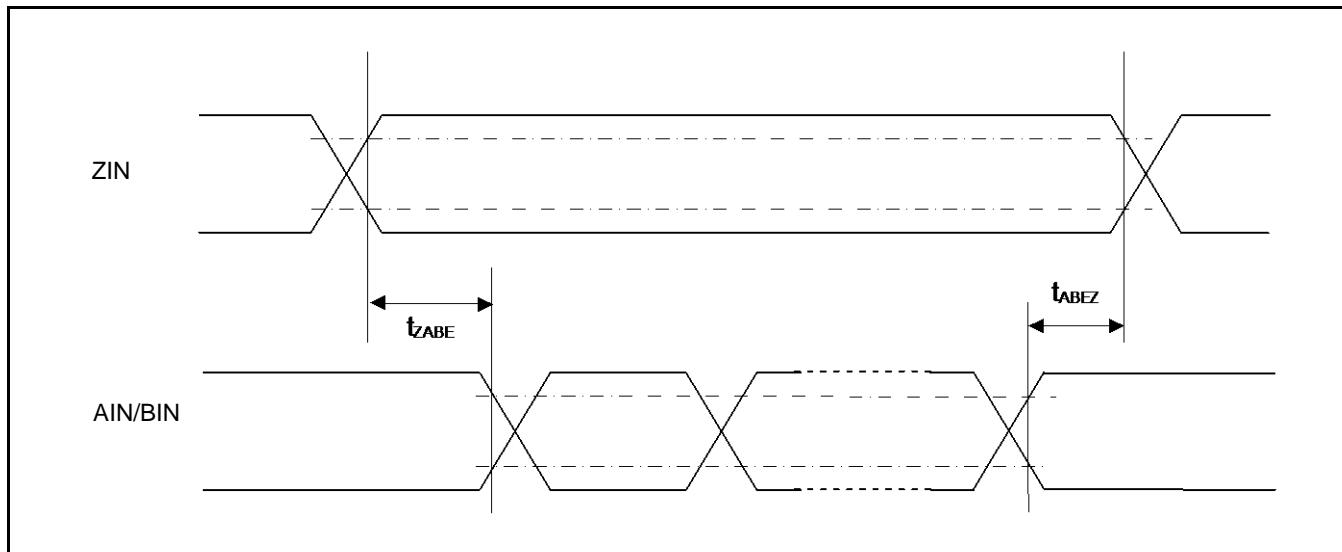
12.4.14 正交位置/转数计数器时序
 $(V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V})$

参数	符号	条件	数值		单位
			最小值	最大值	
AIN 高电平时间	t_{AHL}	—	2 t_{CYCP}^*	—	ns
AIN 低电平时间	t_{ALL}	—			
BIN 高电平时间	t_{BHL}	—			
BIN 低电平时间	t_{BLL}	—			
BIN 上升沿之前 AIN 引脚高电平维持时间	t_{AUBU}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 引脚高电平维持时间	t_{BUAD}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 引脚低电平维持时间	t_{ADBD}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 引脚低电平维持时间	t_{BDAU}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 引脚高电平维持时间	t_{BUAU}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 引脚高电平维持时间	t_{AUBD}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 引脚低电平维持时间	t_{BDAD}	PC_Mode2 或 PC_Mode3			
BIN 上升沿之前 AIN 引脚低电平维持时间	t_{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 高电平时间	t_{ZHL}	QCR: CGSC = 0			
ZIN 低电平时间	t_{ZLL}	QCR: CGSC = 0			
AIN/BIN 引脚上升/下降沿之前的 ZIN 引脚电平维持时间	t_{ZABE}	QCR: CGSC = 1			
AIN/BIN 引脚上升/下降沿之后的 ZIN 引脚电平维持时间	t_{ABEZ}	QCR: CGSC = 1			

*: t_{CYCP} 是指 APB 总线时钟周期时间 (不包括引脚处于停止模式、定时器模式的时间)。更多有关正交位置/转数计数器连接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。







12.4.15 I²C 时序
标准模式、快速模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	标准模式		快速模式		单位	备注
			最小值	最大值	最小值	最大值		
SCL 时钟频率	f_{SCL}	$C_L = 30\text{ pF}, R = (V_p/I_{OL})^{*1}$	0	100	0	400	kHz	
(重复) START 条件的保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDSTA}		4.0	—	0.6	—	μs	
SCL 时钟低电平时间	t_{LOW}		4.7	—	1.3	—	μs	
SCL 时钟高电平时间	t_{HIGH}		4.0	—	0.6	—	μs	
(重复) START 条件的建立时间 (从 SCL 上升沿到 SDA 下降沿)	t_{SUSTA}		4.7	—	0.6	—	μs	
数据保持时间 (从 SCL 下降沿到 SDA 下降沿/上升沿)	t_{HDDAT}		0	3.45^{*2}	0	0.9^{*3}	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t_{SUDAT}		250	—	100	—	ns	
Stop 条件的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t_{SUSTO}		4.0	—	0.6	—	μs	
STOP 条件和 START 条件之间的总线空闲时间	t_{BUF}		4.7	—	1.3	—	μs	
噪声过滤时间	t_{SP}		$2\text{ MHz} \leq t_{CYCP} < 40\text{ MHz}$	$2 t_{CYCP}^{*4}$	—	$2 t_{CYCP}^{*4}$	—	ns
			$40\text{ MHz} \leq t_{CYCP} < 60\text{ MHz}$	$4 t_{CYCP}^{*4}$	—	$4 t_{CYCP}^{*4}$	—	ns
			$60\text{ MHz} \leq t_{CYCP} < 80\text{ MHz}$	$6 t_{CYCP}^{*4}$	—	$6 t_{CYCP}^{*4}$	—	ns
			$80\text{ MHz} \leq t_{CYCP} \leq 100\text{ MHz}$	$8 t_{CYCP}^{*4}$	—	$8 t_{CYCP}^{*4}$	—	ns

1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。 V_p 是指上拉电阻的电源电压, 而 I_{OL} 是指 V_{OL} 的保证电流。

2: t_{HDDAT} 的最大值不能超过器件的 SCL 信号的低电平 (t_{LOW}) 时间。

3: 只要器件满足 $t_{SUDAT} \geq 250\text{ ns}$ 的条件, 快速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。

4: t_{CYCP} 是指 APB 总线时钟周期时间。更多有关 I²C 挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。

在标准模式下, 外设总线时钟频率必须大于 2 MHz。

使用高速模式时, 外设总线时钟频率必须大于 8 MHz。

5: 通过设置寄存器, 可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤步数。

*5

增强型快速模式 (Fm+)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	增强型快速模式 (Fm+)*6		单位	备注
			最小值	最大值		
SCL 时钟频率	f_{SCL}	$C_L = 30\text{ pF}, R = (V_p/I_{OL})^{*1}$	0	1000	kHz	
(重复) START 条件的保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDSTA}		0.26	—	μs	
SCL 时钟低电平时间	t_{LOW}		0.5	—	μs	
SCL 时钟高电平时间	t_{HIGH}		0.26	—	μs	
(重复) START 条件的建立时间 (从 SCL 上升沿到 SDA 下降沿)	t_{SUSTA}		0.26	—	μs	
数据保持时间 (从 SCL 下降沿到 SDA 下降沿/上升沿)	t_{HDDAT}		0	$0.45^{*2, *3}$	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t_{SUDAT}		50	—	ns	
STOP 状态建立时间 (从 SCL 上升沿到 SDA 上升沿)	t_{SUSTO}		0.26	—	μs	
STOP 条件和 START 条件之间的总线空闲时间	t_{BUF}		0.5	—	μs	
噪声过滤时间	t_{SP}	$60\text{ MHz} \leq t_{CYCP} < 80\text{ MHz}$	6 t_{CYCP}^{*4}	—	ns	*5
		$80\text{ MHz} \leq t_{CYCP} \leq 100\text{ MHz}$	8 t_{CYCP}^{*4}	—	ns	

1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。 V_p 是指上拉电阻的电源电压, 而 I_{OL} 是指 V_{OL} 的保证电流。

2: t_{HDDAT} 的最大值不能超过器件的 SCL 信号的低电平 (t_{LOW}) 时间。

3: 只要器件满足 $t_{SUDAT} \geq 250\text{ ns}$ 的条件, 便可以将快速模式 I²C 总线器件使用于标准模式 I²C 总线系统中。

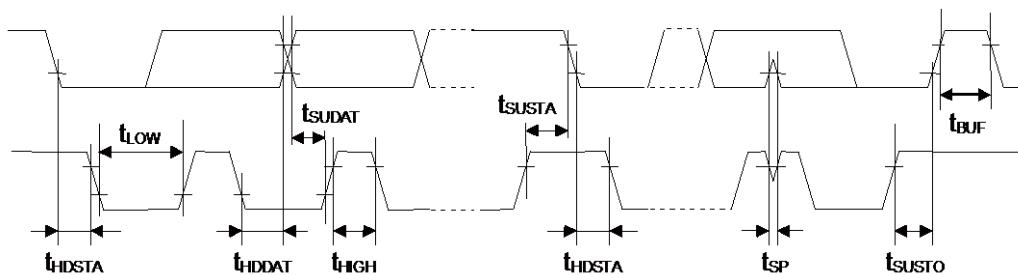
4: t_{CYCP} 是指 APB 总线时钟周期时间。更多有关 I²C 挂接的 APB 总线编号的信息, 请参考本数据手册中第 1 章: S6E2G 系列框图内容。

如需使用增强式高速模式 (Fm+), 请将外设总线时钟的频率设置为 64 MHz 或更高。

5: 通过设置寄存器, 可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤步数。

6: 使用增强式高速模式 (Fm+) 时, 将 I/O 引脚设置为与 EPFR 寄存器中 I²C Fm+ 相应的模式。

更多有关信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 12 章: I/O 端口的内容。



12.4.16 SD 卡接口时序
缺省速度模式

- 时钟 CLK (所有值参考 V_{IH} 和 V_{IL} 电平跳变点)

 $(V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	0	25	MHz
识别模式时钟频率	f_{OD}	S_CLK		0/100	400	kHz
时钟低电平时间	t_{WL}	S_CLK		10	—	ns
时钟高电平时间	t_{WH}	S_CLK		10	—	ns
时钟上升时间	t_{TLH}	S_CLK		—	10	ns
时钟下降时间	t_{THL}	S_CLK		—	10	ns

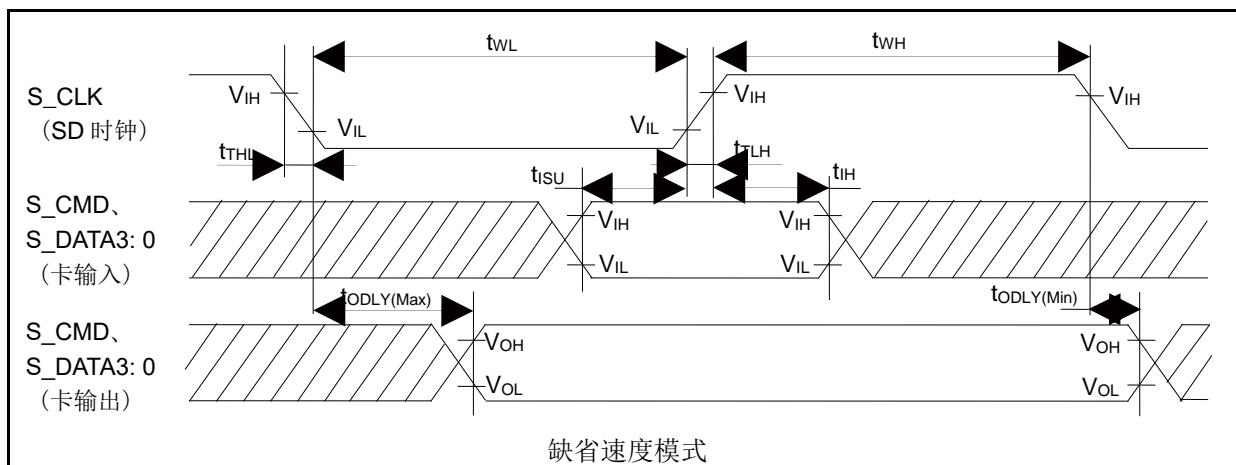
*: 0 Hz 表示停止时钟。给定的最小频率范围适用于需要连续时钟的场合。

- 卡输入 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	5	—	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3: 0		5	—	ns

- 卡输出 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式下的输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 40\text{ pF}$ (单张卡)	0	14	ns
识别模式下的输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3: 0		0	50	ns



注意:

- 因为该外设是主机模式, 所以卡输入对应主机输出, 而卡输出对应主机输入。
- 更多有关时钟频率 (f_{PP}) 的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 15 章: SD 卡接口。

高速模式
■ 时钟 CLK (所有值都参考 V_{IH} 和 V_{IL} 电平跳变点)
 $(V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式下的时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	0	45	MHz
时钟低电平时间	t_{WL}	S_CLK		7	—	ns
时钟高电平时间	t_{WH}	S_CLK		7	—	ns
时钟上升时间	t_{TLH}	S_CLK		—	3	ns
时钟下降时间	t_{THL}	S_CLK		—	3	ns

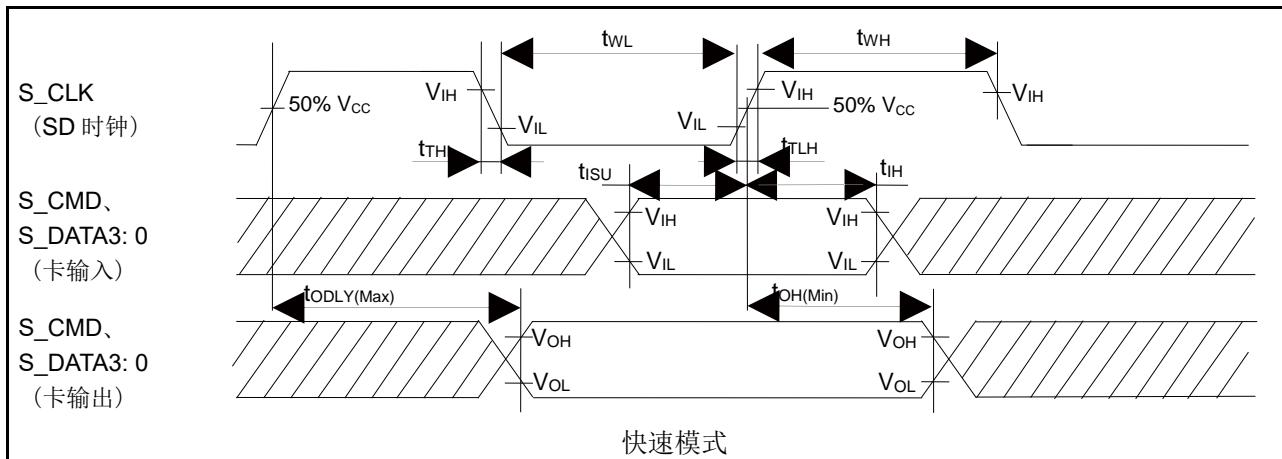
■ 卡输入 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3: 0	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	6	—	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3: 0		2	—	ns

■ 卡输出 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式下的输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3: 0	$C_L \leq 40\text{ pF}$ (单张卡)	0	14	ns
输出保持时间	t_{OH}	S_CMD、 S_DATA3: 0	$C_L \geq 15\text{ pF}$ (单张卡)	2.5	—	ns
单条信号线上总系统电容*	C_L	—	单张卡	—	40	pF

*: 为严格满足时序, 主机只应驱动一张卡。


注意:

- 因为此外设是主机模式, 所以卡输入对应主机输出, 而卡输出对应主机输入。
- 更多有关时钟频率 (f_{PP}) 的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 15 章: SD 卡接口。

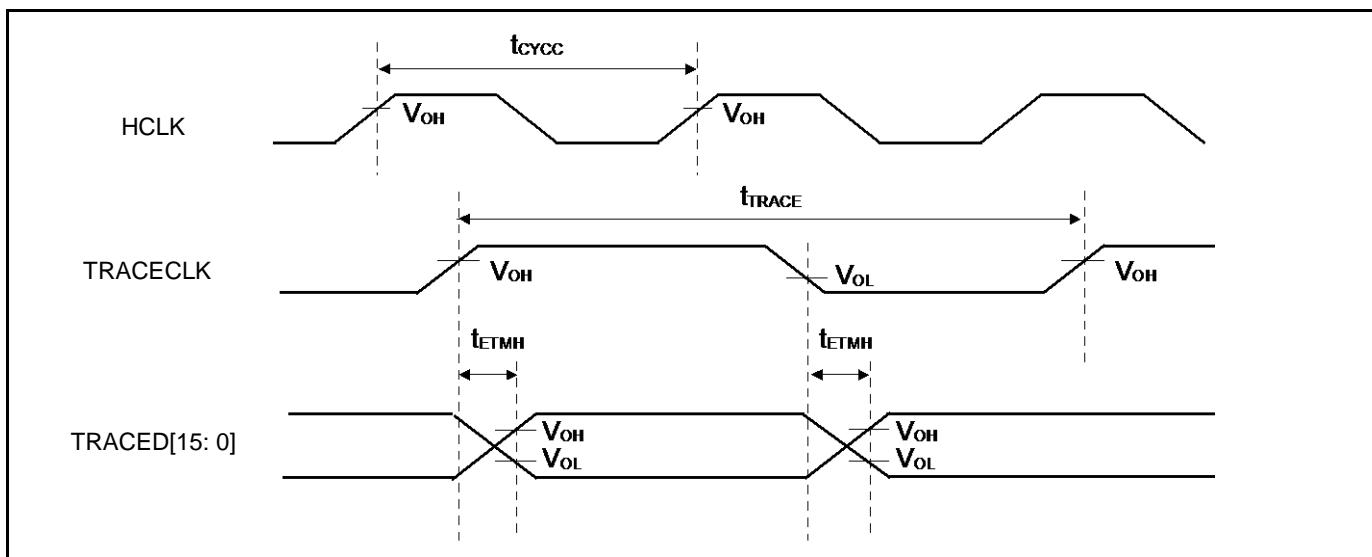
12.4.17 ETM/ HTM 时序

- ($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注	
				最小值	最大值			
数据保持时间	t_{ETMH}	TRACECLK、 TRACED[15: 0]	$V_{CC} \geq 4.5\text{ V}$	2	9	ns		
			$V_{CC} < 4.5\text{ V}$	2	15			
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5\text{ V}$		50	MHz		
			$V_{CC} < 4.5\text{ V}$		32	MHz		
TRACECLK 时钟周期	t_{TRACE}		$V_{CC} \geq 4.5\text{ V}$	20	-	ns		
			$V_{CC} < 4.5\text{ V}$	31.25	-	ns		

注意:

- 外部负载电容 C_L 为 30 pF 。

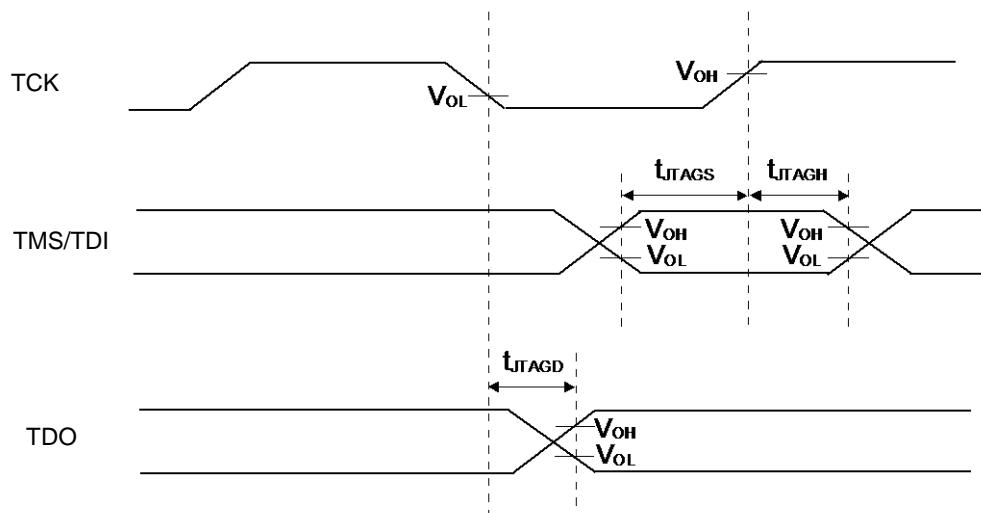


12.4.18 JTAG 时序
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
TMS、TDI 建立时间	t _{JTAGS}	TCK、 TMS、TDI	$V_{CC} \geq 4.5 \text{ V}$	15	—	ns	
			$V_{CC} < 4.5 \text{ V}$				
TMS、TDI 保持时间	t _{JTAGH}	TCK、 TMS、TDI	$V_{CC} \geq 4.5 \text{ V}$	15	—	ns	
			$V_{CC} < 4.5 \text{ V}$				
TDO 延迟时间	t _{JTAGD}	TCK、 TDO	$V_{CC} \geq 4.5 \text{ V}$	—	25	ns	
			$V_{CC} < 4.5 \text{ V}$	—	45		

注意：

- 外部负载电容 C_L 为 30 pF 。

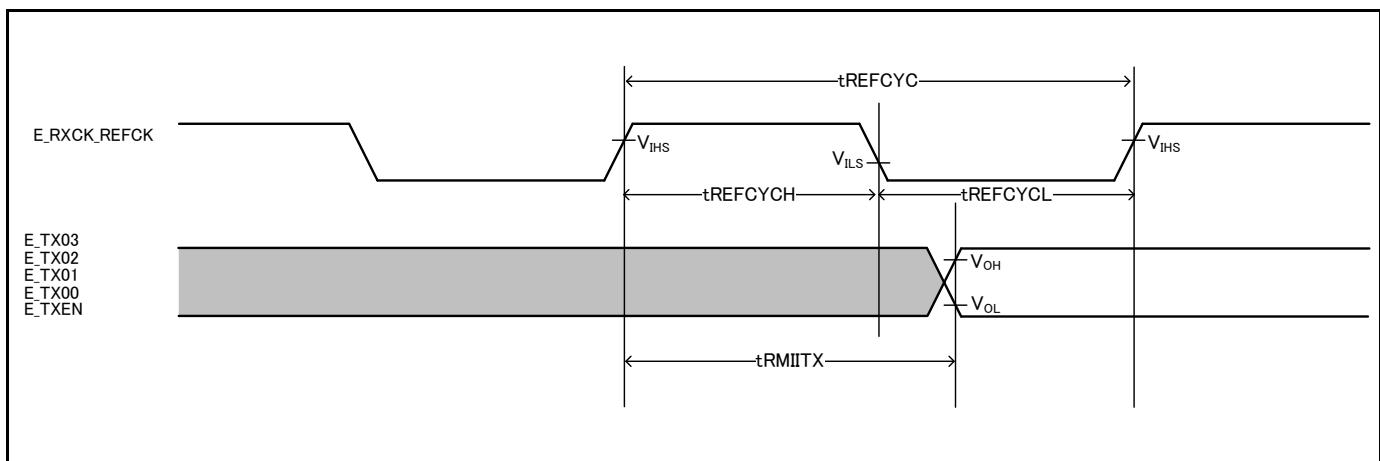


12.4.19 Ethernet-MAC 时序
RMII 发送 (100 Mbps/10 Mbps)
 $(ETHV_{CC} = 3.0 \text{ V} \sim 3.6 \text{ V}、4.5 \text{ V} \sim 5.5 \text{ V}^*{}^1, V_{SS} = 0 \text{ V}, C_L = 25 \text{ pF})$

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
参考时钟周期时间 ^{*2}	t_{REFCYC}	E_RXCK_REFCK	20 ns (典型值)	—	—	ns
参考时钟高脉宽占空比	$t_{REFCYCH}$	E_RXCK_REFCK	$t_{REFCYCH}/t_{REFCYC}$	35	65	%
参考时钟低脉宽占空比	$t_{REFCYCL}$	E_RXCK_REFCK	$t_{REFCYCL}/t_{REFCYC}$	35	65	%
从 REFCK 上升沿到传送数据的延迟时间	t_{RMIITX}	E_TX03、E_TX02、E_TX01、E_TX00、E_TXEN	—	—	12	ns

1: 当 $ETHV = 4.5 \text{ V} \sim 5.5 \text{ V}$ 时, 建议在输出引脚上添加串联电阻, 用于抑制输出电流。

2: 在 RMII 规范中, 参考时钟频率始终为 50 MHz。时钟精度应满足 PHY 器件规范。



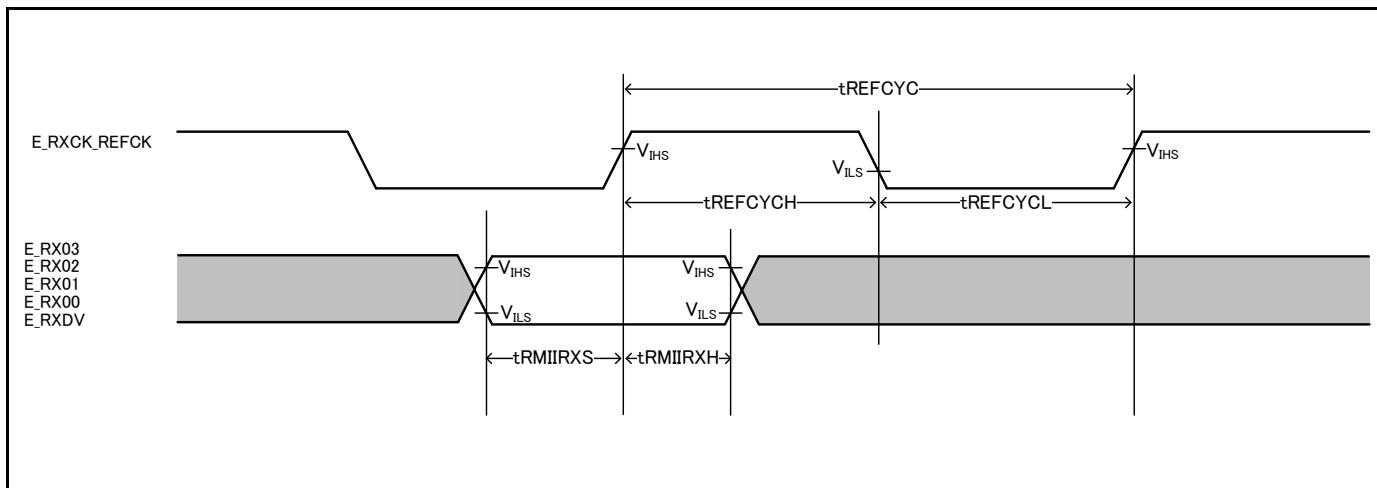
RMII 接收 (100 Mbps/10 Mbps)

($\text{ETHV}_{\text{CC}} = 3.0 \text{ V} \sim 3.6 \text{ V}, 4.5 \text{ V} \sim 5.5 \text{ V}$, $\text{V}_{\text{SS}} = 0 \text{ V}$, $\text{C}_L = 25 \text{ pF}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
参考时钟周期时间*	t_{REFCYC}	$\text{E}_{\text{RXCK_REFCK}}$	20 ns (典型值)	—	—	ns
参考时钟高脉宽占空比	t_{REFCYCH}	$\text{E}_{\text{RXCK_REFCK}}$	$t_{\text{REFCYCH}}/t_{\text{REFCYC}}$	35	65	%
参考时钟低脉宽占空比	t_{REFCYCL}	$\text{E}_{\text{RXCK_REFCK}}$	$t_{\text{REFCYCL}}/t_{\text{REFCYC}}$	35	65	%
从接收到数据到 REFCK 上升沿的建立时间	t_{RMIIIRXS}	$\text{E}_{\text{RX03}}, \text{E}_{\text{RX02}}, \text{E}_{\text{RX01}}, \text{E}_{\text{RX00}}, \text{E}_{\text{RXDV}}$	—	4	—	ns
从 REFCK 上升沿到接收数据的保持时间	t_{RMIIIRXH}	$\text{E}_{\text{RX03}}, \text{E}_{\text{RX02}}, \text{E}_{\text{RX01}}, \text{E}_{\text{RX00}}, \text{E}_{\text{RXDV}}$	—	2	—	ns

*: 在 RMII 规范中, 数据发送的时钟频率始终为 50 MHz。

时钟精度应满足 PHY 器件规范。

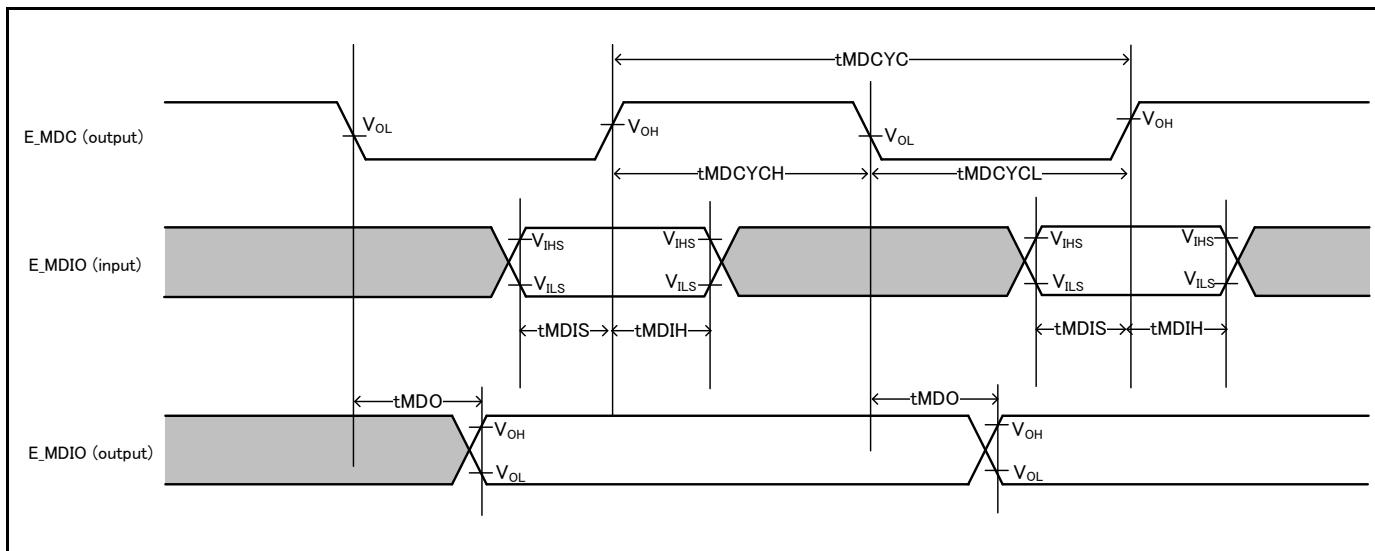


管理接口

($\text{ETHV}_{\text{cc}} = 3.0 \text{ V} \sim 3.6 \text{ V}, 4.5 \text{ V} \sim 5.5 \text{ V}$, $\text{V}_{\text{ss}} = 0 \text{ V}$, $\text{C}_L = 25 \text{ pF}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
管理时钟周期时间*	t_{MDCYC}	E_MDC	—	400	—	ns
管理时钟高脉宽占空比	t_{MDCYCH}	E_MDC	$t_{\text{MDCYCH}}/t_{\text{MDCYC}}$	35	65	%
管理时钟低脉宽占空比	t_{MDCYCL}	E_MDC	$t_{\text{MDCYCL}}/t_{\text{MDCYC}}$	35	65	%
MDC 下降沿到 MDIO 的延迟时间	t_{MDO}	E_MDIO	—	—	60	ns
MDIO 到 MDC 上升沿的建立时间	t_{MDIS}	E_MDIO	—	20	—	ns
MDC 上升沿到 MDIO 的保持时间	t_{MDIH}	E_MDIO	—	0	—	ns

*: 通过设置 Ethernet-MAC 设置寄存器, 可使时钟时间大于最小值。

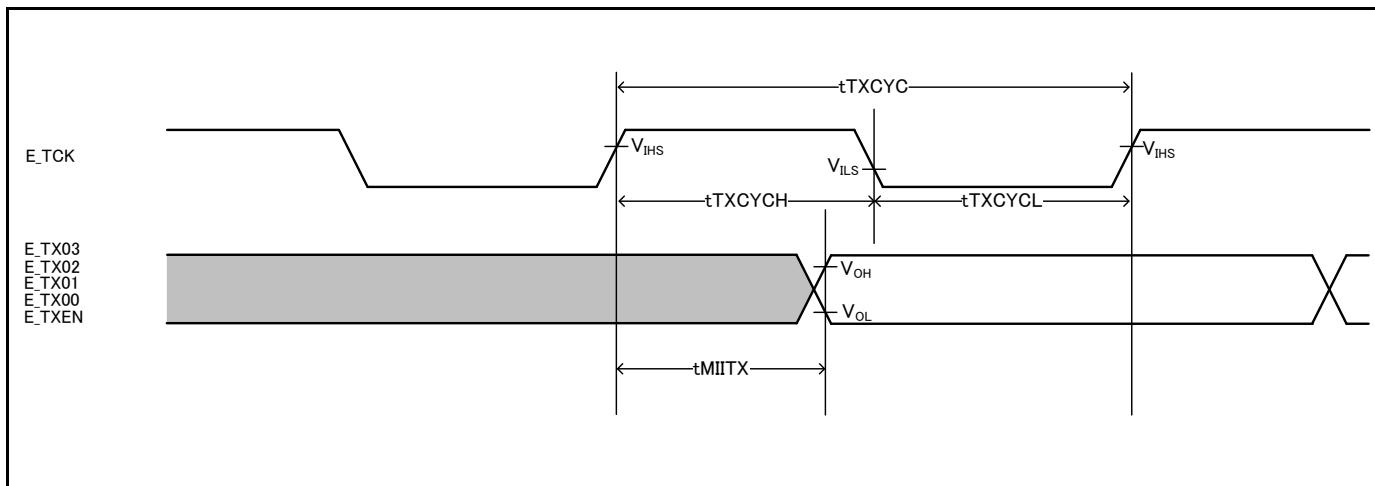


MII 发送 (100 Mbps/10 Mbps)
 $(ETHV_{CC} = 3.0 \text{ V} \sim 3.6 \text{ V}, 4.5 \text{ V} \sim 5.5 \text{ V}^*{}^1, V_{SS} = 0 \text{ V}, C_L = 25 \text{ pF})$

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
数据发送时钟周期时间*2	t _{TXCYC}	E_TCK	100 Mbps 40 ns (典型值)	—	—	ns
			100 Mbps 400 ns (典型值)	—	—	ns
数据发送时钟高脉宽占空比	t _{TXCYCH}	E_TCK	t _{TXCYCH} /t _{TXCYC}	35	65	%
数据发送时钟低脉宽占空比	t _{TXCYCL}	E_TCK	t _{TXCYCL} /t _{TXCYC}	35	65	%
TXCK 上升沿到数据传输结束的延迟时间	t _{MIIITX}	E_TX03、E_TX02、 E_TX01、E_TX00、 E_TXEN	—	—	24	ns

1: 当 $ETHV = 4.5 \text{ V}$ 至 5.5 V 时, 建议在输出引脚上安装串联电阻, 用于抑制输出电流。

2: 在 MII 规范中, 数据发送的时钟频率始终为 25 MHz 或 2.5 MHz 。时钟精度应满足 PHY 器件规范。



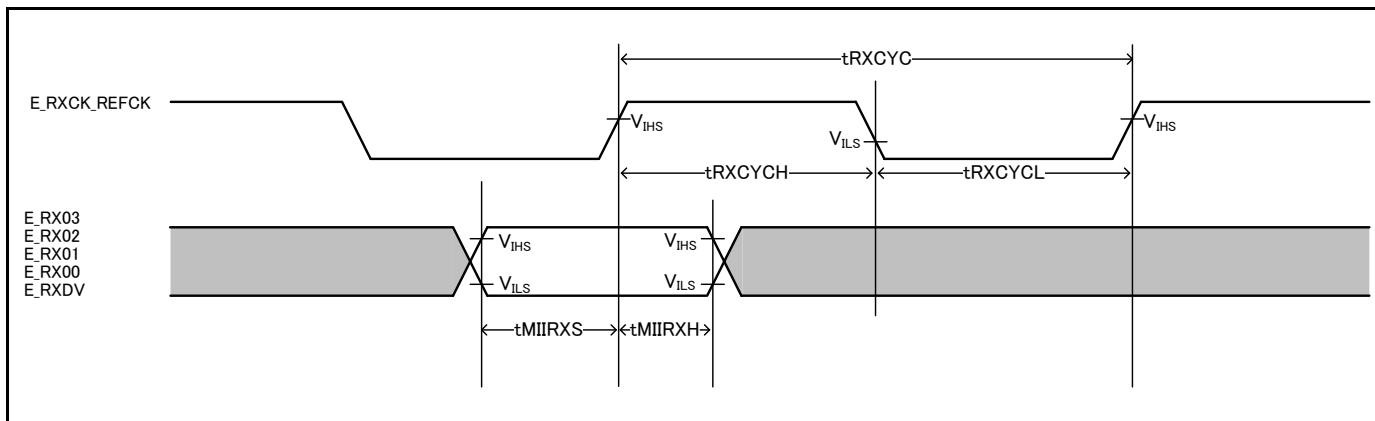
MII 接收 (100 Mbps/10 Mbps)

($\text{ETHV}_{\text{CC}} = 3.0 \text{ V} \sim 3.6 \text{ V}, 4.5 \text{ V} \sim 5.5 \text{ V}$, $\text{V}_{\text{SS}} = 0 \text{ V}$, $\text{C}_L = 25 \text{ pF}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
数据接收时钟周期时间*	t_{RXCYC}	E_RXCK_REFCK	100 Mbps 40 ns (典型值)	—	—	ns
			100 Mbps 400 ns (典型值)	—	—	ns
数据接收时钟高脉宽占空比	t_{RXCYCH}	E_RXCK_REFCK	$t_{\text{RXCYCH}}/t_{\text{RXCYC}}$	35	65	%
数据接收时钟低脉宽占空比	t_{RXCYCL}	E_RXCK_REFCK	$t_{\text{RXCYCL}}/t_{\text{RXCYC}}$	35	65	%
从收到数据到 REFCK 上升沿的建立时间	t_{MIIRXS}	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	—	5	—	ns
REFCK 上升沿后接收数据保持时间	t_{MIIRXH}	E_RX03、E_RX02、 E_RX01、E_RX00、 E_RXDV	—	2	—	ns

*: 在 MII 规范中, 当数据传送速度为 100Mbps 时, 接收时钟频率始终为 25 MHz 或 2.5 MHz。

时钟精度应满足 PHY 器件规范。



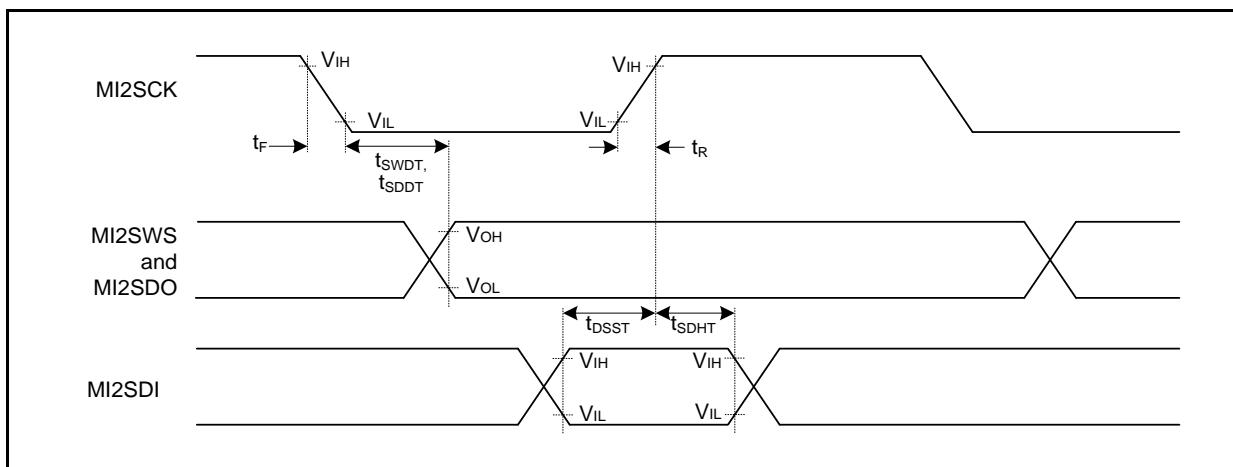
12.4.20 PS 时序 (多功能串行接口)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
I2SCK 最大频率 (*1)	f_{I2SCK}	MI2SCKx	—	—	6.144	MHz	
I2S 时钟周期时间 (*1)	t_{CYC}	MI2SCKx	—	$4 t_{CYCP2}$	—	%	
I2S 时钟占空比	Δ	MI2SCKx		45	55	%	
从 I2SCK 下降沿到 I2SWS 的延迟时间	t_{SWDT}	MI2SCKx、 MI2SWSx	—	-20	+20	ns	
从 I2SCK 下降沿到 I2SDO 的延迟时间	t_{SDDT}	MI2SCKx、 MI2SDOx	—	-20	+20	ns	
从 I2SDI 到 I2SCK 上升沿的建立时间	t_{DSST}	MI2SCKx、 MI2SDIx	—	36	—	ns	
从 I2SCK 上升沿到 I2SDI 的保持时间	t_{SDHT}		—	0	—	ns	
I2SCK 下降时间	t_F	MI2SCKx	—	—	5	ns	
I2SCK 上升时间	t_R		—	—	5	ns	

*1: I2S 时钟 (t_{CYC}) 应是 PCLK 的倍数, 同时其频率应小于 f_{I2SCK} 。

注意:

- 更多有关信息, 请参考 FM4 系列外设手册通信模块部分 (002-04856) 中第 1-6 章: PS (Inter-IC 音频总线) 的内容。



12.5 12 位模数转换器

模数转换器的电气特性

($V_{CC} = AV_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = AV_{RL} = 0 \text{ V}$)

参数	符号	引脚名称	数值			单位	备注
			最小值	典型值	最大值		
分辨率	—	—	—	—	12	位	$AV_{RH} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 校准偏移后
积分非线性	—	—	—	—	± 4.5	LSB	
微分非线性	—	—	—	—	± 2.5	LSB	
零值转换电压	V_{ZT}	AN_{xx}	—	± 2	± 7	LSB	
全域转换电压	V_{FST}	AN_{xx}	—	$AV_{RH} \pm 2$	$AV_{RH} \pm 7$	LSB	
总误差	—	—	—	± 3	± 8	LSB	
转换时间	—	—	0.5^{*1}	—	—	μs	$AV_{CC} \geq 4.5 \text{ V}$
采样时间 ^{*2}	t_s	—	0.15	—	10	μs	$AV_{CC} \geq 4.5 \text{ V}$
			0.3	—			$AV_{CC} < 4.5 \text{ V}$
比较时钟周期 ^{*3}	t_{CCK}	—	25	—	1000	ns	$AV_{CC} \geq 4.5 \text{ V}$
			50	—	1000		$AV_{CC} < 4.5 \text{ V}$
操作等待时间	t_{STT}	—	—	—	1.0	μs	
电源电流 (模拟+数字)	—	AV_{CC}	—	0.69	0.92	mA	单个模数转换器单元运行
			—	1.3	22	μA	模数转换器停止
参考电源电流 (AV_{RH})	—	AV_{RH}	—	1.1	1.97	mA	单个模数转换器单元运行 $AV_{RH} = 5.5 \text{ V}$
			—	0.3	6.3	μA	模数转换器停止
模拟输入电容	C_{AIN}	—	—	—	12.05	pF	
模拟输入电阻	R_{AIN}	—	—	—	1.2	$\text{k}\Omega$	$AV_{CC} \geq 4.5 \text{ V}$
					1.8		$AV_{CC} < 4.5 \text{ V}$
通道间差异	—	—	—	—	4	LSB	
模拟端口输入漏电流	—	AN_{xx}	—	—	5	μA	
模拟输入电压	—	AN_{xx}	AV_{SS}	—	AV_{RH}	V	
			AV_{SS}	—	AV_{CC}	V	
参考电压	—	AV_{RH}	4.5	—	AV_{CC}	V	$T_{CCK} < 50 \text{ ns}$
			2.7	—	AV_{CC}		$T_{CCK} \geq 50 \text{ ns}$
	—	AV_{RL}	AV_{SS}	—	AV_{SS}	V	

1: 转换时间是采样时间 (t_s) 与比较时间 (t_c) 之和。

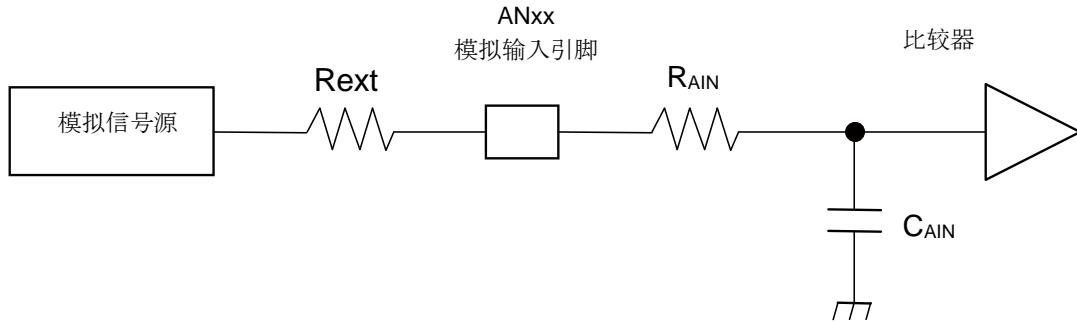
当 $T_s = 150 \text{ ns}$ 和 $T_c = 350 \text{ ns}$ ($AV_{CC} \geq 4.5 \text{ V}$) 时, 转换时间为最短。请确保该值满足采样时间 (t_s) 和比较时钟周期 (t_{CCK}) 限制。

有关设置采样时间和比较时钟周期的信息, 请参考 FM4 系列外设手册模拟模块部分 (002-04860) 中第 1-1 章 “模数转换器” 所介绍的内容。模数转换器的寄存器设置应参考 APB 总线时钟时序。有关模数转换器挂接的 APB 总线编号的详细信息, 请参考本数据手册第 1 章: S6E2G 系列框图内容。

将采样时钟和比较时钟的值设置为基础时钟 (HCLK) 的值。

2: 外部阻抗决定合适的采样时间。设置采样时间时, 请确保该值满足公式 1。

3: 比较时间 (t_c) 是由公式 2 计算得出。



(公式 1) $ts \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

ts: 采样时间

RAIN: 在 $4.5 \text{ V} \leq \text{AVCC} \leq 5.5 \text{ V}$ 的条件下, 模数转换器的输入阻抗 = $1.2 \text{ k}\Omega$

在 $2.7 \text{ V} \leq \text{AVCC} < 4.5 \text{ V}$ 的条件下, 模数转换器的输入阻抗 = $1.8 \text{ k}\Omega$

CAIN: 在 $2.7 \text{ V} \leq \text{AVCC} \leq 5.5 \text{ V}$ 的条件下, 模数转换器的输入电容 = 12.05 pF

Rext: 外部电路的输出阻抗

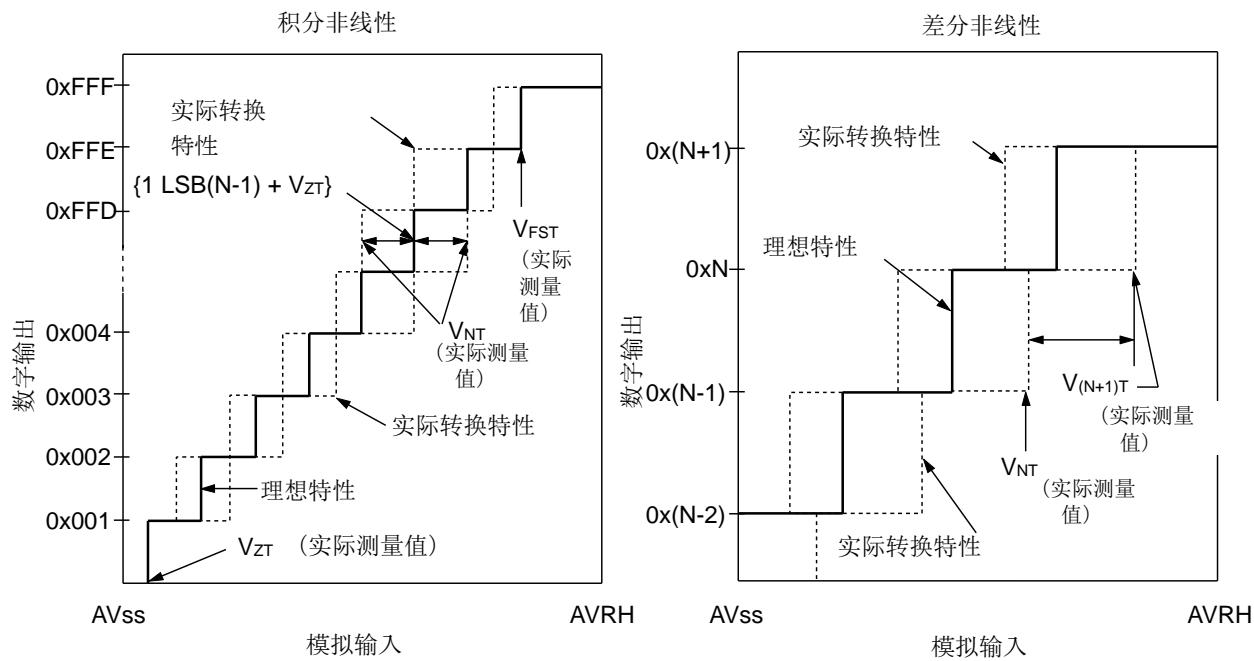
(公式 2) $t_c = t_{CCK} \times 14$

tc: 比较时间

tCCK: 比较时钟周期

12 位模数转换器定义术语

- 分辨率： 模数转换器识别出的数值变动范围。
 - 积分非线性： 零转换点
(0b0000000000000000 \longleftrightarrow 0b00000000000001) 到全域转换点
(0b111111111110 \longleftrightarrow 0b111111111111) 之间连线与实际转换特性的偏差。
 - 差分非线性： 与输入电压理想值的偏差，用于对输出值进行 1 LSB 调整。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{数字输出 } N \text{ 的差分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{\text{FST}} - V_{\text{ZT}}}{4094}$$

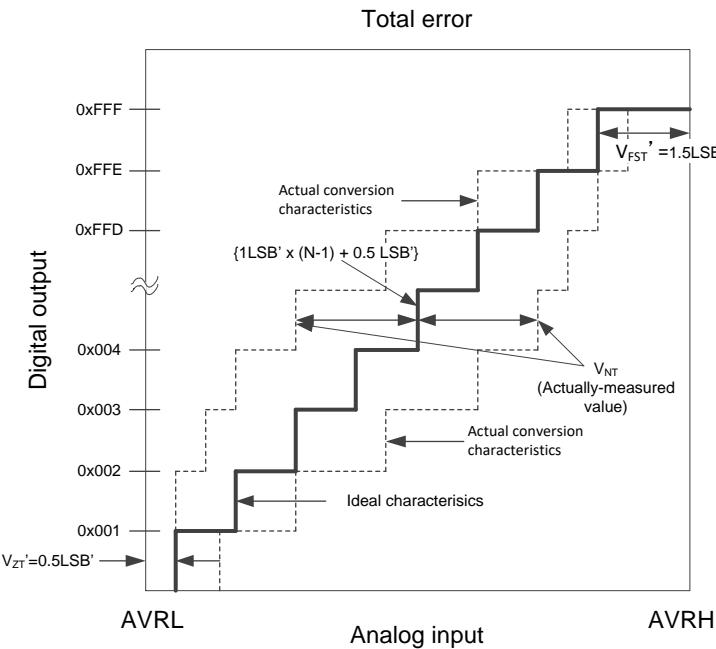
N: 模数转换器的数字输出值。

V_{ZT}: 数字输出值从 0x000 变为 0x001 的电压。

V_{FST} : 数字输出值从 0xFFE 变为 0xFFF 的电压。

V_{NT}: 数字输出值从 0x(N - 1) 变为 0xN 的电压。

- 总误差：指的是实际值与理论值间的差值。
总体误差包括零转移电压、满量程转移电压和线性误差。



$$\text{Total error of digital output } N = \frac{V_{NT} - \{1 \text{ LSB}' \times (N-1) + 0.5 \text{ LSB}'\}}{1 \text{ LSB}'} \quad [\text{LSB}]$$

$$1 \text{ LSB}' \text{ (ideal value)} = \frac{AVRH - AVRL}{4096} \quad [\text{V}]$$

$$V_{ZT}' \text{ (ideal value)} = AVRL + 0.5 \text{ LSB}' \quad [\text{V}]$$

$$V_{NT}' \text{ (ideal value)} = AVRH - 1.5 \text{ LSB}' \quad [\text{V}]$$

V_{NT}' : A voltage for causing transition of digital output from (N-1) to N

12.6 USB 特性

($V_{CC} = AV_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $USBV_{CC0} = USBV_{CC1} = 3.0 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入特性	V_{IH}		—	2.0	$USBV_{CC} + 0.3$	V	*1
	V_{IL}		—	$V_{SS} - 0.3$	0.8	V	*1
	V_{DI}		—	0.2	—	V	*2
	V_{CM}		—	0.8	2.5	V	*2
输出特性	V_{OH}	UDP0/ UDM0、 UDP1/ UDM1	外部下拉电阻 = $15 \text{ k}\Omega$	2.8	3.6	V	*3
	V_{OL}		外部上拉电阻 = $1.5 \text{ k}\Omega$	0.0	0.3	V	*3
	V_{CRS}		—	1.3	2.0	V	*4
	t_{FR}		全速	4	20	ns	*5
	t_{FF}		全速	4	20	ns	*5
	t_{FRFM}		全速	90	111.11	%	*5
	Z_{DRV}		全速	28	44	Ω	*6
	t_{LR}		低速	75	300	ns	*7
	t_{LF}		低速	75	300	ns	*7
	t_{LRFM}		低速	80	125	%	*7

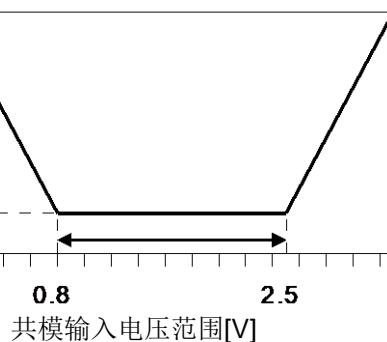
1: USB I/O 缓冲器单端接收端的阈值电压范围为 V_{IL} (最大值) = $0.8 \text{ V} \sim V_{IH}$ (最小值) = 2.0 V (TTL 输入标准)。

通过迟滞效应降低噪声灵敏度。

2: 使用差分接收端来接收 USB 差分数据信号。当差分数据输入的电压范围为 0.8 V 到 2.5 V (相对于局部地参考电位) 时, 差分接收端的差分输入灵敏度为 200 mV 。

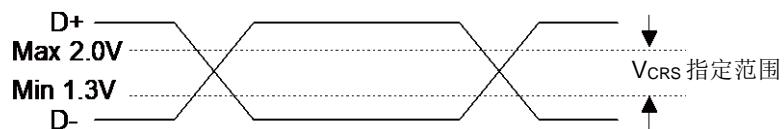
上述电压范围是共模输入电压范围。

最小差分输入灵敏度 [V]



3: 驱动器输出驱动能力, 电平状态低 (V_{OL}) 时驱动电压低于 0.3 V (对 3.6 V 1.5 kΩ 负载); 电平状态高 (V_{OH}) 时驱动电压为 2.8 V 或更高 (对 VSS 1.5 kΩ 负载)。

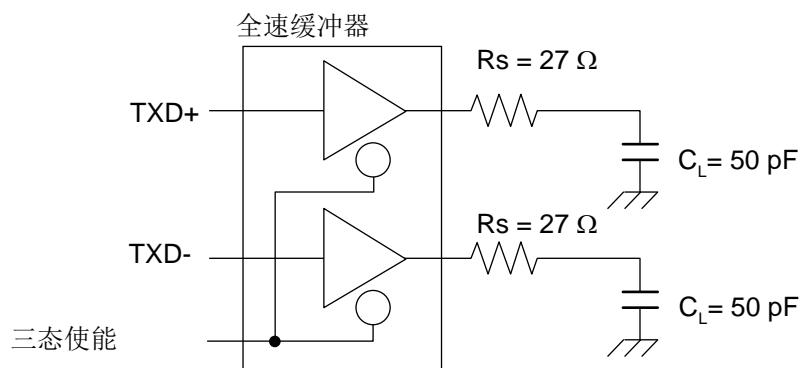
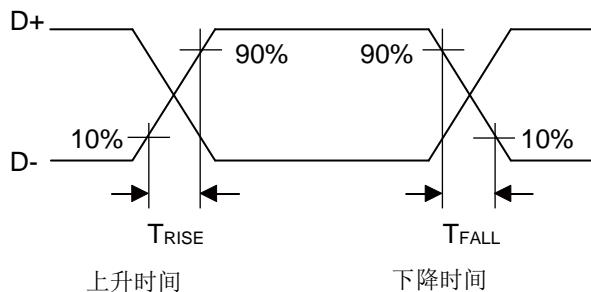
4: USB I/O 缓冲器外部差分输出信号 ($D+/D-$) 的电压差值范围为 1.3 V 到 2.0 V。



5: 该项指定了全速差分数据信号的上升时间 (t_{RISE}) 和下降时间 (t_{FALL})。

它们被定义为输出信号电压达到 10% 至 90% 内的时间。

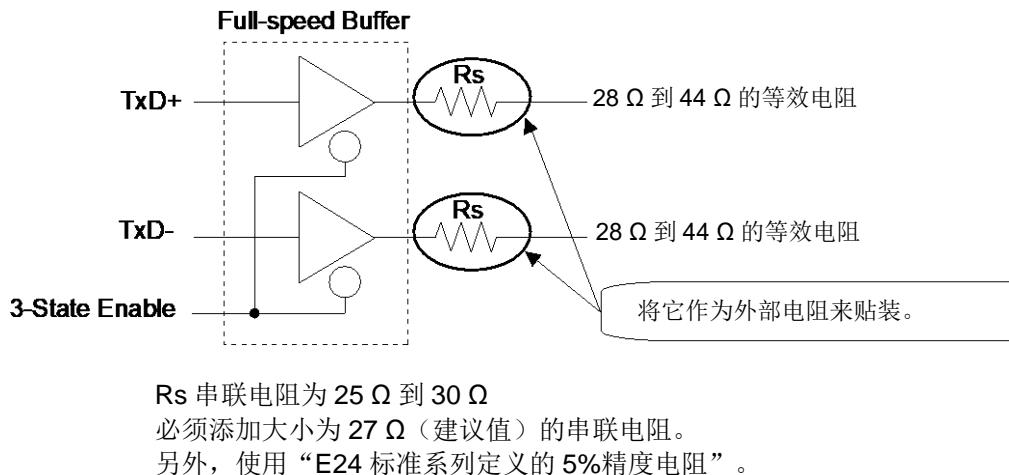
对于全速缓冲器, 为了降低 RFI 辐射, 要将 t_r/t_f 的比例调整为 $\pm 10\%$ 范围内。



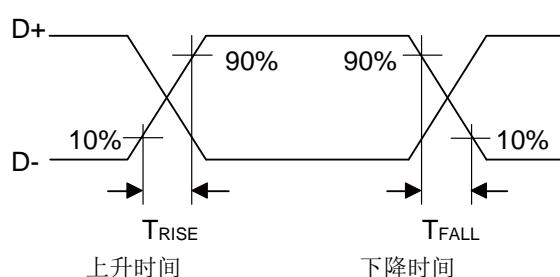
6: 通过使用 $90\Omega \pm 15\%$ 差分阻抗特性的屏蔽双绞线缆来进行 USB 全速连接。

USB 标准定义 USB 驱动程序的输出阻抗必须在 28Ω 到 44Ω 的范围内。因此，需要通过串联离散的串联电阻来满足上述定义，并保持平衡。

使用该 USB I/O 时，请串联 25Ω 到 30Ω （建议 27Ω ）的串联电阻 Rs 。

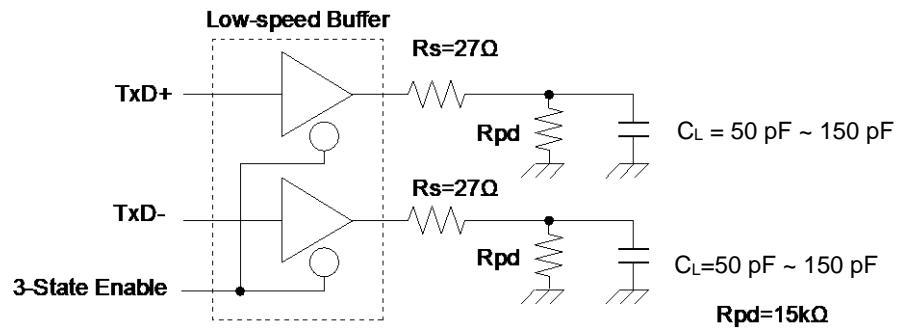
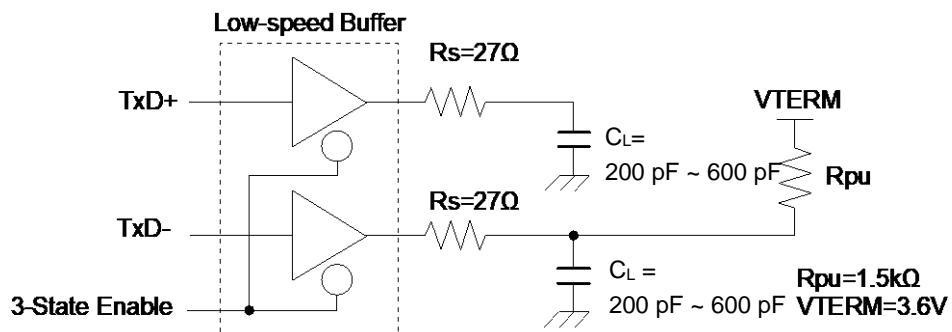
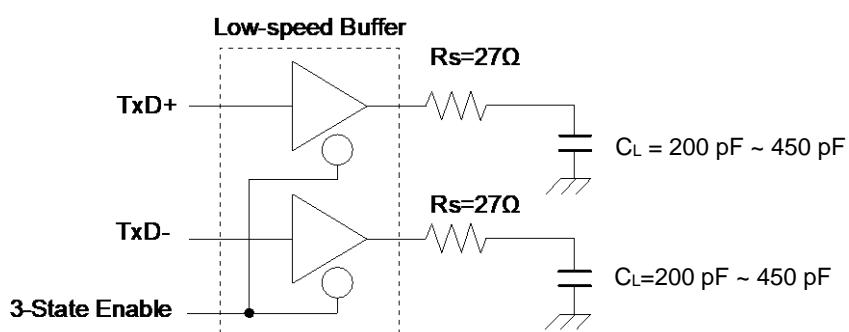


7: 该项指定了低速差分数据信号的上升时间 (t_{RISE}) 和下降时间 (t_{FALL})。
 它们被定义为输出信号电压达到 10% 至 90% 内的时间。



注意:

- 有关外部负载的条件，请参考低速负载（负载规范）。

低速负载（上行端口负载） — 参考 1

低速负载（下行端口负载） — 参考 2

低速负载（负载规范）


12.7 低电压检测特性

12.7.1 低电压检测复位

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	—	2.46	2.55	2.64	V	电压下降
释放电压	VDH	—	2.51	2.60	2.69	V	电压上升

12.7.2 低电压检测的中断

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	SVHI = 00111	2.80	2.90	3.00	V	电压下降
释放电压	VDH		2.90	3.00	3.11	V	电压上升
检测电压	VDL	SVHI = 00100	2.99	3.10	3.21	V	电压下降
释放电压	VDH		3.09	3.20	3.31	V	电压上升
检测电压	VDL	SVHI = 01100	3.18	3.30	3.42	V	电压下降
释放电压	VDH		3.28	3.40	3.52	V	电压上升
检测电压	VDL	SVHI = 01111	3.67	3.80	3.93	V	电压下降
释放电压	VDH		3.76	3.90	4.04	V	电压上升
检测电压	VDL	SVHI = 01110	3.76	3.90	4.04	V	电压下降
释放电压	VDH		3.86	4.00	4.14	V	电压上升
检测电压	VDL	SVHI = 01001	4.05	4.20	4.35	V	电压下降
释放电压	VDH		4.15	4.30	4.45	V	电压上升
检测电压	VDL	SVHI = 01000	4.15	4.30	4.45	V	电压下降
释放电压	VDH		4.25	4.40	4.55	V	电压上升
检测电压	VDL	SVHI = 11000	4.25	4.40	4.55	V	电压下降
释放电压	VDH		4.34	4.50	4.66	V	电压上升
LVD 稳定等待时间	tLVDW	—	—	—	6000×tCYCP*	μs	

*: tCYCP 指的是 APB2 总线时钟周期。

12.8 MainFlash 存储器写入/擦除特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$)

参数	数值			单位	备注
	最小值	典型值	最大值		
扇区擦除时间	大扇区	—	0.7	3.7	s
	小扇区	—	0.3	1.1	s
半字 (16 位) 写入时间	写入周期 ≤ 100 次	—	12	100	μs
	写入周期 > 100 次		—	200	
芯片擦除时间*	—	13.6	68	s	包括内部擦除前的写入时间

*: 指示芯片的 1 MB MainFlash 存储器擦除时间, 1.5 MB 或 2 MB MainFlash 存储器需要两个擦除周期。

详细信息请参考该系列产品闪存编程手册中第 3.2.2 节“指令操作说明”和第 3.3.3 节“闪存擦除操作”。

写入周期和数据保存时间

擦除/写入周期 (次数)	数据保持时间 (年)
1,000	20*
10,000	10*
100,000	5*

*: 通过技术参考获取该值 (使用 Arrhenius 方程, 将高温加速测试的结果转换为 $+85^\circ\text{C}$ 下的平均温度值)。

12.9 待机恢复时间

12.9.1 恢复原因: 中断/WKUP

指的是中断发生到开始程序执行的时间。

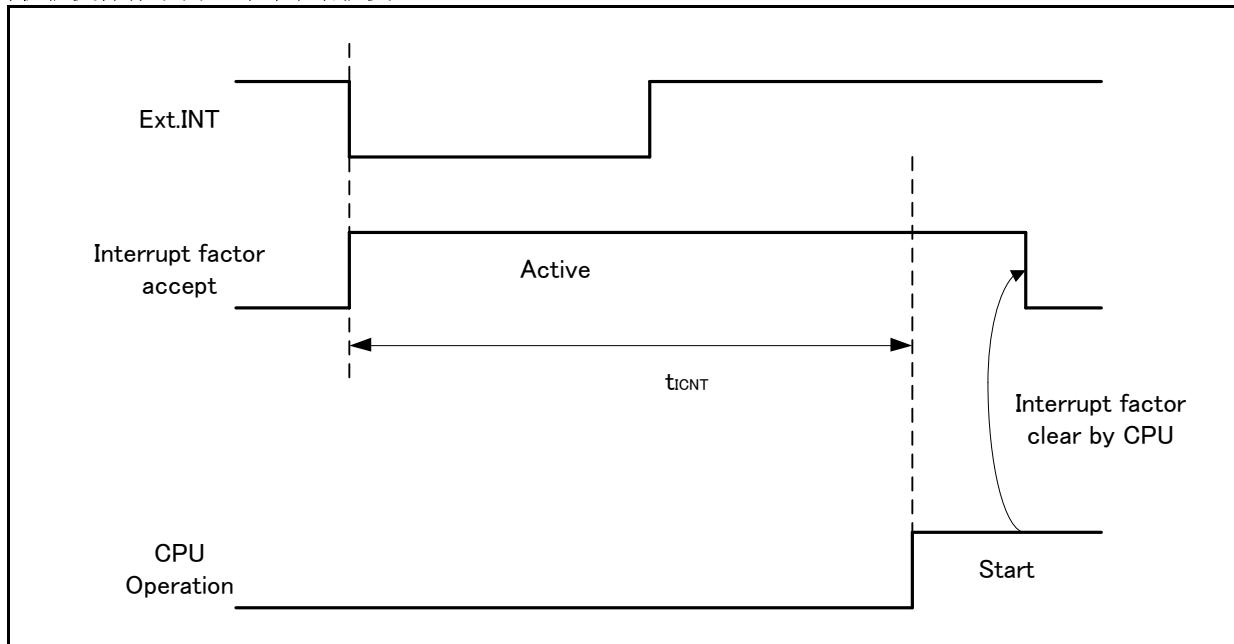
恢复时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

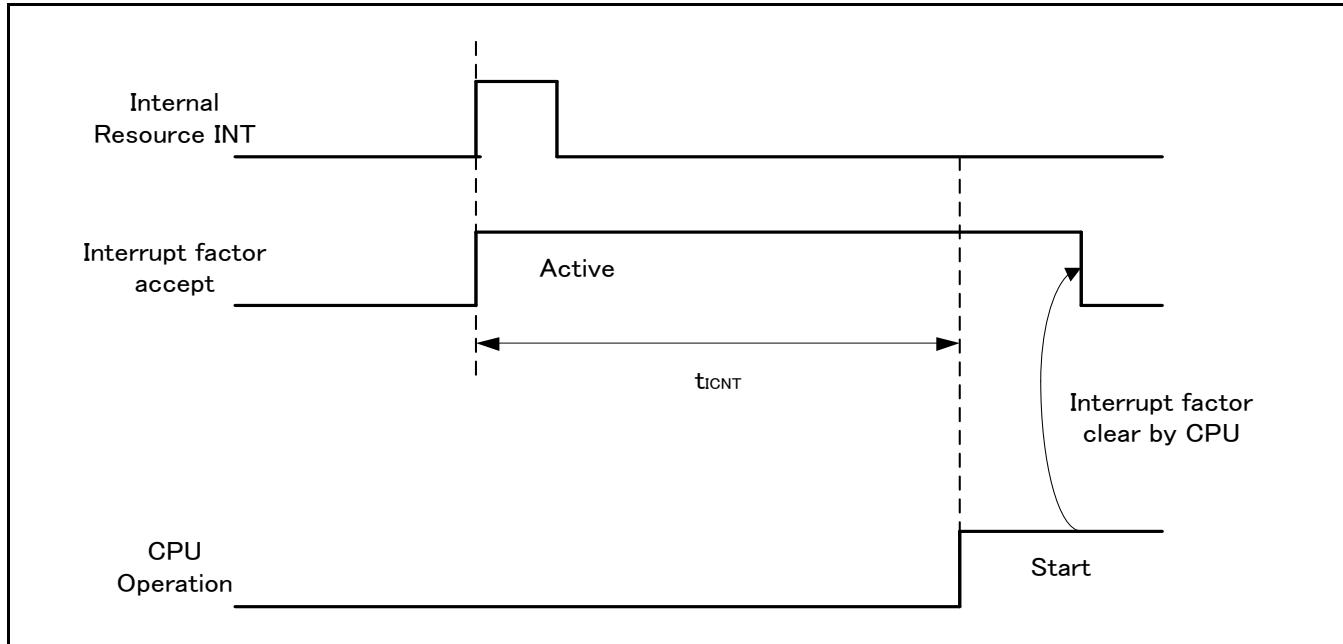
参数	符号	数值		单位	备注
		典型值	最大值*		
睡眠模式	tICNT	HCLKx1		μs	
高速 CR 定时器模式的恢复时间		40	80	μs	
主定时器模式的恢复时间		450	900	μs	
PLL 定时器模式的恢复时间		896	1136	μs	
低速 CR 定时器模式的恢复时间		316	581	μs	
副定时器模式的恢复时间		270	540	μs	
RTC 模式的恢复时间		365	667	μs	RAM 数据不得到保持
停止模式的恢复时间 (返回到高速 CR/主/PLL 定时器运行模式)		365	667	μs	保持 RAM 数据
RTC 模式的恢复时间 停止模式的恢复时间 (返回到低速 CR/副定时器运行模式)					

*: 最大值取决于内置 CR 精度。

待机恢复操作示例 (外部中断恢复*)



*: 设置外部中断来检测下降沿。

待机恢复操作示例（内部资源中断恢复时*）


*: 取决于低功耗模式，恢复源不包含内部资源中断在内。

注意:

- 每种低功耗模式的恢复原因都有所不同。有关详细信息，请参考 **FM4 系列外设手册主要部分 (002-04856)** 第 6 章：“低功耗模式和待机操作模式”内容。
- 每种运行模式都有自己的恢复过程。有关详细信息，请参考 **FM4 系列外设手册主要部分 (002-04856)** 中第 6 章：“低功耗模式”内容。

12.9.2 恢复源: 复位

复位唤醒的时间如下, 该时间为从复位信号释放到程序执行的时间。

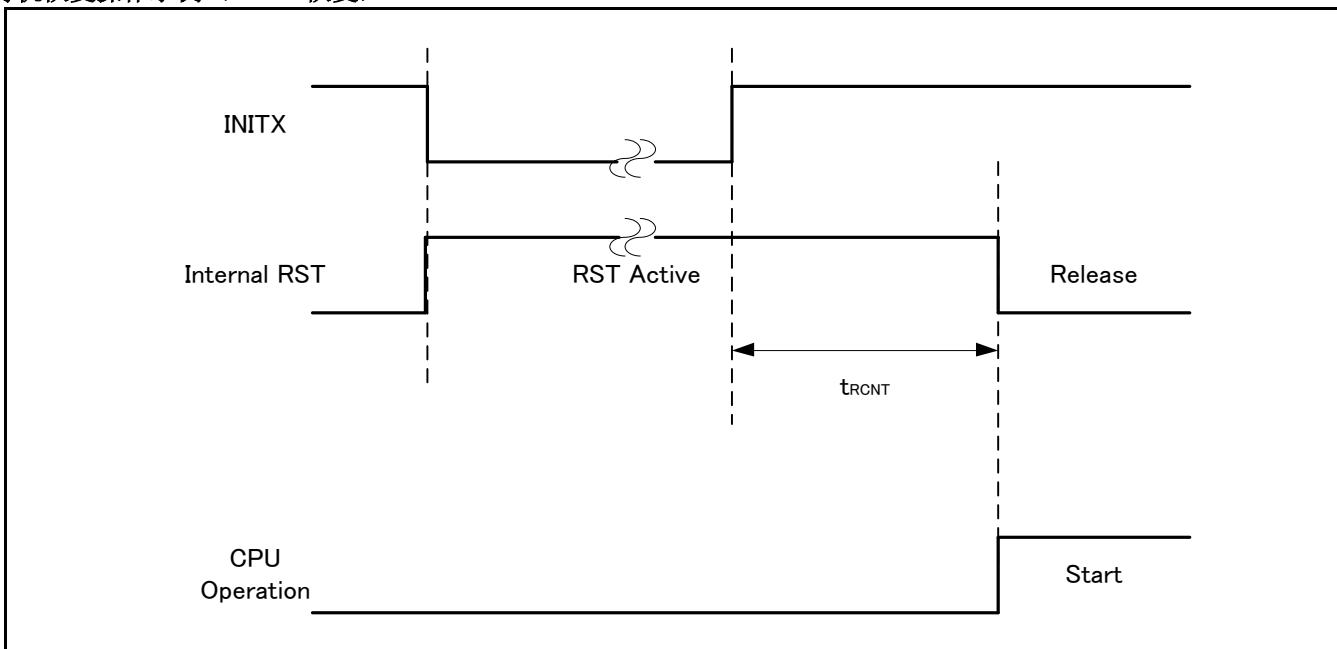
恢复时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

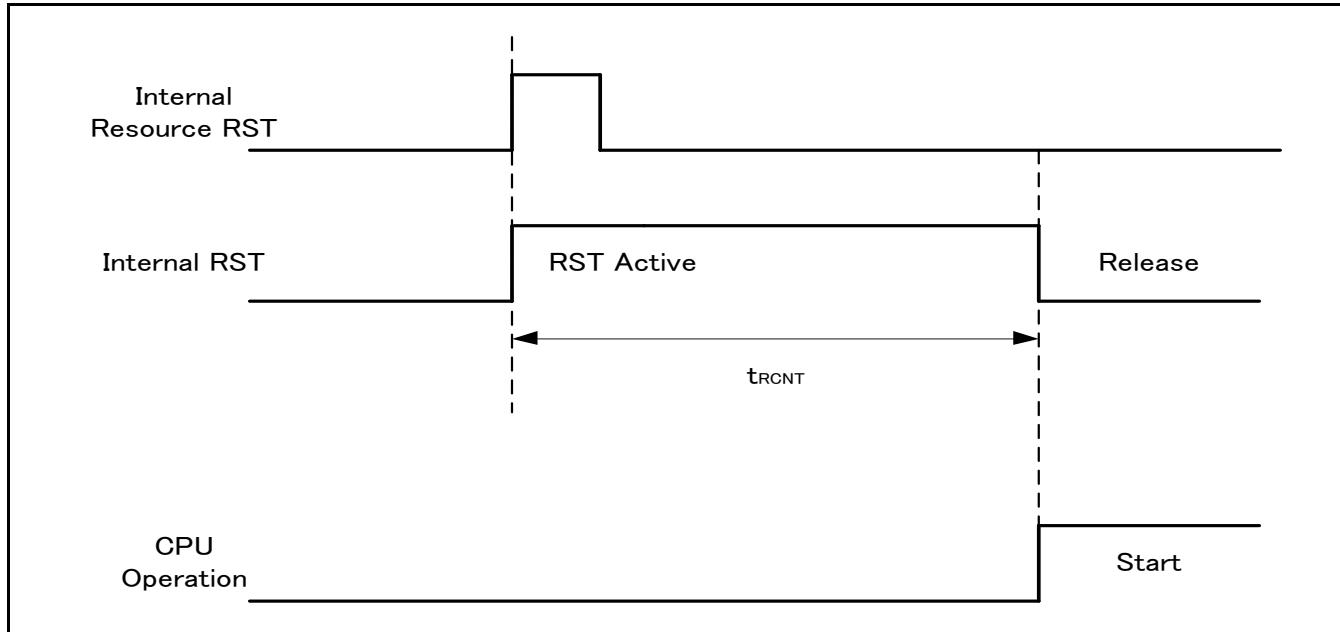
参数	符号	数值		单位	备注
		典型值	最大值*		
睡眠模式的恢复时间	t_{RCNT}	155	266	μs	
高速 CR 定时器模式的恢复时间		155	266	μs	
主定时器模式的恢复时间		315	567	μs	
PLL 定时器模式的恢复时间		315	567	μs	
低速 CR 定时器模式的恢复时间		315	567	μs	
副定时器模式的恢复时间		336	667	μs	RAM 数据不得到保持
RTC 模式的恢复时间		336	667	μs	保持 RAM 数据
停止模式的恢复时间					
深度待机 RTC 模式的恢复时间 (保持 RAM 数据)					
深度待机停止模式的恢复时间 (保持 RAM 数据)					

*: 最大值取决于内置 CR 精度。

待机恢复操作示例 (INITX 恢复)



待机恢复操作示例（内部资源复位恢复时*）



*: 取决于低功耗模式，恢复源不包含内部资源复位在内。

注意:

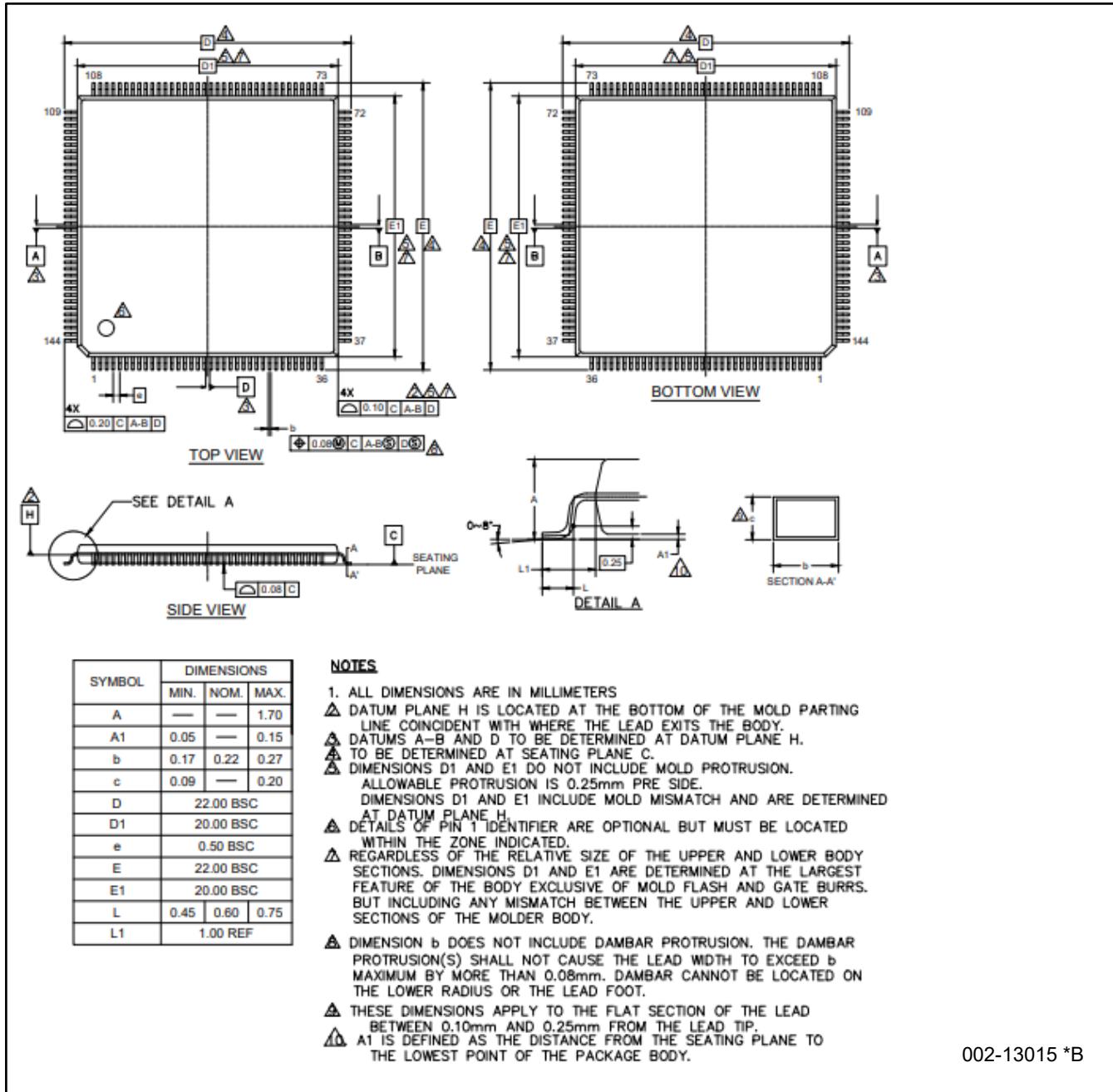
- 每种低功耗模式的恢复原因都有所不同。
有关详细信息，请参考 FM4 系列外设手册主要部分 (002-04856) 第 6 章：“低功耗模式和待机操作模式”内容。
- 每种运行模式都有自己的恢复过程。有关详细信息，请参考 FM4 系列外设手册主要部分 (002-04856) 中第 6 章：“低功耗模式”内容。
- 上电复位/低电压检测复位并不被包含在恢复原因内。请参考第 12.4.8 上电复位时序。
- 从复位状态恢复时，CPU 将切换到高速 CR 时钟模式。在使用主时钟和 PLL 时钟的情况下，要求另外的主时钟振荡稳定时间和主 PLL 时钟振荡稳定时间。
- 内部资源复位是指看门狗复位和 CSV 复位。

13. 订购信息

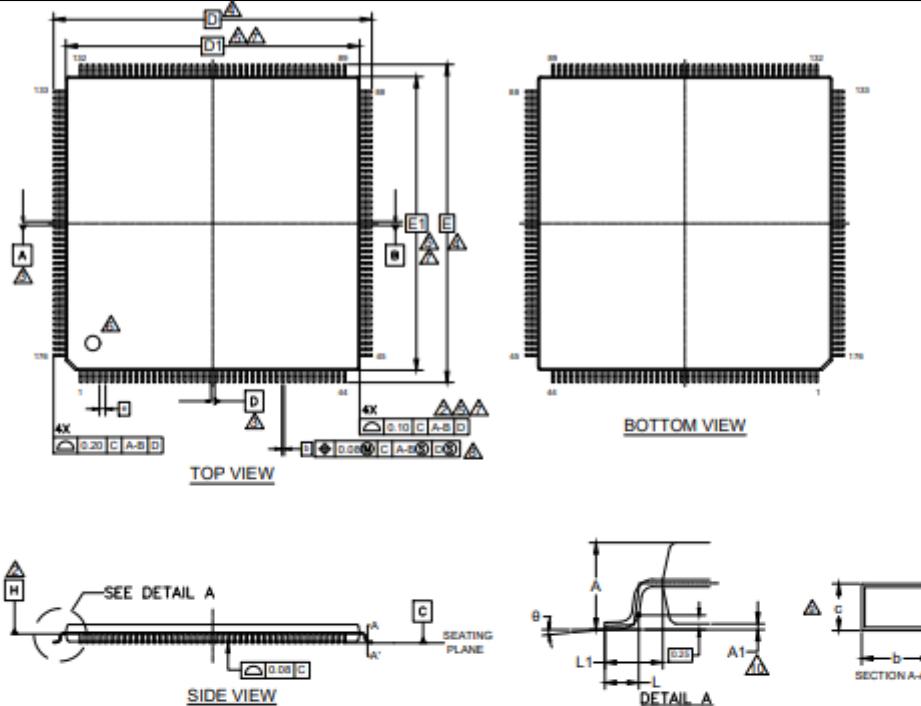
器件型号	闪存	RAM	CAN	以太网	SD 卡	封装
S6E2GM6H0AGV2000A	512 KB	128 KB	✓	✓	✓	塑封 LQFP (间距 0.5 mm), 144 引脚 (LQS144)
S6E2GM8H0AGV2000A	1 MB	192 KB	✓	✓	✓	
S6E2GM6J0AGV2000A	512 KB	128 KB	✓	✓	✓	塑封 LQFP (间距 0.5 mm), 176 引脚 (LQP176)
S6E2GM8J0AGV2000A	1 MB	192 KB	✓	✓	✓	
S6E2GK6H0AGV2000A	512 KB	128 KB		✓	✓	塑封 LQFP (间距 0.5 mm), 144 引脚 (LQS144)
S6E2GK8H0AGV2000A	1 MB	192 KB		✓	✓	
S6E2GK6J0AGV2000A	512 KB	128 KB		✓	✓	塑封 LQFP (间距 0.5 mm), 176 引脚 (LQP176)
S6E2GK8J0AGV2000A	1 MB	192 KB		✓	✓	
S6E2GH6H0AGV2000A	512 KB	128 KB	✓		✓	塑封 LQFP (间距 0.5 mm), 144 引脚 (LQS144)
S6E2GH8H0AGV2000A	1 MB	192 KB	✓		✓	
S6E2GH6J0AGV2000A	512 KB	128 KB	✓		✓	塑封 LQFP (间距 0.5 mm), 176 引脚 (LQP176)
S6E2GH8J0AGV2000A	1 MB	192 KB	✓		✓	
S6E2G36H0AGV2000A	512 KB	128 KB				塑封 LQFP (间距 0.5 mm), 144 引脚 (LQS144)
S6E2G38H0AGV2000A	1 MB	192 KB				
S6E2G36J0AGV2000A	512 KB	128 KB				塑封 LQFP (间距 0.5 mm), 176 引脚 (LQP176)
S6E2G38J0AGV2000A	1 MB	192 KB				
S6E2G26H0AGV2000A	512 KB	128 KB		✓		塑封 LQFP (间距 0.5 mm), 144 引脚 (LQS144)
S6E2G28H0AGV2000A	1 MB	192 KB		✓		
S6E2G26J0AGV2000A	512 KB	128 KB		✓		塑封 LQFP (间距 0.5 mm), 176 引脚 (LQP176)
S6E2G28J0AGV2000A	1 MB	192 KB		✓		

14. 封装尺寸

封装类型	封装代码
LQFP 144	LQS144



封装类型	封装代码
LQFP 176	LQP176


NOTES

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	26.00	BSC	
D1	24.00	BSC	
e	0.50	BSC	
E	26.00	BSC	
E1	24.00	BSC	
L	0.45	0.60	0.75
L1	1.00	REF	
θ	0°	—	8°

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- ⚠ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- ⚠ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- ⚠ TO BE DETERMINED AT SEATING PLANE C.
- ⚠ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- ⚠ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- ⚠ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDED BODY.
- ⚠ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- ⚠ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- ⚠ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15150 *A

文档修订记录

文档标题: **S6E2G 系列 32 位 Arm® Cortex®-M4F、FM4 微控制器**

文档编号: 002-03259

版本	ECN	提交日期	变更描述
**	4908628	09/15/2014	本文档版本号为 Rev**, 译自英文版 001-98708 Rev**。
*A	5308790	06/23/2016	本文档版本号为 Rev*A, 译自英文版 001-98708 Rev*B。
*B	5960836	11/08/2017	本文档版本号为 Rev*B, 译自英文版 001-98708 Rev*C。
*C	6346232	10/12/2018	本文档版本号为 Rev*C, 译自英文版 001-98708 Rev*D。
*D	6995941	10/15/2020	本文档版本号为 Rev*D, 译自英文版 001-98708 Rev*E。
*E	7498464	12/06/2021	本文档版本号为 Rev. *E, 译自英文版 001-98708 Rev. *F。

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex®微控制器

cypress.com/arm

汽车级产品

cypress.com/automotive

时钟与缓冲器

cypress.com/clocks

接口

cypress.com/interface

物联网

cypress.com/iot

存储器

cypress.com/memory

微控制器

cypress.com/mcu

PSoC

cypress.com/psoc

电源管理 IC

cypress.com/pmic

触摸感应

cypress.com/touch

USB 控制器

cypress.com/usb

无线连接

cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

©赛普拉斯半导体公司, 2015-2021年。本文件是英飞凌科技旗下赛普拉斯半导体公司及其关联公司（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯持软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件或任何伴随的硬件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯不承担由于任何安全漏洞而产生的责任，例如未经授权的访问或使用赛普拉斯产品。**赛普拉斯未陈述、保证和担保赛普拉斯产品或使用赛普拉斯产品创建的系统将免于损坏、攻击、病毒、干扰、黑客、数据丢失或窃取或其他安全入侵**（统称为“安全漏洞”）。赛普拉斯对任何安全漏洞不承担任何责任，并且贵方应特此免除赛普拉斯因任何安全漏洞引起的任何索赔、损失或其他责任。此外，本材料中所介绍的赛普拉斯产品可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。“高风险设备”是指，若其故障后可能导致人身伤害、死亡或财产损失的任何设备或系统。高风险设备的例子是武器，核装置，外科植入物和其他医疗设备。“关键部件”是指，若其发生故障后，经合理预期会直接或间接地导致高风险设备故障或会影响高风险设备安全性和有效性的任何高风险设备部件。赛普拉斯不承担全部或部分，且贵方应特此免除赛普拉斯因在高风险设备中使用赛普拉斯产品作为关键部分而引起的任何索赔、损失或其他责任。贵方应赔偿赛普拉斯及其董事、职员、雇员、代理方、关联公司、经销商和受让方在高风险设备中使用赛普拉斯产品作为关键部件而产生的所有索赔、成本、损失和费用，包括因产品责任、人身伤害或死亡或财产损失引起的主张，并使之免受损失。赛普拉斯产品非被设定或被授权作为高风险设备中的关键部件使用，除非限于(i) 赛普拉斯公布的关于该产品的数据表明确指出该产品适格于特定的高风险设备，或(ii) 赛普拉斯已事先书面授权贵方，允许将该产品用作特定高风险设备中的关键部件，并且贵方已签署单独的赔偿协议。

赛普拉斯、赛普拉斯徽标及上述项目的组合，PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED 和 ModusToolbox 为赛普拉斯或赛普拉斯的子公司在美国或在其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。