

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「S」から始まるオーダ型格が記載されておりますが、これらのオーダ型格の末尾を更新して、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。



FM4: S6E2C シリーズ マイクロコントローラ データシート

200 MHz Arm® Cortex®-M4F High-Performance MCU

FM4 S6E2C シリーズは、200 MHz の CPU パワー、最大 2 M バイトのデュアルバンク高速オンチップフラッシュメモリ、最大 256 K バイトのオンチップ SRAM、IEEE 1588 準拠の 10/100 ベースのイーサネット、CAN、CAN-FD、USB、およびインバータ制御タイマなどの統合周辺機能を備えたシングルチップソリューションを提供します。

S6E2C シリーズ特長

High-Performance MCU サブシステム

- 675 CoreMark®, 200 MHz Arm® Cortex®-M4F CPU
- 動作電流 365 μ A/MHz、動作電圧 2.7V ~ 5.5V
- RTC モード時 1.0 μ A の超低消費電力
- 最大 2M バイトのフラッシュメモリ 16K バイトのアクセラレータ機能を内蔵、最大 256K バイトの SRAM
- エラー訂正機能 (ECC)、ハードウェアウォッチドッグタイマ、低電圧検出機能、クロック監視機能

デジタルサブシステム

- 多機能タイマ 3 ユニット
- PPG 9 チャンネル
- ベースタイマ 16 チャンネル、クアッドカウンタ 4 チャンネル
- デュアルタイマ 1 チャンネル、CRC、時計カウンタ
- マルチファンクションシリアルインタフェース 16 チャンネル
- USB 2 チャンネル、CAN 2 チャンネル、CAN-FD、IEEE 1588 準拠 Ethernet-MAC、High-Speed Quad-SPI (HS-QSPI)、I²S、外部バスインタフェース

アナログサブシステム

- 2Msamples/sec の 12 ビット A/D コンバータを 3 ユニット搭載
- 12 ビット D/A コンバータ 2 チャンネル搭載

サイプレス FM4 MCU のエコシステム

サイプレスは、お客様のデザインに適切な MCU を選択し、選択したデバイスをデザインに迅速で効果的に組み込むことができるよう、www.cypress.com に豊富なデータを掲載しています。以下に FM4 MCU に関連する資料を掲載します。

■概要: 製品ポートフォリオ, 製品ロードマップ

■製品セクタ: FM4 MCU

■アプリケーションノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックの FM4 アプリケーションノートを提供しています。FM4 ファミリー入門用の推奨アプリケーションノートを以下に示します。:

- **AN204468 - FM4 I2S USB MP3 Player Application 32-Bit Microcontroller FM4 Family:** このアプリケーションノートは、I2S USB MP3 Player ソフトウェアの一般的なアーキテクチャ、各モジュールの詳細や使用方法について説明します。
- **AN204471 - FM4 S6E2CC Series External Memory Programmer:** このアプリケーションノートは、S6E2CC シリーズ Starter Kit 上で、Quad SPI フラッシュメモリプログラミング用のオフラインでプログラムするための MCU ユニバーサルプログラマの使用法について説明します。
- **AN203277 - FM 32-Bit Microcontroller Family Hardware Design Considerations:** このアプリケーションノートは、FM0+, FM3 および FM4 ファミリーの MCU を使用するハードウェアシステムを設計するための幾つかのトピックを掲載します。電力システム、リセット、水晶、他の端子の接続、プログラミングおよびデバッグのインタフェースの項目が含まれます。
- **AN202488 - FM4 MB9BF56x and S6E2HG Series MCU - Servo Motor Speed Control:** このアプリケーションノートは、MB9BF56x および S6E2HG の FM4 MCU のサーボモータ速度制御ソリューションを提供します。

- **AN99235 - FM4 S6E2HG Series MCU - 16-Bit PWM Using a Base Timer:** 32 ビット Arm® Cortex®-M4 マイクロコントローラ FM4 S6E2H シリーズモータ制御 Arm® Cortex®-M4 MCU のサイプレス FM4 ファミリー
- **AN202487 - Differences Among FM0+, FM3, and FM4 32-Bit Microcontrollers:** サイプレス FM ファミリー間のペリフェラルの差異について説明します。各ペリフェラルごとに個別の章を設け、リスト、表およびペリフェラル機能とレジスタの差異について説明しています。
- **AN204438 - How to Setup Flash Security for FM0+, FM3 and FM4 Families:** このアプリケーションノートは、FM0+, FM3 および FM4 デバイス用のフラッシュセキュリティのセットアップ方法を説明します。

■Development kits:

- **FM4-U120-9B560 -USB および CMSIS-DAP を備えた Arm® Cortex®-M4 MCU スタータキット**
- **FM4-216-ETHERNET – Ethernet, CAN および USB ホストを備えた Arm® Cortex®-M4 MCU 開発キット**
- **FM4-176L-S6E2CC-ETH – Ethernet および USB ホストを備えた Arm® Cortex®-M4 MCU スタータキット**
- **FM4-176L-S6E2GM – Ethernet および USB ホストを備えた Arm® Cortex®-M4 MCU Pioneer Kit**

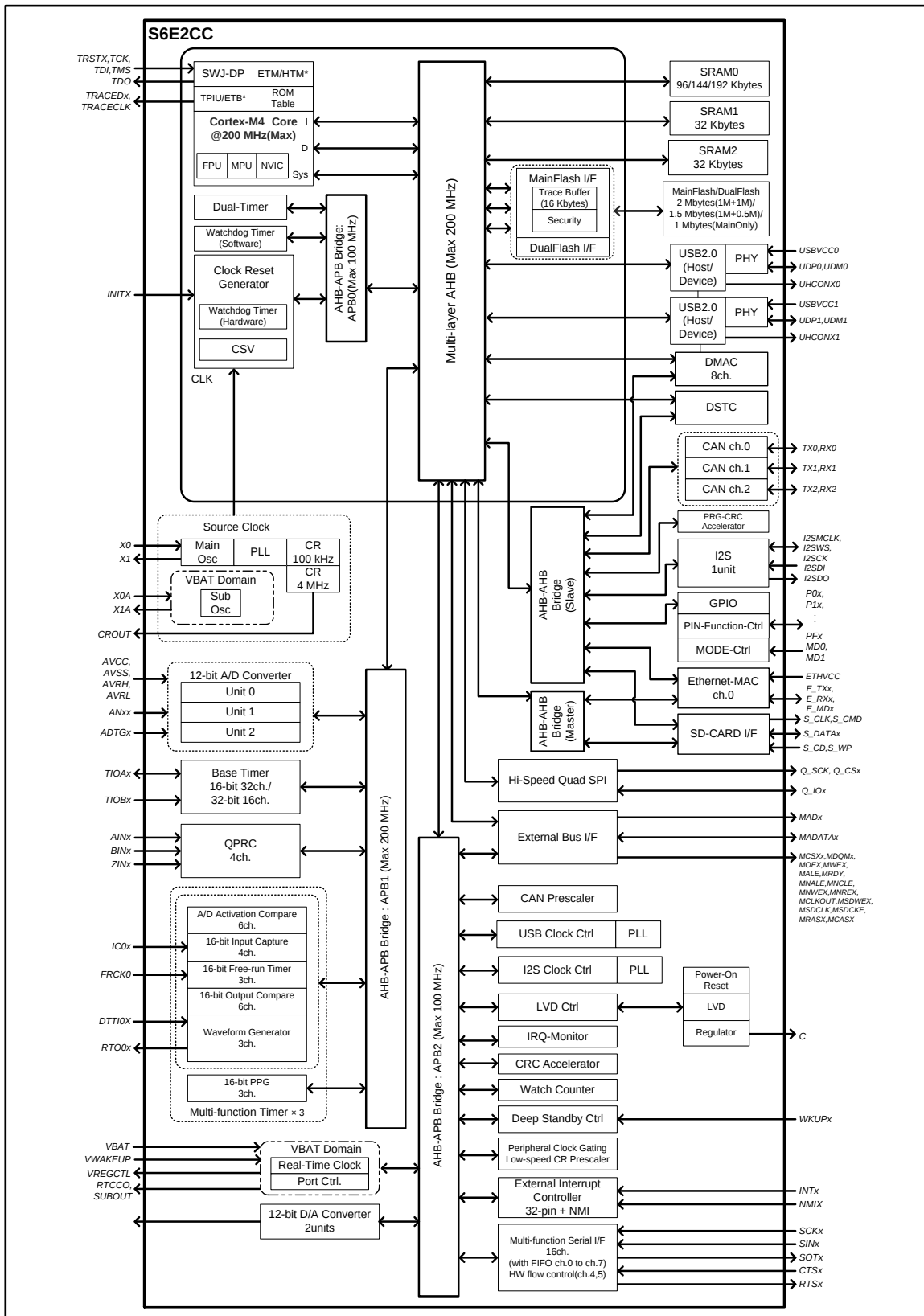
■Peripheral Manuals

Table of Contents

1.	ブロックダイアグラム	5
2.	品種構成	6
3.	製品の特長	8
4.	端子配列図	13
5.	端子機能一覧	17
6.	入出力回路形式	54
7.	取扱上のご注意	62
7.1	設計上の注意事項	62
7.2	パッケージ実装上の注意事項	64
7.3	使用環境に関する注意事項	65
8.	デバイス使用上の注意	66
9.	メモリサイズ	69
10.	メモリマップ	69
11.	各 CPU ステートにおける端子状態	74
12.	電気的特性	81
12.1	絶対最大定格	81
12.2	推奨動作条件	83
12.3	直流規格	88
12.3.1	電流規格	88
12.3.2	端子特性	98
12.4	交流規格	101
12.4.1	メインクロック入力規格	101
12.4.2	サブクロック入力規格	102
12.4.3	内蔵 CR 発振規格	102
12.4.4	メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)	103
12.4.5	USB/Ethernet 用 PLL・I ² S 用 PLL の使用条件 (PLL の入力クロックにメインクロックを使用)	103
12.4.6	メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	103
12.4.7	リセット入力規格	103
12.4.8	パワーオンリセットタイミング	104
12.4.9	GPIO 出力規格	105
12.4.10	外バスタイミング	106
12.4.11	ベースタイム入力タイミング	117
12.4.12	CSIO タイミング	118
12.4.13	外部入力タイミング	151
12.4.14	クアッドカウンタ タイミング	152
12.4.15	I ² C タイミング	154
12.4.16	SD カードインタフェースタイミング	156
12.4.17	ETM / HTM タイミング	158
12.4.18	JTAG タイミング	159
12.4.19	Ethernet-MAC タイミング	160
12.4.20	I ² S タイミング	165
12.4.21	Hi-Speed Quad SPI タイミング	170
12.5	12 ビット A/D コンバータ	172
12.6	12 ビット D/A コンバータ	175
12.7	USB 特性	176
12.8	低電圧検出特性	180
12.8.1	低電圧検出リセット	180

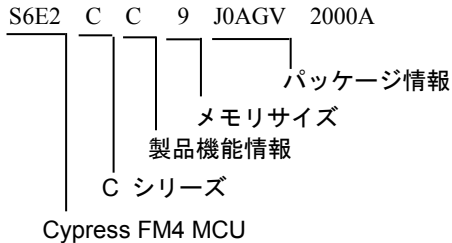
12.8.2	低電圧検出割込み	180
12.9	メインフラッシュメモリ書込み/消去特性	181
12.10	デュアルフラッシュメモリ書込み/消去特性	181
12.11	スタンバイ復帰時間	182
12.11.1	復帰要因：割込み/WKUP	182
12.11.2	復帰要因：リセット	184
13.	オーダ型格	186
14.	略語	191
15.	パッケージ・外形寸法図	192
16.	主な変更内容	196
改訂履歴		198
セールス、ソリューションおよび法律情報		200

1. ブロックダイアグラム



2. 品種構成

製品情報 Here is the information used in the tables below:



メモリサイズ

品種名		S6E2Cx8	S6E2Cx9	S6E2CxA
オンチップフラッシュメモリ		1024 K バイト	1536 K バイト	2048 K バイト
オンチップ SRAM		128 K バイト	192 K バイト	256 K バイト
	SRAM0	64 K バイト	128 K バイト	192 K バイト
	SRAM1	32 K バイト	32 K バイト	32 K バイト
	SRAM2	32 K バイト	32 K バイト	32 K バイト

パッケージ

パッケージ情報	H0AGV	J0AGV	J0AGB	L0AGL
端子数、パッケージ	144 LQFP: LQS144 (0.5 mm pitch)	176 LQFP: LQP176 (0.5 mm pitch)	192 BGA: LBE192 (0.8 mm pitch)	216 LQFP: LQQ216 (0.4 mm pitch)
High-speed quad SPI	N/A	1 unit		
外部バスインタフェース	Addr: 25-bit (最大), Data: 8-/16-bit CS: 8 (最大), SRAM, NOR フラッシュ NAND フラッシュ 4-bit ETM/HTM	Addr: 25-bit (最大), Data: 8-/16-bit CS: 9 (最大), SRAM, NOR フラッシュ, NAND フラッシュ SDRAM 8-bit ETM/HTM		Addr: 25-bit (最大), Data: 8-/16-/32-bit CS: 9 (最大), SRAM, NOR フラッシュ, NAND フラッシュ, SDRAM 16-bit ETM/HTM
I ² S	N/A	1 unit		
汎用 I/O ポート	120 (最大)	152 (最大)		190 (最大)
12 ビット A/D コンバータ	24 ch (3 units)	32 ch (3 units)		

<注意事項>

- 各パッケージの詳細は「15. パッケージ・外形寸法図」を参照してください。

ファンクション

品種名			S6E2CC	S6E2C5	S6E2C4	S6E2C3	S6E2C2	S6E2C1
CPU			Cortex-M4F, MPU, NVIC 128 ch					
周波数			200 MHz					
電源電圧範囲			2.7V to 5.5V					
USB2.0 (Device/Host)			2 ch	2 ch	N/A	2 ch	2 ch	N/A
Ethernet-MAC			1ch.(最大) MII: 1 ch /RMII: 1 ch (最大)	N/A	N/A	N/A	1ch.(最大) MII: 1 ch /RMII: 1 ch (最大)	N/A
CAN			2 ch (最大)	2 ch (最大)	2 ch (最大)	N/A	N/A	N/A
CAN-FD (non-ISO CAN FD)			1 ch	1 ch	1 ch	N/A	N/A	N/A
DMAC			8ch					
DSTC			256 ch					
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)			16ch (最大) ch.0~ch.7 : FIFO, ch.8~ch.15 : No FIFO					
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			16 ch (最大)					
多機能タイマ	A/D 起動コンペア	6 ch	3 units (最大)					
	インプットキャプチャ	4 ch						
	フリーランタイマ	3 ch						
	アウトプットコンペア	6 ch						
	波形ジェネレータ	3 ch						
	PPG	3 ch						
SD カードインタフェース			1 unit					
クアッドカウンタ			4 ch (最大)					
デュアルタイマ			1 unit					
リアルタイムクロック			1 unit					
時計カウンタ			1 unit					
CRC アクセラレータ			Yes (fixed, programmable)					
ウォッチドッグタイマ			1 ch (SW) + 1 ch (HW)					
外部割込み			32 pins (最大)+ NMI × 1					
12 ビット D/A コンバータ			2 units (最大)					
クロック監視機能(CSV)			Yes					
低電圧検出機能(LVD)			2 ch					
内蔵(CR)	高速		4 MHz					
	低速		100 kHz					
デバッグ機能			SWJ-DP/ETM/HTM					
ユニーク ID			Yes					

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当ててはできません。ご使用になる機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
- 内蔵 CR のクロック周波数精度については、「[12.4.3 内蔵 CR 発振規格](#)」を参照してください。

3. 製品の特長

S6E2C シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に Arm Cortex-M4F プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ、A/D コンバータ、各種通信インタフェース(USB, CAN, UART, CSIO, I²C, LIN)などにより構成されます。『ペリフェラルマニュアル メインパート (002-04857)』において、このデータシートに記載されている製品は、TYPE3-M4 製品に分類されます。

32 ビット Arm Cortex-M4F コア

- プロセッサ版数: r0p1
- 最大動作周波数: 200 MHz
- FPU 搭載
- DSP 命令対応
- メモリ保護ユニット(MPU): 組込みシステムの信頼性を向上させます。
- ネスト型ベクタ割り込みコントローラ(NVIC): 1 チャンネルの NMI (ノンマスカブル割り込み)と 128 チャンネルの周辺割り込みに対応。16 の割り込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

- フラッシュメモリ
- 本シリーズは、2 つの独立したフラッシュメモリを搭載します。
 - 最大 2048 K バイト
 - 16 K バイトのトレースバッファメモリを使用した、フラッシュメモリアクセラレータ機能を内蔵
 - フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。
 - 72 MHz より大きい場合でも、フラッシュメモリアクセラレータ機能により、0 wait-cycle と
 - 同等なアクセスを行えます。
 - コード保護用セキュリティ機能

■SRAM

本シリーズのオンチップ SRAM は、3 つの独立した SRAM(SRAM0,SRAM1,SRAM2)により構成されます。

SRAM0 は、Cortex-M4F コアの I-Code バス、D-Code バスに接続します。SRAM1,SRAM2 は、

Cortex-M4F コアの System バスに接続します。

- SRAM0: 192 K バイト
- SRAM1: 32 K バイト
- SRAM2: 32 K バイト

外部バスインタフェース

- SRAM, NOR と NAND フラッシュおよび SDRAM デバイスに対応
- 最大 9 チップセレクト CS0~CS8 (CS8 は SDRAM 専用)
- 8/16/32 ビットデータ幅
- 最大 25 ビットのアドレスビット
- 最大アクセスサイズ: 256M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート

USB インタフェース(最大 2 チャンネル)

USB インタフェースはデバイスとホストで構成されます。

- USB デバイス
 - USB2.0 Full-Speed 対応
 - 最大 6 本のエンドポイントをサポートします。
 - エンドポイント 0 はコントロール転送
 - エンドポイント 1, 2 はバルク転送, インタラプト転送, アイソクロナス転送を選択可能
 - エンドポイント 3~5 はバルク転送, インタラプト転送を選択可能
 - エンドポイント 1~5 はダブルバッファ構成
 - 各エンドポイントのサイズは下記の通り
 - エンドポイント 0, 2~5 : 64 バイト
 - エンドポイント 1 : 256 バイト
- USB ホスト
 - USB2.0 Full-Speed / Low-Speed 対応
 - バルク転送, インタラプト転送, アイソクロナス転送をサポート
 - USB デバイスの接続/切断の自動検出
 - IN/OUT トークン時のハンドシェイクパケットの自動処理
 - 最大パケット長 256 バイトをサポート
 - ウェイクアップ機能をサポート

CAN インタフェース (最大 2 チャンネル)

- CAN 仕様 2.0A および 2.0B に準拠
- 最大転送レート: 1 Mbps
- 32 メッセージバッファ搭載

CAN-FD インタフェース (1 チャンネル)

- CAN 仕様 2.0A および 2.0B に準拠
- 最大転送レート: 5 Mbps
- 受信用メッセージバッファ: 最大 192 メッセージ
- 送信用メッセージバッファ: 最大 32 メッセージ
- フレキシブルデータレート対応 CAN (non-ISO CAN FD)
- 注意事項:
 - non-ISO CAN FD と ISO CAN FD ではフレームフォーマットが異なっているため、CAN FD 通信はできません。
 - non-ISO CAN FD の問題については、CiA (CAN in Automation) から出ている White Paper を参照ください。
http://www.can-newsletter.org/engineering/standardization/141222_can-fd-and-crc-issued_white-paper_bosch

マルチファンクションシリアルインタフェース(最大 16 チャンネル)

- ch.0~ch.7 に 64 バイト FIFO を搭載 (FIFO 段数は通信モード・ビット長の設定により可変)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全二重ダブルバッファ
 - パリティあり/なし選択可能
 - 専用ボーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - 豊富なエラー検出機能(パリティエラー、フレーミングエラー、オーバランエラー)
- CSIO
 - 全二重ダブルバッファ
 - 専用ボーレートジェネレータ内蔵
 - オーバランエラー検出機能
 - シリアルチップセレクト機能(ch.6 と ch.7 のみ)
 - 高速 SPI 対応(ch.4, ch.6 のみ)
 - データ長: 5~16 ビット
- LIN
 - LIN プロトコル Rev.2.1 対応
 - 全二重ダブルバッファ
 - マスタ/スレーブモードに対応
 - LIN break field 生成(13 ビット~16 ビット長に変更可能)
 - LIN break デリミタ生成(1 ビット~4 ビット長に変更可能)
 - 豊富なエラー検出機能(パリティエラー、フレーミングエラー、オーバランエラー)
- I²C
 - Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応
 - Fast-mode plus(Fm+)(最大 1000 kbps, ch 3 = ch A, ch 7 = ch B のみ)に対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

DSTC(Descriptor System data Transfer Controller)(256 チャンネル)

DSTC は、CPU を介せずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。

- ソフトウェア起動、ハードウェア起動、Chain 起動機能サポート

A/D コンバータ(最大 32 チャンネル)

- 12 ビット A/D コンバータ
 - 逐次比較型
 - 3 ユニット搭載
 - 変換時間: 0.5 μ s @ 5 V
 - 優先変換可能(2 レベルの優先度)
 - スキャン変換モード
 - 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

D/A コンバータ(最大 2 チャンネル)

- R-2R 型
- 12 ビット分解能

ベースタイマ(最大 16 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 120 本の高速汎用 I/O ポート @144 pin Package
- 一部のポートは、5 V トレラントに対応
該当する端子については「5. 端子機能一覧」と「6. 入出力回路形式」を参照してください。

多機能タイマ(最大 3 ユニット)

多機能タイマは、次のブロックで構成されます。

最小分解能：5.00 ns

- 16 ビットフリーランタイマ×3 チャンネル/ユニット
- インプットキャプチャ×4 チャンネル/ユニット
- アウトプットコンペア×6 チャンネル/ユニット
- A/D 起動コンペア×6 チャンネル/ユニット
- 波形ジェネレータ×3 チャンネル/ユニット
- 16 ビット PPG タイマ×3 チャンネル/ユニット

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパルス出力機能
- デッドタイム機能
- インプットキャプチャ機能
- ADC 起動機能
- DTIF(モータ緊急停止)割り込み機能

リアルタイムクロック(RTC : Real Time Clock)

00 年～99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割り込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割り込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter)(最大 4 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからウェイクアップします。クロックソースをメインクロック、サブクロック、内蔵高速 CR クロックまたは内蔵低速 CR クロックから選択可能です。

インターバルタイマ：最長 64s (サブクロック：32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子：最大 32 本
- ノンマスカブル割込み(NMI)入力端子：1 本

ウォッチドッグタイマ(2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割り込みまたはリセットを発生します。

本シリーズには、“ハードウェア”ウォッチドッグと“ソフトウェア”ウォッチドッグの 2 つの異なるウォッチドッグがあります。

“ハードウェア”ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード以外のすべての低消費電力モードで動作します。

CRC(Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

PRGCRC(Programmable Cyclic Redundancy Check)アクセラレータ

プログラマブル CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 に加え、生成多項式をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

■生成多項式

Ethernet-MAC

■IEEE 802.3 準拠

■10 Mbps/100 Mbps の転送モードに対応

■MII/RMII により外部 PHY デバイスとの接続に対応

■MII(最大 1 チャンネル)

■RMII(最大 1 チャンネル)

■全二重転送、半二重転送に対応

■Wake-On-LAN 対応

■ディスクリプタ方式専用 DMA 内蔵

■送信 FIFO 2K バイト、受信 FIFO 2K バイト

■IEEE1588 ハードウェアを搭載

SD カードインタフェース

下記規格に準拠した SD カードが使用できます。

■Part 1 Physical Layer Specification version 3.01

■Part E1 SDIO Specification version 3.00

■Part A2 SD Host Controller Standard Specification version 3.00

■1 ビットまたは 4 ビットのデータバス幅

I²S インタフェース(送信 1 チャンネル、受信 1 チャンネル)

■3 種類の転送プロトコル

□I²S

□Left Justified

□DSP mode

■マスタ・スレーブ動作選択可能

■送信のみ、受信のみ、送受信同時動作を設定可能

■ワード長は 7 ビットから 32 ビットまで設定可能

■送受信用 FIFO を搭載(送信用 66 word x 32 bit、受信用 66 word x 32 bit)

■DMA、割込み、ポーリングによるシステムメモリへのデータ転送が可能

High-Speed Quad SPI

SPI デバイスが使用できます。

■SDR(Single Data Rate)

■シングルビット、デュアルビット、クアッドビットに対応

■ダイレクトモードとコマンドシーケンサモードを搭載

□ダイレクトモード: 送信 FIFO/受信 FIFO(最大 16word x 32 bit)を使用したアクセス

□コマンドシーケンサモード: 外部デバイス領域のアドレスに割りつけて自動的にアクセス

クロック/リセット

■クロック

5 種類のクロックソース(2 種類の外部発振、2 種類の内蔵 CR 発振、メイン PLL)から選択できます。

□メインクロック: 4 MHz~48 MHz

□サブクロック: 30 kHz~100 kHz

□内蔵高速 CR クロック: 4 MHz

□内蔵低速 CR クロック: 100 kHz

□メイン PLL クロック

■リセット

□INITX 端子からのリセット要求

□電源投入リセット

□ソフトウェアリセット

□ウォッチドッグタイマリセット

□低電圧検出リセット

□クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Supervisor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-voltage Detection)

本シリーズは、2段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

6種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC(RAM 保持あり・なし選択可能)
- ディープスタンバイストップ(RAM 保持あり・なし選択可能)

周辺クロック停止機能

システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

VBAT

RTC(カレンダー回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。VBAT には以下の回路が含まれます。

- RTC
- 32 kHz 発振回路
- パワーオン回路
- バックアップレジスタ : 32 バイト
- ポート回路

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル(ETM)
包括的なデバッグおよびトレース機能を提供します。
- AHB トレースマクロセル (HTM)

ユニーク ID

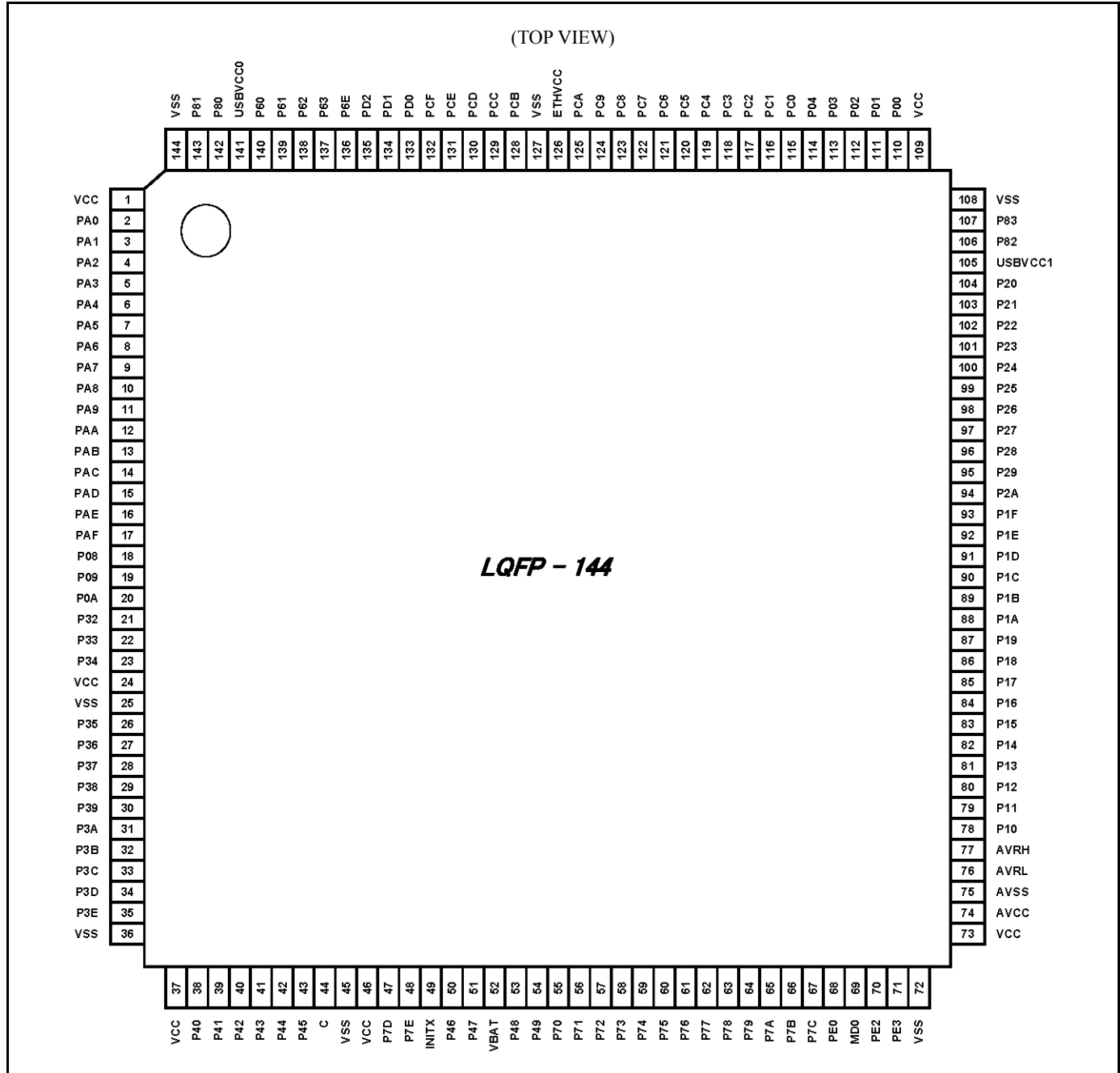
41 ビットのデバイス固有の値を設定済み

電源

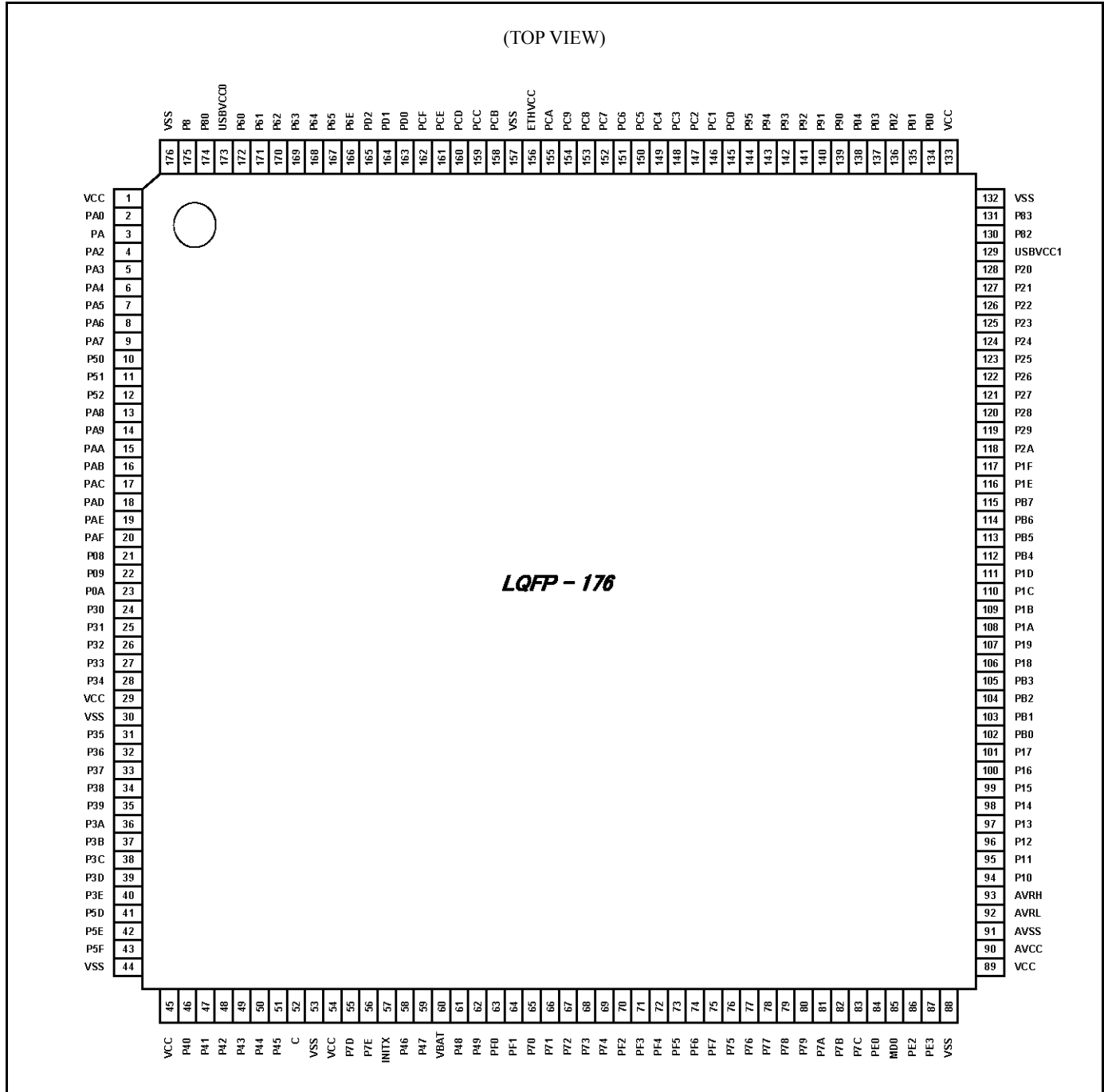
- 5種類の電源
 - ワイドレンジ電圧対応:
VCC = 2.7 V ~ 5.5 V
 - USB ch.0 I/O 用電源:
USBVCC0 = 3.0 V ~ 3.6 V (USB ch.0 使用時)
= 2.7 V ~ 5.5 V (GPIO 使用時)
 - USB ch.1 I/O 用電源:
USBVCC1 = 3.0 V ~ 3.6 V (USB ch.1 使用時)
= 2.7 V ~ 5.5 V (GPIO 使用時)
 - Ethernet-MAC 用 I/O 用電源:
ETHVCC = 3.0 V ~ 5.5 V (Ethernet 使用時)
= 2.7 V ~ 5.5 V (GPIO 使用時)
 - VBAT 用電源:
VBAT = 1.65 V ~ 5.5 V

4. 端子配列図

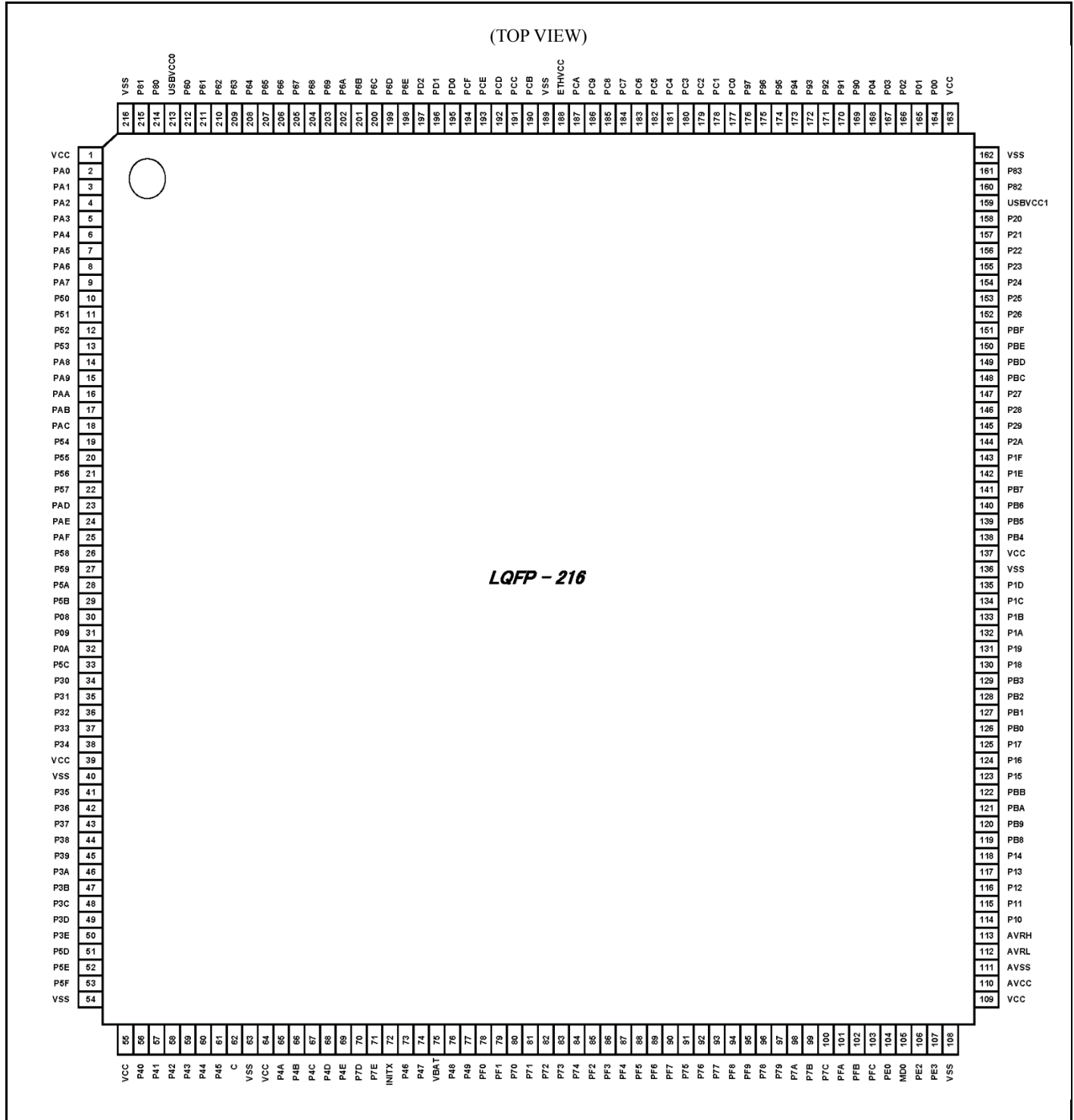
LQS144



LQP176



LQ216



LBE192

(TOP VIEW)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A		UDP0	UDM0	USBV CC0	VSS	PCD	PCB	VSS	ETHV CC	PC8	VSS	TCK	VCC	
B	VSS	PA0	P60	P62	P64	PD1	PCA	PC1	P95	P92	TDO	TMS	TRSTX	VSS
C	VCC	PA1	PA2	P61	P63	PD2	PCC	PC5	PC0	P93	P90	TDI	P20	UDP1
D	PA5	PA4	PA6	PA7	PA3	P6E	PCE	PC6	PC2	P94	P91	P22	P21	UDM1
E	VSS	P50	P51	P52	PA8	P65	PCF	PC7	PC3	P26	P25	P24	P23	USBV CC1
F	PA9	PAA	PAB	PAC	PAD	PAE	PD0	PC9	PC4	P2A	P29	P28	P27	PB5
G	VSS	PAF	P08	P09	P0A	P30	VSS	VSS	P1F	P1E	PB7	PB6	PB4	P1B
H	VCC	P32	P34	P31	VSS	P35	VSS	VSS	P18	PB2	P1D	P19	P1C	P1A
J	P33	P39	P38	P37	P36	P71	VSS	P74	PB1	PB0	P17	P16	P15	PB3
K	P3A	P3B	P3C	P3D	PF0	PF1	VSS	P73	P75	P79	P14	P12	P11	P13
L	P3E	P5D	P5E	P43	P7D	P70	VSS	P72	PF7	P78	P10	AVRH	AVRL	VSS
M	VSS	P5F	P42	P44	P7E	P49	VSS	PF3	PF6	P7A	P7C	AVSS	AVCC	VCC
N	VCC	P40	P41	P45	INITX	P48	VSS	PF2	PF4	P77	P7B	MD0	MD1	VSS
P		C	VSS	VCC	X0A	X1A	VSS	VBAT	PF5	P76	VSS	X0	X1	

PFBGA-192

5. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
1	1	1	C1	VCC									-	-
2	2	2	B2	PA0	RTO20_0 (PPG20_0)	TIOA8_0	AIN2_0	INT00_0	MADATA00_0				G	K
3	3	3	C2	PA1	RTO21_0 (PPG20_0)	TIOA9_0	BIN2_0	MADATA01_0					G	I
4	4	4	C3	PA2	RTO22_0 (PPG22_0)	TIOA10_0	ZIN2_0	MADATA02_0					G	I
5	5	5	D5	PA3	RTO23_0 (PPG22_0)	TIOA11_0	MADATA03_0						G	I
6	6	6	D2	PA4	RTO24_0 (PPG24_0)	TIOA12_0	MADATA04_0						G	I
7	7	7	D1	PA5	SIN1_0	RTO25_0 (PPG24_0)	TIOA13_0	INT01_0	MADATA05_0				G	K
8	8	8	D3	PA6	SOT1_0 (SDA1_0)	DTTI2X_0	MADATA06_0						E	I
9	9	9	D4	PA7	SCK1_0 (SCL1_0)	IC20_0	MADATA07_0						E	I
10	10	-	E2	P50	SCS72_0	RTO00_1 (PPG00_1)	TIOA8_2	MADATA16_0					E	I
11	11	-	E3	P51	SCS73_0	RTO01_1 (PPG00_1)	TIOB8_2	MADATA17_0					E	I
12	12	-	E4	P52	RTO02_1 (PPG02_1)	TIOA9_2	MADATA18_0						E	I
13	-	-	-	P53	RTO03_1 (PPG02_1)	TIOB9_2	MADATA19_0						E	I
14	13	10	E5	PA8	SIN7_0	IC21_0	INT02_0	WKUP1	MADATA08_0				I	Q
15	14	11	F1	PA9	SOT7_0 (SDA7_0)	IC22_0	MADATA09_0						N	I
16	15	12	F2	PAA	SCK7_0 (SCL7_0)	IC23_0	IC23_0	MADATA10_0					N	I
17	16	13	F3	PAB	SCS70_0	RX0_0	FRCK2_0	INT03_0	MADATA11_0				E	K
18	17	14	F4	PAC	SCS71_0	TX0_0	TIOB8_0	AIN3_0	MADATA12_0				E	I
19	-	-	-	P54	SIN15_1	RTO04_1 (PPG04_1)	TIOA10_2	INT00_2	MADATA20_0				E	K
20	-	-	-	P55	SOT15_1 (SDA15_1)	RTO05_1 (PPG04_1)	TIOB10_2	MADATA21_0					E	I
21	-	-	-	P56	SCK15_1 (SCL15_1)	DTTI0X_1	TIOB0_1	MADATA22_0					E	I
22	-	-	-	P57	IC00_1	TIOB1_1	MADATA23_0						E	I
23	18	15	F5	PAD	SCK3_0 (SCL3_0)	TIOB9_0	BIN3_0	MADATA13_0					N	I
24	19	16	F6	PAE	ADTG_0	SOT3_0 (SDA3_0)	TIOB10_0	ZIN3_0	MADATA14_0				N	I
25	20	17	G2	PAF	SIN3_0	TIOB11_0	INT16_0	MADATA15_0	INT02_2				I	K
26	-	-	-	P58	SIN11_1	IC01_1	TIOB2_1	MADATA24_0					E	K

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
27	-	-	-	P59	SOT11_1 (SDA11_1)	IC02_1	TIOB3_1	MADATA25_0					E	I
28	-	-	-	P5A	SCK11_1 (SCL11_1)	IC03_1	TIOB4_1	MADATA26_0					E	I
29	-	-	-	P5B	FRCK0_1	TIOB5_1	MADATA27_0						E	I
30	21	18	G3	P08	SIN14_0	TIOB12_0	INT17_0	MDQM0_0					E	K
31	22	19	G4	P09	SOT14_0 (SDA14_0)	TIOB13_0	INT18_0	MDQM1_0					E	K
32	23	20	G5	P0A	ADTG_1	SCK14_0 (SCL14_0)	AIN2_1	MCLKOUT_0					L	I
33	-	-	-	P5C	TIOA11_2	MADATA28_0	RTCCO_1	SUBOUT_1					E	I
34	24	-	G6	P30	RX0_1	TIOA13_2	INT03_2	MDQM2_0	I2SDI0_0				E	K
35	25	-	H4	P31	TX0_1	TIOB13_2	MDQM3_0	I2SCK0_0					E	I
36	26	21	H2	P32	BIN2_1	INT19_0	S_DATA1_0						L	K
37	27	22	J1	P33	FRCK0_0	ZIN2_1	S_DATA0_0						L	I
38	28	23	H3	P34	IC03_0	INT00_1	S_CLK_0						L	K
39	29	24	H1	VCC									-	-
40	30	25	H5	VSS									-	-
41	31	26	H6	P35	IC02_0	INT01_1	S_CMD_0						L	K
42	32	27	J5	P36	IC01_0	INT02_1	S_DATA3_0						L	K
43	33	28	J4	P37	IC00_0	INT03_1	S_DATA2_0						L	K
44	34	29	J3	P38	ADTG_2	DTTIOX_0	S_WP_0						E	I
45	35	30	J2	P39	SIN2_1	RTO00_0 (PPG00_0)	TIOA0_1	AIN3_1	INT16_1	S_CD_0	MAD24_0		G	K
46	36	31	K1	P3A	SOT2_1 (SDA2_1)	RTO01_0 (PPG00_0)	TIOA1_1	BIN3_1	INT17_1	MAD23_0			G	K
47	37	32	K2	P3B	SCK2_1 (SCL2_1)	RTO02_0 (PPG02_0)	TIOA2_1	ZIN3_1	INT18_1	MAD22_0	MNALE_0		G	K
48	38	33	K3	P3C	SIN13_0	RTO03_0 (PPG02_0)	TIOA3_1	INT19_1	MAD21_0	MNCLE_0			G	K
49	39	34	K4	P3D	SOT13_0 (SDA13_0)	RTO04_0 (PPG04_0)	TIOA4_1	MAD20_0	MNWEX_0				G	I
50	40	35	L1	P3E	SCK13_0 (SCL13_0)	RTO05_0 (PPG04_0)	TIOA5_1	MAD19_0	MNREX_0				G	I
51	41	-	L2	P5D	SIN10_1	TIOB11_2	INT01_2	MADATA29_0	I2SMCLK0_0				E	K
52	42	-	L3	P5E	SOT10_1 (SDA10_1)	TIOA12_2	MADATA30_0	I2SDO0_0					E	I

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
53	43	-	M2	P5F	SCK10_1 (SCL10_1)	TIOB12_2	MADATA31_0	I2SWS0_0					E	I
54	44	36	M1	VSS									-	-
55	45	37	N1	VCC									-	-
56	46	38	N2	P40	SIN3_1	RTO10_0 (PPG10_0)	TIOA0_0	AIN0_0	INT23_0	MCSX7_0			G	K
57	47	39	N3	P41	SOT3_1 (SDA3_1)	RTO11_0 (PPG10_0)	TIOA1_0	BIN0_0	MCSX6_0				G	I
58	48	40	M3	P42	SCK3_1 (SCL3_1)	RTO12_0 (PPG12_0)	TIOA2_0	ZIN0_0	MCSX5_0				G	I
59	49	41	L4	P43	SIN15_0	RTO13_0 (PPG12_0)	TIOA3_0	INT04_0	MCSX4_0				G	K
60	50	42	M4	P44	SOT15_0 (SDA15_0)	RTO14_0 (PPG14_0)	TIOA4_0	MCSX3_0					G	I
61	51	43	N4	P45	SCK15_0 (SCL15_0)	RTO15_0 (PPG14_0)	TIOA5_0	MCSX2_0					G	I
62	52	44	P2	C									-	-
63	53	45	P3	VSS									-	-
64	54	46	P4	VCC									-	-
65	-	-	-	P4A	SIN12_1	AIN0_1	INT04_2						E	K
66	-	-	-	P4B	SOT12_1 (SDA12_1)	BIN0_1							E	I
67	-	-	-	P4C	SCK12_1 (SCL12_1)	ZIN0_1							E	I
68	-	-	-	P4D	SCS72_1	RX2_2	INT05_2						E	K
69	-	-	-	P4E	SCS73_1	TX2_2							E	I
70	55	47	L5	P7D	SCK1_1 (SCL1_1)	RX2_0	DTT11X_0	INT05_0	WKUP2	MCSX1_0			L	Q
71	56	48	M5	P7E	ADTG_7	TX2_0	FRCK1_0	MCSX0_0					L	I
72	57	49	N5	INITX									B	C
73	58	50	P5	P46	X0A								P	S
74	59	51	P6	P47	X1A								Q	T
75	60	52	P8	VBAT									-	-
76	61	53	N6	P48	VREGCTL								O	U
77	62	54	M6	P49	VWAKEUP								O	U
78	63	-	K5	PF0	SCS63_0	RX2_1	FRCK1_1	TIOA15_1	INT22_1				E	K
79	64	-	K6	PF1	SCS62_0	TX2_1	TIOB15_1	INT23_1					E	K
80	65	55	L6	P70	ADTG_8	SIN1_1	INT06_0	MRDY_0					I	K
81	66	56	J6	P71	SOT1_1 (SDA1_1)	MAD00_0							E	I
82	67	57	L8	P72	SIN9_0	TIOB0_0	INT07_0	MAD01_0					E	K
83	68	58	K8	P73	SOT9_0 (SDA9_0)	TIOB1_0	MAD02_0						E	I
84	69	59	J8	P74	SCK9_0 (SCL9_0)	TIOB2_0	MAD03_0						E	I

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
85	70	-	N8	PF2	RTO10_1 (PPG10_1)	TIOA6_1	MRASX_0						L	I
86	71	-	M8	PF3	RTO11_1 (PPG10_1)	TIOB6_1	INT05_1	MCASX_0					L	K
87	72	-	N9	PF4	RTO12_1 (PPG12_1)	TIOA7_1	INT06_1	MSDWEX_0					L	K
88	73	-	P9	PF5	RTO13_1 (PPG12_1)	TIOB7_1	INT07_1	MCSX8_0					L	K
89	74	-	M9	PF6	RTO14_1 (PPG14_1)	TIOA14_1	INT20_1	MSDCKE_0					L	K
90	75	-	L9	PF7	RTO15_1 (PPG14_1)	TIOB14_1	INT21_1	MSDCLK_0					L	K
91	76	60	K9	P75	SIN8_0	TIOB3_0	AIN1_0	INT20_0	MAD04_0				E	K
92	77	61	P10	P76	SOT8_0 (SDA8_0)	TIOB4_0	BIN1_0	MAD05_0					E	I
93	78	62	N10	P77	SCK8_0 (SCL8_0)	TIOB5_0	ZIN1_0	MAD06_0					E	I
94	-	-	-	PF8	SCS70_1	DTT11X_1	AIN1_1						E	I
95	-	-	-	PF9	SCS71_1	IC10_1	BIN1_1						E	I
96	79	63	L10	P78	SIN6_0	IC10_0	INT21_0	MAD07_0					E	K
97	80	64	K10	P79	SOT6_0 (SDA6_0)	IC11_0	MAD08_0						L	I
98	81	65	M10	P7A	SCK6_0 (SCL6_0)	IC12_0	MAD09_0						L	I
99	82	66	N11	P7B	DA1	SCS60_0	IC13_0	INT22_0					R	J
100	83	67	M11	P7C	DA0	SCS61_0	INT04_1						R	J
101	-	-	-	PFA	SCK7_1 (SCL7_1)	IC11_1	ZIN1_1						E	I
102	-	-	-	PFB	SOT7_1 (SDA7_1)	IC12_1	INT07_2						E	K
103	-	-	-	PFC	SIN7_1	IC13_1	INT06_2						E	K
104	84	68	N13	PE0	MD1								C	E
105	85	69	N12	MD0									J	D
106	86	70	P12	PE2	X0								A	A
107	87	71	P13	PE3	X1								A	B
108	88	72	N14	VSS									-	-
109	89	73	M14	VCC									-	-
110	90	74	M13	AVCC									-	-
111	91	75	M12	AVSS									-	-
112	92	76	L13	AVRL									-	-
113	93	77	L12	AVRH									-	-
114	94	78	L11	P10	AN00	SIN10_0	TIOA0_2	AIN0_2	INT08_0				F	M
115	95	79	K13	P11	AN01	SOT10_0 (SDA10_0)	TIOB0_2	BIN0_2					F	L
116	96	80	K12	P12	AN02	SCK10_0 (SCL10_0)	TIOA1_2	ZIN0_2					F	L
117	97	81	K14	P13	AN03	SIN6_1	RX1_1	INT25_1					F	M

端子番号				端子名	端子機能							入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192										
118	98	82	K11	P14	AN04	SOT6_1 (SDA6_1)	TX1_1					F	L
119	-	-	-	PB8	ADTG_6	SCS63_1	INT08_2	TRACED8				E	O
120	-	-	-	PB9	SIN9_1	AIN2_2	INT09_2	TRACED9				E	O
121	-	-	-	PBA	SOT9_1 (SDA9_1)	BIN2_2	TRACED10					E	N
122	-	-	-	PBB	SCK9_1 (SCL9_1)	ZIN2_2	TRACED11					E	N
123	99	83	J13	P15	AN05	SIN11_0	TIOB1_2	AIN1_2	INT09_0			F	M
124	100	84	J12	P16	AN06	SOT11_0 (SDA11_0)	TIOA2_2	BIN1_2				F	L
125	101	85	J11	P17	AN07	SCK11_0 (SCL11_0)	TIOB2_2	ZIN1_2				F	L
126	102	-	J10	PB0	AN16	SCK6_1 (SCL6_1)	TIOA9_1					F	L
127	103	-	J9	PB1	AN17	SCS60_1	TIOB9_1	INT08_1				F	M
128	104	-	H10	PB2	AN18	SCS61_1	TIOA10_1	INT09_1				F	M
129	105	-	J14	PB3	AN19	SCS62_1	TIOB10_1					F	L
130	106	86	H9	P18	AN08	SIN2_0	TIOA3_2	INT10_0				F	M
131	107	87	H12	P19	AN09	SOT2_0 (SDA2_0)	TIOB3_2	INT24_1	TRACECLK			F	O
132	108	88	H14	P1A	AN10	SCK2_0 (SCL2_0)	TIOA4_2	TRACED0				F	N
133	109	89	G14	P1B	AN11	SIN12_0	TIOB4_2	INT11_0	TRACED1			F	O
134	110	90	H13	P1C	AN12	SOT12_0 (SDA12_0)	TIOA5_2	TRACED2				F	N
135	111	91	H11	P1D	AN13	SCK12_0 (SCL12_0)	TIOB5_2	TRACED3				F	N
136	-	-	-	VSS								-	-
137	-	-	-	VCC								-	-
138	112	-	G13	PB4	AN20	SIN8_1	TIOA11_1	INT10_1	TRACED4			F	O
139	113	-	F14	PB5	AN21	SOT8_1 (SDA8_1)	TIOB11_1	INT11_1	TRACED5			F	O
140	114	-	G12	PB6	AN22	SCK8_1 (SCL8_1)	TIOA12_1	TRACED6				F	N
141	115	-	G11	PB7	AN23	TIOB12_1	TRACED7					F	N
142	116	92	G10	P1E	AN14	TIOA8_1	INT26_1	MAD10_0				F	M
143	117	93	G9	P1F	AN15	RTS5_0	TIOB8_1	INT27_1	MAD11_0			F	M
144	118	94	F10	P2A	AN24	CTS5_0	MAD12_0					F	L
145	119	95	F11	P29	AN25	SCK5_0 (SCL5_0)	MAD13_0					F	L
146	120	96	F12	P28	AN26	SOT5_0 (SDA5_0)	MAD14_0					F	L
147	121	97	F13	P27	AN27	SIN5_0	INT24_0	MAD15_0				F	M
148	-	-	-	PBC	TX1_2	TRACED12						E	N
149	-	-	-	PBD	SCK0_1 (SCL0_1)	RX1_2	AIN3_2	INT10_2	TRACED13			E	O
150	-	-	-	PBE	SOT0_1 (SDA0_1)	BIN3_2	TRACED14					E	N
151	-	-	-	PBF	SIN0_1	ZIN3_2	INT11_2	TRACED15				E	O
152	122	98	E10	P26	TX1_0	MAD16_0						E	I

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
153	123	99	E11	P25	AN28	RX1_0	INT25_0	MAD17_0					F	M
154	124	100	E12	P24	AN29	TIOA13_1	MAD18_0						F	L
155	125	101	E13	P23	UHCONX1	AN30	SCK0_0 (SCL0_0)	TIOB13_1					F	L
156	126	102	D12	P22	AN31	SOT0_0 (SDA0_0)	INT26_0						F	M
157	127	103	D13	P21	ADTG_4	SIN0_0	INT27_0	CROUT_0					I	K
158	128	104	C13	P20	NMIX	WKUP0							I	F
159	129	105	E14	USBV CC1									-	-
160	130	106	D14	P82	UDM1								H	R
161	131	107	C14	P83	UDP1								H	R
162	132	108	B14	VSS									-	-
163	133	109	A13	VCC									-	-
164	134	110	B13	P00	TRSTX								E	G
165	135	111	A12	P01	TCK	SWCLK							E	G
166	136	112	C12	P02	TDI								E	G
167	137	113	B12	P03	TMS	SWDIO							E	G
168	138	114	B11	P04	TDO	SWO							E	G
169	139	-	C11	P90	INT12_1	Q_IO3_0							S	K
170	140	-	D11	P91	SIN5_1	INT13_1	Q_IO2_0						S	K
171	141	-	B10	P92	SOT5_1 (SDA5_1)	INT14_1	Q_IO1_0						S	K
172	142	-	C10	P93	SCK5_1 (SCL5_1)	INT15_1	Q_IO0_0						S	K
173	143	-	D10	P94	CTS5_1	Q_SCK_0							S	I
174	144	-	B9	P95	RTS5_1	Q_CS0_0							S	I
175	-	-	-	P96	RX0_2	INT12_2	Q_CS1_0						S	K
176	-	-	-	P97	TX0_2	INT13_2	Q_CS2_0						S	K
177	145	115	C9	PC0	E_RXER								K	V
178	146	116	B8	PC1	TIOB6_0	E_RX03							K	V
179	147	117	D9	PC2	TIOA6_0	E_RX02							K	V
180	148	118	E9	PC3	TIOB7_0	E_RX01							K	V
181	149	119	F9	PC4	TIOA7_0	E_RX00							K	V
182	150	120	C8	PC5	TIOB14_0	E_RXDV							K	V
183	151	121	D8	PC6	TIOA14_0	E_MDIO							K	V
184	152	122	E8	PC7	INT13_0	E_MDC	CROUT_1						E	W
185	153	123	A10	PC8	E_RXCK	REFCK							K	V
186	154	124	F8	PC9	TIOB15_0	E_COL							K	V
187	155	125	B7	PCA	TIOA15_0	E_CRS							K	V
188	156	126	A9	ETHVCC									-	-
189	157	127	A8	VSS									-	-
190	158	128	A7	PCB	INT28_0	E_COUT							L	W
191	159	129	C7	PCC	E_TCK								K	V
192	160	130	A6	PCD	SOT4_1 (SDA4_1)	INT14_0	E_TXER						L	W
193	161	131	D7	PCE	SIN4_1	INT15_0	E_TX03						L	W
194	162	132	E7	PCF	RTS4_1	INT12_0	E_TX02						L	W
195	163	133	F7	PD0	INT30_1	E_TX01							L	W
196	164	134	B6	PD1	INT31_1	E_TX00							L	W
197	165	135	C6	PD2	CTS4_1	FRCK2_1	E_TXEN						L	V

端子番号				端子名	端子機能						入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192									
198	166	136	D6	P6E	ADTG_5	SCK4_1 (SCL4_1)	IC23_1	INT29_0	E_PPS		E	W
199	-	-	-	P6D	SCK14_1 (SCL14_1)	IC22_1	TIOB6_2				E	I
200	-	-	-	P6C	SOT14_1 (SDA14_1)	IC21_1	TIOA6_2				E	I
201	-	-	-	P6B	SIN14_1	IC20_1	TIOB7_2	INT14_2			E	K
202	-	-	-	P6A	DTTI2X_1	TIOA7_2					E	I
203	-	-	-	P69	RTO20_1 (PPG20_1)	TIOB14_2					E	I
204	-	-	-	P68	SCK13_1 (SCL13_0)	RTO21_1 (PPG20_1)	TIOA14_2				E	I
205	-	-	-	P67	SOT13_1 (SDA13_1)	RTO22_1 (PPG22_1)	TIOB15_2				E	I
206	-	-	-	P66	SIN13_1	RTO23_1 (PPG22_1)	TIOA15_2	INT15_2			E	K
207	167	-	E6	P65	RTO24_1 (PPG24_1)	INT28_1					E	K
208	168	-	B5	P64	CTS4_0	RTO25_1 (PPG24_1)	INT29_1				I	K
209	169	137	C5	P63	ADTG_3	RTS4_0	INT30_0	MOEX_0			L	K
210	170	138	B4	P62	SCK4_0 (SCL4_0)	MWEX_0					L	I
211	171	139	C4	P61	UHCONX0	SOT4_0 (SDA4_0)	MALE_0	RTCCO_0	SUBOUT_0		L	I
212	172	140	B3	P60	SIN4_0	INT31_0	WKUP3				I	Q
213	173	141	A4	USBVCC0							-	-
214	174	142	A3	P80	UDM0						H	R
215	175	143	A2	P81	UDP0						H	R

端子番号				端子名	端子機能								入出力回路形式	端子状態形式
LQ216	LQ176	LQ144	LBE192											
216	176	144	B1	VSS									-	-
-	-	-	E1										-	-
-	-	-	G1										-	-
-	-	-	P7										-	-
-	-	-	P11										-	-
-	-	-	L14										-	-
-	-	-	A11										-	-
-	-	-	A5										-	-
-	-	-	N7										-	-
-	-	-	M7										-	-
-	-	-	L7										-	-
-	-	-	K7										-	-
-	-	-	J7										-	-
--	-	-	G7										-	-
-	-	-	H7										-	-
-	-	-	H8										-	-
-	-	-	G8										-	-

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	24	19	16	F6
	ADTG_1		32	23	20	G5
	ADTG_2		44	34	29	J3
	ADTG_3		209	169	137	C5
	ADTG_4		157	127	103	D13
	ADTG_5		198	166	136	D6
	ADTG_6		119	-	-	-
	ADTG_7		71	56	48	M5
	ADTG_8		80	65	55	L6
	AN00	A/D コンバータアナログ入力端子 ANxx は ADC ch.xx を示す。	114	94	78	L11
	AN01		115	95	79	K13
	AN02		116	96	80	K12
	AN03		117	97	81	K14
	AN04		118	98	82	K11
	AN05		123	99	83	J13
	AN06		124	100	84	J12
	AN07		125	101	85	J11
	AN08		130	106	86	H9
	AN09		131	107	87	H12
	AN10		132	108	88	H14
	AN11		133	109	89	G14
	AN12		134	110	90	H13
	AN13		135	111	91	H11
	AN14		142	116	92	G10
	AN15		143	117	93	G9
	AN16		126	102	-	J10
	AN17		127	103	-	J9
	AN18		128	104	-	H10
	AN19		129	105	-	J14
	AN20		138	112	-	G13
	AN21		139	113	-	F14
	AN22		140	114	-	G12
	AN23		141	115	-	G11
	AN24		144	118	94	F10
	AN25		145	119	95	F11
	AN26		146	120	96	F12
	AN27		147	121	97	F13
	AN28		153	123	99	E11
	AN29		154	124	100	E12
	AN30		155	125	101	E13
	AN31		156	126	102	D12

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	56	46	38	N2
	TIOA0_1		45	35	30	J2
	TIOA0_2		114	94	78	L11
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	82	67	57	L8
	TIOB0_1		21	-	-	-
	TIOB0_2		115	95	79	K13
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	57	47	39	N3
	TIOA1_1		46	36	31	K1
	TIOA1_2		116	96	80	K12
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	83	68	58	K8
	TIOB1_1		22	-	-	-
	TIOB1_2		123	99	83	J13
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	58	48	40	M3
	TIOA2_1		47	37	32	K2
	TIOA2_2		124	100	84	J12
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	84	69	59	J8
	TIOB2_1		26	-	-	-
	TIOB2_2		125	101	85	J11
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	59	49	41	L4
	TIOA3_1		48	38	33	K3
	TIOA3_2		130	106	86	H9
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	91	76	60	K9
	TIOB3_1		27	-	-	-
	TIOB3_2		131	107	87	H12
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	60	50	42	M4
	TIOA4_1		49	39	34	K4
	TIOA4_2		132	108	88	H14
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	92	77	61	P10
	TIOB4_1		28	-	-	-
	TIOB4_2		133	109	89	G14
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	61	51	43	N4
	TIOA5_1		50	40	35	L1
	TIOA5_2		134	110	90	H13
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	93	78	62	N10
	TIOB5_1		29	-	-	-
	TIOB5_2		135	111	91	H11
ベース タイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	179	147	117	D9
	TIOA6_1		85	70	-	N8
	TIOA6_2		200	-	-	-
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	178	146	116	B8
	TIOB6_1		86	71	-	M8
	TIOB6_2		199	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	181	149	119	F9
	TIOA7_1		87	72	-	N9
	TIOA7_2		202	-	-	-
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	180	148	118	E9
	TIOB7_1		88	73	-	P9
	TIOB7_2		201	-	-	-
ベース タイマ 8	TIOA8_0	ベースタイマ ch.8 の TIOA 端子	2	2	2	B2
	TIOA8_1		142	116	92	G10
	TIOA8_2		10	10	-	E2
	TIOB8_0	ベースタイマ ch.8 の TIOB 端子	18	17	14	F4
	TIOB8_1		143	117	93	G9
	TIOB8_2		11	11	-	E3
ベース タイマ 9	TIOA9_0	ベースタイマ ch.9 の TIOA 端子	3	3	3	C2
	TIOA9_1		126	102	-	J10
	TIOA9_2		12	12	-	E4
	TIOB9_0	ベースタイマ ch.9 の TIOB 端子	23	18	15	F5
	TIOB9_1		127	103	-	J9
	TIOB9_2		13	-	-	-
ベース タイマ 10	TIOA10_0	ベースタイマ ch.10 の TIOA 端子	4	4	4	C3
	TIOA10_1		128	104	-	H10
	TIOA10_2		19	-	-	-
	TIOB10_0	ベースタイマ ch.10 の TIOB 端子	24	19	16	F6
	TIOB10_1		129	105	-	J14
	TIOB10_2		20	-	-	-
ベース タイマ 11	TIOA11_0	ベースタイマ ch.11 の TIOA 端子	5	5	5	D5
	TIOA11_1		138	112	-	G13
	TIOA11_2		33	-	-	-
	TIOB11_0	ベースタイマ ch.11 の TIOB 端子	25	20	17	G2
	TIOB11_1		139	113	-	F14
	TIOB11_2		51	41	-	L2
ベース タイマ 12	TIOA12_0	ベースタイマ ch.12 の TIOA 端子	6	6	6	D2
	TIOA12_1		140	114	-	G12
	TIOA12_2		52	42	-	L3
	TIOB12_0	ベースタイマ ch.12 の TIOB 端子	30	21	18	G3
	TIOB12_1		141	115	-	G11
	TIOB12_2		53	43	-	M2

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
ベース タイマ 13	TIOA13_0	ベースタイマ ch.13 の TIOA 端子	7	7	7	D1
	TIOA13_1		154	124	100	E12
	TIOA13_2		34	24	-	G6
	TIOB13_0	ベースタイマ ch.13 の TIOB 端子	31	22	19	G4
	TIOB13_1		155	125	101	E13
	TIOB13_2		35	25	-	H4
ベース タイマ 14	TIOA14_0	ベースタイマ ch.14 の TIOA 端子	183	151	121	D8
	TIOA14_1		89	74	-	M9
	TIOA14_2		204	-	-	-
	TIOB14_0	ベースタイマ ch.14 の TIOB 端子	182	150	120	C8
	TIOB14_1		90	75	-	L9
	TIOB14_2		203	-	-	-
ベース タイマ 15	TIOA15_0	ベースタイマ ch.15 の TIOA 端子	187	155	125	B7
	TIOA15_1		78	63	-	K5
	TIOA15_2		206	-	-	-
	TIOB15_0	ベースタイマ ch.15 の TIOB 端子	186	154	124	F8
	TIOB15_1		79	64	-	K6
	TIOB15_2		205	-	-	-
CAN 0	TX0_0	CAN インタフェース ch.0 の TX 出力端子	18	17	14	F4
	TX0_1		35	25	-	H4
	TX0_2		176	-	-	-
	RX0_0	CAN インタフェース ch.0 の RX 入力端子	17	16	13	F3
	RX0_1		34	24	-	G6
	RX0_2		175	-	-	-
CAN 1	TX1_0	CAN インタフェース ch.1 の TX 出力端子	152	122	98	E10
	TX1_1		118	98	82	K11
	TX1_2		148	-	-	-
	RX1_0	CAN インタフェース ch.1 の RX 入力端子	153	123	99	E11
	RX1_1		117	97	81	K14
	RX1_2		149	-	-	-
CAN 2 (CAN-FD)	TX2_0	CAN-FD インタフェース ch.2 の TX 出力端子	71	56	48	M5
	TX2_1		79	64	-	K6
	TX2_2		69	-	-	-
	RX2_0	CAN-FD インタフェース ch.2 の RX 入力端子	70	55	47	L5
	RX2_1		78	63	-	K5
	RX2_2		68	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
デバッグ	SWCLK	シリアルワイヤデバッグインタフェース クロック入力端子	165	135	111	A12
	SWDIO	シリアルワイヤデバッグインタフェース データ入出力端子	167	137	113	B12
	SWO	シリアルワイヤビューワ出力端子	168	138	114	B11
	TCK	JTAG テストクロック入力端子	165	135	111	A12
	TDI	JTAG テストデータ入力端子	166	136	112	C12
	TDO	JTAG デバッグデータ出力端子	168	138	114	B11
	TMS	JTAG テストモード状態出力端子	167	137	113	B12
	TRACECLK	ETM/HTM のトレース CLK 出力端子	131	107	87	H12
	TRACED0	ETM のトレースデータ出力端子/ HTM のトレースデータ出力端子	132	108	88	H14
	TRACED1		133	109	89	G14
	TRACED2		134	110	90	H13
	TRACED3		135	111	91	H11
	TRACED4	HTM のトレースデータ出力端子	138	112	-	G13
	TRACED5		139	113	-	F14
	TRACED6		140	114	-	G12
	TRACED7		141	115	-	G11
	TRACED8		119	-	-	-
	TRACED9		120	-	-	-
	TRACED10		121	-	-	-
	TRACED11		122	-	-	-
	TRACED12		148	-	-	-
	TRACED13		149	-	-	-
	TRACED14		150	-	-	-
	TRACED15		151	-	-	-
	TRSTX	JTAG テストリセット入力端子	164	134	110	B13

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
外部バス	MAD00_0	外部バスインタフェースアドレスバス	81	66	56	J6
	MAD01_0		82	67	57	L8
	MAD02_0		83	68	58	K8
	MAD03_0		84	69	59	J8
	MAD04_0		91	76	60	K9
	MAD05_0		92	77	61	P10
	MAD06_0		93	78	62	N10
	MAD07_0		96	79	63	L10
	MAD08_0		97	80	64	K10
	MAD09_0		98	81	65	M10
	MAD10_0		142	116	92	G10
	MAD11_0		143	117	93	G9
	MAD12_0		144	118	94	F10
	MAD13_0		145	119	95	F11
	MAD14_0		146	120	96	F12
	MAD15_0		147	121	97	F13
	MAD16_0		152	122	98	E10
	MAD17_0		153	123	99	E11
	MAD18_0		154	124	100	E12
	MAD19_0		50	40	35	L1
	MAD20_0		49	39	34	K4
	MAD21_0		48	38	33	K3
	MAD22_0		47	37	32	K2
	MAD23_0		46	36	31	K1
	MAD24_0		45	35	30	J2
	MCSX0_0	外部バスインタフェースチップセレクト出力端子	71	56	48	M5
	MCSX1_0		70	55	47	L5
	MCSX2_0		61	51	43	N4
	MCSX3_0		60	50	42	M4
	MCSX4_0		59	49	41	L4
	MCSX5_0		58	48	40	M3
	MCSX6_0		57	47	39	N3
	MCSX7_0		56	46	38	N2
	MCSX8_0		88	73	-	P9

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
外部バス	MADATA00_0	外部バスインタフェースデータバス	2	2	2	B2
	MADATA01_0		3	3	3	C2
	MADATA02_0		4	4	4	C3
	MADATA03_0		5	5	5	D5
	MADATA04_0		6	6	6	D2
	MADATA05_0		7	7	7	D1
	MADATA06_0		8	8	8	D3
	MADATA07_0		9	9	9	D4
	MADATA08_0		14	13	10	E5
	MADATA09_0		15	14	11	F1
	MADATA10_0		16	15	12	F2
	MADATA11_0		17	16	13	F3
	MADATA12_0		18	17	14	F4
	MADATA13_0		23	18	15	F5
	MADATA14_0		24	19	16	F6
	MADATA15_0		25	20	17	G2
	MADATA16_0		10	-	-	-
	MADATA17_0		11	-	-	-
	MADATA18_0		12	-	-	-
	MADATA19_0		13	-	-	-
	MADATA20_0		19	-	-	-
	MADATA21_0		20	-	-	-
	MADATA22_0		21	-	-	-
	MADATA23_0		22	-	-	-
	MADATA24_0		26	-	-	-
	MADATA25_0		27	-	-	-
	MADATA26_0		28	-	-	-
	MADATA27_0		29	-	-	-
	MADATA28_0		33	-	-	-
	MADATA29_0		51	-	-	-
	MADATA30_0		52	-	-	-
	MADATA31_0		53	-	-	-
	MDQM0_0	外部バスインタフェースバイトマスク 出力信号	30	21	18	G3
	MDQM1_0		31	22	19	G4
	MDQM2_0		34	-	-	-
	MDQM3_0		35	-	-	-
	MALE_0	マルチプレクス時アドレスラッチ イネーブル信号	211	171	139	C4
	MRDY_0	外部 RDY 入力信号	80	65	55	L6
	MCLKOUT_0	外部バスクロック出力	32	23	20	G5

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
外部バス	MNALE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース ALE 信号	47	37	32	K2
	MNCLE_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェース CLE 信号	48	38	33	K3
	MNREX_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェースリード許可信号	50	40	35	L1
	MNWEX_0	NAND フラッシュ出力端子をコントロールする外部バスインタフェースライト許可信号	49	39	34	K4
	MOEX_0	SRAM の外部バスインタフェースリード許可信号	209	169	137	C5
	MWEX_0	SRAM の外部バスインタフェースライト許可信号	210	170	138	B4
	MSDCLK_0	SDRAM インタフェース SDRAM クロック出力端子	90	75	-	L9
	MSDCKE_0	SDRAM インタフェース SDRAM クロックイネーブル出力端子	89	74	-	M9
	MRASX_0	SDRAM インタフェース SDRAM ロウアクティブ出力端子	85	70	-	N8
	MCASX_0	SDRAM インタフェース SDRAM カラムアクティブ出力端子	86	71	-	M8
	MSDWEX_0	SDRAM インタフェース SDRAM ライトイネーブル出力端子	87	72	-	N9
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	2	2	B2
	INT00_1		38	28	23	H3
	INT00_2		19	-	-	-
	INT01_0	外部割込み要求 01 の入力端子	7	7	7	D1
	INT01_1		41	31	26	H6
	INT01_2		51	41	-	L2
	INT02_0	外部割込み要求 02 の入力端子	14	13	10	E5
	INT02_1		42	32	27	J5
	INT02_2		26	-	-	-
	INT03_0	外部割込み要求 03 の入力端子	17	16	13	F3
	INT03_1		43	33	28	J4
	INT03_2		34	24	-	G6
	INT04_0	外部割込み要求 04 の入力端子	59	49	41	L4
	INT04_1		100	83	67	M11
	INT04_2		65	-	-	-
	INT05_0	外部割込み要求 05 の入力端子	70	55	47	L5
	INT05_1		86	71	-	M8
	INT05_2		68	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
外部 割込み	INT06_0	外部割込み要求 06 の入力端子	80	65	55	L6
	INT06_1		87	72	-	N9
	INT06_2		103	-	-	-
	INT07_0	外部割込み要求 07 の入力端子	82	67	57	L8
	INT07_1		88	73	-	P9
	INT07_2		102	-	-	-
	INT08_0	外部割込み要求 08 の入力端子	114	94	78	L11
	INT08_1		127	103	-	J9
	INT08_2		119	-	-	-
	INT09_0	外部割込み要求 09 の入力端子	123	99	83	J13
	INT09_1		128	104	-	H10
	INT09_2		120	-	-	-
	INT10_0	外部割込み要求 10 の入力端子	130	106	86	H9
	INT10_1		138	112	-	G13
	INT10_2		149	-	-	-
	INT11_0	外部割込み要求 11 の入力端子	133	109	89	G14
	INT11_1		139	113	-	F14
	INT11_2		151	-	-	-
	INT12_0	外部割込み要求 12 の入力端子	194	162	132	E7
	INT12_1		169	139	-	C11
	INT12_2		175	-	-	-
	INT13_0	外部割込み要求 13 の入力端子	184	152	122	E8
	INT13_1		170	140	-	D11
	INT13_2		176	-	-	-
	INT14_0	外部割込み要求 14 の入力端子	192	160	130	A6
	INT14_1		171	141	-	B10
	INT14_2		201	-	-	-
	INT15_0	外部割込み要求 15 の入力端子	193	161	131	D7
	INT15_1		172	142	-	C10
	INT15_2		206	-	-	-
	INT16_0	外部割込み要求 16 の入力端子	25	20	17	G2
	INT16_1		45	35	30	J2
	INT17_0	外部割込み要求 17 の入力端子	30	21	18	G3
	INT17_1		46	36	31	K1
	INT18_0	外部割込み要求 18 の入力端子	31	22	19	G4
	INT18_1		47	37	32	K2
	INT19_0	外部割込み要求 19 の入力端子	36	26	21	H2
	INT19_1		48	38	33	K3
	INT20_0	外部割込み要求 20 の入力端子	91	76	60	K9
	INT20_1		89	74	-	M9

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
外部 割込み	INT21_0	外部割込み要求 21 の入力端子	96	79	63	L10
	INT21_1		90	75	-	L9
	INT22_0	外部割込み要求 22 の入力端子	99	82	66	N11
	INT22_1		78	63	-	K5
	INT23_0	外部割込み要求 23 の入力端子	56	46	38	N2
	INT23_1		79	64	-	K6
	INT24_0	外部割込み要求 24 の入力端子	147	121	97	F13
	INT24_1		131	107	87	H12
	INT25_0	外部割込み要求 25 の入力端子	153	123	99	E11
	INT25_1		117	97	81	K14
	INT26_0	外部割込み要求 26 の入力端子	156	126	102	D12
	INT26_1		142	116	92	G10
	INT27_0	外部割込み要求 27 の入力端子	157	127	103	D13
	INT27_1		143	117	93	G9
	INT28_0	外部割込み要求 28 の入力端子	190	158	128	A7
	INT28_1		207	167	-	E6
	INT29_0	外部割込み要求 29 の入力端子	198	166	136	D6
	INT29_1		208	168	-	B5
	INT30_0	外部割込み要求 30 の入力端子	209	169	137	C5
	INT30_1		195	163	133	F7
	INT31_0	外部割込み要求 31 の入力端子	212	172	140	B3
	INT31_1		196	164	134	B6
	NMIX	ノンマスカブル割込み入力端子	158	128	104	C13

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	P00	汎用入出力ポート 0	164	134	110	B13
	P01		165	135	111	A12
	P02		166	136	112	C12
	P03		167	137	113	B12
	P04		168	138	114	B11
	P08		30	21	18	G3
	P09		31	22	19	G4
	P0A		32	23	20	G5
	P10	汎用入出力ポート 1	114	94	78	L11
	P11		115	95	79	K13
	P12		116	96	80	K12
	P13		117	97	81	K14
	P14		118	98	82	K11
	P15		123	99	83	J13
	P16		124	100	84	J12
	P17		125	101	85	J11
	P18		130	106	86	H9
	P19		131	107	87	H12
	P1A		132	108	88	H14
	P1B		133	109	89	G14
	P1C		134	110	90	H13
	P1D		135	111	91	H11
	P1E		142	116	92	G10
	P1F		143	117	93	G9
	P20	汎用入出力ポート 2	158	128	104	C13
	P21		157	127	103	D13
	P22		156	126	102	D12
	P23		155	125	101	E13
	P24		154	124	100	E12
	P25		153	123	99	E11
	P26		152	122	98	E10
	P27		147	121	97	F13
	P28		146	120	96	F12
	P29		145	119	95	F11
	P2A		144	118	94	F10

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	P30	汎用入出力ポート 3	34	24	-	G6
	P31		35	25	-	H4
	P32		36	26	21	H2
	P33		37	27	22	J1
	P34		38	28	23	H3
	P35		41	31	26	H6
	P36		42	32	27	J5
	P37		43	33	28	J4
	P38		44	34	29	J3
	P39		45	35	30	J2
	P3A		46	36	31	K1
	P3B		47	37	32	K2
	P3C		48	38	33	K3
	P3D		49	39	34	K4
	P3E		50	40	35	L1
	P40	汎用入出力ポート 4	56	46	38	N2
	P41		57	47	39	N3
	P42		58	48	40	M3
	P43		59	49	41	L4
	P44		60	50	42	M4
	P45		61	51	43	N4
	P46		73	58	50	P5
	P47		74	59	51	P6
	P48		76	61	53	N6
	P49		77	62	54	M6
	P4A		65	-	-	-
	P4B		66	-	-	-
	P4C		67	-	-	-
	P4D		68	-	-	-
	P4E		69	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	P50	汎用入出力ポート 5	10	10	-	E2
	P51		11	11	-	E3
	P52		12	12	-	E4
	P53		13	-	-	-
	P54		19	-	-	-
	P55		20	-	-	-
	P56		21	-	-	-
	P57		22	-	-	-
	P58		26	-	-	-
	P59		27	-	-	-
	P5A		28	-	-	-
	P5B		29	-	-	-
	P5C		33	-	-	-
	P5D		51	41	-	L2
	P5E		52	42	-	L3
	P5F		53	43	-	M2
	P60	汎用入出力ポート 6	212	172	140	B3
	P61		211	171	139	C4
	P62		210	170	138	B4
	P63		209	169	137	C5
	P64		208	168	-	B5
	P65		207	167	-	E6
	P66		206	-	-	-
	P67		205	-	-	-
	P68		204	-	-	-
	P69		203	-	-	-
	P6A		202	-	-	-
	P6B		201	-	-	-
	P6C		200	-	-	-
	P6D		199	-	-	-
	P6E		198	166	136	D6

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	P70	汎用入出力ポート 7	80	65	55	L6
	P71		81	66	56	J6
	P72		82	67	57	L8
	P73		83	68	58	K8
	P74		84	69	59	J8
	P75		91	76	60	K9
	P76		92	77	61	P10
	P77		93	78	62	N10
	P78		96	79	63	L10
	P79		97	80	64	K10
	P7A		98	81	65	M10
	P7B		99	82	66	N11
	P7C		100	83	67	M11
	P7D		70	55	47	L5
	P7E		71	56	48	M5
	P80	汎用入出力ポート 8	214	174	142	A3
	P81		215	175	143	A2
	P82		160	130	106	D14
	P83		161	131	107	C14
	P90	汎用入出力ポート 9	169	139	-	C11
	P91		170	140	-	D11
	P92		171	141	-	B10
	P93		172	142	-	C10
	P94		173	143	-	D10
	P95		174	144	-	B9
	P96		175	-	-	-
	P97		176	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	PA0	汎用入出力ポート A	2	2	2	B2
	PA1		3	3	3	C2
	PA2		4	4	4	C3
	PA3		5	5	5	D5
	PA4		6	6	6	D2
	PA5		7	7	7	D1
	PA6		8	8	8	D3
	PA7		9	9	9	D4
	PA8		14	13	10	E5
	PA9		15	14	11	F1
	PAA		16	15	12	F2
	PAB		17	16	13	F3
	PAC		18	17	14	F4
	PAD		23	18	15	F5
	PAE		24	19	16	F6
	PAF		25	20	17	G2
	PB0	汎用入出力ポート B	126	102	-	J10
	PB1		127	103	-	J9
	PB2		128	104	-	H10
	PB3		129	105	-	J14
	PB4		138	112	-	G13
	PB5		139	113	-	F14
	PB6		140	114	-	G12
	PB7		141	115	-	G11
	PB8		119	-	-	-
	PB9		120	-	-	-
	PBA		121	-	-	-
	PBB		122	-	-	-
	PBC		148	-	-	-
	PBD		149	-	-	-
	PBE		150	-	-	-
	PBF		151	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
GPIO	PC0	汎用入出力ポート C	177	145	115	C9
	PC1		178	146	116	B8
	PC2		179	147	117	D9
	PC3		180	148	118	E9
	PC4		181	149	119	F9
	PC5		182	150	120	C8
	PC6		183	151	121	D8
	PC7		184	152	122	E8
	PC8		185	153	123	A10
	PC9		186	154	124	F8
	PCA		187	155	125	B7
	PCB		190	158	128	A7
	PCC		191	159	129	C7
	PCD		192	160	130	A6
	PCE		193	161	131	D7
	PCF		194	162	132	E7
	PD0	汎用入出力ポート D	195	163	133	F7
	PD1		196	164	134	B6
	PD2		197	165	135	C6
	PE0	汎用入出力ポート E	104	84	68	N13
	PE2		106	86	70	P12
	PE3		107	87	71	P13
	PF0	汎用入出力ポート F	78	63	-	K5
	PF1		79	64	-	K6
	PF2		85	70	-	N8
	PF3		86	71	-	M8
	PF4		87	72	-	N9
	PF5		88	73	-	P9
	PF6		89	74	-	M9
	PF7		90	75	-	L9
	PF8		94	-	-	-
	PF9		95	-	-	-
	PFA		101	-	-	-
	PFB		102	-	-	-
	PFC		103	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
マルチ ファンク ション シリアル 0	SIN0_0	マルチファンクションシリアルインタ フェース ch.0 の入力端子	157	127	103	D13
	SIN0_1		151	-	-	-
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタ フェース ch.0 の出力端子。	156	126	102	D12
	SOT0_1 (SDA0_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	150	-	-	-
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタ フェース ch.0 のクロック I/O 端子。	155	125	101	E13
	SCK0_1 (SCL0_1)	CSIO 端子(動作モード 2)として使用する ときは SCK0 として、I ² C 端子(動作モー ド 4)として使用するときは SCL0 として 機能します。	149	-	-	-
マルチ ファンク ション シリアル 1	SIN1_0	マルチファンクションシリアルインタ フェース ch.1 の入力端子	7	7	7	D1
	SIN1_1		80	65	55	L6
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタ フェース ch.1 の出力端子。	8	8	8	D3
	SOT1_1 (SDA1_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	81	66	56	J6
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタ フェース ch.1 のクロック I/O 端子。	9	9	9	D4
	SCK1_1 (SCL1_1)	CSIO 端子(動作モード 2)として使用する ときは SCK1 として、I ² C 端子(動作モー ド 4)として使用するときは SCL1 として 機能します。	70	55	47	L5
マルチ ファンク ション シリアル 2	SIN2_0	マルチファンクションシリアルインタ フェース ch.2 の入力端子	130	106	86	H9
	SIN2_1		45	35	30	J2
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタ フェース ch.2 の出力端子。	131	107	87	H12
	SOT2_1 (SDA2_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	46	36	31	K1
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタ フェース ch.2 のクロック I/O 端子。	132	108	88	H14
	SCK2_1 (SCL2_1)	CSIO 端子(動作モード 2)として使用する ときは SCK2 として、I ² C 端子(動作モー ド 4)として使用するときは SCL2 として 機能します。	47	37	32	K2
マルチ ファンク ション シリアル 3	SIN3_0	マルチファンクションシリアルインタ フェース ch.3 の入力端子	25	20	17	G2
	SIN3_1		56	46	38	N2
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタ フェース ch.3 の出力端子。	24	19	16	F6
	SOT3_1 (SDA3_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	57	47	39	N3
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタ フェース ch.3 のクロック I/O 端子。	23	18	15	F5
	SCK3_1 (SCL3_1)	CSIO 端子(動作モード 2)として使用する ときは SCK3 として、I ² C 端子(動作モー ド 4)として使用するときは SCL3 として 機能します。	58	48	40	M3

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
マルチ ファンク ション シリアル 4	SIN4_0	マルチファンクションシリアルインタ フェース ch.4 の入力端子	212	172	140	B3
	SIN4_1		193	161	131	D7
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタ フェース ch.4 の出力端子。	211	171	139	C4
	SOT4_1 (SDA4_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときには SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。	192	160	130	A6
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタ フェース ch.4 のクロック I/O 端子。	210	170	138	B4
	SCK4_1 (SCL4_1)	CSIO 端子(動作モード 2)として使用する ときは SCK4 として、I ² C 端子(動作モー ド 4)として使用するときは SCL4 として 機能します。	198	166	136	D6
	CTS4_0	マルチファンクションシリアルインタ フェース ch.4 の CTS 入力端子	208	168	-	B5
	CTS4_1		197	165	135	C6
	RTS4_0	マルチファンクションシリアルインタ フェース ch.4 の RTS 出力端子	209	169	137	C5
	RTS4_1		194	162	132	E7
マルチ ファンク ション シリアル 5	SIN5_0	マルチファンクションシリアルインタ フェース ch.5 の入力端子	147	121	97	F13
	SIN5_1		170	140	-	D11
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタ フェース ch.5 の出力端子。	146	120	96	F12
	SOT5_1 (SDA5_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときには SOT5 として、I ² C 端子(動作モード 4)として使用するときは SDA5 として機能します。	171	141	-	B10
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタ フェース ch.5 のクロック I/O 端子。	145	119	95	F11
	SCK5_1 (SCL5_1)	CSIO 端子(動作モード 2)として使用する ときは SCK5 として、I ² C 端子(動作モー ド 4)として使用するときは SCL5 として 機能します。	172	142	-	C10
	CTS5_0	マルチファンクションシリアルインタ フェース ch.5 の CTS 入力端子	144	118	94	F10
	CTS5_1		173	143	-	D10
	RTS5_0	マルチファンクションシリアルインタ フェース ch.5 の RTS 出力端子	143	117	93	G9
	RTS5_1		174	144	-	B9

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
マルチ ファンク ション シリアル 6	SIN6_0	マルチファンクションシリアルインタ フェース ch.6 の入力端子	96	79	63	L10
	SIN6_1		117	97	81	K14
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタ フェース ch.6 の出力端子。	97	80	64	K10
	SOT6_1 (SDA6_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときには SOT6 として、I ² C 端子(動作モード 4)として使用するときは SDA6 として機能します。	118	98	82	K11
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタ フェース ch.6 のクロック I/O 端子。	98	81	65	M10
	SCK6_1 (SCL6_1)	CSIO 端子(動作モード 2)として使用する ときは SCK6 として、I ² C 端子(動作モー ド 4)として使用するときは SCL6 として 機能します。	126	102	-	J10
	SCS60_0	マルチファンクションシリアルインタ フェース ch.6 のチップセレクト 0 入出力 端子	99	82	66	N11
	SCS60_1		127	103	-	J9
	SCS61_0	マルチファンクションシリアルインタ フェース ch.6 のチップセレクト 1 入出力 端子	100	83	67	M11
	SCS61_1		128	104	-	H10
	SCS62_0	マルチファンクションシリアルインタ フェース ch.6 のチップセレクト 2 入出力 端子	79	64	-	K6
	SCS62_1		129	105	-	J14
	SCS63_0	マルチファンクションシリアルインタ フェース ch.6 のチップセレクト 3 出力端 子	78	63	-	K5
	SCS63_1		119	-	-	-
マルチ ファンク ション シリアル 7	SIN7_0	マルチファンクションシリアルインタ フェース ch.7 の入力端子	14	13	10	E5
	SIN7_1		103	-	-	-
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタ フェース ch.7 の出力端子。	15	14	11	F1
	SOT7_1 (SDA7_1)	UART/CSIO/LIN 端子(動作モード 0~3) として使用するときには SOT7 として、I ² C 端子(動作モード 4)として使用するときは SDA7 として機能します。	102	-	-	-
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタ フェース ch.7 のクロック I/O 端子。	16	15	12	F2
	SCK7_1 (SCL7_1)	CSIO 端子(動作モード 2)として使用する ときは SCK7 として、I ² C 端子(動作モー ド 4)として使用するときは SCL7 として 機能します。	101	-	-	-
	SCS70_0	マルチファンクションシリアルインタ フェース ch.7 のチップセレクト 0 入出力 端子	17	16	13	F3
	SCS70_1		94	-	-	-
	SCS71_0	マルチファンクションシリアルインタ フェース ch.7 のチップセレクト 1 入出力 端子	18	17	14	F4
	SCS71_1		95	-	-	-
	SCS72_0	マルチファンクションシリアルインタ フェース ch.7 のチップセレクト 2 入出力 端子	10	10	-	E2
	SCS72_1		68	-	-	-
	SCS73_0	マルチファンクションシリアルインタ フェース ch.7 のチップセレクト 3 出力端 子	11	11	-	E3
	SCS73_1		69	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
マルチファンクションシリアル 8	SIN8_0	マルチファンクションシリアルインタフェース ch.8 の入力端子	91	76	60	K9
	SIN8_1		138	112	-	G13
	SOT8_0 (SDA8_0)	マルチファンクションシリアルインタフェース ch.8 の出力端子。	92	77	61	P10
	SOT8_1 (SDA8_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT8 として、I ² C 端子(動作モード 4)として使用するときには SDA8 として機能します。	139	113	-	F14
	SCK8_0 (SCL8_0)	マルチファンクションシリアルインタフェース ch.8 のクロック I/O 端子。	93	78	62	N10
	SCK8_1 (SCL8_1)	CSIO 端子(動作モード 2)として使用するときには SCK8 として、I ² C 端子(動作モード 4)として使用するときには SCL8 として機能します。	140	114	-	G12
マルチファンクションシリアル 9	SIN9_0	マルチファンクションシリアルインタフェース ch.9 の入力端子	82	67	57	L8
	SIN9_1		120	-	-	-
	SOT9_0 (SDA9_0)	マルチファンクションシリアルインタフェース ch.9 の出力端子。	83	68	58	K8
	SOT9_1 (SDA9_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT9 として、I ² C 端子(動作モード 4)として使用するときには SDA9 として機能します。	121	-	-	-
	SCK9_0 (SCL9_0)	マルチファンクションシリアルインタフェース ch.9 のクロック I/O 端子。	84	69	59	J8
	SCK9_1 (SCL9_1)	CSIO 端子(動作モード 2)として使用するときには SCK9 として、I ² C 端子(動作モード 4)として使用するときには SCL9 として機能します。	122	-	-	-
マルチファンクションシリアル 10	SIN10_0	マルチファンクションシリアルインタフェース ch.10 の入力端子	114	94	78	L11
	SIN10_1		51	41	-	L2
	SOT10_0 (SDA10_0)	マルチファンクションシリアルインタフェース ch.10 の出力端子。	115	95	79	K13
	SOT10_1 (SDA10_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT10 として、I ² C 端子(動作モード 4)として使用するときには SDA10 として機能します。	52	42	-	L3
	SCK10_0 (SCL10_0)	マルチファンクションシリアルインタフェース ch.10 のクロック I/O 端子。	116	96	80	K12
	SCK10_1 (SCL10_1)	CSIO 端子(動作モード 2)として使用するときには SCK10 として、I ² C 端子(動作モード 4)として使用するときには SCL10 として機能します。	53	43	-	M2
マルチファンクションシリアル 11	SIN11_0	マルチファンクションシリアルインタフェース ch.11 の入力端子	123	99	83	J13
	SIN11_1		26	-	-	-
	SOT11_0 (SDA11_0)	マルチファンクションシリアルインタフェース ch.11 の出力端子。	124	100	84	J12
	SOT11_1 (SDA11_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT11 として、I ² C 端子(動作モード 4)として使用するときには SDA11 として機能します。	27	-	-	-
	SCK11_0 (SCL11_0)	マルチファンクションシリアルインタフェース ch.11 のクロック I/O 端子。	125	101	85	J11
	SCK11_1 (SCL11_1)	CSIO 端子(動作モード 2)として使用するときには SCK11 として、I ² C 端子(動作モード 4)として使用するときには SCL11 として機能します。	28	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
マルチファンクションシリアル 12	SIN12_0	マルチファンクションシリアルインタフェース ch.12 の入力端子	133	109	89	G14
	SIN12_1		65	-	-	-
	SOT12_0 (SDA12_0)	マルチファンクションシリアルインタフェース ch.12 の出力端子。	134	110	90	H13
	SOT12_1 (SDA12_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT12 として、I ² C 端子(動作モード 4)として使用するときは SDA12 として機能します。	66	-	-	-
	SCK12_0 (SCL12_0)	マルチファンクションシリアルインタフェース ch.12 のクロック I/O 端子。	135	111	91	H11
	SCK12_1 (SCL12_1)	CSIO 端子(動作モード 2)として使用するときは SCK12 として、I ² C 端子(動作モード 4)として使用するときは SCL12 として機能します。	67	-	-	-
マルチファンクションシリアル 13	SIN13_0	マルチファンクションシリアルインタフェース ch.13 の入力端子	48	38	33	K3
	SIN13_1		206	-	-	-
	SOT13_0 (SDA13_0)	マルチファンクションシリアルインタフェース ch.13 の出力端子。	49	39	34	K4
	SOT13_1 (SDA13_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT13 として、I ² C 端子(動作モード 4)として使用するときは SDA13 として機能します。	205	-	-	-
	SCK13_0 (SCL13_0)	マルチファンクションシリアルインタフェース ch.13 のクロック I/O 端子。	50	40	35	L1
	SCK13_1 (SCL13_1)	CSIO 端子(動作モード 2)として使用するときは SCK13 として、I ² C 端子(動作モード 4)として使用するときは SCL13 として機能します。	204	-	-	-
マルチファンクションシリアル 14	SIN14_0	マルチファンクションシリアルインタフェース ch.14 の入力端子	30	21	18	G3
	SIN14_1		201	-	-	-
	SOT14_0 (SDA14_0)	マルチファンクションシリアルインタフェース ch.14 の出力端子。	31	22	19	G4
	SOT14_1 (SDA14_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT14 として、I ² C 端子(動作モード 4)として使用するときは SDA14 として機能します。	200	-	-	-
	SCK14_0 (SCL14_0)	マルチファンクションシリアルインタフェース ch.14 のクロック I/O 端子。	32	23	20	G5
	SCK14_1 (SCL14_1)	CSIO 端子(動作モード 2)として使用するときは SCK14 として、I ² C 端子(動作モード 4)として使用するときは SCL14 として機能します。	199	-	-	-
マルチファンクションシリアル 15	SIN15_0	マルチファンクションシリアルインタフェース ch.15 の入力端子	59	49	41	L4
	SIN15_1		19	-	-	-
	SOT15_0 (SDA15_0)	マルチファンクションシリアルインタフェース ch.15 の出力端子。	60	50	42	M4
	SOT15_1 (SDA15_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT15 として、I ² C 端子(動作モード 4)として使用するときは SDA15 として機能します。	20	-	-	-
	SCK15_0 (SCL15_0)	マルチファンクションシリアルインタフェース ch.15 のクロック I/O 端子。	61	51	43	N4
	SCK15_1 (SCL15_1)	CSIO 端子(動作モード 2)として使用するときは SCK15 として、I ² C 端子(動作モード 4)として使用するときは SCL15 として機能します。	21	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
多機能 タイマ 0	DTTIOX_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	44	34	29	J3
	DTTIOX_1		21	-	-	-
	FRCK0_0	16 ビットフリーランタイム ch.0 の外部クロック入力端子	37	27	22	J1
	FRCK0_1		29	-	-	-
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	43	33	28	J4
	IC00_1		22	-	-	-
	IC01_0		42	32	27	J5
	IC01_1		26	-	-	-
	IC02_0		41	31	26	H6
	IC02_1		27	-	-	-
	IC03_0		38	28	23	H3
	IC03_1		28	-	-	-
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	45	35	30	J2
	RTO00_1 (PPG00_1)		10	10	-	E2
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	46	36	31	K1
	RTO01_1 (PPG00_1)		11	11	-	E3
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	47	37	32	K2
	RTO02_1 (PPG02_1)		12	12	-	E4
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	48	38	33	K3
	RTO03_1 (PPG02_1)		13	-	-	-
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	49	39	34	K4
	RTO04_1 (PPG04_1)		19	-	-	-
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	50	40	35	L1
	RTO05_1 (PPG04_1)		20	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
多機能 タイマ 1	DTT1X_0	多機能タイマ 1 の RTO10~RTO15 出力を制御する波形ジェネレータの入力信号	70	55	47	L5
	DTT1X_1		94	-	-	-
	FRCK1_0	16 ビットフリーランタイム ch.1 の外部クロック入力端子	71	56	48	M5
	FRCK1_1		78	63	-	K5
	IC10_0	多機能タイマ 1 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	96	79	63	L10
	IC10_1		95	-	-	-
	IC11_0		97	80	64	K10
	IC11_1		101	-	-	-
	IC12_0		98	81	65	M10
	IC12_1		102	-	-	-
	IC13_0		99	82	66	N11
	IC13_1		103	-	-	-
	RTO10_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。	56	46	38	N2
	RTO10_1 (PPG10_1)		85	70	-	N8
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。	57	47	39	N3
	RTO11_1 (PPG10_1)		86	71	-	M8
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。	58	48	40	M3
	RTO12_1 (PPG12_1)		87	72	-	N9
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。	59	49	41	L4
	RTO13_1 (PPG12_1)		88	73	-	P9
	RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。	60	50	42	M4
	RTO14_1 (PPG14_1)		89	74	-	M9
	RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。	61	51	43	N4
	RTO15_1 (PPG14_1)		90	75	-	L9

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
多機能 タイマ 2	DTTI2X_0	多機能タイマ 2 の RTO20~RTO25 出力を制御する波形ジェネレータの入力信号	8	8	8	D3
	DTTI2X_1		202	-	-	-
	FRCK2_0	16 ビットフリーランタイム ch.2 の外部クロック入力端子	17	16	13	F3
	FRCK2_1		197	165	135	C6
	IC20_0	多機能タイマ 2 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	9	9	9	D4
	IC20_1		201	-	-	-
	IC21_0		14	13	10	E5
	IC21_1		200	-	-	-
	IC22_0		15	14	11	F1
	IC22_1		199	-	-	-
	IC23_0		16	15	12	F2
	IC23_1		198	166	136	D6
	RTO20_0 (PPG20_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG20 として機能します。	2	2	2	B2
	RTO20_1 (PPG20_1)		203	-	-	-
	RTO21_0 (PPG20_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG20 として機能します。	3	3	3	C2
	RTO21_1 (PPG20_1)		204	-	-	-
	RTO22_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG22 として機能します。	4	4	4	C3
	RTO22_1 (PPG22_1)		205	-	-	-
	RTO23_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG22 として機能します。	5	5	5	D5
	RTO23_1 (PPG22_1)		206	-	-	-
	RTO24_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG24 として機能します。	6	6	6	D2
	RTO24_1 (PPG24_1)		207	167	-	E6
	RTO25_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレータ出力端子。 PPG2 出力モードで使用するときは、PPG24 として機能します。	7	7	7	D1
	RTO25_1 (PPG24_1)		208	168	-	B5

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	56	46	38	N2
	AIN0_1		65	-	-	-
	AIN0_2		114	94	78	L11
	BIN0_0	QPRC ch.0 の BIN 入力端子	57	47	39	N3
	BIN0_1		66	-	-	-
	BIN0_2		115	95	79	K13
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	58	48	40	M3
	ZIN0_1		67	-	-	-
	ZIN0_2		116	96	80	K12
クアッド カウンタ 1	AIN1_0	QPRC ch.1 の AIN 入力端子	91	76	60	K9
	AIN1_1		94	-	-	-
	AIN1_2		123	99	83	J13
	BIN1_0	QPRC ch.1 の BIN 入力端子	92	77	61	P10
	BIN1_1		95	-	-	-
	BIN1_2		124	100	84	J12
	ZIN1_0	QPRC ch.1 の ZIN 入力端子	93	78	62	N10
	ZIN1_1		101	-	-	-
	ZIN1_2		125	101	85	J11
クアッド カウンタ 2	AIN2_0	QPRC ch.2 の AIN 入力端子	2	2	2	B2
	AIN2_1		32	23	20	G5
	AIN2_2		120	-	-	-
	BIN2_0	QPRC ch.2 の BIN 入力端子	3	3	3	C2
	BIN2_1		36	26	21	H2
	BIN2_2		121	-	-	-
	ZIN2_0	QPRC ch.2 の ZIN 入力端子	4	4	4	C3
	ZIN2_1		37	27	22	J1
	ZIN2_2		122	-	-	-
クアッド カウンタ 3	AIN3_0	QPRC ch.3 の AIN 入力端子	18	17	14	F4
	AIN3_1		45	35	30	J2
	AIN3_2		149	-	-	-
	BIN3_0	QPRC ch.3 の BIN 入力端子	23	18	15	F5
	BIN3_1		46	36	31	K1
	BIN3_2		150	-	-	-
	ZIN3_0	QPRC ch.3 の ZIN 入力端子	24	19	16	F6
	ZIN3_1		47	37	32	K2
	ZIN3_2		151	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
リアルタイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	211	171	139	C4
	RTCCO_1		33	-	-	-
	SUBOUT_0	サブクロック出力端子	211	171	139	C4
	SUBOUT_1		33	-	-	-
USB0	UDM0	USB ch.0 デバイス/ホストの D- 端子	214	174	142	A3
	UDP0	USB ch.0 デバイス/ホストの D+ 端子	215	175	143	A2
	UHCONX0	USB ch.0 外部プルアップ制御端子	211	171	139	C4
USB1	UDM1	USB ch.1 デバイス/ホストの D- 端子	160	130	106	D14
	UDP1	USB ch.1 デバイス/ホストの D+ 端子	161	131	107	C14
	UHCONX1	USB ch.1 外部プルアップ制御端子	155	125	101	E13
低消費電力	WKUP0	ディープスタンバイモード復帰信号入力端子 0	158	128	104	C13
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	14	13	10	E5
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	70	55	47	L5
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	212	172	140	B3
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端子	100	83	67	M11
	DA1	D/A コンバータ ch.1 のアナログ出力端子	99	82	66	N11
VBAT	VREGCTL	オンボードレギュレータ制御用端子	76	61	53	N6
	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	77	62	54	M6
SD I/F	S_CLK_0	SD メモリカードインタフェース SD クロック出力端子	38	28	23	H3
	S_CMD_0	SD メモリカードインタフェース SD コマンド出力端子	41	31	26	H6
	S_DATA1_0	SD メモリカードインタフェース SD データバス	36	26	21	H2
	S_DATA0_0		37	27	22	J1
	S_DATA3_0		42	32	27	J5
	S_DATA2_0		43	33	28	J4
	S_CD_0	SD メモリカードインタフェース SD カード検出端子	45	35	30	J2
	S_WP_0	SD メモリカードインタフェース SD ライトプロテクト端子	44	34	29	J3

端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
Ethernet	E_COL	衝突検出	186	154	124	F8
	E_COUT	EtherPHY へのクロック出力	190	158	128	A7
	E_CRS	キャリア検出	187	155	125	B7
	E_MDC	マネジメントクロック	184	152	122	E8
	E_MDIO	マネジメントデータ	183	151	121	D8
	E_PPS	PTP カウントモニタ	198	166	136	D6
	E_RX00	受信データ 0	181	149	119	F9
	E_RX01	受信データ 1	180	148	118	E9
	E_RX02	受信データ 2	179	147	117	D9
	E_RX03	受信データ 3	178	146	116	B8
	E_RXCK_REF CK	受信クロック入力/リファレンスクロ ック	185	153	123	A10
	E_RXDV	受信データ有効	182	150	120	C8
	E_RXER	受信エラー検出	177	145	115	C9
	E_TCK	送信クロック	191	159	129	C7
	E_TX00	送信データ 0	196	164	134	B6
	E_TX01	送信データ 1	195	163	133	F7
	E_TX02	送信データ 2	194	162	132	E7
	E_TX03	送信データ 3	193	161	131	D7
	E_TXEN	送信データ有効	197	165	135	C6
	E_TXER	送信データエラー	192	160	130	A6
I ² S	I2SMCLK0_0	I ² S 用外部クロック端子	51	41	-	L2
	I2SDO0_0	I ² S 用シリアル送信データ出力端子	52	42	-	L3
	I2SWS0_0	I ² S 用フレーム同期信号端子	53	43	-	M2
	I2SDI0_0	I ² S 用シリアル受信データ入力端子	34	24	-	G6
	I2SCK0_0	I ² S 用ビットクロック端子	35	25	-	H4
Hi-Speed Quad SPI	Q_SCK_0	SPI クロック出力端子	173	143	-	D10
	Q_IO0_0	SPI データ入出力端子	172	142	-	C10
	Q_IO1_0		171	141	-	B10
	Q_IO2_0		170	140	-	D11
	Q_IO3_0		169	139	-	C11
	Q_CS0_0	SPI チップセレクト出力端子	174	144	-	B9
	Q_CS1_0		175	-	-	-
	Q_CS2_0		176	-	-	-
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	72	57	49	N5
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時 は、MD0=L を入力してください。	104	84	68	N13
	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してくだ さい。フラッシュメモリのシリアル書込 み時は、MD0=H を入力してください。	105	85	69	N12

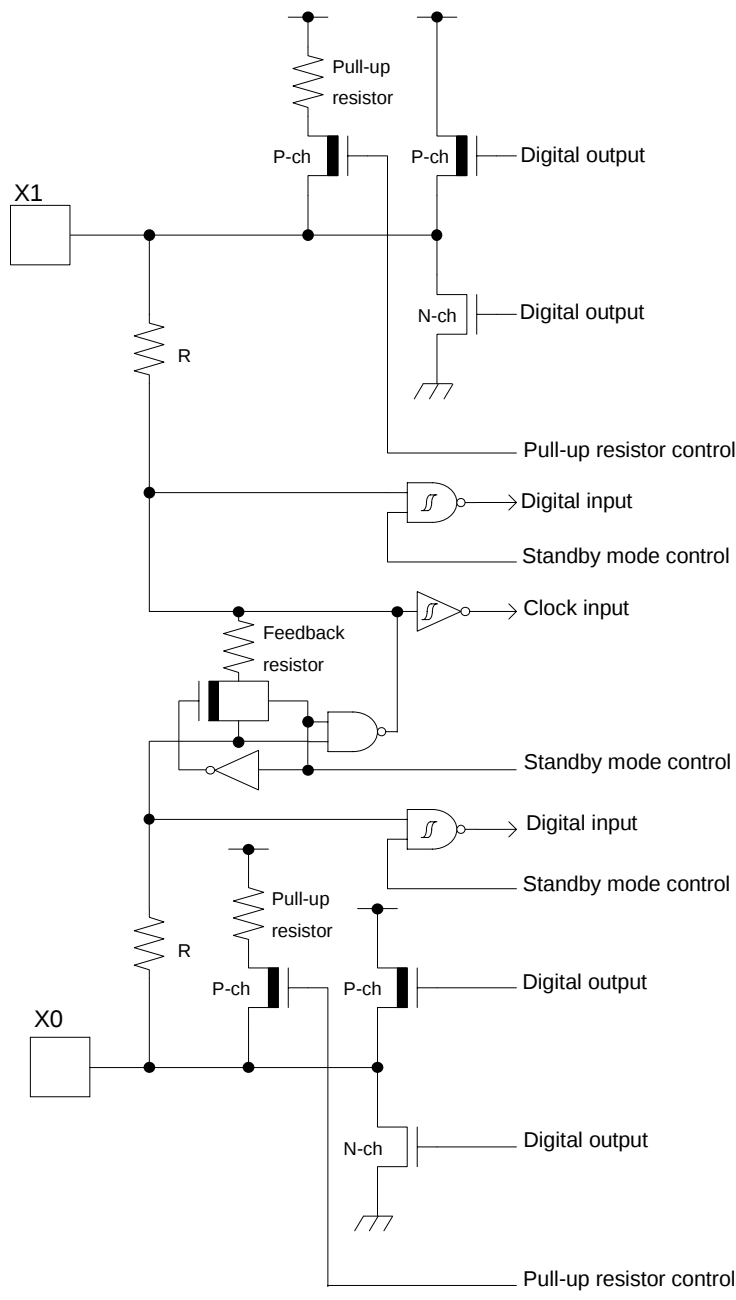
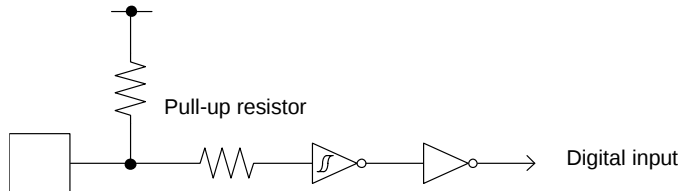
端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
Power	VCC	電源端子	1	1	1	C1
			39	29	24	H1
			55	45	37	N1
			64	54	46	P4
			109	89	73	M14
			137	-	-	-
			163	133	109	A13
	USBVCC0	USB I/O のための 3.3V 電源供給ポート	213	173	141	A4
	USBVCC1		159	129	105	E14
	ETHVCC	Ethernet I/O のための電源端子	188	156	126	A9
GND	VSS	GND 端子	40	30	25	H5
			54	44	36	M1
			63	53	45	P3
			108	88	72	N14
			136	-	-	-
			162	132	108	B14
			189	157	127	A8
			216	176	144	B1
			-	-	-	E1
			-	-	-	G1
			-	-	-	P7
			-	-	-	P11
			-	-	-	L14
			-	-	-	A11
			-	-	-	A5
			-	-	-	N7
			-	-	-	M7
			-	-	-	K7
			-	-	-	J7
			-	-	-	G7
			-	-	-	H7
			-	-	-	H8
			-	-	-	G8
Clock	X0	メインクロック(発振)入力端子	106	86	70	P12
	X1	メインクロック(発振)I/O 端子	107	87	71	P13
	X0A	サブクロック(発振)入力端子	73	58	50	P5
	X1A	サブクロック(発振)I/O 端子	74	59	51	P6
	CROUT_0	高速内蔵 CR 発振クロック出力ポート	157	127	103	D13
	CROUT_1		184	152	122	E8

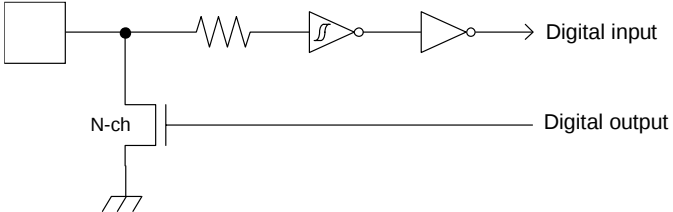
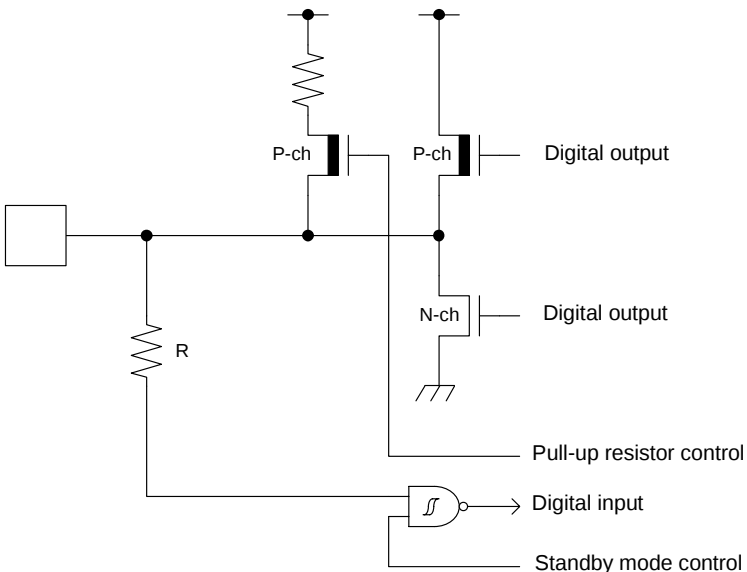
端子機能	端子名	機能説明	端子番号			
			LQQ 216	LQP 176	LQS 144	LBE 192
Analog Power	AVCC	A/D コンバータのアナログ電源端子	110	90	74	M13
	AVRL	A/D コンバータのアナログ基準電圧入力端子	112	92	76	L13
	AVRH	A/D コンバータのアナログ基準電圧入力端子	113	93	77	L12
VBAT Power	VBAT	VBAT 電源端子バックアップ電源(電池など)やシステム電源からの供給	75	60	52	P8
Analog GND	AVSS	A/D コンバータの GND 端子	111	91	75	M12
C 端子	C	電源安定化容量端子	62	52	44	P2

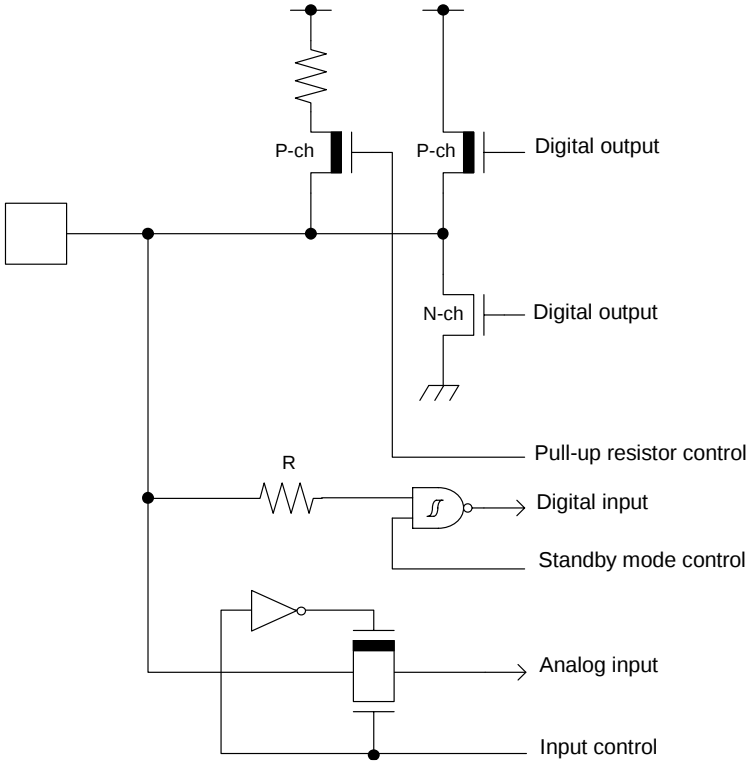
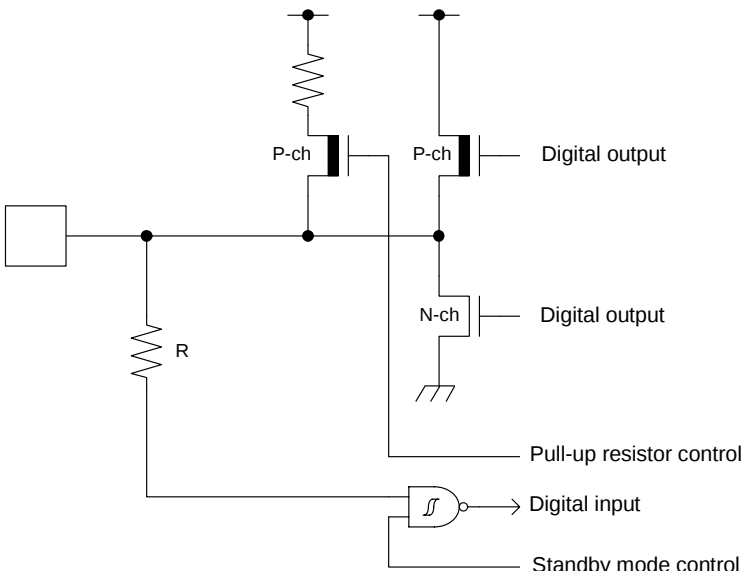
<注意事項>

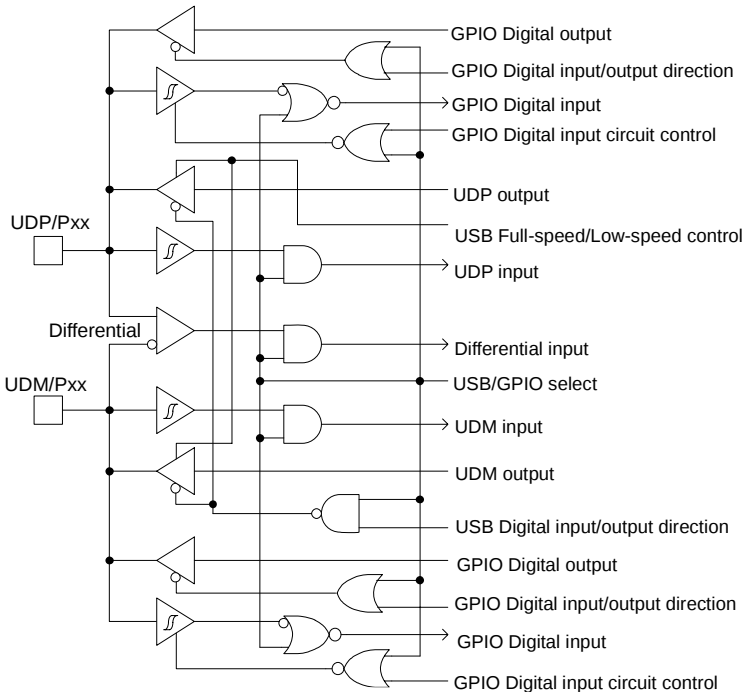
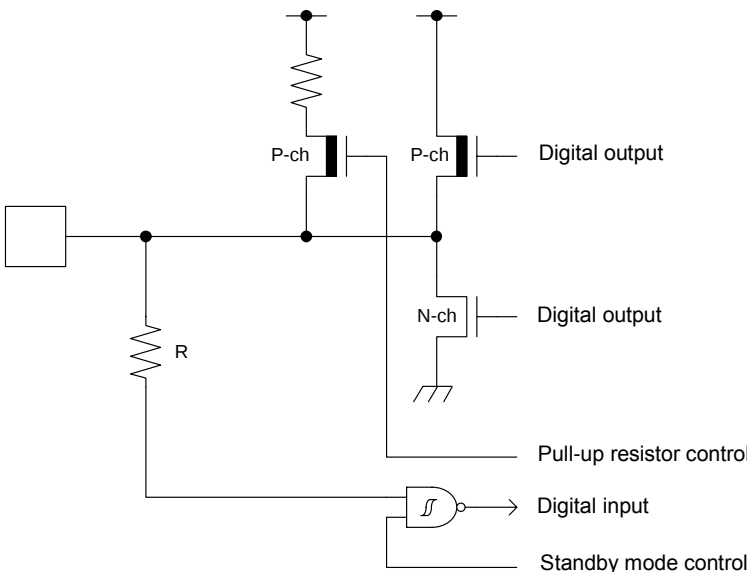
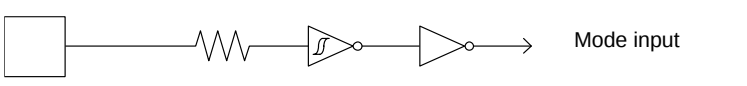
- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

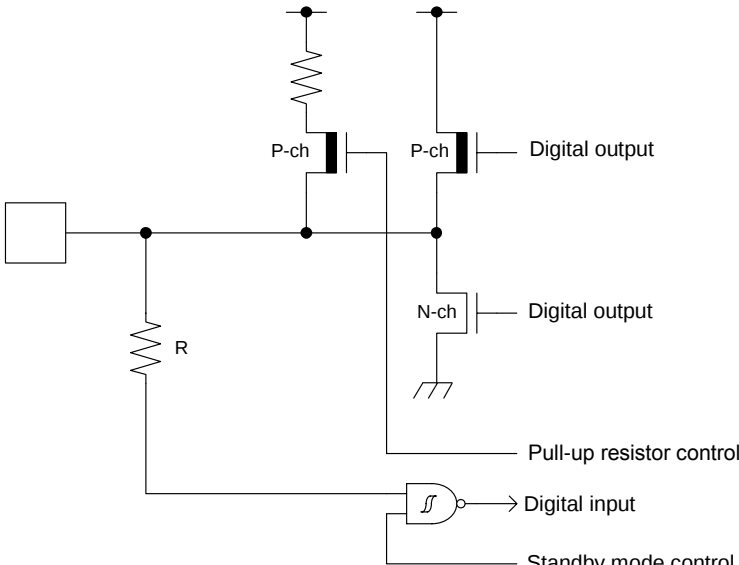
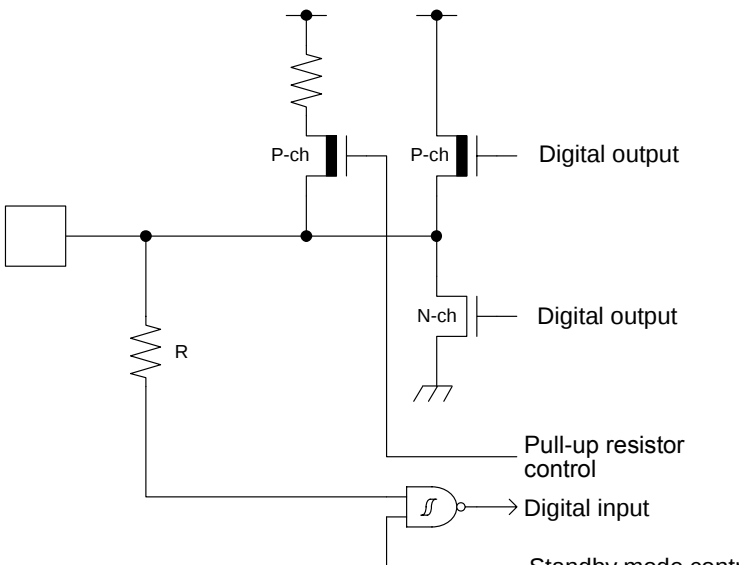
6. 入出力回路形式

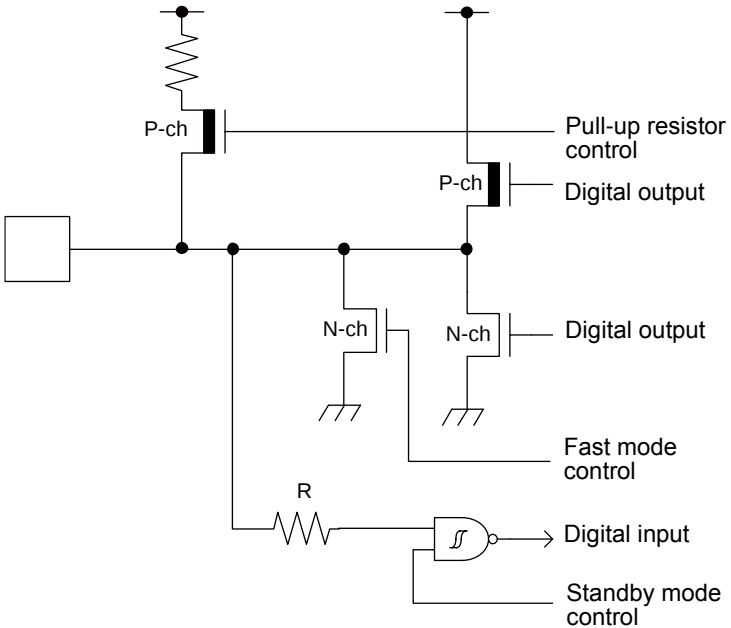
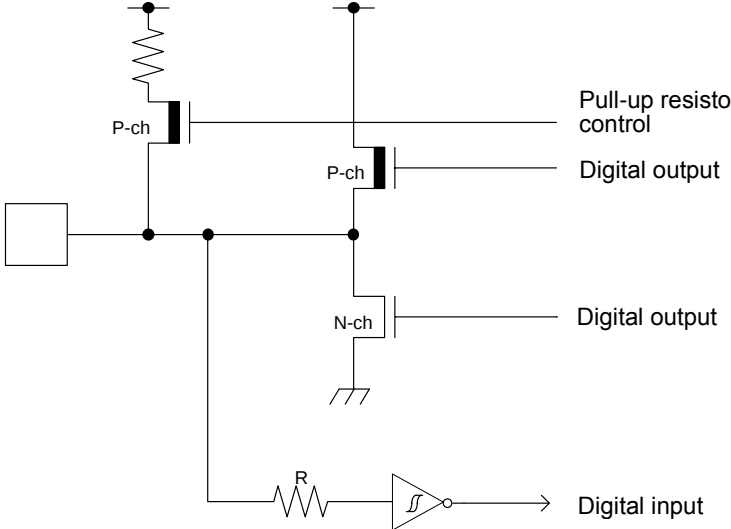
分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$
B		- CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 50 kΩ

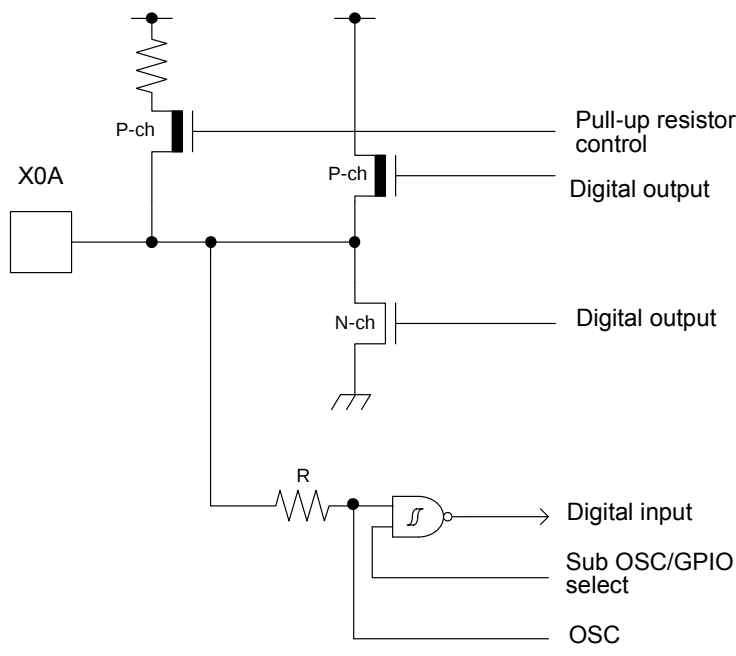
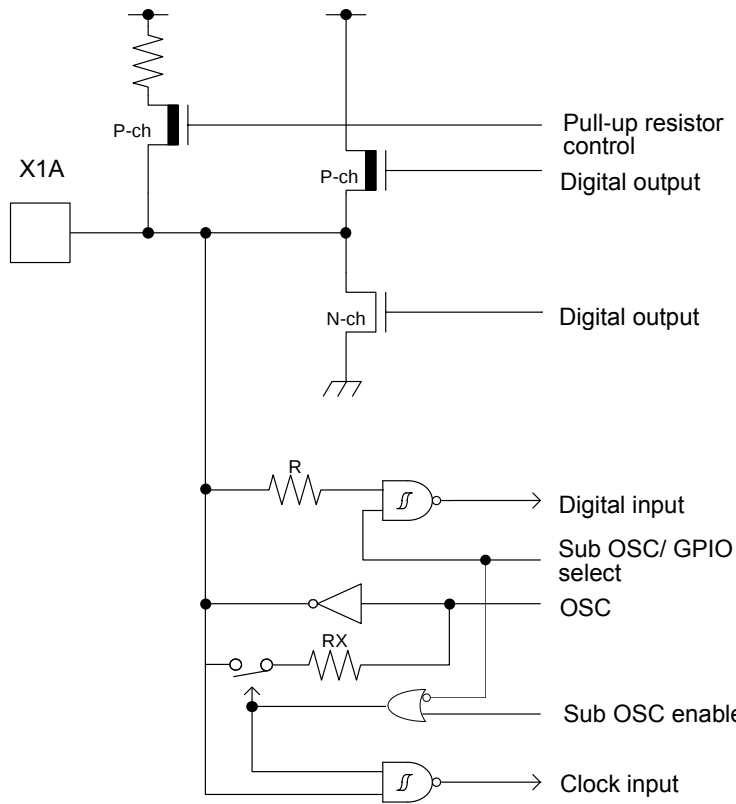
分類	回路	備考
C		- オープンドレイン出力 - CMOS レベルヒステリシス入力
E		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

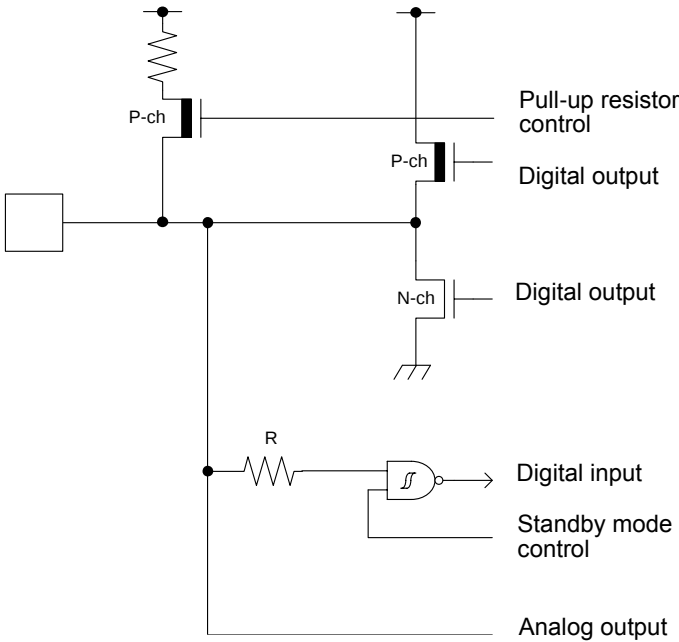
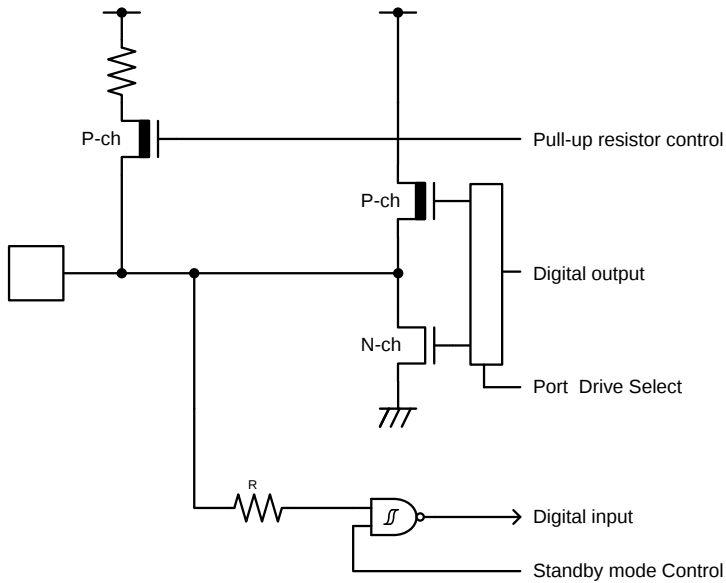
分類	回路	備考
F		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
G		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
H		USB IO/GPIO 切換え可能 USB IO 機能選択時 高速, 低速制御 GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -20.5 \text{ mA}$, $I_{OL} = 18.5 \text{ mA}$
I		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5 V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - PZR レジスタの設定は『ペリフェラル マニュアル 本編 (002-04857)』の『I/O ポート』の章を参照してください。
J		CMOS レベルヒステリシス入力

分類	回路	備考
K		- CMOS レベル出力 - TTL レベルヒステリシス入力 - プルアップ抵抗制御 - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$
L		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御 - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
N		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5 V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ (GPIO) - $I_{OL} = 20 \text{ mA}$ (Fast Mode Plus) - PZR レジスタ制御可能 - PZR レジスタの設定は『ペリフェラルマニュアル 本編 (002-04857)』の『I/O ポート』の章を参照してください。 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
O		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5 V トレラント - プルアップ抵抗制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - IO の設定は『ペリフェラルマニュアル 本編 (002-04857)』の『VBAT ドメイン』の章を参照してください。 - PZR レジスタの設定は『ペリフェラルマニュアル 本編 (002-04857)』の『I/O ポート』の章を参照してください。

分類	回路	備考
P		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定は『ペリフェラルマニュアル めいんぱーと本編 (002-04857)』の『VBAT ドメイン』の章を参照してください。
Q		サブ発振/GPIO 切換え可能 サブ発振機能選択時 - 発振帰還抵抗: 約 10 MΩ GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定は『ペリフェラルマニュアル 本編 (002-04857)』の『VBAT ドメイン』の章を参照してください。

分類	回路	備考
R		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - アナログ出力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ (4.5 V~5.5 V) - $I_{OH} = -2 \text{ mA}$, $I_{OL} = 2 \text{ mA}$ (2.7 V~4.5 V)
S		- CMOS レベル出力 (ポート駆動能力選択レジスタ[PDSR]にて切り替え可能) - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -10 \text{ mA}$, $I_{OL} = 10 \text{ mA}$ (PDSR=1) - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ (PDSR=0) - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

7. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

7.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いいたします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

7.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ～ 70%RH にしてください。
除電装置（イオン発生装置）の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗（1 MΩ 程度）で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

7.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

8. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グラウンドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグラウンドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間、AVRH 端子と AVRL 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz~60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1V/ μ s 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグラウンドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグラウンドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

サイズ: 3.2 mm $\times$ 1.5 mm 以上
負荷容量: 6 pF~7 pF 程度

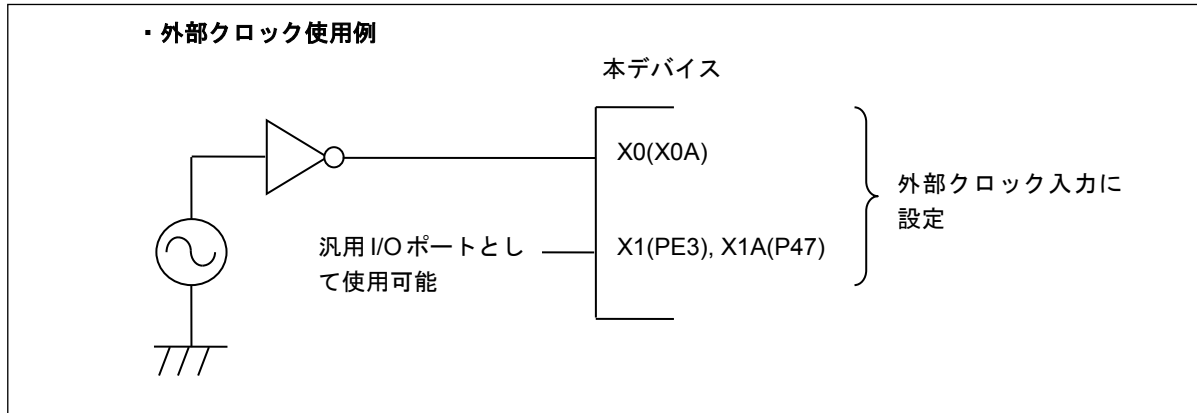
■リードタイプ

負荷容量: 6 pF~7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

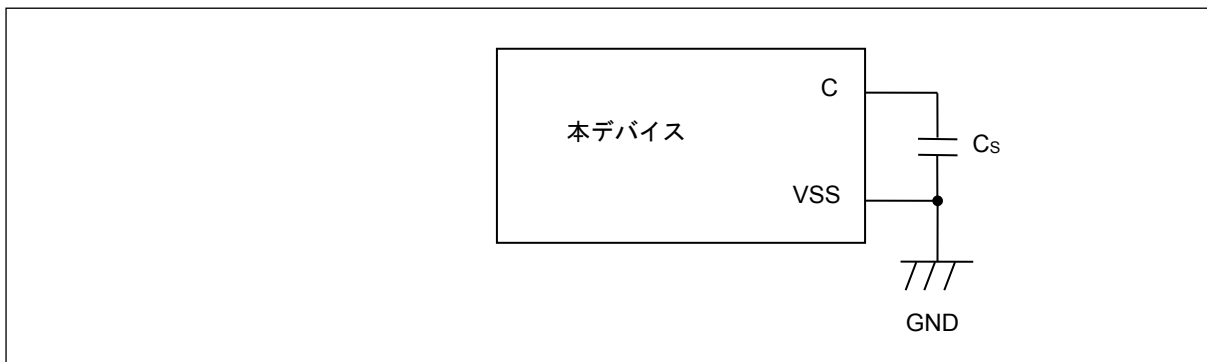
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7μF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。すべての電源の投入後に正常動作します。

VBAT のみ電源 on するには、VBAT と VCC を電源 on して、ハイバネーション制御してから VCC を電源 off することで可能です。ハイバネーション制御については、ペリフェラルマニュアル メインパート(002-04857)の CHAPTER7-2:VBAT ドメイン(B)を参照ください。

投入時 : VBAT → VCC → USBVCC0

VBAT → VCC → USBVCC1

VBAT → VCC → ETHVCC

VCC → AVCC → AVRH

切断時 : AVRH → AVCC → VCC

ETHVCC → VCC → VBAT

USBVCC1 → VCC → VBAT

USBVCC0 → VCC → VBAT

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

デバッグ機能を兼用している端子について

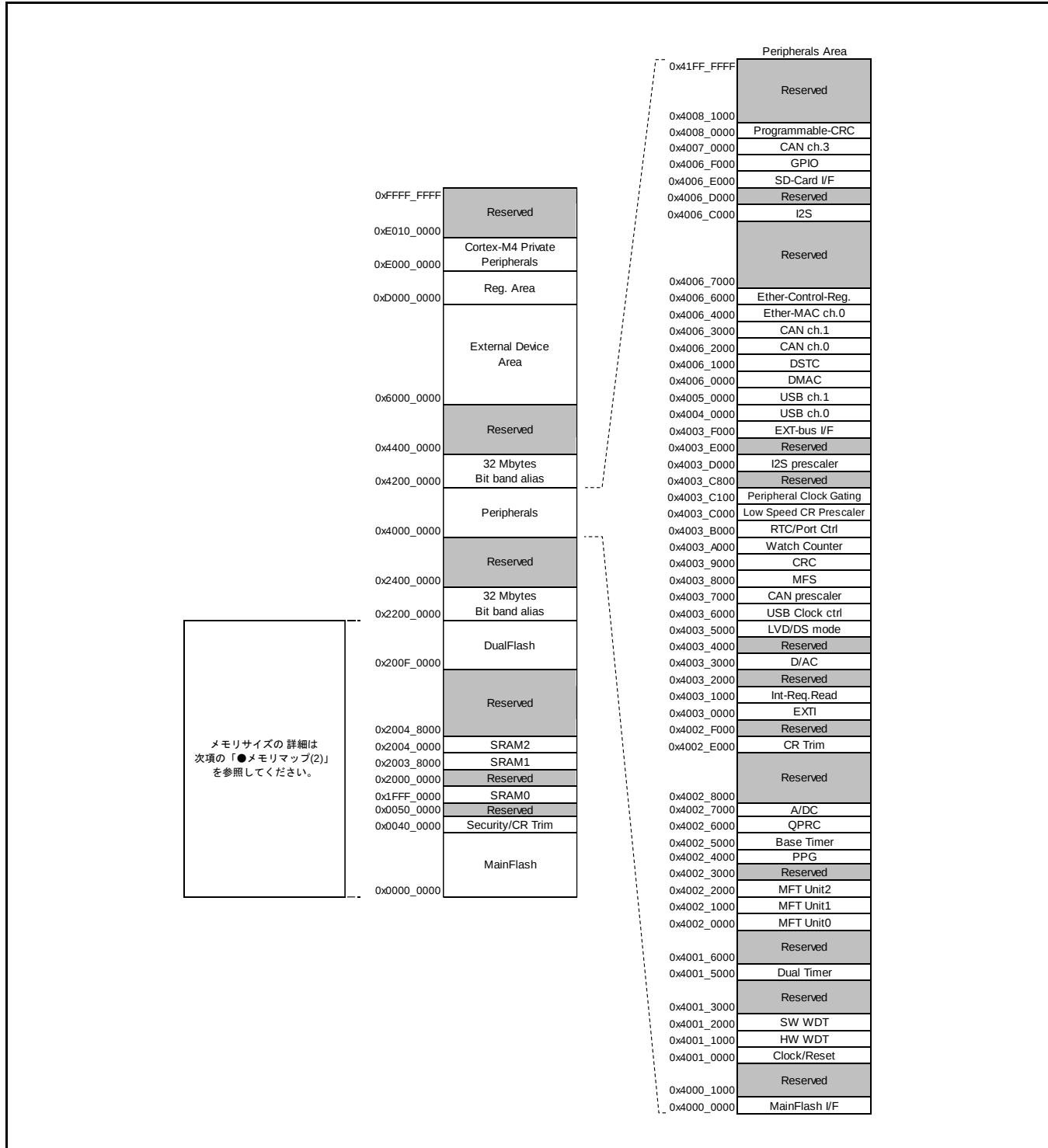
TDO/TMS/TDI/TCK/TRSTX, SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

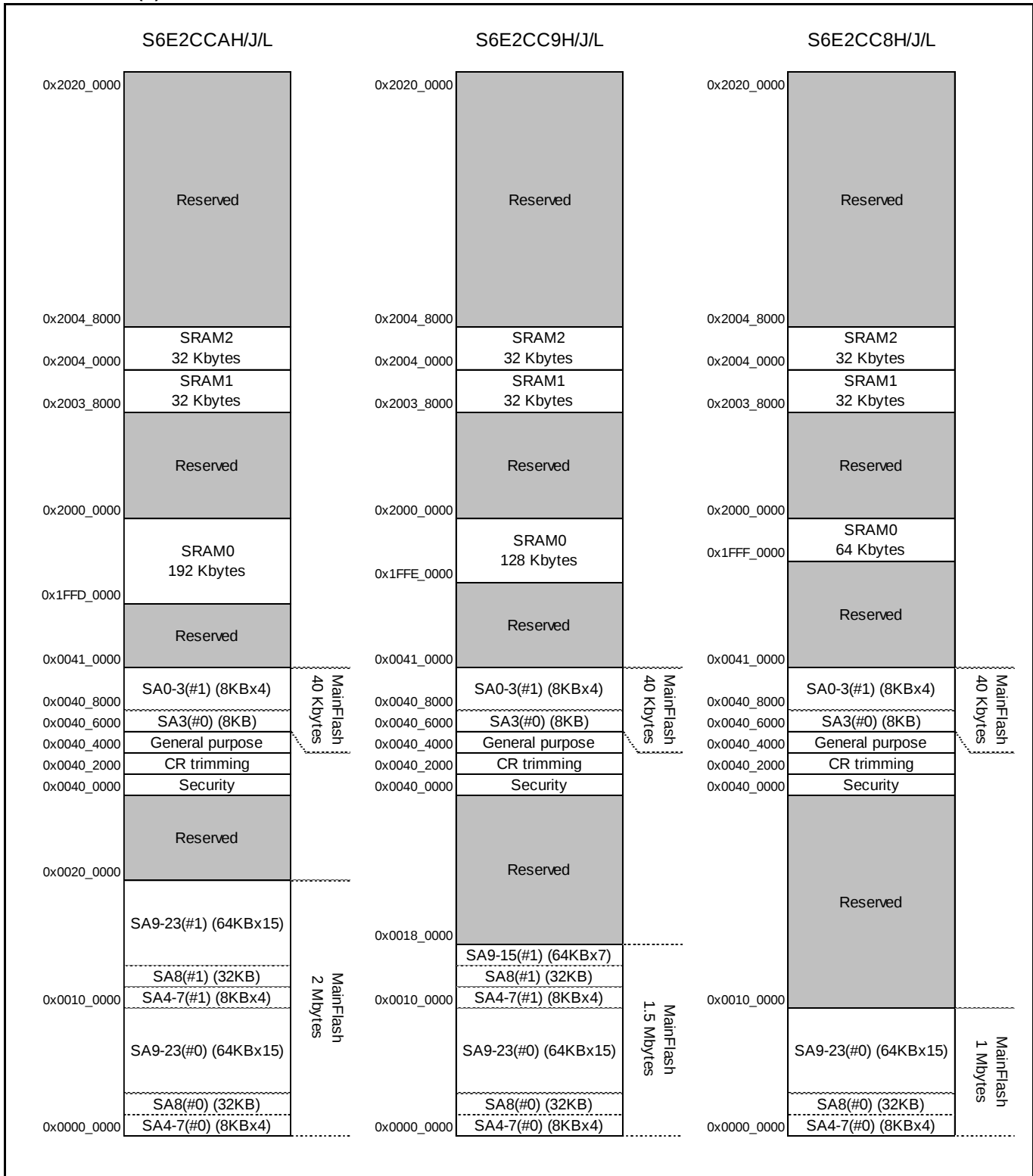
9. メモリサイズ

メモリサイズについては、「2. 品種構成」の「メモリサイズ」を参照してください。

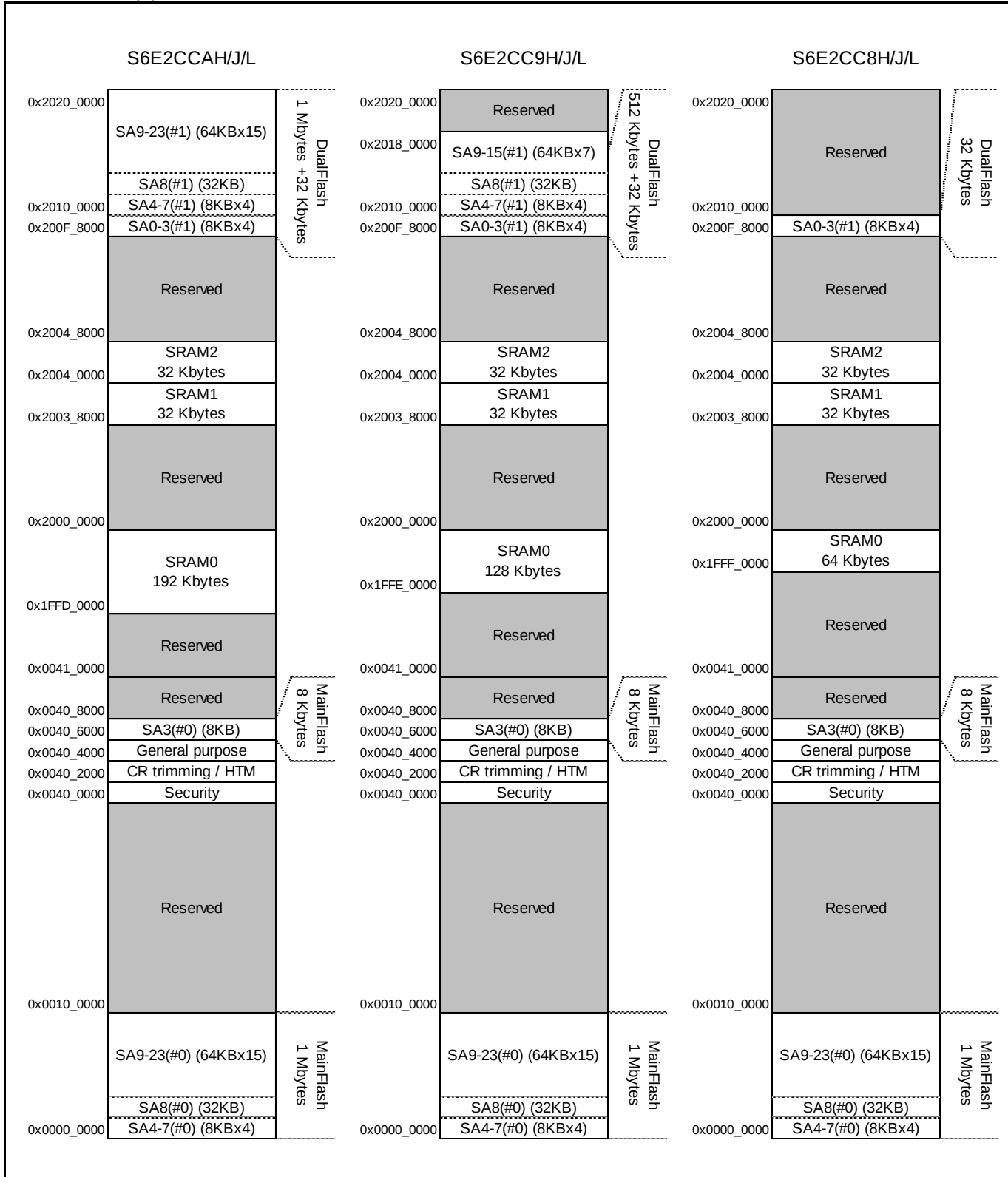
10. メモリマップ

メモリマップ (1)

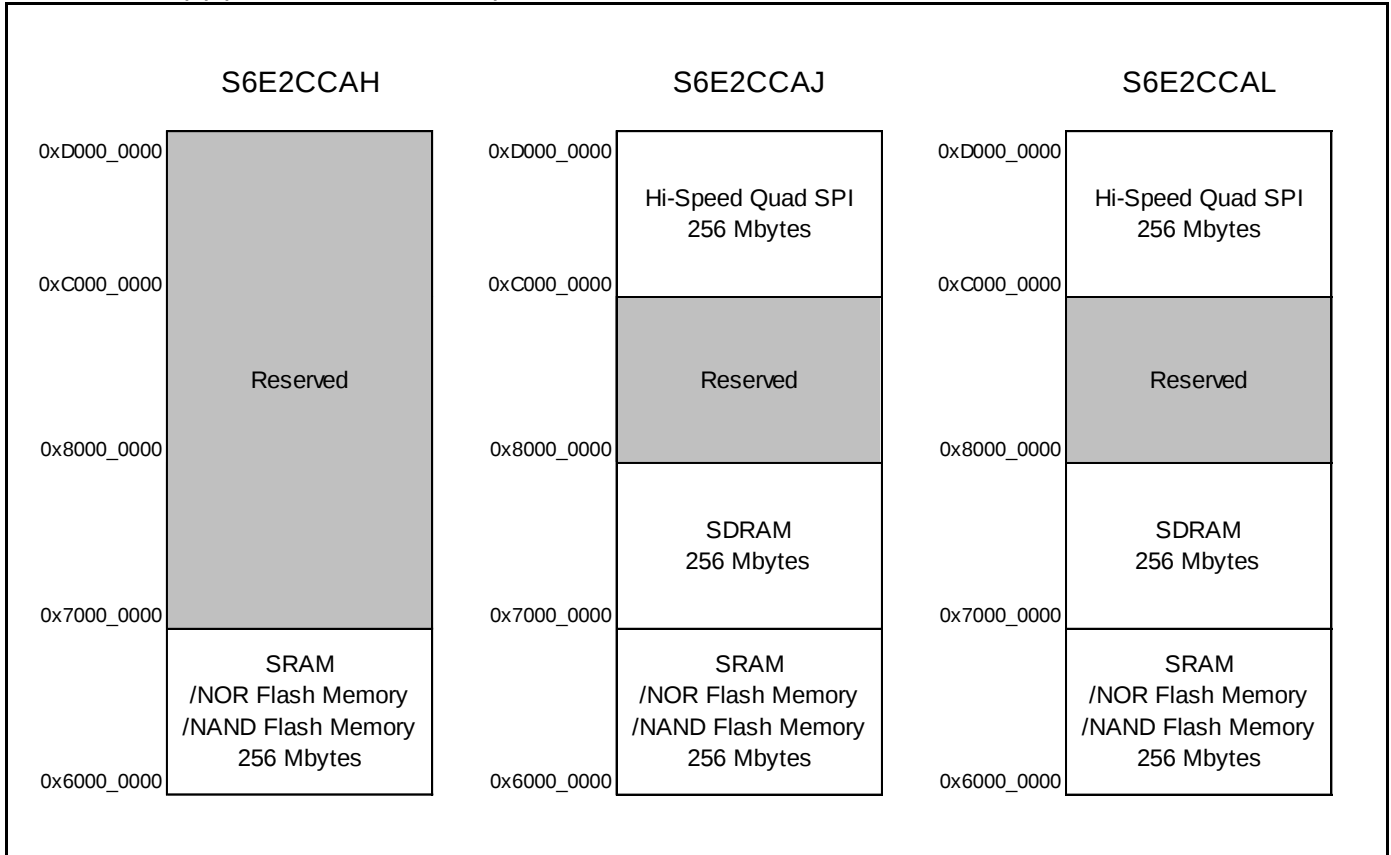


メモリマップ (2)


*: フラッシュメモリの詳細は『S6E2C シリーズ フラッシュプログラミングマニュアル』を参照してください。

メモリマップ (2) デュアルフラッシュモード時


*: フラッシュメモリの詳細は『S6E2C シリーズ フラッシュプログラミングマニュアル』を参照してください。

メモリマップ (3) (External Device Area)


ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000 0000	0x4000 0FFF	AHB	メインフラッシュメモリ I/F レジスタ
0x4000 1000	0x4000 FFFF		予約
0x4001 0000	0x4001 0FFF	APB0	クロック・リセット制御
0x4001 1000	0x4001 1FFF		ハードウェアウォッチドッグタイマ
0x4001 2000	0x4001 2FFF		ソフトウェアウォッチドッグタイマ
0x4001 3000	0x4001 4FFF		予約
0x4001 5000	0x4001 5FFF		デュアルタイマ
0x4001 6000	0x4001 FFFF		予約
0x4002 0000	0x4002 0FFF	APB1	多機能タイマ 0
0x4002 1000	0x4002 1FFF		多機能タイマ 1
0x4002 2000	0x4002 2FFF		多機能タイマ 2
0x4002 3000	0x4002 3FFF		予約
0x4002 4000	0x4002 4FFF		PPG
0x4002 5000	0x4002 5FFF		ベースタイマ
0x4002 6000	0x4002 6FFF		クアッドカウンタ (QPRC)
0x4002 7000	0x4002 7FFF		A/D コンバータ
0x4002 8000	0x4002 DFFF		予約
0x4002 E000	0x4002 EFFF		内蔵 CR トリミング
0x4002 F000	0x4002 FFFF		予約
0x4003 0000	0x4003 0FFF	APB2	外部割込み制御部
0x4003 1000	0x4003 1FFF		割込み要因確認レジスタ
0x4003 2000	0x4003 2FFF		予約
0x4003 3000	0x4003 3FFF		D/A コンバータ
0x4003 4000	0x4003 4FFF		予約
0x4003 5000	0x4003 57FF		低電圧検出
0x4003 5800	0x4003 5FFF		ディープスタンバイ制御部
0x4003 6000	0x4003 6FFF		USB クロック生成回路
0x4003 7000	0x4003 7FFF		CAN プリスケアラ
0x4003 8000	0x4003 8FFF		マルチファンクションシリアルインタフェース
0x4003 9000	0x4003 9FFF		CRC
0x4003 A000	0x4003 AFFF		時計カウンタ
0x4003 B000	0x4003 BFFF		RTC/PortCtrl
0x4003 C000	0x4003 C0FF		低速 CR 補正
0x4003 C100	0x4003 C7FF		周辺クロック停止
0x4003 C800	0x4003 CFFF		予約
0x4003 D000	0x4003 DFFF		I²S プリスケアラ
0x4003 E000	0x4003 EFFF		予約
0x4003 F000	0x4003 FFFF		外バス I/F
0x4004 0000	0x4004 FFFF	AHB	USB ch.0
0x4005 0000	0x4005 FFFF		USB ch.1
0x4006 0000	0x4006 0FFF		DMAC レジスタ
0x4006 1000	0x4006 1FFF		DSTC レジスタ
0x4006 2000	0x4006 2FFF		CAN ch.0
0x4006 3000	0x4006 3FFF		CAN ch.1
0x4006 4000	0x4006 5FFF		Ethernet-MAC ch.0
0x4006 6000	0x4006 6FFF		Ethernet-MAC 設定レジスタ
0x4006 7000	0x4006 BFFF		予約
0x4006 C000	0x4006 CFFF		I²S
0x4006 D000	0x4006 DFFF		予約
0x4006 E000	0x4006 EFFF		SD-Card I/F
0x4006 F000	0x4006 FFFF		GPIO
0x4007 0000	0x4007 FFFF		CAN-FD (CAN ch.2)
0x4008 0000	0x4008 0FFF		Programmable-CRC
0x4008 1000	0x41FF FFFF		予約
0x200E 0000	0x200E FFFF		WorkFlash I/F レジスタ
0xD000 0000	0xDFFF FFFF		High-Speed Quad SPI 制御レジスタ

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が L レベルの期間です。

■INITX=1

INITX 端子が H レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は L に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力状態	デバイス内 部 リセット状 態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード復帰 直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	メイン水晶 発振入力端 子/ 外部メイン クロック入 力選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	外部メイン クロック入 力選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	直前状態 保持	Hi-Z/ 内部入力 "0"固定	直前状態 保持
	メイン水晶 発振出力端 子	Hi-Z/ 内部入力 "0"固定 または 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振停止時 ¹ は Hi-Z/ 内部入力"0"固定					
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 入力可	GPIO 選 択	Hi-Z/ 入力可	GPIO 選 択
F	NMIX 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	直前状態 保持
	上記以外の リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定			GPIO 選 択
	GPIO 選択時									

¹ サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力状態	デバイス内部 リセット状態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード復帰 直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
H	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	上記以外の リソース選 択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	GPIO 選択時						Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
I	リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	GPIO 選択時									
J	アナログ出 力選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	2	3	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	外部割込み 許可選択時					直前状態 保持	直前状態 保持			
	上記以外の リソース選 択時						Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時						Hi-Z/ 内部入力 "0"固定			
K	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	上記以外の リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									

² タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力 "0" 固定です。

³ タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力 "0" 固定です。

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モード, またはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
L	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									
N	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力状態	デバイス内部 リセット状 態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード復帰 直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
O	アナログ入 力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	トレース 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	トレース 出力	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	外部割込み 許可選択時						直前状態 保持			
	上記以外の リソース選 択時						Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									
P	アナログ入 力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	WKUP 許可 時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選 択
	上記以外の リソース選 択時						Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	GPIO 選択時									
Q	WKUP 許可 時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	WKUP 入 力可
	外部割込み 許可選択時							GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択
	上記以外の リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可						
	GPIO 選択時									

端子 状態 形式	グループ 機能名	パワーオン リセット または 低電圧検出 状態	INITX 入力状態	デバイス内 部 リセット状 態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード復帰 直後状態	
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	
R	GPIO 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択	
	USB I/O 端子	設定不可	設定不可	設定不可	送信時は Hi-Z/ 受信時は 内部入力 "0"固定	送信時は Hi-Z/ 受信時は 内部入力 "0"固定	Hi-Z/ 入力可	Hi-Z/ 入力可	Hi-Z/ 入力可	Hi-Z/ 入力可	
V	Ethernet 入出力選択時 ⁴	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択	
	上記以外の リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定				
	GPIO 選択時										
W	Ethernet 入出力選択時 ⁴	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選 択	
	外部割込み 許可選択時										
	上記以外の リソース選 択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可							Hi-Z/ 内部入力 "0"固定
	GPIO 選択時										

⁴ EPFR14.E_SPLC レジスタにより選択されている場合を指します。

VBAT ドメイン端子状態一覧表

端子 状態 形式	グループ 機能名	パワーオン リセット ⁵	INITX 入力状態	デバイス 内部 リセット 状態	ランモ ード または スリープ モード状 態	タイマモード, RTC モード または ストップモード状態		ディープスタンバイ RTC モード, または ディープスタンバイ ストップモード状態		ディープ スタンバイ モード 復帰直後 状態	VBAT RTC モード 状態	VBAT RTC モード 復帰直後 状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定	電源安定	電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	-	-
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	-	-
S	GPIO 選 択時	設定不可	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	設定禁 止	-
	サブ水 晶 発振入 力端子/ 外部サ ブ クロッ ク入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	直前状 態保持	直前状 態保持
T	GPIO 選択時	設定不可	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	設定禁 止	-
	外部サ ブク ロック 入力選 択時	設定不可	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持
	サブ水 晶発振 出力端 子	Hi-Z/ 内部入力 "0"固定 または 入力可	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持/ 発振 停止時 は Hi-Z ⁶	直前状 態保持/ 発振 停止時 は Hi-Z ⁶	直前状 態保持/ 発振 停止時 は Hi-Z ⁶	直前状 態保持/ 発振 停止時 は Hi-Z ⁶	直前状 態保持	直前状 態保持	直前状 態保持
U	リソ ース 選択時	Hi-Z	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持
	GPIO 選択時		直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持	直前状 態保持

⁵ VBAT, VCC 電源投入状態

⁶ WTOSCCNT レジスタの連携制御ビット(SOSCNLT)が"0"の場合は、直前状態保持。WTOSCCNT レジスタの連携制御ビット(SOSCNLT)が"1"の場合は、ストップモード、ディープスタンバイストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 ^{7, 8}	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(USB 用) ^{7, 9}	USBV _{CC0}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(USB 用) ^{7, 9}	USBV _{CC1}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(Ethernet-MAC 用) ^{7, 10}	ETHV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(VBAT) ^{7, 11}	V _{BAT}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ電源電圧 ^{7, 12}	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧 ^{7, 12}	AVRH	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧 ⁷	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5V)	V	USB・Ethernet-MAC 端子を除く
		V _{SS} - 0.5	USBV _{CC0} + 0.5 (≦6.5V)	V	USB ch.0 端子
		V _{SS} - 0.5	USBV _{CC1} + 0.5 (≦6.5V)	V	USB ch.1 端子
		V _{SS} - 0.5	ETHV _{CC} + 0.5 (≦6.5V)	V	Ethernet-MAC 端子
		V _{SS} - 0.5	V _{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧 ⁷	V _{IA}	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5V)	V	
出力電圧 ⁷	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5V)	V	

⁷ V_{SS} = AV_{SS} = 0 V を基準にした値です。

⁸ V_{CC} は V_{SS} - 0.5 V より低くならないでください。

⁹ USBV_{CC0}, USBV_{CC1} は V_{SS} - 0.5 V より低くならないでください。

¹⁰ ETHV_{CC} は V_{SS} - 0.5 V より低くならないでください。

¹¹ V_{BAT} は V_{SS} - 0.5 V より低くならないでください。

¹² 電源投入時 V_{CC} + 0.5 V を超えてはいけません。

項目	記号	定格値		単位	備考
		最小	最大		
L レベル最大出力電流 ¹³	I _{OL}	-	10	mA	4 mA タイプ
			20	mA	8 mA タイプ
			20	mA	10 mA タイプ
			20	mA	12 mA タイプ
			22.4	mA	I ² C Fm+
L レベル平均出力電流 ¹⁴	I _{OLAV}	-	4	mA	4 mA タイプ
			8	mA	8 mA タイプ
			10	mA	10 mA タイプ
			12	mA	12 mA タイプ
			20	mA	I ² C Fm+
L レベル最大総出力電流	$\sum I_{OL}$	-	100	mA	
L レベル平均総出力電流 ¹⁵	$\sum I_{OLAV}$	-	50	mA	
H レベル最大出力電流 ¹³	I _{OH}	-	- 10	mA	4 mA タイプ
			-20	mA	8 mA タイプ
			-20	mA	10 mA タイプ
			- 20	mA	12 mA タイプ
H レベル平均出力電流 ¹⁴	I _{OHAV}	-	- 4	mA	4 mA タイプ
			-8	mA	8 mA タイプ
			-10	mA	10 mA タイプ
			- 12	mA	12 mA タイプ
H レベル最大総出力電流	$\sum I_{OH}$	-	- 100	mA	
H レベル平均総出力電流 ¹⁵	$\sum I_{OHAV}$	-	- 50	mA	
消費電力	P _D	-	200	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

＜注意事項＞

- 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

¹³ 最大出力電流は、該当する端子 1 本のピーク値を規定します。

¹⁴ 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

¹⁵ 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

12.2 推奨動作条件

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V _{CC}	-	2.7 ¹⁶	5.5	V	
電源電圧(USB ch.0 用)	USBV _{CC0}	-	3.0	3.6 (≦V _{CC})	V	P81/UDP0, P80/UDM0 端子を USB 端子(UDP0, UDM0)として使用する場合
			2.7	5.5 (≦V _{CC})		P81/UDP0, P80/UDM0 端子を GPIO 端子(P81, P80)として使用する場合
電源電圧(USB ch.1 用)	USBV _{CC1}	-	3.0	3.6 (≦V _{CC})	V	P83/UDP1, P82/UDM1 端子を USB 端子(UDP1, UDM1)として使用する場合
			2.7	5.5 (≦V _{CC})		P83/UDP1, P82/UDM1 端子を GPIO 端子(P83, P82)として使用する場合
電源電圧(Ethernet-MAC 用)	ETHV _{CC}	-	3.0	3.6 (≦V _{CC})	V	P6E/ADTG_5/SCK4_1/IC23_1/NT29_0/E_PPS 端子を除く、「Ethernet-MAC 端子の対応表」の端子を Ethernet-MAC 端子として使用する場合
			4.5	5.5 (≦V _{CC})		P6E/ADTG_5/SCK4_1/IC23_1/NT29_0/E_PPS 端子を除く、「Ethernet-MAC 端子の対応表」の端子を Ethernet-MAC 端子として使用する場合
			2.7	5.5 (≦V _{CC})		P6E/ADTG_5/SCK4_1/IC23_1/NT29_0/E_PPS 端子を除く、「Ethernet-MAC 端子の対応表」の端子を Ethernet-MAC 端子以外の機能端子として使用する場合
電源電圧(VBAT)	V _{BAT}	-	1.65	5.5	V	
アナログ電源電圧	AV _{CC}	-	2.7	5.5	V	AV _{CC} = V _{CC}
アナログ基準電圧	AVRH	-	¹⁷	AV _{CC}	V	
	AVRL	-	AV _{SS}	AV _{SS}	V	
動作温度	ジャンクション温度	T _J	-	- 40	+ 125	°C
	周囲温度	T _A	-	-40	¹⁸	°C

¹⁶ 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

¹⁷ アナログ基準電圧は、コンベアクロック周期によって規格値が異なります。詳細は「12.5 12 ビット A/D コンバータ」の章を参照してください。

¹⁸ 周囲温度(T_A)の最大温度は、ジャンクション温度(T_J)を超えない範囲まで保証可能です。

周囲温度(T_A)の計算式を以下に示します。

$$T_A(\text{Max}) = T_J(\text{Max}) - P_d(\text{Max}) \times \theta_{JA}$$

P_d : 消費電力(W)
 θ_{JA} : パッケージ熱抵抗(°C/W)
 $P_d(\text{Max}) = V_{CC} \times I_{CC}(\text{Max}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$
 I_{OL} : L レベル出力電流
 I_{OH} : H レベル出力電流
 V_{OL} : L レベル出力電圧
 V_{OH} : H レベル出力電圧

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。
 半導体デバイスは最大許容電力以下で動作が保証されます。

パッケージ熱抵抗と最大許容電力表

パッケージ	基板	熱抵抗 θ_{ja} (°C/W)	最大許容電力(mW)	
			$T_A=+85\text{ °C}$	$T_A=+105\text{ °C}$
LQS144 (0.5 mm pitch)	単層両面	48	833	417
	4 層	33	1212	606
LQP176 (0.5 mm pitch)	単層両面	45	889	444
	4 層	31	1290	645
LQQ216 (0.4 mm pitch)	単層両面	46	870	435
	4 層	32	1250	625
LBE192 (0.8 mm pitch)	単層両面	-	-	-
	4 層	35	1143	571

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。
この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
- データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。
記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

Ethernet-MAC 端子の対応表

端子名	Ethernet-MAC 使用時	Ethernet-MAC 未使用時	電源種別
P6E/ADTG_5/SCK4_1/IC23_1/INT29_0/E_PPS	E_PPS ¹⁹	P6E/ADTG_5/SCK4_1/IC23_1/INT29_0	V _{CC}
PC0/E_RXER	E_RXER	PC0	ETHV _{CC}
PC1/TIOB6_0/E_RX03	E_RX03	PC1/TIOB6_0	
PC2/TIOA6_0/E_RX02	E_RX02	PC2/TIOA6_0	
PC3/TIOB7_0/E_RX01	E_RX01	PC3/TIOB7_0	
PC4/TIOA7_0/E_RX00	E_RX00	PC4/TIOA7_0	
PC5/TIOB14_0/E_RXDV	E_RXDV	PC5/TIOB14_0	
PC6/TIOA14_0/E_MDIO	E_MDIO	PC6/TIOA14_0	
PC7/INT13_0/E_MDC/CROUT_1	E_MDC	PC7/INT13_0/CROUT_1	
PC8/E_RXCK_REFCK	E_RXCK_REFCK	PC8	
PC9/TIOB15_0/E_COL	E_COL	PC9/TIOB15_0	
PCA/TIOA15_0/E_CRS	E_CRS	PCA/TIOA15_0	
PCB/INT28_0/E_COUT	E_COUT	PCB/INT28_0	
PCC/E_TCK	E_TCK	PCC	
PCD/SOT4_1/INT14_0/E_TXER	E_TXER	PCD/SOT4_1/INT14_0	
PCE/SIN4_1/INT15_0/E_TX03	E_TX03	PCE/SIN4_1/INT15_0	
PCF/RTS4_1/INT12_0/E_TX02	E_TX02	PCF/RTS4_1/INT12_0	
PD0/INT30_1/E_TX01	E_TX01	PD0/INT30_1	
PD1/INT31_1/E_TX00	E_TX00	PD1/INT31_1	
PD2/CTS4_1/FRCK2_1/E_TXEN	E_TXEN	PD2/CTS4_1/FRCK2_1	

¹⁹ Ethernet-MAC 内部の PTP カウンタ周期を波形で核にする際に使用します。

消費電力(Pd)の算出方法

消費電力は以下の式で表されます。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL} : L レベル出力電流

I_{OH} : H レベル出力電流

V_{OL} : L レベル出力電圧

V_{OH} : H レベル出力電圧

I_{CC} はデバイス内で消費される電流です。

以下に分解できます。

$$I_{CC} = I_{CC}(INT) + \Sigma I_{CC}(IO)$$

$I_{CC}(INT)$: レギュレータを通して内部 Logic, メモリなどで消費される電流

$\Sigma I_{CC}(IO)$: 出力端子にて消費される電流(I/O スイッチング電流)の合計

$I_{CC}(INT)$ については「12.3 直流規格」の「12.3.1 電流規格」によって予測できます (本規格の値は端子固定時の値のため、 $I_{CC}(IO)$ は含んでいません)。

$I_{CC}(IO)$ についてはお客様のシステムに依存します。

以下の計算式により算出してください。

$$I_{CC}(IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{SW}$$

C_{INT} : 端子内部負荷容量

C_{EXT} : 出力端子の外部負荷容量

f_{SW} : 端子スイッチング周波数

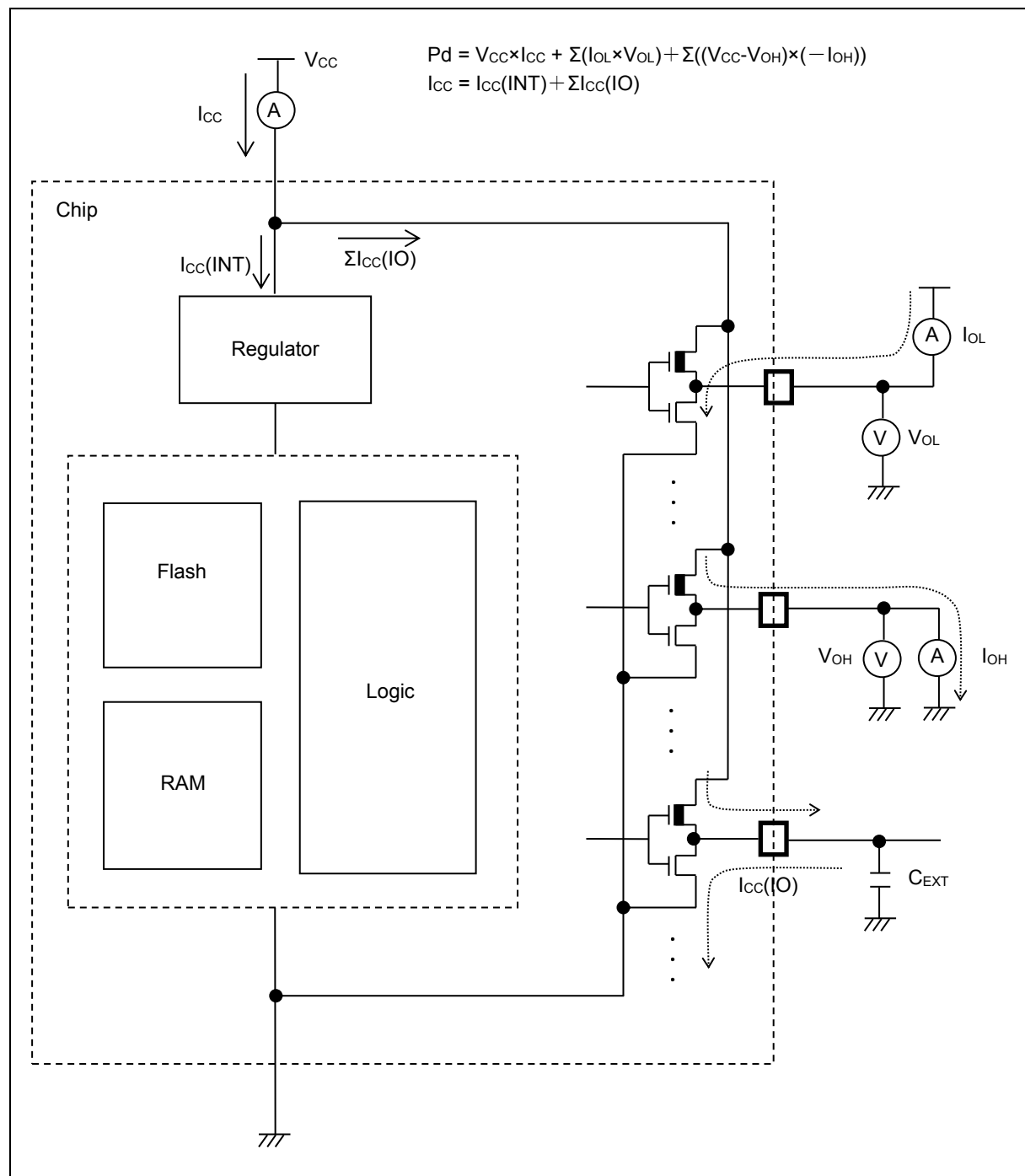
項目	記号	条件	容量値
端子内部負荷容量	C_{INT}	4 mA タイプ	1.93 pF
		8 mA タイプ	3.45 pF
		12 mA タイプ	3.42 pF

お客様ご自身で消費電力を評価可能な場合には、 $I_{CC}(Max)$ の値は以下のように算出してください。

1. 常温(+25°C)にて電流値 $I_{CC}(Typ)$ を測定
2. $I_{CC}(Typ)$ の値に動作時最大リーク電流値 $I_{CC}(leak_max)$ を加算

$$I_{CC}(Max) = I_{CC}(Typ) + I_{CC}(leak_max)$$

項目	記号	条件	電流値
動作時最大リーク電流	$I_{CC}(leak_max)$	$T_J = +125^\circ C$	79.2 mA
		$T_J = +105^\circ C$	39.4 mA
		$T_J = +85^\circ C$	26.5 mA

電流説明図


12.3 直流規格

12.3.1 電流規格

**Table 12-1 通常動作(PLL)の標準と最大の消費電流, フラッシュ・メモリから命令実行時
(フラッシュアクセラレータモードとトレースバッファ機能が有効)**

項目	記号	端子名	条件		周波数 ²⁰	規格値		単位	備考
						標準 ²¹	最大 ²²		
電源電流	Icc	VCC	通常動作 ^{23, 24} (PLL)	25	200 MHz	117	224	mA	²⁶ 周辺クロック すべて ON 時
					192 MHz	113	219	mA	
					180 MHz	106	211	mA	
				27	160 MHz	95	197	mA	
					144 MHz	86	186	mA	
					120 MHz	73	169	mA	
					100 MHz	61	155	mA	
					80 MHz	50	140	mA	
					60 MHz	39	126	mA	
					40 MHz	27	112	mA	
					20 MHz	16	97	mA	
					8 MHz	8.7	88.9	mA	
					4 MHz	6.4	86.1	mA	
				25	200 MHz	71	168	mA	
					192 MHz	68	165	mA	
					180 MHz	64	159	mA	
				27	160 MHz	58	151	mA	
					144 MHz	52	144	mA	
					120 MHz	44	134	mA	
					100 MHz	38	126	mA	
					80 MHz	31	117	mA	
					60 MHz	24	109	mA	
					40 MHz	17	100	mA	
					20 MHz	10	91	mA	
					8 MHz	6.3	86.1	mA	
				4 MHz	5.0	84.5	mA		

²⁰ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2

²¹ T_A=+25 °C, V_{CC}=3.3 V

²² T_J=+125 °C, V_{CC}=5.5 V

²³ メインフラッシュメモリへのデータアクセスなし。

²⁴ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

²⁵ フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT=11, FBFCR=1)のとき

²⁶ 全ポート固定時

²⁷ フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT=10, FBFCR=1)のとき

Table 12-2 通常動作(PLL)の標準と最大の消費電流, フラッシュ・メモリから命令動作実行、およびフラッシュへのデータアクセス時 (フラッシュアクセラレータモードとトレースバッファ機能が無効)

項目	記号	端子名	条件		周波数 ²⁸	規格値		単位	備考
						標準 ²⁹	最大 ³⁰		
電源電流	I _{cc}	VCC	通常動作 ^{31, 32} (PLL)	33	200 MHz	128	236	mA	³⁴ 周辺クロック すべて ON 時
					192 MHz	123	230	mA	
					180 MHz	116	221	mA	
				35	160 MHz	102	205	mA	
					144 MHz	93	193	mA	
					120 MHz	79	175	mA	
					100 MHz	67	161	mA	
					80 MHz	54	145	mA	
					60 MHz	42	130	mA	
					40 MHz	30	115	mA	
					20 MHz	17	99	mA	
					8 MHz	9.2	90.0	mA	
					4 MHz	6.7	86.9	mA	
				33	200 MHz	74	170	mA	
					192 MHz	71	167	mA	
					180 MHz	67	162	mA	
					35	160 MHz	59	152	mA
						144 MHz	53	145	mA
						120 MHz	45	135	mA
						100 MHz	39	127	mA
						80 MHz	32	118	mA
						60 MHz	25	110	mA
						40 MHz	18	101	mA
						20 MHz	11	92	mA
						8 MHz	6.5	86.8	mA
						4 MHz	5.1	85.0	mA

²⁸ 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

²⁹ T_A=+25 °C, V_{CC}=3.3 V

³⁰ T_J=+125 °C, V_{CC}=5.5 V

³¹ メインフラッシュメモリへのデータアクセスあり。

³² 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

³³ フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT=11, FBFCR=0)のとき

³⁴ 全ポート固定時

³⁵ フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT=10, FBFCR=0)のとき

Table 12-3 通常動作(PLL)の標準と最大の消費電流, フラッシュ・メモリから命令動作実行、およびフラッシュへのデータアクセス時 (フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

項目	記号	端子名	条件	周波数 ³⁶	規格値		単位	備考
					標準 ³⁷	最大 ³⁸		
電源電流	I _{cc}	VCC	通常動作 ^{39, 40} (PLL)	41	72 MHz	71	161	42 周辺クロック すべて ON 時
					60 MHz	62	150	
					48 MHz	51	138	
					36 MHz	40	125	
					24 MHz	29	112	
					12 MHz	17	98	
					8 MHz	13	93	
					4 MHz	8.4	88.5	
				41	72 MHz	46	132	42 周辺クロック すべて OFF 時
					60 MHz	41	125	
					48 MHz	34	118	
					36 MHz	27	110	
					24 MHz	20	102	
					12 MHz	12	93	
					8 MHz	9.4	89.7	
					4 MHz	6.5	86.4	

³⁶ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

³⁷ T_A=+25 °C, V_{CC}=3.3 V

³⁸ T_J=+125 °C, V_{CC}=5.5 V

³⁹ メインフラッシュメモリへのデータアクセスあり。

⁴⁰ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁴¹ フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト (FRWTR.RWT=00, FSYNDN.SD=000)のとき

⁴² 全ポート固定時

Table 12-4 通常動作(PLL 以外)の標準と最大の消費電流, フラッシュ・メモリから命令動作実行、およびフラッシュへのデータアクセス時 (フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

項目	記号	端子名	条件		周波数 ⁴³	規格値		単位	備考
						標準 ⁴⁴	最大 ⁴⁵		
電源電流	I _{CC}	VCC	通常動作 ^{46, 47} (メイン発振)	48	4 MHz	4.7	84.9	mA	⁴⁹ 周辺クロック すべて ON 時
						3.9	83.8	mA	⁴⁹ 周辺クロック すべて OFF 時
			通常動作 ⁴⁶ (内蔵高速 CR)	48	4 MHz	3.0	83.2	mA	⁴⁹ 周辺クロック すべて ON 時
						2.1	82.0	mA	⁴⁹ 周辺クロック すべて OFF 時
			通常動作 ^{46, 50} (サブ発振)	48	32 kHz	0.78	80.37	mA	⁴⁹ 周辺クロック すべて ON 時
						0.77	80.36	mA	⁴⁹ 周辺クロック すべて OFF 時
			通常動作 ⁴⁶ (内蔵低速 CR)	48	100 kHz	0.81	80.39	mA	⁴⁹ 周辺クロック すべて ON 時
						0.78	80.38	mA	⁴⁹ 周辺クロック すべて OFF 時

⁴³ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

⁴⁴ T_A=+25 °C, V_{CC}=3.3 V

⁴⁵ T_J=+125 °C, V_{CC}=5.5 V

⁴⁶ メインフラッシュメモリへのデータアクセスあり。

⁴⁷ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁴⁸ フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト (FRWTR.RWT=00, FSYNDN.SD=000)のとき

⁴⁹ 全ポート固定時

⁵⁰ 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

Table 12-5 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2

項目	記号	端子名	条件	周波数 ⁵¹	規格値		単位	備考
					標準 ⁵²	最大 ⁵³		
電源電流	I _{CCS}	VCC	Sleep 動作 ⁵⁴ (PLL)	200 MHz	88	188	mA	⁵⁵ 周辺クロック すべて ON 時
				192 MHz	85	184	mA	
				180 MHz	80	178	mA	
				160 MHz	72	164	mA	
				144 MHz	65	156	mA	
				120 MHz	55	144	mA	
				100 MHz	47	134	mA	
				80 MHz	38	124	mA	
				60 MHz	30	114	mA	
				40 MHz	21	104	mA	
				20 MHz	12	93	mA	
				8 MHz	7.4	87.2	mA	
				4 MHz	5.8	85.2	mA	
				200 MHz	44	134	mA	⁵⁵ 周辺クロック すべて OFF 時
				192 MHz	42	132	mA	
				180 MHz	40	129	mA	
				160 MHz	36	123	mA	
				144 MHz	33	119	mA	
				120 MHz	28	113	mA	
				100 MHz	24	108	mA	
				80 MHz	20	103	mA	
				60 MHz	16	98	mA	
				40 MHz	12	93	mA	
				20 MHz	7.6	87.6	mA	
				8 MHz	5.2	84.7	mA	
				4 MHz	4.4	83.7	mA	

⁵¹ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

⁵² T_A=+25 °C, V_{CC}=3.3 V

⁵³ T_J=+125 °C, V_{CC}=5.5 V

⁵⁴ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁵⁵ 全ポート固定時

Table 12-6 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK

項目	記号	端子名	条件	周波数 ⁵⁶	規格値		単位	備考
					標準 ⁵⁷	最大 ⁵⁸		
電源電流	I _{CCS}	VCC	Sleep 動作 ⁵⁹ (PLL)	72 MHz	45	130	mA	⁶⁰ 周辺クロック すべて ON 時
				60 MHz	38	122	mA	
				48 MHz	31	114	mA	
				36 MHz	24	106	mA	
				24 MHz	18	99	mA	
				12 MHz	11	91	mA	
				8 MHz	8.6	88.3	mA	
				4 MHz	6.3	85.7	mA	
				72 MHz	20	103	mA	⁶⁰ 周辺クロック すべて OFF 時
				60 MHz	18	99	mA	
				48 MHz	15	96	mA	
				36 MHz	12	93	mA	
				24 MHz	9.1	89.3	mA	
				12 MHz	6.5	86.1	mA	
				8 MHz	5.5	84.9	mA	
				4 MHz	4.6	83.8	mA	

⁵⁶ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

⁵⁷ T_A=+25 °C, V_{CC}=3.3 V

⁵⁸ T_J=+125 °C, V_{CC}=5.5 V

⁵⁹ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁶⁰ 全ポート固定時

Table 12-7 Sleep 動作(PLL 以外)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2

項目	記号	端子名	条件	周波数 ⁶¹	規格値		単位	備考
					標準 ⁶²	最大 ⁶³		
電源電流	I _{CCS}	VCC	Sleep 動作 ⁶⁴ (メイン発振)	4 MHz	3.4	82.6	mA	⁶⁵ 周辺クロック すべて ON 時
					2.5	81.7	mA	⁶⁵ 周辺クロック すべて OFF 時
			Sleep 動作 (内蔵高速 CR)	4 MHz	2.5	81.7	mA	⁶⁵ 周辺クロック すべて ON 時
					1.7	80.9	mA	⁶⁵ 周辺クロック すべて OFF 時
			Sleep 動作 ⁶⁶ (サブ発振)	32 kHz	0.75	79.97	mA	⁶⁵ 周辺クロック すべて ON 時
					0.74	79.96	mA	⁶⁵ 周辺クロック すべて OFF 時
			Sleep 動作 (内蔵低速 CR)	100 kHz	0.79	80.01	mA	⁶⁵ 周辺クロック すべて ON 時
					0.76	79.98	mA	⁶⁵ 周辺クロック すべて OFF 時

⁶¹ 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

⁶² T_A=+25 °C, V_{CC}=3.3 V

⁶³ T_J=+125 °C, V_{CC}=5.5 V

⁶⁴ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁶⁵ 全ポート固定時

⁶⁶ 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

Table 12-8 ストップモード、タイマモード、RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準 ⁶⁷	最大 ⁶⁸		
電源電流	I _{CCH}	VCC	ストップモード	-	0.56	3.01	mA	^{69, 70} T _A =+25°C
					-	27.03	mA	^{69, 70} T _A =+85°C
					-	39.92	mA	^{69, 70} T _A =+105°C
	I _{CCT}		タイマモード ⁷¹ (メイン発振)	4MHz	1.40	3.85	mA	^{69, 70} T _A =+25°C
					-	27.87	mA	^{69, 70} T _A =+85°C
					-	40.76	mA	^{69, 70} T _A =+105°C
			タイマモード (内蔵高速 CR)	4MHz	0.95	3.40	mA	^{69, 70} T _A =+25°C
					-	27.42	mA	^{69, 70} T _A =+85°C
					-	40.31	mA	^{69, 70} T _A =+105°C
			タイマモード ⁷² (サブ発振)	32kHz	0.57	3.02	mA	^{69, 70} T _A =+25°C
					-	27.04	mA	^{69, 70} T _A =+85°C
					-	39.93	mA	^{69, 70} T _A =+105°C
			タイマモード (内蔵低速 CR)	100kHz	0.58	3.03	mA	^{69, 70} T _A =+25°C
					-	27.05	mA	^{69, 70} T _A =+85°C
					-	39.94	mA	^{69, 70} T _A =+105°C
	I _{CCR}		RTC モード ⁷¹ (サブ発振)	32kHz	0.57	3.02	mA	^{69, 70} T _A =+25°C
					-	27.04	mA	^{69, 70} T _A =+85°C
					-	39.93	mA	^{69, 70} T _A =+105°C

⁶⁷ V_{CC}=3.3 V

⁶⁸ V_{CC}=5.5 V

⁶⁹ 全ポート固定時

⁷⁰ LVD OFF 時

⁷¹ 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

⁷² 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

Table 12-9 ディープスタンバイストップモード、ディープスタンバイ RTC モード、VBAT の標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準 ⁷³	最大 ⁷⁴		
電源電流	I _{CCHD}	VCC	ディープ スタンバイ ストップモード (RAM OFF 時)	-	96	248	μA	^{75, 76} T _A =+25°C
					-	3009	μA	^{75, 76} T _A =+85°C
					-	3889	μA	^{75, 76} T _A =+105°C
			ディープ スタンバイ ストップモード (RAM ON 時)	-	106	259	μA	^{75, 76} T _A =+25°C
					-	3020	μA	^{75, 76} T _A =+85°C
					-	3900	μA	^{75, 76} T _A =+105°C
	I _{CCRD}		32kHz	ディープ スタンバイ RTC モード (RAM OFF 時)	96	248	μA	^{75, 76} T _A =+25°C
					-	3009	μA	^{75, 76} T _A =+85°C
					-	3889	μA	^{75, 76} T _A =+105°C
				ディープ スタンバイ RTC モード (RAM ON 時)	106	259	μA	^{75, 76} T _A =+25°C
					-	3020	μA	^{75, 76} T _A =+85°C
					-	3900	μA	^{75, 76} T _A =+105°C
	I _{CCVBAT}	VBAT	RTC 停止 ⁷⁷	-	0.0058	0.1	μA	^{75, 76, 78} T _A =+25°C
					-	1.4	μA	^{75, 76, 78} T _A =+85°C
					-	3.3	μA	^{75, 76, 78} T _A =+105°C
			RTC 動作 ⁷⁷		1.0	1.8	μA	^{75, 76} T _A =+25°C
					-	3.2	μA	^{75, 76} T _A =+85°C
					-	5.1	μA	^{75, 76} T _A =+105°C

⁷³ V_{CC}=3.3 V

⁷⁴ V_{CC}=5.5 V

⁷⁵ 全ポート固定時

⁷⁶ LVD OFF 時

⁷⁷ VCC 電源投入後、RTC の設定を行った時

⁷⁸ サブ発振 OFF 時

Table 12-10 低電圧検出回路, メインフラッシュメモリ書き込み/消去の標準と最大の消費電流

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
低電圧検出回路 (LVD) 電源電流	ICCLVD	VCC	動作時	-	4	7	μA	割込み発生用
メインフラッシュメモリ書き込み/消去電流	ICCFLASH		書き込み/消去時	-	13.4	15.9	mA	フラッシュメモリへ書き込み、または消去するときは電源電流 I _{CC} にフラッシュ書き込み/消去電流 I _{CCFLASH} が加算されます。

ペリフェラル消費電流

クロック系列	ペリフェラル	単位	周波数(MHz)			単位	備考
			50	100	200		
HCLK	GPIO	全ポート	0.39	0.81	1.56	mA	
	DMAC	-	0.99	1.97	3.82		
	DSTC	-	0.73	1.49	2.86		
	外バス I/F	-	0.25	0.48	0.97		
	SD カード I/F	-	0.74	1.47	2.90		
	CAN	1ch.	0.06	0.08	0.16		
	CAN-FD	1ch.	0.77	1.50	2.95		
	USB	1ch.	0.48	0.95	1.89		
	Ethernet-MAC	-	1.85	3.63	7.20		
	I ² S	-	0.51	1.02	1.99		
	High-Speed Quad SPI	-	0.48	0.97	1.49		
	プログラマブル CRC	-	0.05	0.10	0.22		
PCLK1	ベースタイマ	4ch.	0.21	0.42	0.83	mA	
	多機能タイマ/PPG	1unit/4ch.	0.83	1.65	3.25		
	クアッドカウンタ	1unit	0.07	0.13	0.27		
	A/DC	1unit	0.31	0.60	1.17		
PCLK2	マルチファンクションシリアル	1ch.	0.41	0.81	-	mA	

12.3.2 端子特性
 $(V_{CC} = USBV_{CC0} = USBV_{CC1} = ETHV_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル 入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス入力端子, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
				$ETHV_{CC} \times 0.8$	-	$ETHV_{CC} + 0.3$	V	
		MADATAxx	$V_{CC} > 3.0V$ $V_{CC} \leq 3.6V$	2.4	-	$V_{CC} + 0.3$	V	外バス使用時
		5V トレラント入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		I ² C Fm+兼用入力端子	-	$V_{CC} \times 0.7$	-	$V_{SS} + 5.5$	V	
		TTL シュミット入力端子	-	2.0	-	$ETHV_{CC} + 0.3$	V	
L レベル 入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス入力端子, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
				$V_{SS} - 0.3$	-	$ETHV_{CC} \times 0.2$	V	
		5V トレラント入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		I ² C Fm+兼用入力端子	-	V_{SS}	-	$V_{CC} \times 0.3$	V	
		TTL シュミット入力端子	-	$V_{SS} - 0.3$	-	0.8	V	

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル 出力電圧	V _{OH}	4 mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 2 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	ETHV _{CC}	V	
			ETHV _{CC} < 4.5 V, I _{OH} = - 2 mA					
		8 mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 8 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 4 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OH} = - 8 mA	ETHV _{CC} - 0.5	-	ETHV _{CC}	V	
			ETHV _{CC} < 4.5 V, I _{OH} = - 4 mA					
		10 mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 10 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 8 mA					
		12 mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 12 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 8 mA					
		USB I/O 兼用	USBV _{CC} ≥ 4.5 V, I _{OH} = - 20.5 mA	USBV _{CC} - 0.4	-	USBV _{CC}	V	USBV _{CC0} および USBV _{CC1} を USBV _{CC} と 表記してい ます。
			USBV _{CC} < 4.5 V, I _{OH} = - 13.0 mA					
		I ² C Fm+兼用	V _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	GPIO 時
			V _{CC} < 4.5 V, I _{OH} = - 3 mA					

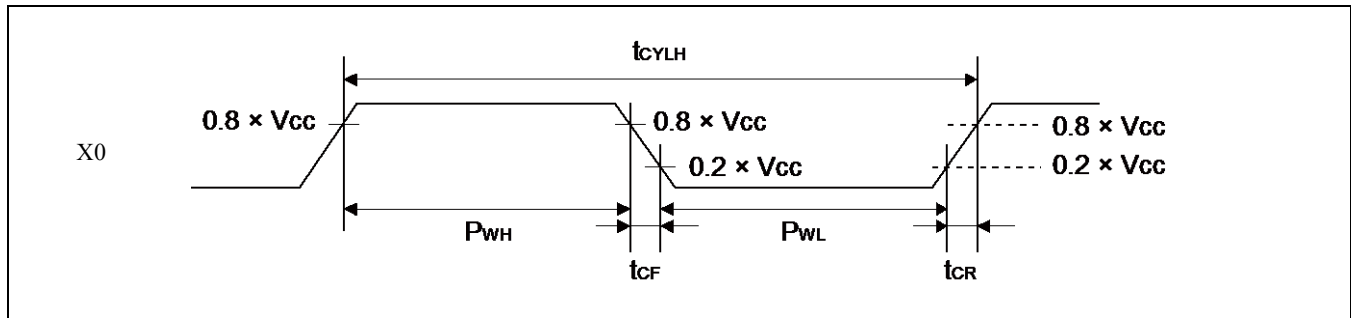
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
L レベル 出力電圧	V _{OL}	4 mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 2 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V	
			ETHV _{CC} < 4.5 V, I _{OL} = 2 mA					
		8 mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 8 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 4 mA					
			ETHV _{CC} ≥ 4.5 V, I _{OL} = 8 mA	V _{SS}	-	0.4	V	
			ETHV _{CC} < 4.5 V, I _{OL} = 4 mA					
		10 mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 10 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
		12 mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
		USB I/O 兼用	USBV _{CC} ≥ 4.5 V, I _{OL} = 18.5 mA	V _{SS}	-	0.4	V	USBV _{CC0} および USBV _{CC1} を USBV _{CC} と 表記してい ます。
			USBV _{CC} < 4.5 V, I _{OL} = 10.5 mA					
		I ² C Fm+兼用	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V	GPIO 時
			V _{CC} < 4.5 V, I _{OL} = 3 mA					I ² C Fm+時
			V _{CC} ≤ 4.5 V, I _{OL} = 20 mA					
入力リーク 電流	I _{IL}	-	-	- 5	-	+ 5	μA	
プルアップ 抵抗値	R _{PU}	プルアップ 端子	V _{CC} ≥ 4.5 V	25	50	100	kΩ	
			V _{CC} < 4.5 V	30	80	200		
入力容量	C _{IN}	V _{CC} , USBV _{CC0} , USBV _{CC1} , ETHV _{CC} , VBAT, V _{SS} , AV _{CC} , AV _{SS} , AVRH 以外	-	-	5	15	pF	

12.4 交流規格

12.4.1 メインクロック入力規格

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +05^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f _{CH}	X0, X1	V _{CC} ≧ 4.5 V	4	48	MHz	水晶発振子接続時
			V _{CC} < 4.5 V	4	20		
			V _{CC} ≧ 4.5 V	4	48	MHz	外部クロック時
			V _{CC} < 4.5 V	4	20		
入力クロック周期	t _{CYLH}		V _{CC} ≧ 4.5 V	20.83	250	ns	外部クロック時
			V _{CC} < 4.5 V	50	250		
入力クロック パルス幅	-		P _{WH} /t _{CYLH} , P _{WL} /t _{CYLH}	45	55	%	外部クロック時
入力クロック 立上り、立下り時間	t _{CF} , t _{CR}		-	-	5	ns	外部クロック時
内部動作クロック ⁷⁹ 周波数	f _{CC}	-	-	-	200	MHz	ベースクロック (HCLK/FCLK)
	f _{CP0}	-	-	-	100	MHz	APB0 バスクロック ⁸⁰
	f _{CP1}	-	-	-	200	MHz	APB1 バスクロック ⁸⁰
	f _{CP2}	-	-	-	100	MHz	APB2 バスクロック ⁸⁰
内部動作クロック ⁷⁹ サイクル時間	t _{CYCC}	-	-	5	-	ns	ベースクロック (HCLK/FCLK)
	t _{CYCP0}	-	-	10	-	ns	APB0 バスクロック ⁸⁰
	t _{CYCP1}	-	-	5	-	ns	APB1 バスクロック ⁸⁰
	t _{CYCP2}	-	-	10	-	ns	APB2 バスクロック ⁸⁰



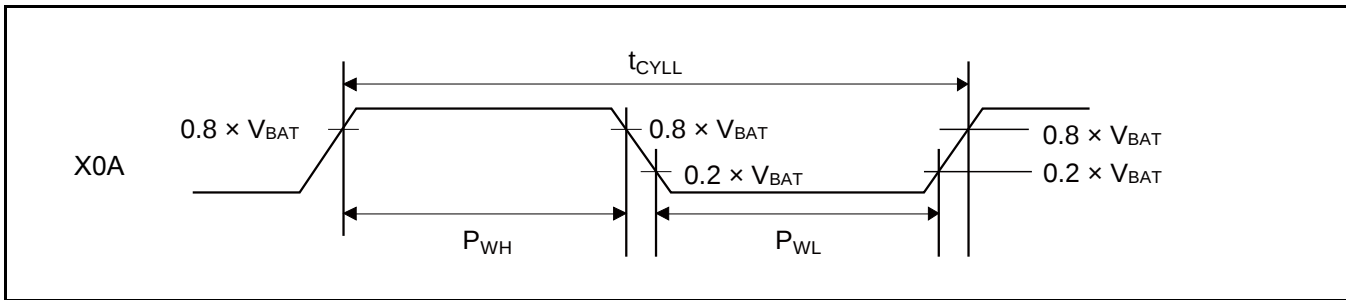
⁷⁹ 各内部動作クロックの詳細については、『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 2-1: クロック』を参照してください。

⁸⁰ 各ペリフェラルが接続されている APB バスについては「1. ブロックダイアグラム」を参照してください。

12.4.2 サブクロック入力規格

($V_{BAT} = 1.65V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時 ⁸¹
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL} , P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	$T_J = -20^\circ C \sim +105^\circ C$	3.92	4	4.08	MHz	トリミング時 ⁸²
		$T_J = -40^\circ C \sim +125^\circ C$	3.88	4	4.12		
		$T_J = -40^\circ C \sim +125^\circ C$	3	4	5		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	μs	⁸³

内蔵低速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

⁸¹ ご使用する水晶振動子については、「8. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。

⁸² 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値として設定した場合

⁸³ トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ⁸⁴ (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	100	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	200	-	400	MHz	
メイン PLL クロック周波数 ⁸⁵	f _{CLKPLL}	-	-	200	MHz	

12.4.5 USB/Ethernet 用 PLL・I²S 用 PLL の使用条件 (PLL の入力クロックにメインクロックを使用)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ⁸⁶ (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	100	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	200	-	400	MHz	USB/Ethernet 用
				384	MHz	I ² S 用
USB/Ethernet クロック周波数 ⁸⁷	f _{CLKPLL}	-	-	50	MHz	M 分周後の周波数
I ² S クロック周波数 ⁸⁸	f _{CLKPLL}	-	-	12.288	MHz	M 分周後の周波数

12.4.6 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ⁸⁹ (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	50	-	95	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	190	-	400	MHz	
メイン PLL クロック周波数 ⁹⁰	f _{CLKPLL}	-	-	200	MHz	

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速 CR クロック(CLKHC)を入力してください。

12.4.7 リセット入力規格

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t _{INITX}	INITX	-	500	-	ns	

⁸⁴ PLL の発振が安定するまでの待ち時間

⁸⁵ メイン PLL クロック(CLKPLL)の詳細については、『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 2-1: クロック』を参照してください。

⁸⁶ PLL の発振が安定するまでの待ち時間

⁸⁷ USB/Ethernet クロックの詳細については、『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 2-3: USB/Ethernet クロック生成』を参照してください。

⁸⁸ I²S クロックの詳細については、『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 7-1: I²S クロック生成』を参照してください。

⁸⁹ PLL の発振が安定するまでの待ち時間

⁹⁰ メイン PLL クロック(CLKPLL)の詳細については、『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 2-1: クロック』を参照してください。

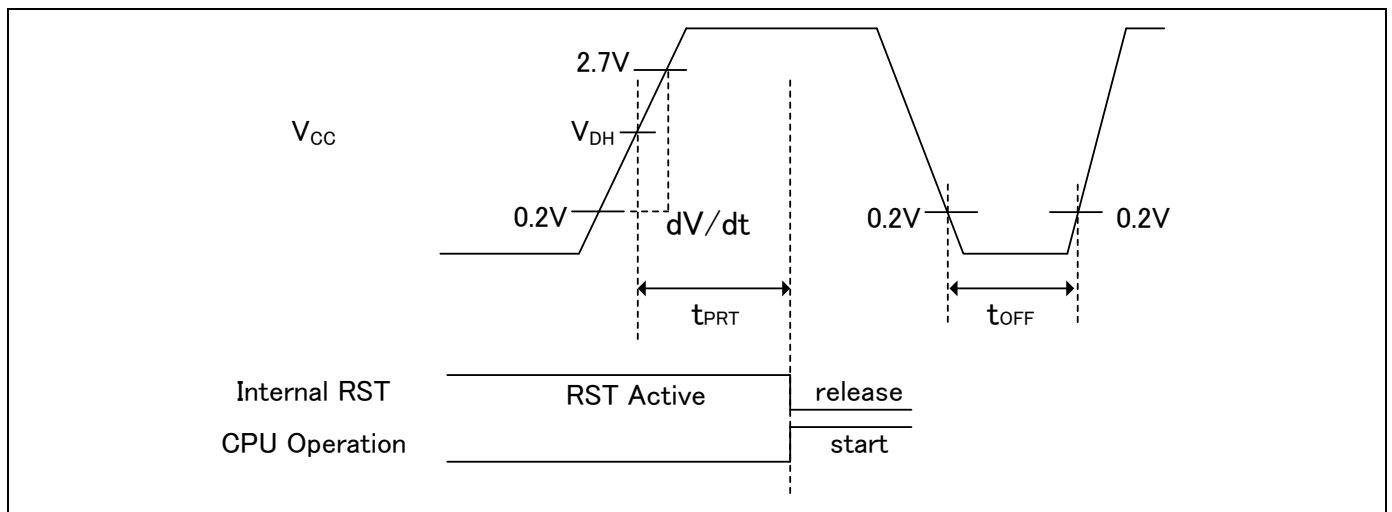
12.4.8 パワーオンリセットタイミング

 (V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t _{OFF}	VCC	-	1	-	-	ms	⁹¹
電源立上り速度	dV/dt		V _{CC} : 0.2V ~ 2.7V	0.6	-	1000	mV/μs	⁹²
パワーオンリセット解除までの時間	t _{PRT}		-	0.33	-	0.60	ms	

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に [12.4.7](#) リセット入力規格に従い外部リセット(INITX)を入れて下さい。



用語

- V_{DH}: 低電圧検出リセット解除電圧、[12.8. 低電圧検出特性](#)をご参照ください。

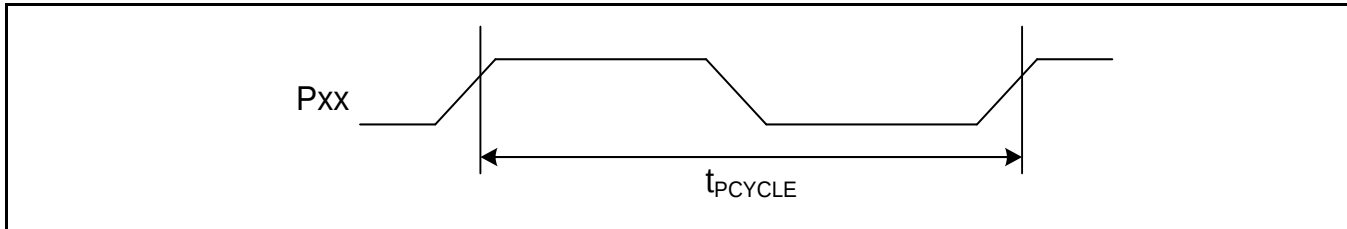
⁹¹ V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

⁹² この dV/dt 規格は cold start (t_{OFF}>1ms) のパワーオン時に適用されます。

12.4.9 GPIO 出力規格

 ($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{PCYCLE}	P_{XX}^{93}	$V_{CC} \geq 4.5V$	-	50	MHz	
			$V_{CC} < 4.5V$	-	32	MHz	

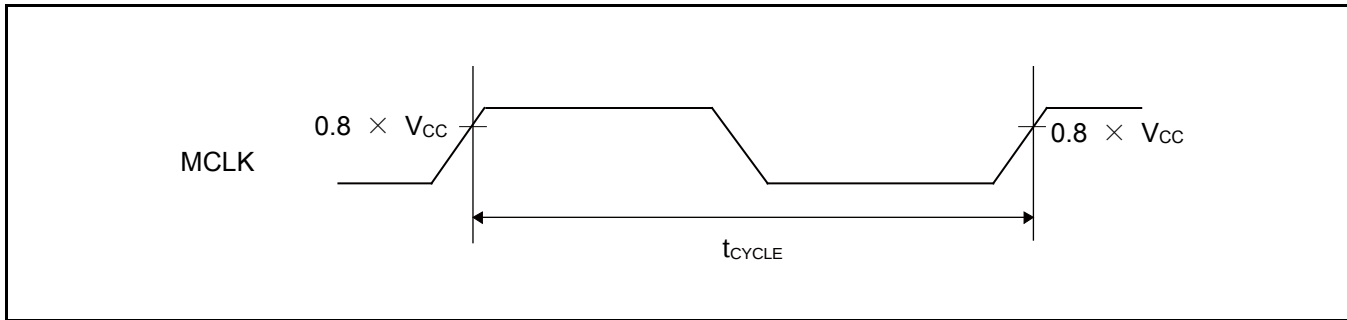

⁹³ GPIO が対象です。

12.4.10 外バスタイミング

外バスクロック出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

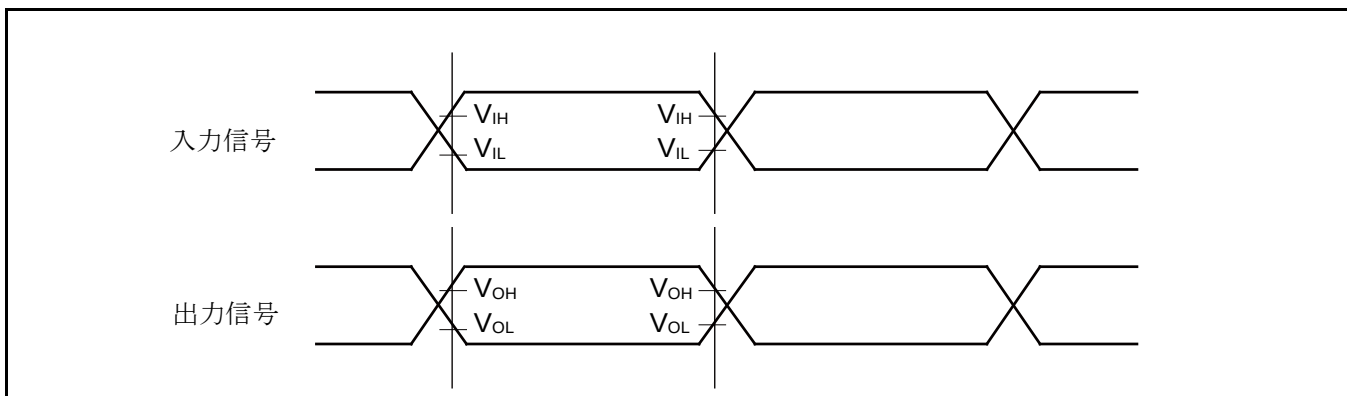
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	t_{CYCLE}	MCLKOUT ⁹⁴		-	50 ⁹⁵	MHz	



外バス信号入出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号出力規格	V_{OH}		$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	



⁹⁴ 外バスクロック出力(MCLKOUT)はHCLKの分周クロックです。

設定の詳細は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 14: 外部バスインタフェース』を参照してください。

⁹⁵ MCLKOUT または MSDCLK がこの規格値を超えないように AHB バスクロック分周比を DCLKR:MDIV レジスタに設定してください。

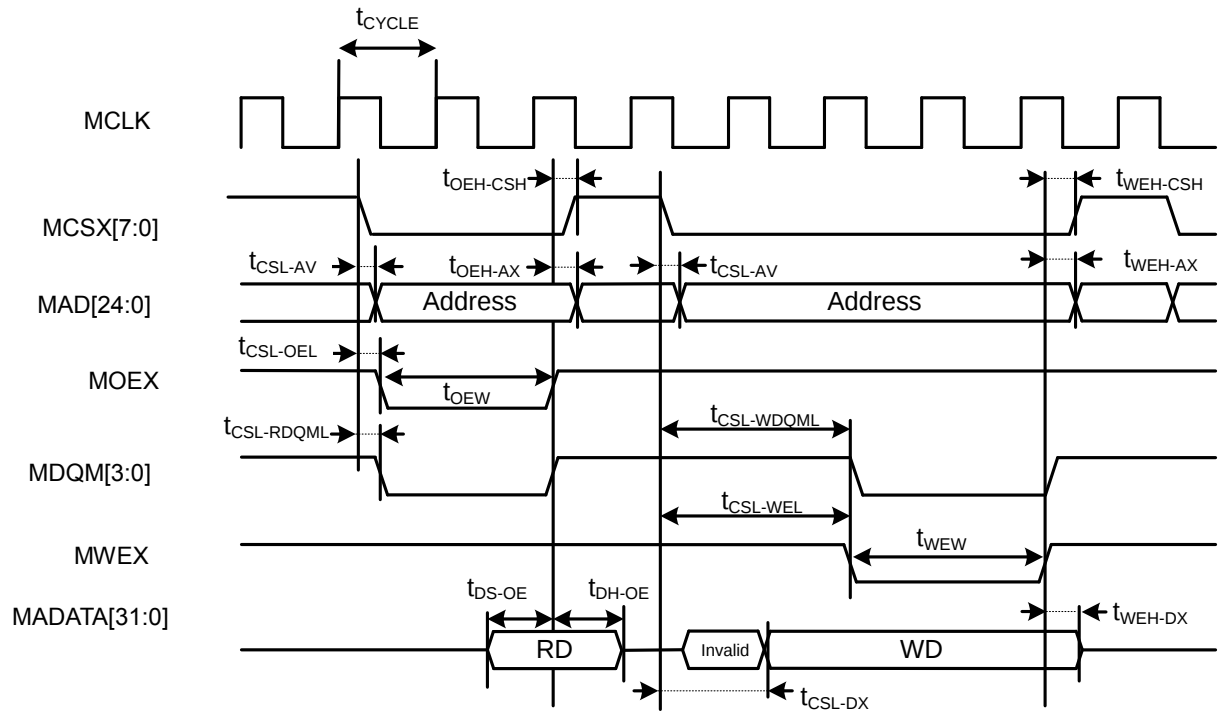
セパレートバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MOEX 最小パルス幅	toEW	MOEX	-	$MCLK \times n - 3$	-	ns	
MCSX ↓ → アドレス出力遅延時間	tCSL - AV	MCSX[7:0], MAD[24:0]	-	-9	+9	ns	
MOEX ↑ → アドレスホールド時間	toEH - AX	MOEX, MAD[24:0]	-	0	$MCLK \times m + 9$	ns	
MCSX ↓ → MOEX ↓ 遅延時間	tCSL - OEL	MOEX, MCSX[7:0]	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MOEX ↑ → MCSX ↑ 時間	toEH - CSH		-	0	$MCLK \times m + 9$	ns	
MCSX ↓ → MDQM ↓ 遅延時間	tCSL - RDQML	MCSX, MDQM[3:0]	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
データセットアップ → MOEX ↑ 時間	tDS - OE	MOEX, MADATA[31:0]	-	20	-	ns	
MOEX ↑ → データホールド時間	tDH - OE	MOEX, MADATA[31:0]	-	0	-	ns	
MWEX 最小パルス幅	twEW	MWEX	-	$MCLK \times n - 3$	-	ns	
MWEX ↑ → アドレス出力遅延時間	twEH - AX	MWEX, MAD[24:0]	-	0	$MCLK \times m + 9$	ns	
MCSX ↓ → MWEX ↓ 遅延時間	tCSL - WEL	MWEX, MCSX[7:0]	-	$MCLK \times n - 9$	$MCLK \times n + 9$	ns	
MWEX ↑ → MCSX ↑ 遅延時間	twEH - CSH		-	0	$MCLK \times m + 9$	ns	
MCSX ↓ → MDQM ↓ 遅延時間	tCSL - WDQML	MCSX, MDQM[3:0]	-	$MCLK \times n - 9$	$MCLK \times n + 9$	ns	
MCSX ↓ → データ出力時間	tCSL - DX	MCSX, MADATA[31:0]	-	$MCLK - 9$	$MCLK + 9$	ns	
MWEX ↑ → データホールド時間	twEH - DX	MWEX, MADATA[31:0]	-	0	$MCLK \times m + 9$	ns	

<注意事項>

- 外部負荷容量 $C_L = 30 \text{ pF}$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



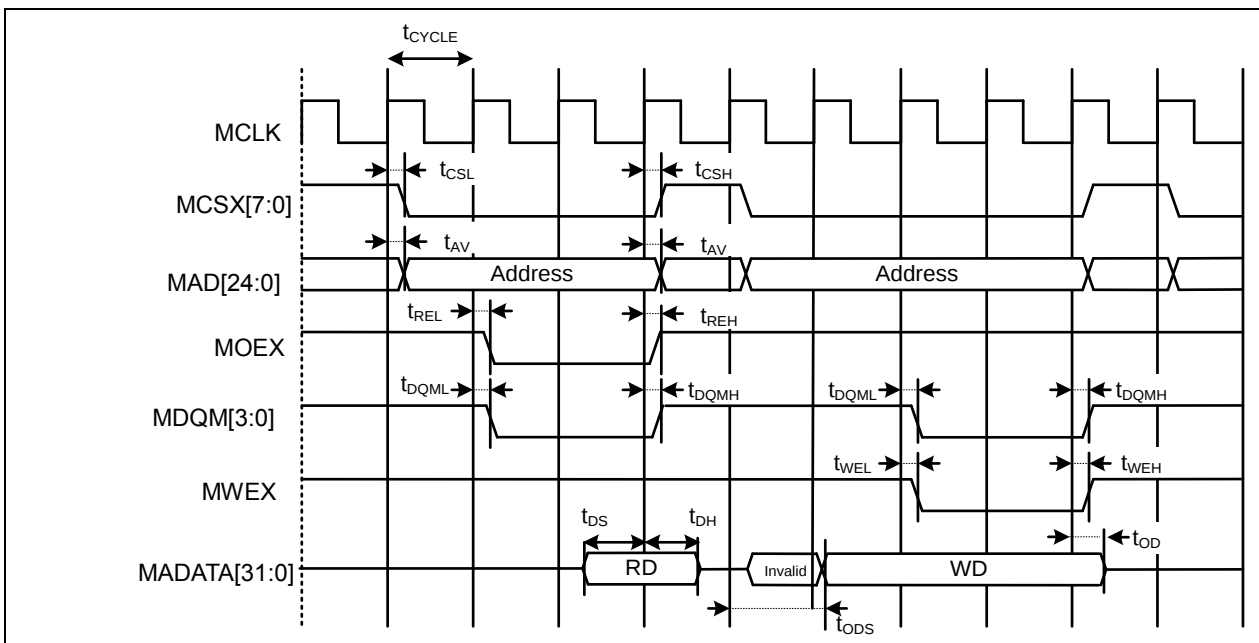
セパレートバスアクセス 同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
アドレス遅延時間	t_{AV}	MCLK, MAD[24:0]	-	1	9	ns	
MCSX 遅延時間	t_{CSL}	MCLK, MCSX[7:0]	-	1	9	ns	
	t_{CSH}		-	1	9	ns	
MOEX 遅延時間	t_{REL}	MCLK, MOEX	-	1	9	ns	
	t_{REH}		-	1	9	ns	
データセットアップ→ MCLK ↑ 時間	t_{DS}	MCLK, MADATA[31:0]	-	19	-	ns	
MCLK ↑ → データホールド時間	t_{DH}	MCLK, MADATA[31:0]	-	0	-	ns	
MWEX 遅延時間	t_{WEL}	MCLK, MWEX	-	1	9	ns	
	t_{WEH}		-	1	9	ns	
MDQM[1:0]遅延時間	t_{DQML}	MCLK, MDQM[3:0]	-	1	9	ns	
	t_{DQMH}		-	1	9	ns	
MCLK ↑ → データ出力時間	t_{ODS}	MCLK, MADATA[31:0]	-	MCLK+1	MCLK+18	ns	
MCLK ↑ → データホールド時間	t_{OD}	MCLK, MADATA[31:0]	-	1	18	ns	

<注意事項>

- 外部負荷容量 $C_L = 30 \text{ pF}$ 時



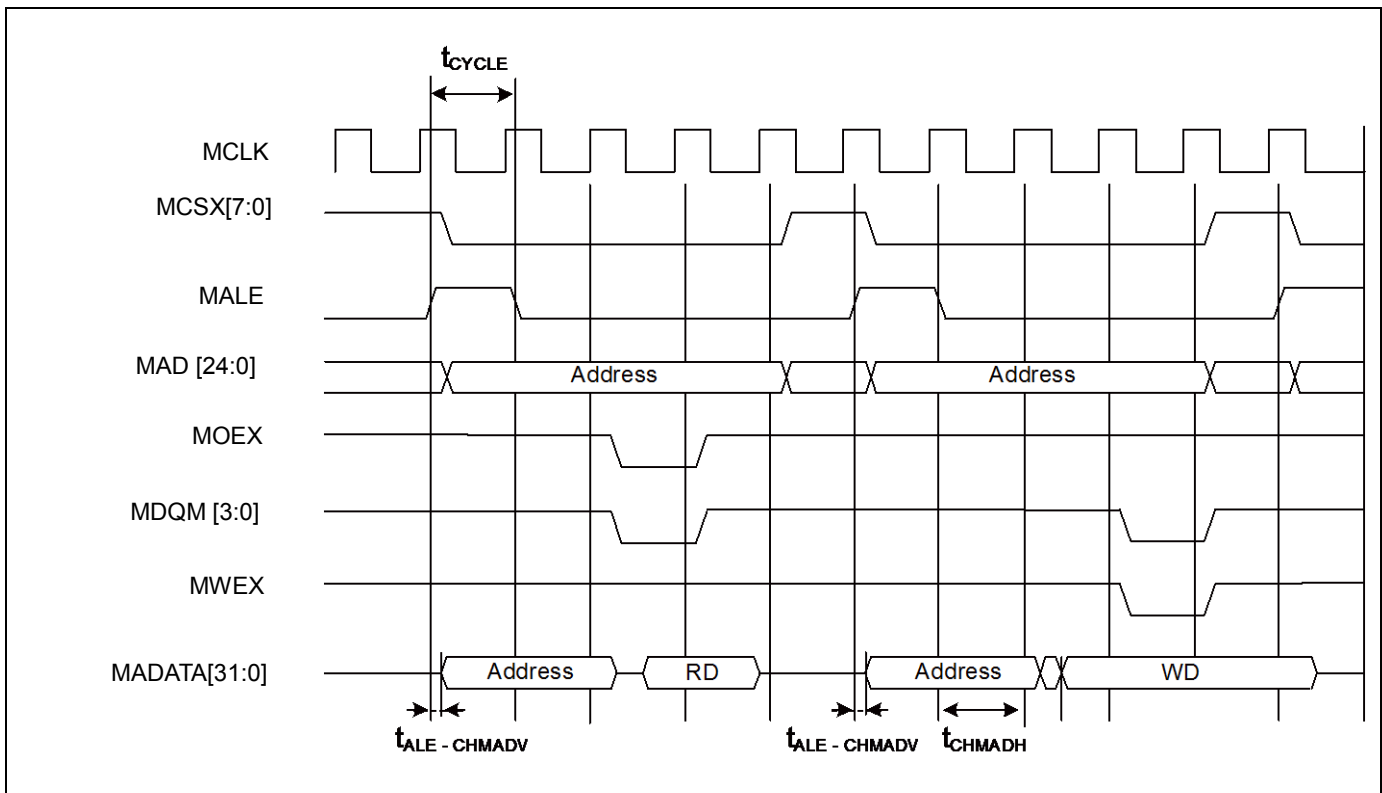
マルチプレクスバスアクセス 非同期 SRAM モード

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
マルチプレクス アドレス遅延時間	t _{ALE-CHMADV}	MALE, MAD[24:0]	-	0	10	ns	
マルチプレクス アドレスホールド時間	t _{CHMADH}		-	MCLK×n+0	MCLK×n+10	ns	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時 (m=0~15, n=1~16)



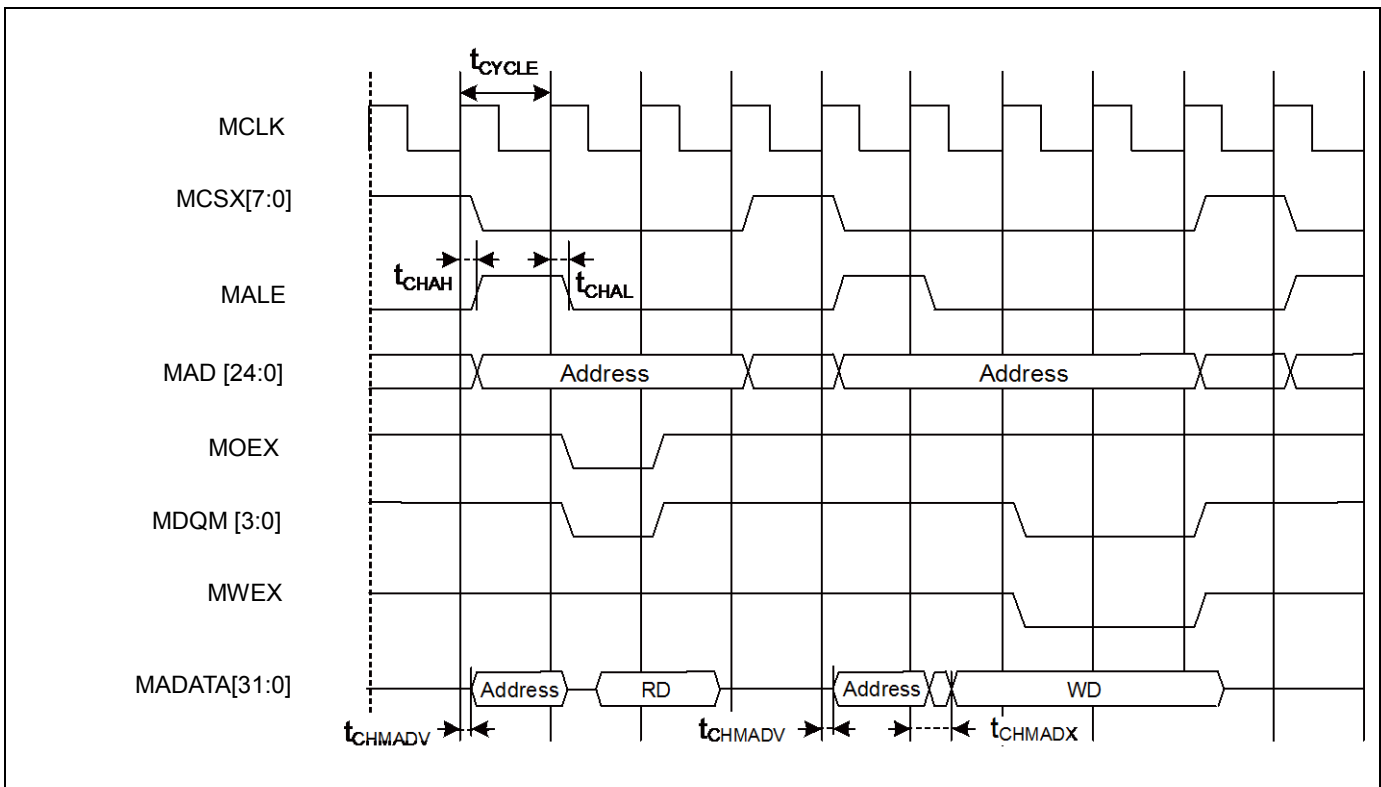
マルチプレクスバスアクセス 同期 SRAM モード

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t _{CHAL}	MCLK, MALE	-	1	9		
	t _{CHAH}		-	1	9		
MCLK ↑ → マルチプレクス アドレス遅延時間	t _{CHMADV}	MCLK, MADATA[31:0]	-	1	t _{OD}	ns	
MCLK ↑ → マルチプレクス データ出力時間	t _{CHMADX}		-	1	t _{OD}	ns	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



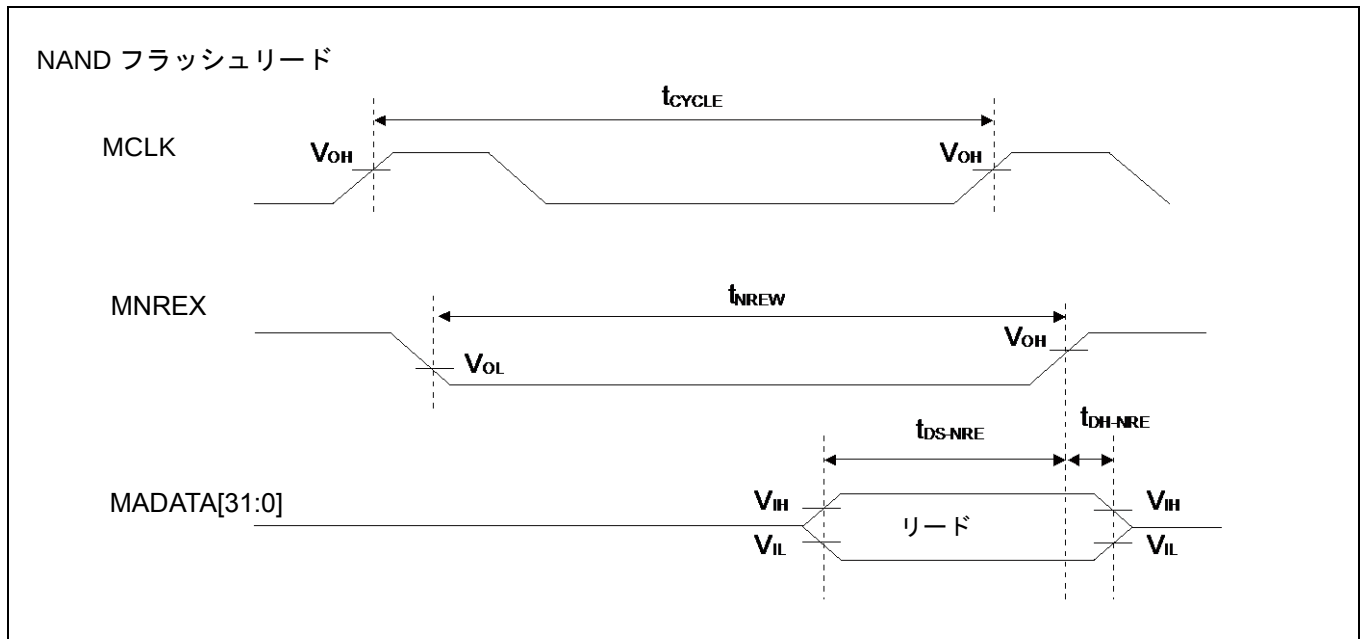
NAND フラッシュモード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

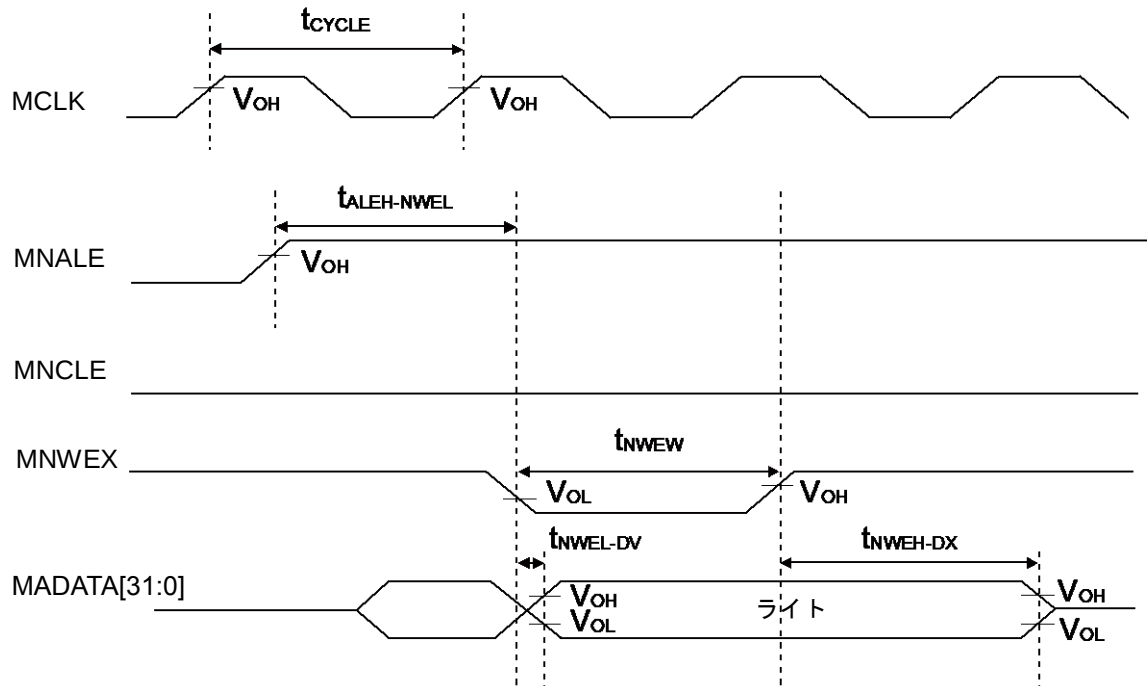
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MNREX 最小パルス幅	t_{NREW}	MNREX	-	$MCLK \times n - 3$	-	ns	
データセットアップ→ MNREX ↑ 時間	t_{DS-NRE}	MNREX, MADATA[31:0]	-	20	-	ns	
MNREX ↑→ データホールド時間	t_{DH-NRE}	MNREX, MADATA[31:0]	-	0	-	ns	
MNALE ↑→ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE, MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNALE ↓→ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE, MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNCLE ↑→ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE, MNWEX	-	$MCLK \times m - 9$	$MCLK \times m + 9$	ns	
MNWEF ↑→ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE, MNWEX	-	0	$MCLK \times m + 9$	ns	
MNWEF 最小パルス幅	t_{NWEW}	MNWEF	-	$MCLK \times n - 3$	-	ns	
MNWEF ↓→ データ出力時間	$t_{NWEV-DV}$	MNWEF, MADATA[31:0]	-	-9	9	ns	
MNWEF ↑→ データホールド時間	$t_{NWEH-DX}$	MNWEF, MADATA[31:0]	-	0	$MCLK \times m + 9$	ns	

<注意事項>

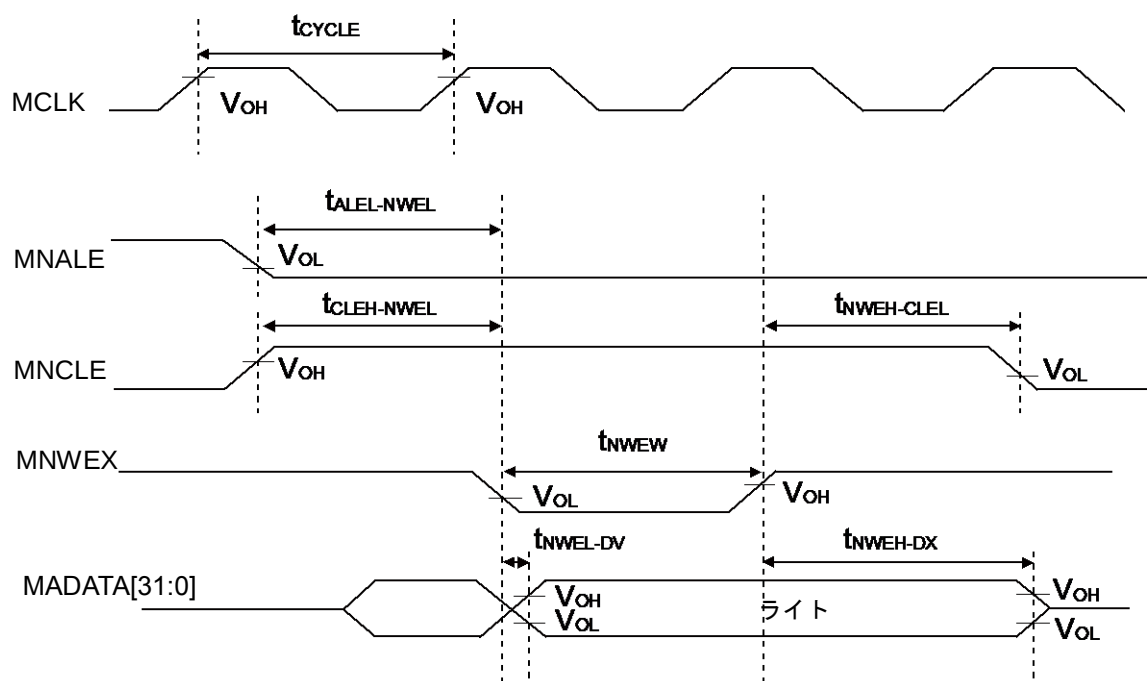
- 外部負荷容量 $C_L = 30 \text{ pF}$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



NAND フラッシュアドレスライト



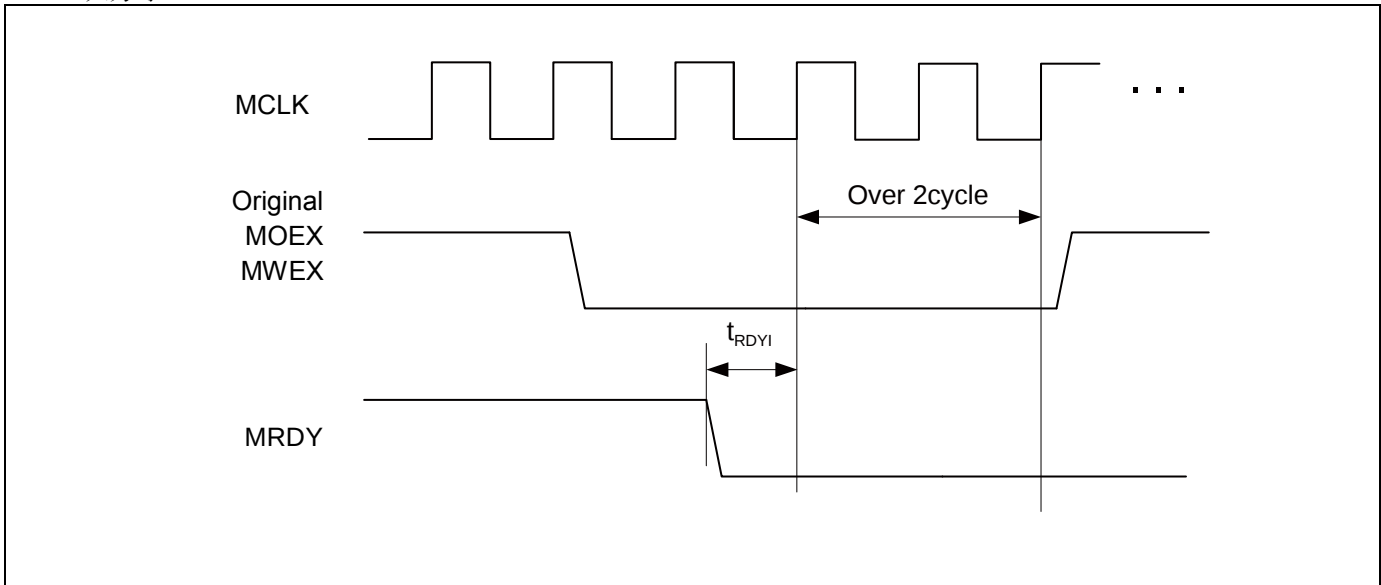
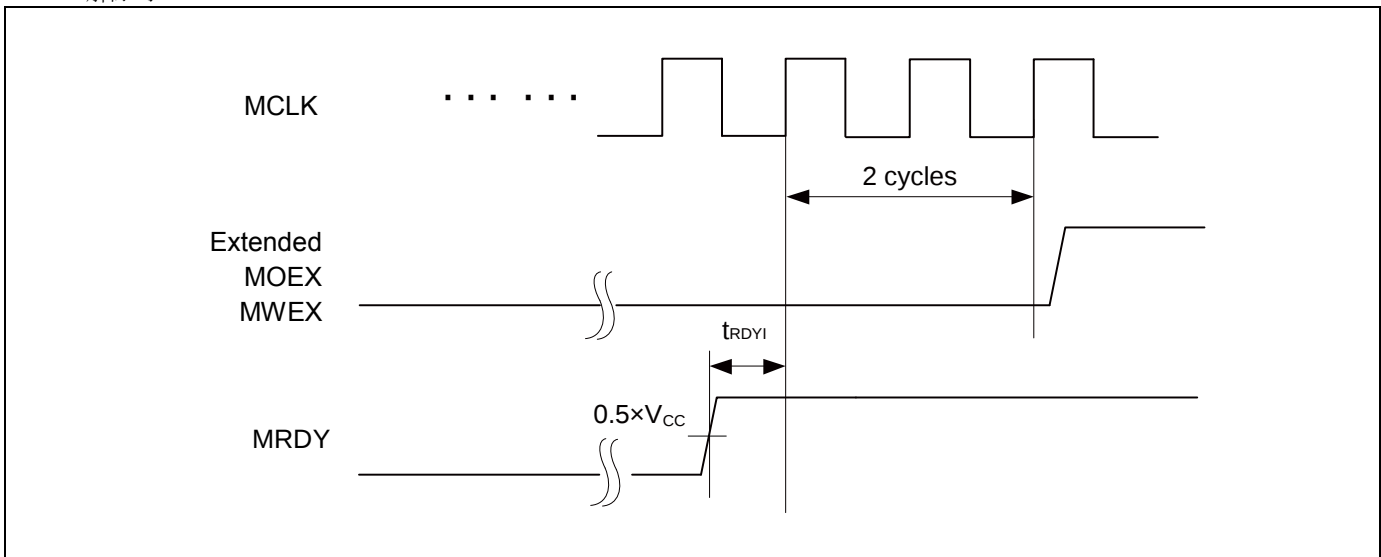
NAND フラッシュコマンドライト



外部 RDY 入力タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t _{RDYI}	MCLK, MRDY	-	19	-	ns	

■RDY 入力時

■RDY 解除時


SDRAM モード

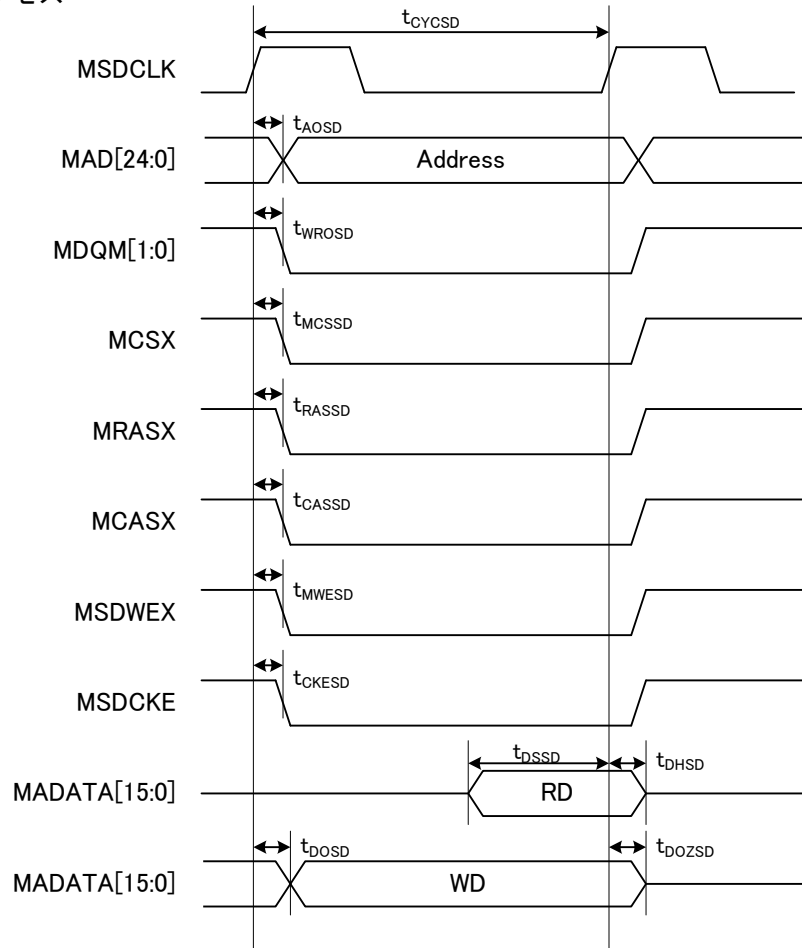
($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	tCYCSD	MSDCLK	-	-	50	MHz	
アドレス遅延時間	tAOSD	MSDCLK, MAD[15:0]	-	2	12	ns	
MSDCLK ↑ → データ出力遅延時間	tDOSD	MSDCLK, MADATA[31:0]	-	2	12	ns	
MSDCLK ↑ → データ出力 Hi-Z 時間	tDOZSD	MSDCLK, MADATA[31:0]	-	2	19.5	ns	
MDQM[3:0]遅延時間	tWROSD	MSDCLK, MDQM[1:0]	-	1	12	ns	
MCSX 遅延時間	tMCSSD	MSDCLK, MCSX8	-	2	12	ns	
MRASX 遅延時間	tRASSD	MSDCLK, MRASX	-	2	12	ns	
MCASX 遅延時間	tCASSD	MSDCLK, MCASX	-	2	12	ns	
MSDWEX 遅延時間	tMWESD	MSDCLK, MSDWEX	-	2	12	ns	
MSDCKE 遅延時間	tCKESD	MSDCLK, MSDCKE	-	2	12	ns	
データセットアップ時間	tDSSD	MSDCLK, MADATA[31:0]	-	19	-	ns	
データホールド時間	tDHSd	MSDCLK, MADATA[31:0]	-	0	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30 \text{ pF}$ 時

SDRAM アクセス

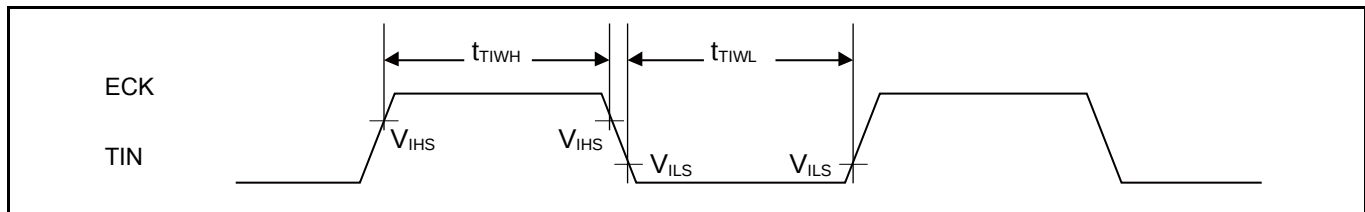


12.4.11 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

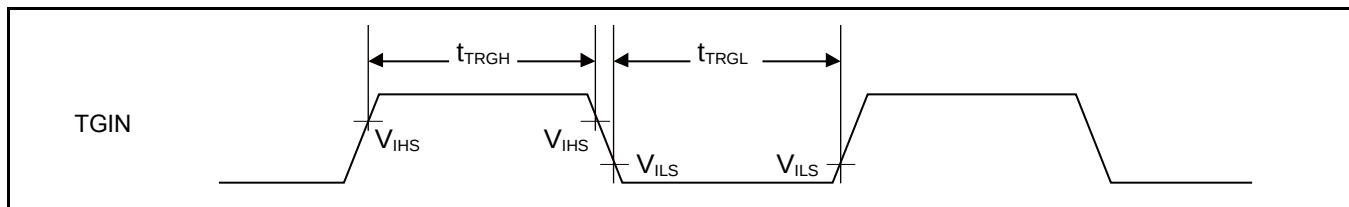
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。

12.4.12 CSIO タイミング

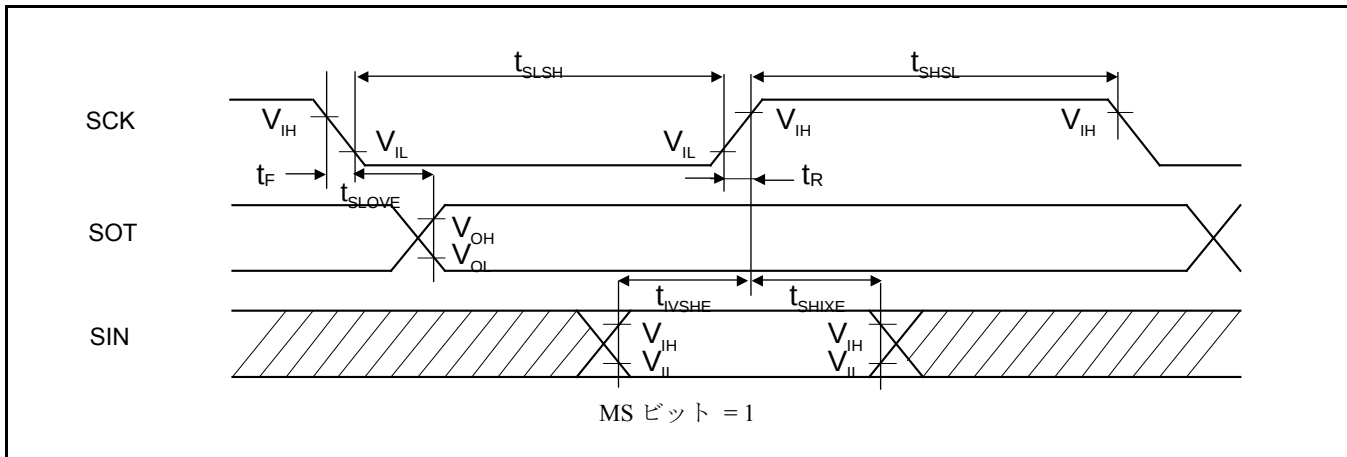
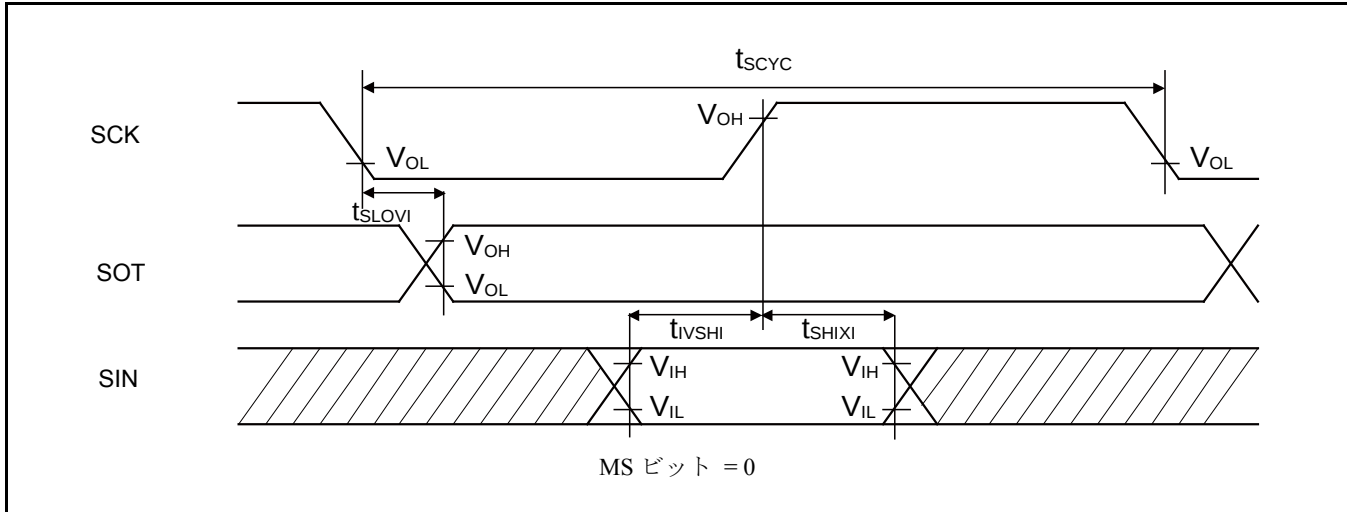
同期シリアル(SPI = 0, SCINV = 0)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-		-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0} と SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF



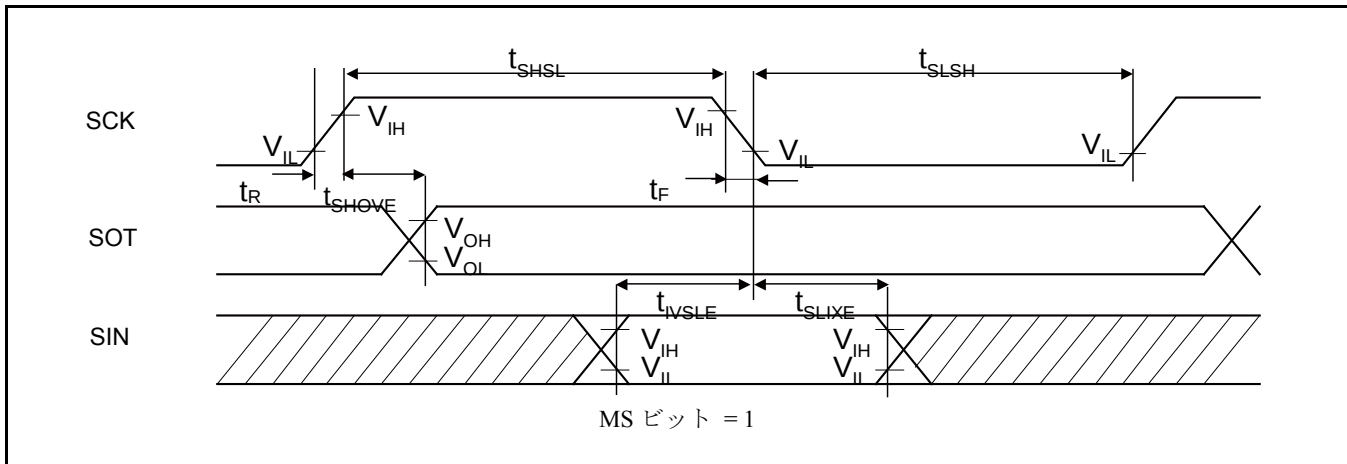
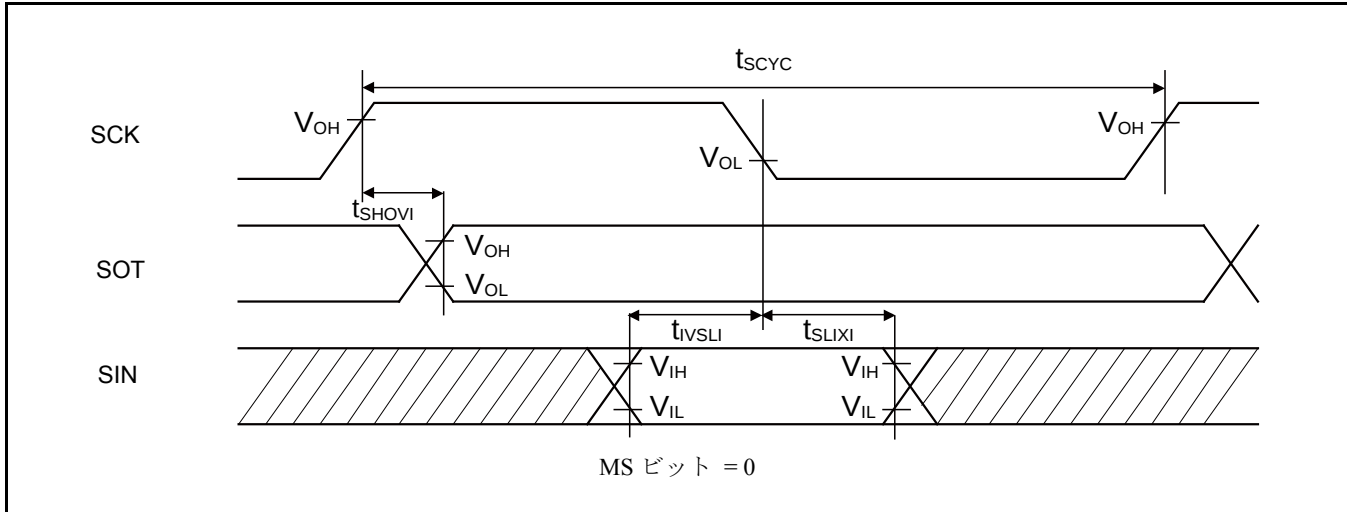
同期シリアル(SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0} と SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF



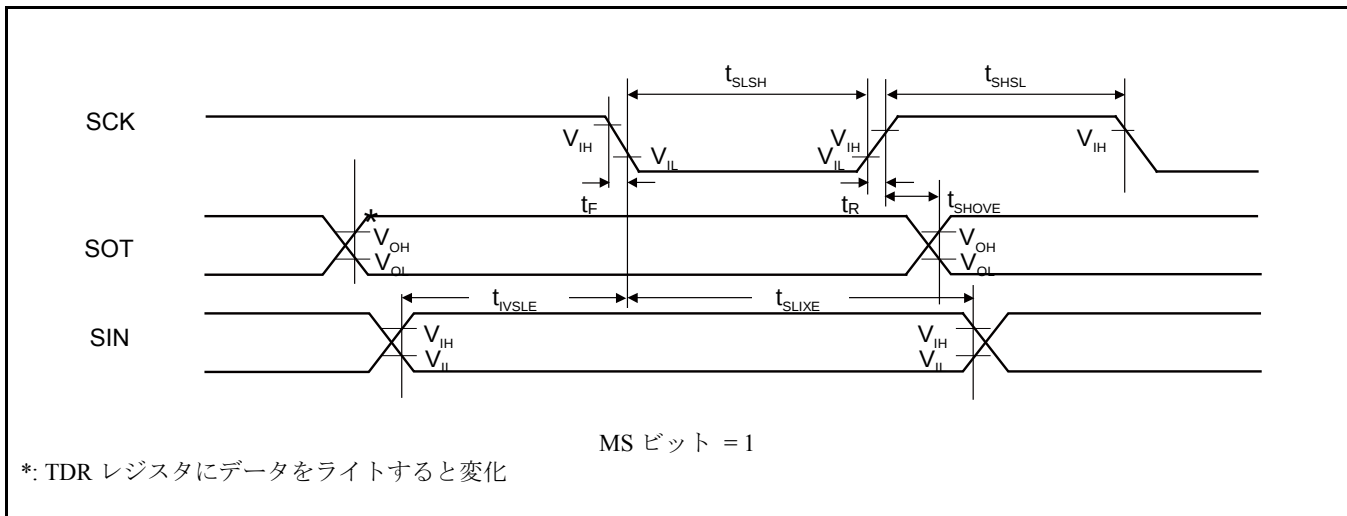
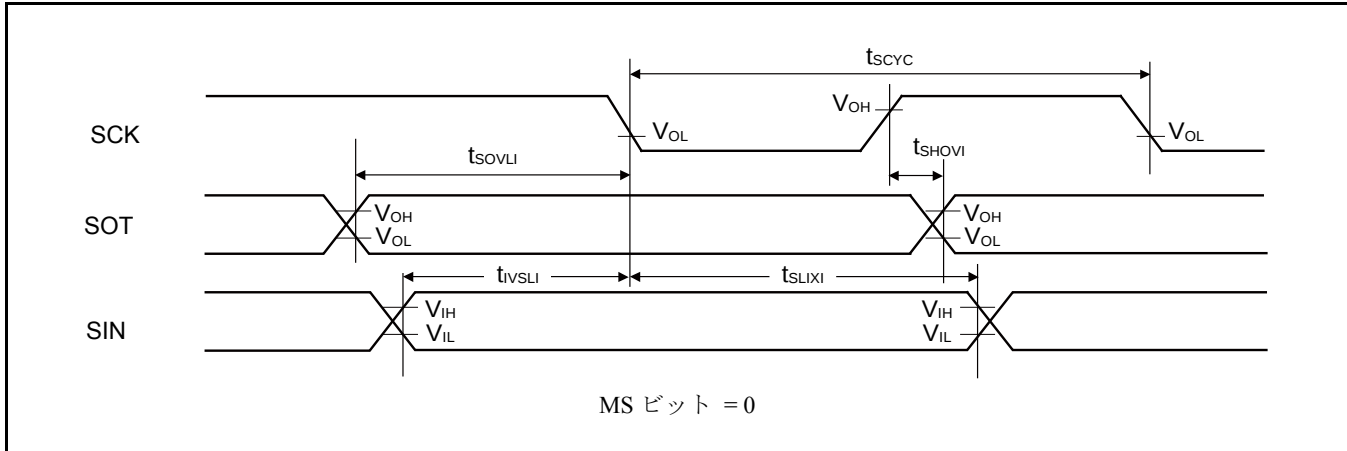
同期シリアル(SPI = 1, SCINV = 0)

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0} と SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF



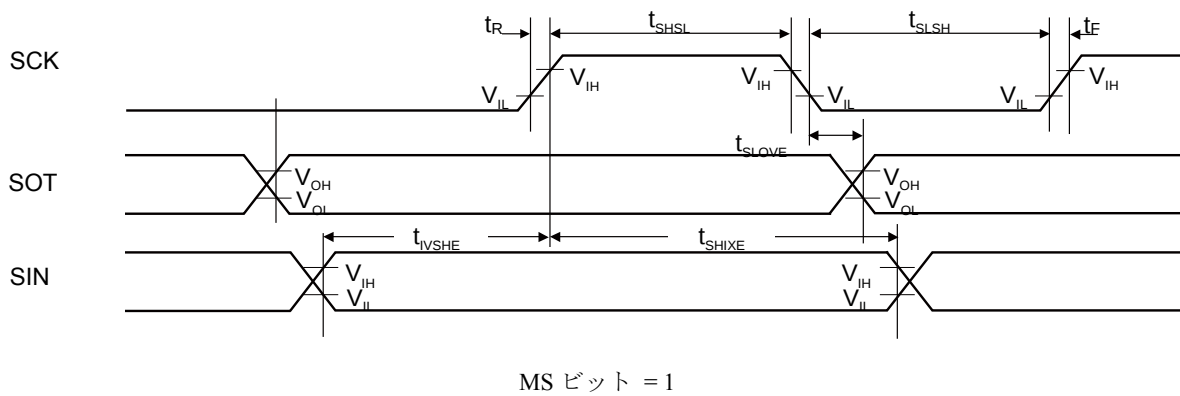
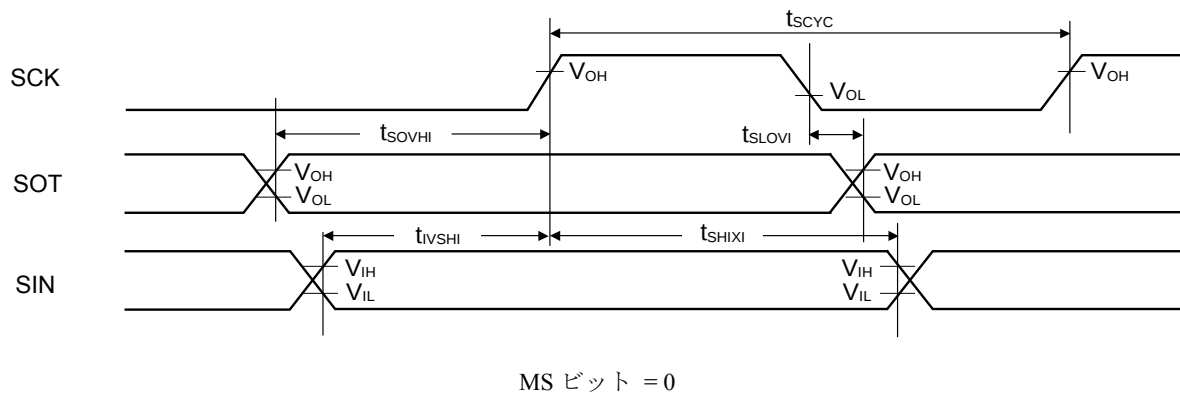
同期シリアル(SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック L パルス幅	t _{LSLH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0} と SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF



同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSI}	内部 シフト クロック 動作	(ア)-50	(ア)+0	(ア)-50	(ア)+0	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHI}		(イ)+0	(イ)+50	(イ)+0	(イ)+50	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	ns
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSSE}	外部 シフト クロック 動作	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS ↑ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

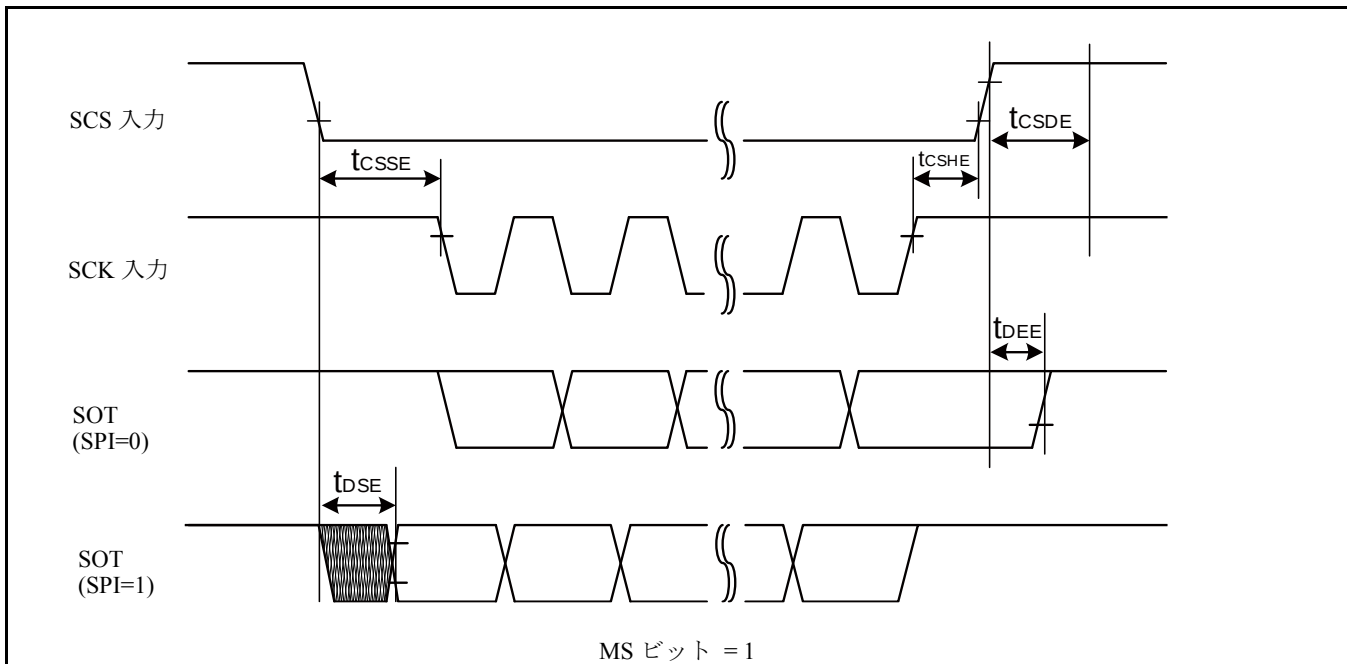
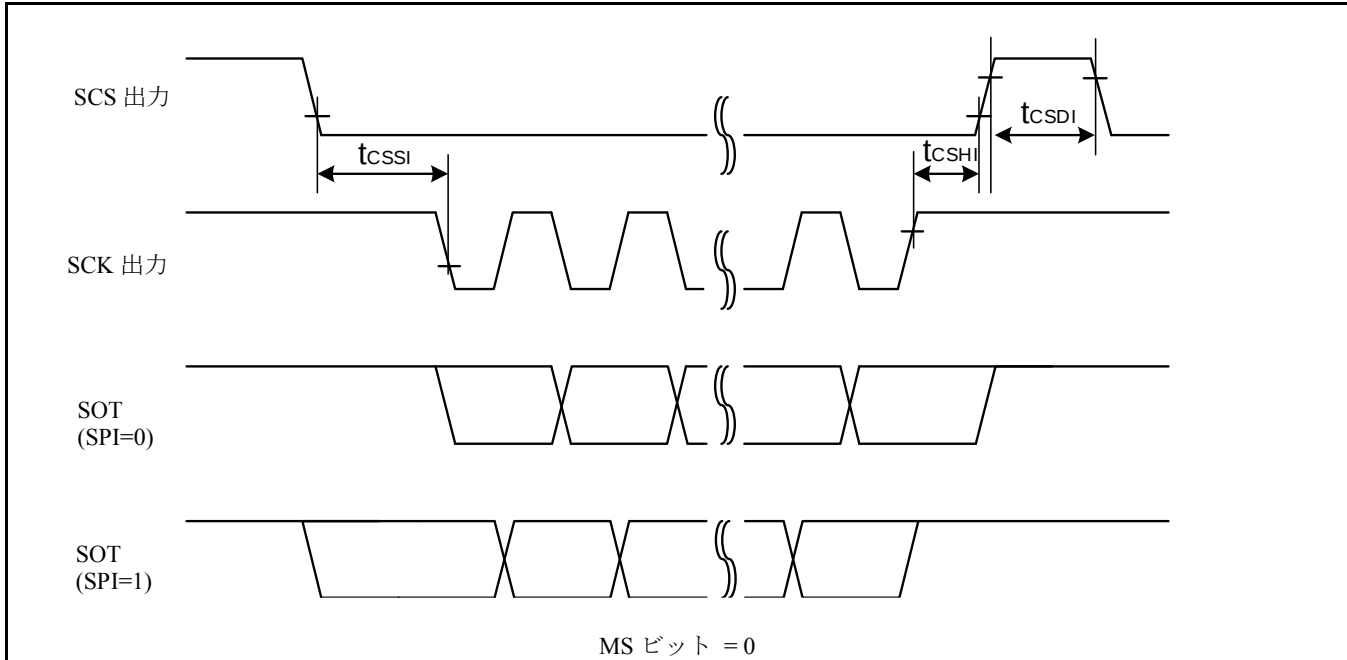
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-50	(ア)+0	(ア)-50	(ア)+0	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHI}		(イ)+0	(イ)+50	(イ)+0	(イ)+50	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	ns
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS ↑ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

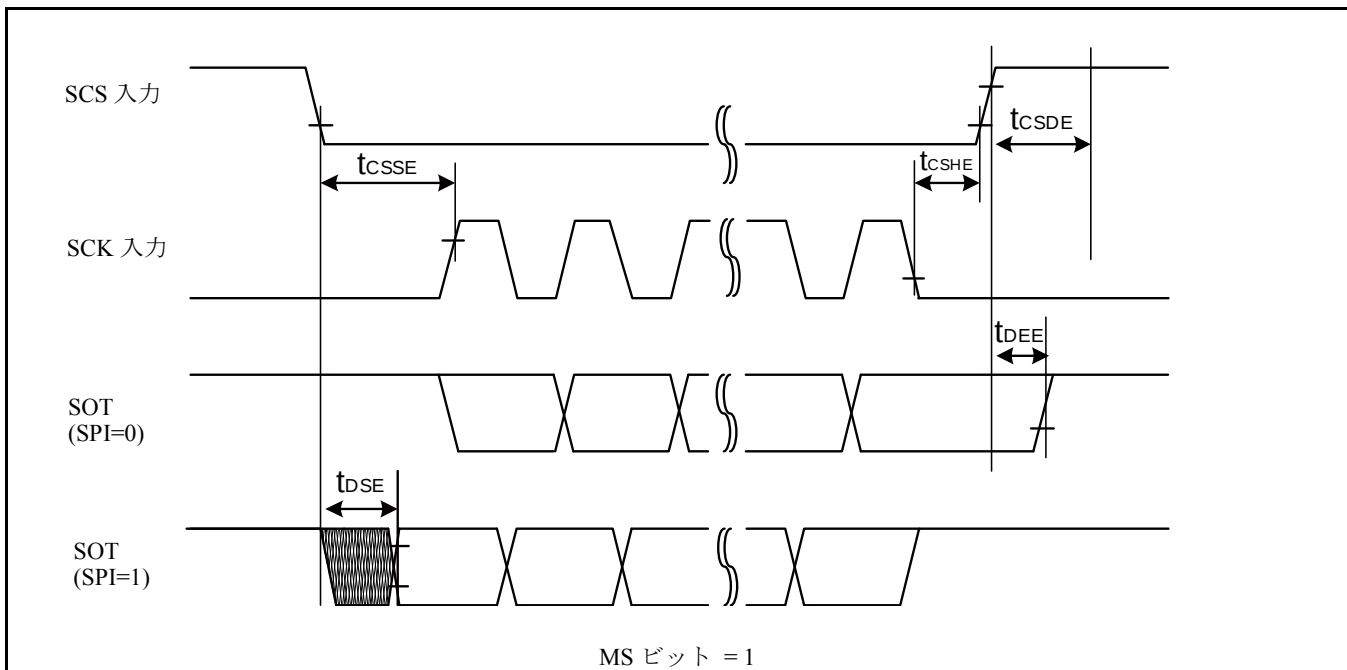
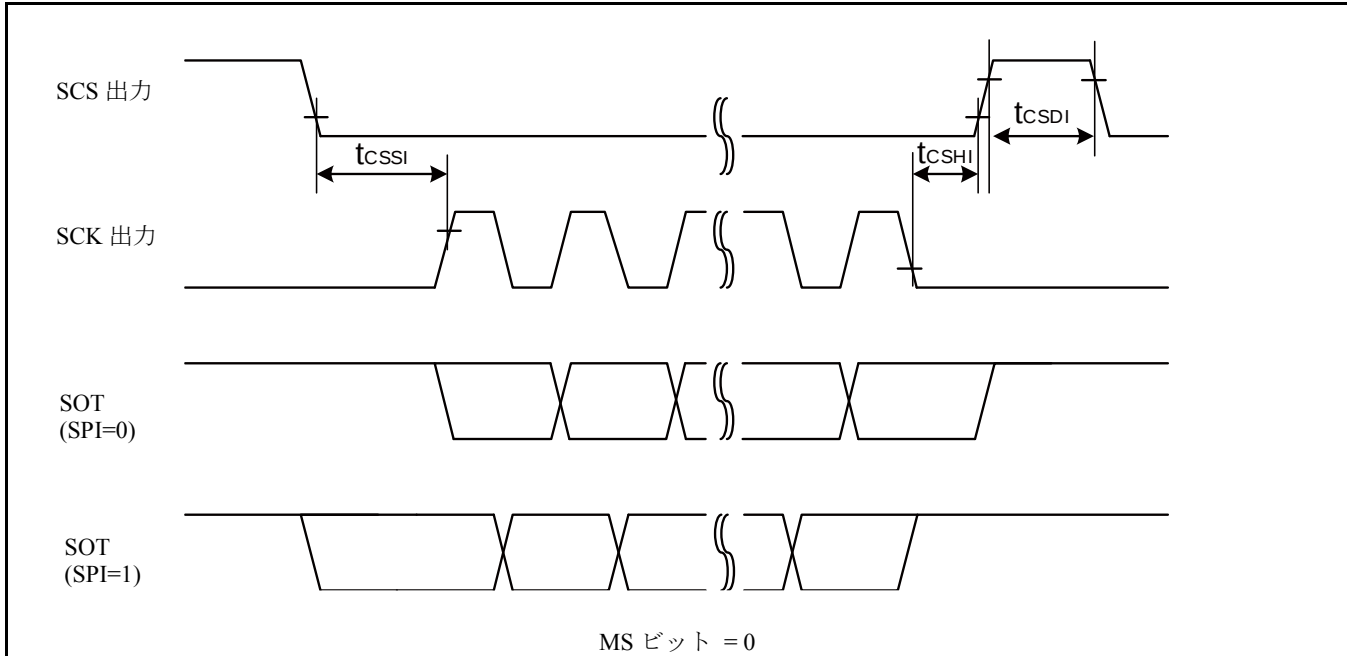
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-50	(ア)+0	(ア)-50	(ア)+0	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHI}		(イ)+0	(イ)+50	(イ)+0	(イ)+50	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	ns
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS ↓ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

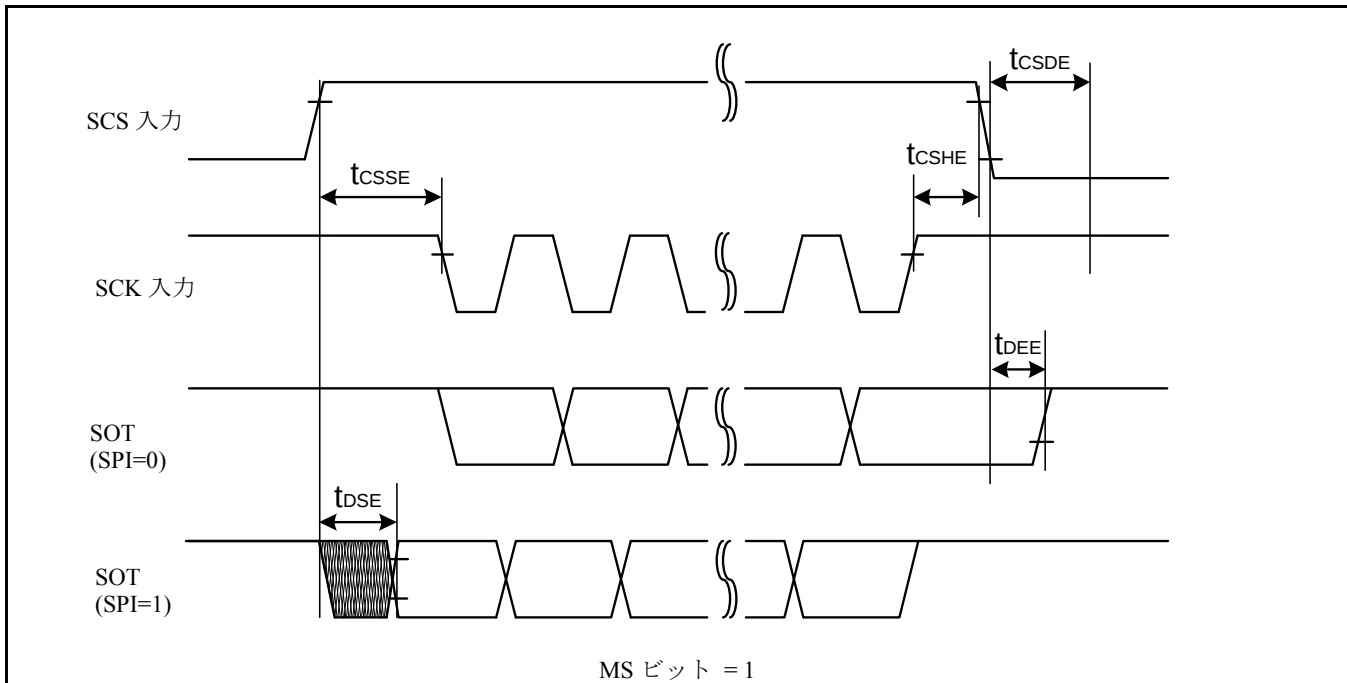
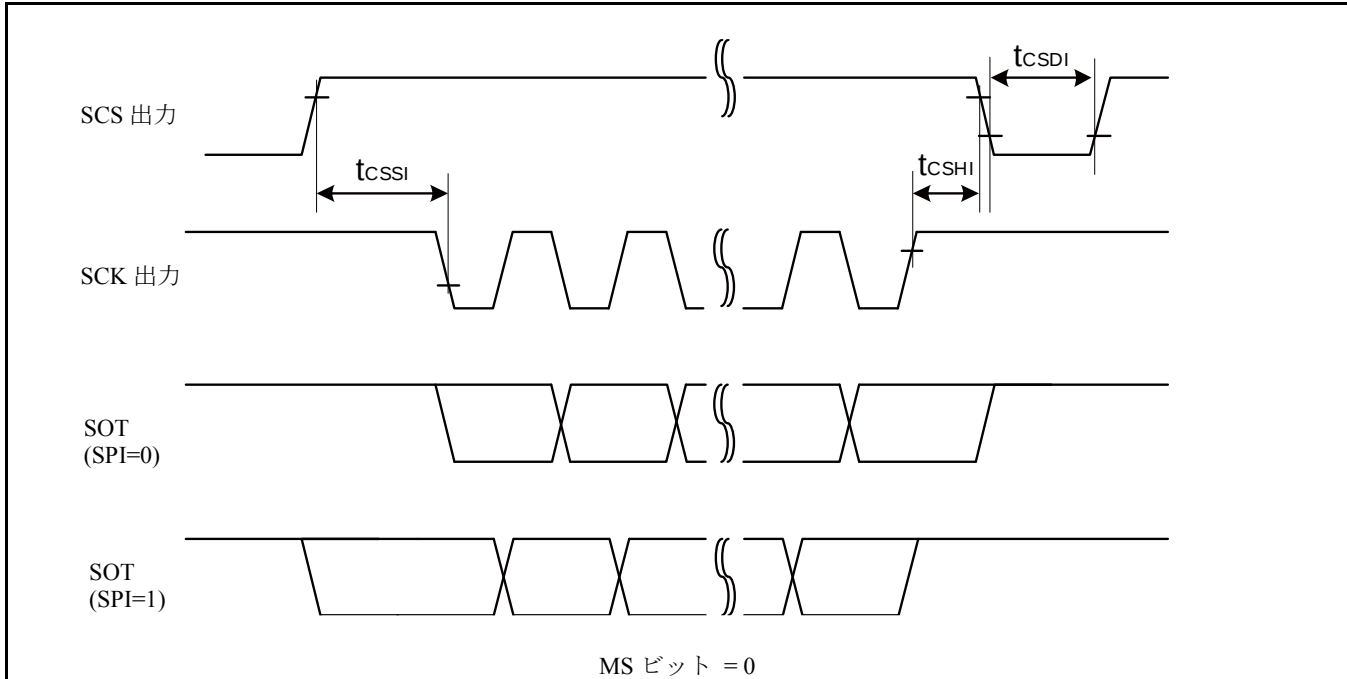
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-50	(ア)+0	(ア)-50	(ア)+0	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSHI}		(イ)+0	(イ)+50	(イ)+0	(イ)+50	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	(ウ)-50 +5t _{CYCP}	(ウ)+50 +5t _{CYCP}	ns
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS ↓ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

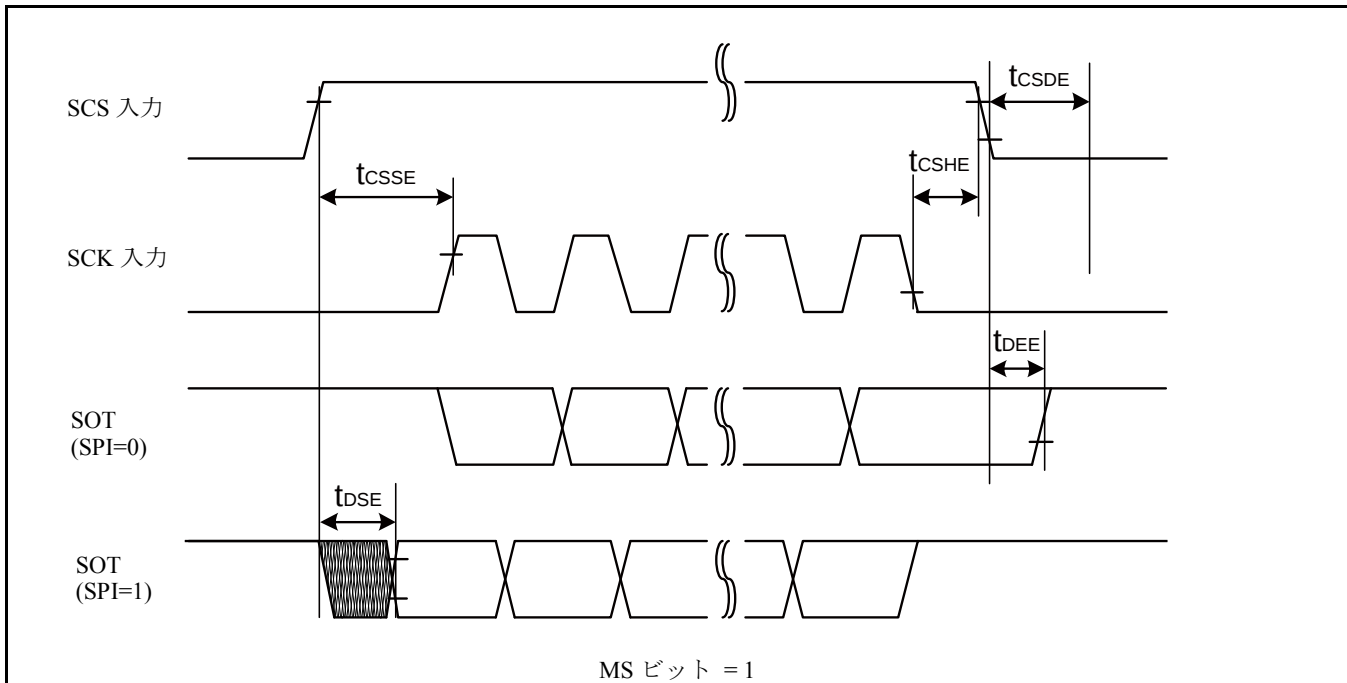
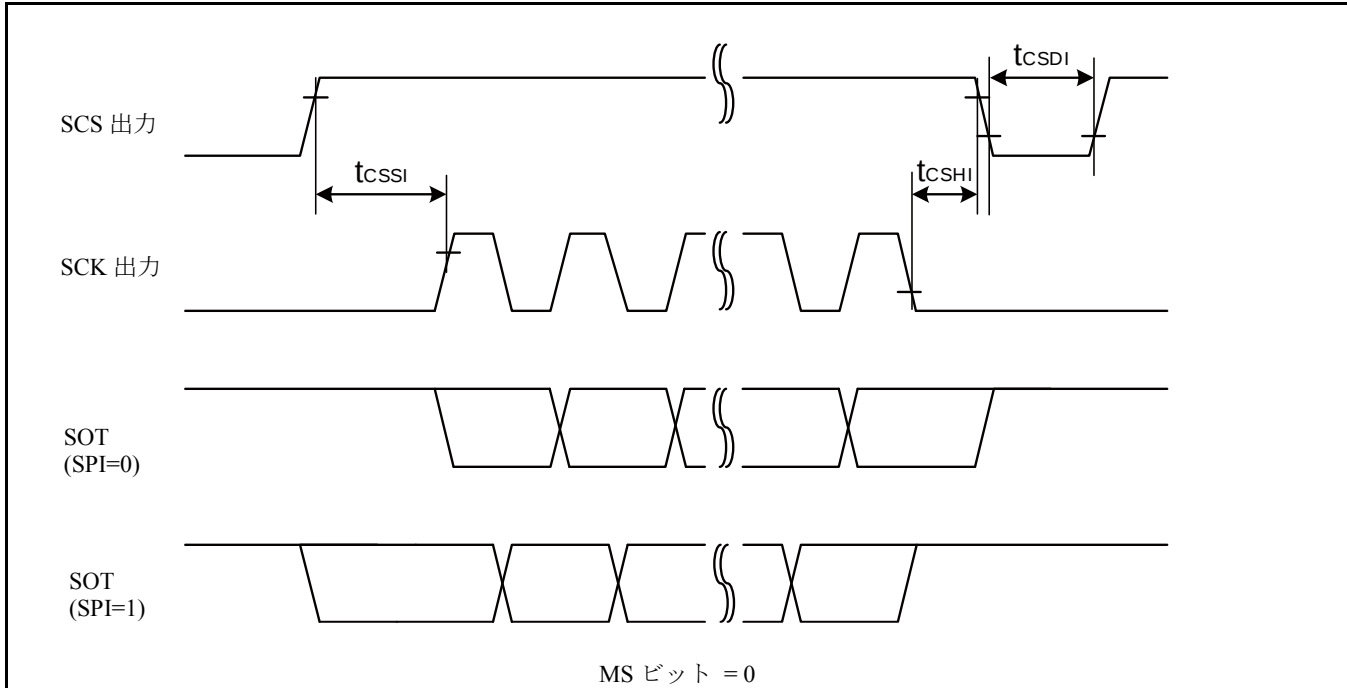
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル(SPI = 0, SCINV = 0)

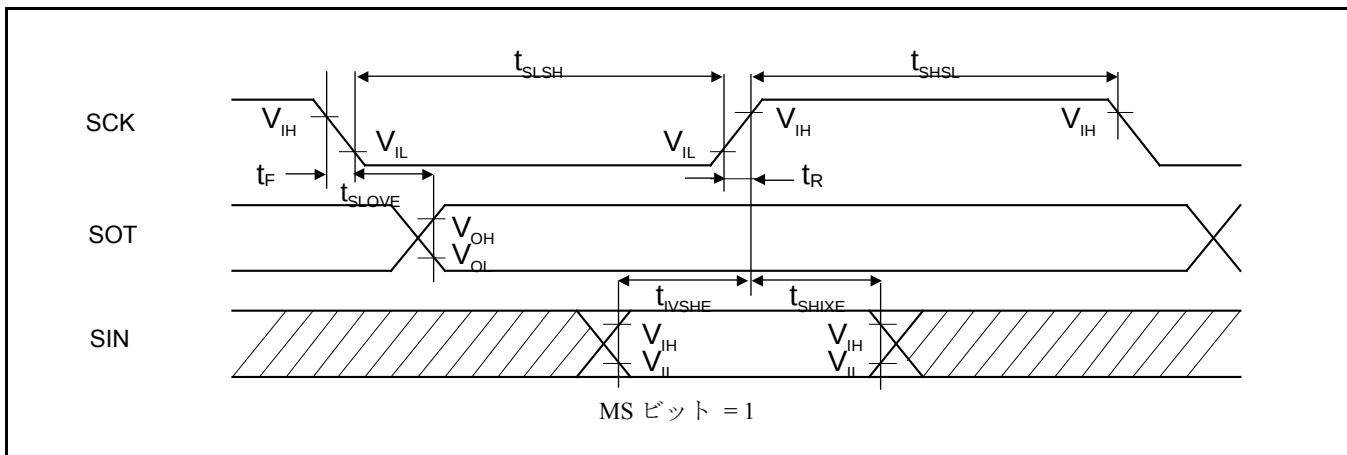
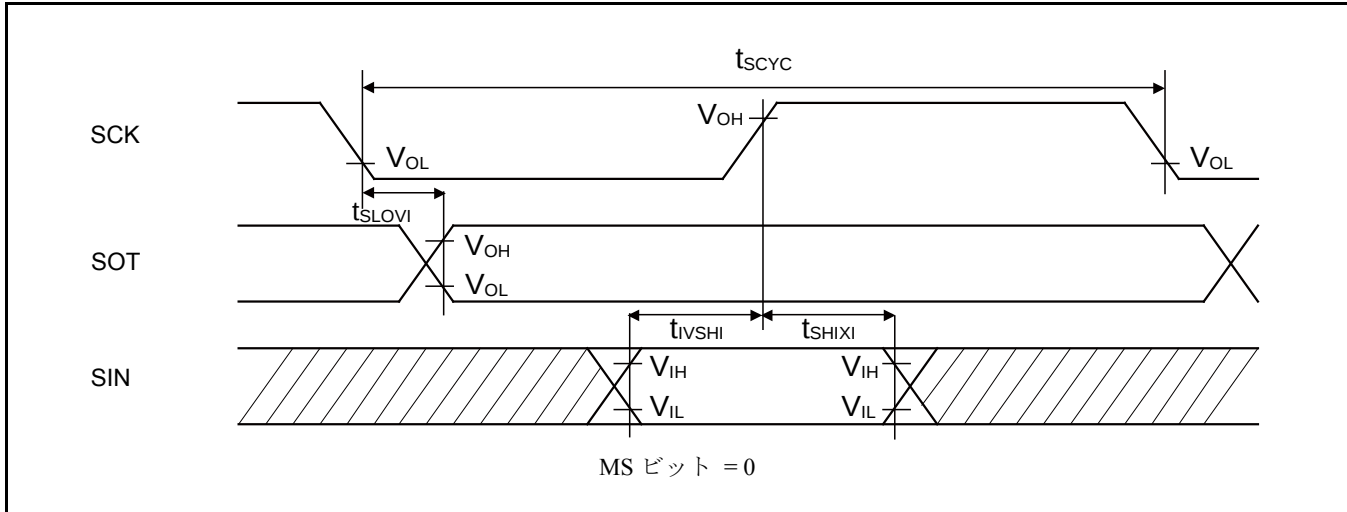
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		14 12.5 ⁹⁶	-	12.5	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		5	-	5	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・チップセレクトなし: SIN4_0, SOT4_0, SCK4_0
 - ・チップセレクトあり: SIN6_0, SOT6_0, SCK6_0, SCS60_0, SCS61_0, SCS62_0, SCS63_0
- 外部負荷容量 C_L = 30 pF 時

⁹⁶ 外部負荷容量 C_L = 10 pF 時



高速同期シリアル(SPI = 0, SCINV = 1)

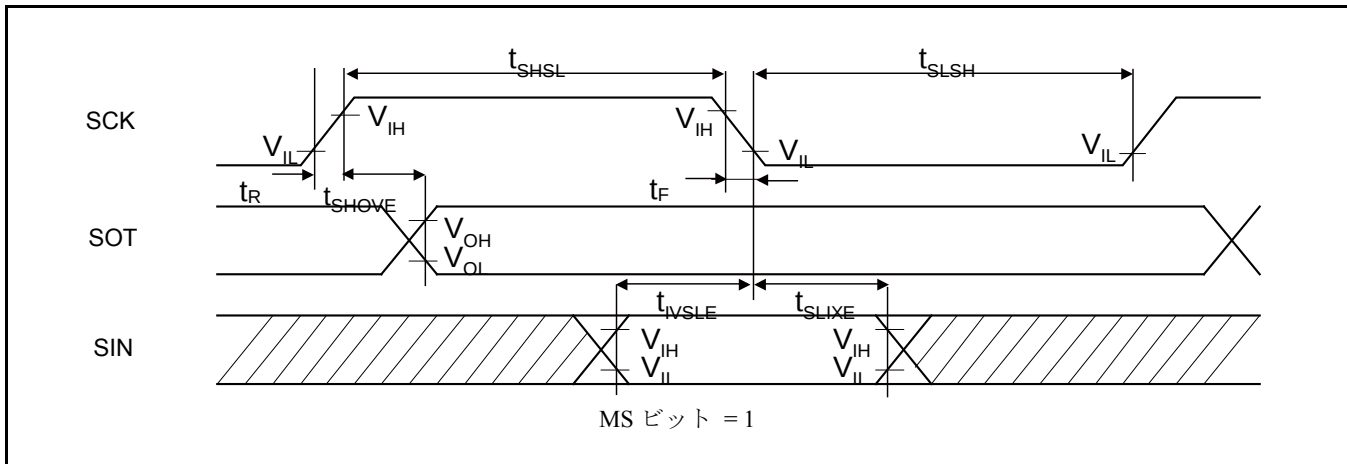
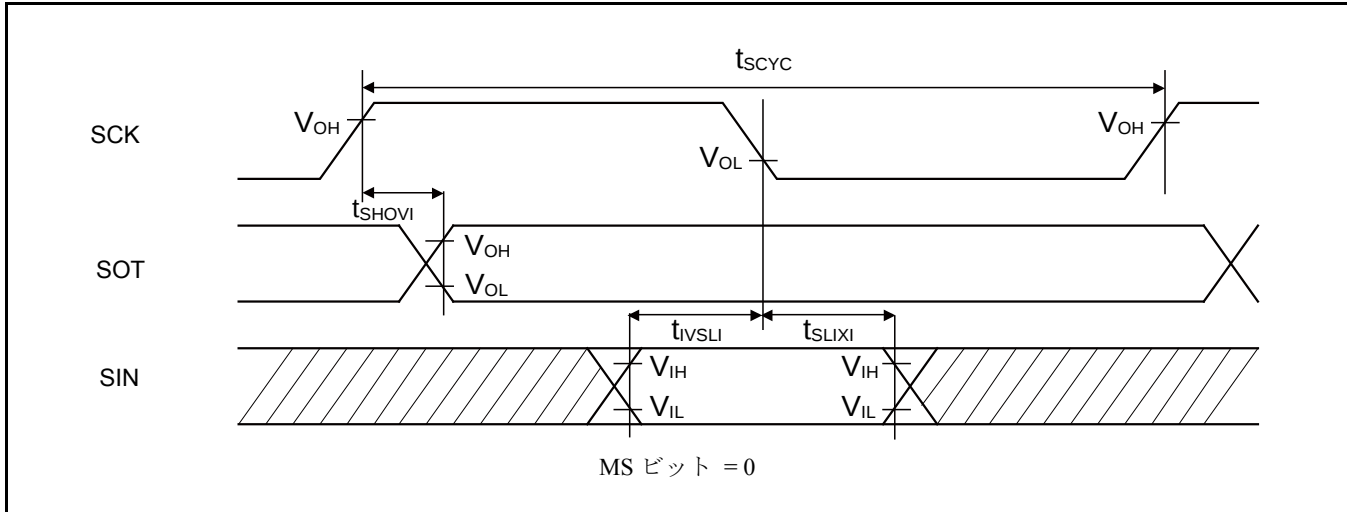
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		14 12.5 ⁹⁷	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		5	-	5	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・チップセレクトなし: SIN4_0, SOT4_0, SCK4_0
 - ・チップセレクトあり: SIN6_0, SOT6_0, SCK6_0, SCS60_0, SCS61_0, SCS62_0, SCS63_0
- 外部負荷容量 C_L = 30 pF 時

⁹⁷ 外部負荷容量 C_L = 10 pF 時



高速同期シリアル(SPI = 1, SCINV = 0)

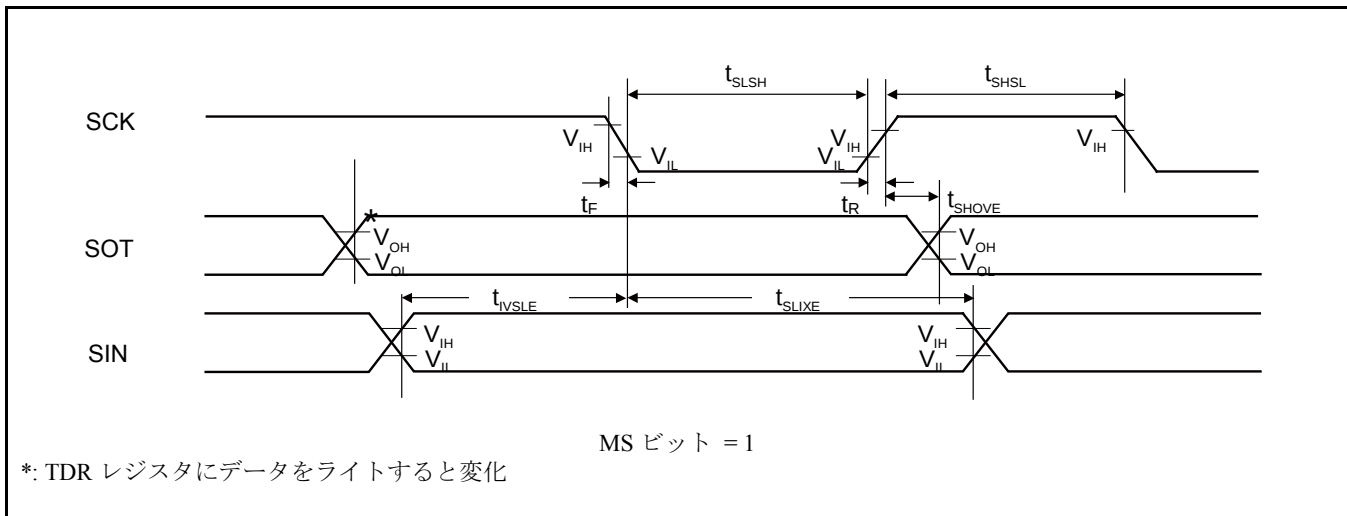
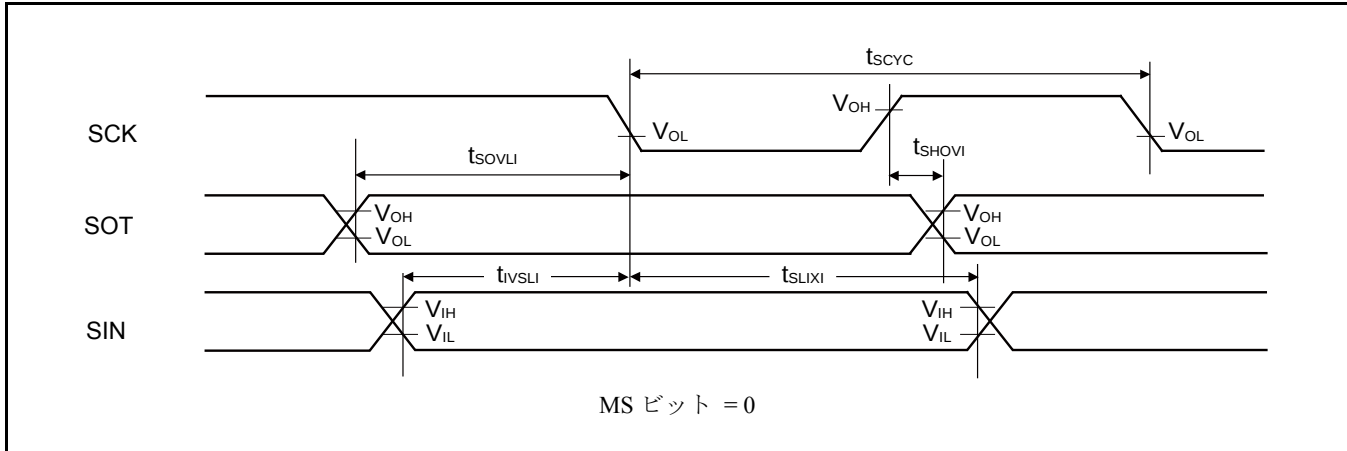
(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		14 12.5 ⁹⁸	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		5	-	5	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _x , SOT _x		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・チップセレクトなし: SIN4_0, SOT4_0, SCK4_0
 - ・チップセレクトあり: SIN6_0, SOT6_0, SCK6_0, SCS60_0, SCS61_0, SCS62_0, SCS63_0
- 外部負荷容量 C_L = 30 pF 時

⁹⁸ 外部負荷容量 C_L = 10 pF 時



高速同期シリアル(SPI = 1, SCINV = 1)

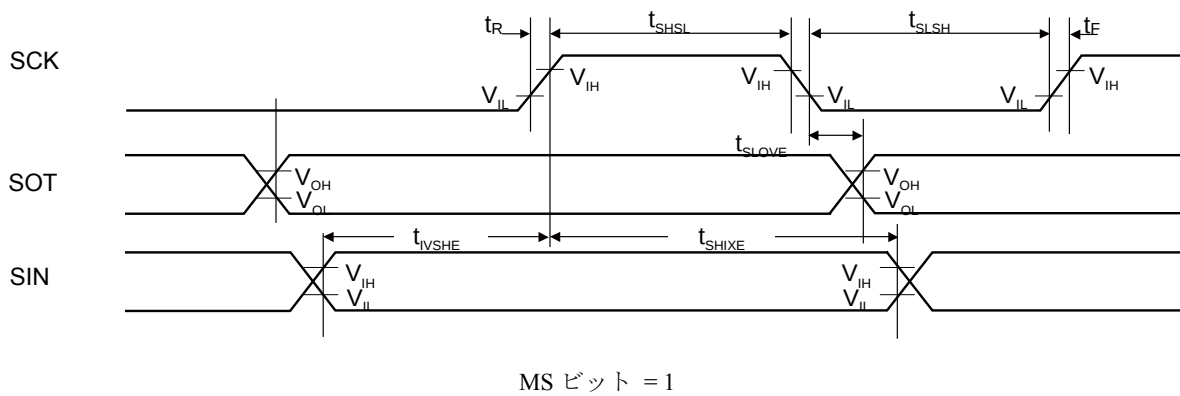
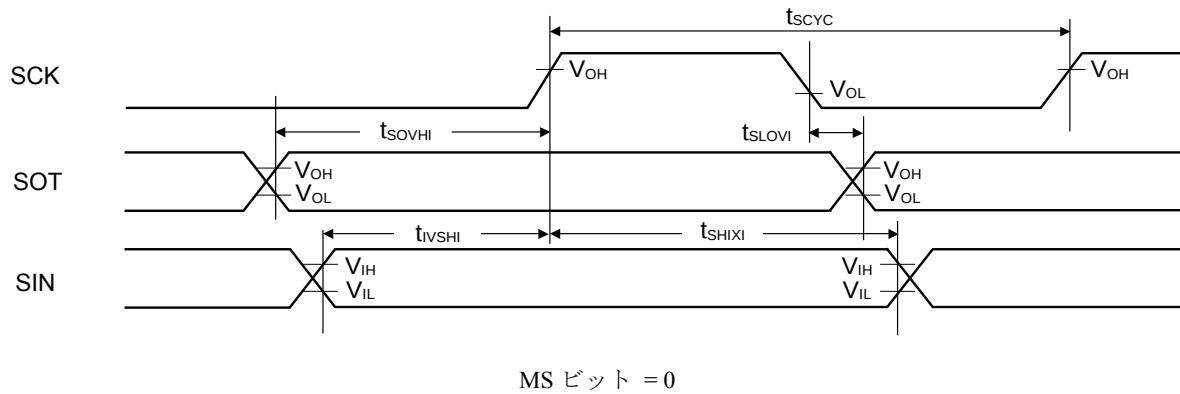
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		14 12.5 ⁹⁹	-	12.5	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		5	-	5	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _x , SOT _x		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック L パルス幅	t _{LSH}	SCK _x	外部シフト クロック動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック H パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・チップセレクトなし: SIN4_0, SOT4_0, SCK4_0
 - ・チップセレクトあり: SIN6_0, SOT6_0, SCK6_0, SCS60_0, SCS61_0, SCS62_0, SCS63_0
- 外部負荷容量 C_L = 30 pF 時

⁹⁹ 外部負荷容量 C_L = 10 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSI}	内部 シフト クロック 動作	(ア)-20	(ア)+0	(ア)-20	(ア)+0	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHI}		(イ)+0	(イ)+20	(イ)+0	(イ)+20	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	ns
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSE}	外部 シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↑ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

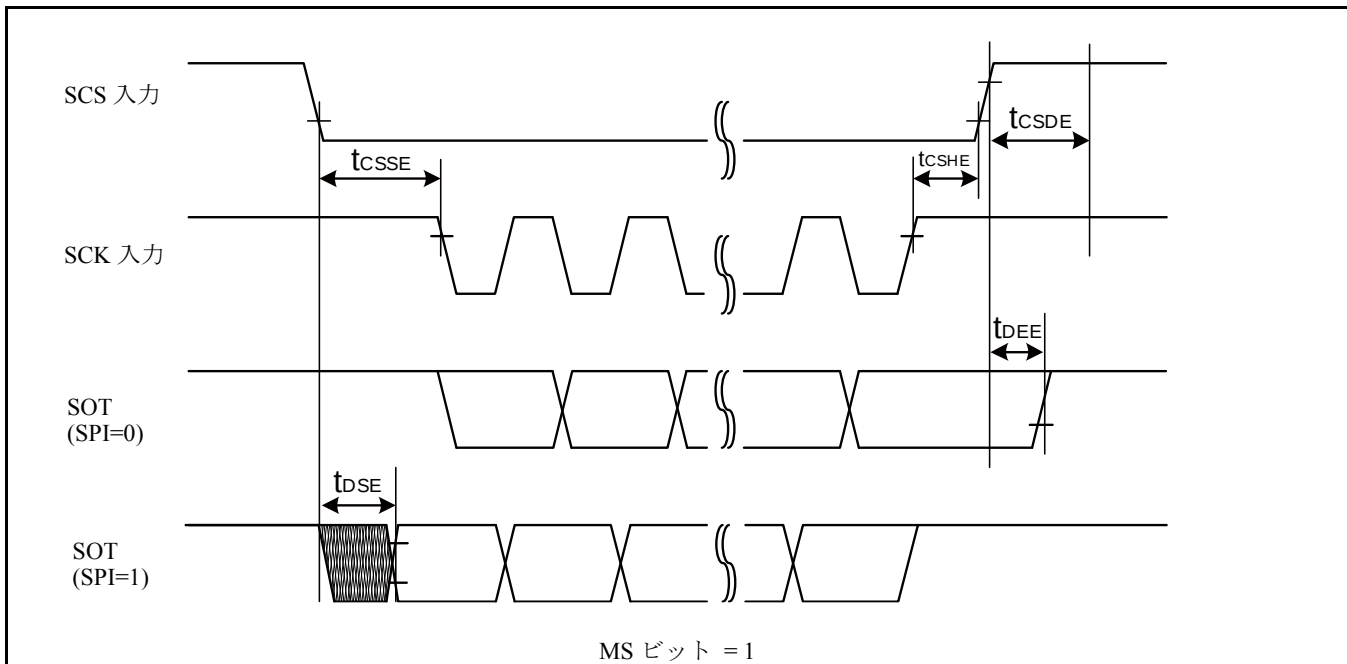
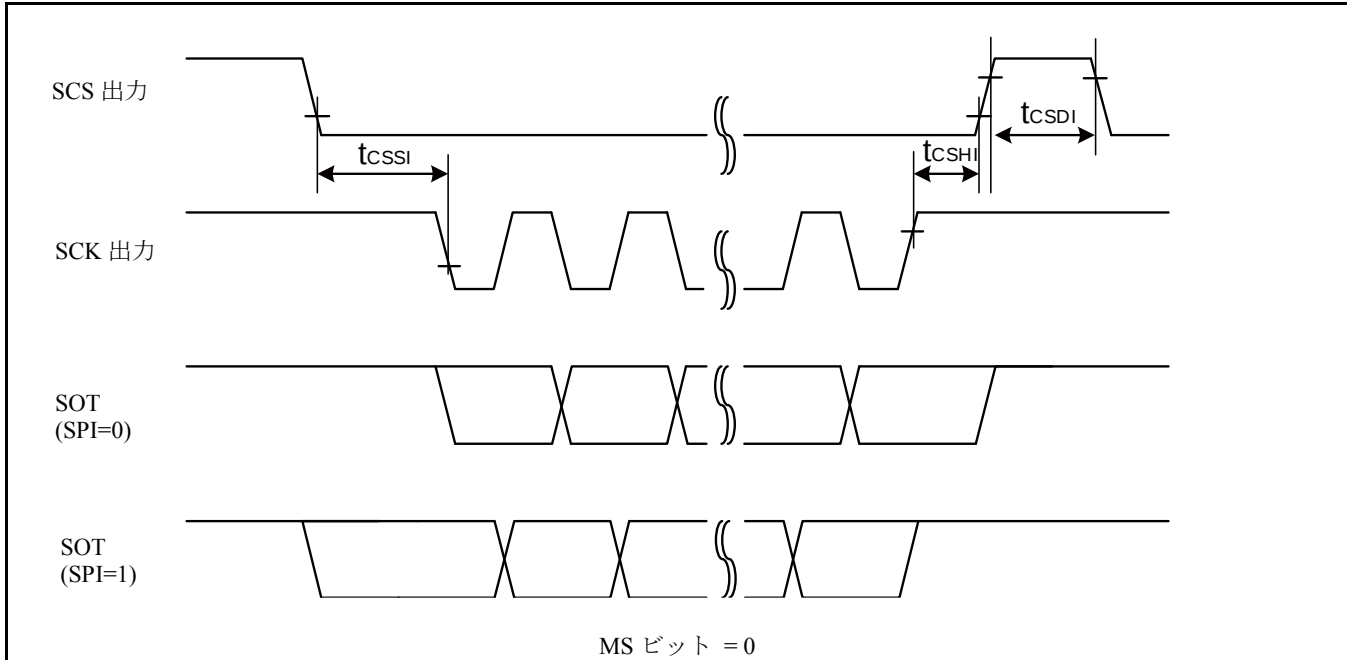
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-20	(ア)+0	(ア)-20	(ア)+0	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHI}		(イ)+0	(イ)+20	(イ)+0	(イ)+20	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	ns
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↑ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

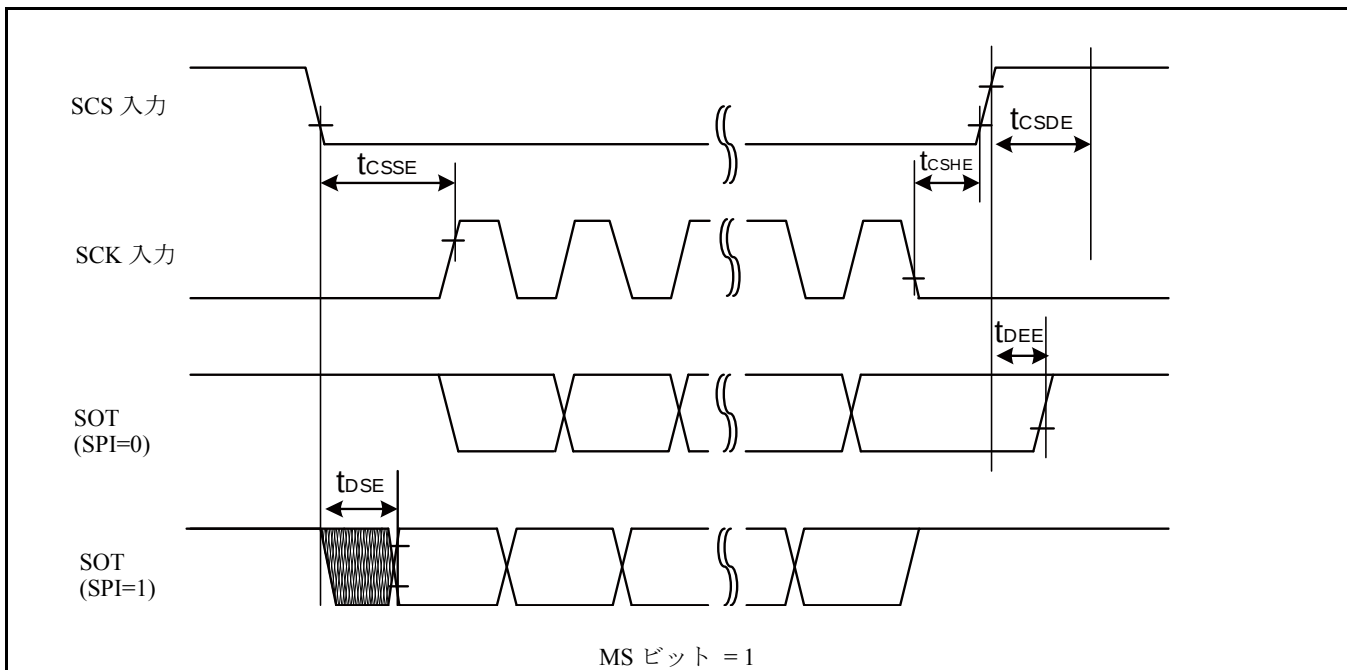
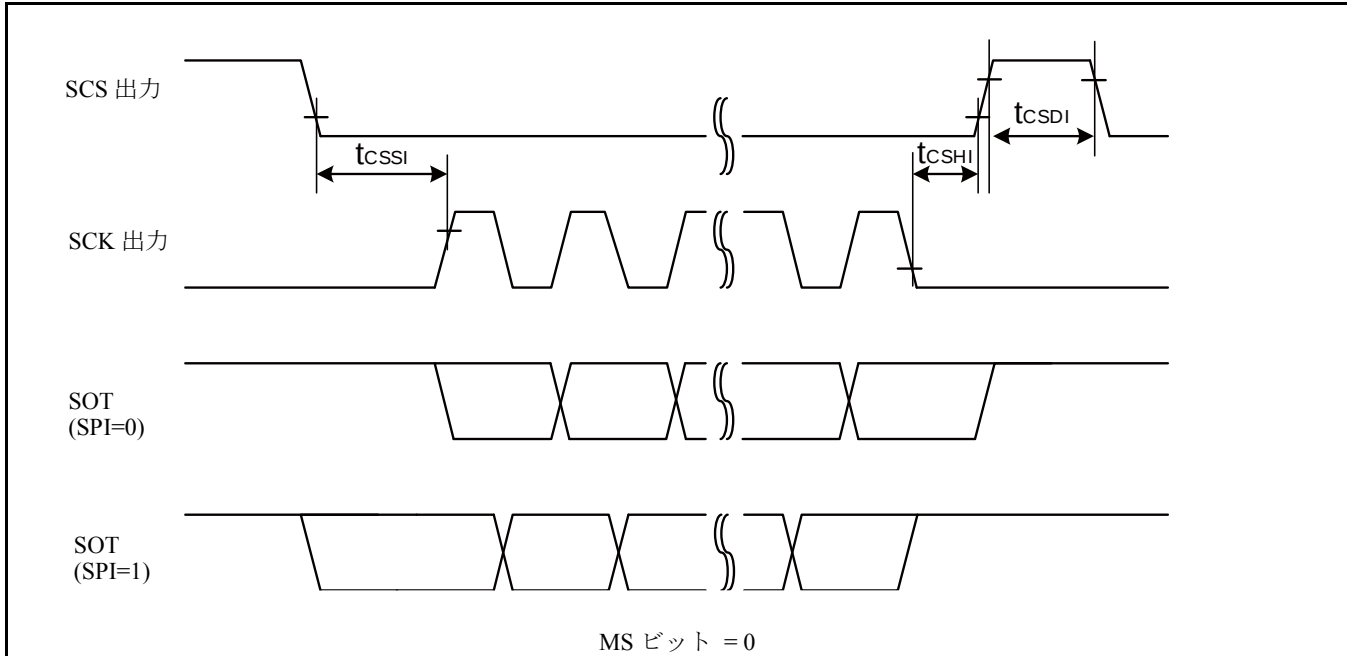
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-20	(ア)+0	(ア)-20	(ア)+0	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHI}		(イ)+0	(イ)+20	(イ)+0	(イ)+20	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	ns
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↓ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

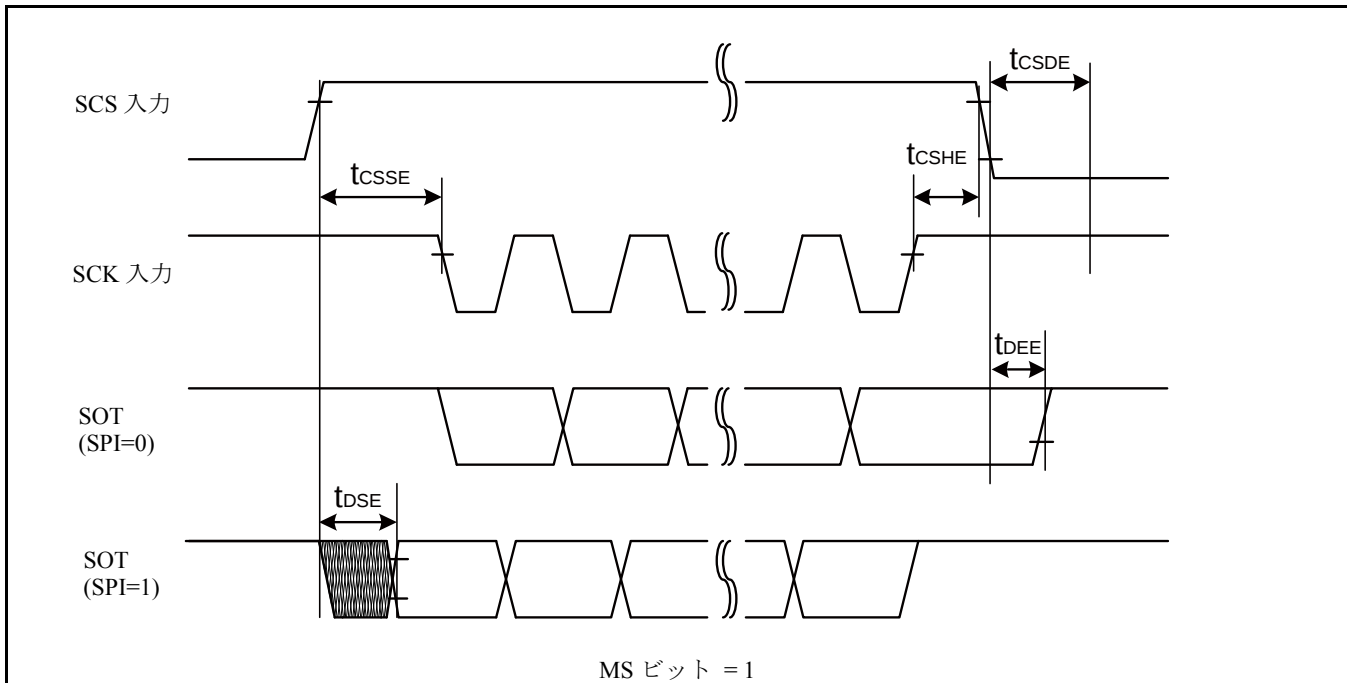
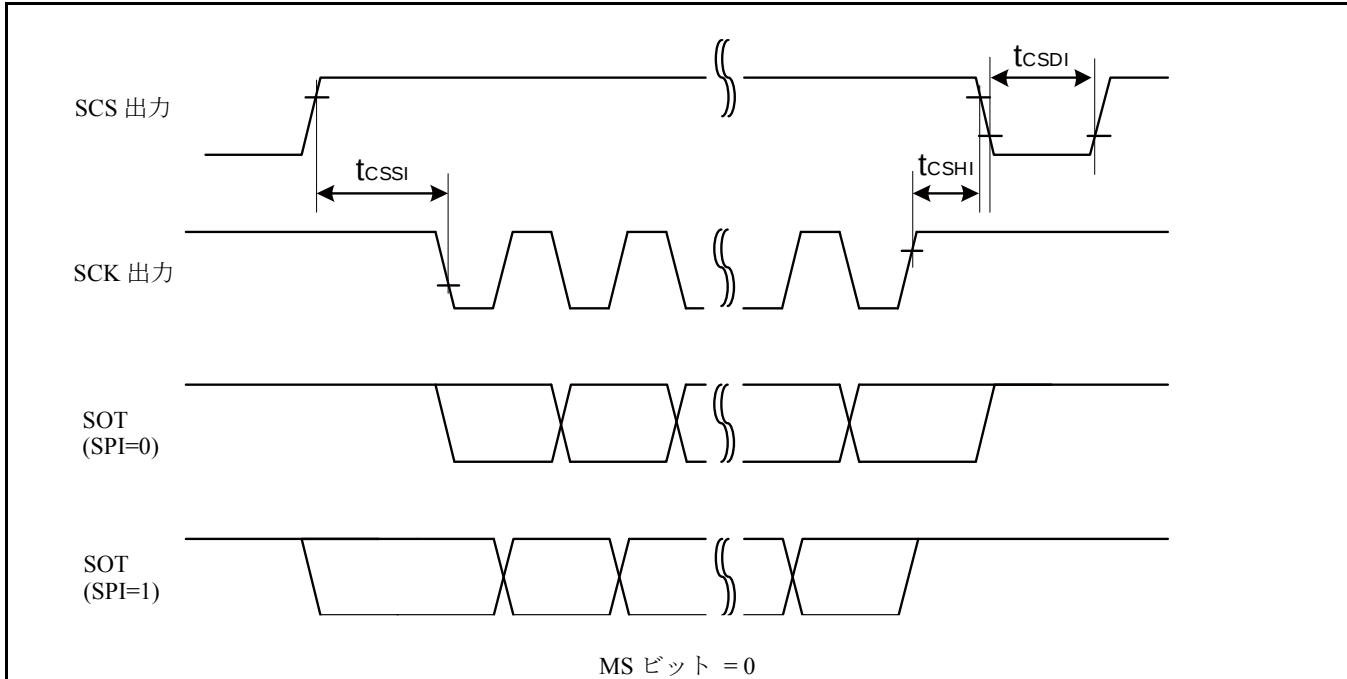
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(ア)-20	(ア)+0	(ア)-20	(ア)+0	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSHI}		(イ)+0	(イ)+20	(イ)+0	(イ)+20	ns
SCS ディセレクト時間	t _{CSDI}		(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	(ウ)-20 +5t _{CYCP}	(ウ)+20 +5t _{CYCP}	ns
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	40	-	40	ns
SCS ↓ → SOT 遅延時間	t _{DDE}		0	-	0	-	ns

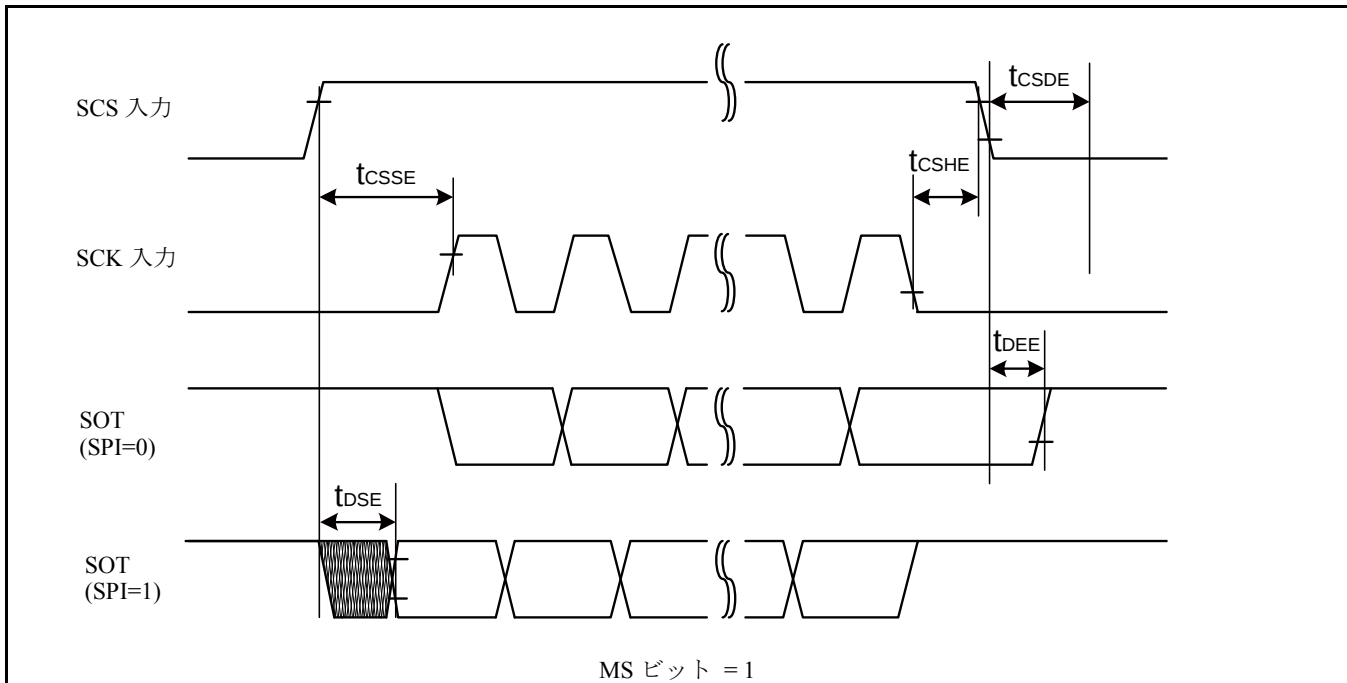
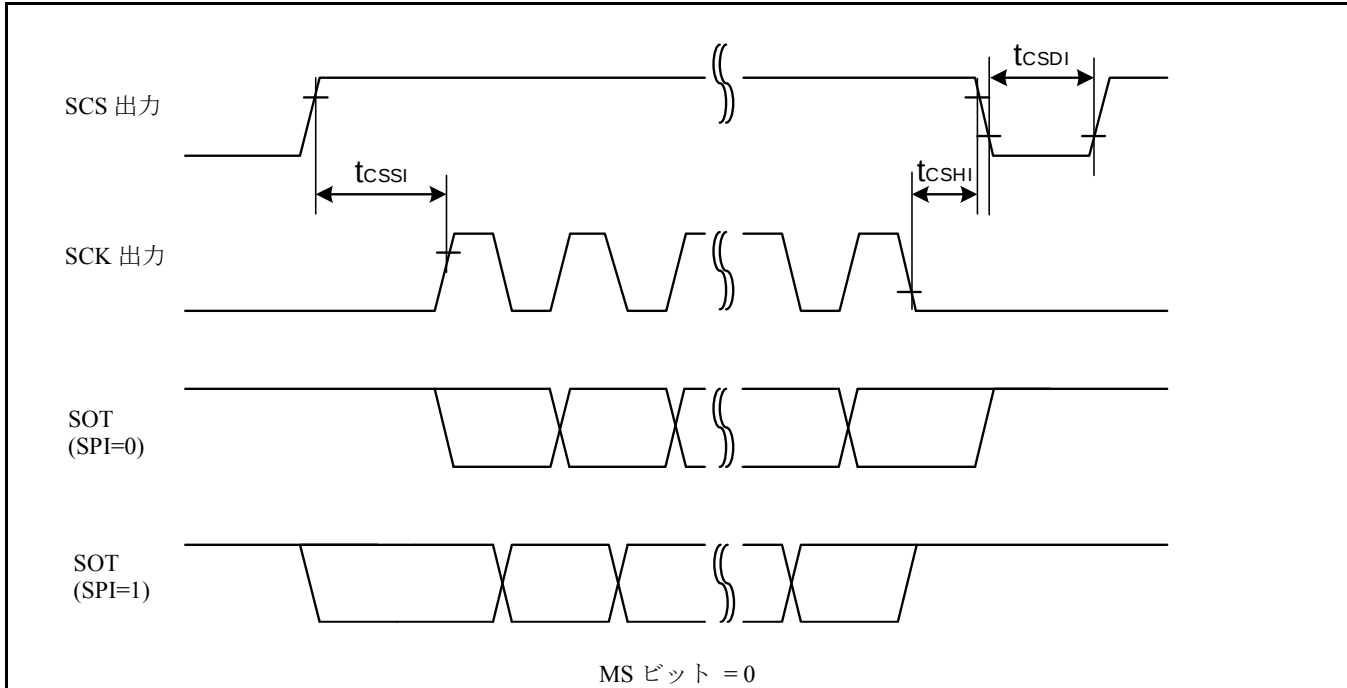
(ア): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(イ): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

(ウ): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期 [ns]

<注意事項>

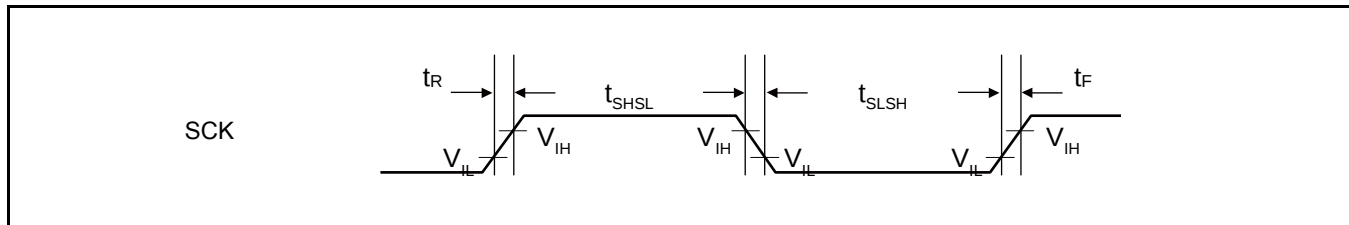
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「1. ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『ペリフェラルマニュアル 本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30 pF 時



外部クロック(EXT = 1) : 非同期時のみ

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

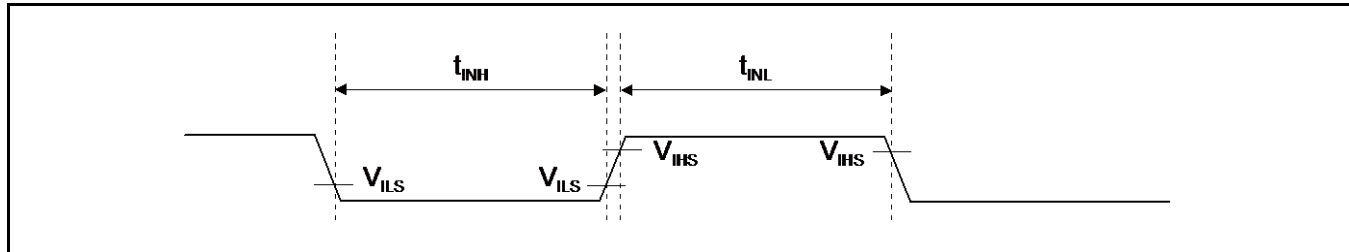
項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック L パルス幅	t _{SLSH}	C _L = 30 pF	t _{CYCP} + 10	-	ns	
シリアルクロック H パルス幅	t _{SHSL}		t _{CYCP} + 10	-	ns	
SCK 立下り時間	t _F		-	5	ns	
SCK 立上り時間	t _R		-	5	ns	



12.4.13 外部入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH} , t_{INL}	ADTGx	-	$2t_{CYCP}^{100}$	-	ns	A/D コンバータトリガ 入力
		FRCKx					フリーランタイム入力 クロック
		Icxx					インプットキャプチャ
		DTTlxX	-	$2t_{CYCP}^{100}$	-	ns	波形ジェネレータ
		INT00~INT31, NMIX	-	$2t_{CYCP} + 100^{100}$	-	ns	外部割込み, NMI
				500^{101}	-	ns	
		WKUPx	-	500^{102}	-	ns	ディープスタンバイウエイク アップ



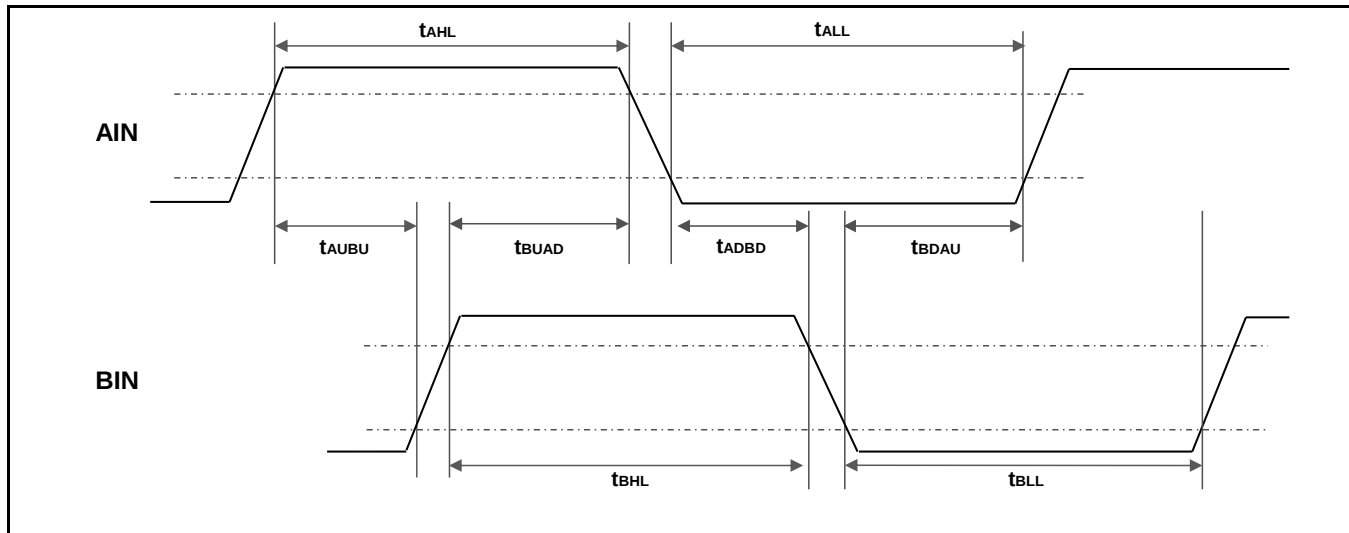
¹⁰⁰ t_{CYCP} は APB バスクロックのサイクル時間です(APB バスクロックがタイムモードまたはストップモードで停止する場合を除く)。多機能タイマ、外部割込みが接続されている APB バス番号については「1. ブロックダイヤグラム」を参照してください。

¹⁰¹ タイムモードとストップモード時

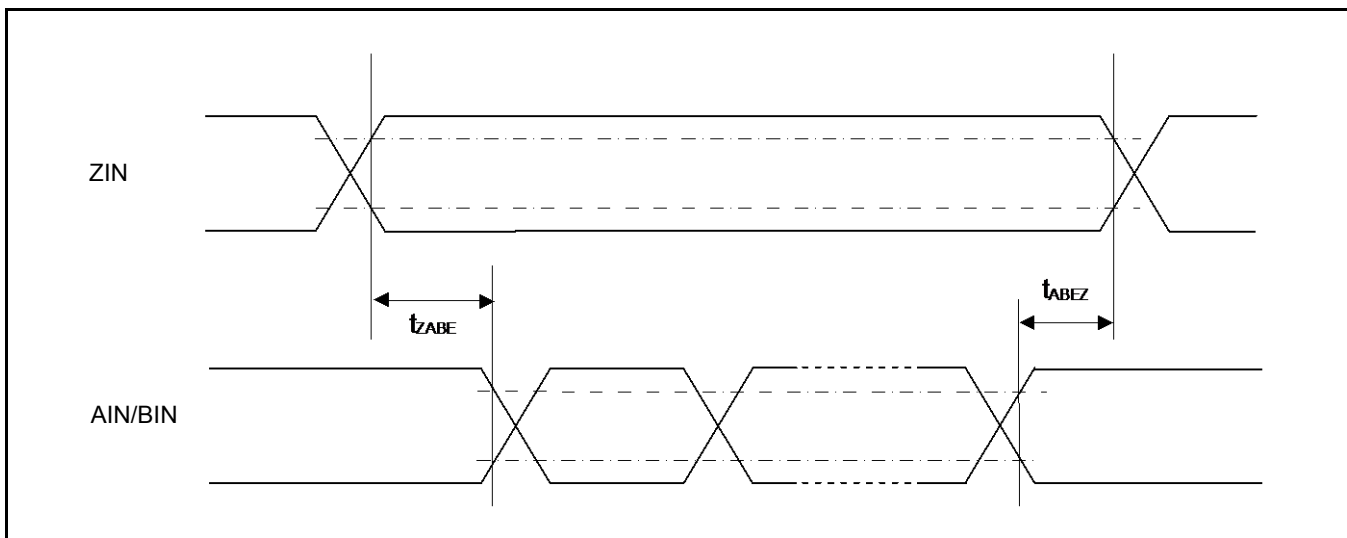
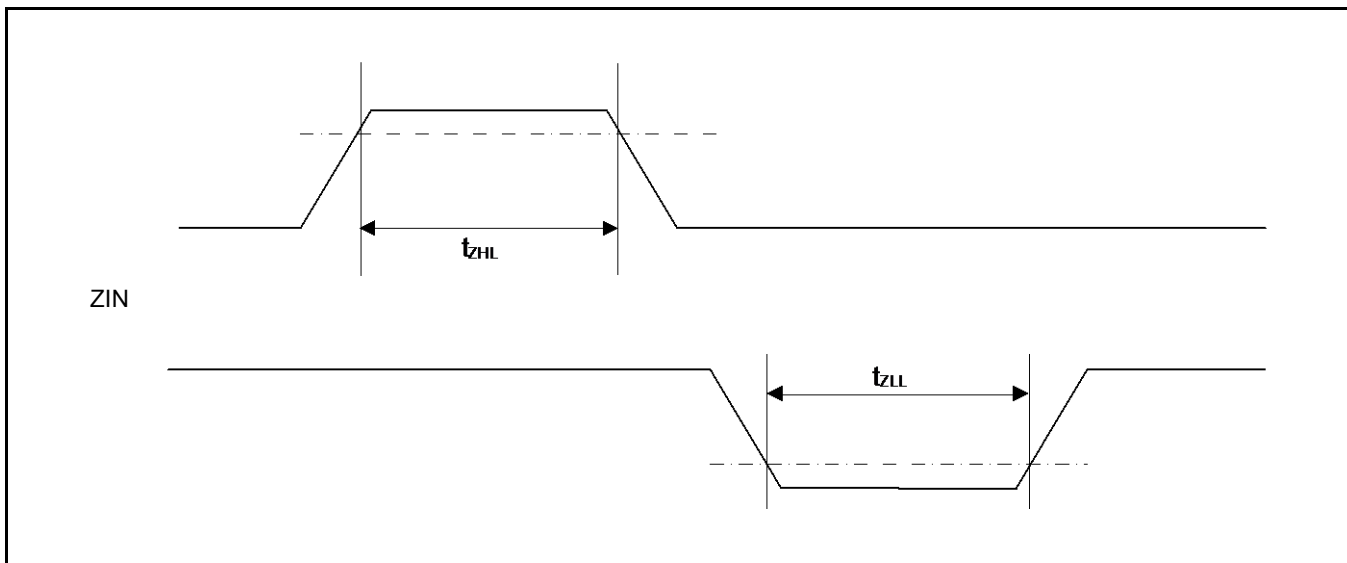
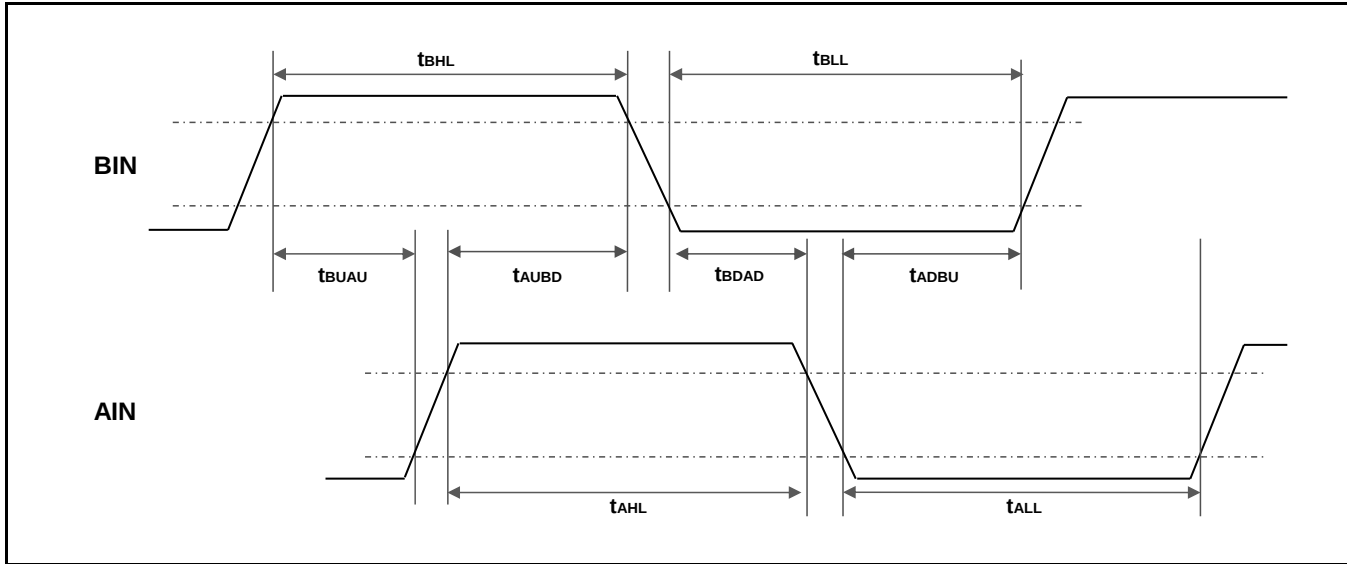
¹⁰² ディープスタンバイ RTC モード、ディープスタンバイストップモード時

12.4.14 クアッドカウンタ タイミング
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子 H 幅	t_{AHL}	-	$2t_{CYCP}^{103}$	-	ns
AIN 端子 L 幅	t_{ALL}	-			
BIN 端子 H 幅	t_{BHL}	-			
BIN 端子 L 幅	t_{BLL}	-			
AIN H レベルから BIN 立上りまでの時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN H レベルから AIN 立下りまでの時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN L レベルから BIN 立下りまでの時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BIN L レベルから AIN 立上りまでの時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN H レベルから AIN 立上りまでの時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN H レベルから BIN 立下りまでの時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN L レベルから AIN 立下りまでの時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN L レベルから BIN 立上りまでの時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子 H 幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子 L 幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上りまでの時間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上りから ZIN レベル確定までの時間	t_{ABEZ}	QCR:CGSC="1"			



¹⁰³ t_{CYCP} は APB バスクロックのサイクル時間です (タイマモード、ストップモード時を除く)。クアッドカウンタが接続されている APB バス番号については「1. ブロックダイヤグラム」を参照してください。



12.4.15 I²C タイミング

Standard-mode, Fast-mode

(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	C _L = 30 pF, R = (V _P /I _{OL}) ¹⁰⁴	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック L 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック H 幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45 ¹⁰⁵	0	0.9 ¹⁰⁶	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間のバ スフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	2 MHz ≤ t _{CYCP} < 40 MHz	2 t _{CYCP} ¹⁰⁷	-	2 t _{CYCP} ¹⁰⁷	-	ns	108
		40 MHz ≤ t _{CYCP} < 60 MHz	4 t _{CYCP} ¹⁰⁷	-	4 t _{CYCP} ¹⁰⁷	-	ns	
		60 MHz ≤ t _{CYCP} < 80 MHz	6 t _{CYCP} ¹⁰⁷	-	6 t _{CYCP} ¹⁰⁷	-	ns	
		80 MHz ≤ t _{CYCP} ≤ 100 MHz	8 t _{CYCP} ¹⁰⁷	-	8 t _{CYCP} ¹⁰⁷	-	ns	

¹⁰⁴ R, C_L は SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_P はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

¹⁰⁵ 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

¹⁰⁶ Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250ns を満足しなければなりません。

¹⁰⁷ t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「1. ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、周辺バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、周辺バスクロックを 8 MHz 以上に設定してください。

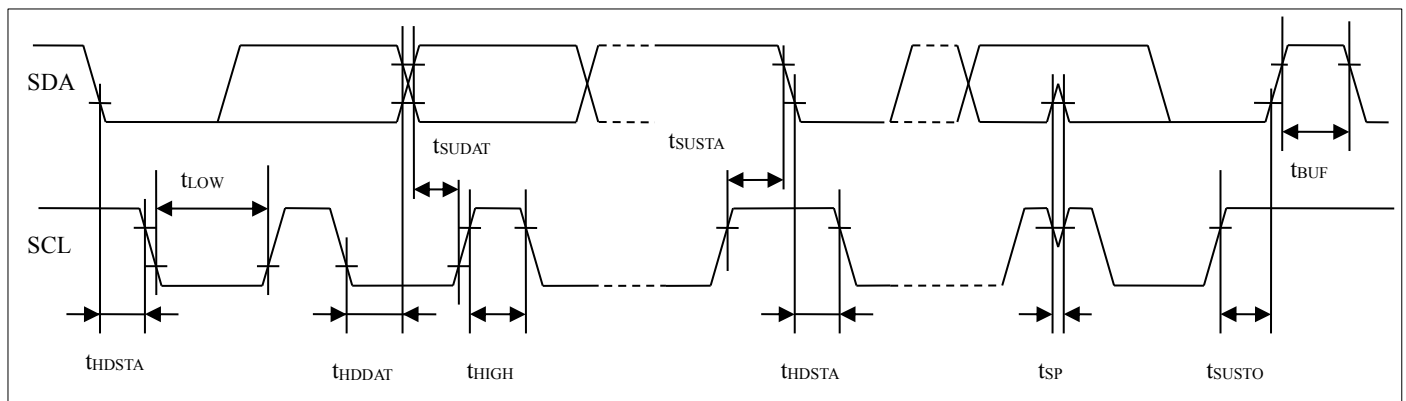
¹⁰⁸ ノイズフィルタ時間はレジスタの設定により切り替えることができます。

APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

Fast-mode plus(Fm+)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	Fast-mode plus(Fm+) ¹⁰⁹		単位	備考
			最小	最大		
SCL クロック周波数	f_{SCL}		0	1000	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t_{HDSTA}		0.26	-	μs	
SCL クロック L 幅	t_{LOW}		0.5	-	μs	
SCL クロック H 幅	t_{HIGH}		0.26	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t_{SUSTA}		0.26	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t_{HDDAT}	$C_L = 30 \text{ pF}$, $R = (V_P/I_{OL})^{110}$	0	0.45 ^{111, 112}	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t_{SUDAT}		50	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t_{SUSTO}		0.26	-	μs	
「ストップ」条件と 「スタート」条件との間のバス フリー時間	t_{BUF}		0.5	-	μs	
ノイズフィルタ	t_{SP}	$60 \text{ MHz} \leq$ $t_{CYCP} < 80 \text{ MHz}$	6 t_{CYCP}^{113}	-	ns	114
		$80 \text{ MHz} \leq$ $t_{CYCP} \leq 100 \text{ MHz}$	8 t_{CYCP}^{113}	-	ns	



¹⁰⁹ Fast-mode plus(Fm+)使用時は、I/O 端子を EPFR レジスタにて I2C Fm+に対応したモードに設定してください。

詳細は『ペリフェラルマニュアル メインパート(002-04857)』の『CHAPTER 12: I/O ポート』の章を参照してください。

¹¹⁰ R , C_L は SCL, SDA ラインのプルアップ抵抗、負荷容量です。 V_P はプルアップ抵抗の電源電圧、 I_{OL} は V_{OL} 保証電流を示します。

¹¹¹ 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の L 区間(t_{LOW})を延長していないということを満たしていなければなりません。

¹¹² Fast-mode I2C バスデバイスは Standard-mode I2C バスシステムに使用できますが、要求される条件 $t_{SUDAT} \geq 250 \text{ ns}$ を満足しなければなりません。

¹¹³ t_{CYCP} は、APB バスクロックのサイクル時間です。

I2C が接続されている APB バス番号については「1. ブロックダイヤグラム」を参照してください。

Fast-mode plus(Fm+)使用時は、周辺バスクロックを 64 MHz 以上に設定してください。

¹¹⁴ ノイズフィルタ時間はレジスタの設定により切り替えることができます。

APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

12.4.16 SD カードインタフェースタイミング

Default-Speed mode

■クロック CLK (規格は V_{IH} , V_{IL} レベルでの値となります。)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

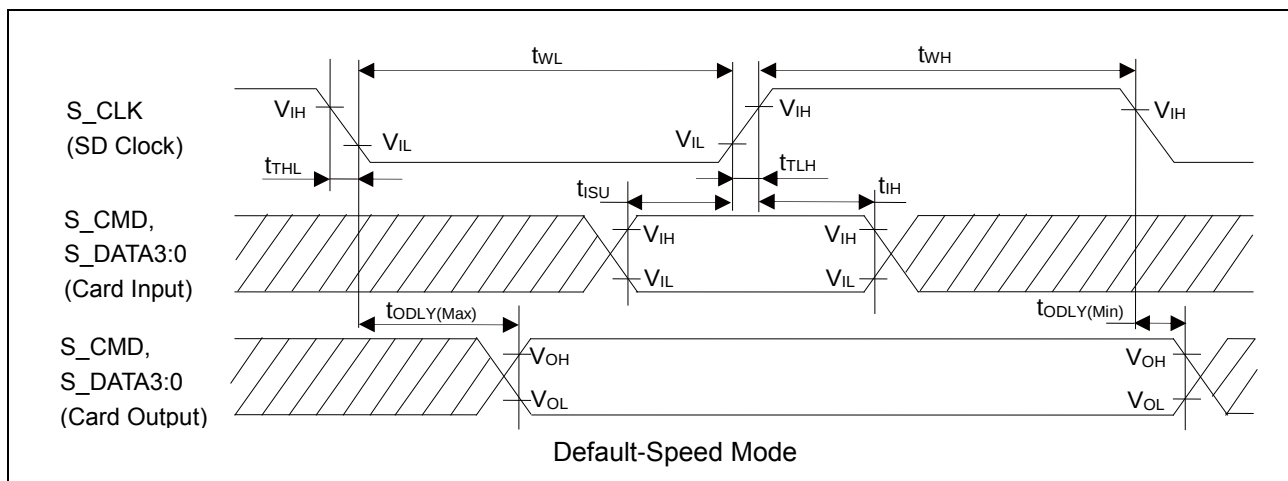
項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロック周波数 データ転送モード	f_{PP}	S_CLK	$C_{CARD} \leq 10 \text{ pF}$ (1 card)	0	25	MHz
クロック周波数識別モード	f_{OD}	S_CLK		0 ¹¹⁵ /100	400	kHz
クロック低時間	t_{WL}	S_CLK		10	-	ns
クロック高時間	t_{WH}	S_CLK		10	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	10	ns
クロック立下り時間	t_{THL}	S_CLK		-	10	ns

■ Card 入力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD, S_DATA3:0	$C_{CARD} \leq 10 \text{ pF}$ (1 card)	5	-	ns
入力ホールド時間	t_{IH}	S_CMD, S_DATA3:0		5	-	ns

■ Card 出力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
データ転送モード時の 出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0	$C_{CARD} \leq 40 \text{ pF}$ (1 card)	0	14	ns
識別モード時の出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0		0	50	ns



<注意事項>

- 本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。
- Clock 周波数(f_{PP})は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 15: SD カードインタフェース』を参照してください。

¹¹⁵ 0 Hz はクロック停止を示します。継続動作させる場合、最小周波数となります。

High-Speed mode

■ クロック CLK (規格は V_{IH} , V_{IL} レベルでの値となります。)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0V$)

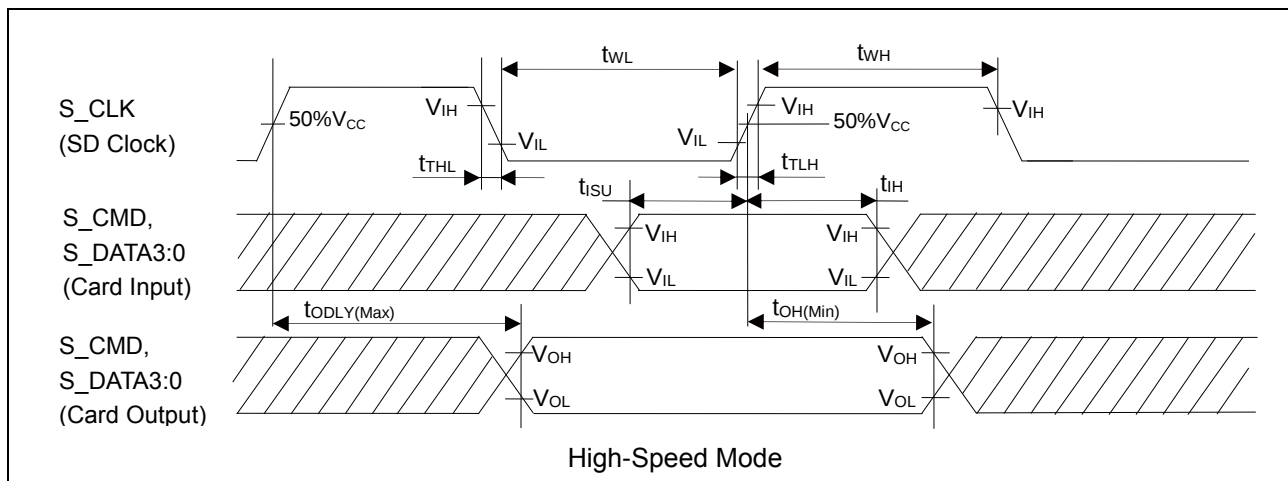
項目	記号	端子名	条件	規格値		単位
				最小	最大	
クロック周波数 データ転送モード	f_{PP}	S_CLK	$C_{CARD} \leq 10pF$ (1card)	0	50	MHz
クロック低時間	t_{WL}	S_CLK		7	-	ns
クロック高時間	t_{WH}	S_CLK		7	-	ns
クロック立上り時間	t_{TLH}	S_CLK		-	3	ns
クロック立下り時間	t_{THL}	S_CLK		-	3	ns

■ Card 入力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力セットアップ時間	t_{ISU}	S_CMD, S_DATA3:0	$C_{CARD} \leq 10pF$ (1card)	6	-	ns
入力ホールド時間	t_{IH}	S_CMD, S_DATA3:0		2	-	ns

■ Card 出力 CMD, DAT (クロックの項目を参照してください。)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
データ転送モード時の 出力遅延時間	t_{ODLY}	S_CMD, S_DATA3:0	$C_{CARD} \leq 40pF$ (1card)	0	14	ns
出力ホールド時間	t_{OH}	S_CMD, S_DATA3:0	$C_{CARD} \geq 15pF$ (1card)	2.5	-	ns
配線間のシステム総容量 ¹¹⁶	C_L	-	1card	-	40	pF



<注意事項>

- 本製品は Host です。Card Input が Host Output, Card Output が Host Input に対応します。
- Clock 周波数(f_{PP})は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 15: SD カードインタフェース』を参照してください。

¹¹⁶ 厳しいタイミングを満たすために、Host は 1 枚のカードのみ動作させるものとします。

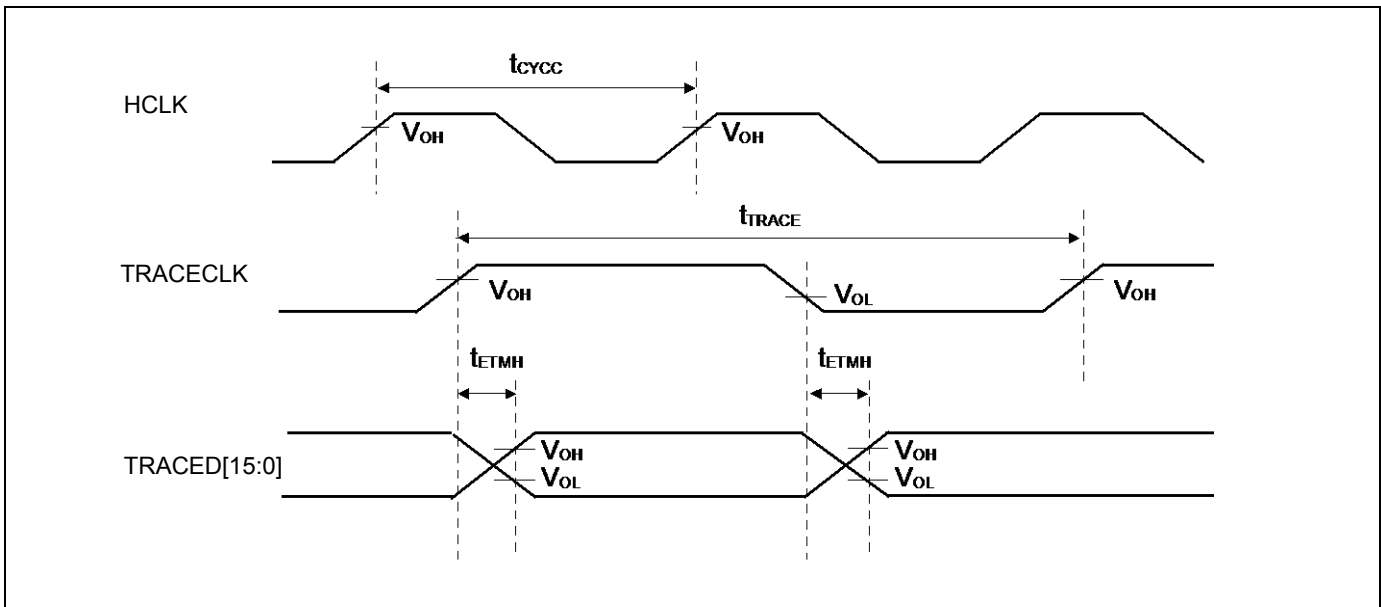
12.4.17 ETM / HTM タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t _{ETMH}	TRACECLK, TRACED[15:0]	V _{CC} ≥ 4.5V	2	9	ns	
			V _{CC} < 4.5V	2	15		
TRACECLK 周波数	1/t _{TRACE}	TRACECLK	V _{CC} ≥ 4.5V		50	MHz	
			V _{CC} < 4.5V		32	MHz	
TRACECLK クロック周期	t _{TRACE}		V _{CC} ≥ 4.5V	20	-	ns	
			V _{CC} < 4.5V	31.25	-	ns	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時

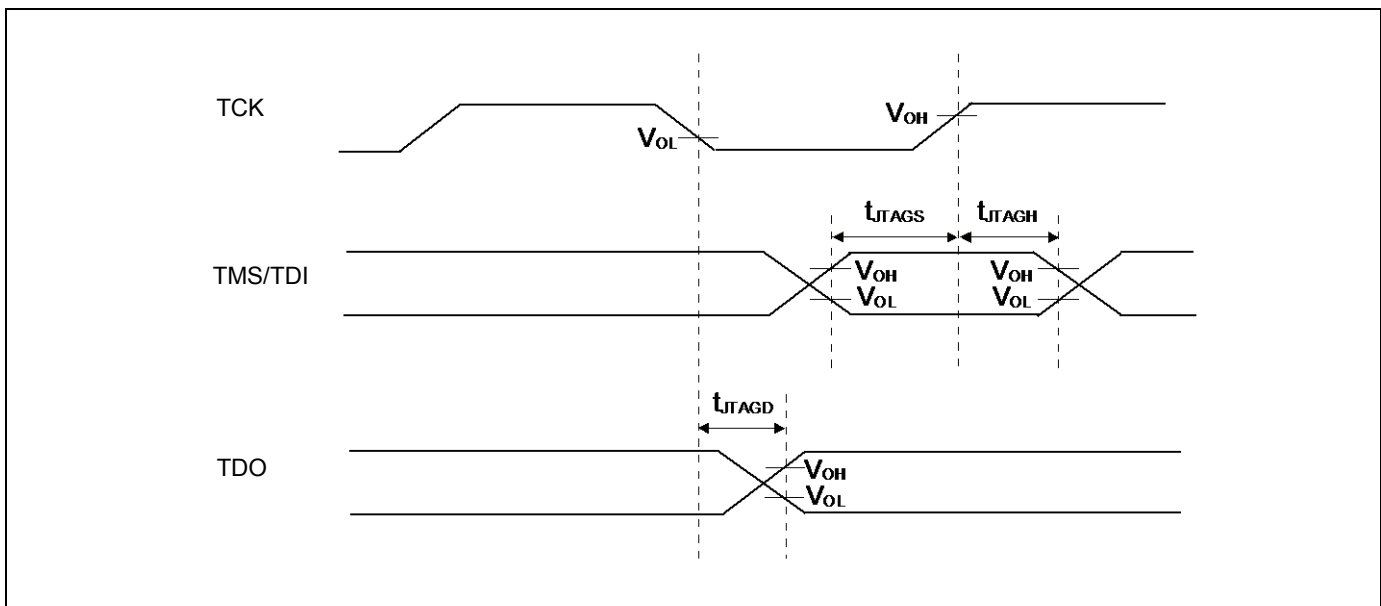


12.4.18 JTAG タイミング

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t _{JTAGS}	TCK, TMS, TDI	V _{CC} ≥ 4.5 V	15	-	ns	
			V _{CC} < 4.5 V				
TMS, TDI ホールド時間	t _{JTAGH}	TCK, TMS, TDI	V _{CC} ≥ 4.5 V	15	-	ns	
			V _{CC} < 4.5 V				
TDO 遅延時間	t _{JTAGD}	TCK, TDO	V _{CC} ≥ 4.5 V	-	25	ns	
			V _{CC} < 4.5 V	-	45		

<注意事項>

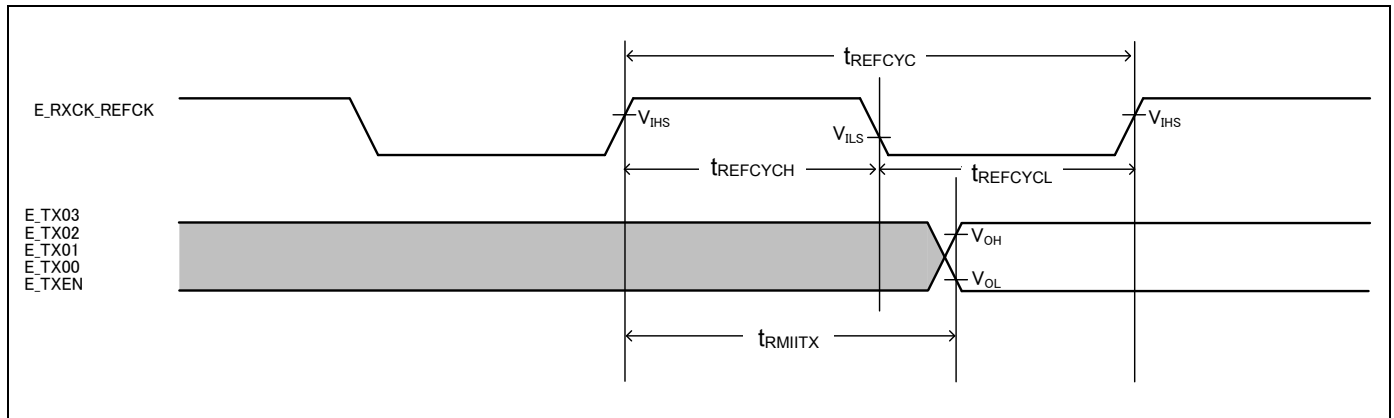
 - 外部負荷容量 C_L = 30 pF


12.4.19 Ethernet-MAC タイミング

RMII 送信 (100 Mbps/10 Mbps)

(ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V¹¹⁷, V_{SS} = 0V, C_L=25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
リファレンスクロック サイクルタイム ¹¹⁸	t _{REFCYC}	E_RXCK_REFCK	標準 20 ns	-	-	ns
リファレンスクロック H パルス幅率	t _{REFCYCH}	E_RXCK_REFCK	t _{REFCYCH} /t _{REFCYC}	35	65	%
リファレンスクロック L パルス幅率	t _{REFCYCL}	E_RXCK_REFCK	t _{REFCYCL} /t _{REFCYC}	35	65	%
REFCLK ↑ → 送信データ遅延時間	t _{RMIITX}	E_TX03, E_TX02, E_TX01, E_TX00, E_TXEN	-	-	12	ns



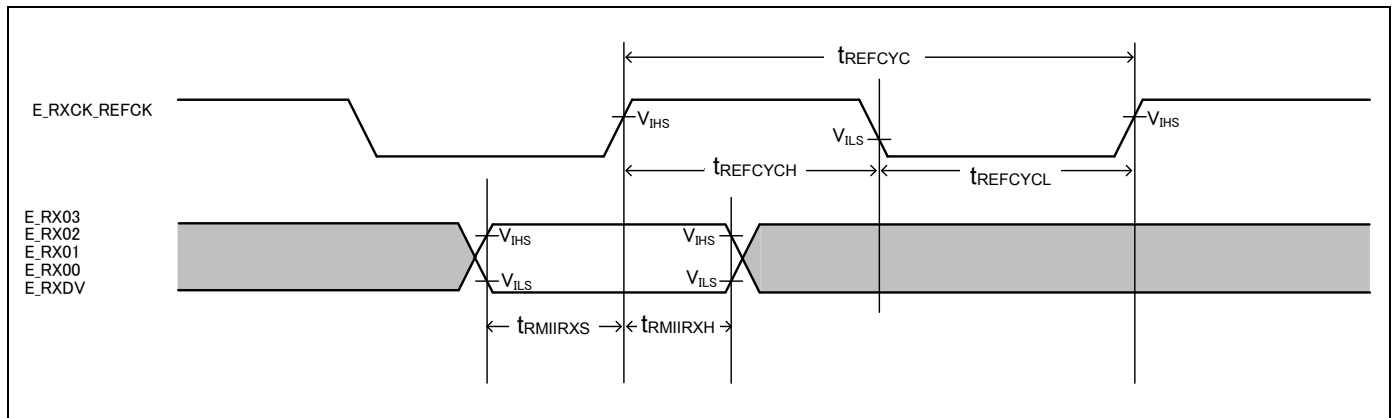
¹¹⁷ 4.5 V~5.5 V 動作時は出力電流を抑えるため、出力端子に直列抵抗を接続することを推奨します。

¹¹⁸ RMII 規格でリファレンスクロックは 50 MHz に固定にされています。クロック精度は接続する PHY デバイスの規格を満たしてください。

RMII 受信 (100 Mbps/10 Mbps)

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L=25pF)

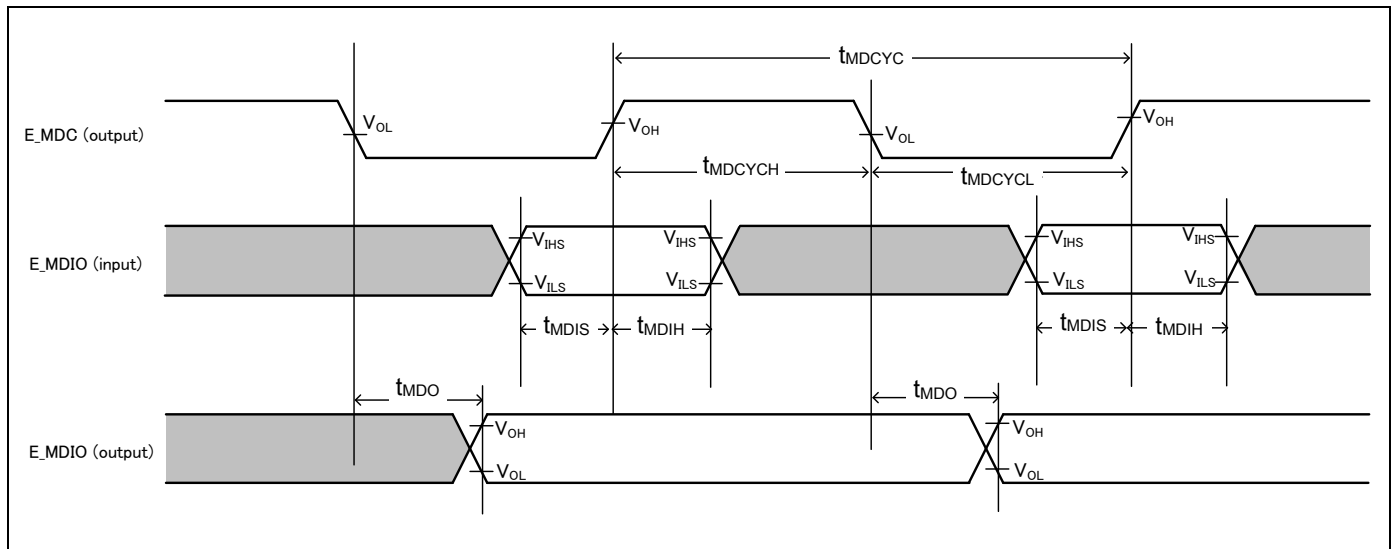
項目	記号	端子名	条件	規格値		単位
				最小	最大	
リファレンスクロック サイクルタイム ¹¹⁹	t _{REFCYC}	E_RXCK_REFCK	標準 20 ns	-	-	ns
リファレンスクロック H パルス幅率	t _{REFCYCH}	E_RXCK_REFCK	t _{REFCYCH} /t _{REFCYC}	35	65	%
リファレンスクロック L パルス幅率	t _{REFCYCL}	E_RXCK_REFCK	t _{REFCYCL} /t _{REFCYC}	35	65	%
受信データ→ REFCLK ↑ セットアップ時間	t _{RMIIRXS}	E_RX03, E_RX02, E_RX01, E_RX00, E_RXDV	-	4	-	ns
受信データ→ REFCLK ↑ ホールド時間	t _{RMIIRXH}	E_RX03, E_RX02, E_RX01, E_RX00, E_RXDV	-	2	-	ns


¹¹⁹ RMII 規格でリファレンスクロックは 50 MHz に固定にされています。クロック精度は接続する PHY デバイスの規格を満たしてください。

マネージメントインタフェース

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L=25pF)

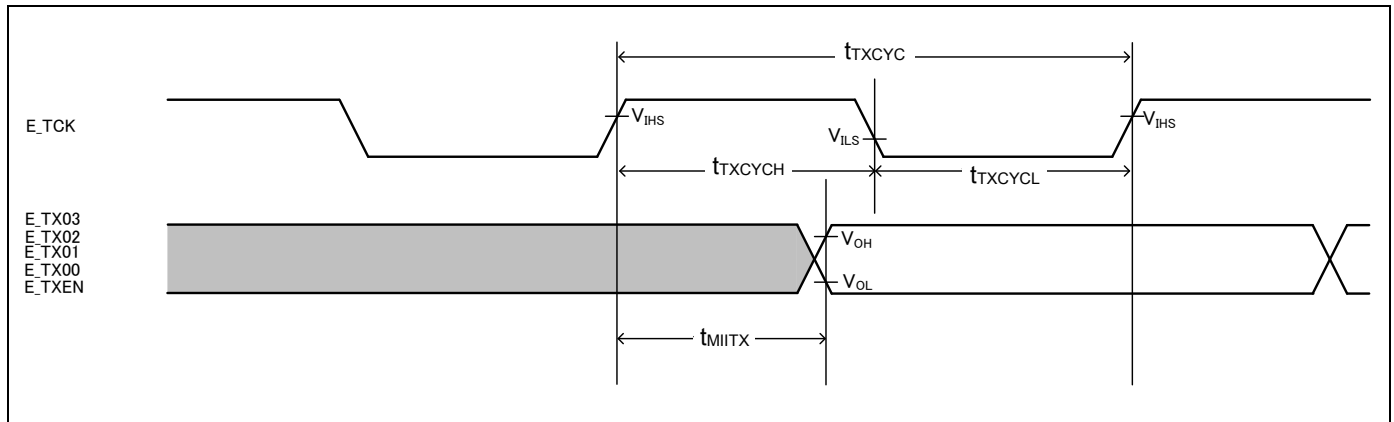
項目	記号	端子名	条件	規格値		単位
				最小	最大	
マネージメント用クロック サイクルタイム ¹²⁰	t _{MDCYC}	E_MDC	-	400	-	ns
マネージメント用クロック H パルス幅率	t _{MDCYCH}	E_MDC	t _{MDCYCH} /t _{MDCYC}	35	65	%
マネージメント用クロック L パルス幅率	t _{MDCYCL}	E_MDC	t _{MDCYCL} /t _{MDCYC}	35	65	%
MDC ↓ → MDIO 遅延時間	t _{MDO}	E_MDIO	-	-	60	ns
MDIO → MDC ↑ セットアップ時間	t _{MDIS}	E_MDIO	-	20	-	ns
MDIO → MDC ↑ ホールド時間	t _{MDIH}	E_MDIO	-	0	-	ns


¹²⁰ Ethernet-MAC のレジスタ設定で、サイクルデバイスが規格を満たすように設定してください。

MII 送信 (100 Mbps/10 Mbps)

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V¹²¹, V_{SS} = 0V, C_L=25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
送信クロック サイクルタイム ¹²²	t _{TXCYC}	E_TCK	100 Mbps 標準 40 ns	-	-	ns
			100 Mbps 標準 400 ns	-	-	ns
送信クロック H パルス幅率	t _{TXCYCH}	E_TCK	t _{TXCYCH} /t _{TXCYC}	35	65	%
送信クロック L パルス幅率	t _{TXCYCL}	E_TCK	t _{TXCYCL} /t _{TXCYC}	35	65	%
TXCK ↑ → 送信データ遅延時間	t _{MITX}	E_TX03, E_TX02, E_TX01, E_TX00, E_TXEN	-	-	24	ns

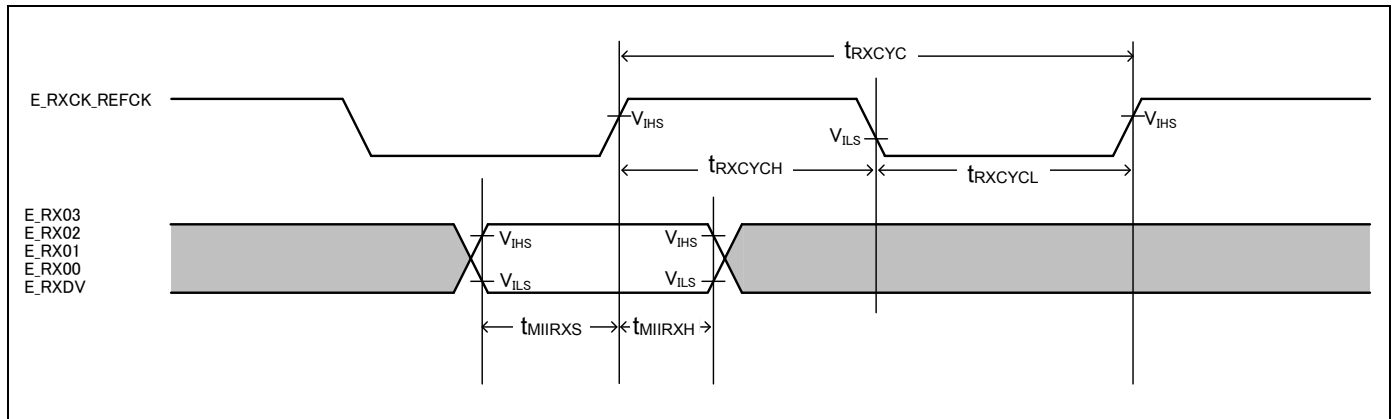

¹²¹ 4.5 V~5.5 V 動作時は出力電流を抑えるため、出力端子に直列抵抗を接続することを推奨します。

¹²² MII 規格で送信クロックは 100 Mbps で 25 MHz, 10 Mbps で 2.5 MHz に固定にされています。
 クロック精度は接続する PHY デバイスの規格を満たしてください。

MII 受信 (100 Mbps/10 Mbps)

 (ETHV_{CC} = 3.0V~3.6V, 4.5V~5.5V, V_{SS} = 0V, C_L=25pF)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
送信クロック サイクルタイム ¹²³	t _{RXCYC}	E_RXCK_REFCK	100 Mbps 標準 40 ns	-	-	ns
			100 Mbps 標準 400 ns	-	-	ns
送信クロック H パルス幅率	t _{RXCYCH}	E_RXCK_REFCK	t _{RXCYCH} /t _{RXCYC}	35	65	%
送信クロック L パルス幅率	t _{RXCYCL}	E_RXCK_REFCK	t _{RXCYCL} /t _{RXCYC}	35	65	%
受信データ→ RXCK ↑ セットアップ時間	t _{MIIRXS}	E_RX03, E_RX02, E_RX01, E_RX00, E_RXDV	-	5	-	ns
受信データ→ RXCK ↑ ホールド時間	t _{MIIRXH}	E_RX03, E_RX02, E_RX01, E_RX00, E_RXDV	-	2	-	ns


¹²³ MII 規格でリファレンスクロックは 50 MHz に固定にされています。クロック精度は接続する PHY デバイスの規格を満たしてください。

12.4.20 I²S タイミング

マスタモードタイミング

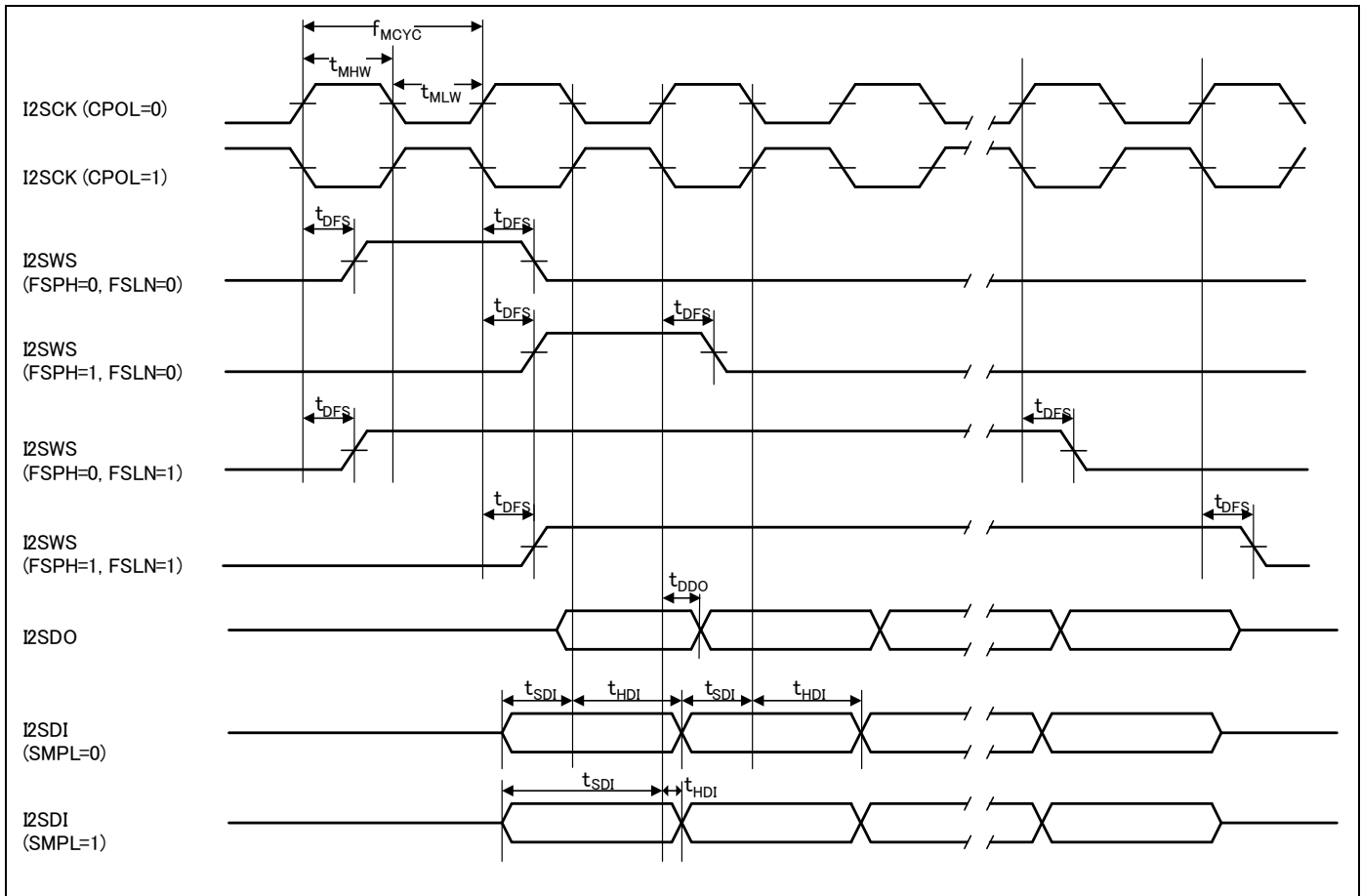
(V_{CC} = 2.7V~5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	f _{MCYC}	I2SCK	-	-	12.288	MHz	
出力クロックパルス幅	MHW	I2SCK	-	45	55	%	
	t _{MLW}			45	55	%	
I2SCK→I2SWS 遅延時間	t _{DFS}	I2SCK, I2SWS	-	0	24.0	ns	
I2SCK→I2SDO 遅延時間 ¹²⁴	t _{DDO}	I2SCK, I2SDO	-	0	24.0	ns	
I2SDI→I2SCK セットアップ時間	t _{HSDI}	I2SCK, I2SDI	-	25.0	-	ns	
I2SDI→I2SCK ホールド時間	t _{HDI}		-	0	-	ns	
入力信号立上り時間	t _{FI}	I2SDI	-	-	5	ns	
入力信号立下り時間	t _{FI}		-	-	5	ns	

<注意事項>

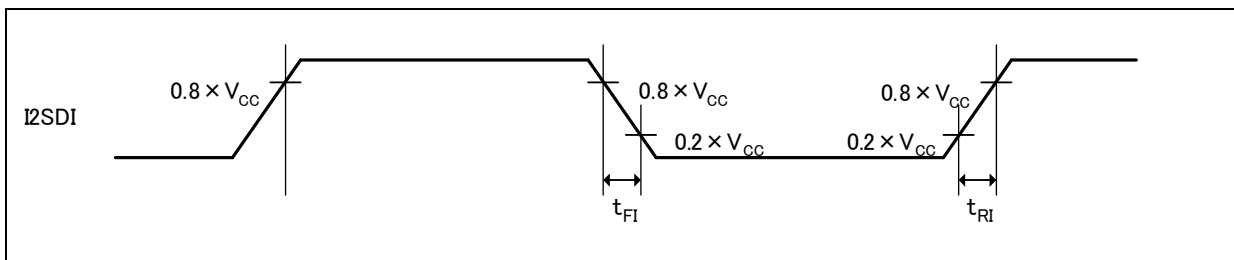
- 外部負荷容量 C_L = 20 pF
- I2SWS=48 kHz, I2MCLK=256 × I2SWS 時。
フレーム同期信号(I2SWS)は、48 kHz, 32 kHz, 16 kHz を設定可能です。
詳細は、『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。

¹²⁴ 送信フレームの最初のビットを除く



<注意事項>

- CPOL, FSPH, FSLIN, SMPL は『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 7-2: I²S(Inter-IC Sound bus)インタフェース』を参照してください。



スレーブモードタイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

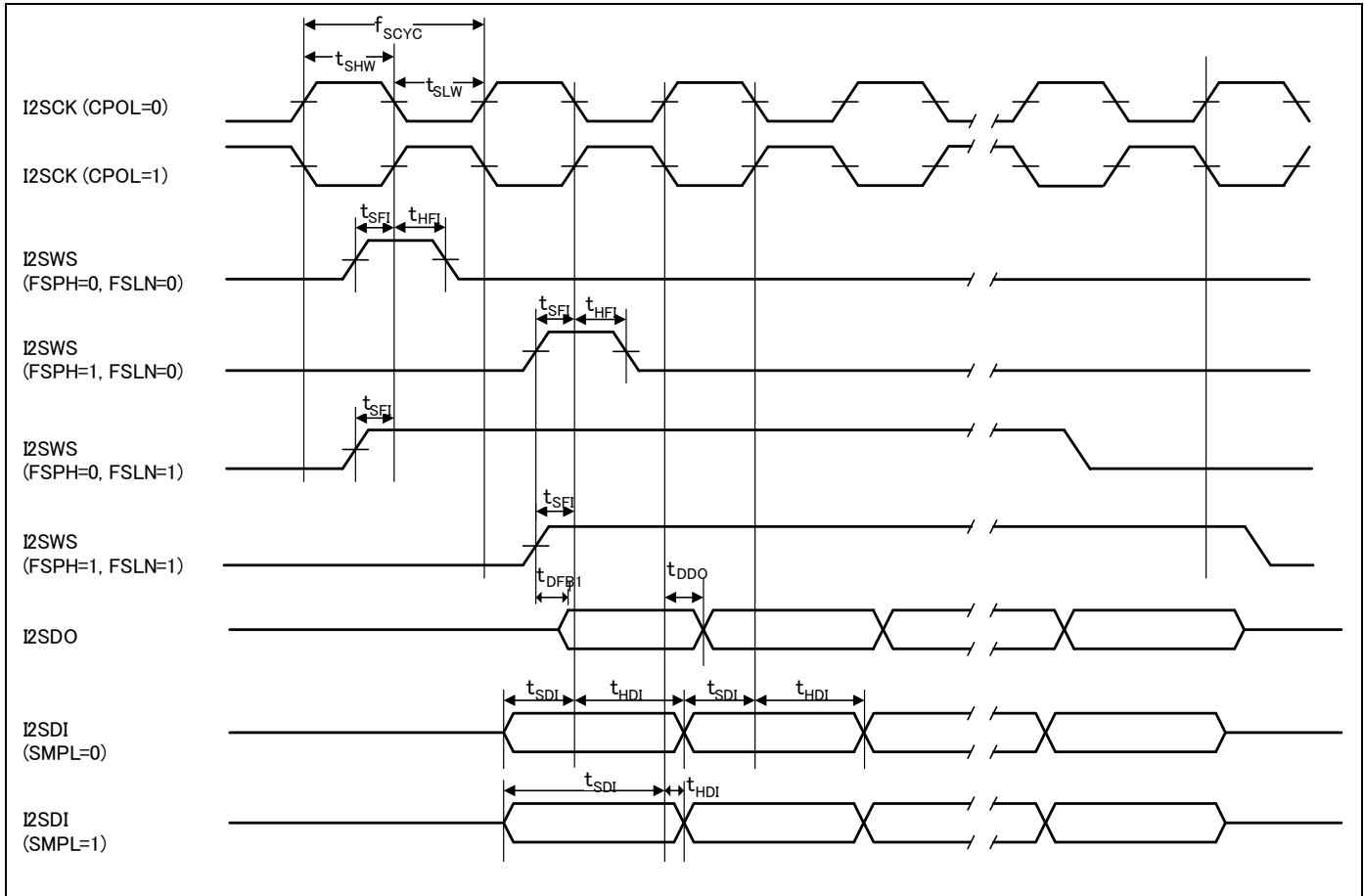
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f _{SCYC}	I2SCK	-	-	12.288	MHz	
入力クロックパルス幅	t _{SHW}	I2SCK	-	45	55	%	
	t _{SLW}			45	55	%	
I2SWS→I2SCK セットアップ時間	t _{SFI}	I2SCK, I2SWS	-	8	-	ns	
I2SWS→I2SCK ホールド時間	t _{HFI}	I2SCK, I2SWS	-	0	-	ns	
I2SCK ↑→I2SDO 遅延時間 ¹²⁵	t _{DDO}	I2SCK, I2SDO	-	0	32	ns	
I2SCK ↑→I2SDO 遅延時間 ¹²⁶	t _{DFBI}		-	0	32	ns	
I2SDI→I2SCK ↓ セットアップ時間	t _{SDI}	I2SCK, I2SDI	-	8	-	ns	
I2SDI→I2SCK ↓ ホールド時間	t _{HDI}		-	0	-	ns	
入力信号立上り時間	t _{FI}	I2SCK, I2SWS, I2SDI	-	-	5	ns	
入力信号立下り時間	t _{FI}		-	-	5	ns	

<注意事項>

- 外部負荷容量 C_L = 20 pF
- I2SWS=48 kHz, I2MCLK=256 × I2SWS 時。
 フレーム同期信号(I2SWS)は、48 kHz, 32 kHz, 16 kHz を設定可能です。
 詳細は、『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 7-2: I²S(Inter-IC Sound bus)インタフェース』
 を参照してください。

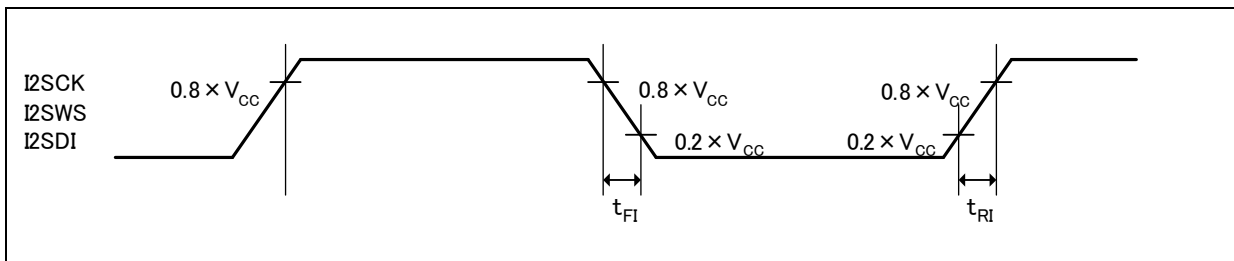
¹²⁵ 送信フレームの最初のビットを除く

¹²⁶ FSPH レジスタ “1” 時



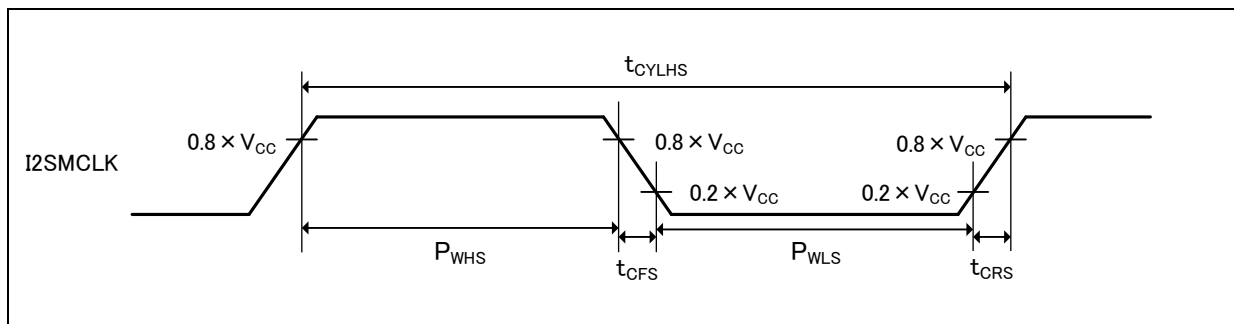
<注意事項>

- FSPH, FSLN, SMPL は『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 7-2: I²S(Inter-IC Sound bus) インタフェース』を参照してください。
- I2SCK 入力は CNTREG レジスタの CPOL ビットにより極性を選択可能です。



I2SMCLK 入力規格
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CHS}	I2SMCK	-	-	25	MHz	
入力クロック 周期	t_{CYLHS}	-	-	40	-	ns	
入力クロック パルス幅	-	-	P_{WHS}/t_{CYLHS} P_{WLS}/t_{CYLHS}	45	55	%	外部クロック時
入力クロック 立上り, 立下り時間	t_{CFS} t_{CRS}	-	-	-	5	ns	外部クロック時


I2SMCLK 出力規格
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	f_{CHS}	I2SMCK	-	-	12.288	MHz	

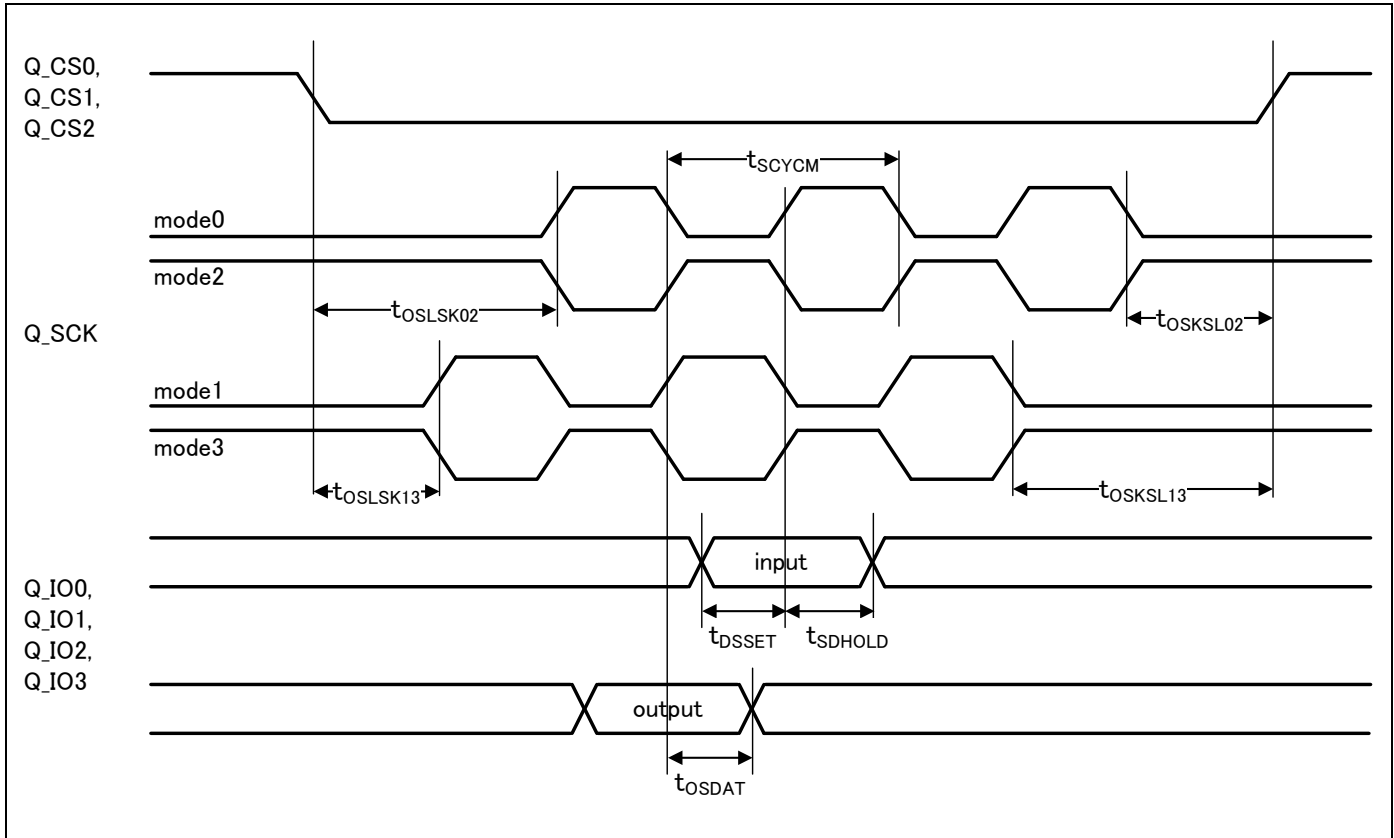
12.4.21 Hi-Speed Quad SPI タイミング

(V_{CC} = 2.7V~3.6V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック 周波数	tSCYCM	Q_SCK_0	CL=15pF, VCC=3.0~3.6V	-	66	MHz	『RTM=1 かつ mode=0,1,3』時
			CL=30pF	-	50	MHz	『RTM=1 かつ mode=2』 または 『RTM=0 かつ mode=0,1,2,3』 時
有効 CS→ CLK スタート時間 (mode0/mode2)	tOSLSK02	Q_SCK_0, Q_CS0_0, Q_CS1_0, Q_CS2_0	CL=30pF	1.5×tSCYCM-5	-	ns	
有効 CS→ CLK スタート時間 (mode1/mode3)	tOSLSK13			tSCYCM-5	-	ns	
CLK 最後→ 無効 CS 時間 (mode0/mode2)	tOSKSL02			tSCYCM	-	ns	
CLK 最後→ 無効 CS 時間 (mode1/mode3)	tOSKSL13			1.5×tSCYCM	-	ns	
SIO データ出力時間	tOSDAT	Q_SCK_0, Q_IO0_0, Q_IO1_0, Q_IO2_0, Q_IO3_0	CL=15pF, VCC=3.0~3.6V	0	5	ns	
			CL=30pF	0	5		
SIO セットアップ	tDSSET		CL=30pF	3	-	ns	『RTM=1 かつ mode=0,1,3』時
				10	-		『RTM=1 かつ mode=2』 または 『RTM=0 かつ mode=0,1,2,3』 時
SIO ホールド	tSDHOLD		CL=30pF	0.5×tSCYCM	-	ns	

<注意事項>

- RTM, mode の詳細は、『ペリフェラルマニュアル 通信マクロ編 (002-04904)』の『CHAPTER 8-3: High-Speed Quad SPI controller』を参照してください。
- Hi-Speed Quad SPI 使用時は、I/O 端子を PDSR レジスタにて V_{CC}=3 V の駆動能力に設定してください。詳細は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 12: I/O ポート』を参照してください。



12.5 12 ビット A/D コンバータ

A/D コンバータ電気的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	- 4.5	-	+ 4.5	LSB	AVRH=2.7 V~5.5 V
微分直線性誤差	-	-	- 2.5	-	+ 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	- 15	-	+ 15	mV	
フルスケール トランジション電圧	V_{FST}	ANxx	AVRH - 15 AVCC - 15	- -	AVRH + 15 AVCC + 15	mV mV	
変換時間	-	-	0.5 ¹²⁷	-	-	μs	AVCC ≥ 4.5 V
サンプリング時間 ¹²⁸	t_s	-	0.15	-	10	μs	AVCC ≥ 4.5 V
			0.3	-			AVCC < 4.5 V
コンペアクロック周期 ¹²⁹	t_{CCK}	-	25	-	1000	ns	AVCC ≥ 4.5 V
			50	-	1000		AVCC < 4.5 V
動作許可状態遷移時間	t_{STT}	-	-	-	1.0	μs	
電源電流 (アナログ+デジタル)	-	AVCC	-	0.69	0.92	mA	A/D 1unit 動作時
			-	1.3	22	μA	A/D 停止時
基準電源電流(AVRH)	-	AVRH	-	1.1	1.97	mA	A/D 1unit 動作時 AVRH=5.5 V
			-	0.3	6.3	μA	A/D 停止時
アナログ入力容量	C_{AIN}	-	-	-	12.05	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.2	kΩ	AVCC ≥ 4.5 V
					1.8		AVCC < 4.5 V
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力 リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	AVSS	-	AVRH	V	
			AVSS	-	AVCC	V	
基準電圧	-	AVRH	4.5	-	AVCC	V	T _{ack} < 50 ns
			2.7	-	AVCC		T _{ack} ≥ 50 ns
	-	AVRL	AVSS	-	AVSS	V	

¹²⁷ 変換時間は「サンプリング時間(t_s) + コンペア時間(t_c)」の値です。

最小変換時間の条件は、サンプリング時間: 150 ns、コンペア時間: 350 ns (AVCC ≥ 4.5 V)の値です。

必ずサンプリング時間(t_s)、コンペアクロック周期(t_{cck})の規格を満足するようにしてください。

サンプリング時間、コンペアクロック周期の設定については、『ペリフェラルマニュアル アナログマクロ編 (002-04861)』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

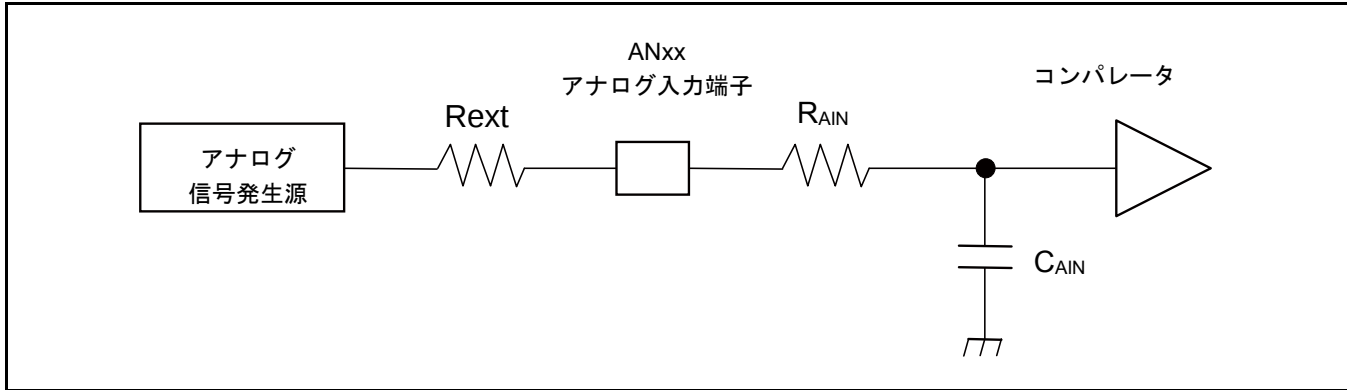
A/D コンバータが接続されている APB バス信号については「1. ブロックダイアグラム」を参照してください。

サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)にて生成されます。

¹²⁸ 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

¹²⁹ コンペア時間(t_c)は(式 2)の値です。



$$(式 1) \quad t_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$$

t_s : サンプルング時間

R_{AIN} : A/D コンバータの入力抵抗 = 1.2 k Ω 4.5 V $\leq$ AV_{CC} $\leq$ 5.5 V の場合

A/D コンバータの入力抵抗 = 1.8 k Ω 2.7 V $\leq$ AV_{CC} < 4.5 V の場合

C_{AIN} : A/D コンバータの入力容量 = 12.05 pF 2.7 V $\leq$ AV_{CC} $\leq$ 5.5 V の場合

R_{ext} : 外部回路の出力インピーダンス

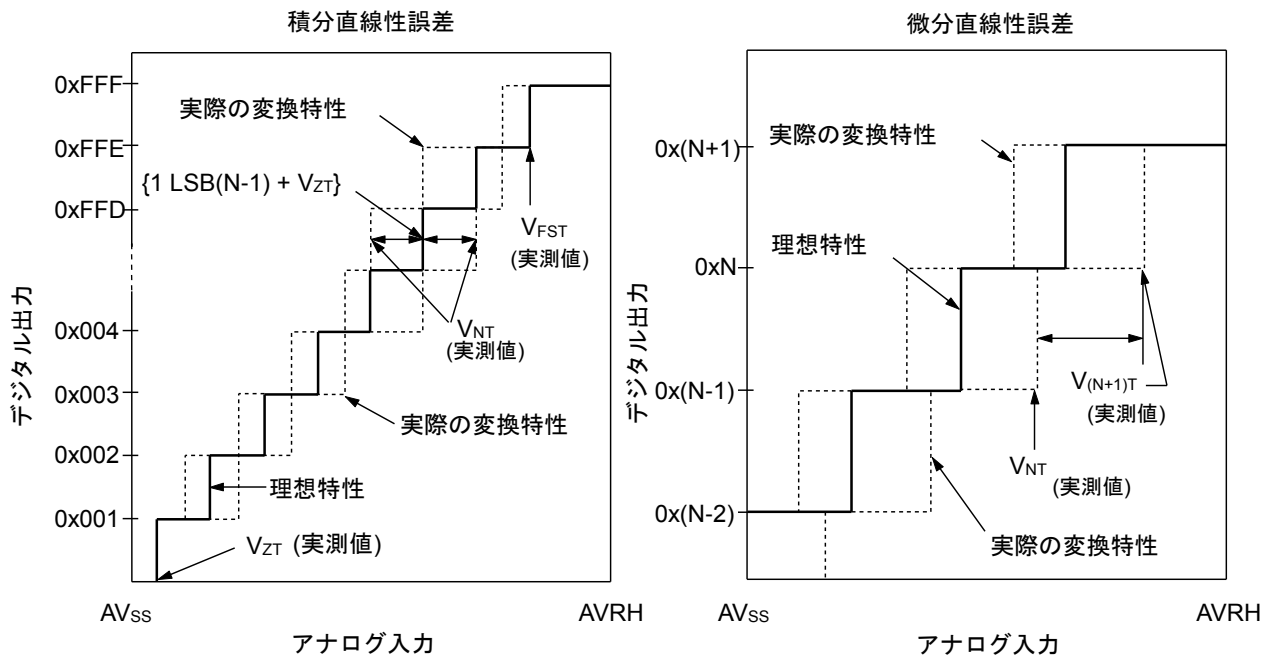
$$(式 2) \quad t_c = t_{CCK} \times 14$$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N-1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータデジタル出力値
 V_{ZT} : デジタル出力が 0x000 から 0x001 に遷移する電圧
 V_{FST} : デジタル出力が 0xFFE から 0xFFF に遷移する電圧
 V_{NT} : デジタル出力が 0x(N-1)から 0xN に遷移する電圧

12.6 12 ビット D/A コンバータ

D/A 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	12	bit	
変換時間	t _{C20}		0.56	0.69	0.81	μs	負荷 20 pF
	t _{C100}		2.79	3.42	4.06	μs	負荷 100 pF
積分直線性誤差 ¹³⁰	INL		- 16	-	+ 16	LSB	
微分直線性誤差 ¹³⁰	DNL		- 0.98	-	+ 1.5	LSB	
出力電圧オフセット	V _{OFF}		-	-	+ 10	mV	0x000 設定時
			- 20.0	-	+ 1.4	mV	0xFF 設定時
アナログ出力インピーダンス	R _O		3.10	3.80	4.50	kΩ	D/A 動作時
			2.0	-	-	MΩ	D/A 停止時
電源電流 ¹³⁰	IDDA	AV _{CC}	260	330	410	μs	D/A 1ch.動作時 AV _{CC} =3.3 V
			400	510	620	μs	D/A 1ch.動作時 AV _{CC} =5.0 V
	IDSA		-	-	14	μs	D/A 停止時

¹³⁰ 無負荷時

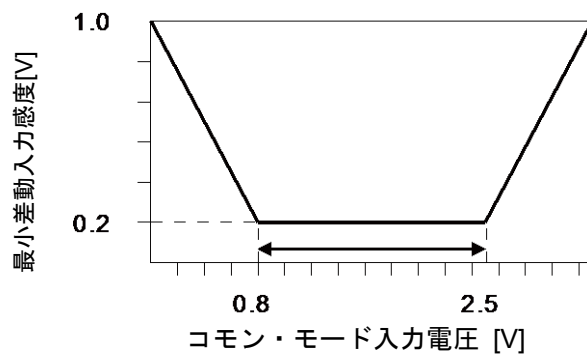
12.7 USB 特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $USBV_{CC0} = USBV_{CC1} = 3.0V \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$)

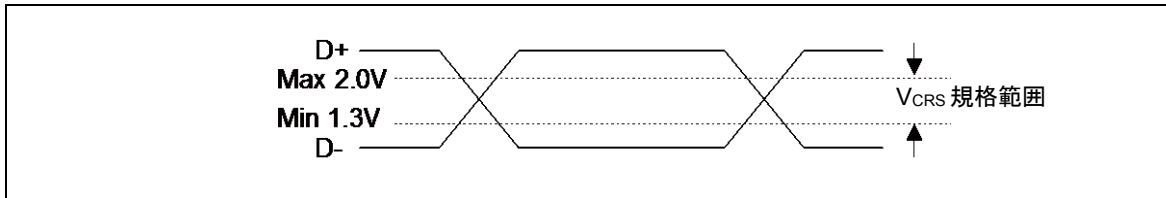
項目	記号	端子名	条件	規格値		単位	参照
				最小	最大		
入力特性	入力 H レベル電圧	V_{IH}	-	2.0	$USBV_{CC} + 0.3$	V	1
	入力 L レベル電圧	V_{IL}	-	$V_{SS} - 0.3$	0.8	V	1
	差動入力感度	V_{DI}	-	0.2	-	V	2
	差動コモンモードレンジ	V_{CM}	-	0.8	2.5	V	2
出力特性	出力 H レベル電圧	V_{OH}	外部プルアップ抵抗=15 k Ω	2.8	3.6	V	3
	出力 L レベル電圧	V_{OL}	外部プルアップ抵抗=15 k Ω	0.0	0.3	V	3
	クロスオーバー電圧	V_{CRS}	-	1.3	2.0	V	4
	立上り時間	t_{FR}	Full-Speed	4	20	ns	5
	立下り時間	t_{FF}	Full-Speed	4	20	ns	5
	立上り/立下り時間マッチング	t_{FRFM}	Full-Speed	90	111.11	%	5
	出力インピーダンス	Z_{DRV}	Full-Speed	28	44	Ω	6
	立上り時間	t_{LR}	Low-Speed	75	300	ns	7
	立下り時間	t_{LF}	Low-Speed	75	300	ns	7
	立上り/立下り時間マッチング	t_{LRFM}	Low-Speed	80	125	%	7
			UDP0/ UDM0, UDP1/ UDM1				

参照：

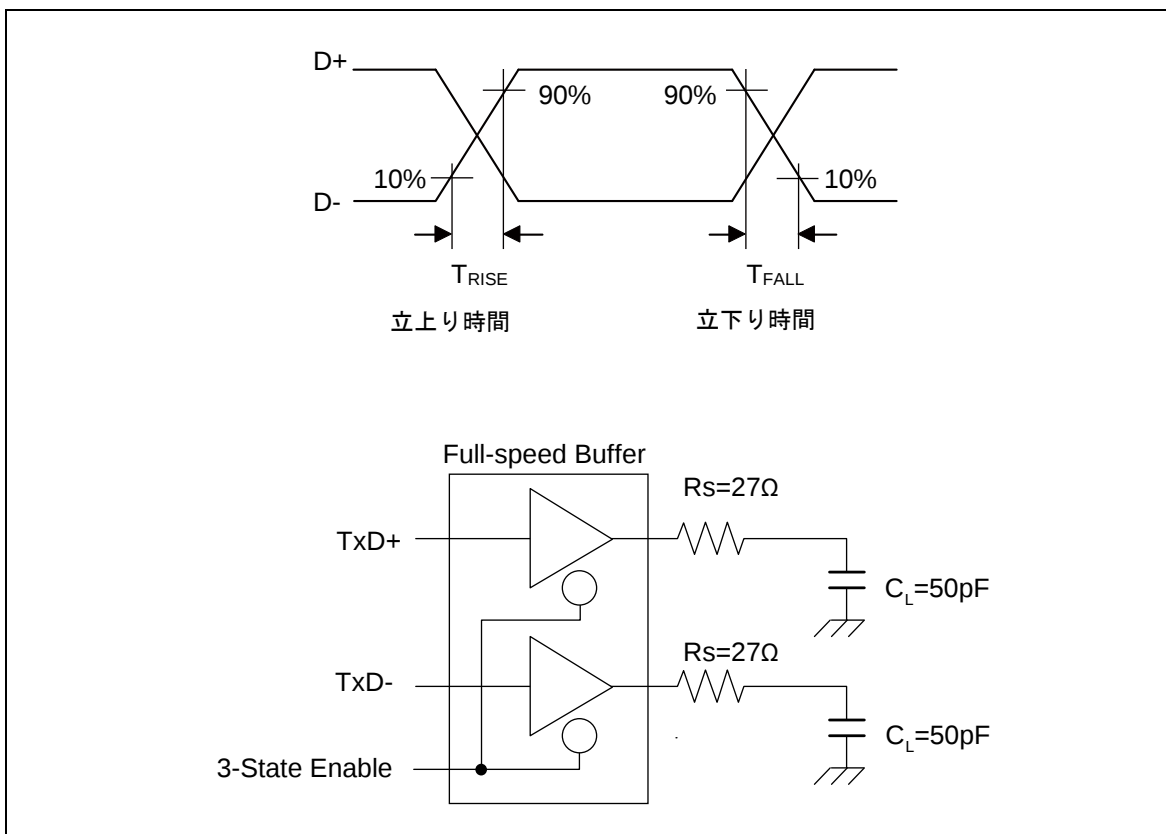
- 1: USB I/O の Single-End-Receiver のスイッチング・スレッショルド電圧は $V_{IL}(\text{Max})=0.8\text{ V}$, $V_{IH}(\text{Min})=2.0\text{ V}$ (TTL 入力規格) の範囲内に設定されています。また、ノイズ感度を低下させるためヒステリシス特性を持たせています。
- 2: USB 差動データ信号の受信には、Differential-Receiver を使用します。
Differential-Receiver は、差動データ入力ローカル・グラウンド・リファレンス レベルに対し、 $0.8\text{ V} \sim 2.5\text{ V}$ の範囲内にあるときには、 200 mV の差動入力感度があります。
上記電圧範囲は、コモン・モード入力電圧範囲とされています。



- 3: ドライバの出力駆動能力は、Low-State(V_{OL})で 0.3 V 以下(対 3.6 V, 1.5 k Ω 負荷)、High-State(V_{OH})で 2.8 V 以上(対グランド, 15k Ω 負荷)です。
- 4: USB I/O の外部差動出力信号(D+/D-)のクロス電圧は、1.3 V ~ 2.0 V の範囲内にあります。

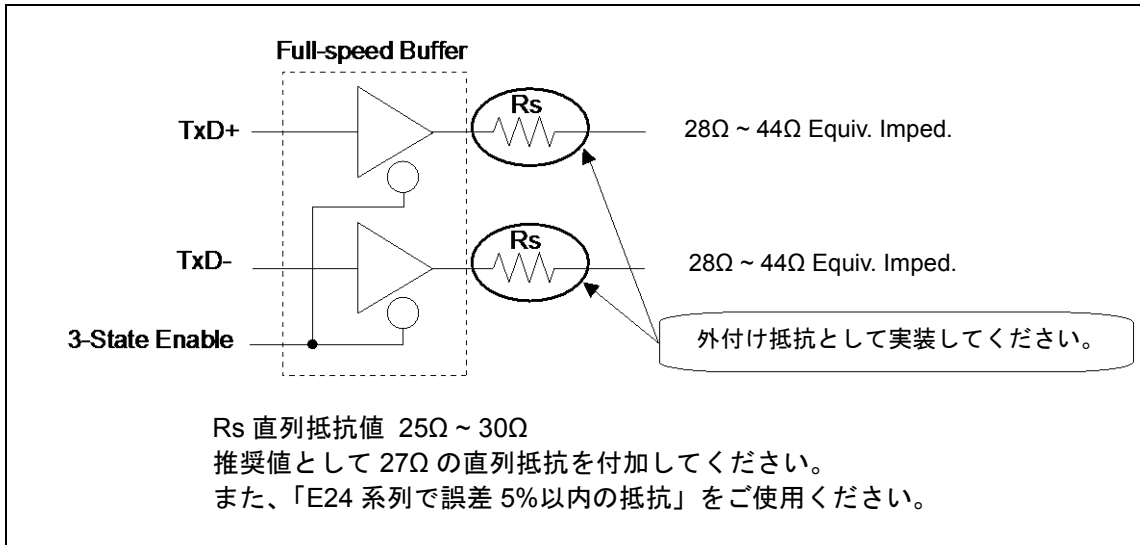


- 5: Full-Speed 差動データ信号の立上り(T_{RISE})と立下り(T_{FALL})時間規定です。
 出力信号電圧の 10% ~ 90% 間の時間で定義されます。
 また Full-speed Buffer に関しては、 t_r/t_f は、RFI 放射を最小にするために、 t_r/t_f 比を $\pm 10\%$ 以内と規定されています。

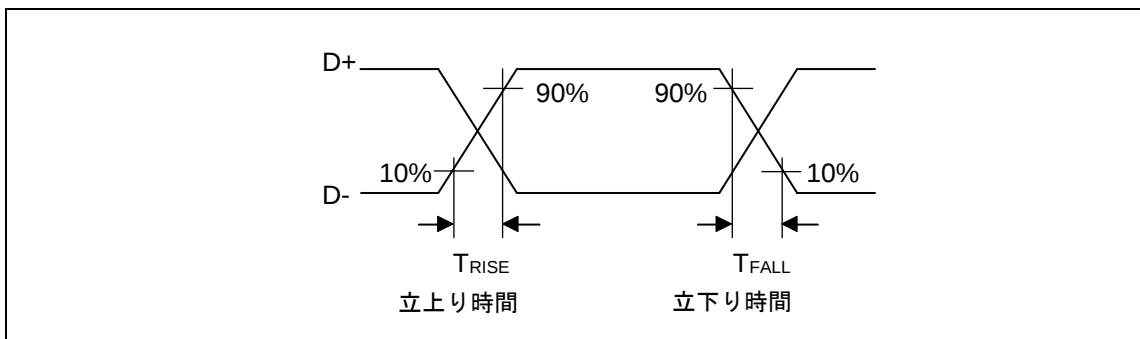


- 6: USB Full-speed 接続は、 $90\ \Omega \pm 15\%$ の特性インピーダンス(Differential Mode)で、シールドされたツイスト・ペアケーブルを介して行われます。

USB 規格は、USB Driver の出力インピーダンスは $28\ \Omega \sim 44\ \Omega$ の範囲内になければならないことを規定しており、上記規格を満足し、バランスをとるために、ディスクリート直列抵抗器(R_s)を付加することを規定しています。本 USB I/O をご使用の際には、直列抵抗 R_s として $25\ \Omega \sim 30\ \Omega$ (推奨値 $27\ \Omega$) を付加しご使用ください。



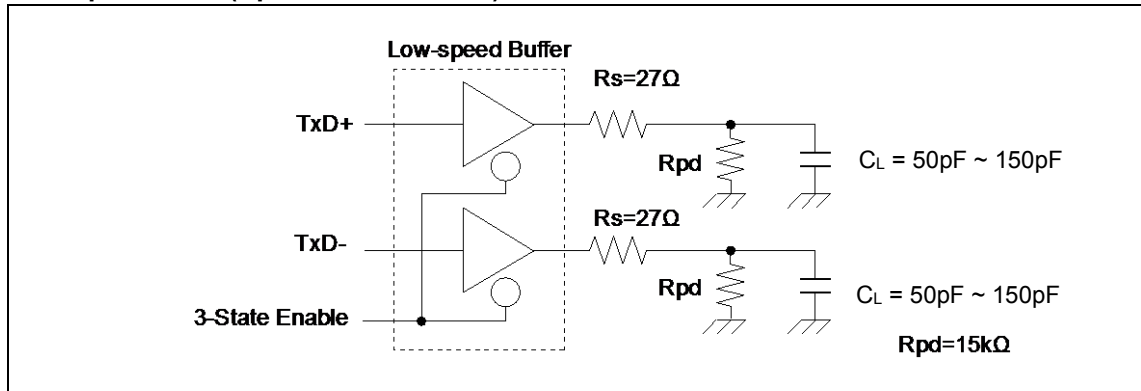
- 7: Low-Speed 差動データ信号の立上り(T_{RISE})と立下り(T_{FALL})時間規定です。出力信号電圧の 10% ~ 90% 間の時間で定義されます。



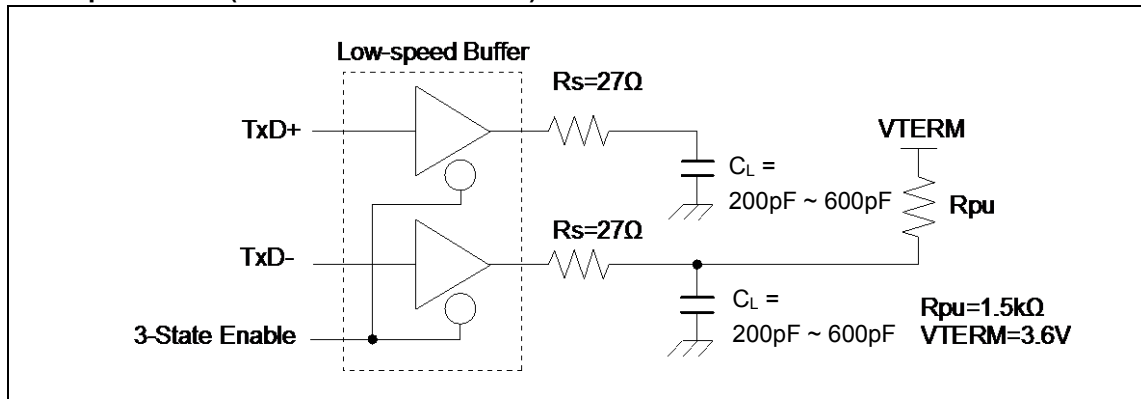
<注意事項>

- 外部負荷条件は、「Low-Speed Load (Compliance Load)」を参照してください。

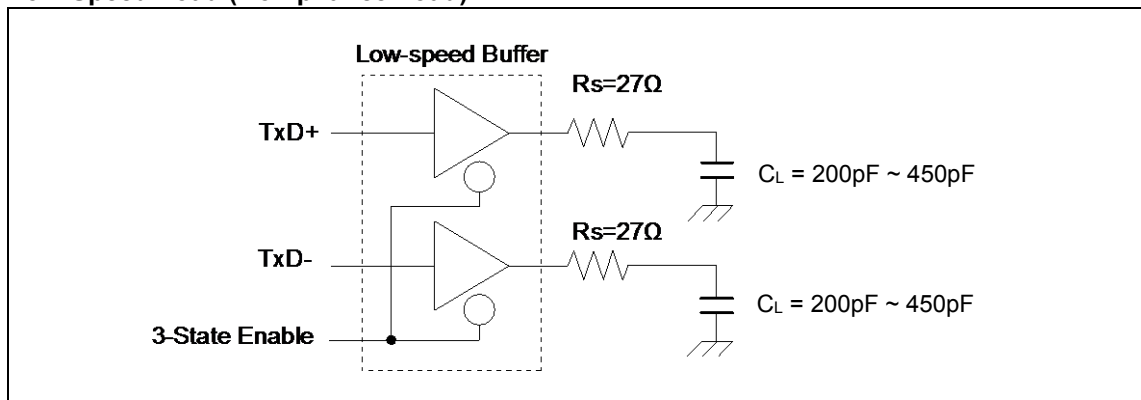
Low-Speed Load (Upstream Port Load) – Reference 1



Low-Speed Load (Downstream Port Load) – Reference 2



Low-Speed Load (Compliance Load)



12.8 低電圧検出特性

12.8.1 低電圧検出リセット

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.46	2.55	2.64	V	電圧降下時
解除電圧	VDH	-	2.51	2.60	2.69	V	電圧上昇時

12.8.2 低電圧検出割込み

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00111	2.80	2.90	3.00	V	電圧降下時
解除電圧	VDH		2.90	3.00	3.11	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.99	3.10	3.21	V	電圧降下時
解除電圧	VDH		3.09	3.20	3.31	V	電圧上昇時
検出電圧	VDL	SVHI = 01100	3.18	3.30	3.42	V	電圧降下時
解除電圧	VDH		3.28	3.40	3.52	V	電圧上昇時
検出電圧	VDL	SVHI = 01111	3.67	3.80	3.93	V	電圧降下時
解除電圧	VDH		3.76	3.90	4.04	V	電圧上昇時
検出電圧	VDL	SVHI = 01110	3.76	3.90	4.04	V	電圧降下時
解除電圧	VDH		3.86	4.00	4.14	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	4.05	4.20	4.35	V	電圧降下時
解除電圧	VDH		4.15	4.30	4.45	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	4.15	4.30	4.45	V	電圧降下時
解除電圧	VDH		4.25	4.40	4.55	V	電圧上昇時
検出電圧	VDL	SVHI = 11000	4.25	4.40	4.55	V	電圧降下時
解除電圧	VDH		4.34	4.50	4.66	V	電圧上昇時
LVD 安定待ち時間	t _{LVDW}	-	-	-	6000 × t _{CYCP} ¹³¹	μs	

¹³¹ t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.9 メインフラッシュメモリ書込み/消去特性

 (V_{CC} = 2.7V~5.5V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large sector	-	0.7	3.7	s	内部での消去前書込み時間を含む
	Small sector	-	0.3	1.1	s	
ハーフワード (16ビット) 書込み時間	書込みサイクル ≤ 100	-	12	100	μs	システムレベルのオーバーヘッド時間は除く
	書込みサイクル > 100			200		
チップ消去時間 ¹³²		-	13.6	68	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

書込み/消去サイクル(cycle)	保持時間(年)
1,000	20 ¹³³
10,000	10 ¹³³
100,000	5 ¹³³

12.10 デュアルフラッシュメモリ書込み/消去特性

メインフラッシュメモリと同じ書込み/消去特性です。

デュアルフラッシュについては、本製品の『フラッシュプログラミングマニュアル』の『3.6 デュアルフラッシュモード』を参照してください。

¹³² メインフラッシュ 1 MB のチップ消去時間になります。

メインフラッシュ 1.5 MB / 2 MB 搭載品のチップ消去は 2 回必要となります。

詳細は、本製品の『フラッシュプログラミングマニュアル』の『3.2.2 コマンド動作説明』, 『3.3.3 フラッシュ消去動作』を参照してください。

¹³³ 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85℃へ換算しています)。

12.11 スタンバイ復帰時間

12.11.1 復帰要因：割込み/WKUP

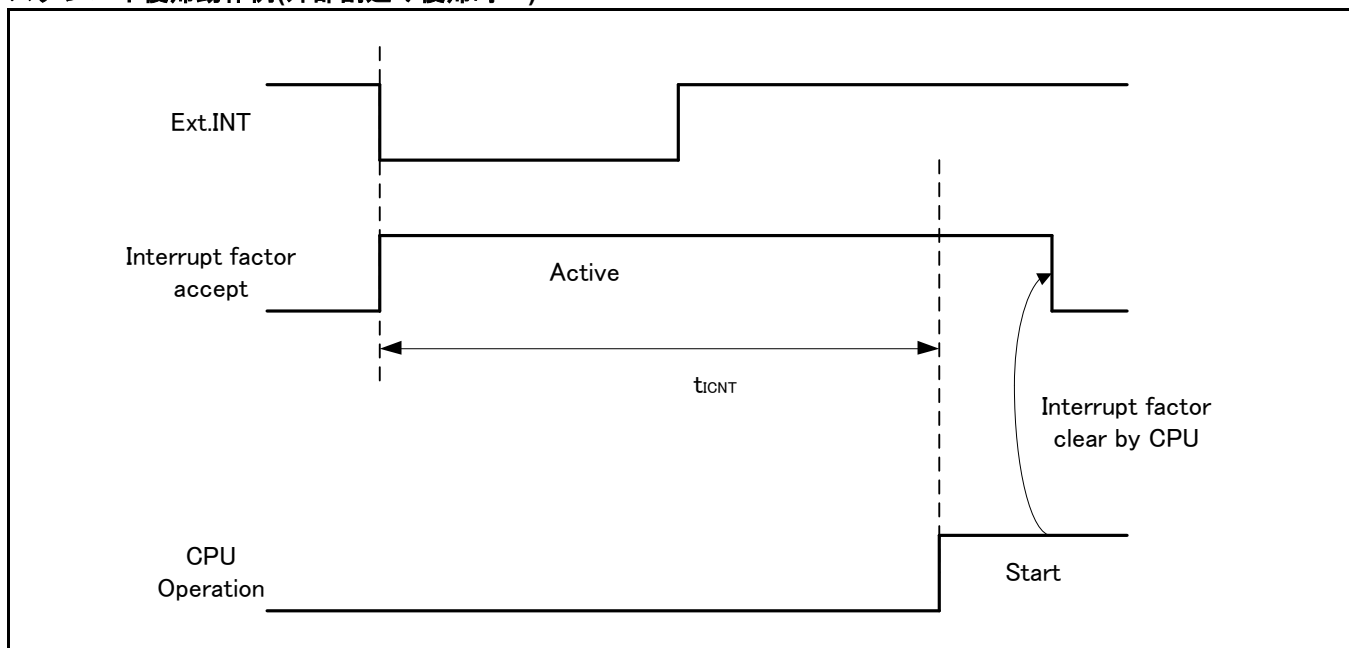
内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

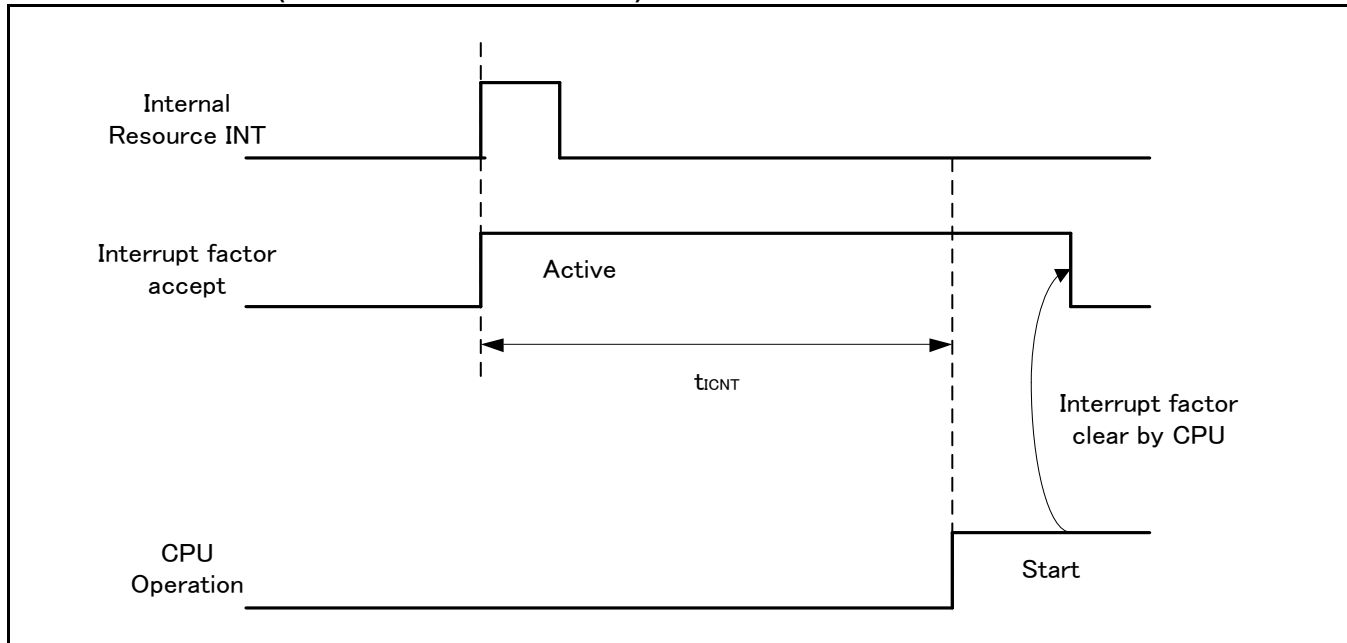
項目	記号	規格値		単位	備考
		標準	最大 ¹³⁴		
スリープモード	t _{INCT}	HCLK×1		μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40	80	μs	
低速 CR タイマモード		450	900	μs	
サブタイマモード		896	1136	μs	
RTC モード, ストップモード (メイン/高速 CR/PLL ランモード復帰)		316	581	μs	
RTC モード, ストップモード (サブ/低速 CR ランモード復帰)		270	540	μs	
ディープスタンバイ RTC モード ディープスタンバイストップモード		365	667	μs	RAM 保持なし
		365	667	μs	RAM 保持あり

スタンバイ復帰動作例(外部割込み復帰時¹³⁵)



¹³⁴ 規格値の最大値は内蔵 CR の精度に依存します。

¹³⁵ 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時¹³⁶)

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 6: 低消費電力モード』を参照してください。

¹³⁶ 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

12.11.2 復帰要因：リセット

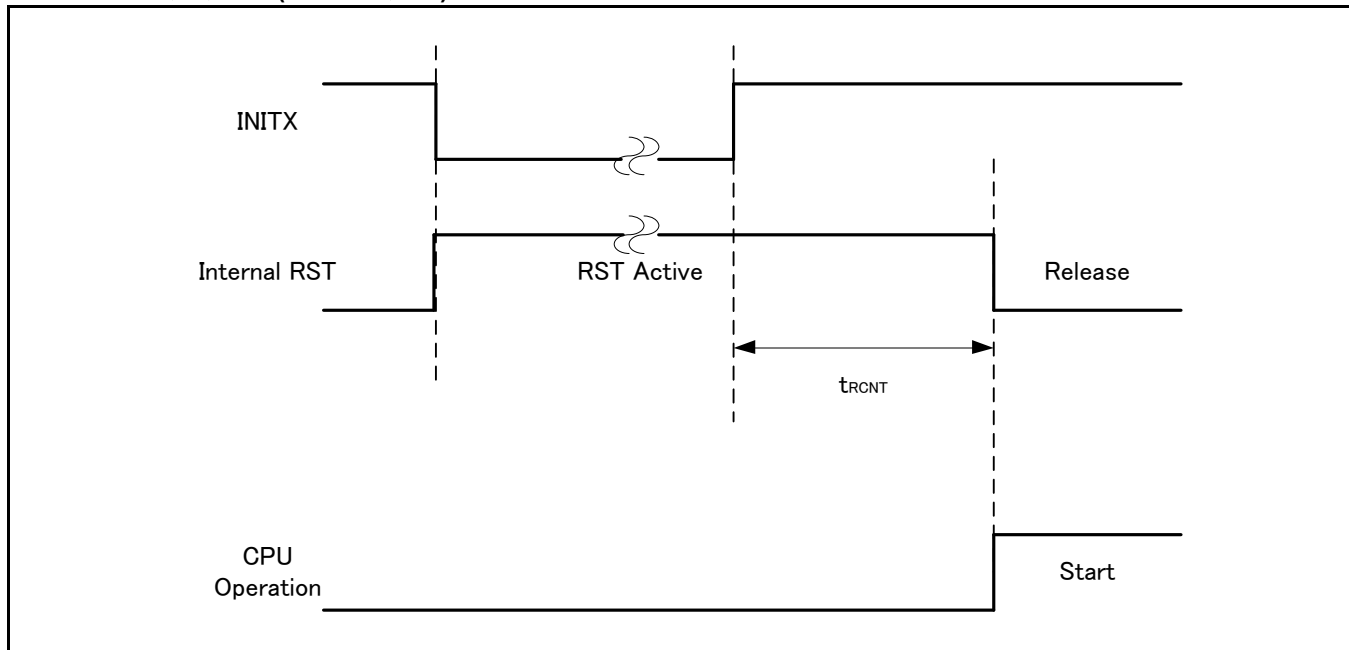
リセット解除からプログラム動作開始までの時間を示します。

復帰カウント時間

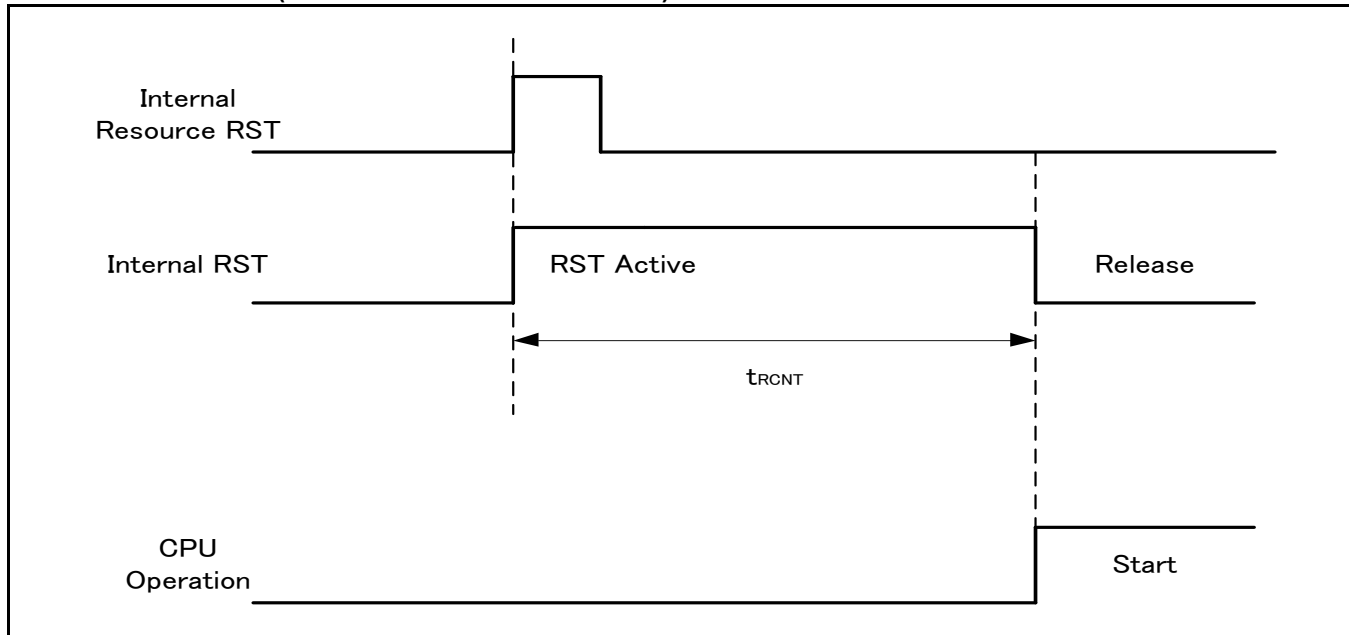
($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	規格値		単位	備考
		標準	最大 ¹³⁷		
スリープモード	t _{RCNT}	155	266	μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		155	266	μs	
低速 CR タイマモード		315	567	μs	
サブタイマモード		315	567	μs	
RTC モード, ストップモード		315	567	μs	
ディープスタンバイ RTC モード		336	667	μs	RAM 保持なし
ディープスタンバイストップモード		336	667	μs	RAM 保持あり

スタンバイ復帰動作例(INITX 復帰時)



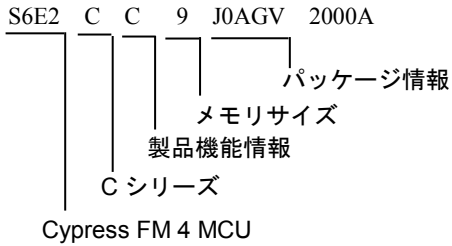
¹³⁷ 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(内部リソースリセット復帰時¹³⁸)

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『ペリフェラルマニュアル 本編 (002-04857)』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、『12.4.8 パワーオンリセットタイミング』を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット、CSV リセットを指します。

¹³⁸ 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

13. オーダー型格



Part Number	Flash (MB)	RAM (KB)	USB 2.0	CAN/CAN FD	Ethernet-MAC	Package
S6E2CC8H0AGV2000A	1	128	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	Plastic LQFP (0.5 mm pitch), 144 pin (LQS144)
S6E2CC9H0AGV2000A	1.5	192	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CCAH0AGV2000A	2	256	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CC8J0AGV2000A	1	128	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	Plastic LQFP (0.5 mm pitch), 176 pin (LQP176)
S6E2CC9J0AGV2000A	1.5	192	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CCAJ0AGV2000A	2	256	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CC8J0AGB1000A	1	128	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	Plastic FBGA (0.8 mm pitch), 192 pin (LBE192)
S6E2CC9J0AGB1000A	1.5	192	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CCAJ0AGB1000A	2	256	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CC8L0AGL2000A	1	128	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	Plastic LQFP (0.4 mm pitch), 216 pin (LQQ216)
S6E2CC9L0AGL2000A	1.5	192	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2CCAL0AGL2000A	2	256	2ch	2ch/1ch	1ch (max) MII: 1ch RII: 1ch (max)	

Part Number	Flash (MB)	RAM (KB)	USB 2.0	CAN/CAN FD	Ethernet-MAC	Package
S6E2C58H0AGV2000A	1	128	2ch	2ch/1ch	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C59H0AGV2000A	1.5	192	2ch	2ch/1ch	N/A	
S6E2C5AH0AGV2000A	2	256	2ch	2ch/1ch	N/A	
S6E2C58J0AGV2000A	1	128	2ch	2ch/1ch	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C59J0AGV2000A	1.5	192	2ch	2ch/1ch	N/A	
S6E2C5AJ0AGV2000A	2	256	2ch	2ch/1ch	N/A	
S6E2C58J0AGB1000A	1	128	2ch	2ch/1ch	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C59J0AGB1000A	1.5	192	2ch	2ch/1ch	N/A	
S6E2C5AJ0AGB1000A	2	256	2ch	2ch/1ch	N/A	
S6E2C58L0AGL2000A	1	128	2ch	2ch/1ch	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C59L0AGL2000A	1.5	192	2ch	2ch/1ch	N/A	
S6E2C5AL0AGL2000A	2	256	2ch	2ch/1ch	N/A	
S6E2C48H0AGV2000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C49H0AGV2000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AH0AGV2000A	2	256	N/A	2ch/1ch	N/A	
S6E2C48J0AGV2000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C49J0AGV2000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AJ0AGV2000A	2	256	N/A	2ch/1ch	N/A	
S6E2C48J0AGB1000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C49J0AGB1000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AJ0AGB1000A	2	256	N/A	2ch/1ch	N/A	
S6E2C48L0AGL2000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C49L0AGL2000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AL0AGL2000A	2	256	N/A	2ch/1ch	N/A	
S6E2C38H0AGV2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C39H0AGV2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AH0AGV2000A	2	256	2ch	N/A	N/A	
S6E2C38J0AGV2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C39J0AGV2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AJ0AGV2000A	2	256	2ch	N/A	N/A	
S6E2C38J0AGB1000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C39J0AGB1000A	1.5	192	2ch	N/A	N/A	
S6E2C3AJ0AGB1000A	2	256	2ch	N/A	N/A	
S6E2C38L0AGL2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C39L0AGL2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AL0AGL2000A	2	256	2ch	N/A	N/A	

Part Number	Flash (MB)	RAM (KB)	USB 2.0	CAN/CAN FD	Ethernet-MAC	Package
S6E2C28H0AGV2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C29H0AGV2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AH0AGV2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28J0AGV2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C29J0AGV2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AJ0AGV2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28J0AGB1000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C29J0AGB1000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AJ0AGB1000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28L0AGL2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C29L0AGL2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AL0AGL2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	

Part Number	Flash (MB)	RAM (KB)	USB 2.0	CAN/ CAN FD	Ethernet-MAC	Package
S6E2C18H0AGV2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C19H0AGV2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AH0AGV2000A	2	256	N/A	N/A	N/A	
S6E2C18J0AGV2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C19J0AGV2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AJ0AGV2000A	2	256	N/A	N/A	N/A	
S6E2C18J0AGB1000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C19J0AGB1000A	1.5	192	N/A	N/A	N/A	
S6E2C1AJ0AGB1000A	2	256	N/A	N/A	N/A	
S6E2C18L0AGL2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C19L0AGL2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AL0AGL2000A	2	256	N/A	N/A	N/A	
S6E2C48J0AGB1000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C49J0AGB1000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AJ0AGB1000A	2	256	N/A	2ch/1ch	N/A	
S6E2C48L0AGL2000A	1	128	N/A	2ch/1ch	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C49L0AGL2000A	1.5	192	N/A	2ch/1ch	N/A	
S6E2C4AL0AGL2000A	2	256	N/A	2ch/1ch	N/A	
S6E2C38H0AGV2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C39H0AGV2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AH0AGV2000A	2	256	2ch	N/A	N/A	
S6E2C38J0AGV2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C39J0AGV2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AJ0AGV2000A	2	256	2ch	N/A	N/A	
S6E2C38J0AGB1000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C39J0AGB1000A	1.5	192	2ch	N/A	N/A	
S6E2C3AJ0AGB1000A	2	256	2ch	N/A	N/A	
S6E2C38L0AGL2000A	1	128	2ch	N/A	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C39L0AGL2000A	1.5	192	2ch	N/A	N/A	
S6E2C3AL0AGL2000A	2	256	2ch	N/A	N/A	

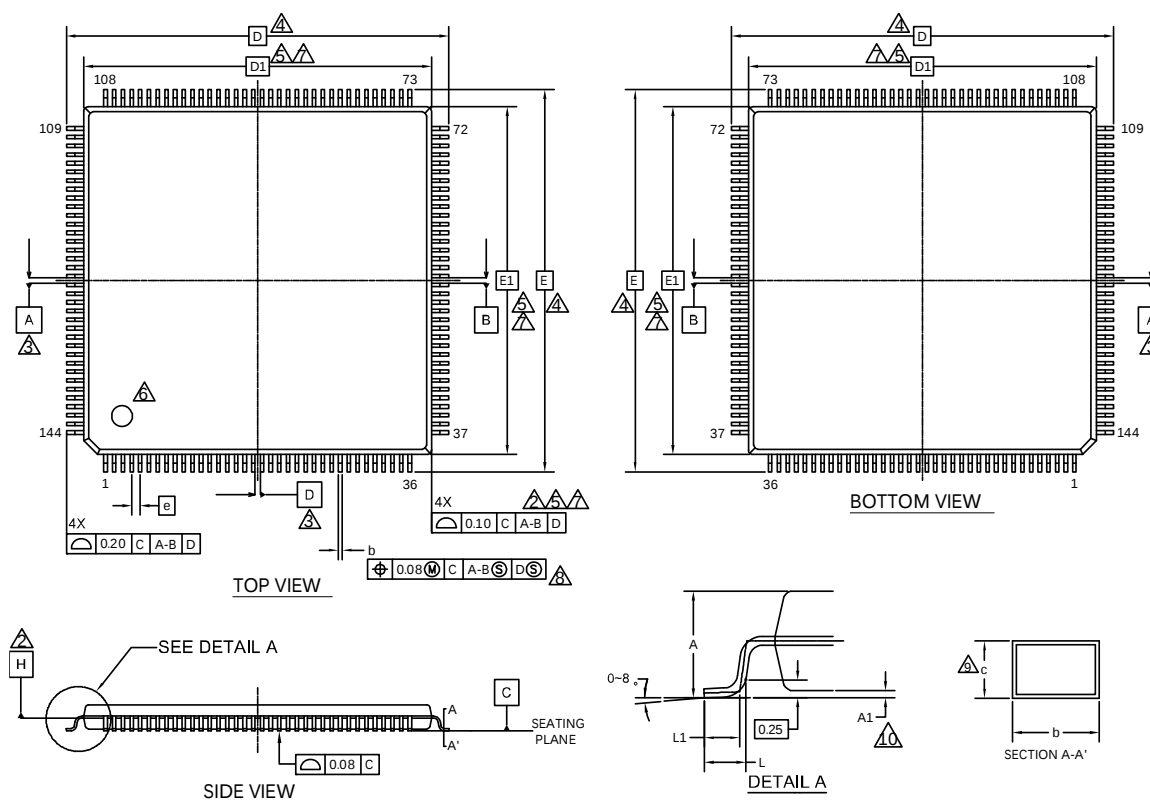
Part Number	Flash (MB)	RAM (KB)	USB 2.0	CAN/CAN FD	Ethernet-MAC	Package
S6E2C28H0AGV2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C29H0AGV2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AH0AGV2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28J0AGV2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C29J0AGV2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AJ0AGV2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28J0AGB1000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C29J0AGB1000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AJ0AGB1000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C28L0AGL2000A	1	128	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C29L0AGL2000A	1.5	192	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C2AL0AGL2000A	2	256	2ch	N/A	1ch (max) MII: 1ch RII: 1ch (max)	
S6E2C18H0AGV2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.5-mm pitch), 144 pin (LQS144)
S6E2C19H0AGV2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AH0AGV2000A	2	256	N/A	N/A	N/A	
S6E2C18J0AGV2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.65-mm pitch), 176 pin (LQP176)
S6E2C19J0AGV2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AJ0AGV2000A	2	256	N/A	N/A	N/A	
S6E2C18J0AGB1000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.8-mm pitch), 192 pin (LBE192)
S6E2C19J0AGB1000A	1.5	192	N/A	N/A	N/A	
S6E2C1AJ0AGB1000A	2	256	N/A	N/A	N/A	
S6E2C18L0AGL2000A	1	128	N/A	N/A	N/A	Plastic • LQFP (0.4-mm pitch), 216 pin (LQQ216)
S6E2C19L0AGL2000A	1.5	192	N/A	N/A	N/A	
S6E2C1AL0AGL2000A	2	256	N/A	N/A	N/A	

14. 略語

略語	説明
ADC	analog-to-digital converter
ACK	acknowledge
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm data transfer bus
Arm®	Advanced RISC Machine, a CPU architecture
CEC	Consumer Electronics Control, a command and control interface over HDMI (High Definition Multimedia Interface)
CMOS	complementary metal oxide semiconductor
CPU	central processing unit
CR	clock and reset
CRC	cyclic redundancy check, an error-checking protocol
CSIO	clock synchronous serial interface
CSV	clock supervisor
CTS	clear to send, a flow control signal in some data communication interfaces
DTSC	descriptor system data transfer controller
EOM	end of message
FIFO	first in, first out
GPIO	general-purpose input/output
HDMI	High Definition Multimedia Interface
HDMI-CEC	High Definition Multimedia Interface - Consumer Electronics Control, see CEC
I/F	interface
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
I ² S, or IIS	Inter-IC (integrated circuit) Sound, a communications protocol
I/O	input/output, see also GPIO
IRQ	interrupt request
LIN	Local Interconnect Network, a communications protocol
LVD	low-voltage detect
MFS	multi-function serial
MSB	most significant byte
MTB	micro trace buffer
NMI	non-maskable interrupt
NVIC	nested vectored interrupt controller
OS	operating system
OSC	oscillator
PLL	phase-locked loop
PPG	programmable pulse generator
PWC	pulse-width counter
PWM	pulse-width modulator
RAM	random access memory
RX	receive
RTS	request to send, a flow control signal in some data communication interfaces
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SW-DP	serial wire debug port
TX	transmit
UART	universal asynchronous receiver transmitter
USB	Universal Serial Bus

15. パッケージ・外形寸法図

Package Type	Package Code	Specification No.
LQFP 144	LQS 144	002-13015 *A



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	22.00 BSC		
D1	20.00 BSC		
e	0.50 BSC		
E	22.00 BSC		
E1	20.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS

△ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.

△ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.

④ TO BE DETERMINED AT SEATING PLANE C.

5 DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.

ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.

DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED

AT DATUM PLANE H.

⚠️ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED

^ WITHIN THE ZONE INDICATED.

△ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY

SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST

FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS.

BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER

SECTIONS OF THE MOLDER BODY.

A DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR

⚠ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION, ϕ , SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b.

PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED 6
MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON

MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT

THE LOWER RADIUS OR THE LEAD FOOT.

△ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD

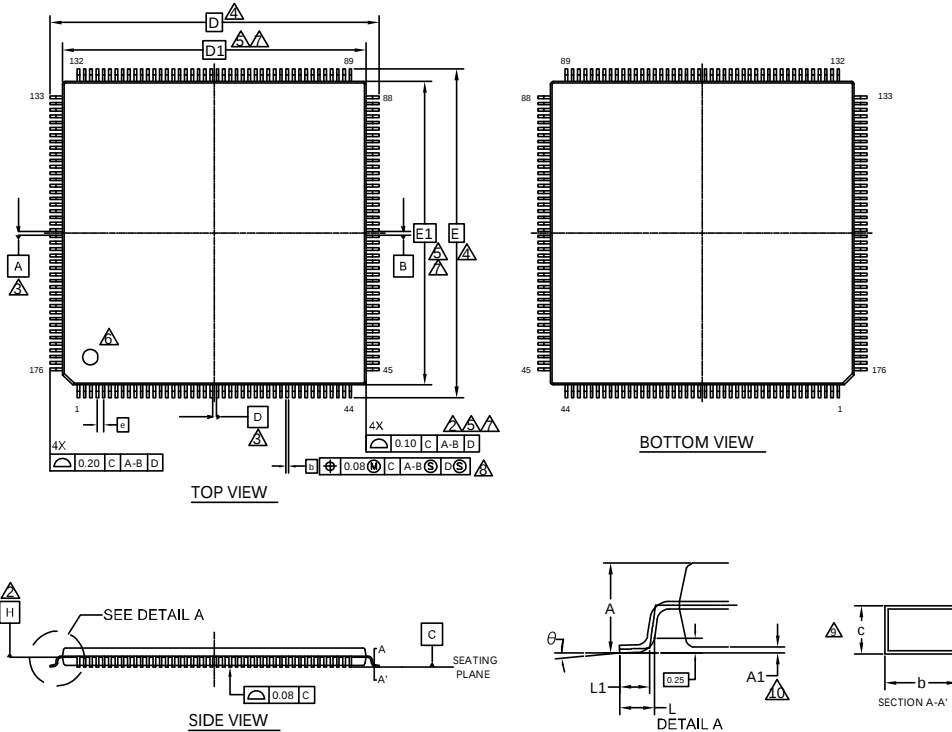
BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.

A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY

THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 144 LEAD LQFP
20.0X20.0X1.7 MM LOS144 REV*A

Package Type	Package Code	Specification No.
LQFP 176	LQP 176	002-15150 **



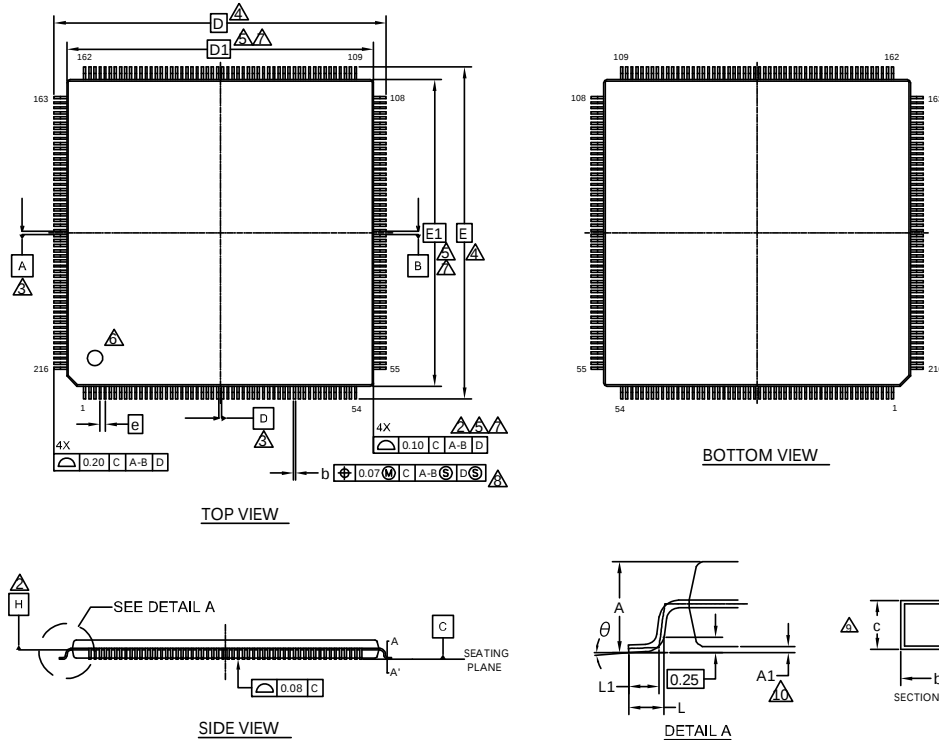
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	26.00 BSC		
D1	24.00 BSC		
e	0.50 BSC		
E	26.00 BSC		
E1	24.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 176 LEAD LQFP
 24.0X24.0X1.7 MM LQP176 REV**

Package Type	Package Code	Specification No.
LQFP 216	LQQ 216	002-15153 **

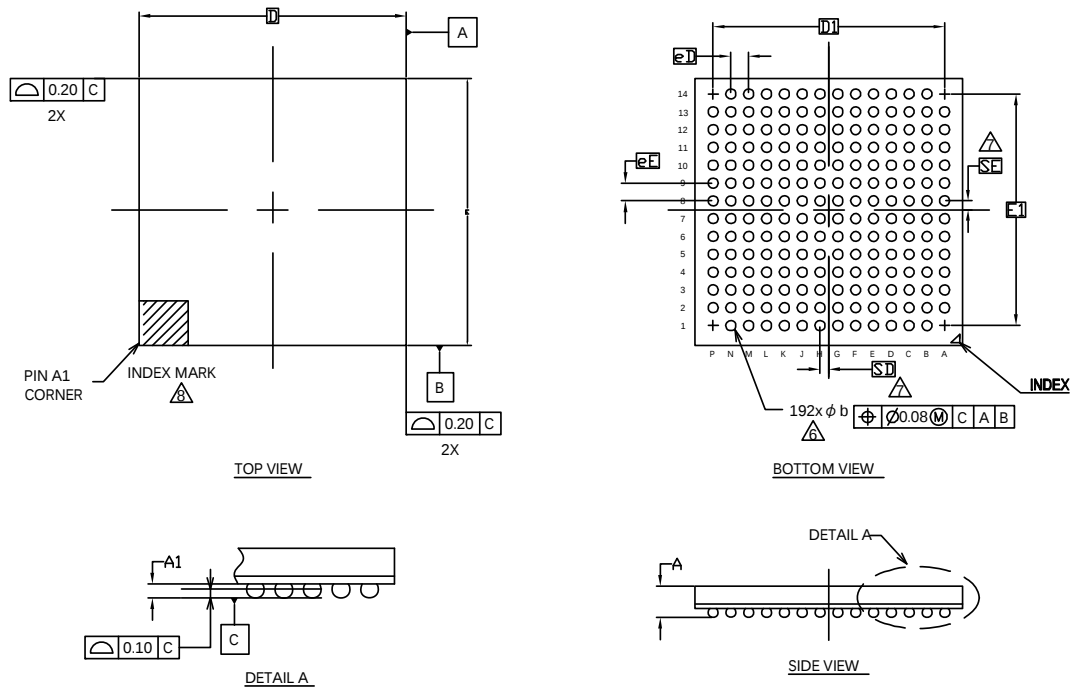


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.13	0.18	0.23
c	0.09	—	0.20
D	26.00 BSC.		
D1	24.00 BSC.		
e	0.40 BSC.		
E	26.00 BSC.		
E1	24.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Package Type	Package Code	Specification No.
PFBGA 192	LBE 192	002-13493 *A



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.45
A1	0.25	0.35	0.45
D	12.00 BSC		
E	12.00 BSC		
D1	10.40 BSC		
E 1	10.40 BSC		
MD	14		
ME	14		
n	192		
Φb	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD/ SE	0.40 BSC		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK. METALLIZED MARK INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

16. 主な変更内容

Spansion Publication Number: DS709-00009

ページ	場所	変更箇所
Revision 0.1		
-	-	Initial release
Revision 0.2		
1, 3	タイトル	下記の製品型格を追加 S6E2CC8HHA/S6E2CC9HHA/S6E2CCAHHA/ S6E2CC8JHA/S6E2CC9JHA/S6E2CCAJHA/ S6E2CC8LHA/S6E2CC9LHA/S6E2CCALHA
13	2. 特長	暗号アシスト機能を追加
15, 16	3. 品種構成	暗号アシスト機能に対応した型格の表を追加
17	4. パッケージと品種対応	下記の製品型格を追加 S6E2CC8HHA/S6E2CC9HHA/S6E2CCAHHA/ S6E2CC8JHA/S6E2CC9JHA/S6E2CCAJHA/ S6E2CC8LHA/S6E2CC9LHA/S6E2CCALHA
206	15. オーダ型格	下記のオーダ型格を追加 S6E2CC8HHAGV20000/S6E2CC9HHAGV20000/S6E2CCAHHAGV2000/ S6E2CC8JHAGV20000/S6E2CC9JHAGV20000/S6E2CCAJHAGV20000/ S6E2CC8JHAGB10000/S6E2CC9JHAGB10000/S6E2CCAJHAGB10000/ S6E2CC8LHAGL20000/S6E2CC9LHAGL20000/S6E2CCALHAGL20000
Revision 0.3		
1, 3	タイトル	下記の製品型格を追加 S6E2CCAJGA /S6E2CC8JGA/S6E2CC8JFA/S6E2CCAJFA
14	2. 特長	ボイス機能を追加
15, 16	3. 品種構成	下記の製品型格を追加 S6E2CCAJGA /S6E2CC8JGA/S6E2CC8JFA/S6E2CCAJFA
17	4. パッケージと品種対応	下記の製品型格を追加 S6E2CCAJGA /S6E2CC8JGA/S6E2CC8JFA/S6E2CCAJFA
206	15. オーダ型格	下記のオーダー型格を追加 S6E2CCAJGAGV20000/S6E2CC8JGAGB10000/S6E2CC8JFAGB10000/ S6E2CCAJGAGB10000/S6E2CCAJFAGB10000
Revision 1.0		
7 15	2. 特長 3. 品種構成	CAN-FD インタフェースは non-CAN FD 対応であることを追加
12 15 90 91	2. 特長 3. 品種構成 10. ブロックダイアグラム 12. メモリマップ	HDM-CEC/リモコン受信を削除
18-20	5. 端子配列図	HDM-CEC/リモコン受信の端子を削除(CEC0,CEC1) I2S の端子名を変更(MI2S*_0→MI2S*_0_0) IGTRG0_0 を削除
22-74	6. 端子機能一覧	HDM-CEC/リモコン受信の端子を削除(CEC0,CEC1) I2S の端子名を変更(MI2S*_0→MI2S*_0_0) PF7 の LQFP216 の端子番号の間違いを修正(91→90) X1 の端子番号の間違いを修正 (73, 58, 50, P5→107, 87, 71, P13) X0A の端子番号の間違いを修正 (107, 87, 71, P13→73, 58, 50, P5)
75-82	7. 入出力回路形式	分類 S の IOH/IOL を変更(IOH=-12mA→-10mA, IOL=12mA→10mA) 分類 E, F, G, L, N, S に I2C 端子と使用するときの動作を追加
97-103	13. 各 CPU ステートにおける端子状態	端子状態形式 X, Y を削除
104-105	14.1. 絶対最大定格	10mA タイプの規格を追加
106-108	14.2. 推奨動作条件	アナログ基準電圧に AVRL を追加 Ethernet-MAC 端子の対応表の誤記を修正 動作時最大リーク電流の電流値を記載
110-118	14.4.1. 電流規格	各項目の電流規格値の最大を記載

ページ	場所	変更箇所
119-121	14.3.2. 端子特性	H レベル入力電圧(ヒステリシス入力)VIHS に外バス使用時の規格を追加 10mA タイプの規格を追加
124	14.4.5.USB/Ethernet 用 PLL・I2S 用 PLL の使用条件 (PLL の入力クロックにメインクロックを使用)	I2S 用の PLL マクロ発振クロック周波数の最大を変更 (307.2MHz→384MHz)
193	14.5.12. 12 ビット A/D コンバータ	サンプリング時間の最小を変更 動作許可可能状態遷移時間の規格を変更 基準電圧に AVRL を追加
201	14.8.2. 低電圧検出割込み	条件の SVHI の値を修正

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: FM4: S6E2C シリーズ マイクロコントローラ データシート 200 MHz Arm® Cortex®-M4F High-Performance MCU
 文書番号: 002-04982

版	ECN 番号	変更者	発行日	変更内容
**	-	AKIH	03/25/2015	New Spec. (これは英語版の 002-04980 Rev. ** を翻訳した日本語版です。)
*A	5126431	HITK	02/05/2016	これは英語版の 002-04980 Rev. *A を翻訳した日本語版です。 社名変更と記述フォーマットの変換 JTAG 端子の注記を追加 パッケージコードと外形寸法図を変更 (LQFP-144, LQFP-176, LQFP-216)
*B	5634629	YSKA	02/20/2017	これは英語版の 002-04980 Rev.*B を翻訳した日本語版です。 対応通信インタフェースから USB、CAN の記述が抜けていた為追加(1 ページ) “4. 端子機能一覧”の端子機能 Clock にて、X1、X0A 端子と端子番号の対応が入れ替わっていた為修正(63 ページ) “12.4.8 パワーオンリセット タイミング”の「電源立上がり時間(t_{VCCR})[ms]」を「電源立上り速度(dV/dt)[mV/ μ s]」に変更。また、備考、および<注意事項>としてコメントを追記(114 ページ) “12.4.12 CSIO(SPI)タイミング”の説明が、変数 SPI および MS の設定値が 1、0 の両方の場合を含む記述となっているのに対し、タイトルが SPI=1, MS=0 の場合に限定されたものとなっている為、SPI=1, MS=0 の記述を削除。図中に MS=0, 1 の記述を追加。全部で 8 箇所(135-142,151-158 ページ)。 “特長 リアルタイムクロック(RTC:Real Time Clock)”のカウント年数を 00~に修正。割込み機能の指定条件から「秒曜日」を削除(3 ページ) VBAT に関連する以下の箇所に関して、注意書き、コメントを修正、追加。 “7. デバイス使用上の注意” 電源投入時について(78 ページ)“11. 各 CPU ステートにおける端子状態” VBAT ドメイン端子状態一覧表(91 ページ)“12.3.1 電流規格”Table12-9. ディープスタンバイストップモード、ディープスタンバイ RTC モード、VBAT の標準と最大の消費電流(105 ページ) ボイス機能についての記載を削除(5 ページ) “13. オーダ型格”(195 ページ)から次の型格を削除 S6E2CCA JGAGV20000, S6E2CC8 JGAGB10000, S6E2CC8 JFAGB10000, S6E2CCA JGAGB10000, S6E2CCA JFAGB10000 S6E2CC8 H0AGV20000, S6E2CC9 H0AGV20000, S6E2CCA H0AGV20000, S6E2CC8 HHAGV20000, S6E2CC9 HHAGV20000, S6E2CCA HHAGV20000, S6E2CC8 J0AGV20000, S6E2CC9 J0AGV20000, S6E2CCA J0AGV20000, S6E2CC8 JHAGV20000, S6E2CC9 JHAGV20000, S6E2CCA JHAGV20000, S6E2CC8 J0AGB10000, S6E2CC9 J0AGB10000, S6E2CCA J0AGB10000, S6E2CC8 JHAGB10000, S6E2CC9 JHAGB10000, S6E2CCA JHAGB10000, S6E2CC8 L0AGL20000, S6E2CC9 L0AGL20000, S6E2CCA L0AGL20000, S6E2CC8 LHAGL20000, S6E2CC9 LHAGL20000, S6E2CCA LHAGL20000 “13. オーダ型格”(195 ページ)に次の型格を追加 S6E2CC8 H0AGV2000A, S6E2CC9 H0AGV2000A, S6E2CCA H0AGV2000A, S6E2CC8 HHAGV2000A, S6E2CC9 HHAGV2000A, S6E2CCA HHAGV2000A,

				S6E2CC8J0AGV2000A, S6E2CC9J0AGV2000A, S6E2CCAJ0AGV2000A, S6E2CC8JHAGV2000A, S6E2CC9JHAGV2000A, S6E2CCAJHAGV2000A, S6E2CC8J0AGB1000A, S6E2CC9J0AGB1000A, S6E2CCAJ0AGB1000A, S6E2CC8JHAGB1000A, S6E2CC9JHAGB1000A, S6E2CCAJHAGB1000A, S6E2CC8L0AGL2000A, S6E2CC9L0AGL2000A, S6E2CCAL0AGL2000A, S6E2CC8LHAGL2000A, S6E2CC9LHAGL2000A, S6E2CCALHAGL2000A ”12.4.12 CSIO タイミング” の高速同期シリアルのもーレートを削除(143-149 ページ) “1 品種構成” の内蔵 CR の表記を修正(9ページ) 誤記修正(SCLKx_0 → SCKx_0)(127, 129, 131, 133 ページ) 「USB ファンクション」を「USB デバイス」に名称変更(1, 8, 60 ページ) “特長” の外部バスインタフェースに「最大アクセスサイズ」を追記(1ページ) “5. 入出力回路形式”の分類 A を更新(64 ページ)
*C	6113005	HTER	03/28/2018	これは英語版の 002-04980 Rev.*C を翻訳した日本語版です。 S6E2CC、S6E2C5、S6E2C4、S6E2C3、S6E2C2、および S6E2C1 のデータシートを統合しました。 ドキュメントの冒頭をサイプレスの仕様に合わせて再編成しました。 脚注のフォーマットをサイプレスの仕様に合わせました。 暗号機能を削除しました。 端子配列図と端子機能一覧表を刷新しました。 “12.4.21 Hi-Speed Quad SPI タイミング” の図を訂正しました。 “14. 略語” を追加しました。 “15. パッケージ・外形寸法図” をアップデートしました。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2014-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。