



サイプレスはインフィニオンテクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「S」から始まるオーダ型格が記載されておりますが、これらのオーダ型格の末尾を更新して、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル>Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。



S6E1C シリーズ

32 ビット ARM® Cortex®-M0+ FM0+ マイクロコントローラ

フレキシブル マイクロコントローラの FM0+ファミリは、業界で最もエネルギー効率の良い 32 ビット ARM® Cortex®-M0+ベースの MCU です。この MCU ファミリは大型家電製品、センサ、メータ、HMI システム、電動工具、モノのインターネット (IoT) 電池駆動デバイスやウェアラブル デバイスなどの超低消費電力かつ費用重視のアプリケーション向けに設計されています。

ウルトラローパワー グループの S6E1C シリーズは、業界最先端の超消費電力モードに対応しています。

S6E1C シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M0+プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、各種通信インターフェース (UART, CSIO (SPI), I²C, I²S, Smart Card インタフェース、USB) などにより構成されます。『FM0+ファミリペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE3-M0+製品に分類されます。

特長

低消費電力 MCU マクロ

- 1.65V～3.6V 動作電圧範囲に対応した 40MHz ARM Cortex-M0+ CPU
- 最大動作周波数 : 40.8MHz
- ネスト型ベクタ割込みコントローラ (NVIC) : 1 チャネルの NMI (ノンマスク割込み) と 24 チャネルの周辺割込みに対応。4 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ (Sys Tick) : OS タスク管理用のシステムタイマです。
- 最大 128KB フラッシュ、16KB SRAM
- Descriptor System Transfer Controller (DSTC)
- 業界で最も効率の高い 35µA/CoreMark スコア
- 低消費電力: アクティブモードは 40µA/MHz、スタンバイモードは 0.6µA
- スタンバイモードからの高速なウェイクアップ (フラッシュから実行) : 20µs (Typ)

デジタルマクロ

- ベースタイマ最大 8 チャネル
- デュアルタイマ 1 ユニット時計カウンタ 1 ユニット
- CSIO, UART, I²C に設定可能なマルチファンクションシリアル最大 6 チャネル
- USB 最大 1 ユニット、I²S 最大 2 チャネル、HDMI-CEC 最大 2 チャネル、Smart Card インタフェース最大 1 チャネル

アナログマクロ

- 12 ビット ADC コンバータ最大 8 チャネル 1 ユニット
- 高精度内蔵 CR 発振

パッケージオプション

- 32-/48-/64 ピン LQFP
- 32-/48-/64 ピン QFN
- 30 ピン WLCSP

低消費電力モード

- 6 種類の低消費電力モードに対応します。
 - スリープ
 - タイマ
 - RTC
 - ストップ
 - ディープスタンバイ RTC (RAM 保持あり・なし選択可能)
 - ディープスタンバイストップ (RAM 保持あり・なし選択可能)

サイプレス FM0+ MCU のエコシステム

サイプレスは、お客様のデザインに適切な MCU を選択し、選択したデバイスをデザインに迅速で効果的に組み込むことができるよう、www.cypress.com に豊富なデータを掲載しています。以下に FM0+ MCU に関する資料を掲載します。

■概要: 製品ポートフォリオ、製品ロードマップ

■製品セレクタ: FM0+ MCU

■アプリケーションノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックの FM0+ アプリケーションノートを提供しています。FM0+ ファミリ 入門用の推奨アプリケーションノートを以下に示します:

- 『AN210985 – FM0+Getting Started with FM0+ Development』: AN210985 は ARM® Cortex®-M0+ベースの低消費電力設計に最適な 32 ビット汎用マイクロコントローラ、FM0+ ファミリ を紹介しています。製品の特長、機能、ファームウェアの開発の概略豊富な技術資料について説明しています。例として FM0+ S6E1B8-Series Starter Kit を使用しています。
- 『AN203277 - FM 32-Bit Microcontroller Family Hardware Design Considerations』: このアプリケーションノートは FM0+, FM3 および FM4 ファミリ の MCU を使用するハードウェアシステム設計するためのいくつかのトピックを掲載しています。電源システム、リセット、水晶、他の端子の接続、プログラミングおよびデバッグのインターフェースの項目が含まれています。

□ 『AN205411 – FM0+ IEC60730 Class B Self-Test Library』: このアプリケーションノートは、提供されているライブラリ 関数の使用および実装方法を含んでいます。まず、IEC60730 クラス B の要件を示し、次にその実施方法を説明します。最後に、テスト機能を実際のシステムに統合する方法を説明するための例を示します。

- 『AN202487 - Differences Among FM0+, FM3, and FM4 32-Bit Microcontrollers』: サイプレス FM ファミリ 間のペリフェラルの差異について説明します。各ペリフェラルごとに個別の章を設け、リスト、表およびペリフェラル機能とレジスタの差異について説明しています。
- 『AN204438 - How to Setup Flash Security for FM0+, FM3 and FM4 Families』: このアプリケーションノートは FM0+, FM3 および FM4 デバイス用のフレッシュ セキュリティ のセットアップ 方法を説明しています。

■開発キット:

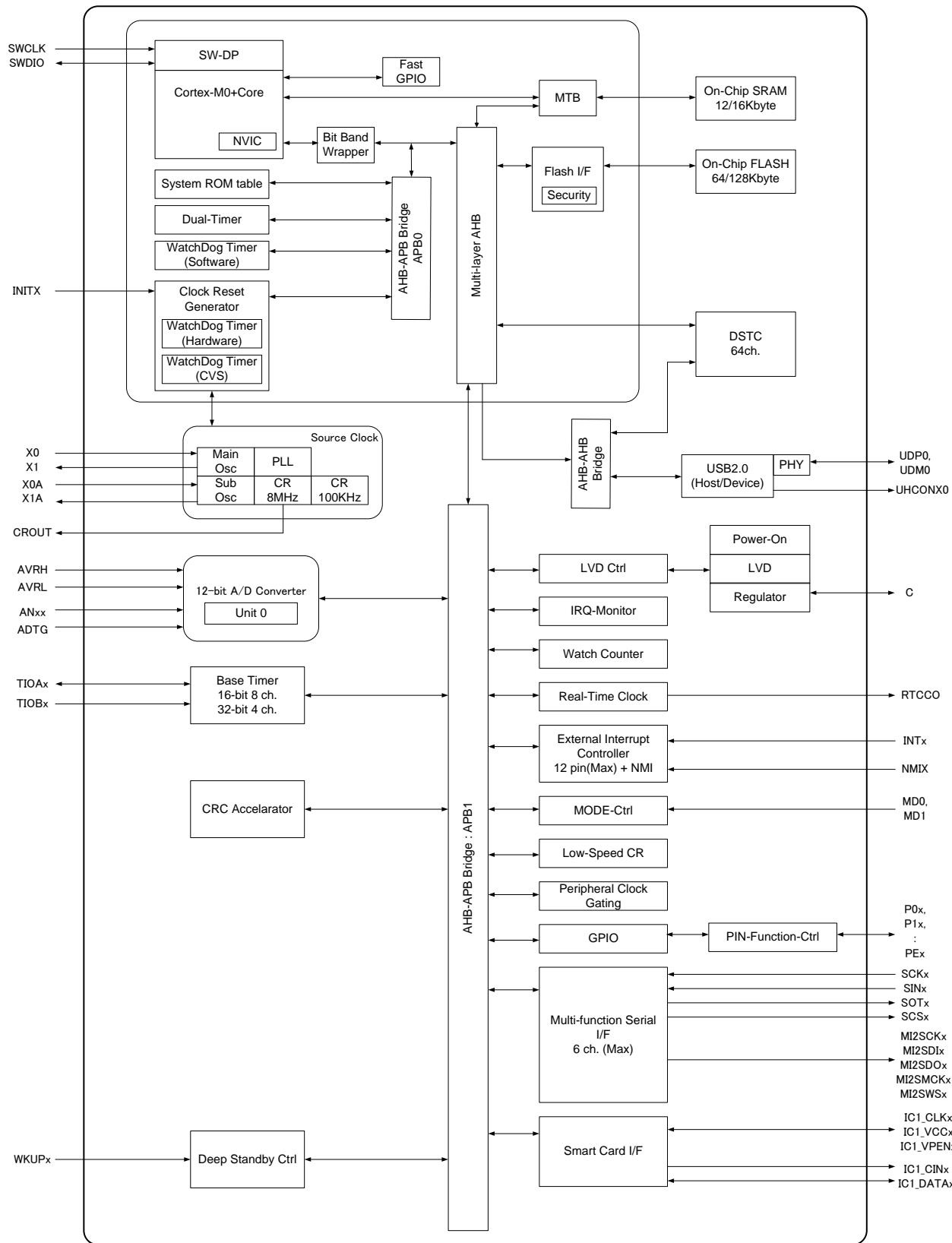
- FM0-V48-S6E1A1 ARM® Cortex®-M0+ FM0+ MCU 評価基板
- USB およびデジタルオーディオインターフェースを備えた FM0-64L-S6E1C3 - ARM® Cortex®-M0+ MCU スターターキット

■ペリフェラルマニュアル

目次

特長	1		
1. ブロックダイヤグラム	4	11.4.5 メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	48
2. 品種構成	5	11.4.6 リセット入力規格	49
2.1 パッケージの品種対応	6	11.4.7 パワーオンリセットタイミング	49
2.2 パッケージ	6	11.4.8 ベースタイマ入力タイミング	50
3. 製品の特長	7	11.4.9 CSIO/SPI/UART タイミング	51
4. 端子配列図	10	11.4.10 外部入力タイミング	68
5. 端子機能一覧	17	11.4.11 I ² C タイミング/I2C Slave タイミング	69
6. 入出力回路形式	25	11.4.12 I ² S タイミング (MFS-I2S タイミング)	70
7. 取扱上のご注意	30	11.4.13 Smart Card インタフェース規格	71
7.1 設計上の注意事項	30	11.4.14 SW-DP タイミング	72
7.2 パッケージ実装上の注意事項	31	11.5 12ビット A/D コンバータ	73
7.3 使用環境に関する注意事項	32	11.6 USB Characteristics	76
8. デバイス使用上の注意	33	11.7 低電圧検出特性	81
9. メモリマップ	35	11.7.1 低電圧検出リセット	81
10. 各 CPU ステートにおける端子状態	38	11.7.2 低電圧検出割込み	82
11. 電気的特性	40	11.8 フラッシュメモリ書き込み/消去特性	83
11.1 絶対最大定格	40	11.9 スタンバイ復帰時間	84
11.2 推奨動作条件	41	11.9.1 復帰要因:割込み/WKUP	84
11.3 直流規格	42	11.9.2 復帰要因:リセット	86
11.3.1 電流規格	42	12. オーダ型格	88
11.3.2 端子特性	45	13. 略語	90
11.4 交流規格	46	14. パッケージ・外形寸法図	91
11.4.1 メインクロック入力規格	46	15. エラッタ	98
11.4.2 サブクロック入力規格	47	15.1 影響を受ける型格	98
11.4.3 内蔵 CR 発振規格	47	15.2 認定の状況	98
11.4.4 メイン PLL の使用条件 (PLL の入力クロックにメインクロックを使用)	48	15.3 エラッタのまとめ	98
		改訂履歴	100
		セールス、ソリューションおよび法律情報	101

1. ブロックダイヤグラム



2. 品種構成

メモリサイズ

品種名	S6E1C11 S6E1C31	S6E1C12 S6E1C32
オンチップフラッシュメモリ	64 Kbytes	128 Kbytes
オンチップ SRAM	12 Kbytes	16 Kbytes

Function

項目	S6E1C1	S6E1C3
CPU	Cortex-M0+	
	周波数	40.8MHz
電源電圧範囲	1.65 V～3.6 V	
USB2.0 (Device/Host)	-	1 unit
DSTC	64 ch.	
ベースタイマ (PWC/Reload timer/PWM/PPG)	8 ch. (最大)	
デュアルタイマ	1 unit	
リアルタイムクロック	1 unit	
時計カウンタ	1 unit	
CRC アクセラレータ	Yes	
ウォッチドッグタイマ	1 ch. (SW) + 1 ch. (HW)	
クロック監視機能 (CSV)	Yes	
低電圧検出機能 (LVD)	2 ch.	
内蔵 CR	高速	8 MHz
	低速	100kHz
デバッグ機能	SW-DP	
ユニーク ID	Yes	

注意事項:

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子割当てを行う必要があります。
- 内蔵 CR のクロック周波数精度については、「[11. 電気的特性 11.4 交流規格 11.4.3 内蔵 CR 発振規格](#)」を参照してください。

2.1 パッケージの品種対応

項目	パッケージ			
	30WLCSP	32LQFP 32QFN	48LQFP 48QFN	64LQFP 64QFN
端子数	30	32	48	64
マルチファンクションシリアル (UART/CSIO/I ² C/I ² S)	4 ch. (最大) Ch.0/1/3 FIFO なし Ch. 6 FIFO あり	4 ch. (最大) Ch.0/1/3 FIFO なし Ch. 6 FIFO あり	6 ch. (最大) Ch.0/1/3 FIFO なし Ch.4/6/7 FIFO あり	6 ch. (最大) Ch.0/1/3 FIFO なし Ch.4/6/7 FIFO あり
	I ² S: No	I ² S: 1 ch (最大) Ch. 6 FIFO あり	I ² S: 2 ch (最大) Ch. 4/6 with FIFO あり	
外部割込み	7 pins (最大), NMI x 1	9 pins (最大), NMI x 1	12 pins (最大), NMI x 1	
I/O ポート	24 pins (最大)	38 pins (最大)	54 pins (最大)	
12 ビット A/D コンバータ	6 ch. (1 unit)	8 ch. (1 unit)	8 ch. (1 unit)	
Smart Card Interface	No			1 ch (最大)
HDMI-CEC/リモコン受信	1ch. (最大) Ch.1	2 ch (最大) Ch.0/1		

2.2 パッケージ

パッケージ	パッケージ サフィックス	B0A	C0A	D0A
LQFP: LQB032 (0.80 mm pitch)		○	-	-
QFN: WNU032 (0.50 mm pitch)		○	-	-
WLCSP: U4M030 (0.40 mm pitch)		○	-	-
LQFP: LQA048 (0.50 mm pitch)		-	○	-
QFN: WNY048 (0.50 mm pitch)		-	○	-
LQFP: LQD064 (0.50 mm pitch)		-	-	○
QFN: WNS064 (0.50 mm pitch)		-	-	○

○:使用可能

(注意事項)

- 各パッケージの詳細は「[14. パッケージ・外形寸法図](#)」を参照してください。

3. 製品の特長

32 ビット ARM Cortex-M0+コア

- 最大動作周波数 : 40.8MHz
- ネスト型ベクタ割込みコントローラ (NVIC) : 1 チャネルの NMI (ノンマスカブル割込み) と 24 チャネルの周辺割込みに対応。
4 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ (Sys Tick) : OS タスク管理用のシステムタイマです。

ビットバンド操作

Cortex-M3 と同等のビットバンド操作が可能です。

オンチップメモリ

- フラッシュメモリ
 - 最大 128K バイト
 - リードサイクル : 0 ウエイトサイクル
 - コード保護用セキュリティ機能

■SRAM

- 本シリーズのオンチップ SRAM は、1 つの独立した SRAM により構成されます。
- 最大 16K バイト
 - 4K バイト: Deep Standby モード時、値保持可能

USB インタフェース

USB インタフェースはデバイスとホストで構成されます。Main PLL を使用することでメインクロックの遅倍クロックを USB クロックとして使用できます。

■USB デバイス

- USB2.0 Full-Speed 対応
- 最大 6 本のエンドポイントをサポートします。
 - エンドポイント 0 はコントロール転送
 - エンドポイント 1, 2 はバルク転送、インターラプト転送、アイソクロナス転送を選択可能
 - エンドポイント 3~5 はバルク転送、インターラプト転送を選択可能
 - エンドポイント 1~5 はダブルバッファ構成
 - 各エンドポイントのサイズは下記の通り
 - エンドポイント 0, 2~5: 64 バイト
 - エンドポイント 1: 256 バイト

■USB ホスト

- USB 2.0 Full/Low-Speed supported 対応
- バルク転送、インターラプト転送、アイソクロナス転送をサポート
- USB デバイスの接続/切断の自動検出
- IN/OUT トークン時のハンドシェークパケットの自動処理
- 最大パケット長 256 バイトをサポート
- ウェイクアップ機能をサポート

マルチファンクションシリアルインタフェース (最大 6 チャネル)

- 64 バイト FIFO 搭載チャネル (3 チャネル: Ch.4, 6 および 7), FIFO 無しチャネル (3 チャネル: Ch0, 1 および 3)
- チャネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO (SPI)
 - I²C
- UART
 - 全二重ダブルバッファ
 - パリティあり/なし選択可能
 - 専用ボーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - ハードウェアフロー・コントロール*: CTS/RTS による送受信自動制御 (ch.4 のみ)
 - * : S6E1C32B0A/S6E1C31B0A/S6E1C32C0A/S6E1C31C0A はハードウェアフロー・コントロール非対応
 - 豊富なエラー検出機能 (パリティエラー、フレーミングエラー、オーバランエラー)

■CSIO (SPI)

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能
- シリアルチップセレクト機能 (ch.1 と ch.6 のみ)
- データ長: 5~16 ビット

■I²C

- Standard-mode (最大 100 kbps) /Fast-mode (最大 400 kbps) に対応

■I²S (MFS-I2S)

- CSIO (最大 2 チャネル: ch.4, ch.6) と I²S clock generator を使用
- 2 種類のプロトコルに対応
 - I²S
 - MSB-justified
- マスタモードのみ

DSTC (Descriptor System Data Transfer Controller) (64 チャネル)

- DSTC は、CPU を介さずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。
- ソフトウェア起動、ハードウェア起動、Chain 起動機能サポート

A/D コンバータ (最大 8 チャネル)

- 12 ビット A/D コンバータ
- 逐次比較型
- 変換時間: 2.0 μ s @ 2.7V~3.6V
- 優先変換可能 (2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載 (スキャン変換用: 16 段, 優先変換用: 4 段)

ペースタイマ (最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 1 サイクルでアクセス可能な Fast GPIO に全ポート対応
- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 54 本の高速汎用 I/O ポート @64pin package
- 一部のポートは、5V トレントに対応
該当する端子については「[5. 端子機能一覧](#)」と「[6. 入出力回路形式](#)」を参照してください。

デュアルタイマ (32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。各タイマチャネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード (=リロードモード)
- ワンショットモード

リアルタイムクロック

00 年~99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定 (年/月/日/時/分) での割込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

マイクロコントローラを低消費電力モードからウェイクアップします。クロックソースをメインクロック、サブクロック、内蔵高速 CR クロックまたは内蔵低速 CR クロックから選択できます。

インターバルタイマ: 最長 64s (サブクロック: 32.768kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 12 本
- ノンマスカブル割込み (NMI) 入力端子: 1 本

ウォッチドッグタイマ (2 チャネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、「ハードウェア」ウォッチドッグと「ソフトウェア」ウォッチドッグの 2 つの異なるウォッチドッグがあります。ハードウェア「ウォッチドッグタイマ」は内蔵低速 CR 発振で動作するため、RTC モード、ストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check) アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

- CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。
 - CCITT CRC16 Generator Polynomial: 0x1021
 - IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

HDMI-CEC/リモコン受信 (最大 2 チャネル)

- HDMI-CEC 送信
 - シグナルフリーを判定してヘッダブロックの自動送信
 - アービトレーションロストを検出してステータス割込みを発生
 - 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力
 - 1 ブロック (1 バイトのデータと EOM, ACK) を送信した時に送信ステータス割込みを発生
- HDMI-CEC 受信
 - 自動 ACK 応答機能
 - ラインエラー検出機能
- リモコン受信
 - 4 バイトの受信バッファ
 - リピートコード検出機能

Smart Card インタフェース (Max 1 Channels)

- ISO7816-3 準拠
- カードリーダのみ/B クラスカードのみ
- 対応プロトコル
 - Transmitter: 8E2, 8O2, 8N2
 - Receiver: 8E1, 8O1, 8N2, 8N1, 9N1
 - Inverse mode

- TX/RX FIFO 搭載 (RX: 16-bytes, TX:16-bytes)

クロック/リセット

■ クロック

5種類のクロックソース (2種類の外部発振, 2種類の内蔵CR発振, メインPLL) から選択できます。

- メインクロック: 8MHz~48MHz
- サブクロック: 32.768kHz
- 内蔵高速CRクロック: 8MHz
- 内蔵低速CRクロック: 100kHz
- メインPLLクロック: 8MHz ~ 16MHz(入力),
75MHz ~ 150MHz(出力)

■ リセット

- INITX端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウオッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパバイザリセット

クロック監視機能 (CSV : Clock Supervisor)

内蔵CR発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能 (LVD : Low-Voltage Detector)

本シリーズは、2段階でVCC端子の電圧を監視します。設定した電圧よりVCC端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: Vccを監視し、割込みによるエラーを報告

- LVD2: オートリセット動作

低消費電力モード

6種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC (RAM保持あり・なし選択可能)
- ディープスタンバイストップ (RAM保持あり・なし選択可能)

周辺クロック停止機能

システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

デバッグ

- シリアル・ワイヤデバッグ・ポート (SW-DP)
- マイクロトレースバッファ (MTB)

ユニーク ID

41ビットのデバイス固有の値を設定済み

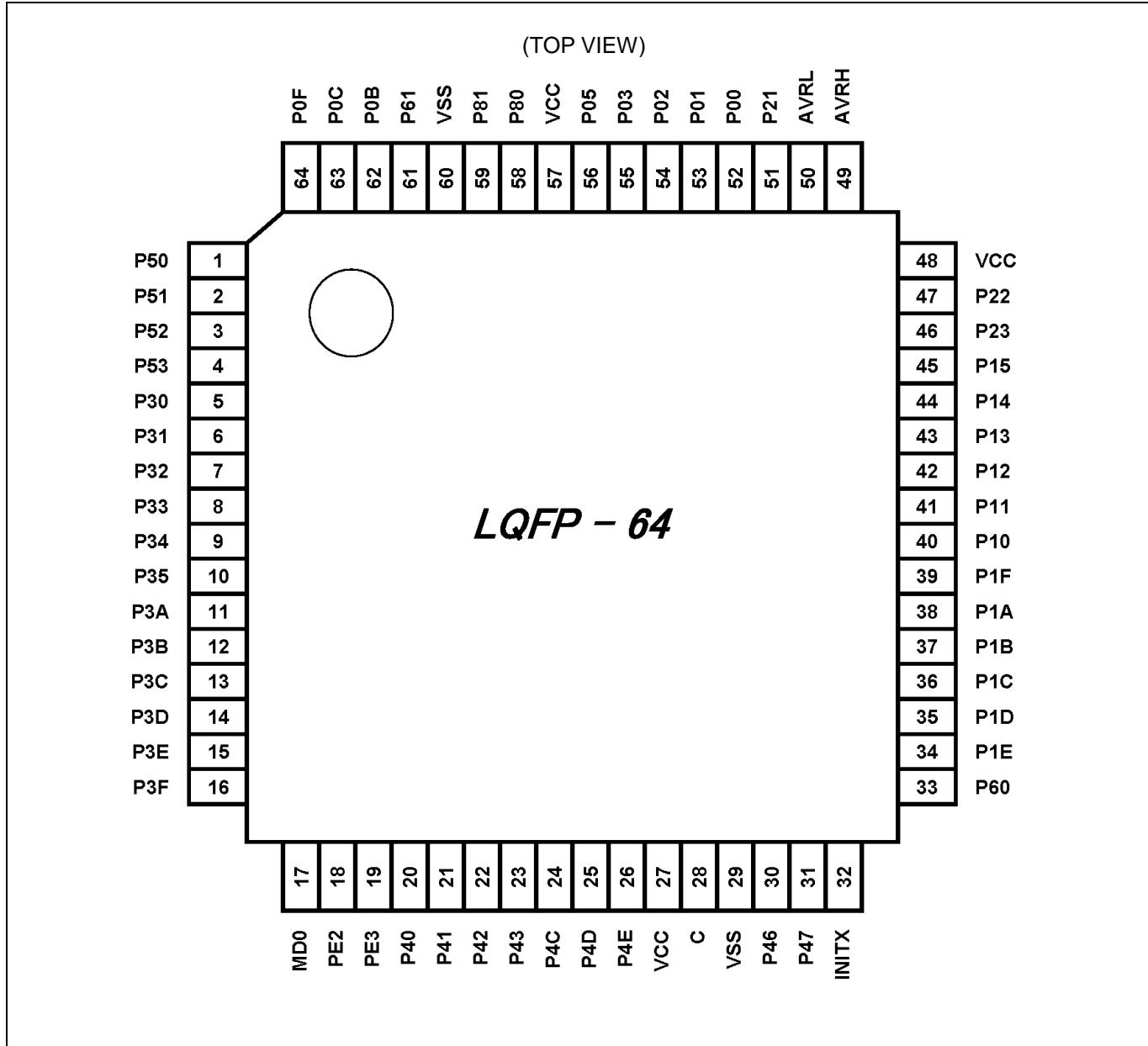
電源

ワイドレンジ電圧対応:

VCC = 1.65V ~ 3.6V
VCC = 3.0V ~ 3.6V (USB 使用時)

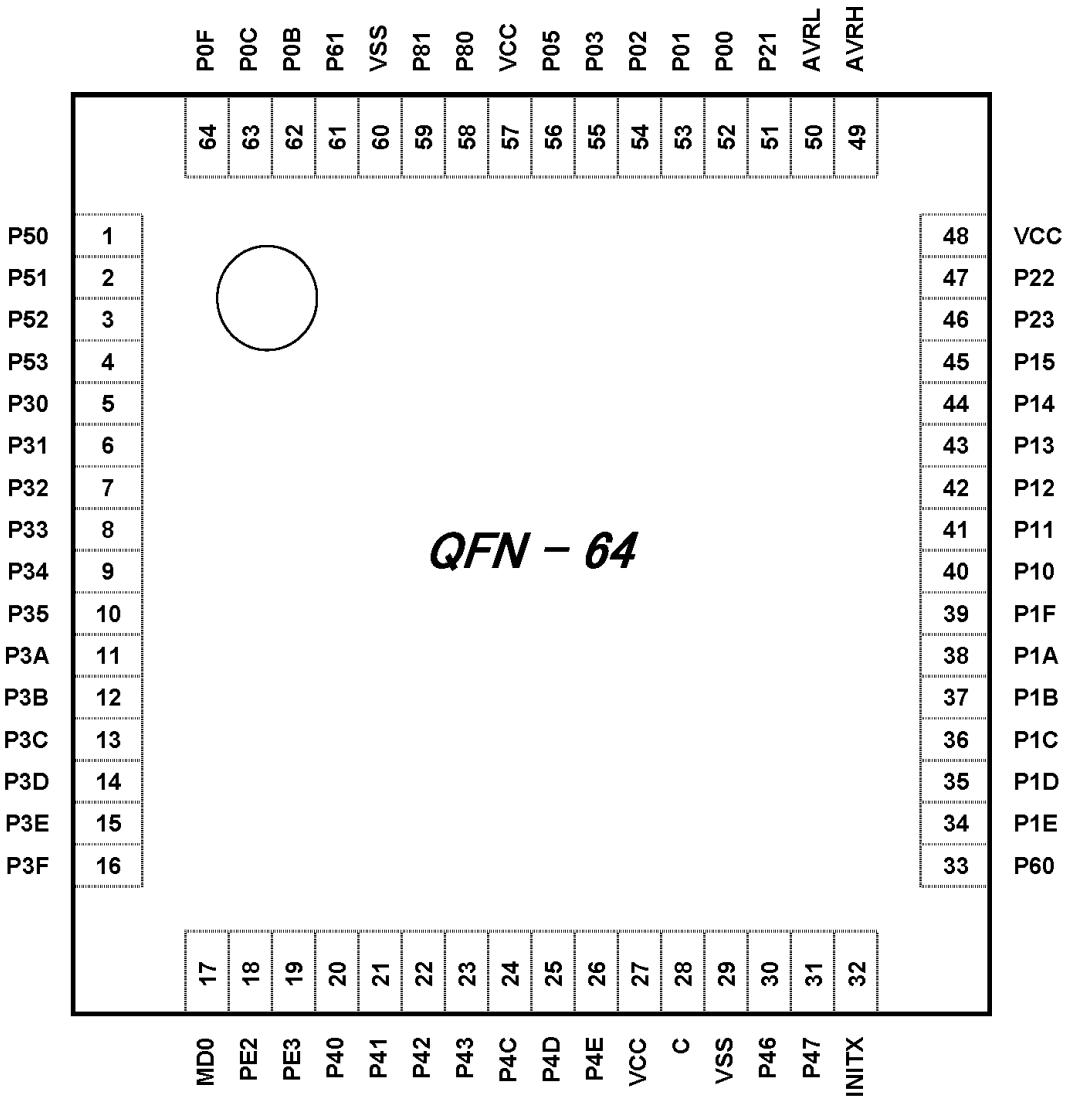
4. 端子配列図

LQD064



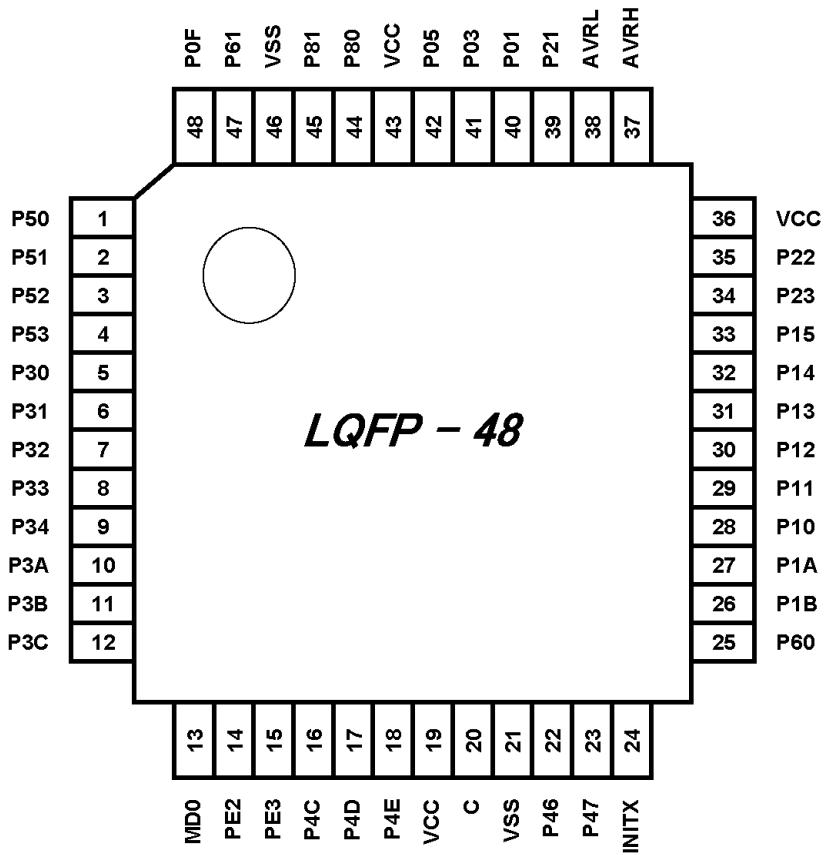
WNS064

(TOP VIEW)



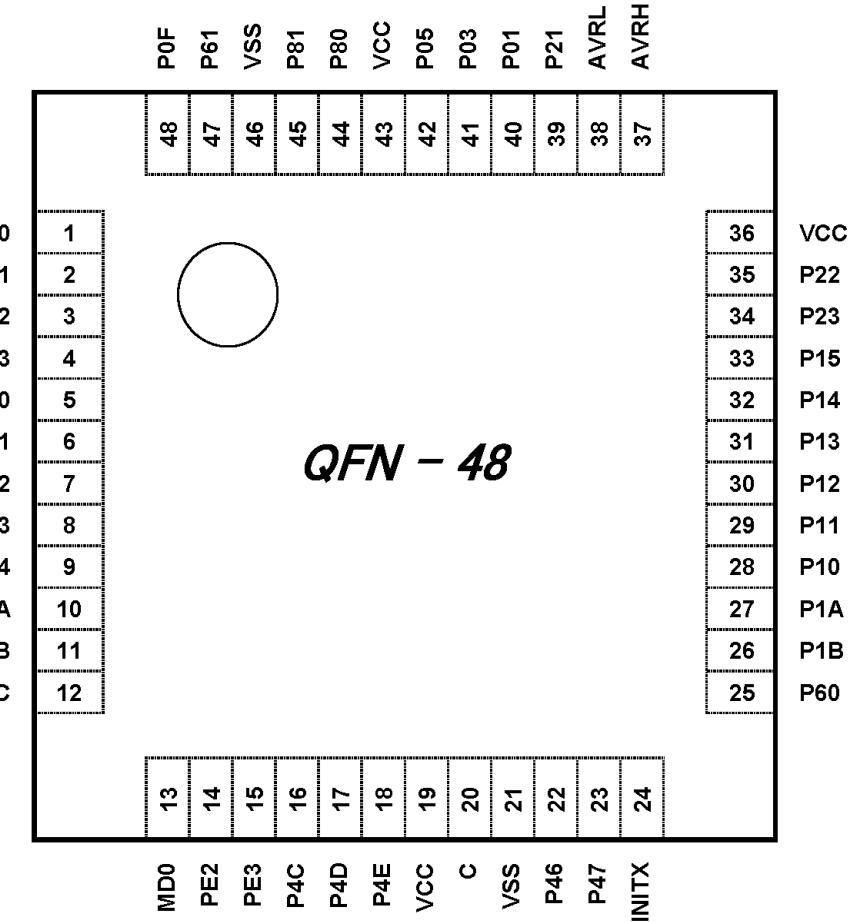
LQA048

(TOP VIEW)

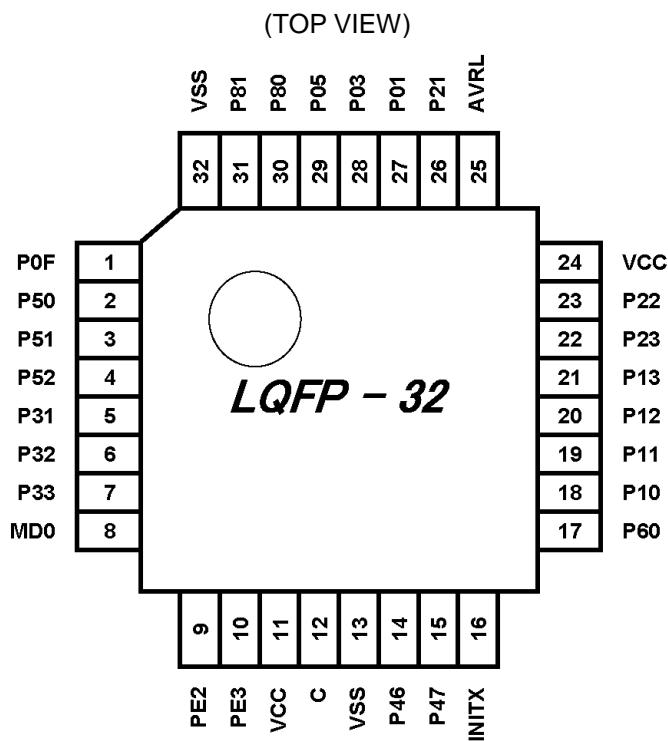


WNY048

(TOP VIEW)

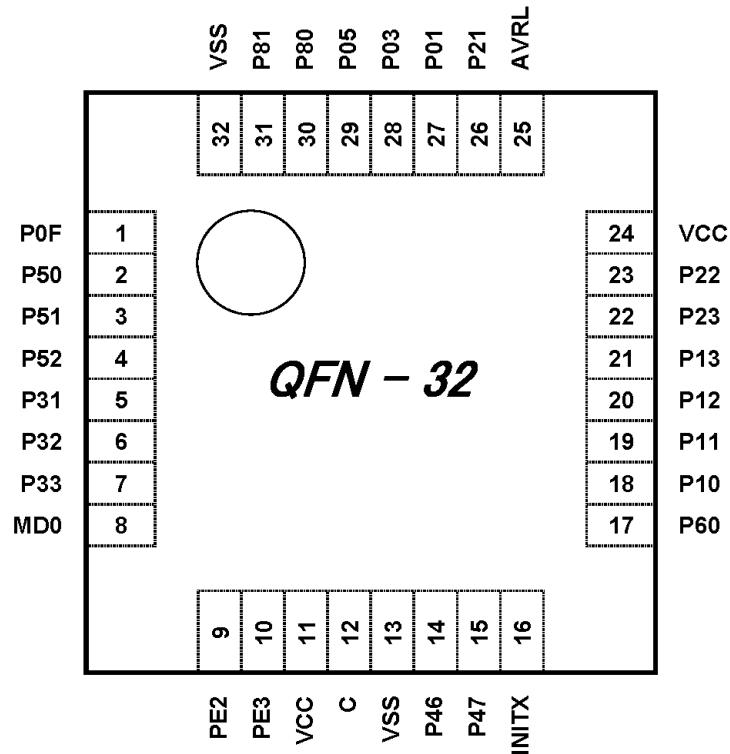


LQB032



WNU032

(TOP VIEW)



U4M030

(BOTTOM VIEW)

1

2

3

4

5

A

P50

P81

P80

P01

AVRH

B

P51

P05

P21

P22

P23

C

P52

P03

P13

P12

P11

D

P32

POF

P10

P60

X0A

E

P33

P31

X1

VSS

X1A

F

MD0

X0

VCC

C

INITX

5. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子を選択してください。

端子番号				端子名	端子機能					入出力回路形式	端子状態形式
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WL CSP-30								
1	1	2	A1	P50	SIN3_1	INT00_0				D	K
2	2	3	B1	P51	SOT3_1	INT01_0				D	K
3	3	4	C1	P52	SCK3_1	INT02_0				D	K
4	4	-	-	P53	TIOA1_2	INT07_2				D	K
5	5	-	-	P30	SCS60_1	TIOB0_1	INT03_2	MI2SWS6_1		D	K
6	6	-	-	P31	SCK6_1	INT04_2	MI2SCK6_1			H	K
-	-	5	E2	P31	SCK6_1	INT04_2				H	K
7	7	-	-	P32	SOT6_1	TIOB2_1	INT05_2	MI2SDO6_1		H	K
-	-	6	D1	P32	SOT6_1	TIOB2_1	INT05_2			H	K
8	8	-	-	P33	ADTG_6	SIN6_1	INT04_0	MI2SDI6_1		H	K
-	-	7	E1	P33	ADTG_6	SIN6_1	INT04_0			H	K
9	-	-	-	P34	SCS61_1	TIOB4_1	MI2SMCK6_1			D	K
-	9	-	-	P34	SCS61_1	MI2SMCK6_1				D	K
10	-	-	-	P35	SCS62_1	TIOB5_1	INT08_1			D	K
11	-	-	-	P3A	TIOA0_1	INT03_0	RTCCO_2	SUBOUT_2	IC1_CIN_0	D	K
-	10	-	-	P3A	TIOA0_1	INT03_0	RTCCO_2	SUBOUT_2		D	K
12	-	-	-	P3B	TIOA1_1	IC1_DATA_0				D	K
-	11	-	-	P3B	TIOA1_1					D	K
13	-	-	-	P3C	TIOA2_1	IC1_RST_0				D	K
-	12	-	-	P3C	TIOA2_1					D	K
14	-	-	-	P3D	TIOA3_1	IC1_VPEN_0				D	K
15	-	-	-	P3E	TIOA4_1	IC1_VCC_0				D	K
16	-	-	-	P3F	TIOA5_1	IC1_CLK_0				D	K
17	13	8	F1	MD0						I	F
18	14	9	F2	PE2	X0					A	A
19	15	10	E3	PE3	X1					A	B
20	-	-	-	P40	TIOA0_0	INT12_1				D	K
21	-	-	-	P41	TIOA1_0	INT13_1				D	K
22	-	-	-	P42	TIOA2_0					D	K
23	-	-	-	P43	ADTG_7	TIOA3_0				D	K
24	-	-	-	P4C	SCK7_1	TIOB3_0				D	K
-	16	-	-	P4C	SCK7_1					D	K
25	17	-	-	P4D	SOT7_1					D	K
26	18	-	-	P4E	SIN7_1	INT06_2				D	K
27	19	11	F3	VCC						-	-
28	20	12	F4	C						-	-
29	21	13	E4	VSS						-	-
30	22	14	D5	P46	X0A					C	C
31	23	15	E5	P47	X1A					C	D

端子番号				端子名	端子機能					入出力回路形式	端子状態形式
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WL CSP-30								
32	24	16	F5	INITX						B	E
33	25	17	D4	P60	TIOA2_2	INT15_1	CEC1_0			H	K
34	-	-	-	P1E	RTS4_1	MI2SMCK4_1				D	K
35	-	-	-	P1D	CTS4_1	MI2SWS4_1				D	K
36	-	-	-	P1C	SCK4_1	MI2SCK4_1				D	K
37	-	-	-	P1B	SOT4_1	MI2SDO4_1				D	K
-	26	-	-	P1B	SOT4_1					D	K
38	-	-	-	P1A	SIN4_1	INT05_1	CEC0_0	MI2SDI4_1		H	K
-	27	-	-	P1A	SIN4_1	INT05_1	CEC0_0			H	K
39	-	-	-	P1F	ADTG_5					D	K
40	28	18	D3	P10	AN00					F	J
41	29	19	C5	P11	AN01	SIN1_1	INT02_1	WKUP1		G	J
42	30	20	C4	P12	AN02	SOT1_1				F	J
43	31	21	C3	P13	AN03	SCK1_1	RTCCO_1	SUBOUT_1		F	J
44	32	-	-	P14	AN04	SIN0_1	SCS10_1	INT03_1		F	J
45	33	-	-	P15	AN05	SOT0_1	SCS11_1			F	J
46	34	22	B5	P23	AN06	SCK0_0	TIOA7_1			F	J
47	35	23	B4	P22	AN07	TIOB7_1				F	J
48	36	24	A5	VCC						-	-
49	37	-	-	AVRH ¹						-	-
50	38	25	-	AVRL						-	-
51	39	26	B3	P21	INT06_1	WKUP2				E	K
52	-	-	-	P00	WKUP4					E	K
53	40	27	A4	P01	SWCLK	SOT0_0				D	K
54	-	-	-	P02	WKUP5					E	K
55	41	28	C2	P03	SWDIO	SIN0_0	TIOB7_0			D	K
56	42	29	B2	P05	MD1	TIOA5_2	INT00_1	WKUP3		E	K
57	43	-	-	VCC						-	-
58	44	30	A3	P80	UDM0					J	G
59	45	31	A2	P81	UDP0					J	G
60	46	32	-	VSS						-	-
61	47	-	-	P61	UHCONX0	TIOB2_2				H	K
62	-	-	-	P0B	TIOB6_1	WKUP6				E	K
63	-	-	-	P0C	TIOA6_1	WKUP7				E	K
64	48	1	D2	P0F	NMIX	WKUP0	RTCCO_0	SUBOUT_0	CROUT_1	E	I

¹ 32 ピンパッケージでは AVRH ピンは内部で V_{CC} ピンに接続されています。

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャネルに複数機能があり、それぞれの機能ごとにピン名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子を選択してください。

端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP-30
ADC	ADTG_5	A/D コンバータ外部トリガ入力端子	39	-	-	-
	ADTG_6		8	8	7	E1
	ADTG_7		23	-	-	-
ADC	AN00	A/D コンバータアナログ入力端子 ANxx は ADC ch.xx を示す。	40	28	18	D3
	AN01		41	29	19	C5
	AN02		42	30	20	C4
	AN03		43	31	21	C3
	AN04		44	32	-	-
	AN05		45	33	-	-
	AN06		46	34	22	B5
	AN07		47	35	23	B4
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	20	-	-	-
	TIOA0_1		11	10	-	-
	TIOB0_1		5	5	-	-
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	21	-	-	-
	TIOA1_1		12	11	-	-
	TIOA1_2		4	4	-	-
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	22	-	-	-
	TIOA2_1		13	12	-	-
	TIOA2_2		33	25	17	D4
	TIOB2_1	ベースタイマ ch.2 の TIOB 端子	7	7	6	D1
	TIOB2_2		61	47	-	-
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	23	-	-	-
	TIOA3_1		14	-	-	-
	TIOB3_0		24	-	-	-
ベース タイマ 4	TIOA4_1	ベースタイマ ch.4 の TIOA 端子	15	-	-	-
	TIOB4_1		9	-	-	-
ベース タイマ 5	TIOA5_1	ベースタイマ ch.5 の TIOA 端子	16	-	-	-
	TIOA5_2		56	42	29	B2
	TIOB5_1	ベースタイマ ch.5 の TIOB 端子	10	-	-	-
ベース タイマ 6	TIOA6_1	ベースタイマ ch.6 の TIOA 端子	63	-	-	-
	TIOB6_1	ベースタイマ ch.6 の TIOB 端子	62	-	-	-
ベース タイマ 7	TIOA7_1	ベースタイマ ch.7 の TIOA 端子	46	34	22	B5
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	55	41	28	C2
	TIOB7_1		47	35	23	B4
デバッガ	SWCLK	シリアルワイヤデバッグインターフェース クロック入力端子	53	40	27	A4
	SWDIO	シリアルワイヤデバッグインターフェース データ入出力端子	55	41	28	C2

端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP- 30
外部割込み	INT00_0	外部割込み要求 00 の入力端子	1	1	2	A1
	INT00_1		56	42	29	B2
	INT01_0	外部割込み要求 01 の入力端子	2	2	3	B1
	INT02_0	外部割込み要求 02 の入力端子	3	3	4	C1
	INT02_1		41	29	19	C5
	INT03_0	外部割込み要求 03 の入力端子	11	10	-	-
	INT03_1		44	32	-	-
	INT03_2		5	5	-	-
	INT04_0	外部割込み要求 04 の入力端子	8	8	7	E1
	INT04_2		6	6	5	E2
	INT05_1	外部割込み要求 05 の入力端子	38	27	-	-
	INT05_2		7	7	6	D1
	INT06_1	外部割込み要求 06 の入力端子	51	39	26	B3
	INT06_2		26	18	-	-
	INT07_2	外部割込み要求 07 の入力端子	4	4	-	-
	INT08_1	外部割込み要求 08 の入力端子	10	-	-	-
	INT12_1	外部割込み要求 12 の入力端子	20	-	-	-
	INT13_1	外部割込み要求 13 の入力端子	21	-	-	-
	INT15_1	外部割込み要求 15 の入力端子	33	25	17	D4
	NMIX	ノンマスカブル割込み入力端子	64	48	1	D2
GPIO	P00	汎用入出力ポート 0	52	-	-	-
	P01		53	40	27	A4
	P02		54	-	-	-
	P03		55	41	28	C2
	P05		56	42	29	B2
	P0B		62	-	-	-
	P0C		63	-	-	-
	P0F		64	48	1	D2
GPIO	P10	汎用入出力ポート 1	40	28	18	D3
	P11		41	29	19	C5
	P12		42	30	20	C4
	P13		43	31	21	C3
	P14		44	32	-	-
	P15		45	33	-	-
	P1A		38	27	-	-
	P1B		37	26	-	-
	P1C		36	-	-	-
	P1D		35	-	-	-
	P1E		34	-	-	-
	P1F		39	-	-	-
GPIO	P21	汎用入出力ポート 2	51	39	26	B3
	P22		47	35	23	B4
	P23		46	34	22	B5
GPIO	P30	汎用入出力ポート 3	5	5	-	-
	P31		6	6	5	E2
	P32		7	7	6	D1
	P33		8	8	7	E1
	P34		9	9	-	-
	P35		10	-	-	-
	P3A		11	10	-	-
	P3B		12	11	-	-
	P3C		13	12	-	-
	P3D		14	-	-	-
	P3E		15	-	-	-
	P3F		16	-	-	-

端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP-30
GPIO	P40	汎用入出力ポート 4	20	-	-	-
	P41		21	-	-	-
	P42		22	-	-	-
	P43		23	-	-	-
	P46		30	22	14	D5
	P47		31	23	15	E5
	P4C		24	16	-	-
	P4D		25	17	-	-
	P4E		26	18	-	-
	P50		1	1	2	A1
GPIO	P51	汎用入出力ポート 5	2	2	3	B1
	P52		3	3	4	C1
	P53		4	4	-	-
	P60		33	25	17	D4
GPIO	P61	汎用入出力ポート 6	61	47	-	-
GPIO	P80	汎用入出力ポート 8	58	44	30	A3
	P81		59	45	31	A2
GPIO	PE2	汎用入出力ポート E	18	14	9	F2
	PE3		19	15	10	E3
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	55	41	28	C2
	SIN0_1		44	32	-	-
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子 (動作モード 0~3) として使用するときは SOT0 として、I ² C 端子 (動作モード 4) として使用するときは SDA0 として機能する	53	40	27	A4
	SOT0_1 (SDA0_1)		45	33	-	-
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子 (動作モード 2) として使用するときは SCK0 として、I ² C 端子 (動作モード 4) として使用するときは SCL0 として機能する	46	34	22	B5
マルチファンクションシリアル 1	SIN1_1	マルチファンクションシリアルインタフェース ch.1 の入力端子	41	29	19	C5
	SOT1_1 (SDA1_1)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子 (動作モード 0~3) として使用するときは SOT1 として、I ² C 端子 (動作モード 4) として使用するときは SDA1 として機能する	42	30	20	C4
	SCK1_1 (SCL1_1)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子 (動作モード 2) として使用するときは SCK1 として、I ² C 端子 (動作モード 4) として使用するときは SCL1 として機能する	43	31	21	C3
	SCS10_1	マルチファンクションシリアルインタフェース ch.1 のチップセレクト 0 入出力端子	44	32	-	-
	SCS11_1	マルチファンクションシリアルインタフェース ch.1 のチップセレクト 1 出力端子	45	33	-	-

端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP-30
マルチファンクションシリアル3	SIN3_1	マルチファンクションシリアルインタフェース ch.3 の入力端子	1	1	2	A1
	SOT3_1 (SDA3_1)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子（動作モード 0~3）として使用するときは SOT3 として、I ² C 端子（動作モード 4）として使用するときは SDA3 として機能する	2	2	3	B1
	SCK3_1 (SCL3_1)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子（動作モード 2）として使用するときは SCK3 として、I ² C 端子（動作モード 4）として使用するときは SCL3 として機能する	3	3	4	C1
マルチファンクションシリアル4	SIN4_1	マルチファンクションシリアルインタフェース ch.4 の入力端子	38	27	-	-
	SOT4_1 (SDA4_1)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子（動作モード 0~3）として使用するときは SOT4 として、I ² C 端子（動作モード 4）として使用するときは SDA4 として機能する	37	26	-	-
	SCK4_1 (SCL4_1)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。CSIO 端子（動作モード 2）として使用するときは SCK4 として、I ² C 端子（動作モード 4）として使用するときは SCL4 として機能する	36	-	-	-
	CTS4_1	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	35	-	-	-
	RTS4_1	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	34	-	-	-
マルチファンクションシリアル6	SIN6_1	マルチファンクションシリアルインタフェース ch.6 の入力端子	8	8	7	E1
	SOT6_1 (SDA6_1)	マルチファンクションシリアルインタフェース ch.6 の出力端子。UART/CSIO/LIN 端子（動作モード 0~3）として使用するときは SOT6 として、I ² C 端子（動作モード 4）として使用するときは SDA6 として機能する	7	7	6	D1
	SCK6_1 (SCL6_1)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。CSIO 端子（動作モード 2）として使用するときは SCK6 として、I ² C 端子（動作モード 4）として使用するときは SCL6 として機能する	6	6	5	E2
	SCS60_1	マルチファンクションシリアルインタフェース ch.6 のチップセレクト 0 入出力端子	5	5	-	-
	SCS61_1	マルチファンクションシリアルインタフェース ch.6 のチップセレクト 1 出力端子	9	9	-	-
	SCS62_1	マルチファンクションシリアルインタフェース ch.6 のチップセレクト 2 出力端子	10	-	-	-

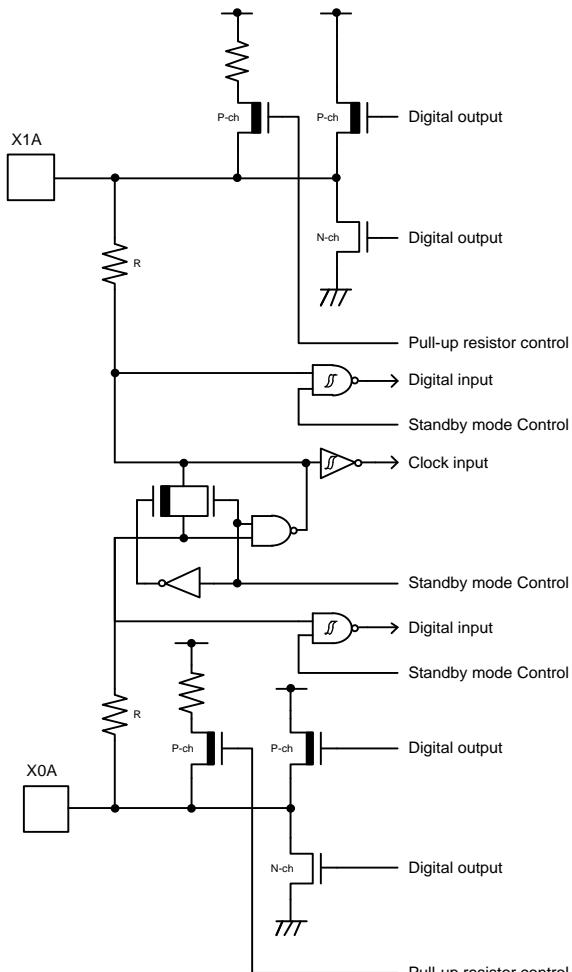
端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP-30
マルチファンクションシリアル7	SIN7_1	マルチファンクションシリアルインターフェース ch.7 の入力端子	26	18	-	-
	SOT7_1 (SDA7_1)	マルチファンクションシリアルインターフェース ch.7 の出力端子。UART/CSIO/LIN 端子 (動作モード 0~3) として使用するときは SOT7 として、I ² C 端子 (動作モード 4) として使用するときは SDA7 として機能する	25	17	-	-
	SCK7_1 (SCL7_1)	マルチファンクションシリアルインターフェース ch.7 のクロック I/O 端子。CSIO 端子 (動作モード 2) として使用するときは SCK7 として、I ² C 端子 (動作モード 4) として使用するときは SCL7 として機能する	24	16	-	-
I ² S (MFS)	MI2SDI4_1	I ² S シリアルデータ入力端子 (動作モード 2)	38	-	-	-
	MI2SDO4_1	I ² S シリアルデータ出力端子 (動作モード 2)	37	-	-	-
	MI2SCK4_1	I ² S マスタクロック入力端子 (動作モード 2)	36	-	-	-
	MI2SWS4_1	I ² S ワード選択出力端子 (動作モード 2)	35	-	-	-
	MI2SMCK4_1	I ² S マスタクロック入出力端子 (動作モード 2)	34	-	-	-
	MI2SDI6_1	I ² S シリアルデータ入力端子 (動作モード 2)	8	8	-	-
	MI2SDO6_1	I ² S シリアルデータ出力端子 (動作モード 2)	7	7	-	-
	MI2SCK6_1	I ² S シリアルクロック出力端子 (動作モード 2)	6	6	-	-
	MI2SWS6_1	I ² S ワード選択出力端子 (動作モード 2)	5	5	-	-
	MI2SMCK6_1	I ² S マスタクロック入出力端子 (動作モード 2)	9	9	-	-
Smart Card Interface	IC1_CIN_0	Smart Card 挿入検出端子	11	-	-	-
	IC1_CLK_0	Smart Card シリアルインターフェースクロック出力端子	16	-	-	-
	IC1_DATA_0	Smart Card シリアルインターフェースデータ入力端子	12	-	-	-
	IC1_RST_0	Smart Card リセット出力端子	13	-	-	-
	IC1_VCC_0	Smart Card パワーインペーブル出力端子	15	-	-	-
	IC1_VPEN_0	Smart Card プログラム出力端子	14	-	-	-
USB	UDM0	USB ファンクション/ホストの D- 端子	58	44	30	A3
	UDP0	USB ファンクション/ホストの D+ 端子	59	45	31	A2
	UHCONX0	USB 外部プルアップ制御端子	61	47	-	-
リアルタイムクロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	64	48	1	D2
	RTCCO_1		43	31	21	C3
	RTCCO_2		11	10	-	-
	SUBOUT_0	サブクロック出力端子	64	48	1	D2
	SUBOUT_1		43	31	21	C3
	SUBOUT_2		11	10	-	-
HDMI-CEC/ リモコン受信	CEC0_0	HDMI-CEC/リモコン受信 ch.0 の入出力端子	38	27	-	-
	CEC1_0	HDMI-CEC/リモコン受信 ch.1 の入出力端子	33	25	17	D4
低消費電力モード	WKUP0	ディープスタンバイモード復帰信号入力端子 0	64	48	1	D2
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	41	29	19	C5
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	51	39	26	B3
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	56	42	29	B2
	WKUP4	ディープスタンバイモード復帰信号入力端子 4	52	-	-	-
	WKUP5	ディープスタンバイモード復帰信号入力端子 5	54	-	-	-
	WKUP6	ディープスタンバイモード復帰信号入力端子 6	62	-	-	-
	WKUP7	ディープスタンバイモード復帰信号入力端子 7	63	-	-	-

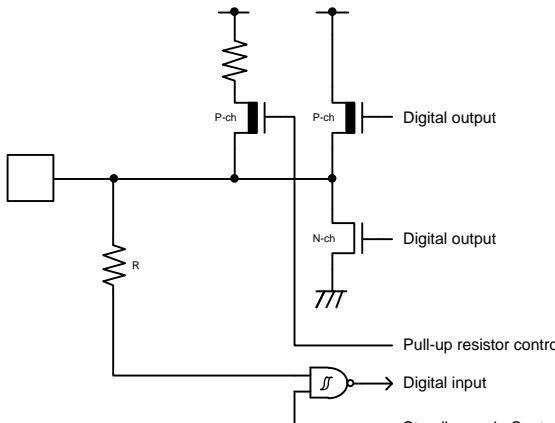
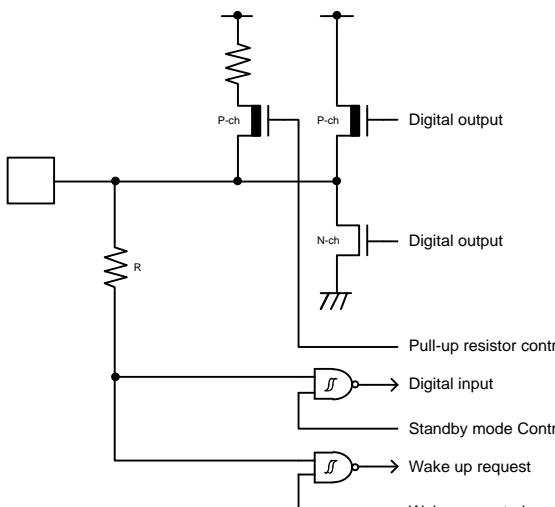
端子機能	端子名	機能説明	端子番号			
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32	WLCSP- 30
RESET	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効	32	24	16	F5
MODE	MD0	モード0端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書き込み時は、MD0="H"を入力してください	17	13	8	F1
	MD1	Mode 1 pin. 通常動作時は、入力は必要ありません。 フラッシュメモリのシリアル書き込み時は、MD1="L"を入力してください	56	42	29	B2
CLOCK	X0	メインクロック(発振)入力端子	18	14	9	F2
	X0A	サブクロック(発振)入力端子	30	22	14	D5
	X1	メインクロック(発振)I/O端子	19	15	10	E3
	X1A	サブクロック(発振)I/O端子	31	23	15	E5
	CROUT_1	高速内蔵CR発振クロック出力ポート	64	48	1	D2
POWER	VCC	電源端子	27	19	11	F3
	VCC		48	36	24	A5
	VCC		57	43	-	-
GND	VSS	GND端子	29	21	13	E4
	VSS		60	46	32	-
Analog Reference	AVRH ²	A/Dコンバータのアナログ基準電圧入力端子	49	37	-	-
	AVRL	A/Dコンバータのアナログ基準電圧入力端子	50	38	25	-
C端子	C	電源安定化容量端子	28	20	12	F4

²32ピンパッケージでは、AVRHピンは内部でVCCピンに接続されています。

6. 入出力回路形式

分類	回路	備考
A		<p>It is possible to select the main oscillation / GPIO function</p> <p>When the main oscillation is selected.</p> <ul style="list-style-type: none"> Oscillation feedback resistor Approximately 1 MΩ With standby mode control <p>When the GPIO is selected.</p> <ul style="list-style-type: none"> CMOS level output. CMOS level hysteresis input With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$
B		<p>CMOS level hysteresis input</p> <p>Pull-up resistor Approximately 33 kΩ</p>

分類	回路	備考
C	 <p>X1A</p> <p>X0A</p> <p>Digital output</p> <p>Pull-up resistor control</p> <p>Standby mode Control</p> <p>Digital input</p> <p>Standby mode Control</p> <p>Clock input</p> <p>Digital input</p> <p>Standby mode Control</p> <p>Digital output</p> <p>Pull-up resistor control</p>	<p>It is possible to select the sub oscillation / GPIO function</p> <p>When the sub oscillation is selected.</p> <ul style="list-style-type: none"> Oscillation feedback resistor Approximately 5 MΩ With Standby mode control <p>When the GPIO is selected.</p> <ul style="list-style-type: none"> CMOS level output. CMOS level hysteresis input With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ <p>$I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$</p>

分類	回路	備考
D	 <p>Digital output</p> <p>P-ch</p> <p>N-ch</p> <p>Pull-up resistor control</p> <p>Digital input</p> <p>Standby mode Control</p>	<ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ When this pin is used as an I²C pin, the digital output P-ch transistor is always off
E	 <p>Digital output</p> <p>P-ch</p> <p>N-ch</p> <p>Pull-up resistor control</p> <p>Digital input</p> <p>Standby mode Control</p> <p>Wake up request</p> <p>Wake up control</p>	<ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ When this pin is used as an I²C pin, the digital output P-ch transistor is always off

分類	回路	備考
F	<p>Detailed description: This circuit diagram shows a CMOS level output stage with two P-channel transistors at the top. A digital input signal goes through a resistor R and controls the gate of the top P-channel transistor. The drain of the top P-channel is connected to the drain of a bottom N-channel transistor. The source of the bottom N-channel is connected to ground. The drain of the bottom N-channel is connected to a digital output node. A pull-up resistor control path is shown with a switch controlled by a digital input and a standby mode control signal. An analog input path is also shown with a gain-controlled switch and a resistor.</p>	<ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input With input control Analog input With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ When this pin is used as an I²C pin, the digital output P-ch transistor is always off
G	<p>Detailed description: This circuit diagram is similar to the one for pin F but includes additional logic. It features a CMOS level output stage with two P-channel transistors. A digital input signal controls the top P-channel via a resistor R. The drain of the top P-channel is connected to the drain of a bottom N-channel transistor. The source of the bottom N-channel is connected to ground. The drain of the bottom N-channel is connected to a digital output node. The circuit also includes a pull-up resistor control path, a standby mode control path, a wake-up request path, and a wake-up control path. An analog input path is present with a gain-controlled switch and a resistor.</p>	<ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input With input control Analog input With pull-up resistor control With standby mode control Pull-up resistor : Approximately 33 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ When this pin is used as an I²C pin, the digital output P-ch transistor is always off

分類	回路	備考
H	<p>Digital output P-ch N-ch Pull-up resistor control Digital input Standby mode Control</p>	<ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input 5V tolerant With pull-up resistor control With standby mode control Pull-up resistor Approximately 33 kΩ $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ Available to control PZR registers When this pin is used as an I²C pin, the digital output P-ch transistor is always off
I	<p>Mode input</p>	<ul style="list-style-type: none"> CMOS level hysteresis input
J	<p>UDP0/P81: UDP output, USB Full-speed/Low-speed control, UDP input UDM0/P80: UDM input, UDM output, USB Digital input/output direction, GPIO Digital input, GPIO Digital input/output direction, GPIO Digital input Differential: Differential input, USB/GPIO select</p> <p>Labels: GPIO Digital output, GPIO Digital input/output direction, GPIO Digital input, GPIO Digital input circuit control, UDP output, USB Full-speed/Low-speed control, UDP input, Differential input, USB/GPIO select, UDM input, UDM output, USB Digital input/output direction, GPIO Digital input, GPIO Digital input/output direction, GPIO Digital input, GPIO Digital input circuit control.</p>	<p>It is possible to select the USB I/O / GPIO function.</p> <p>When the USB I/O is selected.</p> <ul style="list-style-type: none"> Full-speed, Low-speed control <p>When the GPIO is selected.</p> <ul style="list-style-type: none"> CMOS level output CMOS level hysteresis input With standby mode control

7. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件など）によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

7.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上にP型とN型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生PNPN接合（サイリスタ構造）が導通して、数百mAを越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パソコン用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかゝ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

7.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法をご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C~30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%~70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することができます。

ベーキングは、当社の推奨する条件で実施してください。

条件:125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ~ 70%RH にしてください。
除電装置（イオン発生装置）の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗（ $1 M\Omega$ 程度）で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

7.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。
高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

半導体デバイスの直近に高電圧に帶電したものが存在すると、放電が発生し誤動作の原因となることがあります。
このような場合、帶電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

一般的なデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

8. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子と GND 端子の間、AVRH 端子と AVRL 端子の間に $0.1\mu F$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz~60 Hz) におけるリップル変動 (ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換による瞬間変動の過渡変動率は $0.1V/\mu s$ 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

- サイズ: 3.2 mm × 1.5 mm 以上
- 負荷容量: 6 pF~7 pF 程度

■リードタイプ

- 負荷容量: 6 pF~7 pF 程度

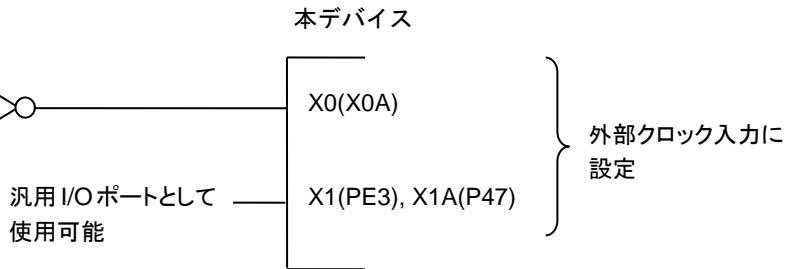
外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1 (PE3) 端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A (P47) 端子は汎用 I/O ポートとして使用できます。

しかし、ディープスタンバイモードにおいては、サブクロックを外部クロック入力することはできません。

・外部クロック使用例



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch ランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

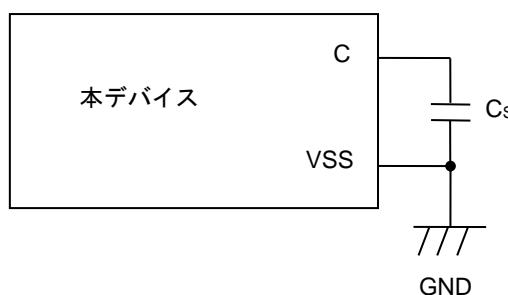
C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ (CS) を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性 (F 特性, Y5V 特性) を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7μF 程度の平滑コンデンサを推奨します。

ちなみに、ディープスタンバイモード時には C 端子はフローティングとなります。



モード端子 (MD0) について

モード端子 (MD0) は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時に、あるいは次の順番で投入/切断を行ってください。

投入時 :

VCC → AVRH

切断時 :

AVRH → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5V トレント I/O のプルアップ機能について

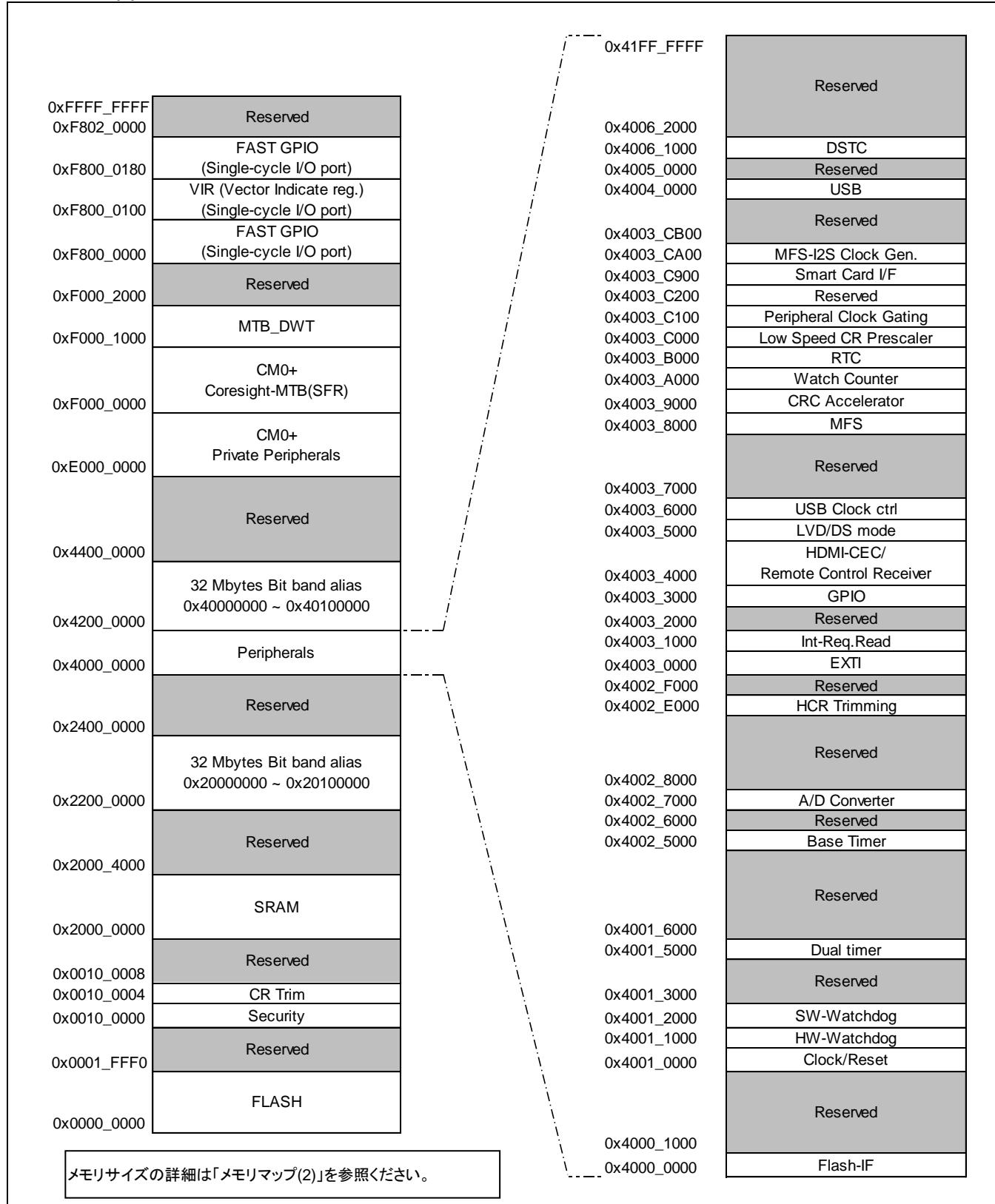
5V トレント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

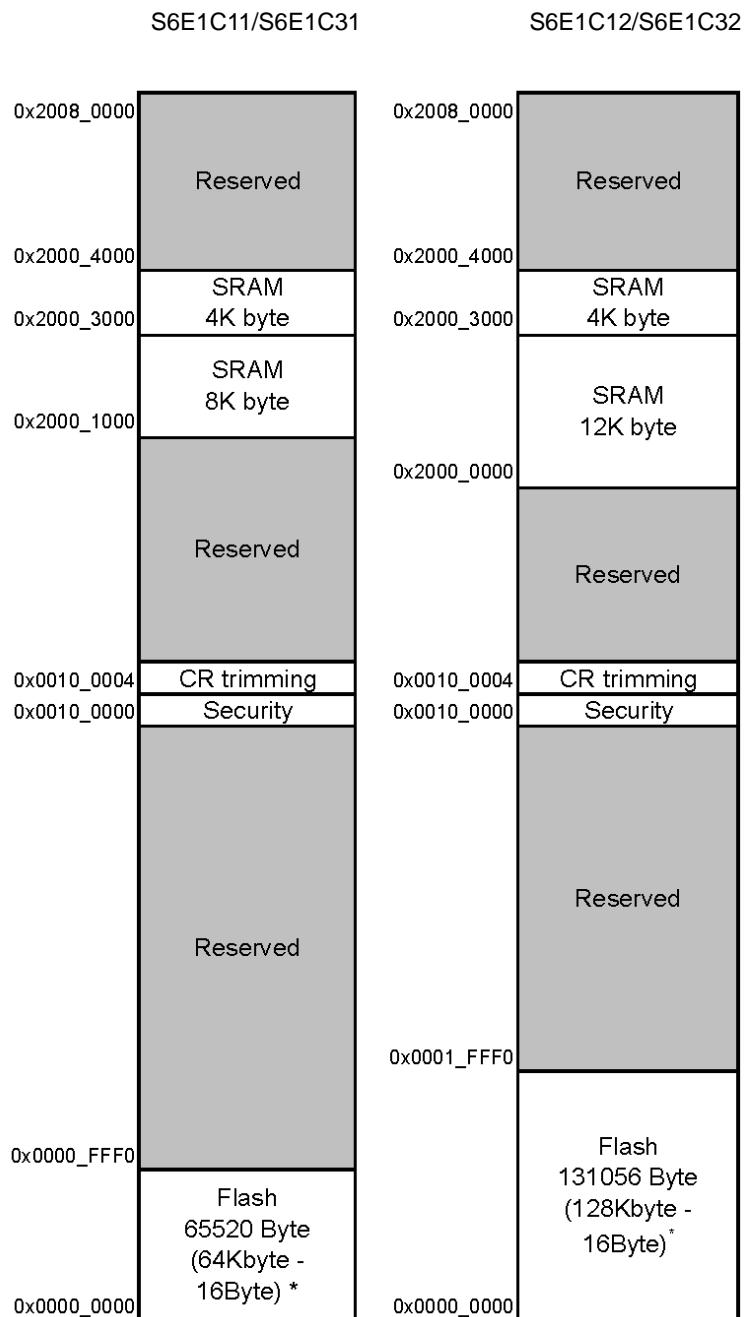
デバッグ機能を兼用している端子について

SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

9. メモリマップ

メモリマップ (1)



メモリマップ (2)


*:フラッシュメモリの詳細は『S6E1C1/C3 シリーズフラッシュプログラミングマニュアル』を参照してください。

ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	Flash memory I/F register
0x4000_1000	0x4000_FFFF		Reserved
0x4001_0000	0x4001_0FFF	APB0	Clock/Reset Control
0x4001_1000	0x4001_1FFF		Hardware Watchdog Timer
0x4001_2000	0x4001_2FFF		Software Watchdog Timer
0x4001_3000	0x4001_4FFF		Reserved
0x4001_5000	0x4001_5FFF		Dual-Timer
0x4001_6000	0x4001_FFFF		Reserved
0x4002_0000	0x4002_0FFF		Reserved
0x4002_1000	0x4002_3FFF	APB1	Reserved
0x4002_4000	0x4002_4FFF		Reserved
0x4002_5000	0x4002_5FFF		Base Timer
0x4002_6000	0x4002_6FFF		Reserved
0x4002_7000	0x4002_7FFF		A/D Converter
0x4002_8000	0x4002_DFFF		Reserved
0x4002_E000	0x4002_EFFF		Built-in CR trimming
0x4002_F000	0x4002_FFFF		Reserved
0x4003_0000	0x4003_0FFF		External Interrupt Controller
0x4003_1000	0x4003_1FFF		Interrupt Request Batch-Read Function
0x4003_2000	0x4003_2FFF		Reserved
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		HDMI-CEC/Remote Control Receiver
0x4003_5000	0x4003_5FFF		Low-Voltage Detection / DS mode / Vref Calibration
0x4003_6000	0x4003_6FFF		USB Clock Generator
0x4003_7000	0x4003_77FF		Reserved
0x4003_7800	0x4003_79FF		Reserved
0x4003_7A00	0x4003_7FFF		Reserved
0x4003_8000	0x4003_8FFF		Multi-function Serial Interface
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		Watch Counter
0x4003_B000	0x4003_BFFF		Real-time clock
0x4003_C000	0x4003_C0FF		Low-speed CR Prescaler
0x4003_C100	0x4003_C7FF		Peripheral Clock Gating
0x4003_C800	0x4003_C8FF		Reserved
0x4003_C900	0x4003_C9FF		Smart Card Interface
0x4003_CA00	0x4003_CAFF		MFS-I2S Clock Generator
0x4003_CB00	0x4003_FFFF		Reserved
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4006_0FFF		Reserved
0x4006_1000	0x4006_1FFF		DSTC
0x4006_2000	0x41FF_FFFF		Reserved

10. 各 CPU ステートにおける端子状態

以下に、各 CPU ステートにおける端子状態をしめします。

Type	Selected Pin Function		CPU State							
			(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
A	Main oscillation circuit selected ³	Main oscillation circuit selected	OS	OS	OE	OE	OE	GS	IS	OS
	Digital I/O selected ⁴	Main clock external input selected GPIO selected	-	-	IE/IS PC	IE/IS HC	IE/IS IS	IS	IS	IS
B	Main oscillation circuit selected ³	Main oscillation circuit selected	OS	OS	OE	OE	OE	GS	IS	OS
	Digital I/O selected ⁴	GPIO selected	-	-	PC	HC	IS	GS	IS	GS
C	Sub oscillation circuit selected ³	Sub oscillation circuit selected	OS	OE	OE	OE	OE	OE	OE	OE
	Digital I/O selected ⁴	Sub clock external input selected GPIO selected	-	-	IE/IS PC	IE/IS HC	IE/IS IS	IS	IS	IS
	Sub oscillation circuit selected ³	Sub oscillation circuit selected	OS	OE	OE	OE	OE	OE	OE	OE
D	Digital I/O selected ⁴	GPIO selected	-	-	PC	HC	IS	HS	IS	HS
	Sub oscillation circuit selected ³	Sub oscillation circuit selected	OS	OE	OE	OE	OE	OE	OE	OE
E	Digital I/O selected	INITX input	This pin is digital input pin, pull up resistor is on, and digital input is not shut off in all CPU states.							
F	Digital I/O selected	MD0 input	This pin is digital input pin, pull up resistor is none, digital input is not shut off in all CPU states.							
G	USB I/O selected ⁵	USB port selected	-	-	UE	US	US	US	US	US
	Digital I/O selected ⁶	GPIO selected	IS	IE	CP	HC	IS	HS	IS	HS
H	Digital I/O selected	SW selected GPIO selected	IS	IP ⁷ -	PC	IP	IP	IP	IP	IP
			-	-	PC	HC	IS	HS	IS	HS
I	Digital I/O selected	NMI selected WKUP0 enable and input selected	-	-	IP	IP	IP	-	-	-
			-	-	IP	IP	IP	IP	IP	IP
		GPIO selected	IS	IE	PC	HC	IS	-	-	-
J	Analog input selected ⁸	Analog input selected	Analog input is enabled in all CPU state							
	Digital I/O selected ⁹	WKUP enable and input selected External interrupt enable and input selected	-	-	IP	IP	IP	IP	IP	IP
			-	-	IP	IP	IP	GS	IS	GS
		GPIO selected	-	-	PC	HC	IS	HS	IS	HS
		Resource other than above selected	-	-	PC	HC	IS	GS	IS	GS
K	Digital I/O selected	CEC pin selected WKUP enable and input selected External interrupt enable and input selected	-	-	CP	CP	CP	CP	CP	CP
			-	-	IP	IP	IP	IP	IP	IP
			-	-	PC	HC	IP	GS	IS	GS
		GPIO selected	IS	IE	PC	HC	IS	HS	IS	HS
		Resource other than above selected	-	-	PC	HC	IS	GS	IS	GS

上記テーブルの各項の意味は以下の通りです。

Type

「5. 端子機能一覧」で、端子番号別の表で示されている端子状態を表します。

³ この Type では、内部発振機能選択時はデジタル出力は不可(Hi-Z)。プルアップレジスタはオフ、デジタル入力は“0”固定でシャットオフされます。

⁴ この Type では、デジタル I/O 機能選択時は、内部発振機能は不可となります。

⁵ この Type では、USB I/O 機能選択時は、デジタル出力は不可(Hi-Z)となります。デジタル入力は“0”でシャットオフされます。

⁶ この Type では、デジタル I/O 機能選択時は、USB I/O 機能は不可になります。このビンにはプルアップレジスタはありません。

⁷ この場合、PCR レジスタは初期化されプルアップレジスタはオンとなります。

⁸ この Type では、アナログ入力機能選択時は、デジタル出力は不可(Hi-Z)、プルアップレジスタはオフ、デジタル入力は“0”でシャットオフとなります。

⁹ この Type では、デジタル I/O 機能選択時は、アナログ入力機能は使用不可となります。

Selected Pin function

ユーザによって選択される端子機能を表します。

CPU state

以下に示すとおり CPU の状態を表します。

- (1) リセット状態。CPUはPower-On リセットまたは電源の低下により発生するリセットで初期化される。
- (2) リセット状態。CPU は INITX 入力信号により初期化またはシステムの初期化がされる。
- (3) Run モード状態および SLEEP モード状態。
- (4) Timer モード状態、RTC モード状態および STOP モード状態。
STB_CTL (Standby Mode Control Register) の SPL (Standby 時のピンレベル設定) が”0”の時。
- (5) Timer モード状態、RTC モード状態および STOP モード状態。
STB_CTL (Standby Mode Control Register) の SPL (Standby 時のピンレベル設定) が”1”の時。
- (6) Deep standby STOP モード状態および Deep standby RTC モード状態。
STB_CTL (Standby Mode Control Register) の SPL (Standby 時のピンレベル設定) が”0”の時。
- (7) Deep standby STOP モード状態および Deep standby RTC モード状態。
STB_CTL (Standby Mode Control Register) の SPL (Standby 時のピンレベル設定) が”1”の時。
- (8) Deep standby モードから復帰した後の Run モード状態
(I/O 状態保持機能 (CONTX) が”1”の時)

Each pin status

端子状態テーブル内のシンボルの意味は以下の通りです。

- IS デジタル出力は不可 (Hi-Z)。プルアップ レジスタは OFF。デジタル入力はシャットオフ (“0”固定)。
- IE デジタル出力は不可 (Hi-Z)。プルアップ レジスタは OFF。デジタル入力はシャットオフされない。
- IP デジタル出力は不可 (Hi-Z)。プルアップ レジスタは PCR レジスタによる。デジタル入力はシャットオフされない。
- IE/IS デジタル出力は不可 (Hi-Z)。プルアップ レジスタは OFF。OSC 停止時デジタル入力はシャットオフ。OSC 動作時デジタル入力はシャットオフされない。
- OE OSC は動作状態となりますが、一部の動作モードでは停止状態になります。
詳細はペリフェラルマニュアルの”低消費電力”の章を参照ください。
- OS OSC は停止状態 (Hi-Z)。
- UE USB I/O 機能は USB コントローラにより制御されます。
- US USB I/O 機能は不可 (Hi-Z)。
- PC デジタル出力およびプルアップ レジスタは、GPIO および周辺機能のレジスタで制御されます。デジタル入力はシャットオフされません。
- CP デジタル出力は GPIO および周辺機能のレジスタで制御されます。プルアップ レジスタは OFF。デジタル入力はシャットオフされません。
- HC デジタル出力およびプルアップ レジスタは、現在の状態に入る直前の状態を保持します。デジタル入力はシャットオフされません。
- HS デジタル出力およびプルアップ レジスタは、現在の状態に入る直前の状態を保持します。デジタル入力はシャットオフされます。
- GS デジタル出力およびプルアップ レジスタは、現在の状態に入る直前の GPIO 状態をコピーしその状態を保持します。デジタル入力はシャットオフされます。

11. 電気的特性

11.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 ^{10, 11}	V _{CC}	V _{SS} - 0.5	V _{SS} + 4.6	V	
アナログ基準電圧 ^{10, 12}	AVRH	V _{SS} - 0.5	V _{SS} + 4.6	V	
入力電圧 ¹⁰	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 4.6V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5V トーラント
アナログ端子入力電圧 ¹⁰	V _{IA}	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 4.6V)	V	
出力電圧 ¹⁰	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 4.6V)	V	
"L" レベル最大出力電流 ¹³	I _{OL}	-	10	mA	4mA type
"L" レベル平均出力電流 ¹⁴	I _{OLAV}	-	4	mA	4mA type
"L" レベル最大総出力電流	ΣI _{OL}	-	100	mA	
"L" レベル平均総出力電流 ¹⁵	ΣI _{OLAV}	-	50	mA	
"H" レベル最大出力電流 ¹³	I _{OH}	-	- 10	mA	4mA type
"H" レベル平均出力電流 ¹⁴	I _{OHAV}	-	- 4	mA	4mA type
"H" レベル最大総出力電流	ΣI _{OH}	-	- 100	mA	
"H" レベル平均総出力電流 ¹⁵	ΣI _{OHAV}	-	- 50	mA	
消費電力	P _D	-	200	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

<注意事項>

- 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

¹⁰V_{SS} = 0V を基準にした値です。

¹¹V_{CC} は V_{SS} - 0.5V より低くなつてはいけません。

¹²電源投入時 V_{CC} + 0.5V を超えてはいけません。

¹³最大出力電流は、該当する端子 1 本のピーク値を規定します。

¹⁴平均出力電流は、該当する端子 1 本に流れる電流の 100ms の期間内での平均電流を規定します。

¹⁵平均総出力電流は、該当する端子すべてに流れる電流の 100ms の期間内での平均電流を規定します。

11.2 推奨動作条件

(V_{SS}=0.0V)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V _{CC}	-	1.65 ¹⁶	3.6	V	
			3.0	3.6	V	¹⁷
アナログ基準電圧	AVRH	-	2.7	V _{CC}	V	V _{CC} ≥2.7 V
			V _{CC}	V _{CC}	V	V _{CC} <2.7 V
	AVRL	-	V _{SS}	V _{SS}	V	
平滑コンデンサ容量	C _S	-	1	10	μF	レギュレータ用 ¹⁸
動作温度	T _a	-	-40	+105	°C	

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。
- この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
- データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。
- 記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

¹⁶電源電圧が最小値未満かつリセット/割込み検出電圧以上の間は、内蔵高速CRクロック(メインPLL使用含む)または内蔵低速CRクロックでの命令実行と低電圧検出のみ動作可能です。

¹⁷P81/UDP0, P80/UDM0端子をUSB端子(UDP0, UDM0)として使用する場合

¹⁸平滑コンデンサの接続方法は、”8. デバイス使用上の注意”の”C端子について”を参照してください。

11.3 直流規格

11.3.1 電流規格

記号 (端子名)	条件	HCLK 周波数 ¹⁹	規格値		単位	備考	
			標準 ²⁰	最大 ²¹			
Icc (VCC)	ランモード Flash 実行	8 MHz 外部クロック入力, PLL 使用 ²² NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	8 MHz	1.4	2.7	mA	
			20 MHz	2.6	4.1		
			40 MHz	3.9	5.6		
	8 MHz 外部クロック入力, PLL 使用 ²² ベンチマーク実行 内蔵高速 CR 停止 PCLK1 停止	8 MHz	1.3	2.6	mA	²³	
			20 MHz	2.3	3.8		
			40 MHz	3.4	5.1		
	8 MHz 水晶発振, PLL 使用 ²² NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	8 MHz	1.6	3.0	mA	^{23, 24}	
			20 MHz	2.8	4.4		
			40 MHz	4.1	5.9		
	ランモード RAM 実行	8 MHz 外部クロック入力, PLL 使用 ²² NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	8 MHz	1.0	2.1	mA	²³
			20 MHz	1.7	2.9		
			40 MHz	2.7	4.0		
	ランモード Flash 実行	8 MHz 外部クロック入力, PLL 使用 NOP 命令実行 内蔵高速 CR 停止 PCLK1 停止	40 MHz	1.6	3.1	mA	^{23, 25, 26}
Iccs (VCC)	ランモード Flash 実行	内蔵高速 CR ²⁷ NOP 命令実行 CKENx で全ての周辺クロックを停止	8 MHz	1.1	2.4	mA	²³
		32 kHz 水晶発振 NOP 命令実行 CKENx で全ての周辺クロックを停止	32 kHz	240	1264	μA	²³
		内蔵低速 CR NOP 命令実行 CKENx で全ての周辺クロックを停止	100 kHz	246	1271	μA	²³
	スリープ モード	8 MHz 外部クロック入力, PLL 使用 ²² CKENx で全ての周辺クロックを停止	8 MHz	0.8	1.9	mA	²³
			20 MHz	1.3	2.4		
			40 MHz	1.8	3.0		
		内蔵高速 CR ²⁷ CKENx で全ての周辺クロックを停止	8 MHz	0.6	1.7	mA	²³
		32 kHz 水晶発振 CKENx で全ての周辺クロックを停止	32 kHz	237	1261	μA	²³
		内蔵低速 CR CKENx で全ての周辺クロックを停止	100 kHz	238	1262	μA	²³

¹⁹ PCLK0=HCLK/8

²⁰ TA=+25°C, Vcc=3.3V

²¹ TA=+105°C, Vcc=3.6V

²² HCLK=8MHz 時は PLL OFF

²³ 全ポート固定時

²⁴ IMAINSEL ビット (MOSC_CTL:IMAINSEL) が“10”(デフォルト) の時の値。

²⁵ Flash シンクダウン設定時 (FRWTR.RWT = 111, FSYNDN.SD = 1111)

²⁶ VCC=1.65V

²⁷ トリミングにて 8MHz 設定時

項目	記号 (端子名)	条件	規格値		単位	備考		
			標準	最大				
電源電流	Icch (VCC)	ストップ モード	Ta=25°C Vcc=3.3 V	12.4	52.4	μA	28, 29	
			Ta=25°C Vcc=1.65 V	12.0	52.0	μA	28, 29	
			Ta=105°C Vcc=3.6 V	-	597	μA	28, 29	
	Ictr (VCC)	サブ タイマ モード	Ta=25°C Vcc=3.3 V 32 kHz 水晶発振	15.6	55.6	μA	28, 29	
			Ta=25°C Vcc=1.65 V 32 kHz 水晶発振	15.0	55.0	μA	28, 29	
			Ta=105°C Vcc=3.6 V 32 kHz 水晶発振	-	601	μA	28, 29	
	Iccr (VCC)	RTC モード	Ta=25°C Vcc=3.3 V 32 kHz 水晶発振	13.2	53.2	μA	28, 29	
			Ta=25°C Vcc=1.65 V 32 kHz 水晶発振	12.7	52.7	μA	28, 29	
			Ta=105°C Vcc=3.6 V 32 kHz 水晶発振	-	598	μA	28, 29	
電源電流	Icchd (VCC)	ディープ スタンバイ ストップモード	RAM off	Ta=25°C Vcc=3.3 V	0.58	1.85	μA	30, 31
				Ta=25°C Vcc=1.65 V	0.56	1.83	μA	30, 31
				Ta=105°C Vcc=3.6 V	-	46	μA	30, 31
			RAM on	Ta=25°C Vcc=3.3 V	0.78	6.6	μA	30, 31
				Ta=25°C Vcc=1.65 V	0.76	6.6	μA	30, 31
				Ta=105°C Vcc=3.6 V	-	88	μA	30, 31
	Iccrd (VCC)	ディープ スタンバイ RTC モード	RAM off	Ta=25°C Vcc=3.3 V	1.16	2.4	μA	30, 31
				Ta=25°C Vcc=1.65 V	1.15	2.4	μA	30, 31
				Ta=105°C Vcc=3.6 V	-	46	μA	30, 31
			RAM on	Ta=25°C Vcc=3.3 V	1.37	7.2	μA	30, 31
				Ta=25°C Vcc=1.65 V	1.35	7.2	μA	30, 31
				Ta=105°C Vcc=3.6 V	-	88	μA	30, 31

²⁸ 全ポート固定時 LVD off. Flash off.

²⁹ CALDONE ビット(CAL_CTRL:CALDONE)が“1”の時の値。“0”の時は Bipolar Vref 電流が加算されます。

³⁰ 全ポート固定時 LVD off.

³¹ CALDONE ビット(CAL_CTRL:CALDONE)が“1”の時の値。“0”の時は Bipolar Vref 電流が加算されます。

LVD 電流

(V_{CC}=1.65V~3.6V, V_{SS}=0V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路 (LVD) 電源電流	ICCLVD	VCC	動作時	0.15	0.3	μA	リセット発生用
				0.10	0.3	μA	割込み発生用

Bipolar Vref 電流

(V_{CC}=1.65V~3.6V, V_{SS}=0V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
Bipolar Vref 電流	I _{CCBGR}	VCC	動作時	100	200	μA	

フラッシュメモリ電流

(V_{CC}=1.65V~3.6V, V_{SS}=0V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書き込み/消去電流	I _{CCFLASH}	VCC	書き込み/ 消去時	4.4	5.6	mA	

A/D コンバータ電流

(V_{CC}=1.65V~3.6V, V_{SS}=0V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CCAD}	VCC	A/D 動作時	0.5	0.75	mA	
基準電源電流 (AVRH)	I _{CCAVRH}	AVRH	A/D 動作時	0.69	1.3	mA	AVRH=3.6V
			A/D 停止時	0.1	1.3	μA	

ペリフェラル消費電流

(V_{CC}=1.65V~3.6V, V_{SS}=0V, T_A=-40°C~+105°C)

クロック 系列	ペリフェラル	条件	周波数 (MHz)			単位	備考
			8	20	40		
HCLK	GPIO	全ポート動作時	0.05	0.12	0.23	mA	
	DSTC	2ch.動作時	0.02	0.06	0.10		
	USB	1ch.動作時	0.13	0.13	0.13	mA	³²
PCLK1	ベースタイマ	4ch.動作時	0.02	0.05	0.10	mA	
	ADC	1unit 動作時	0.04	0.10	0.21		
	マルチファンク ションシリアル	1ch.動作時	0.01	0.03	0.06		
	MFS-I2S	1ch.動作時	0.02	0.05	0.08		
	Smart Card I/F	1ch.動作時	0.04	0.08	0.18		

³² USB は 48MHz のクロックを使用

11.3.2 端子特性

($V_{CC} = 1.65 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

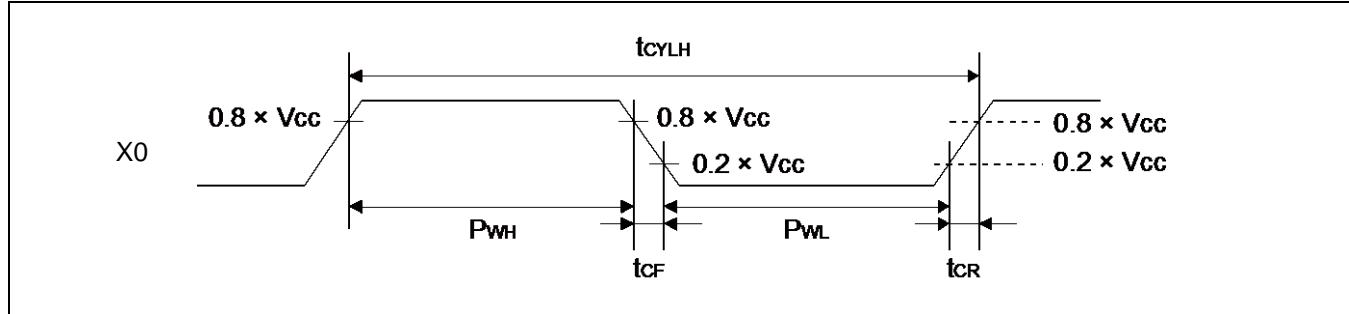
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H" レベル 入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス 入力端子, MD0	$V_{CC} \geq 2.7 \text{ V}$	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
			$V_{CC} < 2.7 \text{ V}$	$V_{CC} \times 0.7$				
		5V ト relant 入力端子	$V_{CC} \geq 2.7 \text{ V}$	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
			$V_{CC} < 2.7 \text{ V}$	$V_{CC} \times 0.7$				
"L" レベル 入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス 入力端子, MD0	$V_{CC} \geq 2.7 \text{ V}$	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
			$V_{CC} < 2.7 \text{ V}$			$V_{CC} \times 0.3$		
		5V ト relant 入力端子	$V_{CC} \geq 2.7 \text{ V}$	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
			$V_{CC} < 2.7 \text{ V}$		-	$V_{CC} \times 0.3$		
"H" レベル 出力電圧	V_{OH}	4mA タイプ	$V_{CC} \geq 2.7 \text{ V},$ $I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 2.7 \text{ V},$ $I_{OH} = -2 \text{ mA}$	$V_{CC} - 0.45$				
"L" レベル 出力電圧	V_{OL}	4mA タイプ	$V_{CC} \geq 2.7 \text{ V},$ $I_{OL} = 4 \text{ mA}$	V_{SS}	-	0.4	V	
			$V_{CC} < 2.7 \text{ V},$ $I_{OL} = 2 \text{ mA}$					
入力リーグ電流	I_{IL}	-	-	-5	-	+5	μA	
プルアップ 抵抗値	R_{PU}	プルアップ 端子	$V_{CC} \geq 2.7 \text{ V}$	21	33	48	$\text{k}\Omega$	
			$V_{CC} < 2.7 \text{ V}$	-	-	88		
入力容量	C_{IN}	Other than VCC, VSS, AVRH	-	-	5	15	pF	

11.4 交流規格

11.4.1 メインクロック入力規格

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
入力周波数	F _{CH}	X ₀ , X ₁	$V_{CC} \geq 2.7\text{V}$	8	48	MHz	水晶振動子接続時
			$V_{CC} < 2.7\text{V}$	8	20		
			-	8	48	MHz	外部クロック使用時
入力クロック周期	t _{CY LH}	X ₀ , X ₁	-	20.83	125	ns	外部クロック使用時
入力クロックパルス幅	-		P _{WH} /t _{CY LH} , P _{WL} /t _{CY LH}	45	55	%	外部クロック使用時
入力クロック立上り、立下り時間	t _{CF} , t _{CR}	-	-	-	5	ns	外部クロック使用時
内部動作クロック ³³ 周波数	F _{CM}	-	-	-	40.8	MHz	マスタクロック
	F _{CC}	-	-	-	40.8	MHz	ベースクロック(HCLK/FCLK)
	F _{CPO}	-	-	-	40.8	MHz	APB0 バスクロック ³⁴
	F _{CPI}	-	-	-	40.8	MHz	APB1 バスクロック ³⁴
内部動作クロック ³³ サイクル時間	t _{CYCCM}	-	-	24.5	-	ns	マスタクロック
	t _{CYCC}	-	-	24.5	-	ns	ベースクロック(HCLK/FCLK)
	t _{CYCP0}	-	-	24.5	-	ns	APB0 バスクロック ³⁴
	t _{CYCP1}	-	-	24.5	-	ns	APB1 バスクロック ³⁴



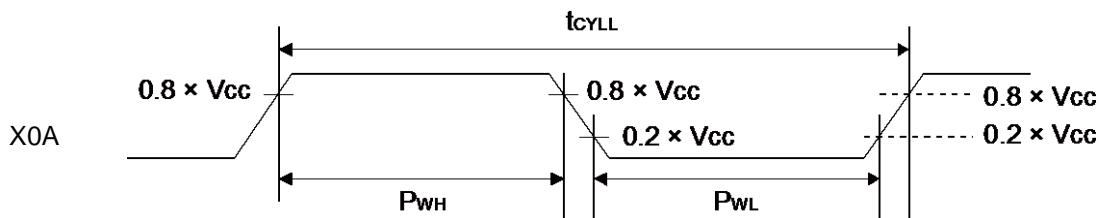
³³ 各内部動作クロックの詳細については、『FM0+ファミリペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

³⁴ 各ペリフェラルが接続されている APB バスについては「ペリフェラル・アドレスマップ」を参照してください。

11.4.2 サブクロック入力規格³⁵

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	f _{CL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
			-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL}	45	-	55	%	外部クロック時



11.4.3 内蔵 CR 発振規格

内蔵高速 CR

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRH}	T _A =-10°C~+105°C,	7.92	8	8.08	MHz	トリミング時 ³⁶
		T _A =-40°C~+105°C,	7.84	8	8.16	MHz	
周波数安定時間	t _{CRWT}	-	-	-	300	μs	³⁷

内蔵低速 CR

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f _{CR}	-	50	100	150	kHz	

³⁵ ご使用する水晶振動子については、「11. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。

³⁶ 出荷時に設定されるフラッシュメモリ内のCR トリミング領域の値を周波数トリミング値/温度トリミング値として設定した場合

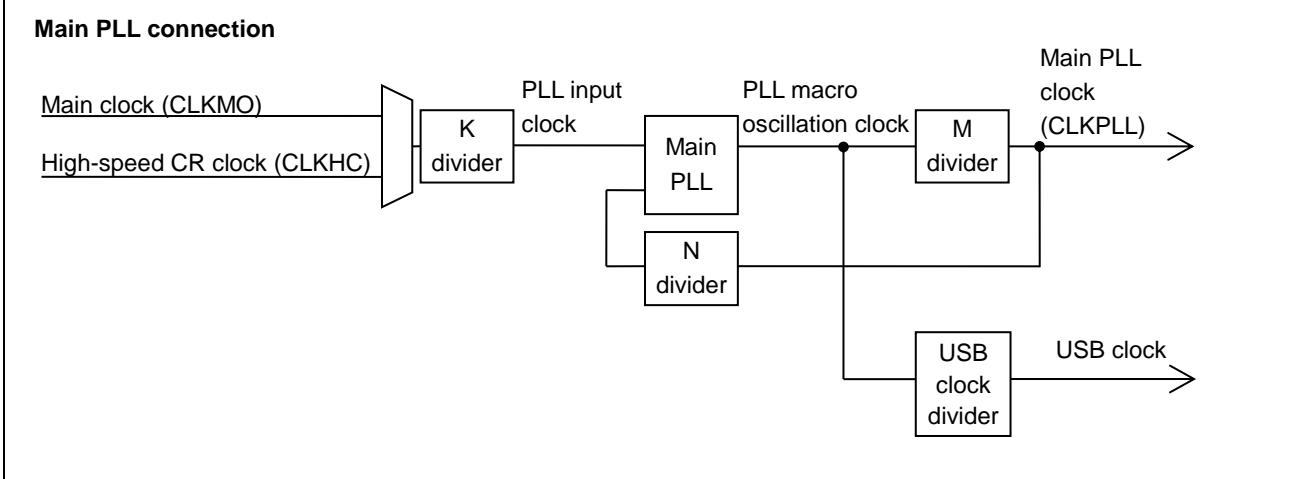
³⁷ トリミング値設定後に高速CR クロックの周波数が安定するまでの時間です。

なおトリミング値設定後、周波数安定時間が経過する期間も高速CR クロックをソースクロックとして使用できます。

11.4.4 メイン PLL の使用条件 (PLL の入力クロックにメインクロックを使用)

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ³⁸ (LOCK UP 時間)	t _{LOCK}	50	-	-	μs	
PLL 入力クロック周波数	F _{PLL}	8	-	16	MHz	
PLL 適倍率	-	5	-	18	適倍	
PLL マクロ発振クロック周波数	F _{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数 ³⁹	F _{CLKPLL}	-	-	40	MHz	
USB クロック周波数 ⁴⁰	F _{CLKSPLL}	-	-	48	MHz	



11.4.5 メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間 ⁴¹ (LOCK UP 時間)	t _{LOCK}	50	-	-	μs	
PLL 入力クロック周波数	F _{PLL}	7.84	8	8.16	MHz	
PLL 適倍率	-	9	-	18	適倍	
PLL マクロ発振クロック周波数	F _{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数 ⁴²	F _{CLKPLL}	-	-	40.8	MHz	

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速 CR クロック (CLKHC) を入力してください。PLL の適倍率は、内蔵高速 CR の精度を考慮し、マスタクロックの最大周波数を超えないようにしてください。

³⁸ PLL の発振が安定するまでの待ち時間

³⁹ メイン PLL クロック(CLKPLL)の詳細については、『FM0+ ファミリペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

⁴⁰ USB クロックの詳細については、『FM0+ ファミリペリフェラルマニュアル(通信マクロ編)』の『CHAPTER:USB クロック生成(B)』を参照してください。

⁴¹ PLL の発振が安定するまでの待ち時間

⁴² メイン PLL クロック(CLKPLL)の詳細については、『FM0+ ファミリペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

11.4.6 リセット入力規格

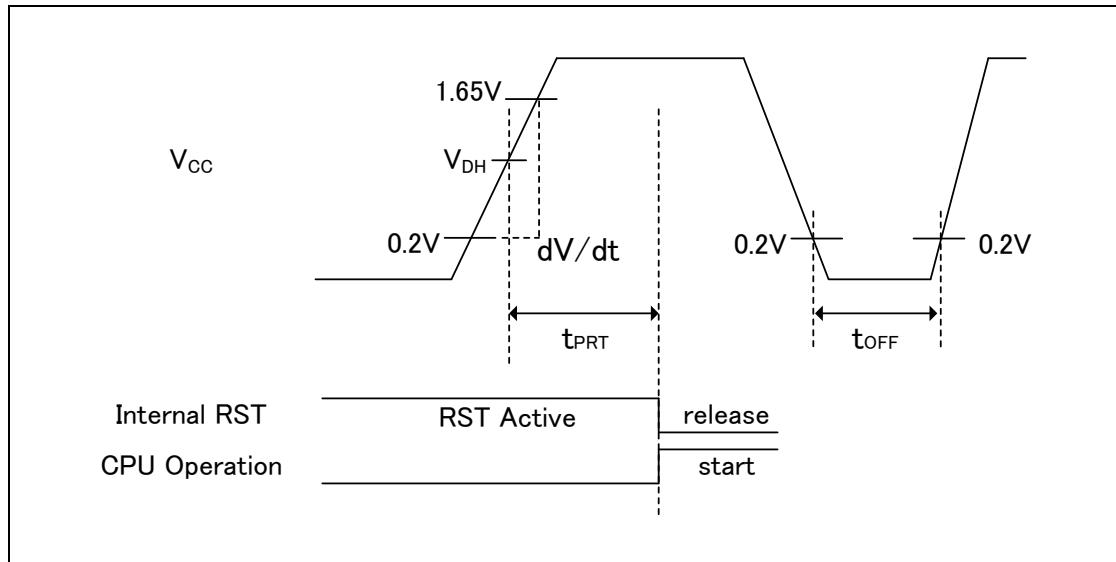
($V_{CC} = 1.65 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

11.4.7 パワーオンリセットタイミング

($V_{SS} = 0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	2	-	-	ms	V _{CC} は t_{OFF} 最小期間中 0.2V 以下である必要がある。この状態が満たさない場合、誤った初期化が発生する可能性がある
電源立ち上がり速度	dV/dt		V _{CC} : 0.2V ~ 1.65V	0.6	-	1000	mV/μs	この dV/dt 規格は cold start ($t_{OFF} > 2\text{ms}$) のパワーオン時に適用される
パワーオンリセット解除までの時間	t_{PRT}		-	0.43	-	3.4	ms	



Glossary

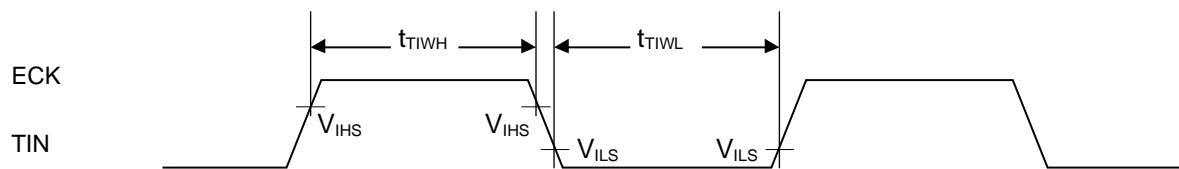
- VDH: 低電圧検出リセットの解除電圧。「11.7 低電圧検出特性」を参照してください。

11.4.8 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

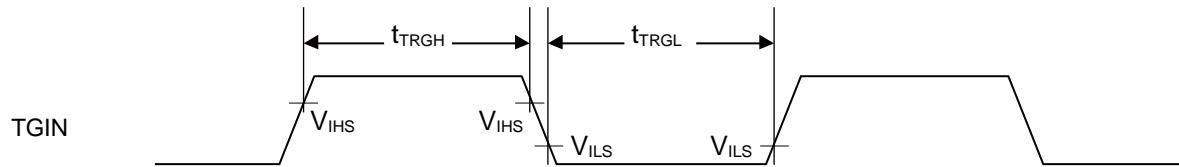
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}, t_{TIWL}	TIOAn/TIOBn (ECK, TIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (TGIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



(注意事項)

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。

11.4.9 CSIO/SPI/UART タイミング

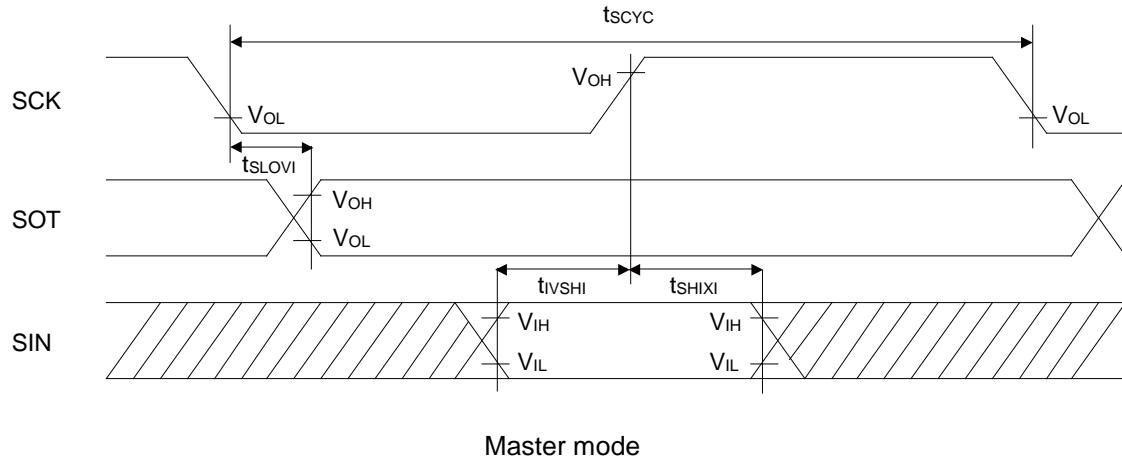
CSIO (SPI=0, SCINV=0)

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

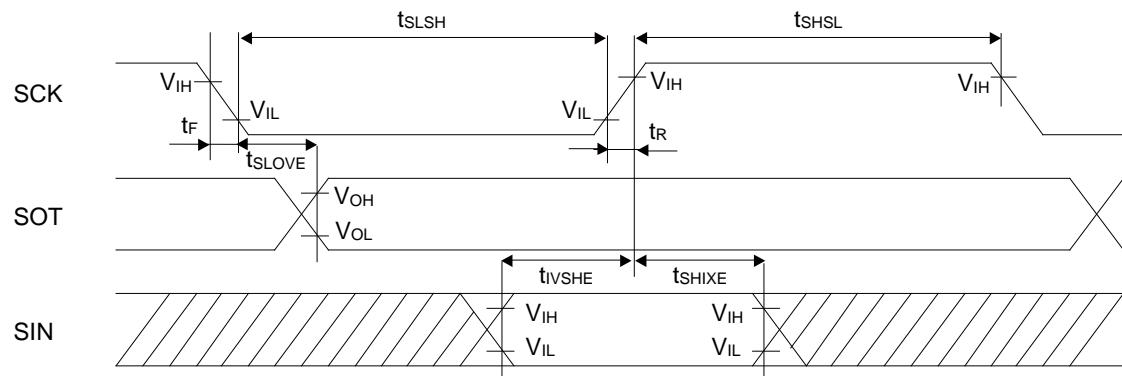
項目	記号	端子名	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクルタイム	tSCYC	SCKx	Master mode	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 遅延時間	tsLOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑セットアップ時間	trVSHI	SCKx, SINx		50	-	36	-	ns
SCK ↑ → SIN ホールド時間	tSHIXI	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	tsLSH	SCKx	Slave mode	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCKx		tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 遅延時間	tsLOVE	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↑セットアップ時間	trVSHE	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- 本規格は同リロケート・ポート番号のみの保障です。
例えば SCKx_0 と SOTx_1 の組み合わせは保障外です。
- 外部負荷容量 $C_L = 30\text{ pF}$



Master mode



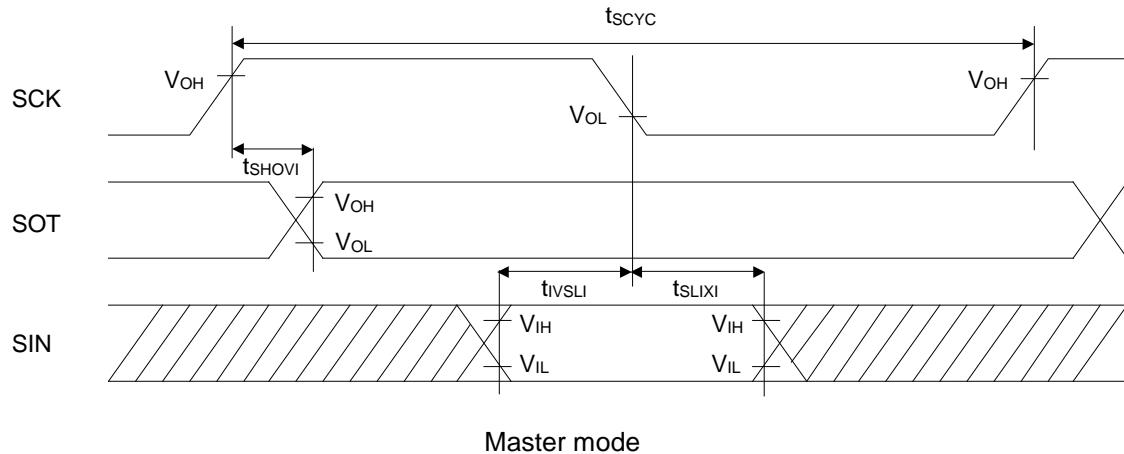
Slave mode

CSIO (SPI=0, SCINV=1)
 $(V_{CC}=1.65 \text{ V} \sim 3.6 \text{ V}, V_{SS}=0 \text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

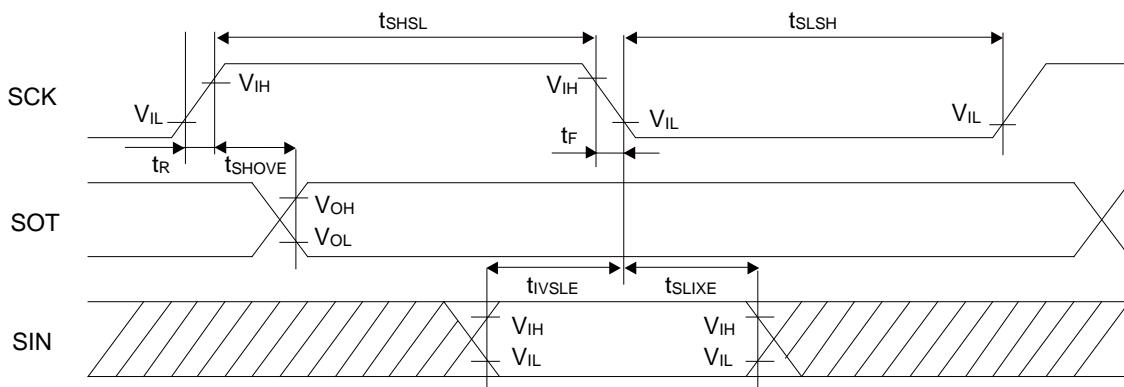
項目	記号	端子名	条件	$V_{CC} < 2.7 \text{ V}$		$V_{CC} \geq 2.7 \text{ V}$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクルタイム	tSCYC	SCKx	Master mode	4tCYCP	-	4tCYCP	-	ns
SCK $\uparrow \rightarrow$ SOT 遅延時間	tSHOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN \rightarrow SCK \downarrow セットアップ時間	tIVSLI	SCKx, SINx		50	-	36	-	ns
SCK $\downarrow \rightarrow$ SIN ホールド時間	tSLIXI	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	tSLSH	SCKx	Slave mode	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCKx		tCYCP + 10	-	tCYCP + 10	-	ns
SCK $\uparrow \rightarrow$ SOT 遅延時間	tSHOVE	SCKx, SOTx		-	50	-	33	ns
SIN \rightarrow SCK \downarrow セットアップ時間	tIVSLE	SCKx, SINx		10	-	10	-	ns
SCK $\downarrow \rightarrow$ SIN ホールド時間	tSLIXE	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- 本規格は同リロケート・ポート番号のみの保障です。
例えば SCKx_0 と SOTx_1 の組み合わせは保障外です。
- 外部負荷容量 C_L= 30 pF



Master mode



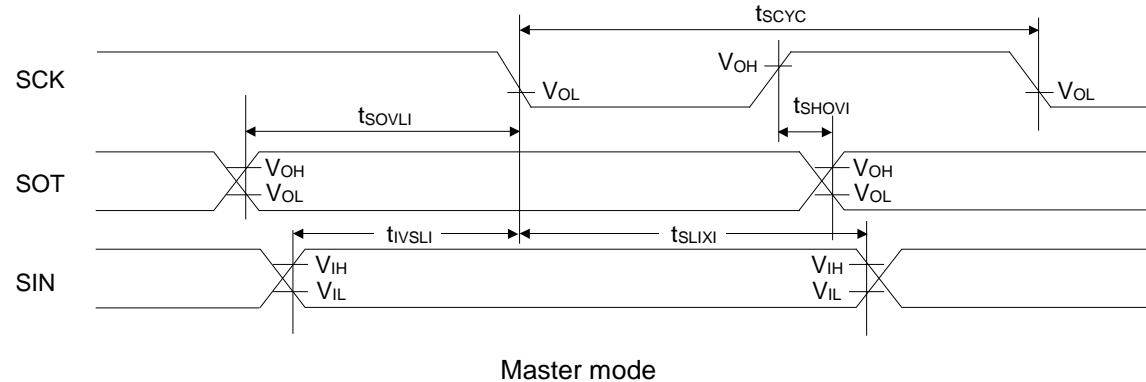
Slave mode

SPI (SPI=1, SCINV=0)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

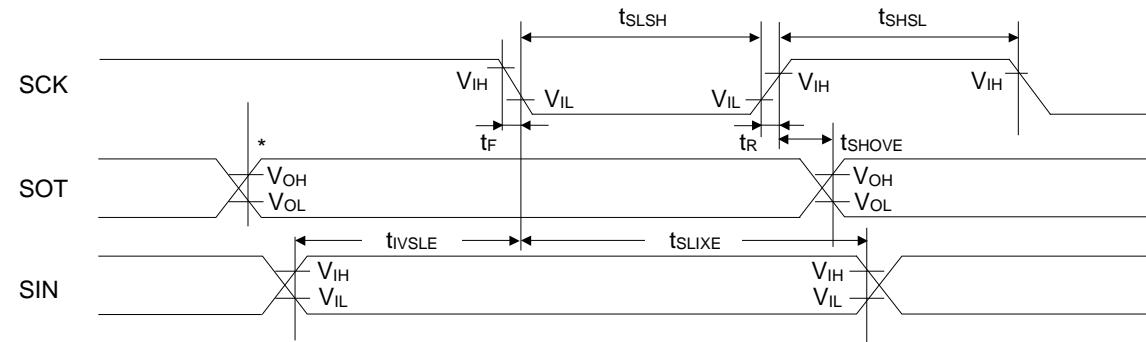
項目	記号	端子名	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクルタイム	tSCYC	SCKx	Master mode	4tCYCP	-	4tCYCP	-	ns
SCK $\uparrow \rightarrow$ SOT 遅延時間	tSHOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN \rightarrow SCK \downarrow セットアップ時間	tIVSLI	SCKx, SINx		50	-	36	-	ns
SCK $\downarrow \rightarrow$ SIN ホールド時間	tSLIXI	SCKx, SINx		0	-	0	-	ns
SOT \rightarrow SCK \downarrow 遅延時間	tSOVLI	SCKx, SOTx		2tCYCP - 30	-	2tCYCP - 30	-	ns
シリアルクロック "L"パルス幅	tSLSH	SCKx	Slave mode	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCKx		tCYCP + 10	-	tCYCP + 10	-	ns
SCK $\uparrow \rightarrow$ SOT 遅延時間	tSHOVE	SCKx, SOTx		-	50	-	33	ns
SIN \rightarrow SCK \downarrow セットアップ時間	tIVSLE	SCKx, SINx		10	-	10	-	ns
SCK $\downarrow \rightarrow$ SIN ホールド時間	tSLIXE	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- 本規格は同リロケート・ポート番号のみ保障です。
例えば SCKx_0 と SOTx_1 の組み合わせは保障外です。
- 外部負荷容量 $C_L = 30\text{ pF}$



Master mode



Slave mode

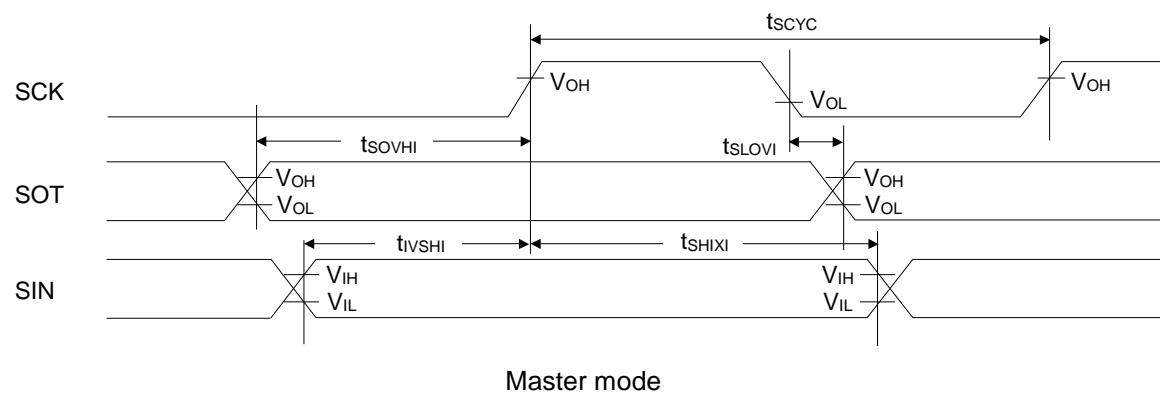
*: Changes when writing to TDR register

SPI (SPI=1, SCINV=1)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

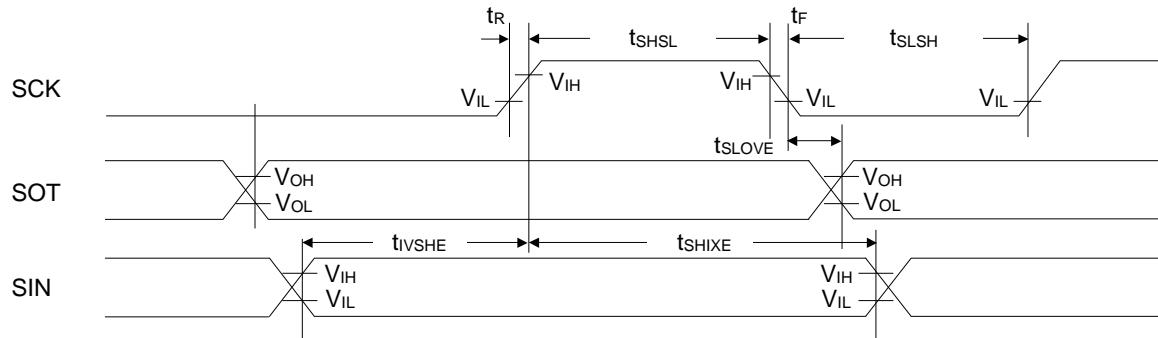
項目	記号	端子名	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロックサイクルタイム	tSCYC	SCKx	Master mode	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 遅延時間	tSLOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	tIVSHI	SCKx, SINx		50	-	36	-	ns
SCK ↑ → SIN ホールド時間	tSHIXI	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	tSOVHI	SCKx, SOTx		2tCYCP - 30	-	2tCYCP - 30	-	ns
シリアルクロック "L"パルス幅	tSLSH	SCKx	Slave mode	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCKx		tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 遅延時間	tSLOVE	SCKx, SOTx		-	50	-	33	ns
SIN → SCK ↑ セットアップ時間	tIVSHE	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- 本規格は同リロケート・ポート番号のみ保障です。
例えば SCKx_0 と SOTx_1 の組み合わせは保障外です。
- 外部負荷容量 $C_L = 30\text{ pF}$



Master mode



Slave mode

同期シリアル チップセレクト使用時 (SCINV=0, CSLVL=1)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

項目	記号	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
			最小	最大	最小	最大	
SCS↓→SCK↓ セットアップ時間	tCSSI	Master mode	-50 ⁴³	+0 ⁴³	-50 ⁴³	+0 ⁴³	ns
SCK↑→SCS↑ ホールド時間	tCSHI		+0 ⁴⁴	+50 ⁴⁴	+0 ⁴⁴	+50 ⁴⁴	ns
SCS ディセレクト時間	tCSDI		-50 ⁴⁵	+50 ⁴⁴	-50 ⁴⁴	+50 ⁴⁴	ns
SCS↓→SCK↓ セットアップ時間	tCSSE	Slave mode	3tCYCP+30	-	3tCYCP+30	-	ns
SCK↑→SCS↑ ホールド時間	tCSHE		0	-	0	-	ns
SCS ディセレクト時間	tCSDE		3tCYCP+30	-	3tCYCP+30	-	ns
SCS↓→SOT 遅延時間	TDSE		-	55	-	40	ns
SCS↑→SOT 遅延時間	TDEE		0	-	0	-	ns

<注意事項>

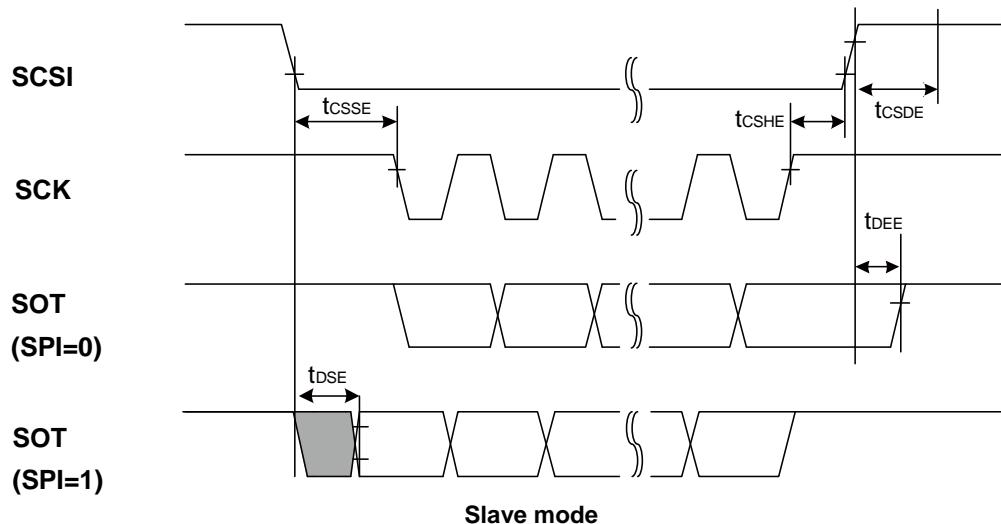
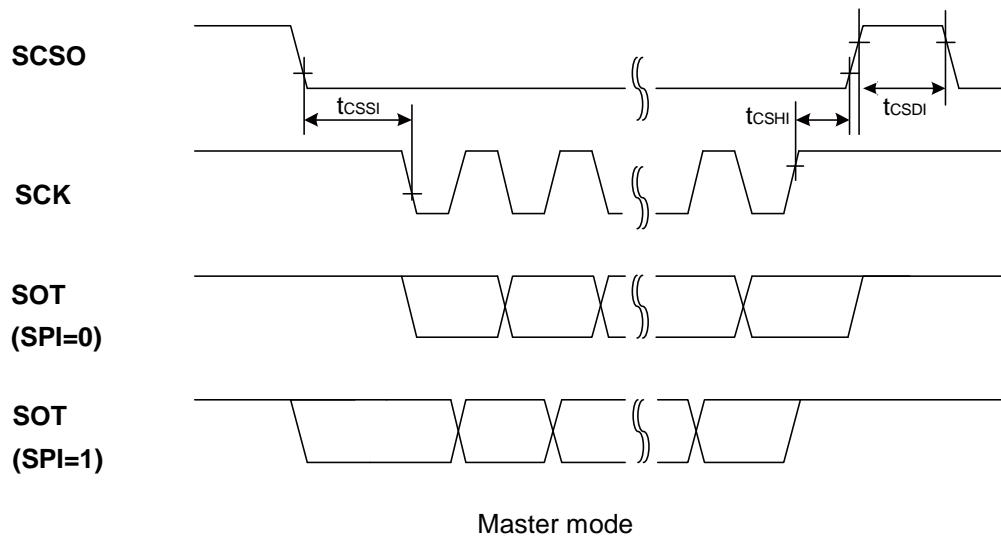
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ファミリペリフェラルマニュアル本編』を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0 と SCStx_1 の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30\text{ pF}$

⁴³ CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁴⁴ CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁴⁵ CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

CSDS のビット設定にかかわらず、チップセレクトが非アクティブになってからアクティブになるまでの期間は 5tCYCP 以上必要になります。



同期シリアル チップセレクト使用時 (SCINV=1, CSLVL=1)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

項目	記号	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
			最小	最大	最小	最大	
SCS↓→SCK↑ セットアップ時間	tCSSI	Master mode	-50 ⁴⁶	+0 ⁴⁶	-50 ⁴⁶	+0 ⁴⁶	ns
SCK↓→SCS↑ ホールド時間	tCSHI		+0 ⁴⁷	+50 ⁴⁷	+0 ⁴⁷	+50 ⁴⁷	ns
SCS ディセレクト時間	tCSDI		-50 ⁴⁸	+50 ⁴⁸	-50 ⁴⁸	+50 ⁴⁸	ns
SCS↓→SCK↑ セットアップ時間	tCSSE	Slave mode	3tCYCP+30	-	3tCYCP+30	-	ns
SCK↓→SCS↑ ホールド時間	tCSHE		0	-	0	-	ns
SCS ディセレクト時間	tCSDE		3tCYCP+30	-	3tCYCP+30	-	ns
SCS↓→SOT 遅延時間	tDSE		-	55	-	40	ns
SCS↑→SOT 遅延時間	tDEE		0	-	0	-	ns

<注意事項>

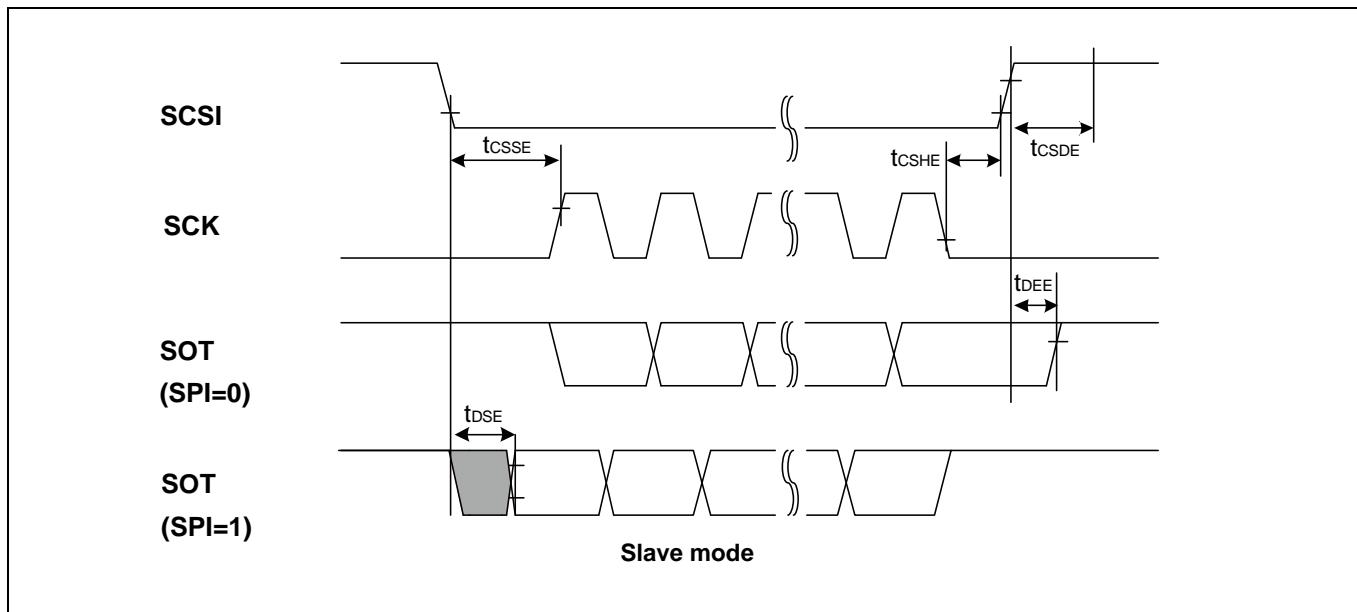
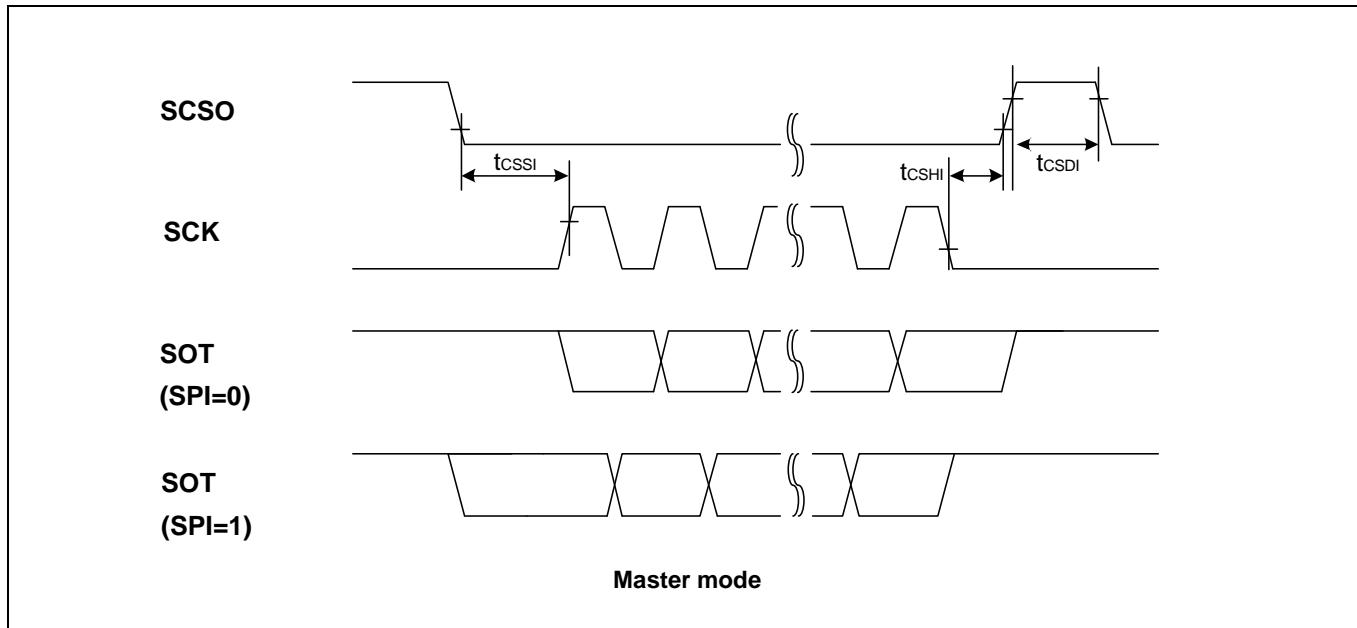
- tCYCP は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ファミリペリフェラルマニュアル本編』を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0 と SCSIx_1 の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30\text{ pF}$

⁴⁶ CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁴⁷ CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁴⁸ CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

CSDS のビット設定にかかわらず、チップセレクトが非アクティブになってからアクティブになるまでの期間は 5tCYCP 以上必要になります。



同期シリアル チップセレクト使用時 (SCINV=0, CSLVL=0)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^{\circ}\text{C} \sim +105^{\circ}\text{C})$

項目	記号	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
			最小	最大	最小	最大	
SCS↑→SCK↓ セットアップ時間	tCSSI	Master mode	-50 ⁴⁹	+0 ⁴⁹	-50 ⁴⁹	+0 ⁴⁹	ns
SCK↑→SCS↓ ホールド時間	tCSHI		+0 ⁵⁰	+50 ⁵⁰	+0 ⁵⁰	+50 ⁵⁰	ns
SCS ディセレクト時間	tCSDI		-50 ⁵¹	+50 ⁵¹	-50 ⁵¹	+50 ⁵¹	ns
SCS↑→SCK↓ セットアップ時間	tCSSE	Slave mode	3tCYCP+30	-	3tCYCP+30	-	ns
SCK↑→SCS↓ ホールド時間	tCSHE		0	-	0	-	ns
SCS ディセレクト時間	tCSDS		3tCYCP+30	-	3tCYCP+30	-	ns
SCS↑→SOT 遅延時間	tDSE		-	55	-	40	ns
SCS↓→SOT 遅延時間	tDEE		0	-	0	-	ns

<注意事項>

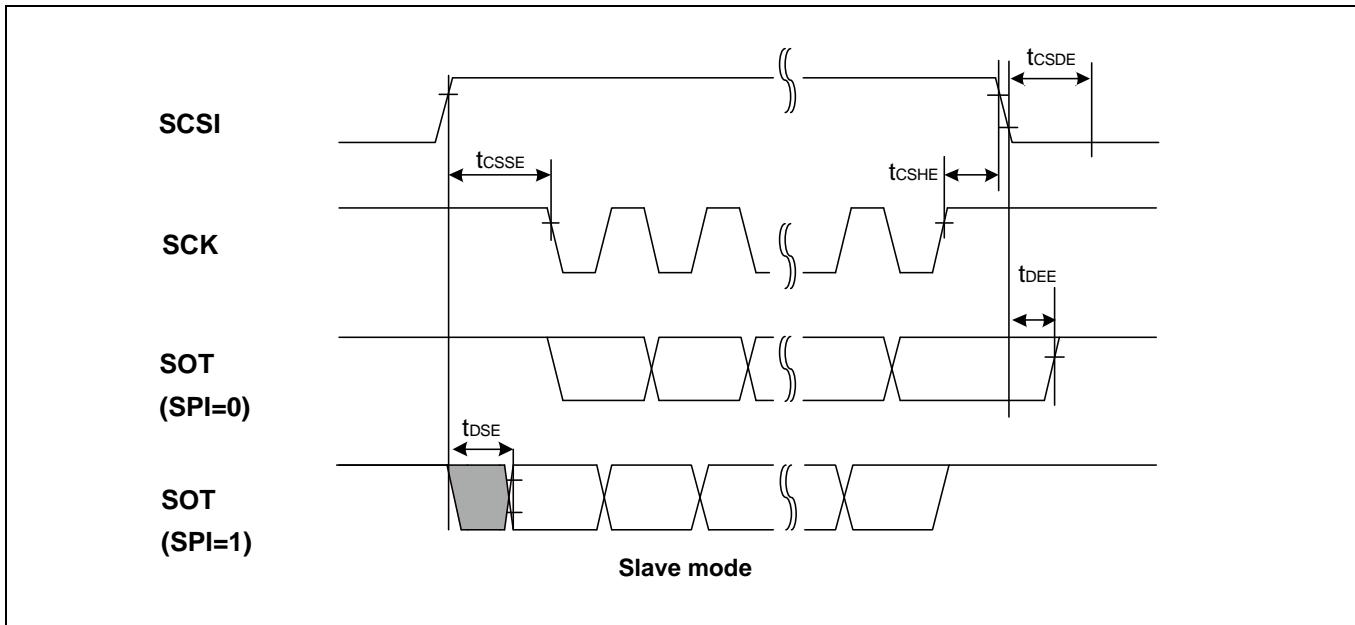
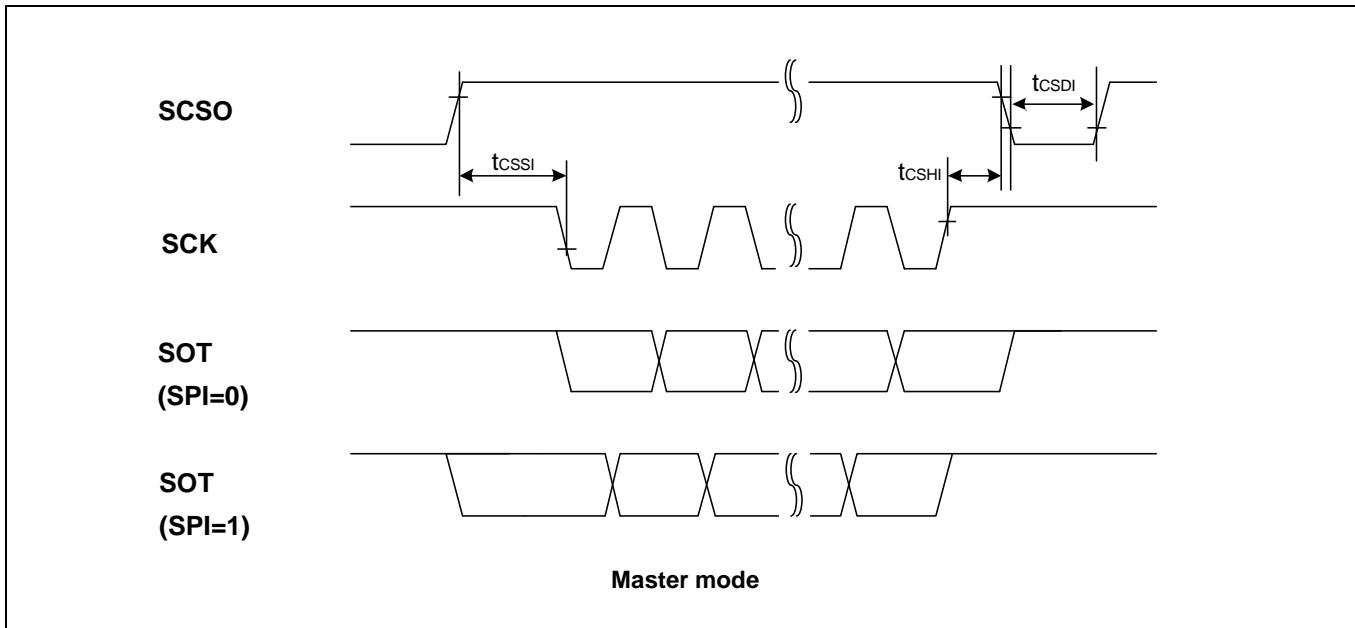
- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ファミリペリフェラルマニュアル本編』を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0 と SCSIx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF

⁴⁹ CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁵⁰ CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁵¹ CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

CSDS のビット設定にかかわらず、チップセレクトが非アクティブになってからアクティブになるまでの期間は 5t_{CYCP} 以上必要になります。



同期シリアル チップセレクト使用時 (SCINV=1, CSLVL=0)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^{\circ}\text{C} \sim +105^{\circ}\text{C})$

項目	記号	条件	$V_{CC} < 2.7\text{ V}$		$V_{CC} \geq 2.7\text{ V}$		単位
			最小	最大	最小	最大	
SCS↑→SCK↑ セットアップ時間	tCSSI	Master mode	-50 ⁵²	+0 ⁵²	-50 ⁵²	+0 ⁵²	ns
SCK↓→SCS↓ ホールド時間	tCSHI		+0 ⁵³	+50 ⁵³	+0 ⁵³	+50 ⁵³	ns
SCS ディセレクト時間	tCSDI		-50 ⁵⁴	+50 ⁵⁴	-50 ⁵⁴	+50 ⁵⁴	ns
SCS↑→SCK↑ セットアップ時間	tCSSE	Slave mode	3tCYCP+30	-	3tCYCP+30	-	ns
SCK↓→SCS↓ ホールド時間	tCSHE		0	-	0	-	ns
SCS ディセレクト時間	tCSDS		3tCYCP+30	-	3tCYCP+30	-	ns
SCS↑→SOT 遅延時間	tDSE		-	55	-	40	ns
SCS↓→SOT 遅延時間	tDEE		0	-	0	-	ns

<注意事項>

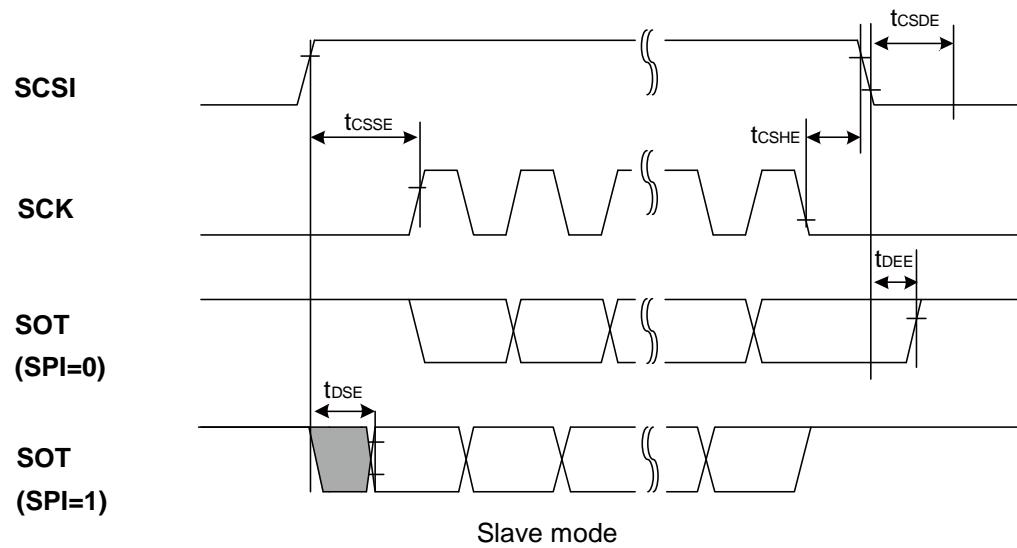
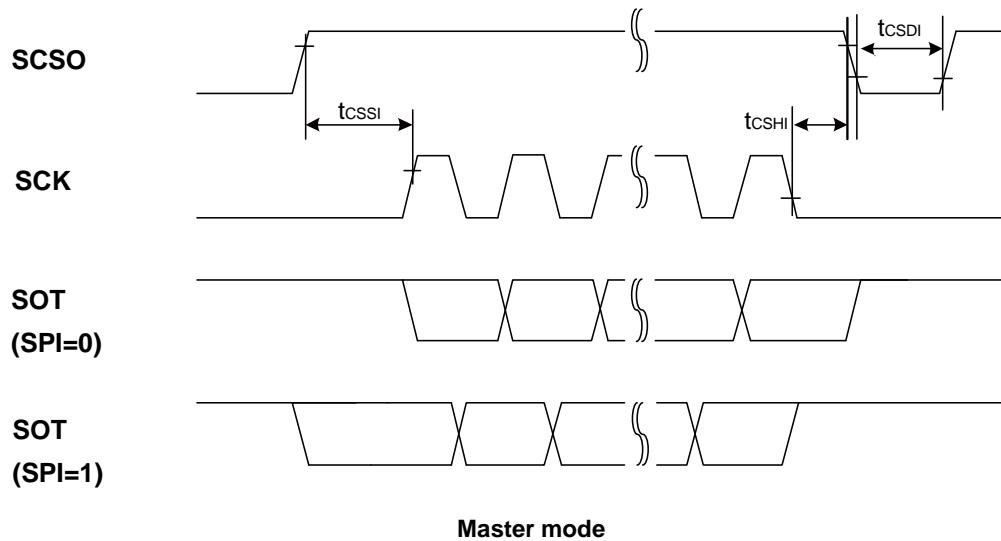
- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「[ペリフェラル・アドレスマップ](#)」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ファミリペリフェラルマニュアル本編』を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0 と SCSIx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF

⁵² CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

⁵³ CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

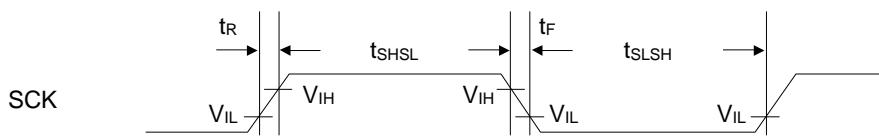
⁵⁴ CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

CSDS のビット設定にかかわらず、チップセレクトが非アクティブになってからアクティブになるまでの期間は 5t_{CYCP} 以上必要になります。



UART 外部クロック入力 (EXT=1)
 $(V_{CC}=1.65\text{ V} \sim 3.6\text{ V}, V_{SS}=0\text{ V}, T_A=-40^\circ\text{C} \sim +105^\circ\text{C})$

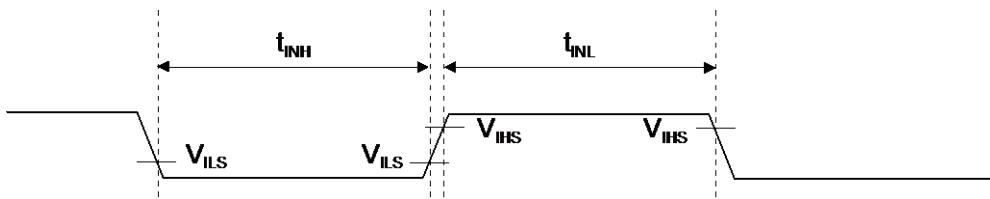
項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック "L" パルス幅	t_{SLSH}	$C_L=30\text{pF}$	$t_{CYCP}+10$	-	ns	
シリアルクロック "H" パルス幅	t_{SHSL}		$t_{CYCP}+10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



11.4.10 外部入力タイミング

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTGx	-	$2t_{CYCP}$ ⁵⁵	-	ns	A/D コンバータト リガ入力
		INT00～INT08, INT12, INT13, INT15, NMIX	⁵⁶	$2t_{CYCP} + 100$ ⁵⁵	-	ns	外部割込み, NMI
		WKUPx	⁵⁷	500	-	ns	ディープスタン バイウェイク アップ
			⁵⁸	500	-	ns	



⁵⁵ t_{CYCP} は、APB バスクロックのサイクル時間です。ベースタイマが接続されている APB バス番号については「ペリフェラル・アドレスマップ」を参照してください。

⁵⁶ ランモード, スリープモード時

⁵⁷ タイマモード, RTC モードおよびストップモード時

⁵⁸ ディープスタンバイ RTC モード, ディープスタンバイストップモード時

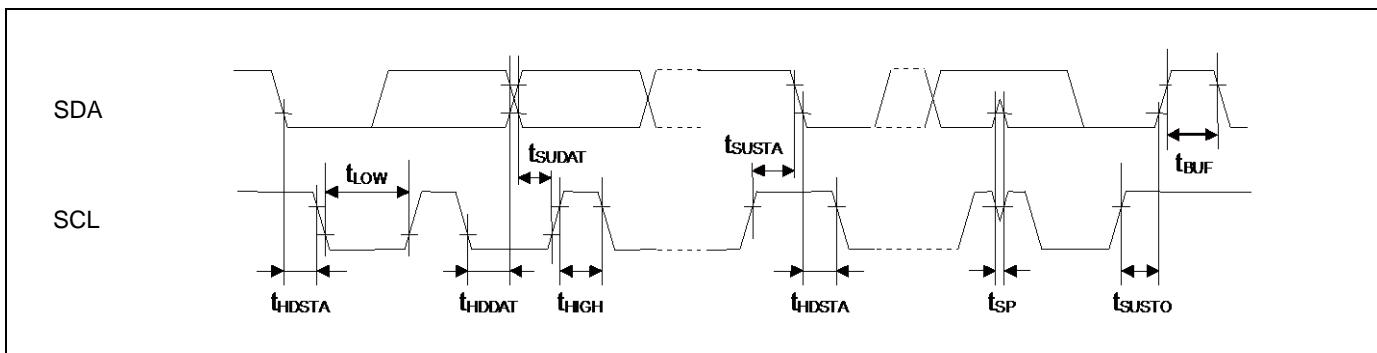
11.4.11 I²C タイミング

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	条件	Standard-Mode		Fast-Mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	$C_L=30\text{pF}$, $R=(V_p/I_{OL})^{59}$	0	100	0	400	kHz	
(反復)「スタート」条件ホールド時間 SDA ↓→SCL ↓	t _{HDDSTA}		4.0	-	0.6	-	μs	
SCL クロック "L"幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック "H"幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑→SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓→ SDA ↓↑	t _{HDDAT}		0	3.45^{60}	0	0.9^{61}	μs	
データセットアップ時間 SDA ↓↑→ SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑→SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と「スタート」条件 との間のバスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	-	$2t_{CYCP}^{62}$	-	$2t_{CYCP}^{62}$	-	ns	I ² C Slave は 対象外

Standard-mode 使用時は、APB バスクロックを 2MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8MHz 以上に設定してください。



⁵⁹ R, C は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

⁶⁰ 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間 (t_{LOW}) を延長していないということを満たさなければなりません。

⁶¹ Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用することはできますが、要求される条件 t_{SUDAT} ≥ 250ns を満足しなければなりません。

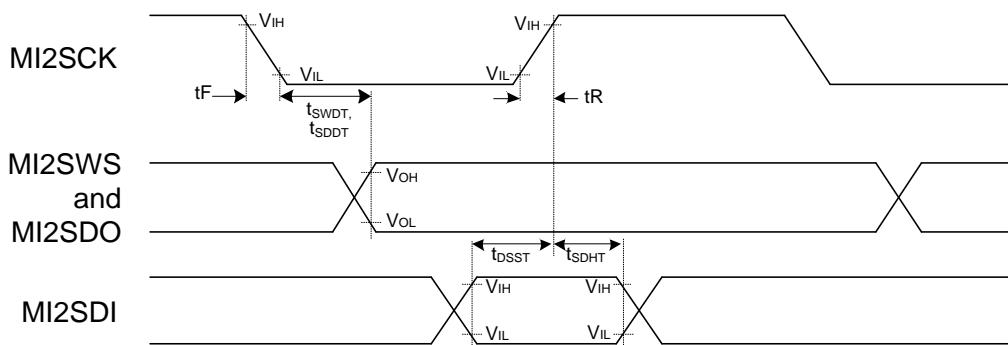
⁶² t_{CYCP} は、APB バスクロックのサイクル時間です。ベースタイマが接続されている APB バス番号については「ペリフェラル・アドレスマップ」を参照してください。

11.4.12 I²S タイミング (MFS-I²S タイミング)

Master Mode タイミング

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		単位
				最小	最大	最小	最大	
MI2SCK 周波数 ⁶³	F _{MI2SCK}	MI2SCKx	CL=30pF	-	6.144	-	6.144	MHz
I ² S クロックサイクル時間 ⁶³	t _{ICYC}	MI2SCKx		4t _{CYCP}	-	4t _{CYCP}	-	ns
I ² S クロックデューティ	Δ	MI2SCKx		45%	55%	45%	55%	
MI2SCK↓ → MI2SWS 遅延時間	t _{SWDT}	MI2SCKx, MI2SWSx		-30	+30	-20	+20	ns
MI2SCK↓ → MI2SDO 遅延時間	t _{SDDT}	MI2SCKx, MI2SDOx		-30	+30	-20	+20	ns
MI2SDI → MI2SCK↑ セットアップ時間	t _{DSST}	MI2SCKx, MI2SDIx		50	-	36	-	ns
MI2SCK↑ → MI2SDI ホールド時間	t _{SDHT}	MI2SCKx, MI2SDIx		0	-	0	-	ns
MI2SCK 立下り時間	t _F	MI2SCKx		-	5	-	5	ns
MI2SCK 立上り時間	t _R	MI2SCKx		-	5	-	5	ns

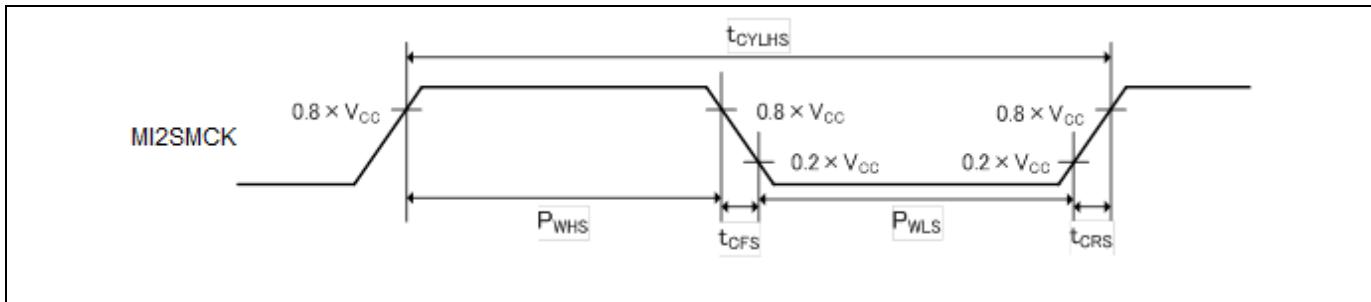


⁶³I²S clock は PCLK(t_{ICYC})を分周して f_{I2SCK}より低い周波数にする必要があります。詳細はペリフェラルマニュアル通信マクロ編の I²S の章を参照ください。

MI2SMCK 入力規格

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f _{CHS}	MI2SMCK	-	-	12.288	MHz	
入力クロック周期	t _{CYLHS}	-	-	81.3	-	ns	
入力クロックパルス幅	-	-	P _{WHS} /t _{CYLHS} P _{WLS} /t _{CYLHS}	45	55	%	外部クロック時
入力クロック立上り、立下り時間	t _{CFS} t _{CRS}	-	-	-	5	ns	外部クロック時


MI2SMCK 出力規格

(V_{CC}=1.65 V~3.6 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力周波数	f _{CHS}	MI2SMCK	-	-	25	MHz	V _{CC} ≥2.7 V
				-	20	MHz	V _{CC} <2.7 V

11.4.13 Smart Card インタフェース規格

(V_{CC}=1.65 V~3.3 V, V_{SS}=0 V, T_A=-40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
Output 立上り時間	t _R	ICx_VCC, ICx_RST, ICx_CLK, ICx_DATA	C _L =30 pF	4	20	ns	
Output 立下り時間	t _F			4	20	ns	
Output クロック周波数	f _{CLK}			-	20	MHz	
サイクルデューティ	Δ	ICx_CLK		45%	55%		

■Smart Card リーダ機能として使用する場合は外部プルアップ提供 (20 kΩ~50 kΩ) を ICx_CIN ピンに適用する必要があります。

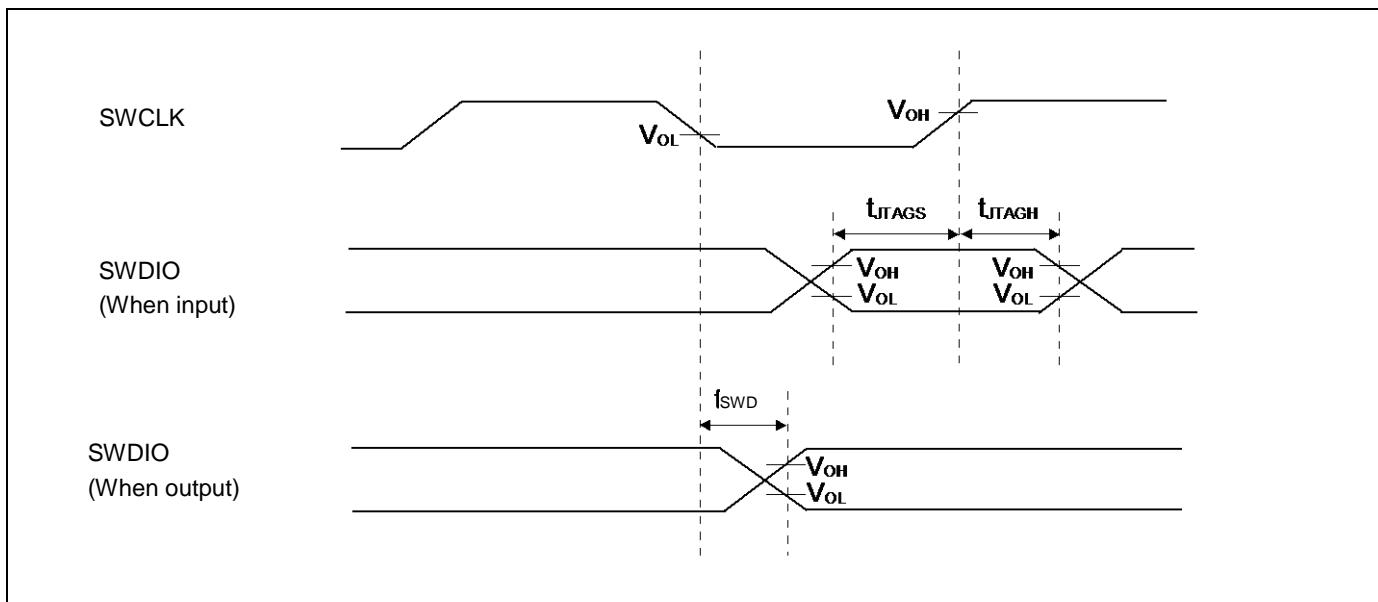
11.4.14 SW-DP タイミング

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SWDIO セットアップ時間	t _{sws}	SWCLK, SWDIO	-	15	-	ns	
SWDIO ホールド時間	t _{swh}	SWCLK, SWDIO	-	15	-	ns	
SWDIO 遅延時間	t _{swd}	SWCLK, SWDIO	-	-	45	ns	

<注意事項>

- 外部負荷容量 $C_L=30\text{ pF}$ 時



11.5 12ビット A/D コンバータ

A/D コンバータ電気的特性 (Preliminary Values)

($V_{CC}=1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS}=0\text{ V}$, $T_A=-40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-4.5	-	4.5	LSB	
微分直線性誤差	-	-	-2.5	-	+2.5	LSB	
ゼロトランジション電圧	V_{ZT}	AN_{XX}	-15	-	+15	mV	
フルスケールトランジション電圧	V_{FST}	AN_{XX}	AVRH - 15	-	AVRH + 15	mV	
変換時間 ⁶⁴	-	-	1.0	-	-	μs	$V_{CC} \geq 2.7\text{ V}$
			4.0	-	-		$1.8 \leq V_{CC} < 2.7\text{ V}$
			10	-	-		$1.65 \leq V_{CC} < 1.8\text{ V}$
サンプリング時間 ⁶⁵	T_s	-	0.3	-	10	μs	$V_{CC} \geq 2.7\text{ V}$
			1.2	-			$1.8 \leq V_{CC} < 2.7\text{ V}$
			3.0	-			$1.65 \leq V_{CC} < 1.8\text{ V}$
コンペアクロック周期 ⁶⁶	T_{CCK}	-	50	-	1000	ns	$V_{CC} \geq 2.7\text{ V}$
			200	-			$1.8 \leq V_{CC} < 2.7\text{ V}$
			500	-			$1.65 \leq V_{CC} < 1.8\text{ V}$
動作許可状態遷移時間	T_{STT}	-	-	-	1.0	μs	
アナログ入力静電容量	C_{AIN}	-	-	-	7.5	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	2.2	$k\Omega$	$V_{CC} \geq 2.7\text{ V}$
					5.5		$1.8 \leq V_{CC} < 2.7\text{ V}$
					10.5		$1.65 \leq V_{CC} < 1.8\text{ V}$
チャネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	AN_{XX}	-	-	5	μA	
アナログ入力電圧	-	AN_{XX}	V_{SS}	-	AVRH	V	
基準電圧	-	AVRH	2.7	V_{CC}	V	V	$V_{CC} \geq 2.7\text{ V}$
			V_{CC}				$V_{CC} < 2.7\text{ V}$
		AVRL	V_{SS}		VSS	V	

⁶⁴ 変換時間はサンプリング時間 (T_s) + コンペア時間 (T_c) の値です。

最小変換時間の条件は、

$V_{CC} \geq 2.7\text{ V}$	サンプリング時間 : 0.3 μs , コンペア時間:0.7 μs
$1.8 \leq V_{CC} < 2.7\text{ V}$	サンプリング時間 : 1.2 μs , コンペア時間:2.8 μs
$1.65 \leq V_{CC} < 1.8\text{ V}$	サンプリング時間 : 3.0 μs , コンペア時間:7.0 μs

です。

必ずサンプリング時間(T_s), コンペアクロック周期(T_{CCK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM0+ファミリペリフェラルマニュアルアナログマクロ編』の『CHAPTER: A/D コンバータ』の章を参照してください。

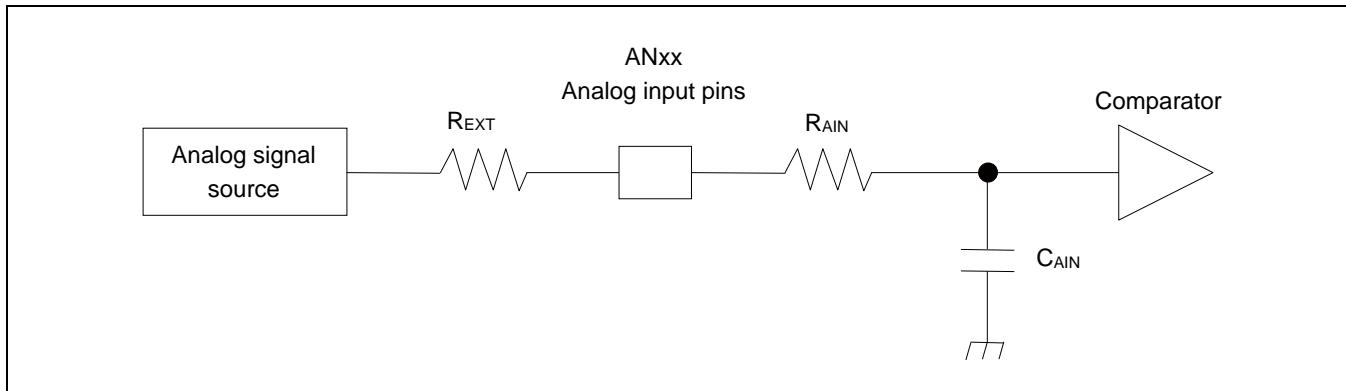
A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

A/D コンバータが接続されている APB バス番号については「ペリフェラル・アドレスマップ」を参照してください。.

サンプリングクロックおよびコンペアクロックはベースクロック (HCLK) から生成されます。

⁶⁵ 外部インピーダンスにより必要なサンプリング時間は変わります。必ず(式 1)を満たすようにサンプリング時間を設定してください。

⁶⁶ コンペア時間 (T_c) は (式 2) の値です。



(式 1) $t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_s : サンプリング時間

R_{AIN} : A/D コンバータの入力抵抗 = $2.2\text{ k}\Omega$ with $2.7 \leq V_{cc} \leq 3.6$

A/D コンバータの入力抵抗 = $5.5\text{ k}\Omega$ with $1.8 \leq V_{cc} \leq 2.7$

A/D コンバータの入力抵抗 = $10.5\text{ k}\Omega$ with $1.65 \leq V_{cc} \leq 1.8$

C_{AIN} : A/D コンバータの入力容量 = 7.5 pF with $2.7 \leq V_{cc} \leq 3.6$

R_{EXT} : 外部回路の出力インピーダンス

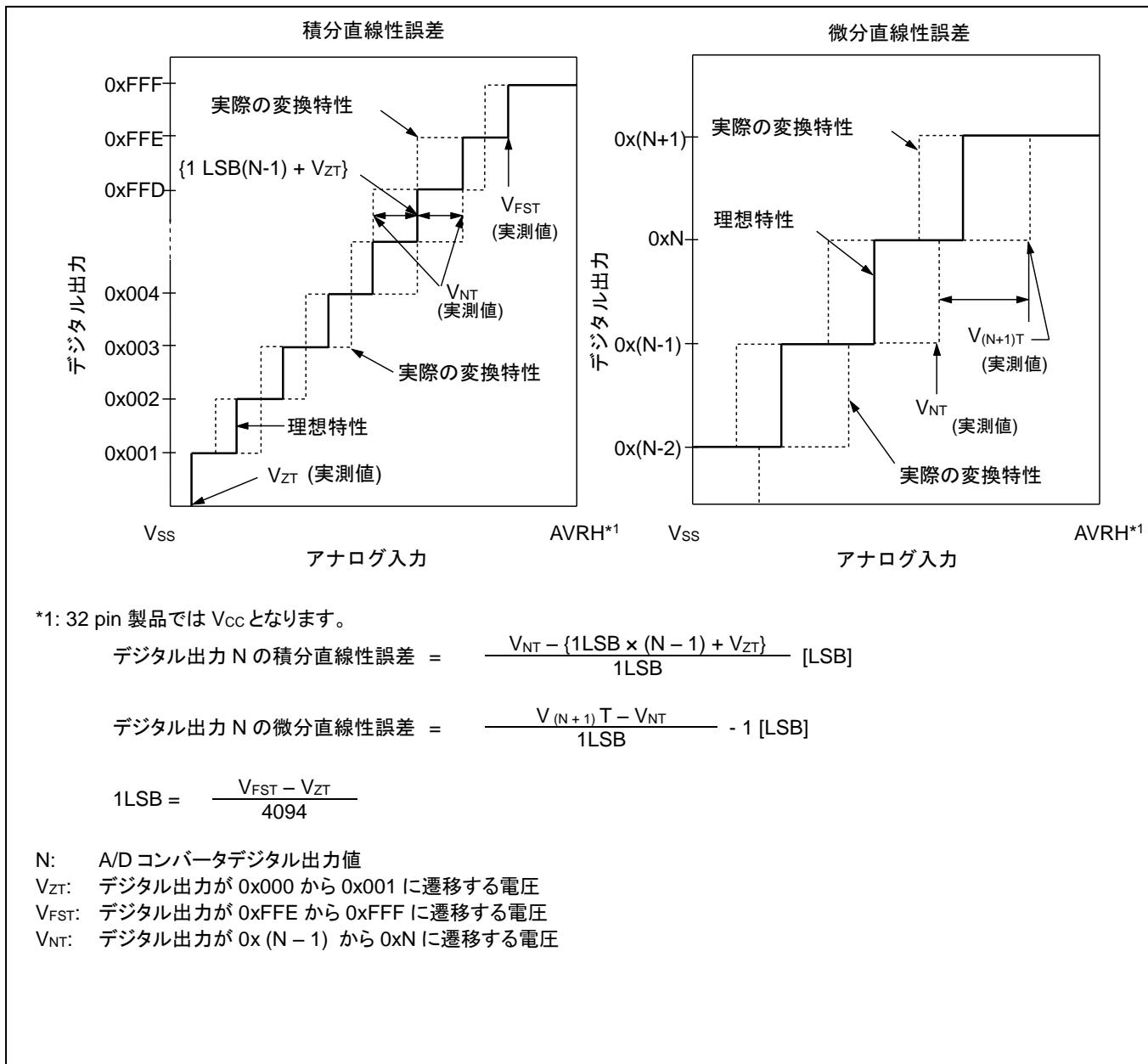
(式 2) $t_c = t_{cCK} \times 14$

t_c : コンペア時間

t_{cCK} : コンペアクロック周期

12ビットA/Dコンバータの用語の定義

- 分解能: A/Dコンバータにより識別可能なアナログ変化。
- 積分直線性誤差: ゼロトランジション点(0b000000000000 \longleftrightarrow 0b000000000001)とフルスケールトランジション点(0b111111111110 \longleftrightarrow 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを1 LSB変化させるのに必要な入力電圧の理想値からの偏差



*1: 32 pin 製品では V_{CC} となります。

$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N-1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/Dコンバタデジタル出力値

V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧

V_{FST}: デジタル出力が 0xFFE から 0xFFFF に遷移する電圧

V_{NT}: デジタル出力が 0x(N-1) から 0xN に遷移する電圧

11.6 USB Characteristics

($V_{CC}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

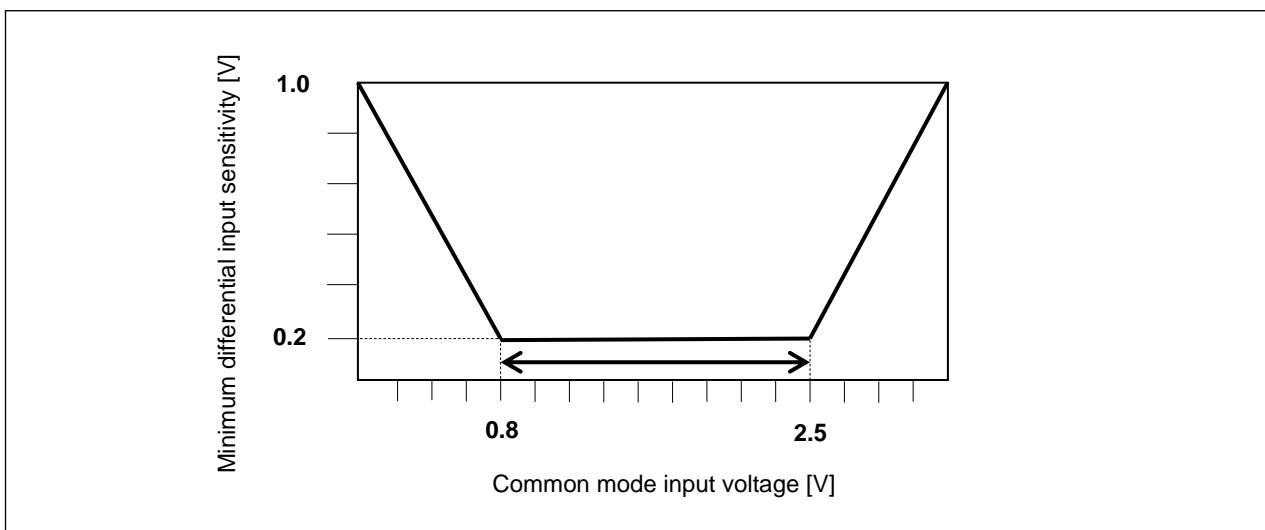
項目	記号	端子名	条件	規格値		単位	備考	
				最小	最大			
入力特性	入力 H レベル電圧	V _{IH}	-	2.0	$V_{CC} + 0.3$	V	1	
	入力 L レベル電圧			$V_{SS} - 0.3$	0.8	V	1	
	差動入力感度			0.2	-	V	2	
	差動コモンモードレンジ			0.8	2.5	V	2	
出力特性	出力 H レベル電圧	V _{OH}	UDP0, UDM0	外部プルアップ 抵抗=15 kΩ	2.8	3.6	V	3
	出力 L レベル電圧			外部プルアップ 抵抗=15 kΩ	0.0	0.3	V	3
	クロスオーバ電圧			-	1.3	2.0	V	4
	立上り時間			Full-speed	4	20	ns	5
	立下り時間			Full-speed	4	20	ns	5
	立上り/立下り時間マッチング			Full-speed	90	111.11	%	5
	出力インピーダンス			Full-speed	28	44	Ω	6
	立上り時間			Low-speed	75	300	ns	7
	立下り時間			Low-speed	75	300	ns	7
	立上り/立下り時間マッチング			Low-speed	80	125	%	7

1: USB I/O の Single-End-Receiver のスイッチング・スレッショルド電圧は V_{IL} (Max) = 0.8 V, V_{IH} (Min) = 2.0 V (TTL 入力規格) の範囲内に設定されています。また、ノイズ感度を低下させるためヒステリシス特性を持たせています。

2: USB 差動データ信号の受信には、Differential-Receiver を使用します。

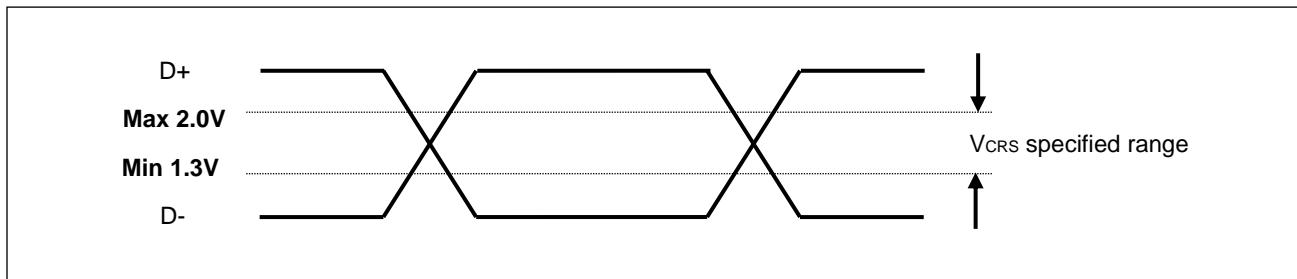
Differential-Receiver は、差動データ入力がローカル・グランド・リファレンスレベルに対し、0.8 V ~ 2.5 V の範囲内にあるときには、200 mV の差動入力感度があります。

上記電圧範囲は、コモン・モード入力電圧範囲と言われています。



3: ドライバの出力駆動能力は、Low-State (V_{OL}) で 0.3 V 以下 (対 3.6 V, 1.5 kΩ 負荷) 、High-State (V_{OH}) で 2.8 V 以上 (対グランド, 15kΩ 負荷) です。

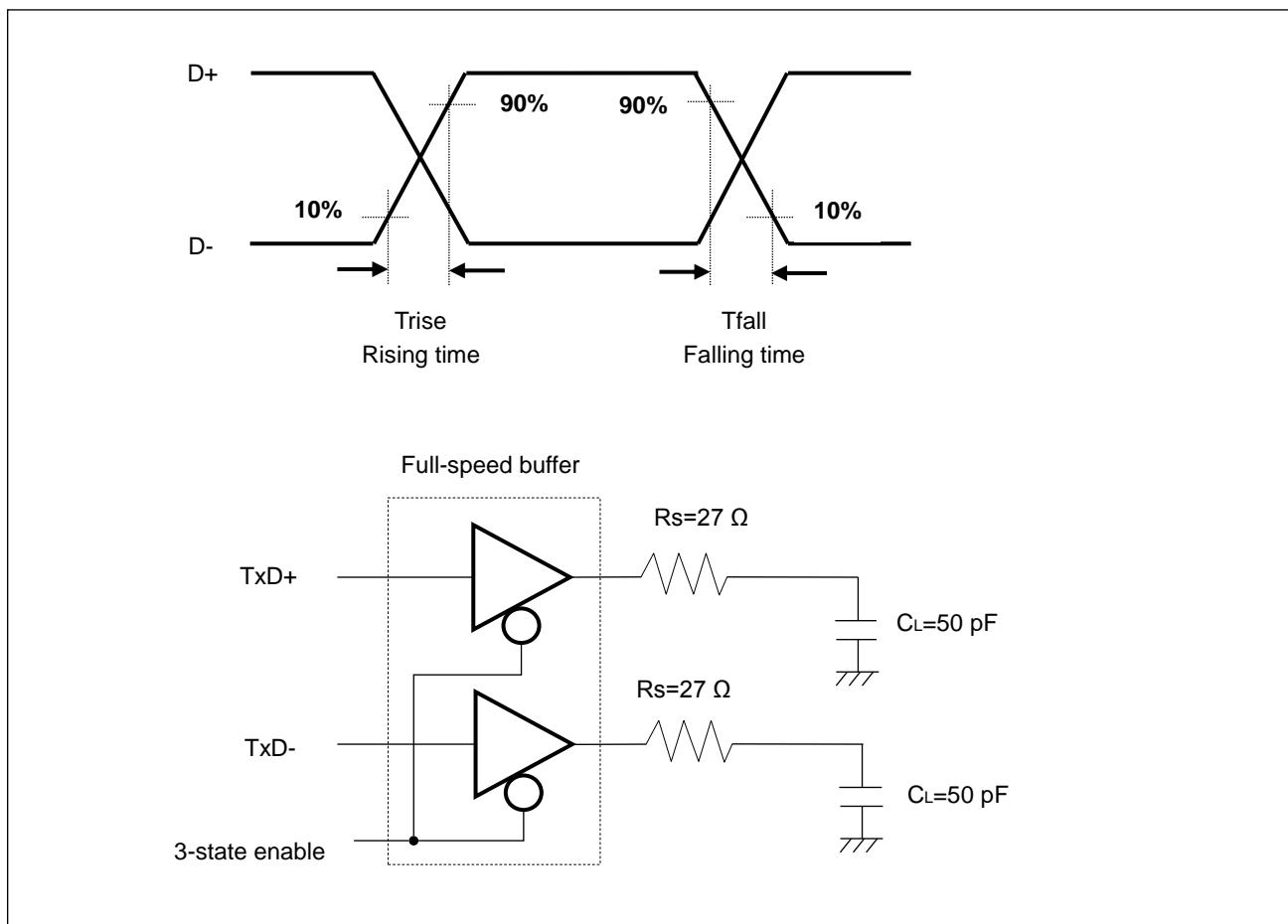
4: USB I/O の外部差動出力信号 (D+/D-) のクロス電圧は、1.3 V ~ 2.0 V の範囲内にあります。



5: Full-Speed 差動データ信号の立上り (T_{RISE}) と立下り (T_{FALL}) 時間規定です。

出力信号電圧の 10% ~ 90% 間の時間で定義されます。

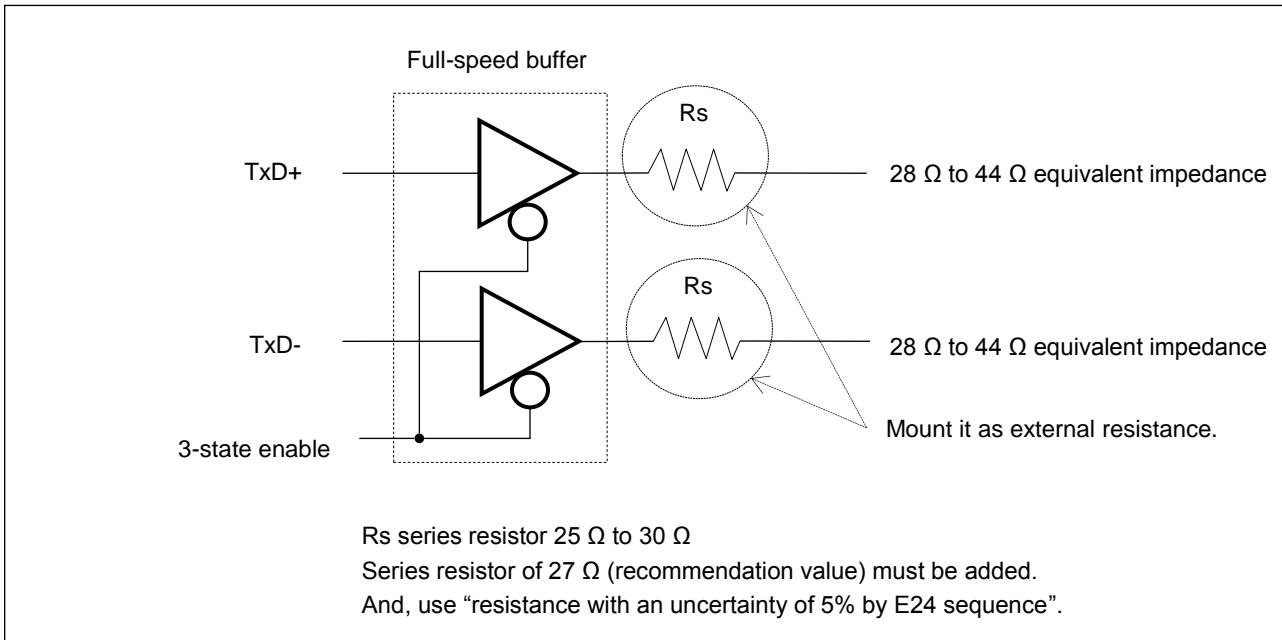
また Full-speed Buffer に関しては、 t_R/t_F は、RFI 放射を最小にするために、 t_R/t_F 比を $\pm 10\%$ 以内と規定されています。



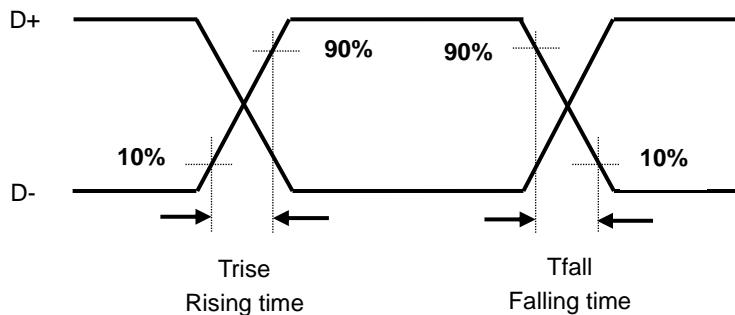
6: USB Full-speed 接続は、 $90 \Omega \pm 15\%$ の特性インピーダンス (Differential Mode) で、シールドされたツイスト・ペアケーブルを介して行われます。

USB 規格は、USB Driver の出力インピーダンスは $28 \Omega \sim 44 \Omega$ の範囲内になければならないことを規定しており、上記規格を満足し、バランスをとるために、ディスクリート直列抵抗器 (Rs) を付加することを規定しています。

本 USB I/O をご使用の際には、直列抵抗 Rs として $25 \Omega \sim 30 \Omega$ (推奨値 27Ω) を付加しご使用ください。



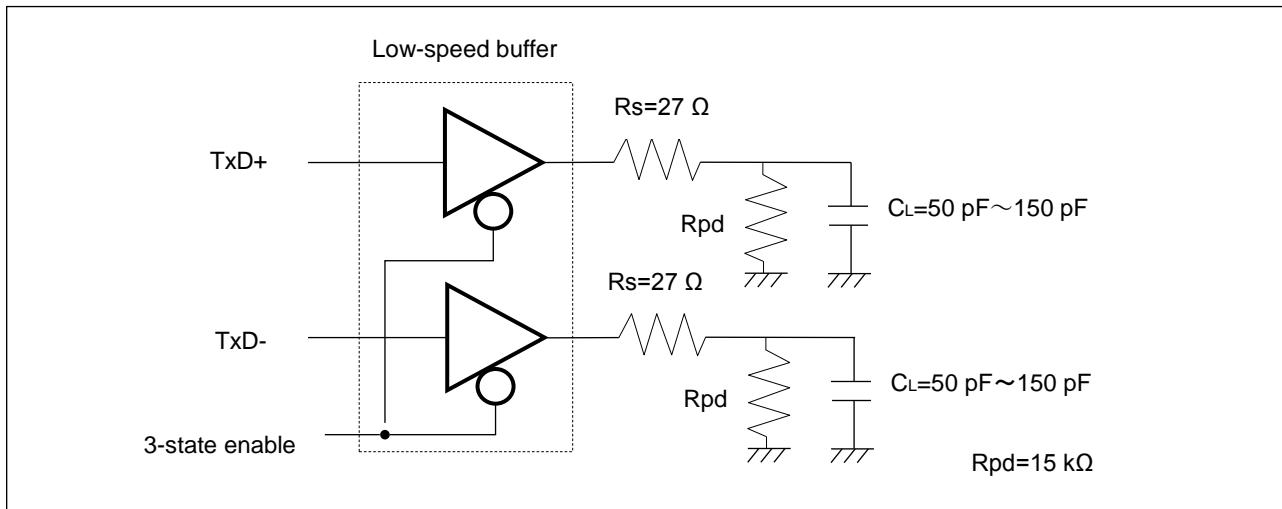
7: Low-Speed 差動データ信号の立上り (TRISE) と立下り (TFALL) 時間規定です。
 出力信号電圧の 10% ~90% 間の時間で定義されます。



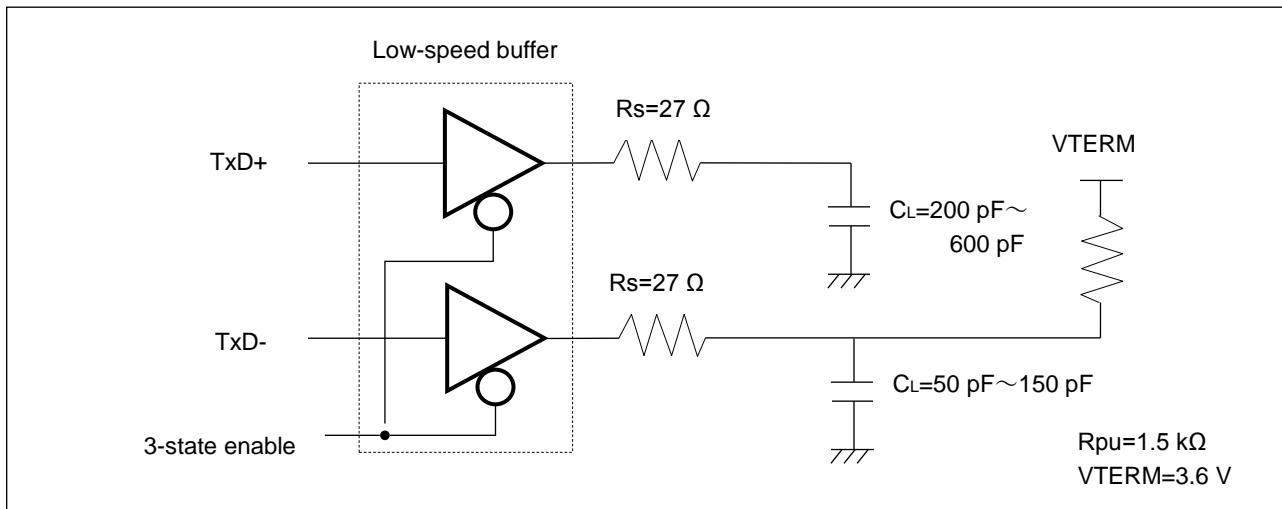
<注意事項>

- 外部負荷条件は、「Low-Speed Load (Compliance Load)」を参照してください。

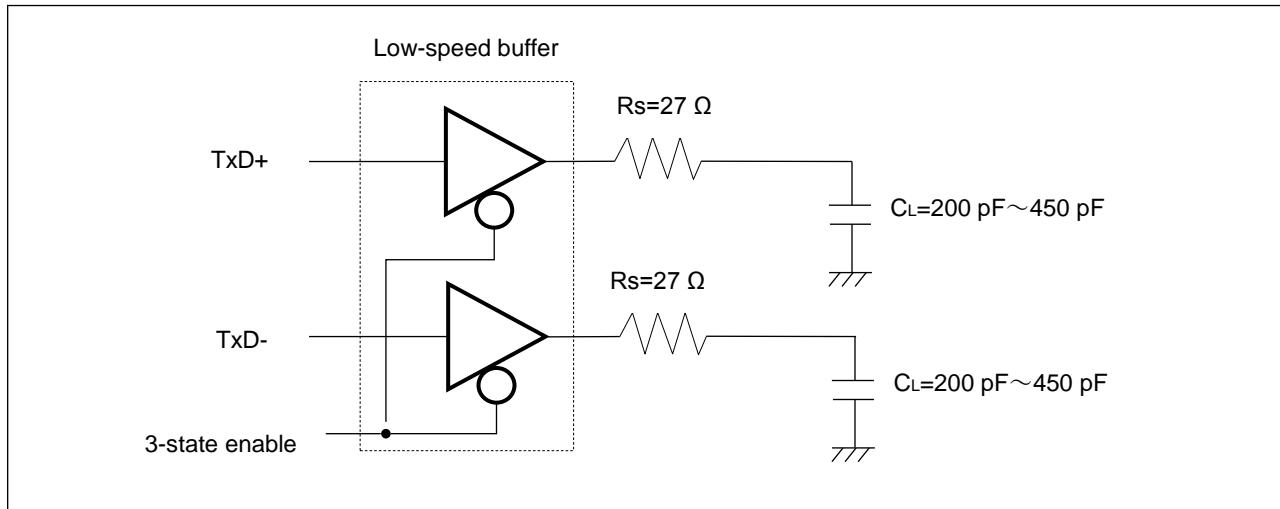
- Low-Speed Load (Upstream Port Load) – Reference 1



- Low-Speed Load (Downstream Port Load) – Reference 2



- Low-Speed Load (Compliance Load)



11.7 低電圧検出特性

11.7.1 低電圧検出リセット

($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	Fixed ⁶⁷	1.38	1.50	1.60	V	電圧降下時
解除電圧	VDH		1.43	1.55	1.65	V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	8160 × t _{CYCP} ⁶⁸	μs	
LVD 検出遅延時間	T _{LVDDL}	-	-	-	200	μs	

⁶⁷低電圧検出リセットの電圧値は常に固定されています。

⁶⁸t_{CYCP} は APB1 バスクロックのサイクル時間です。

11.7.2 低電圧検出割込み

($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI=00100	1.56	1.70	1.84	V	電圧降下時
解除電圧	VDH		1.61	1.75	1.89	V	電圧上昇時
検出電圧	VDL	SVHI=00101	1.61	1.75	1.89	V	電圧降下時
解除電圧	VDH		1.66	1.80	1.94	V	電圧上昇時
検出電圧	VDL	SVHI=00110	1.66	1.80	1.94	V	電圧降下時
解除電圧	VDH		1.70	1.85	2.00	V	電圧上昇時
検出電圧	VDL	SVHI=00111	1.70	1.85	2.00	V	電圧降下時
解除電圧	VDH		1.75	1.90	2.05	V	電圧上昇時
検出電圧	VDL	SVHI=01000	1.75	1.90	2.05	V	電圧降下時
解除電圧	VDH		1.79	1.95	2.11	V	電圧上昇時
検出電圧	VDL	SVHI=01001	1.79	1.95	2.11	V	電圧降下時
解除電圧	VDH		1.84	2.00	2.16	V	電圧上昇時
検出電圧	VDL	SVHI=01010	1.84	2.00	2.16	V	電圧降下時
解除電圧	VDH		1.89	2.05	2.21	V	電圧上昇時
検出電圧	VDL	SVHI=01011	1.89	2.05	2.21	V	電圧降下時
解除電圧	VDH		1.93	2.10	2.27	V	電圧上昇時
検出電圧	VDL	SVHI=01100	2.30	2.50	2.70	V	電圧降下時
解除電圧	VDH		2.39	2.60	2.81	V	電圧上昇時
検出電圧	VDL	SVHI=01101	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		2.48	2.70	2.92	V	電圧上昇時
検出電圧	VDL	SVHI=01110	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		2.58	2.80	3.02	V	電圧上昇時
検出電圧	VDL	SVHI=01111	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI=10000	2.67	2.90	3.13	V	電圧降下時
解除電圧	VDH		2.76	3.00	3.24	V	電圧上昇時
検出電圧	VDL	SVHI=10001	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI=10010	2.85	3.10	3.35	V	電圧降下時
解除電圧	VDH		2.94	3.20	3.46	V	電圧上昇時
検出電圧	VDL	SVHI=10011	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	$8160 \times t_{CYCP}^{69}$	μs	
LVD 検出遅延時間	T _{LVDDL}	-	-	-	200	μs	

⁶⁹t_{CYCP} は APB1 バスクロックのサイクル時間です。

11.8 フラッシュメモリ書き込み/消去特性

($V_{CC}=1.65V \sim 3.6V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

項目	規格値 ⁷⁰			単位	備考
	最小	標準	最大		
セクタ消去時間	Large sector	-	1.1	2.7	s 内部での消去前書き込み時間を含む
	Small sector	-	0.3	0.9	
ハーフワード(16ビット)書き込み時間	-	30	528	μs	システムレベルのオーバヘッド時間は除く
チップ消去時間	-	4.5	11.7	s	内部での消去前書き込み時間を含む

書き込みサイクルとデータ保持時間

書き込み/消去サイクル	保持時間(年)	備考
1,000	20	信頼性評価結果からの換算値(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算している)
10,000	10	

⁷⁰ 標準は出荷直後の代表値、最大は書換え1万回までの保証値です。

11.9 スタンバイ復帰時間

11.9.1 復帰要因:割込み/WKUP

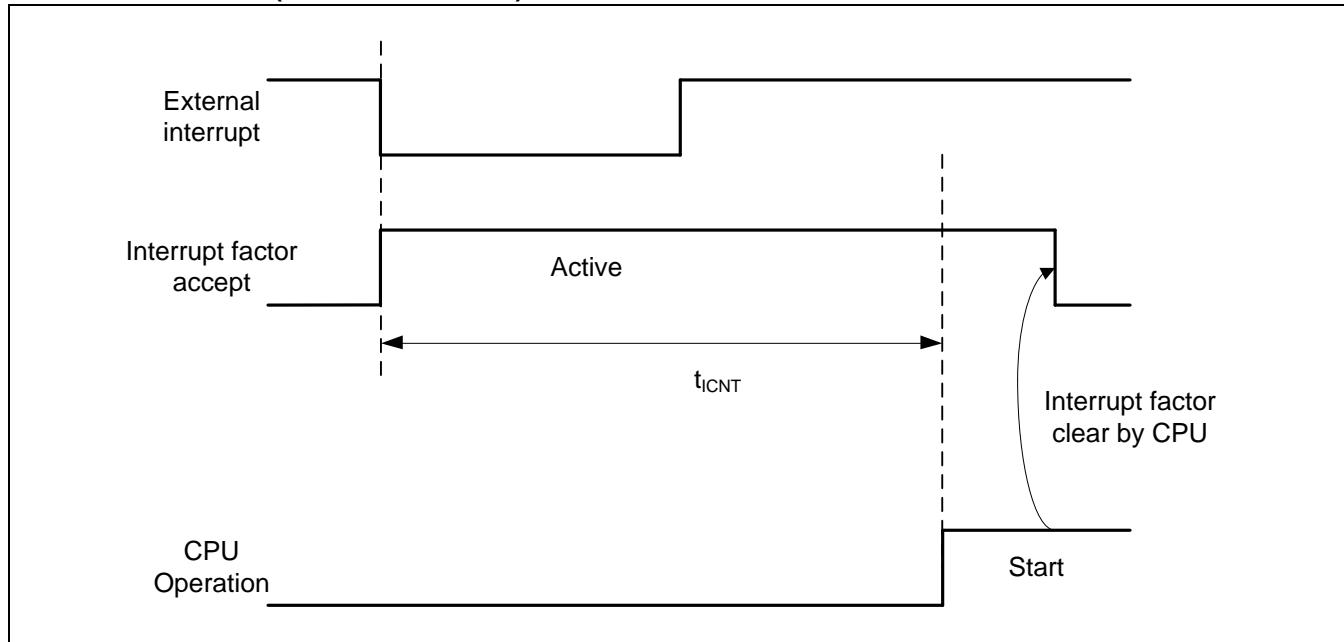
内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

復帰カウント時間

($V_{CC}=1.65V \sim 3.6V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

項目		記号	規格値		単位	備考
現在のモード	復帰先のモード		標準	最大 ⁷¹		
スリープモード	各ランモード	t _{ICNT}	4*HCLK	μs	高速 CR オン時	
タイマモード	高速 CR ランモード メインランモード PLL ランモード		12*HCLK	13*HCLK	μs	高速 CR オン時
	低速 CR ランモード サブランモード		34+12*HCLK	72+13*HCLK	μs	
ストップモード	高速 CR ランモード 低速 CR ランモード		34+12*HCLK	72+13*HCLK	μs	
	メインランモード サブランモード PLL ランモード		34+12*HCLK +toscwt	72+13*HCLK +toscwt	μs	⁷²
	高速 CR ランモード 低速 CR ランモード サブランモード		34+12*HCLK	72+13*HCLK	μs	
RTC モード	メインランモード PLL ランモード		34+12*HCLK +toscwt	72+13*HCLK +toscwt	μs	⁷²
	ディープスタンバイ RTC モード ディープスタンバイストップモード		43	281	μs	

スタンバイ復帰動作例 (外部割込み復帰時⁷³)

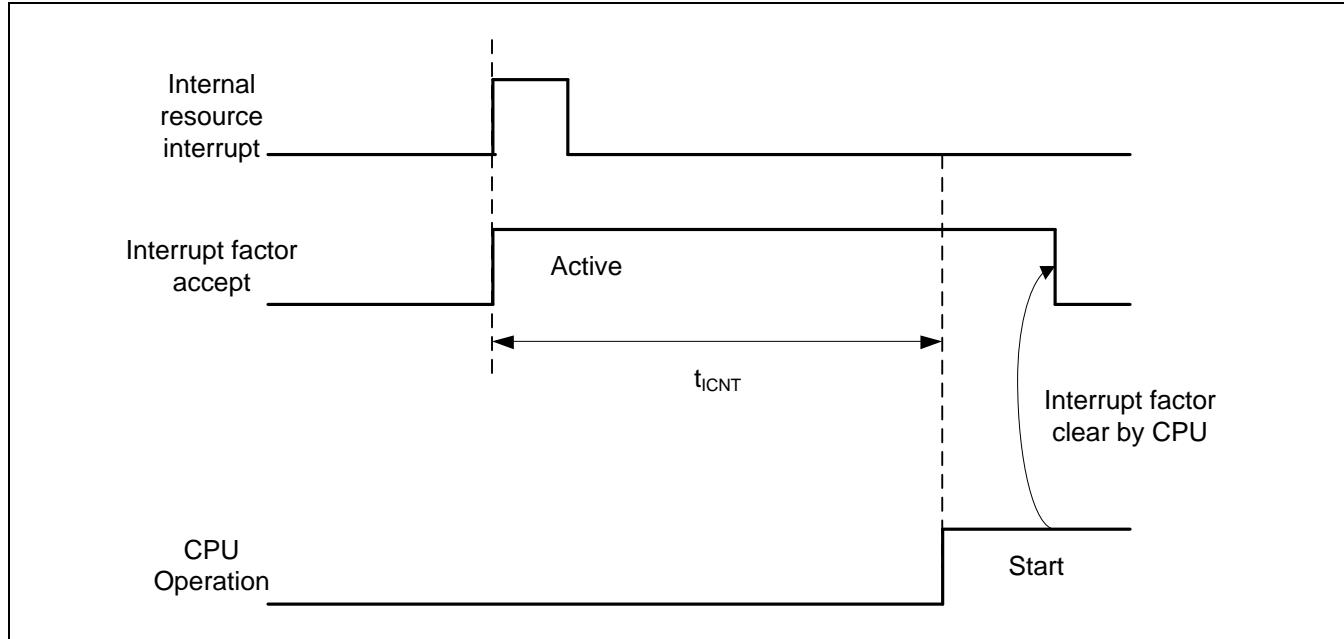


⁷¹規格値の最大値は動作環境条件に依存します。

⁷²toscwt: 発振安定待ち時間

⁷³外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例 (内部リソース割込み復帰時⁷⁴⁾



＜注意事項＞

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM0+ ファミリペリフェラルマニュアル本編』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM0+ファミリペリフェラルマニュアル本編』の『CHAPTER 6: 低消費電力モード』を参照してください。

⁷⁴低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

11.9.2 復帰要因:リセット

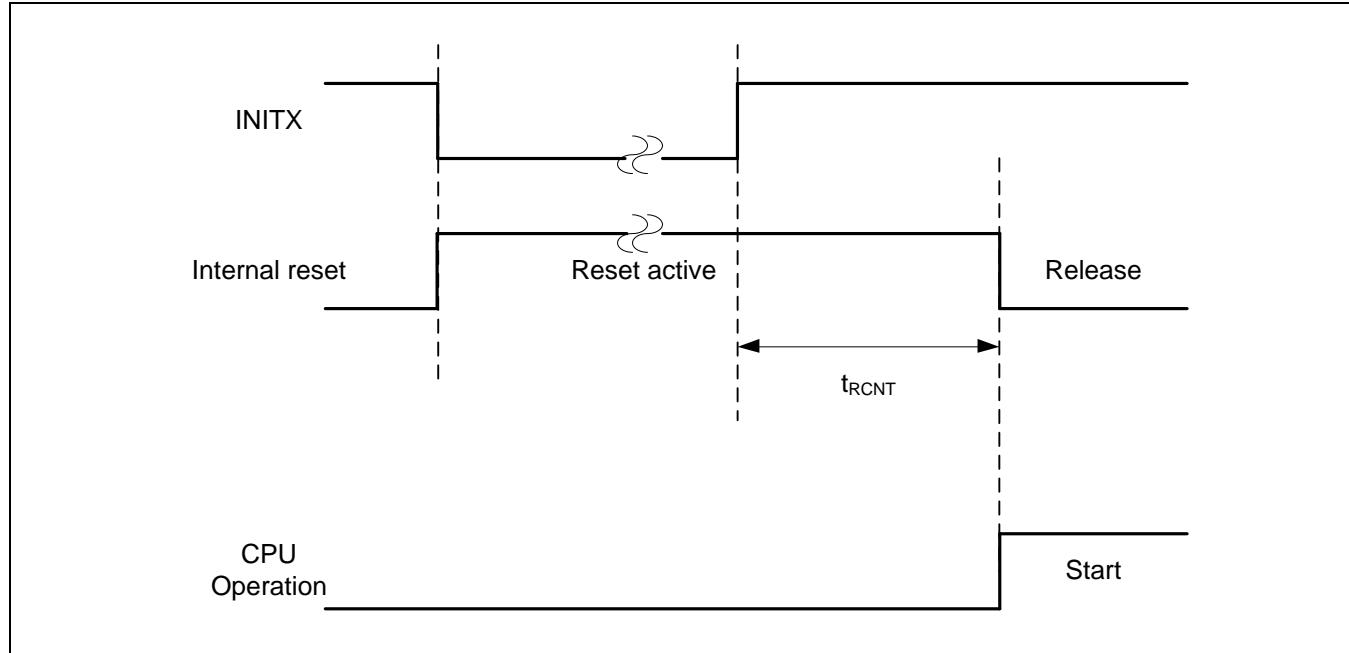
リセット解除からプログラム動作開始までの時間を示します。

復帰カウント時間

($V_{CC}=1.65V \sim 3.6V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

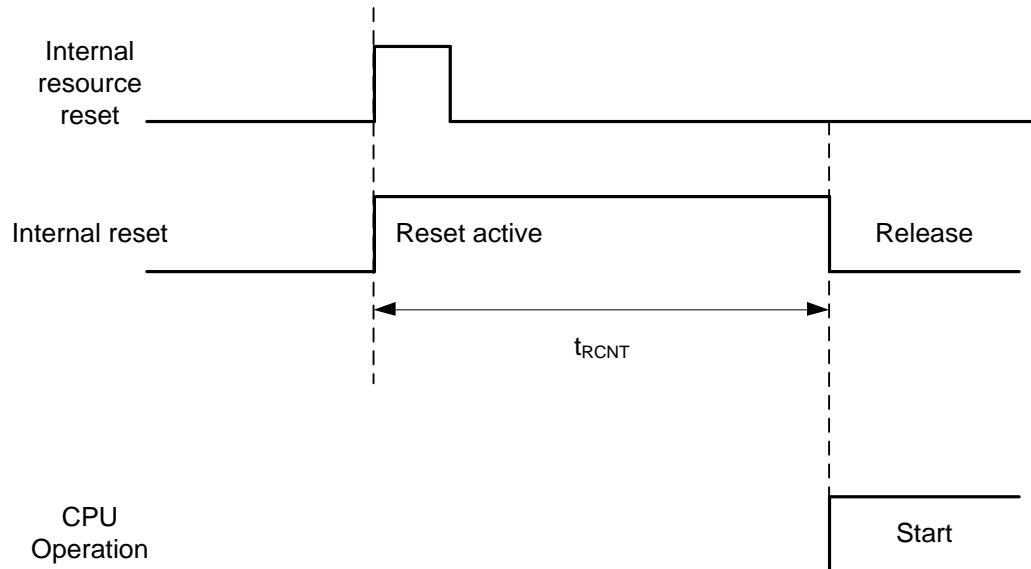
項目 現在のモード	復帰先のモード	記号	規格値		単位	備考
			標準	最大 ⁷⁵		
高速 CR スリープモード	高速 CR ランモード	t _{RCNT}	20	22	μs	高速 CR オン時
メインスリープモード			50	106	μs	高速 CR オン時
PLL スリープモード			112	137	μs	高速 CR オン時
低速 CR スリープモード			20	22	μs	高速 CR オン時
サブスリープモード			87	159	μs	
高速 CR タイマモード			148	209	μs	
メインタイマモード			45	68	μs	
PLL タイマモード			43	281	μs	
低速 CR タイマモード						
サブタイマモード						
ストップモード						
RTC モード						
ディープスタンバイ RTC モード						
ディープスタンバイストップモード						

スタンバイ復帰動作例 (INITX 復帰時)



⁷⁵規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例 (内部リソースリセット復帰時⁷⁶⁾



<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM0+ファミリペリフェラルマニュアル本編』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM0+ファミリペリフェラルマニュアル本編』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「[11.4.7 パワーオンリセットタイミング](#)」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、
メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット、CSV リセットを指します。

⁷⁶低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

12.オーダ型格

型格	フラッシュ [K バイト]	SRAM [K バイト]	USB2.0	I ² S	パッケージ依存の機能 (次の表を参照)	パッケージ (トレイ)
S6E1C32D0AGV20000	128	16	✓	✓	64 ピン	プラスチック・LQFP (0.50mm ピッチ), 64 ピン (LQD064)
S6E1C31D0AGV20000	64	12	✓	✓		
S6E1C32C0AGV20000	128	16	✓	✓	48 ピン	プラスチック・LQFP (0.50mm ピッチ), 48 ピン (LQA048)
S6E1C31C0AGV20000	64	12	✓	✓		
S6E1C32B0AGP20000	128	16	✓		32 ピン	プラスチック・LQFP (0.80mm ピッチ), 32 ピン (LQB032)
S6E1C31B0AGP20000	64	12	✓			
S6E1C32D0AGN20000	128	16	✓	✓	64 ピン	プラスチック・QFN64 (0.50mm ピッチ), 64 ピン (WNS064)
S6E1C31D0AGN20000	64	12	✓	✓		
S6E1C32C0AGN20000	128	16	✓	✓	48 ピン	プラスチック・QFN48 (0.50mm ピッチ), 48 ピン (WNY048)
S6E1C31C0AGN20000	64	12	✓	✓		
S6E1C32B0AGN20000	128	16	✓		32 ピン	プラスチック・QFN32 (0.50mm ピッチ), 32 ピン (WNU032)
S6E1C31B0AGN20000	64	12	✓			
S6E1C32B0AGU1H000	128	16	✓		30 ピン	プラスチック・WLCSP30 (0.40mm ピッチ), 30 ピン (U4M030) ※ 本型格のみ7インチリール
S6E1C12D0AGV20000	128	16		✓		
S6E1C11D0AGV20000	64	12		✓	64 ピン	プラスチック・LQFP (0.50mm ピッチ), 64 ピン (LQD064)
S6E1C12C0AGV20000	128	16		✓		
S6E1C11C0AGV20000	64	12		✓	48 ピン	プラスチック・LQFP (0.50mm ピッチ), 48 ピン (LQA048)
S6E1C12B0AGP20000	128	16				
S6E1C11B0AGP20000	64	12			32 ピン	プラスチック・LQFP (0.80 mm ピッチ), 32 ピン (LQB032)
S6E1C12D0AGN20000	128	16		✓		
S6E1C11D0AGN20000	64	12		✓	64 ピン	プラスチック・QFN64 (0.50mm ピッチ), 64 ピン (WNS064)
S6E1C12C0AGN20000	128	16		✓		
S6E1C11C0AGN20000	64	12		✓	48 ピン	プラスチック・QFN48 (0.50mm ピッチ), 48 ピン (WNY048)
S6E1C12B0AGN20000	128	16				
S6E1C11B0AGN20000	64	12			32 ピン	プラスチック・QFN32 (0.50mm ピッチ), 32 ピン (WNU032)

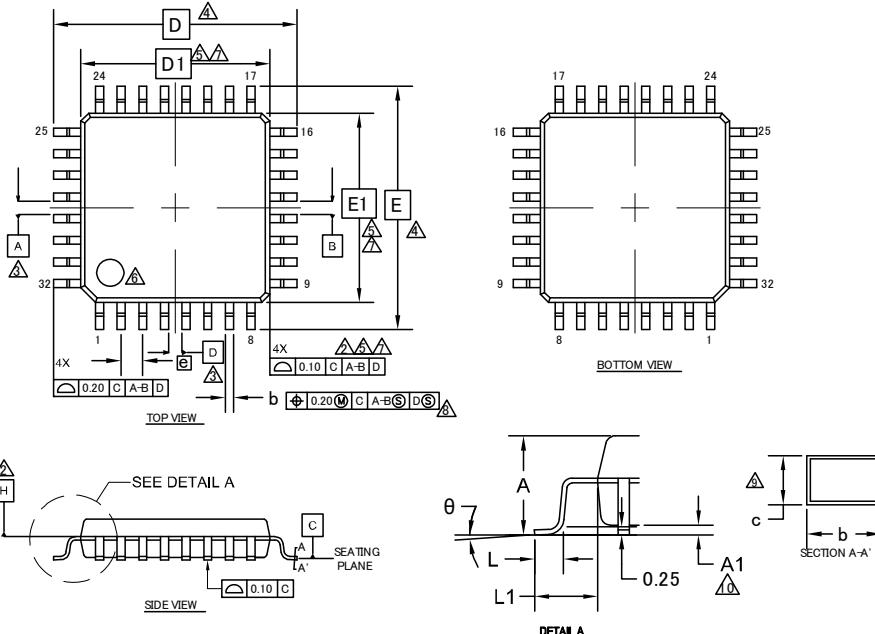
項目	パッケージ			
	30WLCSP	32LQFP 32QFN	48LQFP 48QFN	64LQFP 64QFN
端子数	30	32	48	64
マルチファンクションシリアル (UART/CSIO/I ² C/I ² S)	4 ch. (最大) Ch.0/1/3 FIFO なし Ch. 6 FIFO あり	6 ch. (最大) Ch.0/1/3 FIFO なし Ch.4/6/7 FIFO あり	6 ch. (最大) Ch.0/1/3 FIFO なし Ch.4/6/7 FIFO あり	
	I ² S: No	I ² S: 1 ch (最大) Ch. 6 FIFO あり	I ² S: 2 ch (最大) Ch. 4/6 FIFO あり	
外部割込み	7 pins (最大), NMI x 1	9 pins (最大), NMI x 1	12 pins (最大), NMI x 1	
I/O ポート	24 pins (最大)	38 pins (最大)	54 pins (最大)	
I ² C ビット A/D コンバータ	6 ch. (1 unit)	8 ch. (1 unit)	8 ch. (1 unit)	
Smart Card Interface	No			1 ch (最大)
HDMI-CEC/ リモコン受信	1ch. (最大) Ch.1	2 ch (最大) Ch.0/1		

13. 略語

略語	説明
ADC	analog-to-digital converter
ACK	acknowledge
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an ARM data transfer bus
ARM®	Advanced RISC Machine, a CPU architecture
CEC	Consumer Electronics Control, a command and control interface over HDMI (High Definition Multimedia Interface)
CMOS	complementary metal oxide semiconductor
CPU	central processing unit
CR	clock and reset
CRC	cyclic redundancy check, an error-checking protocol
CSIO	clock synchronous serial interface
CSV	clock supervisor
CTS	clear to send, a flow control signal in some data communication interfaces
DTSC	descriptor system data transfer controller
EOM	end of message
FIFO	first in, first out
GPIO	general-purpose input/output
HDMI	High Definition Multimedia Interface
HDMI-CEC	High Definition Multimedia Interface - Consumer Electronics Control, see CEC
I/F	Interface
I²C (別名 : IIC)	Inter-Integrated Circuit, a communications protocol
I²S, or IIS	Inter-IC (integrated circuit) Sound, a communications protocol
I/O	input/output, see also GPIO
IRQ	interrupt request
LIN	Local Interconnect Network, a communications protocol
LVD	low-voltage detect
MFS	multi-function serial
MSB	most significant byte
MTB	micro trace buffer
NMI	non-maskable interrupt
NVIC	nested vectored interrupt controller
OS	operating system
OSC	oscillator
PLL	phase-locked loop
PPG	programmable pulse generator
PWC	pulse-width counter
PWM	pulse-width modulator
RAM	random access memory
RX	receive
RTS	request to send, a flow control signal in some data communication interfaces
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SW-DP	serial wire debug port
TX	transmit
UART	universal asynchronous receiver transmitter
USB	Universal Serial Bus

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 32	LQB032

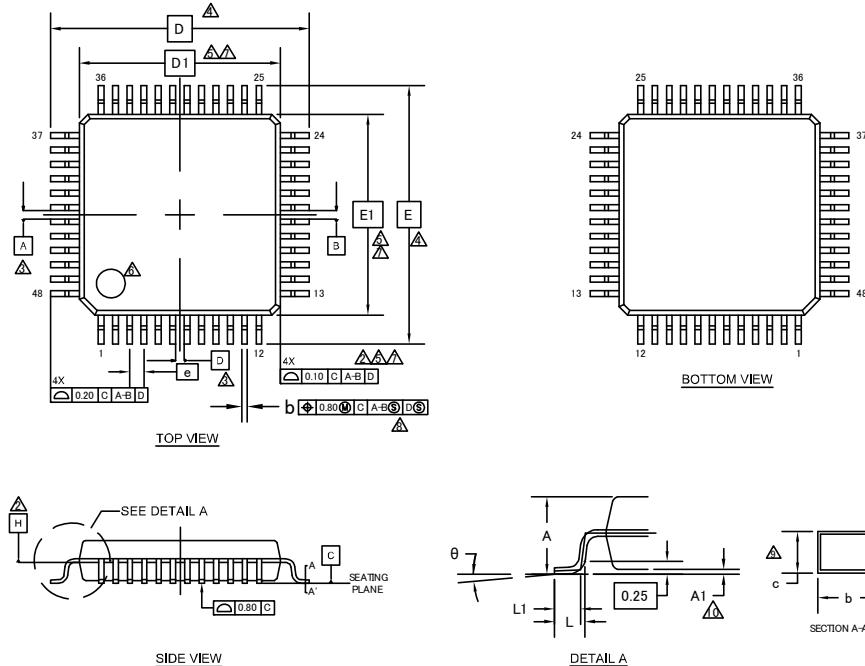


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
b	0.32	0.35	0.43
c	0.13	—	0.18
D	9.00 BSC		
D1	7.00 BSC		
e	0.80 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- △ TO BE DETERMINED AT SEATING PLANE C.
- △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- △ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- △ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Package Type	Package Code
LQFP 48	LQA048

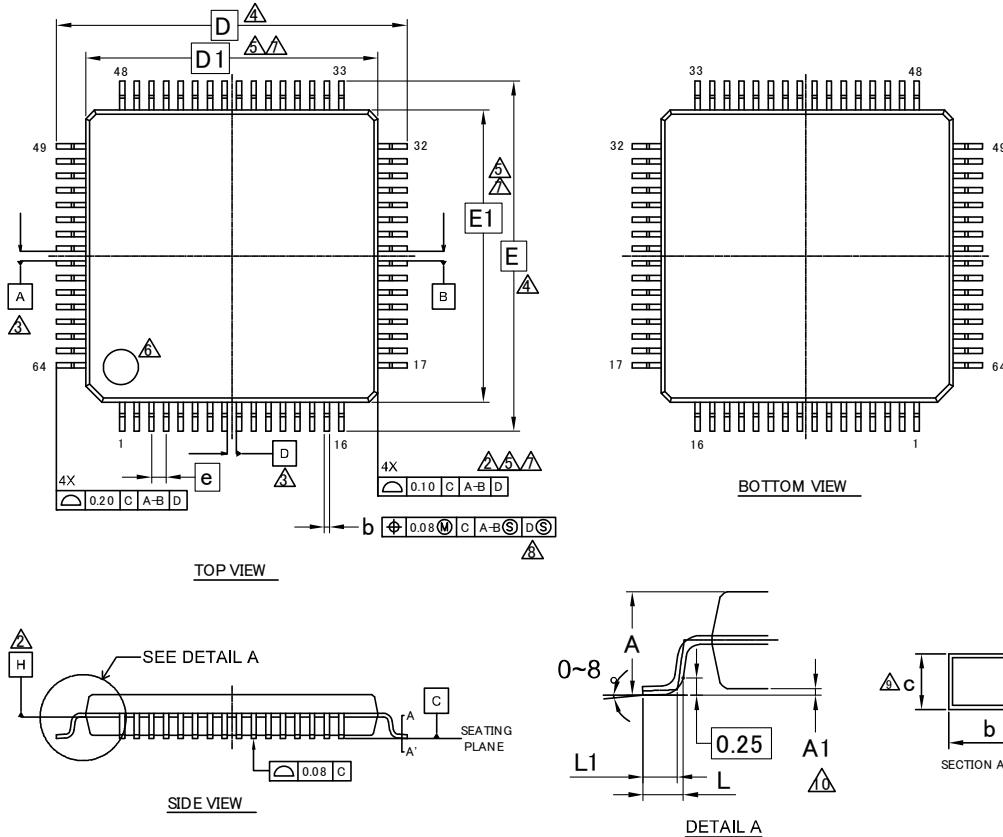


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- △ TO BE DETERMINED AT SEATING PLANE C.
- △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- △ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm, DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- △ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Package Type	Package Code
LQFP 64	LQD064

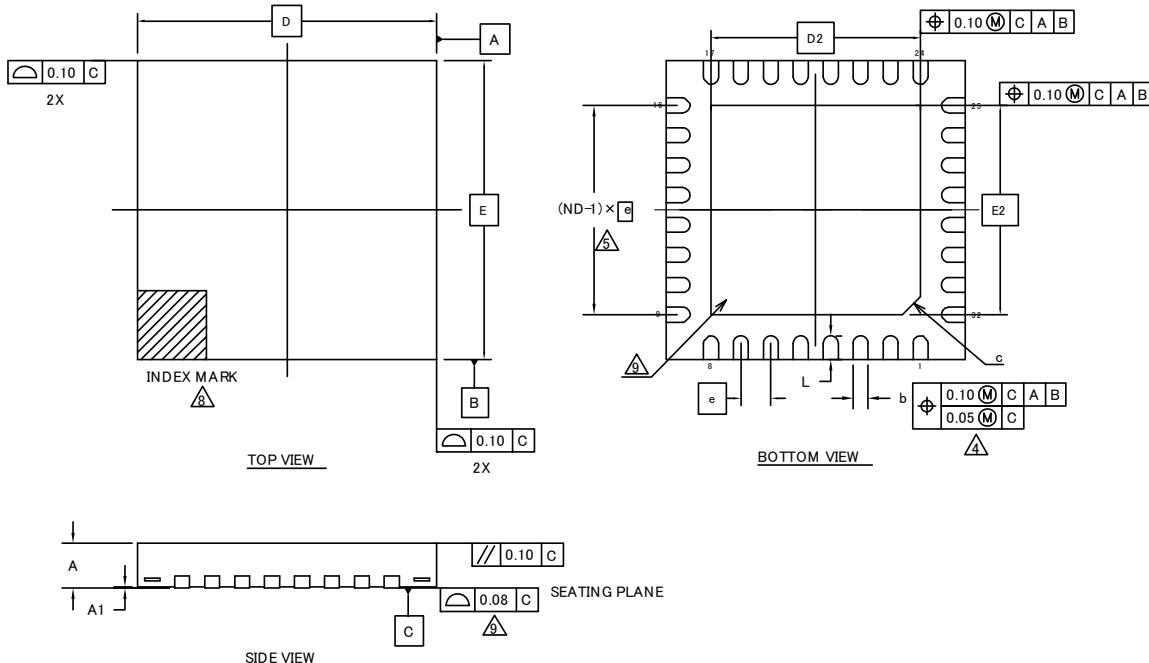


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	12.00 BSC.		
D1	10.00 BSC.		
e	0.50 BSC		
E	12.00 BSC.		
E1	10.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION, THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Package Type	Package Code
QFN 32	WNU032



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A1	0.00	—	0.05
D	5.00 BSC		
E	5.00 BSC		
b	0.20	0.25	0.30
D2	3.20 BSC		
E2	3.20 BSC		
e	0.50 BSC		
c	0.25 REF		
L	0.35	0.40	0.45

NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.

2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.

3. N IS THE TOTAL NUMBER OF TERMINALS.

4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.

5. AND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.

6. MAX. PACKAGE WARPAGE IS 0.05mm.

7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.

8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.

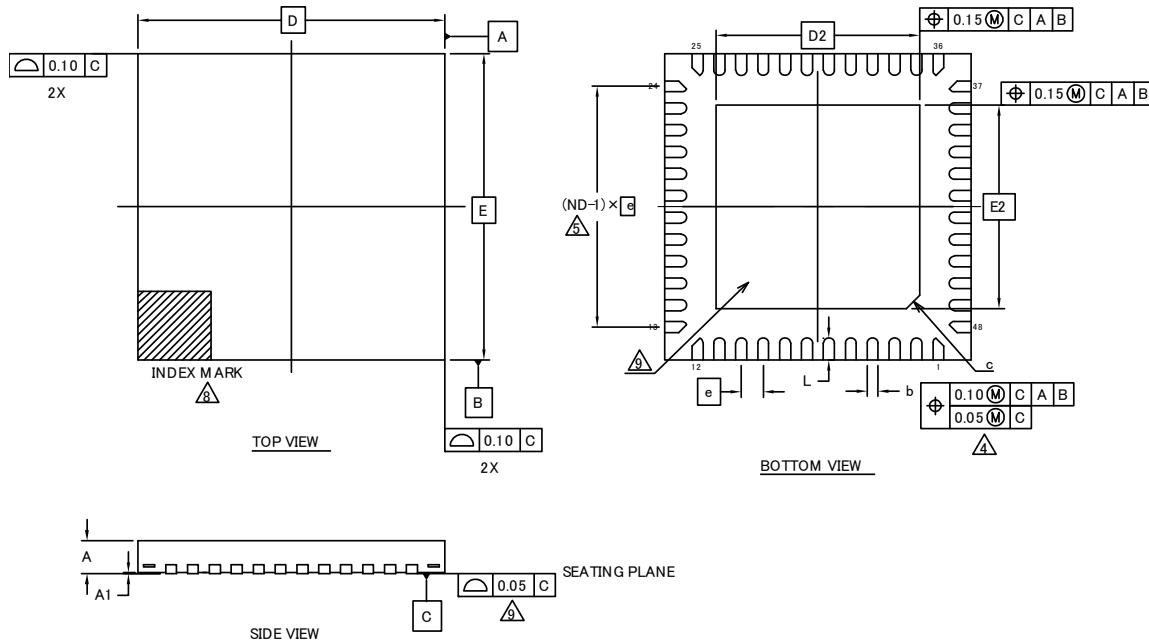
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

10. JEDEC SPECIFICATION NO. REF : N/A

002-15907 **

PACKAGE OUTLINE: 32 LEAD QFN
5.00X5.00X0.80 MM WNU032 3.20X0.20 MM EPAD (SAWN) REV#

Package Type	Package Code
QFN 48	WNY048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A ₁	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.18	0.25	0.30
D ₂	4.65 BSC		
E ₂	4.65 BSC		
e	0.50 BSC		
c	0.30 REF		
L	0.45	0.50	0.55

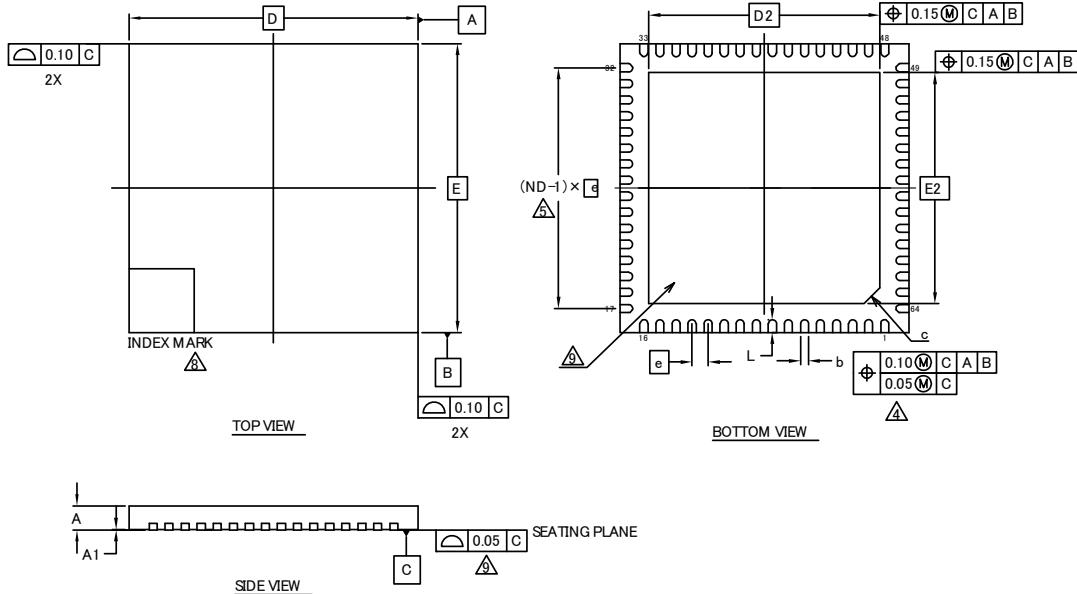
NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION 'b' APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION 'b' SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. JEDEC SPECIFICATION NO. REF : N/A

002-16422 **

PACKAGE OUTLINE: 48 LEAD QFN
7.00x7.00x0.80 MM WNY048 4.65x4.65 MM EPAD (SAWN) REV*

Package Type	Package Code
QFN 64	WNS064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A1	0.00	—	0.05
D			9.00 BSC
E			9.00 BSC
b	0.20	0.25	0.30
D2	7.20 BSC		
E2	7.20 BSC		
e	0.50 BSC		
c	0.50 REF		
L	0.35	0.40	0.45

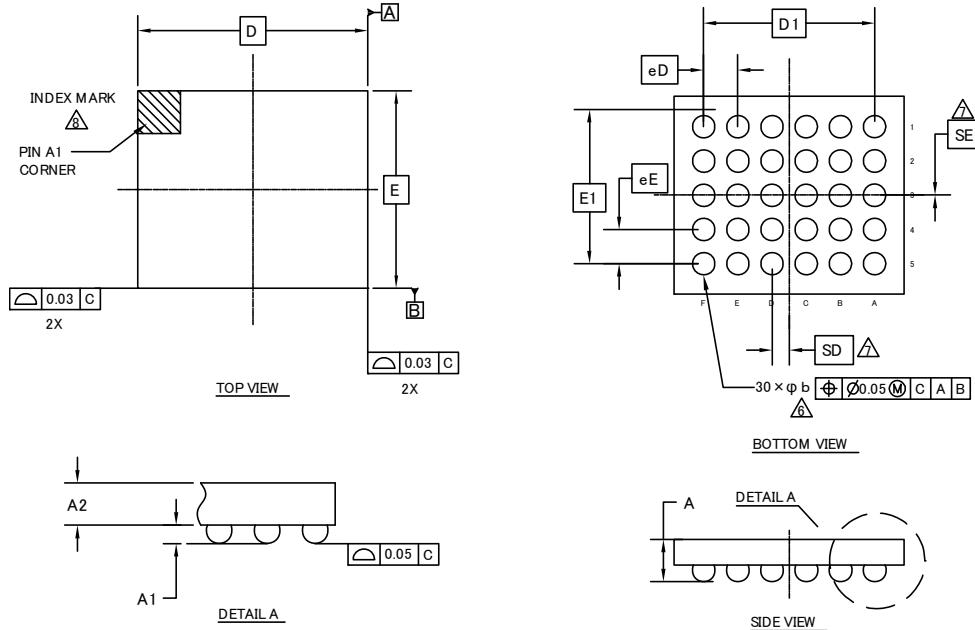
NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION 'b' APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION 'b' SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. JEDEC SPECIFICATION NO. REF : N/A

002-16424 **

PACKAGE OUTLINE 64 LEAD QFN
9.00X9.00X0.80 MM WNS064 7.20X7.20 MM EPAD (SAWN) REV**
9.00X9.00X0.80 MM WNS064 7.20X7.20 MM EPAD (SAWN) REV**

Package Type	Package Code
WLCSP 30	U4M030



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.534
A1	0.164	—	0.224
D	2.690 BSC		
E	2.310 BSC		
D1	2.000 BSC		
E1	1.600 BSC		
MD	6		
ME	5		
n	30		
φb	0.24	0.27	0.30
eD	0.400 BSC		
eE	0.40 BSC		
SD / SE	0.20 / 0 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEDEC JEP95, SECTION 4.5.
3. BALL POSITION DESIGNATION PER JEDEC JEP95, SECTION 3, SPP-010.
4. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK IN DENTATION OR OTHER MEANS.
9. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
10. JEDEC SPECIFICATION NO. REF: N/A.

15. エラッタ

本章は FM0+ S6E1C 製品ファミリのエラッタを説明します。詳細情報は、エラッタのトリガ条件、影響の範囲、シリコンチップのリビジョンの適用可能性などを含んでいます。

何かご質問がございますたら、最寄りのサイプレスの販売代理店までご連絡ください。

15.1 影響を受ける型格

型格
S6E1C32D0AGV20000, S6E1C32C0AGV20000, S6E1C32B0AGP20000, S6E1C32D0AGN20000, S6E1C32C0AGN20000, S6E1C32B0AGN20000, S6E1C32B0AGU1H000
S6E1C31D0AGV20000, S6E1C31C0AGV20000, S6E1C31B0AGP20000, S6E1C31D0AGN20000, S6E1C31C0AGN20000, S6E1C31B0AGN20000
S6E1C12D0AGV20000, S6E1C12C0AGV20000, S6E1C12B0AGP20000, S6E1C12D0AGN20000, S6E1C12C0AGN20000, S6E1C12B0AGN20000
S6E1C11D0AGV20000, S6E1C11C0AGV20000, S6E1C11B0AGP20000, S6E1C11D0AGN20000, S6E1C11C0AGN20000, S6E1C11B0AGN20000

15.2 認定の状況

製品の状態: 出荷中。

15.3 エラッタのまとめ

下表では、デバイスへのエラッタの影響を定義します。

項目	型格	シリコン版数	解決状況
[1] AHB バス マトリックスの問題	15.1 を参照	Rev B	Rev C で修正
[2] ディープスタンバイモード時の消費電流問題	15.1 を参照	Rev B, Rev C	シリコン改版の予定はありません

15.4 エラッタ詳細

15.4.1 AHB バス マトリックスの問題

■問題の定義

AHB バス マトリックスの回路は2つのマスタ インタフェース (CPU と DSTC) と4つのスレーブ インタフェース (RAM, FLASH, AHB, APB) を持っています。2つのマスタ インタフェース (CPU と DSTC) が同時に同じスレーブ インタフェースにアクセスし、かつ CPU がウェイトになっている時、ウェイト中に不要なアクセスが発生し、その後に、再度アクセスが発生します。

■影響を受けるパラメータ なし

■トリガ条件

同時に CPU および DSTC が同じスレーブ インタフェースにアクセスする。

■影響範囲

DSTC を使用できない。

■回避方法

DSTC を使用しない。

■解決状況

この問題は Rev C のシリコンで修正されました。

15.4.2 ディープスタンバイモード時の消費電流問題

■問題の定義

ディープスタンバイモード(ディープスタンバイ RTC モード、ディープスタンバイストップモード)の時には消費電流が減少しない。

■影響を受けるパラメータ

なし

■トリガ条件

MCU がディープスタンバイモード状態にあり、かつ、電源投入後 SUBOSC_CTL レジスタの SUBXC フィールドおよび SPSR レジスタの MAINXC フィールドの両方が 0b00 に設定されたことがない場合に発生します。

■影響範囲

消費電流を削減できない。

■回避方法

SUBOSC_CTL レジスタの SUBXC フィールドおよび SPSR レジスタの MAINXC フィールドの両方を 0b00 に設定します。

注意:

- 出力ピンは、これらのレジスタのフィールドを 0b00 に設定した直後に不安定な状態になります。
- 0b00 に設定した後、これらのレジスタのフィールドを任意の値に設定できます。

■解決状況

この問題を解決するシリコン改版の予定はありません。

改訂履歴

文書名: S6E1C シリーズ 32 ビット ARM® Cortex®-M0+, FM0+ マイクロコントローラ

文書番号: 002-00235

版	ECN 番号	変更者	発行日	変更内容
**	4896093	TEKA	08/31/2015	New Spec. (これは英語版の 002-00233 Rev. ** を翻訳した日本語版です。)
*A	4955142	TEKA	10/9/2015	これは英語版の 002-00233 Rev. *A を翻訳した日本語版です。
*B	5160234	YUKT	03/04/2016	これは英語版の 002-00233 Rev. *B を翻訳した日本語版です。
*C	5390358	HIFU	08/04/2016	これは英語版の 002-00233 Rev. *C の S6E1C3 シリーズ部分を翻訳した日本語版です。
*D	5691964	HTER	04/13/2017	これは英語版の 002-00233 Rev. *D を翻訳した日本語版です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers

cypress.com/arm

車載用

cypress.com/automotive

クロック&バッファ

cypress.com/clocks

インターフェース

cypress.com/interface

IoT (モノのインターネット)

cypress.com/iot

メモリ

cypress.com/memory

マイクロコントローラ

cypress.com/mcu

PSoC

cypress.com/psoc

電源用 IC

cypress.com/pmic

タッチ センシング

cypress.com/touch

USB コントローラー

cypress.com/usb

ワイヤレス／RF

cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2015-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載しているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属のライセンス（サプライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は默示をとわず、いかなる保証（商品性及び特定の目的への適合性の默示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためにのみ提供されたものである。この情報で構成するあらゆるアブリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免責される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ、Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, CapsSense, EZ-USB, F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。