

## 概述

PSoC® 4 是一个可扩展且可重构的平台架构，适用于搭载 Arm® Cortex™-M0 CPU 的可编程嵌入式系统控制器系列。它结合了可编程且可重构的模拟和数字模块以及灵活的自动路由功能。PSoC 4000 产品系列是 PSoC 4 平台架构中最小的成员。它集成了带有标准通信和定时外设的微控制器、性能一流的电容式触摸感应系统 (CapSense) 以及通用模拟。针对新应用和设计要求，PSoC™ 4000 产品与 PSoC™ 4 平台系列产品向上兼容。

## 特性

### 32位MCU子系统

- 16 MHz Arm® Cortex-M0® 处理器
- 达到 16KB 闪存，包含读取加速器
- 最多 2 KB 的 SRAM

### 可编程的模拟资源

- 两个电流 DAC (IDACs)，用于通用目的或电容式感应应用
- 一个带内部基准的低功耗比较器
- 电容感应模块附加ADC功能(功能受限)

### 低功耗操作：1.71 V 至 5.5 V

- 深度睡眠模式，具有中断唤醒和 I²C 地址检测功能

### 电容式感应

- Cypress(Infinion) CapSense Sigma-Delta (CSD) 提供一流的信噪比 (SNR) 和耐水性
- 通过英飞凌提供的软件组件可以更容易地实现电容式感应设计
- 在 5 pF 至 45 pF 的传感器寄生范围内，可以进行自动硬件调校 (SmartSense™)

### 串行通信

- 多主控 I²C 模块，能够在深度睡眠期间进行地址匹配，并在匹配时产生唤醒

### 定时和脉冲宽度调制器

- 一个16位定时器/计数器/脉冲宽度调制器 (TCPWM) 模块
- 支持中心对齐模式、边缘模式和伪随机模式
- 基于比较器触发的“Kill”信号，适用于马达驱动和其它高可靠性数字逻辑的应用

### 多达 20 个可编程 GPIO 引脚

- 28-pin SSOP、24-pin QFN、16-pin SOIC、16-pin QFN、16 ball WLCSP 和 8-pin SOIC 封装
- 在端口 0、1 和 2 上的 GPIO 引脚可以是 CapSense 或其他功能
- 可编程驱动模式、强度和转换速率

### PSoC™ Creator 设计环境

- 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
- 应用编程接口 (API) 组件可用于所有固定功能和可编程的外设

### 工业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm® 的行业标准开发工具进行开发

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

### 更多信息

Cypress 在 [www.infineon.com](http://www.infineon.com) 上提供了丰富的数据，帮助您为您的设计选择合适的 PSoC 器件，并帮助您快速有效地将器件集成到您的设计中。以下是 PSoC 4 的简要列表：

#### ■ 概述：PSoC 产品系列

#### ■ 产品选型：PSoC 4

此外，PSoC Creator 还包括一个器件选择工具。

#### ■ 应用笔记：赛普拉斯提供大量 PSoC 应用笔记，涵盖从基础到高级的各种主题。推荐的 PSoC 4 应用笔记如下：

- AN79953: PSoC 4 MCU 入门
- AN88619: PSoC 4 硬件设计指南
- AN86439: 使用 PSoC 4 GPIO 引脚
- AN57821: 混合信号电路板布局
- AN81623: 数字设计最佳实践
- AN73854: 引导加载程序简介
- AN89610: Arm Cortex 代码优化

#### ■ 技术参考手册 (TRM) 包含两个文档：

- 架构 TRM 详细说明每个 PSoC 4 功能块。
- 寄存器 TRM 描述每个 PSoC 4 寄存器。

#### ■ PSoC 4 MCU 编程规范提供对 PSoC™ 4 MCU 非易失性存储器进行编程的必要信息。

#### ■ 开发套件：

- CY8CKIT-040，PSoC 4000 Pioneer 套件，是一款易于使用且价格实惠的开发平台，具有调试功能。该套件包含用于 Arduino™ 兼容扩展板和 Digilent® Pmod™ 子卡。
- MiniProg3 器件提供了闪存编程和调试的接口。

#### ■ 培训视频涵盖各种主题，包括 PSoC MCU 101 系列。

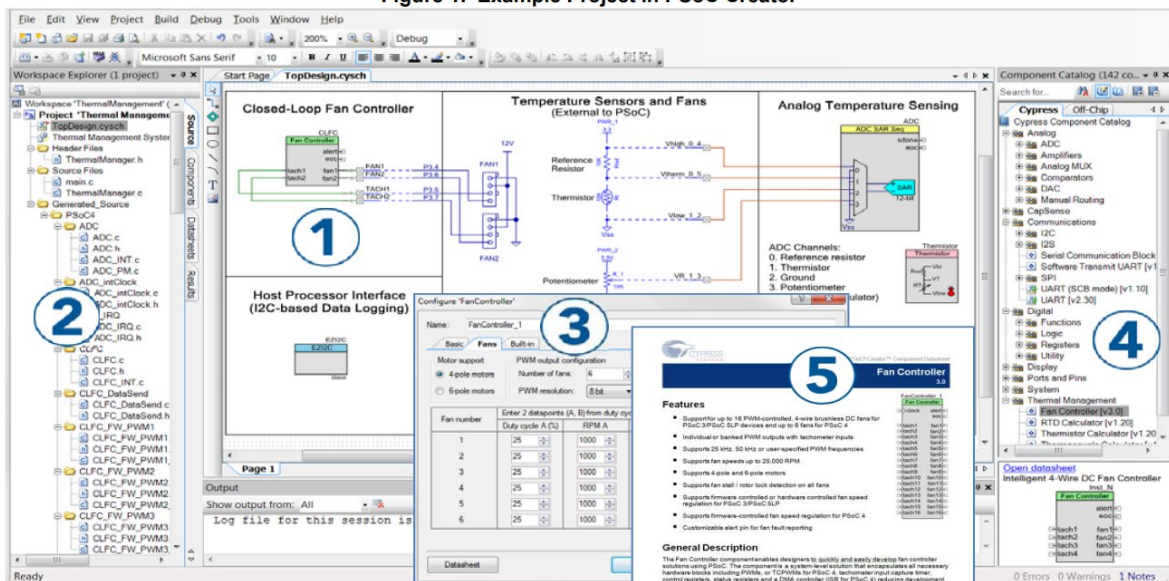
#### ■ PSoC 4 MCU CAD 库为常用工具提供封装和原理图支持。此外，还提供 IBIS 模型。(CY8C4013 系列，CY8C4014 系列)

### PSoC™ Creator

PSoC Creator 是一款免费的基于 Windows 的集成设计环境 (IDE)。它支持基于 PSoC 3、PSoC 4 和 PSoC 5LP 系统的并行硬件和固件设计。使用经典、熟悉的原理图创建设计，并由 100 多个经过预先验证、可立即投入生产的 PSoC 组件提供支持；请参阅[组件数据手册列表](#)。使用 PSoC Creator，您可以：

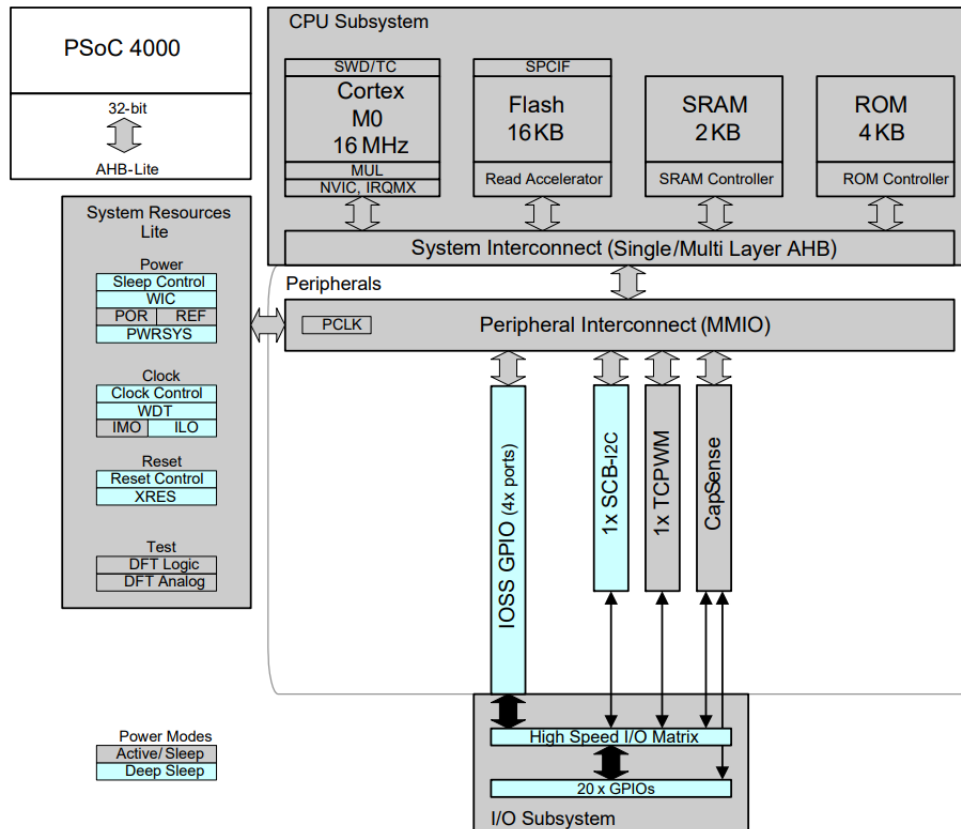
1. 拖放组件图标以在主设计工作区中完成硬件系统设计
2. 使用 PSoC Creator IDE C 编译器，将您的应用程序固件与 PSoC 硬件进行协同设计
3. 使用配置工具配置组件
4. 浏览库中超过 100 个组件
5. 查看组件数据手册

Figure 1. Example Project in PSoC Creator



## 目录

|                     |           |                             |           |
|---------------------|-----------|-----------------------------|-----------|
| <b>功能定义</b> .....   | <b>5</b>  | 数字外设.....                   | 20        |
| CPU和存储器子系统.....     | 5         | 存储器.....                    | 21        |
| 系统资源.....           | 5         | 系统资源.....                   | 21        |
| 模拟模块.....           | 6         | <b>订购信息</b> .....           | <b>24</b> |
| 固定数字功能模块.....       | 6         | 零件编号惯例.....                 | 24        |
| GPIO.....           | 6         | <b>封装</b> .....             | <b>26</b> |
| 特殊功能外设.....         | 6         | 封装外形图.....                  | 27        |
| <b>引脚布局</b> .....   | <b>7</b>  | <b>缩略语</b> .....            | <b>32</b> |
| <b>电源</b> .....     | <b>12</b> | <b>文档惯例</b> .....           | <b>34</b> |
| 未稳压外部供电.....        | 12        | 测量单位.....                   | 34        |
| 稳压外部供电.....         | 12        | <b>修订记录</b> .....           | <b>35</b> |
| <b>开发支持</b> .....   | <b>13</b> | <b>销售、解决方案和法律信息</b> .....   | <b>36</b> |
| 文档.....             | 13        | 全球销售和 design 支持.....        | 36        |
| 在线.....             | 13        | 产品.....                     | 36        |
| 工具.....             | 13        | PSoC <sup>®</sup> 解决方案..... | 36        |
| <b>电气规格参数</b> ..... | <b>14</b> | 赛普拉斯开发者社区.....              | 36        |
| 绝对最大额定值.....        | 14        | 技术支持.....                   | 36        |
| 器件级规范.....          | 14        |                             |           |
| 模拟外设.....           | 17        |                             |           |

**Figure 2. Block Diagram**


PSoC 4000 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm® 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试 (DoC) 功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC™ Creator 集成开发环境 (IDE) 软件能够为 PSoC™ 4000 器件提供全面集成的编程和调试支持。SWD 接口与工业标准的第三方工具全面兼容。PSoC 4000 提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。它拥有下面优点：

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专用功能

调试电路默认启用，可通过固件被禁用。如果未启用，唯一的启用方法是擦除整个器件，清除闪存保护，然后用使能调试的新固件对器件进行重新编程。

此外，如某些应用担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定的应用，所有器件接口都可以被永久禁用。当器件的最大安全级别被启用时，将禁用所有编程、调试和测试接口。因此，已启用器件安全级的 PSoC 4000 将不能退回来作故障分析。这是 PSoC 4000 客户要考虑使不使能器件安全的地方。

## 功能定义

### CPU和存储器子系统

#### CPU

PSoC 4000中的Cortex®-M0+ CPU是32位MCU子系统的部分，通过广泛的时钟门控来优化成低功耗操作。此外，几乎所有指令的长度都为16位，并且CPU执行Thumb-2指令子集。这使得代码能够完全兼容、二进制、向上迁移到 Cortex-M3 和 M4 等更高性能的处理器。它包括一个带有8个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 将处理器从深度睡眠模式唤醒，从而在芯片处于深度睡眠模式时，可以关闭主处理器的电源。CPU 子系统还包括一个名为 SYSTICK 的 24 位定时器，它可以产生中断。

CPU还包含一个串行线调试 (SWD) 接口 — JTAG 的 2 线格式。PSoC 4000 的调试配置拥有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

#### Flash

PSoC 4000 器件包含一个闪存模块，该模块的闪存加速器与CPU紧密耦合，以缩短闪存模块的平均访问时间。此低功耗闪存模块可在工作频率为 16 MHz的情况下实现零等待状态 (WS) 的访问时间。

#### SRAM

2 KB的 SRAM 能够在工作频率为 16 MHz的情况下进行零等待状态的访问。

#### SRROM

此外，提供的监控ROM还包含引导和配置子程序。

### 系统资源

#### 电源系统

电源部分 (请参见第 12 页) 详细介绍了电源系统。它能够维持相应模式或延迟模式进入 (例如，上电复位 (POR)) 所需的电压电平，直到器件正常运行为止; 或者生成复位事件 (例如，掉电检测)。PSoC 4000 采用单个外部电源供电，电压范围为 1.8 V  $\pm$ 5% (外部稳压) 或 1.8 至 5.5 V (内部稳压)，并具有三种不同的功耗模式，这些模式之间的转换由电源系统管理。PSoC 4000 提供活动、睡眠和深度睡眠低功耗模式。

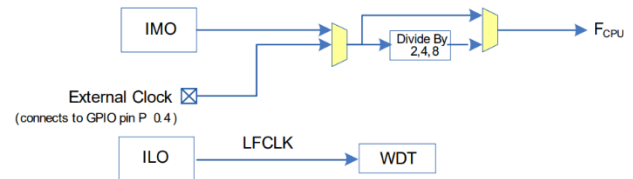
所有子系统在主动模式下都能运行。CPU 子系统 (CPU、闪存和 SRAM) 在睡眠模式下被时钟门控关闭，但所有外设和中断在发生唤醒事件时会立即被激活。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒会需要35  $\mu$ s。

#### 时钟系统

PSoC 4000 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC 4000的时钟系统包括内部主振荡器 (IMO)、内部低频振荡器 (ILO),并能够接入一个外部时钟。

**Figure 3. PSoC 4000 MCU Clocking Architecture**



通过分频 $F_{CPU}$ 信号可以生成用于模拟和数字外设的同步时钟。有四个

PSoC 4000 的时钟分频器，每个分频器均具有 16 位分频能力。16 位分频能力允许灵活生成精细的频率值。PSoC™ Creator 完全支持该功能。

#### IMO时钟源

在 PSoC 4000中，IMO 是主要内部时钟源。在测试过程中对其进行修整以达到规定的精度。IMO 的默认频率为 24 MHz。它可以调整为 24 或 32 MHz。器件出厂时，校准IMO，其误差为  $\pm$ 2% (24 和 32 MHz)。

#### IMO 时钟源

ILO 是一个极低功耗的 40 kHz 振荡器，主要用于生成在深度睡眠模式下的看门狗定时器 (WDT) 和外设的时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。

#### 看门狗定时器

来自ILO的时钟模块为看门狗定时器提供时钟; 这样允许看门狗在深度睡眠模式下仍能工作。另外，如果超时还未服务该看门狗，则将生成看门狗复位。看门狗复位在固件可读的一个复位原因寄存器内记录。

#### RESET (复位)

可以从各种源 (包括软件复位) 复位PSoC™ 4000。复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。在 24 引脚封装上，保留一个 XRES 引脚用于外部复位。16 引脚和 8 引脚封装均提供内部 POR。XRES引脚有一个内部上拉电阻 (永远使能)。复位为低电平有效。

#### 电压参考

PSoC 4000 参考系统生成芯片所需要的所有内部参考。为比较器提供了 1.2 V 电压参考。IDAC 基于 $\pm$ 5% 参考。



## 模拟模块

### 低功耗比较器

PSoC 4000 具有低功耗比较器，它使用内置电压参考。最多 16 个引脚中的任意一个都可以用作比较器输入，并且比较器的输出可以输出至引脚。选定的比较器输入连接到比较器的负输入，正输入始终连接到 1.2 V 电压参考。该比较器也用于 CapSense 目的，但在 CapSense 操作期间不可用。

### 电流DAC

PSoC 4000 有两个 IDAC，可以驱动芯片上最多 16 个引脚中的任意一个，并且具有可编程的电流范围。

### 模拟复用总线

PSoC 4000 具有两个围绕芯片周边的同心独立总线。它们 (称为 AMUX 总线) 与固件可编程的模拟开关相连，通过这些开关，芯片的内部资源 (IDAC、比较器) 可连接至 0、1、2 端口上的任何引脚。

## 固定功能数字模块

### 定时器/计数器/PWM (TCPWM) 模块

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。另外，还有一个捕获寄存器，用于记录发生事件 (可能是 I/O 事件) 时的计数值；一个周期寄存器，用于停止或自动重新加载计数器 (如果它的计数值等于周期寄存器的值) 和多个比较寄存器，用于生成可作为 PWM 占空比输出的比较值信号。该模块还提供了正向输出和反向输出以及它们间的可编程偏移；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。它还有一个停止 (Kill) 输入，用于强制输出预定的状态；例如，在用于马达驱动系统中，当出现过流状态时，需要立即关闭驱动 FET 的 PWM 而不能等待软件干预。

### 串行通信模块 (SCB)

PSoC 4000 具有串行通信模块，可实现多主 I<sup>2</sup>C 接口。

**I<sup>2</sup>C 模式：**硬件 I<sup>2</sup>C 模块实现了完整的多主从接口 (支持多主仲裁)。该模块的运行速度高达 400 kbps (快速模式)，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。它还支持 EZI<sup>2</sup>C，可在 PSoC 4000 的内存中创建子地址范围，并有效地将 I<sup>2</sup>C 通信简化为对内存数组的读写操作。此外，该模块支持 8 级深度 FIFO 用于接收和发送，通过增加 CPU 读取数据的时间，大大减少了由于 CPU 未能按时读取数据而导致的时钟延长。

I<sup>2</sup>C 外设兼容 NXP I<sup>2</sup>C 总线规范及用户手册 (UM10204) 中定义的 I<sup>2</sup>C 标准模式和快速模式设备。I<sup>2</sup>C 总线 I/O 采用开漏模式下的 GPIO 实现。

在以下几方面，PSoC 4000 不完全符合 I<sup>2</sup>C 规范：

■ GPIO 单元没有过压容差功能，因此不能热插拔或独立于其它 I<sup>2</sup>C 系统来上电。

■ 快速强模式下无法满足快速模式最小下降时间；慢速强模式可根据总线负载帮助满足此规格。

## GPIO

PSoC 4000 最多有 20 个 GPIO。GPIO 模块实现以下功能：

### ■ 八种驱动模式：

- 模拟输入模式 (输入和输出缓冲区禁用)
- 单输入模式
- 弱上拉和强下拉
- 强上拉和弱下拉
- 开漏和强下拉模式
- 开漏和强上拉模式
- 强上拉和强下拉
- 弱上拉和弱下拉

### ■ 输入阈值选择 (CMOS 或 LVTTTL)

■ 除了各种驱动模式外，还允许启用/禁用输入和输出缓冲区的单独控制

■ 可选的斜率，用于控制 dv/dt 相关噪声，有助于降低 EMI

各个引脚被分为逻辑实体并称为端口，每个端口的宽度为 8 位 (端口 2 和 3 会少一些)。在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。

数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。每个 I/O 引脚均可生成中断 (如果启用)，并且每个

I/O 端口具有与之关联的中断请求 (IRQ) 和中断服务例程 (ISR) 向量 (对于 PSoC 4000，数量为 4)。

28-pin 和 24-pin 封装有 20 个 GPIO。16-pin SOIC 有 13 个 GPIO。16-pin QFN 和 16 球 WLCSP 有 12 个 GPIO。8-pin SOIC 有 5 个 GPIO。

## 特殊功能外设

### CapSense

PSoC 4000 通过 CSD 模块支持 CapSense，该模块可通过模拟开关通过模拟复用总线连接到最多 16 个引脚 (端口 3 上的引脚不可用于 CapSense 用途)。因此，由软件控制下，系统中的任何可用引脚或引脚组都可以提供 CAPSENSE™ 功能。为了便于用户使用 CAPSENSE™ 模块，还提供了 PSoC™ Creator 件。

通过将屏蔽电压驱动到另一个模拟复用总线可以提供防水功能。通过对屏蔽电极和感应电极进行同步的驱动，可以提供防水功能，从而避免屏蔽电容衰减感应输入。另外可以实现接近感应。

CAPSENSE™ 模块具有两个 IDAC，在不使用 CAPSENSE™ 功能的情况下，这些 IDAC 可用于通用目的 (有两个 IDAC 可用) 或者如果使用 CAPSENSE™ 而不使用防水功能 (有一个 IDAC 可用)。

CapSense 模块还可以重新用于实现有限的 ADC 功能，该功能仅在不使用该模块进行电容式感应时可用。

## 引脚布局

所有端口引脚都支持 GPIO。端口 0、1 和 2 支持 CSD CapSense 和模拟多路复用总线连接。对于五个 PSoc 4000 封装，TCPWM 功能和备用功能与端口引脚复用如下。

**表 1 引脚描述**

| 28-Pin SSOP |                             | 24-Pin QFN |                             | 16-Pin QFN |                             | 16-Pin SOIC |                             | 8-Pin SOIC |                             | TCPWM Signals                                  | Alternate Functions                                            |
|-------------|-----------------------------|------------|-----------------------------|------------|-----------------------------|-------------|-----------------------------|------------|-----------------------------|------------------------------------------------|----------------------------------------------------------------|
| Pin         | Name                        | Pin        | Name                        | Pin        | Name                        | Pin         | Name                        | Pin        | Name                        |                                                |                                                                |
| 20          | VSS                         |            |                             |            |                             |             |                             |            |                             |                                                |                                                                |
| 21          | P0.0/TRIN0                  | 1          | P0.0/TRIN0                  |            |                             |             |                             |            |                             | TRIN0: Trigger Input 0                         |                                                                |
| 22          | P0.1/TRIN1/CMPO_0           | 2          | P0.1/TRIN1/CMPO_0           | 1          | P0.1/TRIN1/CMPO_0           | 3           | P0.1/TRIN1/CMPO_0           |            |                             | TRIN1: Trigger Input 1                         | CMPO_0: Sense Comp Out                                         |
| 23          | P0.2/TRIN2                  | 3          | P0.2/TRIN2                  | 2          | P0.2/TRIN2                  | 4           | P0.2/TRIN2                  |            |                             | TRIN2: Trigger Input 2                         |                                                                |
| 24          | P0.3/TRIN3                  | 4          | P0.3/TRIN3                  |            |                             |             |                             |            |                             | TRIN3: Trigger Input 3                         |                                                                |
| 25          | P0.4/TRIN4/CMPO_0/EXT_CLK   | 5          | P0.4/TRIN4/CMPO_0/EXT_CLK   | 3          | P0.4/TRIN4/CMPO_0/EXT_CLK   | 5           | P0.4/TRIN4/CMPO_0/EXT_CLK   | 2          | P0.4/TRIN4/CMPO_0/EXT_CLK   | TRIN4: Trigger Input 4                         | CMPO_0: Sense Comp Out, External Clock, CMOD Cap               |
| 26          | VCCD                        | 6          | VCCD                        | 4          | VCCD                        | 6           | VCCD                        | 3          | VCCD                        |                                                |                                                                |
| 27          | VDD                         | 7          | VDD                         | 6          | VDD                         | 7           | VDD                         | 4          | VDD                         |                                                |                                                                |
| 28          | VSS                         | 8          | VSS                         | 7          | VSS                         | 8           | VSS                         | 5          | VSS                         |                                                |                                                                |
| 1           | P0.5                        | 9          | P0.5                        | 5          | VDDIO                       | 9           | P0.5                        |            |                             |                                                |                                                                |
| 2           | P0.6                        | 10         | P0.6                        | 8          | P0.6                        | 10          | P0.6                        |            |                             |                                                |                                                                |
| 3           | P0.7                        | 11         | P0.7                        |            |                             |             |                             |            |                             |                                                |                                                                |
| 4           | P1.0                        | 12         | P1.0                        |            |                             |             |                             |            |                             |                                                |                                                                |
| 5           | P1.1/OUT0                   | 13         | P1.1/OUT0                   | 9          | P1.1/OUT0                   | 11          | P1.1/OUT0                   | 6          | P1.1/OUT0                   | OUT0: PWM OUT 0                                |                                                                |
| 6           | P1.2/SCL                    | 14         | P1.2/SCL                    | 10         | P1.2/SCL                    | 12          | P1.2/SCL                    |            |                             |                                                | I2C Clock                                                      |
| 7           | P1.3/SDA                    | 15         | P1.3/SDA                    | 11         | P1.3/SDA                    | 13          | P1.3/SDA                    |            |                             |                                                | I2C Data                                                       |
| 8           | P1.4/UND0                   | 16         | P1.4/UND0                   |            |                             |             |                             |            |                             | UND0: Underflow Out                            |                                                                |
| 9           | P1.5/OVF0                   | 17         | P1.5/OVF0                   |            |                             |             |                             |            |                             | OVF0: Overflow Out                             |                                                                |
| 10          | P1.6/OVF0/UND0/nOUT0/CMPO_0 | 18         | P1.6/OVF0/UND0/nOUT0/CMPO_0 | 12         | P1.6/OVF0/UND0/nOUT0/CMPO_0 | 14          | P1.6/OVF0/UND0/nOUT0/CMPO_0 | 7          | P1.6/OVF0/UND0/nOUT0/CMPO_0 | nOUT0: Complement of OUT0, UND0, OVF0 as above | CMPO_0: Sense Comp Out, Internal Reset function <sup>[1]</sup> |

**注：**POR 期间不得有负载接地（应为输出）。

**表 1 引脚描述 (续)**

| 28-Pin SSOP |                                | 24-Pin QFN |                    | 16-Pin QFN |                    | 16-Pin SOIC |                    | 8-Pin SOIC |                  | TCPWM Signals    | Alternate Functions  |
|-------------|--------------------------------|------------|--------------------|------------|--------------------|-------------|--------------------|------------|------------------|------------------|----------------------|
| Pin         | Name                           | Pin        | Name               | Pin        | Name               | Pin         | Name               | Pin        | Name             |                  |                      |
| 11          | VSS                            |            |                    |            |                    |             |                    |            |                  |                  |                      |
| 12          | No Connect (NC) <sup>[2]</sup> |            |                    |            |                    |             |                    |            |                  |                  |                      |
| 13          | P1.7/MATCH/EXT_CLK             | 19         | P1.7/MATCH/EXT_CLK | 13         | P1.7/MATCH/EXT_CLK | 15          | P1.7/MATCH/EXT_CLK |            |                  | MATCH: Match Out | External Clock       |
| 14          | P2.0                           | 20         | P2.0               |            |                    | 16          | P2.0               |            |                  |                  |                      |
| 15          | VSS                            |            |                    |            |                    |             |                    |            |                  |                  |                      |
| 16          | P3.0/SDA/SWD_IO                | 21         | P3.0/SDA/SWD_IO    | 14         | P3.0/SDA/SWD_IO    | 1           | P3.0/SDA/SWD_IO    | 8          | P3.0/SDA/SWD_IO  |                  | I2C Data, SWD I/O    |
| 17          | P3.1/SCL/SWD_CLK               | 22         | P3.1/SCL/SWD_CLK   | 15         | P3.1/SCL/SWD_CLK   | 2           | P3.1/SCL/SWD_CLK   | 1          | P3.1/SCL/SWD_CLK |                  | I2C Clock, SWD Clock |
| 18          | P3.2                           | 23         | P3.2               | 16         | P3.2               |             |                    |            |                  | OUT0:PWM OUT 0   |                      |
| 19          | XRES                           | 24         | XRES               |            |                    |             |                    |            |                  |                  | XRES: External Reset |

**电源引脚功能描述如下:**

**VDD** : 模拟和数字部分的电源。

**VDDIO** : 如果存在, 此引脚提供单独的电压域 (请参见[电源](#)部分了解详情)。

**VSS** : 接地引脚。

**VCCD**: 稳压数字电源 (1.8 V ±5%)。

属于端口 0、1 和 2 的引脚均可用作连接到 AMUXBUS A 或 B 的 CSD 传感器或屏蔽引脚。除了[表 1](#)中列出的备用功能外, 它们还可用作可由固件驱动的 GPIO 引脚。

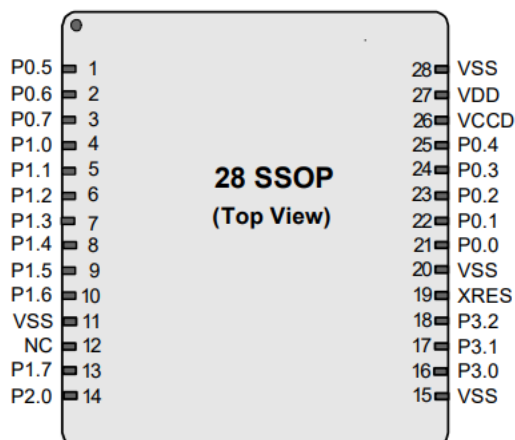
端口 3 上的引脚可以用作 GPIO, 还可以用作上面列出的替代功能。

提供以下封装: 28-pin SSOP、24-pin QFN、16-pin QFN、16-pin SOIC 和 8-pin SOIC。

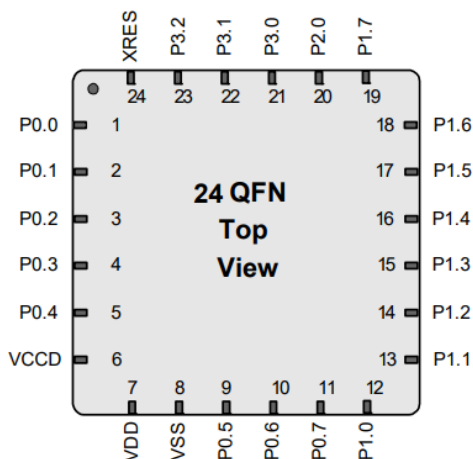
**注:** POR 期间不得有负载接地 (应为输出)。



**图 4 28 引脚 SSOP 引脚排列**



**图 5 24 引脚 QFN 引脚排列**



**图 6 16 引脚 QFN 引脚排列**

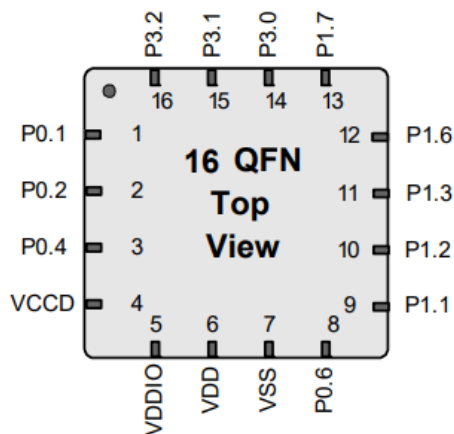


图 7 16 引脚 SOIC 引脚排列

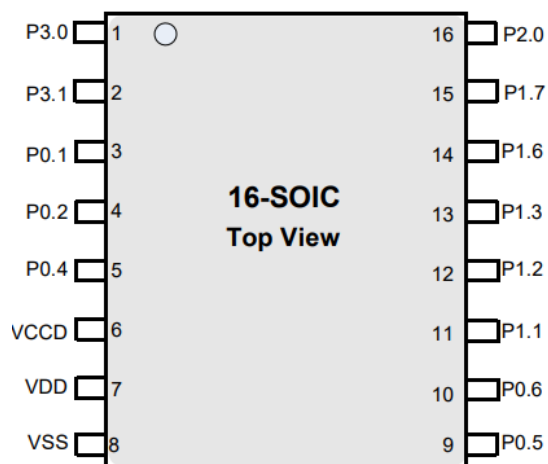
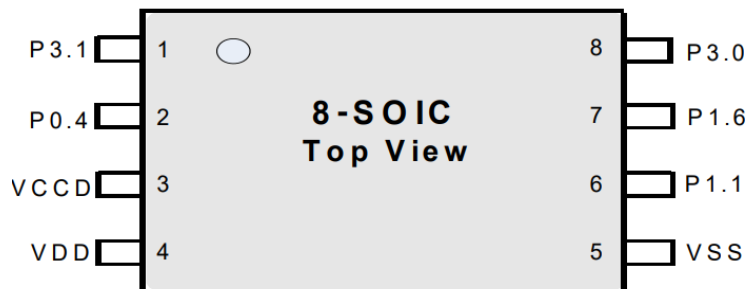
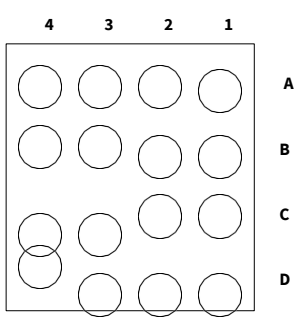
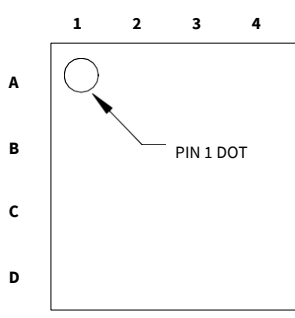


图 8 8 引脚 SOIC 引脚排列



**表 2 16 球 WLCSP 引脚描述和示意图**

| Pin | Name                            | TCPWM Signal                            | Alternate Functions                                                  | Pin Diagram                                                                                                                                                                                                 |
|-----|---------------------------------|-----------------------------------------|----------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| B4  | P3.2                            | OUT0:PWMOUT0                            | –                                                                    | <p>Bottom View</p>  <p>Top View</p>  |
| C3  | P0.2/TRIN2                      | TRIN2:Trigger Input 2                   | –                                                                    |                                                                                                                                                                                                             |
| C4  | P0.4/TRIN4/CMPO_0/<br>EXT_CLK   | TRIN4:Trigger Input 4                   | CMPO_0: Sense<br>Comp Out, Ext.<br>Clock, CMOD Cap                   |                                                                                                                                                                                                             |
| D4  | VCCD                            | –                                       | –                                                                    |                                                                                                                                                                                                             |
| D3  | VDD                             | –                                       | –                                                                    |                                                                                                                                                                                                             |
| D2  | VSS                             | –                                       | –                                                                    |                                                                                                                                                                                                             |
| C2  | VDDIO                           | –                                       | –                                                                    |                                                                                                                                                                                                             |
| D1  | P0.6                            | –                                       | –                                                                    |                                                                                                                                                                                                             |
| C1  | P1.1/OUT0                       | OUT0:PWMOUT0                            | –                                                                    |                                                                                                                                                                                                             |
| B1  | P1.2/SCL                        | –                                       | I <sup>2</sup> C Clock                                               |                                                                                                                                                                                                             |
| A1  | P1.3/SDA                        | –                                       | I <sup>2</sup> C Data                                                |                                                                                                                                                                                                             |
| A2  | P1.6/OVF0/UND0/nO<br>UT0/CMPO_0 | nOUT0:Complement of<br>OUT0, UND0, OVF0 | CMPO_0: Sense<br>Comp Out, Internal<br>Reset function <sup>[3]</sup> |                                                                                                                                                                                                             |
| B2  | P1.7/MATCH/<br>EXT_CLK          | MATCH: Match Out                        | External Clock                                                       |                                                                                                                                                                                                             |
| A3  | P2.0                            | –                                       | –                                                                    |                                                                                                                                                                                                             |
| B3  | P3.0/SDA/SWD_IO                 | –                                       | I <sup>2</sup> C Data, SWD I/O                                       |                                                                                                                                                                                                             |
| A4  | P3.1/SCL/SWD_CLK                | –                                       | I <sup>2</sup> C Clock, SWD<br>Clock                                 |                                                                                                                                                                                                             |

注:

3. POR 期间不得有负载接地（应为输出）。

## 功率产品

以下电源系统图 (图 9 和图 10) 展示了 PSoC 4000 的电源引脚配置。系统有一个处于活动模式的稳压器，用于数字电路。没有模拟稳压器；模拟电路直接由  $V_{DD}$  输入供电。有一个单独的稳压器用于深度睡眠模式电源电压范围为 1.8 V  $\pm 5\%$  (外部调节) 或 1.8 V 至 5.5 V (外部未调节；内部调节)，所有功能和电路均在此范围内运行。

$V_{DDIO}$  引脚在 16-pin QFN 封装有效，为以下引脚提供独立的电压域：P3.0、P3.1 和 P3.2。P3.0 和 P3.1 可以是 I<sup>2</sup>C 引脚，因此芯片可以与以不同电压 (其中  $V_{DDIO} \neq V_{DD}$ ) 运行的 I<sup>2</sup>C 系统通信。例如， $V_{DD}$  可以是 3.3 V， $V_{DDIO}$  可以是 1.8 V。

PSoC 4000 系列允许两种不同的电源运行模式：非稳压外部电源和稳压外部电源。

### 非稳压外部电源

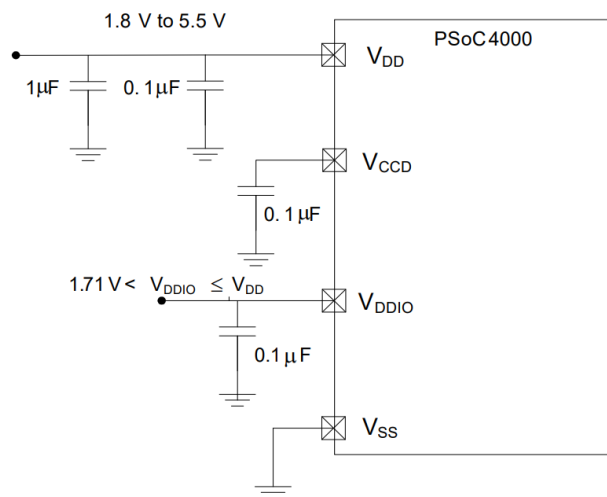
在此模式下，PSoC 4000 由外部电源供电，电压范围为 1.8 V 至 5.5 V。此电压范围也适用于电池供电。例如，芯片可由电池系统供电，起始电压为 3.5 V，工作电压低至 1.8 V。在此模式下，PSoC 4000 的内部稳压器为内部逻辑供电，并且 PSoC 4000 的  $V_{CCD}$  输出必须通过旁路接地。外部电容器 (0.1  $\mu$ F；X5R 陶瓷电容器或更好)。这旁路电容应尽可能靠近  $V_{CCD}$  引脚。

必须在  $V_{DD}$  和地之间使用旁路电容。对于此频率范围内的系统，通常的做法是使用一个 1  $\mu$ F 左右的电容，并联一个较小的电容 (例如 0.1  $\mu$ F)。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

以下是旁路方案的一个示例 ( $V_{DDIO}$  可在 16-QFN 封装上有效)。

图 9 16 引脚 QFN 旁路方案示例 - 非稳压外部电源

1.8  $\leq V_{DD} \leq 5.5$  V 时的电源连接



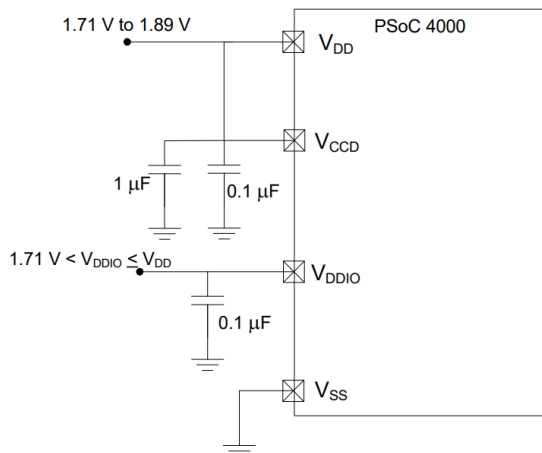
### 稳压外部电源

在此模式下，PSoC 4000 由外部电源供电，电压必须在 1.71 至 1.89 V 范围内；请注意，此范围也需要包含电源纹波。在此模式下， $V_{DD}$  和  $V_{CCD}$  引脚短接在一起，旁路。内部调节器应被禁用固件。请注意，在此模式下， $V_{DD}$  ( $V_{CCD}$ ) 在任何情况下都不应超过 1.89，包括闪存编程。

以下是旁路方案的一个示例 ( $V_{DDIO}$  可在 16-QFN 封装上有效)。

图 10 16 引脚 QFN 旁路方案示例 - 稳压外部电源

1.71  $\leq V_{DD} \leq 1.89$  V 时的电源连接



## 开发支持

PSoC 4000 系列拥有丰富的文档、开发工具和在线资源，可帮助您完成开发过程。请访问[www.cypress.com/go/psoc4](http://www.cypress.com/go/psoc4) 了解更多信息。

### 文档

通过 PSoC 4000 系列的一系列文档，您可以快速找到问题的答案。本节列出了一些关键文档。

**软件用户指南：** PSoC Creator 的分步使用指南。本软件用户指南详细介绍了 PSoC Creator 的构建流程、如何在 PSoC Creator 中使用源代码控制等内容。

**组件数据手册：** PSoC 的灵活性使其即使在设备投入生产后很长时间内也能创建新的外设（组件）。组件数据手册提供了选择和特定组件所需的所有信息，包括功能描述、API 文档、示例代码和 AC/DC 规格。

**应用笔记：** PSoC 应用笔记深入探讨了 PSoC 的特定应用；例如无刷直流电机控制和片上滤波。应用笔记通常除了应用笔记文档外，还包含示例项目。

**技术参考手册：** 技术参考手册 (TRM) 包含使用 PSoC 器件所需的所有技术细节，包括所有 PSoC 寄存器的完整描述。TRM 可在[www.cypress.com/psoc4](http://www.cypress.com/psoc4) 的文档部分获取。

### 在线支持

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛与世界各地的用户和专家取得联系。

### 工具

PSoC 4000 系列采用行业标准内核、编程和调试接口，是开发工具生态系统的一部分。请访问[www.cypress.com/go/psoccreator](http://www.cypress.com/go/psoccreator) 了解有关革命性的、易于使用的 PSoC Creator IDE 支持的第三方编译器、编程器、调试器和开发套件的最新信息。



## 电气规格参数

### 绝对最大额定值

表 3 绝对最大额定值<sup>[4]</sup>

| Spec ID# | Parameter                   | Description                                                                                                       | Min  | Typ | Max                  | Units | Details/Conditions       |
|----------|-----------------------------|-------------------------------------------------------------------------------------------------------------------|------|-----|----------------------|-------|--------------------------|
| SID1     | V <sub>DD_ABS</sub>         | Digital supply relative to V <sub>SS</sub>                                                                        | -0.5 | -   | 6                    | V     |                          |
| SID2     | V <sub>CCD_ABS</sub>        | Direct digital core voltage input relative to V <sub>SS</sub>                                                     | -0.5 | -   | 1.95                 | V     |                          |
| SID3     | V <sub>GPIO_ABS</sub>       | GPIO voltage                                                                                                      | -0.5 | -   | V <sub>DD</sub> +0.5 | V     |                          |
| SID4     | I <sub>GPIO_ABS</sub>       | Maximum current per GPIO                                                                                          | -25  | -   | 25                   | mA    |                          |
| SID5     | I <sub>GPIO_injection</sub> | GPIO injection current, Max for V <sub>IH</sub> > V <sub>DD</sub> , and Min for V <sub>IL</sub> < V <sub>SS</sub> | -0.5 | -   | 0.5                  | mA    | Current injected per pin |
| BID44    | ESD_HBM                     | Electrostatic discharge human body model                                                                          | 2200 | -   | -                    | V     |                          |
| BID45    | ESD_CDM                     | Electrostatic discharge charged device model                                                                      | 500  | -   | -                    | V     |                          |
| BID46    | LU                          | Pin current for latch-up                                                                                          | -140 | -   | 140                  | mA    |                          |

### 器件级规范

除非另有说明，否则规范的适用条件是-40 °C ≤ T<sub>A</sub> ≤ 85 °C 和 T<sub>J</sub> ≤ 100 °C，除非另有说明，否则这些规范的适用范围为1.71 V ~ 5.5 V。

表 4 直流参数

典型值的测量条件为: V<sub>DD</sub> = 3.3V，温度 = 25 °C。

| Spec ID#                                                             | Parameter          | Description                                                      | Min  | Typ | Max             | Units | Details/Conditions            |
|----------------------------------------------------------------------|--------------------|------------------------------------------------------------------|------|-----|-----------------|-------|-------------------------------|
| SID53                                                                | V <sub>DD</sub>    | Power supply input voltage                                       | 1.8  | -   | 5.5             | V     | With regulator enabled        |
| SID255                                                               | V <sub>DD</sub>    | Power supply input voltage (V <sub>CCD</sub> = V <sub>DD</sub> ) | 1.71 | -   | 1.89            | V     | Internally unregulated supply |
| SID54                                                                | V <sub>DDIO</sub>  | V <sub>DDIO</sub> domain supply                                  | 1.71 | -   | V <sub>DD</sub> | V     |                               |
| SID55                                                                | C <sub>EFC</sub>   | External regulator voltage (V <sub>CCD</sub> ) bypass            | -    | 0.1 | -               | μF    | X5R ceramic or better         |
| SID56                                                                | C <sub>EXC</sub>   | Power supply bypass capacitor                                    | -    | 1   | -               | μF    | X5R ceramic or better         |
| <b>Active Mode, V<sub>DD</sub> = 1.8 to 5.5 V</b>                    |                    |                                                                  |      |     |                 |       |                               |
| SID9                                                                 | I <sub>DD5</sub>   | Execute from flash; CPU at 6 MHz                                 | -    | 2.0 | 2.85            | mA    |                               |
| SID12                                                                | I <sub>DD8</sub>   | Execute from flash; CPU at 12 MHz                                | -    | 3.2 | 3.75            | mA    |                               |
| SID16                                                                | I <sub>DD11</sub>  | Execute from flash; CPU at 16 MHz                                | -    | 4.0 | 4.5             | mA    |                               |
| <b>Sleep Mode, V<sub>DD</sub> = 1.71 to 5.5 V</b>                    |                    |                                                                  |      |     |                 |       |                               |
| SID25                                                                | I <sub>DD20</sub>  | I <sup>2</sup> C wakeup, WDT on. 6 MHz                           | -    | 1.1 | -               | mA    |                               |
| SID25A                                                               | I <sub>DD20A</sub> | I <sup>2</sup> C wakeup, WDT on. 12 MHz                          | -    | 1.4 | -               | mA    |                               |
| <b>Deep Sleep Mode, V<sub>DD</sub> = 1.8 to 3.6 V (Regulator on)</b> |                    |                                                                  |      |     |                 |       |                               |
| SID31                                                                | I <sub>DD26</sub>  | I <sup>2</sup> C wakeup and WDT on                               | -    | 2.5 | 8.2             | μA    |                               |

注:

- 器件在高于表 1 中所列出的最大绝对值条件下可能会造成永久性的损害。长期在最大绝对值的条件下使用可能会影响器件的可靠性。最高存储温度是150°C，符合 JEDEC 标准 JESD22-A103 — 高温存储使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件可能无法达到规格要求。

**表 4 直流规格 (续)**

典型值的测量条件为:  $V_{DD} = 3.3V$ , 温度 =  $25^{\circ}C$ 。

| Spec ID#                                                                                                 | Parameter    | Description                        | Min | Typ | Max | Units | Details/<br>Conditions |
|----------------------------------------------------------------------------------------------------------|--------------|------------------------------------|-----|-----|-----|-------|------------------------|
| <b>Deep Sleep Mode, <math>V_{DD} = 3.6</math> to <math>5.5 V</math> (Regulator on)</b>                   |              |                                    |     |     |     |       |                        |
| SID34                                                                                                    | $I_{DD29}$   | I <sup>2</sup> C wakeup and WDT on | –   | 2.5 | 12  | μA    |                        |
| <b>Deep Sleep Mode, <math>V_{DD} = V_{CCD} = 1.71</math> to <math>1.89 V</math> (Regulator bypassed)</b> |              |                                    |     |     |     |       |                        |
| SID37                                                                                                    | $I_{DD32}$   | I <sup>2</sup> C wakeup and WDT on | –   | 2.5 | 9.2 | μA    |                        |
| <b>XRES Current</b>                                                                                      |              |                                    |     |     |     |       |                        |
| SID307                                                                                                   | $I_{DD\_XR}$ | Supply current while XRES asserted | –   | 2   | 5   | mA    |                        |

**表 5 交流规格**

| Spec ID#             | Parameter       | Description                 | Min | Typ | Max | Units | Details/<br>Conditions      |
|----------------------|-----------------|-----------------------------|-----|-----|-----|-------|-----------------------------|
| SID48                | $F_{CPU}$       | CPU frequency               | DC  | –   | 16  | MHz   | $1.71 \leq V_{DD} \leq 5.5$ |
| SID49 <sup>[5]</sup> | $T_{SLEEP}$     | Wakeup from Sleep mode      | –   | 0   | –   | μs    |                             |
| SID50 <sup>[5]</sup> | $T_{DEEPSLEEP}$ | Wakeup from Deep Sleep mode | –   | 35  | –   | μs    |                             |

#### GPIO

**表 6 GPIO 直流规格 (参考 16 引脚 QFN  $V_{DDIO}$  引脚的  $V_{DDIO}$ )**

| Spec ID# | Parameter      | Description                            | Min                 | Typ | Max                 | Units | Details/<br>Conditions                 |
|----------|----------------|----------------------------------------|---------------------|-----|---------------------|-------|----------------------------------------|
| SID57    | $V_{IH}^{[6]}$ | Input voltage high threshold           | $0.7 \times V_{DD}$ | –   | –                   | V     | CMOS Input                             |
| SID58    | $V_{IL}$       | Input voltage low threshold            | –                   | –   | $0.3 \times V_{DD}$ | V     | CMOS Input                             |
| SID241   | $V_{IH}^{[6]}$ | LVTTL input, $V_{DD} < 2.7 V$          | $0.7 \times V_{DD}$ | –   | –                   | V     |                                        |
| SID242   | $V_{IL}$       | LVTTL input, $V_{DD} < 2.7 V$          | –                   | –   | $0.3 \times V_{DD}$ | V     |                                        |
| SID243   | $V_{IH}^{[6]}$ | LVTTL input, $V_{DD} \geq 2.7 V$       | 2.0                 | –   | –                   | V     |                                        |
| SID244   | $V_{IL}$       | LVTTL input, $V_{DD} \geq 2.7 V$       | –                   | –   | 0.8                 | V     |                                        |
| SID59    | $V_{OH}$       | Output voltage high level              | $V_{DD} - 0.6$      | –   | –                   | V     | $I_{OH} = 4 \text{ mA at } 3V_{DD}$    |
| SID60    | $V_{OH}$       | Output voltage high level              | $V_{DD} - 0.5$      | –   | –                   | V     | $I_{OH} = 1 \text{ mA at } 1.8 V_{DD}$ |
| SID61    | $V_{OL}$       | Output voltage low level               | –                   | –   | 0.6                 | V     | $I_{OL} = 4 \text{ mA at } 1.8 V_{DD}$ |
| SID62    | $V_{OL}$       | Output voltage low level               | –                   | –   | 0.6                 | V     | $I_{OL} = 10 \text{ mA at } 3V_{DD}$   |
| SID62A   | $V_{OL}$       | Output voltage low level               | –                   | –   | 0.4                 | V     | $I_{OL} = 3 \text{ mA at } 3 V_{DD}$   |
| SID63    | $R_{PULLUP}$   | Pull-up resistor                       | 3.5                 | 5.6 | 8.5                 | kΩ    |                                        |
| SID64    | $R_{PULLDOWN}$ | Pull-down resistor                     | 3.5                 | 5.6 | 8.5                 | kΩ    |                                        |
| SID65    | $I_{IL}$       | Input leakage current (absolute value) | –                   | –   | 2                   | nA    | $25^{\circ}C, V_{DD} = 3.0 V$          |
| SID66    | $C_{IN}$       | Input capacitance                      | –                   | 3   | 7                   | pF    |                                        |

#### 注:

5. (由特性保证)
6.  $V_{IH}$  不能超过  $V_{DD} + 0.2 V$ 。

**表 6 GPIO DC 规格 (参考 16 引脚 QFN  $V_{DDIO}$  引脚的  $V_{DDIO}$ ) (续)**

| Spec ID#              | Parameter       | Description                                         | Min                  | Typ | Max | Units         | Details/<br>Conditions     |
|-----------------------|-----------------|-----------------------------------------------------|----------------------|-----|-----|---------------|----------------------------|
| SID67 <sup>[7]</sup>  | $V_{HYSTTL}$    | Input hysteresis LVTTTL                             | 15                   | 40  | –   | mV            | $V_{DD} \geq 2.7\text{ V}$ |
| SID68 <sup>[7]</sup>  | $V_{HYSCMOS}$   | Input hysteresis CMOS                               | $0.05 \times V_{DD}$ | –   | –   | mV            | $V_{DD} < 4.5\text{ V}$    |
| SID68A <sup>[7]</sup> | $V_{HYSCMOSV5}$ | Input hysteresis CMOS                               | 200                  | –   | –   | mV            | $V_{DD} > 4.5\text{ V}$    |
| SID69 <sup>[7]</sup>  | $I_{DIODE}$     | Current through protection diode to $V_{DD}/V_{SS}$ | –                    | –   | 100 | $\mu\text{A}$ |                            |
| SID69A <sup>[7]</sup> | $I_{TOT\_GPIO}$ | Maximum total source or sink chip current           | –                    | –   | 85  | mA            |                            |

**表 7 GPIO 交流规格**

(由特性保证)

| Spec ID# | Parameter     | Description                                                                    | Min | Typ | Max | Units | Details/<br>Conditions                     |
|----------|---------------|--------------------------------------------------------------------------------|-----|-----|-----|-------|--------------------------------------------|
| SID70    | $T_{RISEF}$   | Rise time in fast strong mode                                                  | 2   | –   | 12  | ns    | 3.3 V $V_{DD}$ ,<br>Clload = 25 pF         |
| SID71    | $T_{FALLF}$   | Fall time in fast strong mode                                                  | 2   | –   | 12  | ns    | 3.3 V $V_{DD}$ ,<br>Clload = 25 pF         |
| SID72    | $T_{RISES}$   | Rise time in slow strong mode                                                  | 10  | –   | 60  | –     | 3.3 V $V_{DD}$ ,<br>Clload = 25 pF         |
| SID73    | $T_{FALLS}$   | Fall time in slow strong mode                                                  | 10  | –   | 60  | –     | 3.3 V $V_{DD}$ ,<br>Clload = 25 pF         |
| SID74    | $F_{GPIOUT1}$ | GPIO $F_{OUT}$ ; 3.3 V $\leq V_{DD} \leq 5.5\text{ V}$ .<br>Fast strong mode.  | –   | –   | 16  | MHz   | 90/10%, 25 pF<br>load, 60/40 duty<br>cycle |
| SID75    | $F_{GPIOUT2}$ | GPIO $F_{OUT}$ ; 1.71 V $\leq V_{DD} \leq 3.3\text{ V}$ .<br>Fast strong mode. | –   | –   | 16  | MHz   | 90/10%, 25 pF<br>load, 60/40 duty<br>cycle |
| SID76    | $F_{GPIOUT3}$ | GPIO $F_{OUT}$ ; 3.3 V $\leq V_{DD} \leq 5.5\text{ V}$ .<br>Slow strong mode.  | –   | –   | 7   | MHz   | 90/10%, 25 pF<br>load, 60/40 duty<br>cycle |
| SID245   | $F_{GPIOUT4}$ | GPIO $F_{OUT}$ ; 1.71 V $\leq V_{DD} \leq 3.3\text{ V}$ .<br>Slow strong mode. | –   | –   | 3.5 | MHz   | 90/10%, 25 pF<br>load, 60/40 duty<br>cycle |
| SID246   | $F_{GPIOIN}$  | GPIO input operating frequency;<br>1.71 V $\leq V_{DD} \leq 5.5\text{ V}$      | –   | –   | 16  | MHz   | 90/10% $V_{IO}$                            |

注:  
7. (由特性保证)

XRES

**表 8 XRES 直流规格**

| Spec ID#             | Parameter     | Description                  | Min                 | Typ                  | Max                 | Units      | Details/<br>Conditions                           |
|----------------------|---------------|------------------------------|---------------------|----------------------|---------------------|------------|--------------------------------------------------|
| SID77                | $V_{IH}$      | Input voltage high threshold | $0.7 \times V_{DD}$ | –                    | –                   | V          | CMOS Input                                       |
| SID78                | $V_{IL}$      | Input voltage low threshold  | –                   | –                    | $0.3 \times V_{DD}$ | V          | CMOS Input                                       |
| SID79                | $R_{PULLUP}$  | Pull-up resistor             | 3.5                 | 5.6                  | 8.5                 | k $\Omega$ |                                                  |
| SID80                | $C_{IN}$      | Input capacitance            | –                   | 3                    | 7                   | pF         |                                                  |
| SID81 <sup>[8]</sup> | $V_{HYSXRES}$ | Input voltage hysteresis     | –                   | $0.05 \times V_{DD}$ | –                   | mV         | Typical hysteresis is 200 mV for $V_{DD} > 4.5V$ |

**表 9 XRES 交流规格**

| Spec ID#               | Parameter        | Description                     | Min | Typ | Max | Units   | Details/<br>Conditions |
|------------------------|------------------|---------------------------------|-----|-----|-----|---------|------------------------|
| SID83 <sup>[8]</sup>   | $T_{RESETWIDTH}$ | Reset pulse width               | 5   | –   | –   | $\mu s$ |                        |
| BID#194 <sup>[8]</sup> | $T_{RESETWAKE}$  | Wake-up time from reset release | –   | –   | 3   | ms      |                        |

## 模拟外设

### 比较器

**表 10 比较器直流规范**

| Spec ID#              | Parameter     | Description                           | Min   | Typ | Max   | Units      | Details/<br>Conditions                          |
|-----------------------|---------------|---------------------------------------|-------|-----|-------|------------|-------------------------------------------------|
| SID330 <sup>[8]</sup> | $I_{CMP1}$    | Block current, High Bandwidth mode    | –     | –   | 110   | $\mu A$    |                                                 |
| SID331 <sup>[8]</sup> | $I_{CMP2}$    | Block current, Low Power mode         | –     | –   | 85    | $\mu A$    |                                                 |
| SID332 <sup>[8]</sup> | $V_{OFFSET1}$ | Offset voltage, High Bandwidth mode   | –     | 10  | 30    | mV         |                                                 |
| SID333 <sup>[8]</sup> | $V_{OFFSET2}$ | Offset voltage, Low Power mode        | –     | 10  | 30    | mV         |                                                 |
| SID334 <sup>[8]</sup> | $Z_{CMP}$     | DC input impedance of comparator      | 35    | –   | –     | M $\Omega$ |                                                 |
| SID338 <sup>[8]</sup> | VINP_COMP     | Comparator input range                | 0     | –   | 3.6   | V          | Max input voltage is lower of 3.6 V or $V_{DD}$ |
| SID339                | VREF_COMP     | Comparator internal voltage reference | 1.188 | 1.2 | 1.212 | V          |                                                 |

注：  
8. (由特性保证)

**表 11 比较器交流规范 (由特性保证)**

| Spec ID#              | Parameter          | Description                                           | Min | Typ | Max | Units | Details/<br>Conditions |
|-----------------------|--------------------|-------------------------------------------------------|-----|-----|-----|-------|------------------------|
| SID336 <sup>[8]</sup> | T <sub>COMP1</sub> | Response Time High Bandwidth mode,<br>50-mV overdrive | –   | –   | 90  | ns    |                        |
| SID337 <sup>[8]</sup> | T <sub>COMP2</sub> | Response Time Low Power mode,<br>50-mV overdrive      | –   | –   | 110 | ns    |                        |

CSD

**表 12 CSD 和 IDAC 模块规范**

| Spec ID#                           | Parameter                | Description                                                           | Min  | Typ   | Max                   | Units | Details/<br>Conditions                                                                                                          |
|------------------------------------|--------------------------|-----------------------------------------------------------------------|------|-------|-----------------------|-------|---------------------------------------------------------------------------------------------------------------------------------|
| <b>CSD and IDAC Specifications</b> |                          |                                                                       |      |       |                       |       |                                                                                                                                 |
| SYS.PER#3                          | VDD_RIPPLE               | Max allowed ripple on power supply,<br>DC to 10 MHz                   | –    | –     | ±50                   | mV    | VDD > 2V (with ripple),<br>25 °C T <sub>A</sub> ,<br>Sensitivity = 0.1 pF                                                       |
| SYS.PER#16                         | VDD_RIPPLE_1.8           | Max allowed ripple on power supply,<br>DC to 10 MHz                   | –    | –     | ±25                   | mV    | VDD > 1.75V (with ripple), 25<br>C T <sub>A</sub> , Parasitic Capacitance<br>(C <sub>P</sub> ) < 20 pF, Sensitivity ≥<br>0.4 pF |
| SID.CSD#15                         | VREFHI                   | Reference Buffer Output                                               | 1.1  | 1.2   | 1.3                   | V     |                                                                                                                                 |
| SID.CSD#16                         | IDAC1IDD                 | IDAC1 (8-bits) block current                                          | –    | –     | 1125                  | µA    |                                                                                                                                 |
| SID.CSD#17                         | IDAC2IDD                 | IDAC2 (7-bits) block current                                          | –    | –     | 1125                  | µA    |                                                                                                                                 |
| SID308                             | V <sub>CSD</sub>         | Voltage range of operation                                            | 1.71 | –     | 5.5                   | V     | 1.8 V ±5% or 1.8 V to 5.5 V                                                                                                     |
| SID308A                            | VCOMPIDAC                | Voltage compliance range of IDAC                                      | 0.8  | –     | V <sub>DD</sub> – 0.8 | V     |                                                                                                                                 |
| SID309                             | IDAC1 <sub>DNL</sub>     | DNL for 8-bit resolution                                              | –1   | –     | 1                     | LSB   |                                                                                                                                 |
| SID310                             | IDAC1 <sub>INL</sub>     | INL for 8-bit resolution                                              | –3   | –     | 3                     | LSB   |                                                                                                                                 |
| SID311                             | IDAC2 <sub>DNL</sub>     | DNL for 7-bit resolution                                              | –1   | –     | 1                     | LSB   |                                                                                                                                 |
| SID312                             | IDAC2 <sub>INL</sub>     | INL for 7-bit resolution                                              | –3   | –     | 3                     | LSB   |                                                                                                                                 |
| SID313                             | SNR                      | Ratio of counts of finger to noise.<br>Guaranteed by characterization | 5    | –     | –                     | Ratio | Capacitance range of 9 to 35<br>pF, 0.1 pF sensitivity                                                                          |
| SID314                             | IDAC1 <sub>CRT1</sub>    | Output current of IDAC1 (8 bits) in<br>high range                     | –    | 612   | –                     | µA    |                                                                                                                                 |
| SID314A                            | IDAC1 <sub>CRT2</sub>    | Output current of IDAC1(8 bits) in low<br>range                       | –    | 306   | –                     | µA    |                                                                                                                                 |
| SID315                             | IDAC2 <sub>CRT1</sub>    | Output current of IDAC2 (7 bits) in<br>high range                     | –    | 304.8 | –                     | µA    |                                                                                                                                 |
| SID315A                            | IDAC2 <sub>CRT2</sub>    | Output current of IDAC2 (7 bits) in low<br>range                      | –    | 152.4 | –                     | µA    |                                                                                                                                 |
| SID320                             | IDAC <sub>OFFSET</sub>   | All zeroes input                                                      | –    | –     | ±1                    | LSB   |                                                                                                                                 |
| SID321                             | IDAC <sub>GAIN</sub>     | Full-scale error less offset                                          | –    | –     | ±10                   | %     |                                                                                                                                 |
| SID322                             | IDAC <sub>MISMATCH</sub> | Mismatch between IDACs                                                | –    | –     | 7                     | LSB   |                                                                                                                                 |
| SID323                             | IDAC <sub>SET8</sub>     | Settling time to 0.5 LSB for 8-bit IDAC                               | –    | –     | 10                    | µs    | Full-scale transition. No<br>external load.                                                                                     |
| SID324                             | IDAC <sub>SET7</sub>     | Settling time to 0.5 LSB for 7-bit IDAC                               | –    | –     | 10                    | µs    | Full-scale transition. No<br>external load.                                                                                     |
| SID325                             | CMOD                     | External modulator capacitor.                                         | –    | 2.2   | –                     | nF    | 5-V rating, X7R or NP0 cap.                                                                                                     |

**CSD ADC**

所有特性测试均采用 0.1% 容差 1 M $\Omega$  输入电阻 ( $R_{in}$ )、0.1% 容差 220 K $\Omega$  泄漏电阻 ( $R_{bleed}$ ) 和 2.2 nF  $C_{mod}$  电容进行。请参阅此[页面](#)了解有关电路的更多详细信息。

**表 13 CSD ADC 直流规范**

| Symbol                | Description             | Conditions                                                                                                             | Min | Typ | Max                           | Units |
|-----------------------|-------------------------|------------------------------------------------------------------------------------------------------------------------|-----|-----|-------------------------------|-------|
| ADC <sub>Res</sub>    | ADC resolution          |                                                                                                                        | 1   | –   | –                             | mV    |
| ADC <sub>MONO</sub>   | ADC Monotonicity        | Across PVT                                                                                                             | –   | –   | –                             | Yes   |
| ADC <sub>Error</sub>  | ADC gain error          | For 0 to 5-V range, 0.1% accurate $R_{in}$ / $R_{bleed}$ , 1% accurate Internal $V_{ref}$ and Temp range of 0 to 70 °C | –   | –   | 1                             | %     |
| ADC <sub>Offset</sub> | ADC offset error        |                                                                                                                        | –   | –   | 50                            | mV    |
| ADC <sub>INMAX</sub>  | ADC input voltage range |                                                                                                                        | 0   | –   | 5 / $V_{DDIO}$ <sup>[9]</sup> | V     |

**注意：**直接施加到引脚的输入不得超过  $V_{DDIO}$ ，但施加到输入电阻的电压可以超过  $V_{DDIO}$ 。

**表 14 CSD ADC 交流规范**

| Symbol              | Description                    | Conditions                    | Min | Typ | Max | Units |
|---------------------|--------------------------------|-------------------------------|-----|-----|-----|-------|
| ADC <sub>INL</sub>  | ADC integral non-linearity     | 0 to 5-V input and 0 to 70 °C | –   | –   | 18  | mV    |
| ADC <sub>DNL</sub>  | ADC differential non-linearity | 0 to 5-V input and 0 to 70 °C | –   | –   | 12  | mV    |
| ADC <sub>Samp</sub> | ADC Sample rate                | –                             | –   | –   | 58  | sps   |

**注：**

9. 直接施加到引脚的输入不得超过  $V_{DDIO}$ ，但施加到输入电阻的电压可以超过  $V_{DDIO}$ 。

**数字外设**

定时器/计数器/脉宽调制器 (TCPWM)

**表 15 TCPWM 规范**

| Spec ID      | Parameter             | Description                         | Min  | Typ | Max | Units | Details/Conditions                                                                           |
|--------------|-----------------------|-------------------------------------|------|-----|-----|-------|----------------------------------------------------------------------------------------------|
| SID.TCPWM.1  | ITCPWM1               | Block current consumption at 3 MHz  | –    | –   | 45  | μ A   | All modes (TCPWM)                                                                            |
| SID.TCPWM.2  | ITCPWM2               | Block current consumption at 8 MHz  | –    | –   | 145 | μ A   | All modes (TCPWM)                                                                            |
| SID.TCPWM.2A | ITCPWM3               | Block current consumption at 16 MHz | –    | –   | 160 | μ A   | All modes (TCPWM)                                                                            |
| SID.TCPWM.3  | TCPWM <sub>FREQ</sub> | Operating frequency                 | –    | –   | Fc  | MHz   | Fc max = CLK_SYS.<br>Maximum = 16 MHz                                                        |
| SID.TCPWM.4  | TPWM <sub>ENEXT</sub> | Input trigger pulse width           | 2/Fc | –   | –   | ns    | For all trigger events <sup>[10]</sup>                                                       |
| SID.TCPWM.5  | TPWM <sub>EXT</sub>   | Output trigger pulse widths         | 2/Fc | –   | –   | ns    | Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) outputs |
| SID.TCPWM.5A | TC <sub>RES</sub>     | Resolution of counter               | 1/Fc | –   | –   | ns    | Minimum time between successive counts                                                       |
| SID.TCPWM.5B | PWM <sub>RES</sub>    | PWM resolution                      | 1/Fc | –   | –   | ns    | Minimum pulse width of PWM Output                                                            |
| SID.TCPWM.5C | Q <sub>RES</sub>      | Quadrature inputs resolution        | 1/Fc | –   | –   | ns    | Minimum pulse width between Quadrature phase inputs.                                         |

<sup>10</sup>
**表 16 固定 I<sup>2</sup>C 直流规范<sup>[11]</sup>**

| Spec ID   | Parameter         | Description                                 | Min | Typ | Max | Units | Details/Conditions |
|-----------|-------------------|---------------------------------------------|-----|-----|-----|-------|--------------------|
| SID149    | I <sub>I2C1</sub> | Block current consumption at 100 kHz        | –   | –   | 25  | μA    |                    |
| SID150    | I <sub>I2C2</sub> | Block current consumption at 400 kHz        | –   | –   | 135 | μA    |                    |
| SID.PWR#5 | ISBI2C            | I <sup>2</sup> C enabled in Deep Sleep mode | –   | –   | 2.5 | μA    |                    |

**表 17 固定 I<sup>2</sup>C 交流规范<sup>[11]</sup>**

| Spec ID | Parameter         | Description | Min | Typ | Max | Units | Details/Conditions |
|---------|-------------------|-------------|-----|-----|-----|-------|--------------------|
| SID153  | F <sub>I2C1</sub> | Bit rate    | –   | –   | 400 | Kbps  |                    |

**注:**

10. 根据选择的工作模式，触发事件可以为：Stop、Start、Reload、Count、Capture 或 Kill。

11. (由特性保证)



## 存储器

**表 18** 闪存直流规范

| Spec ID | Parameter       | Description               | Min  | Typ | Max | Units | Details/Conditions |
|---------|-----------------|---------------------------|------|-----|-----|-------|--------------------|
| SID173  | V <sub>PE</sub> | Erase and program voltage | 1.71 | –   | 5.5 | V     |                    |

**表 19** 闪存交流规范

| Spec ID                 | Parameter                              | Description                                               | Min   | Typ | Max | Units   | Details/Conditions     |
|-------------------------|----------------------------------------|-----------------------------------------------------------|-------|-----|-----|---------|------------------------|
| SID174                  | T <sub>ROWWRITE</sub> [12]             | Row (block) write time (erase and program)                | –     | –   | 20  | ms      | Row (block) = 64 bytes |
| SID175                  | T <sub>ROWERASE</sub> [12]             | Row erase time                                            | –     | –   | 13  | ms      |                        |
| SID176                  | T <sub>ROWPROGRAM</sub> [12]           | Row program time after erase                              | –     | –   | 7   | ms      |                        |
| SID178                  | T <sub>BULKERASE</sub> <sup>[12]</sup> | Bulk erase time (16 KB)                                   | –     | –   | 15  | ms      |                        |
| SID180 <sup>[13]</sup>  | T <sub>DEVPROG</sub> <sup>[12]</sup>   | Total device program time                                 | –     | –   | 7.5 | seconds |                        |
| SID181 <sup>[13]</sup>  | F <sub>END</sub>                       | Flash endurance                                           | 100 K | –   | –   | cycles  |                        |
| SID182 <sup>[13]</sup>  | F <sub>RET</sub>                       | Flash retention. T <sub>A</sub> ≤ 55 °C, 100 K P/E cycles | 20    | –   | –   | years   |                        |
| SID182A <sup>[13]</sup> |                                        | Flash retention. T <sub>A</sub> ≤ 85 °C, 10 K P/E cycles  | 10    | –   | –   | years   |                        |

## 系统资源

### 上电复位 (POR)

**表 20** 上电复位 (PRES)

| Spec ID                | Parameter             | Description            | Min  | Typ | Max | Units | Details/Conditions         |
|------------------------|-----------------------|------------------------|------|-----|-----|-------|----------------------------|
| SID.CLK#6              | SR_POWER_UP           | Power supply slew rate | 1    | –   | 67  | V/ms  | At power-up and power-down |
| SID185 <sup>[13]</sup> | V <sub>RISEIPOR</sub> | Rising trip voltage    | 0.80 | –   | 1.5 | V     |                            |
| SID186 <sup>[13]</sup> | V <sub>FALLIPOR</sub> | Falling trip voltage   | 0.70 | –   | 1.4 | V     |                            |

**表 21** V<sub>CCD</sub> 的掉电检测 (BOD)

| Spec ID                | Parameter              | Description                                | Min  | Typ | Max  | Units | Details/Conditions |
|------------------------|------------------------|--------------------------------------------|------|-----|------|-------|--------------------|
| SID190 <sup>[13]</sup> | V <sub>FALLPPOR</sub>  | BOD trip voltage in active and sleep modes | 1.48 | –   | 1.62 | V     |                    |
| SID192 <sup>[13]</sup> | V <sub>FALLDPSLP</sub> | BOD trip voltage in Deep Sleep             | 1.11 | –   | 1.5  | V     |                    |

### 注:

12. 可能需要最多20毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

13. (由特性保证)

**SWD 接口**
**表 22 SWD 接口规范**

| Spec ID                 | Parameter    | Description                                   | Min    | Typ | Max   | Units | Details/Conditions                    |
|-------------------------|--------------|-----------------------------------------------|--------|-----|-------|-------|---------------------------------------|
| SID213                  | F_SWCLK1     | $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  | –      | –   | 14    | MHz   | SWDCLK $\leq$ 1/3 CPU clock frequency |
| SID214                  | F_SWCLK2     | $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ | –      | –   | 7     | MHz   | SWDCLK $\leq$ 1/3 CPU clock frequency |
| SID215 <sup>[14]</sup>  | T_SWDI_SETUP | $T = 1/f_{\text{SWDCLK}}$                     | 0.25*T | –   | –     | ns    |                                       |
| SID216 <sup>[14]</sup>  | T_SWDI_HOLD  | $T = 1/f_{\text{SWDCLK}}$                     | 0.25*T | –   | –     | ns    |                                       |
| SID217 <sup>[14]</sup>  | T_SWDO_VALID | $T = 1/f_{\text{SWDCLK}}$                     | –      | –   | 0.5*T | ns    |                                       |
| SID217A <sup>[14]</sup> | T_SWDO_HOLD  | $T = 1/f_{\text{SWDCLK}}$                     | 1      | –   | –     | ns    |                                       |

**内部主振荡器**
**表 23 IMO 直流规范**

(由设计保证)

| Spec ID | Parameter         | Description                     | Min | Typ | Max | Units | Details/Conditions |
|---------|-------------------|---------------------------------|-----|-----|-----|-------|--------------------|
| SID218  | I <sub>IMO1</sub> | IMO operating current at 48 MHz | –   | –   | 250 | μA    |                    |
| SID219  | I <sub>IMO2</sub> | IMO operating current at 24 MHz | –   | –   | 180 | μA    |                    |

**表 24 IMO 交流规范**

| Spec ID | Parameter               | Description                                    | Min | Typ | Max | Units | Details/Conditions                                                                          |
|---------|-------------------------|------------------------------------------------|-----|-----|-----|-------|---------------------------------------------------------------------------------------------|
| SID223  | F <sub>IMOTOL1</sub>    | Frequency variation at 24 and 32 MHz (trimmed) | –   | –   | ±2  | %     | $2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ , and $-25\text{ °C} \leq T_A \leq 85\text{ °C}$ |
| SID223A | F <sub>IMOTOLVCCD</sub> | Frequency variation at 24 and 32 MHz (trimmed) | –   | –   | ±4  | %     | All other conditions                                                                        |
| SID226  | T <sub>STARTIMO</sub>   | IMO startup time                               | –   | –   | 7   | μs    |                                                                                             |
| SID228  | T <sub>JITRMSIMO2</sub> | RMS jitter at 24 MHz                           | –   | 145 | –   | ps    |                                                                                             |

**内部低速振荡器**
**表 25 ILO DC 规范 (设计保证)**

| Spec ID                | Parameter            | Description           | Min | Typ | Max  | Units | Details/Conditions |
|------------------------|----------------------|-----------------------|-----|-----|------|-------|--------------------|
| SID231 <sup>[14]</sup> | I <sub>ILO1</sub>    | ILO operating current | –   | 0.3 | 1.05 | μA    |                    |
| SID233 <sup>[14]</sup> | I <sub>ILOLEAK</sub> | ILO leakage current   | –   | 2   | 15   | nA    |                    |

**表 26 ILO 交流规范**

| Spec ID                | Parameter              | Description         | Min | Typ | Max | Units | Details/Conditions |
|------------------------|------------------------|---------------------|-----|-----|-----|-------|--------------------|
| SID234 <sup>[14]</sup> | T <sub>STARTILO1</sub> | ILO startup time    | –   | –   | 2   | ms    |                    |
| SID236 <sup>[14]</sup> | T <sub>ILODUTY</sub>   | ILO duty cycle      | 40  | 50  | 60  | %     |                    |
| SID237                 | F <sub>ILOTRIM1</sub>  | ILO frequency range | 20  | 40  | 80  | kHz   |                    |

注:

14. (由特性保证)

**表 27 外部时钟规范**

| Spec ID                | Parameter  | Description                        | Min | Typ | Max | Units | Details/Conditions |
|------------------------|------------|------------------------------------|-----|-----|-----|-------|--------------------|
| SID305 <sup>[15]</sup> | ExtClkFreq | External clock input frequency     | 0   | –   | 16  | MHz   |                    |
| SID306 <sup>[15]</sup> | ExtClkDuty | Duty cycle; measured at $V_{DD/2}$ | 45  | –   | 55  | %     |                    |

**表 28 模块规范**

| Spec ID                | Parameter              | Description                        | Min | Typ | Max | Units   | Details/Conditions |
|------------------------|------------------------|------------------------------------|-----|-----|-----|---------|--------------------|
| SID262 <sup>[15]</sup> | T <sub>CLKSWITCH</sub> | System clock source switching time | 3   | –   | 4   | Periods |                    |

**注:**  
 15. (由特性保证)

## 订购信息

下表显示了 PSoC 4000 系列的器件型号和各种特性。所有封装类型均为卷带封装。

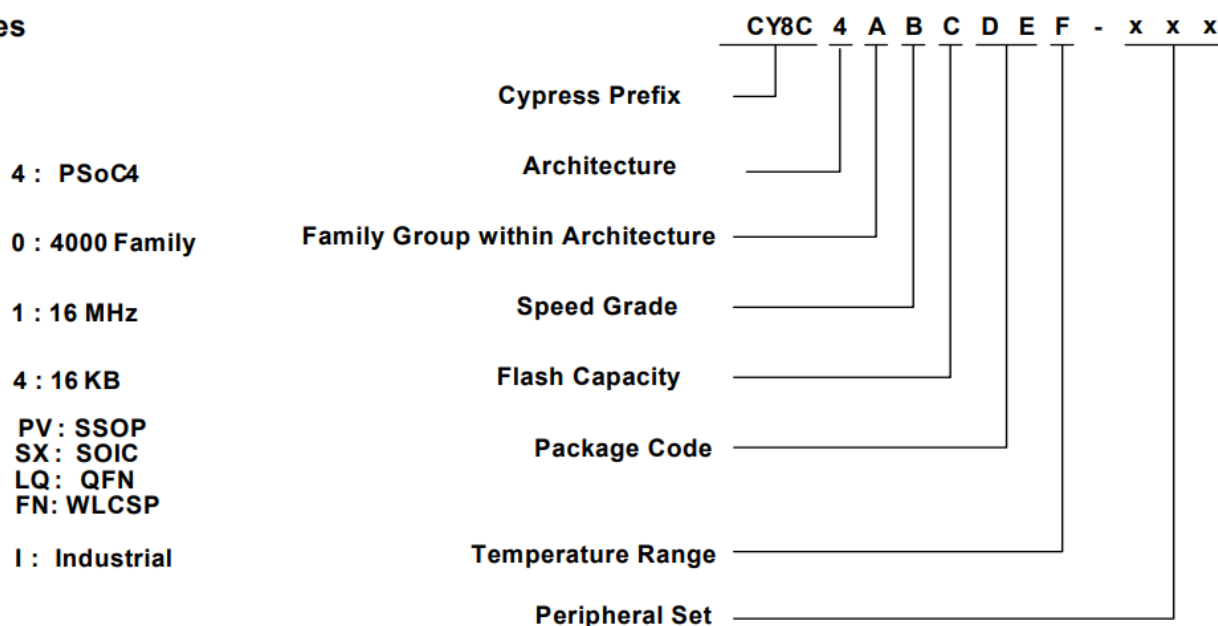
| Category | Product          | Feature             |            |           |          |            |            |             |              |     | Package                   |                           |        |         |        |        |         |
|----------|------------------|---------------------|------------|-----------|----------|------------|------------|-------------|--------------|-----|---------------------------|---------------------------|--------|---------|--------|--------|---------|
|          |                  | Max CPU Speed (MHz) | Flash (KB) | SRAM (KB) | CapSense | 7-bit IDAC | 8-bit IDAC | Comparators | TCPWM Blocks | I2C | 16 -WLCSP (1.45 x 1.56mm) | 16 -WLCSP (1.47 x 1.58mm) | 8-SOIC | 16-SOIC | 16-QFN | 24-QFN | 28-SSOP |
| CY8C4013 | CY8C4013SXI-400  | 16                  | 8          | 2         | -        | -          | -          | -           | 1            | 1   | -                         | -                         | ✓      | -       | -      | -      | -       |
|          | CY8C4013SXI-410  | 16                  | 8          | 2         | -        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | ✓      | -       | -      | -      | -       |
|          | CY8C4013SXI-411  | 16                  | 8          | 2         | -        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | ✓       | -      | -      | -       |
|          | CY8C4013LQI-411  | 16                  | 8          | 2         | -        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | ✓      | -      | -       |
| CY8C4014 | CY8C4014SXI-420  | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | ✓      | -       | -      | -      | -       |
|          | CY8C4014SXI-421  | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | ✓       | -      | -      | -       |
|          | CY8C4014LQI-421  | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | ✓      | -      | -       |
|          | CY8C4014LQI-412  | 16                  | 16         | 2         | -        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | -      | ✓      | -       |
|          | CY8C4014LQI-422  | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | -      | ✓      | -       |
|          | CY8C4014PVI-412  | 16                  | 16         | 2         | -        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | -      | -      | ✓       |
|          | CY8C4014PVI-422  | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | -                         | -      | -       | -      | -      | ✓       |
|          | CY8C4014FNI-421A | 16                  | 16         | 2         | ✓        | 1          | 1          | 1           | 1            | 1   | -                         | ✓                         | -      | -       | -      | -      | -       |

## 器件编号惯例

PSoC 4 器件遵循下表所述的器件编号惯例。除非另有说明，所有字段均为单字符字母数字（0、1、2、...、9、A、B、...、Z）。

器件型号的格式为CY8C4ABCDEF-XYZ，其中各字段的定义如下所示。

## Examples



下表列出了字段值：

| Field | Description       | Values  | Meaning                                |
|-------|-------------------|---------|----------------------------------------|
| CY8C  | Cypress prefix    |         |                                        |
| 4     | Architecture      | 4       | PSoC 4                                 |
| A     | Family            | 0       | 4000 Family                            |
| B     | CPU speed         | 1       | 16 MHz                                 |
|       |                   | 4       | 48 MHz                                 |
| C     | Flash capacity    | 3       | 8 KB                                   |
|       |                   | 4       | 16 KB                                  |
|       |                   | 5       | 32 KB                                  |
|       |                   | 6       | 64 KB                                  |
|       |                   | 7       | 128 KB                                 |
| DE    | Package code      | SX      | SOIC                                   |
|       |                   | LQ      | QFN                                    |
|       |                   | PV      | SSOP                                   |
|       |                   | FN      | WLCSP                                  |
| F     | Temperature range | I       | Industrial                             |
| XYZ   | Attributes code   | 000-999 | Code of feature set in specific family |

## 封装信息

**表 29 封装列表**

| Spec ID# | Package                       | Description                                    |
|----------|-------------------------------|------------------------------------------------|
| BID#47A  | 28-Pin SSOP                   | 28-pin 5 × 10 × 1.65mm SSOP with 0.65-mm pitch |
| BID#26   | 24-Pin QFN                    | 24-pin 4 × 4 × 0.6 mm QFN with 0.5-mm pitch    |
| BID#33   | 16-Pin QFN                    | 16-pin 3 × 3 × 0.6 mm QFN with 0.5-mm pitch    |
| BID#40   | 16-Pin SOIC                   | 16-pin (150 Mil) SOIC                          |
| BID#47   | 8-Pin SOIC                    | 8-pin (150 Mil) SOIC                           |
| BID#147A | 16-Ball WLCSP (1.47 × 1.58mm) | 16-Ball 1.47 × 1.58 × 0.4 mm                   |
|          | 16-Ball WLCSP (1.45 × 1.56mm) | 16-Ball 1.45 × 1.56 × 0.4 mm                   |

**表 30 封装特性**

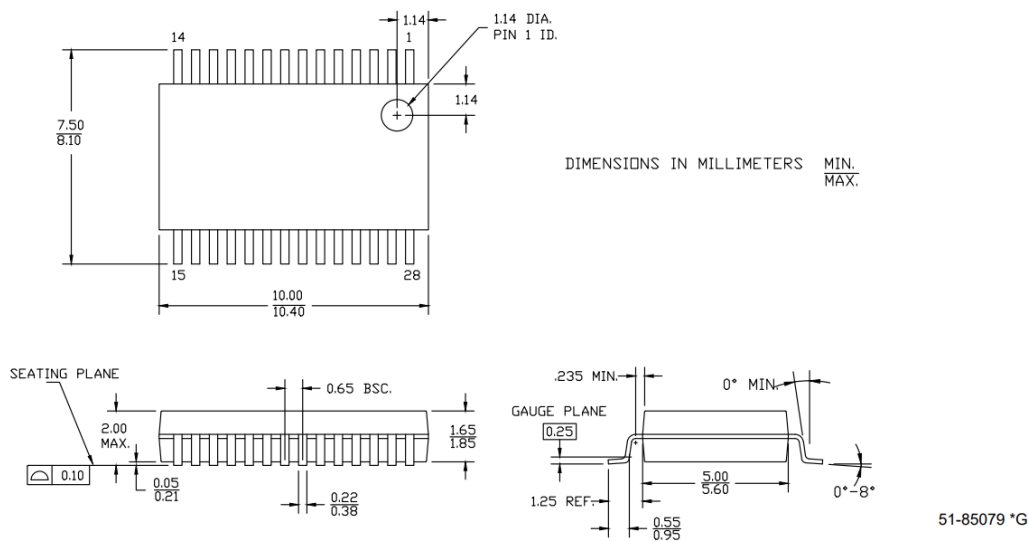
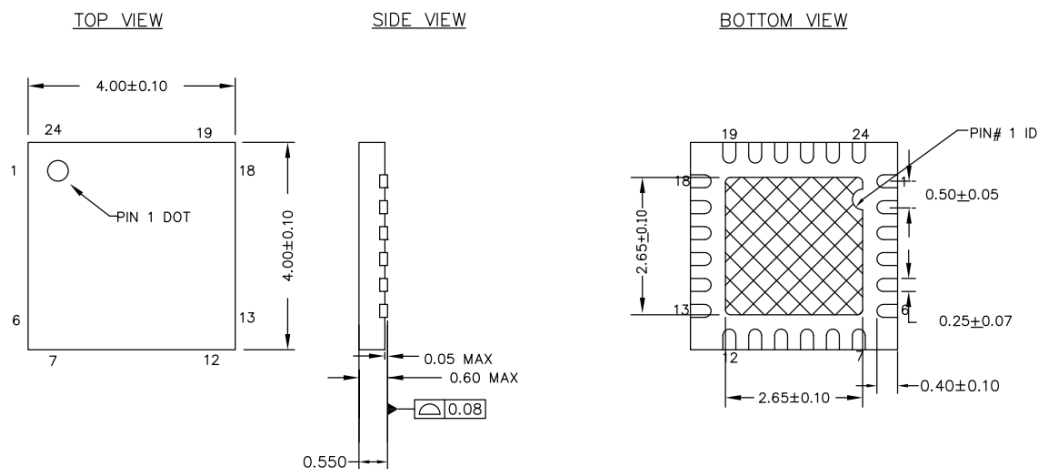
| Parameter       | Description                             | Conditions | Min | Typ  | Max | Units   |
|-----------------|-----------------------------------------|------------|-----|------|-----|---------|
| T <sub>A</sub>  | Operating ambient temperature           |            | -40 | 25   | 85  | °C      |
| T <sub>J</sub>  | Operating junction temperature          |            | -40 | –    | 100 | °C      |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (28-pin SSOP)   |            | –   | 66.6 | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (28-pin SSOP)   |            | –   | 34   | –   | °C/Watt |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (24-pin QFN)    |            | –   | 38   | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (24-pin QFN)    |            | –   | 5.6  | –   | °C/Watt |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (16-pin QFN)    |            | –   | 49.6 | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (16-pin QFN)    |            | –   | 5.9  | –   | °C/Watt |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (16-pin SOIC)   |            | –   | 142  | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (16-pin SOIC)   |            | –   | 49.8 | –   | °C/Watt |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (16-ball WLCSP) |            | –   | 90   | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (16-ball WLCSP) |            | –   | 0.9  | –   | °C/Watt |
| T <sub>JA</sub> | Package θ <sub>JA</sub> (8-pin SOIC)    |            | –   | 198  | –   | °C/Watt |
| T <sub>JC</sub> | Package θ <sub>JC</sub> (8-pin SOIC)    |            | –   | 56.9 | –   | °C/Watt |

**表 31 回流焊峰值温度**

| Package | Maximum Peak Temperature | Maximum Time at Peak Temperature |
|---------|--------------------------|----------------------------------|
| All     | 260 °C                   | 30 seconds                       |

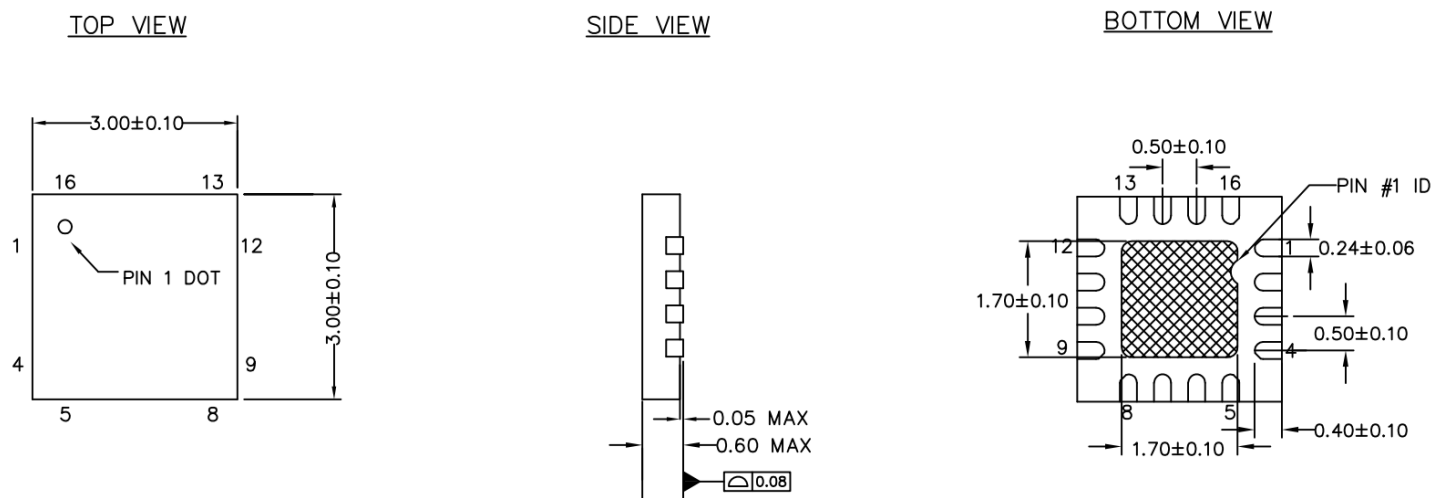
**表 32 封装潮敏等级 (MSL), IPC/JEDEC J-STD-020**

| Package          | MSL   |
|------------------|-------|
| All except WLCSP | MSL 3 |
| 16-ball WLCSP    | MSL1  |

**封装外形图**
**图 11 28-Pin SSOP 封装外形**
**28 Lead (10.2 X 5.3mm) SSOP**

**图 12 24-pin QFN EPAD (Sawn) 封装外形**

**NOTES :**

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

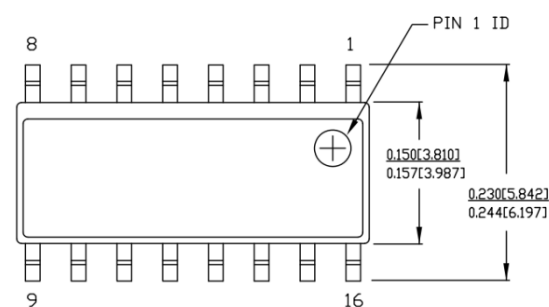
为了获得最佳的机械、热和电气性能，QFN 封装上的中心焊盘应接地 (VSS)。如果未接地，则应保持电气悬空状态，且不要连接到任何其他信号。

**图 13 16-pin QFN 封装 EPAD (Sawn)**


#### NOTES

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web

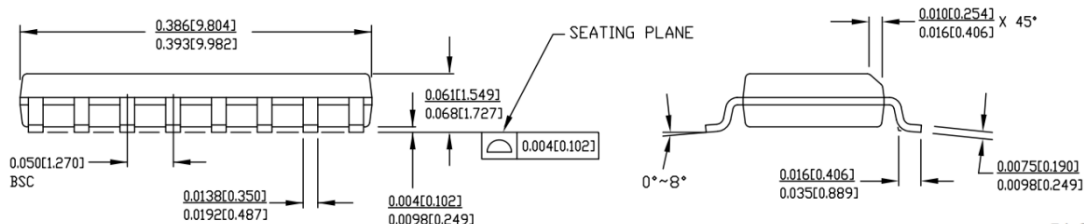
001-87187 \*A

**图 14 16-pin (150 mil) SOIC 封装外形**


|   |   |    |         |                                                              |          |     |
|---|---|----|---------|--------------------------------------------------------------|----------|-----|
| 1 | - | 0  | 3357783 | Update spec for surmount review no change                    | 08/26/11 | QAC |
| 1 | - | 1E | 3735784 | Changed pkg. weight 0.15gm to "refer to PMDD spec 001-04308" | 09/05/12 | QAC |
| 1 | - | 1F | 6547478 | Changed Note #3 to refer to IPC 1752 Material Declaration    | 04/18/19 | ROC |

2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to IPC 1752 Material Declaration.

| PART #  |                |
|---------|----------------|
| S16.15  | STANDARD PKG.  |
| SZ16.15 | LEAD FREE PKG. |



51-85068 \*F



1. DIMENSIONS IN INCHES[MM] MIN.  
MAX.
2. PIN 1 ID IS OPTIONAL,  
ROUND ON SINGLE LEADFRAME  
RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

4. PACKAGE WEIGHT 0.07gms

| PART #  |               |
|---------|---------------|
| S08.15  | STANDARD PKG  |
| SZ08.15 | LEAD FREE PKG |
| SW8.15  | LEAD FREE PKG |

Top view dimensions:

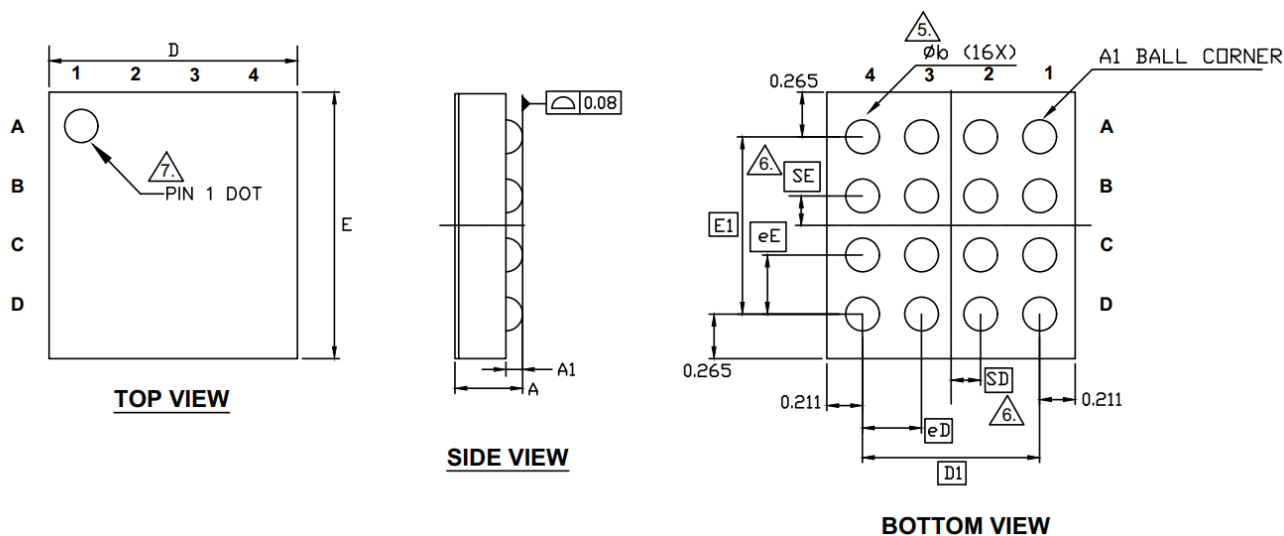
- PIN 1 ID
- 0.150[3.810] / 0.157[3.987]
- 0.230[5.842] / 0.244[6.197]
- 4, 1, 5, 8

Side view dimensions:

- 0.189[4.800] / 0.196[4.978]
- 0.050[1.270] BSC
- 0.061[1.549] / 0.068[1.727]
- SEATING PLANE
- 0.004[0.100]
- 0.004[0.100] / 0.0098[0.249]
- 0.0138[0.350] / 0.0192[0.487]
- 0°~8°

Cross-sectional view dimensions:

- 0.010[0.254] / 0.016[0.406] X 45°
- 0.016[0.406] / 0.035[0.889]
- 0.0075[0.190] / 0.0098[0.249]

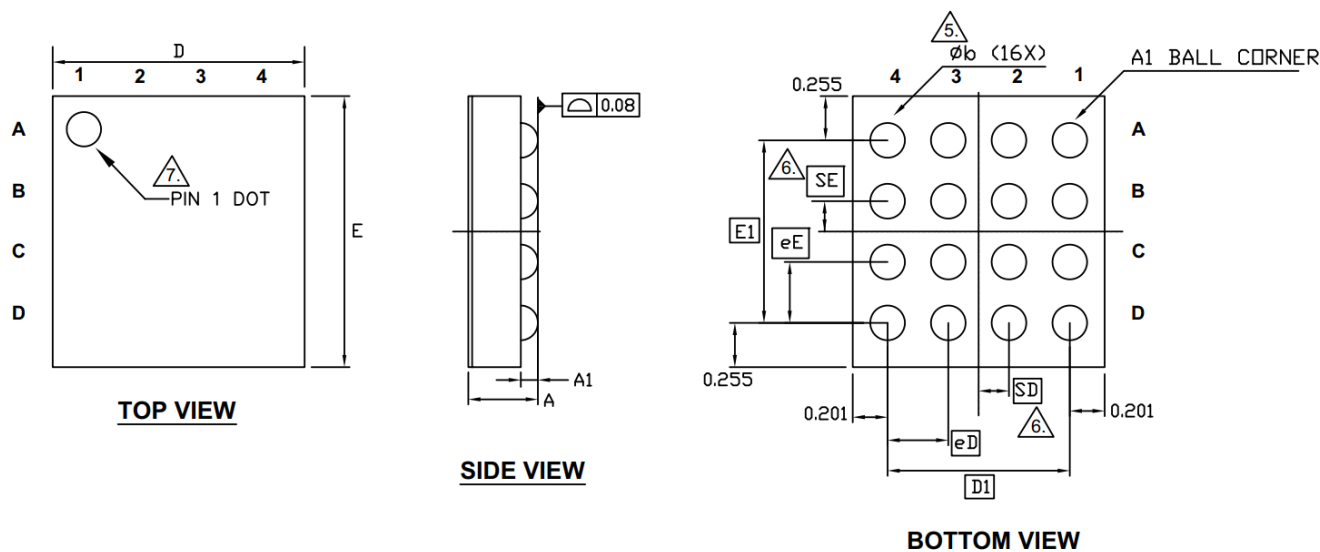
**图 16 16-ball WLCSP封装 1.47 × 1.58 × 0.42毫米**


| SYMBOL | DIMENSIONS |       |       |
|--------|------------|-------|-------|
|        | MIN.       | NOM.  | MAX.  |
| A      | -          | -     | 0.42  |
| A1     | 0.089      | 0.099 | 0.109 |
| D      | 1.447      | 1.472 | 1.497 |
| E      | 1.554      | 1.579 | 1.604 |
| D1     | 1.05 BSC   |       |       |
| E1     | 1.05 BSC   |       |       |
| MD     | 4          |       |       |
| ME     | 4          |       |       |
| N      | 16         |       |       |
| Ø b    | 0.17       | 0.20  | 0.23  |
| eD     | 0.35 BSC   |       |       |
| eE     | 0.35 BSC   |       |       |
| SD     | 0.175 BSC  |       |       |
| SE     | 0.175 BSC  |       |       |

**NOTES:**

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.  
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.  
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.  
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF.: N/A.

002-18598 \*A

**图 17 16-ball WLCSP封装 1.45 × 1.56 × 0.42毫米**


| SYMBOL | DIMENSIONS |       |       |
|--------|------------|-------|-------|
|        | MIN.       | NOM.  | MAX.  |
| A      | -          | -     | 0.42  |
| A1     | 0.089      | 0.099 | 0.109 |
| D      | 1.427      | 1.452 | 1.477 |
| E      | 1.534      | 1.559 | 1.584 |
| D1     | 1.05 BSC   |       |       |
| E1     | 1.05 BSC   |       |       |
| MD     | 4          |       |       |
| ME     | 4          |       |       |
| N      | 16         |       |       |
| Ø b    | 0.17       | 0.20  | 0.23  |
| eD     | 0.35 BSC   |       |       |
| eE     | 0.35 BSC   |       |       |
| SD     | 0.18 BSC   |       |       |
| SE     | 0.18 BSC   |       |       |

**NOTES:**

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : N/A.

001-95966 \*C

## 缩略语

表 33 本文档中使用的缩略语

| Acronym | Description                                                                                     |
|---------|-------------------------------------------------------------------------------------------------|
| abus    | analog local bus                                                                                |
| ADC     | analog-to-digital converter                                                                     |
| AG      | analog global                                                                                   |
| AHB     | AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm data transfer bus |
| ALU     | arithmetic logic unit                                                                           |
| AMUXBUS | analog multiplexer bus                                                                          |
| API     | application programming interface                                                               |
| APSR    | application program status register                                                             |
| Arm®    | advanced RISC machine, a CPU architecture                                                       |
| ATM     | automatic thump mode                                                                            |
| BW      | bandwidth                                                                                       |
| CAN     | Controller Area Network, a communications protocol                                              |
| CMRR    | common-mode rejection ratio                                                                     |
| CPU     | central processing unit                                                                         |
| CRC     | cyclic redundancy check, an error-checking protocol                                             |
| DAC     | digital-to-analog converter, see also IDAC, VDAC                                                |
| DFB     | digital filter block                                                                            |
| DIO     | digital input/output, GPIO with only digital capabilities, no analog. See GPIO.                 |
| DMIPS   | Dhrystone million instructions per second                                                       |
| DMA     | direct memory access, see also TD                                                               |
| DNL     | differential nonlinearity, see also INL                                                         |
| DNU     | do not use                                                                                      |
| DR      | port write data registers                                                                       |
| DSI     | digital system interconnect                                                                     |
| DWT     | data watchpoint and trace                                                                       |
| ECC     | error correcting code                                                                           |
| ECO     | external crystal oscillator                                                                     |
| EEPROM  | electrically erasable programmable read-only memory                                             |
| EMI     | electromagnetic interference                                                                    |
| EMIF    | external memory interface                                                                       |
| EOC     | end of conversion                                                                               |
| EOF     | end of frame                                                                                    |
| EPSR    | execution program status register                                                               |
| ESD     | electrostatic discharge                                                                         |
| ETM     | embedded trace macrocell                                                                        |

表 33 本文档中使用的缩略语 (续)

| Acronym                  | Description                                            |
|--------------------------|--------------------------------------------------------|
| FIR                      | finite impulse response, see also IIR                  |
| FPB                      | flash patch and breakpoint                             |
| FS                       | full-speed                                             |
| GPIO                     | general-purpose input/output, applies to a PSoC pin    |
| HVI                      | high-voltage interrupt, see also LVI, LVD              |
| IC                       | integrated circuit                                     |
| IDAC                     | current DAC, see also DAC, VDAC                        |
| IDE                      | integrated development environment                     |
| I <sup>2</sup> C, or IIC | Inter-Integrated Circuit, a communications protocol    |
| IIR                      | infinite impulse response, see also FIR                |
| ILO                      | internal low-speed oscillator, see also IMO            |
| IMO                      | internal main oscillator, see also ILO                 |
| INL                      | integral nonlinearity, see also DNL                    |
| I/O                      | input/output, see also GPIO, DIO, SIO, USBIO           |
| IPOR                     | initial power-on reset                                 |
| IPSR                     | interrupt program status register                      |
| IRQ                      | interrupt request                                      |
| ITM                      | instrumentation trace macrocell                        |
| LCD                      | liquid crystal display                                 |
| LIN                      | Local Interconnect Network, a communications protocol. |
| LR                       | link register                                          |
| LUT                      | lookup table                                           |
| LVD                      | low-voltage detect, see also LVI                       |
| LVI                      | low-voltage interrupt, see also HVI                    |
| LVTTL                    | low-voltage transistor-transistor logic                |
| MAC                      | multiply-accumulate                                    |
| MCU                      | microcontroller unit                                   |
| MISO                     | master-in slave-out                                    |
| NC                       | no connect                                             |
| NMI                      | nonmaskable interrupt                                  |
| NRZ                      | non-return-to-zero                                     |
| NVIC                     | nested vectored interrupt controller                   |
| NVL                      | nonvolatile latch, see also WOL                        |
| opamp                    | operational amplifier                                  |
| PAL                      | programmable array logic, see also PLD                 |
| PC                       | program counter                                        |
| PCB                      | printed circuit board                                  |

表 33 本文中使用的缩略语 (续)

| Acronym           | Description                                                  |
|-------------------|--------------------------------------------------------------|
| PGA               | programmable gain amplifier                                  |
| PHUB              | peripheral hub                                               |
| PHY               | physical layer                                               |
| PICU              | port interrupt control unit                                  |
| PLA               | programmable logic array                                     |
| PLD               | programmable logic device, see also PAL                      |
| PLL               | phase-locked loop                                            |
| PMDD              | package material declaration data sheet                      |
| POR               | power-on reset                                               |
| PRES              | precise power-on reset                                       |
| PRS               | pseudo random sequence                                       |
| PS                | port read data register                                      |
| PSoC <sup>®</sup> | Programmable System-on-Chip™                                 |
| PSRR              | power supply rejection ratio                                 |
| PWM               | pulse-width modulator                                        |
| RAM               | random-access memory                                         |
| RISC              | reduced-instruction-set computing                            |
| RMS               | root-mean-square                                             |
| RTC               | real-time clock                                              |
| RTL               | register transfer language                                   |
| RTR               | remote transmission request                                  |
| RX                | receive                                                      |
| SAR               | successive approximation register                            |
| SC/CT             | switched capacitor/continuous time                           |
| SCL               | I <sup>2</sup> C serial clock                                |
| SDA               | I <sup>2</sup> C serial data                                 |
| S/H               | sample and hold                                              |
| SINAD             | signal to noise and distortion ratio                         |
| SIO               | special input/output, GPIO with advanced features. See GPIO. |
| SOC               | start of conversion                                          |
| SOF               | start of frame                                               |
| SPI               | Serial Peripheral Interface, a communications protocol       |
| SR                | slew rate                                                    |
| SRAM              | static random access memory                                  |
| SRES              | software reset                                               |
| SWD               | serial wire debug, a test protocol                           |
| SWV               | single-wire viewer                                           |
| TD                | transaction descriptor, see also DMA                         |

表 33 本文中使用的缩略语 (续)

| Acronym | Description                                                            |
|---------|------------------------------------------------------------------------|
| THD     | total harmonic distortion                                              |
| TIA     | transimpedance amplifier                                               |
| TRM     | technical reference manual                                             |
| TTL     | transistor-transistor logic                                            |
| TX      | transmit                                                               |
| UART    | Universal Asynchronous Transmitter Receiver, a communications protocol |
| UDB     | universal digital block                                                |
| USB     | Universal Serial Bus                                                   |
| USBIO   | USB input/output, PSoC pins used to connect to a USB port              |
| VDAC    | voltage DAC, see also DAC, IDAC                                        |
| WDT     | watchdog timer                                                         |
| WOL     | write once latch, see also NVL                                         |
| WRES    | watchdog timer reset                                                   |
| XRES    | external reset I/O pin                                                 |
| XTAL    | crystal                                                                |

## 文档惯例

### 计量单位

表 34 计量单位

| Symbol | Unit of Measure        |
|--------|------------------------|
| °C     | degrees Celsius        |
| dB     | decibel                |
| fF     | femto farad            |
| Hz     | hertz                  |
| KB     | 1024 bytes             |
| kbps   | kilobits per second    |
| Khr    | kilohour               |
| kHz    | kilohertz              |
| kΩ     | kilo ohm               |
| ksps   | kilosamples per second |
| LSB    | least significant bit  |
| Mbps   | megabits per second    |
| MHz    | megahertz              |
| MΩ     | mega-ohm               |
| Msps   | megasamples per second |
| μA     | microampere            |
| μF     | microfarad             |

表 34 计量单位 (续)

| Symbol | Unit of Measure      |
|--------|----------------------|
| μH     | microhenry           |
| μs     | microsecond          |
| μV     | microvolt            |
| μW     | microwatt            |
| mA     | milliampere          |
| ms     | millisecond          |
| mV     | millivolt            |
| nA     | nanoampere           |
| ns     | nanosecond           |
| nV     | nanovolt             |
| Ω      | ohm                  |
| pF     | picofarad            |
| ppm    | parts per million    |
| ps     | picosecond           |
| s      | second               |
| sps    | samples per second   |
| sqrtHz | square root of hertz |
| V      | volt                 |

## 修订记录

| Description Title: PSoC® 4: PSoC 4000 Family Datasheet Programmable System-on-Chip (PSoC®)<br>Document Number: 001-89638 |         |                 |                                                                                                                                                                                                                                                                                                                                                                                              |
|--------------------------------------------------------------------------------------------------------------------------|---------|-----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Revision                                                                                                                 | ECN     | Submission Date | Description of Change                                                                                                                                                                                                                                                                                                                                                                        |
| *B                                                                                                                       | 4348760 | 05/16/2014      | New PSoC 4000 datasheet.                                                                                                                                                                                                                                                                                                                                                                     |
| *C                                                                                                                       | 4514139 | 10/27/2014      | Added 28-pin SSOP pin and package details.<br>Updated $V_{REF}$ spec values.<br>Updated conditions for SID174.<br>Updated SID.CSD#15 values and description.<br>Added spec SID339.                                                                                                                                                                                                           |
| *D                                                                                                                       | 4617283 | 01/09/2015      | Corrected Development Kits information and PSoC Creator Example Project figure. Corrected typo in the ordering information table.<br>Updated 28-pin SSOP package diagram.                                                                                                                                                                                                                    |
| *E                                                                                                                       | 4735762 | 05/26/2015      | Added 16-ball WLCSP pin and package details.                                                                                                                                                                                                                                                                                                                                                 |
| *F                                                                                                                       | 5466193 | 10/07/2016      | Updated <a href="#">Table 32</a> .<br>Updated 8-pin SOIC package diagram. Updated the template.                                                                                                                                                                                                                                                                                              |
| *G                                                                                                                       | 5685079 | 04/05/2017      | Updated 16-ball WLCSP package details.                                                                                                                                                                                                                                                                                                                                                       |
| *H                                                                                                                       | 5807014 | 07/24/2017      | Added <a href="#">Figure 17</a> (spec 001-95966 *C) in <a href="#">Packaging</a> .<br>Updated <a href="#">Table 29</a> .<br>Updated <a href="#">Ordering Information</a> .                                                                                                                                                                                                                   |
| *I                                                                                                                       | 6189153 | 05/29/2018      | Updated 8-pin SOIC and 24-pin QFN package drawings.                                                                                                                                                                                                                                                                                                                                          |
| *J                                                                                                                       | 6604429 | 07/02/2019      | Corrected TRM links in <a href="#">More Information</a> .<br>Updated clocking diagram.<br>Updated Pin 26 in 28-pin SSOP pinout.<br>Added <a href="#">CSD ADC DC Specifications</a> and <a href="#">CSD ADCAC Specifications</a> .                                                                                                                                                            |
| *K                                                                                                                       | 7104675 | 03/15/2021      | Updated conditions for SID.CLK#6.                                                                                                                                                                                                                                                                                                                                                            |
| *L                                                                                                                       | 8006005 | 03/12/2024      | Fixed broken links<br>Removed CY8C4014SXI-411, CY8C4014FNI-421, CY8C4014LQI-SLT1, CY8C4014LQI-SLT2 from <a href="#">Ordering Information</a><br>Changed CY8C4014FNI-421A to CY8C4014FNI-421AT in <a href="#">Ordering Information</a> Updated <a href="#">Figure 11</a> , <a href="#">Figure 12</a> and <a href="#">Figure 16</a><br>Completing Sunset review Added <a href="#">Figure 1</a> |



## 销售、解决方案和法律信息

### 全球销售和设计支持

赛普拉斯拥有一个遍布全球的办事处、解决方案中心、制造商代表和分销商网络。要查找离您最近的办事处，请访问[赛普拉斯办事处](#)。

### 产品

|                   |                                                                    |
|-------------------|--------------------------------------------------------------------|
| Arm® Cortex® 微控制器 | <a href="http://cypress.com/arm">cypress.com/arm</a>               |
| 汽车                | <a href="http://cypress.com/automotive">cypress.com/automotive</a> |
| 时钟与缓冲器            | <a href="http://cypress.com/clocks">cypress.com/clocks</a>         |
| 接口                | <a href="http://cypress.com/interface">cypress.com/interface</a>   |
| 物联网               | <a href="http://cypress.com/iot">cypress.com/iot</a>               |
| 内存                | <a href="http://cypress.com/memory">cypress.com/memory</a>         |
| 微控制器              | <a href="http://cypress.com/mcu">cypress.com/mcu</a>               |
| PSoC              | <a href="http://cypress.com/psoc">cypress.com/psoc</a>             |
| 电源管理 ICs          | <a href="http://cypress.com/pmic">cypress.com/pmic</a>             |
| 触摸感应              | <a href="http://cypress.com/touch">cypress.com/touch</a>           |
| USB 控制器           | <a href="http://cypress.com/usb">cypress.com/usb</a>               |
| 无线连接              | <a href="http://cypress.com/wireless">cypress.com/wireless</a>     |

### PSoC® 解决方案

[片上系统 \(PSoC\) 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 单片机](#)

### 赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

### 技术支持

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2013-2024. This document is the property of Cypress Semiconductor Corporation and its subsidiaries ("Cypress"). This document, including any software or firmware included or referenced in this document ("Software"), is owned by Cypress under the intellectual property laws and treaties of the United States and other countries worldwide. Cypress reserves all rights under such laws and treaties and does not, except as specifically stated in this paragraph, grant any license under its patents, copyrights, trademarks, or other intellectual property rights. If the Software is not accompanied by a license agreement and you do not otherwise have a written agreement with Cypress governing the use of the Software, then Cypress hereby grants you a personal, non-exclusive, nontransferable license (without the right to sublicense) (1) under its copyright rights in the Software (a) for Software provided in source code form, to modify and reproduce the Software solely for use with Cypress hardware products, only internally within your organization, and (b) to distribute the Software in binary code form externally to end users (either directly or indirectly through resellers and distributors), solely for use on Cypress hardware product units, and (2) under those claims of Cypress's patents that are infringed by the Software (as provided by Cypress, unmodified) to make, use, distribute, and import the Software solely for use with Cypress hardware products. Any other use, reproduction, modification, translation, or compilation of the Software is prohibited.

TO THE EXTENT PERMITTED BY APPLICABLE LAW, CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS DOCUMENT OR ANY SOFTWARE OR ACCOMPANYING HARDWARE, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. No computing device can be absolutely secure. Therefore, despite security measures implemented in Cypress hardware or software products, Cypress shall have no liability arising out of any security breach, such as unauthorized access to or use of a Cypress product. CYPRESS DOES NOT REPRESENT, WARRANT, OR GUARANTEE THAT CYPRESS PRODUCTS, OR SYSTEMS CREATED USING CYPRESS PRODUCTS, WILL BE FREE FROM CORRUPTION, ATTACK, VIRUSES, INTERFERENCE, HACKING, DATA LOSS OR THEFT, OR OTHER SECURITY INTRUSION (collectively, "Security Breach"). Cypress disclaims any liability relating to any Security Breach, and you shall and hereby do release Cypress from any claim, damage, or other liability arising from any Security Breach. In addition, the products described in these materials may contain design defects or errors known as errata which may cause the product to deviate from published specifications. To the extent permitted by applicable law, Cypress reserves the right to make changes to this document without further notice. Cypress does not assume any liability arising out of the application or use of any product or circuit described in this document. Any information provided in this document, including any sample design information or programming code, is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. "High-Risk Device" means any device or system whose failure could cause personal injury, death, or property damage. Examples of High-Risk Devices are weapons, nuclear installations, surgical implants, and other medical devices. "Critical Component" means any component of a High-Risk Device whose failure to perform can be reasonably expected to cause, directly or indirectly, the failure of the High-Risk Device, or to affect its safety or effectiveness. Cypress is not liable, in whole or in part, and you shall and hereby do release Cypress from any claim, damage, or other liability arising from any use of a Cypress product as a Critical Component in a High-Risk Device. You shall indemnify and hold Cypress, its directors, officers, employees, agents, affiliates, distributors, and assigns harmless from and against all claims, costs, damages, and expenses, arising out of any claim, including claims for product liability, personal injury or death, or property damage arising from any use of a Cypress product as a Critical Component in a High-Risk Device. Cypress products are not intended or authorized for use as a Critical Component in any High-Risk Device except to the limited extent that (i) Cypress's published data sheet for the product explicitly states Cypress has qualified the product for use in a specific High-Risk Device, or (ii) Cypress has given you advance written authorization to use the product as a Critical Component in the specific High-Risk Device and you have signed a separate indemnification agreement.

Cypress, the Cypress logo, Spansion, the Spansion logo, and combinations thereof, WICED, PSoC, CapSense, EZ-USB, F-RAM, and Traveo are trademarks or registered trademarks of Cypress in the United States and other countries. For a more complete list of Cypress trademarks, visit [cypress.com](http://cypress.com). Other names and brands may be claimed as property of their respective owners.





### 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

### Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

### 重要通知

版本 2025-09-05

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。