

功率优化的 Arm® 多核产品系列，运行频率高达 320 MHz，拥有高达 6.5 MB SRAM 和 512 KB RRAM。与现有的基于 Cortex® -M 的系统相比，ML 性能提升了 480 倍。集成了机器学习安全和图形加速器。

特性

• 计算

- 320 MHz Arm® Cortex®-M55 配备 Helium DSP、FPU、32 KB I/D 高速缓存和 512 KB 0 等待状态 SRAM 紧密耦合内存
- 功率优化的 160 MHz Arm® Cortex®-M33 和专有 NNLITE NPU
- 320 MHz Arm® Ethos-U55 NPU，每个周期可执行 128 个 MAC

• 存储器

- 高达 5 MB 的系统 SRAM 可支持机器学习和图形处理
- 1 MB 的 SRAM 搭配低功耗的 Arm® Cortex®-M33 CPU
- 512 KB 超低功耗 RRAM，用于非易失性存储
- Arm® Cortex®-M55 拥有 256 KB 指令与 256 KB 数据紧密耦合内存
- 64 KB 启动 ROM

• 安全

- Lockstep 安全隔离区，可选择符合 Arm® PSA L4/Infineon Edge Protect Category 4 (EPC4) 提供篡改保护，Arm® 可信固件-M (TF-M) 和 mbedTLS 库，以符合网络安全法规。
- 包括受保护的信任根 (RoT)、安全启动、安全固件更新的加密加速器和基本安全功能
- PSA L4 iSE 硬件安全隔离区认证 (认证待定)
- PSA L3 认证的系统安全性 (认证待定)

• 人机界面

- 2.5D GPU、显示控制器和 nMIPI-DSI 接口 (可减少支持丰富图形所需的延迟和内存)
- 2x TDM/I2S 接口，用于连接音频编解码器
- PDM/PCM 最多可连接 6 个 DMIC 和声音活动检测器 (AAD)

• 通信

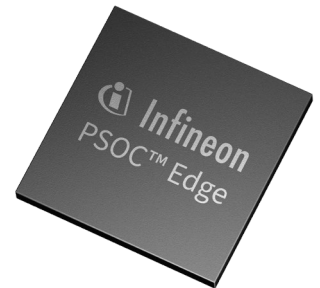
- 11 个串行通信模块 (SCB)，可灵活支持 I²C、UART 和 SPI。1x SCB，可深度休眠，仅支持 I²C 和 SPI
- 带 PHY 的高速/全速 USB
- I3C
- 2 个串行存储器接口，支持外部四/八位 SPI 和 HYPERBUS™ 接口
- 2x SD 主机控制器，支持 SD、SDIO 和 eMMC
- 可选 CAN-FD 和 10/100 以太网支持

• 模拟模块

- 模拟前端集成了 12 位 ADC、2x DAC、OPAMP、PGA 和比较器
- 支持 I/O、模拟和音频外设的自主运行

• 系统

- 集成 DC-DC 降压转换器的多种电源模式；动态电压和频率管理
- 内部和外部支持带有多集成 PLL 的时钟源
- 可编程 GPIO 引脚：驱动模式、强度和转换速率；过压容忍 (OVT) I/O 可编程逻辑阵列



Green



Halogen-free



Lead-free

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

潜在应用

- 电源范围1.8 V 至 4.8 V
- 环境温度范围：-40°C 至 105°C Ta
- 启用
 - Modus Toolbox™ 软件生态系统，提供嵌入式开发工具和运行资源，包括支持多个集成开发环境/工具链、大量示例项目和中间件资源
 - DEEPCRAFT™ 工具实现了从 ML 模型开发到嵌入式软件部署的全过程
 - 多个集成无线连接功能的硬件开发板，用于快速原型开发和评估

潜在应用

- 门禁控制
- 医疗设备
- 工业自动化
- 工业机器人

描述

描述

该产品线是一款双 CPU 微控制器，具有神经网络辅助处理器、DSP 功能、高性能内存扩展功能、低功耗模拟子系统（具有高性能模数转换和低功耗比较器）、物联网连接、通信通道以及可编程模拟和数字模块。它还有音频和图形块。

COMPUTE

High Performance (HP) Domain

Arm® Cortex®-M55 up to 320 MHz	Helium DSP	Arm® Ethos-U55 NPU up to 320 MHz
NVIC	FPU	MPU
32 KB I-Cache	32 KB D-Cache	4-ch HPDMA
256 KB I-TCM	256 KB D-TCM	WIC

Low Power (LP) Domain

Arm® Cortex®-M33 up to 160 MHz	DSP	NNLite NPU up to 160 MHz
NVIC	FPU	Arm® TrustZone
16 KB I-Cache	2x 16-ch DMA	WIC

MEMORY

Up to 5 MB System SRAM	2x Serial Memory I/F (Octal SPI/HYPERBUS™)
1 MB SRAM (LP Domain)	2x SD Host Controller (SD 6.0/SDIO 4.10/eMMC 5.1)
512 KB RRAM	64 KB Boot ROM

HUMAN MACHINE INTERFACE

Acoustic Activity Detect	Wake Word Detection	
6x PDM	2x TDM/I2S	
2.5D GPU	DC	MIPI DSI/DBI

SYSTEM CONTROL

32x TCPWM	3x DPLL
2x Smart I/O	Clock Control
LDO/Buck	2x MCWDT
BOD	Watchdog Timer
POR	RTC
Up to 132 GPIOs, 6 SMIF, 7 DSI and 2 USB I/Os	16x 32-bit Backup Registers

SECURE ENCLAVE

Secure Boot	Side Channel Resistance
TRNG	Crypto Accelerator
Tamper Protection	Secure JTAG
OTP	Secure Key Storage

ANALOG

ADC 12-20 bit 5 Msps/200 ksps**	4x Opamp/PGA/TIA/ Buffer/Comp
2x 12-bit DAC	2x 4-bit Prog. Reference
2x PTCOMP	2x LPCOMP

COMMUNICATION

USB HS/FS	1x I3C
10/100 Ethernet	2x CAN-FD
1x SCB (I2C, SPI)	11x SCB (UART, I2C, SPI)

System Power Modes

HP/LP

Deep Sleep

Hibernate

** 5 Msps in HP/LP, 200 ksps in Deep Sleep



目录

	特性	1
	潜在应用	2
	描述	3
	目录	4
1	简介	7
2	详细特性	9
3	开发生态系统.....	11
3.1	PSOC™ Edge MCU 资源.....	11
3.2	ModusToolbox™ 软件.....	11
4	芯片级功能说明	13
4.1	电源.....	13
4.1.1	电源连接.....	13
4.1.2	电源分配和域管理.....	16
4.1.3	电源模式.....	18
4.1.4	电源模式转换.....	22
4.1.5	电源块支持.....	19
4.2	安全.....	21
4.2.1	加密特性.....	21
4.2.2	安全架构概述.....	23
5	区块功能说明.....	24
5.1	处理器.....	24
5.2	处理器间通信(IPC)	24
5.3	DMA	25
5.4	密码加速器 (CRYPTO)	25
5.5	存储器.....	25
5.5.1	非易失性存储器.....	25
5.5.2	EEPROM	26
5.5.3	SRAM	26
5.5.4	串行存储器接口 (SMIF).....	26
5.5.5	等待状态和延迟.....	26
5.6	保护单位.....	28
5.7	时钟.....	28
5.7.1	内部高速振荡器(IHO)	28
5.7.2	精密内部低速振荡器(PILO).....	29
5.7.3	看门狗定时器 (WDT).....	29
5.7.4	外部晶体振荡器(ECO)	29
5.7.5	实时时钟.....	30

目录

5.8	复位.....	30
5.9	自主模拟.....	31
5.9.1	SAR ADC	32
5.9.2	DAC	33
5.9.3	连续时间块(CTB)	33
5.9.4	PT Comp.....	33
5.10	低功耗比较器.....	34
5.11	固定功能数字模块.....	34
5.11.1	定时器/计数器/脉宽调制器模块 (TCPWM).....	34
5.11.2	串行通信模块 (SCB).....	34
5.11.3	CAN FD.....	34
5.11.4	以太网媒体访问控制 (MAC)	35
5.11.5	I3C	35
5.11.6	SD 主机控制器	35
5.11.7	USB.....	36
5.12	GPIO 端口	36
5.13	智能输入/输出（可编程输入/输出）	38
5.14	用于机器学习的神经网络处理.....	39
5.14.1	Arm® Ethos-U55.....	39
5.14.2	NNLite	39
5.15	音频功能.....	40
5.15.1	PDM/PCM 块	40
5.15.2	TDM/I2S 块	40
5.15.3	带模拟麦克风的自主模拟块.....	41
5.16	图形功能.....	41
5.17	启动源和备用串行接口配置.....	41
6	引脚	43
7	GPIO 备用功能.....	49
8	电气规格参数	67
8.1	绝对最大额定值.....	67
8.2	器件级规范.....	67
8.2.1	电源供电和运行条件.....	67
8.2.2	XRES	81
8.2.3	GPIO	82
8.3	模拟外设.....	85
8.3.1	自主模拟规格.....	85
8.3.2	LP 比较器	86
8.3.3	ADC.....	87
8.3.4	DAC.....	90
8.3.5	CTBL 运算放大器.....	92
8.3.6	PT Comp	107

目录

8.3.7	PRB.....	108
8.4	数字外设.....	109
8.4.1	定时器/计数器/脉宽调制器 (TCPWM).....	109
8.4.2	串行通信块 SCB.....	110
8.5	系统资源.....	111
8.5.1	系统资源.....	111
8.5.2	单线调试 SWD 和跟踪接口	112
8.5.3	内部振荡器 晶体振荡器 外部时钟和 PLL	112
8.6	PLLs	114
8.7	串行存储器接口SMIF控制器.....	115
8.8	SDHC 和 eMMC	117
8.9	音频子系统.....	120
8.10	以太网 MAC.....	122
8.11	CAN FD.....	122
8.12	JTAG和边界扫描	122
8.13	USB HS.....	122
8.14	MIPI DSI PHY.....	123
8.15	MIPI DBI	123
8.16	I3C.....	123
8.17	NNlite	123
8.18	SmartIO	123
8.19	GPU.....	124
9	订购信息	125
9.1	料号命名法.....	125
10	封装信息	128
11	勘误表.....	130
12	缩略语	132
13	文档惯例	137
13.1	测量单位.....	137
	修订记录	138
	商标	139
	免责声明.....	140

1 简介

该产品系列是高性能、低功耗 MCU 系列，专为计算性能、人机界面 (HMI)、机器学习 (ML)、增强型传感、实时控制和低功耗应用而设计。此外，还提供功能强大、易于使用的 ML 和 HMI 软件和工具。

支持的功能包括安全、通信和控制以及 DSP，采用多域架构，可实现细粒度功耗优化和动态频率扩展。始终在线域支持语音识别、电池监测和其他传感应用。这些功能的功耗极低。

详细框图如 [图 1](#) 所示。

设备识别和修订

Family ID = 0x115 (12-bit); Si ID range = 0xED80-0xEDBF, 0xF180-0xF1BF; rev ID = "0x21 (B0)"

固件版本: Rom Boot: 2.0.0.6022, RRAM Boot: 2.0.0.7127

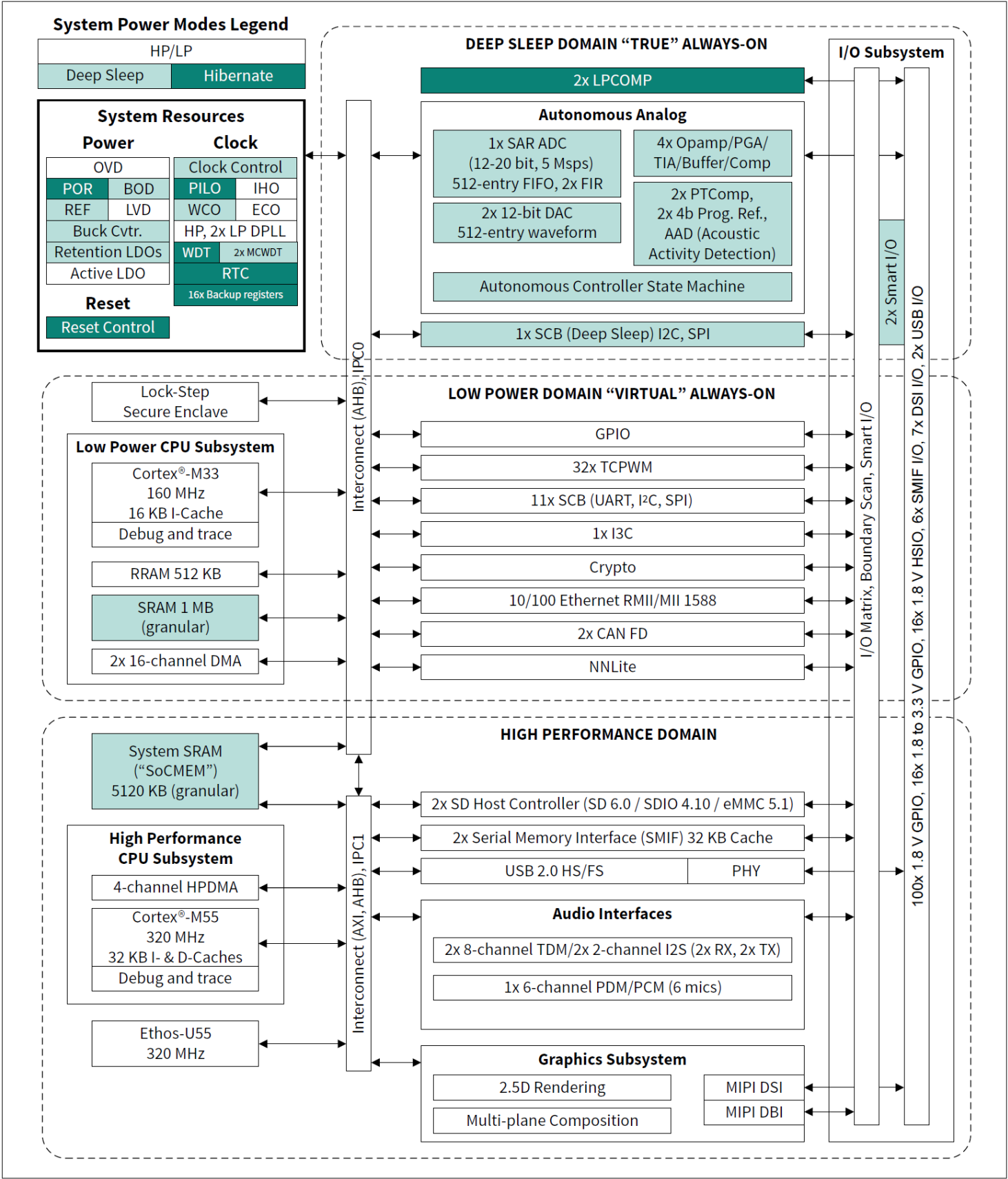


图 1 详细示意图

2 详细特性

该产品系列具有以下特点：

- 自主模拟
 - 2 个连续时间块 (CTB)，提供模拟前端 (AFE) 等功能：
 - 可编程增益放大器 (PGA)
 - 跨阻放大器 (TIA)
 - 伪差分放大器
 - 比较器
 - SAR ADC，支持
 - 在系统高性能模式下，12 位 5 Msps 采样率或 16 位 250 ksps 采样率
 - 系统深度休眠模式下，12 位 200 ksps 采样率或 16 位 12.5 ksps 采样率
 - 累积和平均 - 2x、4x、8x ... 256x
 - 极限检测、偏移和增益校准
 - 2x 12 位 DAC，刷新时间为 1 μ S，自动生成波形
 - 2 个可编程阈值比较器 (PTComp)，带后处理功能，支持音频活动检测 (AAD) 和电机控制
 - 自主控制器能够在设备深度睡眠模式下执行以下功能
 - 单个区块的功率循环
 - 向 CPU 发送触发器和/或中断
 - 多达四个 GPIO 的数字输出
- 加密特性
 - 高达英飞凌 Edge 保护类别 4 (EPC 4)，取决于零件编号（参见 [订购信息](#)）。有关英飞凌 Edge 保护的更多信息，请参见 [此处](#)
 - 低功耗始终在线的 Lockstep 安全隔离区
 - 安全的英飞凌 RoT 密钥存储；安全启动
 - 篡改检测、侧信道攻击 (SCA) 缓解和故障注入攻击防护
 - 仅适用于 EPC 4 部件号：用于 Arm® 的安全隔离区运行时服务符合平台安全架构 (PSA) 的加密、密钥管理、安全存储和验证服务（请参阅 [订购信息](#)）
 - 启用现成的可信固件 - M 和 Mbed-TLS 以进行加密操作
 - 通过 Arm® 安全隔离处理环境信任区 (TrustZone)，由 Cortex®-M33 CPU 在启动时建立信任根
 - 出厂配置的设备唯一密钥对 (DICE_DeviceID)、硬件唯一密钥 (HUK)、设备唯一密文 (UDS) 和英飞凌设备证书
 - 英飞凌专有的内存和外设保护单元
 - 安全固件更新；用于现场故障分析的安全 RMA 模式和安全调试
- 低功耗安全、控制和通信 CPU
 - Cortex®-M33，带 FPU、DSP 和 MPU，在系统高性能 (HP) 电源模式下频率为 160 MHz（请参阅 [电源模式](#)）。
 - 16-KB I-cache
 - 用于 NVM 的 RRAM 模块
 - DMA
 - 全面支持加密算法的硬件加密加速器
- 高性能计算、DSP 和机器学习 (ML) 模块
 - 带 DSP 扩展的 Cortex®-M55 CPU，频率为 320 MHz，采用系统高性能 (HP) 电源模式（请参阅 [电源模式](#)）。
 - FPU、MVE 扩展，带向量定点和浮点功能

2 详细特性

- 32-KB I-cache 和 32-KB D-cache
- 256KB I-TCM 和 256KB D-TCM
- Ethos-U55 NN 协处理器，每周期 128 次乘法累加运算 (MAC)；每秒 512 亿次运算
- HPDMA
- 多轴向高带宽互联
- 通信和联网
 - HS USB 主机/设备，480 Mbps
 - 具有 eMMC 模式的 SD 主机控制器
 - 2 个串行存储器接口 (SMIF，带 32 KB 缓存)，八进制 DDR
 - 以太网 10/100 媒体访问控制 (MAC)
 - CAN FD
 - 用于两线制传感器集线器的 I3C 总线
 - 通过串行通信模块 (SCB)，支持 I²C、SPI 和 UART。SCB0 仅支持 I²C 和 SPI
- 人机界面功能块
 - 用于渲染图像和文本的 2.5D 图形处理器
 - 带 MIPI DSI 的显示控制器
 - 音频：PDM 麦克风接口有 3 对输入，2x TDM（时分复用）每个接口有 8 个通道，支持 I2S 全双工和半双工模式
- 可优化的功耗
 - 独立的电压域允许为低功耗或高性能选择域功率（参见[电源模式](#)）
 - 活动、睡眠、深度睡眠和休眠模式
 - 片上直流-直流降压转换器
 - 动态频率缩放实现实时功率优化
 - 用于可选 SRAM 保留的粒状 SRAM 块
- 可编程 GPIO 引脚
 - 可编程驱动模式、驱动强度和转换速率
 - 过压容限 (OVT) 引脚，符合 I²C 标准
- 带有 16 个备份寄存器的 RTC
- ModusToolbox™ 开发环境
 - 在支持 Visual Studio Code、IAR、Keil 和 Eclipse 集成开发环境的跨操作系统（Windows、Linux、Mac OS）集成开发环境中进行代码开发和调试
 - 可安装软件开发工具包 (SDK)，用于外设初始化、时钟和引脚配置以及中间件选择
 - 用于外设 API 的外设驱动程序库 (PDL)，包括用于连接物联网设备的 SD 主机控制器；以及 ML 库
 - 支持行业标准的 CMSIS 软件包
 - 支持 RTOS，包括 FreeRTOS
- DEEPCRAFT™ 工具实现了从 ML 模型开发到嵌入式软件部署的全过程

3 开发生态系统

3.1 PSOC™ Edge MCU resources

www.infineon.com 上提供的大量数据可帮助您选择合适的 PSOC™ MCU 并将其快速有效地集成到您的设计中。以下是有关 PSOC™ Edge E8 MCU 的资源简表。

- **概述：** PSOC™ 产品组合
- **PSOC™ Edge E8x2, E8x3, E8x5, E8x6 Architecture Reference Manual：** 本文档包含硬件模块的架构说明
- **PSOC™ Edge E8x2, E8x3, E8x5, E8x6 Registers Reference Manual：** 本文档包含硬件模块中的寄存器和位域列表
- **应用笔记**涵盖从基础到高级的广泛主题。应用笔记包括：
 - [AN235935](#): Getting started with PSOC™ Edge E84 on ModusToolbox™ software
 - [AN239191](#): Getting started with graphics on PSOC™ Edge MCU
 - [AN236697](#): Getting started with PSOC™ MCU and AIROC™ connectivity devices
 - [AN237849](#): Getting started with PSOC™ Edge security
 - [AN240096](#): Getting started with Trusted Firmware-M (TF-M) on PSOC™ Edge
 - [AN236282](#): Device Firmware Update (DFU) Middleware (MW) for ModusToolbox™
 - [AN238041](#): PSOC™ Edge provisioning specification
 - [AN236517](#): PCB layout guidelines for PSOC™ Edge E84 MCU
 - [AN237976](#): PSOC™ Edge E84 MCU low-power modes and power reduction techniques
 - [AN239774](#): Selecting and configuring memories for power and performance in PSOC™ Edge MCU
 - [AN237816](#): PSOC™ Edge E84 MCU voice and audio firmware components guide
 - [AN239757](#): Authenticated debug for PSOC™ Edge
 - [AN240857](#): PSOC™ Edge MCU Lifetime Estimate
- **代码示例：** 英飞凌 [GitHub 存储库](#) 中提供了大量示例应用程序，包括各种外设和系统中间件
- **开发套件包括文档、原理图和布局文件**
 - 通用评估套件：[KIT_PSE84_EVAL](#)
 - 人工智能/机器学习套件：[KIT_PSE84_AI](#)
- **培训**
 - [PSOC™ Edge 基于实验室的培训 模块](#)
 - 关于英飞凌产品和工具的视频培训
- **技术支持：** [PSOC™ 开发社区论坛](#)、[知识库文章](#)、[我的案例](#)

3.2 ModusToolbox™ software

ModusToolbox™ 软件是英飞凌的多平台工具和软件库的综合集合，为创建融合的 MCU 和无线系统提供了沉浸式的开发体验。

- 全面--它拥有你需要的资源
- 灵活--你可以在自己的工作流程中使用这些资源
- 原子化--你可以只获得你想要的资源

英飞凌在 [GitHub](#) 上提供了大量代码库。包括

- 与英飞凌套件相一致的电路板支持包 (BSP)

3 开发生态系统

- 外设驱动程序库（PDL）提供访问硬件子系统和外设的低级设备专用固件驱动程序
- 中间件支持行业领先的功能，如 CAPSENSE™、Bluetooth® 低功耗和网状网络等业界领先的功能。此外，硬件抽象层（HAL）提供了跨产品系列的中间件可移植性。
- 一套广泛的经过全面测试的代码示例应用程序

ModusToolbox™ 软件与集成开发环境无关，可轻松适应您的工作流程和首选开发环境。它支持 Windows、Linux、MacOS、IAR、Keil 和 Visual Studio Code。如图 2 所示，它包括：(1) 项目创建器；(2) 外设和库配置器；(3) 库管理器；(4) 用于 ModusToolbox™ 的可选 Eclipse 集成开发环境。有关使用英飞凌工具的信息，请参阅随 ModusToolbox™ 软件一起提供的文档，以及 [AN235935](#) Getting started with PSOC™ Edge E84 on ModusToolbox™ software。

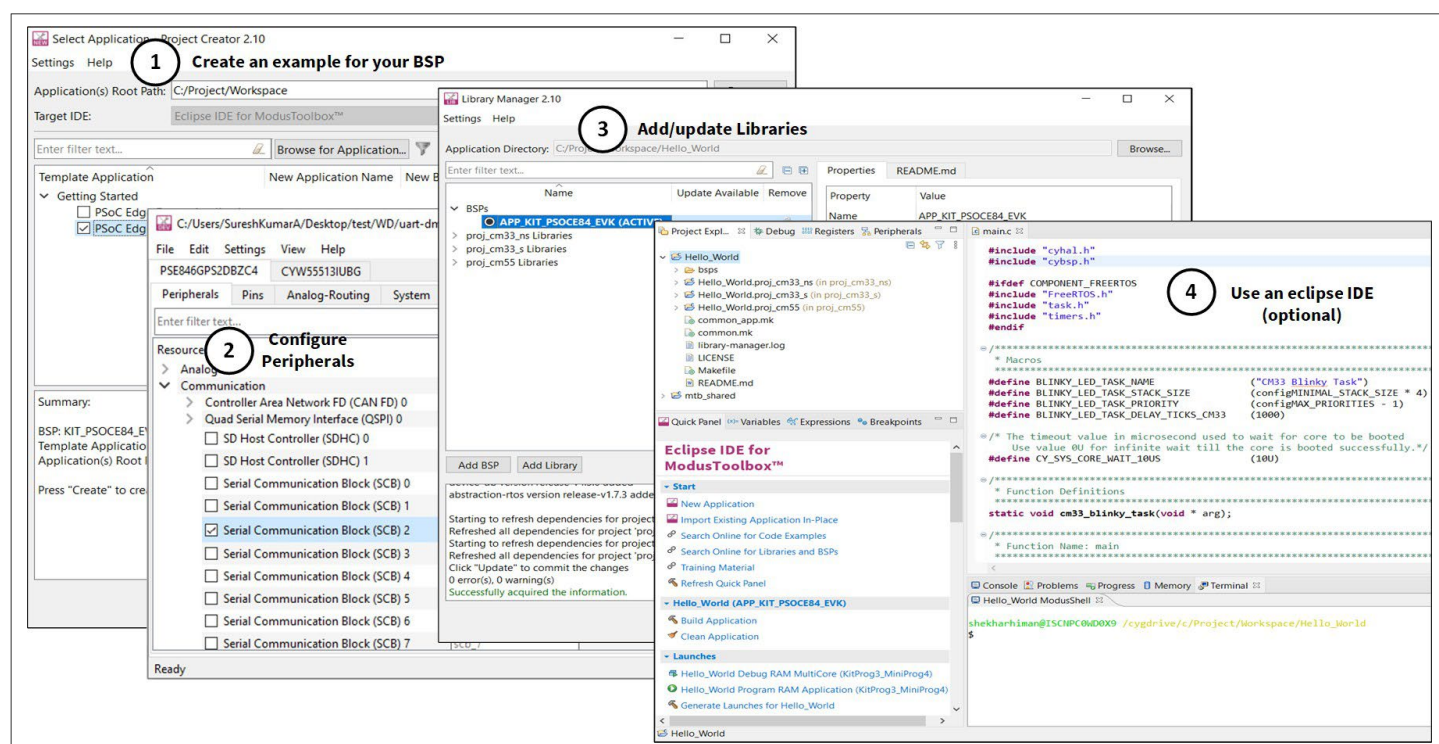


图 2 ModusToolbox™ 软件工具

4 芯片级功能描述

4.1 功率产品

该产品系列具有管理和降低功耗的多种功能。多种电源模式包括激活、睡眠、深度睡眠和休眠。根据 SRAM 的保留时间，深度睡眠有三种变化。

功率控制模块确保电压水平符合相应模式的要求。可以：

- 延迟进入模式（例如在上电复位 (POR) 时），直到电压水平达到正常工作所需的水平
- 检测低于安全供电水平的运行：
 - 为低电压检测 (LVD) 生成中断
 - 产生断电检测 (BOD) 复位

该产品系列采用单一的 $1.8\text{ V} \pm 5\%$ 稳压电源，或采用 2.7 至 4.8 V 的电压供应同时配合 $1.8\text{ V} \pm 5\%$ 的稳定电压供应。核心逻辑是可在不同的电压级别上运行，并在性能和功耗之间进行权衡。结合外设和总线级别的时钟门控，这使得电源能量的使用可以进行细粒度的优化。

降压调节器以三个电平为核心逻辑供电：0.7 V、0.8 V 和 0.9 V；（参见 [电源模式](#)）。在主动电源模式下降压效率 $\geq 80\%$ 。降压配置为单输入单输出 (SISO)。

支持动态电压和频率缩放。电压电平切换通过写入电源控制寄存器来实现。

4.1.1 电源连接

以下电源系统图显示了所有支持封装的电源引脚的典型连接。在这些图表中，封装引脚与引脚名称一起显示，例如 "VDDQ, A11"。对于 VDDIOx 引脚，还显示了由该引脚供电的 I/O 端口，例如 "VDDIO1; E6;; I/O port P8"。

图中显示了两种为设备供电的方法：

- **电源供电：**所有 VDDx 引脚都绑定到 1.8 V。可使用隔离源，例如隔离模拟电路或隔离系统其他部分与噪声大的 GPIO。所有 "VBAT" 相关引脚均接地。
- **电池供电：**VBAT 连接到 2.7 V 至 4.8 V 的电源。其他 VDDx 引脚仍必须连接至 1.8 V。所有 "IP8" 引脚均接地。

请注意，较小的封装没有 VBAT 引脚；这些封装只能由电源供电。在这两种情况下，如果使用 USB，VDD.USB 将绑定到 3.3 V。如果没有，则应与地线相连。

当与 VDDIOx 相关的端口（VDDIO7 除外）均未使用时，将其余所有 VDDIOx 引脚接地，VDDIO7 接 1.8 V，因为它具有芯片中所有 IO 的电源检测电路。

与电源排序无关。参见 [系统资源](#)；它们适用于开机和关机。

注释：下图所示旁路电容仅为典型使用建议。旁路电容的实际用量和大小取决于应用。

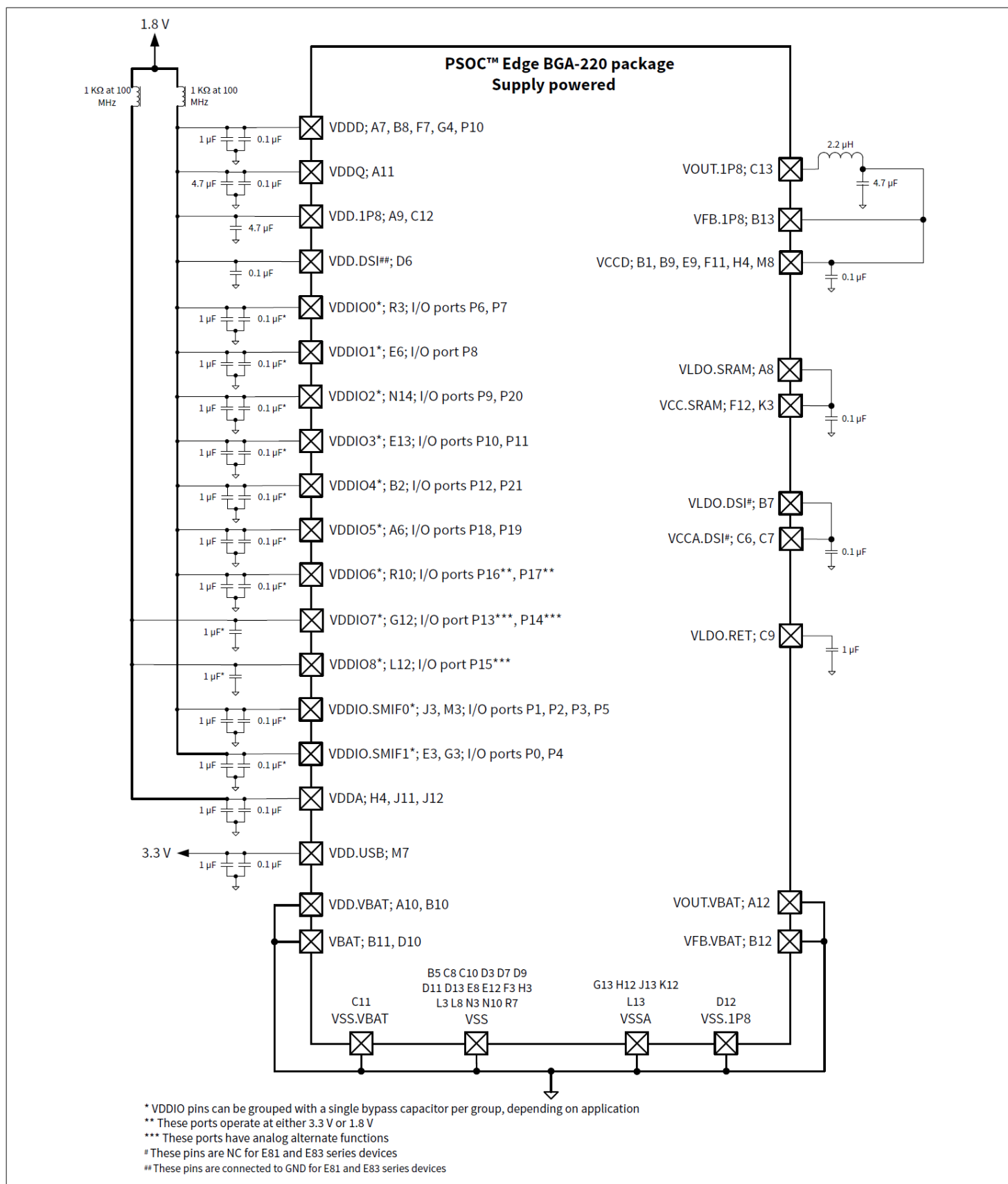


图 3 BGA-220 封装, 电源供电

4 芯片级功能描述

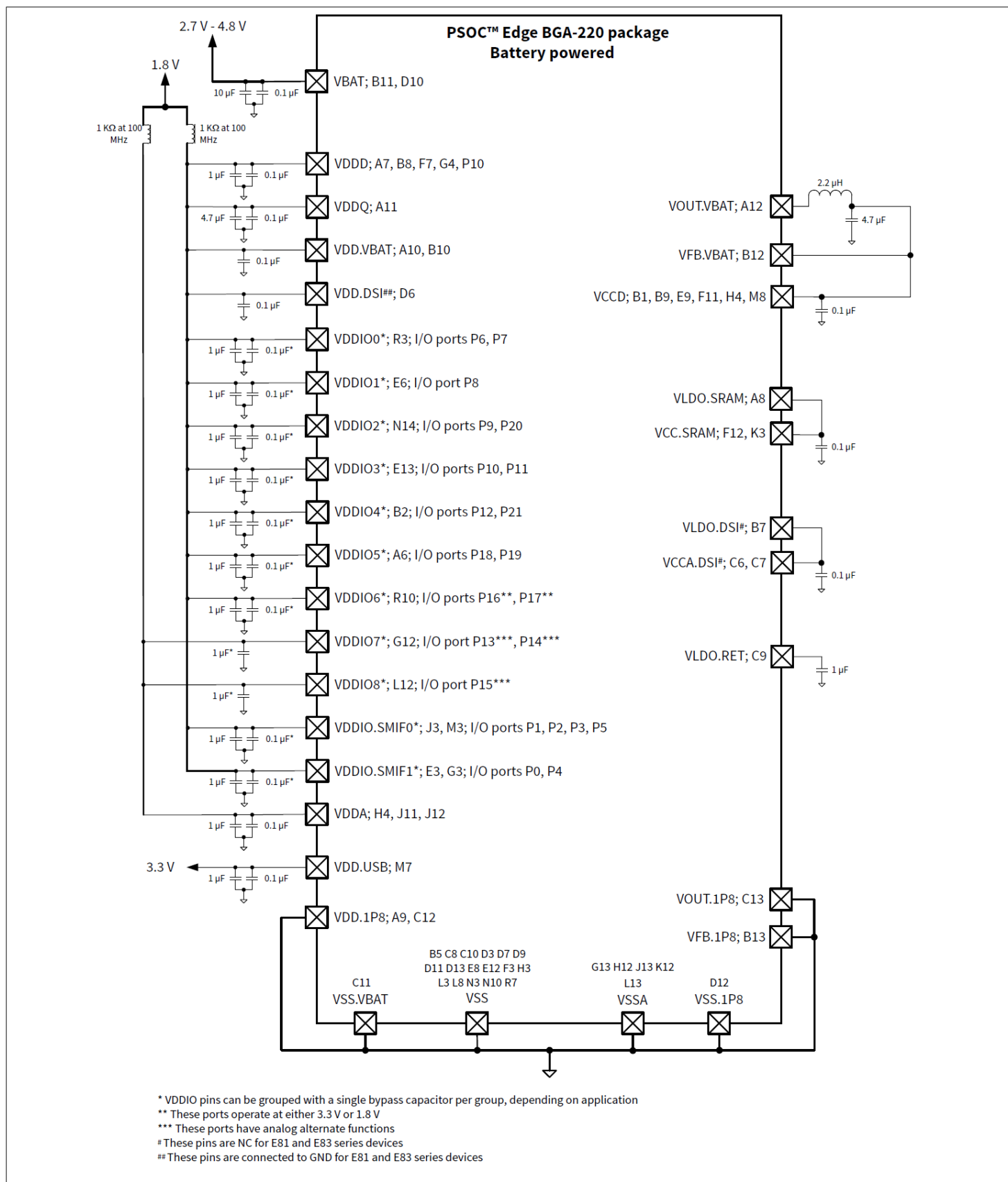


图 4 BGA-220 封装，电池供电

4.1.2 电源分配和域管理

该产品系列具有独立的电压域，允许域电源用于低功耗或高性能（参见[电源模式](#)）。

电源分配示意图见 [图 5](#) 至 [图 7](#)。

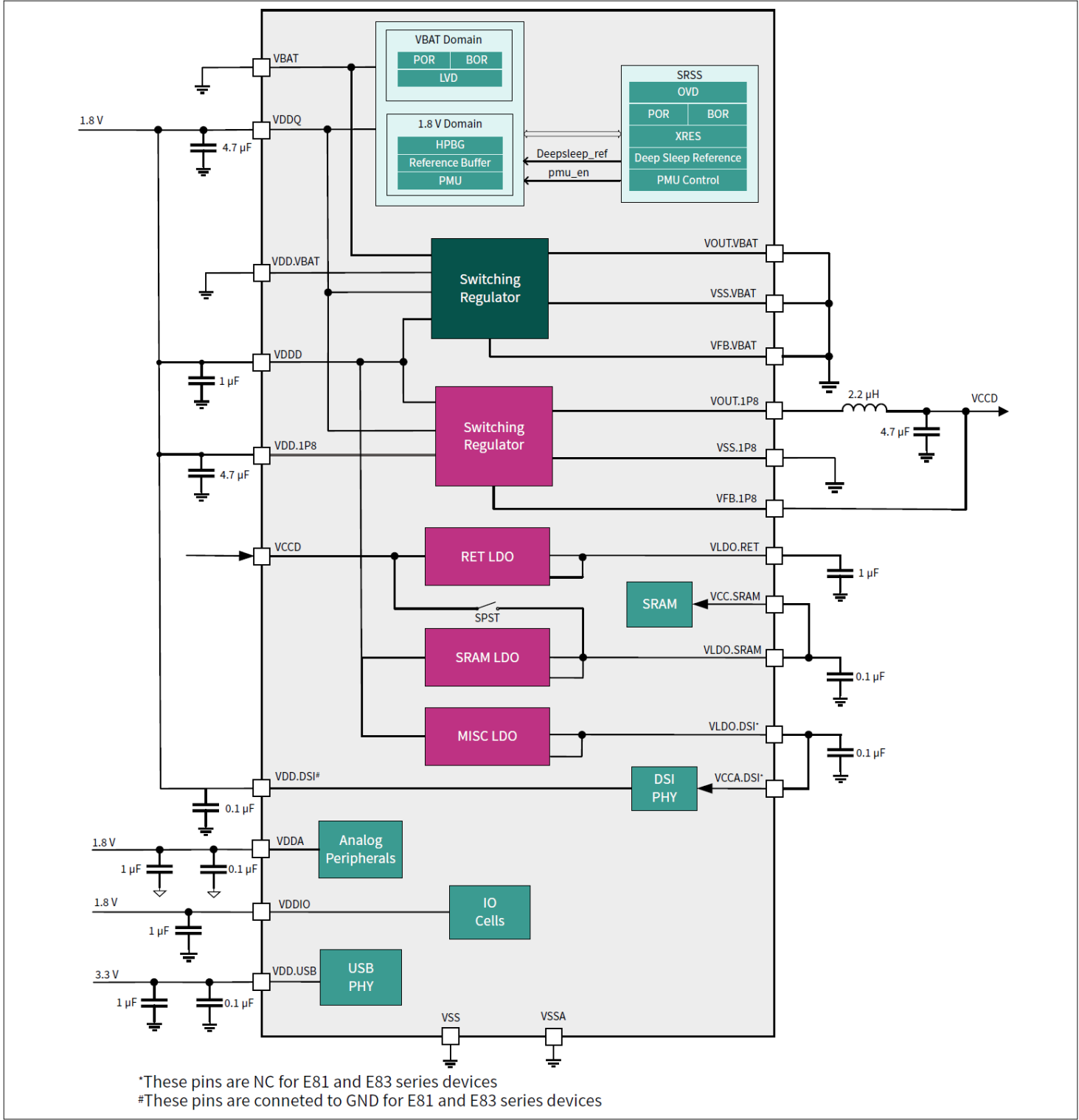
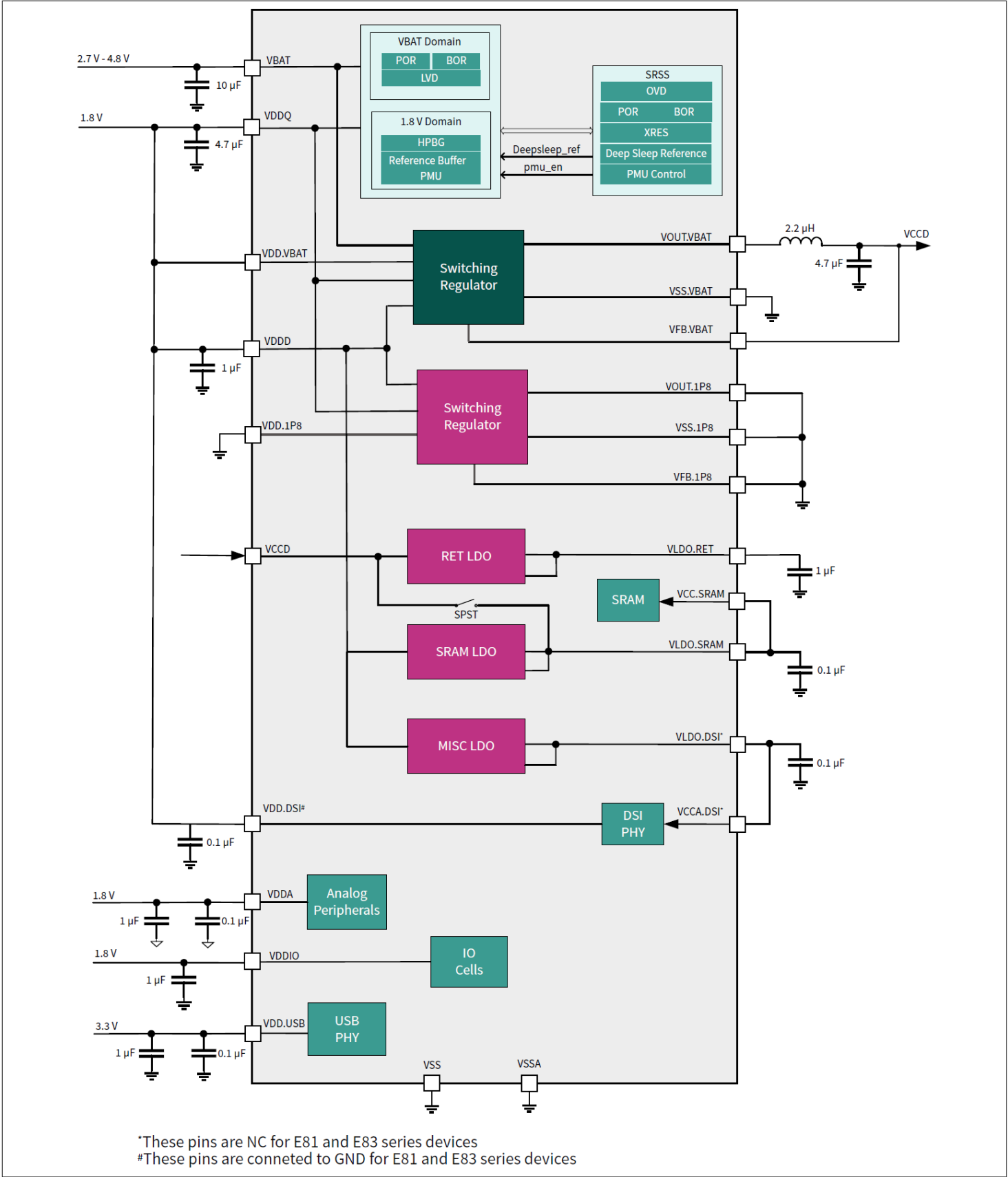


图 5 电源分配，电源供电

4 芯片级功能描述



*These pins are NC for E81 and E83 series devices
#These pins are conncted to GND for E81 and E83 series devices

图 6 电源分配， 电池供电

4 芯片级功能描述

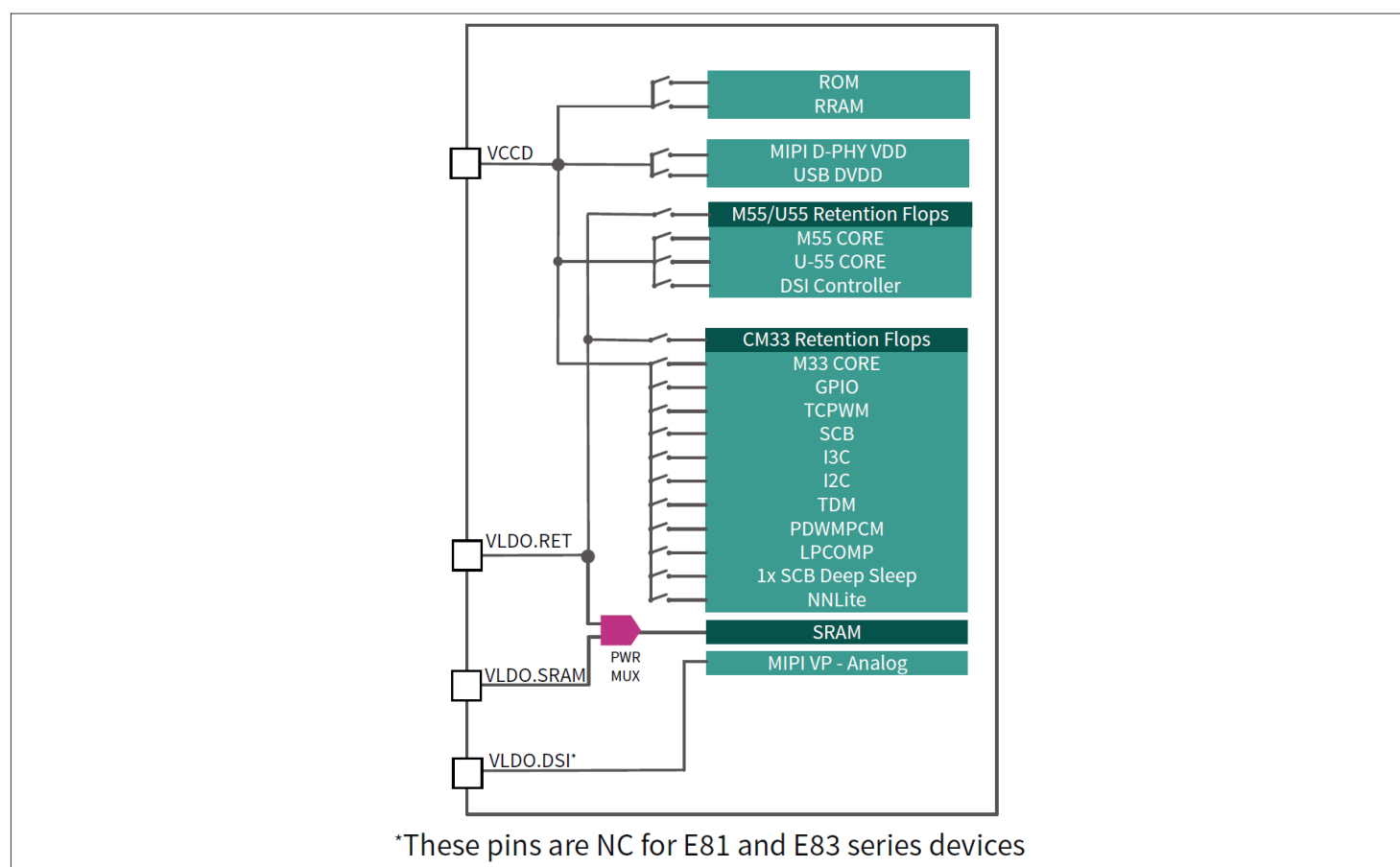


图 7 内部模块的电源分配

在典型的使用案例中：

- 除非芯片电源被切断，否则低功耗域永远不会关闭。
- 高性能领域用于高速通信通道（>100 MHz，显示控制器通过 MIPI DSI 输出帧）以及 DSP 和神经网络处理，在这些领域中，工作要尽可能快地完成，以减少应用的实时限制。此外，高性能域可选择性地关闭电源以节省能源，并在需要时重新激活，而低功耗域则继续保持激活状态。

低功率域和高功率域由相同的降压转换器输出供电——所有功率域都在相同的电压域下工作。

4.1.3 电源模式

该产品系列可在四种系统模式和三种 CPU 电源模式下运行。这些模式旨在最大限度地降低应用中的平均功耗。

支持的电源模式有：

- **系统高性能 (HP)：**所有外设和 CPU 电源模式均以最高速度运行。核心逻辑以 0.9 V 电压运行。
- **系统低功耗 (LP)：**所有外设和 CPU 电源模式均以较低的速度运行。核心逻辑以 0.8 V 电压运行。
- **CPU 激活：**CPU 在系统 HP 或 LP 模式下执行代码。
- **CPU 睡眠：**在系统 HP 或 LP 模式下，CPU 代码执行停止，CPU 时钟关闭。
- **CPU 深度睡眠：**与 CPU 睡眠相同；此外，激活 CPU 的系统深度睡眠需要请求信号。

4 芯片级功能描述

- **系统深度睡眠：**两个 CPU 进入 CPU 深度睡眠模式后，只有支持深度睡眠的外设可用。该模式有两个子模式：系统深度睡眠 RAM 和系统深度睡眠关闭。详见 [表 1](#)。
只有在满足以下任一条件时，设备才会过渡到系统深度睡眠模式：
 - 两个 CPU 都处于深度睡眠模式
 - 高性能域电源关闭，Cortex®-M33 进入深度睡眠模式。
- **系统休眠：**这是电流最低的模式。在该模式下，除了 RTC、看门狗定时器（WDT）和低功耗比较器（LPCOMP）外，几乎所有功能都已断电，同时还能根据有限引脚上的活动唤醒系统，并使用备份寄存器保留有限的应用程序数据。唤醒相当于冷启动。在这种模式下，GPIO 状态被保留。

CPU 活动、睡眠和深度睡眠是 Arm® CPU 指令集架构 (ISA) 支持的标准 Arm® 定义的电源模式。系统 HP、LP、深度睡眠和休眠模式是设备提供的额外低电源模式。

4.1.4 电源模式转换

该产品系列通常支持 Arm® 标准电源模式；详情请参阅 [电源模式](#)。表 1 列出了支持的电源模式。

表 1 支持的电源模式

	CPU Active/ Sleep	System Deep Sleep	System Deep Sleep-RAM	System Deep Sleep-Off	System Hibernate	Off
Parameters						
Wake source	Any interrupt	DS peripherals	DS peripherals	DS peripherals	RTC/HIB peripherals	Power on
Wake action	Resume	Resume	Warm boot	Reset/cold boot	Reset	Reset
Wake time	One CPU cycle	< 20 μs	Deep sleep+warm boot	Deep sleep+cold boot	POR+coldboot; < 1 ms	
Resources						
IHO	On	Off	Off	Off	Off	Off
PILO	On/Off	On/Off	On/Off	On/Off	On/Off	Off
ECO	On/Off	On/Off	On/Off	On/Off	Off	Off
WCO	On/Off	On/Off	On/Off	On/Off	On/Off	Off
CPU	On/Sleep	retention	Off	Off	Off	Off
SRAM	On/select off	Off/select retention	Off/select retention	Off	Off	Off

4.1.5 电源块支持

[表 2](#) 显示了该产品线主要模块的可用工作状态。请注意，与激活模式相比，低电源模式下的运行状态通常在功能和参数性能方面受到限制。此外，不支持系统深度睡眠和系统休眠等低电源模式的模块无法从这些模式中唤醒 CPU。详情请参阅 [电源模式](#)。

4 芯片级功能描述

表 2 电源模块模式

Block	Power mode			
	CPU Active	CPU Sleep	System Deep Sleep	System Hibernate
CPU subsystem				
CPUs	Y	N	N	N
NPU	Y	Y	N	N
NVIC	Y	Y	N	N
WIC	Y	Y	Y	Y
RRAM	Y	Y	N	N
SRAM	Y	Y	Programmable	N
DMA	Y	Y	N	N
Programmable digital				
Smart I/O	Y	Y	Y	N
Fixed-function digital				
TCPWM	Y	Y	N	N
SCB	Y	Y	N, SCB0 is supported in System Deep Sleep power mode	N
SMIF	Y	Y	N	N
SD host controller	Y	Y	N	N
USB	Y	Y	N	N
CAN FD	Y	Y	N	N
Ethernet	Y	Y	N	N
I3C	Y	Y	N	N
MIPI-DSI	Y	Y	N	N
TDM/I2S	Y	Y	N	N
PDM	Y	Y	N	N
Crypto	Y	Y	N	N
Special function				
Graphics subsystem	Y	Y	N	N
Programmable analog				
LPComp	Y	Y	Y	Y
SAR ADC	Y	Y	Y (duty cycled)	N
DAC	Y	Y	Y	N
PTComp	Y	Y	Y	N
CTB	Y	Y	Y	N

(表格续下页.....)



4 芯片级功能描述

表 2 (续) 电源模块模式

Block	Power mode			
	CPU Active	CPU Sleep	System Deep Sleep	System Hibernate
IO				
GPIO	Y	Y	Y	Y
System resources				
WDT	Y	Y	Y	Y
MCWDT	Y	Y	Y	N
RTC	Y	Y	Y	Y
Backup registers	Y	Y	Y	Y
OVD	Y	Y	N	N
LVD	Y	Y	N	N

4.2 安全

该产品系列包括 Cortex®-M55 和带有 TrustZone 的 Cortex®-M33 CPU。它提供了一个隔离的完全安全的基于硬件的信任根（RoT），支持安全启动、安全配置和安全调试。

该 RoT 最初归英飞凌所有，在配置过程中扩展至用户或 OEM。配置安装 OEM 密钥；调试、启动和系统配置策略；以及扩展启动。

支持安全和非安全调试访问；在非安全访问中，调试器无法访问标有"安全"的区域。在所提供的最安全的情况下，设备可以被"锁定"，从而无法获取用于测试/调试。

证书管理确保在开发和生产的不同阶段提供适当的访问权限。

该产品系列在硬件和软件层面完全符合 Arm® TrustZone 标准。在英飞凌专有保护单元的帮助下，实现了额外的安全保护。

仅适用于 EPC 4 部件号（请参阅 [订购信息](#)）：安全隔离区运行时服务提供对符合 PSA 标准的加密服务、密钥管理、认证和安全存储服务的访问。

4.2.1 加密特性

- 英飞凌Edge Protect 类别 2 (EPC 2) 支持 SESIP/PSA 等级 2 或Edge Protect 类别 4（EPC 4）支持 SESIP/PSA 级别 3 + 安全隔离区，具体取决于部件号（请参阅 [订购信息](#)）。
- 对5120字节OTP内存的独占访问，用于存储安全资产（见[非易失性存储器](#)）
- 全面支持加密算法的硬件加密加速器
- 通过 Arm® 安全隔离处理环境信任区
- 用于内存和外设访问控制的英飞凌专有 MPU、MPC 和 PPC
- 锁步安全隔离区，具有以下功能：
 - 启用基于硬件的信任根 (RoT) 安全启动
 - 用于设备验证的设备标识符合成引擎 (DICE) 机制
 - 加密服务

4 芯片级功能描述

- 仅 EPC 4 部件号（请参阅 [订购信息](#)）：安全隔离区运行时服务
- 篡改检测、侧信道攻击（SCA）缓解和故障注入攻击防护
- 使用 Trusted Firmware-M (TF-M) 的现成安全隔离；以及 mbedTLS 加密加速包有关 EPC2 和 EPC4 的更多信息，请参阅 [Infineon Edge Protect](#)。

4.2.2 安全架构概述

该产品系列有一个隔离的安全隔离区和两个 CPU：Cortex®-M33和Cortex®-M55；如 图 8 所示：

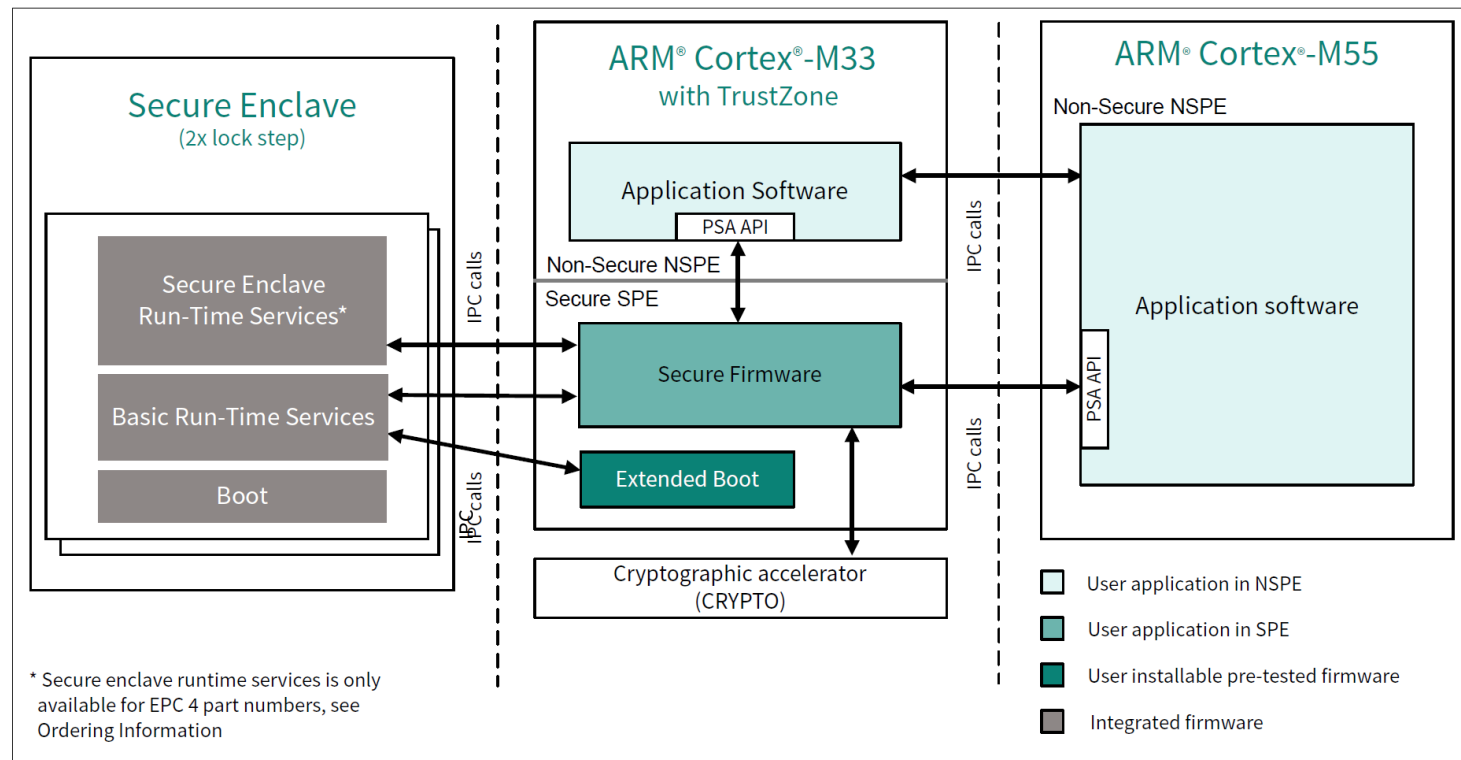


图 8 安全架构图

安全隔离区

- 提供安全启动程序，包括信任根（RoT）和 DICE 机制。从存储在本地 ROM 中的 ROM_BOOT 启动
- 为安全加密操作（包括 SCA 和 DPA 保护加密）提供本地加密块
- 提供运行时服务，以支持安全启动、安全固件更新和其他 RoT 服务
- 支持锁定架构，CPU（2x）和加密（2x）有两个复制岛，可防止 CPU 内部的故障攻击和半侵入式攻击

Cortex®-M33：

- Arm® 支持 TrustZone 的内核具有两种处理环境：安全 (SPE) 和非安全(NSPE)
- 用于存储器和外设保护的英飞凌专有保护单元
- 集成 mbedTLS 加密加速包，支持软件和硬件加密服务
- 在 SPE 中实施英飞凌提供的 Trusted firmware-M (TF-M)，Cortex®-M33 NSPE 和 Cortex®-M55 可利用其服务，完全支持使用硬件加速加密操作

Cortex®-M55：

- 这是一个在 NSPE 中运行的应用核心。该 CPU 运行的应用程序可使用 PSA API 调用请求TF-M服务

5 区块功能说明

5.1 处理器

该产品系列采用多 CPU 架构：

- Arm® Cortex®-M55，运行频率高达 320 MHz
- 具有机器学习（ML）功能的协处理器，搭配 Cortex®-M55 CPU: Arm® Ethos-U55 CPU，运行时钟频率与 U55 相同
- Arm® Cortex®-M33CPU，运行频率高达 160 MHz
- 神经网络（NNLite）协处理器与 Cortex®-M33 CPU 搭配，运行在与 M33 相同的时钟频率下。同时包含一个介处理器通信（IPC）模块，用于同步 CPU 的任务。

M33 CPU 具有浮点运算单元 (FPU)、数字信号处理器 (DSP) 和内存保护单元 (MPU)。它采用 Arm® TrustZone 技术，并提供安全启动和安全区设置。M55 CPU 具有带向量定点和浮点的 FPU，以及 Arm® M-Profile 向量扩展 (MVE)。

M33 CPU 域是一个低功耗域。M55 域是用于高性能计算的高性能域。CPU 可通过总线桥接器访问彼此域中的资源。

这两个 CPU 都有单周期高速缓冲存储器，以提高性能和降低功耗。M33 CPU 有一个 16KB 的四路关联 I-高速缓存。M55 CPU 有 32-KB 的 I-和 D-高速缓存，采用相同的高速缓存结构。

M55 TCM 大小各为 256 KB (I 和 D)。

每个 CPU 都有一个 Arm® 嵌套向量中断控制器 (NVIC) 和 Arm® 唤醒中断控制器 (WIC)。WIC 可以从 CPU 深度睡眠模式唤醒处理器。详情请参阅 [电源模式](#)。

这两个 CPU 都有调试接口，支持 SWD 和 JTAG。芯片还支持边界扫描，以便在印刷电路板上进行测试；提供了一个单独的 TAP 控制器，用于控制边界扫描功能。

两个 CPU 都具有跟踪功能。M55 和 M33 与一个 Arm® 嵌入式跟踪宏单元 (ETM) 连接，ETM 与带有标准 ETM 接口的 Arm® 跟踪端口接口单元 (TPIU) 连接。M33 CPU 通过一个 Arm® 微跟踪缓冲器 (MTB)（带 8-KB 跟踪 SRAM）支持指令跟踪。最大跟踪时钟频率为 200 MHz，允许 CPUCLK/2 跟踪。

[表 3](#) 显示了每组 CPU 在每种系统电源模式下的最大工作频率（请参阅 [电源模式](#)）。

表 3 CPU 最高频率与系统电源模式的关系

System power mode	M55/U55	M33/NNLite
High Performance (HP)	320 MHz	160 MHz
Low Power (LP)	140 MHz	80 MHz

5.2 处理器间通信（IPC）

除了 Arm® SEV 和 WFE 指令外，该产品线还集成了两个处理器间通信 (IPC) 块，即低功耗域的 IPC0 和高性能域的 IPC1。IPC 不支持系统深度休眠，但可以从深度休眠中唤醒其他 CPU。IPC0 可以唤醒高性能 CPU 子系统，而 IPC1 可以从 CPU 深度睡眠中唤醒低功耗 CPU 子系统。每个 IPC 实例包括 16 个通道和 8 个中断结构。IPC 通道可用于 CPU 之间的通信和同步。每个 IPC 通道还实现了一个锁定方案，可用于管理共享资源。IPC 中断可让一个 CPU 中断另一个 CPU，发出事件信号。这可用于触发相应 IPC 通道的“通知”和“释放”等事件。IPC0 通道 0 和 1 保留给安全隔离区使用。

5.3 DMA

高性能域和低功耗域各包含一个 DMA 控制器，可用于在内存、外设和寄存器之间传输数据。这样就能对 PWM 等外设进行自主、确定性控制，或将 ADC 等外设的大量数据传输到存储器。

有两种不同的 DMA 类型：HPDMA (AXI DMAC) 和 DMA。HPDMA 和 DMA 的性能和用途各不相同。DMA 控制器是各自领域的总线主控器：

- **高性能域：**具有 4 个通道的高性能 DMA (HPDMA)。每个通道都有一个 128 字节的 FIFO 和自己的传输引擎，用于仲裁总线主控访问。HPDMA 使用 64 位 AXI 总线，与高性能 CPU 共享时钟。HPDMA 通常用于传输大量数据。
- **低功耗域：**两个 DMA 控制器，每个有 16 个通道。两个传输引擎分别独立请求和使用 16 个通道，并根据需要对总线主控进行仲裁。该 DMA 使用与低功耗 CPU 共享时钟的 32 位 AHB 总线。这种 DMA 最适合小数据量的事务性 DMA，通常用于外设之间的字节传输，如从 ADC 到 RAM。

5.4 加密加速器 (CRYPTO)

该子系统是用于加速加密函数和随机数生成器的硬件实现。可通过 Cortex®-M33 和 Cortex®-M55 处理器访问。加密加速器实现了对以下方面的硬件支持：

- 真随机数生成器 (TRNG) 和伪随机数生成器 (PRNG)
- CRC, 最多 32 位
- 对称算法和密钥长度
 - AES (128/192/256) , 三重 DES (112/168)
 - CHACHA20 流密码
- 非对称算法、密钥长度和曲线
 - 椭圆曲线加密 (ECDSA) 和 RSA
 - ECC 曲线 224, 256, 384, 521
 - RSA 密钥长度: 1024、2048、4096
 - 用于加速非对称密钥加密的矢量单元
- 哈希值: SHA2 (256/384/512) , SHA3 (256/384/512)

5.5 存储器

该产品系列有多种易失性和非易失性存储器类型，包括访问外部存储器集成电路（参见 [串行存储器接口 \(SMIF\)](#)）。所有 CPU 和其他总线主控都可以访问任何内存块。等待状态的数量取决于访问路径，请参阅 [等待状态和延迟](#)。

5.5.1 非易失性存储器

该产品系列在低功耗领域拥有 512 KB 非易失性电阻式随机存取存储器 (RRAM)。读取访问时间为 35 ns。RRAM 每次读取 128 位；具有字缓存功能。ECC 也有 25 位。每次写入一位，速度约为 1 μ /位。

5120 字节 RRAM 专用于 OTP 用例，包括存储安全资产（请参阅 [安全功能](#)）。

有关 RRAM 的详细内存图，请参阅 [PSOC™ Edge E8x2、E8x3、E8x5、E8x6 架构参考手册](#) 中的 RRAM 区域部分。

表 4 RRAM 的耐用性和保持率

Parameter	Conditions ¹⁾	Minimum
RRAM endurance	-40 to +105 °C ambient	10k write cycles
RRAM retention	Ta ≤ 105 °C, 10k P/E cycles	10 years

1) 某些封装的工作环境温度范围较小。请参阅 [封装信息](#)。

5.5.2 EEPROM

在该产品系列中，部分 RRAM 可用于使用随附的软件驱动程序模拟 EEPROM。为简单起见，实施时使用冗余（EEPROM 内存大小的整数倍）。类 EEPROM 存储器具有以下特性：

- 可编程字节
- 大小可从 1 KB 至 64 KB 二进制增量中选择
- 25 °C 条件下耐久性为 100 万次循环，-40 至 +85 °C 条件下为 20 万次循环，使用寿命为 20 年

5.5.3 SRAM

该产品线包括低功耗和高性能领域的 SRAM 和系统 SRAM：

- **SRAM：**低功耗 CPU 子系统（Cortex®-M33）中的 1 MB。).在系统深度睡眠电源模式下，可保留部分 SRAM；保留量可按 64-KB 增量进行选择。SRAM 以多个独立块的形式实现，允许不同处理器同时访问不同的 SRAM 各区域。
- **系统 SRAM ("SoCMEM")：**5120 KB，用于高性能领域。该存储器分为 10 个分区，每个分区 512KB，每个分区可保留。可通过总线仲裁从 M55 或 M33 访问。

5.5.4 串行存储器接口 SMIF

该产品系列有两个 SMIF 接口，每个接口配备 32 KB 高速缓存，具体取决于封装（见 [表 9](#) 和 [订购信息](#)）。每个接口最多可访问内存映射中分配的 1 GB 地址空间。

SMIF 允许从外部存储器就地执行代码（XIP）；无需将代码复制到内部存储器即可执行。在 XIP 模式下最多支持 64 MB。

支持即时 (OTF) 加密和解密。在八进制 xSPI DDR 模式下，SMIF 支持 200 MHz 的时钟速度。还支持英飞凌 HYPERBUS™ 也支持。

5.5.5 等待状态和延迟

从 CPU（特别是 CM33 或 CM55 内核）访问内存区域时，主要关注的是在相关系统工作频率下检索（读取）数据所需的时间。虽然写入访问时间也与此有关，但写入通常可以发布，允许在不需要立即确认的情况下进行操作。相比之下，读取必须穿越整个出站地址和控制信号路径以及入站数据访问路径，这直接影响了系统性能和响应时间。需要注意的是，本节仅限于 CPU 为总线主控器的情况，系统中其他潜在的总线主控器并不是本分析的重点。

一般来说，访问时间由两部分组成：

5 块功能说明

1. 读取存储器的等待状态
2. 通过网络互连 (NIC) 的延迟

注释： 本节介绍用户最感兴趣的RRAM 和SRAM 的等待状态。

1. 等待状态 (WS)：

- a. RRAM：RRAM 的写入速度比 RRAM 的读取速度慢得多（这是大多数非易失性存储器的典型特点），在此不予考虑。

RRAM 的读取由内部 160 MHz 读取状态机时钟控制，无论电压模式如何（0.7 至 0.9 V），该时钟都能在 30 ns 内产生数据（也称为 "模拟读取时间"）。除此时间外，RRAM 读取还需要以下时间：地址读取 1 个时钟，ECC 校验 1 个时钟（假设校正为 0 或 1 位，否则时间会更长）。

以 30 毫微秒为基准，Tcyc 周期时间的 WS 值为 $\text{ceil}(30/\text{Tcyc})$ 。例如，AHB 时钟频率为 200 MHz 时，WS 值为 6；频率为 50 MHz 时，WS 值为 2。

Voltage (V)	Frequency (MHz)	Wait states (WS)
0.9 (HP mode)	200	6
0.8 (LP mode)	80	3

- b. SRAM所有 SRAM 的设计目标都是在峰值频率下实现零等待状态。这是 SRAM 传输数据的时间，即在一个时钟沿锁存地址，在下一个时钟沿提供数据。

访问周期不会随电压和频率的缩放而改变，因此可遵守电压和频率限制；所有 SRAM 等待状态仍为零等待状态。这意味着访问 SRAM (CLK_HF0) 和系统 SRAM (CLK_HF2) 的周期数不会改变。

2. 通过网络互连 (NIC) 的延迟：

- a. M33:

Memory resource	Outbound clock cycles	Access time	Inbound clock cycles	Comment
RRAM	3 AHB clocks	$\text{Ceil}(30\text{ns}/\text{AHB Tcyc})$	2 AHB clocks	128-bit C-AHB. I-Cache refill. 32-bit access is similar
SRAM	-	-	1 AHB clock	No wait states
System SRAM	3 AHB clocks	6 System SRAM clocks	2 AHB clocks	32-bit access and 128-bit access (parallel bank read)

- b. M55:

Memory resource	Outbound clock cycles	Access time	Inbound clock cycles	Comment
RRAM	3 AXI + 5 AHB cycles	$2 * \text{Ceil}(30\text{ns}/\text{AHB Tcyc})$	4 AHB + 4 AXI cycles	64-bit word read takes 2 cycles
SRAM	3 AXI clocks + 3 AHB clocks	4 AHB cycles (2 accesses)	7 AXI clocks + 3 AHB clocks	64-bit word read takes 2 cycles
System SRAM	3 AXI clocks	6 System SRAM clocks	2 AXI clocks	First word access, subsequent accesses each take one System SRAM clock

5.6 保护单位

保护单元是一种硬件模块，用于实施保护内存、外设和共享资源免受总线主控程序影响的方案，防止未经授权的代码访问这些资源。该产品线有多个保护单元。实现定义归属单元（IDAU）、安全归属单元（SAU）和内存保护单元（MPU）是 Arm® 此外，英飞凌还提供 MPC 和 PPC 等专有保护单元。

MPC 和 PPC 使用安全和非安全地址别名的概念。它们使用别名来控制内存区域和外设的可访问性，使其安全或不安全。它们还通过保护上下文将内存区域和外设与 CPU 主控制器隔离。

保护上下文（PC） 是总线主控制器的一种伪状态，由一组硬件寄存器控制，这些寄存器为每个总线主控制器配置了某些属性，保护单元利用这些属性来确定访问权限。保护单元支持内存和外设访问属性，包括地址范围、读/写、代码/数据、权限级别、安全/非安全以及保护上下文。例如，可以设置个人计算机来隔离内存区域或外设，使其只能由单个 CPU 访问，而不能由其他 CPU 访问。

该产品系列支持多达八个保护上下文。某些保护单元资源和保护上下文保留给系统使用，详情请参见参考手册。

5.7 时钟

该产品系列拥有完全集成的时钟。它为所有需要时钟的模块提供时钟。它能在不同时钟源之间无缝切换，并确保不会出现瞬变情况。

时钟源为

- 内部高速振荡器 (IHO): 50 MHz $\pm$ 1%
- 精密内部低速振荡器 (PILO): 32 kHz，无需外部晶体。可通过软件（提供驱动程序/程序库）进行定期校准。
- 外部晶体振荡器（ECO与WCO）
- 三个数字锁相环 (DPLL) 可用于生成时钟。它们在系统 HP 和 LP 电源模式下工作（请参阅[电源模式](#)）。
- 外部时钟输入

DPLL 可在高速时钟下快速唤醒。DPLL 抖动水平低，允许 12 位 SAR ADC 工作。DPLL 有两种类型：

- 两个较低频率，并针对低功耗进行了优化（DPLL LP）
- 一个高频高性能（DPLL HP）

HP DPLL 针对高速运行进行了优化。它的工作频率范围很广，即 50 MHz 至 500 MHz。LP DPLL 的工作频率范围为 10 MHz 至 500 MHz。

通过分频 HFCLK 信号可以生成用于模拟和数字外设的同步时钟。提供整数和小数时钟分频器：

- 8 个 8 位时钟分频器
- 16 个 16 位整数时钟分频器
- 4 个 16.5 位小数时钟分频器
- 1 个 24.5 位小数时钟分频器

16 位分频器可以更灵活地生成细粒度频率值。数字时钟分频器可为模拟电路生成 N 比 1 的时钟（其中 N = 除数）或约 50% 的占空比时钟。

5.7.1 内部高速振荡器 (IHO)

IHO 的工作频率固定为 50 MHz。其公差为 $\pm$ 1%。高速时钟可通过 IHO 和 DPLL 得出。在唤醒过程中，IHO 被用作时钟源。

5.7.2 精密内部低速振荡器 (PILO)

PILO 是一款精密低功耗振荡器，典型电流为 1.15 μ A，频率为 32.768 kHz，精度为 250 ppm。PILO 可在系统休眠电源模式下运行。

5.7.3 看门狗计时器 (WDT)

该产品系列有一个自由运行看门狗定时器 (WDT) 和两个多计数器看门狗定时器 (MCWDT)。如果在可配置的时间间隔内未得到服务，两个 WDT 都会产生设备复位。此外，WDT 还可用作中断源或低电源模式下的唤醒源（建议 MCWDT 用于这种情况）。自由运行的 WDT 可由 PILO 进行时钟调整，并适用于所有设备电源模式。MCWDT 可由 PILO 或 WCO 提供时钟，并可用于除休眠电源模式以外的所有电源模式。

5.7.4 外部晶体振荡器 (ECO)

该产品系列有两个使用外部晶体的振荡器：高频和低频（手表晶体）。这两种振荡器都可用于精密计时应用。WCO 功耗低，频率容差为 250 ppm。

图 9 显示了该产品系列的所有外部晶体振荡器电路。图中所示元件值为典型值；有关负载电容值，请查阅晶体数据表。

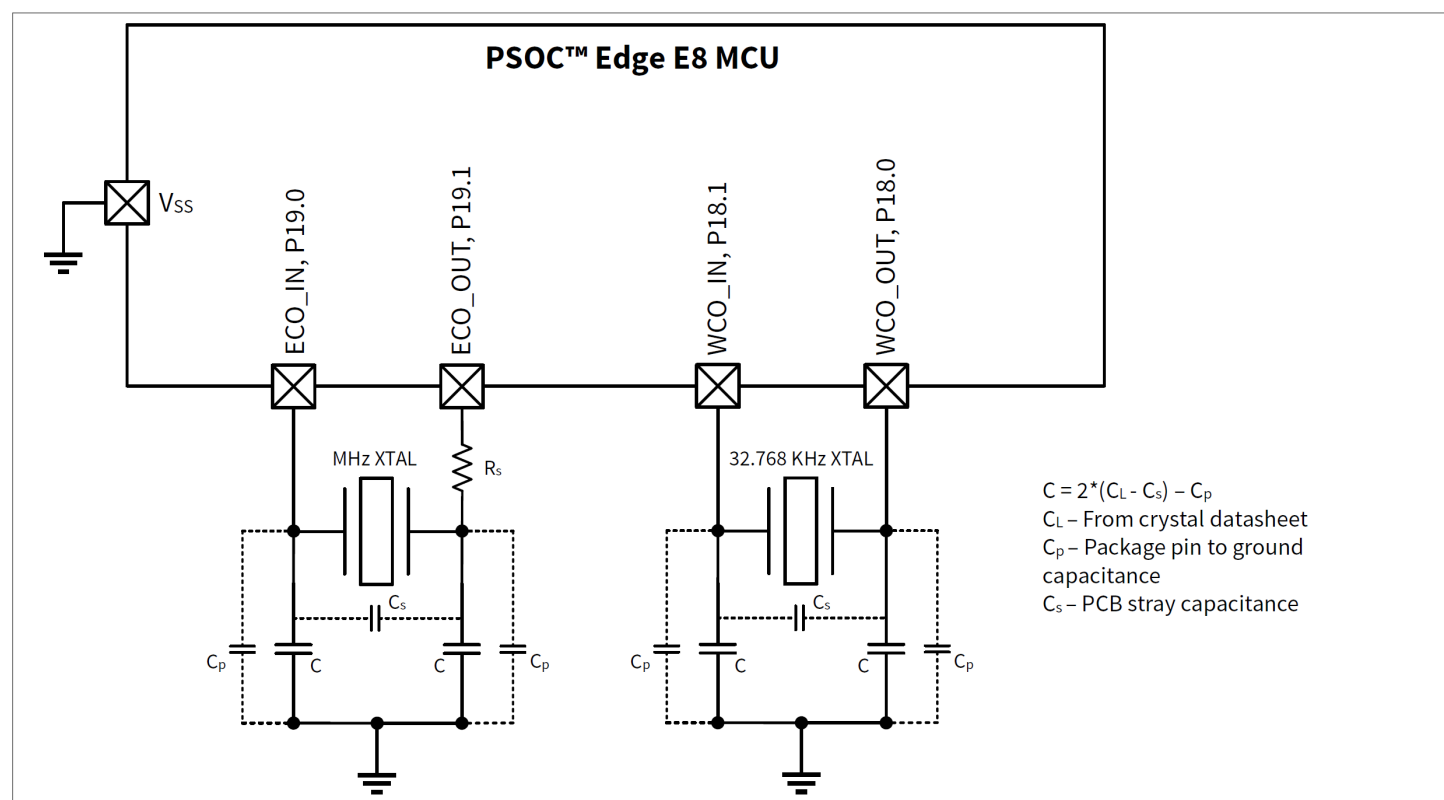


图 9 外部振荡器电路

R_s 是限制输送到 XTAL/谐振器的功率以免其受损的关键。它还会造成整个网络的相移。

以下是推荐的晶体规格：

- ECO
 - 标称频率：4 至 35 Mhz
 - 驱动级保护：最低 100 ~ 200 μ W

5 块功能说明

- 等效串联电阻 (ESR): 振荡时高达 200 Ω
- 晶体负载电容 (CL): 10 pF
- WCO
 - 标称频率: 32.768 kHz
 - 驱动电平保护: 0.1 ~ 0.5 μ W
 - 等效串联电阻 (ESR): 振荡时高达 90 k Ω
 - 晶体负载电容 (CL): 4 pF 至 14 pF (公差为 5%)
 - 典型电流为 120 nA @ 4 pF 负载

有关详细信息, 请参阅 [PSOC™ Edge E8x2、E8x3、E8x5、E8x6 architecture reference manual](#) 和 [AN236503 PSOC™ E8 MCU hardware design considerations](#)。

5.7.5 实时时钟

该产品系列包括一个实时时钟 (RTC)。RTC 具有以下功能:

- 时间 (时、分、秒字段)、日期 (日、月、年字段) 和星期的二进制值
- 12 小时 或 24 小时格式
- 利用世纪中断自动校正闰年
- 16 个 32 位备份寄存器, 可在所有低电源模式 (包括深度睡眠-关机和休眠模式) 下保留应用数据

除上述功能外, RTC 还有两个单独的闹钟, 可与六个 RTC 字段 (小时、分钟、秒、日期/月份和星期) 匹配。两个警报都有中断通知匹配; 这些中断可以唤醒系统。

5.8 复位

该产品线的复位来源多种多样, 包括软件复位 (SRES)。复位事件是异步的, 并确保器件恢复到一个已知状态。复位原因被记录在器内, 该寄存器的内容在复位过程中保持不变, 允许用户通过软件确定复位原因。XRES 引脚保留用于外部复位输入。

XRES 引脚为低电平有效。如 [图 10](#) 所示, 应通过一个 4.7 k Ω 电阻器将其外部上拉至 V_{DD0} 。这将确保 XRES 引脚不会在设计中处于浮动状态, 并确保设备能够正常工作。建议在 XRES 引脚上连接一个电容 (通常为 0.1 μ F), 以滤除杂波, 使复位信号具有更好的抗噪能力。如果器件由外部主机控制, 则可选择由主机直接驱动 XRES 引脚。

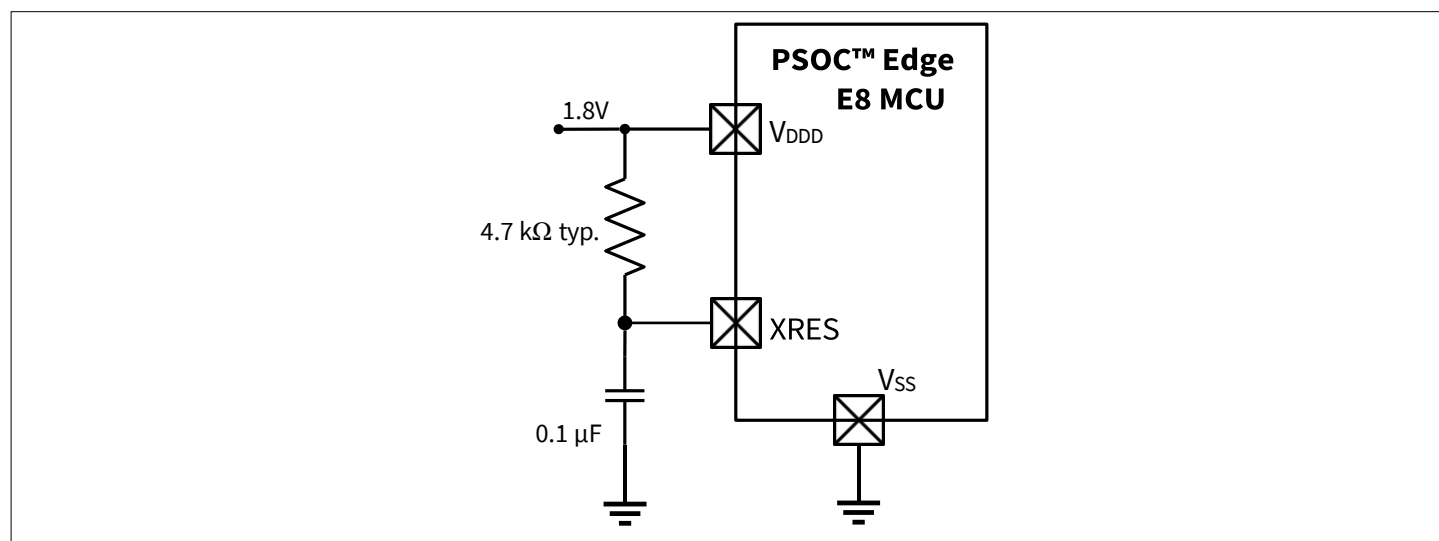


图 10 XRES连接图

5.9 自主模拟

自主模拟系统是一种低功耗、可重新配置的混合信号传感、调节和响应系统，可独立于中央处理器运行。

5 块功能说明

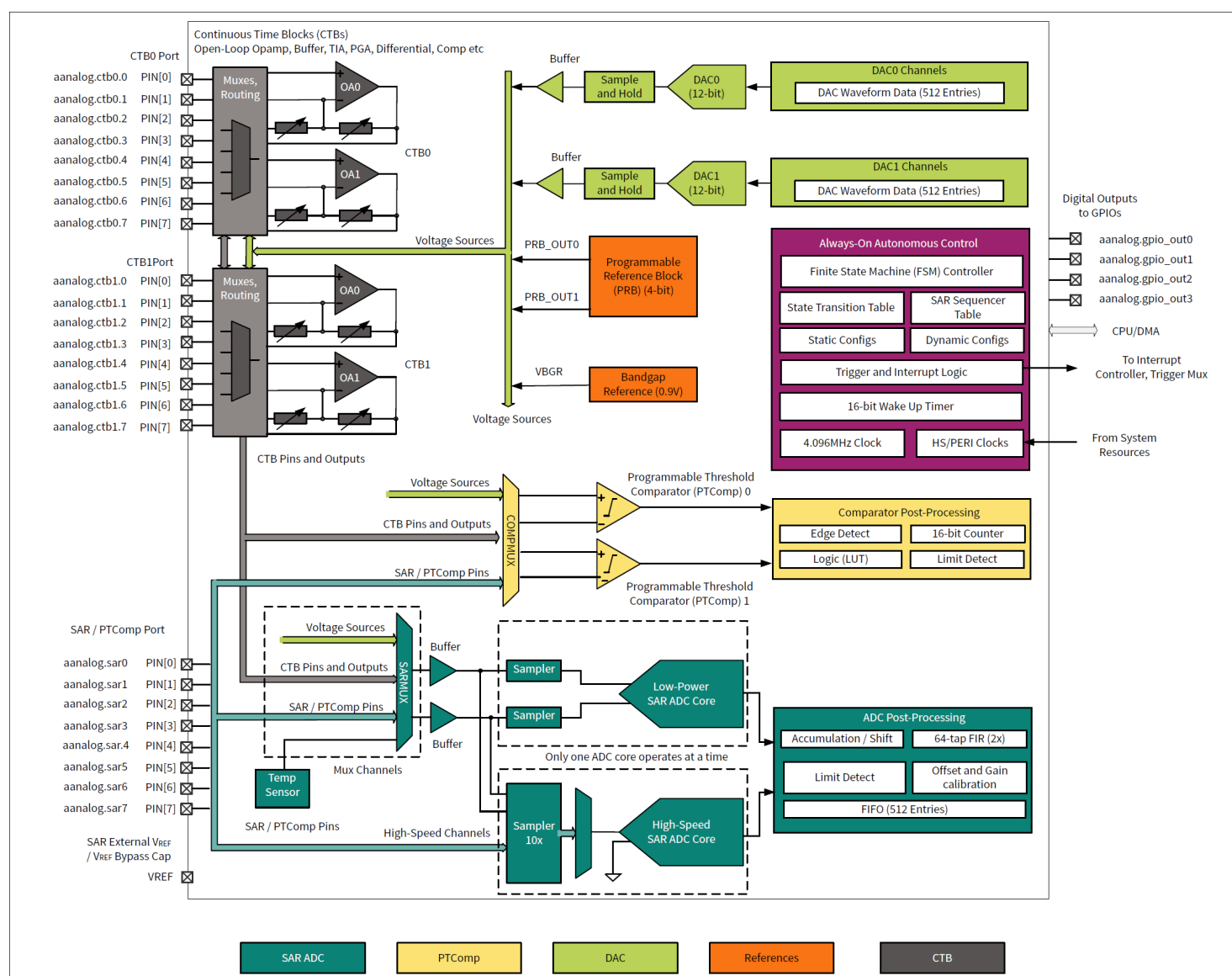


图 11 自主模拟框图

运行时控制活动，如启用或禁用模块、更改模块的电源模式、切换输入/路由、等待 ADC 扫描结束、触发 DAC 等，均由 "始终保持自主" 控制器独立于 CPU 完成。为此，自主模拟电路中的大多数模拟块都有静态配置（运行时由自主控制器保持不变）和动态配置（运行时可由自主控制器更改）。

5.9.1 SAR ADC

该产品系列中的自主模拟功能采用 SAR ADC，具有以下特点

- 12 位至 20 位（累加）结果
- 在系统高性能模式（HS 模式 ADC）下，12 位采样率为 5-Msps 或 16 位采样率为 250-ksps。
- 在系统深度睡眠模式下，12 位采样率为 200-ksps，16 位采样率为 12.5-ksps（LP 模式 ADC）
- 缓冲输入
- 从 16 个引脚或 7 个内部信号（运算放大器、DAC、温度传感器等）输入
- 可同时对多达 10 个输入进行采样

5 块功能说明

- 32 个逻辑通道
- 后期处理和储存
 - 累积和平均 - 2x、4x、8x ... 256x
 - 两个 64 抽头 FIR 滤波器
 - 一个 512 条目 FIFO，可细分为 2、4 或 8 个 FIFO
 - 极限检测
 - 偏移和增益校准

5.9.2 DAC

该产品系列中的自主模拟系统有两个数模转换器（DAC），具有以下功能：

- 12 位连续时间输出
- 1 微秒沉淀时间
- 使用 512 条波形数据存储器生成波形
- 支持采样和保持的缓冲器
- 16 个输入通道（15 个硬件通道和 1 个固件通道）
- 可选电压基准：
 - VDDA
 - VDDA/2
 - 内部 0.9 V 带隙基准
 - 通过 CTB 运算放大器缓冲外部 VREF

5.9.3 连续时间模块 (CTB)

连续时间块（CTB）由可执行模拟前端功能的运算放大器电路组成。该产品系列中的自主模拟有两个 CTB，每个 CTB 由两个运算放大器、反馈电阻网络和多路复用器组成，可形成以下拓扑结构：

- 可编程增益放大器 (PGA)
- 跨阻放大器 (TIA)
- 伪差分放大器
- 统一增益缓冲器（电压跟随器）
- 开环运算放大器
- 比较器

5.9.4 PTComp

可编程阈值比较器 (PTComp) 用于将一个输入与另一个输入或基准进行比较。该产品系列中的自主模拟装置有两个 PTComps，具有以下功能：

- 可编程功率和响应时间
- 可从多达 16 个 GPIO 和 8 个内部信号中选择输入
- 30 毫伏滞后选项
- 比较器输出端的上升沿、下降沿以及上升沿和下降沿组合检测
- 检测比较器活动的后处理 - 用于声学活动检测和电机控制等应用

5.10 低功耗比较器

该产品系列有两个低功耗比较器，可在系统深度休眠和系统休眠电源模式下运行。这样，当模拟系统模块被禁用时，仍可以在低电源模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步电源模式（休眠）下操作；在此模式下，比较器电压变动事件可以激活系统唤醒电路。

5.11 固定功能数字模块

5.11.1 定时器/计数器/脉宽调制器模块 (TCPWM)

该产品系列有 32 个 TCPWM 块。其中 8 个具有 32 位计数器，24 个具有 16 位计数器。每个 TCPWM 块由以下部分组成：

- 计数器
- 一个周期寄存器，用于停止或自动重新加载计数器
- 一个捕获寄存器，用于记录事件发生时的计数器值
- 比较寄存器控制 PWM 占空比
- Edge 对齐、中心对齐和非对称对齐 PWM
- PWM 真输出和互补输出具有可编程偏移，可在输出之间创建死区
- PWM 杀频输入；可通过比较器由外部电压电平驱动
- 正交输入测量

5.11.2 串行通信模块 (SCB)

该产品系列有 12 个 SCB。SCB1 至 SCB11 可配置为实现 I²C、UART 或 SPI 接口，并可为主站或从站。SCB0 可在系统深度睡眠电源模式下工作，并带有外部时钟；它仅支持 I²C 从模式和 SPI 从模式。

每个 SCB 都有一个 256 字节的 FIFO，用于接收 (Rx) 和发送 (Tx)。这减少了因 CPU 不能及时读取数据而导致的 I²C 时钟拉伸。FIFO 适用于所有模式。

所有 SCB 块都支持 DMA 传输。

I²C 模式：该模式实现了完整的多主和从接口，能够进行多主仲裁。它的运行速度高达 1 Mbps（快速模式增强），并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。

这些模块还支持在存储器中创建邮箱地址范围的 EZI²C，并且在存储器中的阵列进行读写操作时，可以大量降低 I²C 通信。

UART 模式：这是一个功能齐全的 UART，工作速度高达 1 Mbps。此外，它还支持 9 位多处理器模式，允许通过共用 RX 和 TX 线路对连接的外设进行寻址。支持奇偶校验错误、间断检测和帧错误等常见 UART 功能。

SPI 模式：该模式支持完整的摩托罗拉 SPI、TI SSP（基本上增加了一个用于同步 SPI 编解码器的启动脉冲）和 National Microwire（一种半双工形式的 SPI）。该模式还支持 EZ SPI，其中数据交换简化为读写内存中的数组。一个 SCB 可在高速模式下以高达 50 Mbps 的速度运行 SPI。其余 SCB 可以高达 25 Mbps 的速度运行 SPI。

5.11.3 CAN FD

该产品系列有两个 CAN FD 通道，每个通道的运行速度高达 8 Mbps，共享 8KB 报文缓冲器。每个通道包括

5 块功能说明

- 最多 64 个专用接收缓冲区
- 两个可配置的接收 FIFO（每个最多 64 个缓冲器），带接收滤波器
- 多达 32 个专用传输缓冲器，带有可配置的 FIFO 和队列

CAN FD 控制器符合 ISO 11898-1（CAN 规范 2.0 修订版 A 和 B 部分）。此外，它还支持 ISO 11898-4 中定义的时间触发 CAN（TTCAN）协议。它支持 AUTOSAR。

CAN FD 控制器仅在 "激活 "和 "睡眠 "电源模式下运行。在 "深度睡眠 "模式下，它不起作用，但可以完全保留。

5.11.4 以太网媒体访问控制 (MAC)

该产品线的以太网 MAC 支持 10/100 Mbps 传输速率，并支持 IEEE 1588 时间戳。总线接口支持 MII 和 RMII。本地缓冲区大小为 8 KB，可存储两个 Rx 和 Tx 帧。该模块支持流量控制、虚拟局域网 (VLAN) 标记和服务质量 (QoS) 优先级。它还支持音频视频桥接 (AVB) 应用。

5.11.5 I3C

该产品系列有一个 I3C 块。I3C 是 MIPI 联盟的一项标准，旨在将传感器串行接口统一为一对导线。所有节点都连接到一对导线上，通过帧封装以更高的速率提供协议支持，从而减少了对多个 I²C 和 SPI 接口的需求。I3C 块提供全局信令、带内中断、时间感知、多主控功能和错误检测。支持控制器和目标模式，但不支持单角色目标模式。该模块支持 12.5 MHz 的基本接口 SDR 时钟（作为控制器和目标模式）和 HDR-DDR 模式（2 倍数据速率）（仅作为控制器）。

5.11.6 SD 主机控制器

该产品系列有两个 SD 主机控制器。它们主要用于与提供 Bluetooth 功能的物联网组合芯片进行通信。Bluetooth®、Bluetooth® LE 和 WiFi 连接的物联网组合芯片进行通信。可对这些控制器进行编程，以支持 eMMC 和 SD 卡。

其主要特点是

- 符合 eMMC 5.1、SD 6.0 和 SDIO 4.10 标准
- 支持 eMMC 和 SD 共享的主机控制器接口 (HCI) 4.2
- 通过专用 DMA 引擎支持 SDMA、ADMA2 和 ADMA3 三种 DMA 模式
- 支持命令队列引擎 (CQE)
- 提供 2 KB SRAM，可缓冲多达两个 1 KB 的数据块
- 为卡检测、机械写保护、eMMC 卡复位和 LED 控制等功能提供 I/O 接口

它支持以下接口模式

表 5 SDHC 接口模式

Mode	Protocol speed	I/O (V)	Max Freq. (MHz)	Data width (bits)	Max throughput (MB/s)
SD	Default speed (DS)	3.3	25	1, 4	12.5
SD	High speed (HS)	3.3	50	1, 4	25
SD	SDR12	1.8	25	1, 4	12.5

(表格续下页.....)

表 5 (续) SDHC 接口模式

Mode	Protocol speed	I/O (V)	Max Freq. (MHz)	Data width (bits)	Max throughput (MB/s)
SD	SDR25	1.8	50	1, 4	25
SD	SDR50	1.8	100	1, 4	50
SD	DDR50	1.8	50	1, 4	50
eMMC	Legacy/Backward compatible (BWC)	1.8/3.3	26	1, 4, 8	26
eMMC	SDR	1.8/3.3	52	1, 4, 8	52
eMMC	DDR	1.8/3.3	52	1, 4, 8	104

5.11.7 USB

该产品系列具有集成 PHY 的 480 Mbps 高速 USB 接口。它具有主机和设备功能，可连接 USB 外围设备和主机。它支持 16 个端点和一个控制端点。其中，8 个为输入端点，8 个为输出端点。每个端点都可由用户配置为批量、中断或等时。

USB 接口有一个 4 KB 的 SRAM 缓冲器，可在运行时进行配置，以支持应用端点配置。它有一个 DMA 接口，可以在不中断 CPU 的情况下进行数据包传输。根据 USB 规范的定义，该模块支持睡眠状态，并能从挂起状态快速唤醒（50 μs）。

PHY 包括串联电阻器，以满足最小驱动器阻抗规范：主机模式下的 USB 下拉电阻（标称 15 kΩ），以及空闲模式和 FS 设备模式下的 D+ 上拉电阻。

通过使用外部下拉电阻器检测 CC1 和 CC2 引脚（使用 GPIO）上的电压电平，并使用 ADC 和内部基准测量引脚上的电压，以确定方向和电流能力，从而提供 Type-C 上游端口 (UFP) 支持。

5.12 GPIO 端口

该产品系列有多达 147 个 IO 引脚。共有 16 个 1.8 V HSIO（高速 IO；200 MHz）；92 个 1.8 V 标准（100 MHz）GPIO；8 个 1.8 V OVT（过压容限；100 MHz）GPIO；16 个 1.8 V/3.3 V（50 MHz）GPIO；以及 15 个 FFIO（固定功能 IO）引脚，共计 147 个。6 个 FFIO 引脚用于 200 MHz 时钟和 SMIF 功能，7 个用于图形驱动 MIPI-DSI 信号，2 个专用于 USB。P1 和 P4 上的 16 个 HSIO 与 SMIF 功能共享。端口 11 的 8 个 1.8 V OVT 引脚（P11.0 至 P11.7）具有过压容限，以符合 I²C 标准。两个端口 P16 和 P17 的工作电压为 1.8 V。

每个 GPIO 引脚都能实现以下功能：

- 支持以下八种强驱动模式：强推拉、电阻上拉和下拉、弱 (电阻) 上拉和下拉、开漏及开源、仅输入以及禁用。某些 GPIO 引脚仅为输入；电阻式上拉和下拉模式不适用于这些 GPIO。有关哪些 GPIO 仅用于输入的详细信息，请参见表 9。
- 模拟信号输入能力（禁用 IO 缓冲器，信号通过开关传递）
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 输入和输出禁用的独立控制
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- dV/dt 相关噪声控制的可选转换速率。

OVT 引脚允许高达 1.8 V 的输入电压，与 V_{DDIO} 电压无关。这些引脚允许与在更高电压下工作的漏极开路器件连接，并为热插拔和电源开关提供高阻抗输入。这些开关主要用于 I²C；当其电源接地且所连接的引脚电压为 1.8 V 时，电流不得超过 10 μA。

引脚被分组为逻辑单元 (又称端口), 其宽度为8位。在上电和复位期间, 各模块被强制为禁用状态, 以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速I/O矩阵(HSIOM)的复用网络用于复用连接多个信号至一个I/O引脚。

简单的寄存器接口可最大限度地重复使用驱动程序。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

每个 I/O 引脚都可以生成一个中断, 如果启用的话, 每个I/O 端口都有一个中断请求 (IRQ) 和中断服务程序 (ISR) 与向量之间关联。

在系统休眠电源模式下, IO 端口保留其状态。如果通过复位恢复操作, 则引脚将进入高阻抗状态。如果使用唤醒引脚恢复运行, 引脚驱动器将保持先前冻结的状态, 直到固件选择更改。

在大电流模式下同时切换输出需要注意线路终端和去耦电容, 以控制开关瞬态电压。

GPIO 引脚可组合为 16 mA 或更高电流值。

5.13 智能输入/输出（可编程输入/输出）

8 位宽的智能 I/O 块提供了一个与特定 I/O 端口相关的可编程 LUT 阵列。它的概念类似于可编程阵列逻辑（PAL）或小型可编程逻辑器件（PLD）。它允许在引脚上集成胶合逻辑和布尔功能。

Smart I/O由各开关和LUT构成，该模块允许路由到GPIO端口引脚上的信号实现布尔 (Boolean) 功能。它可以对芯片的输入引脚和输出信号执行功能。

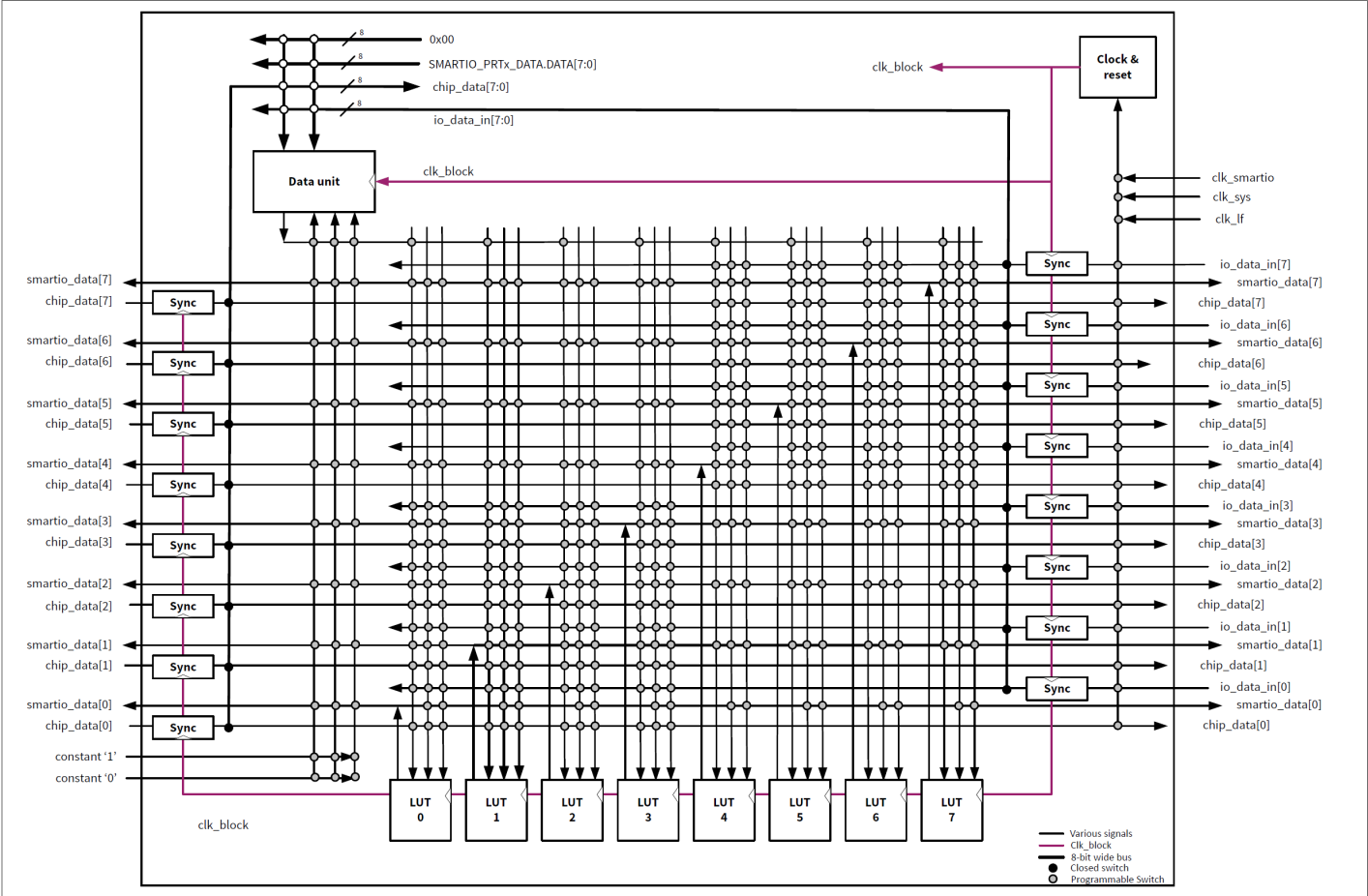


图 12 智能I/O框图

智能 I/O 块位于端口引脚和高速 I/O 矩阵 (HSIOM) 之间，可复用片上外设和端口引脚之间的信号。可以绕过智能 I/O，以避免端口引脚关键路径的传播延迟。

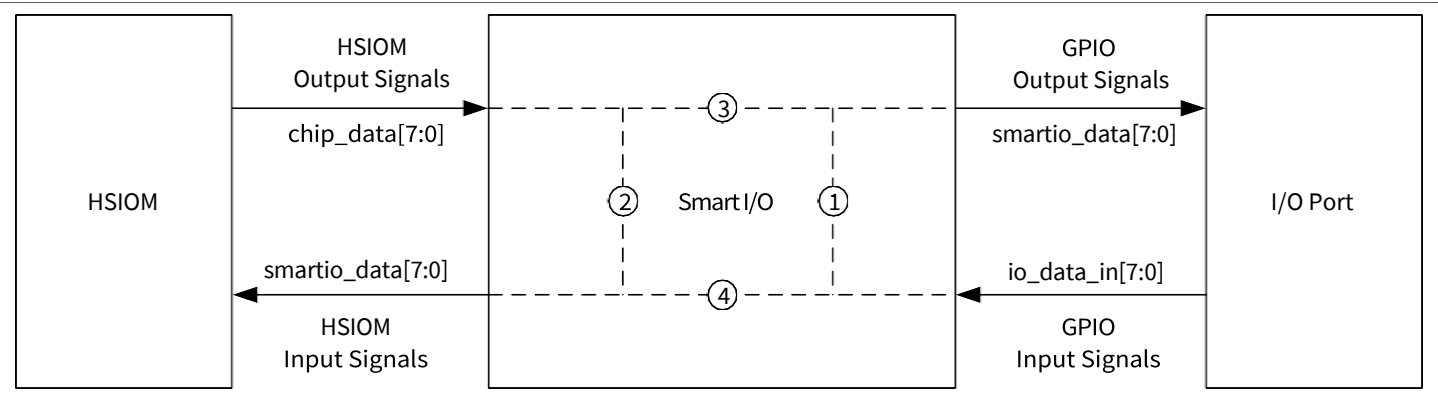


图 13 智能I/O布局

智能 I/O 支持活动、睡眠和深度睡眠电源模式。在 "深度睡眠" 状态下，IO 速率预计低于 1 MHz，因此区块的电流消耗非常小。

5.14 用于机器学习的神经网络处理

本节概述了专为加速机器学习工作负载而设计的先进神经网络处理器。这些协同处理器与 Cortex® CPU 一起工作，为各种人工智能应用优化神经网络推理，确保高效的数据处理、低功耗以及与主流机器学习框架的兼容性。这使它们既适用于性能关键型用例，也适用于低功耗用例。

5.14.1 Arm® Ethos-U55

该产品系列包括一个 Arm® Ethos-U55 神经网络处理器，该处理器与 Cortex®-M55 CPU 配合使用，以加速神经网络 (NN) 运算。它支持 8 位权重和权重压缩，以减少内存使用。它还能执行 128 个 MAC/时钟周期。

U55 通过驻留在片内存储器中的命令流进行操作，并利用存储在 SRAM 或系统 SRAM 中的权重自主获取和执行命令流，从而将 M55 解放出来进行其他操作。它有一个用于执行命令和写入结果的缓冲区。完成命令后，它会产生一个中断。在一种示例操作模式中，网络在 TensorFlow 中进行训练并量化，生成 Int8 TensorFlow lite (*.tflite) 文件。NN 优化器可识别在 U55 上运行的图形；无损压缩可减小 *.tflite 文件的大小。最后生成一个运行时可执行文件，利用 U55 加速支持的内核操作。

M55 和 U55 的组合在计算推理方面比相同时钟频率的 Cortex®-M7 计算推理的速度快约 50 倍，能效高约 25 倍。

支持密集、卷积和递归等多种类型的神经网络。此外，还可支持各种 NN 内核，如卷积 (1d/2d/3d)、全连接、递归 (GRU/LSTM)。支持的神经网络内核和图形可用于实现流行的神经网络架构，如 mobilenetv1、mobilenetv2、RNNoise 等。

使用 Arm® 加速神经网络的应用 Ethos-U55 包括但不限于以下内容：

- 工业应用：振动检测、异常检测、物体识别
- 消费应用：关键词检测、语音识别、图像/物体识别、手势识别

5.14.2 NNLite

该产品系列包括一个神经网络 (NNLite) 协处理器，它与 Cortex-M33 CPU 一起工作，运行频率与 Cortex-M33 CPU 配合使用，运行时钟频率与 Cortex-M33 CPU 相同的时钟频率运行。它是一种 ACTIVE 状态外设，可加速特定的神经网络 (NN) 推断计算，并针对中低复杂度的机器学习进行了优化。

(ML) 模型，如唤醒词检测 (WWD)、人类活动识别 (HAR)。NNLite 实现了单层神经网络加速，可按计划创建各种神经网络拓扑结构。NNLite 协处理器属于低功耗领域，因此非常适合以最低的功耗实现始终在线的使用情况。

NNLite 设计用于优化神经网络推理，其重点是使用可配置的 4 路整数 SIMD MAC 单元执行矢量点乘操作。该单元支持向量点积、向量积和向量加法。数据流由输入流和输出流管理，它们可自主获取数据并写回结果。输入流处理偏置、权重和激活，输出流应用 ReLU 和 Sigmoid 等激活函数，并打包数据以高效利用内存。

NNLite 支持各种神经网络内核，包括密集（全连接）、二维卷积、深度二维卷积、池化（最小、最大、平均）、GRU 和 LSTM。它还能处理加、减、乘等点运算，以及重新量化和重新缩放。激活函数包括 ReLU 和 Leaky ReLU 等融合选项，以及 Sigmoid、tanh 和 Softmax 等非融合选项。支持的激活和权重数据精度包括 8 位、16 位和 32 位，权重跳过为零，以提高计算效率。

MAC 单元在每个时钟周期内支持多达 4 次乘法/加法运算，并可通过稀疏感知权重压缩等功能实现高性能操作。加速器兼容微控制器 TensorFlow Lite 和其他框架，确保支持常见的神经网络模型和量化技术。NNLite 具有高效的数据处理能力、多功能内核支持和低功耗，是各种人工智能应用的理想之选。

5.15 音频功能

该产品系列包括多个模块，如 PDM/PCM 模块、TDM/I2S 模块和自主模拟模块，它们共同支持各种音频功能。

5.15.1 PDM/PCM 块

PDM/PCM 模块最多可支持 6 个麦克风，通常用于语音控制应用。脉冲密度调制（PDM）接口可接收来自数字麦克风（如 MEMS 麦克风）的数据。用于紧凑型低成本应用的 MEMS 麦克风使用 PDM 接口。PDM 流经 PDM-PCM 转换器 IP 模块处理，产生脉冲编码调制（PCM）数据。这些 PCM 数据可以传输到本地或远程的语音识别软件（通过 Bluetooth®、Bluetooth® LE 或 Wi-Fi 发送）。如果需要音频输出，则通过 I2S 接口发送 PCM 数据。

主要功能包括：

- 支持多达 6 台单声道和立体声配置的 PDM 接收器
- 半速率采样，降低系统功耗
- 多种滤波选项：CIC 滤波器、FIR 滤波器和直流阻断滤波器，用于降噪和去噪
- 接口时钟、FIR 滤波器系数、抽取率、直流阻塞系数、采样延迟和 PCM 采样大小（8 至 32 位）的可编程设置
- 包括一个 64 个输入的 RX FIFO，支持中断和触发
- 与 SRAM、FIR 滤波器和直流阻断滤波器逻辑共享数据路径，实现高效处理

5.15.2 TDM/I2S 块

时分复用/内部集成电路声音总线（TDM/I2S）接口是用于连接数字音频设备的串行总线。它实现了作为主接口的 TDM 和作为 TDM 特例的 I2S。2 个 TDM 块扩展了 I2S 接口，支持 4 个通道，每个扩展有 2 个通道。接口包括一个发送器（Tx）和一个接收器（Rx），两者都支持主模式或从模式同时运行。

主要功能包括：

- 支持 8 通道 TDM 和飞利浦 I2S 数字音频格式
- Tx 和 Rx 全双工和半双工操作
- 可配置为使用外部主时钟（如音频编解码器）运行
- 用于 Tx 和 Rx 的独立时钟分频器可实现所需的采样率
- 可编程通道长度达 32 位，PCM 采样/数据字长度为 8 至 32 位
- 左对齐和右对齐数据字格式，可编程通道延迟（0 或 1 位）
- Tx 和 Rx 均有 128 个数据字的硬件 FIFO 缓冲器
- 支持从 4 kHz 到 96 kHz 的常用采样频率
- 与基于 DMA 和基于 CPU 的数据传输兼容

5.15.3 带模拟麦克风的自主模拟块

自主模拟是一种低功耗、混合信号系统，是音频传感和处理的理想选择。自主模拟块配置有一个模拟麦克风，支持始终开启的使用情况，可独立于 CPU 运行。

它配备一个 SAR ADC，分辨率为 12 位至 20 位，可同时进行多通道采样，从而实现高保真音频数据采集。系统包括两个 12 位 DAC，具有波形生成功能和可编程阈值比较器，支持音频活动检测 (AAD)。此外，它还提供 FIR 滤波器等滤波选项，并通过基于运算放大器的可编程增益放大器 (PGA) 和比较器支持信号调节。这些特性使其非常适合低功耗音频应用，即使在深度睡眠模式下也是如此。

5.16 图形功能

该产品系列有一个带显示控制器的 2.5D 图形处理器 (GPU)。它支持最大 1024 x 768 的显示屏，最大帧频为 60 帧/秒。它支持高达每像素 24 位的分辨率，并提供帧缓冲压缩功能。

GPU 支持矢量图形（绘制圆形、矩形、二次曲线）和字体。提供旋转/缩放、颜色填充和颜色转换等操作。GPU 可根据指令列表运行，以减少 CPU 的干预和部分屏幕更新，从而降低功耗。它还具有不使用中央处理器的自主运行模式。

GPU 渲染的帧由显示控制器 (DC) 传输到 MIPI 显示串行接口 (DSI) 主控制器。根据 MIPI 标准规范，DSI 接口支持 DBI（命令模式）和 DPI（视频模式）标准。此外，MIPI DBI A、B 和 C 模式也以其标准形式提供（即不使用 DSI）。DBI 假定显示屏中有内存。它由一系列命令组成，用于更新驻留在显示芯片中的帧缓冲区。

输出为双通道 MIPI DSI 或 MIPI DBI 类型 A、B 或 C，具体取决于显示器类型。MIPI DSI 引脚数最少，能耗最低；它提供两条通道，每条通道最高可达 1500 Mbps。

DSI PHY 校准要求 DSI.REXT 引脚与接地的 200 Ω 电阻器相连。请参见 表 9。

图形块通过对以 YUV 4:2:0（每像素 12 位）格式存储的像素进行即时色彩空间转换，支持对 24 位 RGB 像素进行 2 倍帧缓冲压缩。显示控制器最多支持 4 层阿尔法混合。它针对小型显示器和低功耗进行了优化。

5.17 启动源和备用串行接口配置

扩展启动会根据扩展启动策略中定义的配置，从 OEM_APP_ADDRESS 或 OEM_ALT_APP_ADDRESS 执行用户应用程序。主应用程序地址 OEM_APP_ADDRESS 在此策略中指定。此外，只有在扩展启动策略中启用 oem_alt_boot 策略后，备用启动位置 OEM_ALT_APP_ADDRESS 才会生效。启用 oem_alt_boot 时，GPIO 引脚 P17.6 作为启动源配置引脚具有固定功能，如下表所示：

表 6 启动源配置

P17.6 pin state	Boot location
Low (V _{SS})	OEM_APP_ADDRESS
High (V _{DD})	OEM_ALT_APP_ADDRESS

注释： OEM_APP_ADDR 和 OEM_ALT_APP_ADDR 可以是外部闪存或 RRAM。

5 块功能说明

扩展启动的默认预编程版本可启用备用串行接口，以便使用英飞凌专有的设备固件更新（DFU）协议配置和下载应用程序。不同串行接口的选择可通过 GPIO 引脚 P20.1 和 P20.2 进行配置，详见下表。

表 7 扩展启动备用串行接口配置

Serial interface configuration pins		Serial interface selected
P20.1	P20.2	
High-Z	NA	Disable
Low (V _{SS})	High-Z	SPI
Low (V _{SS})	Low (V _{SS})	
Low (V _{SS})	High (V _{DD})	I2C
High (V _{DD})	High-Z	UART
High (V _{DD})	Low (V _{SS})	
High (V _{DD})	High (V _{DD})	

要将启动源选择和串行接口 GPIO 引脚设置为特定逻辑状态，请使用分别连接至 V_{DD} 或 V_{SS} 的 5 kΩ 或更小的上拉或下拉电阻。更多信息，请参阅 [PSOC™ Edge E8x2, E8x3, E8x5, E8x6 architecture reference manual](#) 中的 "Extended boot" 部分。

启用备用串行接口模式后，设备无法从 RRAM 和外部闪存启动。因此，策略中定义的 OEM_APP_ADDRESS 和 OEM_ALT_APP_ADDRESS 参数失效，不适用于此模式。

注释：启动过程完成后，上述所有 GPIO 引脚均可重新用于应用中的其他功能（参见表 12）。但是，必须考虑这些 GPIO 引脚上的上拉或下拉配置可能会影响其在应用中的行为。

扩展引导使用 SCB 1 进行串行接口配置；GPIO 引脚由扩展引导根据所选接口进行配置，如下表所示。

表 8 串行接口引脚连接

Serial interface	Serial interface pins			
I2C	SCL	SDA		
	P9.3	P9.2		
UART	RX	TX		
	P9.3	P9.2		
SPI	SCLK	MISO	MOSI	SS
	P9.3	P9.1	P9.2	P9.0

串行接口配置如下：

- I2C：速度 = 400 kHz，模式 = 从站，7 位地址，地址 = 0x35
- UART：波特率 = 115200，位 = 8，停止位 = 1，RTS/CTS = 无，奇偶校验 = 无
- SPI：模式 = 从站，摩托罗拉 00（MSB 优先，CPHA = 0，CPOL = 0），速度 <= 12 Mbps



6 引脚

GPIO 端口由 VDDx 引脚供电，具体如下：

- VDDIO.SMIF1: P0, P4
- VDDIO.SMIF0: P1, P2, P3, P5
- VDDIO0: P6、P7
- VDDIO1: P8
- VDDIO2: P9、P20
- VDDIO3: P10、P11
- VDDIO4: P12、P21
- VDDIO7: P13、P14
- VDDIO8: P15
- VDDIO6: P16、P17（这些端口的工作电压为 3.3 V 或 1.8 V）
- VDDIO5: P18、P19
- VDD.USB: USB 引脚 DP、DM
- SMIF 引脚：
 - VDDIO.SMIF0: P1, P2, P3, P5
 - VDDIO.SMIF1: P0, P4
- 图形引脚：
 - VDD.DSI: DSI.CLKN, DSI.CLKP, DSI.DATA0N, DSI.DATA0P, DSI.DATA1N, DSI.DATA1P, DSI.REXT¹⁾
 - VCCA.DSI: VLDO.DSI²⁾

某些封装的 GPIO 数量有限。BGA-220 封装有完整的 147 个 GPIO（请参阅 [GPIO 端口](#)）。有关支持封装的详细信息，请参阅 [封装信息](#)。

如果使用图形功能，则将 DSI.REXT 引脚连接到接地的 200 Ω 电阻器上。如果不使用，则与地相连。请参阅 [图形功能](#)。

某些 GPIO 引脚仅为输入引脚；电阻上拉和下拉模式不适用于这些 GPIO。详见[表 9](#)。

表 9 封装和引脚信息

Pin	Packages
	BGA-220
VDDD	A7 B8 F7 G4 P10
VDDA	H14 J11 J12
VDD.1P8	A9 C12
VDD.DSI	D6
VDD.USB	M7
VDD.VBAT	A10 B10
VDDIO.SMIF0	J3 M3
VDDIO.SMIF1	E3 G3
VDDIO0	R3
VDDIO1	E6
VDDIO2	N14

(表格续下页.....)

¹⁾ 对于 E81 和 E83 系列设备，这些引脚连接至 GND

²⁾ 对于 E81 和 E83 系列设备，这些引脚为 NC

6 引脚

表 9 (续) 封装和引脚信息

Pin	Packages
	BGA-220
VDDIO3	E13
VDDIO4	B2
VDDIO5	A6
VDDIO6	R10
VDDIO7	G12
VDDIO8	L12
VDDQ	A11
VCCD	B1 B9 E9 F11 H4 M8
VCCA.DSI	C6 C7
VCC.SRAM	F12 K3
VSSA	G13 H12 J13 K12 L13
VSS	B5 C8 C10 D3 D7 D9 D11 D13 E8 E12 F3 H3 L3 L8 N3 N10 R7
VSS.1P8	D12
VSS.VBAT	C11
VBAT	B11 D10
VFB.1P8	B13
VFB.VBAT	B12
VLDO.DSI	B7
VLDO.RET	C9
VLDO.SRAM	A8
VOUT.1P8	C13
VOUT.VBAT	A12
VREF	K14
DSI.CLKN	A4
DSI.CLKP	A5
DSI.DATA0N	B4
DSI.DATA0P	B3
DSI.DATA1N	A3
DSI.DATA1P	A2
DSI.REXT	J6
SMIF0.CLKN	L1
SMIF0.CLKP	M1
SMIF0.RWDS	J1
SMIF1.CLKN	F1

(表格续下页.....)



6 引脚

表 9 (续) 封装和引脚信息

Pin	Packages
	BGA-220
SMIF1.CLKP	E1
SMIF1.RWDS	H1
USB.DM	P7
USB.DP	N7
XRES	D8
P0.0	K5
P0.1	C4
P1.0/SMIF0.0	N2
P1.1/SMIF0.1	P1
P1.2/SMIF0.2	N1
P1.3/SMIF0.3	M2
P1.4/SMIF0.4	L2
P1.5/SMIF0.5	K2
P1.6/SMIF0.6	K1
P1.7/SMIF0.7	J2
P2.0	K4
P3.0	M4
P3.1	L6
P4.0/SMIF1.0	C2
P4.1/SMIF1.1	C1
P4.2/SMIF1.2	D2
P4.3/SMIF1.3	D1
P4.4/SMIF1.4	F2
P4.5/SMIF1.5	E2
P4.6/SMIF1.6	G2
P4.7/SMIF1.7	H2
P5.0	J4
P6.0	M6
P6.1	N6
P6.2	P6
P6.3	R6
P6.4	R5
P6.5	R2
P6.6	P5
P6.7	P2

(表格续下页.....)



6 引脚

表 9 (续) 封装和引脚信息

Pin	Packages
	BGA-220
P7.0	P3
P7.1	N5
P7.2	R4
P7.3	M5
P7.4	P4
P7.5	L4
P7.6	N4
P7.7	L5
P8.0	H7
P8.1	J8
P8.2	J7
P8.3	K8
P8.4	F6
P8.5	E7
P8.6	G6
P8.7	H6
P9.0	L14
P9.1	M13
P9.2	M14
P9.3	N13
P10.0	B15
P10.1	A13
P10.2	C15
P10.3	A14
P10.4	D14
P10.5	B14
P10.6	D15
P10.7	C14
P11.0	E14
P11.1	E11
P11.2	E15
P11.3	E10
P11.4	F14
P11.5	F9
P11.6	F13

(表格续下页.....)



6 引脚

表 9 (续) 封装和引脚信息

Pin	Packages
	BGA-220
P11.7	F10
P12.0	H5
P12.1	D5
P12.2	G5
P12.3	E5
P12.4	F4
P12.5	F5
P13.0 ¹⁾	G8
P13.1	G9
P13.2	G10
P13.3	F15
P13.4	G11
P13.5 ¹⁾	G14
P13.6	H11
P13.7	H15
P14.0 ¹⁾	H10
P14.1	H13
P14.2	H9
P14.3	K15
P14.4	J9
P14.5 ¹⁾	J15
P14.6	J10
P14.7	J14
P15.0	L15
P15.1	K13
P15.2	M15
P15.3	K9
P15.4	N15
P15.5	K10
P15.6	P15
P15.7	K11
P16.0	M11
P16.1	R13
P16.2	N11
P16.3	L11

(表格续下页.....)



表 9 (续) 封装和引脚信息

Pin	Packages
	BGA-220
P16.4	P11
P16.5	L10
P16.6	R11
P16.7	M10
P17.0	M9
P17.1	R9
P17.2	R8
P17.3	P9
P17.4	P8
P17.5	N9
P17.6	N8
P17.7	L9
P18.0 ¹⁾	G7
P18.1 ¹⁾	H8
P19.0 ¹⁾	B6
P19.1 ¹⁾	F8
P20.0	P14
P20.1	M12
P20.2	R15
P20.3	N12
P20.4	R14
P20.5	P12
P20.6	P13
P20.7	R12
P21.0	J5
P21.1	E4
P21.2	K7
P21.3	D4
P21.4	K6
P21.5	C5
P21.6	L7
P21.7	C3

1) 此引脚仅用于输入



7 GPIO 备用功能

本节用多个表格列出了每个 GPIO 的备用功能。

表 10显示了每个端口所有引脚的连接摘要。它还显示了每个端口的可用引脚数量。

表 10 端口、引脚和功能

Port	Pins available in the port	Functions
P0	0, 1	SMIF1 select, TCPWM, SCB
P1/SMIF0	0 - 7	SMIF0 data, TCPWM
P2	0	SMIF0 select, TCPWM
P3	0, 1	I3C, SD Host, TCPWM
P4/SMIF1	0 - 7	SMIF1 data, trace, TCPWM
P5	0	SMIF0 select, TCPWM
P6	0 - 7	SMIF0 select, SCB, SD host, SWJ, TCPWM
P7	0 - 7	SMIF0 select, fault, external clock, SWJ, SD host, trigger IO, TCPWM
P8	0 - 7	Hibernate wakeup, SWD, cal wave, SCB, PDM, trigger input, TCPWM
P9	0 - 3	SCB, PDM, TCPWM
P10	0 - 7	LPComp input, fault, SCB, Ethernet, TCPWM
P11	0 - 7	Smart I/O, SCB, TDM, trigger input, Ethernet, TCPWM
P12	0 - 5	SMIF1 select, SD host, TDM, TCPWM
P13	0 - 7	CTBL, Opamp output, DAC, SCB, PDM, Ethernet, TCPWM
P14	0 - 7	CTBL, Opamp output, DAC, SCB, PDM, TCPWM
P15	0 - 7	SARMUX, PTC, SCB, TCPWM
P16	0 - 7	CAN, SCB, Graphics, TCPWM
P17	0 - 7	Smart I/O, SCB, Graphics, Auto-analog output,TCPWM
P18	0, 1	WCO
P19	0, 1	ECO
P20	0 - 7	CAN, SCB, trace, Auto-analog output & observe, TCPWM
P21	0 - 7	SCB, TDM, SD host, TCPWM

注释：不同封装的引脚可用性不同。详情请参阅表 9。

表 11 显示了 HSIOM 比特字段设置与每个 GPIO 的备用功能组 ("ACT #x"、"DS #x "等) 以及相关电源模式的关系。

表 11 HSIOM 设置、功能和端口

HSIOM bitfield setting	Function group	Functions	Ports
0	GPIO	None, basic GPIO	all

(表格续下页.....)

表 11 (续) HSIOM 设置、功能和端口

HSIOM bitfield setting	Function group	Functions	Ports
2 - 7	not used	-	-
8	ACT #0	SMIF select	P0, P2, P5, P6, P7, P12, P21
9	ACT #1	TCPWM	All except P18 and P19
10	ACT #2	TCPWM	All except P18 and P19
11	ACT #3	fault	P7, P10
12 - 13	not used	-	-
14	DS #2	SCB 0 (SPI only)	P8
15	DS #3	SCB 0 (I ² C only)	P8
16	ACT #4	SCB	P0, P21
		External clock	P7
		CAN	P16, P20
17	ACT #5	TDM	P11
		SCB	P21
18	ACT #6	SCB	P6, P7, P9, P10, P11, P13, P14, P15, P16, P17, P20, P21
19	ACT #7	SCB	P6, P9, P10, P11, P16, P17
		TDM	P12, P21
20	ACT #8	SCB	P6, P9, P10, P11, P13, P14, P15, P16, P17
21	ACT #9	PDM	P8, P9, P13, P14
22	ACT #10	Trigger IO	P7, P8, P11
23	ACT #11	Trigger IO	P7, P8, P11
24	not used	-	-
25	ACT #13	Graphics	P16.1
26	ACT #14	SD host	P3.0, P6.0
		Graphics	P16, P17
27	ACT #15	I3C	P3
		Trace	P20
		SD host	P6, P7, P12, P21
		Ethernet	P10, P11, P13
		Graphics	P16
28	DS #4	Auto-analog data out	P17, P20-
29	DS #5	SWJ	P6, P7
		Auto-analog observe	P20
30 - 31	not used	-	-

7 GPIO 备用功能

表 12 和表 13 详细列出了 GPIO 备用功能。

表 12 GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P0.0	smif[1].smif0_spihb_select1	ACT #0	tcpwm.line0+	ACT #1
	tcpwm.line256+	ACT #2	scb3.spi.select0	ACT #4
P0.1	smif[1].smif0_spihb_select2	ACT #0	tcpwm.line0-	ACT #1
	tcpwm.line256-	ACT #2		
P1.0/SMIF0.0	tcpwm.line1+	ACT #1	tcpwm.line257+	ACT #2
P1.1/SMIF0.1	tcpwm.line1-	ACT #1	tcpwm.line257-	ACT #2
P1.2/SMIF0.2	tcpwm.line2+	ACT #1	tcpwm.line258+	ACT #2
P1.3/SMIF0.3	tcpwm.line2-	ACT #1	tcpwm.line258-	ACT #2
P1.4/SMIF0.4	tcpwm.line3+	ACT #1	tcpwm.line259+	ACT #2
P1.5/SMIF0.5	tcpwm.line3-	ACT #1	tcpwm.line259-	ACT #2
P1.6/SMIF0.6	tcpwm.line4+	ACT #1	tcpwm.line260+	ACT #2
P1.7/SMIF0.7	tcpwm.line4-	ACT #1	tcpwm.line260-	ACT #2
P2.0	smif[0].smif0_spihb_select1	ACT #0	tcpwm.line5+	ACT #1
	tcpwm.line261+	ACT #2		
P3.0	tcpwm.line5-	ACT #1	tcpwm.line261-	ACT #2
	sdhost1.card_mech_write_prot: 1	ACT #14	i3c.scl	ACT #15
P3.1	tcpwm.line6+	ACT #1	tcpwm.line262+	ACT #2
	i3c.sda	ACT #15		
P4.0/SMIF1.0	tcpwm.line6-	ACT #1	tcpwm.line262-	ACT #2
P4.1/SMIF1.1	tcpwm.line7+	ACT #1	tcpwm.line263+	ACT #2
P4.2/SMIF1.2	tcpwm.line7-	ACT #1	tcpwm.line263-	ACT #2
P4.3/SMIF1.3	tcpwm.line0+	ACT #1	tcpwm.line264+	ACT #2
	trace.clock	ACT #15		
P4.4/SMIF1.4	tcpwm.line0-	ACT #1	tcpwm.line264-	ACT #2
	trace.data0	ACT #15		
P4.5/SMIF1.5	tcpwm.line1+	ACT #1	tcpwm.line265+	ACT #2
	trace.data1	ACT #15		
P4.6/SMIF1.6	tcpwm.line1-	ACT #1	tcpwm.line265-	ACT #2
	trace.data2	ACT #15		
P4.7/SMIF1.7	tcpwm.line2+	ACT #1	tcpwm.line266+	ACT #2
	trace.data3	ACT #15		

(表格续下页.....)

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P5.0	smif[0].smif0_spihb_select0	ACT #0	tcpwm.line2-	ACT #1
	tcpwm.line266-	ACT #2		
P6.0	tcpwm.line3+	ACT #1	tcpwm.line267+	ACT #2
	sdhost1.card_mech_write_prot: 0	ACT #14	swj.tdo	DS #5
P6.1	tcpwm.line3-	ACT #1	tcpwm.line267-	ACT #2
	sdhost1.led_ctrl	ACT #15	swj.tdi	DS #5
P6.2	tcpwm.line4+	ACT #1	tcpwm.line268+	ACT #2
	sdhost1.card_if_pwr_en	ACT #15	swj.swdio/tms	DS #5
P6.3	tcpwm.line4-	ACT #1	tcpwm.line268-	ACT #2
	scb2.spi.select1	ACT #6	sdhost1.io_volt_sel	ACT #15
	swj.swclk/tclk	DS #5		
P6.4	tcpwm.line5+	ACT #1	tcpwm.line269+	ACT #2
	scb2.spi.miso	ACT #6	scb2.uart.cts	ACT #8
	sdhost1.card_dat_7to4_0	ACT #15		
P6.5	tcpwm.line5-	ACT #1	tcpwm.line269-	ACT #2
	scb2.spi.clk	ACT #6	scb2.i2c.scl	ACT #7
	scb2.uart.rx	ACT #8	sdhost1.card_dat_7to4_1	ACT #15
P6.6	tcpwm.line6+	ACT #1	tcpwm.line270+	ACT #2
	scb2.spi.select0	ACT #6	scb2.uart.rts	ACT #8
	sdhost1.card_dat_7to4_2	ACT #15		
P6.7	smif[0].smif0_spihb_select2	ACT #0	tcpwm.line6-	ACT #1
	tcpwm.line270-	ACT #2	scb2.spi.mosi	ACT #6
	scb2.i2c.sda	ACT #7	scb2.uart.tx	ACT #8
	sdhost1.card_dat_7to4_3	ACT #15		
P7.0	smif[0].smif0_spihb_select3	ACT #0	tcpwm.line7+	ACT #1
	tcpwm.line271+	ACT #2	m33syscpuss.fault0	ACT #3
	trig0.out0	ACT #10	trig1.out0	ACT #11
	sdhost1.card_cmd	ACT #15		
P7.1	tcpwm.line7-	ACT #1	tcpwm.line271-	ACT #2
	m33syscpuss.fault1	ACT #3	trig0.out1	ACT #10
	trig1.out1	ACT #11	sdhost1.clk_card	ACT #15
P7.2	tcpwm.line0+	ACT #1	tcpwm.line272+	ACT #2
	sdhost1.card_emmc_reset_n	ACT #15	swj.trstn	DS #5

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P7.3	tcpwm.line0-	ACT #1	tcpwm.line272-	ACT #2
	sdhost1.card_dat_3to0_0	ACT #15		
P7.4	tcpwm.line1+	ACT #1	tcpwm.line273+	ACT #2
	ext_clk	ACT #4	sdhost1.card_detect_n	ACT #15
P7.5	tcpwm.line1-	ACT #1	tcpwm.line273-	ACT #2
	trig0.in4	ACT #10	trig1.in4	ACT #11
	sdhost1.card_dat_3to0_1	ACT #15		
P7.6	tcpwm.line2+	ACT #1	tcpwm.line274+	ACT #2
	trig0.in5	ACT #10	trig1.in5	ACT #11
	sdhost1.card_dat_3to0_2	ACT #15		
P7.7	tcpwm.line2-	ACT #1	tcpwm.line274-	ACT #2
	trig0.in6	ACT #10	trig1.in6	ACT #11
	sdhost1.card_dat_3to0_3	ACT #15		
P8.0	tcpwm.line3+	ACT #1	tcpwm.line275+	ACT #2
	scb0.spi.clk	DS #2	scb0.i2c.scl	DS #3
	trig0.in7	ACT #10	trig1.in7	ACT #11
	m0seccpuss.m0sec_swd	DS #5		
P8.1	tcpwm.line3-	ACT #1	tcpwm.line275-	ACT #2
	scb0.spi.mosi	DS #2	scb0.i2c.sda	DS #3
	m0seccpuss.clk_m0sec_swd	DS #5		
P8.2	tcpwm.line4+	ACT #1	tcpwm.line276+	ACT #2
	scb0.spi.select0	DS #2	pdm2.clk	ACT #9
P8.3	hibernate_wakeup	fixed	tcpwm.line4-	ACT #1
	tcpwm.line276-	ACT #2	scb0.spi.select1	DS #2
P8.4	tcpwm.line5+	ACT #1	tcpwm.line277+	ACT #2
	scb0.spi.miso	DS #2	cal_wave	DS #3
	pdm2.data	ACT #9		
P8.5	tcpwm.line5-	ACT #1	tcpwm.line277-	ACT #2
	pdm3.clk	ACT #9		
P8.6	tcpwm.line6+	ACT #1	tcpwm.line278+	ACT #2
	pdm3.data	ACT #9		
P8.7	hibernate_wakeup	fixed	tcpwm.line6-	ACT #1
	tcpwm.line278-	ACT #2		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P9.0	tcpwm.line7+	ACT #1	tcpwm.line279-	ACT #2
	scb1.spi.select0	ACT #6	scb1.uart.rts	ACT #8
	pdm5.clk	ACT #9		
P9.1	tcpwm.line0+	ACT #1	tcpwm.line256-	ACT #2
	scb1.spi.miso	ACT #6	scb1.uart.cts	ACT #8
	pdm5.data	ACT #9		
P9.2	tcpwm.line7-	ACT #1	tcpwm.line279+	ACT #2
	scb1.spi.mosi	ACT #6	scb1.i2c.sda	ACT #7
	scb1.uart.tx	ACT #8	pdm4.clk	ACT #9
P9.3	tcpwm.line0-	ACT #1	tcpwm.line256+	ACT #2
	scb1.spi.clk	ACT #6	scb1.i2c.scl	ACT #7
	scb1.uart.rx	ACT #8	pdm4.data	ACT #9
P10.0	tcpwm.line1+	ACT #1	tcpwm.line257+	ACT #2
	m33syscpuss.fault0	ACT #3	scb4.i2c.scl	ACT #7
	scb4.uart.rx	ACT #8	eth.txd3	ACT #15
P10.1	tcpwm.line1-	ACT #1	tcpwm.line257-	ACT #2
	m33syscpuss.fault1	ACT #3	scb4.spi.clk	ACT #6
	scb4.i2c.sda	ACT #7	scb4.uart.tx	ACT #8
	eth.rx.clk	ACT #15		
P10.2	tcpwm.line2+	ACT #1	tcpwm.line258+	ACT #2
	lpcomp.dsi_comp1	DS #3	scb4.spi.mosi	ACT #6
	scb4.uart.cts	ACT #8	eth.tx.er	ACT #15
P10.3	tcpwm.line2-	ACT #1	tcpwm.line258-	ACT #2
	lpcomp.dsi_comp0	DS #3	scb4.spi.miso	ACT #6
	scb4.uart.rts	ACT #8	eth.tsu_timer_cmp_val	ACT #15
P10.4	lpcomp0.in+	fixed	tcpwm.line3+	ACT #1
	tcpwm.line259+	ACT #2	scb4.spi.select0	ACT #6
	eth.rxd3	ACT #15		
P10.5	lpcomp0.in-	fixed	tcpwm.line3-	ACT #1
	tcpwm.line259-	ACT #2	scb4.spi.select1	ACT #6
	eth.rx.ctl	ACT #15		
P10.6	lpcomp1.in+	fixed	tcpwm.line4+	ACT #1
	tcpwm.line260+	ACT #2	eth.rxd0	ACT #15

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P10.7	lpcomp1.in-	fixed	tcpwm.line4-	ACT #1
	tcpwm.line260-	ACT #2	eth.rxd1	ACT #15
P11.0	smartio.io0	fixed	tcpwm.line5+	ACT #1
	tcpwm.line261+	ACT #2	tdm1.tx.sck	ACT #5
	scb6.spi.clk	ACT #6	scb6.i2c.scl	ACT #7
	scb6.uart.rx	ACT #8	trig0.in0	ACT #10
	trig1.in0	ACT #11	eth.rxd2	ACT #15
P11.1	smartio.io1	fixed	tcpwm.line5-	ACT #1
	tcpwm.line261-	ACT #2	tdm1.tx.fsync	ACT #5
	scb6.spi.mosi	ACT #6	scb6.i2c.sda	ACT #7
	scb6.uart.tx	ACT #8	trig0.in1	ACT #10
	trig1.in1	ACT #11	eth.rx.er	ACT #15
P11.2	smartio.io2	fixed	tcpwm.line6+	ACT #1
	tcpwm.line262+	ACT #2	tdm1.tx.sd	ACT #5
	scb6.spi.miso	ACT #6	scb6.uart.cts	ACT #8
	trig0.in2	ACT #10	trig1.in2	ACT #11
	eth.txd0	ACT #15		
P11.3	smartio.io3	fixed	tcpwm.line6-	ACT #1
	tcpwm.line262-	ACT #2	tdm1.rx.mck	ACT #5
	scb6.spi.select0	ACT #6	scb6.uart.rts	ACT #8
	trig0.in3	ACT #10	trig1.in3	ACT #11
	eth.txd1	ACT #15		
P11.4	smartio.io4	fixed	tcpwm.line7+	ACT #1
	tcpwm.line263+	ACT #2	tdm1.rx.sck	ACT #5
	scb6.spi.select1	ACT #6	eth.tx.ctl	ACT #15
P11.5	smartio.io5	fixed	tcpwm.line7-	ACT #1
	tcpwm.line263-	ACT #2	tdm1.rx.fsync	ACT #5
	eth.tx.clk	ACT #15		
P11.6	smartio.io6	fixed	tcpwm.line0+	ACT #1
	tcpwm.line264+	ACT #2	tdm1.rx.sd	ACT #5
	eth.txd2	ACT #15		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P11.7	smartio.io7	fixed	tcpwm.line0-	ACT #1
	tcpwm.line264-	ACT #2	tdm1.tx.mck	ACT #5
	eth.ref.clk	ACT #15		
P12.0	tcpwm.line1+	ACT #1	tcpwm.line265+	ACT #2
	sdhost0.clk_card	ACT #15		
P12.1	tcpwm.line1-	ACT #1	tcpwm.line265-	ACT #2
	sdhost0.card_dat_3to0_0	ACT #15		
P12.2	tcpwm.line2+	ACT #1	tcpwm.line266+	ACT #2
	sdhost0.card_dat_3to0_1	ACT #15		
P12.3	smif[1].smif0_spihb_select3	ACT #0	tcpwm.line2-	ACT #1
	tcpwm.line266-	ACT #2	tdm0.tx.fsync	ACT #7
P12.4	tcpwm.line3+	ACT #1	tcpwm.line267+	ACT #2
	sdhost0.card_dat_3to0_2	ACT #15		
P12.5	tcpwm.line3-	ACT #1	tcpwm.line267-	ACT #2
	sdhost0.card_dat_3to0_3	ACT #15		
P13.0	aanalog.ctb1.0	fixed		
P13.1	aanalog.ctb1.1	fixed	tcpwm.line4+	ACT #1
	tcpwm.line268+	ACT #2	scb7.spi.clk	ACT #6
	scb7.i2c.scl	ACT #7	scb7.uart.rx	ACT #8
	eth.mdc	ACT #15		
P13.2	aanalog.ctb1.2	fixed	aanalog.ctb1.opamp0.out	fixed
	tcpwm.line4-	ACT #1	tcpwm.line268-	ACT #2
	scb7.spi.mosi	ACT #6	scb7.i2c.sda	ACT #7
	scb7.uart.tx	ACT #8	pdm1.clk	ACT #9
P13.3	aanalog.ctb1.3	fixed	aanalog.ctb1.opamp1.out	fixed
	tcpwm.line5+	ACT #1	tcpwm.line269+	ACT #2
	scb7.spi.miso	ACT #6	scb7.uart.cts	ACT #8
	pdm1.data	ACT #9		
P13.4	aanalog.ctb1.4	fixed	tcpwm.line5-	ACT #1
	tcpwm.line269-	ACT #2	scb7.spi.select0	ACT #6
	scb7.uart.rts	ACT #8		
P13.5	aanalog.ctb1.5	fixed		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P13.6	aanalog.ctb1.6	fixed	aanalog.dac1	fixed
	tcpwm.line6+	ACT #1	tcpwm.line270+	ACT #2
	scb7.spi.select1	ACT #6	eth.mdio	ACT #15
P13.7	aanalog.ctb1.7	fixed	tcpwm.line6-	ACT #1
	tcpwm.line270-	ACT #2	scb8.spi.miso	ACT #6
	scb8.uart.cts	ACT #8		
P14.0	aanalog.ctb0.0	fixed		
P14.1	aanalog.ctb0.1	fixed	tcpwm.line7+	ACT #1
	tcpwm.line271+	ACT #2	pdm0.clk	ACT #9
P14.2	aanalog.ctb0.2	fixed	aanalog.ctb0.opamp0.out	fixed
	tcpwm.line7-	ACT #1	tcpwm.line271-	ACT #2
P14.3	aanalog.ctb0.3	fixed	aanalog.ctb0.opamp1.out	fixed
	tcpwm.line0+	ACT #1	tcpwm.line272+	ACT #2
	scb8.spi.mosi	ACT #6	scb8.i2c.sda	ACT #7
	scb8.uart.tx	ACT #8		
P14.4	aanalog.ctb0.4	fixed	tcpwm.line0-	ACT #1
	tcpwm.line272-	ACT #2	scb8.spi.clk	ACT #6
	scb8.i2c.scl	ACT #7	scb8.uart.rx	ACT #8
	pdm0.data	ACT #9		
P14.5	aanalog.ctb0.5	fixed		
P14.6	aanalog.ctb0.6	fixed	aanalog.dac0	fixed
	tcpwm.line1+	ACT #1	tcpwm.line273+	ACT #2
	scb8.spi.select1	ACT #6		
P14.7	aanalog.ctb0.7	fixed	tcpwm.line1-	ACT #1
	tcpwm.line273-	ACT #2	scb8.spi.select0	ACT #6
	scb8.uart.rts	ACT #8		
P15.0	aanalog.ptcomp0	fixed	aanalog.sar0	fixed
	tcpwm.line2+	ACT #1	tcpwm.line274+	ACT #2
	scb9.spi.clk	ACT #6	scb9.i2c.scl	ACT #7
	scb9.uart.rx	ACT #8		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P15.1	aanalog.ptcomp1	fixed	aanalog.sar1	fixed
	tcpwm.line2-	ACT #1	tcpwm.line274-	ACT #2
	scb9.spi.mosi	ACT #6	scb9.i2c.sda	ACT #7
	scb9.uart.tx	ACT #8		
P15.2	aanalog.sar2	fixed	aanalog.ptcomp2	fixed
	tcpwm.line3+	ACT #1	tcpwm.line275+	ACT #2
	scb9.spi.miso	ACT #6	scb9.uart.cts	ACT #8
P15.3	aanalog.sar3	fixed	aanalog.ptcomp3	fixed
	tcpwm.line3-	ACT #1	tcpwm.line275-	ACT #2
	scb9.spi.select0	ACT #6	scb9.uart.rts	ACT #8
P15.4	aanalog.sar4	fixed	aanalog.ptcomp4	fixed
	tcpwm.line4+	ACT #1	tcpwm.line276+	ACT #2
	scb9.spi.select1	ACT #6		
P15.5	aanalog.sar5	fixed	aanalog.ptcomp5	fixed
	tcpwm.line4-	ACT #1	tcpwm.line276-	ACT #2
P15.6	aanalog.sar6	fixed	aanalog.ptcomp6	fixed
	tcpwm.line5+	ACT #1	tcpwm.line277+	ACT #2
P15.7	aanalog.sar7	fixed	aanalog.ptcomp7	fixed
	tcpwm.line5-	ACT #1	tcpwm.line277-	ACT #2
P16.0	tcpwm.line0+	ACT #1	tcpwm.line256+	ACT #2
	can0.rx	ACT #4	scb10.spi.clk	ACT #6
	scb10.i2c.scl	ACT #7	scb10.uart.rx	ACT #8
	gfx.dbi.csx	ACT #14	gfx.spi.csx	ACT #15
P16.1	tcpwm.line1+	ACT #1	tcpwm.line257+	ACT #2
	can0.tx	ACT #4	scb10.spi.mosi	ACT #6
	scb10.i2c.sda	ACT #7	scb10.uart.tx	ACT #8
	gfx.dbi.wrx	ACT #13	gfx.dbi.e	ACT #14
	gfx.spi.scl	ACT #15		
P16.2	tcpwm.line2+	ACT #1	tcpwm.line258+	ACT #2
	can1.rx	ACT #4	scb10.spi.miso	ACT #6
	scb10.uart.cts	ACT #8	gfx.dbi.dcx	ACT #14
	gfx.spi.dout	ACT #15		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P16.3	tcpwm.line3+	ACT #1	tcpwm.line259+	ACT #2
	can1.tx	ACT #4	scb10.spi.select0	ACT #6
	scb10.uart.rts	ACT #8	gfx.dbi.d0	ACT #14
	gfx.spi.dcx	ACT #15		
P16.4	tcpwm.line4+	ACT #1	tcpwm.line260+	ACT #2
	scb10.spi.select1	ACT #6	gfx.dbi.d1	ACT #14
P16.5	tcpwm.line5+	ACT #1	tcpwm.line261+	ACT #2
	scb5.spi.miso	ACT #6	scb5.uart.cts	ACT #8
	gfx.dbi.d2	ACT #14		
P16.6	tcpwm.line6+	ACT #1	tcpwm.line278+	ACT #2
	scb5.spi.select0	ACT #6	scb5.uart.rts	ACT #8
	gfx.dbi.d3	ACT #14		
P16.7	tcpwm.line7+	ACT #1	tcpwm.line279+	ACT #2
	scb5.spi.select1	ACT #6	gfx.dbi.d4	ACT #14
P17.0	smartio.io0	fixed	tcpwm.line0-	ACT #1
	tcpwm.line256-	ACT #2	scb5.spi.clk	ACT #6
	scb5.i2c.scl	ACT #7	scb5.uart.rx	ACT #8
	gfx.dbi.d5	ACT #14		
P17.1	smartio.io1	fixed	tcpwm.line1-	ACT #1
	tcpwm.line257-	ACT #2	scb5.spi.mosi	ACT #6
	scb5.i2c.sda	ACT #7	scb5.uart.tx	ACT #8
	gfx.dbi.d6	ACT #14		
P17.2	smartio.io2	fixed	tcpwm.line2-	ACT #1
	tcpwm.line258-	ACT #2	scb11.spi.clk	ACT #6
	scb11.i2c.scl	ACT #7	scb11.uart.rx	ACT #8
	gfx.dbi.d7	ACT #14		
P17.3	smartio.io3	fixed	tcpwm.line3-	ACT #1
	tcpwm.line259-	ACT #2	scb11.spi.mosi	ACT #6
	scb11.i2c.sda	ACT #7	scb11.uart.tx	ACT #8
P17.4	smartio.io4	fixed	tcpwm.line4-	ACT #1
	tcpwm.line260-	ACT #2	aanalog.gpio_out0	DS #4

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P17.5	smartio.io5	fixed	tcpwm.line5-	ACT #1
	tcpwm.line261-	ACT #2	scb11.spi.miso	ACT #6
	scb11.uart.cts	ACT #8	aanalog.gpio_out1	DS #4
P17.6	smartio.io6	fixed	tcpwm.line6-	ACT #1
	tcpwm.line278-	ACT #2	scb11.spi.select0	ACT #6
	scb11.uart.rts	ACT #8	aanalog.gpio_out2	DS #4
P17.7	smartio.io7	fixed	tcpwm.line7-	ACT #1
	tcpwm.line279-	ACT #2	scb11.spi.select1	ACT #6
	aanalog.gpio_out3	DS #4		
P18.0	wco_out	fixed		
P18.1	wco_in	fixed		
P19.0	eco_in	fixed		
P19.1	eco_out	fixed		
P20.0	tcpwm.line7+	ACT #1	tcpwm.line263-	ACT #2
	scb11.spi.select1	ACT #6	trace.clock	ACT #15
P20.1	tcpwm.line0+	ACT #1	tcpwm.line264-	ACT #2
	trace.data3	ACT #15		
P20.2	tcpwm.line1+	ACT #1	tcpwm.line265-	ACT #2
	trace.data2	ACT #15		
P20.3	tcpwm.line2+	ACT #1	tcpwm.line266-	ACT #2
	trace.data1	ACT #15		
P20.4	tcpwm.line7-	ACT #1	tcpwm.line263+	ACT #2
	can0.rx	ACT #4	trace.data0	ACT #15
	aanalog.gpio_out0	DS #4		
P20.5	tcpwm.line0-	ACT #1	tcpwm.line264+	ACT #2
	can0.tx	ACT #4	aanalog.gpio_out1	DS #4
P20.6	tcpwm.line1-	ACT #1	tcpwm.line265+	ACT #2
	can1.rx	ACT #4	aanalog.gpio_out2	DS #4
P20.7	tcpwm.line2-	ACT #1	tcpwm.line266+	ACT #2
	can1.tx	ACT #4	aanalog.gpio_out3	DS #4
P21.0	tcpwm.line3+	ACT #1	tcpwm.line267+	ACT #2
	sdhost0.card_cmd	ACT #15		

(表格续下页.....)

7 GPIO 备用功能

表 12 (续) GPIO 备用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P21.1	tcpwm.line3-	ACT #1	tcpwm.line267-	ACT #2
	tdm0.tx.sd	ACT #7	sdhost0.card_detect_n	ACT #15
P21.2	tcpwm.line4+	ACT #1	tcpwm.line268+	ACT #2
	tdm0.tx.sck	ACT #7	sdhost0.card_mech_write_prot	ACT #15
P21.3	tcpwm.line4-	ACT #1	tcpwm.line268-	ACT #2
	tdm0.tx.mck	ACT #7	sdhost0.io_volt_sel	ACT #15
P21.4	tcpwm.line5+	ACT #1	tcpwm.line269+	ACT #2
	scb3.spi.miso	ACT #4	scb3.uart.cts	ACT #6
	tdm0.rx.sd	ACT #7	sdhost0.card_if_pwr_en	ACT #15
P21.5	tcpwm.line5-	ACT #1	tcpwm.line269-	ACT #2
	scb3.spi.mosi	ACT #4	scb3.i2c.sda	ACT #5
	scb3.uart.tx	ACT #6	tdm0.rx.fsync	ACT #7
P21.6	tcpwm.line6+	ACT #1	tcpwm.line270+	ACT #2
	scb3.spi.clk	ACT #4	scb3.i2c.scl	ACT #5
	scb3.uart.rx	ACT #6	tdm0.rx.sck	ACT #7
P21.7	smif[1].smif0_spihb_select0	ACT #0	tcpwm.line6-	ACT #1
	tcpwm.line270-	ACT #2	scb3.spi.select1	ACT #4
	scb3.uart.rts	ACT #6	tdm0.rx.mck	ACT #7

表 13 GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
aanalog.ctb0.0	P14.0	aanalog.ctb0.1	P14.1	aanalog.ctb0.2	P14.2
aanalog.ctb0.3	P14.3	aanalog.ctb0.4	P14.4	aanalog.ctb0.5	P14.5
aanalog.ctb0.6	P14.6	aanalog.ctb0.7	P14.7	aanalog.ctb0.opa mp0.out	P14.2
aanalog.ctb0.opa mp1.out	P14.3	aanalog.ctb1.0	P13.0	aanalog.ctb1.1	P13.1
aanalog.ctb1.2	P13.2	aanalog.ctb1.3	P13.3	aanalog.ctb1.4	P13.4
aanalog.ctb1.5	P13.5	aanalog.ctb1.6	P13.6	aanalog.ctb1.7	P13.7
aanalog.ctb1.opa mp0.out	P13.2	aanalog.ctb1.opa mp1.out	P13.3	aanalog.dac0	P14.6
aanalog.dac1	P13.6	aanalog.gpio_out 0	P17.4, P20.4	aanalog.gpio_out 1	P17.5, P20.5
aanalog.gpio_out 2	P17.6, P20.6	aanalog.gpio_out 3	P17.7, P20.7	aanalog.ptcomp0	P15.0

(表格续下页.....)

7 GPIO 备用功能

表 13 (续) GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
aanalog.ptcomp1	P15.1	aanalog.ptcomp2	P15.2	aanalog.ptcomp3	P15.3
aanalog.ptcomp4	P15.4	aanalog.ptcomp5	P15.5	aanalog.ptcomp6	P15.6
aanalog.ptcomp7	P15.7	aanalog.sar0	P15.0	aanalog.sar1	P15.1
aanalog.sar2	P15.2	aanalog.sar3	P15.3	aanalog.sar4	P15.4
aanalog.sar5	P15.5	aanalog.sar6	P15.6	aanalog.sar7	P15.7
cal_wave	P8.4	can0.rx	P16.0, P20.4	can0.tx	P16.1, P20.5
can1.rx	P16.2, P20.6	can1.tx	P16.3, P20.7	eco_in	P19.0
eco_out	P19.1	eth.mdc	P13.1	eth.mdio	P13.6
eth.ref.clk	P11.7	eth.rx.clk	P10.1	eth.rx.ctl	P10.5
eth.rx.er	P11.1	eth.rxd0	P10.6	eth.rxd1	P10.7
eth.rxd2	P11.0	eth.rxd3	P10.4	eth.tsu_timer_cm p_val	P10.3
eth.tx.clk	P11.5	eth.tx.ctl	P11.4	eth.tx.er	P10.2
eth.txd0	P11.2	eth.txd1	P11.3	eth.txd2	P11.6
eth.txd3	P10.0	ext_clk	P7.4	gfx.dbi.csx	P16.0
gfx.dbi.d0	P16.3	gfx.dbi.d1	P16.4	gfx.dbi.d2	P16.5
gfx.dbi.d3	P16.6	gfx.dbi.d4	P16.7	gfx.dbi.d5	P17.0
gfx.dbi.d6	P17.1	gfx.dbi.d7	P17.2	gfx.dbi.dcx	P16.2
gfx.dbi.e	P16.1	gfx.dbi.wrx	P16.1	gfx.spi.csx	P16.0
gfx.spi.dcx	P16.3	gfx.spi.dout	P16.2	gfx.spi.scl	P16.1
hibernate_wakeup	P8.3, P8.7	i3c.scl	P3.0	i3c.sda	P3.1
lpcomp.dsi_comp 0	P10.3	lpcomp.dsi_com p 1	P10.2	lpcomp0.in+	P10.4
lpcomp0.in-	P10.5	lpcomp1.in+	P10.6	lpcomp1.in-	P10.7
m0seccpuss.clk_m 0sec_swd	P8.1	m0seccpuss.m0se c_swd	P8.0	m33syscpuss.faul t0	P7.0, P10.0
m33syscpuss.fault 1	P7.1, P10.1	pdm0.clk	P14.1	pdm0.data	P14.4
pdm1.clk	P13.2	pdm1.data	P13.3	pdm2.clk	P8.2
pdm2.data	P8.4	pdm3.clk	P8.5	pdm3.data	P8.6
pdm4.clk	P9.2	pdm4.data	P9.3	pdm5.clk	P9.0
pdm5.data	P9.1	scb0.i2c.scl	P8.0	scb0.i2c.sda	P8.1
scb0.spi.clk	P8.0	scb0.spi.miso	P8.4	scb0.spi.mosi	P8.1
scb0.spi.select0	P8.2	scb0.spi.select1	P8.3	scb1.i2c.scl	P9.3
scb1.i2c.sda	P9.2	scb1.spi.clk	P9.3	scb1.spi.miso	P9.1

(表格续下页.....)

7 GPIO 备用功能

表 13 (续) GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
scb1.spi.mosi	P9.2	scb1.spi.select0	P9.0	scb1.spi.select1	P20.0
scb1.uart.cts	P9.1	scb1.uart.rts	P9.0	scb1.uart.rx	P9.3
scb1.uart.tx	P9.2	scb10.i2c.scl	P16.0	scb10.i2c.sda	P16.1
scb10.spi.clk	P16.0	scb10.spi.miso	P16.2	scb10.spi.mosi	P16.1
scb10.spi.select0	P16.3	scb10.spi.select1	P16.4	scb10.uart.cts	P16.2
scb10.uart.rts	P16.3	scb10.uart.rx	P16.0	scb10.uart.tx	P16.1
scb11.i2c.scl	P17.2	scb11.i2c.sda	P17.3	scb11.spi.clk	P17.2
scb11.spi.miso	P17.5	scb11.spi.mosi	P17.3	scb11.spi.select0	P17.6
scb11.spi.select1	P17.7	scb11.uart.cts	P17.5	scb11.uart.rts	P17.6
scb11.uart.rx	P17.2	scb11.uart.tx	P17.3	scb2.i2c.scl	P6.5
scb2.i2c.sda	P6.7	scb2.spi.clk	P6.5	scb2.spi.miso	P6.4
scb2.spi.mosi	P6.7	scb2.spi.select0	P6.6	scb2.spi.select1	P6.3
scb2.uart.cts	P6.4	scb2.uart.rts	P6.6	scb2.uart.rx	P6.5
scb2.uart.tx	P6.7	scb3.i2c.scl	P21.6	scb3.i2c.sda	P21.5
scb3.spi.clk	P21.6	scb3.spi.miso	P21.4	scb3.spi.mosi	P21.5
scb3.spi.select0	P0.0	scb3.spi.select1	P21.7	scb3.uart.cts	P21.4
scb3.uart.rts	P21.7	scb3.uart.rx	P21.6	scb3.uart.tx	P21.5
scb4.i2c.scl	P10.0	scb4.i2c.sda	P10.1	scb4.spi.clk	P10.1
scb4.spi.miso	P10.3	scb4.spi.mosi	P10.2	scb4.spi.select0	P10.4
scb4.spi.select1	P10.5	scb4.uart.cts	P10.2	scb4.uart.rts	P10.3
scb4.uart.rx	P10.0	scb4.uart.tx	P10.1	scb5.i2c.scl	P17.0
scb5.i2c.sda	P17.1	scb5.spi.clk	P17.0	scb5.spi.miso	P16.5
scb5.spi.mosi	P17.1	scb5.spi.select0	P16.6	scb5.spi.select1	P16.7
scb5.uart.cts	P16.5	scb5.uart.rts	P16.6	scb5.uart.rx	P17.0
scb5.uart.tx	P17.1	scb6.i2c.scl	P11.0	scb6.i2c.sda	P11.1
scb6.spi.clk	P11.0	scb6.spi.miso	P11.2	scb6.spi.mosi	P11.1
scb6.spi.select0	P11.3	scb6.spi.select1	P11.4	scb6.uart.cts	P11.2
scb6.uart.rts	P11.3	scb6.uart.rx	P11.0	scb6.uart.tx	P11.1
scb7.i2c.scl	P13.1	scb7.i2c.sda	P13.2	scb7.spi.clk	P13.1
scb7.spi.miso	P13.3	scb7.spi.mosi	P13.2	scb7.spi.select0	P13.4
scb7.spi.select1	P13.6	scb7.uart.cts	P13.3	scb7.uart.rts	P13.4
scb7.uart.rx	P13.1	scb7.uart.tx	P13.2	scb8.i2c.scl	P14.4
scb8.i2c.sda	P14.3	scb8.spi.clk	P14.4	scb8.spi.miso	P13.7

(表格续下页.....)

7 GPIO 备用功能

表 13 (续) GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
scb8.spi.mosi	P14.3	scb8.spi.select0	P14.7	scb8.spi.select1	P14.6
scb8.uart.cts	P13.7	scb8.uart.rts	P14.7	scb8.uart.rx	P14.4
scb8.uart.tx	P14.3	scb9.i2c.scl	P15.0	scb9.i2c.sda	P15.1
scb9.spi.clk	P15.0	scb9.spi.miso	P15.2	scb9.spi.mosi	P15.1
scb9.spi.select0	P15.3	scb9.spi.select1	P15.4	scb9.uart.cts	P15.2
scb9.uart.rts	P15.3	scb9.uart.rx	P15.0	scb9.uart.tx	P15.1
sdhost0.card_cmd	P21.0	sdhost0.card_dat_3to0_0	P12.1	sdhost0.card_dat_3to0_1	P12.2
sdhost0.card_dat_3to0_2	P12.4	sdhost0.card_dat_3to0_3	P12.5	sdhost0.card_detect_n	P21.1
sdhost0.card_if_pwr_en	P21.4	sdhost0.card_mech_write_prot	P21.2	sdhost0.clk_card	P12.0
sdhost0.io_volt_sel	P21.3	sdhost1.card_cmd	P7.0	sdhost1.card_dat_3to0_0	P7.3
sdhost1.card_dat_3to0_1	P7.5	sdhost1.card_dat_3to0_2	P7.6	sdhost1.card_dat_3to0_3	P7.7
sdhost1.card_dat_7to4_0	P6.4	sdhost1.card_dat_7to4_1	P6.5	sdhost1.card_dat_7to4_2	P6.6
sdhost1.card_dat_7to4_3	P6.7	sdhost1.card_detect_n	P7.4	sdhost1.card_emmc_reset_n	P7.2
sdhost1.card_if_pwr_en	P6.2	sdhost1.card_mech_write_prot:0	P6.0	sdhost1.card_mech_write_prot:1	P3.0
sdhost1.clk_card	P7.1	sdhost1.io_volt_sel	P6.3	sdhost1.led_ctrl	P6.1
smartio.io0	P11.0, P17.0	smartio.io1	P11.1, P17.1	smartio.io2	P11.2, P17.2
smartio.io3	P11.3, P17.3	smartio.io4	P11.4, P17.4	smartio.io5	P11.5, P17.5
smartio.io6	P11.6, P17.6	smartio.io7	P11.7, P17.7	smif[0].smif0_spihb_select0	P5.0
smif[0].smif0_spihb_select1	P2.0	smif[0].smif0_spihb_select2	P6.7	smif[0].smif0_spihb_select3	P7.0
smif[1].smif0_spihb_select0	P21.7	smif[1].smif0_spihb_select1	P0.0	smif[1].smif0_spihb_select2	P0.1
smif[1].smif0_spihb_select3	P12.3	swj.swclk/tclk	P6.3	swj.swdio/tms	P6.2
swj.tdi	P6.1	swj.tdo	P6.0	swj.trstn	P7.2

(表格续下页.....)

7 GPIO 备用功能

表 13 (续) GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
tcpwm.line0+	P0.0, P4.3/ SMIF1.3, P7.2, P9.1, P11.6, P14.3, P16.0, P20.1	tcpwm.line0-	P0.1, P4.4/ SMIF1.4, P7.3, P9.3, P11.7, P14.4, P17.0, P20.5	tcpwm.line1+	P1.0/SMIF0.0, P4.5/SMIF1.5, P7.4, P10.0, P12.0, P14.6, P16.1, P20.2
tcpwm.line1-	P1.1/SMIF0.1, P4.6/SMIF1.6, P7.5, P10.1, P12.1, P14.7, P17.1, P20.6	tcpwm.line2+	P1.2/SMIF0.2, P4.7/SMIF1.7, P7.6, P10.2, P12.2, P15.0, P16.2, P20.3	tcpwm.line2-	P1.3/SMIF0.3, P5.0, P7.7, P10.3, P12.3, P15.1, P17.2, P20.7
tcpwm.line256+	P0.0, P9.3, P16.0	tcpwm.line256-	P0.1, P9.1, P17.0	tcpwm.line257+	P1.0/SMIF0.0, P10.0, P16.1
tcpwm.line257-	P1.1/SMIF0.1, P10.1, P17.1	tcpwm.line258+	P1.2/SMIF0.2, P10.2, P16.2	tcpwm.line258-	P1.3/SMIF0.3, P10.3, P17.2
tcpwm.line259+	P1.4/SMIF0.4, P10.4, P16.3	tcpwm.line259-	P1.5/SMIF0.5, P10.5, P17.3	tcpwm.line260+	P1.6/SMIF0.6, P10.6, P16.4
tcpwm.line260-	P1.7/SMIF0.7, P10.7, P17.4	tcpwm.line261+	P2.0, P11.0, P16.5	tcpwm.line261-	P3.0, P11.1, P17.5
tcpwm.line262+	P3.1, P11.2	tcpwm.line262-	P4.0/SMIF1.0, P11.3	tcpwm.line263+	P4.1/SMIF1.1, P11.4, P20.4
tcpwm.line263-	P4.2/SMIF1.2, P11.5, P20.0	tcpwm.line264+	P4.3/SMIF1.3, P11.6, P20.5	tcpwm.line264-	P4.4/SMIF1.4, P11.7, P20.1
tcpwm.line265+	P4.5/SMIF1.5, P12.0, P20.6	tcpwm.line265-	P4.6/SMIF1.6, P12.1, P20.2	tcpwm.line266+	P4.7/SMIF1.7, P12.2, P20.7
tcpwm.line266-	P5.0, P12.3, P20.3	tcpwm.line267+	P6.0, P12.4, P21.0	tcpwm.line267-	P6.1, P12.5, P21.1
tcpwm.line268+	P6.2, P13.1, P21.2	tcpwm.line268-	P6.3, P13.2, P21.3	tcpwm.line269+	P6.4, P13.3, P21.4
tcpwm.line269-	P6.5, P13.4, P21.5	tcpwm.line270+	P6.6, P13.6, P21.6	tcpwm.line270-	P6.7, P13.7, P21.7
tcpwm.line271+	P7.0, P14.1	tcpwm.line271-	P7.1, P14.2	tcpwm.line272+	P7.2, P14.3
tcpwm.line272-	P7.3, P14.4	tcpwm.line273+	P7.4, P14.6	tcpwm.line273-	P7.5, P14.7
tcpwm.line274+	P7.6, P15.0	tcpwm.line274-	P7.7, P15.1	tcpwm.line275+	P8.0, P15.2
tcpwm.line275-	P8.1, P15.3	tcpwm.line276+	P8.2, P15.4	tcpwm.line276-	P8.3, P15.5
tcpwm.line277+	P8.4, P15.6	tcpwm.line277-	P8.5, P15.7	tcpwm.line278+	P8.6, P16.6
tcpwm.line278-	P8.7, P17.6	tcpwm.line279+	P9.2, P16.7	tcpwm.line279-	P9.0, P17.7
tcpwm.line3+	P1.4/SMIF0.4, P6.0, P8.0, P10.4, P12.4, P15.2, P16.3, P21.0	tcpwm.line3-	P1.5/SMIF0.5, P6.1, P8.1, P10.5, P12.5, P15.3, P17.3, P21.1	tcpwm.line4+	P1.6/SMIF0.6, P6.2, P8.2, P10.6, P13.1, P15.4, P16.4, P21.2

(表格续下页.....)

7 GPIO 备用功能

表 13 (续) GPIO 备用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
tcpwm.line4-	P1.7/SMIF0.7, P6.3, P8.3, P10.7, P13.2, P15.5, P17.4, P21.3	tcpwm.line5+	P2.0, P6.4, P8.4, P11.0, P13.3, P15.6, P16.5, P21.4	tcpwm.line5-	P3.0, P6.5, P8.5, P11.1, P13.4, P15.7, P17.5, P21.5
tcpwm.line6+	P3.1, P6.6, P8.6, P11.2, P13.6, P16.6, P21.6	tcpwm.line6-	P4.0/SMIF1.0, P6.7, P8.7, P11.3, P13.7, P17.6, P21.7	tcpwm.line7+	P4.1/SMIF1.1, P7.0, P9.0, P11.4, P14.1, P16.7, P20.0
tcpwm.line7-	P4.2/SMIF1.2, P7.1, P9.2, P11.5, P14.2, P17.7, P20.4	tdm0.rx.fsync	P21.5	tdm0.rx.mck	P21.7
tdm0.rx.sck	P21.6	tdm0.rx.sd	P21.4	tdm0.tx.fsync	P12.3
tdm0.tx.mck	P21.3	tdm0.tx.sck	P21.2	tdm0.tx.sd	P21.1
tdm1.rx.fsync	P11.5	tdm1.rx.mck	P11.3	tdm1.rx.sck	P11.4
tdm1.rx.sd	P11.6	tdm1.tx.fsync	P11.1	tdm1.tx.mck	P11.7
tdm1.tx.sck	P11.0	tdm1.tx.sd	P11.2	trace.clock	P4.3/SMIF1.3, P20.0
trace.data0	P4.4/SMIF1.4, P20.4	trace.data1	P4.5/SMIF1.5, P20.3	trace.data2	P4.6/SMIF1.6, P20.2
trace.data3	P4.7/SMIF1.7, P20.1	trig0.in0	P11.0	trig0.in1	P11.1
trig0.in2	P11.2	trig0.in3	P11.3	trig0.in4	P7.5
trig0.in5	P7.6	trig0.in6	P7.7	trig0.in7	P8.0
trig0.out0	P7.0	trig0.out1	P7.1	trig1.in0	P11.0
trig1.in1	P11.1	trig1.in2	P11.2	trig1.in3	P11.3
trig1.in4	P7.5	trig1.in5	P7.6	trig1.in6	P7.7
trig1.in7	P8.0	trig1.out0	P7.0	trig1.out1	P7.1
wco_in	P18.1	wco_out	P18.0		

8 电气规格参数

8 电气规格参数

除注明外，规格在 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ 和 $1.71\text{ V} \leq V_{\text{DDD}} \leq 1.89\text{ V}$ 时有效。典型值在 25°C 时测量。

8.1 绝对最大额定值

表 14 绝对最大额定值

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID3	Supply for SRSS	VDDD	-0.5	-	2.4	V	Absolute Maximum
SID4	Current per GPIO	IGPIO_ABS	-25	-	25	mA	Absolute Maximum
SID5	GPIO injection current per pin	IGPIO_injection	-0.5	-	0.5	mA	Absolute Maximum
SID3A	Electrostatic discharge Human Body Model	ESD_HBM	2000	-	-	V	Absolute Maximum
SID4A	Electrostatic discharge Charged Device Model	ESD_CDM	500	-	-	V	Absolute Maximum
SID5A	Pin current for latchup free operation	LU	-100	-	100	mA	Absolute Maximum
SIDWA1	DC supply for the VBAT supply	VBAT	-0.5	-	5.5	V	Absolute Maximum
SIDWA2a	DC supply voltage for digital I/O	VDDIO	-0.5	-	2.4	V	Absolute Maximum
SIDWA2b	DC supply voltage for high voltage digital I/O	VDDIO6	-0.5	-	4.1	V	Absolute Maximum
SIDWA7	DC supply voltage for core	VCCD	-0.5	-	1.2	V	Absolute Maximum
SIDWA8	Maximum undershoot voltage for I/O	Vundershoot	-	-	-0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA9	Maximum overshoot voltage for I/O	Vovershoot	-	-	VDDIO+0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA10	Maximum junction temperature	Tj	-	-	125	$^{\circ}\text{C}$	

8.2 器件级规范

8.2.1 电源和运行条件

电源供电设备只需要 1.8 V 的单 VDD 电源，而电池供电设备则需要 2.7 V - 4.8 V 的 VBAT 电源和 1.8 V 的 VDD 电源。提供的规格既适用于 $V_{\text{DDD}} = 1.8\text{ V}$ 的电源供电器件，也适用于 $\text{VBAT} = 3.3\text{ V}$ 和 $V_{\text{DDD}} = 1.8\text{ V}$ 的电池供电器件。电源供电器件在 V_{DDD} 测量中包括核心稳压器输入电流（VDD.1P8 引脚），而电池供电器件则将核心稳压器输入电流单独列为 VBAT（VBAT 引脚）。

8 电气规格参数

规格 IDDD 电流包括以下电流引脚：VDDD、VDDQ、VDD.BAT、VDD.DSI、VDDA 和 VDD.1P8（仅供电）。所有 VDDIO [0:8、SMIF0、SMIF1] 均单独测量，并在 GPIO 规范部分报告。

所有 "系统激活"、"系统深度睡眠" 和 "系统休眠" 当前规格都使用此处定义的基本配置。此外，还规定了基本配置的附加功能。具体规格特有的偏差列于规格表的相应说明部分。特定规格特有的条件偏差优先于任何先前定义的基本条件或附加条件。最终规格条件是基本配置、适当的核心电压配置和适当的通用 PD0 + PD1 电源配置的总和。然后应用相应说明部分中列出的规格特定更改。电源状态定义为 "开" 或 "关"，时钟资源定义为 "启用" 或 "禁用"。

基本配置：

Resource	State	Description
Core regulator	On	Required for core power
Core regulator power mode	High Power	Required for System Active operation
Source clock	50 MHz IHO	On device clock source
Clock path CLK_PATH[0,2,3] source	IHO	Route IHO to DPLL inputs and bypass path
DPLL_HP0 state	Disabled	Not used for specification conditions
DPLL_LP0 state	Enabled	DPLL active
DPLL_LP0 source	IHO	DPLL clock source is IHO
DPLL_LP0 frequency	Greater of CM33 or CM55 condition frequency	DPLL output frequency is lowest to meet CPU frequency(s) in specification CM33 and CM55 columns
DPLL_LP1 state	Disabled	Not required for base conditions
clk_hf[0,1,2,3] divider source	DPLL_LP0	Root clock dividers source set to DPLL_LP0 output
clk_hf[1,2,3] divider	1	Clk_hf output frequency = input
clk_hf[0]	Enabled	SYSCPUSS and CM33 root clock
clk_hf[3]	Disabled	SoCMEM root clock
clk_hf[4:13] state	Disabled	Peripherals clock gated at root clocks
SYS_MMIO0 (PERIO_GR0_SL_CTL)	Enable all except DEBUG, MOSECCPUSS, CRYPTO	Enable clocks for all individual SYSCPUSS CM33 resources
SYS_MMIO1 (PERIO_GR1_SL_CTL)	Enable only HSIOM, GPIO	Enable GPIO required resource clocks but no peripheral clocks
SYS_MMIO[2:5] (PERIO_GR[2:5]_SL_CTL)	Disable all	Peripherals clock gated
APP_MMIO[1,3] (PERI1_GR[1,3]_SL_CTL)	Disable all	Peripherals clock gated
APP_MMIO[4] (PERI1_GR4_SL_CTL)	Enable all	Enable CM55 ITCM and DTCM clock source
CM33 cache	Enabled	Enable clock and use CM33 cache
CM55 caches	Enabled	Enable clock and use CM55 caches
CM33 and CM55 CPU active test load	Dhrystone	Standard CPU test load

8 电气规格参数

Resource	State	Description
DMA	Disabled	DMA masters unavailable and clock gated
Debug Access Ports (DAP)	Off	Debug unavailable and powered down
Code execution	RRAM	All code is executed from RRAM unless otherwise stated
RRAM state	Sleep	RRAM in low power state. Can not access.
All peripherals	Off	Peripheral power is listed separately in respective sections
All unlisted settings	Default state	See register TRM for POR values
External Flash device	Quad SPI	Infineon S25HS512 device

Configuration additions

System HP (High Performance) mode, VCCD core = 0.9 V:

Resource	State	Description
Power Mode	System HP	High Performance

System LP (Low Power) mode, VCCD core = 0.8 V:

Resource	State	Description
Power Mode	System LP	Low Power

PD0 = On, PD1 = Off:

Resource	State	Description
PD0	On	Low power domain powered
PD1	Off	High power domain not powered
clk_hf[0] divider	1	SYSCPUSS CM33 clock frequency same as source
clk_hf[1] state	Disabled	APPCPUSS CM55 root clock gated
clk_hf[2] state	Disabled	SoCMEM root clock gated
APP_MMIO0 (PERI1_GR0_SL_CTL)	All disabled	Disable clocks for all individual APPCPUSS CM55 resources
APP_MMIO2 (PERI1_GR2_SL_CTL)	All disabled	Disable clocks for U55 and SoCMEM
CM55 power	Off	CM55 CPU powered down
U55 power	Off	U55 CPU powered down

PD0 = On, PD1 = On:

Resource	State	Description
PD0	On	Low power domain powered
PD1	On	High power domain powered
clk_hf[0] divider	2	SYSCPUSS CM33 clock frequency 1/2 of source

8 电气规格参数

Resource	State	Description
clk_hf[1] state	Enabled	APPCPUSS CM55 root clock running
clk_hf[2] state	Enabled	SoCMEM CM55 root clock running
APP_MMIO0 (PERI1_GR0_SL_CTL)	All enabled	Enable clocks for all individual APPCPUSS CM55 resources
APP_MMIO2 (PERI1_GR2_SL_CTL)	Enable only SoCMEM	Enable SoCMEM clock and disable U55 clock
CM55 power	On	CM55 CPU powered
U55 power	Off	U55 CPU powered down

表 15 电源

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID10	External Regulator voltage (VCCD) bypass	CEFC	3.8	4.7	5.6	μF	X5R ceramic or better; Value for 0.8 to 1.2 V
SID11	Power supply decoupling capacitor	CEXC	-	10	-	μF	X5R ceramic or better
SID11LDO	LDO bypass capacitor	CLDO	0.8	1	1.2	μF	For all LDO outputs; 0.5 to 1.0 V
SIDWA12I	Ambient Temperature (TA) for Industrial Operation		-40	-	105	°C	
SIDWA13	Storage Temperature		-40	-	125	°C	
SIDWA14	Relative Humidity for Storage		-	-	60	%	
SIDWA15	Relative Humidity for Operation		-	-	85	%	
SIDWA16	DC supply voltage for VBAT	VBAT	2.7	3.3	4.8	V	
SIDWA17	DC supply voltage for core	VCCD	0.7	0.8	0.9	V	
SIDWA18	VDDD Externally Regulated	VDDD	1.71	1.8	1.89	V	Either VBAT or VDDD is used
SIDWA19	DC supply voltage for digital I/O	VDDIO	1.71	1.8	1.89	V	
SIDWA19A	DC supply voltage for high voltage digital I/O	VDDIO6	2.97	3.3	3.63	V	VDDIO6 when used as 3.3 V GPIO
SIDWA19B	DC supply voltage for 1.8 V usage	VDDIO6	1.71	1.8	1.89	V	VDDIO6 when used as 1.8 V GPIO
SIDWA20	Analog Supply Voltage	VDDA	1.71	1.8	1.89	V	
SIDWA21	USB Supply Voltage	VDDUSB	3.07	3.3	3.63	V	

8 电气规格参数

表 16 CPU 电流, 工作模式, 电池供电配置, VBAT=3.3V, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IBAT		IDDD		Units
				Typical	Max 105°C	Typical	Max 105°C	
System HP (High Performance) mode (See condition details above), VCCD = 0.9 V								
PD0 = On (Low Power Domain), PD1 = Off (High Performance Domain) (See condition details above)								
CM33 CPU Sleep								
SIDH00A		160	-	1.7	9.2	0.7	1.3	mA
SIDH00B		70	-	1.2	8.7	0.8	1.4	mA
CM33 Active, execute from RRAM, RRAM enabled								
SIDH01A		160	-	3.4	11.1	0.7	1.3	mA
SIDH01B		70	-	1.9	9.5	0.8	1.4	mA
CM33 Active, execute while(1) from SRAM, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0] divider = 16								
SIDH02B		3.1	-	0.9	7.6	0.2	0.4	mA
CM33 Active, execute from SRAM								
SIDH03A		160	-	3.7	10.8	0.5	0.9	mA
SIDH03B		70	-	2.1	9.3	0.6	1.0	mA
PD0 = On (Low Power Domain), PD1 = On (High Performance Domain) (See condition details above)								
CM33 CPU Sleep, CM55 + U55 Off								
SIDH10A		160	320	6.8	27.8	0.9	1.6	mA
SIDH10B		70	140	4.1	25.2	0.9	1.7	mA
CM33 Active, execute external Flash octal SPI, SMIF = enabled, SMIF cache disabled, CM55 + U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled, APP_MMIO2 = Disable SOC MEM								
SIDH11A		160	320	10.3	32.8	2.1	3.7	mA
SIDH11B		70	140	5.7	28.6	1.8	3.1	mA
CM33 CPU Sleep, CM55 CPU Sleep, U55 Off								
SIDH12A		160	320	7.7	33.6	0.9	1.7	mA
SIDH12B		70	140	4.8	29.9	0.9	1.9	mA
CM33 CPU Sleep, CM55 + U55 CPU Sleep, U55 = Enabled, APP_MMIO2 = Enable SOC MEM and U55								
SIDH13A		160	320	8.0	43.5	0.9	1.7	mA
SIDH13B		70	140	4.9	40.1	0.9	1.7	mA
CM33 CPU Sleep, CM55 Active execute from RRAM, U55 Off, RRAM enabled								
SIDH14A		160	320	12.8	48.4	0.9	1.7	mA
SIDH14B		70	140	7.0	41.4	0.9	1.7	mA

(表格续下页.....)

8 电气规格参数

表 16 (续) CPU 电流, 工作模式, 电池供电配置, VBAT=3.3 V, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IBAT		IDDD		Units
				Typical	Max 105°C	Typical	Max 105°C	
CM33 CPU Sleep, CM55 Active execute while(1) from System SRAM, U55 Off, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0,1,2] divider = 16								
SIDH15B		3.1	3.1	2.6	40.2	0.3	3.0	mA
CM33 CPU Sleep, CM55 Active execute from System SRAM, U55 Off								
SIDH16A		160	320	13.1	41.4	0.7	1.4	mA
SIDH16B		70	140	7.0	35.9	0.7	1.4	mA
CM33 CPU Sleep, CM55 Active execute from System SRAM, System SRAM = 240 MHz, U55 Off, DPLL_LP1 = Enabled, DPLL_LP1 freq = 240 MHz, clk_hf[2] source = DPLL_LP1								
SIDH17A		160	320	13.6	45.7	1.0	2.1	mA
CM33 CPU Sleep, CM55 Active execute from TCM, U55 Off								
SIDH18A		160	320	13.2	41.6	0.7	1.4	mA
SIDH18B		70	140	7.1	35.2	0.7	1.4	mA
CM33 CPU Sleep, CM55 Active execute from external Flash octal SPI, SMIF = enabled, SMIF cache disabled, U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled								
SIDH19A		160	320	14.9	42.0	2.2	3.6	mA
SIDH19B		70	140	7.9	34.9	1.9	3.1	mA
CM33 Active execute from SRAM, CM55 Active execute from System SRAM, U55 Off								
SIDH20A		160	320	13.2	41.6	0.7	1.9	mA
SIDH20B		70	140	7.1	35.2	0.7	2.0	mA
CM33 CPU Sleep, CM55+U55 Active execute EMBCC AudioMark from System SRAM, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55								
SIDH21A		160	320	19.9	43.7	2.3	3.5	mA
SIDH21B		70	140	10.2	33.1	2.1	3.1	mA
System LP (Low Power) mode, VCCD = 0.8 V								
PD0 = On (Low Power Domain), PD1 = Off (High Performance Domain)								
CM33 CPU Sleep								
SIDL00B		70	-	0.9	7.2	0.7	1.3	mA
SIDL00C		50	-	0.8	7.1	0.7	1.3	mA
CM33 Active, execute from RRAM, RRAM enabled								
SIDL01B		70	-	1.5	8.0	0.7	1.3	mA
SIDL01C		50	-	1.3	7.6	0.7	1.3	mA

(表格续下页.....)

8 电气规格参数

表 16 (续) CPU 电流, 工作模式, 电池供电配置, VBAT=3.3 V, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IBAT		IDDD		Units
				Typical	Max 105°C	Typical	Max 105°C	
CM33 Active, execute while(1) from SRAM, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0] divider = 16								
SIDL02B		3.1	-	0.6	7.4	0.2	0.3	mA
CM33 Active, execute from SRAM								
SIDL03B		70	-	1.6	6.8	0.4	0.8	mA
SIDL03C		50	-	1.3	6.5	0.4	0.8	mA
PD0 = On (Low Power Domain), PD1 = On (High Performance Domain)								
CM33 CPU Sleep, CM55 + U55 Off								
SIDL10B		70	140	3.7	28.0	0.7	1.3	mA
SIDL10C		50	50	2.4	26.5	0.6	1.2	mA
CM33 Active, execute external Flash octal SPI, SMIF = enabled, SMIF cache disabled, CM55 + U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled, APP_MMIO2 = Disable SOCMEM								
SIDL11B		70	140	4.6	27.4	1.7	2.7	mA
SIDL11C	clk_hf[0] divider = 1	50	50	3.8	31.5	1.5	2.4	mA
CM33 CPU Sleep, CM55 CPU Sleep, U55 Off								
SIDL12B		70	140	3.7	28.0	0.7	1.3	mA
SIDL12C	clk_hf[0] divider = 1	50	50	2.4	26.5	0.6	1.2	mA
CM33 CPU Sleep, CM55 + U55 CPU Sleep, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55								
SIDL13B		70	140	3.9	29.4	0.7	3.3	mA
SIDL13C	clk_hf[0] divider = 1	50	50	2.6	27.8	0.6	1.2	mA
CM33 CPU Sleep, CM55 Active execute from RRAM, U55 Off, RRAM enabled								
SIDL14B		70	140	5.7	34.0	0.7	1.3	mA
SIDL14C	clk_hf[0] divider = 1	50	50	3.1	31.1	0.6	1.1	mA
CM33 CPU Sleep, CM55 Active execute while(1) from System SRAM, U55 Off, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0,1,2] divider = 16								
SIDL15B		3.1	3.1	1.7	26.7	0.2	0.4	mA
CM33 CPU Sleep, CM55 Active execute from System SRAM, U55 Off								
SIDL16B		70	140	5.9	32.8	0.5	0.9	mA
SIDL16C	clk_hf[0] divider = 1	50	50	3.3	28.3	0.4	0.8	mA

CM33 CPU Sleep, CM55 Active execute from System SRAM, System SRAM = 110 MHz, U55 Off, DPLL_LP1 = Enabled, DPLL_LP1 freq = 110 MHz, clk_hf[2] source = DPLL_LP1

(表格续下页.....)

8 电气规格参数

表 16 (续) CPU 电流, 工作模式, 电池供电配置, VBAT=3.3 V, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IBAT		IDDD		Units
				Typical	Max 105°C	Typical	Max 105°C	
CM33 CPU Sleep, CM55 Active execute from TCM, U55 Off								
SIDL18B		70	140	5.8	28.1	0.5	0.8	mA
SIDL18C	clk_hf[0] divider = 1	50	50	3.1	25.1	0.4	1.2	mA
CM33 CPU Sleep, CM55 Active execute from external Flash octal SPI, SMIF = enabled, SMIF cache disabled, U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled								
SIDL19B		70	140	6.5	33.1	1.7	2.7	mA
SIDL19C	clk_hf[0] divider = 1	50	50	3.3	28.5	1.6	2.3	mA
CM33 Active execute from SRAM, CM55 Active execute from System SRAM, U55 Off								
SIDL20B		70	140	5.7	29.6	0.6	0.9	mA
SIDL20C	clk_hf[0] divider = 1	50	50	3.2	26.5	0.5	0.9	mA
CM33 CPU Sleep, CM55+U55 Active execute EMBCC AudioMark from System SRAM, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55								
SIDL21B		70	140	7.3	21.7	2.1	2.8	mA
SIDL21C	clk_hf[0] divider = 1	50	50	3.7	18.1	1.5	2.0	mA

表 17 CPU 电流，深度睡眠和休眠模式，电池供电配置，VBAT=3.3V, VDDD=1.8 V

Spec ID	Description	IBAT		IDDD		Units
		Typical	Max 105°C	Typical	Max 105°C	
Deep Sleep Mode - Core buck regulator enabled, VDDIO currents not included, VCCD = 0.7 V						
SIDDSA	System Deep Sleep, 64 KB SRAM retention, PD1 Disabled	26.1	454.8	4.2	28.7	μA
SIDDSB	System Deep Sleep, 512 KB SRAM retention, PD1 Disabled	28.2	610.1	4.1	37.2	μA
SIDDS C	System Deep Sleep, 1 M SRAM retention, PD1 Disabled	30.6	540.0	4.0	25.0	μA
SIDDSG	System Deep Sleep, 64 KB SRAM retention, PD1 Enabled, CM55 Disabled	29.5	625.5	4.0	30.9	μA
SIDDSH	System Deep Sleep, 64 KB SRAM + 512 kB System SRAM retention, PD1 Enabled, CM55 Disabled	31.9	671.2	4.0	30.4	μA

(表格续下页.....)

8 电气规格参数

表 17 (续) CPU 电流, 深度睡眠和休眠模式, 电池供电配置, VBAT=3.3V, VDDD=1.8 V

Spec ID	Description	IBAT		IDDD		Units
		Typical	Max 105°C	Typical	Max 105°C	
SIDDS	System Deep Sleep, 64 kB SRAM + 1024 kB System SRAM+TCM retention, PD1 and CM55 Enabled	41.6	931.5	4.0	31.2	μA
SIDDSSE	System Deep Sleep, 64 KB SRAM + 5.5 MB System SRAM+TCM retention, PD1 and CM55 Enabled	60.8	1402.1	4.0	31.4	μA
SIDDSF	System Deep Sleep, 1 MB SRAM + 5.5 MB System SRAM+TCM retention, PD1 and CM55 Enabled	65.3	1305.6	4.0	25.5	μA
SIDDSRA	System Deep Sleep-RAM, 64 KB SRAM retention, PD1 Disabled	21.7	385.0	3.9	30.5	μA
SIDDSRD	System Deep Sleep-RAM, 1 M SRAM retention, PD1 Disabled	26.3	509.4	3.9	31.1	μA
SIDDSRB	System Deep Sleep-RAM, 64 kB SRAM + 512 kB System SRAM, PD1 Enabled	26.7	515.9	3.9	72.4	μA
SIDDSRC	System Deep Sleep-RAM, 64 kB SRAM + 5.0 MB System SRAM retention, PD1 Enabled	45.9	1000.9	4.0	31.2	μA
SIDDSO	System Deep Sleep-OFF, PD1 Disabled	20.7	358.5	3.9	30.5	μA
Hibernate Mode - VDDIO currents not included						
SIDHIBA	No Clocks	0.3	1.5	1.6	21.2	μA
SIDHIBB	PILO+WDT	0.3	1.6	2.6	22.6	μA
SIDHIBC	WCO+RTC	0.3	1.7	1.9	22.4	μA

表 18 CPU 电流, 电源供电配置, VDDD=1.8V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IDDD		Units
				Typical	Max 105°C	
System HP (High Performance) mode (See condition details above), VCCD = 0.9 V						
PD0 = On (Low Power Domain), PD1 = Off (High Performance Domain) (See condition details above)						
CM33 CPU Sleep						
SIDH00A		160	-	4.3	15.7	mA
SIDH00B		70	-	3.0	14.4	mA
SIDH00C		50	-	2.7	14.2	mA

(表格续下页.....)

8 电气规格参数

表 18 (续) CPU 电流, 电源供电配置, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IDDD		Units
				Typical	Max 105°C	
CM33 Active, execute from RRAM, RRAM enabled						
SIDH01A		160	-	8.2	20.3	mA
SIDH01B		70	-	4.3	16.2	mA
SIDH01C		50	-	3.7	15.6	mA
CM33 Active, execute while(1) from SRAM, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0] divider = 16						
SIDH02B		3.1	-	1.8	14.4	mA
CM33 Active, execute from SRAM						
SIDH03A		160	-	7.4	19.7	mA
SIDH03B		70	-	4.4	17.7	mA
SIDH03C		50	-	3.7	15.8	mA
PD0 = On (Low Power Domain), PD1 = On (High Performance Domain) (See condition details above)						
CM33 CPU Sleep, CM55 + U55 Off						
SIDH10A		160	320	13.7	76.8	mA
SIDH10B		70	140	16.2	65.1	mA
SIDH10C		50	140	8.6	54.4	mA
CM33 Active, execute external Flash octal SPI, SMIF = enabled, SMIF cache disabled, CM55 + U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled, APP_MMIO2 = Disable SOCMEM						
SIDH11A		160	320	21.5	60.3	mA
SIDH11B		70	140	12.5	51.5	mA
CM33 CPU Sleep, CM55 CPU Sleep, U55 Off						
SIDH12A		160	320	15.7	92.2	mA
SIDH12B		70	140	9.8	71.6	mA
CM33 CPU Sleep, CM55 + U55 CPU Sleep, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55						
SIDH13A		160	320	16.3	94.6	mA
SIDH13B		70	140	10.0	57.1	mA
CM33 CPU Sleep, CM55 Active execute from RRAM, U55 Off, RRAM enabled						
SIDH14A		160	320	26.2	92.1	mA
SIDH14B		70	140	13.9	61.3	mA
CM33 CPU Sleep, CM55 Active execute while(1) from System SRAM, U55 Off, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0,1,2] divider = 16						
SIDH15B		3.1	3.1	5.2	45.7	mA

(表格续下页.....)

8 电气规格参数

表 18 (续) CPU 电流, 电源供电配置, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IDDD		Units
				Typical	Max 105°C	
CM33 CPU Sleep, CM55 Active execute from System SRAM, U55 Off						
SIDH16A		160	320	26.2	92.1	mA
SIDH16D	clk_hf[0] divider=5	64	320	25.1	80.8	mA
SIDH16B		70	140	14.5	85.1	mA
CM33 CPU Sleep, CM55 Active execute from System SRAM, System SRAM = 240 MHz, U55 Off, DPLL_LP1 = Enabled, DPLL_LP1 freq = 240 MHz, clk_hf[2] source = DPLL_LP1						
SIDH17A		160	320	29.4	112.6	mA
CM33 CPU Sleep, CM55 Active execute from TCM, U55 Off						
SIDH18A		160	320	26.3	82.8	mA
SIDH18B		70	140	14.2	71.9	mA
CM33 CPU Sleep, CM55 Active execute from external Flash octal SPI, SMIF = enabled, SMIF cache disabled, U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled						
SIDH19A		160	320	30.5	80.8	mA
SIDH19B		70	140	16.9	66.3	mA
CM33 Active execute from SRAM, CM55 Active execute from System SRAM, U55 Off						
SIDH20A		160	320	26.9	84.0	mA
SIDH20B		70	140	14.7	70.9	mA
CM33 CPU Sleep, CM55+U55 Active execute EMBCC AudioMark from System SRAM, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55						
SIDH21B		70	140	21.6	89.5	mA
System LP (Low Power) mode, VCCD = 0.8 V						
PD0 = On (Low Power Domain), PD1 = Off (High Performance Domain)						
CM33 CPU Sleep						
SIDL00B		70	-	2.2	9.7	mA
SIDL00C		50	-	2.0	9.5	mA
CM33 Active, execute from RRAM, RRAM enabled						
SIDL01B		70	-	3.2	10.8	mA
SIDL01C		50	-	2.7	10.4	mA
CM33 Active, execute while(1) from SRAM, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0] divider = 16						
SIDL02B		3.1	-	1.1	8.3	mA
CM33 Active, execute from SRAM						

(表格续下页.....)

8 电气规格参数

表 18 (续) CPU 电流, 电源供电配置, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IDDD		Units
				Typical	Max 105°C	
SIDL03B		70	-	3.1	10.5	mA
SIDL03D	DPLL=70 MHz, clk_hf[0] divider = 2	35	-	2.2	9.8	mA
SIDL03C		50	-	2.6	10.1	mA
PD0 = On (Low Power Domain), PD1 = On (High Performance Domain)						
CM33 CPU Sleep, CM55 + U55 Off						
SIDL10B		70	140	5.6	36.8	mA
SIDL10C		50	50	3.9	35.0	mA
CM33 Active, execute external Flash octal SPI, SMIF = enabled, SMIF cache disabled, CM55 + U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled, APP_MMIO2 = Disable SOCMEM						
SIDL11B		70	140	8.8	46.6	mA
SIDL11C	clk_hf[0] divider = 1	50	50	7.4	46.9	mA
CM33 CPU Sleep, CM55 CPU Sleep, U55 Off						
SIDL12B		70	140	6.4	48.3	mA
SIDL12C	clk_hf[0] divider = 1	50	50	4.4	48.1	mA
CM33 CPU Sleep, CM55 + U55 CPU Sleep, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55						
SIDL13B		70	140	6.6	42.7	mA
SIDL13C	clk_hf[0] divider = 1	50	50	4.5	43.5	mA
CM33 CPU Sleep, CM55 Active execute from RRAM, U55 Off, RRAM enabled						
SIDL14B		70	140	9.2	47.2	mA
SIDL14C	clk_hf[0] divider = 1	50	50	5.4	44.0	mA
CM33 CPU Sleep, CM55 Active execute while(1) from System SRAM, U55 Off, DPLL_LP0 = Disabled, clk_hf[0,1,2] source = CLK_PATH3, clk_hf[0,1,2] divider = 16						
SIDL15B		3.1	3.1	2.9	39.1	mA
CM33 CPU Sleep, CM55 Active execute from System SRAM, U55 Off						
SIDL16B		70	140	9.5	51.6	mA
SIDL16C	clk_hf[0] divider = 1	50	50	5.4	43.8	mA
CM33 CPU Sleep, CM55 Active execute from TCM, U55 Off						
SIDL18B		70	140	9.2	44.0	mA
SIDL18C	clk_hf[0] divider = 1	50	50	5.3	45.0	mA
CM33 CPU Sleep, CM55 Active execute from external Flash octal SPI, SMIF = enabled, SMIF cache disabled, U55 Off, clk_hf[3] = Enabled, APP_MMIO1 = Only SMIF enabled						
SIDL19B		70	140	11.8	54.3	mA

(表格续下页.....)

8 电气规格参数

表 18 (续) CPU 电流, 电源供电配置, VDDD=1.8 V

Spec ID	Description	CM33 (MHz)	CM55 (MHz)	IDDD		Units
				Typical	Max 105°C	
SIDL19C	clk_hf[0] divider = 1	50	50	6.8	54.5	mA
CM33 Active execute from SRAM, CM55 Active execute from System SRAM, U55 Off						
SIDL20B		70	140	13.1	51.9	mA
SIDL20C	clk_hf[0] divider = 1	50	50	5.9	40.8	mA
CM33 CPU Sleep, CM55+U55 Active execute EMBCC AudioMark from System SRAM, U55 = Enabled, APP_MMIO2 = Enable SOCMEM and U55						
SIDL21B		70	140	16.2	90.2	mA
SIDL21C	clk_hf[0] divider = 1	50	50	8.8	90.4	mA

表 19 CPU 电流, 深度睡眠和休眠模式, 电源供电配置, VDDD=1.8 V

Spec ID	Description	IDDD		Units
		Typical	Max 105°C	
Deep Sleep Mode - Core buck regulator enabled, VDDIO currents not included, VCCD = 0.7 V				
SIDDSA	System Deep Sleep, 64 KB SRAM retention, PD1 Disabled	46.3	744.7	μA
SIDDSB	System Deep Sleep, 512 KB SRAM retention, PD1 Disabled	49.8	812.3	μA
SIDDS C	System Deep Sleep, 1 M SRAM retention, PD1 Disabled	53.9	889.0	μA
SIDDSG	System Deep Sleep, 64 KB SRAM retention, PD1 Enabled, CM55 Disabled	51.8	935.2	μA
SIDDSH	System Deep Sleep, 64 KB SRAM + 512 kB System SRAM retention, PD1 Enabled, CM55 Disabled	55.9	1027.1	μA
SIDDS D	System Deep Sleep, 64 kB SRAM + 1024 kB System SRAM+TCM retention, PD1 and CM55 Enabled	72.9	1442.7	μA
SIDDS E	System Deep Sleep, 64 KB SRAM + 5.5 MB System SRAM+TCM retention, PD1 and CM55 Enabled	106.4	2225.9	μA
SIDDSF	System Deep Sleep, 1 MB SRAM + 5.5 MB System SRAM+TCM retention, PD1 and CM55 Enabled	114.5	2168.8	μA
SIDDSRA	System Deep Sleep-RAM, 64 KB SRAM retention, PD1 Disabled	37.9	636.5	μA

(表格续下页.....)

8 电气规格参数

表 19 (续) CPU 电流, 深度睡眠和休眠模式, 电源供电配置, VDDD=1.8 V

Spec ID	Description	IDDD		Units
		Typical	Max 105°C	
SIDDSRD	System Deep Sleep-RAM, 1 M SRAM retention, PD1 Disabled	46.1	811.8	μA
SIDDSRB	System Deep Sleep-RAM, 64 kB SRAM + 512 kB System SRAM, PD1 Enabled	46.8	840.1	μA
SIDDSRC	System Deep Sleep-RAM, 64 kB SRAM + 5.0 MB System SRAM retention, PD1 Enabled	80.2	1615.0	μA
SIDDSO	System Deep Sleep-OFF, PD1 Disabled	36.1	615.3	μA

Hibernate Mode - VDDIO currents not included

SIDHIBA	No Clocks	5.6	23.2	μA
SIDHIBB	ILO+WDT	6.7	24.5	μA
SIDHIBC	WCO+RTC	5.7	24.1	μA

表 20 根时钟分频器频率 高频根时钟

High frequency root clock divider output frequencies

Spec ID	Parameter	Min	Max			Unit
			HP	LP	ULP	
SIDHF0I	CLK_HF[0] – SYSCPUSS, CM33	0	160	80	N/A	MHz
SIDHF1I	CLK_HF[1] – APPCPUSS, GFXSS (GPU, DC), CM55, U55	0	320	140	N/A	MHz
SIDHF2I	CLK_HF[2] – SoCMEM	0	240	110	N/A	MHz
SIDHF3I	CLK_HF[3] – SMIF[0]	0	320	200	N/A	MHz
SIDHF4I	CLK_HF[4] – SMIF[1]	0	320	200	N/A	MHz
SIDHF5I	CLK_HF[5] – SDHC[0], Ethernet	0	166	104	N/A	MHz
SIDHF6I	CLK_HF[6] – SDHC[1], Ethernet	0	166	104	N/A	MHz
SIDHF7I	CLK_HF[7] – I2S, TDM, PDM	0	80	50	N/A	MHz
SIDHF8I	CLK_HF[8] – USB	0	40	50	N/A	MHz
SIDHF9I	CLK_HF[9] – Analog, DACs	0	80	50	N/A	MHz
SIDHF10I	CLK_HF[10] – SCB[0, 2-11], CAN, TCPWMs, SMARTI/O	0	80	40	N/A	MHz
SIDHF11I	CLK_HF[11] – SCB[1], I3C	0	160	80	N/A	MHz
SIDHF12I	CLK_HF[12] – MIPI DSI D-PHY PLL reference clock	0	51	N/A	N/A	MHz
SIDHF13I	CLK_HF[13] – I3C	0	100	60	N/A	MHz

8 电气规格参数

表 21 电源模式转换时间

Spec ID	Description	Parameter	Min	Typ	Max	Unit
Power mode transition times						
SID13B1	System HP to LP transition time	THP_LP	-	65	78	μs
SID13B6	System LP to HP transition time	TLP_HP	-	49	62	μs
SID13A2	System Deep Sleep to Active LP transition time	TDS_ACT	-	27	28	μs
SID13A3	System Deep Sleep to Active HP transition time	TDS_ACT	-	28	40	μs
SID14A	System Deep Sleep-RAM to Active transition time	TDSR_ACT	-	25.5	-	ms
SID14B	System Deep Sleep-OFF to Active transition time	TDSO_ACT	-	25.5	-	ms
SID14	System Hibernate to Active transition time	THIB_ACT	-	25.5	-	ms

8.2.2 XRES

表 22 XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

XRES (Active Low) Specifications**XRES AC Specifications**

SID15	POR or XRES release to Active transition time	TXRESACT	-	25.5	-	ms	From XRES release to start of Extended Boot. Does not include required Extended Boot (Cold Boot).
SID16	XRES Pulse width	TXRESPW	5	-	-	μs	
SID16P	Time to establish valid voltage levels before XRES Release	TXRESPWR	60	-	-	μs	

Extended Boot AC - From start of extended boot to start of main.c

SID15A	Non secure boot	TEXBOOT	-	29	-	ms	No authentication of initial OEM code
SID15B	Secure boot. 100 KB internal	TEXBOOT	-	200	-	ms	Authenticate initial OEM code in RRAM
SID15C	Secure boot. 100 KB external	TEXBOOT	-	217	-	ms	Authenticate initial OEM code in Octal SPI Flash

(表格续下页.....)

8 电气规格参数

表 22 (续) XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID15D	Secure boot. 5 MB external	TEXBOOT	-	932	-	ms	Authenticate initial OEM code in Octal SPI Flash

XRES DC Specifications

SID17A	IBAT when XRES asserted	TXRESIBAT	-	0.3	-	μA	Battery powered configuration (VBAT = 3.3 V, VDDD = 1.8 V)
	IDDD when XRES asserted	TXRESIDDD	-	1.1	-	μA	
	IDDD when XRES asserted	TXRESIDDD	-	1.2	-	μA	Supply powered configuration (VDDD = 1.8 V)
SID77	Input Voltage high threshold	VIH	0.7*VDD	-	-	V	CMOS Input
SID78	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID80	Input Capacitance	CIN	-	3	-	pF	
SID81	Input voltage hysteresis	VHYSXRES	-	100	-	mV	
SID82	Current through protection diode to VDD/Vss	DIODE	-	-	100	μA	

8.2.3 GPIO

表 23 GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

1.8 V GPIO Specifications

GPIO DC Specifications

SID57	Input Voltage high threshold	VIH	0.7*VDD	-	-	v	CMOS Input
SID57A	Input current when Pad > VDDIO for OVT inputs	lihs	-	-	10	μA	per 1 ² C Spec
SID58	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID59	Output Voltage high level	VOH	VDD-0.5	-	-	V	I _{oh} = 8 mA
SID62A	Output Voltage low level	VOL	-	-	0.4	V	I _{ol} = 8 mA
SID63	Pull-up resistor	RPULLUP	-	50	-	kΩ	
SID64	Pull-down resistor	RPULLDOWN	-	50	-	kΩ	
SID65	Input leakage current(absolute value)	IL	-	-	2	nA	25°C, VDD = 3.0 V
SID66	Input Capacitance	CIN	-	-	5	pF	
SID68	Input hysteresis CMOS	VHYS CMOS	0.05*VDD	-	-	mV	
SID69	Current through protection diode to VDD/VSS	DIODE	-	-	100	C	

(表格续下页.....)

8 电气规格参数

表 23 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID69A	Maximum Total Source or Sink Chip Current	ITOTGPIO	-	-	200	mA	

GPIO AC Specifications

SID70	Rise time in Fast Strong Mode. 10% to 90% of VDD	TRISEF	-	-	2.5	ns	Load = 15 pF, 8 mA drive strength
SID71	Fall time in Fast Strong Mode. 10% to 90% of VDD	TFALLF	-	-	2.5	ns	Load = 15 pF, 8 mA drive strength
SID73G	Fall time (30% to 70% of VDD) in Slow Strong mode	TFALL12C	20*VDDIO/5.5	-	250	ns	Load = 10 pF to 400 pF, 8 mA drive strength
SID74	GPIO Fout. Fast Strong mode	FGPIOUT1	-	-	100	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID75	GPIO Fout. Slow Strong mode	FGPIOUT2	-	-	5	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID76	GPIO Fout. Fast Strong mode	FGPIOUT3	-	-	100	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID245	GPIO Fout. Slow Strong mode	FGPIOUT4	-	-	5	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246	GPIO input operating frequency. 1.71 V ≤ VDDIO ≤ 1.89 V	FGPIOIN	-	-	100	MHz	90/10% Vio

1.8 V HS GPIO Specifications

GPIO DC Specifications

SID57HS	Input Voltage high threshold	VIH	0.7*VDD	-	-	V	CMOS Input
SID57AHS	Input current when Pad > VDDIO for OVT inputs	lihs	-	-	10	μA	per 1°C Spec
SID58HS	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID59HS	Output Voltage high level	VOH	VDD-0.5	-	-	V	Ioh = 8 mA
SID62AHS	Output Voltage low level	VOL	-	-	0.4	V	Iol = 8 mA
SID63HS	Pull-up resistor	RPULLUP	-	50	-	kΩ	
SID64HS	Pull-down resistor	RPULLDOWN	-	50	-	kΩ	
SID65HS	Input leakage current (absolute value)	IIL	-	-	2	nA	25°C, VDD=3.0 V
SID66HS	Input Capacitance	CIN	-	-	5	pF	
SID68HS	Input hysteresis CMOS	VHYSCMOS	0.05*VDD	-	-	mV	
SID69HS	Current through protection diode to VDD/VSS	IDIODE	-	-	100	μA	

(表格续下页.....)

8 电气规格参数

表 23 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID69AHS	Maximum Total Source or Sink Chip Current	ITOTGPIO	-	-	200	mA	

GPIO AC Specifications

SID70HS	Rise time in Fast Strong Mode. 10% to 90% of VDD	TRISEF	-	-	1.2	ns	Clload = 15 pF, 8 mA drive strength
SID71HS	Fall time in Fast Strong Mode. 10% to 90% of VDD	TFALLF	-	-	1.2	ns	Clload = 15 pF, 8 mA drive strength
SID74HS	GPIO Fout. Fast Strong mode	FGPIOUT1	-	-	208	MHz	90/10%, 15 PF load, 60/40 duty cycle
SID76HS	GPIO Fout. Fast Strong mode	FGPIOUT3	-	-	208	MHz	90/10%, 25 PF load, 60/40 duty cycle
SID246HS	GPIO input operating frequency. 1.71 V ≤ VDD ≤ 1.89 V	FGPIOIN	-	-	208	MHz	90/10% Vio

3.3 V GPIO Specifications

GPIO DC Specifications

SID57H	Input Voltage high threshold	VIH	0.7*VDD	-	-	V	CMOS Input
SID57AH	Input current when Pad > VDDIO for OVT inputs	lihs	-	-	10	μA	per 1 ² C Spec
SID58H	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID59H	Output Voltage high level	VOH	VDD-0.5	-	-	V	Ioh = 8 mA
SID62AH	Output Voltage low level	VOL	-	-	0.4	V	Iol = 8 mA
SID63H	Pull-up resistor	RPULLUP	-	50	-	kΩ	
SID64H	Pull-down resistor	RPULLDOWN	-	50	-	kΩ	
SID65H	Input leakage current (absolute value)	IIL	-	-	2	nA	25°C, VDD=3.0 V
SID66H	Input Capacitance	CIN	-	-	5	pF	
SID68H	Input hysteresis CMOS	VHYSCMOS	0.05*VDD	-	-	mV	
SID69H	Current through protection diode to VDD/VSS	DIODE	-	-	100	μA	
SID69AH	Maximum Total Source or Sink Chip Current	ITOT_GPIO	-	-	200	mA	

GPIO AC Specifications

SID70H	Rise time in Fast Strong Mode. 10% to 90% of VDD	TRISEF	-	-	5	ns	Clload = 15 pF, 8 mA drive strength
SID71H	Fall time in Fast Strong Mode. 10% to 90% of VDD	TFALLF	-	-	5	ns	Clload = 15 pF, 8 mA drive strength

(表格续下页.....)

8 电气规格参数

表 23 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID74H	GPIO Fout. Fast Strong mode	FGPIOUT1	-	-	50	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID75H	GPIO Fout, Slow Strong mode	FGPIOUT2	-	-	0.8	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID76H	GPIO Fout. Fast Strong mode	FGPIOUT3	-	-	50	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID245H	GPIO Fout. Slow Strong mode	FGPIOUT4	-	-	0.8	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246H	GPIO input operating frequency. 1.71 V ≤ VDD ≤ 3.6 V	FGPIOIN	-	-	50	MHz	90/10% Vio

8.3 模拟外设

8.3.1 自主模拟规格

表 24 自主模拟规格

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDW39	Analog Supply Voltage	VDD18	1.71	1.8	1.89	V	
SIDW40a	Current Consumption for VAD (PTComp + CTB Opamp + ADC, 12b-16 ksps)	ITOT-Audio	-	100	-	μA	SAR running at 16 ksps, dutycycled in the system Deep Sleep mode. FIFO is storing 10 ms of data from SAR. Op Amp, PTComp and references plus clocks enabled
SIDW41	Power Down Current for the Autonomous Analog	IleakLPPASS	-	1	-	μA	All blocks off, 25°C, 1.8 V VDDA, 0.7 V Vccd
SIDW54b	Start Up time of Autonomous Analog from power down	Tstart Up	-	25	-	μs	Startup time of sub-blocks not included

8 电气规格参数

8.3.2 LP比较器

表 25 LP 比较器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
LP Comparator DC Specifications							
SID84	Input offset voltage for COMPI. Normal power mode	VOFFSET1	-5	-	5	mV	
SID85A	Input offset voltage. Low-power mode	VOFFSET2	-10	-	10	mV	
SID85B	Input offset voltage. Ultra low-power mode	VOFFSET3	-10	-	10	mV	
SID86	Hysteresis when enabled in Normal mode	VHYST1	-	-	60	mV	
SID86A	Hysteresis when enabled in Low-power mode	VHYST2	-	-	80	mV	
SID87	Input common mode voltage in Normal mode	VICM1	0	-	VDDIO1 -0.1	V	
SID247	Input common mode voltage in Low power mode	VICM2	0	-	VDDIO1 -0.1	V	
SID247A	Input common mode voltage in Ultra low power mode	VICM3	0	-	VDDIO1 -0.1	V	
SID88	Common mode rejection ratio in Normal power mode	CMRR	50	-	-	dB	
SID88A	Power Supply Rejection Ratio ≤ 500 kHz	PSRR	55	-	-	dB	
SID89	Block Current, Normal mode	ICMP1	-	-	150	μA	
SID248	Block Current, Low power mode	ICMP2	-	-	10	μA	
SID259	Block Current in Ultra low power mode	ICMP3	-	0.3	0.85	μA	
SID90	DC Input impedance of comparator	ZCMP	35	-	-	MΩ	
LPComparator AC Specifications							
SID91	Response time, Normal mode, 100 mV overdrive	TRESP1	-	-	100	ns	
SID258	Response time, Low power mode, 100 mV overdrive	TRESP2	-	-	1000	ns	
SID92	Response time, Ultra-low power mode, 100 mV overdrive	TRESP3	-	-	7	μs	
SID92E	Time from Enabling to operation	TCMPEN1	-	-	10	μs	Normal and Lowpower modes
SID92F	Time from Enabling to operation	TCMPEN2	-	-	50	μs	Ultra low-power mode

8 电气规格参数

8.3.3 ADC

表 26 ADC

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDW45	Numerical resolution of ADC results	Res	12	-	20	bits	With accumulation (oversampling)
SIDW52a	Conversion Rate of ADC in HS mode, continous conversion of one channel	CR1	-	-	4	Msp/s	Sequential sampling, 80 MHz Fclk
SIDW52b	Conversion Rate of ADC in HS mode, continous conversion of four channels with simultaneous sampling	CR2	-	-	5	Msp/s	Simultaneous Sampling Mode
SIDW52c	Conversion Rate of ADC in LP mode (system Deep Sleep mode), continous conversion of one channel	CR3	-	-	200	ksps	Sample Rate in Deep Sleep
SIDW47b	Clock of ADC in HS mode (available only in system Active mode)	ADCClkHF	4.1	-	80	MHz	
SIDW47a	Clock of ADC in LP mode (available in system Deep Sleep mode)	ADCClkLP	-	4.1	-	MHz	1% clock accuracy

Input from GPIOs, ADC unbuffered (Buffers bypassed)

SIDAD000	Average current from VDDA for ADC in HS mode, all channels	IDDA_HS	-	-	3.05	mA	
SIDAD002	Average VDDA current for ADC in LP mode, 100% duty cycled	IDDA_LP	-	-	410	μA	
SIDW42	Differential input voltage range of LP ADC	VDIFFSAR	-VREF	-	VREF	V	VREF of SAR ADC is in range 0.9 V to VDDA
SIDW43	Input common mode voltage of HS/LP ADC	VICMSAR	-	-	VDDA	V	Switched Capacitor frontend can hold 0 to Vdda.
SIDAD005	Input leakage current of ADC in HS mode while sampling	ip_leak_hs	-	-	450	nA	
SIDAD006	INL of ADC in HS mode	INL_hs	-2	-	2	LSBs	
SIDAD007	DNL of ADC in HS mode	DNL_hs	-1	-	2	LSBs	
SIDAD008	Analog offset of ADC in HS mode, calibrated	ofst_hs	-1	-	1	mV	

(表格续下页.....)

8 电气规格参数

表 26 (续) ADC

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDAD009	Gain error of ADC in HS mode, with internal bandgap reference (VBGR, 0.9 V)	gerr_hs	-1	-	1	%	
SIDAD011	Input leakage current of ADC in LP mode while sampling	ip_leak_lp	-350	-	350	nA	
SIDAD012	INL of ADC in LP mode	INL_lp	-2	-	2	LSBs	
SIDAD013	DNL of ADC in LP mode	DNL_lp	-1	-	2	LSBs	
SIDAD014	Analog offset of ADC in LP mode, calibrated	ofst_lp	-1	-	1	mV	
SIDAD015	Gain error of ADC in LP mode, with internal bandgap reference (VBGR, 0.9 V)	gerr_lp	-1	-	1	%	
SIDW50a	SINAD of ADC in HS mode, VDDA as reference, 4 Msps, 80 MHz clock	SINADHF1 2b	-	63	-	dB	10 kHz sine wave input
SIDW50c	SINAD of ADC in HS mode, with VDDA as the reference, 125 ksps with 32 samples accumulated (16 b), 80 MHz clock	SINADHF1 6b	-	75	-	dB	10 kHz sine wave input

Input from GPIOs, ADC buffered (Buffer in Low, Rail to Rail power mode)

SIDAD022	Average current from VDDA for ADC in HS mode, one channel	IDDA_HS	-	-	3.2	mA	
SIDAD024	Average current from VDDA for ADC in LP mode, 100% duty cycled	IDDA_LP	-	-	650	μA	
SIDAD026	Average current from VDDA for ADC in LP mode, 16 ksps, duty cycled	IDDA_LP_16 ksps	-	-	50	μA	
SIDW40b	Average current from VDDA for ADC in LP mode, 1 ksps, duty cycled	ITOT-HRV	-	20	-	μA	4 MHz Oscillator
SIDAD030	Offset voltage of ADC buffer	ofst_buffer	-1	-	1	mV	
SIDAD031	Gain error of ADC buffer	gerr_buffer	-0.1	-	0.1	%	
SIDAD032	Temperature sensor accuracy	temp_acc	-5	-	5	°C	
SIDAD033	Temperature sensor Current from VDDA	temp_idda	-	-	4	μA	

(表格续下页.....)

8 电气规格参数

表 26 (续) ADC

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDAD035	Input leakage of ADC buffers	ip_leak	-150	-	150	nA	
SIDAD036	INL of ADC in HS mode, with internal bandgap reference (VBGR, 0.9 V)	INL_hs	-2	-	2	LSBs	
SIDAD037	DNL of ADC in HS mode, with internal bandgap reference (VBGR, 0.9 V)	DNL_hs	-1	-	2	LSBs	
SIDAD038	Analog offset of ADC in HS mode and buffer combined	ofst_chan_hs	-2	-	2	mV	
SIDAD039	Gain error of ADC in HS mode and buffer combined, with internal bandgap reference (VBGR, 0.9 V)	gerr_chan_hs	-1	-	1	%	
SIDAD040	Gain error of ADC in HS mode and buffer combined, with external (off-chip) reference	gerr_chan_hs_ext	-1	-	1	%	
SIDAD041	INL of ADC in LP mode, with internal bandgap reference (VBGR, 0.9 V)	INL_lp	-2	-	2	LSBs	
SIDAD042	DNL of ADC in LP mode, with internal bandgap reference (VBGR, 0.9 V)	DNL_lp	-1	-	2	LSBs	
SIDAD043	Analog offset of ADC in LP mode and buffer combined	ofst_chan_lp	-2	-	2	mV	
SIDAD044	Gain error of ADC in LP mode and buffer combined, with internal bandgap reference (VBGR, 0.9 V)	gerr_chan_lp	-1	-	1	%	
SIDAD045	Gain error of ADC in LP mode and buffer combined, with external (off-chip) reference	gerr_chan_lp_ext	-1	-	1	%	
SIDAD046	Startup time of ADC channel buffers	t_buff_startup	-	5	-	μS	
SIDAD047	Settling time at input of ADC, differential input swing from VDDA-400 mV to VDDA+400 mV	t_settle	-	2	-	μS	
SIDAD048	Temperature sensor startup time, from enabled to settled at ADC input	temp_startup	-	15	-	μS	

Bandgap reference specs

(表格续下页.....)

8 电气规格参数

表 26 (续) ADC

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDW46	Bandgap reference voltage (VBGR)	VREF	-	0.9	-	V	With an accuracy of +/- 1%
SIDAD064	Current from VDDA for the bandgap reference	IDD_VBG	-	25	50	μA	
SIDAD065	Percentage variation of the bandgap voltage at room temperature, with respect to VDDA, trimmed $(V_{max} - V_{min})/V_{typ} \times 100$	VBG_VDD	-0.3	-	0.3	%	
SIDAD066	Bandgap voltage temperature coefficient, trimmed $[-40^{\circ}\text{C}, 125^{\circ}\text{C}]$ temp co $= (V_{max} - V_{min}) / \{V_{nom} \times (T_{max} - T_{min})\} \times 1\text{E}6$	VBG_TEM PJ	-	-	40	ppm/°C	

8.3.4 DAC

表 27 DAC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID108D	Numerical Resolution of DAC	DACRES	-	-	12	bits	
SID109D	Settling time of buffered DAC with a 25 pF load capacitance	DACCONV	-	-	2	μs	
SID111D	Maximum Refresh Rate of DAC	DACRate	-	-	1.024	MHz	
SIDDA000	Current from VDDA, unbuffered DAC ("Direct" topologies), VDDA reference	IDDA_ctdac_v ddaref	-	92	133	μA	
SIDDA001	Current from VDDA, unbuffered DAC ("Direct" topologies), internal bandgap reference (VBGR, 0.9 V)	IDDA_ctdac_v ref0p9	-	418	700	μA	
SIDDA002	Current from VDDA buffered DAC (buffer power mode: Medium), VDDA as reference	IDDA_ctdac_buf_vddaref	-	2288	3100	μA	
SIDDA003	Current from VDDA, buffered DAC (buffer power mode: Medium), internal bandgap reference (VBGR, 0.9 V)	IDDA_ctdac_buf_vref0p9	-	2493	3500	μA	
SIDDA004	Average current from VDDA, buffered DAC (buffer power mode: Ultra-Low), 10% duty cycle, Sample and Hold enabled, VDDA reference	IDDA_duty_ct dac_buf_sh_vddaref	-	25	80	μA	

(表格续下页.....)

8 电气规格参数

表 27 (续) DAC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDDA005	Average current from VDDA, buffered DAC (buffer power mode: Ultra-Low), 10% duty cycle, Sample and Hold enabled, internal bandgap reference (VBGR, 0.9 V)	IDDA_duty_ct dac_buf_sh_ vref0p9	-	448	710	μA	
SIDDA006	Average current from VDDD for DAC	IDDD_dac	-	1	7	μA	
SID111D	Integral Non-Linearity of DAC	DACINL	-4	-	4	LSBs	
SID112D	Differential Non-Linearity of DAC	DACDNL	-2	-	2	LSBs	
SID99D	Offset error with input code = 0x000 unsigned	DACOFFSET	-10	-	10	mV	
SIDDA007	Gain error of unbuffered DAC	GAINERR	-1	-	1	%	
SIDDA008	Gain error of buffered DAC	GAINERR_BUF	-1	-	1	%	
SIDDA009	Output resistance of unbuffered DAC	RO_enable	5	-	16	kΩ	
SID103D	Output impedance of buffered DAC	DACOUTRES	-	-	1	Ω	
SID104D	Value of Sample and Hold capacitors combined	DACCAP	-	-	50	pF	
SIDDA010	Output voltage range of unbuffered DAC	VRANGE	0	-	VDDA	V	
SIDDA011	Output voltage range of buffered DAC, buffer in a "rail to rail" power mode	VRANGE_BUF	0.2	-	VDDA-1 VDDA-0.2*	V	
SIDDA012	DC PSRR of buffered output	PSRR	-	-40	-	dB	
SIDDA013	DAC offset (output when input code = 0x000 unsigned, with respect to the VSSA)	Offset	-	-	3	mV	
SIDDA014	Drift in DAC offset across temperature (-40°C to 125°C) at constant code input and VDDA	Offset Drift	-	20	-	μV/C	
SIDDA015	Temperature coefficient of DAC output voltage (mid-scale code) (-40°C to 125°C)	Tempco	-	-	20	V/C	
SIDDA016	Analog output settling time of DAC from disabled state, VDDA reference	tsen_vddaref	-	-	1.4	μs	
SIDDA017	Analog output settling time of DAC from disabled state, internal bandgap reference (VBGR, 0.9 V)	tsen_vre0p9	-	-	1.4	μs	

(表格续下页.....)

8 电气规格参数

表 27 (续) DAC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDDA018	Maximum hold time	thold	100	-	-	μs	
SID110D	Wake-Up time (from enabling to ready for conversion)	DACWakeup	-	-	10	μs	

8.3.5 CTBL 运算放大器

表 28 CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Current from VDDA for one Opamp, Output driving a pin

SIDOA000	Ultra-Low power mode, input common mode voltage from 0.2 to VDDA-1 V	Idd_ultralow_10x	-	15	45	μA	
SIDOA001	Ultra-Low power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_ultralow_10x	-	35	60	μA	
SIDOA002	Low power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_low_10x	-	150	200	μA	
SIDOA003	Medium power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_med_10x	-	300	350	μA	
SIDOA004	High power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_hi_10x	-	800	920	μA	
SIDOA005	Ultra-High power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_ultrahi_10x	-	1300	1500	μA	

Current from VDDA for one Opamp, Internal-drive only

SIDOA006	Ultra-Low power mode, common mode voltage from 0.2 to VDDA-1 V	Idd_ultralow_1x	-	15	30	μA	
SIDOA007	Ultra-Low power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_ultralow_1x	-	35	60	μA	
SIDOA008	Low power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_low_1x	-	150	200	μA	
SIDOA009	Medium power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_med_1x	-	200	250	μA	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA010	High power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_hi_1x	-	600	700	μA	
SIDOA011	Ultra-High power mode, Rail-to-Rail inputs, input common mode voltage 0.2 to VDDA-0.2 V	Idd_ultrahi_1x	-	800	1000	μA	

Output Drive Capability, Driving a pin

SIDOA012	Ultra-Low power mode, output 200 mV from rail, output voltage change <2 mV	Iout_max_ult ralow_10x	-	-	10	μA	
SIDOA013	Low power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_low_10x	-	-	100	μA	
SIDOA014	Medium power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_med_10x	-	-	500	μA	
SIDOA015	High power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_hi_10x	-	-	1000	μA	
SIDOA016	Ultra-High power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_ultrahi_10x	-	-	10000	μA	

Output Drive Capability, Internal-Drive only

SIDOA017	Ultra-Low power mode, output 200 mV from rail, output voltage change <2 mV	Iout_max_1x _ultralow	-	-	1	μA	
SIDOA018	Low power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_1x _low	-	-	10	μA	
SIDOA019	Medium power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_1x _med	-	-	25	μA	
SIDOA020	High power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_1x _hi	-	-	100	μA	
SIDOA021	Ultra-High power mode, output 200 mV from rail, output voltage change <1 mV	Iout_max_1x _Ultrahi	-	-	200	μA	

Output Voltage Range

SIDOA022	Ultra-High power mode, output driving pin, 10 mA	Vout_1_10x_10mA_ultrahi	0.5	-	VDDA-0.5	V	
SIDOA023	High power mode, output driving pin, 1 mA	Vout_2_10x_1mA_hi	0.2	-	VDDA-0.2	V	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA024	Medium power mode, output driving pin, 1 mA	Vout_3_10x_1mA_med	0.2	-	VDDA-0.2	V	
SIDOA025	Low power mode, output driving pin, 0.1 mA	Vout_4_10x_0.1mA_lo	0.2	-	VDDA-0.2	V	

Input Voltage Range

SIDOA026	Input Voltage Range, Ultra-Low power mode	Vin_pump_of	0	-	VDDA-1	V	
SIDOA027	Input Voltage Range, power mode with Rail-to-Rail inputs	Vin_pump_o	0	-	VDDA-0.2	V	

Offset Voltage, trimmed

SIDOA028	Ultra-High power mode, output driving pin	Vos_tr_10x_u	-1	-	1	mV	
SIDOA029	High power mode, output driving pin	Vos_tr_10x_h	-1	-	1	mV	
SIDOA030	Medium power mode, output driving pin	Vos_tr_10x_med	-1	-	1	mV	
SIDOA031	Ultra-High power mode, internal drive-only	Vos_tr_1x_ult	-1	-	1	mV	
SIDOA032	High power mode, internal drive-only	Vos_tr_1x_hi	-1	-	1	mV	
SIDOA033	Medium power mode, internal drive-only	Vos_tr_1x_med	-1	-	1	mV	
SIDOA034	Offset trim step, output driving pin	Vos_step_10x_hi	300	-	500	μV	
SIDOA035	Offset trim step, internal drive-only	Vos_step_1x_hi	300	-	500	μV	

Offset Temperature Drift

SIDOA036	Output driving pin, Medium power mode	Vos_dr_tr_10x_med	-10	-	10	μV/C	
SIDOA037	Output driving pin, High power mode	Vos_dr_tr_10x_hi	-10	-	10	μV/C	
SIDOA038	Output driving pin, Ultra-High power mode	Vos_dr_tr_10x_UltraHi	-10	-	10	μV/C	
SIDOA039	Internal drive-only, Medium power mode	Vos_dr_tr_1x_med	-10	-	10	μV/C	
SIDOA040	Internal drive-only, High power mode	Vos_dr_tr_1x_hi	-10	-	10	μV/C	
SIDOA041	Internal drive-only, Ultra-High power mode	Vos_dr_tr_1x_UltraHi	-10	-	10	μV/C	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Common mode rejection ratio, Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V)							
SIDOA042	Ultra-Low power mode, output driving pin	CMRR_ultralow_10x	-40	-	-	dB	
SIDOA043	Low power mode, output driving pin	CMRR_low_10x	-40	-	-	dB	
SIDOA044	Medium power mode, output driving pin	CMRR_med_10x	-40	-	-	dB	
SIDOA045	High power mode, output driving pin	CMRR_hi_10x	-40	-	-	dB	
SIDOA046	Ultra-High power mode, output driving pin	CMRR_ultrahi_10x	-40	-	-	dB	
SIDOA047	Ultra-Low power mode, internal drive-only	CMRR_ultralow_1x	-40	-	-	dB	
SIDOA048	Low power mode, internal drive-only	CMRR_low_1x	-40	-	-	dB	
SIDOA049	Medium power mode, internal drive-only	CMRR_med_1x	-40	-	-	dB	
SIDOA050	High power mode, internal drive-only	CMRR_hi_1x	-40	-	-	dB	
SIDOA051	Ultra-High power mode, internal drive-only	CMRR_ultrahi_1x	-40	-	-	dB	
SIDOA052	Input leakage current from CTB port pin	Input Leakage	-	2	800	nA	
Power Supply rejection ratio (DC), Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V)							
SIDOA053	Ultra-Low power mode, output driving pin	PSRR_ultralow_10x	-45	-	-	dB	
SIDOA054	Low power mode, output driving pin	PSRR_low_10x	-45	-	-	dB	
SIDOA055	Medium power mode, output driving pin	PSRR_med_10x	-45	-	-	dB	
SIDOA056	High power mode, output driving pin	PSRR_hi_10x	-45	-	-	dB	
SIDOA057	Ultra-High power mode, output driving pin	PSRR_ultrahi_10x	-45	-	-	dB	
SIDOA058	Ultra-Low power mode, internal drive-only	PSRR_ultralow_1x	-45	-	-	dB	
SIDOA059	Low power mode, internal drive-only	PSRR_low_1x	-45	-	-	dB	
SIDOA060	Medium power mode, internal drive-only	PSRR_med_1x	-45	-	-	dB	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA061	High power mode, internal drive-only	PSRR_hi_1x	-45	-	-	dB	
SIDOA062	Ultra-High power mode, internal drive-only	PSRR_ultrahi_1x	-45	-	-	dB	
Power Supply rejection ratio at 1 kHz, Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V)							
SIDOA063	Ultra-Low power mode, output driving pin	PSRR_ultralow_10x	-45	-	-	dB	
SIDOA064	Low power mode, output driving pin	PSRR_low_10x	-45	-	-	dB	
SIDOA065	Medium power mode, output driving pin	PSRR_med_10x	-45	-	-	dB	
SIDOA066	High power mode, output driving pin	PSRR_hi_10x	-45	-	-	dB	
SIDOA067	Ultra-High power mode, output driving pin	PSRR_ultrahi_10x	-45	-	-	dB	
SIDOA068	Ultra-Low power mode, internal drive-only	PSRR_ultralow_1x	-45	-	-	dB	
SIDOA069	Low power mode, internal drive-only	PSRR_low_1x	-45	-	-	dB	
SIDOA070	Medium power mode, internal drive-only	PSRR_med_1x	-45	-	-	dB	
SIDOA071	High power mode, internal drive-only	PSRR_hi_1x	-45	-	-	dB	
SIDOA072	Ultra-High power mode, internal drive-only	PSRR_ultrahi_1x	-45	-	-	dB	
Open loop Gain, Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V)							
SIDOA073	Ultra-Low power mode, output driving pin	Gain_Ultralow_10x	60	-	-	dB	
SIDOA074	Low power mode, output driving pin	Gain_Low_10x	70	-	-	dB	
SIDOA075	Medium power mode, output driving pin	Gain_Med_10x	70	-	-	dB	
SIDOA076	High power mode, output driving pin	Gain_Hi_10x	70	-	-	dB	
SIDOA077	Ultra-High power mode, output driving pin	Gain_Ultrahi_10x	70	-	-	dB	
SIDOA078	Ultra-Low power mode, internal drive-only	Gain_Ultralow_1x	60	-	-	dB	
SIDOA079	Low power mode, internal drive-only	Gain_Low_1x	70	-	-	dB	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA080	Medium power mode, internal drive-only	Gain_Med_1x	70	-	-	dB	
SIDOA081	High power mode, internal drive-only	Gain_Hi_1x	70	-	-	dB	
SIDOA082	Ultra-High power mode, internal drive-only	Gain_UltraHi_1x	70	-	-	dB	

Input voltage noise spectral density at 100 kHz, common mode input voltage at VDDA/2

SIDOA083	Ultra-Low power mode, output driving pin	Vnoise_Ultralow_10x_100k	-	-	200	nV/ √Hz	
SIDOA084	Low power mode, output driving pin	Vnoise_Low_10x_100k	-	-	80	nV/ √Hz	
SIDOA085	Medium power mode, output driving pin	Vnoise_Med_10x_100k	-	-	70	nV/ √Hz	
SIDOA086	High power mode, output driving pin	Vnoise_Hi_10x_100k	-	-	60	nV/ √Hz	
SIDOA087	Ultra-High power mode, output driving pin	Vnoise_UltraHi_10x_100k	-	-	50	nV/ √Hz	
SIDOA088	Ultra-Low power mode, internal drive-only	Vnoise_Ultralow_1x_100k	-	-	500	nV/ √Hz	
SIDOA089	Low power mode, internal drive-only	Vnoise_Low_1x_100k	-	-	80	nV/ √Hz	
SIDOA090	Medium power mode, internal drive-only	Vnoise_Med_1x_100k	-	-	70	nV/ √Hz	
SIDOA091	High power mode, internal drive-only	Vnoise_Hi_1x_100k	-	-	60	nV/ √Hz	
SIDOA092	Ultra-High power mode, internal drive-only	Vnoise_UltraHi_1x_100k	-	-	50	nV/ √Hz	

Phase Margin, Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V), 50 pF load, Output driving pin

SIDOA113	Ultra-Low power mode, compensation trim = 1	PM_Ultralow_10x	40	60	-	deg	
SIDOA114	Low power mode, compensation trim = 2	PM_Low_10x	40	60	-	deg	
SIDOA115	Medium power mode, compensation trim = 2	PM_Med_10x	40	60	-	deg	
SIDOA116	High power mode, compensation trim = 2	PM_Hi_10x	40	60	-	deg	
SIDOA117	Ultra-High power mode, compensation trim = 2	PM_UltraHi_10x	40	60	-	deg	

Phase Margin, Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V), 15 pF load, internal-drive only

SIDOA118	Ultra-Low power mode, compensation trim = 2	PM_Ultralow_1x	40	60	-	deg	
----------	---	----------------	----	----	---	-----	--

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOAI19	Low power mode, compensation trim = 3	PM_Low_1x	40	60	-	deg	
SIDOAI20	Medium power mode, compensation trim = 4	PM_Med_1x	40	60	-	deg	
SIDOAI21	High power mode, compensation trim = 4	PM_Hi_1x	40	60	-	deg	
SIDOAI22	Ultra-High power mode, compensation trim = 5	PM_UltraHi_1x	40	60	-	deg	

Gain-Bandwidth product (GBW), Rail to Rail inputs common mode voltage 0.2 to VDDA-0.2 V), Output driving pin, 50 pF load

SIDOAI23	Ultra-Low power mode, compensation trim = 1	GBW_Ultralo w_10x	0.1	0.15	-	MHz	
SIDOAI24	Low power mode, compensation trim = 2	GBW_Low_10x	1.2	1.5	-	MHz	
SIDOAI25	Medium power mode, compensation trim = 2	GBW_Med_10x	2.4	3	-	MHz	
SIDOAI26	High power mode, compensation trim = 2	GBW_Hi_10x	6	7.5	-	MHz	
SIDOAI27	Ultra-High power mode, compensation trim = 2	GBW_UltraHi_10x	7.5	12	-	MHz	

Gain-Bandwidth product (GBW), Rail to Rail inputs (common mode voltage 0.2 to VDDA-0.2 V), internal-drive only, 15 pF load

SIDOAI28	Ultra-Low power mode, compensation trim = 2	GBW_Ultralo w_1x	0.03	0.15	-	MHz	
SIDOAI29	Low power mode, compensation trim = 3	GBW_Low_1x	0.35	1.5	-	MHz	
SIDOAI30	Medium power mode, compensation trim = 4	GBW_Med_1x	0.7	3	-	MHz	
SIDOAI31	High power mode, compensation trim = 4	GBW_Hi_1x	1.75	7.5	-	MHz	
SIDOAI32	Ultra-High power mode, compensation trim = 5	GBW_UltraHi_1x	2.8	12	-	MHz	

Bandwidth (f3dB) of the PGA (non-inverting) topology, Output Driving pin, input and output common mode voltages 0.2 to VDDA-0.2, compensation capacitors enabled

SIDOAI33	Ultra-High power mode, Gain = 2	f3db_2_10x_NI_GND_UltraHi	3	-	-	Mhz	
SIDOAI34	Ultra-High power mode, Gain = 4	f3db_4_10x_NI_GND_UltraHi	0.5	-	-	Mhz	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOAI35	Ultra-High power mode, Gain = 16	f3db_16_10x_NI_GND_UltraHI	0.086	-	-	Mhz	
SIDOAI36	Ultra-High power mode, Gain = 32	f3db_32_10x_NI_GND_UltraHI	0.009	-	-	Mhz	
SIDOAI37	High power mode, Gain = 2	f3db_2_10x_NI_GND_HI	3.8	-	-	Mhz	
SIDOAI38	High power mode, Gain = 4	f3db_4_10x_NI_GND_HI	0.5	-	-	Mhz	
SIDOAI39	High power mode, Gain = 16	f3db_16_10x_NI_GND_HI	0.2	-	-	Mhz	
SIDOAI40	High power mode, Gain = 32	f3db_32_10x_NI_GND_HI	0.1	-	-	Mhz	
SIDOAI41	Medium power mode, Gain = 2	f3db_2_10x_NI_GND_Med	1.9	-	-	Mhz	
SIDOAI42	Medium power mode, Gain = 4	f3db_4_10x_NI_GND_Med	0.4	-	-	Mhz	
SIDOAI43	Medium power mode, Gain = 16	f3db_16_10x_NI_GND_Med	0.1	-	-	Mhz	
SIDOAI44	Medium power mode, Gain = 32	f3db_32_10x_NI_GND_Med	0.072	-	-	Mhz	
SIDOAI45	Low power mode, Gain = 2	f3db_2_10x_NI_GND_Low	1.1	-	-	Mhz	
SIDOAI46	Low power mode, Gain = 4	f3db_4_10x_NI_GND_Low	0.3	-	-	Mhz	
SIDOAI47	Low power mode, Gain = 16	f3db_16_10x_NI_GND_Low	0.086	-	-	Mhz	
SIDOAI48	Low power mode, Gain = 32	f3db_32_10x_NI_GND_Low	0.043	-	-	Mhz	
SIDOAI49	Ultra-Low power mode, Gain = 2	f3db_2_10x_NI_GND_UltraLow	0.1	-	-	Mhz	
SIDOAI50	Ultra-Low power mode, Gain = 4	f3db_4_10x_NI_GND_UltraLow	0.043	-	-	Mhz	
SIDOAI51	Ultra-Low power mode, Gain = 16	f3db_16_10x_NI_GND_UltraLow	0.007	-	-	Mhz	
SIDOAI52	Ultra-Low power mode, Gain = 32	f3db_32_10x_NI_GND_UltraLow	0.005	-	-	Mhz	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Bandwidth (f3dB) of the PGA (non-inverting) topology, internal drive-only, input and output common mode voltages 0.2 to VDDA-0.2, compensation capacitors enabled							
SIDO153	Ultra-High power mode, Gain = 2	f3db_2_1x_NI_GND_UltraH	0.259	-	-	Mhz	
SIDO154	Ultra-High power mode, Gain = 4	f3db_4_1x_NI_GND_UltraH	0.302	-	-	Mhz	
SIDO155	Ultra-High power mode, Gain = 16	f3db_16_1x_NI_GND_UltraH	0.331	-	-	Mhz	
SIDO156	Ultra-High power mode, Gain = 32	f3db_32_1x_NI_GND_UltraH	0.035	-	-	Mhz	
SIDO157	High power mode, Gain = 2	f3db_2_1x_NI_GND_HI	0.554	-	-	Mhz	
SIDO158	High power mode, Gain = 4	f3db_4_1x_NI_GND_HI	0.4	-	-	Mhz	
SIDO159	High power mode, Gain = 16	f3db_16_1x_NI_GND_HI	0.1	-	-	Mhz	
SIDO160	High power mode, Gain = 32	f3db_32_1x_NI_GND_HI	0.005	-	-	Mhz	
SIDO161	Medium power mode, Gain = 2	f3db_2_1x_NI_GND_Med	0.454	-	-	Mhz	
SIDO162	Medium power mode, Gain = 4	f3db_4_1x_NI_GND_Med	0.3	-	-	Mhz	
SIDO163	Medium power mode, Gain = 16	f3db_16_1x_NI_GND_Med	0.065	-	-	Mhz	
SIDO164	Medium power mode, Gain = 32	f3db_32_1x_NI_GND_Med	0.004	-	-	Mhz	
SIDO165	Low power mode, Gain = 2	f3db_2_1x_NI_GND_Low	0.288	-	-	Mhz	
SIDO166	Low power mode, Gain = 4	f3db_4_1x_NI_GND_Low	0.173	-	-	Mhz	
SIDO167	Low power mode, Gain = 16	f3db_16_1x_NI_GND_Low	0.04	-	-	Mhz	
SIDO168	Low power mode, Gain = 32	f3db_32_1x_NI_GND_Low	0.02	-	-	Mhz	
SIDO169	Ultra-Low power mode, Gain = 2	f3db_2_1x_NI_GND_UltraLow	0.006	-	-	Mhz	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA170	Ultra-Low power mode, Gain = 4	f3db_4_1x_NI_GND_UltraLow	0.029	-	-	Mhz	
SIDOA171	Ultra-Low power mode, Gain = 16	f3db_16_1x_NI_GND_UltraLow	0.002	-	-	Mhz	
SIDOA172	Ultra-Low power mode, Gain = 32	f3db_32_1x_NI_GND_UltraLow	0.003	-	-	Mhz	

Slew rate (rise and fall), output driving pin, 50 pF load, output voltage transitioning VDDA/2+500 mV to VDDA/2-500 mV

SIDOA173	Ultra-Low power mode	SL_Ultralow_10x	0.10	-	-	V/μs	
SIDOA174	Low power mode	SL_Low_10x	1.00	-	-	V/μs	
SIDOA175	Medium power mode	SL_Med_10x	2.00	-	-	V/μs	
SIDOA176	High power mode	SL_Hi_10x	3.00	-	-	V/μs	
SIDOA177	Ultra-High power mode	SL_Ultrahi_10x	4.00	-	-	V/μs	

Slew rate (rise and fall), internal drive-only, 15 pF load, output voltage transitioning from VDDA/2+500 mV to VDDA/2-500 mV

SIDOA178	Ultra-Low power mode	SL_Ultralow_1x	0.03	-	-	V/μs	
SIDOA179	Low power mode	SL_Low_1x	0.30	-	-	V/μs	
SIDOA180	Medium power mode	SL_Med_1x	0.60	-	-	V/μs	
SIDOA181	High power mode	SL_Hi_1x	1.80	-	-	V/μs	
SIDOA182	Ultra-High power mode	SL_Ultrahi_1x	3.00	-	-	V/μs	

Settling time, output driving pin, 50 pF load, output voltage transitioning from VDDA/2+50 mV to VDDA/2-50 mV

SIDOA183	Ultra-Low power mode	Tsettle_Ultralow_10x	-	-	4000	ns	
SIDOA184	Low power mode	Tsettle_Low_10x	-	-	600	ns	
SIDOA185	Medium power mode	Tsettle_Med_10x	-	-	450	ns	
SIDOA186	High power mode	Tsettle_Hi_10x	-	-	300	ns	
SIDOA187	Ultra-High power mode	Tsettle_Ultrahi_10x	-	-	250	ns	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Settling time, internal drive-only, 15pF load, output voltage transitioning from VDDA/2+50 mV to VDDA/2-50 mV							
SIDOA188	Ultra-Low power mode	Tsettle_Ultralow_1x	-	-	5000	ns	
SIDOA189	Low power mode	Tsettle_Low_1x	-	-	1500	ns	
SIDOA190	Medium power mode	Tsettle_Med_1x	-	-	800	ns	
SIDOA191	High power mode	Tsettle_Hi_1x	-	-	400	ns	
SIDOA192	Ultra-High power mode	Tsettle_Ultra_hi_1x	-	-	300	ns	
Startup times							
SIDOA198	Start up time, output driving a pin, with 50pF load, all power modes	Tstartup_10x	-	-	5000	ns	
SIDOA199	Start up time, internal-drive only, 15pf load, all power modes	Tstartup_1x	-	-	5000	ns	
CTB PGA/Differential PGA Specs							
SIDW44	PGA Gain Range (Non-inverting)	PGAGAIN	1.42	-	32		
SIDOA200	PGA Gain Range (Inverting)	PGA_Inv_Gain_Range	0.42	-	31		
SIDOA201	Differential PGA Gain Range	DIFF_Gain_Range	0.42	-	31		
Current from VDDA for PGA (non-inverting) topology, Output Driving pin, Common mode output voltage = VDDA-0.2, compensation capacitors enabled							
SIDOA202	Ultra-Low power mode	Idd_ultra_low_10x_PGA	-	-	60	μA	
SIDOA203	Low power mode	Idd_low_10x_PGA	-	-	200	μA	
SIDOA204	Medium power mode	Idd_med_10x_PGA	-	-	350	μA	
SIDOA205	High power mode	Idd_hi_10x_PGA	-	-	1000	μA	
SIDOA206	Ultra-High power mode	Idd_Ultra_hi_10x_PGA	-	-	1620	μA	
Current from VDDA for PGA (non-inverting) topology, Internal-drive only, common mode output voltage = VDDA-0.2, compensation capacitors enabled							
SIDOA207	Ultra-Low power mode	Idd_Ultra_low_1x_PGA	-	-	50	μA	
SIDOA208	Low power mode	Idd_low_1x_PGA	-	-	120	μA	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDOA209	Medium power mode	Idd_med_1x_PGA	-	-	200	μA	
SIDOA210	High power mode	Idd_hi_1x_PG A	-	-	500	μA	
SIDOA211	Ultra-High power mode	Idd_Ultra_hi_1x_PGA	-	-	800	μA	

Gain error of PGA (non-inverting) topology, internal-drive only, input and output common mode voltages 0.2 to VDDA-0.2, compensation capacitors enabled

SIDOA212	Ultra-High power mode, Gain = 2	G_error_2_1x_NI_GND UltraHI	-5	-	5	%	
SIDOA213	Ultra-High power mode, Gain = 4	G_error_4_1x_NI_GND UltraHI	-5	-	5	%	
SIDOA214	Ultra-High power mode, Gain = 16	G_error_16_1x_NI_GND UltraHI	-10	-	10	%	
SIDOA215	Ultra-High power mode, Gain = 32	G_error_32_1x_NI_GND UltraHI	-10	-	10	%	
SIDOA216	High power mode, Gain = 2	G_error_2_1x_NI_GND HI	-5	-	5	%	
SIDOA217	High power mode, Gain = 4	G_error_4_1x_NI_GND HI	-5	-	5	%	
SIDOA218	High power mode, Gain = 16	G_error_16_1x_NI_GND HI	-10	-	10	%	
SIDOA219	High power mode, Gain = 32	G_error_32_1x_NI_GND HI	-10	-	10	%	
SIDOA220	Medium power mode, Gain = 2	G_error_2_1x_NI_GND med	-5	-	5	%	
SIDOA221	Medium power mode, Gain = 4	G_error_4_1x_NI_GND med	-5	-	5	%	
SIDOA222	Medium power mode, Gain = 16	G_error_16_1x_NI_GND med	-10	-	10	%	
SIDOA223	Medium power mode, Gain = 32	G_error_32_1x_NI_GND med	-10	-	10	%	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDO224	Low power mode, Gain = 2	G_error_2_1x_NI_GND_low	-5	-	5	%	
SIDO225	Low power mode, Gain = 4	G_error_4_1x_NI_GND_low	-5	-	5	%	
SIDO226	Low power mode, Gain = 16	G_error_16_1x_NI_GND_low	-10	-	10	%	
SIDO227	Low power mode, Gain = 32	G_error_32_1x_NI_GND_low	-10	-	10	%	
SIDO228	Ultra-Low power mode, Gain = 2	G_error_2_1x_NI_GND_Ultralow	-5	-	5	%	
SIDO229	Ultra-Low power mode, Gain = 4	G_error_4_1x_NI_GND_Ultralow	-5	-	5	%	
SIDO230	Ultra-Low power mode, Gain = 16	G_error_16_1x_NI_GND_Ultralow	-10	-	10	%	
SIDO231	Ultra-Low power mode, Gain = 32	G_error_32_1x_NI_GND_Ultralow	-10	-	10	%	

Gain error of PGA (non-inverting) topology, output driving pin, input and output common mode voltages 0.2 to VDDA-0.2, compensation capacitors enabled

SIDO232	Ultra-High power mode, Gain = 2	G_error_2_10x_NI_GND_UltraHI	-5	-	5	%	
SIDO233	Ultra-High power mode, Gain = 4	G_error_4_10x_NI_GND_UltraHI	-5	-	5	%	
SIDO234	Ultra-High power mode, Gain = 16	G_error_16_10x_NI_GND_UltraHI	-10	-	10	%	
SIDO235	Ultra-High power mode, Gain = 32	G_error_32_10x_NI_GND_UltraHI	-10	-	10	%	
SIDO236	High power mode, Gain = 2	G_error_2_10x_NI_GND_HI	-5	-	5	%	
SIDO237	High power mode, Gain = 4	G_error_4_10x_NI_GND_HI	-5	-	5	%	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDO238	High power mode, Gain = 16	G_error_16_10x_NI_GND_HI	-10	-	10	%	
SIDO239	High power mode, Gain = 32	G_error_32_10x_NI_GND_HI	-10	-	10	%	
SIDO240	Medium power mode, Gain = 2	G_error_2_10x_NI_GND_med	-5	-	5	%	
SIDO241	Medium power mode, Gain = 4	G_error_4_10x_NI_GND_med	-5	-	5	%	
SIDO242	Medium power mode, Gain = 16	G_error_16_10x_NI_GND_med	-10	-	10	%	
SIDO243	Medium power mode, Gain = 32	G_error_32_10x_NI_GND_med	-10	-	10	%	
SIDO244	Low power mode, Gain = 2	G_error_2_10x_NI_GND_low	-5	-	5	%	
SIDO245	Low power mode, Gain = 4	G_error_4_10x_NI_GND_low	-5	-	5	%	
SIDO246	Low power mode, Gain = 16	G_error_16_10x_NI_GND_low	-10	-	10	%	
SIDO247	Low power mode, Gain = 32	G_error_32_10x_NI_GND_low	-10	-	10	%	
SIDO248	Ultra-Low power mode, Gain = 2	G_error_2_10x_NI_GND_Ultralow	-5	-	5	%	
SIDO249	Ultra-Low power mode, Gain = 4	G_error_4_10x_NI_GND_Ultralow	-5	-	5	%	
SIDO250	Ultra-Low power mode, Gain = 16	G_error_16_10x_NI_GND_Ultralow	-10	-	10	%	
SIDO251	Ultra-Low power mode, Gain = 32	G_error_32_10x_NI_GND_Ultralow	-10	-	10	%	

(表格续下页.....)

8 电气规格参数

表 28 (续) CTBL 运算放大器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Common Mode Rejection Ratio of Differential PGA							
SIDOA252	CMRR (input common mode voltage 0.2 to VDDA-0.2 V, internal drive only, High power mode, Small signal Gain=2, CL = 15 pF)	CMRR_1x_hi_diff_pga_1x	-60	-	-	dB	
SIDOA253	CMRR (input common mode voltage 0.2 to VDDA-0.2 V, internal drive only, High power mode, Small signal Gain=8, CL = 15 pF)	CMRR_1x_hi_diff_pga_8x	-60	-	-	dB	
CTB TIA Specs							
SIDOA255	TIA Gain Range	TIA Gain Range	57	-	186	kΩ	
CTB Comparator Specs							
SIDOA260	Comparator Hysteresis Ultra-High power mode, (input common mode voltage =VDDA/2,CL=300 fF)	Comparator Hyst Ultra-High power	2	-	-	mV	
SIDOA261	Comparator Hysteresis High power mode, (input common mode voltage =VDDA/2,CL=300 fF)	Comparator Hyst High power	5	-	-	mV	
SIDOA262	Comparator Hysteresis Medium power mode, (input common mode voltage =VDDA/2,CL=300 fF)	Comparator Hyst Medium power	10	-	-	mV	
SIDOA263	Comparator Hysteresis Low power mode, (input common mode voltage =VDDA/2,CL=300 fF)	Comparator Hyst Low power	20	-	-	mV	
SIDOA264	Comparator Hysteresis Ultra-Low power mode, (input common mode voltage =VDDA/2,CL=300 fF)	Comparator Hyst Ultra-Low power	40	-	-	mV	
Comparator-topology response time (delay) 50mV overdrive, Rail to Rail inputs (output common mode voltage 0.2 to VDDA-0.2 V), load capacitance of 300 fF							
SIDOA265	Low power mode, compensation trim = 2	Comparator Tpd_lo	-	-	150	ns	
SIDOA266	Medium power mode, compensation trim = 3	Comparator Tpd med	-	-	100	ns	
SIDOA267	High power mode, compensation trim = 4	Comparator Tpd hi	-	-	80	ns	

8 电气规格参数

8.3.6 PT Comp

表 29 PT Comp

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
PT Comparator DC Specifications							
SID84	Input offset voltage. Normal power mode	VOFFSET1	-5	-	5	mV	
SID85A	Input offset voltage. Low-power mode	VOFFSET2	-10	-	10	mV	
SID85B	Input offset voltage. Ultra low-power mode	VOFFSET3	-10	-	10	mV	
SID86	Hysteresis when enabled in Normal mode	VHYST1	-	-	60	mV	
SID86A	Hysteresis when enabled in Low-power mode	VHYST2	-	-	80	mV	
SID87	Input common mode voltage in Normal mode	VICM1	0	-	VDDA-0.1	V	
SID247	Input common mode voltage in Low power mode	VICM2	0	-	VDDA-0.1	V	
SID247A	Input common mode voltage in Ultra low power mode	VICM3	0	-	VDDA-0.1	V	
SID88	Common mode rejection ratio in Normal power mode	CMRR	50	-	-	dB	
SID89	Block Current, Normal mode	ICMP1	-	-	150	μA	Post-processing not included
SID248	Block Current, Low power mode	ICMP2	-	-	10	μA	Post-processing not included
SID259	Block Current in Ultra low power mode	ICMP3	-	0.3	0.85	μA	Post-processing not included
PT Comparator AC Specifications							
SID91	Response time, Normal mode, 100 mV overdrive	TRESP1	-	-	100	ns	
SID258	Response time, Low power mode, 100 mV overdrive	TRESP2	-	-	1000	ns	
SID92	Response time, Ultra-low power mode, 100 mV overdrive	TRESP3	-	-	7	μs	
SID92E	Time from Enabling to operation	TCMPEN1	-	-	10	μs	Normal and Low power modes
SID92F	Time from Enabling to operation	TCMPEN2	-	-	50	μs	Ultra low-power mode

8 电气规格参数

8.3.7 PRB

表 30 PRB

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDPR000	Numerical Resolution of PRB		4	-	4	bits	
SIDPR003	Current from VDDA when PRB enabled	IDDA_active	650	850	2200	nA	
SIDPR004	Total resistance of potential dividers on VDDA/VBGR	Res	1.6	2.2	2.8	MΩ	
SIDPR005	DNL of output 1 with VDDA as reference, output 0 connected to tap 7, no load	Vref_DNL_Step_Size_VDDA_ladder	-1	-	1	LSB	
SIDPR006	DNL of output 1 with VBGR(0.9 V) as reference, output 0 connected to tap 7, no load	Vref_DNL_Step_Size_BGLadder	-1	-	1	LSB	
SIDPR007	INL of output 1 with VDDA as reference, output 0 connected to tap 7, no load	Vref_INL_Step_Size_VDDA_ladder	-1	-	1	LSB	
SIDPR008	INL of output 1 with VBGR(0.9 V) as reference, output 0 connected to tap 7, no load	Vref_INL_Step_Size_BGLadder	-1	-	1	LSB	
SIDPR009	Start-up time (output within +-10 mV of steady state) when both outputs from VBGR (0.9 V) reference	Tstartup_BGLadder	-	-	100	μs	
SIDPR010	Start-up time (output within +-10 mV of the steady state) when both outputs from VDDA reference	Tstartup_VDDA_ladder	-	-	150	μs	
SIDPR011	Output settling time to +-10 mV when one code changes, VBGR (0.9 V) reference	Tsettling_code_BGLadder	-	25	40	μs	
SIDPR012	Output settling time to +-10 mV when one code changes, VDDA reference	Tsettling_code_VDDA_ladder	-	45	60	μs	

8 电气规格参数

8.4 数字外设

8.4.1 定时器/计数器/脉宽调制器 (TCPWM)

表 31 定时计数器脉宽调制器 TCPWM

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
TCPWM Specifications							
SIDTCPW M3H	Block current at 100 MHz. HP mode.	ITCPWM	-	-	540	μA	All modes (Timer/Counter/PWM)
SIDTCPW M3	Operating frequency	TCPWMFREQ	-	-	100	MHz	Fc max = Fcpu. Maximum = 100 MHz
SIDTCPW M4	Input Trigger Pulse Width for all Trigger Events	TPWMENEXT	2/Fc	-	-	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected.
SIDTCPW M5	Output Trigger Pulse widths	TPWMEXT	1.5/Fc	-	-	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs
SIDTCPW M5A	Resolution of Counter	TCRES	1/Fc	-	-	ns	Minimum time between successive counts
SIDTCPW M5B	PWM Resolution	PWMRES	1/Fc	-	-	ns	Minimum pulse width of PWM Output
SIDTCPW M5C	Quadrature inputs resolution	QRES	2/Fc	-	-	ns	Minimum pulse width between Quadrature phase inputs. Delays from pins should be similar.
SIDTCPW M3H	Operating frequency. HP mode	TCPWMFREQ	-	-	100	MHz	
SIDTCPW M3L	Operating frequency. LP mode	TCPWMFREQ	-	-	40	MHz	

8 电气规格参数

8.4.2 串行通信模块 (SCB)

表 32 串行通信块 SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Fixed I2C AC Specifications							
SID153	Bit Rate	FI2C1	-	-	1	Mbps	At all core voltages
Fixed UART AC Specifications							
SID162B	Bit rate in HP mode	FUART1	-	-	16	Mbps	
SID162B	Bit rate at LP mode	FUART2	-	-	8	Mbps	
Fixed SPI AC Specifications							
SID166	SPI Operating frequency Externally Clocked Slave	FSPI	-	-	25	MHz	0.9 V
SID166B	SPI Operating frequency Master (Fscb is SPI clock)	FSPIEXT	-	-	Fscb/4	MHz	0.9 V; Fscb max is 100 MHz
SID166A	SPI Slave Internally Clocked	FSPIIC	-	-	15	MHz	0.9 V
SID166	SPI Operating frequency Externally Clocked Slave	FSPI	-	-	18	MHz	0.8 V
SID166B	SPI Operating frequency Master (Fscb is SPI clock)	FSPIEXT	-	-	18	MHz	0.8 V
SID166A	SPI Slave Internally Clocked	FSPIIC	-	-	10	MHz	0.8 V
SID166	SPI Operating frequency Externally Clocked Slave	FSPI	-	-	12	MHz	0.7 V core voltage
SID166B	SPI Operating frequency Master (Fscb is SPI clock)	FSPIEXT	-	-	12	MHz	0.7 V
SID166A	SPI Slave Internally Clocked	FSPIIC	-	-	5	MHz	0.7 V
SID166HS	SPI Operating frequency Externally Clocked Slave	FSPIHS	-	-	50	MHz	0.9 V
SID166BH S	SPI Operating frequency Master (Fscb is SPI clock)	FSPIEXTHS	-	-	Fscb/4	MHz	0.9 V; Fscb max is 200 MHz
SID166AH S	SPI Slave Internally Clocked	FSPIICHS	-	-	15	MHz	0.9 V
Fixed SPI Master mode AC Specifications							
SID167	MOSI Valid after Sclock driving edge	TDMO	-	-	12	ns	
SID167HS	MOSI Valid after Sclock driving edge	TDMOHS	-	-	5	ns	For 50 MHz operation
SID168	MISO Valid before Sclock capturing edge	TDSI	5	-	-	ns	Full clock, late MISO sampling
SID168HS	MISO Valid before Sclock capturing edge	TDSIHS	3	-	-	ns	Full clock, late MISO sampling
SID169	MOSI and MISO data hold time	THMO	2	-	-	ns	Referred to Slave capturing edge

(表格续下页.....)

8 电气规格参数

表 32 (续) 串行通信模块 SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Fixed SPI Slave mode AC Specifications							
SID170	MOSI Valid before Sclock Capturing edge	TDMI	5	-	-	ns	
SID171A	MISO Valid after Sclock driving edge in Ext. Clk. mode	TDSOEXT	-	-	20	ns	
SID171AHS	MISO Valid after Sclock driving edge in Ext. Clk. mode	TDSOEXT	-	-	7	ns	High Speed mode
SID171	MISO Valid after Sclock driving edge in Internally Clk. Mode	TDSO	-	-	TDSO_Ext + 3*Tscb	ns	Tscb is Serial Comm Block clock period.
SID171B	MISO Valid after Sclock driving edge in Internally Clk. Mode with Median filter enabled.	TDSO	-	-	TDSO_Ext + 4*Tscb	ns	Tscb is Serial Comm Block clock period.
SID172	MOSI and MISO data hold time	THSO	2	-	-	ns	
SID172A	SSEL Valid to first SCK Valid edge	TSSELSCK1	65	-	-	ns	
SID172B	SSEL Hold after Last SCK Valid edge	TSSELSCK2	65	-	-	ns	

8.5 系统资源

8.5.1 系统资源

表 32 系统资源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
欠压时的上电复位直流规范							
SID190	VBAT BOD trip voltage in Active and Sleep modes.	VFALLPPOR	2.23	-	-	V	BOD Reset guaranteed below 2.23 V
SID192A	Maximum power supply ramp rate (any supply)	VDDRAMP	-	-	100	mV/uSec	Active Mode
SID192DS	Maximum power supply ramp rate (any supply) in Deep Sleep	VDDR_DS	-	-	10	mV/uSec	Deep Sleep Mode
SID194A	VDDD 1.8V BOD trip voltage in Active and Sleep modes.	VFALL1V8	1.53	-	-	V	BOD Reset guaranteed below 1.53 V
Voltage Monitors AC specification							
SID212R	VBAT Voltage monitor range	VMON	2.75	-	3.15		
SID212E	VBAT Voltage monitor error	VMON	-	0.3	-	%V	

8 电气规格参数

8.5.2 单线调试 SWD 和跟踪接口

表 34 单线调试 SWD 和跟踪接口

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SWD and Trace Interface							
SID214	1.7 V <= VDDD <= 3.6 V	FSWDCLK2	-	-	25	MHz	
SID215	T = 1/f SWDCLK	TSWDISETUP	0.25*T	-	-	ns	
SID216	T = 1/f SWDCLK	TSWDIHOLD	0.25*T	-	-	ns	
SID217	T = 1/f SWDCLK	TSWDOVALID	-	-	0.5*T	ns	
SID217A	T = 1/f SWDCLK	TSWDOHOLD	1	-	-	ns	
SID214T	With Trace Data setup/hold times of 2/1 ns respectively	FTRCLKLP1	-	-	50	MHz	
SID215T	With Trace Data setup/hold times of 3/2 ns respectively	FTRCLKLP2	-	-	50	MHz	

8.5.3 内部振荡器 晶体振荡器 外部时钟和 PLL

表 35 内部振荡器 晶体振荡器 外部时钟和 PLL

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
IMO DC Specifications							
SID218	IMO Operating current at 4.096 MHz	IIMO1	-	5	9	μA	
IMO AC Specifications							
SID223	Frequency variation centered on 4.096 MHz	FIMOTOL1	-1	-	1	%	
SID227	Cycle-to-Cycle and Period jitter	TJITR	-	1	-	ns	
IHO DC Specifications							
SID219	IHO Operating current at 50 MHz	IIHO	-	115	-	μA	
IHO AC Specifications							
SID220	Frequency variation centered on 50 MHz	FIHOTOL1	-1	-	1	%	
PILO DC Specifications							
SID222P	PILO Operating current	IPILO	-	1.15	-	μA	
PILO AC Specifications							
SID223P	PILO Start-up time to 95% of final frequency	TSTARTPILO	-	-	150	μs	
SID224P	PILO Duty cycle	PILODUTY	45	50	55	%	
SID225P	PILO Temperature Drift	PILODRIFT	-	40	-	ppm/°C	

(表格续下页.....)

8 电气规格参数

表 35 (续) 内部振荡器 晶体振荡器 外部时钟和 PLL

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID226P	PILO Accuracy	PILOACC	-	250	-	ppm	For 2°C temperature change

WCO DC Specifications

SID318	Block operating current with 32 kHz crystal	Idd_kHz	-	0.38	1.2	μA	
SID321E	Equivalent Series Resistance	ESR32K	-	80	-	kΩ	
SID322E	Drive Level	PD32K	-	-	1	μW	

WCO AC Specifications

SID319	32 KHz trimmed frequency	F_kHz	-	32.768	-	KHz	
SID320K	Startup time	Ton_kHz	-	-	1000	ms	
SID320E	Frequency tolerance	FTOL32K	-	50	250	ppm	May be calibrated to sub-IO ppm levels

ECO DC Specifications

SID318M1	MHz oscillator current at 4 MHz	Idd4M	-	180	-	μA	Cload = 18 PF
SID318M2	MHz oscillator current at 16 MHz	Idd16M	-	360	-	μA	Cload = 18 PF
SID318M3	MHz oscillator current at 38 MHz	Idd38M	-	600	-	μA	Cload = 18 PF
SID321EM	External crystal load capacitance	Cload	-	-	18	pF	

ECO AC Specifications

SID319M	Crystal frequency range	ECOMHz	4	-	38	MHz	
---------	-------------------------	--------	---	---	----	-----	--

External Clock Specifications

SID305	External Clock input Frequency	EXTCLKFREQ	0	-	100	MHz	Min. 200 kHz for 32 kHz clock operation
SID306	Duty cycle; Measured at VDD/2	EXTCLKDUTY	45	-	55	%	

PLL Specifications**PLL_HP Specifications**

SID306HP H	Output frequency. HP mode.	PLLOUT	-	-	500	MHz	
SID306HP L	Output frequency. LP mode.	PLLOUT	-	-	350	MHz	
SID312HP	Phase Frequency Detector (PFD) input	PLLPDF	4	-	50	MHz	Output of PDIV divider
SID308HP	Period Jitter in integer operation	PLLJTR	3	-	3	%	Percentage of Fout
SID311HP	Period Jitter in fractional operation	PLLJTRF	4	-	4	%	Percentage of Fout

(表格续下页.....)

8 电气规格参数

表 35 (续) 内部振荡器 晶体振荡器 外部时钟和 PLL

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID309HP	PLL Cold Start Lock Time (After Boot)	PLLLOCKCO LD	-	-	60	μs	
SID305HP	Time to achieve PLL Lock with frequency change	PLLLOCK	-	-	20	μs	
SID310HP	Clock input	PLLCLOCKIN	4	-	400	MHz	Input of PDIV divider

PLL_LP Specifications

SID306LP H	Output frequency. HP mode.	PLL_OUT	-	-	500	MHz	
SID306LP L	Output frequency. LP mode.	PLL_OUT	-	-	350	MHz	
SID311LP	Phase Frequency Detector (PFD) input	PLL_PFD	4	-	8	MHz	Output of PDIV and QDIV dividers
SID308LP	Period Jitter in integer operation	PLL_JTR	2	-	2	%	Percentage of Fout
SID309LP	PLL Cold Start Lock Time (After Boot)	PLL_LOCKCO LD	-	-	60	μs	
SID305LP	Time to achieve PLL Lock with frequency change	PLL_LOCK	-	-	20	μs	
SID310LP	Clock input	PLL_CLOCKIN	4	-	128	MHz	Input of PDIV divider

Clock Source Switching Time

SID262	Clock switching from clk1 to clk2 in clock periods	TCLKSWITCH	-	-	4 clk1 + 3 clk2	period s	
--------	--	------------	---	---	--------------------	-------------	--

8.6 PLLs

表 36 PLLs

Spec ID	Parameter	Symbol	Min	Max		Unit
				HP	LP	

PLL Specifications

SID306P1	Output frequency from PLL Block for Low Power PLL	PLL_OUT	-	500	350	MHz
SID306P2	Output frequency from PLL Block for High Performance PLL	PLL_OUT	-	500	350	MHz

8 电气规格参数

8.7 串行存储器接口 SMIF 控制器

表 37 串行存储器接口 SMIF 控制器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SMIF QSPI specifications.All specs with 15-pF load.Switching levels are 50% clock to 30%/70% data levels. 100 ps PCB flight/skew times.							
SIDQ390Q	SMIF xSPI output clock frequency	Fsmifclock	-	-	200	MHz	
SIDQ391	SMIF HYPERBUS™ output clock frequency	Fsmifclockh	-	-	166	MHz	
HYPERBUS™/xSPI SDR and DDR							
SIDQ393	Interface frequency	f _{CK}	-	-	200	MHz	
SIDQ394	Allowable clock distortion	t _{CKDCD}	-	-	0.25	ns	
SIDQ395	Minimum clock pulse width	t _{CKMPW}	2.25	-	-	ns	
SIDQ396	Output setup time of DS and IO[7:0] to CK	t _{OUTSETUP}	1.045	-	-	ns	
SIDQ397	Output hold time of DS and IO[7:0] to CK	t _{OUTHOLD}	0.89	-	-	ns	
SIDQ398	Input min pulse width of DS	t _{INDSMPW}	2.05	-	-	ns	
SIDQ399	Input DS to IO[7:0] valid time	t _{INRQ}	-	-	0.4	ns	
SIDQ400	Input IO[7:0] invalid to DS time	t _{INRQH}	-	-	0.4	ns	
SIDQ401	Input data valid time of IO[7:0]	t _{INDV}	1.15	-	-	ns	
SIDQ402	CK low to CS low	t _{CCKLCSL}	4	-	-	ns	
SIDQ403	CS low to CK high	t _{CCKSLCKH}	4	-	-	ns	
SIDQ404	CK low to CS high	t _{CCKLCSH}	4	-	-	ns	
SIDQ405	CS high to CK high	t _{CCKSHCKH}	4	-	-	ns	
SIDQ406	DS low to CS high	t _{CCKSLCSH}	4	-	-	ns	
SIDQ407	CS high to DS tristate	t _{CCKSHDST}	-	-	5	ns	
SIDQ408	CS low to DS low	t _{CCKSLDSL}	0	-	-	ns	
SIDQ409	DS tristate to CS low	t _{CCKSDTCSL}	0	-	-	ns	
Standard QSPI SDR							
SIDQ411	Interface frequency	f _{CK}	-	-	166	MHz	
SIDQ412	Clock pulse width	t _{CKPW}	-	-	-	ns	
SIDQ413	CS# active setup to CK	t _{CSS}	4	-	-	ns	
SIDQ414	CS# active hold to CK	t _{CSH0}	4	-	-	ns	
SIDQ415	CS# High time (Read)	t _{CS}	10	-	-	ns	
SIDQ416	CS# High time (Read when Reset feature and Quad mode are both enabled and aborted transaction)	t _{CS}	20	-	-	ns	

(表格续下页.....)

8 电气规格参数

表 37 (续) 串行存储器接口 SMIF 控制器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDQ417	CS# High time (Program/Erase)	t_{CS}	50	-	-	ns	
SIDQ418	Output setup time of DQ[7:0] to CK high	t_{OUT_SETUP}	2.1	-	-	ns	
SIDQ419	Output hold time of DQ[7:0] to CK high	t_{OUT_HOLD}	2.1	-	-	ns	
SIDQ420	CK low to DQ[7:0] input valid time	t_{INV}	-	-	6.7	ns	
SIDQ421	CK low to DQ[7:0] input hold time	t_{INHO}	1.5	-	-	ns	
SIDQ422	Input data valid time of DQ[7:0]	t_{INDV}	3.8	-	-	ns	
Standard QSPI DDR							
SIDQ424	Interface frequency	f_{CK}	-	-	100	MHz	
SIDQ425	Clock pulse width	t_{CKPW}	-	-	-	ns	
SIDQ426	CS# active setup to CK	t_{CSS}	4	-	-	ns	
SIDQ427	CS# active hold to CK (mode 0)	t_{CSH0}	4	-	-	ns	
SIDQ428	CS# High time (Read)	t_{CS}	10	-	-	ns	
SIDQ429	CS# High time (Read when Reset feature and Quad mode are both enabled and aborted transaction)	t_{CS}	20	-	-	ns	
SIDQ430	CS# High time (Program/Erase)	t_{CS}	50	-	-	ns	
SIDQ431	Output setup time of DQ[7:0] to CK edge	$t_{OUTSETUP}$	2.1	-	-	ns	
SIDQ432	Output hold time of DQ[7:0] to CK edge	$t_{OUTHOLD}$	1.3	-	-	ns	
SIDQ433	CK edge to DQ[7:0] input valid time	t_{INV}	-	-	6.7	ns	
SIDQ434	CK edge to DQ[7:0] input hold time	t_{INHO}	1.5	-	-	ns	
SIDQ435	Input data valid time of DQ[7:0]	t_{INDV}	2.9	-	-	ns	200 and 166 MHz specs

8 电气规格参数

8.8 SDHC 和 eMMC

表 38 SDHC 和 eMMC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SDHC and eMMC Specifications (Block Clock must be divided by ≥ 2 when used as source in DDR modes). AC Specs from 50% clock to 30%/70% data level.							
SIDSD390	IO drive select	SDDS	8	-	8	mA	drive_sel = '00' for all modes
SIDSD391	Input transition time	SDTR	0.7	-	3	ns	
SD:DS timing							
SIDSD392	Interface clock period	SDCLK	-	-	25	MHz	
SIDSD394	Frequency tolerance	SDDCMDCL	30	-	30	pF	
SIDSD395	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD396	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	5.1	-	-	ns	
SIDSD397	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	5.1	-	-	ns	
SIDSD398	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	24	-	-	ns	
SIDSD400	Input: Hold time of CMD/DAT after CLK	SDHLDIN	0	-	-	ns	
SD:HS timing							
SIDSD401	Interface clock period	SDCLK	-	-	50	MHz	At 0.8 V and up
SIDSD403	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD404	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD405	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	6.1	-	-	ns	
SIDSD406	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	2.1	-	-	ns	
SIDSD407	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	5.8	-	-	ns	
SIDSD409	Input: Hold time of CMD/DAT after CLK	SDHLDIN	2.5	-	-	ns	
SD:SDR-12 timing							
SIDSD410	Interface clock period	SDCLK	-	-	25	MHz	
SIDSD412	Dutycycle of output CLK	SDCLKDC	30	-	70	%	
SIDSD413	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD414	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD415	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD416	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	0.9	-	-	ns	

(表格续下页.....)

8 电气规格参数

表 38 (续) SDHC 和 eMMC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDSD417	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	24	-	-	ns	
SIDSD419	Input: Hold time of CMD/DAT after CLK	SDHLDIN	1.5	-	-	ns	

SD:SDR-25 timing

SIDSD420	Interface clock period	SDCLK	-	-	50	MHz	At 0.8 V and up
SIDSD422	Dutycycle of output CLK	SDCLKDC	30	-	70	%	
SIDSD423	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD424	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD425	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD426	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	0.9	-	-	ns	
SIDSD427	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	5.8	-	-	ns	
SIDSD429	Input: Hold time of CMD/DAT after CLK	SDHLDIN	1.5	-	-	ns	

SD:SDR-50 timing

SIDSD430	Interface clock period	SDCLK	-	-	100	MHz	At 0.9 V
SIDSD432	Dutycycle of output CLK	SDCLKDC	30	-	70	%	
SIDSD433	IO loading at DATA/CMD pins	SDDCMDCL	20	-	20	pF	
SIDSD434	IO loading at CLK pins	SDCLKCL	20	-	20	pF	
SIDSD435	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD436	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	0.9	-	-	ns	
SIDSD437	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	4.8	-	-	ns	
SIDSD439	Input: Hold time of CMD/DAT after CLK	SDHLDIN	1.5	-	-	ns	

SD:DDR-50 timing

SIDSD440	Interface clock period	SDCLK	-	-	50	MHz	At 0.8 V and up
SIDSD442	Dutycycle of output CLK	SDCLKDC	45	-	55	%	
SIDSD443	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD444	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD445	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD446	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	0.9	-	-	ns	

(表格续下页.....)

8 电气规格参数

表 38 (续) SDHC 和 eMMC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDSD447	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	5.3	-	-	ns	
SIDSD449	Input: Hold time of CMD/DAT after CLK	SDHLDIN	1.5	-	-	ns	
eMMC:BWC timing							
SIDSD450	Interface clock period	SDCLK	-	-	26	MHz	At 0.8 V and up
SIDSD452	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD453	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD454	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD455	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	3.1	-	-	ns	
SIDSD456	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	9.7	-	-	ns	
SIDSD458	Input: Hold time of CMD/DAT after CLK	SDHLDIN	8.3	-	-	ns	
eMMC:SDR timing							
SIDSD459	Interface clock period	SDCLK	-	-	52	MHz	0.9 V
SIDSD461	IO loading at DATA/CMD pins	SDDCMDCL	30	-	30	pF	
SIDSD462	IO loading at CLK pins	SDCLKCL	30	-	30	pF	
SIDSD463	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	3.1	-	-	ns	
SIDSD464	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	3.1	-	-	ns	
SIDSD465	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	5.3	-	-	ns	
SIDSD467	Input: Hold time of CMD/DAT after CLK	SDHLDIN	2.5	-	-	ns	
eMMC:DDR timing							
SIDSD468	Interface clock period	SDCLK	-	-	52	MHz	0.9 V
SIDSD470	Dutycycle requirement at output CLK	SDCLKDC	45	-	55	%	
SIDSD471	IO loading at DATA/CMD pins	SDDCMDCL	20	-	20	pF	
SIDSD472	IO loading at CLK pins	SDCLKCL	20	-	20	pF	
SIDSD473	Output: Setup time of CMD/DAT prior to CLK	SDTSOUT	2.6	-	-	ns	
SIDSD474	Output: Hold time of CMD/DAT after CLK	SDHLDOUT	2.6	-	-	ns	

(表格续下页.....)

8 电气规格参数

表 38 (续) SDHC 和 eMMC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDSD475	Input: Setup time of CMD/DAT prior to CLK	SDTSIN	10	-	-	ns	
SIDSD477	Input: Hold time of CMD/DAT after CLK	SDHLDIN	1.5	-	-	ns	

8.9 音频分系统

表 39 音频分系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

PDM Specifications

SID400P	PDM Active current, Stereo operation, 1 MHz clock	PDMIDD1	-	175	-	μA	16 bit audio at 16 KSPS
SID401	PDM Active current, Stereo operation, 3 MHz clock	PDMIDD2	-	600	-	μA	24 bit audio at 48 KSPS
SID402	RMS Jitter in PDM clock	PDMJITTER	-200	-	200	ps	
SID403	PDM Clock speed	PDMCLK	0.384	-	3.072	MHz	
SID403A	PDM Block input clock	PDMCLK	1.024	-	49.152	MHz	
SID403B	Data input set-up time to PDM_CLK edge	PDMSETUP	10	-	-	ns	
SID403C	Data input hold time after PDM_CLK edge	PDMHOLD	10	-	-	ns	
SID404	Audio sample rate	PDMOUT	8	-	48	ksps	
SID405	Word Length	PDMWL	16	-	24	bits	
SID406	Signal-to-Noise Ratio (A-weighted 0	PDMSNR	-	100	-	dB	PDM input, 20 Hz to 20 kHz BW
SID407	Dynamic Range (A-weighted)	PDMDR	-	100	-	dB	20 Hz to 20 kHz BW, -60 dB FS
SID408	Frequency Response	PDMFR	-0.2	-	0.2	dB	DC to 0.45f. DC Blocking filter off.
SID409	Stop Band	PDMSB	-	0.566*f	-	kHz	f is the sampling frequency
SID410	Stop Band Attenuation	PDMSBA	-	60	-	dB	> 30 dB for 8 KSPS
SID411	AdjusTable Gain	PDMGAIN	-12	-	10.5	dB	PDM to PCM, 1.5 dB/step
SID412	Startup time	PDMST	-	48	-		WS (Word Select) cycles

I2S Specifications

SID413	Length of I2S Word	I2SWORD	8	-	32	bits	
--------	--------------------	---------	---	---	----	------	--

(表格续下页.....)

8 电气规格参数

表 39 (续) 音频分系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID414	Word Clock frequency	I2SWS	-	-	192	kHz	12.288 MHz bit clock with 32-bit word
SID414A	Word Clock frequency in TDM mode	I2SWSTD	-	-	48	kHz	8 32-bit channels

I2S Slave Mode

SID430	WS Setup Time to the Following Rising Edge of SCK	TSWS	5	-	-	ns	
SID430A	WS Hold Time to the Following Edge of SCK	THWS	TMCLK_SOC+5	-	-	ns	
SID432	Delay Time of TX_SDO Transition from Edge of TX_SCK	TDSDO	- (TMCLK_SOC+2 5)	-	TMCLK_SOC+25	ns	Associated clock edge depends on selected polarity
SID433	RX_SDI Setup Time to the Following Edge of RX_SCK in	TSSDI	5	-	-	ns	
SID434	RX_SDI Hold Time after the Rising Edge of RX_SCK	THSDI	TMCLK_SOC+5	-	-	ns	
SID435	TX/RX_SCK Bit Clock Duty Cycle	TSCKCY	45	-	55	%	

I2S Master Mode

SID437	WS Transition Delay from Associated Edge of SCK	TDWS	10	-	20	ns	
SID438	SDO Transition Delay from Associated Edge of SCK	TDSDO	10	-	20	ns	
SID439	SDI Setup Time to the Associated Edge of SCK	TSSDI	5	-	-	ns	Associated clock edge depends on selected polarity
SID440	SDI Hold Time after the Associated Edge of SCK	THSDI	TMCLK_SOC+5	-	-	ns	T is TX/RX_SCK Bit Clock period. Associated clock edge depends on selected polarity.
SID443	SCK Bit Clock Duty Cycle	TSCKCY	45	-	55	%	
SID445	MCLK_SOC Frequency	FMCLKSOC	1.024	-	98.304	MHz	FMCLK_SOC = 8*Bit-clock
SID446	MCLK_SOC Duty Cycle	TMCLKCY	45	-	55	%	
SID447	MCLK_SOC Input Jitter	TJITTER	-100	-	100	ps	

8 电气规格参数

8.10 Ethernet MAC

表 40 以太网 MAC

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID500E	MAC Frequency Range	Tfreq	10	-	100	Mbits/sec	

8.11 CAN FD

表 41 CAN FD

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID391C	CAN Bit rate (Min 8 MHz clock)	CANrate	-	-	5	Mbit	CAN FD compliant

8.12 JTAG 和边界扫描

表 42 JTAG 和边界扫描

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID468	TCK low	TCKLOW	52	-	-	ns	
SID469	TCK high	TCKHIGH	10	-	-	ns	
SID470	TCK falling edge to output valid	TCKTDO	-	-	40	ns	
SID471	Input valid to TCK rising edge	TSUTCK	12	-	-	ns	
SID472	Input hold time after TCK rising edge	TCKTHD	10	-	-	ns	
SID473	TCK falling edge to output valid	TCKTDOV	-	-	40	ns	
SID474	TCK falling edge to output High- Z	TCKTDOZ	-	-	40	ns	

8.13 USB HS

表 43 USB HS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID600	HS Data Rate	USBHS	-	-	480	Mbits/sec	

8 电气规格参数

8.14 MIPI DSI PHY

表 44 MIPI DSI PHY

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID700	D-PHY data rate per lane	MIPIFS	500	-	1500	Mbits/sec	

8.15 MIPI DBI

表 45 MIPI DBI

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID710	GPIO frequency for DBI Type C interface	DBICFreq	-	-	50	MHz	
SID711	GPIO frequency for DBI Type A and B interfaces	DBIABFreq	-	-	50	MHz	

8.16 I3C

表 46 I3C

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID800	HDR-DDR data rate	I3CF1	-	-	25	Mbps	At 0.9 V (HP)
SID801	HDR-DDR data rate	I3CF2	-	-	12	Mbps	At 0.8 V (LP)

8.17 NNLite

表 47 NNLite

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDN1H	NNLite operating frequency in system HP mode	FNNLITE	0	-	200	MHz	
SIDN1L	NNLite operating frequency in system LP mode	FNNLITE	0	-	80	MHz	

8.18 Smart IO

表 48 SmartIO

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDSM1	Smart IO operating frequency	FSMART	0	-	100	MHz	



8.19 GPU

表 49 GPU

Spec ID	Description	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDGX1H	GPU frequency in system HP mode	FGPU	0	-	64	MHz	



9 订购信息

PSOC™ Edge E8x2, E8x3, E8x5, E8x6 Industrial 部件编号和功能见表 50。该产品系列提供双 CPU（Arm® CM33 和 Arm® CM55 配备 Ethos-U55）、512 KB RRAM、5.5 KB OTP、1 MB SRAM、HPDMA 4 通道、2x DMA 16 通道、HMI（可选 GFX、音频）、USB-HS、2x TDM/I2S、32x TCPWM、1x 12 位 SAR ADC、加密、2x SD/eMMC 和 2x SMIF 32 KB 缓存、4x 运算放大器、2x LPComp、2x 12 位 DAC、12x SCB、CAN FD、以太网、I3C 和 6x PDM 块，采用 BGA-220 封装。

表 50 PSOC™ Edge E8x2, E8x3, E8x5, E8x6 Industrial 订购信息

Product	Package	System SRAM (KB)	U55	GFX	Security	IO_Count	Silicon ID
PSOC™ Edge E84							
PSE846GPS4DBZQ3	BGA-220	5120	Y	Y	EPC4	147	0xED92
PSE846GPS2DBZQ3	BGA-220	5120	Y	Y	EPC2	147	0xED95
PSE846GOS4DBZQ3	BGA-220	4096	Y	Y	EPC4	147	0xED98
PSE846GOS2DBZQ3	BGA-220	4096	Y	Y	EPC2	147	0xED9B
PSOC™ Edge E83							
PSE833GOS4DBZQ3	BGA-220	4096	Y	N	EPC4	147	0xEDA8
PSE833GOS2DBZQ3	BGA-220	4096	Y	N	EPC2	147	0xEDA9
PSE833GMS4DBZQ3	BGA-220	2048	Y	N	EPC4	147	0xEDAA
PSE833GMS2DBZQ3	BGA-220	2048	Y	N	EPC2	147	0xEDAB
PSOC™ Edge E82							
PSE823GOS4DBZQ3	BGA-220	4096	N	Y	EPC4	147	0xEDB4
PSE823GOS2DBZQ3	BGA-220	4096	N	Y	EPC2	147	0xEDB5
PSE823GMS4DBZQ3	BGA-220	2048	N	Y	EPC4	147	0xEDB6
PSE823GMS2DBZQ3	BGA-220	2048	N	Y	EPC2	147	0xEDB7
PSOC™ Edge E81							
PSE813GOS4DBZQ3	BGA-220	4096	N	N	EPC4	147	0xF180
PSE813GOS2DBZQ3	BGA-220	4096	N	N	EPC2	147	0xF181
PSE813GMS4DBZQ3	BGA-220	2048	N	N	EPC4	147	0xF182
PSE813GMS2DBZQ3	BGA-220	2048	N	N	EPC2	147	0xF183

9.1 料号命名法

PS E 8 X X MS SX W C PK T X ES R S

表 51 产品命名法

Field	Description	Value	Meaning
PS	Brand	PS	PSOC™
E	Family	E	PSOC™ Edge
8	Series	8	E8 series

(表格续下页.....)

表 51 (续) 产品命名法

Field	Description	Value	Meaning
X	Line	1	Base
		2	Graphics
		3	AI/ML
		4	Graphics + AI/ML
X	Features (sub-families)	7-9	Performance
		4-6	Main
		1-3	Entry
MS	Memory size (NVM, SRAM)	A/B/C/D/E/F/G/H K/L/M/N/O/P/Q/ R S/T/U/V/W/X/Y	2 letters for memories, 1st for total NVM (RRAM + Flash) and 2nd for total RAM (System SRAM + SRAM + TCM) A/B/C/D/E/F/G/H - 8/16/32/64/128/256/512/768 KB K/L/M/N/O/P/Q/R - 1/2/3/4/5/6/7/8 MB S/T/U/V/W/X/Y - 16/24/32/64/128/256/512 MB (for example, P to cover 6.x MB, S to cover 16-23.x MB)
SX	Security features (optional)	Blank	Non security
		S1	EPC 1 security
		S2	EPC 2 security
		S4	EPC 4 security
W	Wireless (optional)	Blank	Non wireless
		B	Bluetooth® LE
		W	WiFi + Bluetooth® LE
C	CPU core (optional)	Blank	Single core
		D	Dual core
		T	Triple core
		Q	Quad core
PK	Package	BZ	BGA-220
		FM	eWLB-235
		FN	WLB-154
T	Temperature range	C	-20°C to +70°C
		I	-40°C to +85°C
		Q	-40°C to +105°C
		M	-55°C to +125°C
X	Max frequency	0	0~99 MHz
		1	100~199 MHz
		2	200~299 MHz

(表格续下页.....)



表 51 (续) 产品命名法

Field	Description	Value	Meaning
		3	300~399 MHz
		4	400~499 MHz
ES	Engineering sample (optional)	Blank	Production sample
		ES	Engineering sample
S	Tape/Reel Shipment (optional)	Blank	Tray
		T	Tape & Reel shipment



10 封装信息

该产品系列采用 BGA-220 封装。引脚分布详情请参见 表 9。

表 52 包装尺寸

Spec ID#	Package	Description	Package Dwg #
PKG_1	BGA-220	BGA-220, 10 mm x 10 mm x 1.2 mm height with 0.65-mm pitch	002-34686 Rev. *B

表 53 封装特性

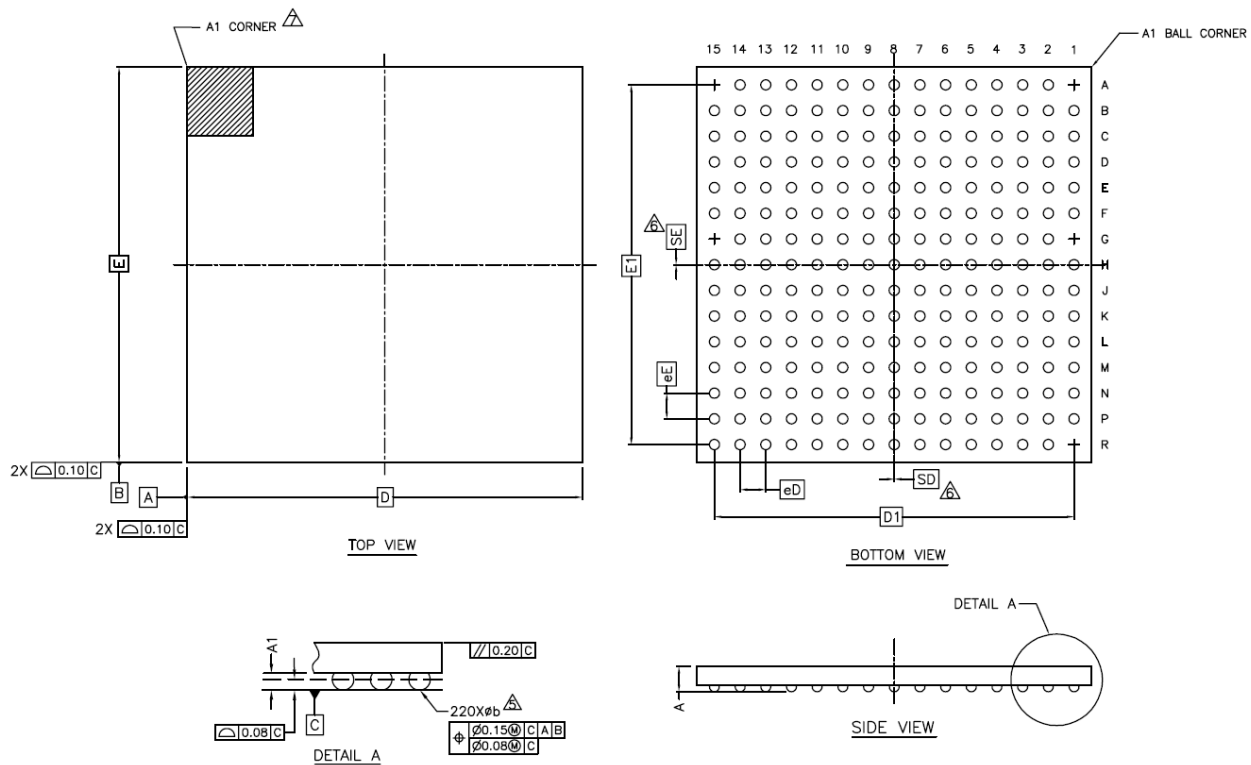
Parameter	Description	Conditions	Min	Typ	Max	Units
T _A	Operating ambient temperature (BGA-220)	-	-40	25	105	°C
T _J	Operating junction temperature, all packages	-	-40	-	125	°C
T _{JA}	Package θ_{JA} (BGA-220)	-	-	41	-	°C/watt
T _{JC}	Package θ_{JC} (BGA-220)	-	-	13	-	°C/watt

表 54 回流焊峰值温度

Package	Maximum peak temperature	Maximum time at peak temperature
All packages	260°C	30 seconds

表 55 封装潮敏等级 (MSL)，IPC/JEDEC J-STD-2

Package	MSL
BGA-220	MSL3



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.15	-	-
D	10.00 BSC		
E	10.00 BSC		
D1	9.10 BSC		
E1	9.10 BSC		
MD	15		
ME	15		
N	220		
Øb	0.21	0.26	0.31
eD	0.65 BSC		
eE	0.65 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX
SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A
PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND
DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW,
"SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW,
"SD" = $eD/2$ AND "SE" = $eE/2$.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK,
METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
9. JEDEC SPECIFICATION NO. REF. : N/A.

002-34686 Rev. *B

图 14 **BGA-220, 10 x 10 x 1.2**



11 勘误表

本节介绍 PSOC™ Edge E8 产品线的勘误。详情包括勘误触发条件、影响范围、可用的解决方法和硅修订的适用性。有关详细信息，请联系 [英飞凌支持部门](#)。

受影响的器件编号

表 56 受影响的部件号

Part number	Device characteristics
All	PSOC™ Edge E8 product line

PSOC™ Edge E8 资格状态

硅加工

PSOC™ Edge E8 勘误摘要

本表定义了适用于现有产品线设备的勘误。

注释：下表中的勘误表项目均有超链接。点击任何项目条目即可跳转到其描述。

Items	PSOC™ Edge E8	Silicon revision	Fix status
[1]. Autonomous analog wake up timer glitch	All	1 (B0)	Fix planned for B1 silicon revision
[2]. 3.3 V GPIO high leakage	All	1 (B0)	Fix planned for B1 silicon revision

1. Autonomous analog wake up timer glitch

Problem definition	The 16-bit wake up timer of autonomous analog may produce terminal count (TC) events inconsistent with the count value written to the timer. This TC event is responsible for triggering the TIMER_DONE_WAKE condition used by the autonomous analog's state transition table for timing purposes. This condition is used for triggering and power-cycling the ADC and the other analog blocks at periodic intervals.
Parameters affected	Inconsistent or missing terminal count from the wake up timer.
Trigger condition(s)	Whenever the wake up timer is used (TIMER_DONE_WAKE condition in the state transition table).
Scope of impact	Lack of timed power-cycling of the ADC and the analog blocks. This results in higher power consumption because duty cycling is not possible with the internal timer.
Workaround	Do not use the autonomous analog's wake up timer and the TIMER_DONE_WAKE condition: - Use the continuous mode of the ADC and adjust the sample time and the number of samples accumulated to set a sample rate - Use external means, such as the CPU to trigger the state transition table if external timing events are required These workarounds will still be completely functional in B1 silicon revision.
Fix status	Will be fixed in B1 silicon revision.



2. 3.3 V GPIO high leakage	
Problem definition	3.3 V capable GPIOs (ports P16 and P17) on some devices show higher leakage than expected in their 3.3 V range of operation.
Parameters affected	No specific parameters beyond leakage are affected. 3.3 V capable ports are still fully functional and can be used normally at their 3.3 V range for evaluation and development and prototype builds. Note the same Ports can be used in 1.8 V mode powered by a 1.8 V supply with full 1.8 V spec compliance.
Trigger condition(s)	Use of 3.3 V range of 3.3 V capable GPIOs
Scope of impact	Inability to use 3.3 V range of 3.3 V capable GPIOs in production on B0 silicon with leakage spec compliance
Workaround	Use 3.3 V GPIOs for evaluation and development and prototype builds
Fix status	Will be fixed in B1 silicon

12 缩略语

表57 本文档中使用的缩略语

Acronym	Description
AAD	acoustic activity detection
ADC	analog-to-digital converter
AES	advanced encryption standard
AVB	audio video bridging
AXI	advanced extensible interface
BLE	Bluetooth® low energy
BOD	brown-out detect
BT	Bluetooth®
CAN	controller area network
CANFD	controller area network flexible data-rate
CMOS	complementary metal oxide semiconductor
CPU	central processing unit
CRC	cyclic redundancy checker
CRYPTO	cryptographic accelerator
DAC	digital to analog converter
DBI	display bus interface
D-Cache	data cache
DES	data encryption standard
DICE	device identifier composition engine
DMA	direct memory access
DPLL	digital phase locked loop
DSI	digital Serial Interface (Usually in relation to MIPI DSI)
DSP	digital signal processor
D-TCM	data tightly coupled memory
ECC	error correcting code
ECC	elliptic curve cryptography
ECO	external crystal oscillators
EEPROM	electrically erasable programmable read-only memory
eMMC	embedded multimedia card
EPC	edge protect category
ETM	embedded trace macrocell
FIFO	first in, first out

(表格续下页.....)

12 缩略语

表 57 (续) 本文档中使用的缩略语

Acronym	Description
FPU	floating point unit
GPIO	general purpose input/output
GPU	graphics processing unit
HDR	high data rate
HFCLK DIV	high frequency clock divider
HMI	human-machine interface
HP	high performance
HPDMA	high performance direct memory access
HS USB	Hi-Speed universal serial bus
HSIOM	high-speed I/O matrix
HUK	hardware unique key
I2C	inter-integrated circuit
I2S	inter IC sound bus
I3C	improved inter integrated circuit
I-cache	instruction-cache
IDAU	implementation defined attribution unit
IHO	internal high-speed oscillator
IMO	internal main oscillator
IO	input output
IPC	inter-processor communication
IRQ	interrupt request
ISR	interrupt service routine
I-TCM	instruction tightly coupled memory
JTAG	joint test action group
LDO	low dropout
LP	low power
LPComp	low-power comparator
LUT	lookup table
LVD	low-voltage detection
LVTTL	low-voltage transistor-transistor logic
MAC	media access control
MEMS	micro electro mechanical systems
MIPI	mobile industry preprocessor interface

(表格续下页.....)

12 缩略语

表 57 (续) 本文档中使用的缩略语

Acronym	Description
ML	machine learning
MMIO	memory mapped I/O
MPC	memory protection controller
MPU	memory protection unit
MTB	micro trace buffer
MVE	m-profile vector extension
NNLite	neural network lite
NVIC	nested vectored interrupt controller
NVM	non volatile memory
OTF	on-the-fly
OTP	one-time programmable
OVD	over voltage detection
OVT	over voltage tolerant
PAL	programmable array logic
PC	protection context
PCM	pulse code modulation
PDL	peripheral driver library
PDM	pulse density modulation
PGA	programmable gain amplifier
PHY	physical layer
PILO	precision Internal Low-speed Oscillator
PLD	programmable logic device
PLL	phase-locked loops
PMU	power management unit
POR	power-on reset
PPC	peripheral protection controller
PRNG	pseudo random number generator
PSA	platform security architecture
PTCOMP	programmable threshold comparator
QoS	quality of service
ROM	read-only memory
RoT	root of trust
RRAM	resistive random access memory

(表格续下页.....)

12 缩略语

表 57 (续) 本文档中使用的缩略语

Acronym	Description
RSA	rivest-shamir-adleman, a public-key cryptography algorithm
RTC	real-time clock
RTOS	real time operating system
SAR	successive approximation register
SAU	secure attribution unit
SCA	side channel attack
SCB	serial communication blocks
SD	secure digital
SDHC	secure digital host controller
SDIO	secure digital input output
SDK	software development kit
SDR	single data rate
SHA	secure hash algorithm
SISO	single in single out
SMIF	serial memory interface
SNR	signal-to-noise ratio
SoCMEM	system on chip memory, also called system SRAM
SOD	speech onset detection
SPI	serial peripheral interface
SRAM	static random access memory
SRES	software reset
SRSS	system resources subsystem
TCPWM	timer/counter pulse-width modulator
TDM	time division multiplexing
TIA	transimpedance amplifier
TPIU	trace port interface unit
TRNG	true random number generator
UART	universal asynchronous transmitter receiver
UDS	unique device secret
ULP	ultra low power
USB	universal serial bus
VLAN	virtual local area network
WCO	watch crystal oscillator

(表格续下页.....)



表 57 (续) 本文档中使用的缩略语

Acronym	Description
WDT	watch dog timer
WFE	wait for event
WIC	wakeup interrupt controller
Wifi	wireless fidelity
XIP	execute-in-place
XRES	external reset

13 文档惯例

13.1 测量单位

Symbol	Units of measure
°C	Degree Celsius
KB	1024 bytes
kHz	Kilohertz
Mbps	Megabits per second
Msps	Megasamples per second
MHz	Megahertz
ns	Nanosecond
%	Percent
V	Volt
mV	Millivolt
Ω	Ohm
kΩ	Kiloohm
MΩ	Megaohm
μF	Microfarad
μH	Microhenry
μs	Microseconds
ms	Millisecond
ps	Picosecond
MB	Megabyte
ksps	Kilosamples per second
pF	Picofarad
F	Farad
μA	Microampere
mA	Milliampere
nA	Nanoampere
μW	Microwatt
dB	Decibel
FSR	Full scale range
ppm	Parts per million



修订记录

修订记录

Document revision	Date	Description of changes
*L	2025-09-18	Release to web

商标

Bluetooth® 文字标记和徽标是 Bluetooth SIG, Inc 拥有的注册商标，英飞凌对该商标的使用均基于授权许可。

PSOC™（原名PSOC™）是英飞凌科技的商标。本文档或其他文件中提及的PSOC™均应视为指代PSOC™。



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-10-28

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。