

Arm® Cortex®-M33 32 位 MCU+FPU+DSP, 100 MHz, 高达 256 KB 闪存/64 KB SRAM, 实时控制功能特性

- 高性能、低功耗 32 位单核 Arm® Cortex® M33 微控制器, 具有数字信号处理器 (DSP)、浮点运算单元 (FPU) 和最先进的安全功能
- 高性能可编程模拟子系统 (HPPASS):
 - 12 位、6-Msps SAR ADC, 最多可对 16 个模拟通道进行并行空闲采样
 - 五个比较器, <10 ns, 内置 10 位 DAC 和斜率发生器
- 实时控制外设
 - 坐标旋转数字计算器 (CORDIC)
 - 16 x 16 位和 4 x 32 位定时器/计数器脉宽调制器 (TCPWM)
- 通过组合触发器复用单元提高路由灵活性
- 通信接口: 多达 6 个 SCB 和 2 个 CAN FD (其中一个支持 8 Mbps)
- 256 KB 读写同时闪存, 支持 ECC
- 低至 300 nA 的低功耗运行模式: 睡眠、深度睡眠 (三种模式) 和休眠
- 最多 39 个 GPIO, 具有可编程驱动模式、强度和压摆率; 最多 22 个引脚支持 Smart I/O 可编程逻辑, 最多 16 个专用模拟引脚
- 信息安全: PSA L2 认证; 可配置闪存分区和保护
- 功能安全: 提供 Class B 和 SIL 2 合规安全测试库
- 电源范围: 1.71 V 至 3.6 V
- 环境温度范围: -40°C 至 115°C Ta
- 封装: VQFN-48、E-LQFP-48、VQFN-64、E-LQFP-64

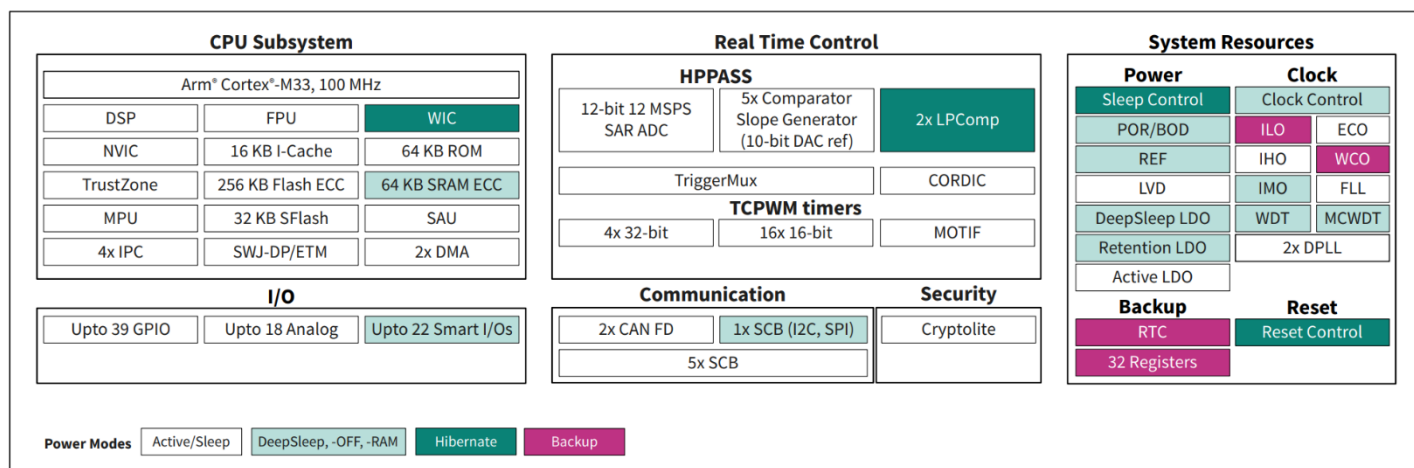


潜在应用

- 电动工具、家用电器、工业驱动、轻型电动汽车、机器人和无人机中的电机控制
- 开关模式电源 (SMPS) 和 PFC 应用中的数字电源控制, 适用于 LED 照明、电动汽车充电器、太阳能逆变器、服务器和 PC 电源
- 基于宽禁带技术 (如碳化硅和氮化镓) 的电机控制和功率转换应用

描述

英飞凌 PSC3P2xD 和 PSC3M3xD 设备基于 Arm® Cortex®-M33, 运行频率高达 100 MHz, 具有 DSP 和 FPU 功能。除 CPU 子系统外, 这些器件还包含先进的实时控制外设, 如高性能可编程模拟子系统、比较器、具有高分辨率功能的高级定时器、多达六个 SCB 和两个 CAN FD 用于通信。这些器件支持一种 Active 模式和五种低功耗模式, 可根据应用要求管理和降低功耗。



本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

目录

	特性	1
	潜在应用	1
	描述	1
	目录	2
1	简介.....	5
2	详细特性	7
3	芯片级功能描述	10
3.1	电源.....	10
3.1.1	电源连接.....	10
3.1.2	电源域.....	12
3.1.3	功耗模式.....	12
3.1.4	功耗模式转换	13
3.1.5	电源块支持.....	13
3.2	安全.....	14
3.2.1	安全功能.....	15
3.2.2	安全架构概述.....	15
4	区块功能说明.....	16
4.1	CPU.....	16
4.2	DMA	16
4.3	加密支持 (CryptoLite)	16
4.4	存储器.....	16
4.4.1	Flash.....	16
4.4.2	SFlash.....	17
4.4.3	ROM.....	17
4.4.4	RAM	17
4.5	eFuse.....	17
4.6	时钟系统.....	17
4.6.1	内部主振荡器(IMO).....	18
4.6.2	内部高频振荡器 (IHO)	18
4.6.3	内部低频振荡器 (ILO).....	18
4.6.4	外部晶体振荡器 (ECO)	18
4.6.5	时钟晶体振荡器 (WCO)	18
4.6.6	看门狗计时器 (WDT)	18
4.6.7	实时时钟 (RTC).....	18
4.7	复位.....	19
4.8	高性能可编程模拟子系统 (HPPASS)	19
4.8.1	12 位 SAR 模数转换器 (ADC).....	19

4.8.2	比较器和斜率发生器 (CSG).....	19
4.8.3	温度传感器.....	20
4.9	低功耗比较器 (LPComp)	20
4.10	固定功能数字.....	20
4.10.1	定时器/计数器脉宽调制器 (TCPWM).....	20
4.10.2	串行通信块 (SCB).....	20
4.10.2.1	集成电路 (I2C)	20
4.10.2.2	通用异步发送器接收器 (UART)	21
4.10.2.3	串行外设接口 (SPI).....	21
4.10.3	控制器区域网络灵活的数据速率(CAN FD).....	21
4.11	触发器多路复用器 (触发器 MUX)	21
4.12	坐标旋转数字计算器 (CORDIC).....	21
4.13	通用输入/输出(GPIO) 端.....	21
4.14	Smart I/O (可编程 I/O)	22
4.15	设备固件更新 (DFU)	23
4.16	串行线 JTAG 调试端口/嵌入式跟踪宏单元.....	24
5	引脚	25
6	GPIO 复用功能表	30
7	电气规格参数.....	40
7.1	绝对最大额定值.....	40
7.2	器件级规范.....	40
7.2.1	电源.....	40
7.2.2	CPU 电流和过渡时间.....	42
7.2.3	XRES	43
7.2.4	GPIO.....	44
7.3	模拟外设.....	46
7.3.1	LP 比较器.....	46
7.3.2	HPPASS.....	47
7.4	数字外设.....	52
7.4.1	TCPWM 规格	52
7.4.2	SCB.....	53
7.5	存储器.....	55
7.6	系统资源.....	56
7.6.1	上电复位 (POR)	56
7.6.2	电压监视器.....	56
7.6.3	单线调试 (SWD) 和跟踪接口	58
7.6.4	内部振荡器晶体振荡器和外部时钟规格	58
7.6.5	Smart I/O	61
7.6.6	JTAG 边界扫描规格	61
8	订购信息.....	63
8.1	料号命名.....	64



9	封装信息.....	66
10	勘误表.....	72
11	缩略语.....	76
12	文档惯例.....	78
12.1	测量单位	78
	修订记录.....	79
	商标	80
	免责声明.....	81

1 简介

PSC3P2xD 和 PSC3M3xD 器件属于 PSOC™ Control C3 MCU 系列的一部分，专为实时控制、增强型传感、安全和低功耗操作而设计。这些微控制器的一些目标应用包括：

- 工业电机控制器
- 功率级转换器
- 家用电器
- 自动化设备
- 低功耗传感器

MCU 的详细框图如图 1 所示。

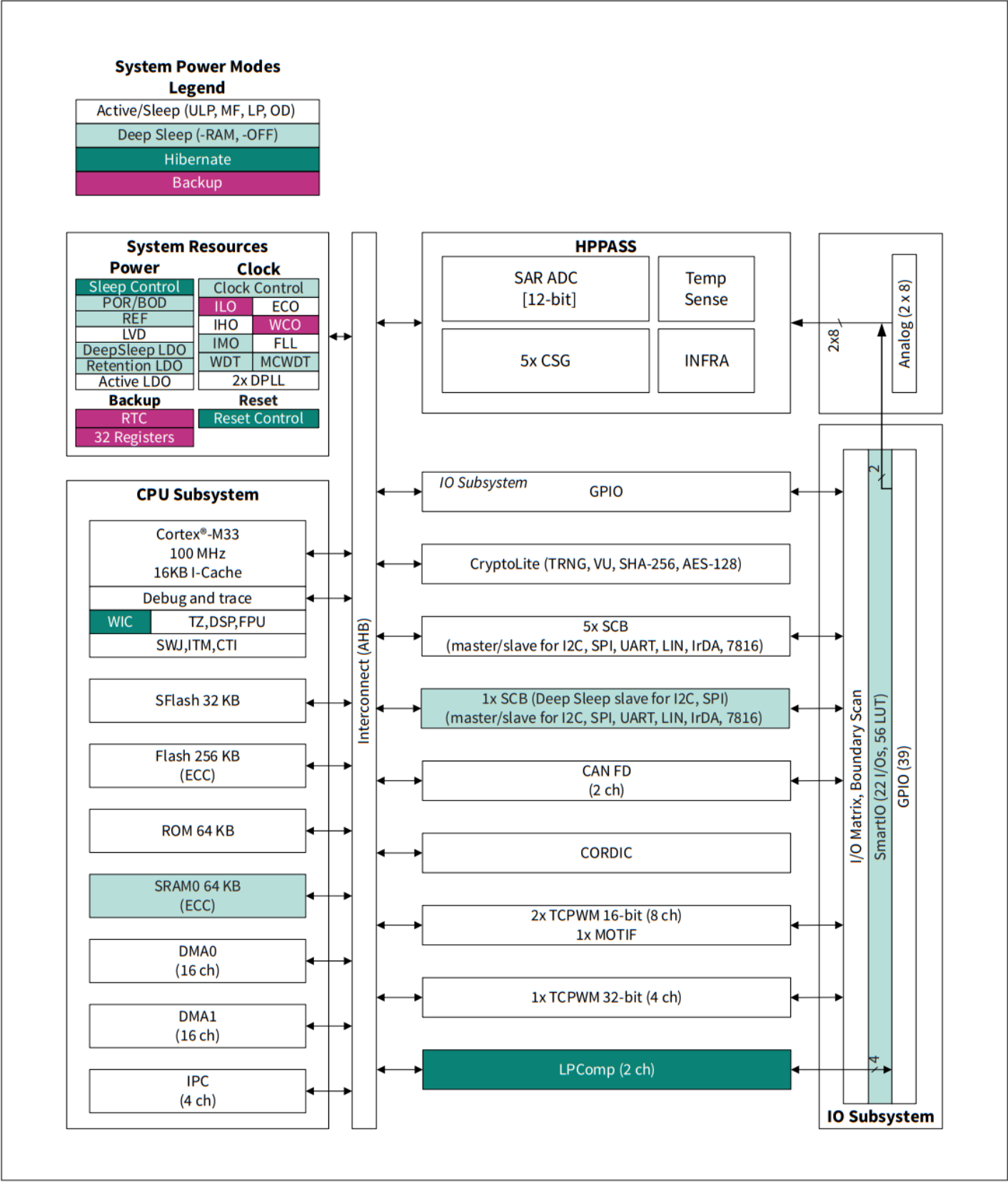


图 1 功能框图

设备标识和修订

系列 ID = 0x118(12-bit); Si ID 范围 = EE40- EE7F; 主要-次要修订 ID = 0x1, 0x1

2 详细特性

该器件具有以下特性：

- CPU 子系统
 - Arm®Cortex®-M33 运行频率高达 100 MHz
 - 数字信号处理器 (DSP)、浮点运算单元 (FPU)、内存保护单元 (MPU)、16 KB I-cache
 - 两个直接内存访问 (DMA) 控制器，每个有 16 个通道
 - 安全
 - 平台安全架构 2 级 (PSA L2) 认证
 - 执行镜像的逐步认证，直至将控制权移交给用户代码
 - 在受保护例程的仅执行模式下安全执行代码
 - 镜像验证和完整性检查
 - TrustZone 框架可建立隔离的设备信任根 (RoT)，用于信任证明和软件管理
- 存储器
 - 支持 ECC 的片上闪存
 - 高达 256KB 闪存，具有边读边写 (RWW) 功能，64KB ROM 用于启动代码和启动加载程序功能
 - 通过串行接口 (UART/I2C/SPI) 在 boot ROM 中支持内置设备固件升级 (DFU)
 - 支持 ECC 的 SRAM
 - 深度睡眠时可使用 64 KB 全 SRAM
 - SRAM 数据路径受硬件机制 (ECC) 保护，可进行软错误检测和纠正
- 时钟子系统
 - 8 MHz IMO，深度睡眠运行，精度为 $\pm 2\%$
 - 48 MHz 内部高频振荡器 (IHO)，精度为 $\pm 1\%$
 - 32 kHz 内部低频振荡器 (ILO)，精度为 $\pm 10\%$
 - 4 至 35 MHz 外部晶体振荡器 (ECO)
 - 32.768 kHz 外部手表晶体振荡器 (WCO) 可用于实时时钟 (RTC)
 - 外部时钟 (EXTCLK)：最高频率 80 MHz
 - 一个锁频环 (FLL)，输出范围为 24-100 MHz
 - 两个数字锁相环 DPLL#0 和 DPLL#1，输出范围为 25-250 MHz
- 低功耗 1.71 V 至 3.6 V 工作电压
 - 六种功耗模式 (Active、睡眠、深度睡眠、深度睡眠-RAM、深度睡眠-OFF 和休眠) 可实现精细的电源管理
 - 在 3.3 V 外部电源条件下，深度睡眠模式电流为 11 μ A，使用内部电压调节器，具有 64-KB SRAM 数据保留、低功耗比较器 (LPComp) 和深度睡眠的 SCB
 - 带 RTC 和 LPComp 的休眠模式电流高达 1000 nA
- 通讯外设
 - 串行通信模块 (SCB)
 - 多达 6 个独立的运行时可重新配置的 SCB；每个 SCB 在主站或从站模式下均可软件配置为 I2C、SPI 或 UART

- 在 I2C 从站和 SPI 从站模式下，一个 SCB 还支持深度睡眠操作和深度睡眠唤醒功能
- SCB 支持 UART 单线半双工模式
- CAN FD
 - 多达两个 CAN FD 通道，单个运行速度最高可达 8 Mbps
- 高性能可编程模拟子系统 (HPPASS)
 - 模数转换器(ADC)
 - 一个 12 位、6 Msps 的 SAR ADC
 - 最多 16 个专用模拟接口，最多连接 16 个并行采样
 - 另外两个 GPIO 可用作模拟输入端
 - SAR ADC 中最多有 16 个采样/保持 (S/H) 电路，直接或通过 AMUX 与引脚连接
 - SAR ADC 中的一个 S/H 电路内部连接模拟基准和温度传感器
 - 所有 16 个 S/H 电路的输入增益均可配置为 1、3、6 和 12
 - 输出端数字比较器将 ADC 结果与可编程的边界值进行比较
 - 数字比较器输出可连接至定时器/计数器脉宽调制器 (TCPWM) (模块间延迟低)
 - 模拟比较器
 - 五个无深度睡眠功能的 Active 比较器，每个比较器都有一个 10 位 DAC，用于生成比较器参考信号
 - 每个比较器通过引脚支持外部基准/阈值
 - Active 比较器可在迟滞模式下与内置 DAC 配合使用
 - LPComp 中的两个额外比较器可用于 Active/深度睡眠/休眠模式
 - 比较器输出可接入引脚，用于控制环路应用
 - 比较器输出可连接至 TCPWM (模块间延迟低)
 - 多个比较器触发器输出的逻辑 OR，通过触发器 MUX 作为输入触发器连接到 TCPWM
- 实时控制外设
 - 坐标旋转数字计算器 (CORDIC)
 - 支持所有 CORDIC 运行模式，用于求解圆形 (三角) 函数和双曲函数，并集成独立查找表以加快计算速度
 - 定时器/计数器脉宽调制器 (TCPWM)
 - 十六个 16 位 TCPWM 通道
 - 四个 32 位 TCPWM 通道
 - 支持中心对齐模式、边缘模式和伪随机模式
 - 基于比较器的关断信号触发
 - 占空比、周期、死区时间、输出信号极性和抖动 (伪随机模式) 的影子更新
 - 多通道控制：在一组八个 TCPWM 通道中，组内的一个通道可触发另一个通道
 - 能通过 Smart I/O 将多个通道的输出进行逻辑组合
 - 一组专用输出触发器复用器，可灵活地将 PWM 通道作为触发器和/或 HPPASS 的门控信号
 - 霍尔传感器接口，支持自主 BLDC 块换向
 - 用于解码电机速度和转子位置的正交编码器接口

- I/O 子系统
 - 可编程 GPIO 引脚
 - 多达 55 个功能引脚（39 个数字 GPIO；39 个 GPIO 中的 2 个可用于模拟输入 + 16 个专用模拟输入）
 - 可编程驱动模式、驱动强度和压摆率
 - 可编程数字资源
 - 多达 6 个支持 Smart I/O 的端口（22 个 I/O、56 个 LUT）可对 I/O 信号进行布尔运算
- 加密
 - 安全加速器
 - 通过向量单元 (VU) 和哈希函数 (SHA-256) 支持对称 (AES-128) 和非对称加密算法（RSA 和椭圆曲线加密算法 (ECC)）的硬件加速
 - 真随机数发生器 (TRNG) 功能

3 芯片级功能描述

3.1 电源

该器件具有管理和降低功耗的多种功能。多种电源模式包括Active、睡眠、深度睡眠和休眠。根据 SRAM 的保留时间，深度睡眠有三种变化。

电源控制模块确保电压水平符合相应模式的要求。可以：

- 延迟进入模式（例如在上电复位 (POR) 时），直到电压水平达到正常工作所需的水平
- 检测低于安全供电水平的运行：
 - 为低电压检测 (LVD) 生成中断
 - 产生断电检测 (BOD) 复位

设备使用单一调节的VDDD电源，工作电压范围为1.71 V至3.6 V。此外，还可使用可选的 VBACKUP 电源，其电压范围为 1.4 V 至 3.6 V。线性稳压器以三个电压电平为核心逻辑供电：0.9 V、1.0 V、1.1 V。电压电平切换通过写入电源控制寄存器来实现。核心逻辑的电压可根据应用的性能和功耗要求进行设置；（请参阅[功耗模式](#)）。通过外设和总线级的时钟门控，可以对能源使用进行细粒度优化。

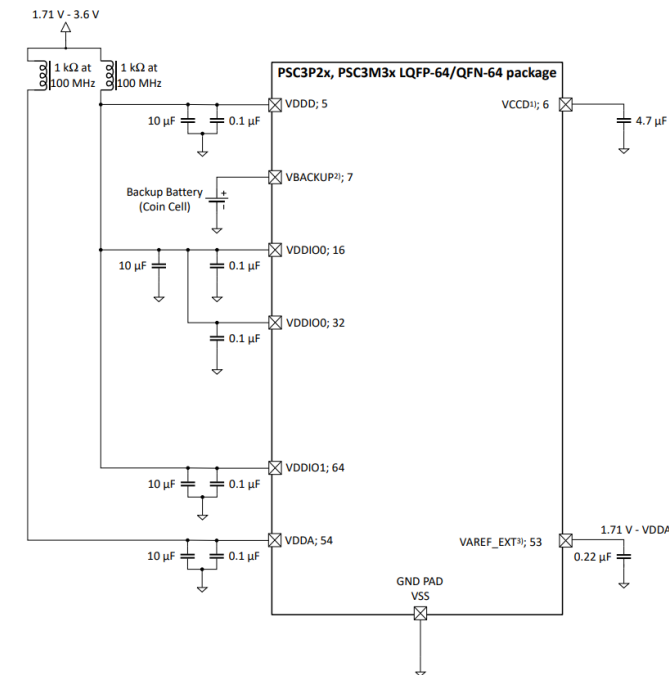
通常，备份域需要 1.4 V 至 3.6 V 的输入电压，可通过在 VBACKUP 引脚上连接备用电池或超级电容器来提供。内部备份开关会自动在 VDDD 和 VBACKUP 之间进行选择（当 VDDD 不再可用时），为 RTC、WCO、ILO 和备份寄存器等备份域外设供电。在内部备份开关之前，某些 I/O 单元由 VBACKUP 电源供电。如果应用不需要专用备份源，则可将 VBACKUP 从外部连接到 VDDD，以确保由 VBACKUP 供电的 I/O 单元正常工作。

该器件有多个 VDDIO 引脚，用于为除备份域 I/O 单元以外的 I/O 单元供电。VDDIO 可以连接到与 VDDD 相同的电源，也可以连接到有效工作范围内的独立电源电压。这为使用不同 VDDIO 电源供电的端口引脚选择逻辑电平提供了更大的灵活性。如果不使用端口 I/O，可以关闭 VDDIO 电源。只有在Active或深度睡眠模式下才允许关闭 VDDIO 电源。设备处于休眠模式时，不应关闭 VDDIO。有关用于为端口 I/O 单元供电的 VBACKUP 或 VDDIO 电源的信息，请参阅[引脚](#)部分。

3.1.1 电源连接

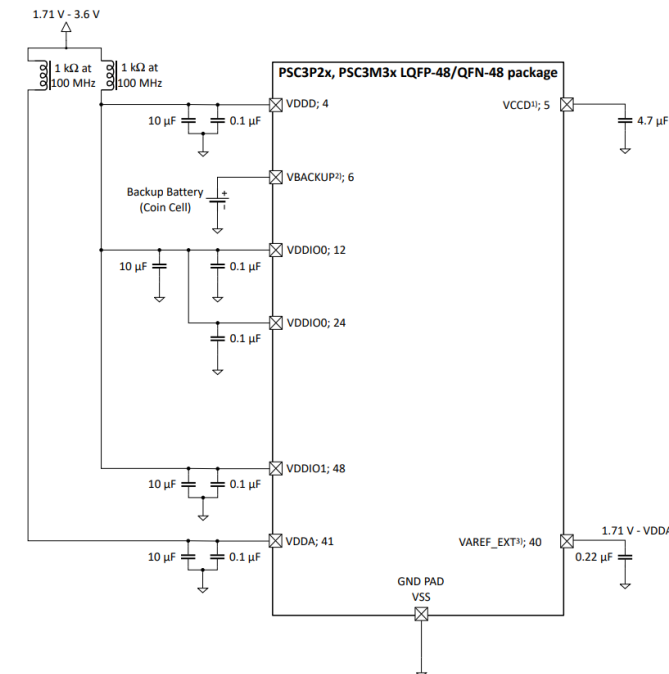
以下电源系统图显示了所有支持封装的电源引脚的典型连接。在这些图表中，封装引脚与引脚名称一起显示，例如"VDD；5"。

不依赖电源排序。



- 1) VCCD pin is only used to connect an external bypass capacitor for the integrated core logic supply LDO. Do not use to power external circuits.
- 2) VBACKUP can be connected to a coin cell (1.4 V to 3.6 V) or a supercapacitor depending on the application. If not used, it is connected to VDD.
- 3) VAREF_EXT can either be connected to a dedicated reference voltage generator (1.71 V to VDDA) or to VDDA externally.

图 2 LQFP-64/QFN-64 封装电源连接



- 1) VCCD pin is only used to connect an external bypass capacitor for the integrated core logic supply LDO. Do not use to power external circuits.
- 2) VBACKUP can be connected to a coin cell (1.4 V to 3.6 V) or a supercapacitor depending on the application. If not used, it is connected to VDD.
- 3) VAREF_EXT can either be connected to a dedicated reference voltage generator (1.71 V to VDDA) or to VDDA externally.

图 3 LQFP-48/QFN-48 封装电源连接

3.1.2 电源域

该器件具有独立的电源域，可根据电源模式启用/禁用域电源。

电源连接和线路图见 图 4：

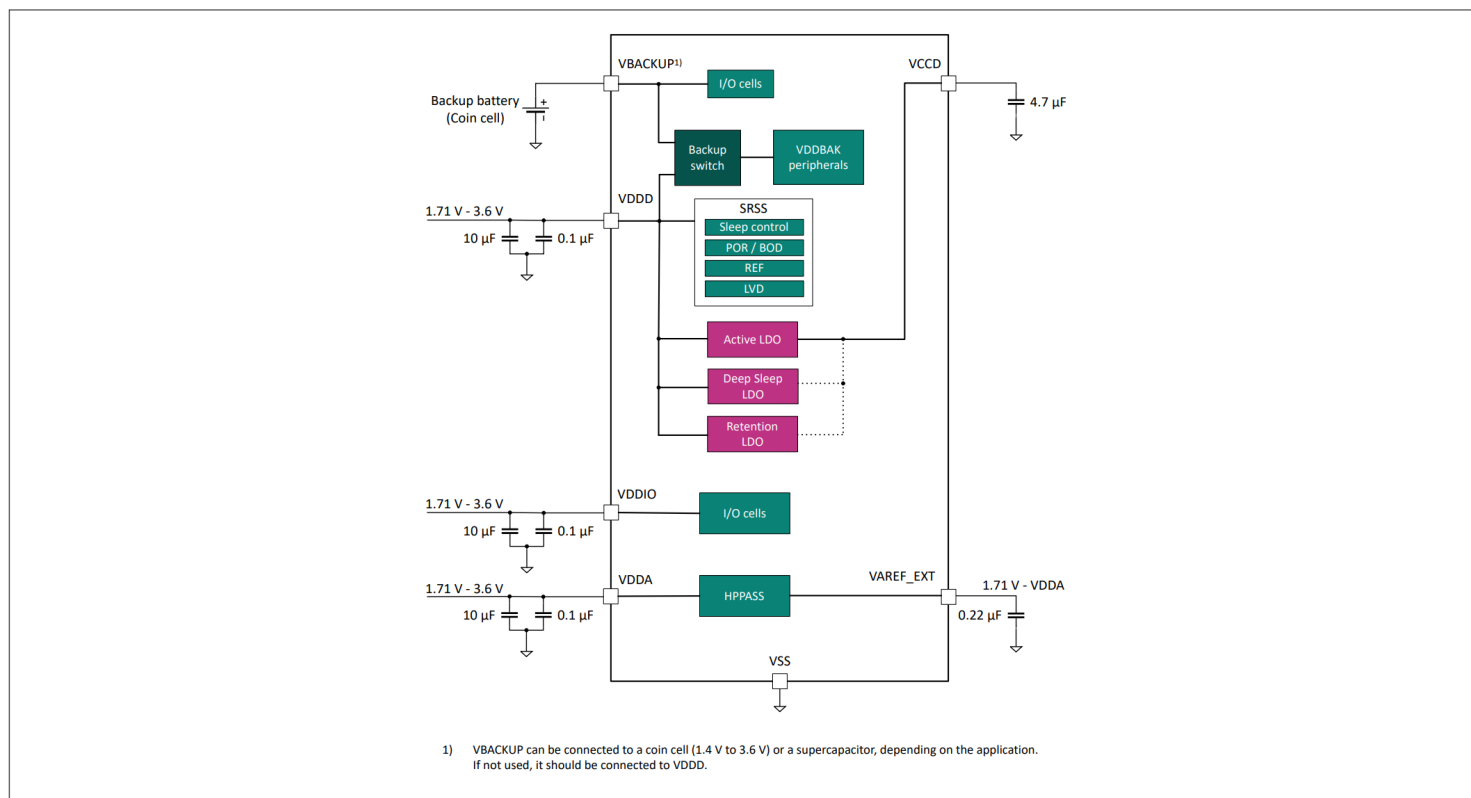


图 4 电源分配和域管理

3.1.3 电源模式

该设备可在五种功率模式下运行。这些模式旨在最大限度地降低应用中的平均功耗。

支持的电源模式有：

- **Active/睡眠：**所有外设都被供电。CPU 要么处于Active状态并执行代码，要么处于睡眠状态（时钟门控）。任何中断都能在一个 CPU 时钟周期内唤醒 CPU 恢复运行。在Active/睡眠模式下，内核电压可设置为三个值中的任意一个。这会影响 CPU 和外设的功耗和最大时钟频率。在”Active/睡眠“模式下支持以下电源配置文件：
 - ULP（超低功耗）：0.9V 内核电压，CPU 频率 50 MHz
 - MF（中频）：1.0V 内核电压，CPU 频率 70 MHz
 - LP（低功耗）：1.1V 内核电压，CPU 频率 100 MHz
- **深度睡眠：**CPU 处于保留模式。RAM内容也被保留。只有具备深度睡眠功能的外设才能唤醒系统。一旦唤醒，操作将恢复
- **深度睡眠-RAM：**CPU 关闭。唤醒后保留 64 KB SRAM 用于热启动。只有启用深度睡眠功能的外设才能运行，并能唤醒系统

- **深度睡眠-OFF** 与深度睡眠 RAM 相同，只是 RAM 也被关闭。唤醒操作是复位或冷启动
- **休眠**：除 LComp 和 RTC 等备份域外设外，关闭所有外设。除备份域时钟和所有内部调节器外，所有时钟均关闭。这将导致 LComp 的异步运行。退出休眠模式后，系统复位

3.1.4 电源模式转换

设备支持 Arm® 标准电源模式；详情请参见 [电源模式](#) 部分。表 1 列出了支持的电源模式参数：

表 1 支持的电源模式

	Active/Sleep	Deep Sleep	Deep Sleep-RAM	Deep Sleep-OFF	Hibernate	Off
Parameters						
Wake source ¹⁾	Any interrupt	DS peripherals	DS peripherals	DS peripherals	RTC/HIB peripherals	Power on
Wake action	Resume	Resume	Warm boot	Reset/cold boot	Reset	Reset
Wake time	One CPU cycle	<20 µs	Deep Sleep + warm boot	Deep Sleep + cold boot	POR + cold boot < 1 ms	
Resources						
ECO	On/Off	Off	Off	Off	Off	Off
IHO	On	Off	Off	Off	Off	Off
IMO	On	On/Off	Off	Off	Off	Off
ILO	On/Off	On/Off	On/Off	On/Off	On/Off	Off
WCO	On/Off	On/Off	On/Off	On/Off	On/Off	Off
CPU	On/Sleep	Retention	Off	Off	Off	Off
SRAM	On	On	On/Off	Off	Off	Off

1) 有关 DS（深度睡眠）和 HIB（休眠）电源模式下可用的外设列表，请参见表 2。

3.1.5 电源块支持

表 2 显示了该器件主要模块的可用工作状态。需要注意的是，低功耗模式下的运行状态在功能和参数性能上通常比 Active 功耗模式下的运行状态受限。此外，不支持深度睡眠和休眠等低功耗模式的模块无法从这些电源模式唤醒 CPU。详情请参阅 [电源模式](#)。

表 2 电源模块模式

Block	Power mode				
	Active	Sleep	Deep Sleep	Hibernate	Backup
CPUSS					
CPU	Y	N	N	N	N

(表格续下页.....)

表 2 (续) 电源模块模式

Block	Power mode				
	Active	Sleep	Deep Sleep	Hibernate	Backup
NVIC	Y	Y	N	N	N
WIC	Y	Y	Y	Y	N
FLASH	Y	Y	N	N	N
SRAM	Y	Y	Y	N	N
DMA	Y	Y	N	N	N
Programmable digital					
SMART I/O	Y	Y	Y	N	N
Fixed function digital					
TCPWM	Y	Y	N	N	N
SCB	Y	Y	Y ¹⁾	N	N
CAN FD	Y	Y	N	N	N
Special function					
CORDIC	Y	N	N	N	N
Analog					
HPPASS (SAR, CSG)	Y	Y	N	N	N
LPComp	Y	Y	Y ²⁾	Y	N
I/O					
GPIO	Y	Y	Y	Y ³⁾	N
Backup					
RTC	Y	Y	Y	Y	Y
Registers	Y	Y	Y	Y	Y

1) 仅 SCB 0 (I2C、SPI)

2) 仅在深度睡眠模式下。在深度睡眠-RAM 和深度睡眠-OFF 模式下不可用。

3) 只有 hibernate_wakeup 引脚 (P2.0 和 P9.0) 可以工作, 并能从休眠模式唤醒器件。更多信息, 请参阅 [引脚](#) 部分。

3.2 安全

支持安全和非安全调试访问。在非安全访问模式下, 调试器无法访问标记为 "安全" 的区域。在安全模式下, 设备可以被“锁定”, 使其无法被用于测试或调试

证书管理可确保为安全调试和 RMA 过渡提供适当的访问权限。

该产品系列在硬件和软件层面完全符合 Arm® TrustZone 标准。在英飞凌专有保护单元的帮助下, 实现了额外的安全保护。

PSA L2 认证部件支持符合 PSA 标准的加密服务、密钥管理和安全存储服务 (有关 PSA L2 部件, 请参阅 [订购信息](#))。

3.2.1 安全功能

- Arm® 平台安全架构符合 PSA 2 级预认证，具体取决于部件号（请参阅 [订购信息](#)）。
- 支持受保护固件功能，具体取决于部件号（请参阅 [订购信息](#)）。
- 全面支持加密算法的硬件加密加速器
- 通过 Arm® 安全隔离处理环境信任区
- 用于内存和外设访问控制的英飞凌专有 MPU、MPC 和 PPC
- 使用 Trusted Firmware-M (TF-M) 的现成安全隔离；以及 mbedTLS 加密加速包

3.2.2 安全架构概述

Cortex®-M33:

- 启用 Arm® TrustZone 的内核具有两种处理环境：安全 (SPE) 和非安全(NSPE)
- 用于存储器和外设保护的英飞凌专有保护单元
- 集成 mbedTLS 加密加速包，支持软件和硬件加密服务
- 在 SPE 中实施英飞凌提供的 Trusted firmware-M (TF-M)，Cortex®-M33 NSPE 和 SPE 可利用其服务

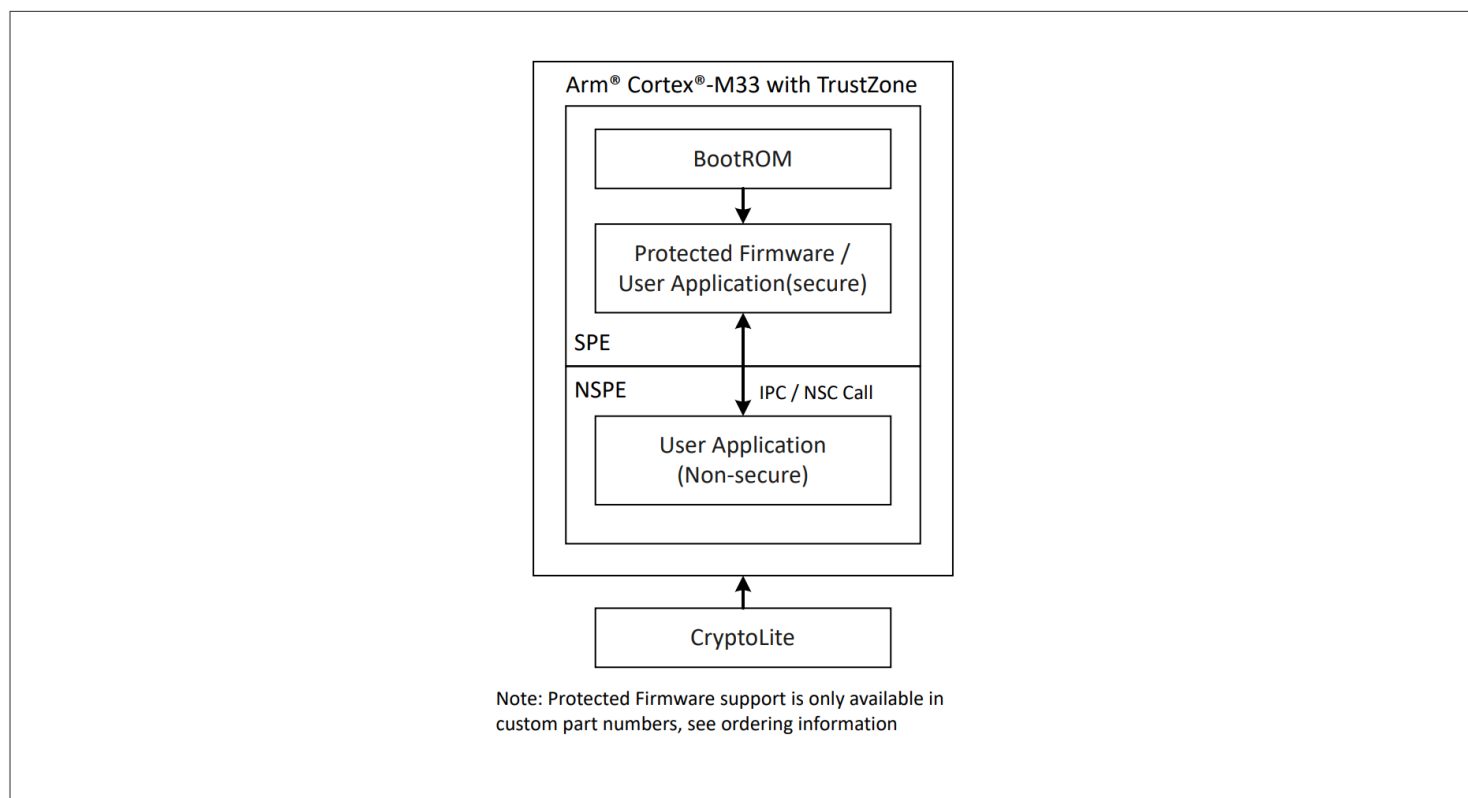


图 5 安全架构图

4 区块功能说明

4.1 CPU

- Arm® Cortex®-M33 带数字信号处理器 (DSP)
- 浮点单元 (FPU)
- TrustZone 框架为可信验证和软件管理建立了隔离的设备信任根
- 内存保护单元 (MPU)：安全和非安全 MPU 各支持八个区域
- 安全归属单元 (SAU)：它可定义多达八个内存区域的安全状态
- 调试功能包括跟踪（嵌入式跟踪宏单元 (ETM)，无嵌入式跟踪缓冲器 (ETB))
- 16 KB I-cache，用于闪存和 ROM 访问

一个独立的 4 通道处理器间通信 (IPC) 模块（两个 IRQ）可在安全和非安全执行中无缝支持 Semaphores 和邮箱结构。

子系统包括一个中断控制器，如嵌套向量中断控制器 (NVIC)。它还包括一个唤醒中断控制器 (WIC)，可将处理器从系统深度睡眠模式中唤醒，允许在芯片处于系统深度睡眠模式时关闭主处理器电源和时钟。

CPU 子系统还包括调试接口，支持 SWD 和 JTAG。该芯片还支持在印刷电路板上进行测试所需的边界扫描，并提供了一个独立的测试接入端口 (TAP) 控制器，用于控制边界扫描功能。

4.2 DMA

Cortex®-M33 CPU 包括两个 DMA 控制器，可用于在内存和外设寄存器之间传输数据。这样就可以从 ADC 等外设向存储器自主传输数据，或对 PWM 等外设进行确定性控制。

DMA 控制器是各自领域的总线主控器。每个 DMA 有 16 个通道。它有一个用于所有通道的单一传输引擎，可仲裁总线主控访问。DMA 使用与 CPU 共享相同时钟的 32 位 AHB 总线。

4.3 加密支持 (CryptoLite)

提供了一个加密加速块实例，实现了对真随机数生成器 (TRNG)、SHA-256、AES-128 和向量单元 (VU) 的硬件支持。

4.4 存储器

该器件具有多种非易失性和易失性存储器类型。CPU 和其他总线主控器可以访问任何内存块。等待状态的数量取决于访问路径。

4.4.1 Flash

该设备提供高达 256 KB 的用户可编程闪存。闪存支持单和双bank模式。双bank模式支持 RWW 功能，可在对一个扇区编程的同时读取另一个扇区的数据。此外，闪存模块还支持 ECC。

4.4.2 SFlash

该器件有 32KB 的监控闪存 (SFlash)。SFlash 可存储设备校准参数、安全密钥哈希值和 FLASH_BOOT 固件。设备校准参数用于初始化硬件资源，以便正常运行。
安全密钥哈希值用于验证英飞凌和原始设备制造商的代码和镜像。SFlash 不能用于存储用户数据。

4.4.3 ROM

所有 PSOC™ Control C3 设备提供 64 KB ROM。ROM 包含启动和配置例程以及验证检查。复位事件发生后，监控 ROM (SROM) 中的启动代码会检查复位原因寄存器，以确定复位原因是否为休眠事件，从而以最快的速度过渡到执行用户代码。与上电复位 (POR) 或外部复位 (XRES) 事件相比，这最大限度地缩短了从休眠模式唤醒的时间。

4.4.4 RAM

该器件具有 64 KB SRAM 存储器，可在深度睡眠电源模式下保留内存。SRAM 支持 ECC，用于软错误检测和纠正。

4.5 eFUSE

器件包含 1024 个一次性可编程 (OTP) eFuse 位。这些值保留给系统使用，如设备生命周期管理、校准和哈希值。用户不能直接对 eFuse 位进行编程。

每个 fuse 都是单独编程的；一旦编程（或“熔断”），其状态就无法更改。熔断 fuse 可将其从默认状态 "0" 转换为 "1"。要对 eFuse 进行编程，VDDIO0 的电压必须为 $2.5\text{ V} \pm 10\%$ 。

由于 eFuse 的熔断是一个不可逆的过程，因此任何需要对熔断器进行编程的过程都建议仅在工厂受控条件下通过英飞凌提供的配置工具进行批量生产。

4.6 时钟系统

PSOC™ Control C3 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

此外，还为每个 clk_hf 域实施了时钟监控 (CSV) 电路。CSV 电路可检测到时钟停止或监控时钟频率异常。监控时钟和参考时钟都有时钟计数器。每个计数器的参数都定义了参考时钟的频率以及监控时钟频率的上限和下限。如果专用频率范围比较器检测到时钟停止或时钟超出指定频率范围，则会发出异常状态信号。根据寄存器设置和设备使用监控时钟的方式，会产生复位或中断。

提供以下时钟源

- 内部主振荡器 (IMO)：8 MHz $\pm 2\%$ ，快速唤醒，低抖动
- 内部高速振荡器 (IHO)：48 MHz $\pm 1\%$
- 内部低速振荡器 (ILO)：32 kHz $\pm 10\%$ ，也可作为 RTC 的唤醒源
- 外部晶体振荡器 (ECO 与 WCO)
 - 外部晶体振荡器 (ECO)：4 MHz - 36 MHz
 - 外部时钟晶体振荡器 (WCO)：32.768 kHz
- 外部时钟 (EXTCLK)：最高频率 80 MHz

- 一个锁频环 (FLL), 输出范围为 24 - 100 MHz
- 两个数字锁相环 DPLL#0 和 DPLL#1, 输出范围为 25 - 250 MHz

注释: FLL 输入时钟应比 FLL 电流控制振荡器频率至少低 2.5 倍。

因此, 启用 FLL 输出分频器后, 只有当 FLL 输出频率 ≥ 60 MHz 时, 才能将 IHO 用作 FLL 输入时钟源。

4.6.1 内部主振荡器 (IMO)

内部主振荡器 (IMO) 以固定的 8 MHz 频率工作。其公差为 $\pm 2\%$ 。高速时钟可通过 IMO 和 DPLL 得出。它具有快速唤醒和低抖动的特点。

4.6.2 内部高速振荡器 (IHO)

内部高频振荡器 (IHO) 以固定的 48 MHz 频率工作。其公差为 $\pm 1\%$ 。高速时钟可通过 IHO 和 DPLL 得出。

4.6.3 内部低速振荡器(ILO)

ILO 是一款低功耗振荡器, 典型电流为 0.3 μ A, 频率为 32 kHz, 精度为 $\pm 10\%$ 。ILO 可用作实时时钟 (RTC) 的唤醒源

4.6.4 外部晶体振荡器 (ECO)

外部晶体振荡器 (ECO) 可使用频率为 4 MHz 至 36 MHz 的晶体来产生高精度时钟。当内部振荡器提供的精度不够时, 可以使用该选项。

4.6.5 时钟晶体振荡器 (WCO)

WCO 使用外部 32.768 kHz 晶体, 用于需要更高精度实时时钟 (RTC) 功能的应用。WCO 时钟可直接路由至 RTC, 以获得更高的精度, 并避免因内部时钟源切换而产生任何抖动。

4.6.6 看门狗计时器 (WDT)

提供一个看门狗定时器 (WDT) 和一个多计数器看门狗定时器 (MCWDT)。WDT 在 ILO 或 WCO 运行的时钟块中实现。这允许看门狗在深度睡眠期间运行, 并且如果在超时发生之前未“喂狗”, 则会生成看门狗复位。看门狗复位被记录在复位原因寄存器中。

4.6.7 实时时钟(RTC)

器件包括一个实时时钟 (RTC)。RTC 具有以下功能:

- 可按带 AM/PM 标志的 12 小时制和 24 小时制运行
- 自动闰年校正
- 闹钟功能允许 RTC 产生中断, 可用于从睡眠、深度睡眠和休眠功耗模式唤醒系统

4.7 复位

设备可通过各种途径复位，包括软件复位。复位事件是异步的，并确保器件恢复到一个已知状态。复位原因（WDT、MCWDT、故障、调试、软件和时钟监控）记录在一个寄存器中，该寄存器在复位时保持不变，并允许软件确定复位原因。XRES 引脚可用于外部复位。

4.8 高性能可编程模拟子系统 (HPPASS)

4.8.1 12 位 SAR 模数转换器 (ADC)

该设备有一个 12 位 SAR ADC，具有多达 16 个并行采样通道。ADC 支持多路 S/H，可在多个通道上进行同步采样。

所有模拟通道都支持 1、3、6 和 12 的单独可选输入增益。此外，所有通道都可以在硬件中进行过采样和平均处理。当连续转换同一通道时，SAR ADC 支持高达 6-Msps 的转换速率。ADC 的工作电压范围为 1.71 V 至 3.6 V (VDDA)。AREF_EXT 引脚用于提供 ADC 基准电压。它可以连接到精密基准电压发生器（1.71 V 至 VDDA）或外部连接到 AVCC 引脚。

空闲采样功能允许 ADC 触发器直接从保持操作开始。可同时触发所有 16 个采样器，以同时进行空闲采样（相同保持实例）和顺序转换（适用于多电机、多相电机控制和数字电源应用）。ADC 的序列器有八个组，可根据用户应用进行编程。每个组定义一组输入，当硬件或固件触发该组时，将同时对其进行采样。每个组最多支持 16 个采样器的控制和转换，并可为每个组配置采样时间。它支持两级优先级转换。每个组都可配置为高优先级或低优先级转换。

ADC 对转换后的数字数据具有一系列内置后处理功能，如平均（结果累加）、伪差分模式、2x FIR（16 个抽头）、8x 限位检测、8x 通道增益和偏移校正系数，并支持有符号或无符号结果格式。这些功能有助于降低模拟数据采集和后处理的 CPU 占用率。

ADC 可连接到内部温度传感器，其值可被读取和数字化。这对于校准和其他依赖温度的功能非常有用。更多信息，请参阅 [温度传感器](#)。ADC 在深度睡眠和休眠功耗模式下不可用。

4.8.2 比较器和斜率发生器 (CSG)

该设备有五个模拟比较器，在 Active 模式下运行。比较器输出同步，以避免不稳定性。比较器的输出可路由至 GPIO 或 TCPWM（通过 TriggerMux），例如，在检测到过压或过流情况时，可将比较器输出作为输入，以终止 PWM 信号。

五个 Active 模式下的比较器可使用内置的 10 位 DAC 或其他模拟输入来定义比较器的可编程阈值。DAC 的输出作为比较器的基准。DAC 输出通过 AMUX 与其他输入端连接至 ADC 的内部 S/H 电路。ADC 可以测量比较器的输出。比较器 DAC 值可通过直接写入或缓冲写入方式更新。这可用于斜率生成或 LUT 波形生成。

比较器也可在迟滞模式下使用。迟滞电压可由用户配置，比较器还提供运行时配置。

4.8.3 温度传感器

PSOC™ Control C3 器件包含一个基于二极管的温度传感器。它可以禁用，以节省功耗。温度传感器作为测量通道之一，通过 AMUX 连接到 SAR ADC。在整个工作温度范围内，温度传感器输出的精度为 $\pm 5^{\circ}\text{C}$ 。

4.9 低功耗比较器 (LPComp)

该器件提供两个低功耗比较器，可在所有功耗模式下运行。这样，当模拟系统模块被禁用时，仍可以在睡眠和休眠模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式（休眠）下操作；在此模式下，比较器切换事件可以激活系统唤醒电路。

4.10 固定功能数字模块

4.10.1 定时器/计数器脉宽调制器 (TCPWM)

TCPWM 由以下部分组成：

- 带用户可编程周期/占空比 PWM 输出的计数器
- 捕获寄存器，用于记录事件（可能是 I/O 事件）发生时的计数值
- 周期寄存器用于在计数器的计数等于周期寄存器的计数时停止或自动重新加载计数器
- 比较寄存器可产生用作 PWM 占空比输出的比较值信号

该模块还提供了正向输出和反向输出间的可编程偏移；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。它还有一个强制输出到预定状态的 Kill 输入；可用于电机驱动和电源转换系统，例如，当过流发生时，驱动 FET 的 PWM 必须立即关闭，没有时间进行软件干预。

TCPWM 有一个运动接口 (MOTIF) 块，可用于霍尔传感器、正交编码器或独立的多通道模式。

4.10.2 串行通信模块 (SCB)

PSOC™ Control C3 最多有六个 SCB 模块，在 Active 模式下，可通过软件将其配置为 I2C、UART 或 SPI 接口的主站或从站。其中一个 SCB 模块可在深度睡眠模式下使用外部时钟运行，功能仅限于 I2C 从站或 SPI 从站。每个 SCB 模块的每个协议都可以使用一个 256 字节深度的 FIFO。所有 SCB 模块都支持 DMA 传输。

注释：48 引脚器件不提供 SCB4 和 SCB5。

4.10.2.1 内部集成电路(I2C)

硬件 I2C 模块实现了完整的多主从接口 (支持多主仲裁)。该模块的运行速度高达 1 Mbps (快速模式)，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。它还支持 EZI2C，可在 PSOC™ Control C3 的内存中创建子地址范围，并有效地将 I2C 通信简化为对内存数组的读写操作。FIFO 减少了由于 CPU 未能按时读取数据而导致的时钟延长。

4.10.2.2 通用异步发送接收器 (UART)

全功能 UART 的运行速度高达 8 Mbps。它支持 LIN（汽车单线接口）、IrDA（红外接口）和智能卡（ISO7816）协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用 RX 和 TX 线的外设。支持常见的 UART 功能，如硬件流量控制、奇偶校验、断路检测和帧错误。SCB 可配置为半双工 UART 模式，用于单线通信。

4.10.2.3 串行外设接口 (SPI)

SPI 模式支持完整的摩托罗拉 SPI、德州仪器同步串行端口 (SSP)（基本上增加了一个用于同步 SPI 编解码的启动脉冲）和美国国家半导体 Microwire（一种半双工形式的 SPI）。SPI 模块可以还支持 EzSPI 模式，其中数据交换减少为读取和写入内存中的数组。

4.10.3 控制器区域网络灵活数据速率 (CAN FD)

CAN FD 具有两个通道，包括时间戳支持和每个通道 4KB 的报文 RAM。该数据块支持高达 8 Mbps 的数据传输速率。

4.11 触发器多路复用器 (触发器 MUX)

触发器多路复用器用于连接外设和 GPIO 引脚之间的触发和输入/输出信号。它可用于连接多个 TCPWM 计数器通道，以实现多通道支持。它还提供扩展信号路由功能，例如通过 `peri.tr_io_output[n]` 复用功能将任何 TCPWM 计数器 PWM 输出路由到任何 GPIO 引脚。

TCPWM 和 HPPASS 之间的触发器连接也通过触发器多路复用器连接。任何 TCPWM 计数器都可配置为触发 HPPASS 内部 ADC 的任何 S/H 电路。

来自 ADC 的数字比较器输出和模拟比较器输出也通过触发器多路复用器从 HPPASS 连接到 TCPWM。可以将任何数字/模拟比较器输出路由到任何 TCPWM 组和组内的任何计数器。

TCPWM 和 HPPASS 之间的连接经过优化，延迟时间较短。

4.12 坐标旋转数字计算器 (CORDIC)

CORDIC 用于精确计算电机速度和位置估算中使用的变换，以及磁场定向控制 (FOC) 中常用的参考平面变换。它通过硬件计算三角函数，以减轻主 CPU 的处理负担。支持的算法包括正弦、余弦、 $\arctan$ 、 $\sinh$ 、 $\cosh$ 、 $\operatorname{arctanh}$ 、相位、 $\sqrt{}$ 和 Park 变换。

4.13 通用输入/输出 (GPIO) 端

PSOC™ Control C3 提供多达 39 个 GPIO 焊盘和两个焊盘电源域。其中两个 GPIO 与模拟输入端复用，因此最多可连接 18 个模拟输入端。GPIO 块具有以下功能：

- 八种驱动模式，包括强推挽、电阻上拉和下拉、开漏和开源、纯输入和禁用
- 模拟信号输入能力（禁用 IO 缓冲器，信号通过开关传递）
- 选择输入阈值 (CMOS 或 LVTTTL)
- 输入和输出禁用的独立控制

- 保持模式，用于锁存前一状态 (即在深度睡眠和休眠模式保持I/O状态)
- dV/dt 相关噪声控制的可选转换速率。

引脚被组织成逻辑实体，称为"端口"。在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成产生过多的启动电流。一个高速I/O矩阵(HSIOM)的复用网络用于复用连接多个信号至一个I/O引脚。

数据输出寄存器和引脚状态寄存器存储引脚的驱动值和引脚状态。

如果使能的话，每个 I/O 引脚都可以生成一个中断，每个I/O 端口都有一个中断请求 (IRQ) 和与之对应的中断服务程序 (ISR) 向量。

在休眠模式下，I/O 端口将保持其状态。如果使用复位恢复操作，那么引脚将进入 High-Z 状态；如果使用唤醒引脚恢复操作，那么引脚驱动器将保持之前的冻结状态，直到固件选择更改。

在大电流模式下同时切换输出需要注意线路终端和去耦电容的容值，以控制开关瞬态电压。

4.14 Smart I/O (可编程I/O)

每个Smart I/O 块包含八个可编程 LUT 阵列，其中最多六个 LUT 阵列与特定 I/O 端口相关联，可在引脚层面实现集成板级粘合逻辑和布尔功能。剩余的空闲 LUT 阵列可连接到 I/O LUT 阵列输出，以创建更复杂的逻辑功能。它类似于可编程阵列逻辑 (PAL) 或小型可编程逻辑器件 (PLD)。Smart I/O 模块位于端口引脚和 HSIOM (负责将片上外设信号复用到端口引脚或从端口引脚复用到 HSIOM) 以及数字信号互连 (DSI) 信号之间。为了不影响从 DSI 到端口引脚的关键路径的传播延迟，可以绕过Smart I/O 模块。

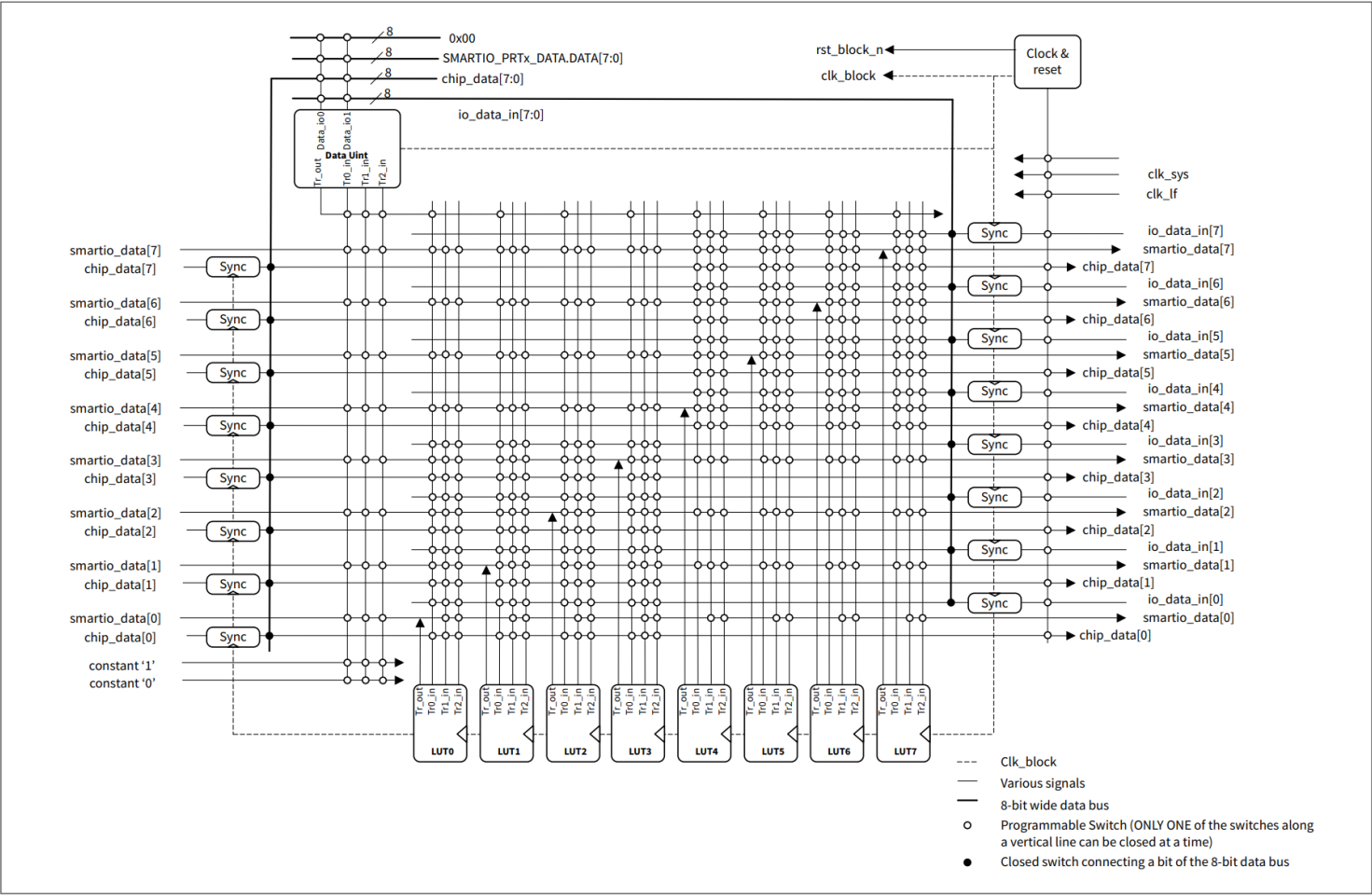


图 6 Smart I/O框图

该结构位于 GPIO 端口和 HSIOM 之间。

4.15 设备固件更新 (DFU)

引导 ROM 支持使用串行端口进行固件更新。DFU 功能默认为禁用。使用前需要在 OEM 策略中启用。有关如何启用和使用 DFU 的更多详情，请参阅 [AN240106 - Getting started with PSOC™ Control C3 security](#)。

启用后，DFU 模式选择将在设备启动时根据 P2.2 和 P2.3 引脚的状态启动，如表所示：

表 3 DFU 模式选择

P2.3 pin state	P2.2 pin state	DFU mode
High-Z	High-Z	Disable
High-Z	X	Disable
X	High-Z	Disable
Low	Low	Disable
Low	High	I2C
High	Low	UART
High	High	SPI

X = 无需关注。

使用连接到 VDDIO_0 或 VSS 的 1kΩ 或更小的上拉或下拉电阻将这些引脚设置为逻辑高电平或低电平。引脚可以悬空，以处于高阻状态。当设备处于 DFU 模式时，以下引脚用于串行通信：

表 4 **DFU 串行通信引脚**

Pin	I2C	UART	SPI
P8.0			CS
P8.1	SCL	RX	MOSI
P8.2			MISO
P8.3	SDA	TX	CLK

下列参数用于 DFU 通信协议：

- I2C：速度 = 400 kHz，模式 = 从站，7 位地址，地址 = 0x35
- UART：波特率 = 115200，位 = 8，停止位 = 1，RTS/CTS = 无，奇偶校验 = 无
- SPI：模式 = 从站，摩托罗拉 00（MSB 优先，CPHA = 0，CPOL = 0），速度 ≤ 12 Mbps

注释：仅 80 引脚和 64 引脚设备支持引导 ROM DFU。

4.16 串行线 JTAG 调试端口/嵌入式跟踪宏单元

串行线 JTAG 调试端口 (SWJ-DP)

PSOC™ Control C3 MCU 嵌入了 ARM® 串行线 JTAG 调试端口 (SWJ-DP)，支持 2 线串行线调试 (SWD) 和 4 线或 5 线联合测试工作组 (JTAG) 接口。上电后，SWD 接口默认启用，JTAG 接口处于禁用状态。通过更新 OEM 策略，可在 4 线或 5 线模式下启用 JTAG。有关更新 OEM 策略的更多信息，请参阅 [AN240106 - Getting started with PSOC™ Control C3 security](#)。

嵌入式跟踪宏单元 (ETM)

PSOC™ Control C3 支持 Arm® 嵌入式跟踪宏单元。它允许使用 ETM 引脚上传的高速压缩数据重建程序执行。ETM 接口包括一个时钟 (trace.clock) 引脚和多达四个数据 (trace.data0 至 trace.data3) 引脚。



5 引脚

GPIO 端口和模拟输入由 VDDx 引脚供电，具体如下：

- P0：VBACKUP
- P1、P2、P4、P5、P6、P7：VDDIO0
- P8、P9：VDDIO1
- AN_A、AN_B：AVDD

某些封装的 GPIO 数量有限。E-LQFP-64/VQFN-64 封装有 39 个 GPIO 和 16 个专用模拟输入端；E-LQFP-48/VQFN-48 封装有 29 个 GPIO 和 10 个专用模拟输入端。有关支持的封装的详细信息，请参阅 [封装信息](#) 部分。

表 5 封装和引脚信息

Pin	Capability	Packages	
		E-LQFP-64/VQFN-64	E-LQFP-48/VQFN-48
VDDD	-	5	4
VDDA	-	54	41
VDDIO_0_0	-	16	12
VDDIO_0_1	-	32	24
VDDIO_1	-	64	48
VDDQ	-	5	4
VCCD	-	6	5
VSS	-	GND PAD	GND PAD
VAREF_EXT	-	53	40
VBACKUP	-	7	6
AN_A0	AD, CSG	41	31
AN_A1	AD, CSG	42	32
AN_A2	AD, CSG	43	33
AN_A3	AD, CSG	44	34
AN_A4	AD, CSG	45	35
AN_A5	AD	46	36
AN_A6	AD	47	-
AN_A7	AD	48	-
AN_B0	AD, CSG	49	-
AN_B1	AD, CSG	50	37
AN_B2	AD, CSG	51	38
AN_B3	AD, CSG	52	39
AN_B4	AM, CSG	55	42
AN_B5	AM	56	-
AN_B6	AM	57	-

(表格续下页.....)

表 5 (续) 封装和引脚信息

Pin	Capability	Packages	
		E-LQFP-64/VQFN-64	E-LQFP-48/VQFN-48
AN_B7	AM	58	-
XRES	-	4	3
P0.0	S	8	7
P0.1	S	9	-
P1.0	S	10	-
P1.1	S	11	-
P1.2	S	12	8
P1.3	S	13	9
P2.0	S	14	10
P2.1	S	15	11
P2.2	S	17	13
P2.3	S	18	14
P4.0	-	19	15
P4.1	-	20	16
P4.2	-	21	17
P4.3	-	22	18
P4.4	-	23	19
P4.5	-	24	20
P4.6	-	25	21
P4.7	-	26	22
P5.0	S	27	-
P5.1	S	28	-
P5.2	S	29	-
P5.3	S	30	-
P6.0	S	31	23
P6.1	S	33	25
P6.2	S	34	26
P6.3	S	35	27
P7.0	-	36	28
P7.1	-	37	29
P7.2	-	38	30
P7.3	-	39	-

(表格续下页.....)



表 5 (续) 封装和引脚信息

Pin	Capability	Packages	
		E-LQFP-64/VQFN-64	E-LQFP-48/VQFN-48
P7.4	-	40	-
P8.0	AM, AC	59	43
P8.1	AC	60	44
P8.2	AM, AC	61	45
P8.3	AC	62	46
P9.0	S	63	47
P9.1	S	1	-
P9.2	S	2	1
P9.3	S	3	2

表 6 引脚功能缩写

Abbreviation	Capability
AD	Dedicated analog pin directly connected to sampler
AM	Dedicated analog pin/analog capable GPIO pin connected to sampler through MUX
CSG	Dedicated analog pin that can be connected to comparator slope generator input
AC	Analog capable GPIO pin (LPComp input)
S	Smart IO capable GPIO

- 注释:
- 所有 GPIO 引脚都具有 PWM 功能。任何 TCPWM 通道 line 或 line_compl 输出都可路由至任何 GPIO 引脚
 - LUT 数量不受较低引脚数封装中具有 Smart IO 功能的 GPIO 引脚数量的影响

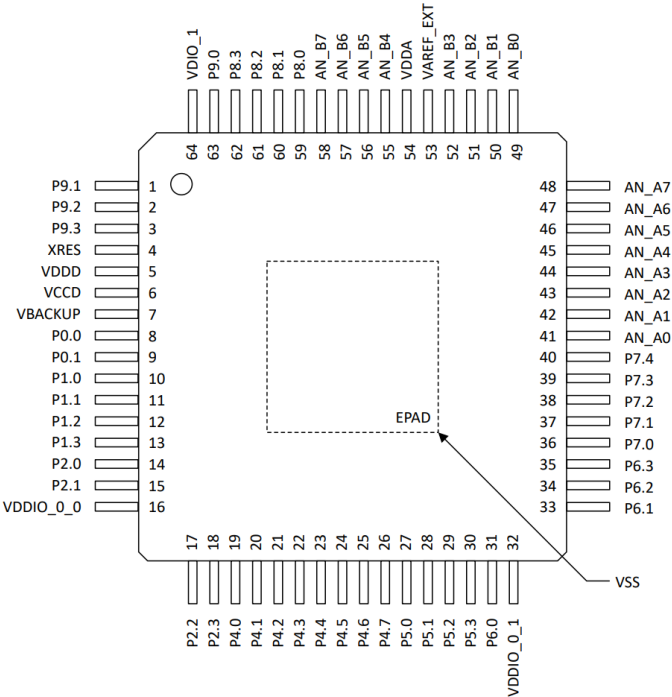


图 7 E-LQFP-64 封装的器件引脚布局（俯视图）

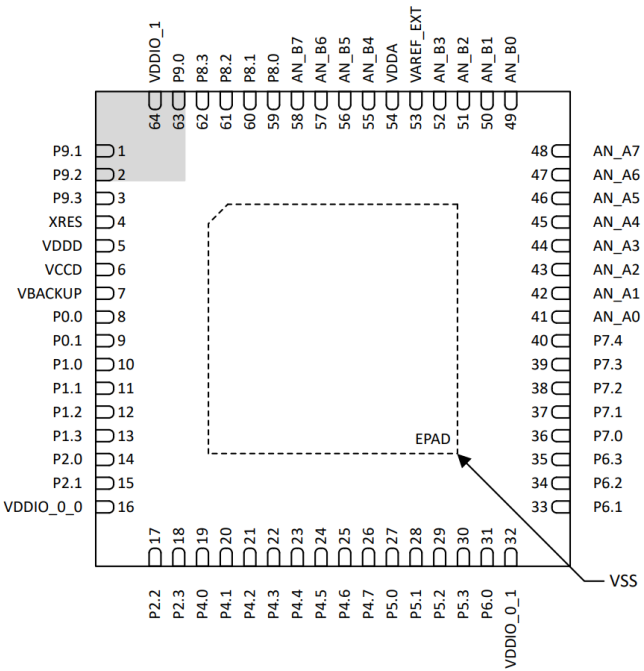


图 8 VQFN-64 封装的器件引脚布局（俯视图）

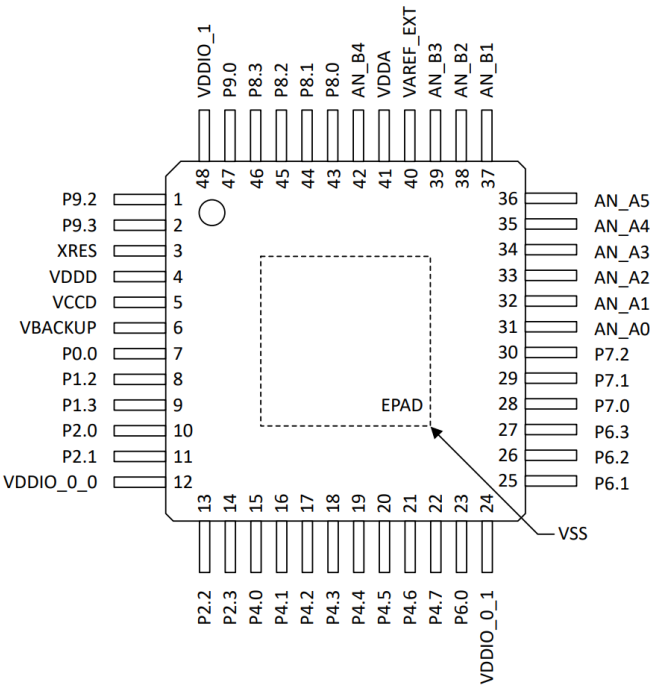


图 9 E-LQFP-48 封装的器件引脚布局（俯视图）

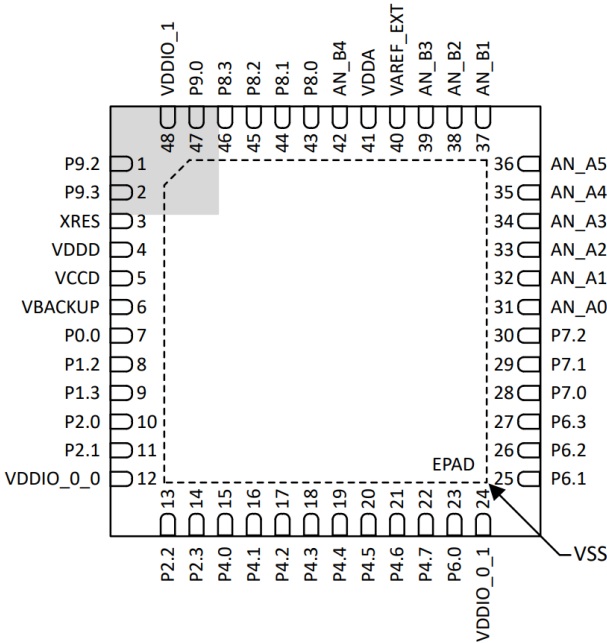


图 10 VQFN-48 封装的器件引脚布局（俯视图）

6 GPIO 复用功能表

表 7 GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P0.0	wco_out	fixed	smartio0.io0	fixed
	ext_clk	ACT #8	peri.tr_io_input[0]:0	ACT #14
	peri.tr_io_output[0]:0	ACT #15		
P0.1	wco_in	fixed	smartio0.io1	fixed
	peri.tr_io_input[1]:0	ACT #14	peri.tr_io_output[1]:0	ACT #15
P1.0	eco_in	fixed	smartio1.io0	fixed
	peri.tr_io_output[58]:1	ACT #1	peri.tr_io_output[70]:1	ACT #2
	scb1.uart.cts	ACT #4	scb1.spi.select0	ACT #6
	peri.tr_io_input[2]:0	ACT #14	peri.tr_io_output[2]:0	ACT #15
P1.1	eco_out	fixed	smartio1.io1	fixed
	peri.tr_io_output[59]:1	ACT #1	peri.tr_io_output[71]:1	ACT #2
	scb1.uart.rts	ACT #4	scb1.spi.clk	ACT #6
	peri.tr_io_input[3]:0	ACT #14	peri.tr_io_output[3]:0	ACT #15
P1.2	smartio1.io2	fixed	peri.tr_io_output[60]:1	ACT #1
	peri.tr_io_output[72]:1	ACT #2	scb1.uart.rx	ACT #4
	scb1.spi.mosi	ACT #6	scb1.i2c.sda	ACT #7
	peri.tr_io_input[4]:0	ACT #14	peri.tr_io_output[4]:0	ACT #15
	swj.swclk/tclk	DS #5		
P1.3	smartio1.io3	fixed	peri.tr_io_output[61]:1	ACT #1
	peri.tr_io_output[73]:1	ACT #2	scb1.uart.tx	ACT #4
	scb1.spi.miso	ACT #6	scb1.i2c.scl	ACT #7
	peri.tr_io_input[5]:0	ACT #14	peri.tr_io_output[5]:0	ACT #15
	swj.swdio/tms	DS #5		
P2.0	hibernate_wakeup	fixed	smartio2.io0	fixed
	peri.tr_io_output[58]:0	ACT #1	tcpwm0.g2.cnt6+	ACT #2
	scb1.uart.cts	ACT #4	scb1.spi.select0	ACT #6
	peri.tr_io_input[6]:0	ACT #14	peri.tr_io_output[6]:0	ACT #15
	swj.tdi	DS #5		

(表格续下页.....)

表 7 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P2.1	smartio2.io1	fixed	peri.tr_io_output[59]:0	ACT #1
	tcpwm0.g2.cnt6-	ACT #2	cal_wave	DS #0
	scb1.uart.rts	ACT #4	scb1.spi.clk	ACT #6
	scb1.i2c.scl	ACT #7	peri.tr_io_input[7]:0	ACT #14
	peri.tr_io_output[7]:0	ACT #15	swj.tdo	DS #5
P2.2	smartio2.io2	fixed	peri.tr_io_output[60]:0	ACT #1
	tcpwm0.g2.cnt7+	ACT #2	scb1.uart.rx	ACT #4
	scb1.spi.mosi	ACT #6	scb1.i2c.sda	ACT #7
	ext_clk	ACT #8	peri.tr_io_input[8]:0	ACT #14
	peri.tr_io_output[8]:0	ACT #15		
P2.3	smartio2.io3	fixed	peri.tr_io_output[61]:0	ACT #1
	tcpwm0.g2.cnt7-	ACT #2	scb1.uart.tx	ACT #4
	scb1.spi.miso	ACT #6	peri.tr_io_input[9]:0	ACT #14
	peri.tr_io_output[9]:0	ACT #15		
P4.0	peri.tr_io_output[50]:0	ACT #0	tcpwm0.g1.cnt4+	ACT #1
	scb4.uart.cts ¹⁾	ACT #4	scb4.spi.mosi ¹⁾	ACT #6
	peri.tr_io_input[14]:0	ACT #14	peri.tr_io_output[14]:0	ACT #15
P4.1	peri.tr_io_output[51]:0	ACT #0	tcpwm0.g1.cnt4-	ACT #1
	scb4.uart.rts ¹⁾	ACT #4	scb4.spi.miso ¹⁾	ACT #6
	scb4.i2c.sda ¹⁾	ACT #7	peri.tr_io_input[15]:0	ACT #14
	peri.tr_io_output[15]:0	ACT #15		
P4.2	peri.tr_io_output[52]:0	ACT #0	tcpwm0.g1.cnt5+	ACT #1
	scb4.uart.rx ¹⁾	ACT #4	scb4.spi.clk ¹⁾	ACT #6
	scb4.i2c.scl ¹⁾	ACT #7	peri.tr_io_input[16]:0	ACT #14
	peri.tr_io_output[16]:0	ACT #15		
P4.3	peri.tr_io_output[53]:0	ACT #0	tcpwm0.g1.cnt5-	ACT #1
	scb4.uart.tx ¹⁾	ACT #4	scb4.spi.select0 ¹⁾	ACT #6
	peri.tr_io_input[17]:0	ACT #14	peri.tr_io_output[17]:0	ACT #15
P4.4	peri.tr_io_output[54]:0	ACT #0	tcpwm0.g1.cnt6+	ACT #1
	peri.tr_io_input[18]:0	ACT #14	peri.tr_io_output[18]:0	ACT #15
P4.5	peri.tr_io_output[55]:0	ACT #0	tcpwm0.g1.cnt6-	ACT #1
	peri.tr_io_input[19]:0	ACT #14	peri.tr_io_output[19]:0	ACT #15

(表格续下页.....)

表 7 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P4.6	peri.tr_io_output[56]:0	ACT #0	tcpwm0.g1.cnt7+	ACT #1
	peri.tr_io_input[20]:0	ACT #14	peri.tr_io_output[20]:0	ACT #15
P4.7	peri.tr_io_output[57]:0	ACT #0	tcpwm0.g1.cnt7-	ACT #1
	peri.tr_io_input[21]:0	ACT #14	peri.tr_io_output[21]:0	ACT #15
P5.0	smartio5.io0	fixed	peri.tr_io_output[62]:1	ACT #1
	scb3.uart.cts	ACT #4	scb3.spi.mosi	ACT #6
	scb3.i2c.sda	ACT #7	peri.tr_io_input[22]:0	ACT #14
	peri.tr_io_output[22]:0	ACT #15		
P5.1	smartio5.io1	fixed	peri.tr_io_output[63]:1	ACT #1
	scb3.uart.rts	ACT #4	scb3.spi.miso	ACT #6
	scb3.i2c.scl	ACT #7	peri.tr_io_input[23]:0	ACT #14
	peri.tr_io_output[23]:0	ACT #15		
P5.2	smartio5.io2	fixed	peri.tr_io_output[64]:1	ACT #1
	can1.rx	ACT #3	scb3.uart.rx	ACT #4
	scb3.spi.clk	ACT #6	peri.tr_io_input[24]:0	ACT #14
	peri.tr_io_output[24]:0	ACT #15		
P5.3	smartio5.io3	fixed	peri.tr_io_output[65]:1	ACT #1
	can1.tx	ACT #3	scb3.uart.tx	ACT #4
	scb3.spi.select0	ACT #6	peri.tr_io_input[25]:0	ACT #14
	peri.tr_io_output[25]:0	ACT #15		
P6.0	smartio6.io0	fixed	tcpwm0.g1.cnt4+	ACT #1
	peri.tr_io_output[66]:0	ACT #2	scb3.uart.cts	ACT #4
	scb3.spi.mosi	ACT #6	scb3.i2c.sda	ACT #7
	peri.tr_io_input[26]:0	ACT #14	peri.tr_io_output[26]:0	ACT #15
P6.1	smartio6.io1	fixed	tcpwm0.g1.cnt4-	ACT #1
	peri.tr_io_output[67]:0	ACT #2	scb3.uart.rts	ACT #4
	scb3.spi.miso	ACT #6	scb3.i2c.scl	ACT #7
	peri.tr_io_input[27]:0	ACT #14	peri.tr_io_output[27]:0	ACT #15
P6.2	smartio6.io2	fixed	tcpwm0.g1.cnt5+	ACT #1
	peri.tr_io_output[68]:0	ACT #2	can1.rx	ACT #3
	scb3.uart.rx	ACT #4	scb3.spi.clk	ACT #6
	peri.tr_io_input[28]:0	ACT #14	peri.tr_io_output[28]:0	ACT #15

(表格续下页.....)

表 7 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P6.3	smartio6.io3	fixed	tcpwm0.g1.cnt5-	ACT #1
	peri.tr_io_output[69]:0	ACT #2	can1.tx	ACT #3
	scb3.uart.tx	ACT #4	scb3.spi.select0	ACT #6
	cpuss.fault[0]:1	ACT #9	peri.tr_io_input[29]:0	ACT #14
	peri.tr_io_output[29]:0	ACT #15		
P7.0	peri.tr_io_output[50]:1	ACT #0	tcpwm0.g1.cnt6+	ACT #1
	peri.tr_io_output[70]:0	ACT #2	scb2.uart.cts	ACT #4
	scb2.spi.clk	ACT #5	scb2.i2c.scl	ACT #7
	trace.data0	ACT #9	hppass.gpio_out0	ACT #12
	peri.tr_io_input[30]:0	ACT #14	peri.tr_io_output[30]:0	ACT #15
P7.1	peri.tr_io_output[51]:1	ACT #0	tcpwm0.g1.cnt6-	ACT #1
	peri.tr_io_output[71]:0	ACT #2	scb2.uart.tx	ACT #4
	scb2.spi.mosi	ACT #5	scb2.i2c.sda	ACT #7
	trace.data1	ACT #9	hppass.gpio_out1	ACT #12
	peri.tr_io_input[31]:0	ACT #14	peri.tr_io_output[31]:0	ACT #15
P7.2	peri.tr_io_output[52]:1	ACT #0	tcpwm0.g1.cnt7+	ACT #1
	peri.tr_io_output[72]:0	ACT #2	scb2.uart.rx	ACT #4
	scb2.spi.miso	ACT #5	trace.data2	ACT #9
	hppass.gpio_out2	ACT #12	peri.tr_io_input[32]:0	ACT #14
	peri.tr_io_output[32]:0	ACT #15		
P7.3	peri.tr_io_output[53]:1	ACT #0	tcpwm0.g1.cnt7-	ACT #1
	peri.tr_io_output[73]:0	ACT #2	scb2.uart.rts	ACT #4
	scb2.spi.select0	ACT #5	trace.data3	ACT #9
	hppass.gpio_out3	ACT #12	peri.tr_io_input[33]:0	ACT #14
	peri.tr_io_output[33]:0	ACT #15		
P7.4	peri.tr_io_output[54]:1	ACT #0	scb2.spi.select1	ACT #5
	trace.clock	ACT #9	hppass.gpio_out4	ACT #12
	peri.tr_io_input[34]:0	ACT #14	peri.tr_io_output[34]:0	ACT #15

(表格续下页.....)

表 7 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P8.0	lpcomp0.in+	fixed	hppass.gpio_00_aio	fixed
	peri.tr_io_output[62]:2	ACT #1	tcpwm0.g2.cnt4+	ACT #2
	scb5.uart.cts ¹⁾	ACT #4	scb5.spi.select0 ¹⁾	ACT #5
	trace.data0	ACT #9	hppass.gpio_out0	ACT #12
	peri.tr_io_input[38]:0	ACT #14	peri.tr_io_output[38]:0	ACT #15
	swj.trstn	DS #5		
P8.1	lpcomp0.in-	fixed	peri.tr_io_output[63]:2	ACT #1
	tcpwm0.g2.cnt4-	ACT #2	scb5.uart.rx ¹⁾	ACT #4
	scb5.spi.mosi ¹⁾	ACT #5	scb5.i2c.scl ¹⁾	ACT #7
	trace.data1	ACT #9	hppass.gpio_out1	ACT #12
	peri.tr_io_input[39]:0	ACT #14	peri.tr_io_output[39]:0	ACT #15
P8.2	lpcomp1.in+	fixed	hppass.gpio_01_aio	fixed
	peri.tr_io_output[64]:2	ACT #1	tcpwm0.g2.cnt5+	ACT #2
	can0.rx	ACT #3	scb5.uart.rts ¹⁾	ACT #4
	scb5.spi.miso ¹⁾	ACT #5	trace.data2	ACT #9
	hppass.gpio_out2	ACT #12	peri.tr_io_input[40]:0	ACT #14
	peri.tr_io_output[40]:0	ACT #15		
P8.3	lpcomp1.in-	fixed	peri.tr_io_output[65]:2	ACT #1
	tcpwm0.g2.cnt5-	ACT #2	can0.tx	ACT #3
	scb5.uart.tx ¹⁾	ACT #4	scb5.spi.clk ¹⁾	ACT #5
	scb5.i2c.sda ¹⁾	ACT #7	trace.data3	ACT #9
	hppass.gpio_out3	ACT #12	peri.tr_io_input[41]:0	ACT #14
	peri.tr_io_output[41]:0	ACT #15		
P9.0	hibernate_wakeup	fixed	smartio9.io0	fixed
	tcpwm0.g2.cnt6+	ACT #2	scb0.spi.clk	DS #1
	scb0.uart.cts	DS #2	scb0.i2c.scl	DS #3
	peri.tr_io_input[44]:0	ACT #14	peri.tr_io_output[44]:0	ACT #15
P9.1	smartio9.io1	fixed	tcpwm0.g2.cnt6-	ACT #2
	scb0.spi.select0	DS #1	scb0.uart.rts	DS #2
	peri.tr_io_input[45]:0	ACT #14	peri.tr_io_output[45]:0	ACT #15

(表格续下页.....)

表 7 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P9.2	smartio9.io2	fixed	tcpwm0.g2.cnt7+	ACT #2
	can0.rx	ACT #3	scb0.spi.mosi	DS #1
	scb0.uart.rx	DS #2	scb0.i2c.sda	DS #3
	trace.clock	ACT #9	hppass.gpio_out4	ACT #12
	peri.tr_io_input[46]:0	ACT #14	peri.tr_io_output[46]:0	ACT #15
P9.3	smartio9.io3	fixed	tcpwm0.g2.cnt7-	ACT #2
	can0.tx	ACT #3	scb0.spi.miso	DS #1
	scb0.uart.tx	DS #2	cpuss.clk_fm_pump	ACT #8
	cpuss.fault[0]:0	ACT #9	peri.tr_io_input[47]:0	ACT #14
	peri.tr_io_output[47]:0	ACT #15		

1) 48 引脚器件不提供 SCB4 和 SCB5

表 8 GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
cal_wave	P2.1	can0.rx	P8.2, P9.2	can0.tx	P8.3, P9.3
can1.rx	P5.2, P6.2	can1.tx	P5.3, P6.3	cpuss.clk_fm_pump	P9.3
cpuss.fault[0]:0	P9.3	cpuss.fault[0]:1	P6.3	eco_in	P1.0
eco_out	P1.1	ext_clk	P0.0, P2.2	hibernate_wakeup	P2.0, P9.0
hppass.gpio_00_aio	P8.0	hppass.gpio_01_aio	P8.2	hppass.gpio_out0	P7.0, P8.0
hppass.gpio_out1	P7.1, P8.1	hppass.gpio_out2	P7.2, P8.2	hppass.gpio_out3	P7.3, P8.3
hppass.gpio_out4	P7.4, P9.2	lpcomp0.in+	P8.0	lpcomp0.in-	P8.1
lpcomp1.in+	P8.2	lpcomp1.in-	P8.3	peri.tr_io_input[0]:0	P0.0
peri.tr_io_input[14]:0	P4.0	peri.tr_io_input[15]:0	P4.1	peri.tr_io_input[16]:0	P4.2
peri.tr_io_input[17]:0	P4.3	peri.tr_io_input[18]:0	P4.4	peri.tr_io_input[19]:0	P4.5
peri.tr_io_input[1]:0	P0.1	peri.tr_io_input[20]:0	P4.6	peri.tr_io_input[21]:0	P4.7
peri.tr_io_input[22]:0	P5.0	peri.tr_io_input[23]:0	P5.1	peri.tr_io_input[24]:0	P5.2
peri.tr_io_input[25]:0	P5.3	peri.tr_io_input[26]:0	P6.0	peri.tr_io_input[27]:0	P6.1

(表格续下页.....)

表 8 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
peri.tr_io_input[28]:0	P6.2	peri.tr_io_input[29]:0	P6.3	peri.tr_io_input[2]:0	P1.0
peri.tr_io_input[30]:0	P7.0	peri.tr_io_input[31]:0	P7.1	peri.tr_io_input[32]:0	P7.2
peri.tr_io_input[33]:0	P7.3	peri.tr_io_input[34]:0	P7.4	peri.tr_io_input[38]:0	P8.0
peri.tr_io_input[39]:0	P8.1	peri.tr_io_input[3]:0	P1.1	peri.tr_io_input[40]:0	P8.2
peri.tr_io_input[41]:0	P8.3	peri.tr_io_input[44]:0	P9.0	peri.tr_io_input[45]:0	P9.1
peri.tr_io_input[46]:0	P9.2	peri.tr_io_input[47]:0	P9.3	peri.tr_io_input[4]:0	P1.2
peri.tr_io_input[5]:0	P1.3	peri.tr_io_input[6]:0	P2.0	peri.tr_io_input[7]:0	P2.1
peri.tr_io_input[8]:0	P2.2	peri.tr_io_input[9]:0	P2.3	peri.tr_io_output[0]:0	P0.0
peri.tr_io_output[14]:0	P4.0	peri.tr_io_output[15]:0	P4.1	peri.tr_io_output[16]:0	P4.2
peri.tr_io_output[17]:0	P4.3	peri.tr_io_output[18]:0	P4.4	peri.tr_io_output[19]:0	P4.5
peri.tr_io_output[1]:0	P0.1	peri.tr_io_output[20]:0	P4.6	peri.tr_io_output[21]:0	P4.7
peri.tr_io_output[22]:0	P5.0	peri.tr_io_output[23]:0	P5.1	peri.tr_io_output[24]:0	P5.2
peri.tr_io_output[25]:0	P5.3	peri.tr_io_output[26]:0	P6.0	peri.tr_io_output[27]:0	P6.1
peri.tr_io_output[28]:0	P6.2	peri.tr_io_output[29]:0	P6.3	peri.tr_io_output[2]:0	P1.0
peri.tr_io_output[30]:0	P7.0	peri.tr_io_output[31]:0	P7.1	peri.tr_io_output[32]:0	P7.2
peri.tr_io_output[33]:0	P7.3	peri.tr_io_output[34]:0	P7.4	peri.tr_io_output[38]:0	P8.0
peri.tr_io_output[39]:0	P8.1	peri.tr_io_output[3]:0	P1.1	peri.tr_io_output[40]:0	P8.2
peri.tr_io_output[41]:0	P8.3	peri.tr_io_output[44]:0	P9.0	peri.tr_io_output[45]:0	P9.1
peri.tr_io_output[46]:0	P9.2	peri.tr_io_output[47]:0	P9.3	peri.tr_io_output[4]:0	P1.2

(表格续下页.....)

表 8 (续) **GPIO 复用功能**

Function	GPIOs	Function	GPIOs	Function	GPIOs
peri.tr_io_output[50]:0	P4.0	peri.tr_io_output[50]:1	P7.0	peri.tr_io_output[51]:0	P4.1
peri.tr_io_output[51]:1	P7.1	peri.tr_io_output[52]:0	P4.2	peri.tr_io_output[52]:1	P7.2
peri.tr_io_output[53]:0	P4.3	peri.tr_io_output[53]:1	P7.3	peri.tr_io_output[54]:0	P4.4
peri.tr_io_output[54]:1	P7.4	peri.tr_io_output[55]:0	P4.5	peri.tr_io_output[56]:0	P4.6
peri.tr_io_output[57]:0	P4.7	peri.tr_io_output[58]:0	P2.0	peri.tr_io_output[58]:1	P1.0
peri.tr_io_output[59]:0	P2.1	peri.tr_io_output[59]:1	P1.1	peri.tr_io_output[5]:0	P1.3
peri.tr_io_output[60]:0	P2.2	peri.tr_io_output[60]:1	P1.2	peri.tr_io_output[61]:0	P2.3
peri.tr_io_output[61]:1	P1.3	peri.tr_io_output[62]:1	P5.0	peri.tr_io_output[62]:2	P8.0
peri.tr_io_output[63]:1	P5.1	peri.tr_io_output[63]:2	P8.1	peri.tr_io_output[64]:1	P5.2
peri.tr_io_output[64]:2	P8.2	peri.tr_io_output[65]:1	P5.3	peri.tr_io_output[65]:2	P8.3
peri.tr_io_output[66]:0	P6.0	peri.tr_io_output[67]:0	P6.1	peri.tr_io_output[68]:0	P6.2
peri.tr_io_output[69]:0	P6.3	peri.tr_io_output[6]:0	P2.0	peri.tr_io_output[70]:0	P7.0
peri.tr_io_output[70]:1	P1.0	peri.tr_io_output[71]:0	P7.1	peri.tr_io_output[71]:1	P1.1
peri.tr_io_output[72]:0	P7.2	peri.tr_io_output[72]:1	P1.2	peri.tr_io_output[73]:0	P7.3
peri.tr_io_output[73]:1	P1.3	peri.tr_io_output[7]:0	P2.1	peri.tr_io_output[8]:0	P2.2
peri.tr_io_output[9]:0	P2.3	scb0.i2c.scl	P9.0	scb0.i2c.sda	P9.2
scb0.spi.clk	P9.0	scb0.spi.miso	P9.3	scb0.spi.mosi	P9.2
scb0.spi.select0	P9.1	scb0.uart.cts	P9.0	scb0.uart.rts	P9.1
scb0.uart.rx	P9.2	scb0.uart.tx	P9.3	scb1.i2c.scl	P1.3, P2.1
scb1.i2c.sda	P1.2, P2.2	scb1.spi.clk	P1.1, P2.1	scb1.spi.miso	P1.3, P2.3
scb1.spi.mosi	P1.2, P2.2	scb1.spi.select0	P1.0, P2.0	scb1.uart.cts	P1.0, P2.0
scb1.uart.rts	P1.1, P2.1	scb1.uart.rx	P1.2, P2.2	scb1.uart.tx	P1.3, P2.3

(表格续下页.....)

表 8 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
scb2.i2c.scl	P7.0	scb2.i2c.sda	P7.1	scb2.spi.clk	P7.0
scb2.spi.miso	P7.2	scb2.spi.mosi	P7.1	scb2.spi.select0	P7.3
scb2.spi.select1	P7.4	scb2.uart.cts	P7.0	scb2.uart.rts	P7.3
scb2.uart.rx	P7.2	scb2.uart.tx	P7.1	scb3.i2c.scl	P5.1, P6.1
scb3.i2c.sda	P5.0, P6.0	scb3.spi.clk	P5.2, P6.2	scb3.spi.miso	P5.1, P6.1
scb3.spi.mosi	P5.0, P6.0	scb3.spi.select0	P5.3, P6.3	scb3.uart.cts	P5.0, P6.0
scb3.uart.rts	P5.1, P6.1	scb3.uart.rx	P5.2, P6.2	scb3.uart.tx	P5.3, P6.3
scb4.i2c.scl ¹⁾	P4.2	scb4.i2c.sda ¹⁾	P4.1	scb4.spi.clk ¹⁾	P4.2
scb4.spi.miso ¹⁾	P4.1	scb4.spi.mosi ¹⁾	P4.0	scb4.spi.select0 ¹⁾	P4.3
scb4.uart.cts ¹⁾	P4.0	scb4.uart.rts ¹⁾	P4.1	scb4.uart.rx ¹⁾	P4.2
scb4.uart.tx ¹⁾	P4.3	scb5.i2c.scl ¹⁾	P8.1	scb5.i2c.sda ¹⁾	P8.3
scb5.spi.clk ¹⁾	P8.3	scb5.spi.miso ¹⁾	P8.2	scb5.spi.mosi ¹⁾	P8.1
scb5.spi.select0 ¹⁾	P8.0	scb5.uart.cts ¹⁾	P8.0	scb5.uart.rts ¹⁾	P8.2
scb5.uart.rx ¹⁾	P8.1	scb5.uart.tx ¹⁾	P8.3	smartio0.io0	P0.0
smartio0.io1	P0.1	smartio1.io0	P1.0	smartio1.io1	P1.1
smartio1.io2	P1.2	smartio1.io3	P1.3	smartio2.io0	P2.0
smartio2.io1	P2.1	smartio2.io2	P2.2	smartio2.io3	P2.3
smartio5.io0	P5.0	smartio5.io1	P5.1	smartio5.io2	P5.2
smartio5.io3	P5.3	smartio6.io0	P6.0	smartio6.io1	P6.1
smartio6.io2	P6.2	smartio6.io3	P6.3	smartio9.io0	P9.0
smartio9.io1	P9.1	smartio9.io2	P9.2	smartio9.io3	P9.3
swj.swclk/tclk	P1.2	swj.swdio/tms	P1.3	swj.tdi	P2.0
swj.tdo	P2.1	swj.trstn	P8.0	tcpwm0.g1.cnt4+	P4.0, P6.0
tcpwm0.g1.cnt4-	P4.1, P6.1	tcpwm0.g1.cnt5+	P4.2, P6.2	tcpwm0.g1.cnt5-	P4.3, P6.3
tcpwm0.g1.cnt6+	P4.4, P7.0	tcpwm0.g1.cnt6-	P4.5, P7.1	tcpwm0.g1.cnt7+	P4.6, P7.2
tcpwm0.g1.cnt7-	P4.7, P7.3	tcpwm0.g2.cnt4+	P8.0	tcpwm0.g2.cnt4-	P8.1
tcpwm0.g2.cnt5+	P8.2	tcpwm0.g2.cnt5-	P8.3	tcpwm0.g2.cnt6+	P2.0, P9.0
tcpwm0.g2.cnt6-	P2.1, P9.1	tcpwm0.g2.cnt7+	P2.2, P9.2	tcpwm0.g2.cnt7-	P2.3, P9.3
trace.clock	P7.4, P9.2	trace.data0	P7.0, P8.0	trace.data1	P7.1, P8.1
trace.data2	P7.2, P8.2	trace.data3	P7.3, P8.3	wco_in	P0.1
wco_out	P0.0	-	-	-	-

1) 48 引脚器件不提供 SCB4 和 SCB5

peri.tr_io_input[n] 和 peri.tr_io_output[n] 利用高速 I/O 矩阵 (HSIOM)，在外设和 GPIO 引脚之间提供更多层次的触发和信号路由选择。peri.tr_io_input[n] 允许将 GPIO 引脚用作外设触发输入源（外部触发）。

同样，peri.tr_io_output[n] 也可用于将外设触发器和某些信号（如 TCPWM line_out 和 line_compl_out）路由到 GPIO 引脚。更多信息请参阅 PSOC™ Control C3 架构参考手册第 10.3 节中的触发器 MUX 连接表。

7 电气规格

7.1 绝对最大额定值

表 9 绝对最大额定值

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID1	Analog or Digital Supply relative to Vss (Vssd=Vssa)	VDD_ABS	-0.5	-	4	V	Absolute Maximum
SID2_E	Direct digital core voltage input relative to Vssd	VCCD_ABS	-0.5	-	1.1	V	Absolute Maximum
SID3	GPIO voltage ; VDDD or VDDA	VGPI0_ABS	-0.5	-	VDD+0.5	V	Absolute Maximum
SID4	Current per GPIO	IGPI0_ABS	-25	-	25	mA	Absolute Maximum
SID5	GPIO injection current per pin	IGPI0_injection	-0.5	-	0.5	mA	Absolute Maximum
SID3A	Electrostatic discharge Human Body Model	ESD_HBM	2000	-	-	V	Absolute Maximum
SID4A	Electrostatic discharge Charged Device Model	ESD_CDM	500	-	-	V	Absolute Maximum
SID5A	Pin current for latchup free operation	LU	-100	-	100	mA	Absolute Maximum
SIDWA8	Maximum undershoot voltage for I/O	Vundershoot	-	-	-0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA9	Maximum overshoot voltage for I/O	Vovershoot	-	-	VDDIO + 0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA10	Maximum junction temperature	Tj	-	-	125	°C	

7.2 器件级规范

7.2.1 电源

表 10 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
DC Specifications							
SID6	Internal Regulator	VDDD	1.71	-	3.6	V	
SID7B	GPIO Supply for Ports 1, 2, 3, 4, 5, 6, 7	VDDIO_0	1.71	-	3.6	V	
SID7EP	E-Fuse Programming time	EFUSETIME	-	-	5.5	μs	Switch on time of 0.5us included

(表格续下页.....)

表 10 (续) 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID7C	GPIO Supply for Ports 8 and 9	VDDIO_1	1.71	-	3.6	V	
SID7A	Analog power supply for ADC and Comparator	VDDA	1.71	-	3.6	V	
SID6B	Backup Power; normally shorted to VDDD (supply PORT 0)	VBACKUP	1.71	-	3.6	V	Min. is 1.4 V in Backup mode
SID8A	Output voltage (for core logic bypass)	VCCD (LP)	-	1.1	-	V	High-speed mode
SID8B	Output voltage (for core logic bypass)	VCCD (MF)	-	1	-		ULP mode. Valid for -20 to 125°C.
SID8C	Output voltage (for core logic bypass)	VCCD (ULP)	-	0.9	-		ULP mode. Valid for -20 to 125°C.
SID10	External Regulator voltage (VCCD) bypass	CEFC	3.76	4.7	5.6	μF	X5R ceramic or better. Value for 0.8 to 1.1 V.
SID11	Power supply decoupling capacitor	CEXC	-	10	-	μF	X5R ceramic or better

Deep Sleep Mode

SIDDS1	With internal LDO enabled and no SRAM retention	IDD33	-	6	8	μA	Max value is at 85°C (not including analog leakage on VDDA and VAREF_EXT)
SIDDS1_A	With internal LDO enabled and 64K SRAM retention	IDD33A	-	7	11	μA	Max value is at 85°C (not including analog leakage on VDDA and VAREF_EXT)
SIDDS2	Leakage on analog supply and analog reference in deep sleep mode	IDDA	-	0.1	1.5	μA	Max values at 85°C

休眠模式

SIDHIB1	VDDD = 1.8 V	IDD34	-	300	-	nA	No clocks running (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB2	VDDD = 3.3 V	IDD34A	-	500	-	nA	No clocks running (not including analog leakage on VDDA and VAREF_EXT)

(表格续下页.....)

表 10 (续) 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDHIB3	VDDD = 1.8 V	IDD35	-	800	-	nA	WCO is running, lpcomp active (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB4	VDDD = 3.3 V	IDD35A	-	1000	-	nA	WCO is running, lpcomp active (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB5	Leakage on analog supply and analog reference in hibernate mode	IDDA	-	100	-	nA	Typical silicon and typical temperature

7.2.2 CPU 电流和转换时间

表 11 CPU 电流和转换时间

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Cortex® M33. Active Mode							
SIDC3_E	Execute from Cache;CM33 Active 100 MHz. PLL. Dhrystone. LP Mode	IDD5	-	15	30	mA	VDDD = 3.3 V, Max at 125°C
SIDC3A_E	Execute from Cache;CM33 Active 100 MHz. PLL. Dhrystone. LP Mode	IDD5A	-	15	30	mA	VDDD = 1.8 V, Max at 125°C
SIDC4	Execute from Cache;CM33 Active 70 MHz. PLL. Dhrystone. MF Mode	IDD6	-	12	27	mA	VDDD = 3.3 V, Max at 125°C
SIDC4A	Execute from Cache;CM33 Active 70 MHz. PLL. Dhrystone. MF Mode	IDD6A	-	12	27	mA	VDDD = 1.8 V, Max at 125°C
SIDC5	Execute from Cache;CM33 Active 50 MHz. PLL. Dhrystone. ULP Mode	IDD7	-	7	18	mA	VDDD = 3.3 V, Max at 125°C
SIDC5A	Execute from Cache;CM33 Active 50 MHz. PLL. Dhrystone. ULP Mode	IDD7A	-	7	18	mA	VDDD = 1.8 V, Max at 125°C
Cortex® M33 Sleep Mode							
SIDS2E	CM33 Sleep 100 MHz. PLL. LP Mode	IDD12	-	7	11	mA	VDDD = 3.3 V, Max at 105°C

(表格续下页.....)

表 11 (续) CPU 电流和转换时间

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDS2A_E	CM33 Sleep 100 MHz. PLL.. LP Mode	IDD12A	-	7.0	11	mA	VDDD = 1.8 V, Max at 105°C
SIDS3	CM33 Sleep 70 MHz. PLL. MF Mode	IDD13	-	4.5	10	mA	VDDD = 3.3 V, Max at 105°C
SIDS3A	CM33 Sleep 70 MHz. PLL. MF Mode	IDD13A	-	4.5	10	mA	VDDD = 1.8 V, Max at 105°C
SIDS4	CM33 Sleep 50 MHz. PLL. ULP Mode	IDD14	-	4	9	mA	VDDD = 3.3 V, Max at 105°C
SIDS4A	CM33 Sleep 50 MHz. PLL. ULP Mode	IDD14A	-	4	9	mA	VDDD = 1.8 V, Max at 105°C

Boot Time

SIDBT1	Boot time after reset	BTIME	-	-	3000000	cycles	Refer to CPU clock cycles
--------	-----------------------	-------	---	---	---------	--------	---------------------------

功耗模式转换次数

SID13A	Deep Sleep to Active transition time.	TDS_ACT	-	-	45	μs	DS to Active with 1.1 V operation
SID13B	Deep Sleep to Active LP transition time	TDS_ACTLP	-	-	26	μs	DS to Active LP with 1.0 V operation
SID13C	Deep Sleep-RAM to Active transition time	TDSR_ACT	-	-	800	μs	DS to Active with 1.1 V operation
SID13D	Deep Sleep-RAM to Active LP transition time	TDSR_ACTU LP	-	-	800	μs	DS-RAM to Active LP with 1.0 V operation
SID14	Hibernate to Active transition time	THIB_ACT	-	2000	-	μS	Including PLL lock time

7.2.3 XRES

表 12 XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

XRES AC Specifications

SID15	POR or XRES release to Active transition time	TXRES_ACT	-	2	-	mS	With BOOT_OD_CLOCK=180MHz, LISTEN_WINDOW=9 and BOOT_SIMPLE_APP configuration
SID16	XRES Pulse width	TXRES_PW	5	-	-	μS	

(表格续下页.....)

表 12 (续) XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
XRES DC Specifications							
SID17	IDD when XRES asserted	TXRES_IDD	-	180	-	nA	VDDD = 1.8 V
SID17	IDD when XRES asserted	TXRES_IDD_1	-	330	-	nA	VDDD = 3.3 V
SID77	Input Voltage high threshold	VIH	0.7*VDD	-	-	V	CMOS Input
SID78	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID80	Input Capacitance	CIN	-	3	-	pF	XRES resistor removed
SID81	Input voltage hysteresis	VHYSXRES	-	100	-	mV	
SID82	Current through protection diode to VDD/Vss	IDIODE	-	-	100	μA	

7.2.4 GPIO

表 13 GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
GPIO DC Specifications							
SID57	Input Voltage high threshold	VIH	0.7*VDD	-	-	V	CMOS Input
SID58	Input Voltage low threshold	VIL	-	-	0.3*VDD	V	CMOS Input
SID243	LVTTL input, VDD > = 2.7 V	VIH	2.0	-	-	V	
SID244	LVTTL input, VDD > = 2.7 V	VIL	-	-	0.8	V	
SID59	Output Voltage high level	VOH	VDD-0.5	-	-	V	Ioh = 6 mA
SID62A	Output Voltage low level	VOL	-	-	0.4	V	Iol = 6 mA
SID63	Pull-up resistor	RPULLUP	3.5	5.6	8.5	kΩ	
SID64	Pull-down resistor	RPULLDOWN	3.5	5.6	8.5	kΩ	
SID65	Input leakage current(absolute value)	IIL	-	-	2	nA	25°C, VDD = 3.0 V
SID66	Input Capacitance	CIN	-	-	5	pF	
SID67	Input hysteresis LVTTL VDD > 2.7 V	VHYSTTL	100	0	-	mV	
SID68	Input hysteresis CMOS	VHYSCMOS	0.05*VD D	-	-	mV	
SID69	Current through protection diode to VDD/VSS	IDIODE	-	-	100	μA	
SID69A	Maximum Total Source or Sink Chip Current	ITOT_GPIO	-	-	200	mA	

(表格续下页.....)

表 13 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
GPIO AC Specifications							
SID70	Rise time in Fast Strong Mode. 10% to 90% of VDD	TRISEF	-	-	2.5	ns	Clod = 15 pF, 8 mA drive strength
SID71	Fall time in Fast Strong Mode. 10% to 90% of VDD.	TFALLF	-	-	2.5	ns	Clod = 15 pF, 8 mA drive strength
SID72	Rise time in Slow Strong Mode. 10% to 90% of VDD	TRISES_1	-	-	14.4	ns	Clod = 15 pF, 8 mA drive strength, VDD <= 2.7 V
SID72A	Rise time in Slow Strong Mode. 10% to 90% of VDD	TRISES_2	-	-	7.2	ns	Clod = 15 pF, 8 mA drive strength, 2.7 V < VDD <= 3.6
SID73	Fall time in Slow Strong Mode. 10% to 90% of VDD	TFALLS_1	-	-	14.4	ns	Clod = 15 pF, 8 mA drive strength, VDD <= 2.7 V
SID73A	Fall time in Slow Strong Mode. 10% to 90% of VDD	TFALLS_2	-	-	7.2	ns	Clod = 15 pF, 8 mA drive strength, 2.7 V < VDD <= 3.6
SID73G	Fall time (30% to 70% of VDD) in Slow Strong mode	TFALL_I2C	20*Vddi o/5.5	-	250	ns	Clod = 10 pF to 400 pF, 8mA drive strength
SID74	GPIO Fout. Fast Strong mode.	FGPIOUT1	-	-	80	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID75	GPIO Fout; Slow Strong mode.	FGPIOUT2	-	-	16.7	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID76	GPIO Fout; Fast Strong mode.	FGPIOUT3	-	-	7	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID245	GPIO Fout;Slow Strong mode.	FGPIOUT4	-	-	3.5	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246	GPIO input operating frequency;1.71 V <= VDD <= 3.6 V	FGPIOIN	-	-	100	MHz	90/10% Vio

7.3 模拟外设

表 14 模拟子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Analog Peripherals							
SIDAS1	Leakage on single analog input pin	AIN_LEAK	-	0.32	12	nA	Maximum leakage at 125°C
SIDAS2	Input Capactiance of CSG	AIN_CAP_CSG	-	-	1	pF	Valid for VDDA > = 2.7 V
SIDAS2A	Input Capactiance of ADC	AIN_CAP_AD C	-	-	3	pF	Valid for VDDA > = 2.7 V
SIDAS3	Total series resistance on channel reaching CSG	AIN_RES_CS G S	-	-	500	Ω	Valid for VDDA > = 2.7 V
SIDAS3A	Total parallel resistance on channel reaching CSG	AIN_RES_CS G P	-	-	400	MΩ	Valid for VDDA > = 2.7 V
SIDAS4	Total resistance of analog channel directly connected to S/H	AIN_RES_ADC	-	-	750	Ω	Valid for VDDA > = 2.7 V
SIDAS4A	Total resistance of analog channel connected to S/H through AMUX	AIN_RES_ADC	-	-	2600	Ω	Valid for VDDA > = 2.7 V

7.3.1 LP比较器

表 15 LPComp

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
LP Comparator DC Specifications							
SID84	Input offset voltage for COMP1. Normal power mode.	VOFFSET1	-10	-	10	mV	
SID85A	Input offset voltage. Low-power mode.	VOFFSET2	-25	+/-12	25	mV	
SID85B	Input offset voltage. Ultra low-power mode.	VOFFSET3	-25	+/-12	25	mV	
SID86	Hysteresis when enabled in Normal mode	VHYST1	-	-	60	mV	
SID86A	Hysteresis when enabled in Low-power mode	VHYST2	-	-	80	mV	
SID87	Input common mode voltage in Normal mode	VICM1	0	-	VDDIO1 -0.1	V	
SID247	Input common mode voltage in Low power mode	VICM2	0	-	VDDIO1 -0.1	V	
SID247A	Input common mode voltage in Ultra low power mode	VICM3	0	-	VDDIO1 -0.1	V	

(表格续下)

表 15 (续) LPComp

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID88	Common mode rejection ratio in Normal power mode	CMRR	50	-	-	dB	
SID89	Block Current, Normal mode	ICMP1	-	-	150	μA	
SID248	Block Current, Low power mode	ICMP2	-	-	10	μA	
SID259	Block Current in Ultra low-power mode	ICMP3	-	0.3	0.85	μA	
SID90	DC Input impedance of comparator	ZCMP	35	-	-	MΩ	

LPComparator AC Specifications

SID91	Response time, Normal mode, 100 mV overdrive	TRESP1	-	-	100	ns	
SID258	Response time, Low power mode, 100 mV overdrive	TRESP2	-	-	1000	ns	
SID92	Response time, Ultra-low power mode, 100 mV overdrive	TRESP3	-	-	20	μs	
SID92E	Time from Enabling to operation	T_CMP_EN1	-	-	10	μs	Normal and Low-power modes. Guranteed by design
SID92F	Time from Enabling to operation	T_CMP_EN2	-	-	50	μs	Ultra low-power mode. Guranteed by design

7.3.2 HPPASS

表 16 HPPASS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

CSG DC Specifications

SIDCSG	Reference voltage for DAC	DAC_REF	-	VDDA	-	V	Supply is used as reference for the DAC
SIDCSG.0	Input referred residual offset for comparator	VOFFSET	-3	-	3	mV	
SIDCSG.1	Input common mode voltage	VCMR	0.2	-	VDDA-0.2	V	
SIDCSG.2	Operating current on VDDA at 120 MHz	IVDDA	-	-	700	uA	Includes comparator, DAC on VDDA and all internal blocks. Only one instance of CSG

(表格续下)

表 16 (续) HPPASS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDCSG.2A	Operating current(Single instance) on VCCD at 120 MHz	IVCCD	-	-	50	uA	Substraction is done to measure the consumption of one CSG slice
SIDCSG.3	minimum overdrive voltage at 10 MHz	OD10M	12	-	-	mV	
SIDCSG.3 B	minimum overdrive voltage at 80 MHz	OD80M	50	-	-	mV	
SIDCSG.4	DAC INL	INL	-1	-	2	LSB	Referred to 10-bit DAC with full scale LSB at 3.3 V
SIDCSG.5	DAC DNL	DNL	-1	-	1	LSB	Referred to 10-bit DAC with full scale LSB at 3.3 V

CSG AC Specifications

SIDCSG.7	Comparatror Input referred comparator noise	INPNOISE	-	-	400	uV	
SIDCSG.8	Dac settling within +-1 LSB for > = 256 LSB change	DACSET	-	-	33	ns	Up to 1023 LSB code change
SIDCSG.8A	Dac settling within +-1 LSB for < = 255 LSB change	DACSETA	-	-	25	ns	LSB code change of 64 and above(Less than 64 and upto 4 LSB code change is guranteed by design)
SIDCSG.9	DAC Observability Error by the ADC (CSG accuracy and operation not affected)	DAC_OBSERR	-	-	16	LSB	LSB refers to the 10-bit DAC. Maximum error condition when VIN-VDAC = VDDA
			-	-	8	LSB	LSB refers to the 10-bit DAC. Maximum error condition when VIN-VDAC = VDDA/2
			-	-	4		LSB refers to the 10-bit DAC. Maximum error condition when VIN-VDAC = VDDA/4

感应器的温度规范

SID93	Temperature sensor accuracy	TSSENSACC	-5	±1	5	°C	-40 to +125°C
-------	-----------------------------	-----------	----	----	---	----	---------------

(表格续下)

表 16 (续) HPPASS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
内部基准规格							
SID93R		VREFBG	1188	1.2	1212	V	
12 位 SAR ADC 直流规格							
SIDADC	External Reference	VAREF_EXT	-	VDDA	-	V	For meeting the parameters of the ADC, it is recommended to connect reference to VAREF
SIDADC.0	SAR ADC Resolution	RES	-	-	12	bits	
SIDADC.1	Number of Sample and Hold stages - single ended	SH_S	-	-	16		
SIDADC.2	Gain Error without calibration	GAINERR_NO CAL	-5	-	5	%	LSB referred to VAREF = 3.3 V
SIDADC.3	Gain error at gain =1 after calibration	GAINERR_1	-0.1	-	0.1	%	LSB referred to VAREF = 3.3 V
SIDADC.3A	Gain error at gain =3 after calibration	GAINERR_3	-0.3	-	0.3	%	LSB referred to VAREF = 3.3 V
SIDADC.3 B	Gain error at gain =6 after calibration	GAINERR_6	-0.6	-	0.6	%	LSB referred to VAREF = 3.3 V
SIDADC.3 C	Gain error at gain =12 after calibration	GAINERR_12	-1.2	-	1.2	%	LSB referred to VAREF = 3.3 V
SIDADC.4	Offset Error without calibration	OFFSETERR_NO CAL	-10	-	10	mV	
SIDADC.4A	Offset Error after calibration	OFFSETERR	-1.5	-	1.5	mV	
SIDADC.5A	Total unadjusted error for gain =1	TUE_G1	-4.5	-	4.5	LSB	Gain =1, LSB referred to VAREF = 3.3 V
SIDADC.5 B	Total unadjusted error for gain =3	TUE_G3	-4.5	-	4.5	LSB	Gain = 3, LSB referred to VAREF = 3.3 V
SIDADC.5 C	Total unadjusted error for gain =6	TUE_G6	-4.5	-	4.5	LSB	Gain = 6, LSB referred to VAREF = 3.3 V
SIDADC.5 D	Total unadjusted error for gain =12	TUE_G12	-4.5	-	4.5	LSB	Gain =12, LSB referred to VAREF = 3.3 V
SIDADC.6	Integral Non Linearity.	A_INL	-2	-	2	LSB	VAREF = 3.3 V
SIDADC.7	Differential Non Linearity.	A_DNL	-1	-	2	LSB	VAREF = 3.3 V

(表格续下页.....)

表 16 (续) HPPASS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDADC.8	Current consumption	A_ISAR_1	-	-	13	mA	Current consumption on analog supply VDDA, VDDA = 3.3 V
SIDADC.9	Input voltage range	A_VINS	Vss	-	VDDA	V	When VDDA > VAREF_EXT, ADC result will saturate when VIN = VAREF_EXT
12-bit SAR ADC AC Specifications							
SIDADC.9A	Analog Input voltage transient tolerated	A_VINSTRAN	-	-	VDDA + 1.5	V	Input current ≤ 3 mA. Valid for max VDDA = 3.3 V. Slew rate for VIN from VDDA to VDDA+1.5 ≥ 7 us.
SIDADC.10_E	ADC frequency	fADC	80	-	120	MHz	Operating voltage mode, LP = 1.1 V, max when VDDA > =2.7 V, min when VDDA < 2.7 V
SIDADC.12	RMS noise	A_RMS	-	-	1.5	LSB	1 sigma value
SIDADC.13	Interchannel crosstalk with ≤6 samplers	CROSSTALK_5	-4	-	4	LSB	Inter Channel Crosstalk for VAREF = 3.3 V with ≤ 6 samplers ending sampling simultaneously. After crosstalk compensation by software routine.
SIDADC.14_E	Sample rate	A_SAMP_1	-	-	6	Msp/s	VDDA 2.7 - 3.6 (this includes minimum sampling time and conversion time). fADC max = 120 MHz
SIDADC.15_E	Sample rate	A_SAMP_2	-	-	3	Msp/s	VDDA 1.7 - 2.7 (this includes minimum sampling time and conversion time). fADC max = 120 MHz

(表格续下页.....)

表 16 (续) HPPASS

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDADC.16	Signal-to-noise and Distortion ratio (SINAD).	A_SINAD	65	-	-	dB	Fin = 10 kHz, Gain =1, VAREF = 3.3 V
SIDADC.17	Start Up time after stable supply	T_STARTUP	-	-	1300	cycles	ADC clock frequency define the start up time
SIDADC.18	Maximum calibration time	T_CAL	-	-	2160000	Cycles	ADC clock frequency define the Calibration time. Calibration is required only after power up. After Start up calibration values will be loaded into the ADC calibration registers. Use can decide to skip the power up calibration. Calibration values are not retained when the MCU goes from Active to Deep Sleep and Hibernate mode.
SIDADC.19	Minimum sampling time for analog input through analog pad direct connection to S/H	T_SAMPLE	4	-	-	cycles	Referred to fADC
SIDADC.19 B	Minimum sampling time for analog input through analog pad connected to S/H via AROUTE (AMUX)	T_SAMPLE_AROUTE	20	-	-	cycles	Referred to fADC
SIDADC.19 C	Minimum sampling time for analog input through GPIO or ADFT connected to S/H via AROUTE (AMUX)	T_SAMPLE_GPIO	40	-	-	cycles	Referred to fADC

7.4 数字外设

7.4.1 TCPWM规范

表 17 TCPWM 规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
TCPWM 规范							
SID.TCP W M.2B	Block current consumption at 100 MHz	ITCPWM4	-	-	1600	μA	PWM_DT mode enabled with 50% duty cycle
SID.TCP W M.2C_E	Block current consumption at 120 MHz	ITCPWM4	-	-	2000	μA	PWM_DT mode enabled with 50% duty cycle
SID.TCP W M.3_E	Operating frequency	TCPWMFREQ	-	-	120	MHz	Fc max = 120 MHz
SID.TCP W M.4	Input Trigger Pulse Width for all Trigger Events	TPWMENEXT	2/Fc	-	-	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected.
SID.TCP W M.5	Output Trigger Pulse widths	TPWMEXT	1.5/Fc	-	-	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs
SID.TCP W M.5A	Resolution of Counter	TCRES	1/Fc	-	-	ns	Minimum time between successive counts at VDDD = 3.3 V
SID.TCP W M.5B	PWM Resolution	PWMRES	1/Fc	-	-	ns	Minimum pulse width of PWM Output at VDDD = 3.3 V

7.4.2 SCB

表 18 SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Fixed I2C DC Specifications							
SID149	Block current consumption at 100 KHz	II2C1	-	-	30	μA	
SID150	Block current consumption at 400 KHz	II2C2	-	-	80	μA	
SID151	Block current consumption at 1 Mbps	II2C3	-	-	180	μA	
SID152	I2C enabled in Deep Sleep mode	II2C4	-	-	1.7	μA	At 60°C
Fixed I2C AC Specifications							
SID153	Bit Rate	FI2C1	-	-	1	Mbps	
Fixed UART DC Specifications							
SID160	Block current consumption at 100 Kbits/sec	IUART1	-	-	30	μA	
SID161	Block current consumption at 1000 Kbits/sec	IUART2	-	-	180	μA	
Fixed UART AC Specifications							
SID162A	Bit Rate	FUART1	-	-	3	Mbps	ULP Mode
SID162B	Bit Rate	FUART2	-	-	8	Mbps	LP Mode
Fixed SPI DC Specifications							
SID163	Block current consumption at 1Mbits/sec	ISPI1	-	-	220	μA	
SID164	Block current consumption at 4 Mbits/sec	ISPI2	-	-	340	μA	
SID165	Block current consumption at 8 Mbits/sec	ISPI3	-	-	360	μA	
SID165A	Block current consumption at 25 Mbits/sec	ISP14	-	-	800	μA	
Fixed SPI AC Specifications for LP Mode (1.1V) unless noted otherwise							
SID166_E	SPI Operating frequency Master and Externally Clocked Slave	FSPI_EXT	-	-	25	MHz	For LP mode
SID166U	SPI Operating frequency Master and Externally Clocked Slave	FSPI_EXT_UL	-	-	6.25	MHz	For ULP mode
SID166B_E	SPI Operating frequency Master in LP mode	FSPI	-	-	FSCB/4	MHz	LP mode, FSCB = 100 MHz
SID166BU	SPI Operating frequency Master in ULP mode	FSPI_UL	-	-	FSCB/4	MHz	ULP mode, FSCB = 25 MHz
SID166C_E	SPI Slave Internally Clocked	FSPI_IC	-	-	100	MHz	LP mode

(表格续下)

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID166CU L	SPI Slave Internally Clocked	FSPI_IC_UL	-	-	25	MHz	ULP mode
Fixed SPI Master mode AC Specifications for LP Mode (1.1 V) unless noted otherwise							
SID167_E	MOSI Valid after SClock driving edge	TDMO	-	-	12	ns	LP mode
SID167UL	MOSI Valid after SClock driving edge	TDMO_UL	-	-	40	ns	ULP mode
SID168_E	MISO Valid before SClock capturing edge	TDSI	20	-	-	ns	LP Full clock, late MISO sampling
SID168_U LP	MISO Valid before SClock capturing edge	TDSI_ULP	105	-	-	ns	ULP, Full clock, late MISO sampling
SID169_E	MOSI data hold time	THMO	0	-	-	ns	Refer to Slave capturing edge in LP mode
SID169_U L	MOSI data hold time	THMO_UL	0	-	-	ns	Refer to Slave capturing edge in ULP and MF mode
SID169A	SSEL Valid to first SCK Valid edge	TSSELMCK1	20	-	-	ns	Refer to Master clock edge for all modes and SPI and HS SPI
SID169B	SSEL Hold after last SCK Valid edge	TSSELMCK2	20	-	-	ns	Refer to Master clock edge for all modes and SPI and HS SPI
Fixed SPI Slave mode AC Specifications for LP Mode (1.1V) unless noted otherwise							
SID170_E	MOSI Valid before Sclock Capturing edge	TDMI	5	-	-	ns	LP mode
SID170_U L	MOSI Valid before Sclock Capturing edge	TDMI_UL	24	-	-	ns	ULP mode
SID170A_ E	MOSI Hhold from SCLK	TSIH_EXT	2.5	-	-	ns	LP mode
SID170A_ UL	MOSI Hhold from SCLK	TSIH_EXT_UL	5	-	-	ns	ULP and MF mode
SID171A_ E	MISO Valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT	-	-	20	ns	LP mode
SID171A_ UL	MISO Valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT_ UL	-	-	35	ns	ULP mode
SID171	MISO Valid after Sclock driving edge in Internally Clk. Mode	TDSO	-	-	TDSO_E XT + 3*Tscb	ns	Tscb is Serial Comm Block clock period.

(表格续下)

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID171B	MISO Valid after Sclock driving edge in Internally Clk. Mode with Median filter enabled.	TDSO_M	-	-	TDSO_EXT + 4*Tscb	ns	Tscb is Serial Comm Block clock period.
SID172	MOSI and MISO data hold time	THSO	5	-	-	ns	
SID172A	SSEL Valid to first SCK Valid edge	TSSELSCK1	4*Tscb	-	-	ns	
SID172B	SSEL Hold after Last SCK Valid edge	TSSELSCK2	4*Tscb	-	-	ns	
SID172C_E	MISO valid after SSEL falling edge	TVSS_EXT	-	-	20	ns	For LP mode
SID172C_ULP	MISO valid after SSEL falling edge	TVSS_EXT_ULP	-	-	35	ns	For ULP and MF mode

7.5 存储器

表 19 存储器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Flash DC Specifications

SID173	Erase and Program voltage	VPE	1.71	-	3.6	V	Erase and program not supported at ULP levels (0.9 V)
SID173A	Erase and Program current	IPE	-	-	6	mA	Guaranteed by design

Flash AC Specifications

SID174	Row(Block) write time (erase & program)	TROWWRITE	-	-	16	ms	Row (Block) = 512 Bytes
SID175	Row erase time	TROWERASE	-	-	11	ms	
SID176	Row program time after erase	TROWPROGRAM	-	-	5	ms	
SID178	Bulk erase time (256K Bytes)	TBULKERASE	-	-	11	ms	
SID179	Sector erase time (128K bytes)	TSECTORERASE	-	-	11	ms	256 Rows per sector
SID178S	Sub-Sector erase time	TSSERIAE	-	-	11	ms	8 Rows per sub-sector
SID179S	Sub-Sector write time; 1 erase plus 8 program times	TSSWRITE	-	-	51	ms	
SID180S	Sector write time; 1 erase plus 256 program times	TSWRITE	-	-	1.3	seconds	

(表格续下页.....)

表 19 (续) 存储器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID180	Total Device Program time	TDEVPROG	-	-	2.6	seconds	
SID181	Flash Endurance	FEND	100K	-	-	cycles	
SID182	Flash Retention. Ta ≤ 25°C, 100K P/E cycles	FRET1	10	-	-	years	
SID182A	Flash Retention. Ta ≤ 85°C, 10K P/E cycles	FRET2	10	-	-	years	
SID182B	Flash Retention. Ta ≤ 55°C, 20K P/E cycles	FRET3	20	-	-	years	
SID256_E	Number of Wait states at 100 MHz	TWS100	-	-	8		LP Mode (1.1 V)

7.6 系统资源

7.6.1 上电复位 (POR)

表 20 POR

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Power-On-Reset with Brown-out DC Specifications

SID190	BOD trip voltage in Active and Sleep modes. VDDD.	VFALLPPOR	1.54	-	-	V	BOD Reset guaranteed for levels below 1.54 V
SID192	BOD trip voltage in Deep Sleep. VDDD	VFALLDPSLP	1.54	-	-	V	
SID192A	Maximum power supply ramp rate (any supply)	VDDRAMP	-	-	100	mV/uSec	Active Mode

POR with Brown-out AC Specification

SID194A	Maximum power supply ramp rate (any supply) in Deep Sleep	VDDRAMP_DS	-	-	10	mV/uSec	BOD operation guaranteed
---------	---	------------	---	---	----	---------	--------------------------

7.6.2 电压监视器

表 21 电压监控器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Voltage Monitors DC Specifications

SID196		VHVDI2	1.52	1.64	1.75	V	
SID197		VHVDI3	1.71	1.79	1.86	V	

(表格续下页.....)

表 21 (续) 电压监控器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID198		VHVDI4	1.90	1.99	2.07	V	
SID199		VHVDI5	2.00	2.09	2.17	V	
SID200		VHVDI6	2.10	2.19	2.27	V	
SID201		VHVDI7	2.19	2.29	2.38	V	
SID202	VHVDI8	VHVDI8	2.29	2.39	2.48	V	
SID203		VHVDI9	2.39	2.49	2.58	V	
SID204		VHVDI10	2.48	2.59	2.69	V	
SID205		VHVDI11	2.58	2.69	2.79	V	
SID206		VHVDI12	2.68	2.79	2.89	V	
SID207		VHVDI13	2.77	2.89	3.00	V	
SID208		VHVDI14	2.87	2.99	3.10	V	
SID209		VHVDI15	2.97	3.09	3.20	V	
SID211	Block current	LVI_IDD	-	5	15	uA	

SWD 和跟踪接口

SID214LP	1.71V <= VDDD <= 3.6 V	F_SWDCCLK2	-	-	20	MHz	LP Mode; VCCD = 1.1 V
SID214L	1.71V <= VDDD <= 3.6 V	F_SWDCCLK2L	-	-	12	MHz	ULP and MF Mode. VCCD = 0.9 V and 1.0 V
SID215	T = 1/f SWDCCLK	T_SWDI_SET UP	0.25*T	-	-	ns	
SID216	T = 1/f SWDCCLK	T_SWDI_HO L D	0.25*T	-	-	ns	
SID217	T = 1/f SWDCCLK	T_SWDO_VAL ID	-	-	0.5*T	ns	
SID217A	T = 1/f SWDCCLK	T_SWDO_HO L D	1	-	-	ns	
SID216T	With Trace Data setup/hold times of 3/2 ns respectively	F_TRCLK_LP3	-	-	50	MHz	MF Mode. VCCD = 1.0 V with load capacitance = 15 pF
SID217T	With Trace Data setup/hold times of 3/2 ns respectively	F_TRCLK_UL P	-	-	25	MHz	ULP Mode. VCCD = 0.9 V with load capacitance = 15 pF

7.6.3 单线调试 SWD 和跟踪接口

表 22 SWD 和跟踪接口

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID214LP	1.7V ≤ VDDD ≤ 3.6V	F_SWCLK2	-	-	20	MHz	LP Mode; VCCD = 1.1 V
SID214L	1.7V ≤ VDDD ≤ 3.6V	F_SWCLK2L	-	-	12	MHz	ULP and MF Mode. VCCD = 0.9V and 1.0 V
SID215	T = 1/f SWCLK	T_SWDI_SETUP	0.25*T	-	-	ns	
SID216	T = 1/f SWCLK	T_SWDI_HOLD	0.25*T	-	-	ns	
SID217	T = 1/f SWCLK	T_SWDO_VALID	-	-	0.5*T	ns	
SID217A	T = 1/f SWCLK	T_SWDO_HOLD	1	-	-	ns	
SID215T	With Trace Data setup/hold times of 2/1 ns respectively	F_TRCLK_LP2	-	-	75	MHz	LP Mode. VCCD = 1.1 V
SID216T	With Trace Data setup/hold times of 2/1 ns respectively	F_TRCLK_LP2	-	-	50	MHz	MF Mode. VCCD = 1.0 V
SID217T	With Trace Data setup/hold times of 2/1 ns respectively	F_TRCLK_ULP	-	-	25	MHz	ULP Mode. VCCD = 0.9 V

7.6.4 内部振荡器晶体振荡器和外部时钟规格

表 23 内部振荡器晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
IMO DC Specifications							
SID218	IMO Operating current at 8 MHz	IIMO1	-	9	15	μA	Guaranteed by Design
IMO AC Specifications							
SID223	Frequency variation centered on 8 MHz	FIMOTOL1	-	-	±2	%	
SID227	Cycle-to-Cycle and Period jitter	TJITR	-	250	-	ps	
IHO DC Specifications							
SID218A	IHO Operating current at 48 MHz	IHO1	-	80	100	μA	Guaranteed by Design
IHO AC Specifications							
SID223A	Frequency variation centered on 48 MHz	FIHOTOL1	-	-	±1	%	
SID227A	Cycle-to-Cycle and Period jitter	TJITR	-	60	-	ps	

(表格续下页.....)

表 23 (续) 内部振荡器晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
ILO DC Specifications							
SID231	ILO Operating current at 32 KHz	IILO2	-	0.3	0.7	μA	Guaranteed by Design
ILO AC Specifications							
SID234	ILO Start-up time	TSTARTILO1	-	-	7	uS	Startup time to 95% of final frequency
SID236	ILO Duty cycle	TLIODUTY	45	50	55	%	
SID237	32 KHz trimmed frequency	FILOTRIM1	28.8	32	35.2	KHz	+/-10% variation
Frequency Locked Loop (FLL) Specifications							
SID451	Output frequency range. VCCD = 1.2V/1.1V	FLL_OUT_DIV 2_1	24	-	100	MHz	Output range of FLL divided-by-2 output
SID451A	Output frequency range. VCCD = 0.9V	FLL_OUT_DIV 2_2	24.00	-	50.00	MHz	Output range of FLL divided-by-2 output
SID452	Divided-by-2 output; High or Low	FLL_DUTY_DIV2	47.00	-	53.00	%	Guaranteed by Design
SID454	Time from stable input clock to 1% of final value on deep sleep wakeup	FLL_WAKEUP	-	-	7.50	uS	With IMO input, for < 10°C change in temperature while in Deep Sleep and Fout ≥ 50 Mhz
SID455	Period jitter (1 sigma) at 100 MHz	FLL_JITTER	50	-	35	pS	Min. Value is at 48 MHz. Guranteed by Design
SID456	CCO + Logic current	FLL_CURRENT	-	-	2	uA/MHz	
MHz ECO DC Specification							
SID316	Block operating current with Cload up to 18 pF.	Idd_MHz	-	800	2200	μA	Max at 33 MHz. Typ at 16 MHz.
MHz ECO AC Specification							
SID317	Crystal frequency range	F_MHz	4	-	36	MHz	
External Clock Specification							
SID_EXT_E	External Clock Max input frequency	FEXT	-	-	80	MHz	in LP mode, duty cycle between 45% and 55% and max rise/fall time of 20% period

(表格续下页.....)

表 23 (续) 内部振荡器晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID_EXT1	External Clock Max input frequency in MF mode	FEXT_MF	-	-	50	MHz	in MF mode, duty cycle between 45% and 55% and max rise/fall time of 20% period
SID_EXT2	External Clock Max input frequency in ULP mode	FEXT_ULP	-	-	40	MHz	in ULP mode, duty cycle between 45% and 55% and max rise/fall time of 20% period

kHz WCO DC Specification

SID318	Block operating current with 32 kHz crystal	Idd_kHz	-	0.38	1	μA	
SID321E	Equivalent Series Resistance	ESR32K	-	80	-	kΩ	
SID322E	Drive Level	PD32K	-	-	1	μW	

kHz WCO AC Specification

SID319	32 KHz trimmed frequency	F_kHz	-	32768	-	KHz	
SID320K	Startup time	Ton_kHz	-	-	1000	ms	
SID320E	Frequency tolerance	FTOL32K	-	50	250	ppm	May be calibrated to sub-10 ppm levels

DPLL Specifications

SIDPLL.0	Time to achieve PLL Lock at 4 MHz reference	PLL_LOCK_4M	-	-	20	μS	
SIDPLL.1	Time to achieve PLL Lock at 8 MHz reference	PLL_LOCK_8M	-	-	20	μS	
SIDPLL.2	Output frequency from PLL Block	PLL_OUT	-	160	240	MHz	
SIDPLL.3	PLL Current	PLL_IDD	-	800	1200	uA	For PLL_OUT = 240 MHz
SIDPLL.4	Period jitter	PLL_PJTR_100	-200	-	200	pS	for PLL_OUT = 100 MHz
SIDPLL.4C	Period jitter	PLL_PJTR_120	-180	-	180	pS	for PLL_OUT = 120 MHz
SIDPLL.7	Duty Cycle	PLL_DC	45	-	55	%	for PLL_OUT = Fdco/N, N > 1 and integer

7.6.5 Smart I/O

表 24 Smart I/O

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID420	Smart I/O Bypass delay	SMIO_BYP	-	-	2	nS	For LP mode
SID421	Smart I/O LUT prop delay	SMIO_LUT	-	6	-	nS	For LP Mode with VDDD = 3.3 V

7.6.6 JTAG 边界扫描规格

表 25 JTAG 边界扫描规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

JTAG: 1.1 V (LP) 模式操作参数

SID460	TCK low Mmimum	TCKLOW	34	-	-	nS	
SID461	TCK high	TCKHIGH	10	-	-	nS	
SID461A	Clock Period , 30 pF Load	TCK_PERIOD	-	62	-	nS	
SID462	TDO clock-to-out (max) from falling TCK	TCK_TDO	-	-	22	nS	
SID463	TDO clock-to-out (max) from falling TCK	TSU_TCK	12	-	-	nS	
SID464	TDI, TMS Hold time after rising TCK.	TCK_THD	10	-	-	nS	
SID465	TCK to TDO Data Valid (high-Z to active).	TCK_TDOV	22	-	-	nS	
SID466	TCK to TDO Data Valid (active to high-Z).	TCK_TDOZ	22	-	-	nS	
SID467	JTAG TDO Hold Time	JTAG_TDO_HOLD	-	-	5	nS	
SID467A	JTAG Input Transition Time	JTAG_INPUT_TRANSITION_TIME	-	-	5	nS	

JTAG: Parameters for 1.0 V (MF) and 0.9 V (ULP) mode operations

SID483	TCK low Mmimum	TCKLOW	60	-	-	nS	
SID484	TCK high	TCKHIGH	20	-	-	nS	
SID485	Clock Period , 30 pF Load	TCK_PERIOD	-	80	-	nS	
SID486	TDO clock-to-out (max) from falling TCK	TCK_TDO	-	-	40	nS	
SID487	TDI, TMS Setup time before rising TCK.	TSU_TCK	20	-	-	nS	
SID488	TDI, TMS Hold time after rising TCK.	TCK_THD	20	-	-	nS	

(表格续下页.....)

表 25 (续) JTAG 边界扫描规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID489	TCK to TDO Data Valid (high-Z to active).	TCK_TDOV	50	-	-	nS	For MF mode , 40 shall be used.
SID490	TCK to TDO Data Valid (active to high-Z).	TCK_TDOZ	40	-	-	nS	
SID491	JTAG TDO Hold Time	JTAG_TDO_HOLD	-	-	5	nS	
SID492	JTAG Input Transition Time	JTAG_INPUT_TRANSITION_TIME	-	-	5	nS	

JTAG Boundary Scan parameters for 1.1 V (LP) Mode Operation:

SID468	TCK low	TCKLOW	52	-	-	nS	
SID469	TCK high	TCKHIGH	10	-	-	nS	
SID469A	CLK_JTAG_PERIOD, 30pF Load	TCKPERIOD	-	62	-	nS	
SID470	TCK falling edge to output valid	TCK_TDO	-	-	40	nS	
SID471	Input valid to TCK rising edge	TSU_TCK	12	-	-	nS	
SID472	Input hold time to TCK rising edge	TCK_THD	10	-	-	nS	
SID473	TCK falling edge to output valid (high-Z to active).	TCK_TDOV	40	-	-	nS	
SID474	TCK falling edge to output valid (active to high-Z).	TCK_TDOZ	40	-	-	nS	
SID474A	JTAG_BSCAN_TDO_HOLD	TCK_TDOH	-	-	5	nS	

用于 1.0 (MF) 和 0.9 V (ULP) 模式操作的 JTAG 边界扫描参数:

SID475	TCK low	TCKLOW	102	-	-	nS	
SID476	TCK high	TCKHIGH	20	-	-	nS	
SID476A	CLK_JTAG_PERIOD, 30pF Load	TCKPERIOD	-	122	-	nS	
SID478	TCK falling edge to output valid	TCK_TDO	-	-	80	nS	
SID479	Input valid to TCK rising edge	TSU_TCK	22	-	-	nS	
SID480	Input hold time to TCK rising edge	TCK_THD	20	-	-	nS	
SID481	TCK falling edge to output valid (high-Z to active).	TCK_TDOV	80	-	-	nS	
SID482	TCK falling edge to output valid (active to high-Z).	TCK_TDOZ	80	-	-	nS	

8 订购信息

订购信息 列出了 PSC3P2x、PSC3M3x 器件部件号和功能。所有器件都包括 Arm® Cortex®-M33（CPU 速度为 100 MHz）、64 KB SRAM、2 通道 CAN FD、4 通道 32 位定时器、16 通道 16 位定时器、5 倍比较器、智能 I/O 和 CryptoLite。

表 26 订购信息

Product	Flash	ADC	CORDIC accelerator	MOTIF	SCB(UART, SPI, I2C)	CANFD	Pin
PSC3P2EDLGQ1	128 KB	6 Msps, 12 ch	No	-	4 ¹⁾	-	VQFN-48
PSC3P2FDS2LGQ1	256 KB ²⁾	6 Msps, 12 ch	No	-	4 ¹⁾	-	VQFN-48
PSC3P2EDABQ1	128 KB	6 Msps, 12 ch	No	-	4 ¹⁾	-	E-LQFP-48
PSC3P2FDS2ABQ1	256 KB ²⁾	6 Msps, 12 ch	No	-	4 ¹⁾	-	E-LQFP-48
PSC3P2EDLHQ1	128 KB	6 Msps, 18 ch	No	-	6	-	VQFN-64
PSC3P2FDS2LHQ1	256 KB ²⁾	6 Msps, 18 ch	No	-	6	-	VQFN-64
PSC3P2EDACQ1	128 KB	6 Msps, 18 ch	No	-	6	-	E-LQFP-64
PSC3P2FDS2ACQ1	256 KB ²⁾	6 Msps, 18 ch	No	-	6	-	E-LQFP-64
PSC3M3EDLGQ1	128 KB	6 Msps, 12 ch	Yes	Hall/Encoder	4 ¹⁾	2 ch	VQFN-48
PSC3M3FDS2LGQ1	256 KB ²⁾	6 Msps, 12 ch	Yes	Hall/Encoder	4 ¹⁾	2 ch	VQFN-48
PSC3M3EDABQ1	128 KB	6 Msps, 12 ch	Yes	Hall/Encoder	4 ¹⁾	2 ch	E-LQFP-48
PSC3M3FDS2ABQ1	256 KB ²⁾	6 Msps, 12 ch	Yes	Hall/Encoder	4 ¹⁾	2 ch	E-LQFP-48
PSC3M3EDLHQ1	128 KB	6 Msps, 18 ch	Yes	Hall/Encoder	6	2 ch	VQFN-64
PSC3M3FDS2LHQ1	256 KB ²⁾	6 Msps, 18 ch	Yes	Hall/Encoder	6	2 ch	VQFN-64
PSC3M3EDACQ1	128 KB	6 Msps, 18 ch	Yes	Hall/Encoder	6	2 ch	E-LQFP-64
PSC3M3FDS2ACQ1	256 KB ²⁾	6 Msps, 18 ch	Yes	Hall/Encoder	6	2 ch	E-LQFP-64

1) 48 引脚器件不提供 SCB4 和 SCB5

2) PSA L2 认证仅适用于闪存容量为 256KB 的设备

8.1 料号命名规则

PSOC™ Control C3 MPN 解码器:

PS C3 A B CC DD E FF G H I J K

Field	Description	Values	Meaning
PS	Brand	PS	Brand
C3	Family	C3	Family
A	Series	P	Power control
		M	Motor control
B	Sub-series	Entry Line	1-3
		Main Line	4-6
		Performance Line	7-9
CC	Memory (Flash/SRAM)	A	8 KB
		B	16 KB
		C	32 KB
		D	64 KB
		E	128 KB
		F	256 KB
		G	512KB
		H	768 KB
		J	1 MB
		K	2 MB
		L	3 MB
		M	4 MB
		N	6 MB
		O	7 MB
		P	8 MB
DD	Security	S2	PSA L2(PSA certification level)
E	Special attributes	D	Dual Core
		P	Programmable Power Control Sub-System
FF	Package	AB	EQFP-48 (0.5 mm)
		AC	EQFP-64 (0.5 mm)
		AF	EQFP-80 (0.5 mm)
		AH	QFP-100 (0.5 mm)
		AI	QFP-128 (0.5 mm)
		AE	QFP-144 (0.5 mm)

Field	Description	Values	Meaning
		LB	VQFN-24 (0.5 mm)
		LC	VQFN-32 (0.5 mm)
		LE	VQFN-40 (0.4 mm)
		LF	VQFN-48 (0.35 mm)
		LG	VQFN-48 (0.4 mm)
		LH	VQFN-64 (0.4 mm)
G	Temperature	C	Consumer (0°C to +70°C)
		I	Industrial (–40°C to +85°C)
		Q	Extended range (–40°C to +105°C)
H	Maximum Core Frequency	1	100 - 199 MHz
		2	200 - 299 MHz
II	Sample (Optional)	ES	Engineering Sample
J	Revision	-	Base
		A	Die revision
K	Packing (Optional)	T	Tape & Reel
		-	Tray

9 封装信息

PSC3P2xD 和 PSC3M3xD 器件采用 VQFN-48、E-LQFP-48、VQFN-64 和 E-LQFP-64 封装。有关引脚布局详情，请参阅 [引脚](#)。

表 27 封装尺寸

Spec ID#	Package	Description	Package Dwg #
PKG_1	E-LQFP-64	E-LQFP-64, 10.0 mm x 10.0 mm x 1.6 mm height with 0.5 mm pitch, 4.0 x 4.0 mm EPAD	002-38595 Rev. *A
PKG_2	VQFN-64	VQFN-64, 8.0 mm x 8.0 mm x 0.9 mm height with 0.4 mm pitch, 4.2 x 4.2 mm EPAD (Sawn type)	002-40328 Rev **
PKG_3	E-LQFP-48	E-LQFP-48, 7.0 mm x 7.0 mm x 1.6 mm height with 0.5 mm pitch, 3.3 x 3.3 mm EPAD	002-40327 Rev **
PKG_4	VQFN-48	VQFN-48, 6.0 mm x 6.0 mm x 0.9 mm height with 0.4 mm pitch, 4.5 x 4.5 mm EPAD (Sawn type)	002-38593 Rev. **

表 28 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Units
T _A	Operating ambient temperature	-	-40	25	115 ¹⁾	°C
T _J	Operating junction temperature, all packages	-	-40	-	125	°C
T _{JA}	Package θ_{JA} (E-LQFP-64)	-	-	22	-	°C/watt
T _{JC}	Package θ_{JC} (E-LQFP-64)	-	-	6	-	°C/watt
T _{JA}	Package θ_{JA} (VQFN-64)	-	-	21	-	°C/watt
T _{JC}	Package θ_{JC} (VQFN-64)	-	-	4	-	°C/watt
T _{JA}	Package θ_{JA} (E-LQFP-48)	-	-	22	-	°C/watt
T _{JC}	Package θ_{JC} (E-LQFP-48)	-	-	5	-	°C/watt

(表格续下页.....)

表 28 (续) 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Units
T _{JA}	Package θ_{JA} (VQFN-48)	-	-	22	-	°C/watt
T _{JC}	Package θ_{JC} (VQFN-48)	-	-	3	-	°C/watt

1) 只要 T_J 不超过设备 T_{Jmax}, T_A 就可以扩展到这个范围

温度计算

芯片的最高结温可通过下式计算得出: $T_{J\max} = T_{A\max} + (P_{D\max} \times T_{JA})$

其中:

- T_{Jmax} 是最高结温, 单位为 °C
- T_{Amax} 是最高环境温度, 单位为 °C
- P_{Dmax} 是芯片的最大功率耗散, 单位为 瓦特
- T_{JA} 是封装结至环境的热阻

因此, 对于在 100°C 环境温度下工作的 VQFN-48 封装, 封装内允许的最大功率耗散由以下公式得出:

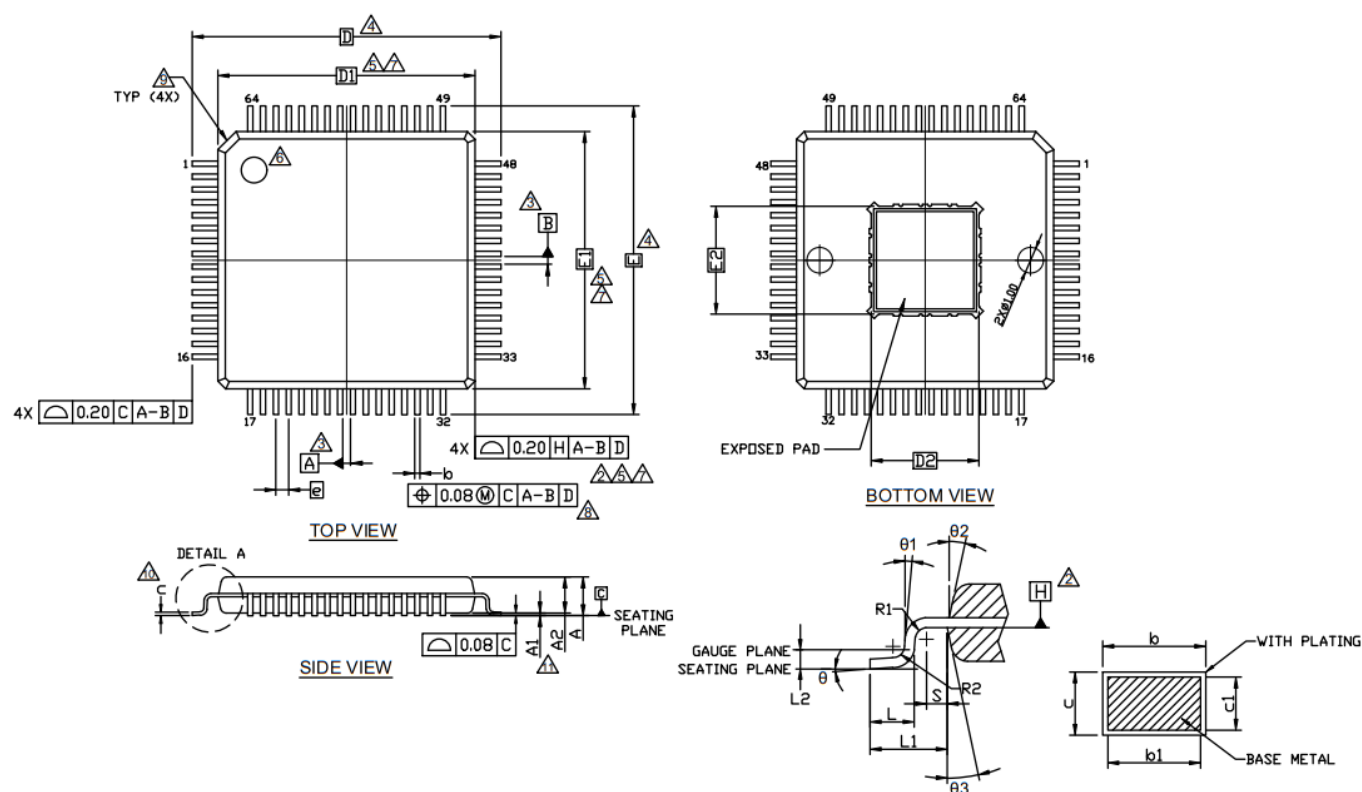
$$P_{D\max} = (T_J - T_A) / T_{JA} = (125 - 100) / 22 = 1.136 \text{ W}$$

表 29 回流焊峰值温度

Package	Maximum peak temperature	Maximum time at peak temperature
All packages	260°C	30 seconds

表 30 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
All packages	MSL3



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	12.00 BSC		
D1	10.00 BSC		
D2	4.00 REF		
E	12.00 BSC		
E1	10.00 BSC		
E2	4.00 REF		
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	3.5°	7°
θ1	0°	—	—
θ2	11°	12°	13°
θ3	11°	12°	13°
b	0.17	0.22	0.27
b1	0.17	0.20	0.23
c	0.09	—	0.20
c1	0.09	—	0.16

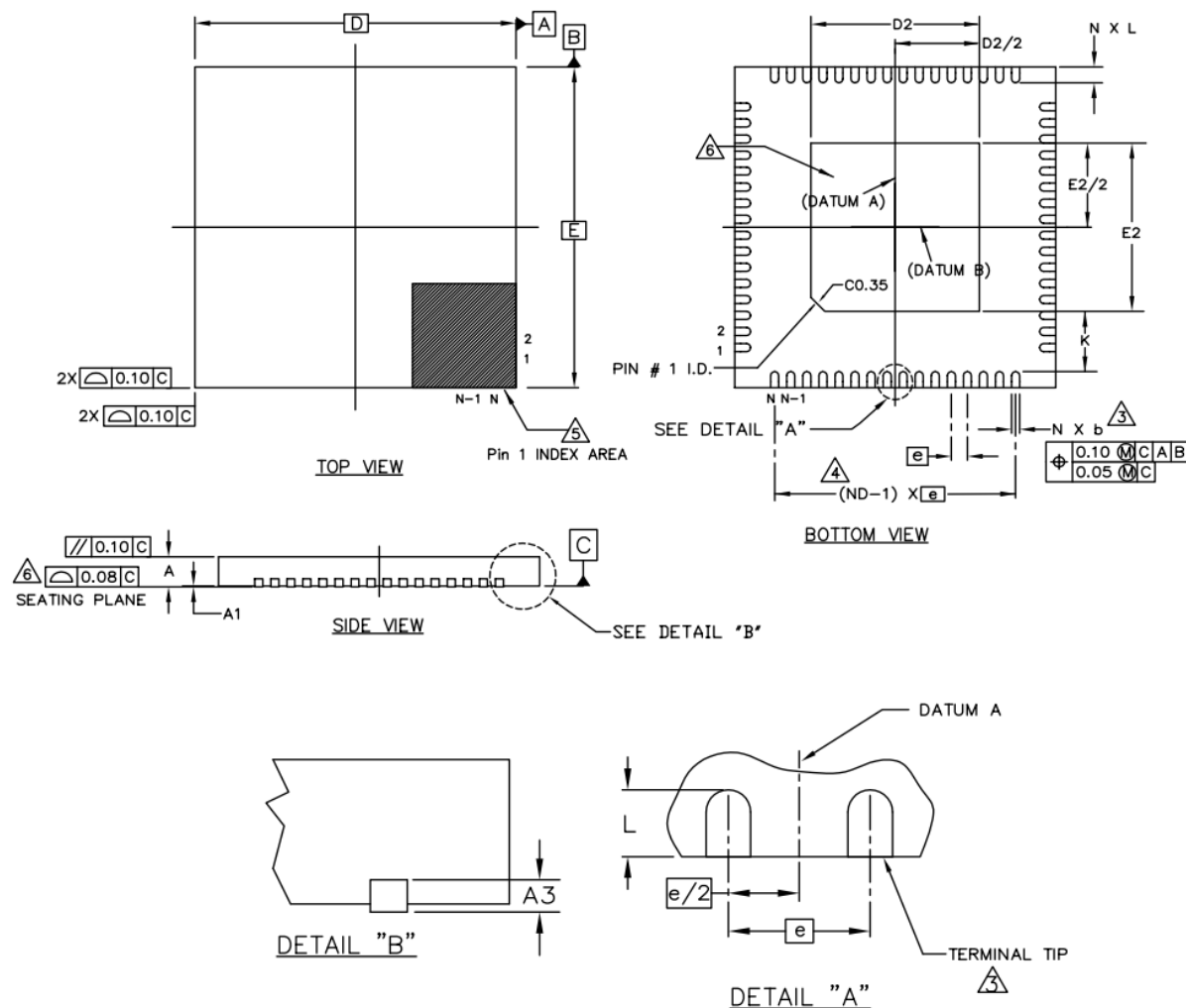
SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 REF		
e	0.50 BSC		
S	0.20	—	—

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm, DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-38595 Rev. *A

图 11 E-LQFP-64, 10x10x1.4 毫米



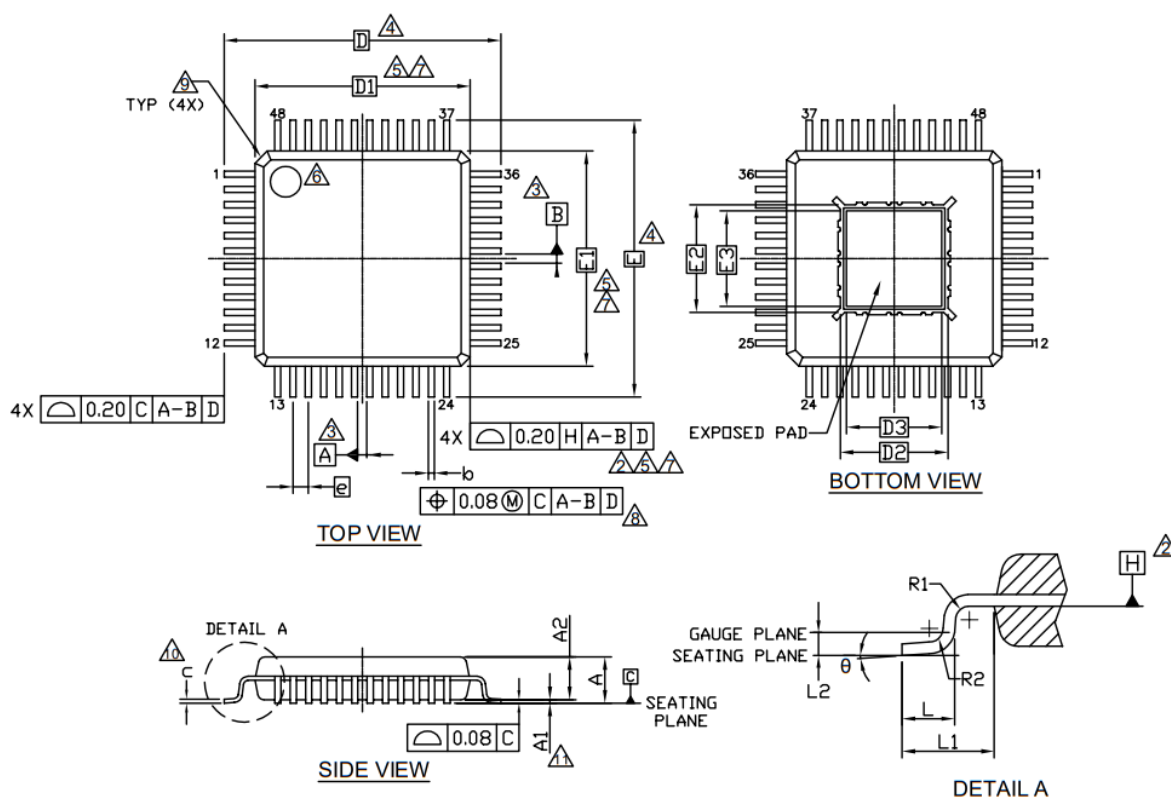
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.40 BSC		
N	64		
ND	16		
L	0.35	0.40	0.45
b	0.15	0.20	0.25
D2	4.15	4.20	4.25
E2	4.15	4.20	4.25
D	8.00 BSC		
E	8.00 BSC		
A	-	-	0.90
A1	0.00	-	0.05
A3	0.203 REF		
K	1.50 MIN		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. N IS THE TOTAL NUMBER OF TERMINALS.
3. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
4. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
5. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
6. COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
7. JEDEC SPECIFICATION NO. REF.: N/A.

002-40328 Rev. **

图 12 VQFN-64, 8x8x0.9 毫米



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	9.00 BSC		
D1	7.00 BSC		
D2	3.50 REF		
D3	3.10 REF		
E	9.00 BSC		
E1	7.00 BSC		
E2	3.50 REF		
E3	3.10 REF		
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	3.5°	7°
c	0.09	—	0.20
b	0.17	0.22	0.27

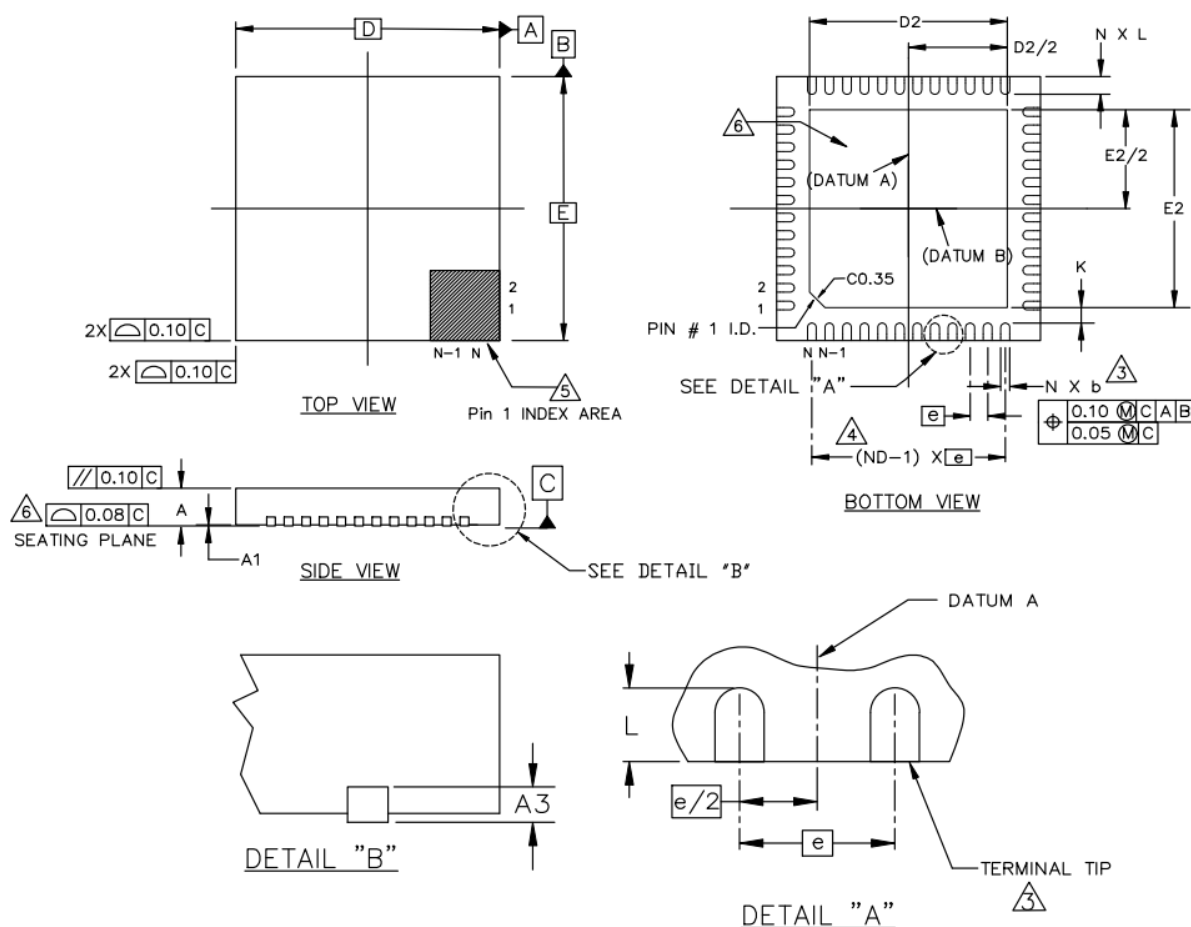
SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 REF		
e	0.50 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
10. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
11. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-40327 Rev. **

图 13 E-LQFP-48, 7x7x1.6 毫米



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.40 BSC		
N	48		
ND	12		
L	0.30	0.40	0.50
b	0.15	0.20	0.25
D2	4.40	4.50	4.60
E2	4.40	4.50	4.60
D	6.00 BSC		
E	6.00 BSC		
A	-	-	0.90
A1	0.00	-	0.05
A3	0.203 REF		
K	0.35 MIN		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
- COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF. : N/A.

002-38593 Rev. **

图 14 VQFN-48, 6x6x0.85 毫米

10 勘误表

本节介绍 PSOC™ Control C3 MCU 产品线的勘误。详情包括勘误触发条件、影响范围、可用的解决方法和芯片修订的适用性。有关详细信息，请联系[英飞凌支持](#)。

受影响的器件编号

表 31 受影响的器件编号

Part number	Device characteristics
All	PSOC™ Control C3 MCU product line

PSOC™ Control C3 资格状态

生产硅

PSOC™ Control C3 勘误摘要

本表定义了适用于现有产品线设备的勘误。

注释： 点击任何项目条目可查看其说明。

Items	PSOC™ Control C3	Silicon revision	Fix status
[1]. FLL may not start properly after waking up from Deep Sleep in ULP and MF power profiles	All	1	Fix planned
[2]. Device is permanently non-responsive if Flash row 0 contains uncorrectable ECC errors	All	1	Fix planned
[3]. Deep Sleep wake-up operation is not reliable at VDDD < 2.3 V	All	1	Fix not planned
[4]. MCU cannot wake up from Deep Sleep-RAM or Deep Sleep-OFF mode using low-power comparator (LPCOMP) interrupt	All	1	Fix not planned
[5]. SCB: In I2C slave mode, the TXFIFO underflow interrupt is false triggered under certain conditions	All	1	Fix not planned
[6]. SCB: SPI master data output is incorrect for TI mode, MSB first, TX_WDTH=4	All	1	Fix not planned
[7]. MCWDT_LOWER_LIMIT.WDT_LOWER_LIMIT0 is only supported for the first two 16-bit counters	All	1	Fix not planned
[8]. Counter direction change in timer mode after stop then start	All	1	Fix not planned
[9]. TCPWM KILL_STATUS bit is asserted falsely when the counter is not running	All	1	Fix not planned

1. FLL may not start properly after waking up from Deep Sleep in ULP and MF power profiles

Problem definition	FLL may not start properly after waking up from Deep Sleep in ULP (VCCD = 0.9 V) and MF (VCCD = 1.0 V) power profiles.
Parameters affected	FLL output frequency.
Trigger condition	Deep Sleep wake up in ULP and MF power profiles with FLL enabled.

1. FLL may not start properly after waking up from Deep Sleep in ULP and MF power profiles

Scope of impact	FLL operation in ULP and MF modes after wake up from Deep Sleep.
Workaround	Set the SRSS.PWR_TRIM_WAKE_CTL register to 1 after selecting ULP or MF power profiles.
Fix status	Fix planned.

2. Device is permanently non-responsive if Flash row 0 contains uncorrectable ECC errors

Problem definition	Device is permanently non-responsive if Flash row 0 contains uncorrectable ECC errors.
Parameters affected	Device cannot be used.
Trigger conditions	1. The Flash can be written using several different addresses. For example, address 0x2200 0000 and 0x3200 0000 map to the same physical row (row 0). If the device is programmed with hex files that contain data at 0x2200 0000 and 0x3200 0000, this may cause an ECC error that is not recoverable 2. Executing multiple Flash write operations without erase may cause Flash row 0 corruption 3. Device reset/power loss during Flash row 0 programming
Scope of impact	Device becomes permanently non-responsive
Workaround	1. When working with Secure and Non-Secure applications, ensure that the combined hex file does not have data overlap at the Flash row 0 location 2. Always perform an erase operation before programming the Flash row 0 3. Ensure that the device power supply is stable and XRES is not asserted by user during Flash row 0 programming
Fix status	Fix planned.

3. Deep Sleep wake-up operation is not reliable at VDDD < 2.3 V

Problem definition	For VDDD < 2.3 V, Deep Sleep wake-up operation may lead to a system reset.
Parameters affected	MCU wake up from Deep Sleep or Deep Sleep-RAM modes.
Trigger condition	When device VDDD < 2.3 V, device is in Deep Sleep and a wake-up interrupt is triggered.
Scope of impact	Device is reset.
Workaround	Use VDDD ≥ 2.3 V when using Deep Sleep and Deep Sleep-RAM modes.
Fix status	Fix not planned.

4. MCU cannot wake up from Deep Sleep-RAM or Deep Sleep-OFF mode using low-power comparator (LPComp) interrupt

Problem definition	If LPComp interrupt is configured as wake up source for Deep Sleep-RAM or Deep Sleep-OFF mode, MCU cannot wake up when LPComp interrupt is asserted.
--------------------	--

4. MCU cannot wake up from Deep Sleep-RAM or Deep Sleep-OFF mode using low-power comparator (LPComp) interrupt

Parameters affected	MCU wake up from Deep Sleep-RAM or Deep Sleep-OFF modes.
Trigger condition	LPComp interrupt event for wake up from Deep Sleep-RAM or Deep Sleep-OFF modes.
Scope of impact	LPComp peripheral cannot be used as a wakeup source for Deep Sleep-RAM or Deep Sleep-OFF modes.
Workaround	Use Deep Sleep mode instead of Deep Sleep-RAM or Deep Sleep-OFF.
Fix status	Fix not planned.

5. SCB: In I2C slave mode, the TXFIFO underflow interrupt is false triggered under certain conditions

Problem definition	SCB: In I2C slave mode, the TXFIFO underflow interrupt is falsely triggered if an external master sends an ACK for the final byte read operation before the STOP or RESTART condition.
Parameters affected	TXFIFO underflow interrupt during I2C slave transmit operation.
Trigger condition	Triggered when an external I2C master sends an ACK for the final byte read transaction before STOP or RESTART.
Scope of impact	SCB in I2C slave mode during normal read operation.
Workaround	External I2C master needs to send a NACK for the last read operation before STOP or RESTART.
Fix status	Fix not planned.

6. SCB: SPI master data output is incorrect for TI mode, MSB first, TX_WIDTH=4

Problem definition	If SCB is configured as SPI master TI mode, transmit FIFO is configured with 8 bits per FIFO data element (MEM_WIDTH=0), and transmit data frame is configured for 5 bits (TX_CTRL width=4), TX_CTRL.MSB_FIRST=1, the data output is incorrect.
Parameters affected	SPI data output is incorrect.
Trigger condition	SCB is configured as SPI master TI mode with an 8-bit transmit FIFO data element and TX_WIDTH=4.
Scope of impact	Impacted in one specific configuration detailed above.
Workaround	None.
Fix status	Fix not planned.

7. MCWDT_LOWER_LIMIT.WDT_LOWER_LIMIT0 is only supported for the first two 16-bit counters

Problem definition	MCWDT_LOWER_LIMIT.WDT_LOWER_LIMIT0 is only supported for the first two 16-bit counters. It is disabled when the third 32-bit counter is cascaded (MCWDT_CONFIG.WDT_CASCADE1_2 == 1).
Parameters affected	Cascading of MCWDT counters beyond the first two 16-bit counters.
Trigger condition	When MCWDT_CONFIG.WDT_CASCADE1_2 == 1.

7. MCWDT_LOWER_LIMIT.WDT_LOWER_LIMIT0 is only supported for the first two 16-bit counters

Scope of impact	MCWDT_LOWER_LIMIT.WDT_LOWER_LIMIT0 is only supported for the first two 16-bit counters.
Workaround	None.
Fix status	Fix not planned.

8. Counter direction change in timer mode after stop then start

Problem definition	In timer mode, value of TCPWM0_GRPx_CNTx_CTRL.UP_DOWN_MODE may change when the counter is stopped.
Parameters affected	Counter direction in timer mode.
Trigger condition	After counter is stopped and then started again in timer mode, direction may change.
Scope of impact	TCPWM in timer mode.
Workaround	When the counter is stopped, update the TCPWM0_GRPx_CNTx_CTRL.UP_DOWN_MODE value as per intended direction before restarting the counter.
Fix status	Fix not planned.

9. TCPWM KILL_STATUS bit is asserted falsely when the counter is not running

Problem definition	The KILL_STATUS bit is asserted falsely when the counter is not running.
Parameters affected	Only the KILL_STATUS flag bit visibility in software. PWM outputs are not impacted.
Trigger condition	Triggered when kill is enabled and the counter is not running due to: 1. Run mode set to one shot (TCPWM0_GRPx_CNTx_CTRL.ONE_SHOT = 1) 2. Counter is enabled (TCPWM0_GRPx_CNTx_CTRL.ENABLED = 1) but has not yet started running after being enabled
Scope of impact	Only when the counter is not running.
Workaround	Ignore the KILL_STATUS in the software when the counter is not running (TCPWM0_GRPx_CNTx_STATUS.RUNNING = 0).
Fix status	Fix not planned.

11 缩略语

表 32 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
AES	advanced encryption standard
AMUX	analog multiplexer
BLDC	brushless direct current
BOD	brown-out detect
CAN	controller area network
CORDIC	coordinate rotation digital computer
CSV	clock supervision
DAC	digital to analog converter
DFU	device firmware upgrade
DSI	digital signal interconnect
DSP	digital signal processor
DMA	direct memory access
ECC	error correcting code
ECO	external crystal oscillators
ETB	embedded trace buffer
ETM	embedded trace macrocell
FET	field effect transistor
FIFO	first in, first out
FOC	field-oriented control
FPU	floating point unit
GPIO	general-purpose input/output
HPPASS	high-performance programmable analog subsystem
HSIOM	high-speed I/O matrix
I-cache	instruction-cache
I2C	inter-integrated circuit
IHO	internal high-speed oscillator
ILO	low-speed oscillator
IMO	internal main oscillator
IPC	inter-processor communication
IRQ	interrupt request
ISR	interrupt service routine

(表格续下页.....)

表 32 (续) 本文档中使用的缩略语

Acronym	Description
LPComp	low-power comparator
LUT	lookup table
LVD	low-voltage detection
LVTTL	low-voltage transistor-transistor logic
MCWDT	multi-counter watchdog timer
MPU	memory protection unit
NVIC	nested vectored interrupt controller
PAL	programmable array logic
PLD	programmable logic device
PLL	phase-locked loops
POR	power-on reset
ROM	read-only memory
RSA	rivest-shamir-adleman, a public-key cryptography algorithm
RTC	real-time clock
RWW	read-while-write
S/H	sample/hold
SAR	successive approximation register
SAU	secure attribution unit
SCB	serial communication blocks
SHA	secure hash algorithm
SPI	serial peripheral interface
SRAM	static random access memory
SRSS	system resources subsystem
TCPWM	timer/counter pulse-width modulator
TRNG	true random number generator
UART	universal asynchronous transmitter receiver
WCO	watch crystal oscillator
WIC	wakeup interrupt controller
XRES	external reset input pin

12 文档惯例

12.1 测量单位

表 33 测量单位

Symbol	Unit of measure
°C	degree Celsius
KB	1024 bytes
kHz	kilohertz
Mbps	megabits per second
Msp/s	megasamples per second
MHz	megahertz
ns	nanosecond
%	percent
V	volt

修订记录

Document version	Date of release	Description of changes
**	2024-02-09	Initial release
*A	2024-05-29	Updated package images on first page Updated Figure 1 Updated Detailed features section Added the Device firmware update (DFU) section Updated the Pins section Updated the Electrical specifications section Updated the Package information section Updated the Errata section
*B	2024-12-20	Updated image and features on first page Updated Figure 1 Updated the Detailed features section Updated the Chip-level functional description section Updated the Clock system section Updated the 12-bit SAR analog-to-digital converter (ADC) section Updated the Serial communication block (SCB) section Updated the Trigger multiplexer (Trigger MUX) section Updated the Device firmware update (DFU) section Added the Serial wire JTAG debug port/Embedded trace macrocell section Updated the Pins section Updated the GPIO alternate functions tables section Updated the Electrical specifications section Updated the Ordering information section Updated the Package information section Updated the Errata section Publish to web
*C	2025-04-15	Updated features on first page Updated the Power section Updated the Device firmware update (DFU) section Updated the Serial wire JTAG debug port/Embedded trace macrocell section Updated the Pins section Updated the GPIO alternate functions tables section Updated the Electrical specifications section Updated the Package information section Updated the Document conventions section

商标

PSOC™（原名PSoC™）是英飞凌科技的商标。本文档或其他文件中提及的PSoC™均应视为指代PSOC™。



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-06-29

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。