

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

概述

PSoC® 是基于 Arm® Cortex® CPU (单核和多核) 的可编程嵌入式系统控制器家族, 采用可扩展和可配置平台架构。PSoC 6 产品系列基于 40-nm 平台, 是一个双核微控制器, 它集成了低功耗闪存技术和数字可编程逻辑, 高性能模数和数模转换, 低功耗比较器以及标准通信和定时外设。

特性

32位双核CPU子系统

- 具有单周期倍频的 150-MHz Arm Cortex-M4F CPU (浮点和存储器保护单元)
- 100-MHz Cortex M0+ CPU
- 用户可选的内核逻辑可运行在 1.1 V 或 0.9 V
- 硬件中支持的处理器间通信
- 分别对应 M4 和 M0+ CPU 的 8 KB 四通路组相连指令缓存
- 对于 Cortex M4, 使用 1.1-V 内核操作的活动 CPU 功耗斜率为 40 μ A/ MHz, Cortex M0+ 为 20 μ A/ MHz, 都由 3.3 V 芯片电源电压和内部降压调节器供电
- 对于 Cortex M4, 使用 0.9-V 内核操作的活动 CPU 功耗斜率为 22 μ A/ MHz, Cortex M0+ 为 15 μ A/ MHz, 都由 3.3 V 芯片电源电压和内部降压调节器供电
- 两个 DMA 控制器, 每个具有 16 个通道

弹性存储器子系统

- 1 MB 应用闪存, 32 KB EEPROM 区域和 32 KB 监控闪存
- 128 位宽闪存访问降低功耗
- SRAM 具有可选择的保留粒度
- 288 KB 集成 SRAM
- 32 KB 保留边界 (可以保留 32K 到 288K, 增量为 32K)
- 一次可编程(OTP)E-Fuse 内存用于验证和安全

低功耗操作 (电压范围: 1.7 V ~ 3.6 V)

- 活动, 低功耗活动, 睡眠, 低功耗睡眠, 深度睡眠和休眠模式, 用于细粒度电源管理
 - 具有 64K SRAM 保持的深度休眠模式电流在 3.3 V 外部电源和内部降压时为 7 μ A。
- 片上单输入多输出 (SIMO) DC-DC 降压转换器, <1 μ A 静态电流
- 具有 64 字节内存和实时时钟 (RTC) 的备份域

灵活时钟选项

- 片上晶体振荡器 (高速, 4 至 33 MHz, 时钟晶振, 32 kHz)

- 锁相环 (PLL), 用于倍增时钟频率
- 8 MHz 内部主振荡器 (IMO), 精度为 $\pm 2\%$
- 超低功耗 32-kHz 内部低速振荡器 (ILO), 精度为 $\pm 10\%$
- 频率锁定环 (FLL), 用于倍增 IMO 频率

串行通信

- 九个独立的运行时可重配置串行通信模块 (SCB), 每个都可以软件配置为 I²C, SPI 或 UART
- USB 全速双角色主机和设备接口

定时和脉冲宽度调制

- 32 个 TCPWM 模块
- 支持中心对齐模式、边缘模式和伪随机模式
- 基于比较器的触发 Kill 信号

高达 104 个可编程的 GPIO

- 可编程驱动模式、强度和输出摆率
- 6 个过压容限 (OVT) 引脚

封装

- 124-BGA (评定中)
- 80-WLCSP

音频子系统

- I2S 接口; 最多 192 ksps 字时钟
- 两个 PDM 通道用于立体声数字麦克风

QSPI 接口

- 从外部 Quad SPI Flash 就地执行 (Execute-In-Place)
- 及时加密和解密
- 4 KB QSPI 缓存, 更低功耗, 更优 XIP 性能
- 支持 1,2,4 和 Dual-Quad 接口

Errata: 有关芯片错误勘正信息, 请参考[测量单位](#). 详细信息包括触发条件, 受影响器件, 和建议规避方法。

可编程模拟模块

- 12 位 1 Msps 的 SAR ADC 包括差分模式、单端模式和具有信号求平均功能的 16 通道序列发生器。
- 一个 12 位电压模式 DAC，稳定时间小于 5μs
- 两个运算放大器具有低功耗工作模式
- 在深度睡眠和休眠模式下可操作的两个低功耗比较器
- 内置温度传感器连接到 ADC

可编程的数字模块

- 12 个可编程逻辑模块，每个具有 8 个宏单元和 8 位数据路径 (称为通用数字模块或 UDB)
- 可用作拖放布尔基元 (门，寄存器) 或 Verilog 可编程模块
- 赛普拉斯提供的外设组件库使用具有通用功能的 UDB，如 SDIO，通信外设，如 LIN，UART，SPI，I²C，S / PDIF，波形发生器，伪随机序列 (PRS) 生成等许多功能。
- 智能 I/O (可编程 I/O) 模块对与 GPIO 引脚通信的信号进行布尔运算
- 提供具有 Smart_IO 块的两个端口，能力; 这些在深度睡眠期间可用

电容式感应

- 赛普拉斯 CapSense Sigma-Delta (CSD) 提供一流的 SNR，液体容差和接近感应
- 互电容感应 (Cypress CSX)，具有动态使用自我感应和相互感应功能
- 低电流唤醒触摸
- 赛普拉斯提供的软件组件让电容式感应的设计变得快捷和容易。
- 硬件自动调校 SmartSense™)

能量分析器

- 模块提供在不同功耗模式下花费的时间历史
- 允许软件能量分析以观察和优化能耗

PSoC Creator 设计环境

- 集成开发环境提供原理图设计输入和构建 (具有模拟和数字自动路由) 和代码开发和调试功能
- 应用编程接口 (API) 可用于所有固定功能和可编程的外设
- 蓝牙智能组件 (BLE4.2 兼容协议栈)，具有应用程序级函数调用和配置文件

工业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm 的工业标准开发工具进行开发
- 在 PSoC Creator 中进行配置，并导出到 Arm / Keil 或 IAR IDE 以进行代码开发和调试
- 支持行业标准 Arm 跟踪仿真跟踪模块

平台内置安全架构

- 基于 ROM 的信任根的全方位安全架构
- 安全引导不间断，直到系统保护属性建立
- 在引导期间使用硬件散列 (Hashing) 进行身份验证
- 逐步验证执行映像
- 在受保护程序的只执行模式下安全执行代码
- 可以禁用所有调试和测试入口路径
- 最多八个保护上下文 (安全引导处于保护上下文 0) 允许通过安全引导进程按照总线主控和代码权限级别的每个保护上下文设置内存和系统资源的访问权限。单个 CPU 支持多个保护上下文。
- 系统主机和外设保护单元 (SMPU 和 PPU) 允许按保护上下文和允许的访问权限设置访问权限。PPU 控制对特定外设的访问。

加密加速器

- 用于对称和非对称加密方法 (AES，3DES，RSA 和 ECC) 和散列函数 (SHA-512，SHA-256) 的硬件加速
- 真随机数发生器 (TRNG) 函数



更多信息

赛普拉斯在www.cypress.com上提供了大量数据，帮助您选择合适的PSoC器件，并快速有效地将其集成到您的设计中。以下是PSoC 6 MCU的简要资源列表：

■ **概述:** [PSoC Portfolio](#), [PSoC Roadmap](#)

■ **产品选择:** [PSoC 6 MCU Page](#)

■ **应用笔记** 涵盖了从基础到高级的广泛主题，包括以下内容：

- [AN210781](#): PSoC 6 MCU BLE入门
- [AN218241](#): PSoC 6 MCU 硬件设计注意事项
- [AN213924](#): PSoC 6 MCU 引导加载程序指南
- [AN215656](#): PSoC 6 MCU双核CPU系统设计
- [AN219434](#): 将PSoC Creator代码导入IDE
- [AN219528](#): PSoC 6 MCU 降低功耗技术
- [AN221111](#): PSoC 6 MCU: 创建安全系统

■ **Code Examples** 提供了针对不同产品功能和用法的 [PSoC Creator](#) 示例项目。

■ **Technical Reference Manuals (TRMs)** 提供了 PSoC 6 MCU 架构和寄存器的详细说明。

■ **开发工具**

□ [CY8CKIT-062-Wi-Fi/BT](#) 支持具有WiFi和蓝牙连接功能的PSoC 62系列MCU。

□ [CY8CKIT-062-BLE](#) 支持具有蓝牙低功耗 (BLE) 连接的PSoC 63系列MCU。

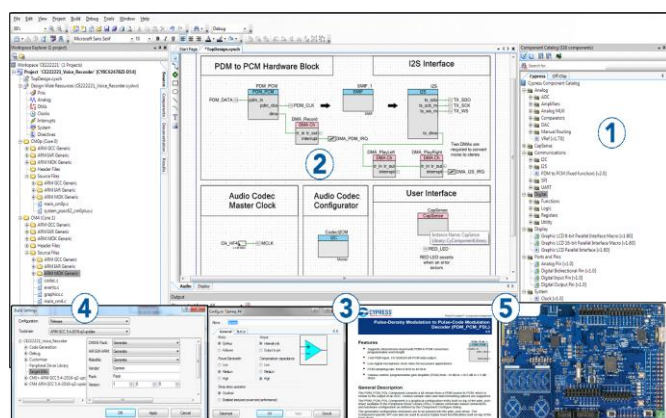
■ **培训视频:** 访问 www.cypress.com/training，了解 PSoC Creator 上的各种视频培训资源。

PSoC Creator

[PSoC Creator](#)是免费的基于Windows的集成设计环境 (IDE)。它使您能够基于PSoC 6 MCU同时设计硬件和固件系统。如下所示，使用PSoC Creator，您可以：

1. 在PSoC Creator中浏览200多个组件库
2. 拖放组件图标以在主设计工作区中完成硬件系统设计
3. 使用组件配置工具和组件数据表配置组件
4. 在PSoC Creator IDE中共同设计应用程序固件和硬件，或者为第三方IDE构建项目
5. 使用PSoC 6 Pioneer套件对您的解决方案进行原型设计。如果需要进行设计更改，PSoC Creator和组件使您可以在不需要硬件修改的情况下即时进行更改。

Figure 1. PSoC Creator 原理图条目和组件



目录

| | | | |
|--------------------|-----------|----------------------------|-----------|
| 模块和功能 | 5 | 电气规范..... | 23 |
| 功能定义..... | 6 | 最大绝对额定值..... | 23 |
| CPU 和存储器子系统..... | 6 | 器件级规范..... | 23 |
| 系统资源..... | 6 | 模拟外设 | 34 |
| 模拟模块..... | 7 | 数字外设 | 43 |
| 可编程数字模块 | 7 | 存储器..... | 46 |
| 固定功能数字模块..... | 7 | 系统资源 | 47 |
| GPIO | 8 | 订购信息..... | 55 |
| 特殊功能外设..... | 8 | 封装..... | 57 |
| 引脚分布..... | 9 | 缩略语 | 60 |
| 电源..... | 21 | 文档约定..... | 63 |
| 开发支持..... | 22 | 测量单位 | 63 |
| 文档..... | 22 | 修订历史..... | 64 |
| 在线支持..... | 22 | 销售、解决方案、和法律信息 | 65 |
| 工具..... | 22 | | |

模块和功能

PSoC 62框图如Figure 2所示。有4个主要子系统：CPU子系统，系统资源，外设模块和I/O子系统。

Figure 2. 框图

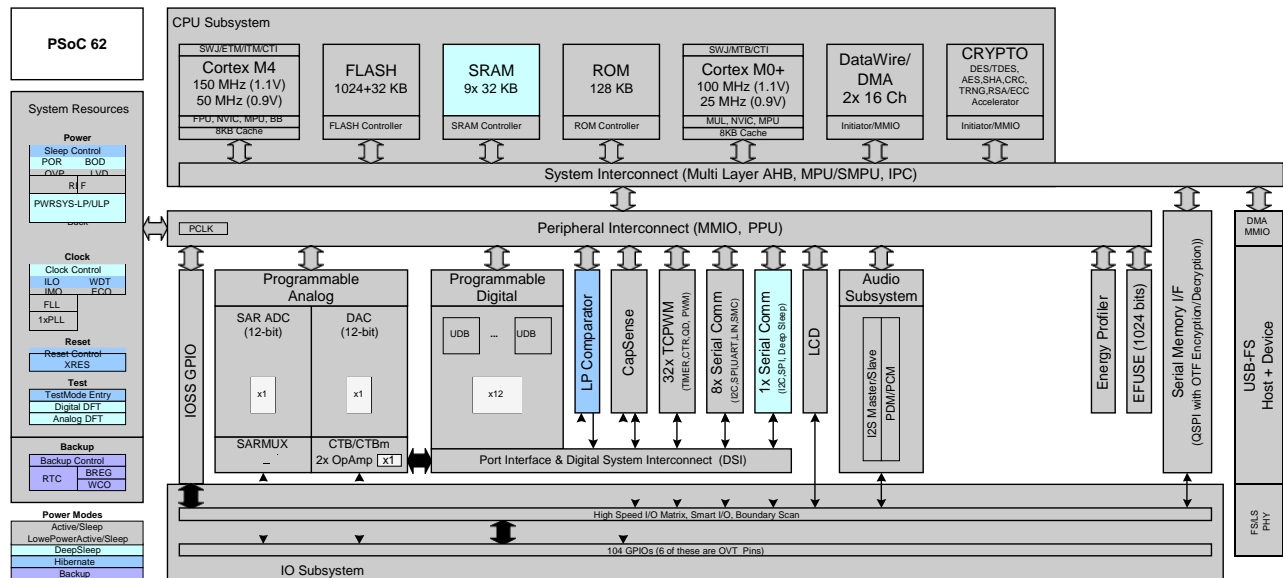


Figure 2显示了芯片的子系统，并给出了它们的互连的非常简化的视图 (在实践中使用多层AHB)。彩色编码显示了特定模块仍然有效的最低功耗模式 (例如，LP比较器在深度睡眠模式下工作)。

PSoC 62 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

借助完善的片上调试功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator集成开发环境 (IDE) 为PSoC 62 器件提供了完全集成的编程和调试支持。SWJ(SWD和JTAG) 接口与行业标准的第三方探针完全兼容。由于能够禁用调试功能，具有非常强大的闪存保护功能，并且允许在片上可编程模块中实现客户专有功能，PSoC 62 系列提供了非常高的安全级别。

默认开通调试电路，并只能在固件内禁用。如果电路未使能，唯一的方法是重新使能它们以擦除整个设备数据，清除闪存保护，并用使能了调试功能的新固件对设备进行编程。

此外，对于担心会通过对器件恶意重新编程进行欺诈性攻击或试图击败安全启动和中断闪存编程序列的应用，可以永久禁用所有器件接口。使能最高安全级别时将禁用所有编程、调试和测试接口，安全级别是客户可以做出的权衡。

功能定义

CPU 和存储器子系统

CPU

PSoC 6 X中的CPU子系统包含两个ARM Cortex内核及其关联的总线和存储器：M4带浮点单元和存储器保护单元 (FPU和MPU)，和一个M0 +带MPU。Cortex M4和M0 +具有8-KB指令高速缓存 (I-Cache)，具有4路组相关性。该子系统还包括独立的DMA控制器，每个具有32个通道，一个加密加速器模块，1 MB的片上闪存，288 KB的SRAM和128 KB的ROM。Cortex M0 +提供安全的无中断的引导功能。这保证了引导后，系统完整性可以被检查和权限得以执行。共享资源可以通过正常的ARM多层总线仲裁来访问，并且独占访问得到实现硬件信号量和保护的处理器间通信 (IPC) 方案支持。在3 V芯片电源电压下(使能内部降压，内部电源为0.9V)，Cortex M4的活动功耗为26 μ A/MHz，Cortex M0+的为17 μ A/MHz。Cortex M4的工作频率最高可达150 MHz，M0 +最高可达100 MHz。请注意，对于高于100 MHz的M4速度，M0 +和总线外设的速度限制为M4的一半。因此，对于以150 MHz运行的M4，M0 +和外设限制为75 MHz。

DMA 控制器

包括两个DMA控制器，每个具有16个通道。它们支持独立访问使用AHB多层总线的外设。

闪存

PSoC 62具有1 MB闪存模块，额外32K闪存可用于EEPROM仿真以实现更长的保留时间，以及单独的32 KB闪存模块，可以安全锁定，且只能通过不能修改的键锁访问 (一次可编程)。

SRAM具有 32 KB 保留粒度

有288 KB的SRAM存储器，可以完全保留或以用户指定的32 KB模块为增量保留。

SRAM

有一个包含引导和配置程序的监控128 KB ROM。如果需要用户闪存的验证，此ROM将保证安全启动。

单次可编程 (OTP) eFuse

此存储器可以在每个芯片的基础上存储唯一且不可更改的标识符。也可用于存储哈希值，用于验证闪存内容的可靠性，或其他用户定义的内容。

资源保护

保护单元控制对内存和系统资源的访问。PSoC架构具有系统主机和外设保护单元 (SMPU和PPU)。这些是在安全启动时设置的，用于控制系统主机和外设的访问优先级和权限。此外，还提供Cortex M4和M0 + MPU。系统主机和外设保护单元 (SMPU和PPU) 允许通过保护上下文和允许的访问优先级设置访问权限。PPU控制对特定外设的访问。

最多八个保护上下文 (安全引导处于保护上下文0) 允许通过安全引导进程按照总线主机和代码权限级别的每个保护上下文设置内存和系统资源的访问优先级。单个CPU支持多个保护上下文。

系统资源

电源系统

当电源低于指定电平时，电源系统可确保电压电平满足每个相应模式的要求，延迟模式输入 (例如，上电复位 (POR) 模式) 直到电压电平满足正常功能，或生成各种复位 (欠压检测 (BOD))。该设计将确保电源电压下降到低于指定水平 (例如，低于1.7 V) 和发生复位之间的安全芯片操作。没有电压排序要求。VDD内核逻辑电源 (1.7至3.6 V) 将片上降压电路，这将产生1.1 V或0.9 V的核心逻辑电源供选择。根据工作频率，降压转换器的静态电流<1 μ A。提供一个称为备份的独立电源域；注意这不是一种电源模式。该域由VBACKUP域供电，包含32 kHz的WCO，RTC和备份寄存器。当不用作备份域时，它连接到VDD。端口0由该电源供电。端口0 (P0.5) 的引脚5可分配为PMIC唤醒输出 (由RTC定时)。P0.5被默认驱动到电阻上拉模式。

时钟系统

PSoC 62 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而不会产生毛刺。此外，时钟系统可确保不会出现亚稳态情况。

PSoC 62 的时钟系统既包括内部主振荡器 (IMO)，内部低速振荡器 (ILO)，晶振 (ECO和WCO)，PLL，FLL，还提供一个外部时钟。PLL将支持扩频操作。FLL将在高时钟速度下提供快速唤醒，而无需等待PLL锁定事件 (可能需要长达50 μ s)。时钟可以被缓冲并引出到智能I/O端口上的引脚。

32 kHz振荡器可使用更高精度的时钟在2 ppm内进行微调。ECO将提供 \pm 20 ppm的精度，并使用外部晶振。

IMO 时钟源

IMO是PSoC 62中内部时钟的主要来源。在测试过程中，该时钟源被校准，以达到指定的精度。IMO默认频率为8 MHz。IMO容差

为 \pm 2%，其电流消耗低压10 μ A。IMO可以锁定到更精确的时钟源以获得更高的精度。锁定到32 kHz WCO可以提供0.25%的精度。

ILO 时钟源

ILO是一个超低功耗振荡器，通常为32 kHz，可用于在深度睡眠和休眠模式下为外设操作产生时钟。利用 IMO 校准 ILO 驱动计数器可以提高准确度。赛普拉斯提供进行校准的软件组件。

看门狗定时器 (WDT)

来自 ILO或WCO 的时钟模块为看门狗定时器提供时钟；这样允许看门狗在深度睡眠和休眠模式下仍能工作，在发生超时前，如果还未服务该看门狗，则将生成看门狗复位。看门狗复位在复位原因 (Reset Cause) 寄存器内记录。

时钟分频器

提供整数和分数时钟分频器用于外设使用和定时目的。时钟分频器的长度为16位和24位，以允许非常精细的时钟控制。

复位

可以由各种源 (包括软件复位) 复位 PSoC 62。复位事件是异步的, 用于确保将器件恢复到一个已知的状态。复位原因被记录在寄存器内, 该寄存器在复位过程中保持不变并允许软件确定复位原因。芯片为外部复位提供一个 XRES 引脚, 以避免在加电或重新配置期间, 同配置和多个引脚存在问题。

模拟模块

12-bit SAR ADC

12 位的 1 Msps 的 SAR ADC 可在 18 MHz 的最大时钟速率下运行, 在该频率下进行一次 12 位数据转换至少需要 18 个时钟周期。

通过向其添加参考缓冲器 (可微调至 $\pm 1\%$) 以及通过提供三个内部电压参考 VDD, VDD / 2 和 VREF (标称为 1.024V) 的选择, 以及通过 GPIO 引脚的外部参考来增加用户的模块功能。可编程的取样保持 (S/H) 孔使得放大器增益带宽需求驱动 SAR 输入, 这决定了需要的校准时间不那么严格。如果使用适当的参考并且系统噪声水平允许, 对于真正的 12 位精度, 系统性能是 65 dB。为提高在嘈杂条件下的性能, 可以为内部参考放大器提供一个外部旁路电容。

SAR 通过一个 8 路输入的定序器 (Sequencer) 与一些固定引脚相连。定序器自动选择和切换模拟通道 (定序器扫描), 而不需要任何切换开销 (即无论是在单通道还是在分布在多通道上, 总采样带宽一直等于 1 Msps)。定序器的切换通过一个状态机或固件驱动实现。定序器的每一路转换结果被缓存到不同的结果寄存器, 减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号, 每个通道可有不同的可编程采样时间。另外, 如果数字化的值超过编程的范围, 将通过一对范围寄存器 (低和高范围值) 的相应范围外中断来执行信号范围规范; 这使得不必等待定序器扫描完成和 CPU 读取值以检查软件中的范围以外值来快速确定范围以外值。

SAR 可以量化片上的温度传感器的输出, 来对其它温度相关功能做校准。当需要一个高速时钟 (可高达 18 MHz) 时, SAR 在深度睡眠模式和休眠模式不可用。SAR 的工作电压范围为 1.71 V 至 3.6 V。

温度传感器

PSoC 62 具有片上温度传感器。该传感器包括一个二极管, 此二极管的偏执电流由一个开关状态可控制的电流源提供。该温度传感器的输出可以连接至 ADC 做量化采样, 量化结果通过赛普拉斯提供的软件 (包括校准和线性化) 来转换成温度值。

12 位 DAC

芯片上有一个 12 位电压模式 DAC, 可以在小于 5 μ s 内稳定。DAC 可以由 DMA 控制器驱动以产生用户定义的波形。来自芯片的 DAC 输出可以是电阻梯形输出 (高线性近地) 或缓冲输出。

具有两个运算放大器的连续时间块 (CTBm)

该模块由两个运算放大器组成, 它们的输入和输出连接到固定引脚, 并具有三个功耗模式和一个比较器模式。这些运算放大器的输出可用作 SAR 输入的缓冲器。这些运算放大器的非反相输入可以连接到两个引脚中的任一个, 从而允许在不同时间使用独立的传感器。引脚选择可以通过固件进行。运算放大器可以设置为四个功率电平之一; 最低电平允许在深度睡眠模式下工作, 以便在深度睡眠模式下保持更低的性能连续时间功能。

DAC 输出可以通过运算放大器进行缓冲。

低功耗比较器

PSoC 62 具有一对低功耗比较器, 该比较器可以在深度睡眠和休眠模式下运行。这允许模拟系统模块被禁用, 但却保留在深度睡眠和休眠模式下监控外部电压水平的功能。比较器输出通常会进行同步以避免亚稳态, 除非运行在异步电源模式 (休眠) 下, 因为这里系统唤醒电路被比较器切换事件激活。

可编程数字模块

Smart I/O

有两个智能 I/O 模块, 其允许对从芯片的子系统进入 GPIO 引脚的信号或者进入芯片的信号进行布尔运算。操作可以是同步或异步的, 并且块在低功耗模式下操作,

例如深度睡眠和休眠。这允许检测可以指示 CPU 应当唤醒而不是在通用 I/O 中断唤醒的逻辑条件, 这消耗更多的功率并且可以产生虚假的唤醒。

通用数字模块 (UDB) 及端口接口

PSoC 62 具有 12 个 UDB; UDB 阵列同样也提供了一个数字系统互连 (DSI) 结构, 允许将外设和端口中的信号布线到或经过 UDB, 以进行通信和控制。

固定功能数字模块

定时器 / 计数器 / PWM 模块

定时器/计数器/PWM 模块由 32 个具有用户可编程周期长度的计数器组成。有一个捕获寄存器, 用于记录事件发生 (可能是 I/O 事件) 时的计数值; 一个周期寄存器, 用于停止或自动重新加载计数器 (如果计数值与周期寄存器的值相等时) 和一个比较寄存器, 用于保存计数器的比较值来确定 PWM 的输出状态。在正向输出和反向输出之间, 该模块还提供了可编程的偏移, 使这些输出可以作为可编程死区的互补 PWM 输出使用。它还提供用于强制输出进入未确定状态的停止 (Kill) 输入; 例如, 当出现过流状态时, 该输入可用于电机驱动系统中, 这时需要立即关闭驱动 FET 的 PWM 而不能等待进行软件干预。有 8 个 32 位计数器和 24 个 16 位计数器。

串行通信模块 (SCB)

PSoC 62 有 9 个 SCB, 每一个 SCB 都可以实现 I²C、UART、或 SPI 接口。一个 SCB 将使用外部时钟在深度睡眠模式下工作, 此 SCB 只能在从模式下工作 (需要外部时钟)。

I²C 模式: 硬件 I²C 模块可执行整个多主设备和从设备接口 (它具有多主设备的校准功能)。该模块的工作速率可达 1 Mbps (快速模式+), 另外它还提供各种灵活的缓冲选项, 以降低 CPU 的中断开销和延迟。它还支持 EzI²C, 它在 PSoC 62 的存储器中创建邮箱地址范围, 有效减少了对存储器中的阵列进行读取和写入的 I²C 通信。此外, 该模块提供一个深度为 256 字节的 FIFO, 用于接收和传送目的。该模块延长了 CPU 读取数据的时间, 从而减少了时钟延展的发生 (由于 CPU 没有及时读取数据, 因此才导致时钟延展)。FIFO 可用在所有通道, 并在没有 DMA 的情况下非常有用。

I²C 外设与 I²C 标准模式兼容, 快速模式和快速模式 Plus 器件, 如 NXP I²C 总线规范和用户手册 (UM10204) 中所定义。在开漏模式下, 可以使用 GPIO 引脚实现 I²C 总线 I/O。

UART 模式:这是一个运行速度高达1 Mbps 的全功能UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA)、和智能卡 (ISO7816) 的协议, 这些全部都是基本 UART 协议的衍生型。此外, 它还支持 9 位多处理器模式, 此模式允许寻址连接到通用的 RX 和 TX 线的外设。支持通用 UART 功能, 如奇偶校验错误、中断检测以及帧错误。一个 256 字节 FIFO 让更多的 CPU 服务延迟得到容许。

SPI 模式:SPI 模式支持全部 Motorola SPI、TI SSP (基本上是添加用于同步 SPI 编码的启动脉冲) 和 National Microwire (SPI 的半双工形式)。SPI 模块可以使用FIFO并支持EzSPI模式, 在该模式中, 数据交换被减少为在存储器中读取和写入数组。SPI接口使用高达48 MHz SPI时钟。

USB全速双角色主机和设备接口

PSoC 62集成了双重角色的USB主机和设备接口。设备最多可以有八个端点。提供512字节的SRAM缓冲区, 支持DMA。

QSPI 接口

提供以80 MHz运行的Quad SPI (QSPI) 接口 (可选择1,2或4位宽度)。该模块还支持动态加密和解密, 以支持以合理的速度执行就地操作。

GPIO

PSoC 62 具有多达 104 个 GPIO。GPIO 模块实现下列功能:

■ 八种驱动强度模式:

- ☐ 模拟输入模式 (禁用了输入和输出缓冲区)
- ☐ 仅输入模式
- ☐ 弱上拉和强下拉模式
- ☐ 强上拉和弱下拉模式
- ☐ 开漏和强下拉模式
- ☐ 开漏和强上拉模式
- ☐ 强上拉和强下拉模式
- ☐ 弱上拉和弱下拉模式

■ 输入阈值选择 (CMOS 或 LVTTTL)

■ 用于栓锁前一状态的保持模式 (用于保留 I/O 状态在深度睡眠模式和休眠模式)。

■ dV/dt 相关噪声控制的可选斜率, 用以降低 EMI

各个引脚被放置在逻辑实体 (称为端口), 每个端口的宽度为 8 位。上电和复位期间, 各模块被强制为禁用状态, 以禁止给任何输入供电和 / 或造成引脚启用时的过电流现象。称为高速 I/O 矩阵 (HSIOM) 的复用网络用于复用连接至一个 I/O 引脚的多个信号。数据输出寄存器和引脚状态寄存器分别用于驱动和保管管脚当前的状态。

如果 I/O 引脚被使能, 它将生成一个中断, 并且每个 I/O 端口都有一个中断请求 (IRQ) 和相关的中断服务子程序 (ISR) 向量。6 个GPIO引脚能够进行过压容限 (OVT) 操作, 其中输入电压可能高于VDD (这些可用于I²C功能, 以允许在关闭芯片电源的同时保持与操作I²C总线的物理连接, 而不影响其功能)。

GPIO引脚可以组合以吸收灌电流值为16 mA或更高的值。GPIO引脚不能上拉高于3.6 V。

特殊功能外设

CapSense

通过可连接到模拟多路复用总线的CapSense Sigma-Delta (CSD) 模块, PSoC 62中的所有引脚都支持CapSense。任何GPIO引脚都可通过模拟开关连接到该AMUX总线。因此, 在软件控制情况下, 系统中的任何有效引脚或引脚组都可以提供 CapSense功能。赛普拉斯为CapSense模块提供了易于使用的软件组件。

屏蔽电压可以在另一个复用器总线上驱动, 以提供防水性能。通过在同相位中驱动屏蔽电极和感应电极, 可以提供防水功能, 从而可以避免屏蔽电容衰减感应输入。

另外, 可以实现接近感应。

CapSense模块是高级、低噪声、可编程模块, 自带可编程参考电压和电流源范围用以提升敏感性和灵活性。它也可使用外部参考电压。它提供全波 CSD 模式, 该模式变换传感模式为 VDDA and Ground, 以清除电源相关噪声。

CapSense 模块具有两个7位 IDAC。如果 CapSense 不被使用 (两个 IDAC 都可用) 或 CapSense 没有防水功能 (一个 IDAC 有效), 那么可以将这两个 IDAC 用于通用目的。可以通过使用一个 IDAC来实现 (慢) 10位斜率ADC。

该模块可以实现滑动、点击、触摸唤醒 (1.8 V时<3μA)、互电容和其他类型的感应功能。

音频子系统

该子系统由一个I2S模块和两个PDM通道组成。PDM通道接口到PDM麦克风的比特流输出。PDM处理通道提供固定偏差校正, 并且可以在范围从384kHz到3.072MHz的时钟速度下操作, 并且在高达48ksps的音频采样率下产生16至24位的字长。

I2S接口支持主机和从机模式, 字时钟速率高达192 ksps (8位至32位字)。

引脚分布

Table 1. 124-BGA和80-WLCSP引脚说明

| 124-BGA | | 80-WLCSP | |
|---------------------------|---------|----------|---------|
| 引脚 | 名称 | 引脚 | 名称 |
| A2 | VCCD | A10 | VCCD |
| A1 | VDDD | B11 | VDDD |
| D1 | VBACKUP | D11 | VBACKUP |
| E3 | P0.0 | C10 | P0.0 |
| E2 | P0.1 | D9 | P0.1 |
| E1 | P0.2 | E10 | P0.2 |
| F3 | P0.3 | F9 | P0.3 |
| F2 | P0.4 | G8 | P0.4 |
| G3 | P0.5 | F11 | P0.5 |
| G3 | P0.5 | F11 | P0.5 |
| F1 | XRES | G10 | XRES |
| G2 | P1.0 | H11 | P1.0 |
| G1 | P1.1 | H9 | P1.1 |
| H3 | P1.2 | | |
| H2 | P1.3 | | |
| H1 | P1.4 | K9 | P1.4 |
| J3 | P1.5 | J10 | P1.5 |
| B12, C3, D4, D10, K4, K10 | VSS | R8 | VSS |
| J1 | VDD_NS | K11 | VDD_NS |
| J2 | VIND1 | L10 | VIND1 |
| K2 | VIND2 | M11 | VIND2 |
| K3 | VBUCK1 | N10 | VBUCK1 |
| K1 | VRF | | |
| M1 | VDDUSB | P11 | VDDUSB |
| L1 | USBDM | P9 | USBDM |
| L2 | USBDP | R10 | USBDP |
| M2 | P2.0 | | |
| N2 | P2.1 | | |
| L3 | P2.2 | | |
| M3 | P2.3 | | |
| N3 | P2.4 | | |
| N1 | P2.5 | | |

| 124-BGA | | 80-WLCSP | |
|---------------------------|--------|----------|--------|
| 引脚 | 名称 | 引脚 | 名称 |
| M4 | P2.6 | | |
| N4 | P2.7 | | |
| L5 | P3.0 | | |
| L4 | VDDIOR | K11 | VDD_NS |
| L4 | VDDIOR | K11 | VDD_NS |
| M5 | P3.1 | | |
| N5 | P3.2 | | |
| L6 | P3.3 | | |
| M6 | P3.4 | | |
| N6 | P3.5 | | |
| L7 | P4.0 | | |
| M7 | P4.1 | | |
| N7 | P5.0 | M9 | P5.0 |
| L8 | P5.1 | N8 | P5.1 |
| M8 | P5.2 | R6 | P5.2 |
| N8 | P5.3 | P7 | P5.3 |
| L9 | P5.4 | L8 | P5.4 |
| M9 | P5.5 | M7 | P5.5 |
| B12, C3, D4, D10, K4, K10 | VSS | P5 | VSS |
| N9 | P5.6 | R4 | P5.6 |
| N10 | P5.7 | N6 | P5.7 |
| M10 | P6.0 | J8 | P6.0 |
| L10 | P6.1 | K7 | P6.1 |
| L11 | P6.2 | L6 | P6.2 |
| M11 | P6.3 | R2 | P6.3 |
| N11 | P6.4 | P3 | P6.4 |
| M12 | P6.5 | N4 | P6.5 |
| N12 | P6.6 | M5 | P6.6 |
| M13 | P6.7 | J6 | P6.7 |
| L13 | P7.0 | N2 | P7.0 |
| L12 | P7.1 | M3 | P7.1 |
| K13 | P7.2 | L4 | P7.2 |
| N13 | P7.3 | K5 | P7.3 |
| K11 | P7.4 | | |

| 124-BGA | | 80-WLCSP | |
|-----------------------|--------|----------|--------|
| 引脚 | 名称 | 引脚 | 名称 |
| J13 | P7.5 | | |
| J12 | P7.6 | | |
| J11 | P7.7 | L2 | P7.7 |
| K12 | VDDIO1 | M1 | VDDIO1 |
| H13 | P8.0 | H3 | P8.0 |
| H12 | P8.1 | K1 | P8.1 |
| H11 | P8.2 | K3 | P8.2 |
| G13 | P8.3 | J4 | P8.3 |
| G12 | P8.4 | J2 | P8.4 |
| G11 | P8.5 | | |
| F13 | P8.6 | | |
| F12 | P8.7 | | |
| B12,C3,D4,D10, K4,K10 | VSS | D1 | VSS |
| A12 | VDDA | F1 | VDDA |
| E11 | P9.0 | H1 | P9.0 |
| E12 | P9.1 | G2 | P9.1 |
| E13 | P9.2 | E2 | P9.2 |
| F11 | P9.3 | C2 | P9.3 |
| D13 | P9.4 | F3 | P9.4 |
| D12 | P9.5 | | |
| D11 | P9.6 | | |
| C13 | P9.7 | A2 | P9.7 |
| B13 | VREF | | |
| A13 | VDDIOA | F1 | VDDA |
| A12 | VDDA | F1 | VDDA |
| C12 | P10.0 | G4 | P10.0 |
| A11 | P10.1 | H5 | P10.1 |
| B11 | P10.2 | | |
| C11 | P10.3 | | |
| A10 | P10.4 | B3 | P10.4 |

| 124-BGA | | 80-WLCSP | |
|---------------------------|--------|----------|--------|
| 引脚 | 名称 | 引脚 | 名称 |
| B10 | P10.5 | D3 | P10.5 |
| C10 | P10.6 | | |
| A9 | P10.7 | | |
| B9 | P11.0 | E4 | P11.0 |
| C9 | P11.1 | F5 | P11.1 |
| A8 | P11.2 | G6 | P11.2 |
| B8 | P11.3 | A4 | P11.3 |
| C8 | P11.4 | C4 | P11.4 |
| A7 | P11.5 | B5 | P11.5 |
| B12, C3, D4, D10, K4, K10 | VSS | A8 | VSS |
| B7 | P11.6 | D5 | P11.6 |
| C7 | P11.7 | C6 | P11.7 |
| C4 | VDDIO0 | A6 | VDDIO0 |
| A6 | P12.0 | B7 | P12.0 |
| B6 | P12.1 | D7 | P12.1 |
| C6 | P12.2 | C8 | P12.2 |
| A5 | P12.3 | B9 | P12.3 |
| B5 | P12.4 | E6 | P12.4 |
| C5 | P12.5 | E8 | P12.5 |
| A4 | P12.6 | F7 | P12.6 |
| B4 | P12.7 | H7 | P12.7 |
| B1 | P13.0 | | |
| A3 | P13.1 | | |
| B3 | P13.2 | | |
| B2 | P13.3 | | |
| C2 | P13.4 | | |
| C1 | P13.5 | | |
| D3 | P13.6 | | |
| D2 | P13.7 | | |

基于封装类型的电源与端口的对应关系如下：

- P0: VBACKUP
- P1: VDDD. Port 1 GPIO 引脚为过电压容差 (OVT) 引脚
- P2, P3, P4: VDDIOR
- P5, P6, P7, P8: VDDIO1

- P9, P10: VDDIO, VDDA (VDDIO 和 VDDA 在 PCB 上必须连接在一起)
- P11, P12, P13: VDDIO0
- P14: VDDUSB

每个端口引脚有多个替代功能。这些都在Table 2中定义。

Table 2. 多个替代功能^[1]

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|---------------------------|-------|----------------|--------|-------------------|------------------|----------------------|--------|---------|------------------------|---------|---------|---------|--------------------------------|-----------------|-------|
| P0.0 | tcpwm[0].line[0]:0 | tcpwm[1].line[0]:0 | | srss.ext_clk:0 | | | | scb[0].spi_select1:0 | | | peri.tr_io_in put[0]:0 | | | | | | |
| P0.1 | tcpwm[0].line_compl[0]:0 | tcpwm[1].line_compl[0]:0 | | | | | | scb[0].spi_select2:0 | | | peri.tr_io_in put[1]:0 | | | | | cpuss.swj_trstn | |
| P0.2 | tcpwm[0].line[1]:0 | tcpwm[1].line[1]:0 | | | | scb[0].uart_rx:0 | scb[0].i2c_scl:0 | scb[0].spi_mosi:0 | | | | | | | | | |
| P0.3 | tcpwm[0].line_compl[1]:0 | tcpwm[1].line_compl[1]:0 | | | | scb[0].uart_tx:0 | scb[0].i2c_sda:0 | scb[0].spi_miso:0 | | | | | | | | | |
| P0.4 | tcpwm[0].line[2]:0 | tcpwm[1].line[2]:0 | | | | scb[0].uart_rts:0 | | scb[0].spi_clk:0 | | | peri.tr_io_output[0]:2 | | | | | | |
| P0.5 | tcpwm[0].line_compl[2]:0 | tcpwm[1].line_compl[2]:0 | | srss.ext_clk:1 | | scb[0].uart_cts:0 | | scb[0].spi_select0:0 | | | peri.tr_io_output[1]:2 | | | | | | |
| P1.0 | tcpwm[0].line[3]:0 | tcpwm[1].line[3]:0 | | | | scb[7].uart_rx:0 | scb[7].i2c_scl:0 | scb[7].spi_mosi:0 | | | peri.tr_io_in put[2]:0 | | | | | | |
| P1.1 | tcpwm[0].line_compl[3]:0 | tcpwm[1].line_compl[3]:0 | | | | scb[7].uart_tx:0 | scb[7].i2c_sda:0 | scb[7].spi_miso:0 | | | peri.tr_io_in put[3]:0 | | | | | | |
| P1.2 | tcpwm[0].line[4]:4 | tcpwm[1].line[12]:1 | | | | scb[7].uart_rts:0 | | scb[7].spi_clk:0 | | | | | | | | | |
| P1.3 | tcpwm[0].line_compl[4]:4 | tcpwm[1].line_compl[12]:1 | | | | scb[7].uart_cts:0 | | scb[7].spi_select0:0 | | | | | | | | | |
| P1.4 | tcpwm[0].line[5]:4 | tcpwm[1].line[13]:1 | | | | | | scb[7].spi_select1:0 | | | | | | | | | |
| P1.5 | tcpwm[0].line_compl[5]:4 | tcpwm[1].line_compl[14]:1 | | | | | | scb[7].spi_select2:0 | | | | | | | | | |
| P14.0 | | | | | | | | | | | | | | | | | |
| P14.1 | | | | | | | | | | | | | | | | | |
| P2.0 | tcpwm[0].line[6]:4 | tcpwm[1].line[15]:1 | | | | scb[1].uart_rx:0 | scb[1].i2c_scl:0 | scb[1].spi_mosi:0 | | | peri.tr_io_in put[4]:0 | | | | bless.mxd_dpslp_ret_switch_hv | | |
| P2.1 | tcpwm[0].line_compl[6]:4 | tcpwm[1].line_compl[15]:1 | | | | scb[1].uart_tx:0 | scb[1].i2c_sda:0 | scb[1].spi_miso:0 | | | peri.tr_io_in put[5]:0 | | | | bless.mxd_dpslp_ret_l do_ol_hv | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName =模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name =信号的名称, u =信号编号, 其中有特定信号名称的多个信号, y =指定信号名称副本。

例如, 名称tcpwm[0].line_compl[3]: 4表示这是tcpwm块的实例0, 信号是line_compl#3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|---------------------------|-------|--------|--------|-------------------|------------------|----------------------|--------|---------|---------|------------------------|--------------------------|---------|-----------------------------|-------|-------|
| P2.2 | tcpwm[0].line[7]:4 | tcpwm[1].line[16]:1 | | | | scb[1].uart_rts:0 | | scb[1].spi_clk:0 | | | | | | | bless.mxd_dpslp_buck_en | | |
| P2.3 | tcpwm[0].line_compl[7]:4 | tcpwm[1].line_compl[16]:1 | | | | scb[1].uart_cts:0 | | scb[1].spi_select0:0 | | | | | | | bless.mxd_dpslp_reset_n | | |
| P2.4 | tcpwm[0].line[0]:5 | tcpwm[1].line[17]:1 | | | | | | scb[1].spi_select1:0 | | | | | | | bless.mxd_dpslp_clk_en | | |
| P2.5 | tcpwm[0].line_compl[0]:5 | tcpwm[1].line_compl[17]:1 | | | | | | scb[1].spi_select2:0 | | | | | | | bless.mxd_dpslp_isolate_n | | |
| P2.6 | tcpwm[0].line[1]:5 | tcpwm[1].line[18]:1 | | | | | | scb[1].spi_select3:0 | | | | | | | bless.mxd_dpslp_act_l do_en | | |
| P2.7 | tcpwm[0].line_compl[1]:5 | tcpwm[1].line_compl[18]:1 | | | | | | | | | | | | | bless.mxd_dpslp_xtal_en | | |
| P3.0 | tcpwm[0].line[2]:5 | tcpwm[1].line[19]:1 | | | | scb[2].uart_rx:1 | scb[2].i2c_scl:1 | scb[2].spi_mosi:1 | | | | peri.tr_io_in put[6]:0 | | | bless.mxd_dpslp_dig_l do_en | | |
| P3.1 | tcpwm[0].line_compl[2]:5 | tcpwm[1].line_compl[19]:1 | | | | scb[2].uart_tx:1 | scb[2].i2c_sda:1 | scb[2].spi_miso:1 | | | | peri.tr_io_in put[7]:0 | bless.mxd_act_dbus_rx_en | | | | |
| P3.2 | tcpwm[0].line[3]:5 | tcpwm[1].line[20]:1 | | | | scb[2].uart_rts:1 | | scb[2].spi_clk:1 | | | | | bless.mxd_act_dbus_tx_en | | | | |
| P3.3 | tcpwm[0].line_compl[3]:5 | tcpwm[1].line_compl[20]:1 | | | | scb[2].uart_cts:1 | | scb[2].spi_select0:1 | | | | | bless.mxd_act_bpktctl | | | | |
| P3.4 | tcpwm[0].line[4]:5 | tcpwm[1].line[21]:1 | | | | | | scb[2].spi_select1:1 | | | | | bless.mxd_act_txd_rx_d | | | | |
| P3.5 | tcpwm[0].line_compl[4]:5 | tcpwm[1].line_compl[21]:1 | | | | | | scb[2].spi_select2:1 | | | | | bless.mxd_dpslp_rcb_data | | | | |
| P4.0 | tcpwm[0].line[5]:5 | tcpwm[1].line[22]:1 | | | | scb[7].uart_rx:1 | scb[7].i2c_scl:1 | scb[7].spi_mosi:1 | | | | peri.tr_io_in put[8]:0 | bless.mxd_dpslp_rcb_clk | | | | |
| P4.1 | tcpwm[0].line_compl[5]:5 | tcpwm[1].line_compl[22]:1 | | | | scb[7].uart_tx:1 | scb[7].i2c_sda:1 | scb[7].spi_miso:1 | | | | peri.tr_io_in put[9]:0 | bless.mxd_dpslp_rcb_le | | | | |
| P4.2 | tcpwm[0].line[6]:5 | tcpwm[1].line[23]:1 | | | | scb[7].uart_rts:1 | | scb[7].spi_clk:1 | | | | | | | | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName = 模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name = 信号的名称, u = 信号编号, 其中有特定信号名称的多个信号, y = 指定信号名称副本。

例如, 名称tcpwm[0].line_compl[3]: 4表示这是tcpwm块的实例0, 信号是line_compl #3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 | |
|-----------|--------------------------|---------------------------|------------------|--------|--------|-------------------|------------------|----------------------|--------|--------------------|------------------------|------------------------|---------|---------|-----------------------------|---------------------|----------------------|----------------------|
| P4.3 | tcpwm[0].line_compl[6]:5 | tcpwm[1].line_compl[23]:1 | | | | scb[7].uart_cts:1 | | scb[7].spi_select0:1 | | | | | | | bless.mxd_dpslp_mxd_clk_out | | | |
| P5.0 | tcpwm[0].line[4]:0 | tcpwm[1].line[4]:0 | | | | scb[5].uart_rx:0 | scb[5].i2c_scl:0 | scb[5].spi_mosi:0 | | audioss.clk_i2s_if | peri.tr_io_input[10]:0 | | | | | | | |
| P5.1 | tcpwm[0].line_compl[4]:0 | tcpwm[1].line_compl[4]:0 | | | | scb[5].uart_tx:0 | scb[5].i2c_sda:0 | scb[5].spi_miso:0 | | audioss.tx_sck | peri.tr_io_input[11]:0 | | | | | | | |
| P5.2 | tcpwm[0].line[5]:0 | tcpwm[1].line[5]:0 | | | | scb[5].uart_rts:0 | | scb[5].spi_clk:0 | | audioss.tx_ws | | | | | | | | |
| P5.3 | tcpwm[0].line_compl[5]:0 | tcpwm[1].line_compl[5]:0 | | | | scb[5].uart_cts:0 | | scb[5].spi_select0:0 | | audioss.tx_sdo | | | | | | | | |
| P5.4 | tcpwm[0].line[6]:0 | tcpwm[1].line[6]:0 | | | | | | scb[5].spi_select1:0 | | audioss.rx_sck | | | | | | | | |
| P5.5 | tcpwm[0].line_compl[6]:0 | tcpwm[1].line_compl[6]:0 | | | | | | scb[5].spi_select2:0 | | audioss.rx_ws | | | | | | | | |
| P5.6 | tcpwm[0].line[7]:0 | tcpwm[1].line[7]:0 | | | | | | scb[5].spi_select3:0 | | audioss.rx_sdi | | | | | | | | |
| P5.7 | tcpwm[0].line_compl[7]:0 | tcpwm[1].line_compl[7]:0 | | | | | | scb[3].spi_select3:0 | | | | | | | | | | |
| P6.0 | tcpwm[0].line[0]:1 | tcpwm[1].line[8]:0 | scb[8].i2c_scl:0 | | | scb[3].uart_rx:0 | scb[3].i2c_scl:0 | scb[3].spi_mosi:0 | | | | cpuss.fault_out[0] | | | | | scb[8].spi_mosi:0 | |
| P6.1 | tcpwm[0].line_compl[0]:1 | tcpwm[1].line_compl[8]:0 | scb[8].i2c_sda:0 | | | scb[3].uart_tx:0 | scb[3].i2c_sda:0 | scb[3].spi_miso:0 | | | | cpuss.fault_out[1] | | | | | scb[8].spi_miso:0 | |
| P6.2 | tcpwm[0].line[1]:1 | tcpwm[1].line[9]:0 | | | | scb[3].uart_rts:0 | | scb[3].spi_clk:0 | | | | | | | | | scb[8].spi_clk:0 | |
| P6.3 | tcpwm[0].line_compl[1]:1 | tcpwm[1].line_compl[9]:0 | | | | scb[3].uart_cts:0 | | scb[3].spi_select0:0 | | | | | | | | | scb[8].spi_select0:0 | |
| P6.4 | tcpwm[0].line[2]:1 | tcpwm[1].line[10]:0 | scb[8].i2c_scl:1 | | | scb[6].uart_rx:2 | scb[6].i2c_scl:2 | scb[6].spi_mosi:2 | | | peri.tr_io_input[12]:0 | peri.tr_io_output[0]:1 | | | | cpuss.swj_swo_tdo | scb[8].spi_mosi:1 | |
| P6.5 | tcpwm[0].line_compl[2]:1 | tcpwm[1].line_compl[10]:0 | scb[8].i2c_sda:1 | | | scb[6].uart_tx:2 | scb[6].i2c_sda:2 | scb[6].spi_miso:2 | | | peri.tr_io_input[13]:0 | peri.tr_io_output[1]:1 | | | | cpuss.swj_swdoe_tdi | scb[8].spi_miso:1 | |
| P6.6 | tcpwm[0].line[3]:1 | tcpwm[1].line[11]:0 | | | | scb[6].uart_rts:2 | | scb[6].spi_clk:2 | | | | | | | | | cpuss.swj_swdio_tms | scb[8].spi_clk:1 |
| P6.7 | tcpwm[0].line_compl[3]:1 | tcpwm[1].line_compl[11]:0 | | | | scb[6].uart_cts:2 | | scb[6].spi_select0:2 | | | | | | | | | cpuss.swj_swclk_tclk | scb[8].spi_select0:1 |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName = 模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name = 信号的名称, u = 信号编号, 其中有特定信号名称的多个信号, y = 指定信号名称副本。

例如, 名称tcpwm [0].line_compl [3]: 4表示这是tcpwm块的实例0, 信号是line_compl #3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|---------------------------|-------|--------|--------|-------------------|------------------|----------------------|-------------------|---------|-------------------------|---------|-------------------------------|-----------------------|-------|-------|-------|
| P7.0 | tcpwm[0].line[4]:1 | tcpwm[1].line[12]:0 | | | | scb[4].uart_rx:1 | scb[4].i2c_scl:1 | scb[4].spi_mosi:1 | | | peri.tr_io_in_put[14]:0 | | cpuss.trace_clock | | | | |
| P7.1 | tcpwm[0].line_compl[4]:1 | tcpwm[1].line_compl[12]:0 | | | | scb[4].uart_tx:1 | scb[4].i2c_sda:1 | scb[4].spi_miso:1 | | | peri.tr_io_in_put[15]:0 | | | | | | |
| P7.2 | tcpwm[0].line[5]:1 | tcpwm[1].line[13]:0 | | | | scb[4].uart_rts:1 | | scb[4].spi_clk:1 | | | | | | | | | |
| P7.3 | tcpwm[0].line_compl[5]:1 | tcpwm[1].line_compl[13]:0 | | | | scb[4].uart_cts:1 | | scb[4].spi_select0:1 | | | | | | | | | |
| P7.4 | tcpwm[0].line[6]:1 | tcpwm[1].line[14]:0 | | | | | | scb[4].spi_select1:1 | | | | | bless.ext_lina_rx_ctl_out | cpuss.trace_data[3]:2 | | | |
| P7.5 | tcpwm[0].line_compl[6]:1 | tcpwm[1].line_compl[14]:0 | | | | | | scb[4].spi_select2:1 | | | | | bless.ext_pa_tx_ctl_out | cpuss.trace_data[2]:2 | | | |
| P7.6 | tcpwm[0].line[7]:1 | tcpwm[1].line[15]:0 | | | | | | scb[4].spi_select3:1 | | | | | bless.ext_pa_lina_chip_en_out | cpuss.trace_data[1]:2 | | | |
| P7.7 | tcpwm[0].line_compl[7]:1 | tcpwm[1].line_compl[15]:0 | | | | | | scb[3].spi_select1:0 | cpuss.clk_fm_pump | | | | | cpuss.trace_data[0]:2 | | | |
| P8.0 | tcpwm[0].line[0]:2 | tcpwm[1].line[16]:0 | | | | scb[4].uart_rx:0 | scb[4].i2c_scl:0 | scb[4].spi_mosi:0 | | | peri.tr_io_in_put[16]:0 | | | | | | |
| P8.1 | tcpwm[0].line_compl[0]:2 | tcpwm[1].line_compl[16]:0 | | | | scb[4].uart_tx:0 | scb[4].i2c_sda:0 | scb[4].spi_miso:0 | | | peri.tr_io_in_put[17]:0 | | | | | | |
| P8.2 | tcpwm[0].line[1]:2 | tcpwm[1].line[17]:0 | | | | scb[4].uart_rts:0 | | scb[4].spi_clk:0 | | | | | | | | | |
| P8.3 | tcpwm[0].line_compl[1]:2 | tcpwm[1].line_compl[17]:0 | | | | scb[4].uart_cts:0 | | scb[4].spi_select0:0 | | | | | | | | | |
| P8.4 | tcpwm[0].line[2]:2 | tcpwm[1].line[18]:0 | | | | | | scb[4].spi_select1:0 | | | | | | | | | |
| P8.5 | tcpwm[0].line_compl[2]:2 | tcpwm[1].line_compl[18]:0 | | | | | | scb[4].spi_select2:0 | | | | | | | | | |
| P8.6 | tcpwm[0].line[3]:2 | tcpwm[1].line[19]:0 | | | | | | scb[4].spi_select3:0 | | | | | | | | | |
| P8.7 | tcpwm[0].line_compl[3]:2 | tcpwm[1].line_compl[19]:0 | | | | | | scb[3].spi_select2:0 | | | | | | | | | |
| P9.0 | tcpwm[0].line[4]:2 | tcpwm[1].line[20]:0 | | | | scb[2].uart_rx:0 | scb[2].i2c_scl:0 | scb[2].spi_mosi:0 | | | peri.tr_io_in_put[18]:0 | | | cpuss.trace_data[3]:0 | | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName = 模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name = 信号的名称, u = 信号编号, 其中有特定信号名称的多个信号, y = 指定信号名称副本。

例如, 名称tcpwm[0].line_compl[3]: 4表示这是tcpwm块的实例0, 信号是line_compl #3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|---------------------------|-------|--------|------------------|-------------------|------------------|----------------------|-------------------|----------------------|-------------------------|---------|---------|-----------------------|-------|-------|-------|
| P9.1 | tcpwm[0].line_compl[4]:2 | tcpwm[1].line_compl[20]:0 | | | | scb[2].uart_tx:0 | scb[2].i2c_sda:0 | scb[2].spi_miso:0 | | | peri.tr_io_in_put[19]:0 | | | cpuss.trace_data[2]:0 | | | |
| P9.2 | tcpwm[0].line[5]:2 | tcpwm[1].line[21]:0 | | | | scb[2].uart_rts:0 | | scb[2].spi_clk:0 | | pass.dsi_c tb_cmp0:1 | | | | cpuss.trace_data[1]:0 | | | |
| P9.3 | tcpwm[0].line_compl[5]:2 | tcpwm[1].line_compl[21]:0 | | | | scb[2].uart_cts:0 | | scb[2].spi_select0:0 | | pass.dsi_c tb_cmp1:1 | | | | cpuss.trace_data[0]:0 | | | |
| P9.4 | tcpwm[0].line[7]:5 | tcpwm[1].line[0]:2 | | | | | | scb[2].spi_select1:0 | | | | | | | | | |
| P9.5 | tcpwm[0].line_compl[7]:5 | tcpwm[1].line_compl[0]:2 | | | | | | scb[2].spi_select2:0 | | | | | | | | | |
| P9.6 | tcpwm[0].line[0]:6 | tcpwm[1].line[1]:2 | | | | | | scb[2].spi_select3:0 | | | | | | | | | |
| P9.7 | tcpwm[0].line_compl[0]:6 | tcpwm[1].line_compl[1]:2 | | | | | | | | | | | | | | | |
| P10.0 | tcpwm[0].line[6]:2 | tcpwm[1].line[22]:0 | | | | scb[1].uart_rx:1 | scb[1].i2c_scl:1 | scb[1].spi_mosi:1 | | | peri.tr_io_in_put[20]:0 | | | cpuss.trace_data[3]:1 | | | |
| P10.1 | tcpwm[0].line_compl[6]:2 | tcpwm[1].line_compl[22]:0 | | | | scb[1].uart_tx:1 | scb[1].i2c_sda:1 | scb[1].spi_miso:1 | | | peri.tr_io_in_put[21]:0 | | | cpuss.trace_data[2]:1 | | | |
| P10.2 | tcpwm[0].line[7]:2 | tcpwm[1].line[23]:0 | | | | scb[1].uart_rts:1 | | scb[1].spi_clk:1 | | | | | | cpuss.trace_data[1]:1 | | | |
| P10.3 | tcpwm[0].line_compl[7]:2 | tcpwm[1].line_compl[23]:0 | | | | scb[1].uart_cts:1 | | scb[1].spi_select0:1 | | | | | | cpuss.trace_data[0]:1 | | | |
| P10.4 | tcpwm[0].line[0]:3 | tcpwm[1].line[0]:1 | | | | | | scb[1].spi_select1:1 | audioss.p dm_clk | | | | | | | | |
| P10.5 | tcpwm[0].line_compl[0]:3 | tcpwm[1].line_compl[0]:1 | | | | | | scb[1].spi_select2:1 | audioss.p dm_data | | | | | | | | |
| P10.6 | tcpwm[0].line[1]:6 | tcpwm[1].line[2]:2 | | | | | | scb[1].spi_select3:1 | | | | | | | | | |
| P10.7 | tcpwm[0].line_compl[1]:6 | tcpwm[1].line_compl[2]:2 | | | | | | | | | | | | | | | |
| P11.0 | tcpwm[0].line[1]:3 | tcpwm[1].line[1]:1 | | | smif.spi_select2 | scb[5].uart_rx:1 | scb[5].i2c_scl:1 | scb[5].spi_mosi:1 | | | peri.tr_io_in_put[22]:0 | | | | | | |
| P11.1 | tcpwm[0].line_compl[1]:3 | tcpwm[1].line_compl[1]:1 | | | smif.spi_select1 | scb[5].uart_tx:1 | scb[5].i2c_sda:1 | scb[5].spi_miso:1 | | | peri.tr_io_in_put[23]:0 | | | | | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName = 模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name = 信号的名称, u = 信号编号, 其中有特定信号名称的多个信号, y = 指定信号名称副本。

例如, 名称tcpwm [0].line_compl [3]: 4表示这是tcpwm块的实例0, 信号是line_compl #3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|--------------------------|-------|--------|------------------|-------------------|------------------|----------------------|------------------|---------|---------|-------------------------|---------|---------|-------|-------|-------|
| P11.2 | tcpwm[0].line[2]:3 | tcpwm[1].line[2]:1 | | | smif.spi_select0 | scb[5].uart_rts:1 | | scb[5].spi_clk:1 | | | | | | | | | |
| P11.3 | tcpwm[0].line_compl[2]:3 | tcpwm[1].line_compl[2]:1 | | | smif.spi_data3 | scb[5].uart_cts:1 | | scb[5].spi_select0:1 | | | | peri.tr_io_output[0]:0 | | | | | |
| P11.4 | tcpwm[0].line[3]:3 | tcpwm[1].line[3]:1 | | | smif.spi_data2 | | | scb[5].spi_select1:1 | | | | peri.tr_io_output[1]:0 | | | | | |
| P11.5 | tcpwm[0].line_compl[3]:3 | tcpwm[1].line_compl[3]:1 | | | smif.spi_data1 | | | scb[5].spi_select2:1 | | | | | | | | | |
| P11.6 | | | | | smif.spi_data0 | | | scb[5].spi_select3:1 | | | | | | | | | |
| P11.7 | | | | | smif.spi_clk | | | | | | | | | | | | |
| P12.0 | tcpwm[0].line[4]:3 | tcpwm[1].line[4]:1 | | | smif.spi_data4 | scb[6].uart_rx:0 | scb[6].i2c_scl:0 | scb[6].spi_mosi:0 | | | | peri.tr_io_in_put[24]:0 | | | | | |
| P12.1 | tcpwm[0].line_compl[4]:3 | tcpwm[1].line_compl[4]:1 | | | smif.spi_data5 | scb[6].uart_tx:0 | scb[6].i2c_sda:0 | scb[6].spi_miso:0 | | | | peri.tr_io_in_put[25]:0 | | | | | |
| P12.2 | tcpwm[0].line[5]:3 | tcpwm[1].line[5]:1 | | | smif.spi_data6 | scb[6].uart_rts:0 | | scb[6].spi_clk:0 | | | | | | | | | |
| P12.3 | tcpwm[0].line_compl[5]:3 | tcpwm[1].line_compl[5]:1 | | | smif.spi_data7 | scb[6].uart_cts:0 | | scb[6].spi_select0:0 | | | | | | | | | |
| P12.4 | tcpwm[0].line[6]:3 | tcpwm[1].line[6]:1 | | | smif.spi_select3 | | | scb[6].spi_select1:0 | audioss.pdm_clk | | | | | | | | |
| P12.5 | tcpwm[0].line_compl[6]:3 | tcpwm[1].line_compl[6]:1 | | | | | | scb[6].spi_select2:0 | audioss.pdm_data | | | | | | | | |
| P12.6 | tcpwm[0].line[7]:3 | tcpwm[1].line[7]:1 | | | | | | scb[6].spi_select3:0 | | | | | | | | | |
| P12.7 | tcpwm[0].line_compl[7]:3 | tcpwm[1].line_compl[7]:1 | | | | | | | | | | | | | | | |
| P13.0 | tcpwm[0].line[8]:4 | tcpwm[1].line[8]:1 | | | | scb[6].uart_rx:1 | scb[6].i2c_scl:1 | scb[6].spi_mosi:1 | | | | peri.tr_io_in_put[26]:0 | | | | | |
| P13.1 | tcpwm[0].line_compl[8]:4 | tcpwm[1].line_compl[8]:1 | | | | scb[6].uart_tx:1 | scb[6].i2c_sda:1 | scb[6].spi_miso:1 | | | | peri.tr_io_in_put[27]:0 | | | | | |
| P13.2 | tcpwm[0].line[9]:4 | tcpwm[1].line[9]:1 | | | | scb[6].uart_rts:1 | | scb[6].spi_clk:1 | | | | | | | | | |
| P13.3 | tcpwm[0].line_compl[9]:4 | tcpwm[1].line_compl[9]:1 | | | | scb[6].uart_cts:1 | | scb[6].spi_select0:1 | | | | | | | | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName =模块的名称 (例如tcpwm), x = IP的唯一实例, Signal_name =信号的名称, u =信号编号, 其中有特定信号名称的多个信号, y =指定信号名称副本。

例如, 名称tcpwm [0].line_compl [3]: 4表示这是tcpwm块的实例0, 信号是line_compl #3 (行输出的补码), 这是第四次出现 (复制) 信号。提供信号副本以允许灵活的路由并最大化片上资源的利用。

| Port/ Pin | ACT #0 | ACT #1 | DS #2 | ACT #4 | ACT #5 | ACT #6 | ACT #7 | ACT #8 | ACT #9 | ACT #10 | ACT #12 | ACT #13 | ACT #14 | ACT #15 | DS #4 | DS #5 | DS #6 |
|-----------|--------------------------|---------------------------|-------|--------|--------|--------|--------|----------------------|--------|---------|---------|---------|---------|---------|-------|-------|-------|
| P13.4 | tcpwm[0].line[2]:4 | tcpwm[1].line[10]:1 | | | | | | scb[6].spi_select1:1 | | | | | | | | | |
| P13.5 | tcpwm[0].line_compl[2]:4 | tcpwm[1].line_compl[10]:1 | | | | | | scb[6].spi_select2:1 | | | | | | | | | |
| P13.6 | tcpwm[0].line[3]:4 | tcpwm[1].line[11]:1 | | | | | | scb[6].spi_select3:1 | | | | | | | | | |
| P13.7 | tcpwm[0].line_compl[3]:4 | tcpwm[1].line_compl[11]:1 | | | | | | | | | | | | | | | |

备注

信号的符号格式为IPName [x].signal_name [u]: y。

IPName =模块的名称 (例如tcpwm)， x = IP的唯一实例， Signal_name =信号的名称， u =信号编号， 其中有特定信号名称的多个信号， y =指定信号名称副本。

例如，名称tcpwm [0].line_compl [3]: 4表示这是tcpwm块的实例0， 信号是line_compl #3 (行输出的补码)， 这是第四次出现 (复制) 信号。 提供信号副本以允许灵活的路由并最大化片上资源的利用。

模拟，智能I/O和DSI备用端口引脚功能如Table 3所示。

Table 3. 端口引脚模拟，智能I/O和DSI功能

| 端口/引脚 | 名称 | 模拟 | 数字 HV | DSI | SMARTIO | USB |
|-------|-------|---------|---------------------------------------|-------------------|---------|----------------|
| P0.0 | P0.0 | wco_in | | dsi[0].port_if[0] | | |
| P0.1 | P0.1 | wco_out | | dsi[0].port_if[1] | | |
| P0.2 | P0.2 | | | dsi[0].port_if[2] | | |
| P0.3 | P0.3 | | | dsi[0].port_if[3] | | |
| P0.4 | P0.4 | | pmic_wakeup_in hibernate_wakeup[1] | dsi[0].port_if[4] | | |
| P0.5 | P0.5 | | pmic_wakeup_out | dsi[0].port_if[5] | | |
| P1.0 | P1.0 | | | dsi[1].port_if[0] | | |
| P1.1 | P1.1 | | | dsi[1].port_if[1] | | |
| P1.2 | P1.2 | | | dsi[1].port_if[2] | | |
| P1.3 | P1.3 | | | dsi[1].port_if[3] | | |
| P1.4 | P1.4 | | hibernate_wakeup[0] | dsi[1].port_if[4] | | |
| P1.5 | P1.5 | | | dsi[1].port_if[5] | | |
| P14.0 | USBDP | | | | | usb.usb_dp_pad |
| P14.1 | USBDM | | | | | usb.usb_dm_pad |
| P2.0 | P2.0 | | | dsi[2].port_if[0] | | |
| P2.1 | P2.1 | | | dsi[2].port_if[1] | | |
| P2.2 | P2.2 | | | dsi[2].port_if[2] | | |
| P2.3 | P2.3 | | | dsi[2].port_if[3] | | |
| P2.4 | P2.4 | | | dsi[2].port_if[4] | | |
| P2.5 | P2.5 | | | dsi[2].port_if[5] | | |
| P2.6 | P2.6 | | | dsi[2].port_if[6] | | |
| P2.7 | P2.7 | | | dsi[2].port_if[7] | | |
| P3.0 | P3.0 | | | | | |
| P3.1 | P3.1 | | | | | |
| P3.2 | P3.2 | | | | | |
| P3.3 | P3.3 | | | | | |
| P3.4 | P3.4 | | | | | |
| P3.5 | P3.5 | | | | | |
| P4.0 | P4.0 | | | dsi[0].port_if[6] | | |
| P4.1 | P4.1 | | | dsi[0].port_if[7] | | |
| P4.2 | P4.2 | | | dsi[1].port_if[6] | | |
| P4.3 | P4.3 | | | dsi[1].port_if[7] | | |
| P5.0 | P5.0 | | | dsi[3].port_if[0] | | |
| P5.1 | P5.1 | | | dsi[3].port_if[1] | | |

| 端口/引脚 | 名称 | 模拟 | 数字 HV | DSI | SMARTIO | USB |
|-------|------|--------------------------------------|----------|--------------------|------------------|-----|
| P5.2 | P5.2 | | | dsi[3].port_if[2] | | |
| P5.3 | P5.3 | | | dsi[3].port_if[3] | | |
| P5.4 | P5.4 | | | dsi[3].port_if[4] | | |
| P5.5 | P5.5 | | | dsi[3].port_if[5] | | |
| P5.6 | P5.6 | lpcomp.inp_comp0 | | dsi[3].port_if[6] | | |
| P5.7 | P5.7 | lpcomp.inn_comp0 | | dsi[3].port_if[7] | | |
| P6.0 | P6.0 | | | dsi[4].port_if[0] | | |
| P6.1 | P6.1 | | | dsi[4].port_if[1] | | |
| P6.2 | P6.2 | lpcomp.inp_comp1 | | dsi[4].port_if[2] | | |
| P6.3 | P6.3 | lpcomp.inn_comp1 | | dsi[4].port_if[3] | | |
| P6.4 | P6.4 | | | dsi[4].port_if[4] | | |
| P6.5 | P6.5 | | | dsi[4].port_if[5] | | |
| P6.6 | P6.6 | | swd_data | dsi[4].port_if[6] | | |
| P6.7 | P6.7 | | swd_clk | dsi[4].port_if[7] | | |
| P7.0 | P7.0 | | | dsi[5].port_if[0] | | |
| P7.1 | P7.1 | csd.cmodpadd csd.cmodpads | | dsi[5].port_if[1] | | |
| P7.2 | P7.2 | csd.csh_tankpadd csd.csh_tankpads | | dsi[5].port_if[2] | | |
| P7.3 | P7.3 | csd.vref_ext | | dsi[5].port_if[3] | | |
| P7.4 | P7.4 | | | dsi[5].port_if[4] | | |
| P7.5 | P7.5 | | | dsi[5].port_if[5] | | |
| P7.6 | P7.6 | | | dsi[5].port_if[6] | | |
| P7.7 | P7.7 | csd.cshieldpads | | dsi[5].port_if[7] | | |
| P8.0 | P8.0 | | | dsi[11].port_if[0] | smartio[8].io[0] | |
| P8.1 | P8.1 | | | dsi[11].port_if[1] | smartio[8].io[1] | |
| P8.2 | P8.2 | | | dsi[11].port_if[2] | smartio[8].io[2] | |
| P8.3 | P8.3 | | | dsi[11].port_if[3] | smartio[8].io[3] | |
| P8.4 | P8.4 | | | dsi[11].port_if[4] | smartio[8].io[4] | |
| P8.5 | P8.5 | | | dsi[11].port_if[5] | smartio[8].io[5] | |
| P8.6 | P8.6 | | | dsi[11].port_if[6] | smartio[8].io[6] | |
| P8.7 | P8.7 | | | dsi[11].port_if[7] | smartio[8].io[7] | |
| P9.0 | P9.0 | ctb_oa0+ | | dsi[10].port_if[0] | smartio[9].io[0] | |
| P9.1 | P9.1 | ctb_oa0- | | dsi[10].port_if[1] | smartio[9].io[1] | |
| P9.2 | P9.2 | ctb_oa0_out | | dsi[10].port_if[2] | smartio[9].io[2] | |
| P9.3 | P9.3 | ctb_oa1_out | | dsi[10].port_if[3] | smartio[9].io[3] | |
| P9.4 | P9.4 | ctb_oa1- | | dsi[10].port_if[4] | smartio[9].io[4] | |
| P9.5 | P9.5 | ctb_oa1+ | | dsi[10].port_if[5] | smartio[9].io[5] | |

| 端口/引脚 | 名称 | 模拟 | 数字 HV | DSI | SMARTIO | USB |
|-------|-------|----------------------|-------|--------------------|------------------|-----|
| P9.6 | P9.6 | ctb_oa0+ | | dsi[10].port_if[6] | smartio[9].io[6] | |
| P9.7 | P9.7 | ctb_oa1+ or ext_vref | | dsi[10].port_if[7] | smartio[9].io[7] | |
| P10.0 | P10.0 | sarmux[0] | | dsi[9].port_if[0] | | |
| P10.1 | P10.1 | sarmux[1] | | dsi[9].port_if[1] | | |
| P10.2 | P10.2 | sarmux[2] | | dsi[9].port_if[2] | | |
| P10.3 | P10.3 | sarmux[3] | | dsi[9].port_if[3] | | |
| P10.4 | P10.4 | sarmux[4] | | dsi[9].port_if[4] | | |
| P10.5 | P10.5 | sarmux[5] | | dsi[9].port_if[5] | | |
| P10.6 | P10.6 | sarmux[6] | | dsi[9].port_if[6] | | |
| P10.7 | P10.7 | sarmux[7] | | dsi[9].port_if[7] | | |
| P11.0 | P11.0 | | | dsi[8].port_if[0] | | |
| P11.1 | P11.1 | | | dsi[8].port_if[1] | | |
| P11.2 | P11.2 | | | dsi[8].port_if[2] | | |
| P11.3 | P11.3 | | | dsi[8].port_if[3] | | |
| P11.4 | P11.4 | | | dsi[8].port_if[4] | | |
| P11.5 | P11.5 | | | dsi[8].port_if[5] | | |
| P11.6 | P11.6 | | | dsi[8].port_if[6] | | |
| P11.7 | P11.7 | | | dsi[8].port_if[7] | | |
| P12.0 | P12.0 | | | dsi[7].port_if[0] | | |
| P12.1 | P12.1 | | | dsi[7].port_if[1] | | |
| P12.2 | P12.2 | | | dsi[7].port_if[2] | | |
| P12.3 | P12.3 | | | dsi[7].port_if[3] | | |
| P12.4 | P12.4 | | | dsi[7].port_if[4] | | |
| P12.5 | P12.5 | | | dsi[7].port_if[5] | | |
| P12.6 | P12.6 | eco_in | | dsi[7].port_if[6] | | |
| P12.7 | P12.7 | eco_out | | dsi[7].port_if[7] | | |
| P13.0 | P13.0 | | | dsi[6].port_if[0] | | |
| P13.1 | P13.1 | | | dsi[6].port_if[1] | | |
| P13.2 | P13.2 | | | dsi[6].port_if[2] | | |
| P13.3 | P13.3 | | | dsi[6].port_if[3] | | |
| P13.4 | P13.4 | | | dsi[6].port_if[4] | | |
| P13.5 | P13.5 | | | dsi[6].port_if[5] | | |
| P13.6 | P13.6 | | | dsi[6].port_if[6] | | |
| P13.7 | P13.7 | | | dsi[6].port_if[7] | | |

电源

电源系统图 (见Figure 3) 显示了PSoC 62上电源引脚的一般要求。PSoC 6 BLE电源方案允许不同的VDDIO和VDDA连接。由于没有排序要求需要分析和指定, 客户可以按任何顺序启动电源, 电源系统负责确保在允许操作之前所有域的电源良好。VDDD, VDDA和VDDIO可以是单独的网络, 其在芯片上欧姆

连接。根据不同的封装要求，这些可能需要在芯片外连接。

除了LDO之外，电源系统还将具有降压调节器。具有多个输出的单输入多输出 (SIMO) 降压稳压器允许节省电感器。

初步框图如Figure 3所示。

Figure 3. SOC电源连接

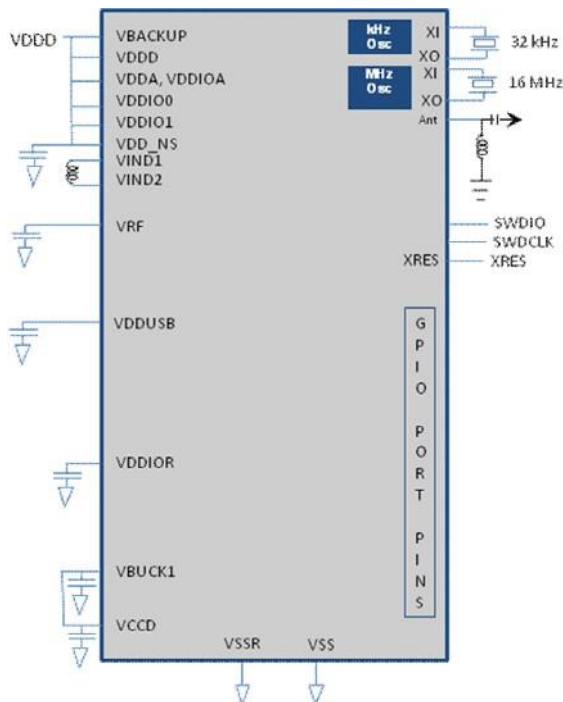


Figure 3显示了PSoC 62的电源引脚。它还显示哪些引脚需要旁路电容。

电源引脚的说明如下:

1. **VBACKUP**是备份域的电源。备份域包括32 kHz WCO、RTC和备份寄存器。它可以通过RTC定时器或外部输入产生芯片的唤醒中断。它还可以产生唤醒外部电路的输出。当不用作单独的电池备份域时，它连接到VDDD。VBACKUP为端口0提供电源。
2. **VDDD**是主数字电源输入(1.7至3.6V)。它为内部稳压器和端口1提供输入。
3. **VDDA**是模拟外设(1.7至3.6V)的电源。它必须连接到PCB上的VDDIOA。
4. **VDDIOA**是端口9和10的电源。存在时，必须连接到PCB上的VDDA。当VDDIOA不存在时，端口9和10由VDDA供电。
5. **VDD_NS**是降压(Buck)的电源输入，应与VDDD处于相同的电位。VDD_NS和接地之间的旁路电容应当为10 μ F。
6. **VDDIO0**是端口11至13的电源(如果存在)。当不存在时，这些端口由VDDD供电。
7. **VDDIO1**是端口5至8的电源(如果存在)。当不存在时，这些端口由VDDA供电。

8. VDDIOR是仅用于BGA 124上端口2至4的电源。

上面的所有引脚都可能短路到VDDD，如Figure 3所示。

9. VRF 为SIMO降压的第二个输出。

10. VBUCK1是内部核心逻辑的SIMO降压输出，要连接到VCCD。

11. VCCD是内部核心逻辑，需要连接到VBUCK1并解耦。

电源电压范围为1.71至3.6 V，所有功能和电路均在该范围内工作。所有的接地必须在PCB上一起短路。必须使用旁路电容从VDDD和VDDA，以及图中指示的地方接地。在该频率范围内的系统的典型做法是在10- μ F范围内使用与较小电容 (例如0.1 μ F) 并联的电容。请注意，这些仅仅是经验法则，对于关键应用，PCB布局，引线电感和旁路电容寄生应被模拟以设计和获得最佳旁路。对于Vrf，建议的降压输出电容值为10 μ F，对于VBUCK1，则为4.7 μ F。连接到Vind2的电容应该是100 nF。所有电容应为 $\pm 20\%$ 或更好；推荐的电感值为2.2 μ H $\pm 20\%$ (例如，TDK MLP2012H2R2MT0S1)。

开发支持

PSoC 62 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。更多有关信息，请访问 <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> 网站。

文档

通过 PSoC 62 系列的文档，您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的步骤。软件用户手册描述了 PSoC Creator 的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。

组件数据手册：PSoC 非常灵活，在长时间投入生产后依然可以创建新的外设 (组件)。组件数据表提供了选择和使用特定组件所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流 / 直流规范。

技术参考手册：技术参考手册 (TRM) 包含使用 PSoC 器件所需的全部技术细节，其中包括所有 PSoC 寄存器的完整说明。可在: <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> 网站上的文档部分获取技术参考手册 (TRM)。

在线支持

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家进行交流。

工具

PSoC 62 系列具备工业标准的内核、编程和调试接口，是开发工具体系的一个组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息，请访问我们的网站 www.cypress.com/products/psoc-creator-integrated-design-env。

电气规范

注意：这些规范是初版，可能修改。

最大绝对额定值

Table 4. 最大绝对额定值^[1]

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-----------------------|--|------|-----|----------------|----|-------------|
| SID1 | V_{DD_ABS} | 相对于 V_{SS} 的模拟、数字电源($V_{SSD} = V_{SSA}$) | -0.5 | — | 4 | V | 绝对最大值 |
| SID2 | V_{CCD_ABS} | 相对于 V_{SSD} 的直接数字内核输入电压 | -0.5 | — | 1.2 | V | 绝对最大值 |
| SID3 | V_{GPIO_ABS} | GPIO电压; V_{DDD} 或 V_{DDA} | -0.5 | — | $V_{DD} + 0.5$ | V | 绝对最大值 |
| SID4 | I_{GPIO_ABS} | 每个 GPIO 上的电流 | -25 | — | 25 | mA | 绝对最大值 |
| SID5 | $I_{GPIO_injection}$ | 每个引脚的GPIO注入电流 | -0.5 | — | 0.5 | mA | 绝对最大值 |
| SID3A | ESD_HBM | 静电放电人体模型 | 2200 | — | — | V | 绝对最大值 |
| SID3B | ESD_HBM_ ANT | 静电放电人体模型; 天线引脚 | 500 | — | — | V | 绝对最大值; 射频引脚 |
| SID4A | ESD_CDM | 静电放电带电器件模型 | 500 | — | — | V | 绝对最大值 |
| SID4B | ESD_CDM_ ANT | 静电放电带电器件模型; 天线引脚 | 200 | — | — | V | 绝对最大值; 射频引脚 |
| SID5A | LU | 引脚电流, 用于无锁操作 | -100 | — | 100 | mA | 绝对最大值 |

备注: 除非另有说明, 否则所有规范的适用条件为: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 和 1.71 V 到 3.6 V。

器件级规范

Table 5. 电源范围, CPU电流和转换时间规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-------------|-------------|-----------------------------------|------|-----|------|----|---------------------------------|
| 直流规范 | | | | | | | |
| SID6 | V_{DDD} | 内部稳压器和端口1 GPIO电源 | 1.7 | — | 3.6 | V | — |
| SID7 | V_{DDA} | 模拟电源电压。与PCB上的 V_{DDIOA} 短接。 | 1.7 | — | 3.6 | V | 内部未调节电源 |
| SID7A | V_{DDIO1} | 当存在端口5到8时的GPIO电源 | 1.7 | — | 3.6 | V | 必须 $V_{DDIO_1} \geq V_{DDA}$ 。 |
| SID7B | V_{DDIO0} | 当存在端口11到13时的GPIO电源 | 1.7 | — | 3.6 | V | — |
| SID7 | V_{DDIO0} | E-Fuse 编程电源 | 2.38 | 2.5 | 2.62 | V | E-Fuse 编程电压 |
| SID7C | V_{DDIO2} | 仅在BGA 124上为端口2至4提供GPIO电源 | 1.7 | — | 3.6 | V | — |
| SID7D | V_{DDIOA} | 端口9至10的GPIO电源短接至PCB上的 V_{DDA} 。 | 1.7 | — | 3.6 | V | — |

¹ 使用高于Table 4 所列的最大绝对值可能会给器件造成永久性损害。长期使用最大绝对值会影响器件的可靠性。最大存放温度是 150°C, 符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值, 则器件不能正常工作。

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--|---------------------|--|-----|------|------|----|--|
| SID7F | V _{DDUSB} | 当存在时，为端口14 (USB或GPIO) 供电 | 1.7 | — | 3.6 | V | USB的最小电源为2.85 V. |
| SID6B | V _{BACKUP} | 当存在时备用电源和GPIO端口0电源 | 1.7 | — | 3.6 | V | 在备份模式下最小为1.4 V. |
| SID8 | V _{CCD1} | 输出电压 (用于核心逻辑旁路) | — | 1.1 | — | V | 高速模式 |
| SID9 | V _{CCD2} | 输出电压 (用于核心逻辑旁路) | — | 0.9 | — | V | ULP 模式. –20 °C到 85 °C有效. |
| SID10 | C _{EFC} | 外部稳压器电压 (V _{CCD}) 旁路 | 3.8 | 4.7 | 5.6 | μF | X5R 陶瓷或更好; 值为 0.8 到 1.2 V |
| SID11 | C _{EXC} | 电源去耦电容 | — | 10 | — | μF | X5R陶瓷或更好 |
| LP范围电源规范(针对 V _{CCD} = 1.1 V，带 Buck 和 LDO) | | | | | | | |
| Cortex M4. 活动模式 | | | | | | | |
| 使用缓存禁用 (Flash) 执行 | | | | | | | |
| SIDF1 | I _{DD1} | 从闪存执行; CM4 活动 50 MHz, CM0+ 睡眠 25 MHz. 带 IMO & FLL. While(1). | — | 2.3 | 3.2 | mA | V _{DD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 3.1 | 3.6 | mA | V _{DD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 5.7 | 6.5 | mA | V _{DD} = 1.8 to 3.3 V, LDO, 85 °C时最大值 |
| SIDF2 | I _{DD2} | 从闪存执行; CM4活动8 MHz, CM0+睡眠8 MHz. 带 IMO. While(1). | — | 0.9 | 1.5 | mA | V _{DD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 1.2 | 1.6 | mA | V _{DD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 2.8 | 3.5 | mA | V _{DD} = 1.8 to 3.3 V, LDO, 85 °C时最大值 |
| 在启用缓存的情况下执行 | | | | | | | |
| SIDC1 | I _{DD3} | 从缓存执行; CM4活动150 MHz, CM0 + 睡眠75 MHz. IMO & FLL. Dhrystone. | — | 6.3 | 7 | mA | V _{DD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 9.7 | 11.2 | mA | V _{DD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 14.4 | 15.1 | mA | V _{DD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-------------------|------------------|---|-----|------|-----|----|---|
| SIDC2 | I _{DD4} | 从缓存执行; CM4活动100 MHz, CM0 +睡眠100MHz IMO & FLL. Dhrystone. | — | 4.8 | 5.8 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 7.4 | 8.4 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 11.3 | 12 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDC3 | I _{DD5} | 从缓存执行; CM4活动50 MHz, CM0 +睡眠25MHz IMO & FLL. Dhrystone. | — | 2.4 | 3.4 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 3.7 | 4.1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 6.3 | 7.2 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDC4 | I _{DD6} | 从缓存执行; CM4活动8 MHz, CM0 +睡眠8 MHz. IMO. Dhrystone. | — | 0.9 | 1.5 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 1.3 | 1.8 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 3 | 3.8 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| Cortex M0+. 活动模式 | | | | | | | |
| 使用缓存禁用 (Flash) 执行 | | | | | | | |
| SIDF3 | I _{DD7} | 从闪存执行; CM4关闭, CM0+ 活动 50 MHz. 带 IMO & FLL. While (1). | — | 2.4 | 3.3 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 3.2 | 3.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 5.6 | 6.3 | mA | V _{DDD} = 1.8 to 3.3 V, LDO, 85 °C时最大值 |
| SIDF4 | I _{DD8} | 从闪存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . While (1). | — | 0.8 | 1.5 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | — | 1.1 | 1.6 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | — | 2.60 | 3.4 | mA | V _{DDD} = 1.8 to 3.3 V, LDO, 85 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------|-------------------|---|-----|------|-----|----|---|
| 在启用缓存的情况下执行 | | | | | | | |
| SIDC5 | I _{DD9} | 从缓存执行; CM4关闭, CM0+ 活动 100 MHz. 带 IMO & FLL. Dhrystone. | – | 3.8 | 4.5 | mA | V _{DDD} = 3.3V, Buck ON, 60 °C时最大值 |
| | | | – | 5.9 | 6.5 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 9 | 9.7 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDC6 | I _{DD10} | 从缓存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . Dhrystone. | – | 0.8 | 1.3 | mA | V _{DDD} = 3.3V, Buck ON, 60 °C时最大值 |
| | | | – | 1.20 | 1.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.60 | 3.4 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| Cortex M4. 睡眠模式 | | | | | | | |
| SIDS1 | I _{DD11} | CM4 睡眠 100 MHz; CM0+ 睡眠 25 MHz. 带 IMO & FLL. | – | 1.5 | 2.2 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.2 | 2.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 4 | 4.6 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDS2 | I _{DD12} | CM4 Sleep 50 MHz; CM0+ 睡眠 25 MHz. 带 IMO & FLL. | – | 1.2 | 1.9 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.7 | 2.2 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 3.4 | 4.3 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDS3 | I _{DD13} | CM4 睡眠 8 MHz; CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.7 | 1.3 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1 | 1.5 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.4 | 3.3 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------------|-------------------|---|-----|------|-----|----|---|
| Cortex M0+. 睡眠模式 | | | | | | | |
| SIDS4 | I _{DD14} | CM4关闭, CM0+ 睡眠 50 MHz. 带 IMO & FLL. | – | 1.3 | 2 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.9 | 2.4 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 3.80 | 4.6 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDS5 | I _{DD15} | CM4关闭, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.7 | 1.3 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1 | 1.5 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.4 | 3.3 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| Cortex M4.最小调节器电流模式 | | | | | | | |
| SIDLPA1 | I _{DD16} | 从闪存执行; CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . While (1). | – | 0.9 | 1.5 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.2 | 1.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.8 | 3.5 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDLPA2 | I _{DD17} | 从缓存执行; CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . Dhystone. | – | 0.9 | 1.5 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.3 | 1.8 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.9 | 3.7 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--|-------------------|--|-----|------|-----|----|---|
| Cortex M0+. 最小调节器电流模式 | | | | | | | |
| SIDLPA3 | I _{DD18} | 从闪存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . While (1). | – | 0.8 | 1.4 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.1 | 1.6 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.7 | 3.6 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| SIDLPA4 | I _{DD19} | 从缓存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . Dhrystone. | – | 0.8 | 1.4 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.2 | 1.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.7 | 3.6 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| Cortex M4. 最小调节器电流模式 | | | | | | | |
| SIDLPS1 | I _{DD20} | CM4 睡眠 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.7 | 1.1 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1 | 1.5 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.4 | 3.3 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| Cortex M0+. 最小调节器电流模式 | | | | | | | |
| SIDLPS3 | I _{DD22} | CM4关闭, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.6 | 1.1 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.9 | 1.5 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.4 | 3.3 | mA | V _{DDD} = 1.8 V to 3.3 V, LDO, 85 °C时最大值 |
| ULP 范围功耗规范(针对 V _{CCD} = 0.9 V,使用Buck). ULP 模式在 –20 °C 到 +85 °C之间有效. | | | | | | | |
| Cortex M4. 活动模式 | | | | | | | |
| 使用缓存禁用执行 (闪存) | | | | | | | |
| SIDF5 | I _{DD3} | 从闪存执行; CM4 Active 50 MHz, CM0+ 睡眠 25 MHz. 带 IMO & FLL. While(1). | – | 1.7 | 2.2 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.1 | 2.4 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDF6 | I _{DD4} | 从闪存执行; CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . While (1). | – | 0.56 | 0.8 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.75 | 1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|------------------|-------------------|---|-----|------|------|----|---|
| 在启用缓存的情况下执行 | | | | | | | |
| SIDC8 | I _{DD10} | 从缓存执行; CM4 Active 50 MHz, CM0+ 睡眠 25 MHz. 带 IMO & FLL. Dhrystone. | – | 1.6 | 2.2 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 2.4 | 2.7 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDC9 | I _{DD11} | 从缓存执行; CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . Dhrystone. | – | 0.65 | 0.8 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.8 | 1.1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| Cortex M0+. 活动模式 | | | | | | | |
| 使用缓存禁用执行 (闪存) | | | | | | | |
| SIDF7 | I _{DD16} | 从闪存执行; CM4关闭, CM0+ Active 25 MHz. 带 IMO & FLL. Write(1). | – | 1 | 1.4 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.34 | 1.6 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDF8 | I _{DD17} | 从闪存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . While(1) | – | 0.54 | 0.75 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.73 | 1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| 在启用缓存的情况下执行 | | | | | | | |
| SIDC10 | I _{DD18} | 从缓存执行; CM4关闭, CM0+ Active 25 MHz. 带 IMO & FLL. Dhrystone. | – | 0.91 | 1.25 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.34 | 1.6 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDC11 | I _{DD19} | 从缓存执行; CM4关闭, CM0+ 活动 8 MHz. 带 IMO . Dhrystone. | – | 0.51 | 0.72 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.73 | 0.95 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| Cortex M4. 睡眠模式 | | | | | | | |
| SIDS7 | I _{DD21} | CM4 睡眠 50 MHz, CM0+ 睡眠 25 MHz. 带 IMO & FLL. | – | 0.76 | 1.1 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 1.1 | 1.4 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDS8 | I _{DD22} | CM4 睡眠 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.42 | 0.65 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.59 | 0.8 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------------|-------------------|--|-----|------|------|----|--|
| Cortex M0+. 睡眠模式 | | | | | | | |
| SIDS9 | I _{DD23} | CM4关闭, CM0+ 睡眠 25 MHz. 带 IMO & FLL. | – | 0.62 | 0.9 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.88 | 1.1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDS10 | I _{DD24} | CM4关闭, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.41 | 0.6 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.58 | 0.8 | mA | V _{DDD} = 1.8°V, Buck ON, 60 °C时最大值 |
| Cortex M4. 最小调节器电流模式 | | | | | | | |
| SIDLPA5 | I _{DD25} | 从闪存执行. CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . While(1). | – | 0.52 | 0.75 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.76 | 1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDLPA6 | I _{DD26} | 从缓存执行. CM4 活动 8 MHz, CM0+ 睡眠 8 MHz. 带 IMO . Dhystone. | – | 0.54 | 0.76 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.78 | 1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| Cortex M0+. 最小调节器电流模式 | | | | | | | |
| SIDLPA7 | I _{DD27} | 从闪存执行. CM4关闭, CM0+ 活动 8 MHz. 带 IMO . While (1). | – | 0.51 | 0.75 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.75 | 1 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| SIDLPA8 | I _{DD28} | 从缓存执行. CM4关闭, CM0+ 活动 8 MHz. 带 IMO . Dhystone. | – | 0.48 | 0.7 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.7 | 0.95 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| Cortex M4. 最小调节器电流模式 | | | | | | | |
| SIDLPS5 | I _{DD29} | CM4 睡眠 8 MHz, CM0 睡眠 8 MHz. 带 IMO . | – | 0.4 | 0.6 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.57 | 0.8 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |
| Cortex M0+. 最小调节器电流模式 | | | | | | | |
| SIDLPS7 | I _{DD31} | CM4关闭, CM0+ 睡眠 8 MHz. 带 IMO . | – | 0.39 | 0.6 | mA | V _{DDD} = 3.3 V, Buck ON, 60 °C时最大值 |
| | | | – | 0.56 | 0.8 | mA | V _{DDD} = 1.8 V, Buck ON, 60 °C时最大值 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------------|------------------|--------------------------|-----|-----|-----|----|---|
| Deep 睡眠模式 | | | | | | | |
| SIDDS1 | I_{DD33A} | 内部降压启用和64KB SRAM保留 | — | 7 | — | μA | Max value is at 85 °C |
| SIDDS1_B | I_{DD33A_B} | 内部降压启用和64KB SRAM保留 | — | 7 | — | μA | 60 °C时为最大值 |
| SIDDS2 | I_{DD33B} | 内部降压启用和256KB SRAM保留 | — | 9 | — | μA | 85 °C时为最大值 |
| SIDDS2_B | I_{DD33B_B} | 内部降压启用和256KB SRAM保留 | — | 9 | — | μA | 60 °C时为最大值 |
| 休眠模式 | | | | | | | |
| SIDHIB1 | I_{DD34} | $V_{DD} = 1.8 \text{ V}$ | — | 300 | — | nA | 无时钟运行 |
| SIDHIB2 | I_{DD34A} | $V_{DD} = 3.3 \text{ V}$ | — | 800 | — | nA | 无时钟运行 |
| 功耗模式转换时间 | | | | | | | |
| SID12 | T_{LPACT_ACT} | 低功耗活动到活动转换时间 | — | — | 35 | μs | 包括 PLL 锁定时间 |
| SID13 ^[3] | T_{DS_LPACT} | 深度睡眠到LP活动转换时间。设计保证。 | — | — | 25 | μs | 在转换到应用程序代码之前，赛普拉斯提供的软件唤醒程序在硬件唤醒 (25μs) 后大约需要100个CPU时钟周期。使用8 MHz CPU时钟 (LP Active) 时，用户代码执行前的时间为 $25 + 12.5 = 37.5\mu\text{s}$ 。 |
| SID13A ^[4] | T_{DS_ACT} | 深度睡眠到活动转换时间。设计保证。 | — | — | 25 | μs | 在转换到应用程序代码之前，赛普拉斯提供的软件唤醒程序在硬件唤醒 (25μs) 后大约需要100个CPU时钟周期。使用25 MHz CPU时钟 (FLL) 时，用户代码执行前的时间为 $25 + 4 = 29\mu\text{s}$ 。使用100 MHz CPU时钟，时间为 $25 + 1.0 = 26\mu\text{s}$ 。 |
| SID14 | T_{HIB_ACT} | 休眠到活动转换时间 | — | 500 | — | μs | 包括 PLL 锁定时间 |

Notes

- 在转换到应用程序代码之前，赛普拉斯提供的软件唤醒程序在硬件唤醒 (25μs) 后大约需要180个CPU时钟周期。使用8 MHz CPU时钟 (LP活动) 时，用户代码执行前的时间为 $25 + 22.5 = 47.5\mu\text{s}$ 。
- 在转换到应用程序代码之前，赛普拉斯提供的软件唤醒程序在硬件唤醒 (25μs) 后大约需要180个CPU时钟周期。使用25 MHz CPU时钟 (FLL) 时，用户代码执行前的时间为 $25 + 7.2 = 32.2\mu\text{s}$ 。使用100 MHz CPU时钟，时间为 $25 + 1.8 = 26.8\mu\text{s}$ 。

XRES

Table 6. XRES

| Spec ID | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---|-------------------------|--|-----------------------|-----|-----------------------|----|--------------------------|
| XRES (Active Low) Specifications | | | | | | | |
| XRES 交流规范 | | | | | | | |
| SID15 | T _{XRES_ACT} | POR或XRES释放到活动模式转换时间 | — | 750 | — | μs | 正常模式, 50 MHz M0+. |
| SID16 | T _{XRES_PW} | XRES脉冲宽度 | 5 | — | — | μs | — |
| XRES 直流规范 | | | | | | | |
| SID17 | T _{XRES_IDD} | XRES 断言时IDD | — | 300 | — | nA | V _{DDD} = 1.8 V |
| SID17A | T _{XRES_IDD_1} | XRES 断言时IDD | — | 800 | — | nA | V _{DDD} = 3.3 V |
| SID77 | V _{IH} | 输入电压高阈值 | 0.7 * V _{DD} | — | — | V | CMOS 输入 |
| SID78 | V _{IL} | 输入电压低阈值 | — | — | 0.3 * V _{DD} | V | CMOS 输入 |
| SID80 | C _{IN} | 输入电容 | — | 3 | — | pF | — |
| SID81 | V _{HYSXRES} | 输入电压迟滞 | — | 100 | — | mV | — |
| SID82 | I _{DIODE} | 通过保护二极管到达 V _{DD} /V _{SS} 的导通电流 | — | — | 100 | μA | — |

GPIO

Table 7. GPIO规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------|-----------------------|------------------------------------|-----------------------|-----|-----------------------|----|-------------------------------|
| GPIO直流规范 | | | | | | | |
| SID57 | V _{IH} | 输入电压高阈值 | 0.7 * V _{DD} | — | — | V | CMOS 输入 |
| SID57A | I _{IHS} | OVT输入Pad> V _{DDIO} 时的输入电流 | — | — | 10 | μA | 按照 I ² C 规范 |
| SID58 | V _{IL} | 输入电压低阈值 | — | — | 0.3 * V _{DD} | V | CMOS 输入 |
| SID241 | V _{IH} | LVTTL 输入, V _{DD} < 2.7V | 0.7 * V _{DD} | — | — | V | — |
| SID242 | V _{IL} | LVTTL 输入, V _{DD} < 2.7V | — | — | 0.3 * V _{DD} | V | — |
| SID243 | V _{IH} | LVTTL输入, V _{DD} □2.7V | 2 | — | — | V | — |
| SID244 | V _{IL} | LVTTL输入, V _{DD} □2.7V | — | — | 0.8 | V | — |
| SID59 | V _{OH} | 输出电压高电平 | V _{DD} - 0.5 | — | — | V | I _{OH} = 8 mA |
| SID62A | V _{OL} | 输出电压低电平 | — | — | 0.4 | V | I _{OL} = 8 mA |
| SID63 | R _{PULLUP} | 上拉电阻 | 3.5 | 5.6 | 8.5 | kΩ | — |
| SID64 | R _{PULLDOWN} | 下拉电阻 | 3.5 | 5.6 | 8.5 | kΩ | — |
| SID65 | I _{IL} | 输入泄漏电流 (绝对值) | — | — | 2 | nA | 25 °C, V _{DD} = 3.0V |
| SID65A | I _{IL_CTBM} | CTBm输入引脚上的输入泄漏 | — | — | 4 | nA | — |
| SID66 | C _{IN} | 输入电容 | — | — | 5 | pF | — |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------|------------------------|--|-----------------------------|-----|------|-----|--|
| SID67 | V _{HYSTTL} | 输入迟滞LVTTTL V _{DD} > 2.7V | 100 | 0 | — | mV | — |
| SID68 | V _{HYS} CMOS | 输入迟滞 CMOS | 0.05 * V _{DD} | — | — | mV | — |
| SID69 | I _{DIODE} | 通过保护二极管到达 V _{DD} /V _{SS} 的导通电流 | — | — | 100 | μA | — |
| SID69A | I _{TOT_GPIO} | 芯片的最大拉电流或灌电流总值 | | | 200 | mA | — |
| GPIO交流规范 | | | | | | | |
| SID70 | T _{RISE} F | 快速强驱动模式下的上升时间V _{DD} 10%至90% | — | — | 2.5 | ns | Clload = 15 pF, 8mA 驱动强度 |
| SID71 | T _{FALL} F | 快速强驱动模式下的下降时间V _{DD} 10%至90% | — | — | 2.5 | ns | Clload = 15 pF, 8 mA 驱动强度 |
| SID72 | T _{RISE} S | 慢速强驱动模式下的上升时间V _{DD} 10%至90% | 20 | — | 60 | ns | Clload = 15 pF, 8 mA 驱动强度 |
| SID72A | T _{RISE} S_2 | 慢速强驱动模式下的下降时间V _{DD} 10%至90% | 48 | — | 102 | ns | Clload = 15 pF, 8 mA 驱动强度, 2.7 V < V _{DD} ≤ 3.6 V |
| SID73 | T _{FALL} S | 慢速强驱动模式下的下降时间.V _{DD} 10%至90% | 20 | — | 60 | ns | Clload = 15 pF, 8 mA 驱动强度 |
| SID73A | T _{FALL} S_2 | 慢速强驱动模式下的下降时间V _{DD} 的 10%至90%. | 42 | — | 93 | ns | Clload = 15 pF, 8 mA 驱动强度, 2.7 V < V _{DD} ≤ 3.6 V |
| SID73G | T _{FALL_I2C} | 慢速强驱动模式下的下降时间 (V _{DD} 的30%至70%) | 20 * V _{DDIO} /5.5 | — | 250 | ns | Clload = 10pF to 400pF, 8mA 驱动强度 |
| SID74 | F _{GPIO} OUT1 | GPIO Fout. 快速强驱动模式. | — | — | 100 | MHz | 90/10%, 15 pF load, 60/40 占空比 |
| SID75 | F _{GPIO} OUT2 | GPIO Fout; 慢速强驱动模式. | — | — | 16.7 | MHz | 90/10%, 15 pF load, 60/40 占空比 |
| SID76 | F _{GPIO} OUT3 | GPIO Fout; 快速强驱动模式. | — | — | 7 | MHz | 90/10%, 25 pF load, 60/40 占空比 |
| SID245 | F _{GPIO} OUT4 | GPIO Fout; 慢速强驱动模式. | — | — | 3.5 | MHz | 90/10%, 25 pF load, 60/40 占空比 |
| SID246 | F _{GPIO} IN | GPIO 输入工作频率; 1.71V ≤ V _{DD} ≤ 5.5V | — | — | 100 | MHz | 90/10% V _{IO} |

模拟外设

运算放大器

Table 8. 运算放大器规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|--------------------------|--|-----|------|------------------------|-------|----------------------------------|
| | I _{DD} | 运算放大器模块电流。无负载。 | — | — | — | | — |
| SID269 | I _{DD_HI} | Power = Hi | — | 1300 | 1500 | μA | — |
| SID270 | I _{DD_MED} | Power = Med | — | 450 | 600 | μA | — |
| SID271 | I _{DD_LOW} | Power = Lo | — | 250 | 350 | μA | — |
| | GBW | 负载= 20 pF, 0.1 mA. V _{DDA} = 2.7V | — | — | — | | — |
| SID272 | GBW_HI | Power = Hi | 6 | — | — | MHz | — |
| SID273 | GBW_MED | Power = Med | 4 | — | — | MHz | — |
| SID274 | GBW_LO | Power = Lo | — | 1 | — | MHz | — |
| | I _{OUT_MAX} | V _{DDA} □ 2.7V, 电源电压为500 mV | — | — | — | | — |
| SID275 | I _{OUT_MAX_HI} | Power = Hi | 10 | — | — | mA | — |
| SID276 | I _{OUT_MAX_MID} | Power = Mid | 10 | — | — | mA | — |
| SID277 | I _{OUT_MAX_LO} | Power = Lo | — | 5 | — | mA | — |
| | I _{OUT} | V _{DDA} =1.71V, 电源电压为500 mV | — | — | — | | — |
| SID278 | I _{OUT_MAX_HI} | Power = Hi | 4 | — | — | mA | — |
| SID279 | I _{OUT_MAX_MID} | Power = Mid | 4 | — | — | mA | — |
| SID280 | I _{OUT_MAX_LO} | Power = Lo | — | 2 | — | mA | — |
| SID281 | V _{IN} | 输入电压范围 | 0 | — | V _{DDA} -0.2 | V | — |
| SID282 | V _{CM} | 输入共模电压 | 0 | — | V _{DDA} -0.2 | V | — |
| | V _{OUT} | V _{DDA} ≥ 2.7V | — | — | — | | — |
| SID283 | V _{OUT_1} | Power = hi, Iload = 10 mA | 0.5 | — | V _{DDA} - 0.5 | V | — |
| SID284 | V _{OUT_2} | Power = hi, Iload = 1 mA | 0.2 | — | V _{DDA} - 0.2 | V | — |
| SID285 | V _{OUT_3} | Power = med, Iload = 1 mA | 0.2 | — | V _{DDA} - 0.2 | V | — |
| SID286 | V _{OUT_4} | Power = lo, Iload = 0.1 mA | 0.2 | — | V _{DDA} - 0.2 | V | — |
| SID287 | V _{OS_UNTR} | 偏移电压, 未校准 | — | — | — | mV | — |
| SID288 | V _{OS_TR} | 偏移电压, 校准后 | -1 | ±0.5 | — | mV | 高电压模式, 0.2至V _{DDA} - 0. |
| SID288A | V _{OS_TR} | 偏移电压, 校准后 | — | ±1 | — | mV | 中等功耗模式 |
| SID288B | V _{OS_TR} | 偏移电压, 校准后 | — | ±2 | — | mV | 低功耗模式 |
| SID289 | V _{OS_DR_UNTR} | 偏移电压漂移, 未校准 | — | — | — | μV/°C | — |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------|------------------------|--|-----|------|------|---------|--|
| SID290 | V _{OS_DR_TR} | 偏移电压漂移, 校准后 | -10 | ±3 | 10 | μV/°C | 高电压模式, 0.2至V _{DDA} -0.2 |
| SID290A | V _{OS_DR_TR} | 偏移电压漂移, 校准后 | - | ±10 | - | μV/°C | 中等功耗模式 |
| SID290B | V _{OS_DR_TR} | 偏移电压漂移, 校准后 | - | ±10 | - | μV/°C | 低功耗模式 |
| SID291 | CMRR | DC共模抑制比 | 67 | 80 | - | dB | V _{DDD} = 3.3V |
| SID292 | PSRR | 电源抑制比为1 kHz, 10 mV纹波 | 70 | 85 | - | dB | V _{DDD} = 3.3V |
| Noise | | | - | - | - | - | - |
| SID293 | VN1 | 参考输入, 1 Hz - 1 GHz, power = Hi | - | 100 | - | μVrms | - |
| SID294 | VN2 | 参考输入, 1 kHz, power = Hi | - | 180 | - | nV/rtHz | - |
| SID295 | VN3 | 参考输入, 10 kHz, power = Hi | - | 70 | - | nV/rtHz | - |
| SID296 | VN4 | 参考输入, 100kHz, power = Hi | - | 38 | - | nV/rtHz | - |
| SID297 | C _{LOAD} | 稳定输出模式下的最大负载。 Cload = 50 pF 时满足性能规范. | - | - | 125 | pF | - |
| SID298 | SLEW_RATE | 输出转换率 | 6 | - | - | V/μs | Cload = 50pF, Power = High, V _{DDA} ≥ 2.7V |
| SID299 | T _{OP_WAKE} | 从禁用到启用的时间, 无外部RC 电路 | - | 25 | - | μs | - |
| | COMP_MODE | 比较器模式; 50 mV 过载, Trise = Tfall (approx.) | - | - | - | - | - |
| SID300 | T _{PD1} | 响应时间; power = hi | - | 150 | - | ns | - |
| SID301 | T _{PD2} | 响应时间; power = med | - | 400 | - | ns | - |
| SID302 | T _{PD3} | 响应时间; power = lo | - | 2000 | - | ns | - |
| SID303 | V _{HYST_OP} | 迟滞 | - | 10 | - | mV | - |
| 深度睡眠模式 | | 模式2为最低电流范围 模式1的GBW 更高 | | | | | 深度睡眠模式操作: V _{DDA} ≥ 2.7V. VIN 为 0.2 到 V _{DDA} -1.5 |
| SID_DS_1 | I _{DD_HI_M1} | 模式1, 高电流 | - | 1300 | 1500 | μA | Typ at 25 °C |
| SID_DS_2 | I _{DD_MED_M1} | 模式1, 中等电流 | - | 460 | 600 | μA | Typ at 25 °C |
| SID_DS_3 | I _{DD_LOW_M1} | 模式1, 低电流 | - | 230 | 350 | μA | Typ at 25 °C |
| SID_DS_4 | I _{DD_HI_M2} | 模式2, 高电流 | - | 120 | - | μA | 25 °C |
| SID_DS_5 | I _{DD_MED_M2} | 模式2, 中等电流 | - | 60 | - | μA | 25 °C |
| SID_DS_6 | I _{DD_LOW_M2} | 模式2, 低电流 | - | 15 | - | μA | 25 °C |
| SID_DS_7 | GBW_HI_M1 | 模式1, 高电流 | - | 4 | - | MHz | 25 °C |
| SID_DS_8 | GBW_MED_M1 | 模式1, 中等电流 | - | 2 | - | MHz | 25 °C |
| SID_DS_9 | GBW_LOW_M1 | 模式1, 低电流 | - | 0.5 | - | MHz | 25 °C |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------|-------------|-----------|-----|-----|-----|-----|--|
| SID_DS_10 | GBW_HI_M2 | 模式2, 高电流 | — | 0.5 | — | MHz | 20-pF负载, 无直流负载 0.2 V 至 $V_{DDA}-1.5V$ |
| SID_DS_11 | GBW_MED_M2 | 模式2, 中等电流 | — | 0.2 | — | MHz | 20-pF负载, 无直流负载 0.2 V 至 $V_{DDA}-1.5V$ |
| SID_DS_12 | GBW_LOW_M2 | 模式2, 低电流 | — | 0.1 | — | MHz | 20-pF负载, 无直流负载 0.2 V 至 $V_{DDA}-1.5V$ |
| SID_DS_13 | VOS_HI_M1 | 模式1, 高电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_14 | VOS_MED_M1 | 模式1, 中等电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_15 | VOS_LOW_M1 | 模式1, 低电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_16 | VOS_HI_M2 | 模式2, 高电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_17 | VOS_MED_M2 | 模式2, 中等电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_18 | VOS_LOW_M2 | 模式2, 低电流 | — | 5 | — | mV | 采用25°C调整, 0.2V 至 $V_{DDA}-1.5V$ |
| SID_DS_19 | IOUT_HI_M1 | 模式1, 高电流 | — | 10 | — | mA | 输出为 0.5V 至 $V_{DDA}-0.5V$ |
| SID_DS_20 | IOUT_MED_M1 | 模式1, 中等电流 | — | 10 | — | mA | 输出为 0.5 V 至 $V_{DDA}-0.5V$ |
| SID_DS_21 | IOUT_LOW_M1 | 模式1, 低电流 | — | 4 | — | mA | 输出为 0.5V 至 $V_{DDA}-0.5V$ |
| SID_DS_22 | IOUT_HI_M2 | 模式2, 高电流 | — | 1 | — | mA | 输出为 0.5V 至 $V_{DDA}-0.5V$ |
| SID_DS_23 | IOUT_MED_M2 | 模式2, 中等电流 | — | 1 | — | mA | 输出为 0.5V 至 $V_{DDA}-0.5V$ |
| SID_DS_24 | IOUT_LOW_M2 | 模式2, 低电流 | — | 0.5 | — | mA | 输出为 0.5V 至 $V_{DDA}-0.5V$ |

Table 9. 低功耗 (LP) 比较器规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-------------------|----------------------|-------------------------|-----|-----|-------------------------|----|----------------|
| 低功耗比较器直流规范 | | | | | | | |
| SID84 | V _{OFFSET1} | COMP1输入偏移电压。正常功耗模式。 | -10 | - | 10 | mV | COMP0偏移为±25 mV |
| SID85A | V _{OFFSET2} | 输入偏移电压。低功耗模式。 | -25 | ±12 | 25 | mV | - |
| SID85B | V _{OFFSET3} | 输入偏移电压。超低功耗模式。 | -25 | ±12 | 25 | mV | - |
| SID86 | V _{HYST1} | 正常功耗模式下使能时迟滞 | - | - | 60 | mV | - |
| SID86A | V _{HYST2} | 低功耗模式下使能时迟滞 | - | - | 80 | mV | - |
| SID87 | V _{ICM1} | 正常模式下输入共模电压 | 0 | - | V _{DDIO1} -0.1 | V | - |
| SID247 | V _{ICM2} | 低功耗模式下输入共模电压 | 0 | - | V _{DDIO1} -0.1 | V | - |
| SID247A | V _{ICM3} | 超低功耗模式下输入共模电 | 0 | - | V _{DDIO1} -0.1 | V | - |
| SID88 | CMRR | 正常功耗模式下共模抑制比 | 50 | - | - | dB | - |
| SID89 | I _{CMP1} | 模块电流, 正常模式 | - | - | 150 | μA | - |
| SID248 | I _{CMP2} | 模块电流, 低功耗模式 | - | - | 10 | μA | - |
| SID259 | I _{CMP3} | 超低功耗模式下模块电流 | - | 0.3 | 0.85 | μA | - |
| SID90 | Z _{CMP} | 比较器直流输入阻抗 | 35 | - | - | MΩ | - |
| 低功耗比较器交流规范 | | | | | | | |
| SID91 | T _{RESP1} | 响应时间, 正常模式, 100 mV 过载 | - | - | 100 | ns | - |
| SID258 | T _{RESP2} | 响应时间, 低功耗模式, 100 mV 过载 | - | - | 1000 | ns | - |
| SID92 | T _{RESP3} | 响应时间, 超低功耗模式, 100 mV 过载 | - | - | 20 | μs | - |
| SID92E | T _{CMP_EN1} | 从启用到操作的时间 | - | - | 10 | μs | 正常和低功耗模式 |
| SID92F | T _{CMP_EN2} | 从启用到操作的时间 | - | - | 50 | μs | 超低功耗模式 |

Table 10. 温度传感器规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|----------------------|---------|-----|-----|-----|----|---------------|
| SID93 | T _{SENSACC} | 温度传感器精度 | -5 | ±1 | 5 | °C | -40 to +85 °C |

Table 11. 内部参考规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|--------------------|----|-------|-----|-------|----|-------|
| SID93R | V _{REFBG} | | 1.188 | 1.2 | 1.212 | V | - |

SAR ADC

Table 12. 12位 SAR ADC 直流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-----------|--------------------------------|----------|-----|-----------|------|--------------|
| SID94 | A_RES | SAR ADC 分辨率 | — | — | 12 | bits | — |
| SID95 | A_CHNLS_S | 通路数目-单端接地 | — | — | 16 | — | 8 个全速通道 |
| SID96 | A-CHNKS_D | 通道数量-差分 | — | — | 8 | — | 差分输入使用相邻 I/O |
| SID97 | A-MONO | 单调性 | — | — | - | — | 是 |
| SID98 | A_GAINERR | 增益误差 | — | — | ±0.2 | % | 使用外部参考 |
| SID99 | A_OFFSET | 输入偏移电压 | — | — | 2 | mV | 使用 1 V 参考测量 |
| SID100 | A_ISAR_1 | 1 Msps 时的电流消耗 | — | — | 1 | mA | 1 MS/秒外部旁路电容 |
| SID100A | A_ISAR_2 | 1 Msps 时的电流消耗. 参考电压 = V_{DD} | — | — | 1.25 | mA | 1 MS/秒外部旁路电容 |
| SID101 | A_VINS | 输入电压范围-单端接地 | V_{SS} | — | V_{DDA} | V | — |
| SID102 | A_VIND | 输入电压范围-差分 | V_{SS} | — | V_{DDA} | V | — |
| SID103 | A_INRES | 输入电阻 | — | — | 2.2 | KΩ | — |
| SID104 | A_INCAP | 输入电容 | — | — | 10 | pF | — |

Table 13. 12位SAR ADC 交流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--------------------------|----------|--|-----|-----|-----|-------|---|
| 12位 SAR ADC交流规范 | | | | | | | |
| SID106 | A_PSRR | 电源抑制比 | 70 | – | – | dB | – |
| SID107 | A_CMRR | 共模抑制比 | 66 | – | – | dB | 在 1V 电压下测量 |
| 每秒一个Megasample模式: | | | | | | | |
| SID108 | A_SAMP_1 | 使用外部参考旁路电容时的采样率 | – | – | 1 | Msp/s | – |
| SID108A | A_SAMP_2 | 不使用旁路电容时的采样率; Reference = V_{DD} | – | – | 250 | ksps | – |
| SID108B | A_SAMP_3 | 不使用旁路电容时的采样率。内部参考 | – | – | 100 | ksps | – |
| SID109 | A_SINAD | 信号对噪声和失真比(SINAD). $V_{DDA} = 2.7\text{ V}$ 到 3.6 V , 1 Msps | 64 | – | – | dB | $F_{in} = 10\text{ kHz}$ |
| SID111A | A_INL | 积分非线性. $V_{DDA} = 2.7$ 到 3.6 V , 1 Msps | –2 | – | 2 | LSB | 以内部 $V_{REF} = 1.2\text{ V}$ 和旁路电容进行测量。 |
| SID111B | A_INL | Integral Non Linearity. $V_{DDA} = 2.7$ to 3.6 V , 1 Msps | –4 | – | 4 | LSB | 以外部 $V_{REF} \geq 1\text{ V}$ 和 V_{IN} common mode $< 2 * V_{REF}$ 进行测量 |
| SID112A | A_DNL | 差分非线性. $V_{DDA} = 2.7$ 到 3.6 V , 1 Msps | –1 | – | 1.4 | LSB | 以内部 $V_{REF} = 1.2\text{ V}$ 和旁路电容进行测量。 |
| SID112B | A_DNL | Differential Non Linearity. $V_{DDA} = 2.7$ to 3.6 V , 1 Msps | –1 | – | 1.7 | LSB | 以外部 $V_{REF} \geq 1\text{ V}$ 和 V_{IN} common mode $< 2 * V_{REF}$ 进行测量 |
| SID113 | A_THD | 总谐波失真. $V_{DDA} = 2.7$ 到 3.6 V , 1 Msps | – | – | –65 | dB | $F_{in} = 10\text{ kHz}$ |

Table 14. 12-bit DAC 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|------------------------|-------------|--------------|-----|-----|-----|---------------|-------------------------|
| 12-bit DAC 直流规范 | | | | | | | |
| SID108D | DAC_RES | DAC分辨率 | – | – | 12 | bits | – |
| SID111D | DAC_INL | 积分非线性 | –4 | – | 4 | LSB | – |
| SID112D | DAC_DNL | 差分非线性 | –2 | – | 2 | LSB | 单调式11位 |
| SID99D | DAC_OFFSET | 输出电压零点偏移误差 | –10 | – | 10 | mV | For 000 (hex) |
| SID103D | DAC_OUT_RES | DAC输出电阻 | – | 15 | – | k Ω | – |
| SID100D | DAC_IDD | DAC电流 | – | – | 125 | μA | – |
| SID101D | DAC_QIDD | DAC停止时的DAC电流 | – | – | 1 | μA | – |
| 12-bit DAC 交流规范 | | | | | | | |
| SID109D | DAC_CONV | DAC建立时间 | – | – | 2 | μs | 通过CTBM缓存驱动; 25-pF 负载 |
| SID110D | DAC_Wakeup | 从启用到准备转换的时间 | – | – | 10 | μs | – |

CSD

Table 15. CapSense Sigma-Delta (CSD) 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--------------------------------------|----------------------------|------------------------------------|-----|-----|------------------------|-------|---|
| CSD V2 规范 | | | | | | | |
| SYS.PER#3 | V _{DD_RIPPLE} | 电源的最大允许波纹, 直流至 10 MHz | — | — | ±50 | mV | V _{DDA} > 2V (带纹波), 25 °C T _A , 灵敏度 = 0.1pF |
| SYS.PER#16 | V _{DD_RIPPLE_1.8} | 电源的最大允许波纹, 直流至 10 MHz | — | — | ±25 | mV | V _{DDA} > 1.75V (带纹波), 25 °C T _A , 寄生电容(CP) < 20 pF, 灵敏度 ≥ 0.4 pF |
| SID.CSD.BLK | I _{CSD} | 最大模块电流 | — | — | 4500 | μA | — |
| SID.CSD#15 | V _{REF} | CSD和比较器参考电压 | 0.6 | 1.2 | V _{DDA} - 0.6 | V | V _{DDA} - V _{REF} ≥ 0.6V |
| SID.CSD#15A | V _{REF_EXT} | CSD和比较器外部参考电压 | 0.6 | | V _{DDA} - 0.6 | V | V _{DDA} - V _{REF} ≥ 0.6V |
| SID.CSD#16 | I _{DAC1IDD} | IDAC1 (7-bits) 模块电流 | — | — | 1900 | μA | — |
| SID.CSD#17 | I _{DAC2IDD} | IDAC2 (7-bits) 模块电流 | — | — | 1900 | μA | — |
| SID308 | V _{CSD} | 工作电压 | 1.7 | — | 3.6 | V | 1.71 to 3.6V |
| SID308A | V _{COMPIDAC} | IDAC 电压符合范围 | 0.6 | — | V _{DDA} - 0.6 | V | V _{DDA} - V _{REF} ≥ 0.6V |
| SID309 | I _{DAC1DNL} | DNL | -1 | — | 1 | LSB | — |
| SID310 | I _{DAC1INL} | INL | -3 | — | 3 | LSB | 如果V _{DDA} < 2V, 则LSB为 2.4μA或以下 |
| SID311 | I _{DAC2DNL} | DNL | -1 | — | 1 | LSB | — |
| SID312 | I _{DAC2INL} | INL | -3 | — | 3 | LSB | 如果V _{DDA} < 2V, 则LSB为 2.4μA或以下 |
| SNRC 表示手指触摸产生的信号与噪声的比率。出厂校准保证 | | | | | | | |
| SID313_1A | SNRC_1 | SRSS 参考. IMO + FLL 时钟源. 0.1-pF 敏感度 | 5 | — | — | Ratio | 9.5-pF 最大电容 |
| SID313_1B | SNRC_2 | SRSS 参考. IMO + FLL 时钟源. 0.3-pF 敏感度 | 5 | — | — | Ratio | 31-pF 最大电容 |
| SID313_1C | SNRC_3 | SRSS 参考. IMO + FLL 时钟源. 0.6-pF 敏感度 | 5 | — | — | Ratio | 61-pF 最大电容 |
| SID313_2A | SNRC_4 | PASS 参考. IMO + FLL 时钟源. 0.1-pF 敏感度 | 5 | — | — | Ratio | 12-pF 最大电容 |
| SID313_2B | SNRC_5 | PASS 参考. IMO + FLL 时钟源. 0.3-pF 敏感度 | 5 | — | — | Ratio | 47-pF 最大电容 |
| SID313_2C | SNRC_6 | PASS 参考. IMO + FLL 时钟源. 0.6-pF 敏感度 | 5 | — | — | Ratio | 86-pF 最大电容 |
| SID313_3A | SNRC_7 | PASS 参考. IMO + PLL 时钟源. 0.1-pF 敏感度 | 5 | — | — | Ratio | 27-pF 最大电容 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------|---------------------------|--|------|-----|------|-------|---------------------------|
| SID313_3B | SNRC_8 | PASS 参考. IMO + PLL 时钟源. 0.3-pF 敏感度 | 5 | — | — | Ratio | 86-pF 最大电容 |
| SID313_3C | SNRC_9 | PASS 参考. IMO + PLL 时钟源. 0.6-pF 敏感度 | 5 | — | — | Ratio | 168-pF 最大电容 |
| SID314 | IDAC _{1CRT1} | 低范围的IDAC1 (7位) 输出电流 | 4.2 | | 5.7 | μA | LSB = 37.5 nA typ. |
| SID314A | IDAC _{1CRT2} | 中等范围的IDAC1 (7位) 输出电流 | 33.7 | | 45.6 | μA | LSB = 300 nA typ. |
| SID314B | IDAC _{1CRT3} | 高范围的IDAC1 (7 位) 输出电流 | 270 | | 365 | μA | LSB = 2.4 μA typ. |
| SID314C | IDAC _{1CRT12} | 低范围的 IDAC1 (7 位) 输出电 流, 2X 模式 | 8 | | 11.4 | μA | LSB = 37.5 nA typ. 2X 输出级 |
| SID314D | IDAC _{1CRT22} | 中范围的 IDAC1 (7 位) 输出电 流, 2X 模式 | 67 | | 91 | μA | LSB = 300 nA typ. 2X 输出级 |
| SID314E | IDAC _{1CRT32} | 高范围的 IDAC1 (7 位) 输出电 流, 2X 模式 | 540 | | 730 | μA | LSB = 2.4 μA typ.2X 输出级 |
| SID315 | IDAC _{2CRT1} | 低范围的 IDAC2 (7 位) 输出电流 | 4.2 | | 5.7 | μA | LSB = 37.5 nA typ. |
| SID315A | IDAC _{2CRT2} | 中范围的 IDAC2 (7 位) 输出电流 | 33.7 | | 45.6 | μA | LSB = 300 nA typ. |
| SID315B | IDAC _{2CRT3} | 高范围的 IDAC2 (7 位) 输出电流 | 270 | | 365 | μA | LSB = 2.4 μA typ. |
| SID315C | IDAC _{2CRT12} | 低范围的 IDAC2 (7 位) 输出电 流, 2X 模式 | 8 | | 11.4 | μA | LSB = 37.5 nA typ. 2X 输出级 |
| SID315D | IDAC _{2CRT22} | 中范围的 IDAC2 (7 位) 输出电 流, 2X 模式 | 67 | | 91 | μA | LSB = 300 nA typ. 2X 输出级 |
| SID315E | IDAC _{2CRT32} | 高范围的 IDAC2 (7 位) 输出电 流, 2X 模式 | 540 | | 730 | μA | LSB = 2.4 μA typ.2X 输出级 |
| SID315F | IDAC _{3CRT13} | 低范围的 IDAC (8 位) 输出电流 | 8 | | 11.4 | μA | LSB = 37.5 nA typ. |
| SID315G | IDAC _{3CRT23} | 中范围的 IDAC (8 位) 输出电流 | 67 | | 91 | μA | LSB = 300 nA typ. |
| SID315H | IDAC _{3CRT33} | 高范围的 IDAC (8 位) 输出电流. V _{DDA} > 2V | 540 | | 730 | μA | LSB = 2.4 μA typ. |
| SID320 | IDAC _{OFFSET} | 所有零输入 | — | — | 1 | LSB | 极性由拉或灌电流设置 |
| SID321 | IDAC _{GAIN} | 全量程错误抵消偏移 | — | — | ±15 | % | LSB = 2.4 μA typ. |
| SID322 | IDAC _{MISMATCH1} | 在低模式下, IDAC1 和IDAC2 不 匹配 | — | — | 9.2 | LSB | LSB = 37.5 nA typ. |
| SID322A | IDAC _{MISMATCH2} | 在中模式下, IDAC1 和IDAC2 不 匹配 | — | — | 6 | LSB | LSB = 300 nA typ. |
| SID322B | IDAC _{MISMATCH3} | 在高模式下, IDAC1 和IDAC2 不 匹配 | — | — | 5.8 | LSB | LSB = 2.4 μA typ. |
| SID323 | IDAC _{SET8} | 8 位 IDAC 达到 0.5 LSB 所需的建 立时间 | — | — | 10 | μs | 全量程跃变。无外部负载。 |
| SID324 | IDAC _{SET7} | 7 位 IDAC 达到 0.5 LSB 所需的建 立时间 | — | — | 10 | μs | 全量程跃变。无外部负载。 |
| SID325 | CMOD | 外部调制电容. | — | 2.2 | — | nF | 5-V的额定电压, X7R 或 NP0 电容 |

Table 16. CSD ADC 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------------|----------------|-------------|------------------|-----|------------------|------|---|
| CSDv2 ADC 规范 | | | | | | | |
| SIDA94 | A_RES | 分辨率 | — | — | 10 | bits | 每毫秒要求一次自动归零 |
| SID95 | A_CHNLS_S | 通路数目-单端接地 | — | — | — | 16 | — |
| SIDA97 | A-MONO | 单调性 | — | — | 是 | — | V _{REF} mode |
| SIDA98 | A_GAINERR_VREF | 增益误差 | — | 0.6 | — | % | 参考源: SRSS (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA98A | A_GAINERR_VDDA | 增益误差 | — | 0.2 | — | % | 参考源: SRSS (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA99 | A_OFFSET_VREF | 输入偏移电压 | — | 0.5 | — | lsb | ADC校准后, Ref. Src = SRSS, (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA99A | A_OFFSET_VDDA | 输入偏移电压 | — | 0.5 | — | lsb | ADC校准后, Ref. Src = SRSS, (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA100 | A_ISAR_VREF | 电流消耗 | — | 0.3 | — | mA | CSD ADC 模块电流 |
| SIDA100A | A_ISAR_VDDA | 电流消耗 | — | 0.3 | — | mA | CSD ADC模块电流 |
| SIDA101 | A_VINS_VREF | 输入电压范围-单端接地 | V _{SSA} | — | V _{REF} | V | (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA101A | A_VINS_VDDA | 输入电压范围-单端接地 | V _{SSA} | — | V _{DDA} | V | (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V) |
| SIDA103 | A_INRES | 输入电阻 | — | 15 | — | kΩ | — |
| SIDA104 | A_INCAP | 输入电容 | — | 41 | — | pF | — |
| SIDA106 | A_PSRR | 电源抑制比(DC) | — | 60 | — | dB | — |
| SIDA107 | A_TACQ | 样本采集时间 | — | 10 | — | μs | 用50Ω源阻抗测量。10μs是默认的软件驱动程序获取时间设置。 设置到0.05%以内。 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|------------|---|-----|-----|-----|-----|---------------------------------|
| SIDA108 | A_CONV8 | 转换率 = $F_{clk}/(2^{(N+2)})$. 时, 8 位 分辨率 转换时间。时钟频率 = 50 MHz. | — | 25 | — | μs | 不包括采集时间。相当于 44.8 ksp/s, 包括采集时间。 |
| SIDA108A | A_CONV10 | 转换率 = $F_{clk}/(2^{(N+2)})$. 时, 10 位 分辨率 转换时间。时钟频率 = 50 MHz. | — | 60 | — | μs | 不包括采集时间。 |
| SIDA109 | A_SND_VRE | 信噪比和失真比 (SINAD) | — | 57 | — | dB | 用 50Ω 源阻抗测量。 |
| SIDA109A | A_SND_VDDA | 信噪比和失真比 (SINAD) | — | 52 | — | dB | 用 50Ω 源阻抗测量。 |
| SIDA111 | A_INL_VREF | 积分非线性. 11.6 ksp/s | — | — | 2 | LSB | 用 50Ω 源阻抗测量。 |
| SIDA111A | A_INL_VDDA | 积分非线性. 11.6 ksp/s | — | — | 2 | LSB | 用 50Ω 源阻抗测量。 |
| SIDA112 | A_DNL_VREF | 微分非线性. 11.6 ksp/s | — | — | 1 | LSB | 用 50Ω 源阻抗测量。 |
| SIDA112A | A_DNL_VDDA | 微分非线性. 11.6 ksp/s | — | — | 1 | LSB | 用 50Ω 源阻抗测量。 |

数字外设

Table 17. 定时器/计数器/PWM (TCPWM) 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--------------|-----------------------|----------------------|--------------------|-----|-----|-----|--|
| SID.TCPWM.1 | ITCPWM1 | 频率为 8 MHz 时的模块电流消耗 | — | — | 70 | μA | 所有模式 (TCPWM) |
| SID.TCPWM.2 | ITCPWM2 | 频率为 24 MHz 时的模块电流消耗 | — | — | 180 | μA | 所有模式 (TCPWM) |
| SID.TCPWM.2A | ITCPWM3 | 频率为 50 MHz 时的模块电流消耗 | — | — | 270 | μA | 所有模式 (TCPWM) |
| SID.TCPWM.2B | ITCPWM4 | 频率为 100 MHz 时的模块电流消耗 | — | — | 540 | μA | 所有模式 (TCPWM) |
| SID.TCPWM.3 | TCPWM _{FREQ} | 工作频率 | — | — | 100 | MHz | F _{c max} = F _{cpu Maximum} = 100 MHz |
| SID.TCPWM.4 | TPWM _{ENEXT} | 所有触发事件的输入触发脉冲宽度 | 2/F _c | — | — | ns | 根据选择的工作模式, 触发事件可以为: Stop、Start、Reload、Count、Capture 或 Kill。F _c 为计数器工作频率 |
| SID.TCPWM.5 | TPWM _{EXT} | 输出触发脉冲宽度 | 1.5/F _c | — | — | ns | 上溢、下溢、和 CC (计数器等于比较值) 触发输出的最小可能宽度 |
| SID.TCPWM.5A | TC _{RES} | 计数器分辨率 | 1/F _c | — | — | ns | 连续计数间的最短时间 |
| SID.TCPWM.5B | PWM _{RES} | PWM 分辨率 | 1/F _c | — | — | ns | PWM 输出的最小脉宽 |
| SID.TCPWM.5C | Q _{RES} | 正交输入的分辨率 | 2/F _c | — | — | ns | 正交相位输入间的最小脉冲宽度。引脚延迟应当相似。 |

Table 18. 串行通信模块 (SCB) 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|------------------------------------|-----------------------|----------------------------|-----|-----|--------|------|--|
| 固定 I ² C 直流规范 | | | | | | | |
| SID149 | I _{I2C1} | 频率为 100 kHz 时的模块电流消耗 | — | — | 30 | μA | — |
| SID150 | I _{I2C2} | 频率为 400 kHz 时的模块电流消耗 | — | — | 80 | μA | — |
| SID151 | I _{I2C3} | 1 Mbps 时的模块电流消耗 | — | — | 180 | μA | — |
| SID152 | I _{I2C4} | 在深度睡眠模式下使能I ² C | — | — | 1.7 | μA | At 60 °C |
| 固定 I ² C 交流规范 | | | | | | | |
| SID153 | F _{I2C1} | 比特率 | — | — | 1 | Mbps | — |
| 固定 UART 直流规范 | | | | | | | — |
| SID160 | I _{UART1} | 100 Kbps 时的模块电流消耗 | — | — | 30 | μA | — |
| SID161 | I _{UART2} | 1000 Kbps 时的模块电流消耗 | — | — | 180 | μA | — |
| 固定 UART 交流规范 | | | | | | | |
| SID162A | F _{UART1} | 比特率 | — | — | 3 | Mbps | ULP Mode |
| SID162B | F _{UART2} | | — | — | 8 | | LP Mode |
| 固定 SPI 直流规范 | | | | | | | |
| SID163 | I _{SPI1} | 1 Mbps 时的模块电流消耗 | — | — | 220 | μA | — |
| SID164 | I _{SPI2} | 4 Mbps 时的模块电流消耗 | — | — | 340 | μA | — |
| SID165 | I _{SPI3} | 8 Mbps 时的模块电流消耗 | — | — | 360 | μA | — |
| SID165A | I _{SP14} | 25 Mbps 时的模块电流消耗 | — | — | 800 | μA | — |
| LP模式 (1.1V) 固定 SPI 交流规范，除非另有说明 | | | | | | | |
| SID166 | F _{SPI} | SPI工作频率主机和外部时钟从机 | — | — | 25 | MHz | 最大14 MHz。用于ULP (0.9V) 模式 |
| SID166A | F _{SPI_IC} | SPI从器件内部时钟 | — | — | 15 | MHz | 最大5 MHz。用于ULP (0.9V) 模式 |
| SID166B | F _{SPI_EXT} | SPI工作频率主机(Fscb 为 SPI 时钟) | — | — | Fscb/4 | MHz | Fscb max在LP模式下为 100 MHz，ULP模式下为 25 MHz |
| LP模式 (1.1V) 固定 SPI 主模式 交流规范，除非另有说明 | | | | | | | |
| SID167 | T _{DMO} | SClock 驱动沿后的 MOSI 有效时间 | — | — | 12 | ns | 最大20 ns。用于ULP (0.9V) 模式 |
| SID168 | T _{DSI} | SClock 捕获沿前的 MISO 有效时间 | 5 | — | — | ns | 全时钟、MISO 推迟采样 |
| SID169 | T _{HMO} | MOSI数据保持时间 | 0 | — | — | ns | 参考从设备捕获沿 |
| SID169A | T _{SSELMCK1} | SSEL 有效到第一个 SCK 有效沿 | 18 | — | — | ns | 参考主时钟沿 |
| SID169B | T _{SSELMCK2} | 最后 SCK 有效沿后SSEL保持 | 18 | — | — | ns | 参考主时钟沿 |
| LP模式 (1.1V) 固定 SPI 从模式 交流规范，除非另有说明 | | | | | | | |
| SID170 | T _{DMI} | SClock 捕获沿前的 MOSI 有效时间 | 5 | — | — | ns | — |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-----------------------|---------------------------------------|-----|-----|---|----|----------------------------------|
| SID171A | T _{DSO_EXT} | 在Ext. Clk模式下Sclock 驱动沿后的 MISO有效时间 | — | — | 20 | ns | 最大35 ns。用于ULP (0.9V) 模式 |
| SID171 | T _{DSO} | 内部Clk.模式Sclock 驱动沿后的 MISO有效时间 | — | — | T _{DSO_EXT} + 3*T _{scb} | ns | T _{scb} 为串行共模. 模块时钟时段。 |
| SID171B | T _{DSO} | 内部时钟模式Sclock 驱动沿后的 MISO 有效时间, 中位数过滤使能 | — | — | T _{DSO_EXT} + 4*T _{scb} | | T _{scb} 为串行共模. 模块时钟时段。. |
| SID172 | T _{HSO} | 先前 MISO 数据保持时间 | 5 | — | — | ns | — |
| SID172A | TSSEL _{SCK1} | 到第一个 SCK 有效沿的 SSEL 有效 | 65 | — | — | ns | — |
| SID172B | TSSEL _{SCK2} | SSEL在最后一个SCK后保持有效沿 | 65 | — | — | ns | — |

LCD 规范

Table 19. LCD 直接驱动直流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-----------------------|---|-----|-----|------|----|------------------------|
| SID154 | I _{LCDLOW} | 低功耗模式工作电流 | — | 5 | — | μA | 频率为50 Hz时的16 × 4 小型段显示 |
| SID155 | C _{LCDCAP} | 各个 common/segment 驱动的LCD 电容 | — | 500 | 5000 | pF | — |
| SID156 | LCD _{OFFSET} | 长期段偏移 | — | 20 | — | mV | — |
| SID157 | I _{LCDOP1} | PWM模式电流. 3.3-V bias. 8-MHz IMO. 25 °C. | — | 0.6 | — | mA | 32 × 4 段 50 Hz |
| SID158 | I _{LCDOP2} | PWM模式电流. 3.3-V bias. 8-MHz IMO. 25 °C. | — | 0.5 | — | mA | 32 × 4 段 50 Hz |

Table 20. LCD 直接驱动交流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|------------------|--------|-----|-----|-----|----|-------|
| SID159 | F _{LCD} | LCD 帧率 | 10 | 50 | 150 | Hz | — |

存储器

Table 21. Flash规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-------------------|--------------------------|----------------------------------|------|-----|-----|----|-------------------------|
| 闪存直流规范 | | | | | | | |
| SID173 | V _{PE} | 擦除和编程电压 | 1.71 | — | 3.6 | V | — |
| Flash 交流规范 | | | | | | | |
| SID174 | T _{ROWWRITE} | 行 (模块) 编写时间 (擦除和编程) | — | — | 16 | ms | Row (Block) = 512 bytes |
| SID175 | T _{ROWERASE} | 行擦除时间 | — | — | 11 | ms | — |
| SID176 | T _{ROWPROGRAM} | 擦除后的行编程时间 | — | — | 5 | ms | — |
| SID178 | T _{BULKERASE} | 批量擦除时间(1024 KB) | — | — | 11 | ms | — |
| SID179 | T _{SECTORERASE} | 扇区擦除时间(256 KB) | — | — | 11 | ms | 每子扇区512 行 |
| SID178S | T _{SSERIAE} | 子扇区擦除时间 | — | — | 11 | ms | 每子扇区8行 |
| SID179S | T _{SSWRITE} | 子扇区写时间; 1擦除加8个程序时间 | — | — | 51 | ms | — |
| SID180S | T _{SWRITE} | 扇区写时间; 1擦除加512个程序时间 | — | — | 2.6 | 秒 | — |
| SID180 | T _{DEVPROG} | 器件总编程时间 | — | — | 15 | 秒 | — |
| SID181 | F _{END} | 闪存耐久性 | 100K | — | — | 周期 | — |
| SID182 | F _{RET1} | 闪存数据保持时间. Ta ≤ 25 °C, 100K P/E周期 | 10 | — | — | 年 | — |
| SID182A | F _{RET2} | 闪存数据保持时间. Ta ≤ 85 °C, 10K P/E 周期 | 10 | — | — | 年 | — |
| SID182B | F _{RET3} | 闪存数据保持时间. Ta ≤ 55 °C, 20K P/E周期 | 20 | — | — | 年 | — |
| SID256 | T _{WS100} | 频率为 100 MHz 时的等待状态数 | 3 | — | — | | — |
| SID257 | T _{WS50} | 频率为 50 MHz时的等待状态数 | 2 | — | — | | — |

备注

- 闪存写入可能需要16毫秒。在此期间，设备不应该被复位，否则闪存操作将被中断，不能赖以完成操作。复位源包括XRES引脚，软件复位，CPU锁定状态和特权违规，不正确的电源电平和看门狗。确保这些不会被无意激活。

系统资源

Table 22. PSoC 62 系统资源

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------------|------------------------|--------------------------------------|------|------|------|-------|----------------------|
| 欠压上电复位直流规范 | | | | | | | |
| 精确POR (PPOR) | | | | | | | |
| SID190 | V _{FALLPPOR} | 活动模式和睡眠模式下的 BOD跳闸电压V _{DD} . | 1.54 | — | — | V | 对低于1.54V的电平提供BOD复位保证 |
| SID192 | V _{FALLDPSLP} | 深度睡眠模式下的 BOD 跳闸电压V _{DD} | 1.54 | — | — | V | — |
| SID192A | V _{DDRAMP} | 最大电源缓变率 (任意电源) | — | — | 100 | mV/μs | 活动模式 |
| 交流欠压POR规范 | | | | | | | |
| SID194A | V _{DDRAMP_DS} | 深度睡眠模式下的最大电源斜坡率 (任何电源) | — | — | 10 | mV/μs | BOD操作保证 |
| 电压监控器直流规范 | | | | | | | |
| SID195R | V _{HVD0} | | 1.18 | 1.23 | 1.27 | V | — |
| SID195 | V _{HVDI1} | | 1.38 | 1.43 | 1.47 | V | — |
| SID196 | V _{HVDI2} | | 1.57 | 1.63 | 1.68 | V | — |
| SID197 | V _{HVDI3} | | 1.76 | 1.83 | 1.89 | V | — |
| SID198 | V _{HVDI4} | | 1.95 | 2.03 | 2.1 | V | — |
| SID199 | V _{HVDI5} | | 2.05 | 2.13 | 2.2 | V | — |
| SID200 | V _{HVDI6} | | 2.15 | 2.23 | 2.3 | V | — |
| SID201 | V _{HVDI7} | | 2.24 | 2.33 | 2.41 | V | — |
| SID202 | V _{HVDI8} | | 2.34 | 2.43 | 2.51 | V | — |
| SID203 | V _{HVDI9} | | 2.44 | 2.53 | 2.61 | V | — |
| SID204 | V _{HVDI10} | | 2.53 | 2.63 | 2.72 | V | — |
| SID205 | V _{HVDI11} | | 2.63 | 2.73 | 2.82 | V | — |
| SID206 | V _{HVDI12} | | 2.73 | 2.83 | 2.92 | V | — |
| SID207 | V _{HVDI13} | | 2.82 | 2.93 | 3.03 | V | — |
| SID208 | V _{HVDI14} | | 2.92 | 3.03 | 3.13 | V | — |
| SID209 | V _{HVDI15} | | 3.02 | 3.13 | 3.23 | V | — |
| SID211 | LVI_IDD | 模块电流 | — | 5 | 15 | μA | — |
| 电压监控器交流规范 | | | | | | | |
| SID212 | T _{MONTRIP} | 电压监控器跳闸时间 | — | — | 170 | ns | — |

SWD 接口

Table 23. SWD 和Trace 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------------|--------------|---|-----------------|-----|----------------|-----|---|
| SWD和Trace 接口 | | | | | | | |
| SID214 | F_SWDCCLK2 | $1.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$ | — | — | 25 | MHz | LP模式; $V_{\text{CCD}} = 1.1\text{ V}$ |
| SID214L | F_SWDCCLK2L | $1.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$ | — | — | 12 | MHz | ULP 模式; $V_{\text{CCD}} = 0.9\text{ V}$ |
| SID215 | T_SWDI_SETUP | $T = 1/f\text{ SWDCCLK}$ | $0.25 \times T$ | — | — | ns | — |
| SID216 | T_SWDI_HOLD | $T = 1/f\text{ SWDCCLK}$ | $0.25 \times T$ | — | — | ns | — |
| SID217 | T_SWDO_VALID | $T = 1/f\text{ SWDCCLK}$ | — | — | $0.5 \times T$ | ns | — |
| SID217A | T_SWDO_HOLD | $T = 1/f\text{ SWDCCLK}$ | 1 | — | — | ns | — |
| SID214T | F_TRCLK_LP1 | Trace数据设置/保持时间分别为2/1 ns | — | — | 75 | MHz | LP 模式. $V_{\text{DD}} = 1.1\text{ V}$ |
| SID215T | F_TRCLK_LP2 | Trace数据设置/保持时间分别为3/2 ns | — | — | 70 | MHz | LP 模式. $V_{\text{DD}} = 1.1\text{ V}$ |
| SID216T | F_TRCLK_ULP | Trace数据设置/保持时间分别为3/2 ns | — | — | 25 | MHz | ULP 模式. $V_{\text{DD}} = 0.9\text{ V}$ |

内部主振荡器

Table 24. IMO 直流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-------------------|-----------------------|-----|-----|-----|---------------|-------|
| SID218 | I_{IMO1} | 频率为 8 MHz 时的 IMO 工作电流 | — | 9 | 15 | μA | — |

Table 25. IMO 交流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|----------------------|---------------|-----|-----------|---------|----|-------|
| SID223 | F_{IMOTOL1} | 8 MHz以频率变化为中心 | — | — | ± 2 | % | — |
| SID227 | T_{JITR} | 周期到周期和周期抖动 | — | ± 250 | — | ps | — |

内部低速振荡器

Table 26. ILO 直流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-------------------|------------------------|-----|-----|-----|---------------|-------|
| SID231 | I_{ILO2} | 频率为 32 kHz 时的 ILO 工作电流 | — | 0.3 | 0.7 | μA | — |

Table 27. ILO 交流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|------------------------|----------------|------|-----|------|-----|---------------|
| SID234 | T _{STARTILO1} | ILO启动时间 | – | – | 7 | μs | 启动时间到最终频率的95% |
| SID236 | T _{LIODUTY} | ILO 占空比 | 45 | 50 | 55 | % | – |
| SID237 | F _{ILOTRIM1} | 调整后的频率为 32 kHz | 28.8 | 32 | 35.2 | kHz | ±10%变化 |

晶振规范

Table 28. ECO 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|---------------------|---------------------|---------------------|-----|--------|------|-----|-----------------------------|
| MHz ECO 直流规范 | | | | | | | |
| SID316 | I _{DD_MHz} | Cload高达18 pF的模块工作电流 | – | 800 | 1600 | μA | Max = 33 MHz, Type = 16 MHz |
| MHz ECO 交流规范 | | | | | | | |
| SID317 | F_MHz | 晶振频率范围 | 4 | – | 35 | MHz | – |
| kHz ECO 直流规范 | | | | | | | |
| SID318 | I _{DD_kHz} | 32-kHz 晶振模块工作电流 | – | 0.38 | 1 | μA | – |
| SID321E | ESR32K | 等效串联电阻 | – | 80 | – | kΩ | – |
| SID322E | PD32K | 驱动电平 | – | – | 1 | μW | – |
| kHz ECO 交流规范 | | | | | | | |
| SID319 | F_kHz | 调整后的频率为 32 kHz | – | 32.768 | – | kHz | – |
| SID320 | T _{on_kHz} | 启动时间 | – | – | 500 | ms | – |
| SID320E | F _{TOL32K} | 频率容差 | – | 50 | 250 | ppm | – |

外部时钟规范

Table 29. 外部时钟规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|------------------------|-----------------------------|-----|-----|-----|-----|-------|
| SID305 | EXTCLK _{FREQ} | 外部时钟输入频率 | 0 | – | 100 | MHz | – |
| SID306 | EXTCLK _{DUTY} | 占空比; V _{DD} /2 时测量 | 45 | – | 55 | % | – |

Table 30. PLL 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|----------|------------|-----|------|-----|-----|---------------|
| SID305P | PLL_LOCK | 实现PLL锁定的时间 | – | 16 | 35 | μs | – |
| SID306P | PLL_OUT | PLL模块的输出频率 | – | – | 150 | MHz | – |
| SID307P | PLL_IDD | PLL 电流 | – | 0.55 | 1.1 | mA | 100 MHz输出时典型值 |
| SID308P | PLL_JTR | 周期抖动 | – | – | 150 | ps | 100 MHz 输出频率. |

Table 31. 时钟源切换时间

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|------------------------|---------------------------|-----|-----|-----------------|---------|-------|
| SID262 | TCLK _{SWITCH} | 时钟从clk1切换到clk2需要的clk1周期时间 | – | – | 4 clk1 + 3 clk2 | periods | – |

Table 32. 频率锁定环(FLL) 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------------|---------------|-------------------------|-------|-----|--------|--------|---|
| 频率锁定环 (FLL) 规范 | | | | | | | |
| SID450 | FLL_RANGE | 输入频率范围 | 0.001 | – | 100 | MHz | 下限允许锁定USB SOF信号 (1 kHz)。上限用于外部输入。 |
| SID451 | FLL_OUT_DIV2 | 输出频率范围. VCCD = 1.1V | 24.00 | – | 100.00 | MHz | FLL除以2输出的输出范围 |
| SID451A | FLL_OUT_DIV2 | 输出频率范围. VCCD = 0.9V | 24.00 | – | 50.00 | MHz | 输出范围为FLL除以2输出 |
| SID452 | FLL_DUTY_DIV2 | 除以2输出; 高或低 | 47.00 | – | 53.00 | % | – |
| SID454 | FLL_WAKEUP | 从稳定输入时钟到深度睡眠唤醒最终值的1%的时间 | – | – | 7.50 | μs | 在深度睡眠模式和 Fout ≥ 50 MHz时, IMO输入, 针对温度小于1度的变化 |
| SID455 | FLL_JITTER | 周期抖动(1 sigma) | – | – | 35.00 | pS | 在48MHz下为50ps, 在200MHz下为12ps |
| SID456 | FLL_CURRENT | CCO +逻辑电流 | – | – | 5.50 | μA/MHz | – |

Table 33. UDB 交流规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--|---------------------------|-----------------------------|-----|-----|-----|-----|-------|
| 数据路径性能 | | | | | | | |
| SID249 | F _{MAX-TIMER} | 在 UDB 对中 16 位定时器的最高频率 | – | – | 100 | MHz | – |
| SID250 | F _{MAX-ADDER} | 在 UDB 对中 16 位加法器的最高频率 | – | – | 100 | MHz | – |
| SID251 | F _{MAX_CRC} | 在 UDB 对中 16 位 CRC/PRS 的最高频率 | – | – | 100 | MHz | – |
| UDB 中的 PLD 性能 | | | | | | | |
| SID252 | F _{MAX_PLD} | 在UDB对中双通PLD功能的最高频率 | – | – | 100 | MHz | – |
| 时钟输入至数据输出的性能 | | | | | | | |
| SID253 | T _{CLK_OUT_UBD1} | 从时钟输入到数据输出之间的传输延迟时间 | – | 5 | – | ns | – |
| UDB 端口适配器规范 | | | | | | | |
| 条件: 10- pF 负载, 3-V V _{DDIO} 和 V _{DD} | | | | | | | |
| SID263 | T _{LCLKDO} | 从 LCLK 到输出的延迟时间 | – | – | 11 | ns | – |
| SID264 | T _{DINLCLK} | 从输入建立时间到 LCLK 上升沿的时间 | – | – | 7 | ns | – |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-------------------------|-------------------|-----|-----|-----|-----|-------|
| SID265 | T _{DINLCLKHLD} | 从 LCLK 上升沿的输入保持时间 | 5 | — | — | ns | — |
| SID266 | T _{LCLKHIZ} | 从 LCLK 到输出为三态的时间 | — | — | 28 | ns | — |
| SID267 | T _{FLCLK} | LCLK 频率 | — | — | 33 | MHz | — |
| SID268 | T _{LCLKDUTY} | LCLK 占空比 (高比例) | 40% | — | 60% | % | — |

Table 34. USB 规范 (USB 要求 LP 模式 1.1V 内部电源)

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------|-----------------|--------------------|-------|-----|------|----|----------------------|
| USB 模块规范 | | | | | | | |
| SID322U | Vusb_3.3 | USB操作的设备电源 | 3.15 | — | 3.6 | V | USB配置, USB寄存器旁路 |
| SID323U | Vusb_3.3 | USB操作的设备电源 (仅功能操作) | 2.85 | — | 3.6 | V | USB配置, USB寄存器旁路 |
| SID325U | Iusb_config | 在活动模式下设备电源电流 | — | 8 | — | mA | VDDD = 3.3V |
| SID328 | Isub_suspend | 在睡眠模式下设备电源电流 | — | 0.5 | — | mA | VDDD = 3.3V, PICU 唤醒 |
| SID329 | Isub_suspend | 在睡眠模式下设备电源电流 | — | 0.3 | — | mA | VDDD = 3.3V, 设备断开 |
| SID330U | USB_Drive_Res | USB驱动器阻抗 | 28 | — | 44 | Ω | 串联电阻在芯片上 |
| SID331U | USB_Pulldown | 主机模式下USB下拉电阻 | 14.25 | — | 24.8 | kΩ | — |
| SID332U | USB_Pullup_Idle | 空闲模式范围 | 900 | — | 1575 | Ω | 总线空闲 |
| SID333U | USB_Pullup | 活动模式 | 1425 | — | 3090 | Ω | 上行设备发送 |

Table 35. QSPI 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|-----------------------------------|---------------|-------------------|-------|-----|------|-----|-----------------------|
| SMIF QSPI 规范.所有规格均为15-pF负载 | | | | | | | |
| SID390Q | Fsmifclock | SMIF QSPI 输出时钟频率 | — | — | 80 | MHz | LP 模式 (1.1 V) |
| SID390QU | Fsmifclocku | SMIF QSPI 输出时钟频率 | — | — | 50 | MHz | ULP 模式 (0.9 V). 表征保证. |
| SID397Q | Idd_qspi | LP模式模块电流(1.1 V) | — | — | 1900 | μA | LP 模式 (1.1 V) |
| SID398Q | Idd_qspi_u | ULP模式模块电流(0.9 V) | — | — | 590 | μA | ULP 模式 (0.9 V) |
| SID391Q | Tsetup | 与时钟捕获沿相关的输入数据设置时间 | 4.5 | — | — | ns | — |
| SID392Q | Tdatahold | 与时钟捕获沿相关的输入数据保持时间 | 0 | — | — | ns | — |
| SID393Q | Tdataoutvalid | 与时钟下降沿相关的输出数据有效时间 | — | — | 3.7 | ns | — |
| SID394Q | Tholdtime | 与时钟上升沿相关的输出数据保持时间 | 3 | — | — | ns | — |
| SID395Q | Tseloutvalid | 与时钟上升沿相关的输出选择有效时间 | — | — | 7.5 | ns | — |
| SID396Q | Tselouthold | 与时钟上升沿相关的输出选择保持时间 | Tsclk | — | — | ns | Tsclk = Fsmifclk 周期时间 |

Table 36. 音频子系统规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|--|--------------|-------------------------|-------|-------|--------|------|------------------------------|
| 音频子系统规范 | | | | | | | |
| PDM 规范 | | | | | | | |
| SID400P | PDM_IDD1 | PDM活动电流, 立体声操作, 1 MHz时钟 | – | 175 | – | μA | 16 ksps时16位音频 |
| SID401 | PDM_IDD2 | PDM活动电流, 立体声操作, 3 MHz时钟 | – | 600 | – | μA | 48 ksps时24位音频 |
| SID402 | PDM_JITTER | PDM时钟中的RMS抖动 | –200 | – | 200 | pS | – |
| SID403 | PDM_CLK | PDM 时钟速度 | 0.384 | – | 3.072 | MHz | – |
| SID403A | PDM_BLK_CLK | PDM 模块输入时钟 | 1.024 | – | 49.152 | MHz | – |
| SID403B | PDM_SETUP | 数据输入建立时间到PDM_CLK边沿 | 10 | – | – | ns | – |
| SID403C | PDM_HOLD | 数据输入保持时间到PDM_CLK边沿 | 10 | – | – | ns | – |
| SID404 | PDM_OUT | 声频采样速率 | 8 | – | 48 | ksps | – |
| SID405 | PDM_WL | 字长 | 16 | – | 24 | bits | – |
| SID406 | PDM_SNR | 信噪比 (A加权) | – | 100 | – | dB | PDM 输入, 20 Hz 至 20 kHz BW |
| SID407 | PDM_DR | 动态范围 (A加权) | – | 100 | – | dB | 20 Hz 至 20 kHz BW, –60 dB FS |
| SID408 | PDM_FR | 频率响应 | –0.2 | | –0.2 | dB | DC 至 0.45f. DC阻止过滤关闭 |
| SID409 | PDM_SB | 阻带 | – | 0.566 | – | f | – |
| SID410 | PDM_SBA | 阻带衰减 | – | 60 | – | dB | – |
| SID411 | PDM_GAIN | 可调增益 | –12 | – | 10.5 | dB | PDM 至 PCM, 1.5 dB/step |
| SID412 | PDM_ST | 启动时间 | – | 48 | – | | WS (字选择) 周期 |
| I2S 规范. 对于LP和ULP模式也是如此, 除非另有说明。 | | | | | | | |
| SID413 | I2S_WORD | I2S 字长度 | 8 | – | 32 | bits | – |
| SID414 | I2S_WS | LP模式下字时钟频率 | – | – | 192 | kHz | 12.288 MHz 位时钟, 带 32-bit字 |
| SID414M | I2S_WS_U | ULP模式下字时钟频率 | – | – | 48 | kHz | 3.072 MHz 位时钟, 带 32-bit 字 |
| SID414A | I2S_WS_TDM | TDM模式下LP字时钟频率 | – | – | 48 | kHz | 8个 32-bit 通道 |
| SID414X | I2S_WS_TDM_U | TDM模式下ULP字时钟频率 | – | – | 12 | kHz | 8 个32-bit 通道 |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------------|-------------|--------------------------------|---------------|-----|--------------|-----|-----------------------------------|
| I2S 从模式 | | | | | | | |
| SID430 | TS_WS | WS建立时间到LP模式SCK的下一个上升沿 | 5 | — | — | ns | — |
| SID430U | TS_WS | WS建立时间到ULP SCK的下一个上升沿 | 11 | — | — | ns | — |
| SID430A | TH_WS | WS 保持时间到SCK下一沿 | TMCLK_SOC+5 | — | — | ns | — |
| SID432 | TD_SDO | LP模式从TX_SCK沿TX_SDO转换的延迟时间 | -TMCLK_SOC+25 | — | TMCLK_SOC+25 | ns | 相关时钟沿基于选择的极性 |
| SID432U | TD_SDO | ULP模式从TX_SCK沿TX_SDO转换的延迟时间 | -TMCLK_SOC+70 | — | TMCLK_SOC+70 | ns | 相关时钟沿基于选择的极性 |
| SID433 | TS_SDI | LP模式下RX_SDI建立时间到RX_SCK的下一个上升沿 | 5 | — | — | ns | — |
| SID433U | TS_SDI | ULP模式下RX_SDI建立时间到RX_SCK的下一个上升沿 | 11 | — | — | ns | — |
| SID434 | TH_SDI | RX_SDI保持时间到RX_SCK的上升沿 | TMCLK_SOC+5 | — | — | ns | — |
| SID435 | TSCKCY | TX/RX_SCK 位时钟占空比 | 45 | — | 55 | % | — |
| I2S 主模式 | | | | | | | |
| SID437 | TD_WS | 从SCK下降沿的WS转换延迟 | -10 | — | 20 | ns | — |
| SID437U | TD_WS_U | 在ULP模式下, SCK下降沿的WS转换延迟 | -10 | — | 40 | ns | — |
| SID438 | TD_SDO | 从SCK下降沿的SDO转换延迟 | -10 | — | 20 | ns | — |
| SID438U | TD_SDO | SDO在ULP模式下从SCK的下降沿转换延迟 | -10 | — | 40 | ns | — |
| SID439 | TS_WS | SDI建立时间到SCK的上升沿 | 5 | — | — | ns | 相关时钟沿基于选择的极性 |
| SID440 | TH_WS | SDI保持时间到SCK的上升沿 | TMCLK_SOC-5 | — | — | ns | “T”为 TX/RX_SCK 位时钟周期。相关时钟沿基于选择的极性 |
| SID443 | TSCKCY | SCK位时钟占空比 | 45 | — | 55 | % | — |
| SID445 | FMCLK_SOC | LP模式下MCLK_SOC 频率 | 1.024 | — | 98.304 | MHz | FMCLK_SOC = 8*Bit-时钟 |
| SID445U | FMCLK_SOC_U | ULP模式下MCLK_SOC 频率 | 1.024 | — | 24.576 | MHz | FMCLK_SOC_U = 8*Bit-时钟 |
| SID446 | TMCLKCY | MCLK_SOC 占空比 | 45 | — | 55 | % | — |

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|---------|---------------|------|-----|-----|----|-------|
| SID447 | TJITTER | MCLK_SOC 输入抖动 | -100 | - | 100 | ps | - |

Table 37. Smart I/O 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|----------|-----------------------|-----|-----|-----|----|-------|
| SID420 | SMIO_BYP | Smart I/O 旁路延迟 | - | - | 1 | ns | - |
| SID421 | SMIO_LUT | Smart I/O LUT prop 延迟 | - | TBD | - | ns | - |

Table 38. 精密 ILO (PILO) 规范

| Spec ID# | 参数 | 描述 | 最小值 | 典型值 | 最大值 | 单位 | 详情/条件 |
|----------|-------------------|-------------|------|-------|-----|-----|------------------|
| SID 430R | I _{PILO} | 工作电流 | - | 1.2 | 4 | μA | - |
| SID431 | F_PILO | PILO 标称频率 | - | 32768 | - | Hz | T = 25℃, 20ppm晶体 |
| SID432R | ACC_PILO | PILO精确度定期校准 | -500 | - | 500 | ppm | - |

订购信息

Table 39显示 PSoC 62 器件型号和特性。124-BGA封装正在进行资格认证。

Table 39. 销售器件编号

| 系列 | MPN | CPU Speed(M4) | CPU 速度 (M0+) | 单核/双核 | ULP/LP | Flash | SRAM | No. of CTBMs | UDB数目 | CapSense | GPIOs | CRYPTO | 封装 |
|----|-----------------|---------------|--------------|-------|--------|-------|------|--------------|-------|----------|-------|--------|----------|
| 62 | CY8C6246BZI-D04 | 150/50 | 100/25 | 双核 | FLEX | 512 | 128 | 0 | 0 | No | 104 | No | 124-BGA |
| | CY8C6247BZI-D44 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 0 | 0 | Yes | 104 | Yes | 124-BGA |
| | CY8C6247BZI-D34 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 1 | 12 | Yes | 104 | No | 124-BGA |
| | CY8C6247BZI-D54 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 1 | 12 | Yes | 104 | Yes | 124-BGA |
| | CY8C6247FDI-D02 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 0 | 0 | No | 62 | No | 80-WLCSP |
| | CY8C6247FDI-D32 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 1 | 12 | Yes | 62 | No | 80-WLCSP |
| | CY8C6247FDI-D52 | 150/50 | 100/25 | 双核 | FLEX | 1024 | 288 | 1 | 12 | Yes | 62 | Yes | 80-WLCSP |

Table 40显示字段值。

Table 40. MPN 命名

| 字段 | 描述 | 值 | 含义 |
|------|------------|---|------------|
| CY8C | Cypress 前缀 | | |
| 6 | 架构 | 6 | PSoC 6 |
| A | 系列 | 0 | 价值 |
| | | 1 | 可编程 |
| | | 2 | 性能 |
| | | 3 | 连接 |
| B | 速度 | 1 | 50 MHz |
| | | 2 | 100 MHz |
| | | 3 | 150 MHz |
| | | 4 | 150/50 MHz |
| C | 闪存容量 | 4 | 128 KB |
| | | 5 | 256 KB |
| | | 6 | 512 KB |
| | | 7 | 1024 KB |

| 字段 | 描述 | 值 | 含义 |
|----|--------------|-------|--------------------|
| D | 封装代码 | AX | TQFP I (0.8mm 间距) |
| | | AZ | TQFP II (0.5mm 间距) |
| | | LQ | QFN |
| | | BZ | BGA |
| | | FM | M-CSP |
| E | 温度范围 | C | 消费者 |
| | | I | 工业 |
| | | Q | 扩展工业(105 °C) |
| F | 芯片系列 | N/A | PSoC 6A |
| | | S | PSoC 6A-S (示例) |
| | | M | PSoC 6A-M (示例) |
| | | L | PSoC 6A-L (示例) |
| | | BL | PSoC 6A-BLE |
| G | 内核 | Z | M0+ |
| | | F | M4 |
| | | D | 双核 M4/M0+ |
| XY | 属性代码 | 00-99 | 特定系列特性组代码 |
| ES | 工程样例 | ES | 是否为工程样例 |
| T | Tape/Reel 发货 | T | 是否Tape/Reel方式发货 |

封装

PSoC 62 以 124-BGA^[6] 和 80-WLCSP 封装提供。

Table 41. 封装尺寸

| Spec ID# | 封装 | 描述 | 封装图号 |
|----------|----------|---|-----------|
| PKG_1 | 124-BGA | 124-BGA, 9 mm × 9 mm × 1 mm高, 0.65-mm间距 | 001-97718 |
| PKG_2 | 80-WLCSP | 80 WLCSP, 3.7 mm X 3.2 mm X 0.43 mm高, 0.35mm 间距 | 002-20310 |

Table 42. 封装特性

| 参数 | 描述 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------|-------------------------------|----|-----|-----|-----|---------|
| T _A | 工作环境温度 | — | −40 | 25 | 85 | °C |
| T _J | 工作点温度 | — | −40 | — | 100 | °C |
| T _{JA} | 封装 θ _{JA} (124-BGA) | — | — | 36 | — | °C/watt |
| T _{JC} | 封装 θ _{JC} (124-BGA) | — | — | 15 | — | °C/watt |
| T _{JA} | 封装 θ _{JA} (80-WLCSP) | — | — | TBD | — | °C/watt |
| T _{JC} | 封装 θ _{JC} (80-WLCSP) | — | — | TBD | — | °C/watt |

Table 43. 回流焊峰值温度

| 封装 | 最高峰值温度 | 峰值温度下最长时间 |
|----|--------|-----------|
| 全部 | 260 °C | 30 秒 |

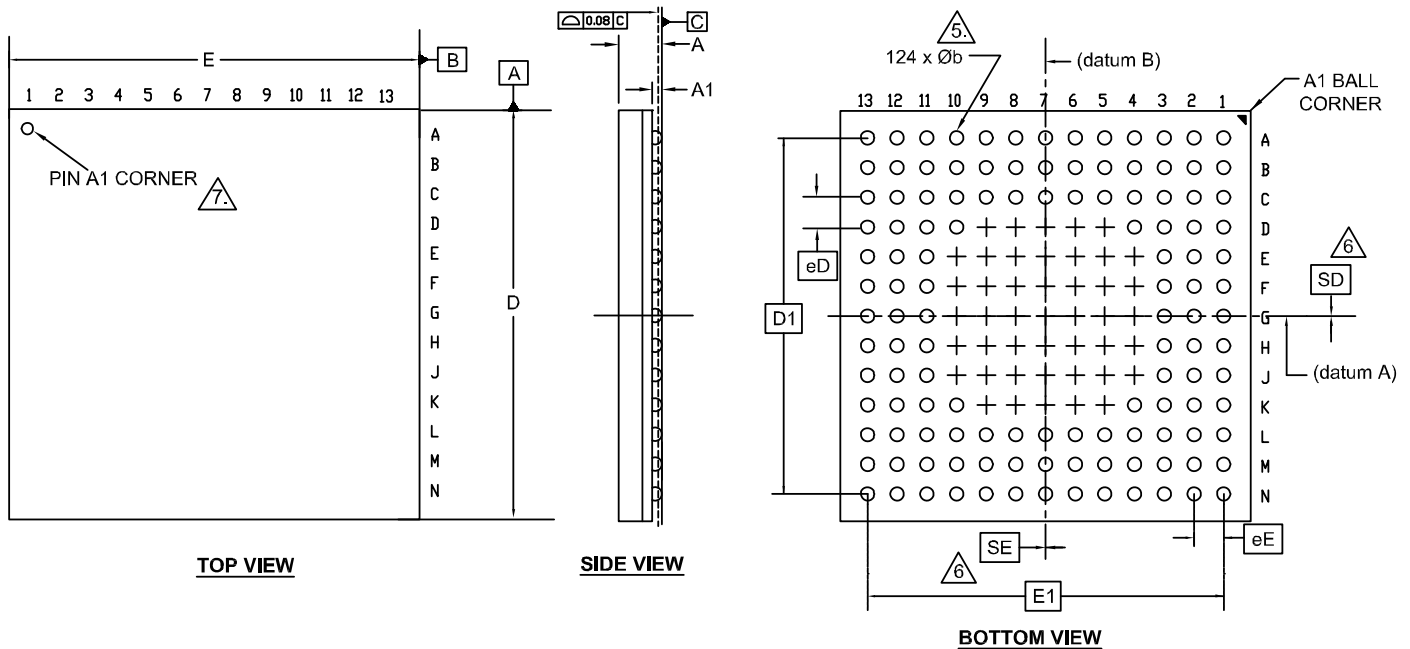
Table 44. 封装潮敏等级(MSL), IPC/JEDEC J-STD-2

| 封装 | MSL |
|----------|-------|
| 124-BGA | MSL 3 |
| 80-WLCSP | MSL 1 |

Note

6. 124-BGA封装正在进行资格认证

Figure 4. 124-BGA 9.0 x 9.0 x 1.0mm



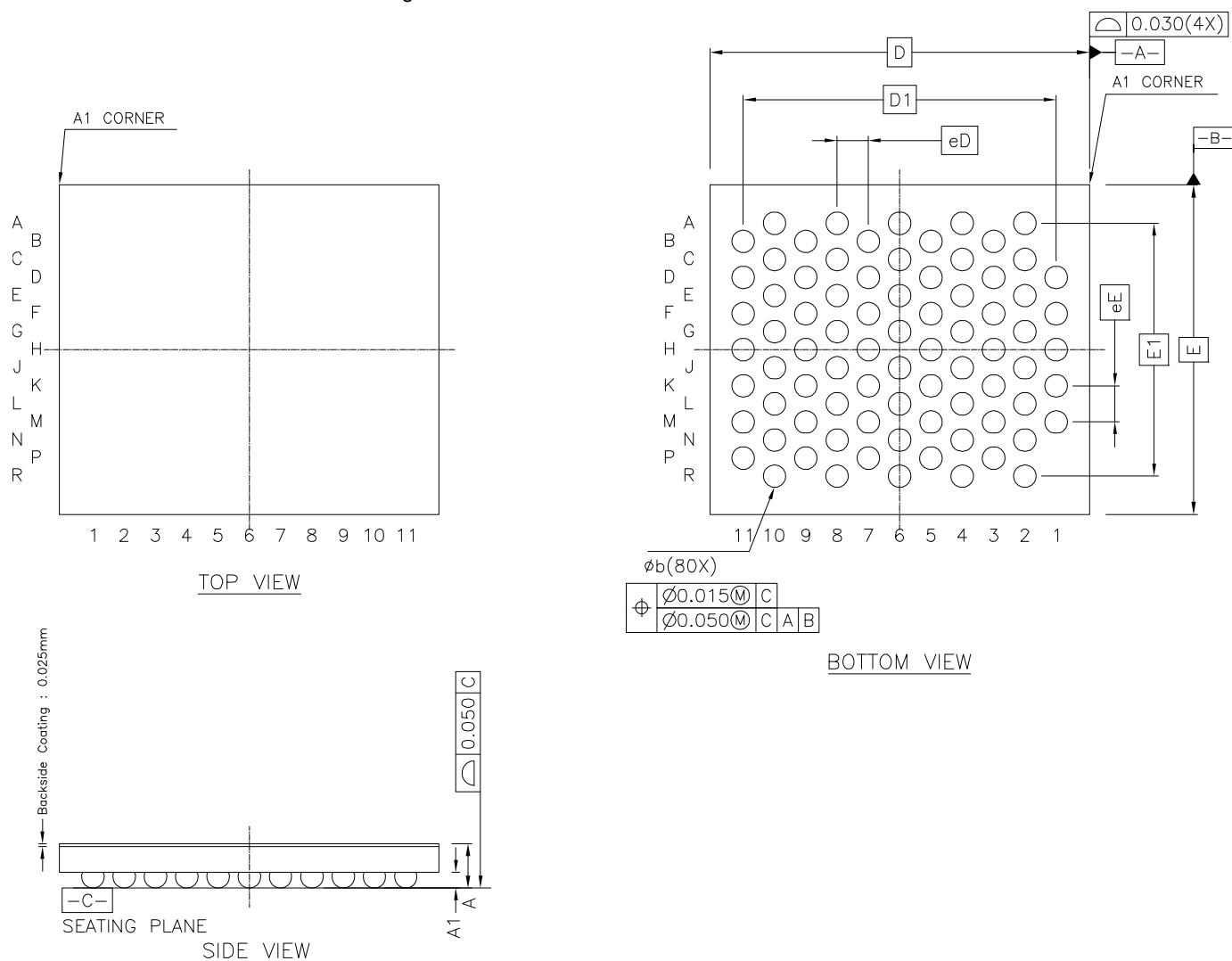
| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | - | - | 1.00 |
| A1 | 0.16 | 0.21 | 0.26 |
| D | 8.90 | 9.00 | 9.10 |
| E | 8.90 | 9.00 | 9.10 |
| D1 | 7.80 BSC | | |
| E1 | 7.80 BSC | | |
| MD | 13 | | |
| ME | 13 | | |
| N | 124 | | |
| Ø b | 0.25 | 0.30 | 0.35 |
| eD | 0.65 BSC | | |
| eE | 0.65 BSC | | |
| SD | 0 | | |
| SE | 0 | | |

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 *B

Figure 5. 80-Ball WLCSP 3.676 × 3.190 × 0.467 mm



| SYMBOL | DIMENSIONS | | |
|--------|------------|-------|-------|
| | MIN. | NOM. | MAX. |
| A | 0.387 | 0.427 | 0.467 |
| A 1 | 0.122 | — | 0.182 |
| D | 3.676 BSC | | |
| E | 3.190 BSC | | |
| D1 | 3.031 BSC | | |
| E 1 | 2.450 BSC | | |
| n | 80 | | |
| Øb | 0.188 | 0.218 | 0.248 |
| eD | 0.303 BSC | | |
| eE | 0.350 BSC | | |

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.

002-20310 *A

缩略语

Table 45. 本文档中使用的缩略语

| 缩略语 | 说明 |
|---------|--|
| abus | 模拟局部总线 |
| ADC | 模数转换器 |
| AG | 模拟全局总线 |
| AHB | AMBA (先进微控制器总线架构) 高性能总线，即作为一种Arm数据传输总线 |
| ALU | 算术逻辑单元 |
| AMUXBUS | 模拟复用器总线 |
| API | 应用编程接口 |
| APSR | 应用编程状态寄存器 |
| Arm® | 高级RISC机器，即作为一种CPU架构 |
| ATM | 自动Thump模式 |
| BW | 带宽 |
| CAN | 控制器区域网络，即作为一种通信协议 |
| CMRR | 共模抑制比 |
| CPU | 中央处理单元 |
| CRC | 循环冗余校验，即作为一种错误校验协议 |
| DAC | 数模转换器，另请参见IDAC、VDAC |
| DFB | 数字滤波器模块 |
| DIO | 数字输入/输出，GPIO仅具有数字功能，无模拟功能。请参见GPIO。 |
| DMIPS | Dhrystone每秒百万条指令 |
| DMA | 直接存储器访问，另请参见TD |
| DNL | 微分非线性，另请参见INL |
| DNU | 请勿使用 |
| DR | 端口写入数据寄存器 |
| DSI | 数字系统互连 |
| DWT | 数据观察点和跟踪 |

| 缩略语 | 说明 |
|---------|------------------------------|
| ECC | 纠错码 |
| ECO | 外部晶体振荡器 |
| EEPROM | 电可擦除可编程只读存储器 |
| EMI | 电磁干扰 |
| EMIF | 外部存储器接口 |
| EOC | 转换结束 |
| EOF | 帧结束 |
| EPSR | 执行程序状态寄存器 |
| ESD | 静电放电 |
| ETM | 嵌入式跟踪宏单元 |
| FIR | 有限脉冲响应，另请参见IIR |
| FPB | 闪存修补和断点 |
| FS | 全速 |
| GPIO | 通用输入/输出，适用于PSoC引脚 |
| HVI | 高电压中断，另请参见LVI、LVD |
| IC | 集成电路 |
| IDAC | 电流DAC，另请参见DAC、VDAC |
| IDE | 集成开发环境 |
| I²C或IIC | 内部集成电路，即作为一种通信协议 |
| IIR | 无限脉冲响应，另请参见FIR |
| ILO | 内部低速振荡器，另请参见IMO |
| IMO | 内部主振荡器，另请参见ILO |
| INL | 积分非线性，另请参见DNL |
| I/O | 输入/输出，另请参见GPIO、DIO、SIO、USBIO |
| IPOR | 初次上电复位 |
| IPSR | 中断程序状态寄存器 |
| IRQ | 中断请求 |

| 缩略语 | 说明 |
|-------|-----------------|
| ITM | 仪器化跟踪宏单元 |
| LCD | 液晶显示器 |
| LIN | 本地互连网络，即为一种通信协议 |
| LR | 链接寄存器 |
| LUT | 查询表 |
| LVD | 欠压检测，另请参见LVI |
| LVI | 低压中断，另请参见HVI |
| LVTTL | 低压晶体管-晶体管逻辑 |
| MAC | 乘法累加器 |
| MCU | 微控制器单元 |
| MISO | 主入从出 |
| NC | 无连接 |
| NMI | 不可屏蔽的中断 |
| NRZ | 非归零 |
| NVIC | 嵌套向量中断控制器 |
| NVL | 非易失性锁存器，另请参见WOL |
| opamp | 运算放大器 |
| PAL | 可编程阵列逻辑，另请参见PLD |
| PC | 程序计数器 |
| PCB | 印刷电路板 |
| PGA | 可编程增益放大器 |
| PHUB | 外设集线器 |
| PHY | 物理层 |
| PICU | 端口中断控制单元 |
| PLA | 可编程逻辑阵列 |
| PLD | 可编程逻辑器件，另请参见PAL |
| PLL | 锁相环 |
| PMDD | 封装材料声明数据手册 |

| 缩略语 | 说明 |
|-------|-----------------------------|
| POR | 上电复位 |
| PRES | 准确上电复位 |
| PRS | 伪随机序列 |
| PS | 端口读取数据寄存器 |
| PSoC□ | 可编程片上系统 |
| PSRR | 电源抑制比 |
| PWM | 脉冲宽度调制器 |
| RAM | 随机存取存储器 |
| RISC | 精简指令集计算 |
| RMS | 均方根 |
| RTC | 实时时钟 |
| RTL | 寄存器转换语言 |
| RTR | 远程传输请求 |
| RX | 接收 |
| SAR | 逐次逼近寄存器 |
| SC/CT | 开关电容/连续时间 |
| SCL | I²C串行时钟 |
| SDA | I²C串行数据 |
| S/H | 采样和保持 |
| SINAD | 信噪比和失真比 |
| SIO | 特殊输入/输出，带高级功能的GPIO。请参见GPIO。 |
| SOC | 开始转换 |
| SOF | 帧开始 |
| SPI | 串行外设接口，即为一种通信协议 |
| SR | 斜率 |
| SRAM | 静态随机存取存储器 |
| SRES | 软件复位 |
| SWD | 串行线调试，即为一种测试协议 |

| 缩略语 | 说明 |
|-------|----------------------------|
| SWV | 单线浏览器 |
| TD | 传输描述符，另请参见DMA |
| THD | 总谐波失真 |
| TIA | 互阻放大器 |
| TRM | 技术参考手册 |
| TTL | 晶体管-晶体管逻辑 |
| TX | 发送 |
| UART | 通用异步发射器接收器，它是一种通信协议 |
| UDB | 通用数字模块 |
| USB | 通用串行总线 |
| USBIO | USB输入/输出，用于连接至USB端口的PSoC引脚 |
| VDAC | 电压数模转换器，另请参见DAC、IDAC |
| WDT | 看门狗定时器 |
| WOL | 一次性写锁存器，另请参见NVL |
| WRES | 看门狗定时器复位 |
| XRES | 外部复位I/O引脚 |
| XTAL | 晶体 |

文档约定

测量单位

Table 46. 测量单位

| 符号 | 测量单位 |
|------|----------|
| °C | 摄氏度 |
| dB | 分贝 |
| fF | 飞法 |
| Hz | 赫兹 |
| KB | 1024 个字节 |
| kbps | 每秒千位数 |
| khr | 千小时 |
| kHz | 千赫兹 |
| kΩ | 千欧 |
| ksps | 每秒千次采样 |
| LSB | 最低有效位 |
| Mbps | 每秒兆位数 |
| MHz | 兆赫兹 |
| MΩ | 兆欧 |
| Msps | 每秒兆次采样 |
| μA | 微安 |
| μF | 微法 |
| μH | 微亨 |
| μs | 微秒 |
| μV | 微伏 |
| μW | 微瓦 |
| mA | 毫安 |
| ms | 毫秒 |
| mV | 毫伏 |
| nA | 纳安 |
| ns | 纳秒 |
| nV | 纳伏 |
| Ω | 欧姆 |
| pF | 皮法 |
| ppm | 百万分率 |
| ps | 皮秒 |

| 符号 | 测量单位 |
|--------|-------|
| s | 秒 |
| sps | 每秒采样数 |
| sqrtHz | 赫兹平方根 |
| V | 伏特 |

修订历史

| 描述标题: PSoC® 6 MCU: PSoC 62 数据手册 可编程片上系统 (PSoC®) 文档编号: 002-19893 | | | | |
|--|---------|------|------------|---------------------------|
| 版本 | ECN | 变更者 | 提交日期 | 变更说明 |
| ** | 5830699 | XITO | 07/24/2017 | 翻译自 002-18449 Rev. ** 英文版 |
| *A | 6063117 | XITO | 02/08/2018 | 翻译自 002-18449 Rev. *C 英文版 |
| *B | 6390348 | XITO | 11/21/2018 | 翻译自 002-18449 Rev. *F英文版 |

销售、解决方案、和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

| | |
|-------------------|--|
| Arm® Cortex® 微控制器 | cypress.com/arm |
| 汽车级产品 | cypress.com/automotive |
| 时钟与缓冲器 | cypress.com/clocks |
| 接口 | cypress.com/interface |
| 物联网 | cypress.com/iot |
| 存储器 | cypress.com/memory |
| 微控制器 | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 电源管理 IC | cypress.com/pmic |
| 触摸感应 | cypress.com/touch |
| USB 控制器 | cypress.com/usb |
| 无线连接 | cypress.com/wireless |

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2017-2018年。本文件是赛普拉斯半导体公司及其子公司，包括Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion徽标，及上述项目的组合，WICED，及PSoC、CapSense、EZ-USB、F-RAM和Traveo应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问cypress.com获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。