

# 英飞凌 PSOC™ 64“标准安全”MCU-AWS

## 概述

PSOC™ 64 还包含一个用于应用程序开发的丰富执行环境，并支持与安全执行环境通信的 Amazon FreeRTOS。

## 特性

### • 32位双核CPU子系统

**注释：** 在 PSOC™ 64 中，Cortex® M0+ 保留用于系统功能，不可用于应用程序。

- 150 MHz Arm® Cortex® -M4F (CM4) CPU，具有单周期乘法、浮点和内存保护单元 (MPU)
  - 100 MHz Cortex® -M0+ (CM0+) CPU，具有单周期乘法和 MPU
  - 用户可选择 1.1 V 或 0.9 V 的核心逻辑操作电压
  - 1.1 V 内核运行条件下的有效 CPU 电流斜率
    - Cortex®-M4: 40  $\mu$ A/MHz
    - Cortex®-M0+: 28  $\mu$ A/MHz
  - 0.9 V 核心运行条件下的有效 CPU 电流斜率
    - Cortex®-M4: 27  $\mu$ A/MHz
    - Cortex®-M0+: 20  $\mu$ A/MHz
  - 三个 DMA 控制器
- ### • 内存子系统
- 1856 KB 应用程序闪存、32 KB 辅助闪存 (AUXflash) 和 32 KB 监控闪存 (SFlash)；支持即读即写 (RWW)。两个 8 KB 闪存缓存，每个 CPU 一个
  - 944 KB SRAM，具有三个独立块，用于电源和数据保留控制
  - 一次性可编程 (OTP) 1 Kb eFuse 阵列
- ### • Amazon FreeRTOS PSA 集成
- 开箱即用的解决方案，支持符合 Arm 平台服务架构 (PSA) 2 级合规性的 Amazon FreeRTOS (AFR)
  - 为该产品线构建的预构建 Trusted Firmware-M (TF-M) 安全处理环境 (SPE) 二进制文件
  - 用于 TLS、固件更新和安全存储的 Amazon FreeRTOS API 级集成
- ### • 基于硬件的信任根 (RoT)
- RoT 基于不可变的启动代码、闪存内容哈希和 Cypress 公钥，可在配置之前确保固件的完整性
  - 支持可信 RoT 切换，以维护信任链并建立 OEM 信任锚以实现安全启动
  - 设备在配置过程中生成唯一的设备 ID 和设备密钥，可用于认证和签名
- ### • 不可变的“安全启动”支持
- 灵活的信任链可以对不同的固件使用不同的签名
  - 基于 ECC 的固件签名验证
- ### • 英飞凌引导加载程序
- 开源 MCUBoot<sup>[1]</sup> 针对 PSOC™ 64 优化的引导加载程序
  - 预构建的引导加载程序二进制文件，能够验证、启动和更新已签名的用户应用程序固件
  - 与预配置的调试和启动策略紧密集成，以继承和实施安全策略
- ### • 低功耗操作的电压范围: 1.7-V ~ 3.6-V
- 六种电源模式可实现精细的电源管理
  - 深度睡眠模式电流为 7  $\mu$ A，保留 64 KB SRAM 内容

## 注释：

1. 更多信息，请参阅 [MCUboot](#) 网页。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

- 片上 DC-DC 降压转换器，静态电流 <math>< 1 \mu\text{A}</math>
- 具有 64 字节内存和实时时钟的备份域
- 灵活的时钟选项
  - 8 MHz 内部主振荡器 (IMO)，精度为  $\pm 2\%$
  - 超低功耗 32 kHz 内部低速振荡器 (ILO)
  - 片上晶体振荡器 (16 MHz 至 35 MHz 和 32 kHz)
  - 两个锁相环 (PLL)，用于倍频时钟频率
  - 锁频环 (FLL)，用于倍频 IMO 频率
  - 外设时钟分频器，支持整数和小数
- Quad-SPI (QSPI)/串行存储器接口 (SMIF)
  - 从外部 4 线 SPI 闪存执行 (XIP)
  - 即时加密和解密
  - 4 KB 缓存，以更低的功耗实现更高的 XIP 性能
  - 支持单线、双线、四线、双四线和八线接口，吞吐量高达 640 Mbps
- 分段液晶驱动器
  - 支持最多 101 个段和最多 8 个公共端
- 串行通信
  - 13 个实时可配置串行通信块 (SCB)
    - 八个 SCB：可配置为 SPI、I<sup>2</sup>C 或 UART
    - 四个 SCB：可配置为 I<sup>2</sup>C 或 UART
    - 一个深度睡眠 SCB：可配置为 SPI 或 I<sup>2</sup>C
  - USB 全速器件接口
  - 2 个独立的 SD 主控制器/eMMC/SD 控制器
- 音频子系统
  - 两个脉冲密度调制 (PDM) 通道和两个具有时分复用 (TDM) 模式的 I<sup>2</sup>S 通道
- 定时和脉冲宽度调制器
  - 三十二个定时器/计数器/脉冲宽度调制器 (TCPWM)
  - 支持中心对齐模式、边缘模式和伪随机模式
  - 基于比较器的 kill 信号触发
- 可编程的模拟资源
  - 12 位分辨率、2 Msps 采样率的 SAR ADC，具有差分、单端模式和具有信号求平均功能的 16 通道序列器
  - 两个低功耗比较器，系统深度睡眠和休眠模式下可用
  - 内置温度传感器连接至 ADC
- 多达 100 个可编程 GPIO
  - 两个 Smart I/O™ 端口 (16 个 I/O)，可在 GPIO 引脚上进行布尔运算；可在系统深度睡眠期间使用
  - 可编程驱动模式、驱动强度和压摆率
  - 六个耐过压 (OVT) 引脚
- 电容式感应
  - 英飞凌 CAPSENSE™ sigma-delta (CSD) 提供一流的信噪比 (SNR)、液体耐受性和接近感应
  - 支持动态使用自感和互感模式
  - 自动硬件调节 (SmartSense™)
- 安全加速器
  - 对称和非对称加密方法和哈希函数的硬件加速

- 真随机数生成器 (TRNG)
- 分析器
  - 八个计数器提供片上资源的事件或持续时间监控

- 封装

124-BGA和100-WLCSP

- 设备标识和修订
  - 产品线ID (12位) : 0x102
  - 主要/次要裸片修订 ID: 1/2
  - 固件修订: Rom Boot: 7.1, Flash Boot: 4.0.2.1842 (参见[Boot 代码](#)部分)

该产品系列具有可通过 SWJ 接口获取的 JTAG ID。它是一个 32 位 ID，其中：

- 最高有效数字是设备版本，基于主要裸片版本
- 接下来的四位数字对应于零件编号，例如十六进制数“E4B0”
- 三个最低有效数字是制造商 ID，在本例中为十六进制数“069”

固件可以使用 Silicon ID 系统调用来获取 Silicon ID 和 ROM 启动数据。更多信息，请参阅[技术参考手册 \(TRM\)](#)。

可以直接从指定地址 0x1600 2004 和 0x1600 2018 读取 Flash Boot 版本。有关更多信息，请参阅[技术参考手册 \(TRM\)](#)。

## 目录

概述.....	1
特性.....	1
目录.....	4
<b>1 开发生态系统.....</b>	<b>6</b>
1.1 PSOC™ 6 MCU 资源.....	6
1.2 ModusToolbox™ 软件.....	7
<b>2 模块和功能.....</b>	<b>8</b>
<b>3 功能说明.....</b>	<b>10</b>
3.1 CPU 和 内存子系统.....	11
3.1.1 CPUs.....	11
3.1.2 中断.....	12
3.1.3 处理器间通信(IPC).....	12
3.1.4 直接内存访问 (DMA) 控制器.....	12
3.1.5 密码加速器 (加密).....	13
3.1.6 保护单位.....	13
3.1.7 存储器.....	14
3.1.8 引导代码.....	15
3.1.9 内存映射.....	16
3.2 系统资源.....	17
3.2.1 电力系统.....	17
3.2.2 功耗模式.....	17
3.2.3 时钟系统.....	18
3.2.4 内部主振荡器 (IMO).....	18
3.2.5 内部低速振荡器 (ILO).....	18
3.2.6 外部晶体振荡器.....	19
3.2.7 看门狗计时器 (WDT, MCWDT).....	19
3.2.8 时钟分频器.....	19
3.2.9 触发路由.....	20
3.2.10 复位.....	20
3.3 可编程模拟子系统.....	21
3.3.1 12 位 SAR ADC.....	21
3.3.2 温度传感器.....	21
3.3.3 低功耗比较器.....	22
3.4 可编程数字资源.....	23
3.4.1 智能 I/O.....	23
3.5 固定功能数字模块.....	23
3.5.1 定时器/计数器/脉宽调制器 (TCPWM).....	23
3.5.2 串行通信块 (SCB).....	24
3.5.3 USB 全速设备接口.....	24
3.5.4 四通道SPI/串行记忆接口 (SMIF).....	24
3.5.5 LCD.....	24
3.5.6 SD 主机控制器.....	25
3.6 GPIO.....	26
3.7 特殊功能外设.....	27
3.7.1 音频子系统.....	27
3.7.2 CAPSENSE™ 子系统.....	28
3.8 PSOC™ 64 安全.....	32
3.8.1 英飞凌引导加载程序.....	34
3.8.2 亚马逊 FreeRTOS PSA.....	35

3.8.3 亚马逊 FreeRTOS 和 AWS "标准安全" .....	36
3.8.4 Arm® PSA 认证 级别 2 .....	37
<b>4 引脚分布</b> .....	<b>38</b>
<b>5 电源设计考虑因素</b> .....	<b>51</b>
<b>6 电气规格参数</b> .....	<b>57</b>
6.1 绝对最大额定值 .....	57
6.2 器件级规范 .....	58
6.2.1 电源 .....	59
6.2.2 CPU 电流和转换时间 .....	60
6.2.3 XRES .....	68
6.2.4 GPIO .....	69
6.3 模拟外设 .....	71
6.3.1 低功耗 (LP) 比较器 .....	71
6.3.2 温度传感器 .....	72
6.3.3 内部电压参考 .....	72
6.3.4 SAR ADC .....	73
6.3.5 CSD .....	75
6.4 数字外设 .....	82
6.4.1 定时器/计数器/PWM .....	82
6.4.2 串行通信模块 (SCB) .....	84
6.4.3 LCD 规格 .....	86
6.5 内存 .....	87
6.6 系统资源 .....	88
6.6.1 SWD 接口 .....	89
6.6.2 内部主振荡器 .....	89
6.6.3 内部低速振荡器 .....	90
6.6.4 晶体振荡器规格 .....	91
6.6.5 外部时钟规格 .....	92
6.6.6 PLL 规格 .....	92
6.6.7 FLL 规格 .....	93
6.6.8 USB .....	94
6.6.9 QSPI .....	95
6.6.10 音频子系统 .....	96
6.6.11 智能 I/O .....	100
6.6.12 SD 主机控制器 和 eMMC .....	100
6.6.13 JTAG 边界扫描 .....	107
<b>7 订购信息</b> .....	<b>108</b>
7.1 PSOC™ 6 MPN 解码器 .....	109
<b>8 封装信息</b> .....	<b>110</b>
<b>9 缩略语</b> .....	<b>113</b>
<b>10 文档惯例</b> .....	<b>117</b>
10.1 计量单位 .....	117
<b>11 勘误表</b> .....	<b>118</b>
<b>修订记录</b> .....	<b>119</b>

# 1 开发生态系统

## 1.1 PSOC™ 6 MCU资源

英飞凌在 [www.infineon.cn](http://www.infineon.cn) 上提供了丰富的数据，帮助您选择合适的 PSOC™ 器件，并快速有效地将其集成到您的设计中。以下是 PSOC™ 6 MCU 资源的简要列表：

- **概述**: [PSOC™ 产品组合](#)
- **产品选择器**: [PSOC™ 6 MCU](#)
- **应用笔记** 涵盖从基础到高级的广泛主题。应用笔记包括:
  - [AN221774](#): Getting Started with PSOC™ 6 MCU on PSOC™ Creator
  - [AN218241](#): PSOC™ 6 MCU Hardware Design Guide
  - [AN213924](#): PSOC™ 6 MCU Device Firmware Update software development kit guide
  - [AN219528](#): PSOC™ 6 MCU low-power modes and power reduction techniques
  - [AN85951](#): PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ Design Guide
- **代码示例** 展示了产品特性和使用，可访问以下地址获取: [Infineon GitHub repositories](#)。
- **技术参考手册 (TRMs)** 详细介绍了 PSOC™ 6 MCU 架构和寄存器。
- **编程和配置**
  - [PSOC™ 6 MCU 编程规范](#) 提供对 PSOC™ 6 MCU 非易失性存储器进行编程的必要信息。
  - [PSOC™ 配置规范](#) 提供了将安全相关资产置入设备的信息和参考流程
- **开发工具**
  - [ModusToolbox™](#) 软件通过强大的工具和软件库实现跨平台代码开发
  - ["Secure Boot" SDK](#) 包括所有所需的库、工具、和样本代码用于 PSOC™ 64 MCU 应用配置与开发。
  - [CY8CKIT-064S0S2-4343W](#) PSOC™ 64“标准安全”原型开发套件：一个低成本硬件平台，可用于设计和调试该产品系列。
  - [PSOC™ 6 CAD 库](#) 为常用工具提供足迹和原理图支持。还提供 [BSDL 文件](#) 和 [IBIS 模型](#)。
- **培训视频** 涵盖各种主题，包括 PSOC™ 6 MCU 101 系列和 PSOC™ 64。
- 通过 [英飞凌开发者社区](#) 可以每周7天、每天24小时与世界各地的 PSOC™ 开发者交流，并设置了一个专门的 [PSOC™ 6 MCU Community](#)。

## 1.2 ModusToolbox™ 软件

**ModusToolbox™ 软件**是英飞凌的多平台工具和软件库的综合集合，为创建融合的MCU和无线系统提供了沉浸式的开发体验。

- 全面--它拥有你需要的资源
- 灵活--你可以在自己的工作流中使用这些资源
- 原子化--你可以只获得你想要的资源

英飞凌在[GitHub](#)上提供了大量的代码库，包括：

- 与英飞凌套件相一致的电路板支持包 (BSP)
- 底层资源，包括硬件抽象层 (HAL) 和外设驱动程序库 (PDL)
- 中间件支持 CAPSENSE™、低功耗蓝牙和Mesh网络等行业领先功能
- 一套广泛的经过全面测试的**代码示例应用程序**

**注释：** HAL 提供了一个高级、简化的接口，用于配置和使用英飞凌 MCU 上的硬件模块。它是一个通用接口，可用于多个产品系列。例如，它使用简化的 API 封装了 PSOC™ 6 PDL，但 PDL 开放了所有底层外设功能。即使应用程序的某个部分需要更精细的控制，您也可以利用 HAL 更简单、更通用的接口来处理大部分内容。

ModusToolbox™ 软件与 IDE 无关，可轻松适应您的工作流程和首选开发环境。它包含项目创建器、外设和库配置器、库管理器，以及适用于 ModusToolbox™ 软件的可选 Eclipse IDE。有关使用英飞凌工具的信息，请参阅 ModusToolbox™ 软件随附的文档和 [AN228571: Getting started with PSOC™ 6 MCU on ModusToolbox™ software](#)。

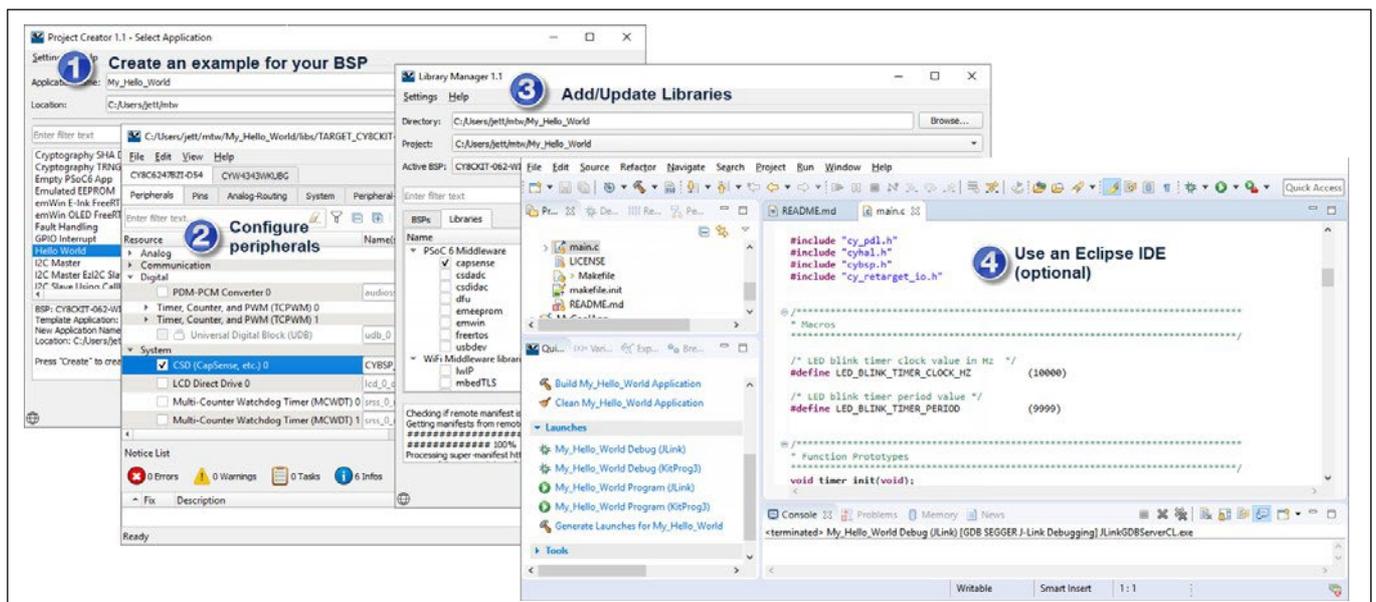


图 1 ModusToolbox™ 软件工具

## 2 模块和功能

图 2 显示了主要子系统及其互连的简化视图。颜色编码显示了特定模块在最低功耗模式下仍能正常工作（例如，SRAM 在系统深度睡眠模式下仍能正常工作）。

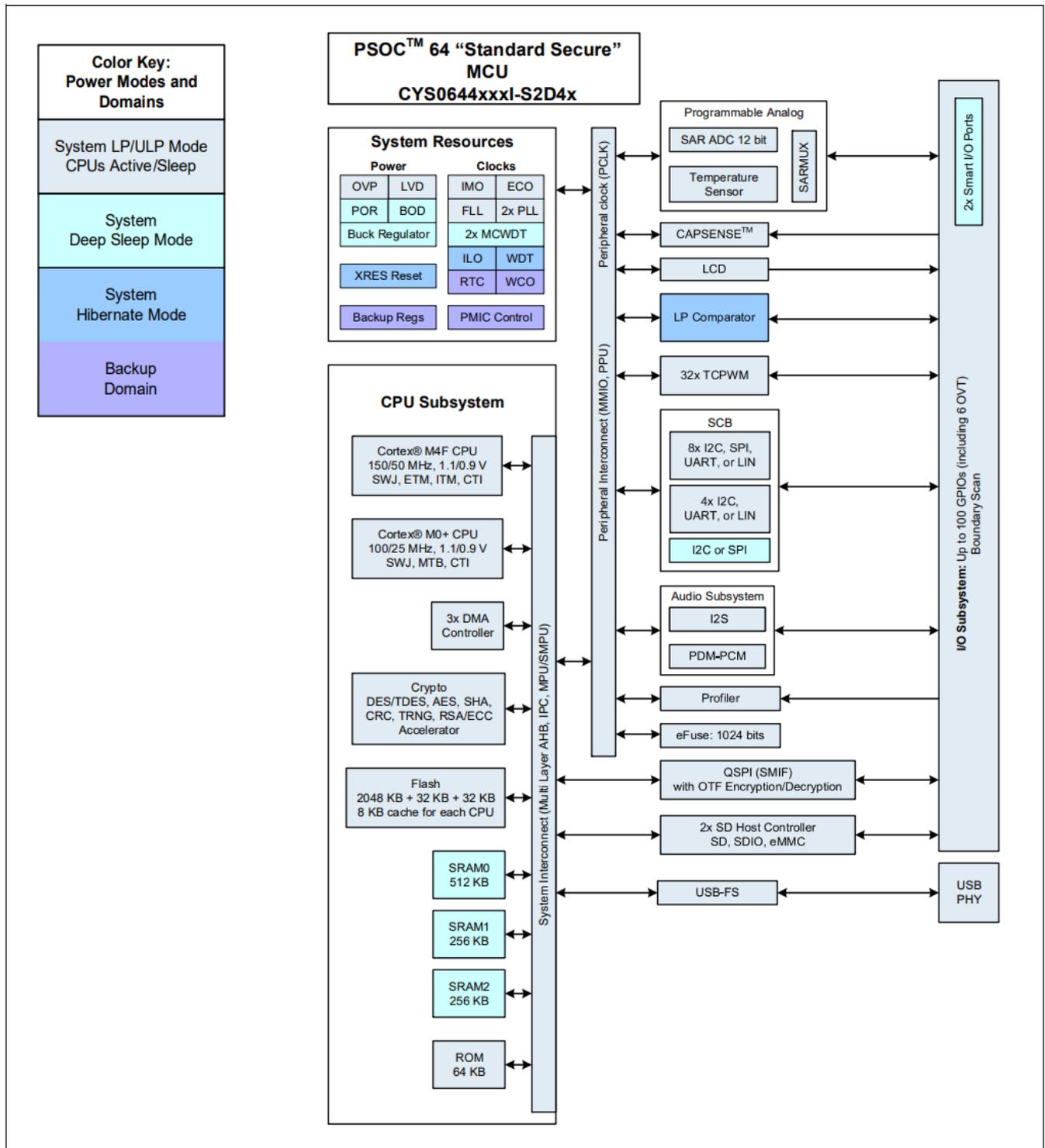


图 2 框图

该产品系列具有高达 2 MB 的闪存；但是保留了 192 KB 供系统使用，剩下 1856 KB 供应用程序使用。它还具有高达 1 MB 的 SRAM；但是保留了 80 KB 供系统使用，剩下 944 KB 供应用程序使用。

PSOC™ 64 设备提供不可变的、基于 RoT 的启动过程，该过程只允许启动已签名的应用程序。此外，可以在 HSM 环境中的设备上配置密钥和调试策略等用户资产，并使其不可变。PSOC™ 64 还允许基于信任根的加密服务，可使用系统调用进行访问。

有三个调试访问端口，分别用于 CM4 和 CM0+，还有一个系统端口。所有调试和测试接口可以在量产期间永久禁用，以避免任何恶意重新编程或读取闪存和寄存器内容。

PSOC™ 6 MCU 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。对于涉及重新编程设备或启动和中断闪存编程序列的应用程序，可以永久禁用所有设备接口。所有编程、调试和测试接口都可以被禁用。

借助完善的片上调试 (DoC) 功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

ModusToolbox™ 的 Eclipse IDE 为这些设备提供了完全集成的编程和调试支持。SWJ 接口 (SWD 和 JTAG) 与工业标准的第三方工具全面兼容。PSOC™ 6 具有禁用调试功能、非常强大的闪存保护功能，并且允许在片上可编程模块中实现客户专有功能，从而提供了多级设备安全性。

### 3 功能说明

以下章节概述了图 2 框图中标识的每个功能块的特性、功能和操作。有关更多详细信息，请参阅以下文档：

- 板级支持包 (BSP) 文档

BSP 可在 [GitHub](#) 上获取。它们与英飞凌套件保持一致，并提供用于基本设备功能的文件，例如硬件配置文件、启动代码和链接器文件。BSP 还包含支持套件所需的其他库。每个 BSP 都有自己的文档，但通常包含 API 参考，例如 [此处](#) 示例。此 [搜索链接](#) 在英飞凌 GitHub 网站上查找所有当前可用的 BSP。

- 硬件抽象层 API 参考手册

英飞凌硬件抽象层 (HAL) 提供了一个高级接口，用于配置和使用英飞凌 MCU 上的硬件模块。它是一个通用接口，可用于多个产品系列。即使应用程序的某个部分需要更精细的控制，您也可以利用 HAL 更简单、更通用的接口来处理大部分功能。[HAL API 参考手册](#) 提供完整的详细信息。使用 HAL 的示例应用程序会自动从 GitHub 存储库下载它。

- 外设驱动程序库 (PDL) 应用程序编程接口 (API) 参考手册

外设驱动程序库 (PDL) 将设备头文件和外设驱动程序集成到一个软件包中，并支持所有 PSOC™ 6 MCU 产品线。这些驱动程序将硬件功能抽象为一组易于使用的 API。这些 API 在 [PDL API 参考](#) 中有完整文档。使用 PSOC™ 6 PDL 的示例应用程序会自动从 GitHub 存储库下载它。

- 技术参考手册 (TRM)

TRM 提供了设备中每个资源的详细描述。如果需要了解 PDL (外设驱动库) 所提供软件下的硬件操作，这是接下来应该使用的参考资料。它描述了每个资源的架构和功能，并解释了每个资源在所有模式下的操作。它提供了有关使用相关寄存器的具体指导。

- 寄存器技术参考手册

寄存器 TRM 提供了设备中所有寄存器的完整列表。它包括所有寄存器字段的细目分类、它们的可能设置、读/写可访问性和默认状态。所有在典型应用中有合理用途的寄存器都具有从 PDL 内部访问它们的功能。请注意，ModusToolbox™ 软件和 PDL 可能会为某些寄存器提供不同于硬件默认值并覆盖硬件默认值的软件默认条件。

### 3.1 CPU 和存储器子系统

PSOC™ 6 具有多个总线主控器，如图 2 所示。它们分别是：CPU、DMA 控制器、QSPI、USB、SD 主机控制器和一个加密模块。通常，所有存储器和外设都可以通过多层 Arm® AMBA 高性能总线 (AHB) 仲裁被所有总线主控器访问和共享。CPU 之间的访问可以使用处理器间通信 (IPC) 模块进行同步。

#### 3.1.1 CPUs

有两个 Arm® Cortex® CPU：

Cortex® -M4 (CM4) 具有单周期乘法、浮点单元 (FPU) 和内存保护单元 (MPU)。它的主频最高可达 150 MHz。这是主 CPU，设计用于缩短中断响应时间、提高代码密度和提高吞吐量。

CM4 实现了基于 Thumb-2 技术的 Thumb 指令集（在 [Arm v7-M 架构参考手册](#) 中定义）。

Cortex® -M0+ (CM0+) 具有单周期乘法和 MPU。它可以运行最高达 100 MHz；然而，当 CM4 的速度超过 100 MHz 时，CM0+ 和总线外设的速度将被限制为 CM4 速度的一半。因此，当 CM4 运行在 150 MHz 时，CM0+ 和外设的速度将被限制为 75 MHz。

在 PSOC™ 64 中，初始 CM0+ 频率根据预置的安全策略设置（参见 [PSOC™ 64 安全性](#)）。频率范围为 8 MHz 至 50 MHz。更多信息，请参阅架构和寄存器技术参考手册 (TRM)。

CM0+ 是辅助 CPU；它用于实现系统调用和设备级安全和保护功能。Cortex® -M0+ CPU 提供了安全、不可中断的启动功能。这有助于确保在启动后，系统完整性得到检查，并且内存和外设的访问权限得到强制执行。

CM0+ 实现了 Arm® v6-M Thumb 指令集（在 [Arm® v6-M 架构参考手册](#) 中定义）。

当  $V_{DD} = 3.3\text{ V}$  并使用内部降压调节器时，CPU 的功耗如下：

**表 1 使用内部降压调节器时  $V_{DD} = 3.3\text{ V}$  时的有效电流斜率**

		System Power Mode	
		ULP	LP
CPU	Cortex®-M0+	20 $\mu\text{A}/\text{MHz}$	28 $\mu\text{A}/\text{MHz}$
	Cortex®-M4	27 $\mu\text{A}/\text{MHz}$	40 $\mu\text{A}/\text{MHz}$

可以根据 Arm® 的定义选择性地将 CPU 置于睡眠和深度睡眠电源模式。

两个 CPU 都配备了嵌套向量中断控制器 (NVIC)，用于快速和确定性的中断响应，以及唤醒中断控制器 (WIC)，用于从深度睡眠电源模式中唤醒 CPU。

CPU 具有广泛的调试支持。PSOC™ 6 具有调试访问端口 (DAP)，可作为设备编程和调试的接口。外部编程器或调试器（“主机”）通过设备串行线调试 (SWD) 或联合测试行动组 (JTAG) 接口引脚与 DAP 通信。通过 DAP（但受到限制），主机可以访问设备内存和外设以及两个 CPU 中的寄存器。

每个 CPU 都提供如下调试和跟踪功能：

- CM4 支持六个硬件断点和四个观察点、4 位嵌入式跟踪宏单元 (ETM)、串行线查看器 (SWV) 以及通过单线输出 (SWO) 引脚进行的 printf() 式调试。
- CM0+ 支持四个硬件断点和两个观察点，以及一个带有 4 KB 专用 RAM 的微跟踪缓冲区 (MTB)。

PSOC™ 6 还具有嵌入式交叉触发器，用于同步调试和跟踪两个 CPU。

### 3.1.2 中断

该产品系列具有168个系统和外设中断源，并支持在两个CPU上处理中断和系统异常。CM4 有 168 条中断请求线 (IRQ)，中断源“n”直接连接到 IRQn。CM0+ 有八个中断 IRQ[7:0]，可以将一个或多个中断源配置映射到任意 IRQ[7:0]。CM0+ 还支持八个内部（仅限软件）中断。

每个中断都支持可配置的优先级（CM4 为八级，CM0+ 为四级）。每个 CPU 的不可屏蔽中断 (NMI) 最多可映射四个系统中断。最多 39 个中断源能够使用 WIC 将设备从深度睡眠模式唤醒。请参阅[技术参考手册](#)了解详情。

### 3.1.3 处理器间通信 (IPC)

除了 Arm® SEV 和 WFE 指令外，还包含一个硬件处理器间通信 (IPC) 模块。它包含 16 个 IPC 通道和 16 个 IPC 中断结构。IPC 通道可用于实现处理器之间的数据通信。每个 IPC 通道还实现一个锁定方案，可用于管理共享资源。IPC 中断允许一个处理器中断另一个处理器，并发出事件信号。这用于触发相应 IPC 通道的通知和释放等事件。一些 IPC 通道和其他资源是保留的，如[表 2](#)所示：

**表 2 IPC通道和其他资源的分配**

Resources available	Resources Consumed
IPC channels, 16 available	13 reserved
IPC interrupts, 16 available	13 reserved
Other interrupts	1 reserved
CM0+ NMI	Reserved
Other resources: clock dividers, DMA channels, etc.	4 CM0+ interrupt mux

### 3.1.4 直接内存访问 (DMA) 控制器

该产品线包含三个 DMA 控制器，支持独立于 CPU 的内存和外设访问。其中两个控制器各有 29 个通道，第三个控制器有 4 个通道。DMA 通道的描述符可以位于 SRAM 或闪存中。因此，描述符的数量仅受内存大小限制。每个描述符可以在两个嵌套循环中以可配置的地址增量将数据传输到源和目标。每个描述符的数据传输大小取决于 DMA 通道的类型。请参阅[技术参考手册](#)了解详情。

### 3.1.5 安全加速器 (Crypto)

该子系统由加密功能和随机数生成器的硬件实现和加速组成。

安全子系统支持以下内容：

- 加密/解密
  - 数据加密标准 (DES)
  - 三重 DES (3DES)
  - 高级加密标准 (AES) (128 位、192 位、256 位)
  - 椭圆曲线算法 (ECC)
  - RSA 加密算法
- 哈希函数
  - 安全哈希 (hash) 算法
  - SHA-1
  - SHA-224/-256/-384/-512
- 消息认证功能 (MAC)
  - 散列消息认证码 (HMAC)
  - 基于密码的消息认证码 (CMAC)
- 32 位循环冗余码 (CRC) 生成器
- 真随机数生成器
  - 伪随机数生成器
  - 真随机数生成器 (TRNG)

### 3.1.6 保护单元

该产品线具有多种类型的保护单元，用于控制对内存和外围寄存器的错误或未经授权的访问。CM4 和 CM0+ 具有 Arm® MPU，用于总线主控级别的保护。其他总线主控器使用额外的 MPU。共享内存保护单元 (SMPU) 有助于实现对多个总线主控器之间共享的内存资源的保护。外设保护单元 (PPU) 与 SMPU 类似，但设计用于保护外设寄存器空间。

保护单元支持内存和外设访问属性，包括地址范围、读/写、代码/数据、特权级别、安全/非安全以及保护上下文。部分保护单元资源保留供系统使用；请参阅[技术参考手册](#)了解详情。

最多八个保护上下文（启动处于保护上下文 0）允许通过总线主机和代码特权级别，由每个保护上下文的启动过程设置内存和系统资源的访问权限。

在 PSOC™ 64 中，使用多个保护上下文来隔离设备内的不同安全级别。CM0+ 在启动序列、引导加载、系统调用等过程中使用了多个保护上下文。保护上下文 6 用于在 CM4 CPU 上运行的用户应用代码。SMPU 是默认设置的，用户无法修改。有关保护上下文分配的信息，请参阅架构 TRM 中的第 8 节。

### 3.1.7 存储器

PSOC™ 6 包含闪存、SRAM、ROM 和 eFuse 内存块。

#### • Flash

闪存容量最大为 2 MB，其中 192 KB 保留用于系统使用，剩下的 1856 KB 供应用使用，并以 256 KB 为一个扇区进行组织。

还有两个 32 KB 闪存扇区：

- 辅助闪存 (AUXflash)，通常用于 EEPROM 模拟。
- 监控闪存 (Sflash)。Sflash 中存储的数据包括器件调整值、**Flash 启动** 代码和加密密钥。设备进入“安全”生命周期阶段后，Sflash 将无法再更改。

闪存具有 128 位宽的访问，以降低功耗。写入操作可以在行级别执行。一行是 512 字节。低功耗和超低功耗模式均支持读取操作，但在超低功耗模式下可能无法执行写入操作。

闪存控制器配备了两个缓存，每个 CPU 各有一个。每个缓存为 8 KB，具有 4 路组相联性。

#### • SRAM

有 944 KB 的 SRAM 可供应用程序使用。剩余的 80 KB 保留供系统使用。SRAM 分为三个存储体，分别为 432 KB、256 KB 和 256 KB。每个 SRAM 组都提供对电源模式的控制以管理功耗。对于存储体 0 (432 KB)，电源控制和数据保持的粒度可配置为十三个 32 KB 的区域。对于存储体 1 和 2 (各 256 KB)，电源控制是基于每个存储体进行的。对于正常运行，可以启用或禁用存储体以节省电力。对于深度睡眠模式，还可以配置存储体来保留数据。

#### • ROM

64 KB ROM，也称为监控 ROM (SRAM)，提供代码 (**ROM 启动**) 用于多个系统功能。ROM 包含设备初始化、闪存写入、安全保护、eFuse 编程和其他系统级例程。ROM 代码仅由 CM0+ CPU 在保护上下文 0 中执行。系统功能可以由 CPU 或通过 DAP 启动。这会导致 CM0+ 中发生 NMI，从而导致 CM0+ 执行系统功能。

#### • eFUSE

一次性可编程 (OTP) eFuse 阵列由 1024 位组成，所有位均保留供系统使用。这些位用于存储哈希值、唯一 ID 或其他类似的 PSOC™ 64 参数。

每个保险丝均单独编程；一旦编程（或“熔断”），其状态将无法更改。熔断保险丝会将其从默认状态 0 转换为 1。要对电子保险丝进行编程， $V_{DDIO0}$  必须为  $2.5\text{ V} \pm 5\%$ 、14 mA。由于熔断电子保险丝是一个不可逆的过程，因此建议仅在受控的工厂条件下进行量产编程。更多信息请参阅 PSOC™ 6 单片机编程规范。

### 3.1.8 启动加载程序

两部分代码，**ROM 引导程序**和**Flash 引导程序**被预先编程到设备中并协同工作以提供设备启动和配置、基本安全功能、生命周期阶段管理和其他系统功能。

- ROM 启动

在设备复位时，ROM 中的引导程序是第一个执行的程序。此程序执行以下操作：

- 闪存启动代码的完整性检查
- 设备调整设置（校准）
- 设置设备保护单元
- 为“安全”生命周期状态设置设备访问限制

ROM 无法更改，并且是安全系统中的信任根。

- 闪存启动

闪存启动是存储在 SFlash 中的固件，可确保只有经过验证的应用程序才能在设备上运行。它还确保固件映像没有被修改，例如被恶意的第三方修改。

闪存启动：

- 通过 ROM 启动验证
- 在 ROM 启动之后、用户应用程序之前运行
- 启用系统调用
- 启用配置和设备策略功能
- 实现基于 RoT 的加密服务
- 提供密钥和证书的安全存储
- 根据设备中配置的策略验证并启动第一个映像
- 使用 mbed TLS v2.24

如果用户应用程序无法通过验证，则闪存启动可确保设备转换到安全状态。请参阅 **PSOC™ 64 安全** 部分了解更多详情。

### 3.1.9 内存映射

两个 CPU 均具有固定的地址映射，可共享内存和外设访问权限。32 位（4 GB）地址空间被划分表 3 所示的 Arm® 定义的区域。请注意，代码可以从代码区域和外部 RAM 区域执行。

表 3 CM4 和 CM0+ 的地址映射

Address range	Name	Use
0x0000 0000–0x1FFF FFFF	Code	Program code region. Data can also be placed here. It includes the exception vector table, which starts at address 0.
0x2000 0000–0x3FFF FFFF	SRAM	Data region. This region is not supported in PSOC™ 6.
0x4000 0000–0x5FFF FFFF	Peripheral	All peripheral registers. Code cannot be executed from this region. CM4 bit-band in this region is not supported in PSOC™ 6.
0x6000 0000–0x9FFF FFFF	External RAM	SMIF or Quad SPI, (see the <a href="#">Quad-SPI/Serial memory interface (SMIF)</a> section). Code can be executed from this region.
0xA000 0000–0xDFFF FFFF	External Device	Not used.
0xE000 0000–0xE00F FFFF	Private Peripheral Bus	Provides access to peripheral registers within the CPU core.
0xE010 0A000–0xFFFF FFFF	Device	Device-specific system registers.

设备内存映射如表 4 所示，适用于两个 CPU。也就是说，两个 CPU 共享所有 PSOC™ 6 MCU 内存和外设寄存器的访问权限。

表 4 CM4 和 CM0+ 的内部存储器地址映射

Address Range	Memory Type	Size
0x0000 0000 – 0x0000 FFFF	ROM	64 KB
0x0800 0000 – 0x080E BFFF 0x080E C000 - 0x080F FFFF	Application SRAM System SRAM	Up to 944 KB 80 KB
0x1000 0000 – 0x101C FFFF 0x101D 0000 - 0x101F FFFF	Application flash Secured code flash Used for secured boot, secured bootloader, and system calls	Up to 1856 KB 192 KB
0x1400 0000 – 0x1400 7FFF	Auxiliary flash, can be used for EEPROM emulation	32 KB
0x1600 0000 – 0x1600 7FFF	Supervisory flash, for secured access	32 KB

请注意，PSOC™ 6 SRAM 位于两个 CPU 的 Arm® 代码区域（参见表 3）。CPU 的 Arm® SRAM 区域中没有物理内存。

## 3.2 系统资源

### 3.2.1 电源系统

电源系统确保各模式所需的电压水平达到要求，并在必要时延迟模式进入（例如在上电复位 (POR) 时）直到电压水平满足正常功能的需求，或者在电源电压下降到指定水平以下时触发复位（掉电检测 (BOD)）。该设计保证在电源电压下降到指定水平以下（例如低于 1.7 V）与复位发生之间，芯片能够安全运行。此外，没有电压时序要求。

$V_{DD}$  电源（1.7 V 至 3.6 V）为片内降压稳压器或低压差稳压器 (LDO) 供电，由用户选择。此外，降压稳压器和 LDO 均提供可选的内核工作电压 ( $V_{CCD}$ )（0.9 V 或 1.1 V）。用户可以选择两种系统电源模式：

- 系统低功耗 (LP) 在 1.1 V 下操作  $V_{CCD}$  并提供高性能，且对设备配置没有限制。
- 系统超低功耗 (ULP) 在 0.9 V 的  $V_{CCD}$  下运行并实现极低的功耗，但对时钟速度有所限制。

此外，备份域使用由备用电源 ( $V_{BACKUP}$ )（例如电池或超级电容器）供电的独立电源域，增加了“始终开启”功能。它包含一个带闹钟功能的实时时钟 (RTC)，由 32.768 kHz 时钟晶体振荡器 (WCO) 和电源管理 IC (PMIC) 控制提供支持。请参阅[电源注意事项](#)了解更多详情。

### 3.2.2 电源模式

PSOC™ 6 MCU 可在 4 种系统电源模式和 3 种 CPU 功耗模式下运行。这些模式旨在最大限度地降低应用的平均功耗。有关功耗模式和其他节能配置选项的更多详细信息，请参阅应用笔记 AN219528: PSOC™ 6 MCU Low-Power Modes and Power Reduction Techniques。请联系您当地的赛普拉斯销售代表，获取最新的[技术参考手册](#)。

PSOC™ 6 MCU 支持的电源模式按功耗降低的顺序如下：

- 系统低功耗 (LP) – 所有外设和 CPU 电源模式均可在最大速度下使用
- 系统超低功耗 (ULP) – 所有外设和 CPU 电源模式均可用，但速度有限
- CPU 激活 – CPU 正在系统 LP 或 ULP 模式下执行代码
- CPU 睡眠 – CPU 代码执行在系统 LP 或 ULP 模式下暂停
- CPU 深度睡眠 – CPU 代码执行暂停，并在系统 LP 或 ULP 模式下请求系统深度睡眠
- 系统深度睡眠 – 两个 CPU 进入 CPU 深度睡眠模式后，只有低频外设可用
- 休眠 – 器件和 I/O 状态被冻结，器件在唤醒时会复位

CPU 激活、睡眠和深度睡眠是 Arm® CPU 指令集架构 (ISA) 支持的标准 Arm® 定义的电源模式。系统 LP、ULP、深度睡眠和休眠模式是 PSOC™ 6 MCU 支持的额外低功耗模式。

### 3.2.3 时钟系统

图 3 显示该产品系列的时钟系统由以下部分组成：

- 内部主振荡器 (IMO)
- 内部低速振荡器 (ILO)
- 时钟晶体振荡器 (WCO)
- 外部MHz晶体振荡器 (ECO)
- 外部时钟输入
- 两个锁相环 (PLL)
- 一个锁频环 (FLL)

时钟可以被缓冲并输出到智能 I/O 端口的引脚。

应用程序启动时的默认时钟是 CLK\_HF[0]，由 IMO 和 FLL 驱动。CLK\_HF[0]、clk\_fast、clk\_peri 和 clk\_slow 均为 50 MHz (LP 模式) 或 25 MHz (ULP 模式)。所有其他时钟 (包括所有外设时钟) 均关闭。

### 3.2.4 内部主振荡器 (IMO)

IMO是主要的内部时钟源。它在工厂经过校准以达到规定的精度。IMO 频率为 8 MHz，误差为 ±2%。

### 3.2.5 内部低速振荡器 (ILO)

ILO 是一种非常低功耗的振荡器，标称频率为 32 kHz，可在所有功耗模式下运行。可以根据更高精度的时钟校准 ILO，以获得更好的精度。

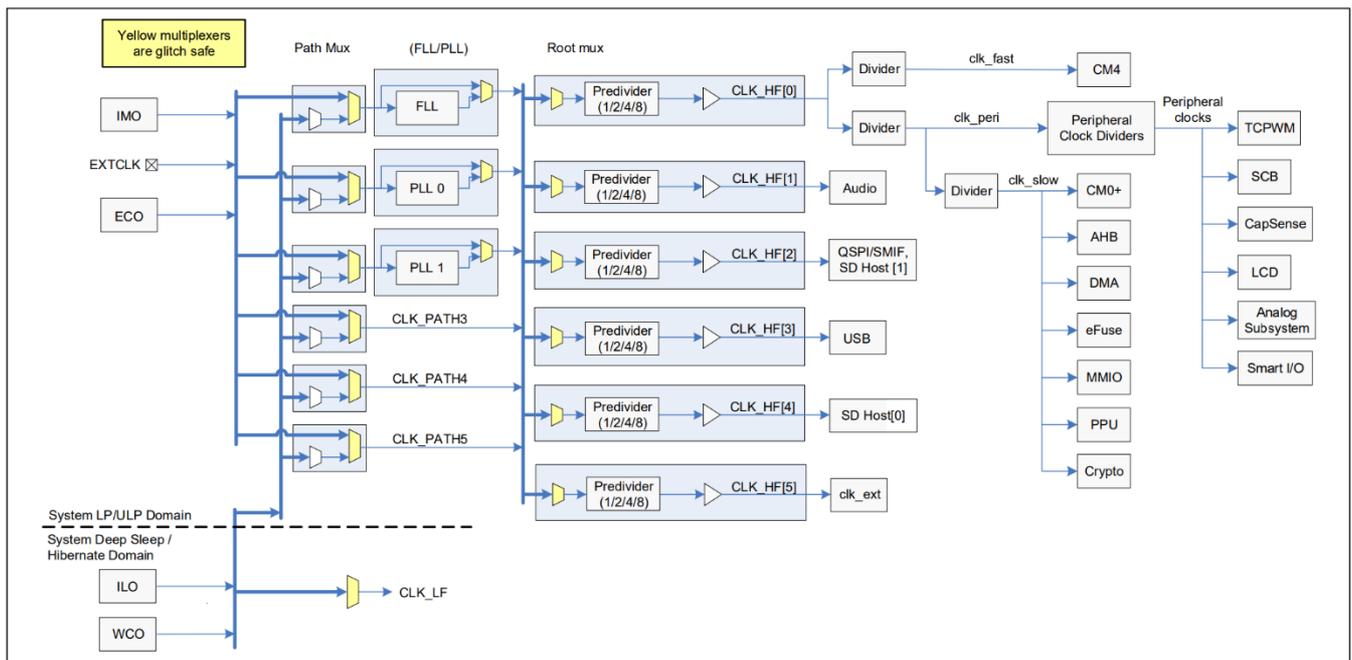


图 3 时钟图

### 3.2.6 外部晶体振荡器

图 4 显示了该产品系列的所有外部晶体振荡器电路。图中所示的元件值为典型值；请查看 ECO 规格，晶振值请参见晶振数据表，负载电容值请参见晶振数据表。ECO 和 WCO 需要平衡的外部负载电容。更多信息，请参阅 TRM 以及 AN218241, PSOC 6 MCU Hardware Design Considerations。

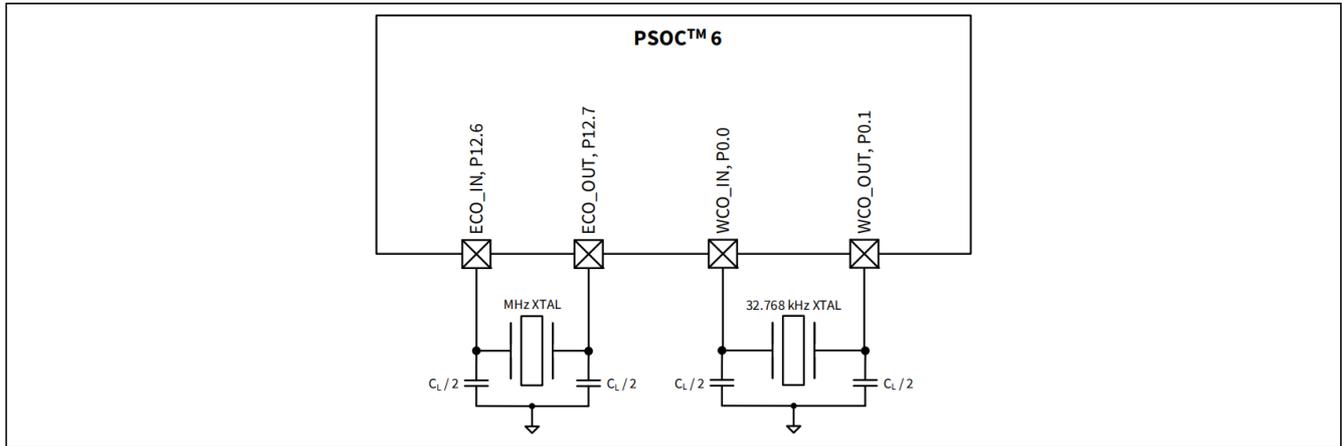


图 4 振荡器电路

如果使用 ECO，请注意其性能会受到 GPIO 开关噪声的影响。GPIO 端口使用应参考表 5。另请参阅表 6 了解通用模拟子系统使用的额外限制。

表 5 ECO 使用指南

Ports	Max Frequency	Drive Strength for $V_{DD} \leq 2.7 V$	Drive Strength for $V_{DD} \leq 2.7 V$
Port 11	60 MHz for SMIF (QSPI)	DRIVE_SEL 2	DRIVE_SEL 3
Ports 12 and 13	Slow slew rate setting	No restrictions	No restrictions

### 3.2.7 看门狗定时器 (WDT、MCWDT)

PSOC™ 6 MCU 有一个 WDT 和两个多计数器 WDT (MCWDT)。WDT 有一个 16 位自由运行计数器。每个 MCWDT 有两个 16 位计数器和一个 32 位计数器，具有多种工作模式。所有 16 位计数器均可生成看门狗设备复位。所有计数器都可以在匹配事件时产生中断。

WDT 由 ILO 提供时钟。它可以在系统 LP/ULP、深度睡眠和休眠电源模式下产生中断/唤醒。MCWDT 由 LFCLK (ILO 或 WCO) 提供时钟。它可以在系统 LP/ULP 和深度睡眠电源模式下产生周期性中断/唤醒。

### 3.2.8 时钟分频器

提供整数和小数时钟分频器用于外设和定时目的。包括：

- 八个 8 位时钟分频器
- 十六个 16 位整数时钟分频器
- 四个 16.5 位小数时钟分频器
- 一个 24.5 位小数时钟分频器

### 3.2.9 触发路由

PSOC™ 6 MCU 包含一个触发多路复用器块。这是数字多路复用器和开关的集合，用于在外围设备块之间以及 GPIO 和外围设备块之间路由触发信号。

触发路由有两种类型。触发多路复用器在源和目标中具有可重配置性。还有称为“一对一触发器”的硬连线开关，它将特定的源连接到目的地。用户可以启用或禁用该路线。

### 3.2.10 复位

PSOC™ 6 MCU 可以通过多种来源复位：

- 上电复位 (POR) 可在电源上升至设备正常运行所需的水平时保持设备处于复位状态。上电时 POR 自动激活。
- 掉电检测 (BOD) 复位用于监控数字电压源  $V_{DD}$ ，并在  $V_{DD}$  低于所需的最低逻辑工作电压时产生复位。
- 外部复位专用引脚 (XRES)，用于通过外部复位源复位器件。XRES 引脚为低电平有效。它可以连接到上拉电阻至  $V_{DD}$ ，也可以连接到有源驱动电路，如图 5 所示。如果使用上拉电阻，请选择其值以最小化引脚拉低时的电流消耗；典型值为 4.7 k $\Omega$ 。

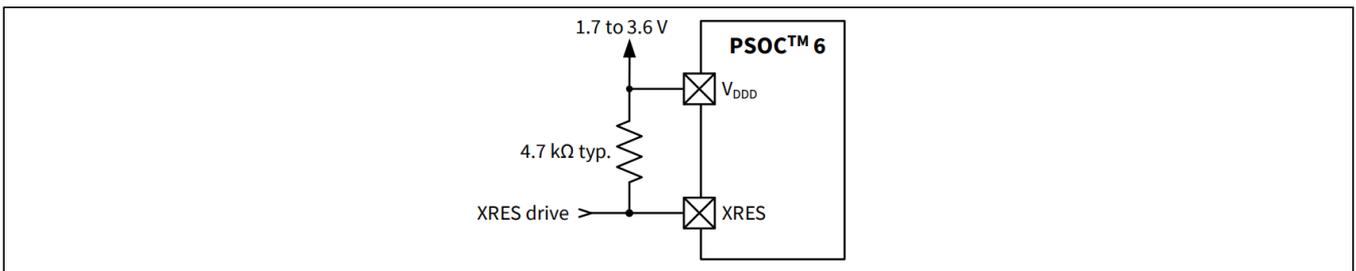


图 5 XRES 连接图

- 看门狗定时器 (WDT或MCWDT) 用于在固件未能在指定超时时间内对其进行服务时复位设备。
- 软件触发复位，可通过固件按需复位设备。
- 如果发生未经授权的操作条件，逻辑保护故障可能会触发中断或复位设备；例如，在执行特权代码时到达调试断点。
- 休眠唤醒复位使设备退出系统休眠电源模式。

复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。

### 3.3 可编程模拟子系统

#### 3.3.1 12 位 SAR ADC

12 位、2 Msps 的 SAR ADC 最高工作时钟频率为 36 MHz，完成 12 位转换至少需要 18 个时钟周期。ADC 参考电压可使用三个内部参考电压之一。参考电压包括  $V_{DD}$ 、 $V_{DD}/2$  和  $V_{REF}$ （标称电压为 1.2 V，精度为  $\pm 1\%$ ）。也可以使用外部参考电压，方法是驱动 VREF 引脚或将外部参考电压连接至 GPIO 引脚 P9.7。这些参考选项允许进行比率测量或绝对测量，精度取决于所使用的参考值。ADC 的输入范围为  $V_{SS}$  和  $V_{DDA}/V_{DDIOA}$  之间的全电源电压。SAR ADC 可在同一配置中混合使用单端和差分信号。

如果需要，SAR ADC 的采样保持 (S/H) 孔径是可编程的，以便为高阻抗信号提供足够的时间充分稳定下来。如果使用适当的参考并且系统噪声水平允许，则真正的 12 位精度的系统性能为 65 dB。为了提高噪声条件下的性能，可以为内部参考放大器添加外部旁路电容器（通过固定的“VREF”引脚）。

SAR 通过一个多路复用器与一些固定引脚相连。多路复用器自动地循环性通过已选通道（定序器扫描），而不需要任何切换开销（即无论是在单通道上还是分布在多通道上，总采样带宽一直等于 2 Msps）。每个通道的结果都被缓冲，以便只有当所有通道的完整扫描完成时才会触发中断。此外，可以设置一对范围寄存器来检测输入是否超过最小值和/或最大值并引发中断。这样就可以快速检测超出范围的值，而无需等待序列器扫描完成以及 CPU 读取值并在软件中检查超出范围的值。在固件控制下，SAR 还可以通过模拟多路复用器总线 (AMUXBUS) 连接到大多数其他 GPIO 引脚。因为 SAR 需要使用高速时钟（高达 36 MHz），所以不可在深度睡眠模式下运行。SAR 的工作电压范围为 1.71 V 到 3.6 V。

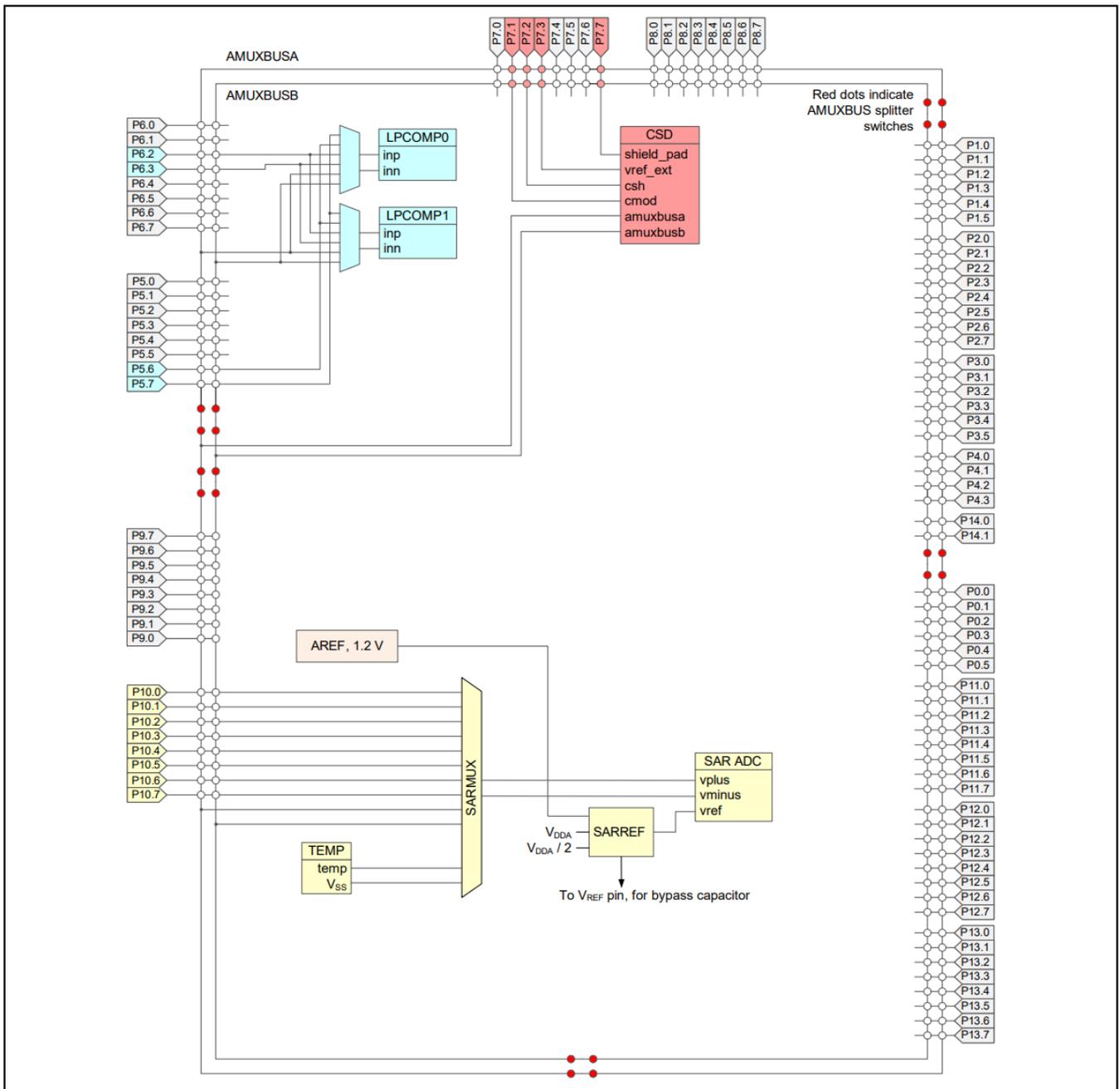
#### 3.3.2 温度传感器

片上温度传感器是 SAR 的一部分，可以由 SAR ADC 扫描。它由一个二极管组成，该二极管由一个电流源偏置，可以禁用该电流源以节省电力。温度传感器可以直接连接到 SAR ADC 作为测量通道之一。ADC 将温度传感器的输出数字化，然后可以使用英飞凌提供的软件功能将读数转换为温度，其中包括校准和线性化。

### 3.3.3 低功耗比较器

提供了两个低功耗比较器，可以在所有功率模式下运行。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式下操作 (在此模式下，比较器电压变动事件可以激活系统唤醒电路)。

图 6 显示了模拟子系统的概览。此图为高级抽象。请参阅[技术参考手册 TRM](#) 了解详细的连接信息。



## 3.4 可编程数字资源

### 3.4.1 智能 I/O

Smart I/O 是一种可编程逻辑结构，可对从设备内部资源传输到 GPIO 引脚的信号或从外部源传输到设备的信号进行布尔运算。Smart I/O 块位于 GPIO 引脚和高速 I/O 矩阵 (HSIOM) 之间，专用于单个端口。有两个 Smart I/O 块：一个在端口 8 上，一个在端口 9 上。当未启用 Smart I/O 时，端口 8 和端口 9 上的所有信号都会绕过 Smart I/O 硬件。

Smart I/O 支持：

- 系统深度睡眠操作
- 无需 CPU 干预的布尔运算
- 异步或同步（时钟）操作

每个 Smart I/O 包含一个数据单元 (DU) 和八个查找表 (LUT)。

DU：

- 根据可选操作码执行独特的功能。
- 可以从内部资源、GPIO 端口或 DU 寄存器中的值获取输入信号。

每个 LUT：

- 有三个可选输入源。输入信号可能来自另一个 LUT、内部资源、来自 GPIO 引脚或 DU 的外部信号。
- 充当可编程布尔逻辑表。
- 可以是同步的，也可以是异步的。

## 3.5 固定功能数字模块

### 3.5.1 定时器/计数器/脉宽调制器 (TCPWM)

- TCPWM 支持以下操作模式：
  - 带比较功能的定时器计数器
  - 带捕获功能的定时器计数器
  - 正交解码器
  - 脉宽调制器 (PWM)
  - 伪随机 PWM
  - 带死区时间的 PWM
- 向上、向下和向上/向下计数模式
- 时钟预分频（除以 1、2、4、...64、128）
- 比较/捕获和周期值的双缓冲
- 下溢、溢出和捕获/比较输出信号
- 支持中断：
  - 终端计数——取决于模式；通常发生在溢出或下溢时
  - 捕获/比较——计数被捕获到捕获寄存器或计数器值等于比较寄存器中的值
- PWM 的互补输出
- 可为每个 TCPWM 选择启动、重新加载、停止、计数和捕获事件信号；具有上升沿、下降沿、双沿和电平触发选项。TCPWM 具有 Kill 输入，可强制输出到预定状态。

该设备中有：

- 八个 32 位 TCPWM
- 二十四 16 位 TCPWM

### 3.5.2 串行通信模块 (SCB)

该产品系列有 13 个 SCB:

- 八个可以实现 I<sup>2</sup>C, UART 或 SPI。
- 四个可以实现 I<sup>2</sup>C 或 UART。
- 一个 SCB (SCB #8) 可以在系统深度睡眠模式下使用外部时钟运行; 该 SCB 可以是 SPI 从机, 也可以是 I<sup>2</sup>C 从机。

**I<sup>2</sup>C 模式:** SCB 可实现完整的多主从接口 (支持多主仲裁)。该模块最高工作速度可达 1 Mbps (快速模式 Plus)。它还支持 EZI<sup>2</sup>C, 可创建邮箱地址范围, 并有效地将 I<sup>2</sup>C 通信简化为对存储器阵列的读写操作。SCB 支持 256 字节 FIFO 用于接收和发送。

I<sup>2</sup>C 外设兼容恩智浦 I<sup>2</sup>C 总线规范和用户手册 (UM10204) 中定义的 I<sup>2</sup>C 标准模式、快速模式和增强快速模式设备。I<sup>2</sup>C 总线 I/O 采用开漏模式下的 GPIO 实现。

**UART 模式:** 这是一个运行速度高达 8 Mbps 的全功能 UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 协议, 这些全部都是基本 UART 协议的衍生协议。此外, 它还支持 9 位多处理器模式, 此模式允许寻址连接到通用 RX 和 TX 线的外设。支持通用 UART 功能, 如奇偶校验错误、中断检测和帧错误。一个 256 字节深度的 FIFO 容许更长的 CPU 服务延迟。

**SPI 模式:** SPI 模式支持完整的摩托罗拉 SPI、TI 安全简单配对 (SSP) (本质上增加了一个用于同步 SPI 编解码器的启动脉冲) 以及 National Microwire (SPI 的半双工形式)。SPI 模块支持 EZSPI 模式, 在该模式下, 数据交换简化为对内存中数组的读写操作。SPI 接口采用 25 MHz 时钟频率工作。

### 3.5.3 USB 全速器件接口

该产品系列具备一个全速 USB 设备接口。该设备最多可以有八个端点。提供 512 字节 SRAM 缓冲区, 并支持 DMA。

**注释:** 如果不使用 USB 引脚, 请将 V<sub>DDUSB</sub> 接地, 并保持 P14.0/USB<sub>DP</sub> 和 P14.1/USB<sub>DM</sub> 引脚悬空。

### 3.5.4 Quad-SPI (QSPI)/串行存储器接口 (SMIF)

提供串行存储器接口, 运行速度高达 80 MHz。它支持单线、双线、四线、双四线和八线 SPI 配置, 并支持最多四个外部存储设备。它支持两种操作模式:

- 内存映射 I/O (MMIO), 一种通过寄存器和 FIFO 提供数据访问的命令模式接口
- 就地执行 (XIP), 其中 AHB 读写直接转换为 SPI 读写传输。

在 XIP 模式下, 外部存储器被映射到 PSOC™ 6 MCU 内部地址空间, 从而可以直接从外部存储器执行代码。为了提高性能, 包含一个 4 KB 缓存。XIP 模式还支持 AES-128 即时加密和解密, 实现外部存储器中代码和数据的安全存储和访问。

### 3.5.5 LCD

该块驱动 LCD 公共端和段; 大多数 GPIO 均可路由。其中一至八个 GPIO 必须用作公共端, 其余的可以用作段端。

LCD 块有两种操作模式: 高速 (8 MHz) 和低速 (32 kHz)。两种模式均在系统 LP 和 ULP 模式下运行。低速模式在系统深度睡眠模式下以降低的对比度运行 - 在使用此模式之前, 请检查公共线和段线的数量、视角要求和原型性能。

### 3.5.6 SD 主控制器

该产品线包含两个安全数字 (SD) 主控制器。它们提供与物联网连接设备（如Bluetooth®、Bluetooth®低功耗和 WiFi 无线电）以及组合设备的通信。该控制器还支持嵌入式多媒体卡 (eMMC) 和安全数字卡 (SD)。

SD 规范支持多种总线速度模式：

- DS（默认速度）
- HS（高速）
- SDR12（单数据速率）
- SDR25
- SDR50
- DDR50（双倍数据速率）

对于 eMMC，支持的模式有：

- BWC（向后兼容）
- SDR

某些模式受到最大时钟限制和电容负载的影响，这些限制还取决于系统电源模式（LP/ULP）。请参阅[SD 主机控制器和 eMMC 规格](#)了解详情。

SD 主控制器符合以下标准。有关协议和操作的更多信息，请参阅规格文档。

- SD 规格第 1 部分物理层规范版本 6.00，支持 SDSC（最高 2 GB）、SDHC（最高 32 GB）和 SDXC（最高 2 TB）卡容量。
- SD 规范 A2 部分 SD 主机控制器标准规范版本 4.20
- SD 规范第 E1 部分 SDIO 规范版本 4.10
- 嵌入式多媒体卡 (eMMC) 电气标准 5.1

SD 主机控制器配置为主控制器。为了与驱动软件中提供的速度和效率功能完全兼容，它支持 SDIO 标准定义的高级 DMA 版本 3 (ADMA3)，并具有 1 KB Rx/Tx FIFO，允许对 512 字节块进行双缓冲。

### 3.6 GPIO

该产品系列拥有多达 100 个 GPIO，可实现以下功能：

- 八种驱动模式：
  - 模拟输入模式 (输入和输出缓冲区禁用)
  - 仅限输入
  - 弱上拉和强下拉
  - 强上拉和弱下拉模式
  - 开漏和强下拉模式
  - 开漏和强上拉模式
  - 强上拉和强下拉模式
  - 弱上拉和弱下拉
- 选择输入阈值 (CMOS或LVTTTL)。
- 保持模式，用于锁存先前状态 (即保持I/O状态处于休眠模式)
- 可选的斜率，用于控制dV/dt相关噪声，有助于降低EMI

引脚被分组为逻辑单元 (又称端口)，其宽度最高为8位。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

如果启用，每个引脚都可以产生中断；每个端口都有一个与之关联的中断请求 (IRQ)。

端口 1 引脚支持过压容错 (OVT) 操作，此时输入电压可能高于  $V_{DD}$ 。OVT 引脚通常与 I<sup>2</sup>C 一起使用，以便在关闭芯片电源的同时，保持与正在运行的 I<sup>2</sup>C 总线的物理连接，且不影响其功能。

GPIO 引脚可以组合起来，用于提供或吸收更高的电流值。GPIO 引脚 (包括 OVT 引脚) 的上拉电流不得超过绝对最大值；请参阅[电气规格](#)。

在上电和复位期间，引脚被强制进入模拟输入驱动模式，输入和输出缓冲器被禁用，以免切断任何输入和/或导致过大的导通电流。

一个称为高速I/O矩阵 (HSIOM) 的复用网络用于在可能连接到I/O引脚的各种外设信号和模拟信号之间进行复用。

模拟性能受 GPIO 开关噪声影响。为了获得最佳模拟性能，必须应用以下频率和驱动模式约束。

DRIVE\_SEL 值 (参见[表6](#)) 代表驱动强度[架构和寄存器 TRM](#)。请联系您当地的英飞凌销售代表获取最新的 TRM。

另请参阅[表 5](#) 了解 ECO 使用的更多限制。

**表 6 DRIVE\_SEL 值**

Ports	Max Frequency	Drive Strength for $V_{DD} \leq 2.7 V$	Drive Strength for $V_{DD} > 2.7 V$
Ports 0, 1	8 MHz	DRIVE_SEL 2	DRIVE_SEL 3
Port 2	50 MHz	DRIVE_SEL 1	DRIVE_SEL 2
Ports 3 to 10	16 MHz; 25 MHz for SPI	DRIVE_SEL 2	DRIVE_SEL 3
Ports 11 to 13	80 MHz for SMIF (QSPI).	DRIVE_SEL 1	DRIVE_SEL 2

## 3.7 特殊功能外设

### 3.7.1 音频分系统

该子系统由以下硬件模块组成:

- 两个 IC 间声音 (I<sup>2</sup>S)接口
- 两个 PDM 至 PCM 解码器通道

每个 I<sup>2</sup>S 接口都实现两个独立的硬件 FIFO 缓冲区-Tx 和 Rx, 可在主机或从机模式下工作。支持以下功能:

- 多种数据格式 - I<sup>2</sup>S、左对齐、时分复用 (TDM) 模式 A 和 TDM 模式 B
- 可编程通道/字长 - 8/16/18/20/24/32 位
- 内部/外部时钟操作高达 192 ksps
- 中断屏蔽事件 - 触发、非空、满、溢出、下溢、看门狗
- 可配置 FIFO 触发级别, 支持 DMA

I<sup>2</sup>S 接口通常用于连接音频编解码器、简单DAC和数字麦克风。

PDM 到 PCM 解码器实现单个硬件 Rx FIFO, 将立体声或单声道 1 位 PDM 输入流解码为 PCM 数据输出。支持以下功能:

- 可编程数据输出字长 - 16/18/20/24 位
- 可编程增益放大器 (PGA) 用于音量控制 - 从 -12 dB 到 +10.5 dB, 步长为 1.5 dB
- 可配置的 PDM 时钟生成。范围从 384 kHz 到 3.072 MHz
- 下跌校正和可配置的抽取率用于采样; 最高可达48 ksps
- 可编程高通滤波器增益
- 中断屏蔽事件 - 非空、溢出、触发、下溢
- 可配置 FIFO 触发级别, 支持 DMA

PDM 到 PCM 解码器通常用于连接数字 PDM 麦克风。最多可将两个麦克风连接到同一条 PDM 数据线。

### 3.7.2 CAPSENSE™ 子系统

PSOC™ 6 MCU 通过 CAPSENSE™ sigma-delta (CSD) 硬件模块支持 CAPSENSE™。它专为高灵敏度自电容和互电容测量而设计，专为用户界面解决方案而构建。

除了 CAPSENSE™ 之外，CSD 硬件模块还支持三种通用功能。当 CAPSENSE™ 未被使用时，这些功能可用。或者，在固件控制下，可以在应用程序中对两个或多个功能进行分时复用。CSD 硬件模块支持的四种功能是：

- CAPSENSE™
- 10 位模数转换器
- 可编程电流源 (IDAC)
- 比较器

#### CAPSENSE™

电容式触摸传感器专为依靠人体电容来检测手指在传感器上或附近的存在的用户界面而设计。英飞凌 CAPSENSE™ 解决方案为物联网、工业、汽车和家用电器等应用带来优雅、可靠、简单的电容式触摸感应功能。

英飞凌专有的 CAPSENSE™ 技术具有以下特点：

- 一流的信噪比 (SNR) 和在恶劣和嘈杂条件下的稳定传感
- 自电容 (CSD) 和互电容 (CSX) 感应方法
- 支持各种小部件，包括按钮、矩阵按钮、滑块、触摸板和接近传感器
- 跨多种材料的高性能传感
- 一流的耐液体性
- SmartSense™ 自动调节技术有助于避免复杂的手动调节过程
- 卓越的抗外部噪声能力
- 低辐射扩频时钟
- 手势和内置自检库
- 超低功耗
- 集成图形 CapSense 调试器，用于实时调整、测试和调试

#### ADC

CAPSENSE™ 子系统 ADC 具有以下特点：

- 可选 8 位或 10 位分辨率
- 可选输入范围：任何 GPIO 输入上的 GND 至  $V_{REF}$  和 GND 至  $V_{DDA}$
- 无需使用 GPIO 或外部元件，即可根据内部参考测量  $V_{DDA}$

#### IDAC

CSD 模块具有两个可编程电流源，具有以下特点：

- 7 位分辨率
- 灌电流和源电流模式
- 可编程电流源，范围为 37.5 nA 至 609  $\mu$ A
- 两个 IDAC 可并行使用，形成一个 8 位 IDAC

## 比较器

CAPSENSE™子系统比较器在系统低功耗和超低功耗模式下运行。反相输入连接到内部可编程参考电压，非反相输入可通过 AMUXBUS 连接到任何 GPIO。

### CAPSENSE™硬件子系统

**图 7** 展示了 CAPSENSE™子系统的高级硬件概述，其中包括一个 delta sigma 转换器、内部时钟分频器、一个屏蔽驱动器和两个可编程电流源。

输入通过模拟多路复用总线 (AMUXBUS A/B) 进行管理。CSD 模块提供的所有功能的输入和输出均可在软件控制下在任何 GPIO 或一组 GPIO 上提供，但比较器输出和外部电容器使用专用 GPIO 除外。

CSD 模块使用 AMUXBUS A、外部调制器电容器和每个传感器的 GPIO 支持自电容。有一个用于自电容感应的屏蔽电极 (可选)。如果需要的话，可以使用 AMUXBUS B 和可选的外部屏蔽槽电容器 (以增加屏蔽驱动器的驱动能力) 来支持这一点。CSD 模块使用 AMUXBUS A、两个外部集成电容器以及用于发射和接收电极的 GPIO 支持互电容。

该 ADC 无需外部元件。任何连接到 AMUXBUS A 的 GPIO 均可在软件控制下作为 ADC 的输入。ADC 无需 GPIO 即可接受  $V_{DDA}$  作为输入 (例如用于电池电压测量等应用)。

通用模式下的两个可编程电流源 (IDAC) 可以连接到 AMUXBUS A 或 B。因此，它们可以连接到任何 GPIO 引脚。比较器位于 delta-sigma 转换器中。比较器的反相输入可以连接到基准电压源。两个比较器的输入均可通过 AMUXBUS B 连接到任何 GPIO；参见 **图 7**。该参考与专用 GPIO 直接连接；见表 **9**。

CSD 模块可以在活动和睡眠 CPU 电源模式下运行，并在系统 LP 和 ULP 模式之间无缝转换。它可以在系统深度睡眠和休眠模式下断电。从休眠模式唤醒后，CSD 块需要重新初始化。然而，在退出深度睡眠模式时，可以在固件控制下无需重新初始化即可恢复运行。

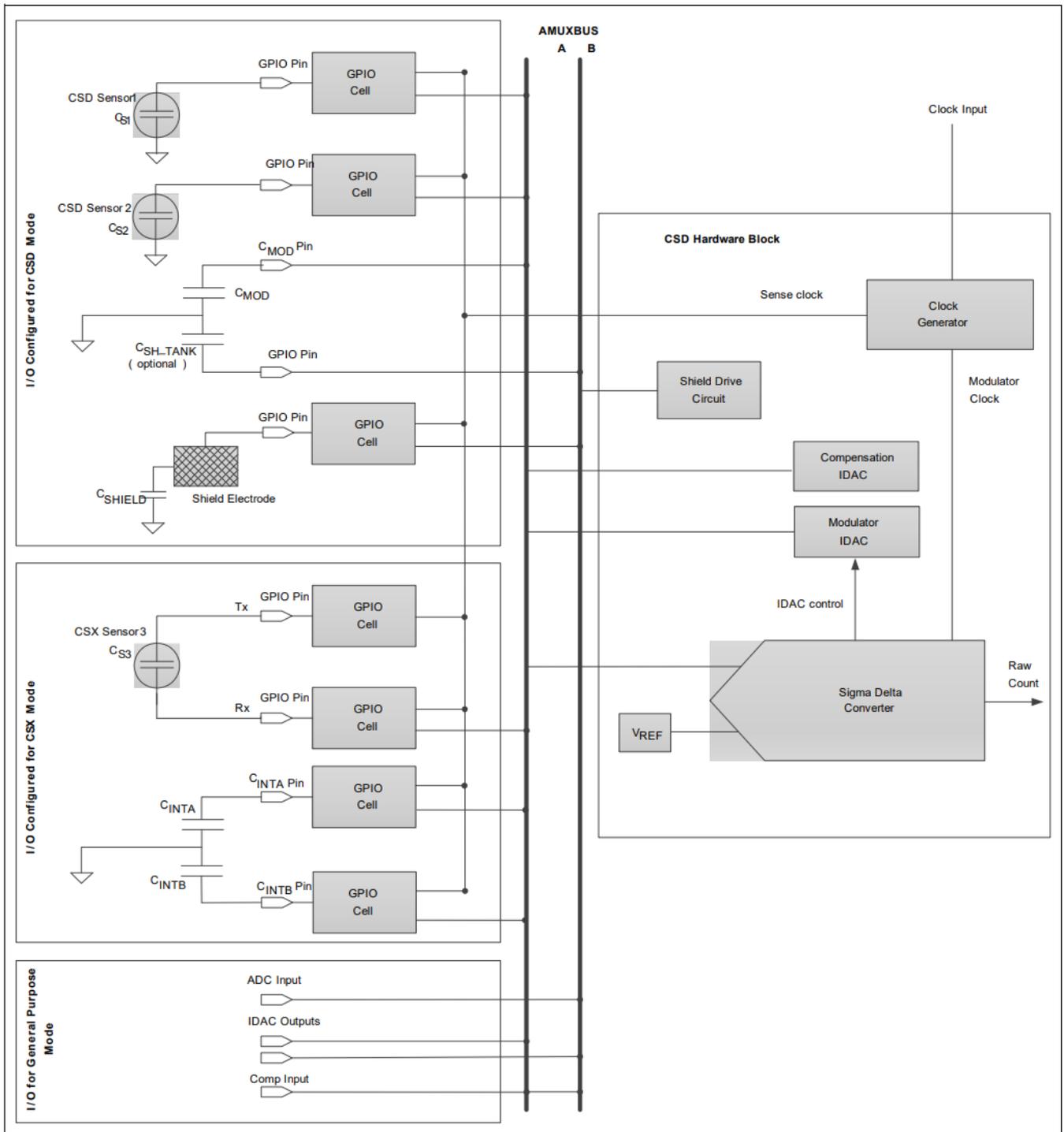


图 7 CAPSENSE™ 硬件子系统

图 8 显示了高级软件概述。英飞凌在 GitHub 上为 **CAPSENSE™**、**ADC** 和 **IDAC** 提供了中间件库，实现快速集成。任何具有 CAPSENSE™ 功能的套件的板级支持包 (BSP) 都会自动将 CAPSENSE™ 库包含在使用该 BSP 的任何应用程序中。

用户应用程序仅与中间件交互即可实现 CSD 模块的功能。中间件与底层驱动程序交互以根据需要访问硬件。如果项目中存在多个与 CSD 相关的中间件，则 CSD 驱动程序可以促进 CSD 硬件的时间复用。它可以防止这种情况发生访问冲突。

ModusToolbox™ 软件提供了 CAPSENSE™ 配置器，可实现快速库配置。它还提供了一个用于系统性能评估和实时调整的调试器。调试器需要应用程序中的 EZI2C 通信接口来实现实时调整功能。调试器可以直接在设备以及配置器中更新配置参数。

CAPSENSE™ 和 ADC 中间件使用 CSD 中断实现非阻塞感应和数字模拟转换。因此，中断服务程序是中间件中定义的部分，必须由应用程序初始化。中间件和驱动程序可以在任一 CPU 上运行。英飞凌建议仅在一个 CPU 中使用中间件。如果两个 CPU 都必须访问 CSD 驱动程序，则应在应用程序中管理内存访问。

有关 CSX 传感、CSD 传感、屏蔽电极使用及其优点以及电容系统设计指南的更多详细信息，参考 [AN85951: PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ design guide](#)。

请参阅 GitHub 获取 **CAPSENSE™**、**ADC** 和 **IDAC** 的 API 参考指南。

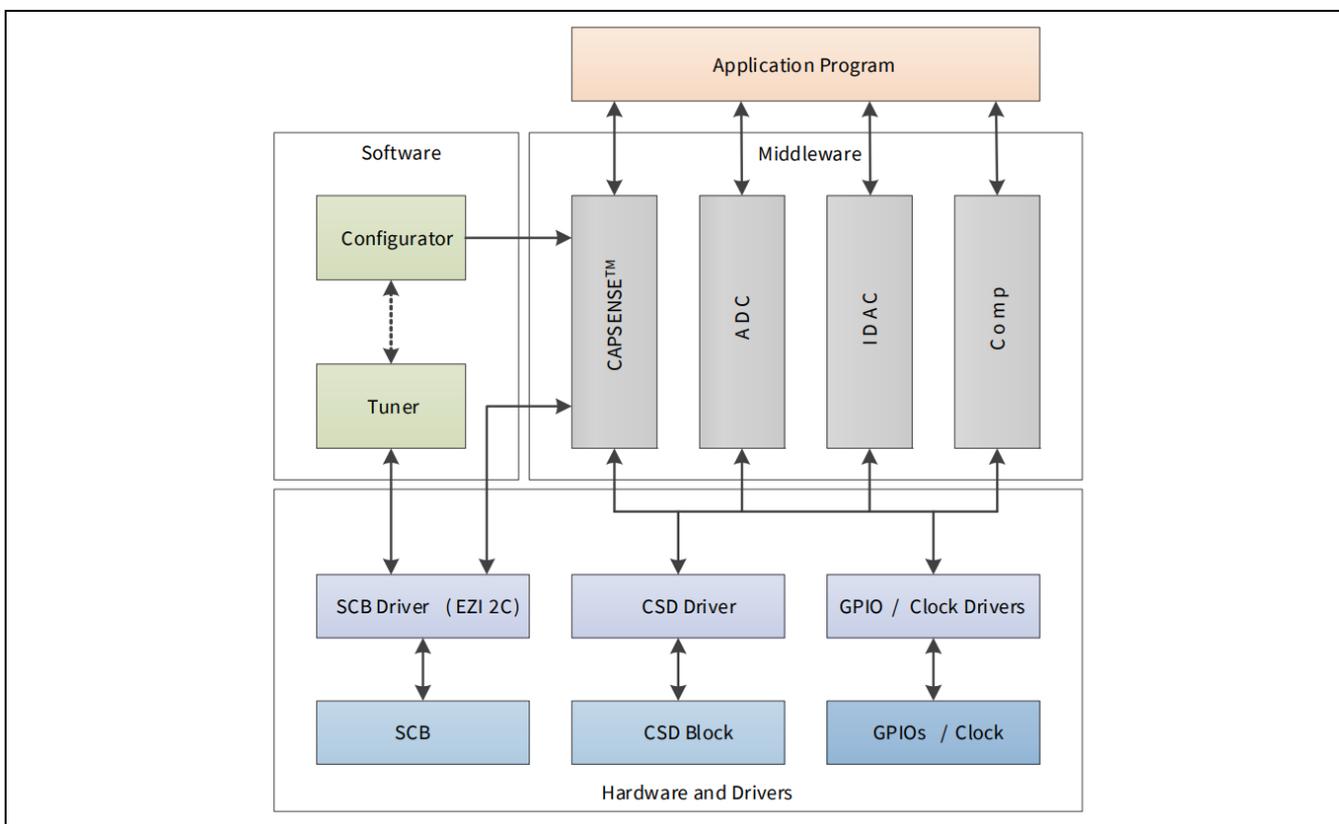


图 8 CAPSENSE™ 软件/固件子系统

### 3.8 PSOC™ 64 安全

所有 PSOC™ 64 “安全” MCU 产品线均具备增强的安全功能。它们提供独立的信任根 (RoT)，并具备真正的认证和配置服务。英飞凌还提供“安全启动” SDK 用户指南，其中包含配置 PSOC™ 64 设备所需的所有库、工具和示例代码。该 SDK 还提供包含示例密钥和策略的配置脚本、预构建的引导加载程序映像以及用于签名固件映像的工具。更多信息，请参阅[“安全启动” SDK 用户指南](#)。

“安全启动” SDK 还包含入口测试脚本。在配置之前，可以选择在 PSOC™ 64 设备上运行入口测试，以确保没有发生设备篡改。

使用 PSOC™ 64 设备的第一步是将以下信息注入设备，此过程称为配置：

- 一组加密公钥，用于：
  - 将 RoT 从 Cypress 转移到用户/OEM，如图 9 所示
  - 验证应用程序
- 一组定义设备行为方式的安全策略
- 证书（可选）用于绑定设备身份或向更高认证机构提供信任链
- 英飞凌引导加载程序

在将应用程序编程到设备之前，需要进行配置。

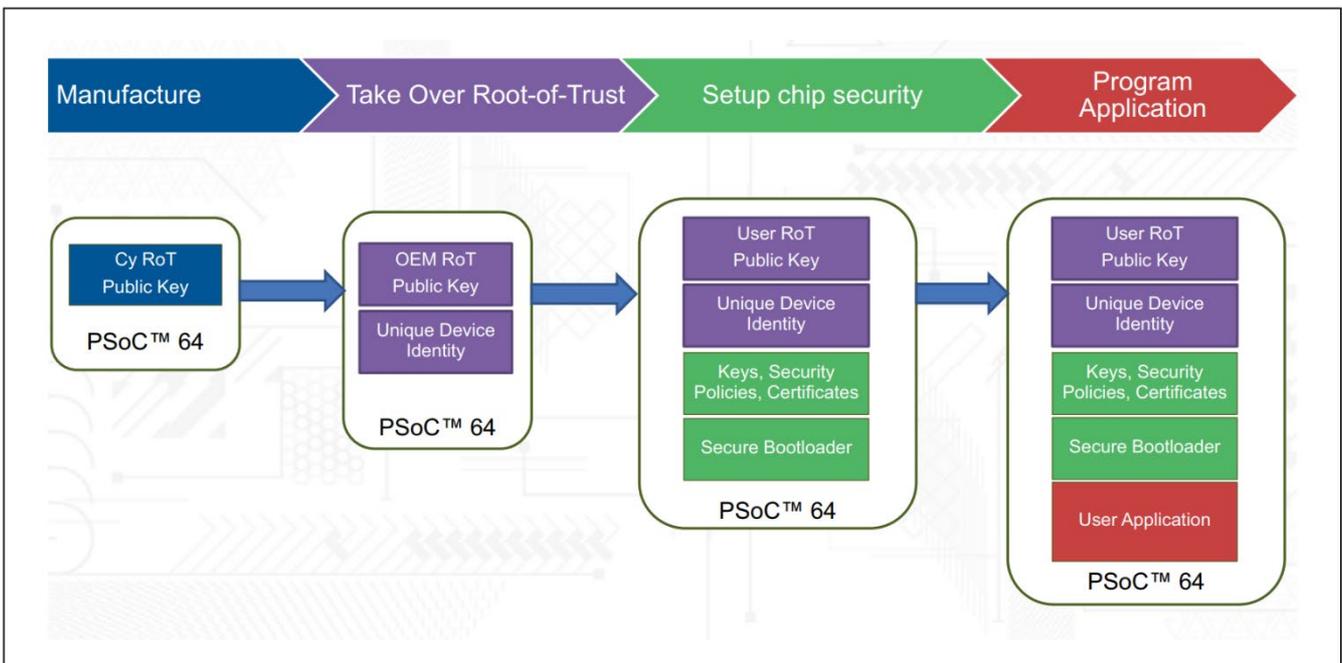


图 9 PSOC™ 64 使用流程

使用硬件安全模块 (HSM) 完成配置。HSM 是一种放置在安全设施中的物理计算设备，用于保护和管理数字密钥以实现强身份验证，并提供加密处理。

设备配置完成后，可以使用签名的应用程序对其进行编程。在将控制权转移给应用程序之前，需要验证其签名和真实性。

图 10 显示了 PSOC™ 64 个资产和不可变部分的简化闪存地图。如存储器所示，设备 SRAM 的一部分也保留给系统使用。

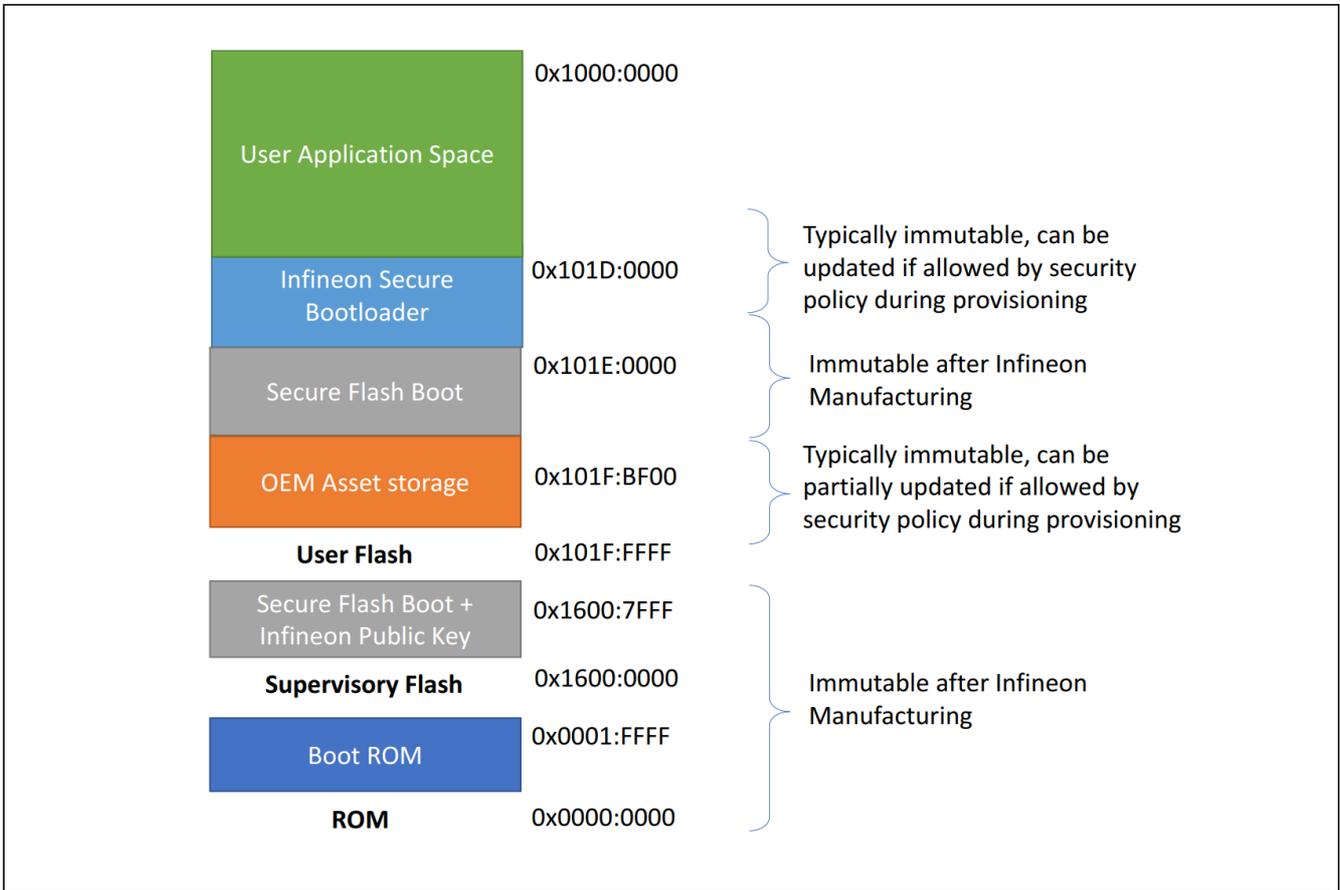


图 10 PSOC™ 64“安全” MCU 内存映射

### 3.8.1 英飞凌引导加载程序

Infineon Bootloader 是开源MCUBoot库的一个端口。有关此库的更多详细信息，请参阅[MCUBoot 引导加载程序设计](#)。该设备当前版本的引导加载程序不支持MCUBoot设计文档中描述的基于交换的镜像功能。引导加载程序包含在“安全启动” SDK作为预构建的十六进制镜像。此镜像将作为 PSOC™ 64 启动代码启动的第一个镜像。它会解析预置的启动和升级策略，以启动应用程序镜像。

引导加载程序通过 PSOC™ 64 串行存储器接口 (SMIF) 支持外部存储器。引导加载程序当前仅支持串行闪存发现协议 (SFDP) 的外部存储器供应商。

引导加载程序强制执行引导加载程序代码的保护上下文，因此在另一个保护上下文中运行的代码可能会被禁止覆盖/篡改引导加载程序代码。图 11 显示引导加载程序的启动顺序：

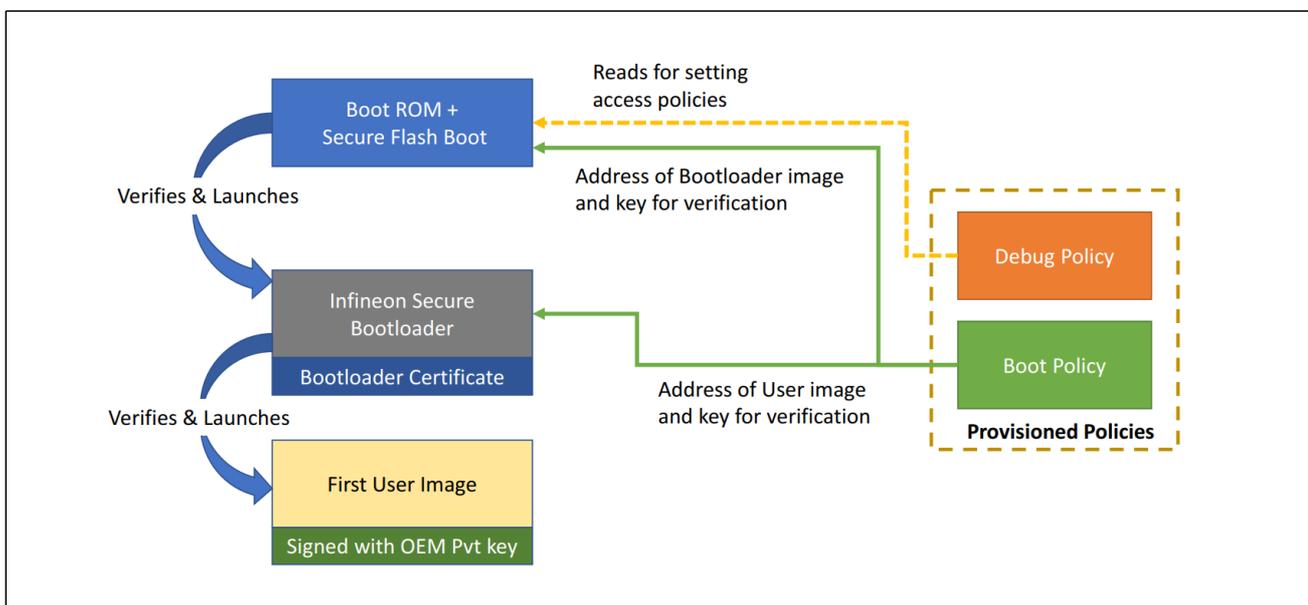


图 11 引导加载程序启动序列

图 12 显示了使用引导加载程序的典型应用程序更新场景：

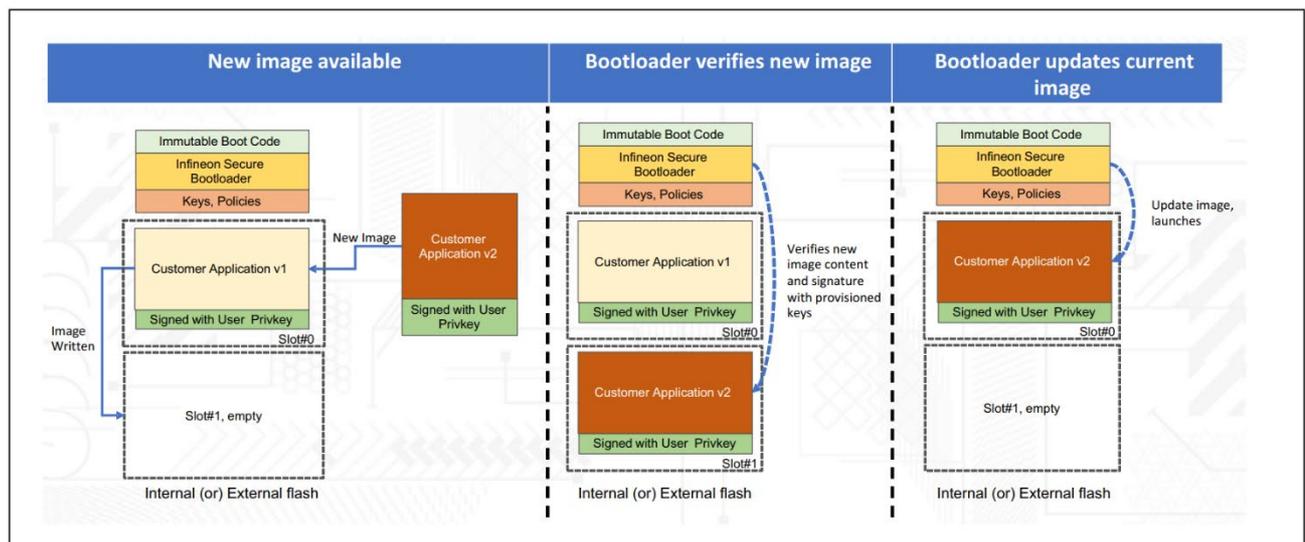


图 12 引导加载程序应用程序更新序列

### 3.8.2 Amazon FreeRTOS PSA

注释：该产品线已经使用 FreeRTOS 202007.00 版本进行了测试。

PSOC™ 64“标准安全”AWS 产品线提供了平台安全架构 (PSA) 2 级认证的方法来连接到 Amazon 网络服务。PSA 是一套包括威胁模型、安全性分析、硬件和固件架构规范、开源固件参考实现以及独立评估与认证的综合框架。PSA 提供以下内容：

- 基于安全模型 (PSA-SM) 和固件框架 (PSA-FF) 等一组规范的硬件和固件架构
- 与启动和升级要求相关的文档
- 定义隔离级别，划分软件和服务
- 认证流程的概述，用于帮助识别安全级别。目前有三个级别的认证：L1、L2、L3。
- 用于加密、安全存储和证明等安全服务的 API
- Cortex®-M 处理器的参考实现，称为 Trusted Firmware M (TF-M)

Amazon FreeRTOS 是 Amazon 支持的嵌入式生态系统，为包括 WiFi 连接在内的物联网设备提供开发环境。PSOC™ 64“标准安全”AWS 为 Amazon FreeRTOS 提供了预构建的 TF-M 层，以及所有必需的 AWS FreeRTOS 增强功能。

该产品线中提供的 TF-M 二进制文件基于 [trustedfirmware.org](https://trustedfirmware.org) 中维护的代码。英飞凌已针对 Amazon FreeRTOS 生态系统测试并验证了此二进制文件。英飞凌在 Amazon FreeRTOS 端添加了一个层，该层通过标准 PSA 调用使用 TF-M 二进制文件。

**平台安全架构 (PSA)**。PSA 的目标是从一开始就通过特定的硬件要求将安全性融入物联网设备的设计中。这为供应商提供安全物联网设备的方向和信心提供了保障。PSA 认证计划允许 OEM 厂商声明他们已遵循相关建议，以确保其设备的安全。对于消费者而言，PSA 认证让他们能够放心地从供应商处购买安全设备。根据所需的安全级别，PSA 提供三个级别的认证，每个级别都经过更严格的测试。

PSA 目前支持基于 Cortex-M 的物联网解决方案。PSA 提供了 PSA FF 的参考设计，使供应商能够快速实现符合 PSA 的系统。基于 Cortex-M 的解决方案的参考设计称为 Trusted Firmware M。

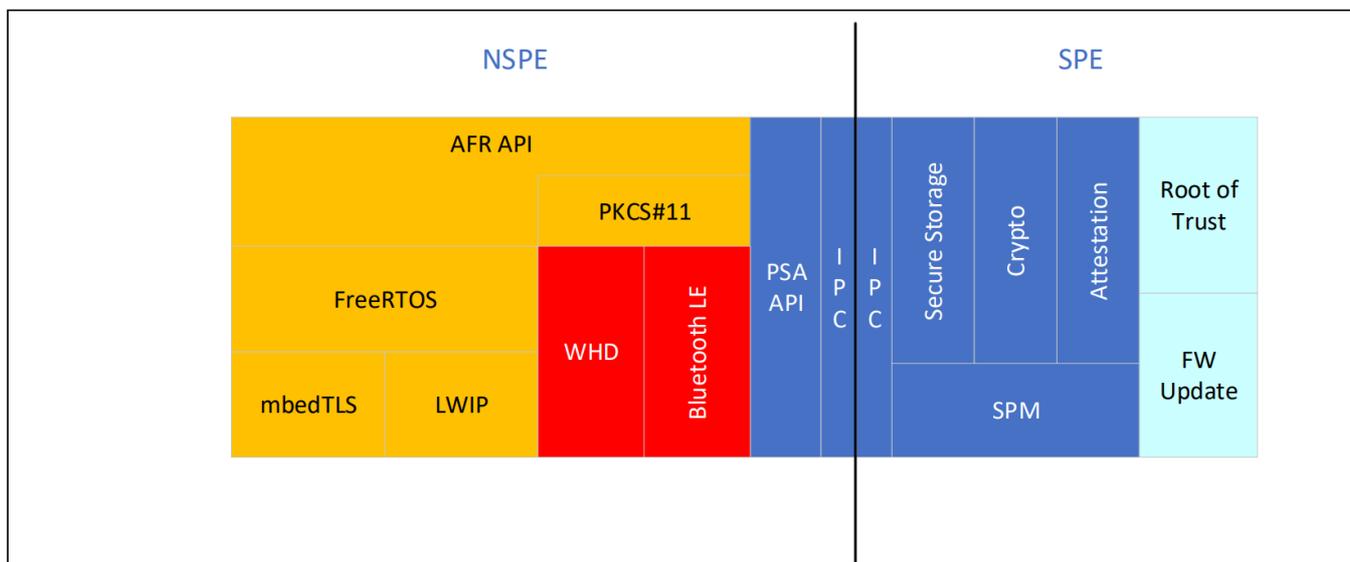
TF-M 是 PSA 的参考设计。此参考设计由 Linaro 管理并托管在 [trustedfirmware.org](https://trustedfirmware.org) 上。Arm 及其包括英飞凌在内的合作伙伴公司为该开源项目做出了贡献。

正如名称所示，TF-M 是基于 Cortex®-M 的解决方案。TF-M 实现了必要的框架以及以下服务。

- PSA 加密，提供加密功能
- PSA 保护存储，用于确保在外部闪存中存储数据的安全性
- PSA 内部可信存储，用于在内部闪存中提供可信存储
- PSA 认证，为服务器提供一种方法来验证所连接设备的真实性。

### 3.8.3 Amazon FreeRTOS 和 AWS“标准安全”

Amazon FreeRTOS 是一个由亚马逊支持的生态系统，为物联网设备提供开发环境，包括 WiFi 连接。其目标是帮助用户/OEM 创建连接到亚马逊 AWS 的物联网设备。AWS“标准安全”标准符合 SPE 和 PSA 标准。**图 13** 描述了整体 AWS“标准安全”解决方案。



**图 13** AWS“标准安全”解决方案图

如图所示，该系统有两个独立的处理环境。Amazon FreeRTOS 在 NSPE 中运行。AWS“标准安全”中使用的 SPE 是 Trusted Firmware M。

在这种模型中，Amazon FreeRTOS 可以自由执行，而无需访问 SPE 提供的任何功能或 API。然而，集成的目的是允许 Amazon FreeRTOS 使用 SPE 提供的安全服务来提供安全存储、设备身份和加密。

NSPE 和 SPE 之间的通信是使用 PSOC™ 6 **处理器间通信（IPC）** 实现的，如 **图 13** 所示。

SPE 实现提供了一个源文件和头文件库（**图 13** 中的“PSA API”），该库包含在 NSPE 中，用于访问 SPE 提供的服务。PSA 随后可以集成到 Amazon FreeRTOS 中。

**PSA 集成：** PSA 集成将安全敏感功能重定向至 SPE。此操作通过 PSA API 完成。Amazon FreeRTOS 已在以下领域实现 PSA 集成；请注意，此列表正在不断更新。请查看 <https://github.com/aws/amazon-freertos> 了解最新详情。

**TRNG：** 真随机数生成是使用 PSOC™ 6 加密硬件模块完成的，该块由 SPE 专门控制。

**PKCS#11：** Amazon FreeRTOS 使用 PKCS#11 API 来安全存储证书/密钥，并使用这些密钥进行非对称加密。PKCS#11 集成使用 SPE 中的“安全”存储和加密。

**Mbed TLS：** Amazon FreeRTOS 使用 Mbed TLS 进行对称加密。

**OTA：** 虽然 OTA 需要对传入的升级包进行身份验证，但目前 SPE 层尚未实现特定的 PSA 集成。**英飞凌引导加载程序** 满足 PSA 对启动要求的规定。AWS“标准安全”中的 OTA 升级包包含 SPE 和 NSPE 映像中的一个或两个。SPE 和 NSPE 映像均单独签名，可通过赛普拉斯引导加载程序进行身份验证。在这种情况下，引导加载程序和 PSOC™ 64 的安全启动和配置程序可提供安全升级。如果身份验证失败，引导加载程序将不会执行升级。

此升级包已使用 Amazon OTA 验证密钥进行双重签名。OTA 代理在镜像中内置了验证证书，用于对传入的包进行初步验证。如果需要升级验证密钥对，则可以通过使用新的验证证书升级 NSPE 镜像来实现。

### 3.8.4 Arm® PSA L2 认证

该产品系列已通过 PSA L2 认证。要在终端系统中保留该认证，需要对产品的使用施加一些限制：

- OEM 必须遵循 **“安全启动” SDK 用户指南** 中的指示，用于传输信任根并使用 OEM RoT 私钥对镜像进行签名
- 必须为 CM0+ 安全处理环境禁用调试访问端口 (DAP)
- 使用 PSA L2 认证范围内的加密算法，例如 **PSA 平台安全启动指南** 中定义的算法
  - RSA – 密钥长度为 2048 位或更高，并采用 RSA-PSS 方案
  - ECC 和 ECDSA – 具有 256 位或更长的密钥长度，并采用 NIST P-256 曲线
  - 哈希 – 安全哈希算法 2（至少 256 位）
- 避免使用超出 PSA L2 认证范围且仅为兼容性而提供的传统加密算法。在没有彻底了解潜在的安全漏洞的情况下，不建议将这些算法用于加密目的。

产品中存在但不属于安全配置的功能包括：

- 对称算法
  - 数据加密标准 (DES)
  - 三重 DES
  - RC4
- 对称模式
  - CBC
  - CBCMAC
- 哈希
  - MD2
  - MD4
  - MD5
  - RIPEMD160
  - SHA\_1

## 4 引脚分布

电源与端口对应关系如下：

- P0:  $V_{\text{BACKUP}}$
- P1:  $V_{\text{DDD}}$ 。 P1 引脚具有过压耐受能力 (OVT)。
- P2, P3, P4:  $V_{\text{DDIO2}}$
- P5, P6, P7, P8:  $V_{\text{DDIO1}}$
- P9, P10:  $V_{\text{DDIO}}$ ,  $V_{\text{DDA}}$  ( $V_{\text{DDIOA}}$  和  $V_{\text{DDA}}$  必须在 PCB 上连接在一起)
- P11, P12, P13:  $V_{\text{DDIO0}}$
- P14:  $V_{\text{DDUSB}}$

表 7 封装和引脚信息

Pin	Packages	
	124-BGA	100-WLCSP
V <sub>DDD</sub>	A1	D14
V <sub>CCD</sub>	A2	C15
V <sub>DDA</sub>	A12	J1
V <sub>DDIOA</sub>	A13	-
V <sub>DDIO0</sub>	C4	A11
V <sub>DDIO1</sub>	K12	K2
V <sub>DDIO2</sub>	L4	M10
V <sub>BACKUP</sub>	D1	C17
V <sub>DDUSB</sub>	M1	J17
V <sub>SS</sub>	B12, C3, D4, D10, K4, K10	D2, E13, J13, L1
V <sub>DD_NS</sub>	J1	J15
V <sub>IND1</sub>	J2	H16
XRES	F1	E17
V <sub>REF</sub>	B13	C3
P0.0	E3	F14
P0.1	E2	G13
P0.2	E1	D16
P0.3	F3	E15
P0.4	F2	G11
P0.5	G3	F16
P1.0	G2	H12
P1.1	G1	G15
P1.2	H3	-
P1.3	H2	-
P1.4	H1	H14
P1.5	J3	G17
P2.0	M2	L17
P2.1	N2	K12
P2.2	L3	L15
P2.3	M3	L13
P2.4	N3	L11
P2.5	N1	M16
P2.6	M4	M14
P2.7	N4	M12
P3.0	L5	-
P3.1	M5	-
P3.2	N5	-
P3.3	L6	-
P3.4	M6	-
P3.5	N6	-

表 7 封装和引脚信息 (续)

Pin	Packages	
	124-BGA	100-WLCSP
P4.0	L7	-
P4.1	M7	-
P5.0	N7	M8
P5.1	L8	K10
P5.2	M8	J11
P5.3	N8	H10
P5.4	L9	L9
P5.5	M9	M6
P5.6	N9	G9
P5.7	N10	G7
P6.0	M10	M4
P6.1	L10	L7
P6.2	L11	L5
P6.3	M11	K8
P6.4	N11	J9
P6.5	M12	L3
P6.6	N12	M2
P6.7	M13	K4
P7.0	L13	K6
P7.1	L12	J7
P7.2	K13	J3
P7.3	N13	H8
P7.4	K11	-
P7.5	J13	-
P7.6	J12	-
P7.7	J11	G1
P8.0	H13	H2
P8.1	H12	J5
P8.2	H11	H6
P8.3	G13	H4
P8.4	G12	F2
P8.5	G11	-
P8.6	F13	-
P8.7	F12	-
P9.0	E11	E1
P9.1	E12	G3
P9.2	E13	G5
P9.3	F11	F4
P9.4	D13	E3
P9.5	D12	-
P9.6	D11	-

表 7 封装和引脚信息 (续)

Pin	Packages	
	124-BGA	100-WLCSP
P9.7	C13	C1
P10.0	C12	F6
P10.1	A11	E5
P10.2	B11	B2
P10.3	C11	D4
P10.4	A10	C5
P10.5	B10	B4
P10.6	C10	A3
P10.7	A9	F8
P11.0	B9	E9
P11.1	C9	D6
P11.2	A8	E7
P11.3	B8	A7
P11.4	C8	B6
P11.5	A7	A5
P11.6	B7	C7
P11.7	C7	B8
P12.0	A6	A9
P12.1	B6	D8
P12.2	C6	A13
P12.3	A5	B10
P12.4	B5	C9
P12.5	C5	B12
P12.6	A4	C11
P12.7	B4	D10
P13.0	B1	B14
P13.1	A3	A15
P13.2	B3	C13
P13.3	B2	D12
P13.4	C2	E11
P13.5	C1	F10
P13.6	D3	F12
P13.7	D2	B16
P14.0/ USBDP	L2	K14
P14.1/ USBDM	L1	K16

**注释：** 在 124 balls BGA 封装中，球 K2 和 K3 内部连接在一起。

**注释：** 如果不使用 USB 引脚，请将  $V_{DDUSB}$  接地，并保持 P14.0/USB DP 和 P14.1/USB DM 引脚悬空。

**注释：**

1. DNC 表示“请勿连接”。请勿将任何电路连接到这些引脚。

每个端口引脚都有多个复用功能。这些功能定义在表 8 中。ACT #x 和 DS #y 列分别表示活动信号（系统 LP/ULP）和深度睡眠模式信号。

信号的形式为 IPName[x].signal\_name[u]:y。

IPName = 模块的名称（例如 tcpwm），x = IP 的唯一实例，Signal\_name = 信号的名称，u = 信号编号，其中特定信号名称有多个信号，y = 指定信号名称的副本。

例如，名称 tcpwm[0].line\_compl[3]:4 表示这是 tcpwm 块的实例 0，信号是 line\_compl # 3（线路输出的互补信号），这是该信号的第四次出现（副本）。提供信号副本是为了允许路由的灵活性并最大限度地利用片上资源。

表 8 多个可选功能

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P0.0	tcpwm[0].line[0]:0	tcpwm[1].line[0]:0	csd.csd_tx:0	csd.csd_tx_n:0			srss.ext_clk:0				scb[0].spi_select1:0			peri.tr_io_input[0]:0					
P0.1	tcpwm[0].line_compl[0]:0	tcpwm[1].line_compl[0]:0	csd.csd_tx:1	csd.csd_tx_n:1							scb[0].spi_select2:0			peri.tr_io_input[1]:0					
P0.2	tcpwm[0].line[1]:0	tcpwm[1].line[1]:0	csd.csd_tx:2	csd.csd_tx_n:2					scb[0].uart_rx:0	scb[0].i2c_scl:0	scb[0].spi_mosi:0								
P0.3	tcpwm[0].line_compl[1]:0	tcpwm[1].line_compl[1]:0	csd.csd_tx:3	csd.csd_tx_n:3					scb[0].uart_tx:0	scb[0].i2c_sda:0	scb[0].spi_miso:0								
P0.4	tcpwm[0].line[2]:0	tcpwm[1].line[2]:0	csd.csd_tx:4	csd.csd_tx_n:4					scb[0].uart_rts:0		scb[0].spi_clk:0				peri.tr_io_output[0]:2				
P0.5	tcpwm[0].line_compl[2]:0	tcpwm[1].line_compl[2]:0	csd.csd_tx:5	csd.csd_tx_n:5			srss.ext_clk:1		scb[0].uart_cts:0		scb[0].spi_select0:0				peri.tr_io_output[1]:2				
P1.0	tcpwm[0].line[3]:0	tcpwm[1].line[3]:0	csd.csd_tx:6	csd.csd_tx_n:6					scb[7].uart_rx:0	scb[7].i2c_scl:0	scb[7].spi_mosi:0			peri.tr_io_input[2]:0					
P1.1	tcpwm[0].line_compl[3]:0	tcpwm[1].line_compl[3]:0	csd.csd_tx:7	csd.csd_tx_n:7					scb[7].uart_tx:0	scb[7].i2c_sda:0	scb[7].spi_miso:0			peri.tr_io_input[3]:0					
P1.2	tcpwm[0].line[4]:4	tcpwm[1].line[12]:1	csd.csd_tx:8	csd.csd_tx_n:8					scb[7].uart_rts:0		scb[7].spi_clk:0								
P1.3	tcpwm[0].line_compl[4]:4	tcpwm[1].line_compl[12]:1	csd.csd_tx:9	csd.csd_tx_n:9					scb[7].uart_cts:0		scb[7].spi_select0:0								
P1.4	tcpwm[0].line[5]:4	tcpwm[1].line[13]:1	csd.csd_tx:10	csd.csd_tx_n:10							scb[7].spi_select1:0								
P1.5	tcpwm[0].line_compl[5]:4	tcpwm[1].line_compl[14]:1	csd.csd_tx:11	csd.csd_tx_n:11							scb[7].spi_select2:0								
P2.0	tcpwm[0].line[6]:4	tcpwm[1].line[15]:1	csd.csd_tx:12	csd.csd_tx_n:12					scb[1].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:0			peri.tr_io_input[4]:0				sdhc[0].card_dat_3to0[0]	

表 8 多个可选功能 (续)

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P2.1	tcpwm[0]. line_ compl[6]:4	tcpwm[1]. line_ compl[15]:1	csd.csd_ tx:13	csd.csd_ tx_n:13					scb[1]. uart_tx:0	scb[1].i2c_ sda:0	scb[1].spi_ miso:0			peri.tr_io_ input[5]:0		sdhc[0]. card_ dat_ 3to0[1]			
P2.2	tcpwm[0]. line[7]:4	tcpwm[1]. line[16]:1	csd.csd_ tx:14	csd.csd_ tx_n:14					scb[1]. uart_rts:0		scb[1].spi_ clk:0					sdhc[0]. card_ dat_ 3to0[2]			
P2.3	tcpwm[0]. line_ compl[7]:4	tcpwm[1]. line_ compl[16]:1	csd.csd_ tx:15	csd.csd_ tx_n:15					scb[1]. uart_cts:0		scb[1].spi_ select0:0					sdhc[0]. card_ dat_ 3to0[3]			
P2.4	tcpwm[0]. line[0]:5	tcpwm[1]. line[17]:1	csd.csd_ tx:16	csd.csd_ tx_n:16					scb[9]. uart_rx:0	scb[9].i2c_ scl:0	scb[1].spi_ select1:0					sdhc[0]. card_cmd			
P2.5	tcpwm[0]. line_ compl[0]:5	tcpwm[1]. line_ compl[17]:1	csd.csd_ tx:17	csd.csd_ tx_n:17					scb[9]. uart_tx:0	scb[9].i2c_ sda:0	scb[1].spi_ select2:0					sdhc[0]. clk_car d			
P2.6	tcpwm[0]. line[1]:5	tcpwm[1]. line[18]:1	csd.csd_ tx:18	csd.csd_ tx_n:18					scb[9]. uart_rts:0		scb[1].spi_ select3:0					sdhc[0]. card_ detect_n			
P2.7	tcpwm[0]. line_ compl[1]:5	tcpwm[1]. line_ compl[18]:1	csd.csd_ tx:19	csd.csd_ tx_n:19					scb[9]. uart_cts:0							sdhc[0]. card_ mech_ write_prot			
P3.0	tcpwm[0]. line[2]:5	tcpwm[1]. line[19]:1	csd.csd_ tx:20	csd.csd_ tx_n:20					scb[2]. uart_rx:1	scb[2].i2c_ scl:1	scb[2].spi_ mosi:1			peri.tr_io_ input[6]:0		sdhc[0]. io_volt_ sel			
P3.1	tcpwm[0]. line_ compl[2]:5	tcpwm[1]. line_ compl[19]:1	csd.csd_ tx:21	csd.csd_ tx_n:21					scb[2]. uart_tx:1	scb[2].i2c_ sda:1	scb[2].spi_ miso:1			peri.tr_io_ input[7]:0		sdhc[0]. card_if_ pwr_en			
P3.2	tcpwm[0]. line[3]:5	tcpwm[1]. line[20]:1	csd.csd_ tx:22	csd.csd_ tx_n:22					scb[2]. uart_rts:1		scb[2].spi_ clk:1								
P3.3	tcpwm[0]. line_ compl[3]:5	tcpwm[1]. line_ compl[20]:1	csd.csd_ tx:23	csd.csd_ tx_n:23					scb[2]. uart_cts:1		scb[2].spi_ select0:1								
P3.4	tcpwm[0]. line[4]:5	tcpwm[1]. line[21]:1	csd.csd_ tx:24	csd.csd_ tx_n:24							scb[2].spi_ select1:1								
P3.5	tcpwm[0]. line_ compl[4]:5	tcpwm[1]. line_ compl[21]:1	csd.csd_ tx:25	csd.csd_ tx_n:25							scb[2].spi_ select2:1								
P4.0	tcpwm[0]. line[5]:5	tcpwm[1]. line[22]:1	csd.csd_ tx:26	csd.csd_ tx_n:26					scb[7]. uart_rx:1	scb[7].i2c_ scl:1	scb[7].spi_ mosi:1			peri.tr_io_ input[8]:0					
P4.1	tcpwm[0]. line_ compl[5]:5	tcpwm[1]. line_ compl[22]:1	csd.csd_ tx:27	csd.csd_ tx_n:27					scb[7]. uart_tx:1	scb[7].i2c_ sda:1	scb[7].spi_ miso:1			peri.tr_io_ input[9]:0					
P4.2	tcpwm[0]. line[6]:5	tcpwm[1]. line[23]:1	csd.csd_ tx:28	csd.csd_ tx_n:28					scb[7]. uart_rts:1		scb[7].spi_ clk:1								
P4.3	tcpwm[0]. line_ compl[6]:5	tcpwm[1]. line_ compl[23]:1	csd.csd_ tx:29	csd.csd_ tx_n:29					scb[7]. uart_cts:1		scb[7].spi_ select0:1								
P5.0	tcpwm[0]. line[4]:0	tcpwm[1]. line[4]:0	csd.csd_ tx:30	csd.csd_ tx_n:30					scb[5]. uart_rx:0	scb[5].i2c_ scl:0	scb[5].spi_ mosi:0		audioss[0]. clk_i2s_ if:0	peri.tr_io_ input[10]:0					

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P5.1	tcpwm[0]. line_ compl[4]:0	tcpwm[1]. line_ compl[4]:0	csd.csd_ tx:31	csd.csd_ tx_n:31					scb[5]. uart_tx:0	scb[5].i2c_ sda:0	scb[5].spi_ miso:0		audioss[0]. tx_sck:0	peri.tr_io_ input[11]:0					
P5.2	tcpwm[0]. line[5]:0	tcpwm[1]. line[5]:0	csd.csd_ tx:32	csd.csd_ tx_n:32					scb[5]. uart_rts:0		scb[5].spi_ clk:0		audioss[0]. tx_ws:0						
P5.3	tcpwm[0]. line_ compl[5]:0	tcpwm[1]. line_ compl[5]:0	csd.csd_ tx:33	csd.csd_ tx_n:33					scb[5]. uart_cts:0		scb[5].spi_ select0:0		audioss[0]. tx_sdo:0						
P5.4	tcpwm[0]. line[6]:0	tcpwm[1]. line[6]:0	csd.csd_ tx:34	csd.csd_ tx_n:34					scb[10]. uart_rx:0	scb[10]. i2c_scl:0	scb[5].spi_ select1:0		audioss[0]. rx_sck:0						
P5.5	tcpwm[0]. line_ compl[6]:0	tcpwm[1]. line_ compl[6]:0	csd.csd_ tx_n:35	csd.csd_ tx_n:35					scb[10]. uart_tx:0	scb[10]. i2c_sda:0	scb[5].spi_ select2:0		audioss[0]. rx_ws:0						
P5.6	tcpwm[0]. line[7]:0	tcpwm[1]. line[7]:0	csd.csd_ tx:36	csd.csd_ tx_n:36					scb[10]. uart_rts:0		scb[5].spi_ select3:0		audioss[0]. rx_sdi:0						
P5.7	tcpwm[0]. line_ compl[7]:0	tcpwm[1]. line_ compl[7]:0	csd.csd_ tx:37	csd.csd_ tx_n:37					scb[10]. uart_cts:0		scb[3].spi_ select3:0								
P6.0	tcpwm[0]. line[0]:1	tcpwm[1]. line[8]:0	csd.csd_ tx:38	csd.csd_ tx_n:38	scb[8]. i2c_ scl:0				scb[3]. uart_rx:0	scb[3].i2c_ scl:0	scb[3].spi_ mosi:0				cpuss. fault_out[0]				scb[8]. spi_ mosi:0
P6.1	tcpwm[0]. line_ compl[0]:1	tcpwm[1]. line_ compl[8]:0	csd.csd_ tx:39	csd.csd_ tx_n:39	scb[8]. i2c_ sda:0				scb[3]. uart_tx:0	scb[3].i2c_ sda:0	scb[3].spi_ miso:0				cpuss. fault_out[1]				scb[8]. spi_ miso:0
P6.2	tcpwm[0]. line[1]:1	tcpwm[1]. line[9]:0	csd.csd_ tx:40	csd.csd_ tx_n:40					scb[3]. uart_rts:0		scb[3].spi_ clk:0								scb[8]. spi_ clk:0
P6.3	tcpwm[0]. line_ compl[1]:1	tcpwm[1]. line_ compl[9]:0	csd.csd_ tx:41	csd.csd_ tx_n:41					scb[3]. uart_cts:0		scb[3].spi_ select0:0								scb[8]. spi_ select 0:0
P6.4	tcpwm[0]. line[2]:1	tcpwm[1]. line[10]:0	csd.csd_ tx:42	csd.csd_ tx_n:42	scb[8]. i2c_ scl:1				scb[6]. uart_rx:2	scb[6].i2c_ scl:2	scb[6].spi_ mosi:2			peri.tr_io_ input[12]:0	peri.tr_io_ output[0]:1			cpuss. swj_ swo_ tdo	scb[8]. spi_ mosi:1
P6.5	tcpwm[0]. line_ compl[2]:1	tcpwm[1]. line_ compl[10]:0	csd.csd_ tx:43	csd.csd_ tx_n:43	scb[8]. i2c_ sda:1				scb[6]. uart_tx:2	scb[6].i2c_ sda:2	scb[6].spi_ miso:2			peri.tr_io_ input[13]:0	peri.tr_io_ output[1]:1			cpuss. swj_ swdo e_ tdi	scb[8]. spi_ mi so:1
P6.6	tcpwm[0]. line[3]:1	tcpwm[1]. line[11]:0	csd.csd_ tx:44	csd.csd_ tx_n:44					scb[6]. uart_rts:2		scb[6].spi_ clk:2							cpuss. swj_ swdio_ tms	scb[8]. spi_ clk:1
P6.7	tcpwm[0]. line_ compl[3]:1	tcpwm[1]. line_ compl[11]:0	csd.csd_ tx:45	csd.csd_ tx_n:45					scb[6]. uart_cts:2		scb[6].spi_ select0:2							cpuss. swj_ swclk_ tclk	scb[8]. spi_ select 0:1
P7.0	tcpwm[0]. line[4]:1	tcpwm[1]. line[12]:0	csd.csd_ tx:46	csd.csd_ tx_n:46					scb[4]. uart_rx:1	scb[4].i2c_ scl:1	scb[4].spi_ mosi:1			peri.tr_io_ input[14]:0		cpuss . trace _ clock			

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P7.1	tcpwm[0]. line_ compl[4]:1	tcpwm[1]. line_ compl[12]:0	csd.csd_ tx:47	csd.csd_ tx_n:47					scb[4]. uart_tx:1	scb[4].i2c_ sda:1	scb[4].spi_ miso:1			peri.tr_io_ input[15]:0					
P7.2	tcpwm[0]. line[5]:1	tcpwm[1]. line[13]:0	csd.csd_ tx:48	csd.csd_ tx_n:48					scb[4]. uart_rts:1		scb[4].spi_ clk:1								
P7.3	tcpwm[0]. line_ compl[5]:1	tcpwm[1]. line_ compl[13]:0	csd.csd_ tx:49	csd.csd_ tx_n:49					scb[4]. uart_cts:1		scb[4].spi_ select0:1								
P7.4	tcpwm[0]. line[6]:1	tcpwm[1]. line[14]:0	csd.csd_ tx:50	csd.csd_ tx_n:50							scb[4].spi_ select1:1						cpuss. trace_ data[3]:2		
P7.5	tcpwm[0]. line_ compl[6]:1	tcpwm[1]. line_ compl[14]:0	csd.csd_ tx:51	csd.csd_ tx_n:51							scb[4].spi_ select2:1						cpuss. trace_ data[2]:2		
P7.6	tcpwm[0]. line[7]:1	tcpwm[1]. line[15]:0	csd.csd_ tx:52	csd.csd_ tx_n:52							scb[4].spi_ select3:1						cpuss. trace_ data[1]:2		
P7.7	tcpwm[0]. line_ compl[7]:1	tcpwm[1]. line_ compl[15]:0	csd.csd_ tx:53	csd.csd_ tx_n:53							scb[3].spi_ select1:0	cpuss.clk_ fm_pump					cpuss. trace_ data[0]:2		
P8.0	tcpwm[0]. line[0]:2	tcpwm[1]. line[16]:0	csd.csd_ tx:54	csd.csd_ tx_n:54					scb[4]. uart_rx:0	scb[4].i2c_ scl:0	scb[4].spi_ mosi:0			peri.tr_io_ input[16]:0					
P8.1	tcpwm[0]. line_ compl[0]:2	tcpwm[1]. line_ compl[16]:0	csd.csd_ tx:55	csd.csd_ tx_n:55					scb[4]. uart_tx:0	scb[4].i2c_ sda:0	scb[4].spi_ miso:0			peri.tr_io_ input[17]:0					
P8.2	tcpwm[0]. line[1]:2	tcpwm[1]. line[17]:0	csd.csd_ tx:56	csd.csd_ tx_n:56		lpcop. dsi_ comp 0:0			scb[4]. uart_rts:0		scb[4].spi_ clk:0								
P8.3	tcpwm[0]. line_ compl[1]:2	tcpwm[1]. line_ compl[17]:0	csd.csd_ tx:57	csd.csd_ tx_n:57		lpcop. dsi_ comp 1:0			scb[4]. uart_cts:0		scb[4].spi_ select0:0								
P8.4	tcpwm[0]. line[2]:2	tcpwm[1]. line[18]:0	csd.csd_ tx:58	csd.csd_ tx_n:58					scb[11]. uart_rx:0	scb[11]. i2c_scl:0	scb[4].spi_ select1:0								
P8.5	tcpwm[0]. line_ compl[2]:2	tcpwm[1]. line_ compl[18]:0	csd.csd_ tx:59	csd.csd_ tx_n:59					scb[11]. uart_tx:0	scb[11]. i2c_sda:0	scb[4].spi_ select2:0								
P8.6	tcpwm[0]. line[3]:2	tcpwm[1]. line[19]:0	csd.csd_ tx:60	csd.csd_ tx_n:60					scb[11]. uart_rts:0		scb[4].spi_ select3:0								
P8.7	tcpwm[0]. line_ compl[3]:2	tcpwm[1]. line_ compl[19]:0	csd.csd_ tx:61	csd.csd_ tx_n:61					scb[11]. uart_cts:0		scb[3].spi_ select2:0								
P9.0	tcpwm[0]. line[4]:2	tcpwm[1]. line[20]:0	csd.csd_ tx:62	csd.csd_ tx_n:62					scb[2]. uart_rx:0	scb[2].i2c_ scl:0	scb[2].spi_ mosi:0		audioss[0]. clk_i2s_ if:1	peri.tr_io_ input[18]:0			cpuss. trace_ data[3]:0		
P9.1	tcpwm[0]. line_ compl[4]:2	tcpwm[1]. line_ compl[20]:0	csd.csd_ tx:63	csd.csd_ tx_n:63					scb[2]. uart_tx:0	scb[2].i2c_ sda:0	scb[2].spi_ miso:0		audioss[0]. .tx_sck:1	peri.tr_io_ input[19]:0			cpuss. trace_ data[2]:0		

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P9.2	tcpwm[0]. line[5]:2	tcpwm[1]. line[21]:0	csd.csd_ tx:64	csd.csd_tx _n:64					scb[2]. uart_rts:0		scb[2].spi_ clk:0		audioss[0] .tx_ws:1				cpuss. trace_ data[1]:0		
P9.3	tcpwm[0]. line_ compl[5]:2	tcpwm[1]. line_ compl[21]:0	csd.csd_ tx:65	csd.csd_tx _n:65					scb[2]. uart_cts:0		scb[2].spi_ select0:0		audioss[0] .tx_sdo:1				cpuss. trace_ data[0]:0		
P9.4	tcpwm[0]. line[7]:5	tcpwm[1]. line[0]:2	csd.csd_ tx:66	csd.csd_ tx_n:66							scb[2].spi_ select1:0		audioss[0] .rx_sck:1						
P9.5	tcpwm[0]. line_ compl[7]:5	tcpwm[1]. line_ compl[0]:2	csd.csd_ tx:67	csd.csd_ tx_n:67							scb[2].spi_ select2:0		audioss[0] .rx_ws:1						
P9.6	tcpwm[0]. line[0]:6	tcpwm[1]. line[1]:2	csd.csd_ tx:68	csd.csd_ tx_n:68							scb[2].spi_ select3:0		audioss[0] .rx_sdi:1						
P9.7	tcpwm[0]. line_ compl[0]:6	tcpwm[1]. line_ compl[1]:2	csd.csd_ tx:69	csd.csd_ tx_n:69															
P10.0	tcpwm[0]. line[6]:2	tcpwm[1]. line[22]:0	csd.csd_ tx:70	csd.csd_ tx_n:70					scb[1]. uart_rx:1	scb[1].i2c_ scl:1	scb[1].spi_ mosi:1			peri.tr_io_ input[20]:0			cpuss. trace_ data[3]:1		
P10.1	tcpwm[0]. line_ compl[6]:2	tcpwm[1]. line_ compl[22]:0	csd.csd_ tx:71	csd.csd_ tx_n:71					scb[1]. uart_tx:1	scb[1].i2c_ sda:1	scb[1].spi_ miso:1			peri.tr_io_ input[21]:0			cpuss. trace_ data[2]:1		
P10.2	tcpwm[0]. line[7]:2	tcpwm[1]. line[23]:0	csd.csd_ tx:72	csd.csd_ tx_n:72					scb[1]. uart_rts:1		scb[1].spi_ clk:1						cpuss. trace_ data[1]:1		
P10.3	tcpwm[0]. line_ compl[7]:2	tcpwm[1]. line_ compl[23]:0	csd.csd_ tx:73	csd.csd_ tx_n:73					scb[1]. uart_cts:1		scb[1].spi_ select0:1						cpuss. trace_ data[0]:1		
P10.4	tcpwm[0]. line[0]:3	tcpwm[1]. line[0]:1	csd.csd_ tx:74	csd.csd_ tx_n:74							scb[1].spi_ select1:1		audioss[0] .pdm_ clk:0						
P10.5	tcpwm[0]. line_ compl[0]:3	tcpwm[1]. line_ compl[0]:1	csd.csd_ tx:75	csd.csd_ tx_n:75							scb[1].spi_ select2:1		audioss[0] .pdm_ data:0						
P10.6	tcpwm[0]. line[1]:6	tcpwm[1]. line[2]:2	csd.csd_ tx:76	csd.csd_ tx_n:76							scb[1].spi_ select3:1								
P10.7	tcpwm[0]. line_ compl[1]:6	tcpwm[1]. line_ compl[2]:2	csd.csd_ tx:77	csd.csd_ tx_n:77															
P11.0	tcpwm[0]. line[1]:3	tcpwm[1]. line[1]:1	csd.csd_ tx:78	csd.csd_ tx_n:78				smif.spi_ select2	scb[5]. uart_rx:1	scb[5].i2c_ scl:1	scb[5].spi_ mosi:1		audioss[1] .clk_i2s_ if:1	peri.tr_io_ input[22]:0					
P11.1	tcpwm[0]. line_ compl[1]:3	tcpwm[1]. line_ compl[1]:1	csd.csd_ tx:79	csd.csd_ tx_n:79				smif.spi_ select1	scb[5]. uart_tx:1	scb[5].i2c_ sda:1	scb[5].spi_ miso:1		audioss[1] .tx_sck:1	peri.tr_io_ input[23]:0					
P11.2	tcpwm[0]. line[2]:3	tcpwm[1]. line[2]:1	csd.csd_ tx:80	csd.csd_ tx_n:80				smif.spi_ select0	scb[5]. uart_rts:1		scb[5].spi_ clk:1		audioss[1] .tx_ws:1						
P11.3	tcpwm[0]. line_ compl[2]:3	tcpwm[1]. line_ compl[2]:1	csd.csd_ tx:81	csd.csd_ tx_n:81				smif.spi_ data3	scb[5]. uart_cts:1		scb[5].spi_ select0:1		audioss[1] .tx_sdo:1		peri.tr_io_ output[0]:0				

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P11.4	tcpwm[0]. line[3]:3	tcpwm[1]. line[3]:1	csd.csd_ tx:82	csd.csd_ tx_n:82				smif.spi_ data2			scb[5].spi_ select1:1		audioss[1]. .rx_sck:1		peri.tr_io_o utput[1]:0				
P11.5	tcpwm[0]. line_ compl[3]:3	tcpwm[1]. line_ compl[3]:1	csd.csd_ tx:83	csd.csd_ tx_n:83				smif.spi_ data1			scb[5].spi_ select2:1		audioss[1]. .rx_ws:1						
P11.6			csd.csd_ tx:84	csd.csd_ tx_n:84				smif.spi_ data0			scb[5].spi_ select3:1		audioss[1]. .rx_sdi:1						
P11.7								smif.spi_ clk											
P12.0	tcpwm[0]. line[4]:3	tcpwm[1]. line[4]:1	csd.csd_ tx:85	csd.csd_ tx_n:85				smif.spi_ data4	scb[6]. uart_rx:0	scb[6].i2c_ scl:0	scb[6].spi_ mosi:0			peri.tr_io_ input[24]:0		sdhc[1]. card_ emmc_ reset_n			
P12.1	tcpwm[0]. line_ compl[4]:3	tcpwm[1]. line_ compl[4]:1	csd.csd_ tx:86	csd.csd_ tx_n:86				smif.spi_ data5	scb[6]. uart_tx:0	scb[6].i2c_ sda:0	scb[6].spi_ miso:0			peri.tr_io_ input[25]:0		sdhc[1]. card_ detect_n			
P12.2	tcpwm[0]. line[5]:3	tcpwm[1]. line[5]:1	csd.csd_ tx:87	csd.csd_ tx_n:87				smif.spi_ data6	scb[6]. uart_rts:0		scb[6].spi_ clk:0					sdhc[1]. card_ mech_ write_prot			
P12.3	tcpwm[0]. line_ compl[5]:3	tcpwm[1]. line_ compl[5]:1	csd.csd_ tx:88	csd.csd_ tx_n:88				smif.spi_ data7	scb[6]. uart_cts:0		scb[6].spi_ select0:0					sdhc[1]. led_ctrl			
P12.4	tcpwm[0]. line[6]:3	tcpwm[1]. line[6]:1	csd.csd_ tx:89	csd.csd_ tx_n:89				smif.spi_ select3			scb[6].spi_ select1:0	audioss[0]. .pdm_ clk:1				sdhc[1]. card_cmd			
P12.5	tcpwm[0]. line_ compl[6]:3	tcpwm[1]. line_ compl[6]:1	csd.csd_ tx:90	csd.csd_ tx_n:90							scb[6].spi_ select2:0	audioss[0]. .pdm_ data:1				sdhc[1]. clk_car d			
P12.6	tcpwm[0]. line[7]:3	tcpwm[1]. line[7]:1	csd.csd_ tx:91	csd.csd_ tx_n:91							scb[6].spi_ select3:0					sdhc[1]. card_if_ pwr_en			
P12.7	tcpwm[0]. line_ compl[7]:3	tcpwm[1]. line_ compl[7]:1	csd.csd_ tx:92	csd.csd_ tx_n:92												sdhc[1].io _volt_sel			
P13.0	tcpwm[0]. line[0]:4	tcpwm[1]. line[8]:1	csd.csd_ tx:93	csd.csd_ tx_n:93					scb[6]. uart_rx:1	scb[6].i2c_ scl:1	scb[6].spi_ mosi:1		audioss[1]. .clk_i2s_ if:0	peri.tr_io_ input[26]:0		sdhc[1]. card_ dat_ 3to0[0]			
P13.1	tcpwm[0]. line_ compl[0]:4	tcpwm[1]. line_ compl[8]:1	csd.csd_ tx:94	csd.csd_ tx_n:94					scb[6]. uart_tx:1	scb[6].i2c_ sda:1	scb[6].spi_ miso:1		audioss[1]. .tx_sck:0	peri.tr_io_ input[27]:0		sdhc[1]. card_ dat_ 3to0[1]			
P13.2	tcpwm[0]. line[1]:4	tcpwm[1]. line[9]:1	csd.csd_ tx:95	csd.csd_ tx_n:95					scb[6]. uart_rts:1		scb[6].spi_ clk:1		audioss[1]. .tx_ws:0			sdhc[1]. card_ dat_ 3to0[2]			
P13.3	tcpwm[0]. line_ compl[1]:4	tcpwm[1]. line_ compl[9]:1	csd.csd_ tx:96	csd.csd_ tx_n:96					scb[6]. uart_cts:1		scb[6].spi_ select0:1		audioss[1]. .tx_sdo:0			sdhc[1]. card_ dat_ 3to0[3]			



表 8 多个可选功能 (续)

Port/ Pin	ACT #0	ACT #1	ACT #2	ACT #3	DS #2	DS #3	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #5	DS #6
P13.4	tcpwm[0]. line[2]:4	tcpwm[1]. line[10]:1	csd.csd_ tx:97	csd.csd_ tx_n:97					scb[12]. uart_rx:0	scb[12].i2c _scl:0	scb[6].spi_ select1:1		audioss[1] .rx_sck:0			sdhc[1]. card_ dat_ 7to4[0]			
P13.5	tcpwm[0]. line_ compl[2]:4	tcpwm[1]. line_ compl[10]:1	csd.csd_ tx:98	csd.csd_ tx_n:98					scb[12]. uart_tx:0	scb[12].i2c _sda:0	scb[6].spi_ select2:1		audioss[1] .rx_ws:0			sdhc[1]. card_ dat_ 7to4[1]			
P13.6	tcpwm[0]. line[3]:4	tcpwm[1]. line[11]:1	csd.csd_ tx:99	csd.csd_ tx_n:99					scb[12]. uart_rts:0		scb[6].spi_ select3:1		audioss[1] .rx_sdi:0			sdhc[1]. card_ dat_ 7to4[2]			
P13.7	tcpwm[0]. line_ compl[3]:4	tcpwm[1]. line_ compl[11]:1	csd.csd_ tx:100	csd.csd_ tx_n:100					scb[12]. uart_cts:0							sdhc[1]. card_ dat_ 7to4[3]			

模拟和Smart I/O 复用端口引脚功能在 [表 9](#) 中提供。

**表 9** 端口引脚模拟、数字和Smart I/O 功能

Port/Pin	Functions
	<b>Analog</b>
P0.0	wco_in
P0.1	wco_out
P5.6	lpcomp.inp_comp0
P5.7	lpcomp.inn_comp0
P6.2	lpcomp.inp_comp1
P6.3	lpcomp.inn_comp1
P6.6	swd_data
P6.7	swd_clk
P7.2	csd.csh_tank
P7.3	csd.vref_ext
P7.7	csd.shield
P9.7	aref_ext_vref
P10.0	sarmux_pads[0]
P10.1	sarmux_pads[1]
P10.2	sarmux_pads[2]
P10.3	sarmux_pads[3]
P10.4	sarmux_pads[4]
P10.5	sarmux_pads[5]
P10.6	sarmux_pads[6]
P10.7	sarmux_pads[7]
P12.6	eco_in
P12.7	eco_out
	<b>Digital</b>
P0.4	pmic_wakeup_in hibernate_wakeup[1]
P1.4	hibernate_wakeup[0]
P0.5	pmic_wakeup_out
	<b>SMARTIO</b>
P8.0	smartio[8].io[0]
P8.1	smartio[8].io[1]
P8.2	smartio[8].io[2]
P8.3	smartio[8].io[3]
P8.4	smartio[8].io[4]
P8.5	smartio[8].io[5]
P8.6	smartio[8].io[6]
P8.7	smartio[8].io[7]
P9.0	smartio[9].io[0]
P9.1	smartio[9].io[1]

表 9 端口引脚模拟、数字和Smart I/O 功能 (续)

Port/Pin	Functions
P9.2	smartio[9].io[2]
P9.3	smartio[9].io[3]
P9.4	smartio[9].io[4]
P9.5	smartio[9].io[5]
P9.6	smartio[9].io[6]
P9.7	smartio[9].io[7]

## 5 电源设计考虑因素

以下电源系统图显示了所有受支持封装的电源引脚的典型连接，包括使用和不使用降压调节器的情况。在这些图中，封装引脚会显示引脚名称，例如“V<sub>DDA</sub>, A12”。对于 V<sub>DDx</sub> 引脚，还会显示由该引脚供电的 I/O 端口，例如“V<sub>DD</sub>, A1; I/O 端口 P1”。

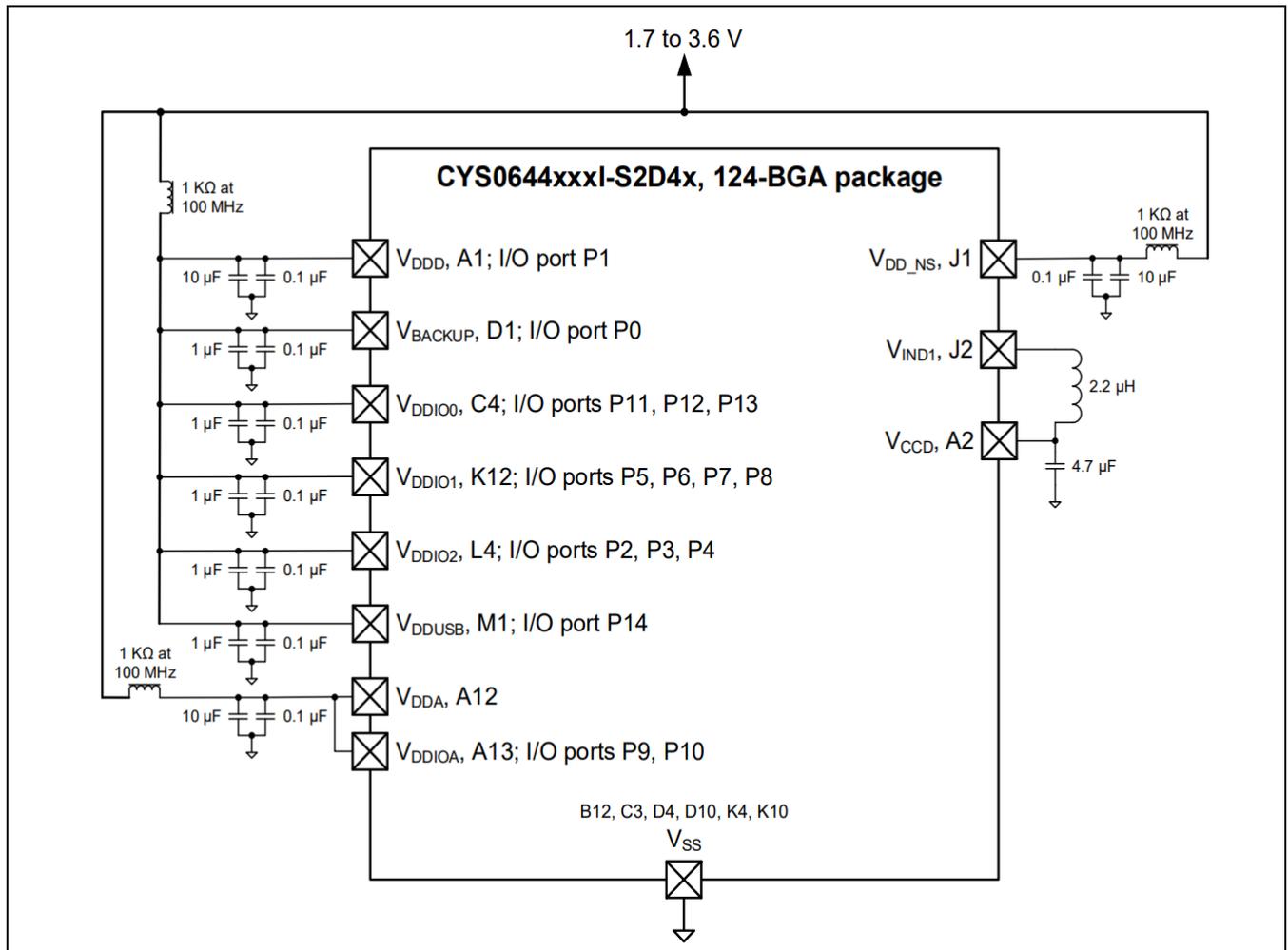


图 14 124-BGA电源连接图

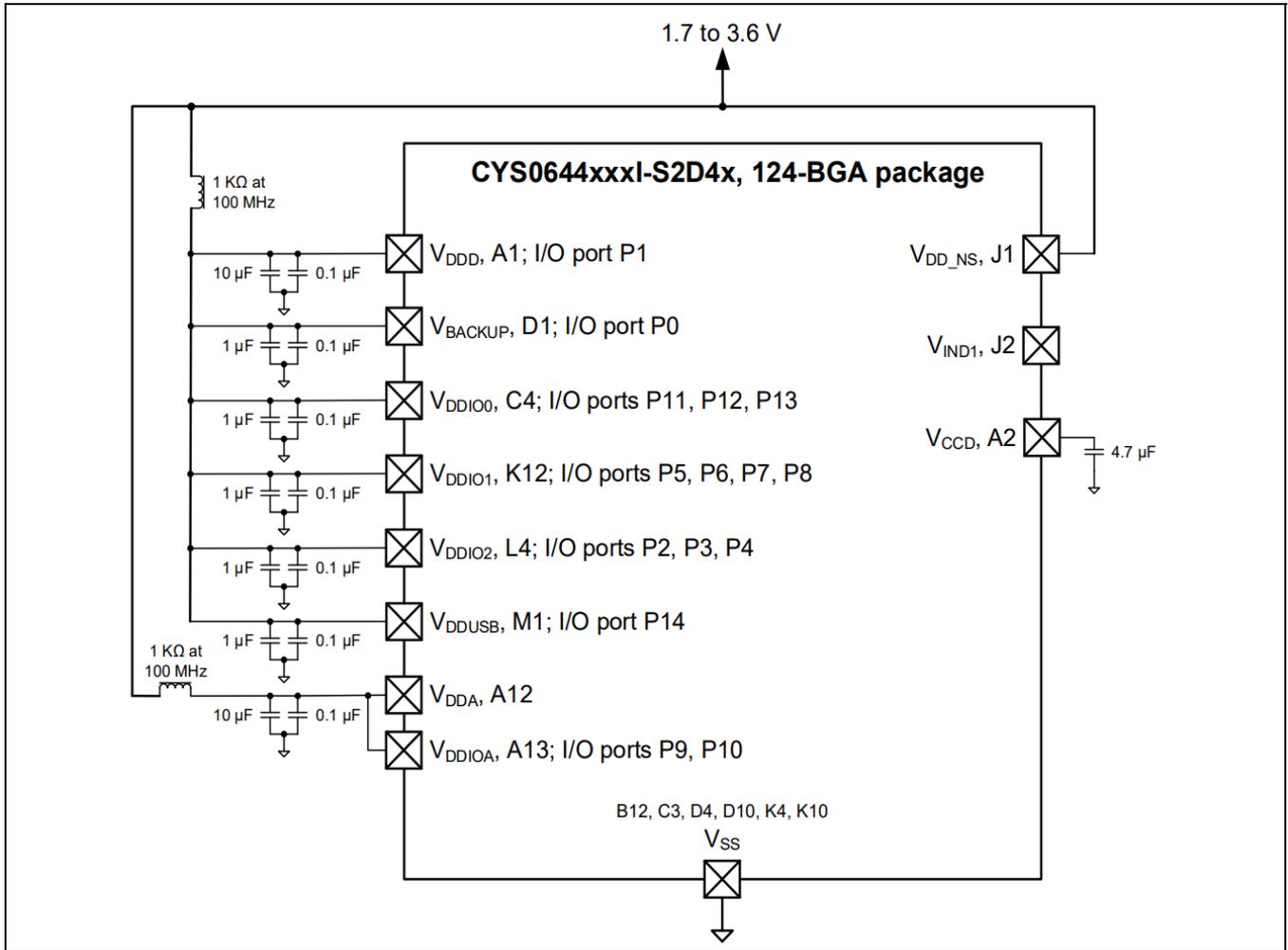


图 15 124-BGA (无降压) 电源连接图

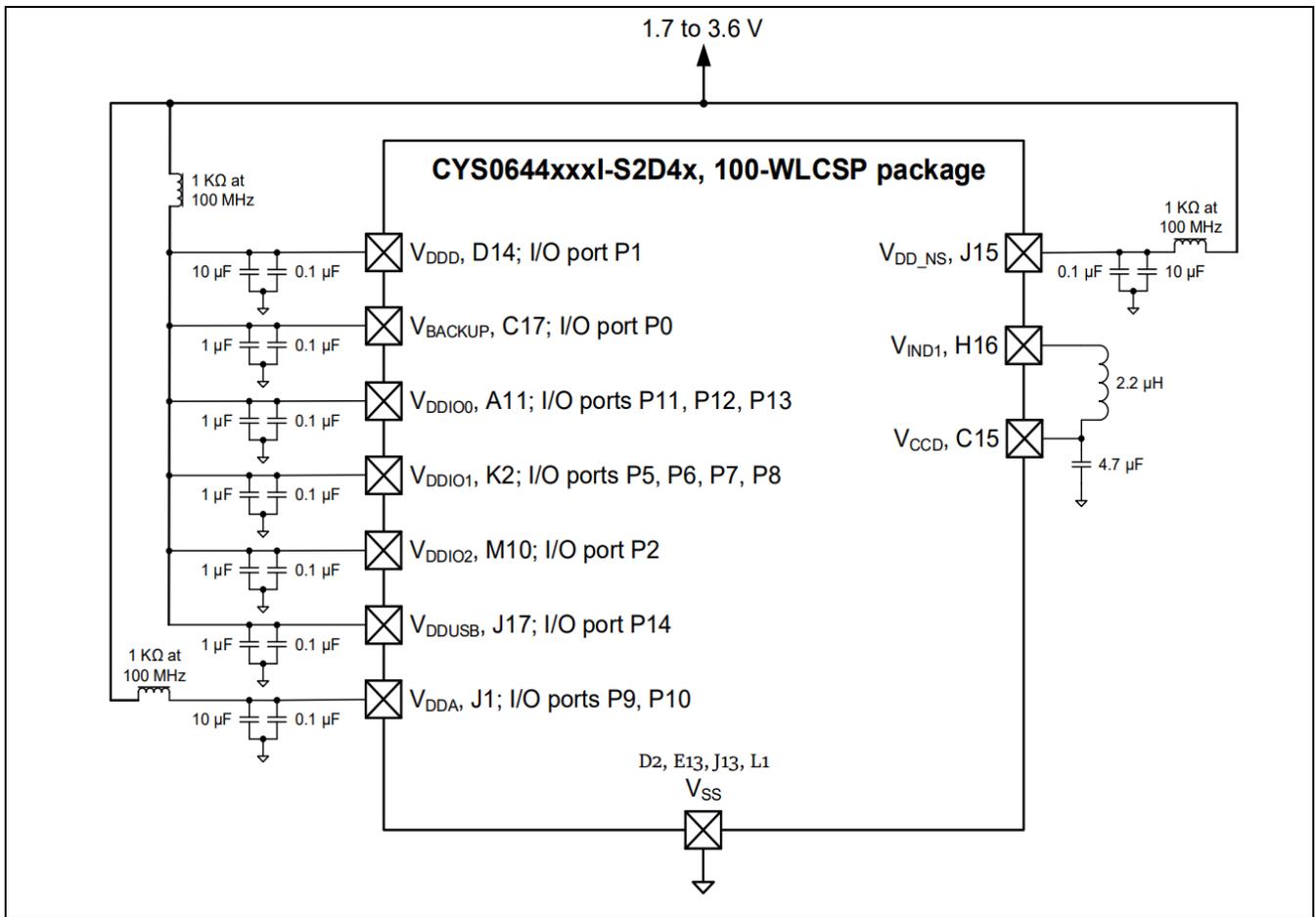


图 16 100-WLCSP电源连接图

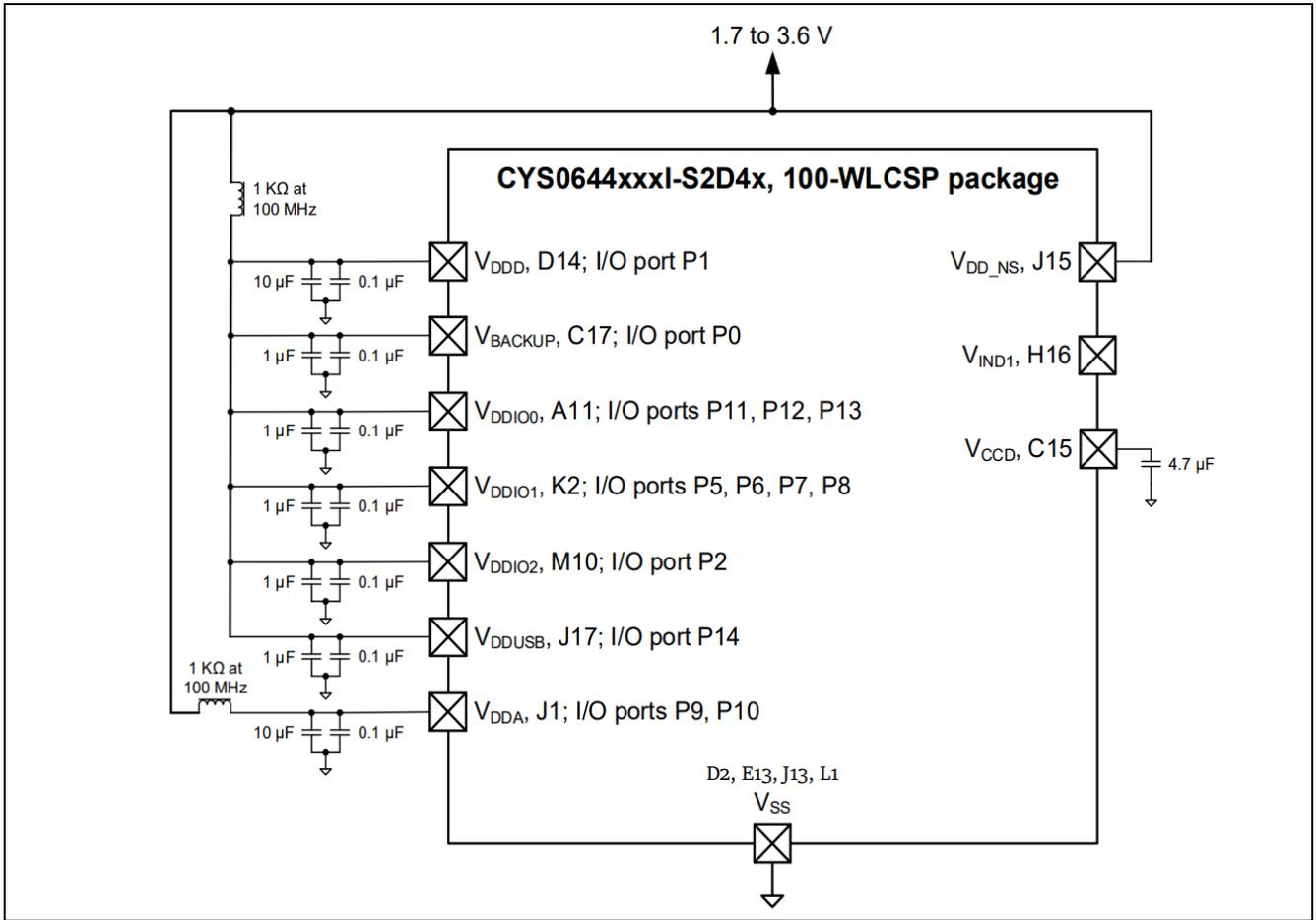


图 17 100-WLCSP (无降压) 电源连接图

根据封装不同，最多有八个  $V_{DDx}$  电源引脚，以及多个  $V_{SS}$  接地引脚。电源引脚包括：

- $V_{DDD}$ ：主数字电源。它为低压差稳压器 (LDO) 和 I/O 端口 1 供电。
- $V_{CCD}$ ：主 LDO 输出。它需要一个  $4.7\ \mu\text{F}$  电容进行稳压。当  $V_{CCD}$  由开关稳压器驱动时，可以关闭 LDO（见下文）。更多信息，请参阅[器件技术参考手册 \(TRM\)](#) 中的电源系统框图。
- $V_{DDA}$ ：模拟外设的电源。必须在此引脚上施加电压才能正确初始化和启动设备。
- $V_{DDIOA}$ ：I/O 端口 9 和 10 的电源。它必须连接到  $V_{DDA}$ 。
- $V_{DDIO0}$ ：I/O 端口 11、12 和 13 的电源。
- $V_{DDIO1}$ ：I/O 端口 5、6、7 和 8 的电源。
- $V_{DDIO2}$ ：I/O 端口 2、3 和 4 的电源。
- $V_{BACKUP}$ ：备份域的电源，包括 32 kHz WCO 和 RTC。它可以是低至 1.4 V 的独立电源，用于电池或超级电容备份，如 [图 18](#) 所示。否则，它需要连接到  $V_{DDD}$ 。它为 I/O 端口 0 供电。

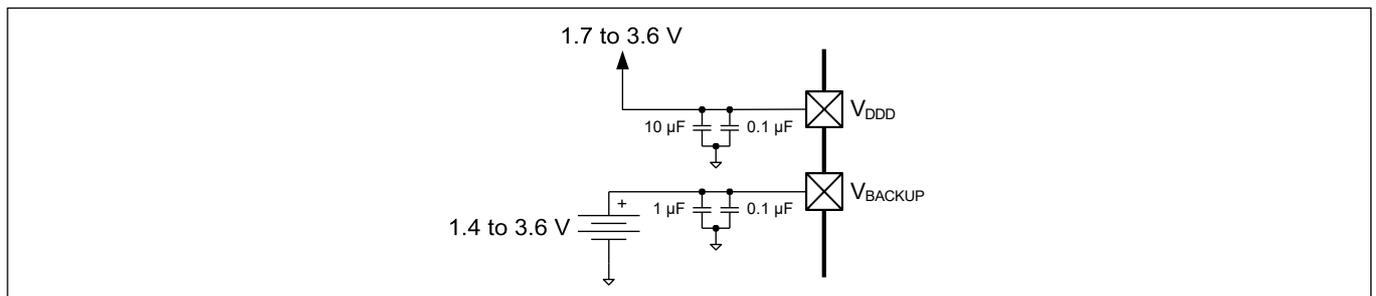


图 18 单独的电池连接至  $V_{BACKUP}$

- $V_{DDUSB}$ ：USB 外设以及 USBDP 和 USBDM 引脚的电源。USB 工作电压必须为 2.85 V 至 3.6 V。如果不使用 USB，电压可以为 1.7 V 至 3.6 V，并且 USB 引脚可用作 I/O 端口 14 上的有限容量 GPIO。

[表 10](#) 显示 I/O 端口电源的摘要：

表 10 I/O 端口电源

Port	Supply	Alternate supply
0	$V_{BACKUP}$	$V_{DDD}$
1	$V_{DDD}$	-
2, 3, 4	$V_{DDIO2}$	-
5, 6, 7, 8	$V_{DDIO1}$	-
9, 10	$V_{DDIOA}$	$V_{DDA}$
11, 12, 13	$V_{DDIO0}$	-
14	$V_{DDUSB}$	-

**注释：**如果不使用 USB 引脚，请将  $V_{DDUSB}$  接地，并保持 P14.0/USB DP 和 P14.1/USB DM 引脚悬空。

必须向  $V_{DDD}$  引脚和  $V_{DDA}$  引脚施加电压（如上所述），以确保设备正确初始化和运行。如果未使用 I/O 端口，则向相应的  $V_{DDx}$  引脚施加电压是可选项。

•  $V_{SS}$ ：上述电源的接地引脚。所有接地引脚应连接到公共地。除了 LDO 稳压器外，还包含一个开关稳压器。稳压器引脚如下：

- $V_{DD\_NS}$ ：稳压器电源。
- $V_{IND1}$ ：稳压器输出。通常用于通过电感驱动  $V_{CCD}$ 。

$V_{DD}$  电源引脚未在芯片内连接。它们可以通过一个或多个独立网络连接到芯片外。如果使用独立的电源网络，可以按照框图通过可选的磁珠将其与其他网络的噪声隔离。如图所示。

无论是否使用这些引脚，都不应在  $V_{CCD}$  或  $V_{IND1}$  上放置外部负载。

没有电源引脚排序要求；电源可以按任何顺序启动。电源管理系统将设备保持复位状态，直到所有电源引脚都达到正常运行所需的电压水平。

**注释：**如果先在 PCB 上安装电池， $V_{DDD}$  必须循环至少 50  $\mu$ s。这可以防止电池在产品制造和存储过程中过早耗尽。

旁路电容必须连接到  $V_{DDx}$  和其他引脚的公共地，如图所示。此频率范围内的系统的典型做法是使用一个 10  $\mu$ F 或 1  $\mu$ F 电容与一个较小的电容（例如 0.1  $\mu$ F）并联。

请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

所有电容器和电感器的公差均应达到  $\pm 20\%$  或更好。建议电感值为 2.2  $\mu$ H  $\pm 20\%$ （例如，TDK MLP2012H2R2MT0S1）。

良好的做法是检查旁路电容器的数据手册，特别是其工作电压和直流偏置规格。对于某些电容器，当施加的电压占额定工作电压的很大比例时，实际电容可能会大幅下降。

有关焊盘布局的更多信息，请参阅 [PSOC™ 6 CAD 库](#)。

## 6 电气规格参数

除非另有说明，所有规范均适用于  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$  和 1.71 V 至 3.6 V。

### 6.1 绝对最大额定值

表 11 绝对最大额定值<sup>[2]</sup>

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID1	$V_{DD\_ABS}$	Analog or digital supply relative to $V_{SS}$ ( $V_{SSD} = V_{SSA}$ )	-0.5	-	4	V	
SID2	$V_{CCD\_ABS}$	Direct digital core voltage input relative to $V_{SSD}$	-0.5	-	1.2	V	
SID3	$V_{GPIO\_ABS}$	GPIO voltage; $V_{DDD}$ or $V_{DDA}$	-0.5	-	$V_{DD} + 0.5$	V	
SID4	$I_{GPIO\_ABS}$	Current per GPIO	-25	-	25	mA	
SID5	$I_{GPIO\_injection}$	GPIO injection current per pin	-0.5	-	0.5	mA	
SID3A	ESD_HBM	Electrostatic discharge Human Body Model	2200	-	-	V	
SID4A	ESD_CDM	Electrostatic discharge Charged Device Model	500	-	-	V	
SID5A	LU	Pin current for latchup-free operation	-100	-	100	mA	

#### 注释:

2. 超过表11中所列绝对最大条件使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为  $150^{\circ}\text{C}$ ，符合 JEDEC 标准 JESD22-A103 《高温存储寿命》。在绝对最大条件以下但高于正常工作条件下使用时，器件可能无法按规格运行。

## 6.2 器件级规范

表 14 提供了 CPU 电流的详细规格。表 12 总结了这些规格，以便快速查看常见条件下的 CPU 电流。请注意，CM4 的最大频率为 150 MHz，CM0+ 的最大频率为 100 MHz。IMO 和 FLL 用于生成 CPU 时钟；当 CPU 时钟频率为 8MHz。

表 12 CPU 电流规格摘要

Condition	Range	Typ range	Max range
LP Mode, $V_{DD} = 3.3\text{ V}$ , $V_{CCD} = 1.1\text{ V}$ , with buck regulator			
CM4 active, CM0+ sleep	Across CPUs clock ranges: 8 MHz to 150/100 MHz; Dhrystone with flash cache enabled	0.9 mA–7.35 mA	2 mA–9.5 mA
CM0+ active, CM4 sleep		0.8 mA–4.4 mA	2 mA–5.8 mA
CM4 sleep, CM0+ sleep		0.7 mA–1.55 mA	1.3 mA–2.2 mA
CM0+ sleep, CM4 off		0.7 mA–1.3 mA	1.3 mA–2 mA
Minimum regulator current mode	Across CM4/CM0+ CPU active/sleep modes	0.64 mA–0.85 mA	1.2 mA–1.5 mA
ULP Mode, $V_{DD} = 3.3\text{ V}$ , $V_{CCD} = 0.9\text{ V}$ , with buck regulator			
CM4 active, CM0+ sleep	Across CPUs clock ranges: 8 MHz to 50/25 MHz; Dhrystone with flash cache enabled	0.65 mA–1.85 mA	1.2 mA–2.5 mA
CM0+ active, CM4 sleep		0.55 mA–1 mA	0.95 mA–1.5 mA
CM4 sleep, CM0+ sleep		0.45 mA–0.85 mA	0.9 mA–1.2 mA
CM0+ sleep, CM4 off		0.41 mA–0.62 mA	0.72 mA–1.2 mA
Minimum regulator current mode	Across CM4/CM0+ CPU active/sleep modes	0.4 mA–0.55 mA	1 $\mu\text{A}$ –1 mA
Deep Sleep	Across SRAM retention	7 $\mu\text{A}$ –9 $\mu\text{A}$	–
Hibernate	Across $V_{DD}$	300 nA–2100 nA	–

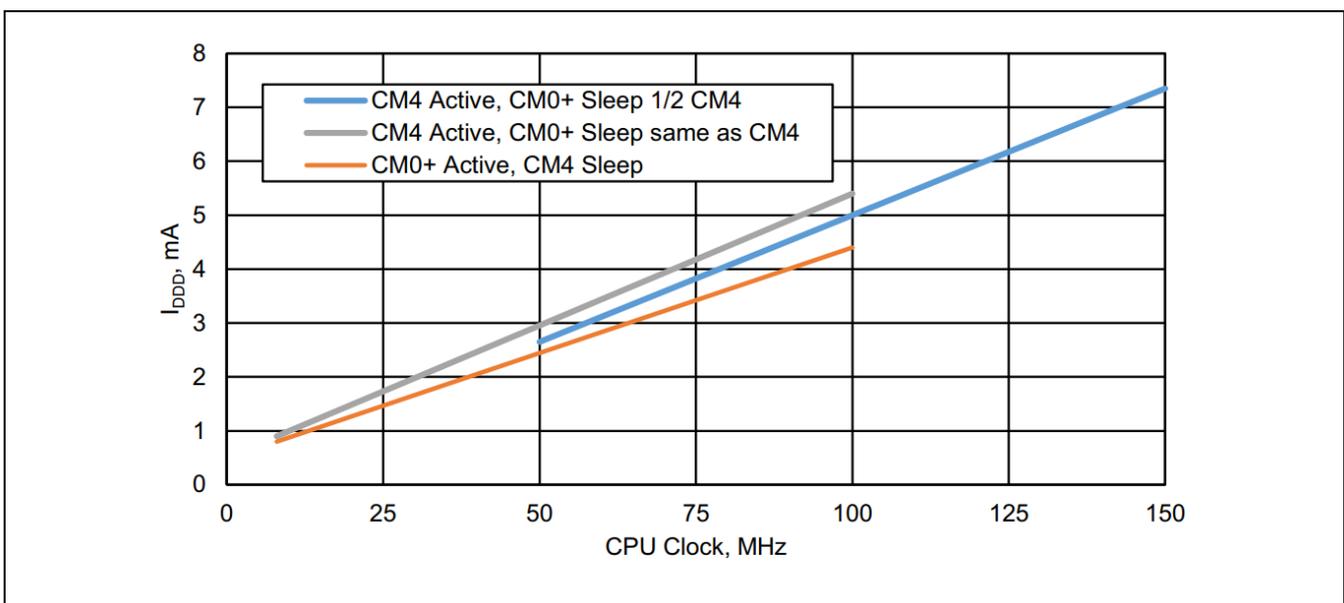


图 19 典型设备电流与 CPU 频率的关系；系统低功耗 (LP) 模式

## 6.2.1 电源

表 13 电源直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID6	$V_{DD}$	Internal regulator and Port 1 GPIO supply	1.7	–	3.6	V	–
SID7	$V_{DDA}$	Analog power supply voltage. Shorted to $V_{DDIOA}$ on PCB.	1.7	–	3.6	V	Internally unregulated supply
SID7A	$V_{DDIO1}$	GPIO supply for ports 5 to 8 when present	1.7	–	3.6	V	Must be $\geq V_{DDA}$ if the CapSense (CSD) block is used in the application
SID7B	$V_{DDIO0}$	GPIO supply for ports 11 to 13 when present	1.7	–	3.6	V	–
SID7C	$V_{DDIO2}$	GPIO supply for ports 2 to 4 when present	1.7	–	3.6	V	–
SID7D	$V_{DDIOA}$	GPIO supply for ports 9 and 10 when present. Must be connected to $V_{DDA}$ on PCB.	1.7	–	3.6	V	–
SID7F	$V_{DDUSB}$	Supply for port 14 (USB or GPIO) when present	1.7	–	3.6	V	Min supply is 2.85 V for USB
SID6B	$V_{BACKUP}$	Backup power and GPIO Port 0 supply when present	1.7	–	3.6	V	Min is 1.4 V when $V_{DD}$ is removed
SID8	$V_{CCD1}$	Output voltage (for core logic bypass)	–	1.1	–	V	System LP mode
SID9	$V_{CCD2}$	Output voltage (for core logic bypass)	–	0.9	–		ULP mode. Valid for $-20^{\circ}\text{C}$ to $85^{\circ}\text{C}$ .
SID10	$C_{EFC}$	External regulator voltage ( $V_{CCD}$ ) bypass	3.8	4.7	5.6	$\mu\text{F}$	X5R ceramic or better. Value for 0.8 V to 1.2 V.
SID11	$C_{EXC}$	Power supply decoupling capacitor	–	10	–	$\mu\text{F}$	X5R ceramic or better

## 6.2.2 CPU 电流和转换时间

表 14 CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>LP range power specifications (for V<sub>CCD</sub> = 1.1 V with Buck and LDO)</b>							
<b>Cortex®-M4. Active Mode</b>							
<b>Execute with Cache Disabled (Flash)</b>							
SIDF1	IDD1	Execute from Flash; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. While(1).	-	2.85	4.5	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				4.1	5.1		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				6.8	10		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, max at 60°C
SIDF2	IDD2	Execute from Flash; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While(1).	-	0.9	2.1	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				1.2	2.2		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				2.4	5.5		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
<b>Execute with Cache Enabled</b>							
SIDC1	IDD3	Execute from Cache; CM4 Active 150 MHz, CM0+ Sleep 75 MHz. IMO & PLL. Dhystone.	-	7.35	9.5	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				12	14.5		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				18	21		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
SIDC2	IDD4	Execute from Cache; CM4 Active 100 MHz, CM0+ Sleep 100 MHz. IMO & FLL. Dhystone.	-	5.4	6.8	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				8.95	10		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				13.8	17		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SIDC3	IDD5	Execute from Cache; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. IMO & FLL. Dhrystone.	-	2.65	3.8	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				4.25	5.3		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				6.8	10		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
SIDC4	IDD6	Execute from Cache; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. IMO. Dhrystone.	-	0.9	2	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				1.27	2.1		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				2.3	5.5		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C

**Cortex® M0+. Active Mode**

**Execute with Cache Disabled (Flash)**

SIDF3	IDD7	Execute from Flash; CM4 Off, CM0+ Active 50 MHz. With IMO & FLL. While (1).	-	2.6	4	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				3.9	5		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				6.5	10		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
SIDF4	IDD8	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	-	0.8	1.5	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				1.1	2		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				2.2	5.5		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C

**Execute with Cache Enabled**

SIDC5	IDD9	Execute from Cache; CM4 Off, CM0+ Active 100 MHz. With IMO & FLL. Dhrystone.	-	4.40	5.8	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				7.35	8.5		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				11.5	14.5		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SIDC6	IDD10	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	-	0.8	2	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				1.2	2		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				2.2	5.5		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
<b>Cortex® M4. Sleep Mode</b>							
SIDS1	IDD11	CM4 Sleep 100 MHz, CM0+ Sleep 25 MHz. With IMO & FLL.	-	1.55	2.2	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				2.4	3.5		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				4.2	7.2		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
SIDS2	IDD12	CM4 Sleep 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL.	-	1.2	2	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				1.75	2.7		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				3.2	6.3		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
SIDS3	IDD13	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	-	0.7	1.3	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				0.96	1.8		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				1.7	5		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
<b>Cortex® M0+. Sleep Mode</b>							
SIDS4	IDD14	CM4 Off, CM0+ Sleep 50 MHz. With IMO & FLL.	-	1.3	2	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				2.05	3		V <sub>DD</sub> = 1.8 V, Buck ON, Max at 60°C
				3.6	6.8		V <sub>DD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SIDS5	IDD15	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	-	0.7	1.3	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				0.95	1.5		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
				1.7	5		$V_{DD} = 1.8\text{ to }3.3\text{ V}$ , LDO, Max at 60°C
<b>Cortex® M4. Minimum Regulator Current Mode</b>							
SIDLPA1	IDD16	Execute from Flash; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While (1).	-	0.85	1.8	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.18	2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
				2.2	5.5		$V_{DD} = 1.8\text{ to }3.3\text{ V}$ , LDO, Max at 60°C
SIDLPA2	IDD17	Execute from Cache; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	-	0.9	1.5	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.27	2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
				2.2	5.5		$V_{DD} = 1.8\text{ to }3.3\text{ V}$ , LDO, Max at 60°C
<b>Cortex® M0+. Minimum Regulator Current Mode</b>							
SIDLPA3	IDD18	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	-	0.8	1.5	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.14	2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
				2.1	5.5		$V_{DD} = 1.8\text{ to }3.3\text{ V}$ , LDO, Max at 60°C
SIDLPA4	IDD19	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	-	0.8	1.5	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.15	2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
				2.1	5.5		$V_{DD} = 1.8\text{ to }3.3\text{ V}$ , LDO, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Cortex® M4. Minimum Regulator Current Mode</b>							
SIDLPS1	IDD20	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	-	0.65	1.2	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				0.95	1.7		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				1.6	5		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
<b>Cortex® M0+. Minimum Regulator Current Mode</b>							
SIDLPS3	IDD22	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	-	0.64	1.2	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				0.93	1.7		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
				1.6	5		V <sub>DDD</sub> = 1.8 to 3.3 V, LDO, Max at 60°C
<b>ULP Range Power Specifications (for V<sub>CCD</sub> = 0.9 V using the Buck). ULP mode is valid from -20°C to +85°C.</b>							
<b>Cortex® M4. Active Mode</b>							
<b>Execute with Cache Disabled (Flash)</b>							
SIDF5	IDD3	Execute from Flash; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. While(1).	-	2.15	2.9	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				2.85	3.4		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
SIDF6	IDD4	Execute from Flash; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While (1).	-	0.65	1.2	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				0.8	1.4		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C
<b>Execute with Cache Enabled</b>							
SIDC8	IDD10	Execute from Cache; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. Dhrystone.	-	1.85	2.5	mA	V <sub>DDD</sub> = 3.3 V, Buck ON, Max at 60°C
				2.9	3.5		V <sub>DDD</sub> = 1.8 V, Buck ON, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SIDC9	IDD11	Execute from Cache; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	-	0.65	1.2	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				0.8	1.3		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
<b>Cortex® M0+. Active Mode</b>							
<b>Execute with Cache Disabled (Flash)</b>							
SIDF7	IDD16	Execute from Flash; CM4 Off, CM0+ Active 25 MHz. With IMO & FLL. Write(1).	-	1.1	1.5	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.55	2.2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
SIDF8	IDD17	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While(1).	-	0.55	1.2	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				0.73	1.4		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
<b>Execute with Cache Enabled</b>							
SIDC10	IDD18	Execute from Cache; CM4 Off, CM0+ Active 25 MHz. With IMO & FLL. Dhrystone.	-	1	1.5	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.5	2		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
SIDC11	IDD19	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	-	0.55	0.95	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				0.73	1.3		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
<b>Cortex® M4. Sleep Mode</b>							
SIDS7	IDD21	CM4 Sleep 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL.	-	0.85	1.2	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				1.2	1.8		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C
SIDS8	IDD22	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	-	0.45	0.9	mA	$V_{DD} = 3.3\text{ V}$ , Buck ON, Max at 60°C
				0.59	1		$V_{DD} = 1.8\text{ V}$ , Buck ON, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Cortex® M0+. Sleep Mode</b>							
SIDS9	IDD23	CM4 Off, CM0+ Sleep 25 MHz. With IMO & FLL.	-	0.62	1.2	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.88	1.5		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
SIDS10	IDD24	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	-	0.41	0.72	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.58	1.3		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
<b>Cortex® M4. Minimum Regulator Current Mode</b>							
SIDLPA5	IDD25	Execute from Flash. CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While(1).	-	0.65	1.2	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.8	1.4		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
SIDLPA6	IDD26	Execute from Cache. CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	-	0.6	1	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.78	1.4		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
<b>Cortex® M0+. Minimum Regulator Current Mode</b>							
SIDLPA7	IDD27	Execute from Flash. CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	-	0.55	1	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.75	1.4		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
SIDLPA8	IDD28	Execute from Cache. CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	-	0.5	1	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.7	1.4		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C
<b>Cortex® M4. Minimum Regulator Current Mode</b>							
SIDLPS5	IDD29	CM4 Sleep 8 MHz, CM0 Sleep 8 MHz. With IMO.	-	0.45	1	mA	V <sub>DDP</sub> = 3.3 V, Buck ON, Max at 60°C
				0.57	1.1		V <sub>DDP</sub> = 1.8 V, Buck ON, Max at 60°C

表 14 CPU 电流和转换时间 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Cortex® M0+. Minimum Regulator Current Mode</b>							
SIDLPS7	IDD31	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	-	0.4	1	mA	V <sub>DD</sub> = 3.3 V, Buck ON, Max at 60°C
				0.56	1.1		
<b>Deep Sleep Mode</b>							
SIDDS2	I <sub>DD33B</sub>	With internal Buck enabled and 256-KB SRAM retention.	-	20	-	μA	
<b>Hibernate Mode</b>							
SIDHIB1	I <sub>DD34</sub>	V <sub>DD</sub> = 1.8 V	-	300	-	nA	No clocks running
SIDHIB2	I <sub>DD34A</sub>	V <sub>DD</sub> = 3.3 V	-	2100	-	nA	No clocks running
<b>Power Mode Transition Times</b>							
SID12	T <sub>LPACT_ACT</sub>	Minimum Regulator Current to LP transition time.	-	-	35	μs	Including PLL lock time
SID13	T <sub>DS_LPACT</sub>	Deep Sleep to LP transition time	-	-	21	μs	Guaranteed by design
SID14	T <sub>HIB_ACT</sub>	Hibernate to LP transition time	-	1000	-	μs	Including PLL lock time

### 6.2.3 XRES

表 15 XRES 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID17	$T_{XRES\_IDD}$	$I_{DD}$ when XRES asserted	–	300	500	nA	$V_{DDD} = 1.8\text{ V}$
SID17A	$T_{XRES\_IDD\_1}$	$I_{DD}$ when XRES asserted	–	2100	10500	nA	$V_{DDD} = 3.3\text{ V}$
SID77	$V_{IH}$	Input voltage HIGH threshold	$0.7 \times V_{DD}$	–	–	V	CMOS input
SID78	$V_{IL}$	Input voltage LOW threshold	–	–	$0.3 \times V_{DD}$	V	CMOS input
SID80	$C_{IN}$	Input capacitance	–	3	–	pF	–
SID81	$V_{HYSXRES}$	Input voltage hysteresis	–	100	–	mV	–
SID82	$I_{DIODE}$	Current through protection diode to $V_{DD}/V_{SS}$	–	–	100	$\mu\text{A}$	–

表 16 XRES 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID15	$T_{XRES\_ACT}$	POR or XRES release to Active transition time	–	1000	–	$\mu\text{s}$	Normal mode, 50-MHz CM0+.
SID16	$T_{XRES\_PW}$	XRES pulse width	5	–	–	$\mu\text{s}$	–

## 6.2.4 GPIO

表 17 GPIO 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID57	$V_{IH}$	Input voltage HIGH threshold	$0.7 \times V_{DD}$	–	–	V	CMOS Input
SID57A	$I_{IHS}$	Input current when Pad > $V_{DDIO}$ for OVT inputs	–	–	10	$\mu$ A	Per I <sup>2</sup> C Spec
SID58	$V_{IL}$	Input voltage LOW threshold	–	–	$0.3 \times V_{DD}$	V	CMOS Input
SID241	$V_{IH}$	LVTTL input, $V_{DD} < 2.7$ V	$0.7 \times V_{DD}$	–	–	V	–
SID242	$V_{IL}$	LVTTL input, $V_{DD} < 2.7$ V	–	–	$0.3 \times V_{DD}$	V	–
SID243	$V_{IH}$	LVTTL input, $V_{DD} \geq 2.7$ V	2.0	–	–	V	–
SID244	$V_{IL}$	LVTTL input, $V_{DD} \geq 2.7$ V	–	–	0.8	V	–
SID59	$V_{OH}$	Output voltage HIGH level	$V_{DD} - 0.5$	–	–	V	$I_{OH} = 8$ mA
SID62A	$V_{OL}$	Output voltage LOW level	–	–	0.4	V	$I_{OL} = 8$ mA
SID63	$R_{PULLUP}$	Pull-up resistor	3.5	5.6	8.5	k $\Omega$	–
SID64	$R_{PULLDOWN}$	Pull-down resistor	3.5	5.6	8.5	k $\Omega$	–
SID65	$I_{IL}$	Input leakage current (absolute value)	–	–	2	nA	25°C, $V_{DD} = 3.0$ V
SID66	$C_{IN}$	Input capacitance	–	–	5	pF	–
SID67	$V_{HYSTTL}$	Input hysteresis LVTTL, $V_{DD} > 2.7$ V	100	0	–	mV	–
SID68	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.05 \times V_{DD}$	–	–	mV	–
SID69	$I_{DIODE}$	Current through protection diode to $V_{DD}/V_{SS}$	–	–	100	$\mu$ A	–
SID69A	$I_{TOT\_GPIO}$	Maximum total source or sink chip current	–	–	200	mA	–

表 18 GPIO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID70	$T_{RISEF}$	Rise time in Fast Strong Mode. 10% to 90% of $V_{DD}$ .	–	–	2.5	ns	Load = 15 pF, 8-mA drive strength
SID71	$T_{FALLF}$	Fall time in Fast Strong Mode. 10% to 90% of $V_{DD}$ .	–	–	2.5	ns	Load = 15 pF, 8-mA drive strength
SID72	$T_{RISES\_1}$	Rise time in Slow Strong Mode. 10% to 90% of $V_{DD}$ .	52	–	142	ns	Load = 15 pF, 8-mA drive strength, $V_{DD} \leq 2.7 V$
SID72A	$T_{RISES\_2}$	Rise time in Slow Strong Mode. 10% to 90% of $V_{DD}$ .	48	–	102	ns	Load = 15 pF, 8-mA drive strength, $2.7 V < V_{DD} \leq 3.6 V$
SID73	$T_{FALLS\_1}$	Fall time in Slow Strong Mode. 10% to 90% of $V_{DD}$ .	44	–	211	ns	Load = 15 pF, 8-mA drive strength, $V_{DD} \leq 2.7 V$
SID73A	$T_{FALLS\_2}$	Fall time in Slow Strong Mode. 10% to 90% of $V_{DD}$ .	42	–	93	ns	Load = 15 pF, 8-mA drive strength, $2.7 V < V_{DD} \leq 3.6 V$
SID73G	$T_{FALL\_I2C}$	Fall time (30% to 70% of $V_{DD}$ ) in Slow Strong mode.	$20 \times V_{DDIO} / 5.5$	–	250	ns	Load = 10 pF to 400 pF, 8-mA drive strength
SID74	$F_{GPIOOUT1}$	GPIO Fout. Fast Strong mode.	–	–	100	MHz	90/10%, 15-pF load, 60/40 duty cycle
SID75	$F_{GPIOOUT2}$	GPIO Fout; Slow Strong mode.	–	–	1.5	MHz	90/10%, 15-pF load, 60/40 duty cycle
SID76	$F_{GPIOOUT3}$	GPIO Fout; Fast Strong mode.	–	–	100	MHz	90/10%, 25-pF load, 60/40 duty cycle
SID245	$F_{GPIOOUT4}$	GPIO Fout; Slow Strong mode.	–	–	1.3	MHz	90/10%, 25-pF load, 60/40 duty cycle
SID246	$F_{GPIOIN}$	GPIO input operating frequency; $1.71 V \leq V_{DD} \leq 3.6 V$	–	–	100	MHz	90/10% $V_{IO}$

## 6.3 模拟外设

### 6.3.1 低功耗 (LP) 比较器

表 19 LP 比较器直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID84	V <sub>OFFSET1</sub>	Input offset voltage. Normal power mode.	-10	-	10	mV	-
SID85A	V <sub>OFFSET2</sub>	Input offset voltage. Low-power mode.	-25	±12	25	mV	-
SID85B	V <sub>OFFSET3</sub>	Input offset voltage. Ultra low-power mode.	-25	±12	25	mV	-
SID86	V <sub>HYST1</sub>	Hysteresis when enabled in Normal mode	-	-	60	mV	-
SID86A	V <sub>HYST2</sub>	Hysteresis when enabled in Low-power mode	-	-	80	mV	-
SID87	V <sub>ICM1</sub>	Input common mode voltage in Normal mode	0	-	V <sub>DDIO1</sub> - 0.1	V	-
SID247	V <sub>ICM2</sub>	Input common mode voltage in Low power mode	0	-	V <sub>DDIO1</sub> - 0.1	V	-
SID247A	V <sub>ICM3</sub>	Input common mode voltage in Ultra low power mode	0	-	V <sub>DDIO1</sub> - 0.1	V	-
SID88	CMRR	Common mode rejection ratio in Normal power mode	50	-	-	dB	-
SID89	I <sub>CMP1</sub>	Block current, Normal mode	-	-	150	μA	-
SID248	I <sub>CMP2</sub>	Block current, Low-power mode	-	-	10	μA	-
SID259	I <sub>CMP3</sub>	Block current in Ultra low-power mode	-	0.3	0.85	μA	-
SID90	ZCMP	DC input impedance of comparator	35	-	-	MΩ	-

表 20 LP 比较器交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID91	T <sub>RESP1</sub>	Response time, Normal mode, 100 mV overdrive	-	-	100	ns	-
SID258	T <sub>RESP2</sub>	Response time, Low power mode, 100 mV overdrive	-	-	1000	ns	-
SID92	T <sub>RESP3</sub>	Response time, Ultra-low power mode, 100 mV overdrive	-	-	20	μs	-
SID92E	T <sub>CMP_EN1</sub>	Time from Enabling to operation	-	-	10	μs	Normal and low-power modes
SID92F	T <sub>CMP_EN2</sub>	Time from Enabling to operation	-	-	50	μs	Ultra-low-power mode

### 6.3.2 温度传感器

表 21 温度传感器规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID93	T <sub>SENSACC</sub>	Temperature sensor accuracy	-5	±1	5	°C	-40°C to +85°C

### 6.3.3 内部参考电压

表 22 内部参考电压规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID93R	V <sub>REFBG</sub>	-	1.188	1.2	1.212	V	-

### 6.3.4 SAR ADC

表 23 12 位 SAR ADC 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID94	A_RES	SAR ADC resolution	–	–	12	bits	
SID95	A_CHNLS_S	Number of channels - single-ended	–	–	16	–	8 full speed.
SID96	A-CHNKS_D	Number of channels - differential	–	–	8	–	Diff inputs use neighboring I/Os
SID97	A-MONO	Monotonicity	–	–	–	–	Yes.
SID98	A_GAINERR	Gain error	–	–	±0.2	%	With external reference.
SID99	A_OFFSET	Input offset voltage	–	–	2	mV	Measured with 1-V reference
SID100	A_ISAR_1	Current consumption at 1 Msps	–	–	1.05	mA	At 1 Msps. External reference mode
SID100A	A_ISAR_2	Current consumption at 1 Msps	–	–	1.3	mA	At 1 Msps. Internal reference mode
SID1002	A_ISAR_3	Current consumption at 2 Msps	–	–	1.65	mA	At 2 Msps. External reference mode
SID1003	A_ISAR_4	Current consumption at 2 Msps	–	–	2.15	mA	At 2 Msps. Internal reference mode
SID101	A_VINS	Input voltage range - single-ended	$V_{SS}$	–	$V_{DDA}$	V	
SID102	A_VIND	Input voltage range - differential	$V_{SS}$	–	$V_{DDA}$	V	
SID103	A_INRES	Input resistance	–	1	–	K $\Omega$	
SID104	A_INCAP	Input capacitance	–	5	–	pF	

表 24 12 位 SAR ADC 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID106	A_PSRR	Power supply rejection ratio	70	-	-	dB	
SID107	A_CMRR	Common mode rejection ratio	66	-	-	dB	Measured at 1 V
SID1081	A_SAMP_1	Sample rate with external reference; With bypass cap	-	-	2	MspS	V <sub>DDA</sub> 2.7 V–3.6 V
SID1082	A_SAMP_1	Sample rate with external reference; With bypass cap	-	-	1	MspS	V <sub>DDA</sub> 1.7 V–3.6 V
SID108A1	A_SAMP_2	Sample rate with V <sub>DD</sub> reference; No Bypass Cap	-	-	2	MspS	V <sub>DDA</sub> 2.7 V–3.6 V
SID108A2	A_SAMP_2	Sample rate with V <sub>DD</sub> Reference; No Bypass Cap	-	-	1	MspS	V <sub>DDA</sub> 1.7 V–3.6 V
SID108B	A_SAMP_3	Sample rate with internal reference; With Bypass Cap.	-	-	1	MspS	
SID108C	A_SAMP_4	Sample rate with internal reference; No Bypass Cap	-	-	200	ksps	
SID109	A_SINAD	Signal-to-noise and distortion ratio (SINAD).	64	-	-	dB	F <sub>in</sub> = 10 kHz
SID111A	A_INL	Integral non-linearity. Up to 1 MspS	-2	-	2	LSB	All reference modes
SID111B	A_INL	Integral non-linearity. 2 MspS.	-2.5	-	2.5	LSB	External reference or V <sub>DDA</sub> Reference Mode, V <sub>REF</sub> ≥ 2 V. V <sub>DDA</sub> = 2.7 V to 3.6 V
SID112A	A_DNL	Differential non-linearity. Up to 1 MspS	-1	-	1.5	LSB	All reference modes
SID112B	A_DNL	Differential non-linearity. 2 MspS.	-1	-	1.6	LSB	External reference or V <sub>DDA</sub> Reference Mode, V <sub>REF</sub> ≥ 2 V. V <sub>DDA</sub> = 2.7 V to 3.6 V
SID113	A_THD	Total harmonic distortion. 1 MspS.	-	-	-65	dB	F <sub>IN</sub> = 10 kHz. V <sub>DDA</sub> = 2.7 V–3.6 V

### 6.3.5 CSD

表 25 CapSense Sigma-Delta (CSD) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>CSD V2 specifications</b>							
SYS.PER#3	V <sub>DD_RIPPLE</sub>	Max allowed ripple on power supply, DC to 10 MHz	-	-	±50	mV	V <sub>DDA</sub> > 2 V (with ripple), 25°C T <sub>A</sub> , sensitivity = 0.1 pF
SYS.PER#16	V <sub>DD_RIPPLE_1.8</sub>	Max allowed ripple on power supply, DC to 10 MHz	-	-	±25	mV	V <sub>DDA</sub> > 1.75 V (with ripple), 25°C T <sub>A</sub> , Parasitic capacitance (C <sub>p</sub> ) < 20 pF, Sensitivity ≥ 0.4 pF
SID.CSD.BLK	I <sub>CSD</sub>	Maximum block current	-	-	4500	µA	-
SID.CSD#15	V <sub>REF</sub>	Voltage reference for CSD and Comparator	0.6	1.2	V <sub>DDA</sub> - 0.6	V	V <sub>DDA</sub> - V <sub>REF</sub> ≥ 0.6 V
SID.CSD#15A	V <sub>REF_EXT</sub>	External Voltage reference for CSD and Comparator	0.6	-	V <sub>DDA</sub> - 0.6	V	V <sub>DDA</sub> - V <sub>REF</sub> ≥ 0.6 V
SID.CSD#16	I <sub>DAC1IDD</sub>	IDAC1 (7-bits) block current	-	-	1900	µA	-
SID.CSD#17	I <sub>DAC2IDD</sub>	IDAC2 (7-bits) block current	-	-	1900	µA	-
SID308	V <sub>CSD</sub>	Voltage range of operation	1.7	-	3.6	V	1.71 V–3.6 V
SID308A	V <sub>COMPIDAC</sub>	Voltage compliance range of IDAC	0.6	-	V <sub>DDA</sub> - 0.6	V	V <sub>DDA</sub> - V <sub>REF</sub> ≥ 0.6 V
SID309	I <sub>DAC1DNL</sub>	DNL	-1	-	1	LSB	-
SID310	I <sub>DAC1INL</sub>	INL	-3	-	3	LSB	If V <sub>DDA</sub> < 2 V then for LSB of 2.4 µA or less
SID311	I <sub>DAC2DNL</sub>	DNL	-1	-	1	LSB	-
SID312	I <sub>DAC2INL</sub>	INL	-3	-	3	LSB	If V <sub>DDA</sub> < 2 V then for LSB of 2.4 µA or less

**SNRC of the following is Ratio of counts of finger to noise. Measured typical devices at room temperature using Dual IDAC + PRS Clock Mode. Best performance is when using the PASS reference and the PLL.**

表 25 CapSense Sigma-Delta (CSD) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID313_1A	SNRC_1	SRSS Reference. IMO + FLL Clock Source. 0.1-pF sensitivity.	5	-	-	Ratio	9.5-pF max. capacitance
SID313_1B	SNRC_2	SRSS Reference. IMO + FLL Clock Source. 0.3-pF sensitivity.	5	-	-	Ratio	31-pF max. capacitance
SID313_1C	SNRC_3	SRSS Reference. IMO + FLL Clock Source. 0.6-pF sensitivity.	5	-	-	Ratio	61-pF max. capacitance
SID313_2A	SNRC_4	PASS Reference. IMO + FLL Clock Source. 0.1-pF sensitivity.	5	-	-	Ratio	12-pF max. capacitance
SID313_2B	SNRC_5	PASS Reference. IMO + FLL Clock Source. 0.3-pF sensitivity.	5	-	-	Ratio	47-pF max. capacitance
SID313_2C	SNRC_6	PASS Reference. IMO + FLL Clock Source. 0.6-pF sensitivity.	5	-	-	Ratio	86-pF max. capacitance
SID313_3A	SNRC_7	PASS Reference. IMO + PLL Clock Source. 0.1-pF sensitivity.	5	-	-	Ratio	25-pF max. capacitance

表 25 CapSense Sigma-Delta (CSD) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID313_3B	SNRC_8	PASS Reference. IMO + PLL Clock Source. 0.3-pF sensitivity.	5	–	–	Ratio	86-pF max. capacitance
SID313_3C	SNRC_9	PASS Reference. IMO + PLL Clock Source. 0.6-pF sensitivity.	5	–	–	Ratio	168-pF Max. capacitance
SID314	IDAC <sub>1CRT1</sub>	Output current of IDAC1 (7 bits) in low range	4.2	–	5.7	μA	LSB = 37.5-nA typ.
SID314A	IDAC <sub>1CRT2</sub>	Output current of IDAC1 (7 bits) in medium range	33.7	–	45.6	μA	LSB = 300-nA typ.
SID314B	IDAC <sub>1CRT3</sub>	Output current of IDAC1 (7 bits) in high range	270	–	365	μA	LSB = 2.4-μA typ.
SID314C	IDAC <sub>1CRT12</sub>	Output current of IDAC1 (7 bits) in low range, 2X mode	8	–	11.4	μA	LSB = 37.5-nA typ. 2X output stage
SID314D	IDAC <sub>1CRT22</sub>	Output current of IDAC1 (7 bits) in medium range, 2X mode	67	–	91	μA	LSB = 300-nA typ. 2X output stage
SID314E	IDAC <sub>1CRT32</sub>	Output current of IDAC1 (7 bits) in high range, 2X mode. V <sub>DDA</sub> > 2 V	540	–	730	μA	LSB = 2.4-μA typ. 2X output stage

表 25 CapSense Sigma-Delta (CSD) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID315	IDAC <sub>2CRT1</sub>	Output current of IDAC2 (7 bits) in low range	4.2	–	5.7	μA	LSB = 37.5-nA typ.
SID315A	IDAC <sub>2CRT2</sub>	Output current of IDAC2 (7 bits) in medium range	33.7	–	45.6	μA	LSB = 300-nA typ.
SID315B	IDAC <sub>2CRT3</sub>	Output current of IDAC2 (7 bits) in high range	270	–	365	μA	LSB = 2.4-μA typ.
SID315C	IDAC <sub>2CRT12</sub>	Output current of IDAC2 (7 bits) in low range, 2X mode	8	–	11.4	μA	LSB = 37.5-nA typ. 2X output stage
SID315D	IDAC <sub>2CRT22</sub>	Output current of IDAC2 (7 bits) in medium range, 2X mode	67	–	91	μA	LSB = 300-nA typ. 2X output stage
SID315E	IDAC <sub>2CRT32</sub>	Output current of IDAC2 (7 bits) in high range, 2X mode. V <sub>DDA</sub> > 2 V	540	–	730	μA	LSB = 2.4-μA typ. 2X output stage
SID315F	IDAC <sub>3CRT13</sub>	Output current of IDAC in 8-bit mode in low range	8	–	11.4	μA	LSB = 37.5-nA typ.
SID315G	IDAC <sub>3CRT23</sub>	Output current of IDAC in 8-bit mode in medium range	67	–	91	μA	LSB = 300-nA typ.

表 25 CapSense Sigma-Delta (CSD) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID315H	IDAC <sub>3CRT33</sub>	Output current of IDAC in 8-bit mode in high range. V <sub>DDA</sub> > 2 V	540	–	730	μA	LSB = 2.4-μA typ.
SID320	IDAC <sub>OFFSET</sub>	All zeroes input	–	–	1	LSB	Polarity set by source or sink
SID321	IDAC <sub>GAIN</sub>	Full-scale error less offset	–	–	±15	%	LSB = 2.4-μA typ.
SID322	IDAC <sub>MISMATCH1</sub>	Mismatch between IDAC1 and IDAC2 in Low mode	–	–	9.2	LSB	LSB = 37.5-nA typ.
SID322A	IDAC <sub>MISMATCH2</sub>	Mismatch between IDAC1 and IDAC2 in Medium mode	–	–	6	LSB	LSB = 300-nA typ.
SID322B	IDAC <sub>MISMATCH3</sub>	Mismatch between IDAC1 and IDAC2 in High mode	–	–	5.8	LSB	LSB = 2.4-μA typ.
SID323	IDAC <sub>SET8</sub>	Settling time to 0.5 LSB for 8-bit IDAC	–	–	10	μs	Full-scale transition. No external load.
SID324	IDAC <sub>SET7</sub>	Settling time to 0.5 LSB for 7-bit IDAC	–	–	10	μs	Full-scale transition. No external load.
SID325	CMOD	External modulator capacitor.	–	2.2	–	nF	5-V rating, X7R or NP0 cap.

表 26 CSD ADC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>CSDv2 ADC specifications</b>							
SIDA94	A_RES	Resolution	-	-	10	bits	Auto-zeroing is required every millisecond
SID95	A_CHNLS_S	Number of channels - single ended	-	-	-	16	-
SIDA97	A-MONO	Monotonicity	-	-	Yes	-	V <sub>REF</sub> mode
SIDA98	A_GAINERR_VREF	Gain error	-	0.6	-	%	Reference source: SRSS (V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA98A	A_GAINERR_VDDA	Gain error	-	0.2	-	%	Reference source: SRSS (V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA99	A_OFFSET_VREF	Input offset voltage	-	0.5	-	LSB	After ADC calibration, Ref. Src = SRSS, (V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA99A	A_OFFSET_VDDA	Input offset voltage	-	0.5	-	LSB	After ADC calibration, Ref. Src = SRSS, (V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA100	A_ISAR_VREF	Current consumption	-	0.3	-	mA	CSD ADC Block current
SIDA100A	A_ISAR_VDDA	Current consumption	-	0.3	-	mA	CSD ADC Block current

表 26 CSD ADC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SIDA101	A_VINS_VREF	Input voltage range - single ended	V <sub>SSA</sub>	-	V <sub>REF</sub>	V	(V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA101A	A_VINS_VDDA	Input voltage range - single ended	V <sub>SSA</sub>	-	V <sub>DDA</sub>	V	(V <sub>REF</sub> = 1.20 V, V <sub>DDA</sub> < 2.2 V), (V <sub>REF</sub> = 1.6 V, 2.2 V < V <sub>DDA</sub> < 2.7 V), (V <sub>REF</sub> = 2.13 V, V <sub>DDA</sub> > 2.7 V)
SIDA103	A_INRES	Input charging resistance	-	15	-	kΩ	-
SIDA104	A_INCAP	Input capacitance	-	41	-	pF	-
SIDA106	A_PSRR	Power supply rejection ratio (DC)	-	60	-	dB	-
SIDA107	A_TACQ	Sample acquisition time	-	10	-	μs	Measured with 50-Ω source impedance. 10 μs is default software driver acquisition time setting. Settling to within 0.05%.
SIDA108	A_CONV8	Conversion time for 8-bit resolution at conversion rate = F <sub>hclk</sub> / (2 <sup>N</sup> (N + 2)). Clock frequency = 50 MHz.	-	25	-	μs	Does not include acquisition time.
SIDA108A	A_CONV10	Conversion time for 10-bit resolution at conversion rate = F <sub>hclk</sub> / (2 <sup>N</sup> (N + 2)). Clock frequency = 50 MHz.	-	60	-	μs	Does not include acquisition time.
SIDA109	A_SND_VRE	Signal-to-noise and Distortion ratio (SINAD)	-	57	-	dB	Measured with 50-Ω source impedance.
SIDA109A	A_SND_VDDA	Signal-to-noise and Distortion ratio (SINAD)	-	52	-	dB	Measured with 50-Ω source impedance.
SIDA111	A_INL_VREF	Integral non-linearity. 11.6 ksp	-	-	2	LSB	Measured with 50-Ω source impedance.
SIDA111A	A_INL_VDDA	Integral non-linearity. 11.6 ksp	-	-	2	LSB	Measured with 50-Ω source impedance.
SIDA112	A_DNL_VREF	Differential non-linearity. 11.6 ksp	-	-	1	LSB	Measured with 50-Ω source impedance.
SIDA112A	A_DNL_VDDA	Differential non-linearity. 11.6 ksp	-	-	1	LSB	Measured with 50-Ω source impedance.

## 6.4 数字外设

### 6.4.1 定时器/计数器/PWM

表 27 定时器/计数器/PWM (TCPWM) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID.TCPWM.1	$I_{TCPWM1}$	Block current consumption at 8 MHz	–	–	70	$\mu\text{A}$	All modes (TCPWM)
SID.TCPWM.2	$I_{TCPWM2}$	Block current consumption at 24 MHz	–	–	180	$\mu\text{A}$	All modes (TCPWM)
SID.TCPWM.2A	$I_{TCPWM3}$	Block current consumption at 50 MHz	–	–	270	$\mu\text{A}$	All modes (TCPWM)
SID.TCPWM.2B	$I_{TCPWM4}$	Block current consumption at 100 MHz	–	–	540	$\mu\text{A}$	All modes (TCPWM)
SID.TCPWM.3	$TCPWM_{FREQ}$	Operating frequency	–	–	100	MHz	Maximum = 100 MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	Input trigger pulse width for all trigger events	$2/F_c$	–	–	ns	Trigger events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected. $F_c$ is counter operating frequency.
SID.TCPWM.5	$TPWM_{EXT}$	Output trigger pulse widths	$1.5/F_c$	–	–	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs. $F_c$ is counter operating frequency.
SID.TCPWM.5A	$TC_{RES}$	Resolution of counter	$1/F_c$	–	–	ns	Minimum time between successive counts. $F_c$ is counter operating frequency.

表 27 定时器/计数器/PWM (TCPWM) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM resolution	1/Fc	–	–	ns	Minimum pulse width of PWM output. Fc is counter operating frequency.
SID.TCPWM.5C	Q <sub>RES</sub>	Quadrature inputs resolution	2/Fc	–	–	ns	Minimum pulse width between Quadrature phase inputs. Delays from pins should be similar. Fc is counter operating frequency.

## 6.4.2 串行通信模块 (SCB)

表 28 串行通信模块 (SCB) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Fixed I<sup>2</sup>C DC specifications</b>							
SID149	I <sub>I2C1</sub>	Block current consumption at 100 kHz	-	-	30	μA	-
SID150	I <sub>I2C2</sub>	Block current consumption at 400 kHz	-	-	80	μA	-
SID151	I <sub>I2C3</sub>	Block current consumption at 1 Mbps	-	-	180	μA	-
SID152	I <sub>I2C4</sub>	I <sup>2</sup> C enabled in Deep Sleep mode	-	-	1.7	μA	At 60°C.
<b>Fixed I<sup>2</sup>C AC specifications</b>							
SID153	F <sub>I2C1</sub>	Bit rate	-	-	1	Mbps	-
<b>Fixed UART DC specifications</b>							
SID160	I <sub>UART1</sub>	Block current consumption at 100 kbps	-	-	30	μA	-
SID161	I <sub>UART2</sub>	Block current consumption at 1000 kbps	-	-	180	μA	-
<b>Fixed UART AC specifications</b>							
SID162A	F <sub>UART1</sub>	Bit Rate	-	-	3	Mbps	ULP Mode
SID162B	F <sub>UART2</sub>		-	-	8		LP Mode
<b>Fixed SPI DC specifications</b>							
SID163	I <sub>SPI1</sub>	Block current consumption at 1 Mbps	-	-	220	μA	-
SID164	I <sub>SPI2</sub>	Block current consumption at 4 Mbps	-	-	340	μA	-
SID165	I <sub>SPI3</sub>	Block current consumption at 8 Mbps	-	-	360	μA	-
SID165A	I <sub>SP14</sub>	Block current consumption at 25 Mbps	-	-	800	μA	-
<b>Fixed SPI AC specifications for LP Mode (1.1 V) unless noted otherwise.</b>							
SID166	F <sub>SPI</sub>	SPI Operating frequency externally clocked slave	-	-	25	MHz	12-MHz max for ULP (0.9 V) mode
SID166B	F <sub>SPI_EXT</sub>	SPI operating frequency master (F <sub>scb</sub> is SPI clock).	-	-	F <sub>scb</sub> /4	MHz	F <sub>scb</sub> max is 100 MHz in LP (1.1 V) mode, 25 MHz in ULP mode.
SID166A	F <sub>SPI_IC</sub>	SPI slave internally clocked	-	-	15	MHz	5 MHz max for ULP (0.9 V) mode
<b>Fixed SPI Master mode AC specifications for LP Mode (1.1 V) unless noted otherwise.</b>							
SID167	T <sub>DMO</sub>	MOSI valid after SClk driving edge	-	-	12	ns	20-ns max for ULP (0.9 V) mode
SID168	T <sub>DSI</sub>	MISO valid before SClk capturing edge	5	-	-	ns	Full clock, late MISO sampling

表 28 串行通信模块 (SCB) 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID169	$T_{HMO}$	MOSI data hold time	0	–	–	ns	Referred to Slave capturing edge
<b>Fixed SPI Slave mode AC specifications for LP Mode (1.1 V) unless noted otherwise.</b>							
SID170	$T_{DMI}$	MOSI valid before Sclock capturing edge	5	–	–	ns	–
SID171A	$T_{DSO\_EXT}$	MISO valid after Sclock driving edge in Ext. Clk. mode	–	–	20	ns	35-ns max. for ULP (0.9 V) mode
SID171	$T_{DSO}$	MISO valid after Sclock driving edge in Internally Clk. mode	–	–	$T_{DSO\_EXT} + 3 \times T_{SCB}$	ns	$T_{SCB}$ is SCB clock period.
SID171B	$T_{DSO}$	MISO Valid after Sclock driving edge in Internally Clk. Mode with median filter enabled.	–	–	$T_{DSO\_EXT} + 4 \times T_{SCB}$	ns	$T_{SCB}$ is SCB clock period.
SID172	$T_{HSO}$	Previous MISO data hold time	5	–	–	ns	–
SID172A	$TSSEL_{SCK1}$	SSEL Valid to first SCK valid edge	65	–	–	ns	–
SID172B	$TSSEL_{SCK2}$	SSEL Hold after Last SCK valid edge	65	–	–	ns	–

### 6.4.3 LCD 规格

表 29 LCD 直接驱动直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID155	$C_{LCDCAP}$	LCD capacitance per segment/common driver	–	500	5000	pF	–
SID156	$LCD_{OFFSET}$	Long-term segment offset	–	20	–	mV	–
SID157	$I_{LCDOP1}$	PWM Mode current. 3.3 V bias. 8 MHz IMO. 25°C.	–	0.6	–	mA	32 × 4 segments 50 Hz
SID158	$I_{LCDOP2}$	PWM Mode current. 3.3 V bias. 8 MHz IMO. 25°C.	–	0.5	–	mA	32 × 4 segments 50 Hz

表 30 LCD 直接驱动交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID159	$F_{LCD}$	LCD frame rate	10	50	150	Hz	–

## 6.5 存储器

表 31 闪存规格<sup>[3]</sup>

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Flash DC specifications</b>							
SID173A	$I_{PE}$	Erase and program current	–	–	6	mA	–
<b>Flash AC specifications</b>							
SID174	$T_{ROWWRITE}$	Row write time (erase and program)	–	–	16	ms	Row = 512 bytes
SID175	$T_{ROWERASE}$	Row erase time	–	–	11	ms	–
SID176	$T_{ROWPROGRAM}$	Row program time after erase	–	–	5	ms	–
SID178	$T_{BULKERASE}$	Bulk erase time (2048 KB)	–	–	11	ms	–
SID179	$T_{SECTORERASE}$	Sector erase time (256 KB)	–	–	11	ms	512 rows per sector
SID178S	$T_{SSERIAE}$	Subsector erase time	–	–	11	ms	8 rows per subsector
SID179S	$T_{SSWRITE}$	Subsector write time; 1 erase plus 8 program times	–	–	51	ms	–
SID180S	$T_{SWRITE}$	Sector write time; 1 erase plus 512 program times	–	–	2.6	seconds	–
SID180	$T_{DEVPROG}$	Total device write time	–	–	30	seconds	–
SID181	$F_{END}$	Flash endurance	100K	–	–	cycles	–
SID182	$F_{RET1}$	Flash retention. $T_A \leq 25^\circ\text{C}$ , 100K P/E cycles	10	–	–	years	–
SID182A	$F_{RET2}$	Flash retention. $T_A \leq 85^\circ\text{C}$ , 10K P/E cycles	10	–	–	years	–
SID182B	$F_{RET3}$	Flash retention. $T_A \leq 55^\circ\text{C}$ , 20K P/E cycles	20	–	–	years	–
SID256	$T_{WS100}$	Number of Wait states at 100 MHz	3	–	–		LP mode. $V_{CCD} = 1.1\text{ V}$
SID257	$T_{WS50}$	Number of Wait states at 50 MHz	2	–	–		ULP mode. $V_{CCD} = 0.9\text{ V}$

### 注释:

3. 可能需要最多16毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括XRES引脚、软件复位、CPU锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

## 6.6 系统资源

表 32 系统资源

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>Power-On-Reset with Brown-out DC specifications</b>							
<b>Precise POR (PPOR)</b>							
SID190	$V_{FALLPPOR}$	BOD trip voltage in Active and Sleep modes. $V_{DDD}$ .	1.54	–	–	V	BOD reset guaranteed for levels below 1.54 V.
SID192	$V_{FALLDPSLP}$	BOD trip voltage in Deep Sleep. $V_{DDD}$ .	1.54	–	–	V	–
SID192A	$V_{DDRAMP}$	Maximum power supply ramp rate (any supply)	–	–	100	mV/ $\mu$ s	Active mode
<b>POR with Brown-out AC specification</b>							
SID194A	$V_{DDRAMP\_DS}$	Maximum power supply ramp rate (any supply) in Deep Sleep	–	–	10	mV/ $\mu$ s	BOD operation guaranteed.
<b>Voltage Monitors DC specifications</b>							
SID195	$V_{HVDI1}$	–	1.38	1.43	1.47	V	–
SID196	$V_{HVDI2}$	–	1.57	1.63	1.68	V	–
SID197	$V_{HVDI3}$	–	1.76	1.83	1.89	V	–
SID198	$V_{HVDI4}$	–	1.95	2.03	2.1	V	–
SID199	$V_{HVDI5}$	–	2.05	2.13	2.2	V	–
SID200	$V_{HVDI6}$	–	2.15	2.23	2.3	V	–
SID201	$V_{HVDI7}$	–	2.24	2.33	2.41	V	–
SID202	$V_{HVDI8}$	–	2.34	2.43	2.51	V	–
SID203	$V_{HVDI9}$	–	2.44	2.53	2.61	V	–
SID204	$V_{HVDI10}$	–	2.53	2.63	2.72	V	–
SID205	$V_{HVDI11}$	–	2.63	2.73	2.82	V	–
SID206	$V_{HVDI12}$	–	2.73	2.83	2.92	V	–
SID207	$V_{HVDI13}$	–	2.82	2.93	3.03	V	–
SID208	$V_{HVDI14}$	–	2.92	3.03	3.13	V	–
SID209	$V_{HVDI15}$	–	3.02	3.13	3.23	V	–
SID211	LVI_IDD	Block current	–	5	15	$\mu$ A	–
<b>Voltage Monitors AC specification</b>							
SID212	$T_{MONTRIP}$	Voltage monitor trip time	–	–	170	ns	–

## 6.6.1 SWD接口

表 33 SWD 和 Trace 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>SWD and Trace Interface</b>							
SID214	F_SWCLK2	$1.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	25	MHz	LP Mode. $V_{CCD} = 1.1\text{ V}$ .
SID214L	F_SWCLK2L	$1.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	12	MHz	ULP Mode. $V_{CCD} = 0.9\text{ V}$ .
SID215	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-	ns	-
SID216	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-	ns	-
SID217	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	-	-	$0.5 \times T$	ns	-
SID217A	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	-	-	ns	-
SID214T	F_TRCLK_LP1	With Trace Data setup/ hold times of 2/1 ns respectively	-	-	50	MHz	LP Mode. $V_{DD} = 1.1\text{ V}$ .
SID215T	F_TRCLK_LP2	With Trace Data setup/ hold times of 3/2 ns respectively	-	-	50	MHz	LP Mode. $V_{DD} = 1.1\text{ V}$ .
SID216T	F_TRCLK_ULP	With Trace Data setup/ hold times of 3/2 ns respectively	-	-	20	MHz	ULP Mode. $V_{DD} = 0.9\text{ V}$ .

## 6.6.2 内部主振荡器

表 34 IMO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID218	$I_{IMO1}$	IMO operating current at 8 MHz	-	9	15	$\mu\text{A}$	-

表 35 IMO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID223	$F_{IMOTOL1}$	Frequency variation centered on 8 MHz	-	-	$\pm 2$	%	-
SID227	$T_{JITR}$	Cycle-to-cycle and period jitter	-	250	-	ps	-

### 6.6.3 内部低速振荡器

表 36 ILO直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID231	$I_{ILO2}$	ILO operating current at 32 kHz	–	0.3	0.7	$\mu\text{A}$	–

表 37 ILO交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID234	$T_{STARTILO1}$	ILO startup time	–	–	7	$\mu\text{s}$	Startup time to 95% of final frequency
SID236	$T_{LIODUTY}$	ILO duty cycle	45	50	55	%	–
SID237	$F_{ILOTRIM1}$	ILO frequency	28.8	32	36.1	kHz	Factory trimmed

## 6.6.4 晶体振荡器规格

表 38 ECO 规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>MHz ECO DC specifications</b>							
SID316	$I_{DD\_MHz}$	Block operating current with Cload up to 18 pF	–	800	1600	$\mu A$	Max = 35 MHz, Typ = 16 MHz
<b>MHz ECO AC specifications</b>							
SID317	F_MHz	Crystal frequency range	16	–	35	MHz	Some restrictions apply. Refer to the <a href="#">device TRM</a> .
<b>kHz ECO DC specifications</b>							
SID318	$I_{DD\_kHz}$	Block operating current with 32-kHz crystal	–	0.38	1	$\mu A$	–
SID321E	ESR32K	Equivalent series resistance	–	80	–	$k\Omega$	–
SID322E	PD32K	Drive level	–	–	1	$\mu W$	–
<b>kHz ECO AC specifications</b>							
SID319	F_kHz	32 kHz frequency	–	32.768	–	kHz	–
SID320	Ton_kHz	Startup time	–	–	500	ms	–
SID320E	$F_{TOL32K}$	Frequency tolerance	–	50	250	ppm	–

## 6.6.5 外部时钟规范

表 39 外部时钟规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID305	EXTCLK <sub>FREQ</sub>	External clock input frequency	0	–	100	MHz	–
SID306	EXTCLK <sub>DUTY</sub>	Duty cycle; measured at V <sub>DD/2</sub>	45	–	55	%	–

## 6.6.6 PLL 规格

表 40 PLL 规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID304P	PLL_IN	Input frequency to PLL block	4	–	64	MHz	–
SID305P	PLL_LOCK	Time to achieve PLL lock	–	16	35	μs	–
SID306P	PLL_OUT	Output frequency from PLL block	10.625	–	150	MHz	–
SID307P	PLL_IDD	PLL current	–	0.55	1.1	mA	Typ. at 100 MHz out.
SID308P	PLL_JTR	Period jitter	–	–	150	ps	100 MHz output frequency

表 41 时钟源切换时间

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID262	TCLK <sub>SWITCH</sub>	Clock switching from clk1 to clk2 in clock periods; for example, from IMO (clk1) to FLL (clk2). <sup>[4]</sup>	–	–	4 clk1 + 3 clk2	periods	–

### 注释:

4. 例如, 如果 clk\_path[1] 源从 IMO 更改为 FLL (参见图 3), 则 clk1 为 IMO, clk2 为 FLL。

## 6.6.7 FLL 规格

表 42 锁频环 (FLL) 规格

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID450	FLL_RANGE	Input frequency range.	0.001	–	100	MHz	Lower limit allows lock to USB SOF signal (1 kHz). Upper limit is for External input.
SID451	FLL_OUT_DIV2	Output frequency range. $V_{CCD} = 1.1\text{ V}$	24	–	100	MHz	Output range of FLL divided-by-2 output
SID451A	FLL_OUT_DIV2	Output frequency range. $V_{CCD} = 0.9\text{ V}$	24	–	50	MHz	Output range of FLL divided-by-2 output
SID452	FLL_DUTY_DIV2	Divided-by-2 output; High or Low	47	–	53	%	–
SID454	FLL_WAKEUP	Time from stable input clock to 1% of final value on Deep Sleep wakeup	–	–	7.5	$\mu\text{s}$	With IMO input, less than 10°C change in temperature while in Deep Sleep, and $F_{out} \geq 50\text{ MHz}$ .
SID455	FLL_JITTER	Period jitter (1 sigma) at 100 MHz	–	–	35	ps	50 ps at 48 MHz, 35 ps at 100 MHz
SID456	FLL_CURRENT	CCO + Logic current	–	–	5.5	$\mu\text{A}/\text{MHz}$	–

## 6.6.8 USB

**表 43 USB 规格 (USB 需要 LP 模式 1.1 V 内部电源)**

Spec ID	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>USB Block specifications</b>							
SID322U	Vusb_3.3	Device supply for USB operation	3.15	-	3.6	V	USB Configured
SID323U	Vusb_3	Device supply for USB operation (functional operation only)	2.85	-	3.6	V	USB Configured
SID325U	lusb_config	Block supply current in Active mode	-	8	-	mA	V <sub>DDD</sub> = 3.3 V
SID328	lusb_suspend	Block supply current in suspend mode	-	0.5	-	mA	V <sub>DDD</sub> = 3.3 V, Device connected
SID329	lusb_suspend	Block supply current in suspend mode	-	0.3	-	mA	V <sub>DDD</sub> = 3.3 V, Device disconnected
SID330U	USB_Drive_Res	USB driver impedance	28	-	44	Ω	Series resistors are on chip
SID331U	USB_Pulldown	USB pull-down resistors in Host mode	14.25	-	24.8	kΩ	-
SID332U	USB_Pullup_Idle	Idle mode range	900	-	1575	Ω	Bus idle
SID333U	USB_Pullup	Active mode	1425	-	3090	Ω	Upstream device transmitting

### 6.6.9 QSPI

表 44 QSPI 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>SMIF QSPI specifications. All specs with 15-pF load. Measured from 50% to 50% waveform transitions.</b>							
SID390Q	Fsmifclock	SMIF QSPI output clock frequency	–	–	80	MHz	LP mode (1.1 V)
SID390QU	Fsmifclocku	SMIF QSPI output clock frequency	–	–	50	MHz	ULP mode (0.9 V). Guaranteed by Char.
SID397Q	Idd_qspi	Block current in LP mode (1.1 V)	–	–	1900	µA	LP mode (1.1 V)
SID398Q	Idd_qspi_u	Block current in ULP mode (0.9 V)	–	–	590	µA	ULP mode (0.9 V)
SID391Q	Tsetup	Input data set-up time with respect to clock capturing falling edge	4.5	–	–	ns	Guaranteed by characterization
SID392Q	Tdatahold	Input data hold time with respect to clock capturing falling edge	1	–	–	ns	–
SID393Q	Tdataoutvalid	Output data valid time with respect to clock falling edge	–	–	3.7	ns	7.5-ns max for ULP mode (0.9 V)
SID394Q	Tholdtime	Output data hold time with respect to clock rising edge	3	–	–	ns	–
SID395Q	Tseloutvalid	Output Select valid time with respect to clock rising edge	–	–	7.5	ns	15-ns max for ULP mode (0.9 V)
SID396Q	Tselouthold	Output Select hold time with respect to clock rising edge	Tsclk/2	–	–	ns	Tsclk = Fsmifclk cycle time

## 6.6.10 音频子系统

表 45 音频子系统规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>PDM specifications</b>							
SID400P	PDM_IDD1	PDM Active current, stereo operation, 1-MHz clock	–	175	–	μA	16-bit audio at 16 ksps
SID401	PDM_IDD2	PDM Active current, stereo operation, 3-MHz clock	–	600	–	μA	24-bit audio at 48 ksps
SID402 <sup>[5]</sup>	PDM_JITTER	RMS jitter in PDM clock	–200	–	200	ps	–
SID403 <sup>[5]</sup>	PDM_CLK	PDM clock speed	0.384	–	3.072	MHz	–
SID403A <sup>[5]</sup>	PDM_BLK_CLK	PDM block input clock	1.024	–	49.152	MHz	–
SID403B <sup>[5]</sup>	PDM_SETUP	Data input set-up time to PDM_CLK edge	10	–	–	ns	–
SID403C <sup>[5]</sup>	PDM_HOLD	Data input hold time to PDM_CLK edge	10	–	–	ns	–
SID404 <sup>[5]</sup>	PDM_OUT	Audio sample rate	8	–	48	ksps	–
SID405 <sup>[5]</sup>	PDM_WL	Word length	16	–	24	bits	–
SID406 <sup>[5]</sup>	PDM_SNR	Signal-to-Noise Ratio (A-weighted)	–	100	–	dB	PDM input, 20 Hz to 20 kHz BW
SID407 <sup>[5]</sup>	PDM_DR	Dynamic range (A-weighted)	–	100	–	dB	20 Hz to 20 kHz BW, –60 dB FS
SID408 <sup>[5]</sup>	PDM_FR	Frequency response	–0.2	–	0.2	dB	DC to 0.45f, DC Blocking filter off.
SID409 <sup>[5]</sup>	PDM_SB	Stop band	–	0.566	–	f	–
SID410 <sup>[5]</sup>	PDM_SBA	Stop band attenuation	–	60	–	dB	–
SID411 <sup>[5]</sup>	PDM_GAIN	Adjustable gain	–12	–	10.5	dB	PDM to PCM, 1.5 dB/step

## 注释

- 由设计保证，但未经生产测试。
- TMCLK\_SOC 是内部 I2S 主时钟周期。

表 45 音频子系统规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID412 <sup>[5]</sup>	PDM_ST	Startup time	–	48	–	Word Select (WS) cycles	
<b>I2S Specifications. The same for LP and ULP modes unless stated otherwise.</b>							
SID415	I2S_IDD	Block current	–	400	–	μA	
SID413	I2S_WORD	Length of I2S Word	8	–	32	bits	
SID414	I2S_WS	Word clock frequency in LP mode	–	–	192	kHz	12.288-MHz bit clock with 32-bit word
SID414M	I2S_WS_U	Word clock frequency in ULP mode	–	–	48	kHz	3.072-MHz bit clock with 32-bit word
SID414A	I2S_WS_TDM	Word clock frequency in TDM mode for LP	–	–	48	kHz	Eight 32-bit channels
SID414X	I2S_WS_TDM_U	Word clock frequency in TDM mode for ULP	–	–	12	kHz	Eight 32-bit channels
<b>I2S Slave Mode</b>							
SID430	TS_WS	WS setup time to the following rising edge of SCK for LP mode	5	–	–	ns	–
SID430U	TS_WS_U	WS setup time to the following rising edge of SCK for ULP mode	11	–	–	ns	–
SID430A	TH_WS	WS hold time to the following edge of SCK	$T_{MCLK\_SOC}^{[6]} + 5$	–	–	ns	–
SID432	TD_SDO	Delay time of TX_SDO transition from edge of TX_SCK for LP mode	$-(T_{MCLK\_SOC} + 25)$	–	$T_{MCLK\_SOC} + 25$	ns	Associated clock edge depends on selected polarity

注释

- 由设计保证，但未经生产测试。
- $T_{MCLK\_SOC}$  是内部 I2S 主时钟周期。

表 45 音频子系统规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID432U	TD_SDO_U	Delay time of TX_SDO transition from edge of TX_SCK for ULP mode	$-(T_{MCLK\_SOC} + 70)$	-	$T_{MCLK\_SOC} + 70$	ns	Associated clock edge depends on selected polarity
SID433	TS_SDI	RX_SDI setup time to the following edge of RX_SCK in LP mode	5	-	-	ns	-
SID433U	TS_SDI_U	RX_SDI setup time to the following edge of RX_SCK in ULP mode	11	-	-	ns	-
SID434	TH_SDI	RX_SDI hold time to the rising edge of RX_SCK	$T_{MCLK\_SOC} + 5$	-	-	ns	-
SID435	TSCKCY	TX/RX_SCK bit clock duty cycle	45	-	55	%	-
<b>I2S Master Mode</b>							
SID437	TD_WS	WS transition delay from falling edge of SCK in LP mode	-10	-	20	ns	-
SID437U	TD_WS_U	WS transition delay from falling edge of SCK in ULP mode	-10	-	40	ns	-
SID438	TD_SDO	SDO transition delay from falling edge of SCK in LP mode	-10	-	20	ns	-

**注释**

- 由设计保证，但未经生产测试。
- TMCLK\_SOC 是内部 I2S 主时钟周期。

表 45 音频子系统规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID438U	TD_SDO	SDO transition delay from falling edge of SCK in ULP mode	-10	-	40	ns	-
SID439	TS_SDI	SDI setup time to the associated edge of SCK	5	-	-	ns	Associated clock edge depends on selected polarity.
SID440	TH_SDI	SDI hold time to the associated edge of SCK	$T_{MCLK\_SOC} + 5$	-	-	ns	T is TX/RX_SCK Bit Clock period. Associated clock edge depends on selected polarity.
SID443	TSCKCY	SCK bit clock duty cycle	45	-	55	%	-
SID445	FMCLK_SOC	MCLK_SOC frequency in LP mode	1.024	-	98.304	MHz	FMCLK_SOC = 8 × Bit-clock
SID445U	FMCLK_SOC_U	MCLK_SOC frequency in ULP mode	1.024	-	24.576	MHz	FMCLK_SOC_U = 8 × Bit-clock
SID446	TMCLKCY	MCLK_SOC duty cycle	45	-	55	%	-
SID447	TJITTER	MCLK_SOC input jitter	-100	-	100	ps	-

**注释**

5. 由设计保证，但未经生产测试。
6. TMCLK\_SOC 是内部 I2S 主时钟周期。

## 6.6.11 智能 I/O

表 46 Smart I/O 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID420	SMIO_BYP	Smart I/O bypass delay	–	–	2	ns	–
SID421	SMIO_LUT	Smart I/O LUT prop delay	–	8	–	ns	–

## 6.6.12 SD 主控制器和 eMMC

表 47 SD 主机控制器和 eMMC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SD Host Controller and eMMC specifications (SD Host clock (see the <a href="#">Clocking diagram</a> ) must be divided by 2 or more when used as source in DDR modes. Specifications are Guaranteed by Design.							
SID_SD390	SD_DS	I/O drive select	4	–	4	mA	drive_sel = '01' for all modes
SID_SD391	SD_TR	Input transition time	0.7	–	3	ns	–

### SD:DS Timing

SID_SD392	SD_CLK	Interface clock period (LP mode)	–	–	25	MHz	(40-ns period)
SID_SD393	SD_CLK	Interface clock period (ULP mode)	–	–	8	MHz	(125-ns period)
SID_SD394	SD_DCMD_CL	I/O loading at DATA/CMD pins	–	30	–	pF	–
SID_SD395	SD_CLK_CL	I/O loading at CLK pins	–	30	–	pF	–
SID_SD396	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	5.1	–	–	ns	–
SID_SD397	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	5.1	–	–	ns	–
SID_SD398	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	24	–	–	ns	–
SID_SD399	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	109	–	–	ns	–

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD400	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	2.1	-	-	ns	-
<b>SD:HS Timing</b>							
SID_SD401	SD_CLK	Interface clock period (LP mode)	-	-	45	MHz	(20-ns period)
SID_SD402	SD_CLK	Interface clock period (ULP mode)	-	-	16	MHz	(62.5-ns period)
SID_SD403	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	30	-	pF	-
SID_SD404	SD_CLK_CL	I/O loading at CLK pins	-	30	-	pF	-
SID_SD405	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	6.1	-	-	ns	-
SID_SD406	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	2.1	-	-	ns	-
SID_SD407	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	8	-	-	ns	-
SID_SD408	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	48	-	-	ns	-
SID_SD409	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	2.5	-	-	ns	-
<b>SD:SDR-12 Timing</b>							
SID_SD410	SD_CLK	Interface clock period (LP mode)	-	-	25	MHz	(40-ns period)
SID_SD411	SD_CLK	Interface clock period (ULP mode)	-	-	8	MHz	(125-ns period)
SID_SD412	SD_CLK_DC	Duty cycle of output CLK	30	-	70	%	-
SID_SD413	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	30	-	pF	-

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD414	SD_CLK_CL	I/O loading at CLK pins	–	30	–	pF	–
SID_SD415	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	–	–	ns	–
SID_SD416	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	0.9	–	–	ns	–
SID_SD417	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	24	–	–	ns	–
SID_SD418	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	109	–	–	ns	–
SID_SD419	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	1.85	–	–	ns	–

**SD:SDR-25 Timing**

SID_SD420	SD_CLK	Interface clock period (LP mode)	–	–	50	MHz	(20-ns period)
SID_SD421	SD_CLK	Interface clock period (ULP mode)	–	–	16	MHz	(62.5-ns period)
SID_SD422	SD_CLK_DC	Duty cycle of output CLK	30	–	70	%	–
SID_SD423	SD_DCMD_CL	I/O loading at DATA/CMD pins	–	30	–	pF	–
SID_SD424	SD_CLK_CL	I/O loading at CLK pins	–	30	–	pF	–
SID_SD425	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	–	–	ns	–
SID_SD426	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	0.9	–	–	ns	–

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD427	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	5.8	-	-	ns	-
SID_SD428	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	48	-	-	ns	-
SID_SD429	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	1.8	-	-	ns	-
<b>SD:SDR-50 Timing</b>							
SID_SD430	SD_CLK	Interface clock period (LP mode)	-	-	80	MHz	(12.5-ns period)
SID_SD431	SD_CLK	Interface clock period (ULP mode)	-	-	32	MHz	(31.25-ns period)
SID_SD432	SD_CLK_DC	Duty cycle of output CLK	30	-	70	%	-
SID_SD433	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	20	-	pF	-
SID_SD434	SD_CLK_CL	I/O loading at CLK pins	-	20	-	pF	-
SID_SD435	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	-	-	ns	-
SID_SD436	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	0.9	-	-	ns	-
SID_SD437	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	5	-	-	ns	-
SID_SD438	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	23	-	-	ns	-

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD439	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	1.8	-	-	ns	-

**SD:DDR-50 Timing**

SID_SD440	SD_CLK	Interface clock period (LP mode)	-	-	40	MHz	(25-ns period)
SID_SD441	SD_CLK	Interface clock period (ULP mode)	-	-	16	MHz	(62.5-ns period)
SID_SD442	SD_CLK_DC	Duty cycle of output CLK	45	-	55	%	-
SID_SD443	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	30	-	pF	-
SID_SD444	SD_CLK_CL	I/O loading at CLK pins	-	30	-	pF	-
SID_SD445	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	-	-	ns	-
SID_SD446	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	0.9	-	-	ns	-
SID_SD447	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	5.75	-	-	ns	-
SID_SD448	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	24	-	-	ns	-
SID_SD449	SD_HLD_IN	Input: Hold time of CMD/ DAT after CLK	1.8	-	-	ns	-

**eMMC:BWC Timing**

SID_SD450	SD_CLK	Interface clock period (LP mode)	-	-	26	MHz	(38.4-ns period)
SID_SD451	SD_CLK	Interface clock period (ULP mode)	-	-	8	MHz	(125-ns period)

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD452	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	30	-	pF	-
SID_SD453	SD_CLK_CL	I/O loading at CLK pins	-	30	-	pF	-
SID_SD454	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	-	-	ns	-
SID_SD455	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	3.1	-	-	ns	-
SID_SD456	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	9.7	-	-	ns	-
SID_SD457	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	96	-	-	ns	-
SID_SD458	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	8.3	-	-	ns	-
<b>eMMC:SDR Timing</b>							
SID_SD459	SD_CLK	Interface clock period (LP mode)	-	-	52	MHz	(19.2-ns period)
SID_SD460	SD_CLK	Interface clock period (ULP mode)	-	-	16	MHz	(62.5-ns period)
SID_SD461	SD_DCMD_CL	I/O loading at DATA/CMD pins	-	30	-	pF	-
SID_SD462	SD_CLK_CL	I/O loading at CLK pins	-	30	-	pF	-
SID_SD463	SD_TS_OUT	Output: Setup time of CMD/DAT prior to CLK	3.1	-	-	ns	-
SID_SD464	SD_HLD_OUT	Output: Hold time of CMD/DAT after CLK	3.1	-	-	ns	-

表 47 SD 主机控制器和 eMMC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_SD465	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (LP mode)	5.3	-	-	ns	-
SID_SD466	SD_TS_IN	Input: Setup time of CMD/DAT prior to CLK (ULP mode)	48	-	-	ns	-
SID_SD467	SD_HLD_IN	Input: Hold time of CMD/DAT after CLK	2.5	-	-	ns	-
<b>SD Host Block Current specs</b>							
SID_SD400SD	IDD_SD_1	SD Host block current consumption at 100 MHz	-	4.65	5	mA	-
SID_SD401SD	IDD_SD_2	SD Host block current consumption at 50 MHz	-	3.75	4.3	mA	-

### 6.6.13 JTAG边界扫描

表 48 JTAG 边界扫描

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
<b>JTAG Boundary Scan parameters</b>							
<b>JTAG Boundary Scan parameters for 1.1 V (LP) Mode Operation:</b>							
SID468	TCKLOW	TCK LOW	52	–	–	ns	–
SID469	TCKHIGH	TCK HIGH	10	–	–	ns	–
SID470	TCK_TDO	TCK falling edge to output valid	–	–	40	ns	–
SID471	TSU_TCK	Input valid to TCK rising edge	12	–	–	ns	–
SID472	Tck_THD	Input hold time to TCK rising edge	10	–	–	ns	–
SID473	TCK_TDOV	TCK falling edge to output valid (High-Z to Active).	40	–	–	ns	–
SID474	TCK_TDOZ	TCK falling edge to output valid (Active to High-Z).	40	–	–	ns	–
<b>JTAG Boundary Scan parameters for 0.9 V (ULP) Mode Operation:</b>							
SID468A	TCKLOW	TCK low	102	–	–	ns	–
SID469A	TCKHIGH	TCK high	20	–	–	ns	–
SID470A	TCK_TDO	TCK falling edge to output valid	–	–	80	ns	–
SID471A	TSU_TCK	Input valid to TCK rising edge	22	–	–	ns	–
SID472A	Tck_THD	Input hold time to TCK rising edge	20	–	–	ns	–
SID473A	TCK_TDOV	TCK falling edge to output valid (high-Z to active).	80	–	–	ns	–
SID474A	TCK_TDOZ	TCK falling edge to output valid (active to high-Z).	80	–	–	ns	–

## 7 订购信息

表 49 列出了该产品系列的部件号和特性。另请参阅 [产品选择器指导手册](#)。

表 49 订购信息

Family	Base Features	Product	CM4 CPU Speed (LP/ULP)	CM0+ CPU Speed (LP/ULP)	Power Modes	Flash (KB)	SRAM (KB)	CapSense	Crypto	GPIO	Pin	Package
64	Arm® CM4/CM0+, DC-DC converter, 12-bit SAR ADC, 2 LPCOMPs, 13 SCBs, 32 TCPWMs, 2 I2S, 2 PDM, 2 SD Host Controllers, USB-FS	CYS0644ABZI-S2D44	150/50	100/25	FLEX	2048	1024	Y	Y	100	124	BGA
		CYS0644AFNI-S2D43T	150/50	100/25	FLEX	2048	1024	Y	Y	82	100	WLCSP

## 7.1 PSOC™ 6 MPN 解码器

CYXX6ABC DDE - FF GHIJJKL

表 50 PSOC™ 6 MPN 解码器

Field	Description	Values	Meaning		Field	Description	Values	Meaning	
CY	Cypress, an Infineon company	CY	Cypress, an Infineon company		E	Temperature range	C	Consumer	
		8C	Standard				I	Industrial	
XX	Firmware	B0	“Secure Boot” v1		FF	Feature Code	Q	Extended Industrial	
		S0	“Standard Secure” - AWS				S2-S6	Cypress internal	
6	Architecture	6	PSOC™ 6				BL	Integrated Bluetooth® LE	
A	Line	0	Value		G	CPU Core	F	Single Core	
		1	Programmable				D	Dual Core	
		2	Performance				0-9	Feature set	
		3	Connectivity				1	31-50	
B	Speed	4	Secured		I	GPIO count	2	51-70	
		2	100 MHz				3	71-90	
		3	150 MHz				4	91-110	
C	Memory Size (Flash/ SRAM)	4	256K/128K		JJ	Engineering sample (optional)	ES	Engineering samples or not	
		5	512K/256K				K	Die Revision (optional)	A1-A9
		6	512K/128K		L	Tape/Reel Shipment (optional)			T
		7	1024K/288K						
		8	1024K/512K						
		9	Reserved						
				A	2048K/1024K				
		DD	Package	AZ, AX	TQFP				
LQ	QFN								
BZ	BGA								
FM	M-CSP								
FN, FD, FT	WLCSP								

## 8 封装信息

该产品系列提供了 124-BGA 和 100-WLCSP 封装。

**表 51 封装尺寸**

Spec ID#	Package	Description	Package Dwg #
PKG_1	124-ball BGA	124-ball BGA (9.0 mm × 9.0 mm × 1.0 mm) BZ0AA/ VZC124/D2A124	001-97718
PKG_2	100-WLCSP	100 WLCSP, 4.1 mm × 3.9 mm × 0.5 mm height with 0.5-mm pitch	002-23991

**表 52 封装特性**

Parameter	Description	Conditions	Min	Typ	Max	Units
T <sub>A</sub>	Operating ambient temperature	–	–40	25	85	°C
T <sub>J</sub>	Operating junction temperature	–	–40	–	100	°C
T <sub>JA</sub>	Package θ <sub>JA</sub> (124-ball BGA)	–	–	31.9	–	°C/W
T <sub>JC</sub>	Package θ <sub>JC</sub> (124-ball BGA)	–	–	11	–	°C/W
T <sub>JA</sub>	Package θ <sub>JA</sub> (100-ball WLCSP)	–	–	19.1	–	°C/W
T <sub>JC</sub>	Package θ <sub>JC</sub> (100-ball WLCSP)	–	–	0.12	–	°C/W

**表 53 回流焊峰值温度**

Package	Maximum Peak Temperature	Maximum Time at Peak Temperature
All packages	260°C	30 seconds

**表 54 封装湿敏等级 (MSL), IPC/JEDEC J-STD-2**

Package	MSL
124-ball BGA	MSL 3
100-ball WLCSP	MSL 1

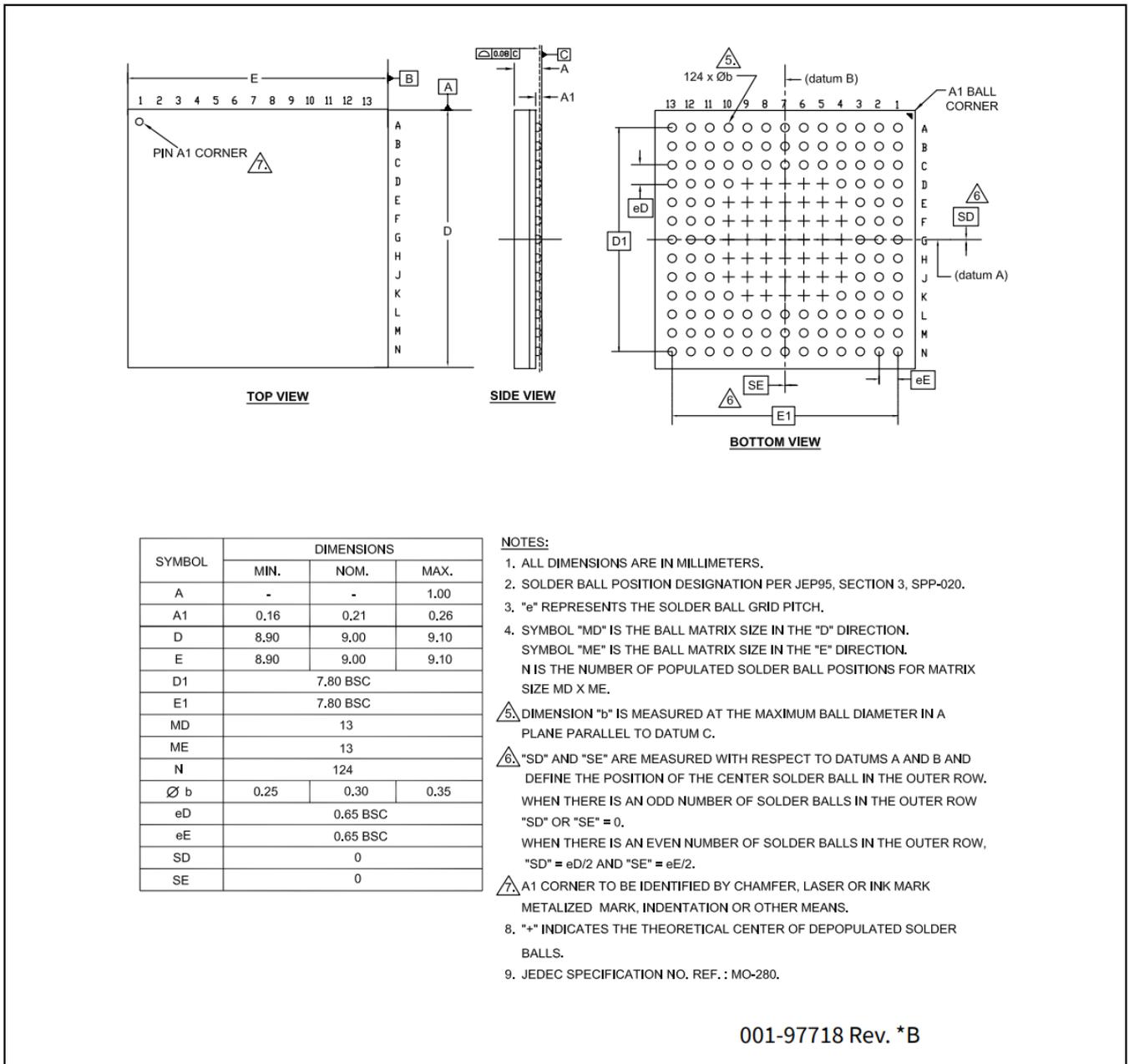
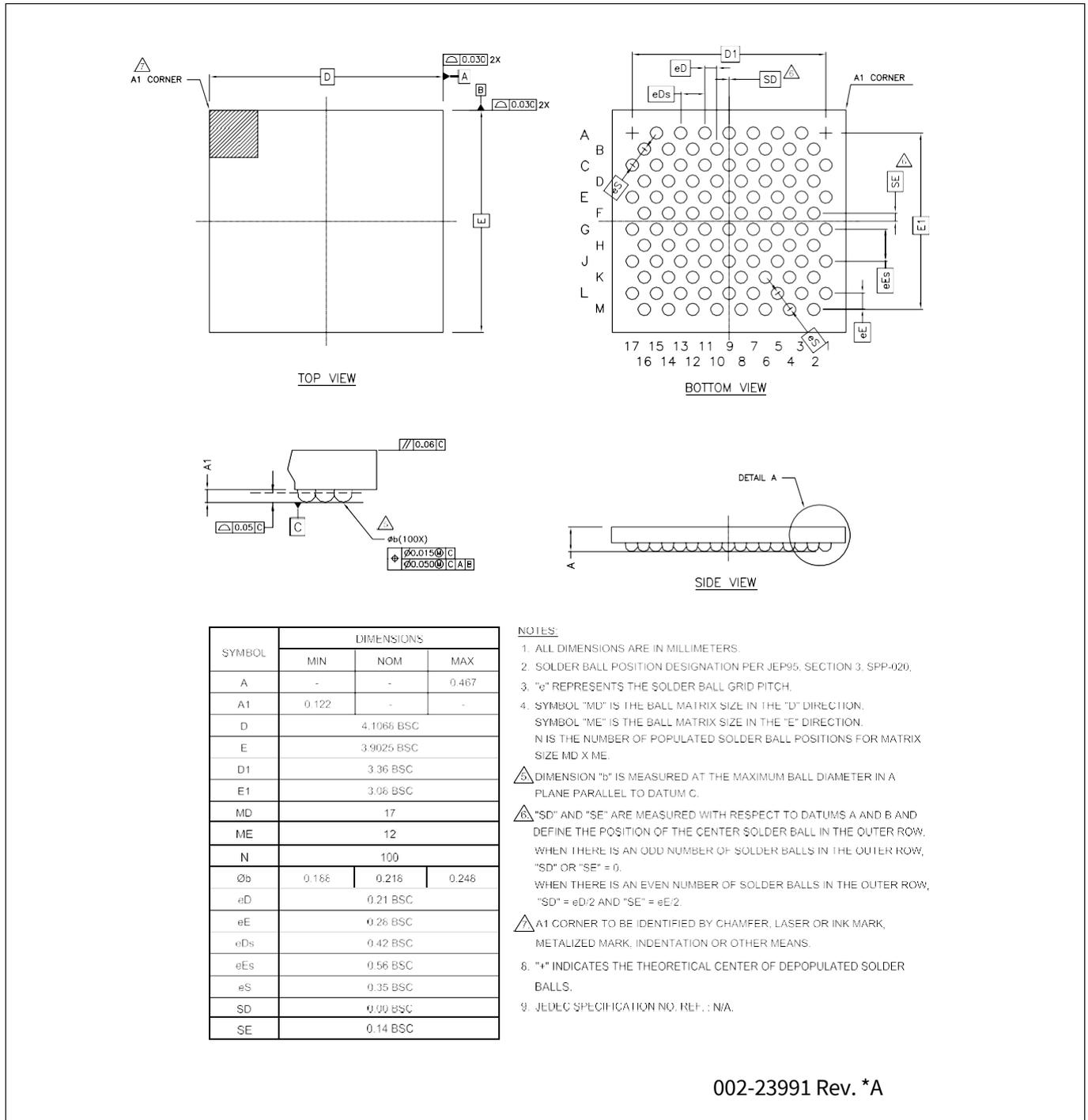


图 20 124-ball VFBGA (9.0 × 9.0 × 1.0 mm) BZ0AA/VZC124/D2A124 封装外形 (PG-VFBGA-124), 001-97718



002-23991 Rev. \*A

图 21 100-球 WLCSP (4.1068 × 3.9025 × 0.467 mm) FN100 (PSOC6A-2M) 封装外形 (SG-XF-WLB-100), 002-23991

## 9 缩略词

表 55 缩略词

Acronym	Description
3DES	triple DES (data encryption standard)
ADC	analog-to-digital converter
ADMA3	advanced DMA version 3, a Secure Digital data transfer mode
AES	advanced encryption standard
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm® data transfer bus
AMUX	analog multiplexer
AMUXBUS	analog multiplexer bus
API	application programming interface
Arm®	advanced RISC machine, a CPU architecture
BGA	ball grid array
BOD	brown-out detect
BREG	backup registers
BWC	backward compatibility (eMMC data transfer mode)
CAD	computer aided design
CCO	current controlled oscillator
ChaCha	a stream cipher
CM0+	Cortex®-M0+, an Arm® CPU
CM4	Cortex®-M4, an Arm® CPU
CMAC	cypher-based message authentication code
CMOS	complementary metal-oxide-semiconductor, a process technology for IC fabrication
CMRR	common-mode rejection ratio
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CSD	CapSense Sigma-Delta
CSV	clock supervisor
CSX	Cypress mutual capacitance sensing method. See also CSD
CTI	cross trigger interface
DAC	digital-to-analog converter, see also IDAC, VDAC
DAP	debug access port
DDR	double data rate
DES	data encryption standard
DFT	design for test
DMA	direct memory access, see also TD
DNL	differential nonlinearity, see also INL
DSI	digital system interconnect
DU	data unit
ECC	error correcting code
ECC	elliptic curve cryptography
ECO	external crystal oscillator

表 55 缩略词 (续)

Acronym	Description
EEPROM	electrically erasable programmable read-only memory
EMI	electromagnetic interference
eMMC	embedded MultiMediaCard
ESD	electrostatic discharge
ETM	embedded trace macrocell
FIFO	first-in, first-out
FLL	frequency locked loop
FPU	floating-point unit
FS	full-speed
GND	Ground
GPIO	general-purpose input/output, applies to a PSOC™ pin
HMAC	Hash-based message authentication code
HSIOM	high-speed I/O matrix
I/O	input/output, see also GPIO, DIO, SIO, USBIO
I <sup>2</sup> C, or IIC	Inter-Integrated Circuit, a communications protocol
I <sup>2</sup> S	inter-IC sound
IC	integrated circuit
IDAC	current DAC, see also DAC, VDAC
IDE	integrated development environment
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
INL	integral nonlinearity, see also DNL
IOSS	input output subsystem
IoT	internet of things
IPC	inter-processor communication
IRQ	interrupt request
ISR	interrupt service routine
ITM	instrumentation trace macrocell
JTAG	Joint Test Action Group
LCD	liquid crystal display
LIN	Local Interconnect Network, a communications protocol
LP	low power
LS	low-speed
LUT	lookup table
LVD	low-voltage detect, see also LVI
LVI	low-voltage interrupt
LVTTL	low-voltage transistor-transistor logic
MAC	multiply-accumulate
MCU	microcontroller unit
MCWDT	multi-counter watchdog timer
MISO	master-in slave-out

表 55 缩略词 (续)

Acronym	Description
MMIO	memory-mapped input output
MOSI	master-out slave-in
MPU	memory protection unit
MSL	moisture sensitivity level
Msp/s	million samples per second
MTB	micro trace buffer
MUL	multiplier
NC	no connect
NMI	nonmaskable interrupt
NVIC	nested vectored interrupt controller
NVL	nonvolatile latch, see also WOL
OTP	one-time programmable
OVP	over voltage protection
OVT	overvoltage tolerant
PASS	programmable analog subsystem
PCB	printed circuit board
PCM	pulse code modulation
PDM	pulse density modulation
PHY	physical layer
PICU	port interrupt control unit
PLL	phase-locked loop
PMIC	power management integrated circuit
POR	power-on reset
PPU	peripheral protection unit
PRNG	pseudo random number generator
PSOC™	Programmable System-on-Chip
PSRR	power supply rejection ratio
PWM	pulse-width modulator
QD	quadrature decoder
QSPI	quad serial peripheral interface
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
ROM	read-only memory
RSA	Rivest–Shamir–Adleman, a public-key cryptography algorithm
RTC	real-time clock
RWW	read-while-write
RX	receive
S/H	sample and hold
SAR	successive approximation register
SARMUX	SAR ADC multiplexer bus

表 55 缩略词 (续)

Acronym	Description
SC/CT	switched capacitor/continuous time
SCB	serial communication block
SCL	I <sup>2</sup> C serial clock
SD	Secure Digital
SDA	I <sup>2</sup> C serial data
SDR	single data rate
Sflash	supervisory flash
SHA	secure hash algorithm
SINAD	signal to noise and distortion ratio
SMPU	shared memory protection unit
SNR	signal-to-noise ratio
SOF	start of frame
SONOS	silicon-oxide-nitride-oxide-silicon, a flash memory technology
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SROM	supervisory read-only memory
SRSS	system resources subsystem
SWD	serial wire debug, a test protocol
SWJ	serial wire JTAG
SWO	single wire output
SWV	single-wire viewer
TCPWM	timer, counter, pulse-width modulator
TDM	time division multiplexed
THD	total harmonic distortion
TQFP	thin quad flat package
TRM	technical reference manual
TRNG	true random number generator
TX	transmit
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
UDB	universal digital block
ULP	ultra-low power
USB	Universal Serial Bus
WCO	watch crystal oscillator
WDT	watchdog timer
WIC	wakeup interrupt controller
WLCSP	wafer level chip scale package
XIP	execute-in-place
XRES	external reset input pin

## 10 文档惯例

### 10.1 测量单位

表 56 测量单位

Symbol	Unit of measure
°C	degrees Celsius
dB	decibel
fF	femto farad
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
KHR	kilohour
KHz	kilohertz
kΩ	kilo ohm
ksps	kilosamples per second
LSB	least significant bit
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
MSPS	megasamples per second
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
W	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
sqrtHz	square root of hertz
V	volt

## 11 勘误表

本节是 CYS0644xxxI-S2D4x 产品线的勘误表。具体内容包括勘误触发条件、影响范围、可用解决方案和芯片版本的适用性。将此文档与设备的数据表进行比较，以获得完整的功能描述。

若有任何问题，请联系您当地英飞凌销售代表。

### 受影响的器件编号

Part number	Device characteristics
CYS0644xxxI-S2D4x	CYS0644xxxI-S2D4x Product Line

### 质量状态

工程样品

### 勘误表摘要

该表定义了勘误表对可用 PSOC™ 6 CYS0644xxxI-S2D4x 设备的适用性。

Items	PSOC™ CYS0644xxxI- S2D4x	Silicon revision	Fix status
[1.] <b>DMA controllers are not available</b>	All	Production silicon	Resolution planned by Q4'22.

#### 1. DMA controllers are not available

Problem Definition	The two 29-channel DMA controllers are not available. Register access to these controllers is not available. The 4-channel controller is available; there are no USB or audio connections to it.
Parameters Affected	The two 29-channel DMA controllers.
Trigger Condition(s)	Attempt to use either of the 29-channel DMA controllers, by accessing their registers.
Scope of Impact	CPU exceptions are generated.
Workaround	Use the 4-channel controller for DMA operations.
Fix Status	Investigation underway. Fix planned by Q3'21.

## 修订记录

Document revision	Date	Description of changes
**	01/13/2020	New datasheet
*A	04/16/2020	Updated <b>Features</b> . Updated <b>Functional Description</b> . Updated SAR ADC 1 Msp references to 2 Msp. Removed reference to e.MMC DDR mode Updated <b>Pinouts</b> . Updated <b>Electrical specifications</b> . Edited SAR Specs to split $V_{DDA}$ dependent specs into separate specs instead of having qualifying comments. Also moved Supply Range specs from Description column to Details/Conditions column. Added SAR ADC 2 Msp supply current specs. Updated SAR ADC input impedance RC values to support 9RC 2 Msp sampling. Updated <b>PSoc 6 MPN Decoder</b> .
*B	06/11/2020	Updated <b>Development Ecosystem, GPIO, and LCD</b> sections. Added <b>External crystal oscillators</b> .
*C	10/09/2020	Updated <b>Flexible clocking options</b> and <b>Block diagram</b> . Updated list of application notes and links in <b>PSOC™ 6 MCU Resources</b> . Updated <b>ModusToolbox™ software</b> . Update amount of available SRAM in <b>Features, Blocks and functionality, Memory, Table 4, and Ordering information</b> . Updated <b>Clocking diagram</b> . Update the <b>PSOC™ 64 Security</b> section. Updated <b>Amazon FreeRTOS PSA</b> . Deleted the "Ports 9 and 10" row from <b>Table 6</b> . Change the # of GPIOs from 102 to 100 and updated the block diagram to reflect this. Updated <b>Power supply considerations</b> . Updated <b>CPUs</b> and added <b>InterProcessor communication (IPC)</b> . Updated <b>Analog subsystem</b> diagram. Update the XRES bullet in <b>Reset, SID15 Description and Conditions, and System resources</b> (Power-On-Reset specifications). Updated <b>SD host controllers and SD Host Controller and eMMC specifications</b> . Updated SID7A conditions, SID7C description, and SID8 conditions. Integrated ECO erratum into <b>External crystal oscillators</b> . Added <b>ECO Usage Guidelines</b> table. Added footnote to TMCLK_SOC specs. Added four <b>Errata</b> items.
*D	12/23/2020	Added <b>Arm® PSA Certification Level 2</b> section.
*E	05/28/2021	Updated Security terminology to Infineon standards. Changed BLE references to Bluetooth LE. Added <b>Table 12</b> and <b>Figure 19</b> in <b>Electrical specifications</b> . Removed SIDD1 and SIDD1_B and updated Typ values for SIDD2 and SIDD2_B. Corrected typo in <b>Ordering information</b> . <b>Errata</b> : Added "DMA controllers are not available" and deleted erratum "Cryptographic SysCall API version". Deleted "Specify the FreeRTOS Version that works with this product line" and integrated it into Amazon FreeRTOS PSA.
*F	08/18/2021	Updated SIDD2 - Corrected Deep Sleep current values Removed "System Deep Sleep power higher than specification" errata item.

Document revision	Date	Description of changes
*G	11/24/2021	Removed Preliminary tag from the datasheet. Updated SIDC1 description. Updated details/conditions for SID7A. Updated SID325U, SID328, and SID329 description. Updated <b>Errata</b> .
*H	03/15/2022	Updated MPN from CYS0644xxZI-S2D44 to CYS0644xxxI-S2D4x. Added CYS0644AFNI-S2D43T in <b>Ordering information</b> . Added 100-WLCSP package information.
*I	10/26/2022	Added device identification and revision information in <b>Features</b> . Added spec SID415 and SID304P. Added footnote "Guaranteed by design, not production tested" for specs SID402 - SID412. Updated <b>Clock system</b> and <b>PLL specifications</b> . Updated <b>Protection units</b> .
*J	11/07/2023	Removed Preliminary note from <b>Electrical specifications</b> .
*K	04/14/2025	Removed package diagrams that are not applicable to CYS0644xxxI-S2D4x.



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2026-02-12

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

**Do you have a question about this  
document?**

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。