

英飞凌PSOC™ 61 MCU

Arm® Cortex® -M4

概述

英飞凌PSOC™ 61 MCU 是一款高性能、超低功耗和安全的 MCU 平台，专为物联网应用而设计。基于 PSOC™ 61 MCU 平台的 CY8C61x6/7 产品系列是高性能微控制器与低功耗闪存技术、数字可编程逻辑、高性能模数转换以及标准通信和定时外设的结合。

特性

- 32位双核CPU子系统

注释: 在PSOC™ 61 中, Cortex® M0+ 保留用于系统功能, 不可用于应用程序。

- 150 MHz Arm® Cortex® -M4F (CM4) CPU, 具有单周期乘法、浮点和内存保护单元 (MPU)
- 100 MHz Cortex® -M0+ (CM0+) CPU, 具有单周期乘法和 MPU
- 核心逻辑工作电压为 1.1 V 或 0.9 V (取决于所选部件)。参见 [订购信息](#)
- 1.1 V 内核运行条件下的有效 CPU 电流斜率
 - Cortex® -M4: 40 μ A/MHz
 - Cortex® -M0+: 20 μ A/MHz
- 0.9 V 核心运行条件下的有效 CPU 电流斜率
 - Cortex® -M4: 22 μ A/MHz
 - Cortex® -M0+: 15 μ A/MHz
- 内置两个 DMA 控制器, 各支持 16 个传输通道
- 内存子系统
 - 1-MB 应用程序闪存、32 KB 辅助闪存 (AUXflash) 和 32 KB 监控闪存 (SFlash); 支持即读即写 (RWW)。两个 8 KB 闪存缓存, 每个 CPU 一个
 - 288-KB SRAM, 带电源和数据保持控制功能
 - 一次性可编程 (OTP) 1 Kb eFuse 阵列
- 低功耗操作的电压范围: 1.7-V ~ 3.6-V
 - 六种电源模式可实现精细的电源管理
 - 深度睡眠模式电流为 7 μ A, 保留 64 KB SRAM 内容
 - 片上单进多出 (SIMO) DC-DC 降压转换器, <1 μ A 静态电流
 - 具有 64 字节内存和实时时钟的备份域
- 灵活的时钟选项
 - 8 MHz 内部主振荡器 (IMO), 精度为 $\pm 2\%$
 - 超低功耗 32 kHz 内部低速振荡器 (ILO)
 - 片上晶体振荡器 (16 MHz 至 35 MHz 和 32 kHz)
 - 用于倍增时钟频率的锁相环 (PLL)
 - 锁频环 (FLL), 用于倍频 IMO 频率
 - 外设时钟分频器, 支持整数和小数
- Quad-SPI (QSPI)/串行存储器接口 (SMIF)
 - 从外部 4 线 SPI 闪存执行 (XIP)
 - 即时加密和解密
 - 4 KB 缓存, 以更低的功耗实现更高的 XIP 性能
 - 支持单线、双线、四线、双四线和八线接口, 吞吐量高达 640 Mbps

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确保准确性, 请务必访问 infineon.cn 参考最新的英文版本 (控制文档)。

特性

- 分段液晶驱动器
 - 支持最多 99 个段和最多 8 个公共端
- 串行通信
 - 九个运行时可配置串行通信块 (SCB)
 - 八个 SCB：可配置为 SPI、I²C, or UART
 - 一个深度睡眠 SCB：可配置为 SPI 或 I²C
 - USB全速器件接口
- 音频子系统
 - 两个脉冲密度调制 (PDM) 通道和两个具有时分复用 (TDM) 模式的 I²S 通道
- 定时和脉冲宽度调制器
 - 三十二个定时器/计数器/脉冲宽度调制器 (TCPWM)
 - 支持中心对齐对齐模式、边缘模式和伪随机模式
 - 基于比较器的 Kill 信号触发
- 可编程的模拟资源
 - 12位分辨率、1 Msps采样率的SAR ADC，具有差分、单端模式和具有信号求平均功能的16通道序列器
 - 深度睡眠和休眠模式下有两个低功耗比较器可用
 - 内置温度传感器连接至ADC
 - 一个 12 位电压模式数模转换器 (DAC)，稳定时间小于 2μs
 - 两个具有低功耗操作模式的运算放大器
- 多达 100个可编程 GPIO
 - 两个Smart I/O端口（16 个 I/O），可在 GPIO 引脚上进行布尔运算；可在系统深度睡眠期间使用
 - 可编程驱动模式、驱动强度和压摆率
 - 六个耐过压 (OVT) 引脚
- 电容式感应
 - CAPSENSE™ 具有同类最佳的信噪比 (SNR)、液体耐受性和近距离传感功能
 - 支持动态使用自感和互感模式
 - 自动硬件调节 (SmartSense)
- 平台架构内置安全性
 - 所有调试和测试入口路径都可以禁用
 - 最多八个保护上下文
- 安全加速器
 - 对称和非对称加密方法和哈希函数的硬件加速
 - 真随机数生成器 (TRNG)
- 可编程数字资源
 - 十二个可编程逻辑块，每个块有 8 个宏单元和一个 8 位数据路径（称为通用数字块或 UDB）
 - 可用作拖放布尔基元（门、寄存器）或 Verilog 可编程块
 - 英飞凌提供的外设组件库使用 UDB 实现通信外设（例如 LIN、UART、SPI、I²C、S/PDIF 和其他协议）、波形发生器、伪随机序列 (PRS) 生成等功能。
- 分析器
 - 八个计数器提供片上资源的事件或持续时间监控
- 封装
 - 124-BGA

特性

- 80-WLCSP（高度为 0.33 和 0.43 毫米）
- 薄型 80-WLCSP（0.33 毫米高）（正在进行资格认证）
- 设备识别和修订
 - 产品线ID（12位）：0x100
 - 主要/次要裸片修订 ID：2/4
 - 固件修订：Rom Boot：4.1，Flash Boot：1.20.1.45（参见[Boot 代码](#)部分）

该产品系列具有可通过 SWJ 接口获取的 JTAG ID。它是一个 32 位 ID，其中：

- 最高有效数字是设备版本，基于主要裸片版本
- 接下来的四位数字对应于零件编号，例如十六进制数“E4B0”
- 三个最低有效数字是制造商 ID，在本例中为十六进制数“069”

固件可以使用 Silicon ID 系统调用来获取 Silicon ID 和 ROM 启动数据。更多信息，请参阅[参考手册](#)。

可以直接从指定地址 0x1600 2004 读取 Flash Boot 版本。有关更多信息，请参阅[参考手册](#)。

目录

	概述	1
	特性	1
	目录	4
1	开发生态系统.....	7
1.1	PSOC™ 6 MCU 资源.....	7
1.2	ModusToolbox™ 软件.....	7
1.3	PSOC™ Creator.....	8
2	模块和功能	10
3	功能描述	12
3.1	CPU和内存子系统	12
3.1.1	CPU.....	12
3.1.2	中断	13
3.1.3	处理器间通信(IPC).....	13
3.1.4	直接内存访问 (DMA) 控制器.....	14
3.1.5	密码加速器 (加密)	14
3.1.6	保护单位.....	14
3.1.7	内存	15
3.1.8	引导代码.....	15
3.1.9	内存映射.....	16
3.2	系统资源.....	17
3.2.1	电力系统.....	17
3.2.2	功耗模式.....	17
3.2.3	时钟系统.....	18
3.2.4	内部主振荡器(IMO)	18
3.2.5	内部低速振荡器(ILO)	18
3.2.6	外部晶体振荡器.....	19
3.2.7	看门狗计时器 (WDT, MCWDT)	20
3.2.8	时钟分频器.....	20
3.2.9	触发路由	20
3.2.10	复位	20
3.3	可编程模拟子系统.....	21
3.3.1	12 位 SAR ADC.....	21
3.3.2	温度传感器.....	22
3.3.3	12位数模转换器.....	22
3.3.4	带有两个运算放大器的连续时间区块迷你 (CTBm)	22
3.3.5	低功耗比较器	22
3.4	可编程数字资源	24
3.4.1	Smart I/O.....	24

目录	
3.4.2	通用数字模块 (UDB) 24
3.5	固定功能数字模块..... 25
3.5.1	定时器/计数器/脉宽调制器(TCPWM) 25
3.5.2	串行通信模块 (SCB)..... 26
3.5.3	USB全速设备接口..... 26
3.5.4	QSPI接口串行存储器接口 (SMIF) 26
3.5.5	LCD 26
3.6	GPIO 27
3.7	特殊功能外设..... 28
3.7.1	音频子系统..... 28
3.7.2	CAPSENSE™ 子系统 28
4	引脚分布 33
5	电源设计考虑因素 59
6	电气规格 65
6.1	绝对最大额定值..... 65
6.2	器件级规范..... 65
6.2.1	电源 66
6.2.2	CPU 电流和转换时间 67
6.2.3	XRES 74
6.2.4	GPIO 74
6.3	模拟外设..... 76
6.3.1	运算放大器 76
6.3.2	低功耗 (LP) 比较器..... 80
6.3.3	SAR ADC 82
6.3.4	DAC..... 83
6.3.5	CSD..... 84
6.4	数字外设..... 89
6.4.1	LCD 规格..... 92
6.5	内存..... 92
6.5.1	Flash..... 92
6.6	系统资源..... 93
6.6.1	上电复位..... 93
6.6.2	电压监测器..... 94
6.6.3	SWD 和追踪接口 94
6.6.4	内部主振荡器..... 95
6.6.5	内部低速振荡器..... 95
6.6.6	晶体振荡器..... 96
6.6.7	外部时钟..... 96
6.6.8	PLL..... 96
6.6.9	时钟源切换时间..... 97
6.6.10	FLL 97



目录

6.6.11	UDB	97
6.6.12	USB.....	98
6.6.13	QSPI.....	99
6.6.14	音频子系统.....	100
6.6.15	Smart I/O.....	102
6.6.16	高精度注入锁定振荡器 (PILO)	103
6.6.17	JTAG 边界扫描.....	103
7	订购信息	104
7.1	PSOC™ 6 MPN 解码器	104
8	封装	107
9	缩略语.....	111
10	文件惯例	115
10.1	计量单位.....	115
	修订历史	117
	商标	120
	免责声明	121

1 开发生态系统

1.1 PSOC™ 6 MCU资源

英飞凌在 www.infineon.com 上提供了丰富的数据，帮助您选择合适的 PSoC™ 器件，并快速有效地将其集成到您的设计中。以下是 PSoC™ 6 MCU 资源的简化超链接列表：

- **概述：** [PSOC™ 产品组合](#)
- **产品选择器：** [PSOC™ 6 MCU](#)
- **应用笔记**涵盖从基础到高级的广泛主题。应用笔记包括：
 - [AN221774](#): Getting started with PSOC™ 6 MCU on PSOC™ Creator
 - [AN210781](#): Getting started with PSOC™ 6 MCU with Bluetooth® Low Energy connectivity on PSOC™ Creator
 - [AN218241](#): PSOC™ 6 MCU hardware design considerations
 - [AN213924](#): PSOC™ 6 MCU Device Firmware Updata
 - [AN219528](#): PSOC™ 6 MCU power reduction techniques
 - [AN85951](#): PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ design guide
- **代码示例**展示了产品特性和使用，可访问以下地址获取：[Infineon GitHub repositories](#)。
- **参考手册**详细介绍了 PSoC™ 6 MCU 架构和寄存器。
- **PSOC™ 6 MCU编程规范**提供对PSOC™ 6 MCU非易失性存储器进行编程的必要信息。
- **开发工具**
 - [ModusToolbox™](#) 软件通过一套强大的工具和软件库实现跨平台代码开发。
 - PSOC™ 61 产品线的套件。不过，[CY8CKIT-062-Wi-Fi BT PSOC™ 6 Wi-Fi 蓝牙® 先驱套件](#)：低成本硬件平台，可以设计和调试 PSOC™ 62 CY8C62x6/7 产品线和 [CYW4343W Wi-Fi + 蓝牙® 组合芯片](#)
 - [PSOC™ 6 CAD 库](#)为常用工具提供足迹和原理图支持。还提供 [BSDL](#) 文件和 [IBIS](#) 模型
- **培训视频**涉及广泛的主题，包括 [PSOC™ 6 MCU 101 系列](#)
- 通过 [英飞凌开发者社区](#)可以每周7天、每天24小时与世界各地的PSOC™ 开发者交流，并设置了一个专门的 [PSOC™ 6 MCU Community](#)。

1.2 ModusToolbox™ 软件

注： *ModusToolbox™ 软件不支持UDB 或基于UDB 的组件。*

[ModusToolbox™ 软件](#) 是英飞凌的多平台工具和软件库的综合集合，为创建融合的MCU和无线系统提供了沉浸式的开发体验。

- 全面 - 它拥有你需要的资源
- 灵活 - 你可以在自己的工作流中使用这些资源
- 原子化 - 你可以只获得你想要的资源

英飞凌在[GitHub](#)上提供了大量的代码库，包括：

- 与英飞凌套件相一致的电路板支持包 (BSP)
- 底层资源，包括硬件抽象层 (HAL) 和外设驱动程序库 (PDL)

1 开发生态系统

- 中间件支持 CAPSENSE™、低功耗蓝牙和Mesh网络等行业领先功能
- 一套广泛的经过全面测试的[代码示例应用程序](#)

注释： HAL 提供了一个高级、简化的接口，用于配置和使用英飞凌 MCU 上的硬件模块。它是一个通用接口，可用于多个产品系列。例如，它使用简化的 API 封装了 PSOC™ 6 PDL，但 PDL 开放了所有底层外设功能。即使应用程序的某个部分需要更精细的控制，您也可以利用 HAL 更简单、更通用的接口来处理大部分内容。

ModusToolbox™ 软件与集成开发环境无关，可轻松适应您的工作流程和首选开发环境。它包括项目创建器、外设和库配置器、库管理器以及可选的 ModusToolbox™ Eclipse IDE。如图 1 所示。有关使用英飞凌工具的信息，请参阅随 ModusToolbox™ 软件，以及 [AN228571 - 开始使用 PSOC™ 6 MCU 在 ModusToolbox™ 上的使用](#)。

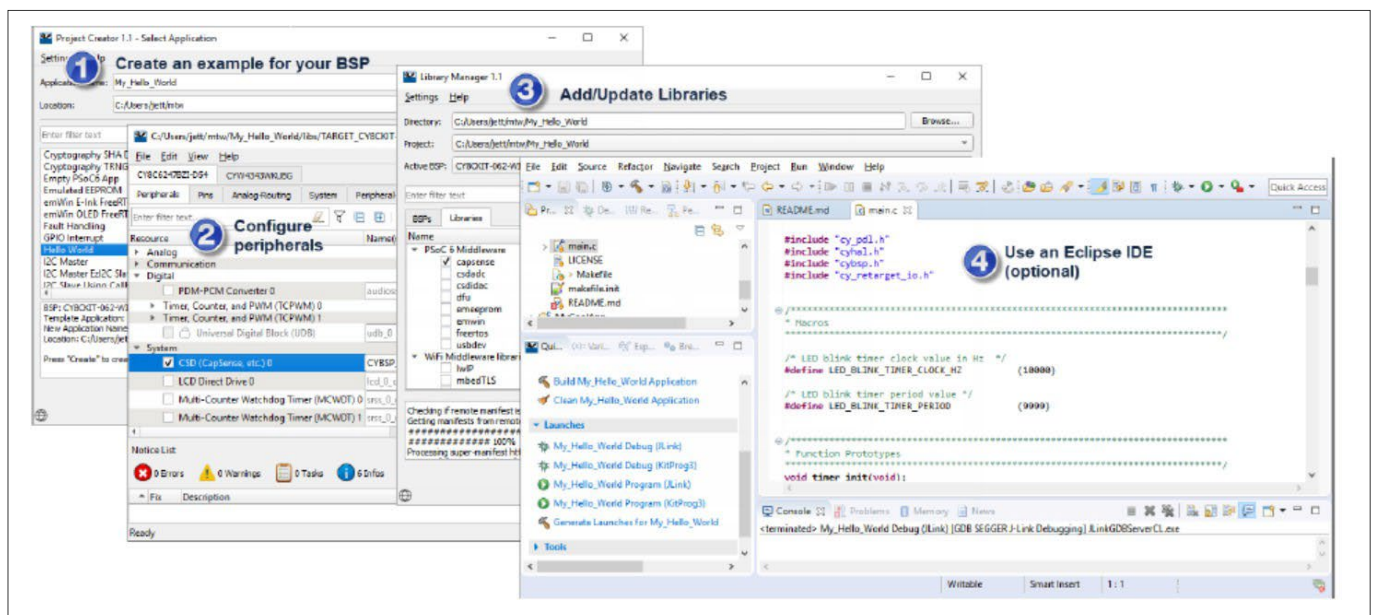


图 1 ModusToolbox™ 软件工具

1.3 PSoC™ Creator

注： 不建议将 PSoC™ Creator 用于新设计。

PSoC™ Creator 是一款免费的基于 Windows 的集成设计环境 (IDE)。它支持您基于 PSOC™ 6 MCU 同时设计硬件和固件系统。如图 2 所示，使用 PSoC™ Creator 您可以：

1. 探索 PSoC™ Creator 中的 200 多个元件库
2. 拖放组件图标以在主设计工作区中完成硬件系统设计
3. 使用组件配置工具和组件数据手册配置组件
4. 在 PSoC™ Creator IDE 中同时设计应用固件和硬件或为第三方 IDE 构建项目
5. 以 PSoC™ 6 Pioneer 套件为您的方案制作原型。如果有设计修改的需求，PSoC™ Creator 和组件让您能够在线修改而不必更改硬件。

1 开发生态系统

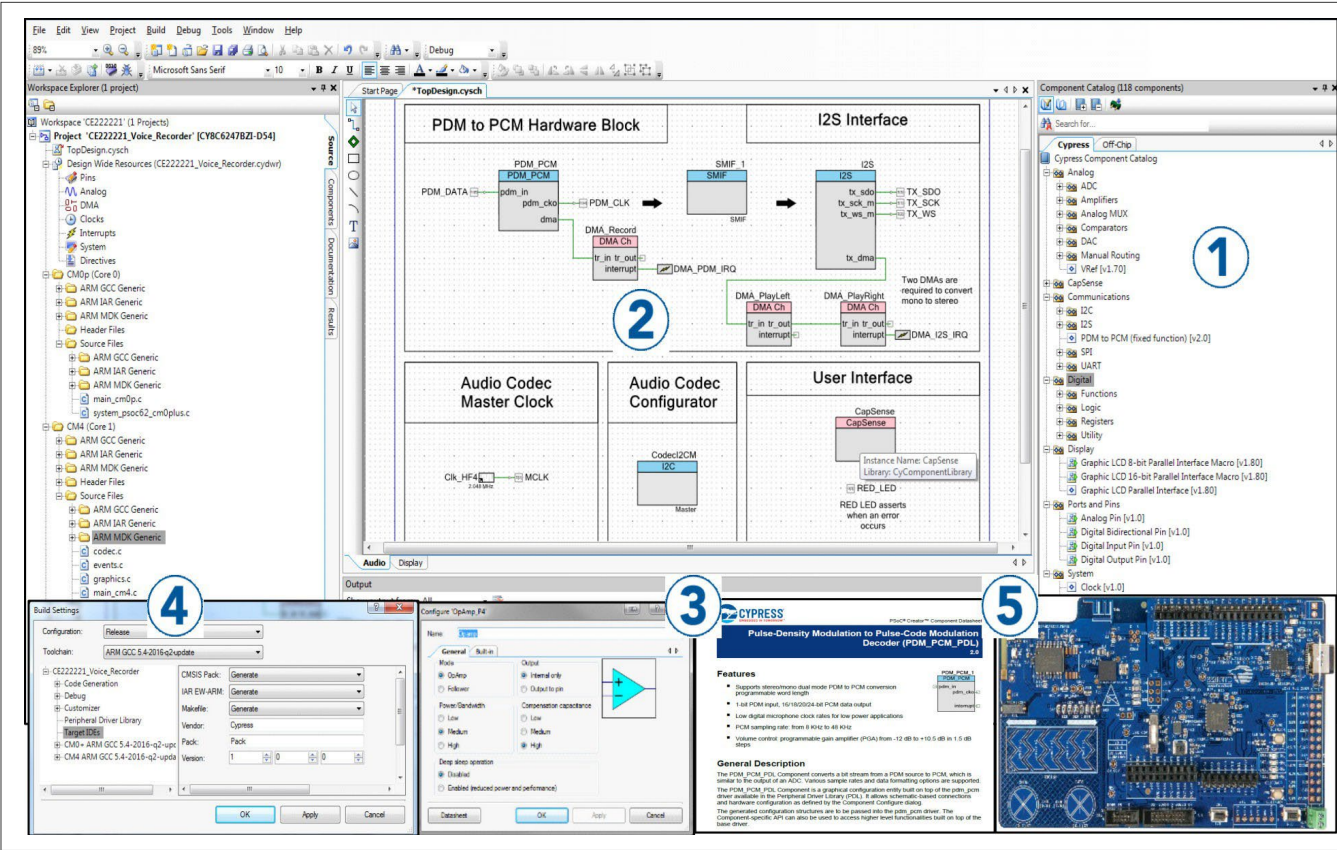


图 2 PSoC™ Creator 原理图条目和组件

Color Key: Power Modes and Domains

- System LP/ULP Mode (Cpus Active/Sleep)
- System DeepSleep Mode
- System Hibernate Mode
- Backup Domain

PSOC™ 61 MCU
CY8C61x6, CY8C61x7

System Resources

Power		Clocks	
OVP	LVD	IMO	ECO
POR	BOD	FLL	2x PLL
Buck Regulator		2x MCWDT	
XRES Reset		PILO	
Backup Regs		ILO	WDT
		RTC	WCO
		PMIC Control	

CPU Subsystem

- Cortex® M4F CPU 150/50 MHz, 1.1/0.9 V SWJ, ETM, ITM, CTI
- Cortex® M0+ CPU 100/25 MHz, 1.1/0.9 V SWJ, MTB, CTI
- 2x DMA Controller
- Crypto DES/TDES, AES, SHA, CRC, TRNG, RSA/ECC Accelerator
- Flash 1024 KB + 32 KB + 32 KB 8 KB cache for each CPU
- SRAM 288 KB
- ROM 128 KB

Peripheral Interconnect (Multi Layer AHB, IFC, MPU/SMPU)

Peripheral clock (clk_per)

Programmable Analog

- SAR ADC 12 bit
- DAC 12 bit
- 2x Opamp
- Temperature Sensor
- SARMUX

Peripheral Interconnect (MMIO, PPU)

- CAPSENSE™
- LCD
- LP Comparator
- Programmable Digital: 12x UDB
- 32x TCPWM
- SCB 8x I2C, SPI, UART, or LIN
- I2C or SPI
- Audio Subsystem I2S, PDM-PCM
- Profiler
- eFuse: 1024 bits
- QSPI (SMIF) with OTF Encryption/Decryption
- USB-FS

I/O Subsystem: Up to 100 GPIOs (including 6 OVT), 124-BGA Package Boundary Scan

- 2x Smart I/O Ports
- DSI
- USB PHY

有三个调试访问端口，分别用于 CM4 和 CM0+，还有一个系统端口。PSOC™ 6 MCU 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。对于涉及重新编程设备或启动和中断闪存编程序列的应用程序，可以永久禁用所有设备接口。所有编程、调试和测试接口都可以被禁用。

借助完善的片上调试 (DoC) 功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

用于 ModusToolbox™[1] 软件的 Eclipse IDE 和 PSoC™ Creator[2] 集成开发环境 (IDE) 为这些器件提供完全集成的编程和调试支持。SWJ (SWD 和 JTAG) 接口与行业标准的第三方探针完全兼容。PSoC™ 6 能够禁用调试功能，具有非常强大的闪存保护功能，并允许在片上可编程块中实现客户专有功能，从而提供了多层次的器件安全性。

¹ ModusToolbox™ 软件不支持 UDB 或基于 UDB 的组件。

² 不建议将 PSoC™ Creator 用于新设计。

3 功能说明

以下章节概述了 [图 3](#) 框图中标识的每个功能块的特性、功能和操作。有关更多详细信息，请参阅以下文档：

- 板级支持包 (BSP) 文档

BSP 可在[GitHub](#)上获取。它们与英飞凌套件保持一致，并提供用于基本设备功能的文件，例如硬件配置文件、启动代码和链接器文件。BSP 还包含支持套件所需的其他库。每个 BSP 都有自己的文档，但通常包含 API 参考，例如[此处](#)示例。此[搜索关联](#)在英飞凌 GitHub 网站上查找所有当前可用的 BSP。

- 硬件抽象层 API 参考手册

英飞凌硬件抽象层 (HAL) 提供了一个高级接口，用于配置和使用英飞凌 MCU 上的硬件模块。它是一个通用接口，可用于多个产品系列。即使应用程序的某个部分需要更精细的控制，您也可以利用 HAL 更简单、更通用的接口来处理大部分功能。[HAL API 参考](#)提供完整的详细信息。使用 HAL 的示例应用程序会自动从 GitHub 存储库下载它。

- 外设驱动程序库 (PDL) 应用程序编程接口 (API) 参考手册

外设驱动程序库 (PDL) 将设备头文件和外设驱动程序集成到一个软件包中，并支持所有 PSOC™6 MCU 产品线。这些驱动程序将硬件功能抽象为一组易于使用的 API。这些 API 在 [PDL API 参考](#)中有完整文档。使用 PSOC™6 PDL 的示例应用程序会自动从 GitHub 存储库下载它。

- 架构参考手册

架构参考手册提供了设备中每个资源的详细描述。如果需要了解 PDL（外设驱动库）所提供软件下的硬件操作，这是接下来应该使用的参考资料。它描述了每个资源的架构和功能，并解释了每个资源在所有模式下的操作。它提供了有关使用相关寄存器的具体指导。

- 寄存器参考手册

寄存器参考手册提供了设备中所有寄存器的完整列表。它包括所有寄存器字段的细目分类、它们的可能设置、读/写可访问性和默认状态。所有在典型应用中有合理用途的寄存器都具有从 PDL 内部访问它们的功能。请注意，ModusToolbox™和 PDL 可能会为某些寄存器提供不同于硬件默认值并覆盖硬件默认值的软件默认条件。

3.1 CPU 和内存子系统

PSOC™6 具有多个总线主控器，如 [图 3](#) 所示。它们分别是：CPU、DMA 控制器、QSPI、USB 和一个加密模块。通常，所有存储器和外设都可以通过多层 Arm®AMBA 高性能总线 (AHB) 仲裁被所有总线主控器访问和共享。CPU 之间的访问可以使用处理器间通信 (IPC) 模块进行同步。

3.1.1 CPU

有两个 Arm®Cortex®CPU：

Cortex®-M4 (CM4) 具有单周期乘法、浮点单元 (FPU) 和内存保护单元 (MPU)。它的主频最高可达 150 MHz。这是主 CPU，设计用于缩短中断响应时间、提高代码密度和提高吞吐量。

CM4 实现了基于 Thumb-2 技术的 Thumb 指令集（在 [Armv7-M 架构参考手册](#)中定义）。

Cortex®-M0+ (CM0+) 具有单周期乘法和 MPU。它可以运行最高达 100 MHz；然而，当 CM4 的速度超过 100 MHz 时，CM0+ 和总线外设的速度将被限制为 CM4 速度的一半。因此，对于运行频率为 150 MHz 的 CM4，在系统低

3 功能说明

功耗 (LP) 模式下, CM0+ 和外设的运行频率被限制在 75 MHz。在系统超低功耗 (ULP) 模式下, CPU 速度分别限制为 50 MHz 和 25 MHz。

CM0+ 是辅助 CPU; 它用于实现系统调用和设备级安全和保护功能。

CM0+ 实现了 Armv6-M Thumb 指令集 (定义在 [ARMv6-M 架构参考手册](#))。当 $V_{DD} = 3.3\text{ V}$ 并使用内部降压调节器时, CPU 的功耗如下:

表 1 使用内部降压调节器时 $V_{DD} = 3.3\text{ V}$ 时的有效电流斜率

		System Power mode	
		ULP	LP
CPU	Cortex®-M0+	15 $\mu\text{A}/\text{MHz}$	20 $\mu\text{A}/\text{MHz}$
	Cortex®-M4	22 $\mu\text{A}/\text{MHz}$	40 $\mu\text{A}/\text{MHz}$

可以根据 Arm® 的定义选择性地将 CPU 置于睡眠和深度睡眠电源模式。

两个 CPU 都配备了嵌套向量中断控制器 (NVIC), 用于快速和确定性的中断响应, 以及唤醒中断控制器 (WIC), 用于从深度睡眠电源模式中唤醒 CPU。

CPU 具有广泛的调试支持。PSOC™ 6 具有调试访问端口 (DAP), 可作为设备编程和调试的接口。外部编程器或调试器 (“主机”) 通过设备串行线调试 (SWD) 或联合测试行动组 (JTAG) 接口引脚与 DAP 通信。通过 DAP (但受到限制), 主机可以访问设备内存和外设以及两个 CPU 中的寄存器。

每个 CPU 都提供如下调试和跟踪功能:

- CM4 支持六个硬件断点和四个观察点、4 位嵌入式跟踪宏单元 (ETM)、串行线查看器 (SWV) 以及通过单线输出 (SWO) 引脚进行的 printf() 式调试。
- CM0+ 支持四个硬件断点和两个观察点, 以及一个带有 4 KB 专用 RAM 的微跟踪缓冲区 (MTB)。

PSOC™ 6 还具有嵌入式交叉触发器, 用于同步调试和跟踪两个 CPU。

3.1.2 中断

该产品系列具有 147 个系统和外设中断源, 并支持在两个 CPU 上处理中断和系统异常。CM4 有 147 条中断请求线 (IRQ), 中断源 “n” 直接连接到 IRQ_n 。CM0+ 有三十二个中断 $\text{IRQ}[31:0]$, 可以将一个或多个中断源配置映射到任意 $\text{IRQ}[31:0]$ 。

每个中断都支持可配置的优先级 (CM4 为 8 级, CM0+ 为 4 级)。每个 CPU 的不可屏蔽中断 (NMI) 最多可映射 4 个系统中断。最多 41 个中断源能够使用 WIC 将设备从深度睡眠模式唤醒。请参阅 [参考手册](#) 了解详情。

3.1.3 处理器间通信 (IPC)

除了 Arm® SEV 和 WFE 指令外, 还包含一个硬件处理器间通信 (IPC) 模块。它包含 16 个 IPC 通道和 16 个 IPC 中断结构。IPC 通道可用于实现处理器之间的数据通信。每个 IPC 通道还实现一个锁定方案, 可用于管理共享资源。IPC 中断允许一个处理器中断另一个处理器, 并发出事件信号。这用于触发相应 IPC 通道的通知和释放等事件。一些 IPC 通道和其他资源是保留的, 如 [表 2](#) 所示:

3 功能说明

表 2 IPC通道和其他资源的分配

Resources available	Resources consumed
IPC channels, 16 available	8 reserved
IPC interrupts, 16 available	8 reserved
Other interrupts	1 reserved
CM0+ NMI	Reserved
Other resources: clock dividers, DMA channels, etc.	1 CM0+ interrupt mux

3.1.4 直接内存访问 (DMA) 控制器

该产品系列包含两个 DMA 控制器，具有16 个通道，支持独立于 CPU 的内存和外设访问。DMA 通道的描述符可以位于 SRAM 或闪存中。因此，描述符的数量仅受内存大小的限制。每个描述符可以在两个嵌套循环中以可配置的地址增量将数据传输到源和目标。每个描述符的数据传输大小因 DMA 通道的类型而异。请参阅 [参考手册](#) 了解详情。

3.1.5 密码加速器 (加密)

该子系统由加密功能和随机数生成器的硬件实现和加速组成。

安全子系统支持以下内容：

- 加密/解密
 - 数据加密标准 (DES)
 - 三重 DES (3DES)
 - 高级加密标准 (AES) (128 位、192 位、256 位)
 - 椭圆曲线算法 (ECC)
 - RSA加密算法
- 哈希函数
 - 安全哈希 (hash) 算法
 - SHA-1
 - SHA-224/-256/-384/-512
- 消息认证功能 (MAC)
 - 散列消息认证码 (HMAC)
 - 基于密码的消息认证码 (CMAC)
- 32 位循环冗余码 (CRC) 生成器
- 真随机数生成器
 - 伪随机数生成器
 - 真随机数生成器 (TRNG)

3.1.6 保护单元

该产品系列具有多种类型的保护单元，可控制对内存和外设寄存器的错误或未经授权的访问。CM4 和 CM0+ 具有 Arm® MPU 用于总线主控级保护。其他总线主控器使用额外的 MPU。共享内存保护单元 (SMPU) 可帮助实现对以下存储器的保护

3 功能说明

多个总线主站共享的内存/资源。外设保护单元 (PPU) 与 SMPU 类似，但设计用于保护外设寄存器空间。

保护单元支持内存和外设访问属性，包括地址范围、读/写、代码/数据、特权级别、安全/非安全以及保护上下文。部分保护单元资源保留供系统使用；请参阅[参考手册](#)了解详情。

3.1.7 内存

PSOC™ 6 包含闪存、SRAM、ROM 和 eFuse 内存块。

- Flash

应用程序闪存高达 1MB，分为 256 KB 扇区。还有两个 32 KB 闪存扇区：

- 辅助闪存 (AUXflash)，通常用于EEPROM模拟。
- 监控闪存 (Sflash)。Sflash 中存储的数据包括器件调整值、Flash 启动代码和加密密钥。设备进入“安全”生命周期阶段后，Sflash 将无法再更改。

闪存具有 128 位宽的访问，以降低功耗。写入操作可以在行级别执行。一行是512字节。低功耗和超低功耗模式均支持读取操作，但在超低功耗模式下可能无法执行写入操作。

闪存控制器配备了两个缓存，每个CPU各有一个。每个缓存为 8 KB，具有 4 路组相联性。

- SRAM

提供高达 288 KB 的 SRAM。电源控制和保留粒度以 32 KB 块实现，允许用户控制深度睡眠中保留的内存量。休眠模式下不会保留内存。

- ROM

128 KB ROM，也称为监控 ROM (SROM)，提供代码 (ROM 启动) 用于多个系统功能。ROM 包含设备初始化、闪存写入、安全保护、eFuse 编程和其他系统级例程。ROM 代码仅由 CM0+ CPU 在保护上下文 0 中执行。系统功能可以由 CPU 或通过 DAP 启动。这会导致 CM0+ 中发生 NMI，从而导致 CM0+ 执行系统功能。

- eFUSE

一次性可编程 (OTP) eFuse 阵列由 1024 位组成，其中 512 位保留供系统使用，例如芯片 ID、设备 ID、初始调整设置、设备生命周期和安全设置。其余位可用于存储安全密钥信息、哈希值、唯一 ID 或类似的自定义内容。

每个fuse都是单独编程的；一旦编程（或“熔断”），其状态就无法更改。熔断fuse可将其从默认状态“0”转换为“1”。要对 eFuse 进行编程， V_{DDIO0} 的电压必须为 $2.5\text{ V} \pm 5\%$ 、14mA。

由于熔断电子保险丝是一个不可逆的过程，因此建议仅在受控工厂条件下进行批量生产时进行编程。更多信息，请参阅 [PSOC™ 6 MCU 编程规格](#)。

3.1.8 引导代码

两部分代码，[ROM 引导程序](#) 和 [Flash 引导程序](#)被预先编程到设备中并协同工作以提供设备启动和配置、基本安全功能、生命周期阶段管理和其他系统功能。

- ROM 启动

在设备复位时，ROM 中的引导代码是第一个执行的程序。此程序执行以下操作：

- 闪存引导代码的完整性检查
- 设备调整设置（校准）

3 功能说明

- 设置设备保护单元
- 设置生命周期状态的设备访问限制

ROM 无法更改，并且是安全系统中的信任根。

- 闪存启动

闪存启动是存储在 SFlash 和应用闪存中的固件模块。它确保只有经过验证的应用程序才能在设备上运行。它还确保固件映像没有被修改，例如被恶意的第三方修改。

闪存启动：

- 通过 ROM 启动验证
- 在 ROM 启动之后、用户应用程序之前运行
- 启用系统调用
- 配置调试访问端口
- 启动用户应用程序

3.1.9 内存映射

两个 CPU 均具有固定的地址映射，可共享内存和外设访问权限。32 位（4 GB）地址空间被划分为 Arm 定义的区域，如 表 3 所示。请注意，代码可以从代码区域和外部 RAM 区域执行。

表 3 CM4 和 CM0+ 的地址映射

Address range	Name	Use
0x0000 0000 – 0x1FFF FFFF	Code	Program code region. Data can also be placed here. It includes the exception vector table, which starts at address 0.
0x2000 0000 – 0x3FFF FFFF	SRAM	Data region. This region is not supported in PSOC™ 6.
0x4000 0000 – 0x5FFF FFFF	Peripheral	All peripheral registers. Code cannot be executed from this region. CM4 bit-band in this region is not supported in PSOC™ 6.
0x6000 0000 – 0x9FFF FFFF	External RAM	SMIF or Quad SPI, (see the QSPI Interface Serial Memory Interface (SMIF) section). Code can be executed from this region.
0xA000 0000 – 0xDFFF FFFF	External device	Not used.
0xE000 0000 – 0xE00F FFFF	Private peripheral bus	Provides access to peripheral registers within the CPU core.
0xE010 0A000 – 0xFFFF FFFF	Device	Device-specific system registers.

设备内存映射如 表 4 所示，适用于两个 CPU。也就是说，两个 CPU 共享所有 PSOC™ 6 MCU 内存和外设寄存器的访问权限。

表 4 CM4 和 CM0+ 的内部存储器地址映射

Address range	Memory type	Size
0x0000 0000 – 0x0001 FFFF	ROM	128 KB

(表格续下页.....)

3 功能说明

表 4 (续) CM4 和 CM0+ 的内部存储器地址映射

Address range	Memory type	Size
0x0800 0000 – 0x0804 7FFF	SRAM	Up to 288 KB
0x1000 0000 – 0x100F FFFF	Application flash	Up to 1 MB
0x1400 0000 – 0x1400 7FFF	Auxiliary flash, can be used for EEPROM emulation	32 KB
0x1600 0000 – 0x1600 7FFF	Supervisory flash	32 KB

请注意，SRAM 位于两个 CPU 的 Arm®代码区域（参见表 3）。CPU 的 Arm® SRAM 区域中没有物理内存。

3.2 系统资源

3.2.1 电力系统

电源系统确保各模式所需的电压水平达到要求，并在必要时延迟模式进入（例如在上电复位 (POR) 时）直到电压水平满足正常功能的需求，或者在电源电压下降到指定水平以下时触发复位（掉电检测 (BOD)）。该设计保证在电源电压下降到指定水平以下（例如低于 1.7 V）与复位发生之间，芯片能够安全运行。此外，没有电压时序要求。

V_{DD} 电源（1.7 至 3.6 V）为片上降压稳压器或低压降稳压器 (LDO) 供电，用户可自行选择。此外，降压和 LDO 均提供可选（0.9 或 1.1 V）的核心工作电压 (V_{CCD})。

用户可以选择两种系统电源模式：

- 系统低功耗 (LP) 在 1.1 V 下操作 V_{CCD}并提供高性能，且对设备配置没有限制。
- 系统超低功耗 (ULP) 在 0.9 V 的 V_{CCD} 下运行并实现极低的功耗，但对时钟速度有所限制。

此外，备份域使用由备用电源 (V_{BACKUP})（例如电池或超级电容器）供电的独立电源域，增加了“始终开启”功能。它包含一个带闹钟功能的实时时钟 (RTC)，由 32.768 kHz 时钟晶体振荡器 (WCO) 和电源管理 IC (PMIC) 控制提供支持。请参阅[电源注意事项](#)了解更多详情。

3.2.2 功耗模式

PSOC™ 6 MCU 可在四种系统模式和三种 CPU 功耗模式下运行。这些模式旨在最大限度地降低应用中的平均功耗。有关功耗模式和其他省电配置选项的更多详情，请参阅应用笔记 [AN219528: PSOC™ 6 MCU low-power modes and power reduction techniques](#) 和 [Architecture reference manual](#)。

PSOC™ 6 MCU 支持的电源模式按功耗降低的顺序如下：

- 系统低功耗 (LP) – 所有外设和 CPU 电源模式均可在最大速度下使用
- 系统超低功耗 (ULP) – 所有外设和 CPU 电源模式均可用，但速度有限
- CPU 激活 – CPU 正在系统 LP 或 ULP 模式下执行代码
- CPU 睡眠 – CPU 代码执行在系统 LP 或 ULP 模式下暂停
- CPU 深度睡眠 – CPU 代码执行暂停，并在系统 LP 或 ULP 模式下请求系统深度睡眠

3 功能说明

- 系统深度睡眠 – 两个 CPU 进入 CPU 深度睡眠模式后，只有低频外设可用
- 休眠 – 器件和 I/O 状态被冻结，器件在唤醒时会复位

CPU 激活、睡眠和深度睡眠是 Arm®CPU 指令集架构 (ISA) 支持的标准 Arm®定义的电源模式。系统 LP、ULP、深度睡眠和休眠模式是 PSOC™ 6 MCU 支持的额外低功耗模式。

3.2.3 时钟系统

图 4 显示时钟系统由以下部分组成：

- 内部主振荡器 (IMO)
- 内部低速振荡器(ILO)
- 高精度注入锁定振荡器 (PILO)
- 时钟晶体振荡器 (WCO)
- 外部MHz晶体振荡器 (ECO)
- 外部时钟输入
- 锁相环 (PLL)
- 锁频环 (FLL)

时钟可以被缓冲并输出到Smart I/O 端口的引脚。

应用程序启动时的默认时钟是 CLK_HF[0]，由 IMO 和 FLL 驱动。CLK_HF[0]、clk_fast、clk_peri 和 clk_slow 均为 50 MHz (LP 模式) 或 25 MHz (ULP 模式)。所有其他时钟 (包括所有外设时钟) 均关闭。

3.2.4 内部主振荡器 (IMO)

IMO是主要的内部时钟源。在测试过程中对其进行修整以达到规定的精度。IMO 频率为 8 MHz，误差为 $\pm 2\%$ 。

3.2.5 内部低速振荡器(ILO)

ILO 是一种非常低功耗的振荡器，标称频率为 32 kHz，可在所有功耗模式下运行。可以根据更高精度的时钟校准 ILO，以获得更好的精度。

高精度注入锁定振荡器 (PILO)

PILO 是一个 32.768 kHz 的时钟，在使用 ECO 等高精度时钟进行定期校准时，可以提供比 ILO 更精确的时钟。

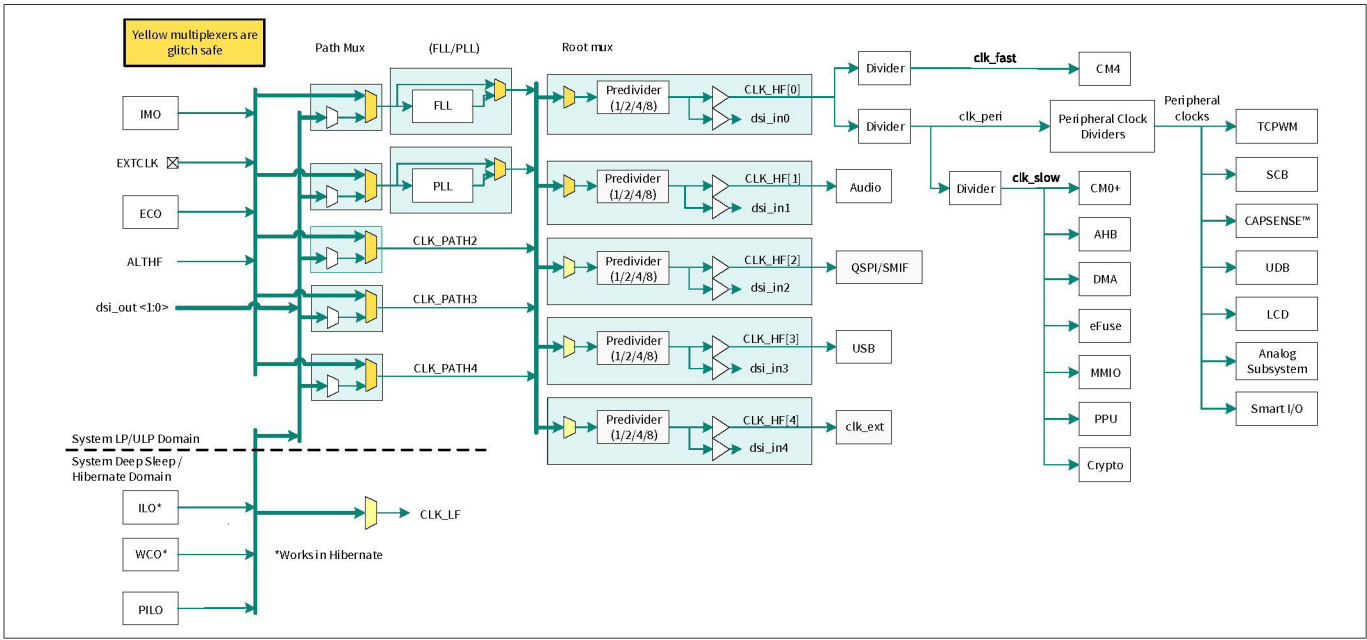


图 4 时钟图

3.2.6 外部晶体振荡器

图 5 显示了该产品系列的所有外部晶体振荡器电路。图中所示元件值为典型值；晶振值请查看 ECO 规格，负载电容值请查看晶振数据表。ECO 和 WCO 需要平衡外部负载电容器。更多信息，请参阅参考手册 和 AN218241 - PSOC™ 6 MCU 硬件设计注意事项。

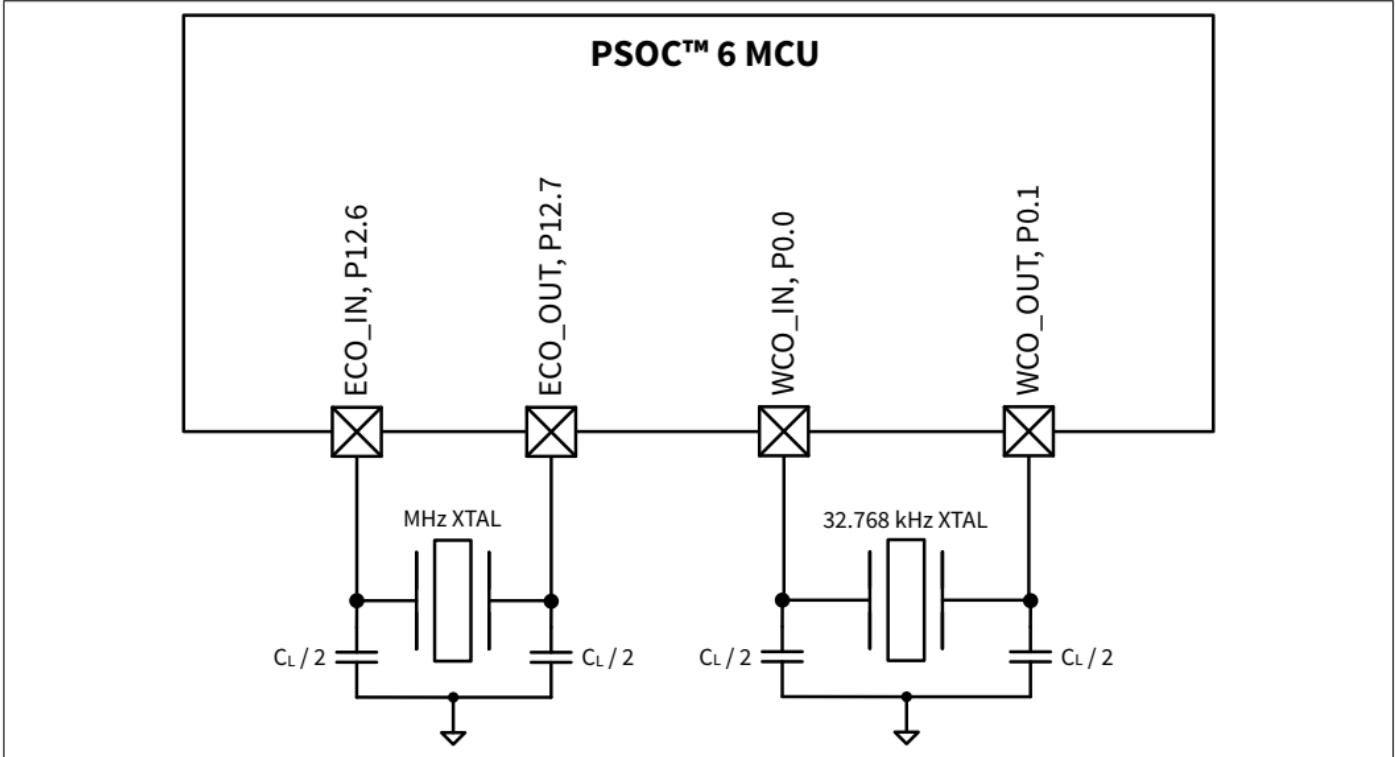


图 5 振荡器电路

如果使用 ECO，请注意其性能会受到 GPIO 开关噪声的影响。GPIO 端口的使用应参考表 5 所示。另请参阅表 6，了解一般模拟子系统使用的其他限制。

表 5 ECO 使用指南

Ports	Maximum frequency	Drive strength for $V_{DD} \leq 2.7\text{ V}$	Drive strength for $V_{DD} > 2.7\text{ V}$
Port 11	60 MHz for SMIF (QSPI)	DRIVE_SEL 2	DRIVE_SEL 3
Ports 12 and 13	Slow slew rate setting	No restrictions	No restrictions

3.2.7 看门狗定时器 (WDT、MCWDT)

PSOC™ 6 MCU 有一个 WDT 和两个多计数器 WDT (MCWDTs)。WDT 有一个 16 位自由运行计数器。每个 MCWDT 有两个 16 位计数器和一个 32 位计数器，具有多种工作模式。所有 16 位计数器均可生成看门狗设备复位。所有计数器都可以在匹配事件时产生中断。

WDT 由 ILO 提供时钟。它可以在 LP/ULP、深度睡眠和休眠电源模式下进行中断/唤醒生成。MCWDT 由 LFCLK (ILO 或 WCO) 提供时钟。它可以在 LP/ULP 和深度睡眠电源模式下进行定期中断/唤醒生成。

3.2.8 时钟分频器

提供整数和小数时钟分频器用于外设和定时目的。包括：

- 八个 8 位时钟分频器
- 十六个 16 位整数时钟分频器
- 四个 16.5 位小数时钟分频器
- 一个 24.5 位小数时钟分频器

3.2.9 触发路由

PSOC™ 6 MCU 包含一个触发多路复用器块。这是数字多路复用器和开关的集合，用于在外围设备块之间以及 GPIO 和外围设备块之间路由触发信号。

触发路由有两种类型。触发多路复用器在源和目标中具有可重配置性。还有称为“一对一触发器”的硬连线开关，它将特定的源连接到目的地。用户可以启用或禁用该路线。

3.2.10 复位

PSOC™ 6 MCU 可以通过多种来源复位：

- 上电复位 (POR) 可在电源上升至设备正常运行所需的水平时保持设备处于复位状态。上电时 POR 自动激活。
- 掉电检测 (BOD) 复位用于监控数字电压源 V_{DD} ，并在 V_{DD} 低于所需的最低逻辑工作电压时产生复位。
- 外部复位专用引脚 (XRES)，可使用外部复位源复位器件。XRES 引脚为低电平有效。它可以连接到上拉电阻至 V_{DD} ，也可以连接到有源驱动电路，如图 6 所示。如果使用上拉电阻，请选择其值以最小化引脚拉低时的电流消耗；典型值为 4.7 kΩ 至 100 kΩ。

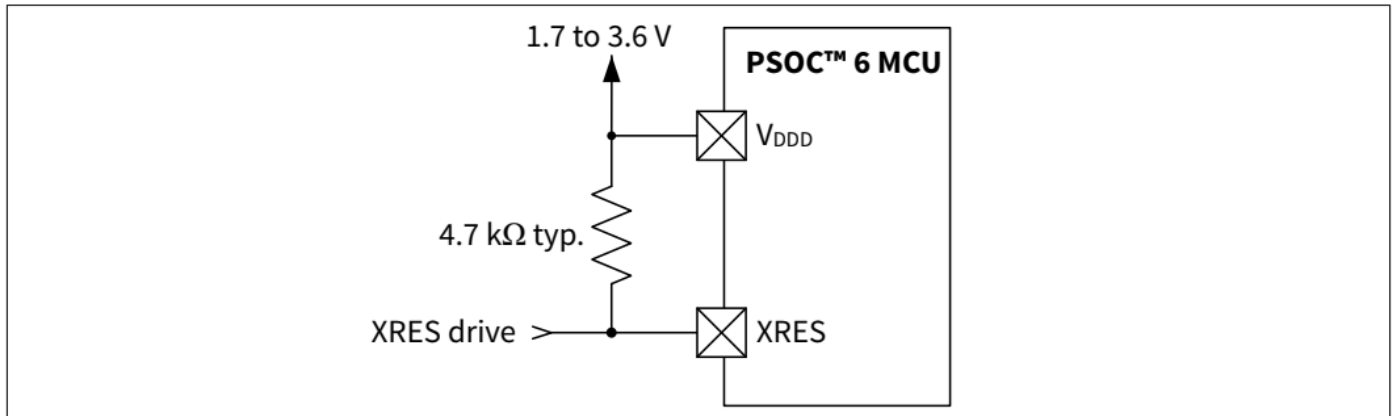


图 6 XRES 连接图

- 看门狗定时器（WDT或MCWDT）用于在固件未能在指定超时时间内对其进行服务时复位设备。
- 软件触发复位，可通过固件按需复位设备。
- 如果发生未经授权的操作条件，逻辑保护故障可能会触发中断或复位设备；例如，在执行特权代码时到达调试断点。
- 休眠唤醒复位使设备退出系统休眠低功耗模式。

复位事件是异步的，并确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。

3.3 可编程模拟子系统

3.3.1 12 位 SAR ADC

12 位、1 Msps 的 SAR ADC 的最大时钟频率为 18 MHz，完成 12 位转换至少需要 18 个时钟周期。ADC 参考电压可使用三个内部参考电压之一： V_{DDA} 、 $V_{DDA/2}$ 和模拟参考 (AREF)。AREF 标称电压为 1.2 V，精度为 $\pm 1\%$ ；见表 23。也可通过驱动 V_{REF} 引脚使用外部参考。使用 $V_{DDA/2}$ 或 AREF 作为参考时，可在 V_{REF} 引脚上连接一个外部旁路电容器，以提高在噪声条件下的性能。这些参考选项允许进行比率测量或绝对测量，精度取决于所使用的参考值。ADC 的输入范围是 V_{SS} 和 V_{DDA}/V_{DDIOA} 之间的全电源电压。SAR ADC 可在同一配置中混合使用单端和差分信号。

如果需要，SAR ADC 的采样保持 (S/H) 孔径是可编程的，以便为高阻抗信号提供足够的时间充分稳定下来。如果使用适当的参考并且系统噪声水平允许，则真正的 12 位精度的系统性能为 65 dB。

SAR 通过一个多路复用器与一些固定引脚相连。多路复用器自动地循环性通过已选通道 (定序器扫描)，而不需要任何切换开销 (即无论是在单通道上还是分布在多通道上，总采样带宽一直等于 1 Msps)。每个通道的结果都被缓冲，以便只有当所有通道的完整扫描完成时才会触发中断。此外，可以设置一对范围寄存器来检测输入是否超过最小值和/或最大值并引发中断。这样就可以快速检测超出范围的值，而无需等待序列器扫描完成以及 CPU 读取值并在软件中检查超出范围的值。在固件控制下，SAR 还可以通过模拟多路复用器总线 (AMUXBUS) 连接到大多数其他 GPIO 引脚。在深度睡眠和休眠模式下，由于需要高速时钟 (最高 18 MHz)，因此无法使用 SAR。SAR 的工作电压范围为 1.71 V 到 3.6 V。

ADC 精度受 GPIO 开关噪声影响。为提高精度，请执行表 6 中列出的 GPIO 端口限制。此外，端口 9 和 10 不应有开关输出。

3.3.2 温度传感器

片上温度传感器是 SAR 的一部分，可以由 SAR ADC 扫描。它由一个二极管组成，该二极管由一个电流源偏置，可以禁用该电流源以节省电力。温度传感器可以直接连接到 SAR ADC 作为测量通道之一。ADC 将温度传感器的输出数字化，然后可以使用英飞凌提供的软件功能将读数转换为温度，其中包括校准和线性化。

3.3.3 12位数模转换器

芯片上有一个 12 位电压模式 DAC，可以在不到 2 μ s 的时间内稳定下来。DAC 可以由 DMA 控制器驱动来生成用户定义的波形。芯片的 DAC 输出可以是电阻阶梯输出（近地高度线性）或使用 CTBm 块中的运算放大器的缓冲输出。

3.3.4 带有两个运算放大器的连续时间块迷你 (CTBm)

如图 7 所示，该模块由两个运算放大器组成，其输入和输出连接到引脚和其他模拟块。它们有三种功率模式（高、中、低）和一种比较器模式。运算放大器可用于缓冲 SAR 输入和 DAC 输出。这些运算放大器的非反相输入可连接到两个引脚中的任何一个，从而允许在不同时间使用独立的传感器。引脚选择可通过固件实现。这些运算放大器还支持在系统深度睡眠模式下运行，性能更低，功耗更小。

3.3.5 低功耗比较器

提供了两个低功耗比较器，可以在所有功率模式下运行。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式下操作（在此模式下，比较器电压变动事件可以激活系统唤醒电路）。

图 7 显示了模拟子系统概览。此图为高级抽象图。有关详细的连接信息，请参阅[架构参考手册](#)。

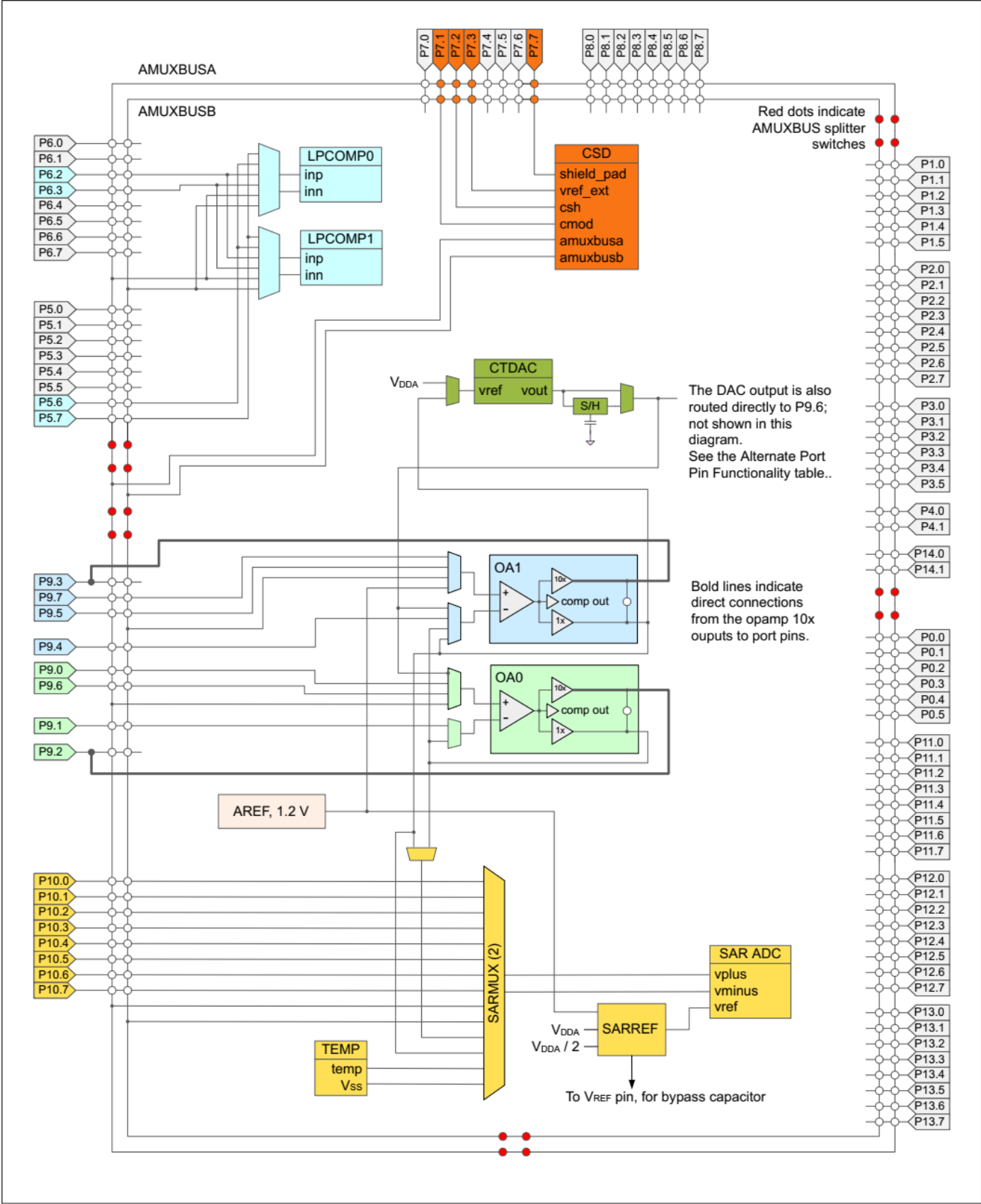


图 7 模拟子系统

3.4 可编程数字资源

3.4.1 Smart I/O

Smart I/O 是一种可编程逻辑结构，可对从设备内部资源传输到 GPIO 引脚的信号或从外部源传输到设备的信号进行布尔运算。Smart I/O 块位于 GPIO 引脚和高速 I/O 矩阵 (HSIOM) 之间，专用于单个端口。

有两个 Smart I/O 块：一个在端口 8 上，一个在端口 9 上。当未启用 Smart I/O 时，端口 8 和端口 9 上的所有信号都会绕过 Smart I/O 硬件。

Smart I/O 支持：

- 系统深度睡眠操作
- 无需 CPU 干预的布尔运算
- 异步或同步（时钟）操作

每个 Smart I/O 包含一个数据单元 (DU) 和八个查找表 (LUT)。The DU:

- 根据可选操作码执行独特的功能。
- 可以从内部资源、GPIO 端口或 DU 寄存器中的值获取输入信号。每个 LUT:
- 有三个可选输入源。输入信号可能来自另一个 LUT、内部资源、来自 GPIO 引脚或 DU 的外部信号。
- 充当可编程布尔逻辑表。
- 可以是同步的，也可以是异步的。

3.4.2 通用数字模块

该产品线有 12 个 UDB。如图 8 所示，每个 UDB 都是一个非承诺逻辑 (PLD) 和纳米 CPU（数据通路）的集合，经过优化，可创建常见的嵌入式外设和定制功能。UDB 数据通路的宽度为 8 位，可以串联形成 16、24 和 32 位功能。UDB 包括数字系统互连 (DSI)，可在 UDB、固定功能外设、I/O 引脚和其他系统模块之间路由信号，以实现全功能器件连接。DSI 可在任何数字功能和任何引脚之间进行路由。端口适配器模块扩展了 UDB，通过 HSIOM 为 GPIO 提供接口。

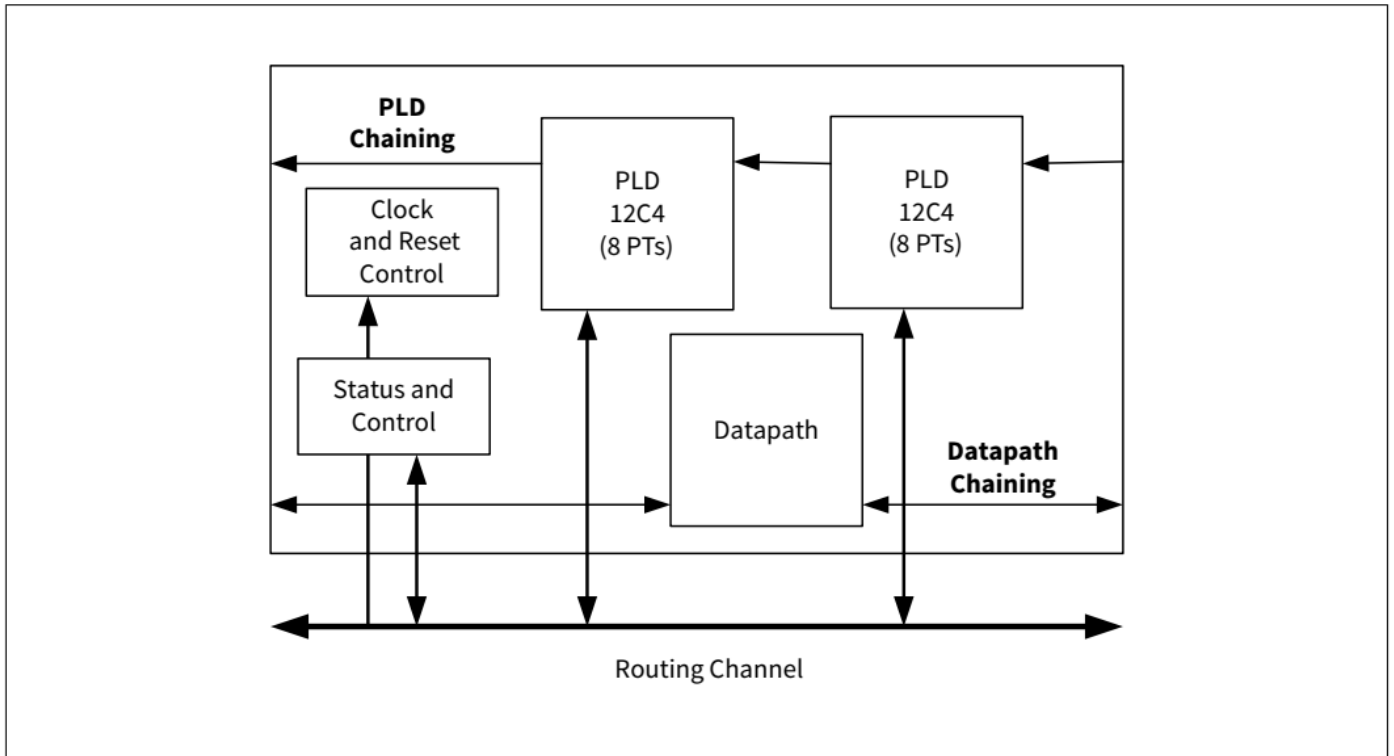


图 8 MCU 框图

3.5 固定功能数字模块

3.5.1 定时器/计数器/脉宽调制器 (TCPWM)

- TCPWM 支持以下操作模式：
 - 带比较功能的定时器计数器
 - 带捕获功能的定时器计数器
 - 正交解码器
 - 脉宽调制器 (PWM)
 - 伪随机PWM
 - 带死区时间的PWM
- 向上、向下和向上/向下计数模式
- 时钟预分频（除以 1、2、4、...64、128）
- 比较/捕获和周期值的双缓冲
- 下溢、溢出和捕获/比较输出信号
- 支持中断：
 - 终端计数—取决于模式；通常发生在溢出或下溢时
 - 捕获/比较—计数被捕获到捕获寄存器或计数器值等于比较寄存器中的值
- PWM 的互补输出
- 可为每个 TCPWM 选择启动、重新加载、停止、计数和捕获事件信号；具有上升沿、下降沿、双沿和电平触发选项。TCPWM 具有 Kill 输入，可强制输出到预定状态。

该设备中有：

3 功能说明

- 八个 32 位 TCPWM
- 二十四个 16 位 TCPWM

3.5.2 串行通信模块 (SCB)

该产品系列有九个 SCB：

- 八个可以实现 I²C，UART 或 SPI。
- 一个 SCB (SCB #8) 可以在系统深度睡眠模式下使用外部时钟运行；该 SCB 可以是 SPI 从机，也可以是 I²C 从机。

I²C 模式： SCB 可实现完整的多主从接口（支持多主仲裁）。该模块最高工作速度可达 1 Mbps（快速模式 Plus）。它还支持 EZI²C，可创建邮箱地址范围，并有效地将 I²C 通信简化为对存储器阵列的读写操作。SCB 支持 256 字节 FIFO 用于接收和发送。

I²C 外设兼容恩智浦 I²C 总线规范和用户手册 (UM10204) 中定义的 I²C 标准模式、快速模式和增强快速模式设备。I²C 总线 I/O 采用开漏模式下的 GPIO 实现。

UART 模式： 这是一个运行速度高达 8 Mbps 的全功能 UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 协议，这些全部都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用 RX 和 TX 线的外设。支持通用 UART 功能，如奇偶校验错误、中断检测和帧错误。一个 256 字节深度的 FIFO 容许更长的 CPU 服务延迟。

SPI 模式： SPI 模式支持完整的摩托罗拉 SPI、TI 安全简单配对 (SSP)（本质上增加了一个用于同步 SPI 编解码器的启动脉冲）以及 National Microwire（SPI 的半双工形式）。SPI 模块支持 EZSPI 模式，在该模式下，数据交换简化为对内存中数组的读写操作。SPI 接口采用 25 MHz 时钟频率工作。

3.5.3 USB 全速设备接口

PSOC™ 6 具有一个全速 USB 设备接口。该设备最多可以有八个端点。提供 512 字节 SRAM 缓冲区，并支持 DMA。

注释： 如果不使用 USB 引脚，请将 V_{DDUSB} 接地，并保持 P14.0/USB_{DP} 和 P14.1/USB_{DM} 引脚悬空。

3.5.4 QSPI 接口串行存储器接口 (SMIF)

提供串行存储器接口，运行速度高达 80 MHz。它支持单线、双线、四线、双四线和八线 SPI 配置，并支持最多四个外部存储设备。它支持两种操作模式：

- 内存映射 I/O (MMIO)，一种通过 SMIF 寄存器和 FIFO 提供数据访问的命令模式接口
- 就地执行 (XIP)，其中 AHB 读写直接转换为 SPI 读写传输。

在 XIP 模式下，外部存储器被映射到 PSOC™ 6 MCU 内部地址空间，从而可以直接从外部存储器执行代码。为了提高性能，包含一个 4 KB 缓存。XIP 模式还支持 AES-128 即时加密和解密，实现外部存储器中代码和数据的安全存储和访问。

3.5.5 LCD

该块驱动 LCD 公共端和段；大多数 GPIO 均可路由。其中一至八个 GPIO 必须用作公共端，其余的可以用作段端。

3 功能说明

LCD 块有两种操作模式：高速（8 MHz）和低速（32 kHz）。两种模式均在系统 LP 和 ULP 模式下运行。低速模式在系统深度睡眠模式下以降低的对比度运行 - 在使用此模式之前，请检查公共线和段线的数量、视角要求和原型性能。

3.6 GPIO

该产品系列有多达 100 个 GPIO，可实现

- 八种驱动模式:
 - 模拟输入模式（输入和输出缓冲区禁用）
 - 仅限输入
 - 弱上拉和强下拉模式
 - 强上拉和弱下拉模式
 - 开漏和强下拉模式
 - 开漏和强上拉模式
 - 强上拉和强下拉模式
 - 弱上拉和弱下拉模式
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 保持模式，用于锁存先前状态 (即保持 I/O 状态处于休眠模式)
- 可选的斜率，用于控制 dV/dt 相关噪声，有助于降低 EMI

引脚被分组为逻辑单元 (又称端口)，其宽度最高为 8 位。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

如果启用，每个引脚都可以产生中断；每个端口都有一个与之关联的中断请求 (IRQ)。

端口 1 引脚支持过压容错 (OVT) 操作，此时输入电压可能高于 V_{DD} 。OVT 引脚通常与 I²C 一起使用，以便在关闭芯片电源的同时，保持与正在运行的 I²C 总线的物理连接，且不影响其功能。

GPIO 引脚可以组合起来，用于提供或吸收更高的电流值。GPIO 引脚（包括 OVT 引脚）的上拉电流不得超过绝对最大值；请参阅 [电气规格](#)。

在上电和复位期间，引脚被强制进入模拟输入驱动模式，输入和输出缓冲器被禁用，以免切断任何输入和/或导致过大的导通电流。

一个称为高速 I/O 矩阵 (HSIOM) 的复用网络用于在可能连接到 I/O 引脚的各种外设信号和模拟信号之间进行复用。

模拟性能受 GPIO 开关噪声影响。为了获得最佳模拟性能，必须应用以下频率和驱动模式约束。

DRIVE_SEL 值（参见 [表 6](#)）表示驱动强度（更多详细信息，请参阅 [架构和寄存器 TRM](#)）。

另请参阅 [表 5](#) 了解 ECO 使用的更多限制。

表 6 DRIVE_SEL 值

Ports	Max frequency	Drive strength for $V_{DD} \leq 2.7\text{ V}$	Drive strength for $V_{DD} > 2.7\text{ V}$
Port 0	8 MHz	DRIVE_SEL 2	DRIVE_SEL 3
Port 1	1 MHz; slow slew rate, 2 outputs max		
Port 2	50 MHz		
Ports 3 to 10	16 MHz; 25 MHz for SPI		

(表格续下页.....)

3 功能说明

表 6 (续) DRIVE_SEL 值

Ports	Max frequency	Drive strength for $V_{DD} \leq 2.7 V$	Drive strength for $V_{DD} > 2.7 V$
Ports 11 to 13	80 MHz for SMIF (QSPI).	DRIVE_SEL 1	DRIVE_SEL 2
Ports 9 and 10	8 MHz; slow slew rate setting for TQFP Packages for ADC performance	No restrictions	No restrictions

3.7 特殊功能外设

3.7.1 音频子系统

该子系统由以下硬件模块组成：

- 两个 IC 间声音 (I²S) 接口
- 两个脉冲密度调制 (PDM) 转脉冲编码调制 (PCM) 解码器通道

每个 I²S 接口都实现两个独立的硬件 FIFO 缓冲区-Tx和 Rx，可在主机或从机模式下工作。支持以下功能：

- 多种数据格式 – I²S、左对齐、时分复用 (TDM) 模式 A 和 TDM 模式 B
- 可编程通道/字长 – 8/16/18/20/24/32 位
- 内部/外部时钟操作高达 192 ksp/s
- 中断屏蔽事件 – 触发、非空、满、溢出、下溢、看门狗
- 可配置 FIFO 触发级别，支持 DMA

I²S 接口通常用于连接音频编解码器、简单 DAC 和数字麦克风。

PDM 到 PCM 解码器实现单个硬件 Rx FIFO，将立体声或单声道 1 位 PDM 输入流解码为 PCM 数据输出。

支持以下功能：

- 可编程数据输出字长 – 16/18/20/24 位
- 可编程增益放大器 (PGA) 用于音量控制 – 从 -12 dB 到 +10.5 dB，步长为 1.5 dB
- 可配置的 PDM 时钟生成。范围从 384 kHz 到 3.072 MHz
- 下跌校正和可配置的抽取率用于采样；最高可达 48 ksp/s
- 可编程高通滤波器增益
- 中断屏蔽事件 – 非空、溢出、触发、下溢
- 可配置 FIFO 触发级别，支持 DMA

PDM 到 PCM 解码器通常用于连接数字 PDM 麦克风。最多可将两个麦克风连接到同一条 PDM 数据线。

3.7.2 CAPSENSE™ 子系统

PSOCTM 61 MCU 通过 CAPSENSE™ sigma-delta (CSD) 硬件模块支持 CAPSENSE™。它专为高灵敏度自电容和互电容测量而设计，专为用户界面解决方案而构建。

除了 CAPSENSE™ 之外，CSD 硬件模块还支持三种通用功能。当 CAPSENSE™ 未被使用时，这些功能可用。或者，在固件控制下，可以在应用程序中对两个或多个功能进行分时复用。CSD 硬件模块支持的四种功能是：

- CAPSENSE™
- 10 位模数转换器

3 功能说明

- 可编程电流源 (IDAC)
- 比较器

CAPSENSE™

电容式触摸传感器专为依靠人体电容来检测手指在传感器上或附近的存在的用户界面而设计。英飞凌 CAPSENSE™ 解决方案为物联网、工业、汽车和家用电器等应用带来优雅、可靠、简单的电容式触摸感应功能。

CAPSENSE™ 技术具有以下特点：

- 一流的信噪比 (SNR) 和在恶劣和嘈杂条件下的稳定传感
- 自电容 (CSD) 和互电容 (CSX) 感应方法
- 支持各种小部件，包括按钮、矩阵按钮、滑块、触摸板和接近传感器
- 跨多种材料的高性能传感
- 一流的耐液体性
- SmartSense 自动调节技术有助于避免复杂的手动调节过程
- 卓越的抗外部噪声能力
- 低辐射扩频时钟
- 手势和内置自检库
- 超低功耗
- 集成图形 CAPSENSE™调谐器，用于实时调谐、测试和调试

CAPSENSE™ 灵敏度和准确度受 GPIO 开关噪声的影响。要提高灵敏度和精度，请执行 [表 6](#) 中列出的 GPIO 端口限制，并采取以下措施：

- 将 CAPSENSE™ 引脚限制为端口 6 和端口 7
- 端口 6 和端口 7 上不应有其他 GPIO 输出活动
- 端口 5 和 8 上的 GPIO 输出不应超过两个
- 将端口 5 和 8 的 GPIO 输出开关频率限制为 1 MHz，并设置慢压摆率

ADC

CAPSENSE™子系统 ADC 具有以下特点：

- 可选 8 位或 10 位分辨率
- 可选输入范围：任何 GPIO 输入上的 GND 至 V_{REF} 和 GND 至 V_{DDA}
- 无需使用 GPIO 或外部元件，即可根据内部参考 测量 V_{DDA}

IDAC

CSD 模块具有两个可编程电流源，具有以下特点：

- 7位分辨率
- 灌电流和源电流模式
- 可编程电流源，范围为 37.5 nA 至 609 μ A
- 两个 IDAC 可并行使用，形成一个 8 位 IDAC

比较器

CAPSENSE™子系统比较器在系统低功耗和超低功耗模式下运行。反相输入连接到内部可编程参考电压，非反相输入可通过 AMUXBUS 连接到任何 GPIO。

CAPSENSE™硬件子系统

[图 9](#) 展示了 CAPSENSE™子系统的高级硬件概述，其中包括一个 delta sigma 转换器、内部时钟分频器、一个屏蔽驱动器和两个可编程电流源。

3 功能说明

输入通过模拟多路复用总线（AMUXBUS A/B）进行管理。CSD 模块提供的所有功能的输入和输出均可在软件控制下在任何 GPIO 或一组 GPIO 上提供，但比较器输出和外部电容器使用专用 GPIO 除外。

CSD 模块使用 AMUXBUS A、外部调制器电容器和每个传感器的 GPIO 支持自电容。有一个用于自电容感应的屏蔽电极（可选）。如果需要的话，可以使用 AMUXBUS B 和可选的外部屏蔽槽电容器（以增加屏蔽驱动器的驱动能力）来支持这一点。CSD 模块使用 AMUXBUS A、两个外部集成电容器以及用于发射和接收电极的 GPIO 支持互电容。

该 ADC 无需外部元件。任何连接到 AMUXBUS A 的 GPIO 均可在软件控制下作为 ADC 的输入。ADC 无需 GPIO 即可接受 V_{DDA} 作为输入（例如用于电池电压测量等应用）。

通用模式下的两个可编程电流源 (IDAC) 可以连接到 AMUXBUS A 或 B。因此，它们可以连接到任何 GPIO 引脚。比较器位于 delta-sigma 转换器中。比较器的反相输入可以连接到基准电压源。两个比较器的输入均可通过 AMUXBUS B 连接到任何 GPIO；参见 [图 9](#)。该参考与专用 GPIO 直接连接；见 [表 9](#)。

CSD 模块可以在活动和睡眠 CPU 电源模式下运行，并在系统 LP 和 ULP 模式之间无缝转换。它可以在系统深度睡眠和休眠模式下断电。从休眠模式唤醒后，CSD 块需要重新初始化。然而，在退出深度睡眠模式时，可以在固件控制下无需重新初始化即可恢复运行。

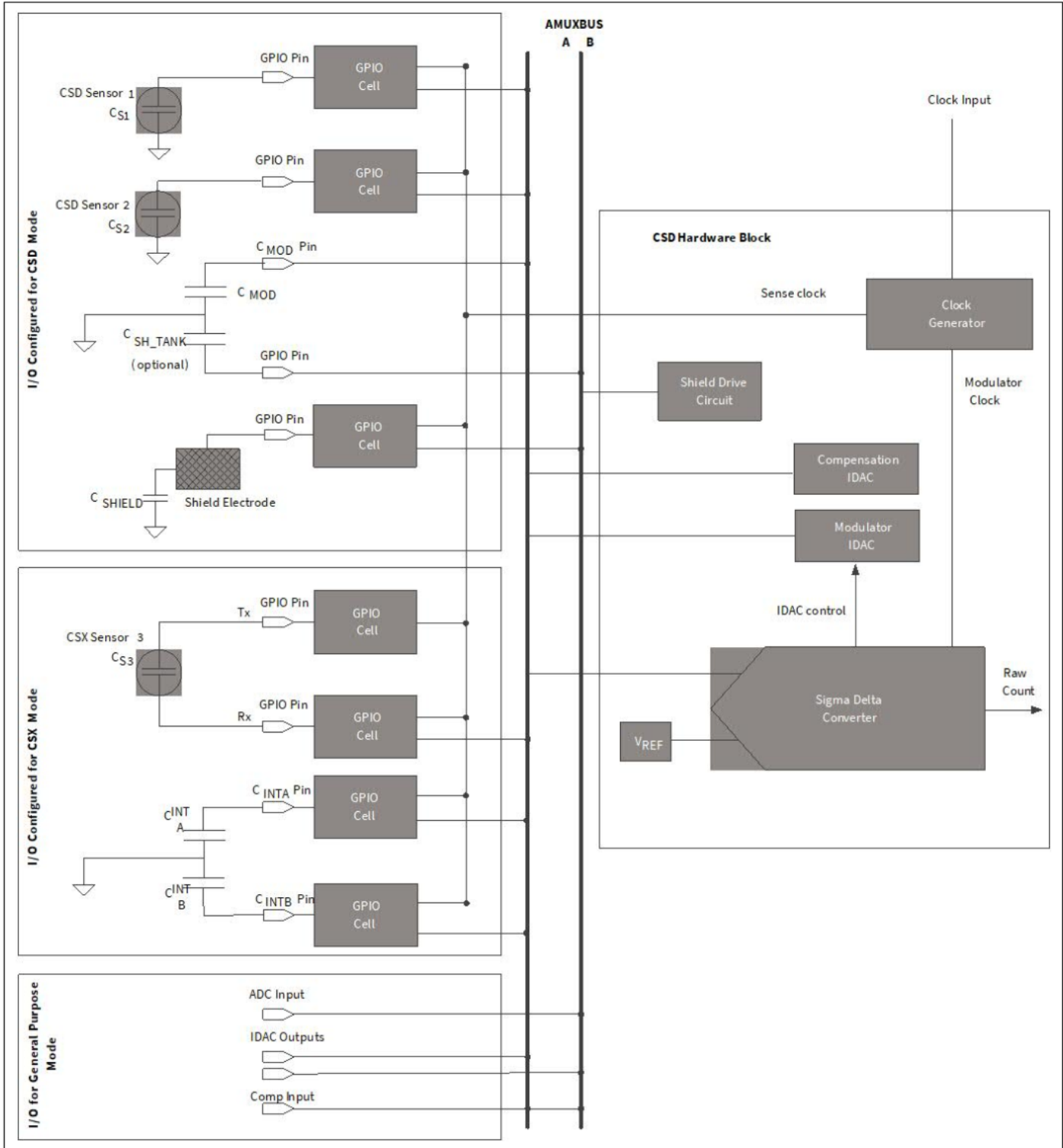


图 9 CAPSENSE™ 硬件子系统

图 10 显示了高级软件概述。英飞凌在 GitHub 上为 CAPSENSE™、ADC 和 IDAC 提供了中间件库，实现快速集成。任何具有 CAPSENSE™ 功能的套件的板级支持包 (BSP) 都会自动将 CAPSENSE™ 库包含在使用该 BSP 的任何应用程序中。

用户应用程序仅与中间件交互即可实现 CSD 模块的功能。中间件与底层驱动程序交互以根据需要访问硬件。如果项目中存在多个与 CSD 相关的中间件，则 CSD 驱动程序可以促进 CSD 硬件的时间复用。它可以防止这种情况发生访问冲突。

3 功能说明

ModusToolbox™ 软件提供了 CAPSENSE™ 配置器，可实现快速库配置。它还提供了一个用于系统性能评估和实时调整的调试器。调试器需要应用程序中的 EZI2C 通信接口来实现实时调整功能。调试器可以直接在设备以及配置器中更新配置参数。

CAPSENSE™ 和 ADC 中间件使用 CSD 中断实现非阻塞感应和数字模拟转换。因此，中断服务程序是中间件中定义的部分，必须由应用程序初始化。中间件和驱动程序可以在任一 CPU 上运行。英飞凌建议仅在一个 CPU 中使用中间件。如果两个 CPU 都必须访问 CSD 驱动程序，则应在应用程序中管理内存访问。

有关 CSX 传感、CSD 传感、屏蔽电极使用及其优点以及电容系统设计指南的更多详细信息，参考 [AN85951: PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ design guide](#)

请参阅 GitHub 获取 [CAPSENSE™](#)、[ADC](#) 和 [IDAC](#) 的 API 参考指南。

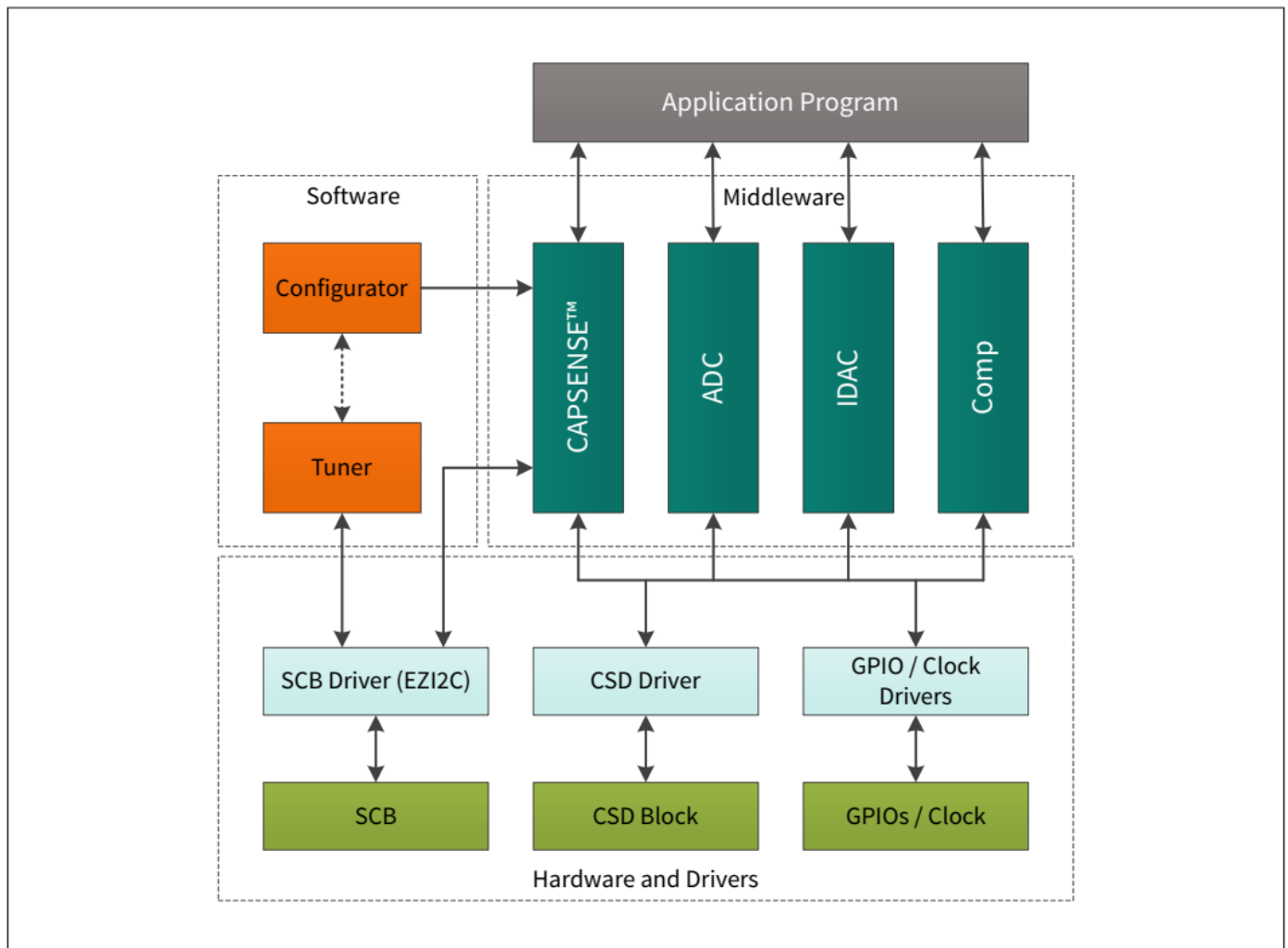


图 10 CAPSENSE™ 软件/硬件子系统



4 引脚分布

4 引脚分布

注： CY8C61x6/CY8C61x7 表7 和表8 包含一个电子表格，其中有引脚布局和引脚替代功能的综合列表以及 HSIOM 映射。

GPIO 端口由 VDDX 引脚供电，如下所示：

- P0: VBACKUP
- P1: VDDD。 P1 引脚具有过压耐受能力 (OVT)。
- P2, P3, P4: VDDIO2
- P5, P6, P7, P8: VDDIO1
- P9, P10: VDDIOA、 VDDA (VDDIOA (如果存在) 和VDDA必须在PCB上连接在一起)
- P11, P12, P13: VDDIO0
- P14: VDDUSB

表 7 封装和引脚信息

Pin	Packages	
	124-BGA	80-WLCSP
VDDD	A1	B11
VCCD	A2	A10
VDDA	A12	F1
VDDIOA	A13	-
VDDIO0	C4	A6
VDDIO1	K12	M1
VDDIO2	L4	-
VBACKUP	D1	D11
VDDUSB	M1	P11
VSS	B12, C3, D4, D10, K4, K10	A8, D1, P5, R8
VDD_NS	J1	K11
VIND1	J2	L10
VIND2	K2	M11
VBUCK1	K3	N10
VRF	K1	-
XRES	F1	G10
VREF	B13	-
P0.0	E3	C10
P0.1	E2	D9
P0.2	E1	E10
P0.3	F3	F9
P0.4	F2	G8

(表格续下页.....)

4 引脚分布

表 7 (续) 封装和引脚信息

Pin	Packages	
	124-BGA	80-WLCSP
P0.5	G3	F11
P1.0	G2	H11
P1.1	G1	H9
P1.2	H3	-
P1.3	H2	-
P1.4	H1	K9
P1.5	J3	J10
P2.0	M2	-
P2.1	N2	-
P2.2	L3	-
P2.3	M3	-
P2.4	N3	-
P2.5	N1	-
P2.6	M4	-
P2.7	N4	-
P3.0	L5	-
P3.1	M5	-
P3.2	N5	-
P3.3	L6	-
P3.4	M6	-
P3.5	N6	-
P4.0	L7	-
P4.1	M7	-
P5.0	N7	M9
P5.1	L8	N8
P5.2	M8	R6
P5.3	N8	P7
P5.4	L9	L8
P5.5	M9	M7
P5.6	N9	R4
P5.7	N10	N6
P6.0	M10	J8

(表格续下页.....)



4 引脚分布

表 7 (续) 封装和引脚信息

Pin	Packages	
	124-BGA	80-WLCSP
P6.1	L10	K7
P6.2	L11	L6
P6.3	M11	R2
P6.4	N11	P3
P6.5	M12	N4
P6.6	N12	M5
P6.7	M13	J6
P7.0	L13	N2
P7.1	L12	M3
P7.2	K13	L4
P7.3	N13	K5
P7.4	K11	-
P7.5	J13	-
P7.6	J12	-
P7.7	J11	L2
P8.0	H13	H3
P8.1	H12	K1
P8.2	H11	K3
P8.3	G13	J4
P8.4	G12	J2
P8.5	G11	-
P8.6	F13	-
P8.7	F12	-
P9.0	E11	H1
P9.1	E12	G2
P9.2	E13	E2
P9.3	F11	C2
P9.4	D13	F3
P9.5	D12	-
P9.6	D11	-
P9.7	C13	A2
P10.0	C12	G4

(表格续下页.....)

4 引脚分布

表 7 (续) 封装和引脚信息

Pin	Packages	
	124-BGA	80-WLCSP
P10.1	A11	H5
P10.2	B11	-
P10.3	C11	-
P10.4	A10	B3
P10.5	B10	D3
P10.6	C10	-
P10.7	A9	-
P11.0	B9	E4
P11.1	C9	F5
P11.2	A8	G6
P11.3	B8	A4
P11.4	C8	C4
P11.5	A7	B5
P11.6	B7	D5
P11.7	C7	C6
P12.0	A6	B7
P12.1	B6	D7
P12.2	C6	C8
P12.3	A5	B9
P12.4	B5	E6
P12.5	C5	E8
P12.6	A4	F7
P12.7	B4	H7
P13.0	B1	-
P13.1	A3	-
P13.2	B3	-
P13.3	B2	-
P13.4	C2	-
P13.5	C1	-
P13.6	D3	-
P13.7	D2	-
P14.0/USBDP	L2	R10
P14.1/USBDM	L1	P9

注释： 如果不使用USB 引脚，请将 V_{DDUSB} 接地，并保持P14.0/USBDP 和P14.1/USBDM 引脚悬空。

每个端口引脚都有多种备用功能。这些功能在 [表 8](#) 中定义。

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P0.0	tcpwm[0].line[0]:0	tcpwm[1].line[0]:0		srss.ext_clk:0				scb[0].spi_select 1:0			peri.tr_io_in_put[0]:0						
P0.1	tcpwm[0].line_comp[0]:0	tcpwm[1].line_comp[0]:0						scb[0].spi_select 2:0			peri.tr_io_in_put[1]:0					cpuss.swj_trstn	
P0.2	tcpwm[0].line[1]:0	tcpwm[1].line[1]:0				scb[0].uart_rx:0	scb[0].i2c_scl:0	scb[0].spi_mosi:0									
P0.3	tcpwm[0].line_comp[1]:0	tcpwm[1].line_comp[1]:0				scb[0].uart_tx:0	scb[0].i2c_sda:0	scb[0].spi_miso:0									
P0.4	tcpwm[0].line[2]:0	tcpwm[1].line[2]:0				scb[0].uart_rts:0		scb[0].spi_clk:0				peri.tr_io_output[0]:2					
P0.5	tcpwm[0].line_comp[2]:0	tcpwm[1].line_comp[2]:0		srss.ext_clk:1		scb[0].uart_cts:0		scb[0].spi_select 0:0				peri.tr_io_output[1]:2					

(表格续下页.....)



表8 多个可选功能

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P1.0	tcpwm[0].line[3]:0	tcpwm[1].line[3]:0				scb[7].uart_rx:0	scb[7].i2c_sc_l:0	scb[7].spi_mosi:0			peri.trio_in_put[2]:0						
P1.1	tcpwm[0].line_c compl[3]:0	tcpwm[1].line_c compl[3]:0				scb[7].uart_tx:0	scb[7].i2c_sda:0	scb[7].spi_miso:0			peri.trio_in_put[3]:0						
P1.2	tcpwm[0].line[4]:4	tcpwm[1].line[12]:1				scb[7].uart_rts:0		scb[7].spi_clk:0									
P1.3	tcpwm[0].line_c compl[4]:4	tcpwm[1].line_c compl[12]:1				scb[7].uart_cts:0		scb[7].spi_select 0:0									
P1.4	tcpwm[0].line[5]:4	tcpwm[1].line[13]:1						scb[7].spi_select 1:0									
P1.5	tcpwm[0].line_c compl[5]:4	tcpwm[1].line_c compl[14]:1						scb[7].spi_select 2:0									

(表格续下页.....)



4 引脚分布

表8 多个可选功能

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P2.0	tcpwm[0].line[6:15]:1	tcpwm[1].line[15]:1				scb[1].uart_rx:0	scb[1].i2c_sc_l:0	scb[1].spi_mosi:0			peri.trio_in_put[4]:0				bless.mxd_dpslp_re_t_switch_hv		
P2.1	tcpwm[0].line_in_comp_l	tcpwm[1].line_comp[15]:1				scb[1].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:0			peri.trio_in_put[5]:0				bless.mxd_dpslp_re_t_ldo_ol_hv		
P2.2	tcpwm[0].line[7]:4	tcpwm[1].line[16]:1				scb[1].uart_rts:0		scb[1].spi_clk:0							bless.mxd_dpslp_buck_en		
P2.3	tcpwm[0].line_in_comp_l[7]:4	tcpwm[1].line_comp[16]:1				scb[1].uart_cts:0		scb[1].spi_select:0:0							bless.mxd_dpslp_re_set_n		
P2.4	tcpwm[0].line[0]:5	tcpwm[1].line[17]:1						scb[1].spi_select:1:0							bless.mxd_dpslp_clk_en		
P2.5	tcpwm[0].line_in_comp_l[0]:5	tcpwm[1].line_comp[17]:1						scb[1].spi_select:2:0							bless.mxd_dpslp_isolate_n		

(表格续下页.....)



4 引脚分布

表8 多个可选功能

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P2.6	tcpwm[0].line[1]:5	tcpwm[1].line[18]:1						scb[1].spi_select 3:0							bless.mxd_dpslp_act_ldo_en		
P2.7	tcpwm[0].line_comp[1]:5	tcpwm[1].line_comp[18]:1													bless.mxd_dpslp_xtal_en		
P3.0	tcpwm[0].line[2]:5	tcpwm[1].line[19]:1				scb[2].uart_rx:1	scb[2].i2c_slave:1	scb[2].spi_mosi:1			peri.trio_in_put[6]:0				bless.mxd_dpslp_dig_ldo_en		
P3.1	tcpwm[0].line_comp[19]:2:5	tcpwm[1].line_comp[19]:1				scb[2].uart_tx:1	scb[2].i2c_slave:1	scb[2].spi_miso:1			peri.trio_in_put[7]:0		bless.mxd_act_d_bus_rx_en				
P3.2	tcpwm[0].line[3]:5	tcpwm[1].line[20]:1				scb[2].uart_rts:1		scb[2].spi_clk:1					bless.mxd_act_d_bus_tx_en				
P3.3	tcpwm[0].line_comp[3]:5	tcpwm[1].line_comp[20]:1				scb[2].uart_cts:1		scb[2].spi_select 0:1					bless.mxd_act_b_pktctl				

(表格续下页.....)

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P3.4	tcpwm[0].line[4]:5	tcpwm[1].line[21]:1						scb[2].spi_select 1:1					bless.mxd_act_tx d_rxd				
P3.5	tcpwm[0].line_c compl[4]:5	tcpwm[1].line_c compl[21]:1						scb[2].spi_select 2:1					bless.mxd_dpslp _rcb_data				
P4.0	tcpwm[0].line[5]:5	tcpwm[1].line[22]:1				scb[7].uart_rx:1	scb[7].i2c_sc l:1	scb[7].spi_mosi: 1			peri.tr_io_in put[8]: 0		bless.mxd_dpslp _rcb_clk				
P4.1	tcpwm[0].line_c compl[5]:5	tcpwm[1].line_c compl[22]:1				scb[7].uart_tx:1	scb[7].i2c_sd a:1	scb[7].spi_miso: 1			peri.tr_io_in put[9]: 0		bless.mxd_dpslp _rcb_le				
P5.0	tcpwm[0].line[4]:0	tcpwm[1].line[4]:0				scb[5].uart_rx:0	scb[5].i2c_sc l:0	scb[5].spi_mosi: 0		audios.s.clk_i2s_if	peri.tr_io_in put[10]: 0						
P5.1	tcpwm[0].line_c compl[4]:0	tcpwm[1].line_c compl[4]:0				scb[5].uart_tx:0	scb[5].i2c_sd a:0	scb[5].spi_miso: 0		audios.tx_sck	peri.tr_io_in put[11]: 0						

(表格续下页.....)



4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P5.2	tcpwm[0].line[5]:0	tcpwm[1].line[5]:0				scb[5].uart_rts:0		scb[5].spi_clk:0		audios.tx_ws							
P5.3	tcpwm[0].line_c[5]:0	tcpwm[1].line_c[5]:0				scb[5].uart_cts:0		scb[5].spi_select:0:0		audios.tx_sdo							
P5.4	tcpwm[0].line[6]:0	tcpwm[1].line[6]:0						scb[5].spi_select:1:0		audios.rx_sck							
P5.5	tcpwm[0].line_c[6]:0	tcpwm[1].line_c[6]:0						scb[5].spi_select:2:0		audios.rx_ws							
P5.6	tcpwm[0].line[7]:0	tcpwm[1].line[7]:0						scb[5].spi_select:3:0		audios.rx_sdi							
P5.7	tcpwm[0].line_c[7]:0	tcpwm[1].line_c[7]:0						scb[3].spi_select:3:0									

(表格续下页.....)

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P6.0	tcpwm[0].line[8]:0	tcpwm[1].line[8]:0	scb[8].i2c_sc_l:0			scb[3].uart_rx:0	scb[3].i2c_sc_l:0	scb[3].spi_mosi:0				cpuss.fault_out[0]					scb[8].spi_mosi:0
P6.1	tcpwm[0].line_c compl[0]:1	tcpwm[1].line_c compl[8]:0	scb[8].i2c_sd_a:0			scb[3].uart_tx:0	scb[3].i2c_sd_a:0	scb[3].spi_miso:0				cpuss.fault_out[1]					scb[8].spi_miso:0
P6.2	tcpwm[0].line[9]:0	tcpwm[1].line[9]:0				scb[3].uart_rts:0		scb[3].spi_clk:0									scb[8].spi_clk:0
P6.3	tcpwm[0].line_c compl[9]:0	tcpwm[1].line_c compl[9]:0				scb[3].uart_cts:0		scb[3].spi_select 0:0									scb[8].spi_select 0:0
P6.4	tcpwm[0].line[10]:0	tcpwm[1].line[10]:0	scb[8].i2c_sc_l:1			scb[6].uart_rx:2	scb[6].i2c_sc_l:2	scb[6].spi_mosi:2			peri.tr_io_in put[12]:0	peri.tr_io_ou tput[0]:1				cpuss.swj_s wo_td 0	scb[8].spi_mosi:1
P6.5	tcpwm[0].line_c compl[10]:1	tcpwm[1].line_c compl[10]:0	scb[8].i2c_sd_a:1			scb[6].uart_tx:2	scb[6].i2c_sd_a:2	scb[6].spi_miso:2			peri.tr_io_in put[13]:0	peri.tr_io_ou tput[1]:1				cpuss.swj_s wdoe_tdi	scb[8].spi_miso:1

(表格续下页.....)

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P6.6	tcpwm[0].line[3]:1	tcpwm[1].line[11]:0				scb[6].uart_rts:2		scb[6].spi_clk:2								cpuss.swj_twdio_tms	scb[8].spi_clk:1
P6.7	tcpwm[0].line_c ompl[3]:1	tcpwm[1].line_c ompl[11]:0				scb[6].uart_cts:2		scb[6].spi_select 0:2								cpuss.swj_twdio_tms	scb[8].spi_select 0:1
P7.0	tcpwm[0].line[4]:1	tcpwm[1].line[12]:0				scb[4].uart_rx:1	scb[4].i2c_sc l:1	scb[4].spi_mosi:1			peri.trio_in put[14]:0		cpuss.trace_clock				
P7.1	tcpwm[0].line_c ompl[4]:1	tcpwm[1].line_c ompl[12]:0				scb[4].uart_tx:1	scb[4].i2c_sda:1	scb[4].spi_miso:1			peri.trio_in put[15]:0						
P7.2	tcpwm[0].line[5]:1	tcpwm[1].line[13]:0				scb[4].uart_rts:1		scb[4].spi_clk:1									
P7.3	tcpwm[0].line_c ompl[5]:1	tcpwm[1].line_c ompl[13]:0				scb[4].uart_cts:1		scb[4].spi_select 0:1									

(表格续下页.....)

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P7.4	tcpwm[0].line[6]:1	tcpwm[1].line[14]:0						scb[4].spi_select 1:1					bless.ext_ina_rx_ctl_out	cpuss.trace_data[3]:2			
P7.5	tcpwm[0].line_c compl[6]:1	tcpwm[1].line_c compl[14]:0						scb[4].spi_select 2:1					bless.ext_pa_tx_ctl_out	cpuss.trace_data[2]:2			
P7.6	tcpwm[0].line[7]:1	tcpwm[1].line[15]:0						scb[4].spi_select 3:1					bless.ext_pa_ina_chip_en_out	cpuss.trace_data[1]:2			
P7.7	tcpwm[0].line_c compl[7]:1	tcpwm[1].line_c compl[15]:0						scb[3].spi_select 1:0	cpuss.clk_fm_p					cpuss.trace_data[0]:2			
P8.0	tcpwm[0].line[0]:2	tcpwm[1].line[16]:0				scb[4].uart_rx:0	scb[4].i2c_sc_l:0	scb[4].spi_mosi:0			peri.tr_io_in put[16]:0						
P8.1	tcpwm[0].line_c compl[0]:2	tcpwm[1].line_c compl[16]:0				scb[4].uart_tx:0	scb[4].i2c_sd_a:0	scb[4].spi_miso:0			peri.tr_io_in put[17]:0						

(表格续下页.....)



4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P8.2	tcpwm[0].line[1]:2	tcpwm[1].line[17]:0				scb[4].uart_rts:0		scb[4].spi_clk:0									
P8.3	tcpwm[0].line_c[1]:2	tcpwm[1].line_c[17]:0				scb[4].uart_cts:0		scb[4].spi_select:0:0									
P8.4	tcpwm[0].line[2]:2	tcpwm[1].line[18]:0						scb[4].spi_select:1:0									
P8.5	tcpwm[0].line_c[2]:2	tcpwm[1].line_c[18]:0						scb[4].spi_select:2:0									
P8.6	tcpwm[0].line[3]:2	tcpwm[1].line[19]:0						scb[4].spi_select:3:0									
P8.7	tcpwm[0].line_c[3]:2	tcpwm[1].line_c[19]:0						scb[3].spi_select:2:0									

(表格续下页.....)



表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P9.0	tcpwm[0].line[4]:2	tcpwm[1].line[20]:0				scb[2].uart_rx:0	scb[2].i2c_sc_l:0	scb[2].spi_mosi:0			peripheral_io_in_put[18]:0			cpuss.trace_data[3]:0			
P9.1	tcpwm[0].line_c_ompl[4]:2	tcpwm[1].line_c_ompl[20]:0				scb[2].uart_tx:0	scb[2].i2c_sda:0	scb[2].spi_miso:0			peripheral_io_in_put[19]:0			cpuss.trace_data[2]:0			
P9.2	tcpwm[0].line[5]:2	tcpwm[1].line[21]:0				scb[2].uart_rts:0		scb[2].spi_clk:0		passive_sib_ctb_cmp0:1				cpuss.trace_data[1]:0			
P9.3	tcpwm[0].line_c_ompl[5]:2	tcpwm[1].line_c_ompl[21]:0				scb[2].uart_cts:0		scb[2].spi_select:0:0		passive_sib_ctb_cmp1:1				cpuss.trace_data[0]:0			
P9.4	tcpwm[0].line[7]:5	tcpwm[1].line[0]:2						scb[2].spi_select:1:0									
P9.5	tcpwm[0].line_c_ompl[7]:5	tcpwm[1].line_c_ompl[0]:2						scb[2].spi_select:2:0									

(表格续下页.....)



表8 多个可选功能

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P9.6	tcpwm[m[0].line[1]:2]							scb[2].spi_select 3:0									
P9.7	tcpwm[m[0].line_comp[1]:2]																
P10.0	tcpwm[m[0].line[22]:0]					scb[1].uart_rx:1	scb[1].i2c_sc[1:1]	scb[1].spi_mosi:1			peri.trio_in_put[20]:0			cpuss.trace_data[3]:1			
P10.1	tcpwm[m[0].line_comp[22]:0]					scb[1].uart_tx:1	scb[1].i2c_sda:1	scb[1].spi_miso:1			peri.trio_in_put[21]:0			cpuss.trace_data[2]:1			
P10.2	tcpwm[m[0].line[23]:0]					scb[1].uart_rts:1		scb[1].spi_clk:1						cpuss.trace_data[1]:1			
P10.3	tcpwm[m[0].line_comp[23]:0]					scb[1].uart_cts:1		scb[1].spi_select 0:1						cpuss.trace_data[0]:1			

(表格续下页,.....)

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P10.4	tcpwm[0]:3	tcpwm[1].line[0]:1						scb[1].spi_select 1:1	audios.s.pdm_clk								
P10.5	tcpwm[0].line_comp[0]:3	tcpwm[1].line_comp[0]:1						scb[1].spi_select 2:1	audios.s.pdm_data								
P10.6	tcpwm[0].line[1]:6	tcpwm[1].line[2]:2						scb[1].spi_select 3:1									
P10.7	tcpwm[0].line_comp[1]:6	tcpwm[1].line_comp[2]:2															
P11.0	tcpwm[0].line[1]:3	tcpwm[1].line[1]:1			smif.spi_select 2	scb[5].uart_rx:1	scb[5].i2c_sc 1:1	scb[5].spi_mosi:1			peri.trio_in_put[22]:0						
P11.1	tcpwm[0].line_comp[1]:3	tcpwm[1].line_comp[1]:1			smif.spi_select 1	scb[5].uart_tx:1	scb[5].i2c_sda:1	scb[5].spi_miso:1			peri.trio_in_put[23]:0						

(表格续下页.....)



4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P11.2	tcpwm[0].line[2]:1	tcpwm[1].line[2]:1			smif.spi_select0	scb[5].uart_rts:1		scb[5].spi_clk:1									
P11.3	tcpwm[0].line_c[2]:1	tcpwm[1].line_c[2]:1			smif.spi_data3	scb[5].uart_cts:1		scb[5].spi_select0:1				peri.tr_io_output[0]:0					
P11.4	tcpwm[0].line[3]:1	tcpwm[1].line[3]:1			smif.spi_data2			scb[5].spi_select1:1				peri.tr_io_output[1]:0					
P11.5	tcpwm[0].line_c[3]:1	tcpwm[1].line_c[3]:1			smif.spi_data1			scb[5].spi_select2:1									
P11.6					smif.spi_data0			scb[5].spi_select3:1									
P11.7					smif.spi_clk												

(表格续下页.....)

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P12.0	tcpwm[0].line[4]:3	tcpwm[1].line[4]:1			smif. spi_data 4	scb[6].uart_rx:0	scb[6].i2c_sc_l:0	scb[6].spi_mosi:0			peri. tr_io_in put[24]:0						
P12.1	tcpwm[0].line_c ompl[4]:3	tcpwm[1].line_c ompl[4]:1			smif. spi_data 5	scb[6].uart_tx:0	scb[6].i2c_sd a:0	scb[6].spi_miso:0			peri. tr_io_in put[25]:0						
P12.2	tcpwm[0].line[5]:3	tcpwm[1].line[5]:1			smif. spi_data 6	scb[6].uart_rts:0		scb[6].spi_clk:0									
P12.3	tcpwm[0].line_c ompl[5]:3	tcpwm[1].line_c ompl[5]:1			smif. spi_data 7	scb[6].uart_cts:0		scb[6].spi_select 0:0									
P12.4	tcpwm[0].line[6]:3	tcpwm[1].line[6]:1			smif. spi_select 3			scb[6].spi_select 1:0	audio ss. pd m_clk								
P12.5	tcpwm[0].line_c ompl[6]:3	tcpwm[1].line_c ompl[6]:1						scb[6].spi_select 2:0	audio ss. pd m_data								

(表格续下页.....)



4 引脚分布

表8 多个可选功能

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P12.6	tcpwm[0].line[7]:3	tcpwm[1].line[7]:1						scb[6].spi_select 3:0									
P12.7	tcpwm[0].line_c compl[7]:3	tcpwm[1].line_c compl[7]:1															
P13.0	tcpwm[0].line[8]:4	tcpwm[1].line[8]:1				scb[6].uart_rx:1	scb[6].i2c_sc l:1	scb[6].spi_mosi: 1			peri.trio_in put[26]:0						
P13.1	tcpwm[0].line_c compl[8]:0	tcpwm[1].line_c compl[8]:1				scb[6].uart_tx:1	scb[6].i2c_sda:1	scb[6].spi_miso: 1			peri.trio_in put[27]:0						
P13.2	tcpwm[0].line[9]:4	tcpwm[1].line[9]:1				scb[6].uart_rts:1		scb[6].spi_clk:1									
P13.3	tcpwm[0].line_c compl[9]:1	tcpwm[1].line_c compl[9]:1				scb[6].uart_cts:1		scb[6].spi_select 0:1									

(表格续下页.....)

4 引脚分布

表8 多个可选功能¹⁾

Port/pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P13.4	tcpwm[0].line[2]:4	tcpwm[1].line[10]:1						scb[6].spi_select 1:1									
P13.5	tcpwm[0].line_cmpl[2]:4	tcpwm[1].line_cmpl[10]:1						scb[6].spi_select 2:1									
P13.6	tcpwm[0].line[3]:4	tcpwm[1].line[11]:1						scb[6].spi_select 3:1									
P13.7	tcpwm[0].line_cmpl[3]:4	tcpwm[1].line_cmpl[11]:1															

1) 信号的表示形式为 IPName[x].signal_name[u]:y。IPName = 程序块名称 (如 tcpwm) , x = IP 的唯一实例, Signal_name = 信号名称, u = 信号编号 (如果特定信号名称有多个信号) , y = 指定信号名称的副本。例如, 名称 tcpwm[0].line_cmpl[3]:4表示这是 tcpwm 块的实例 0, 信号是 line_cmpl # 3 (线路输出的互补信号) , 这是该信号的第四次出现 (副本) 。提供信号副本是为了允许路由的灵活性并最大限度地利用片上资源。

4 引脚分布

表 9 端口引脚模拟、Smart I/O 和 DSI 功能

Port/pin	Name	Analog	Digital HV	DSI	SMARTIO	USB
P0.0	P0.0	wco_in		dsi[0].port_if[0]		
P0.1	P0.1	wco_out		dsi[0].port_if[1]		
P0.2	P0.2			dsi[0].port_if[2]		
P0.3	P0.3			dsi[0].port_if[3]		
P0.4	P0.4		pmic_wakeup_in hibernate_wakeu p[1]	dsi[0].port_if[4]		
P0.5	P0.5		pmic_wakeup_ou t	dsi[0].port_if[5]		
P1.0	P1.0			dsi[1].port_if[0]		
P1.1	P1.1			dsi[1].port_if[1]		
P1.2	P1.2			dsi[1].port_if[2]		
P1.3	P1.3			dsi[1].port_if[3]		
P1.4	P1.4		hibernate_wakeu p[0]	dsi[1].port_if[4]		
P1.5	P1.5			dsi[1].port_if[5]		
P14.0	USBDP					usb.usb_dp_ pad
P14.1	USBDM					usb.usb_dm_ pad
P2.0	P2.0			dsi[2].port_if[0]		
P2.1	P2.1			dsi[2].port_if[1]		
P2.2	P2.2			dsi[2].port_if[2]		
P2.3	P2.3			dsi[2].port_if[3]		
P2.4	P2.4			dsi[2].port_if[4]		
P2.5	P2.5			dsi[2].port_if[5]		
P2.6	P2.6			dsi[2].port_if[6]		
P2.7	P2.7			dsi[2].port_if[7]		
P3.0	P3.0					
P3.1	P3.1					
P3.2	P3.2					
P3.3	P3.3					
P3.4	P3.4					
P3.5	P3.5					

(表格续下页.....)

4 引脚分布

表 9 (续) 端口引脚模拟、Smart I/O 和 DSI 功能

Port/pin	Name	Analog	Digital HV	DSI	SMARTIO	USB
P4.0	P4.0			dsi[0].port_if[6]		
P4.1	P4.1			dsi[0].port_if[7]		
P4.2	P4.2			dsi[1].port_if[6]		
P4.3	P4.3			dsi[1].port_if[7]		
P5.0	P5.0			dsi[3].port_if[0]		
P5.1	P5.1			dsi[3].port_if[1]		
P5.2	P5.2			dsi[3].port_if[2]		
P5.3	P5.3			dsi[3].port_if[3]		
P5.4	P5.4			dsi[3].port_if[4]		
P5.5	P5.5			dsi[3].port_if[5]		
P5.6	P5.6	lpcomp.inp_comp 0		dsi[3].port_if[6]		
P5.7	P5.7	lpcomp.inn_comp 0		dsi[3].port_if[7]		
P6.0	P6.0			dsi[4].port_if[0]		
P6.1	P6.1			dsi[4].port_if[1]		
P6.2	P6.2	lpcomp.inp_comp 1		dsi[4].port_if[2]		
P6.3	P6.3	lpcomp.inn_comp 1		dsi[4].port_if[3]		
P6.4	P6.4			dsi[4].port_if[4]		
P6.5	P6.5			dsi[4].port_if[5]		
P6.6	P6.6		swd_data	dsi[4].port_if[6]		
P6.7	P6.7		swd_clk	dsi[4].port_if[7]		
P7.0	P7.0			dsi[5].port_if[0]		
P7.1	P7.1	csd.cmodpaddcsd. cmodpads		dsi[5].port_if[1]		
P7.2	P7.2	csd.csh_tankpadd csd.csh_tankpads		dsi[5].port_if[2]		
P7.3	P7.3	csd.vref_ext		dsi[5].port_if[3]		
P7.4	P7.4			dsi[5].port_if[4]		
P7.5	P7.5			dsi[5].port_if[5]		
P7.6	P7.6			dsi[5].port_if[6]		
P7.7	P7.7	csd.cshieldpads		dsi[5].port_if[7]		
P8.0	P8.0			dsi[11].port_if[0]	smartio[8].io[0]	

(表格续下页.....)

4 引脚分布

表 9 (续) 端口引脚模拟、Smart I/O 和 DSI 功能

Port/pin	Name	Analog	Digital HV	DSI	SMARTIO	USB
P8.1	P8.1			dsi[11].port_if[1]	smartio[8].io[1]	
P8.2	P8.2			dsi[11].port_if[2]	smartio[8].io[2]	
P8.3	P8.3			dsi[11].port_if[3]	smartio[8].io[3]	
P8.4	P8.4			dsi[11].port_if[4]	smartio[8].io[4]	
P8.5	P8.5			dsi[11].port_if[5]	smartio[8].io[5]	
P8.6	P8.6			dsi[11].port_if[6]	smartio[8].io[6]	
P8.7	P8.7			dsi[11].port_if[7]	smartio[8].io[7]	
P9.0	P9.0	ctb_oa0+		dsi[10].port_if[0]	smartio[9].io[0]	
P9.1	P9.1	ctb_oa0-		dsi[10].port_if[1]	smartio[9].io[1]	
P9.2	P9.2	ctb_oa0_out		dsi[10].port_if[2]	smartio[9].io[2]	
P9.3	P9.3	ctb_oa1_out		dsi[10].port_if[3]	smartio[9].io[3]	
P9.4	P9.4	ctb_oa1-		dsi[10].port_if[4]	smartio[9].io[4]	
P9.5	P9.5	ctb_oa1+		dsi[10].port_if[5]	smartio[9].io[5]	
P9.6	P9.6	ctb_oa0+		dsi[10].port_if[6]	smartio[9].io[6]	
P9.7	P9.7	ctb_oa1+ or ext_vref		dsi[10].port_if[7]	smartio[9].io[7]	
P10.0	P10.0	sarmux[0]		dsi[9].port_if[0]		
P10.1	P10.1	sarmux[1]		dsi[9].port_if[1]		
P10.2	P10.2	sarmux[2]		dsi[9].port_if[2]		
P10.3	P10.3	sarmux[3]		dsi[9].port_if[3]		
P10.4	P10.4	sarmux[4]		dsi[9].port_if[4]		
P10.5	P10.5	sarmux[5]		dsi[9].port_if[5]		
P10.6	P10.6	sarmux[6]		dsi[9].port_if[6]		
P10.7	P10.7	sarmux[7]		dsi[9].port_if[7]		

(表格续下页.....)

4 引脚分布

表 9 (续) 端口引脚模拟、Smart I/O 和 DSI 功能

Port/pin	Name	Analog	Digital HV	DSI	SMARTIO	USB
P11.0	P11.0			dsi[8].port_if[0]		
P11.1	P11.1			dsi[8].port_if[1]		
P11.2	P11.2			dsi[8].port_if[2]		
P11.3	P11.3			dsi[8].port_if[3]		
P11.4	P11.4			dsi[8].port_if[4]		
P11.5	P11.5			dsi[8].port_if[5]		
P11.6	P11.6			dsi[8].port_if[6]		
P11.7	P11.7			dsi[8].port_if[7]		
P12.0	P12.0			dsi[7].port_if[0]		
P12.1	P12.1			dsi[7].port_if[1]		
P12.2	P12.2			dsi[7].port_if[2]		
P12.3	P12.3			dsi[7].port_if[3]		
P12.4	P12.4			dsi[7].port_if[4]		
P12.5	P12.5			dsi[7].port_if[5]		
P12.6	P12.6	eco_in		dsi[7].port_if[6]		
P12.7	P12.7	eco_out		dsi[7].port_if[7]		
P13.0	P13.0			dsi[6].port_if[0]		
P13.1	P13.1			dsi[6].port_if[1]		
P13.2	P13.2			dsi[6].port_if[2]		
P13.3	P13.3			dsi[6].port_if[3]		
P13.4	P13.4			dsi[6].port_if[4]		
P13.5	P13.5			dsi[6].port_if[5]		
P13.6	P13.6			dsi[6].port_if[6]		
P13.7	P13.7			dsi[6].port_if[7]		

5 电源设计考虑因素

以下电源系统图显示了所有受支持封装的电源引脚的典型连接，以及使用和不使用降压调节器的情况。在这些图表中，封装引脚与引脚名称一起显示，例如"V_{DDA}, A12"。对于V_{DDx}引脚，还显示了由该引脚供电的 I/O 端口，例如"V_{DD}, A1; I/O 端口 P1"。

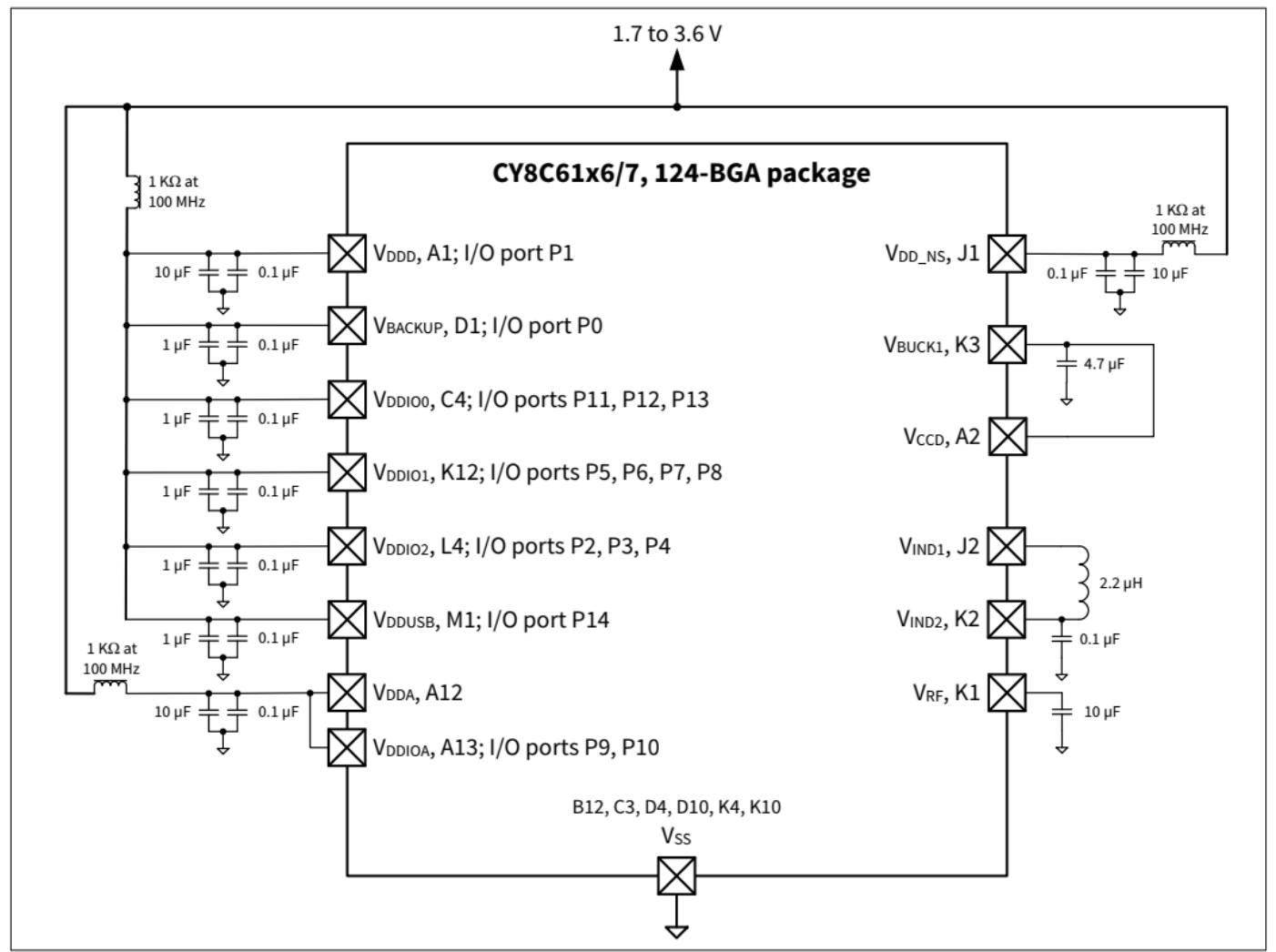


图 11 124-BGA电源连接图

5 电源设计考虑因素

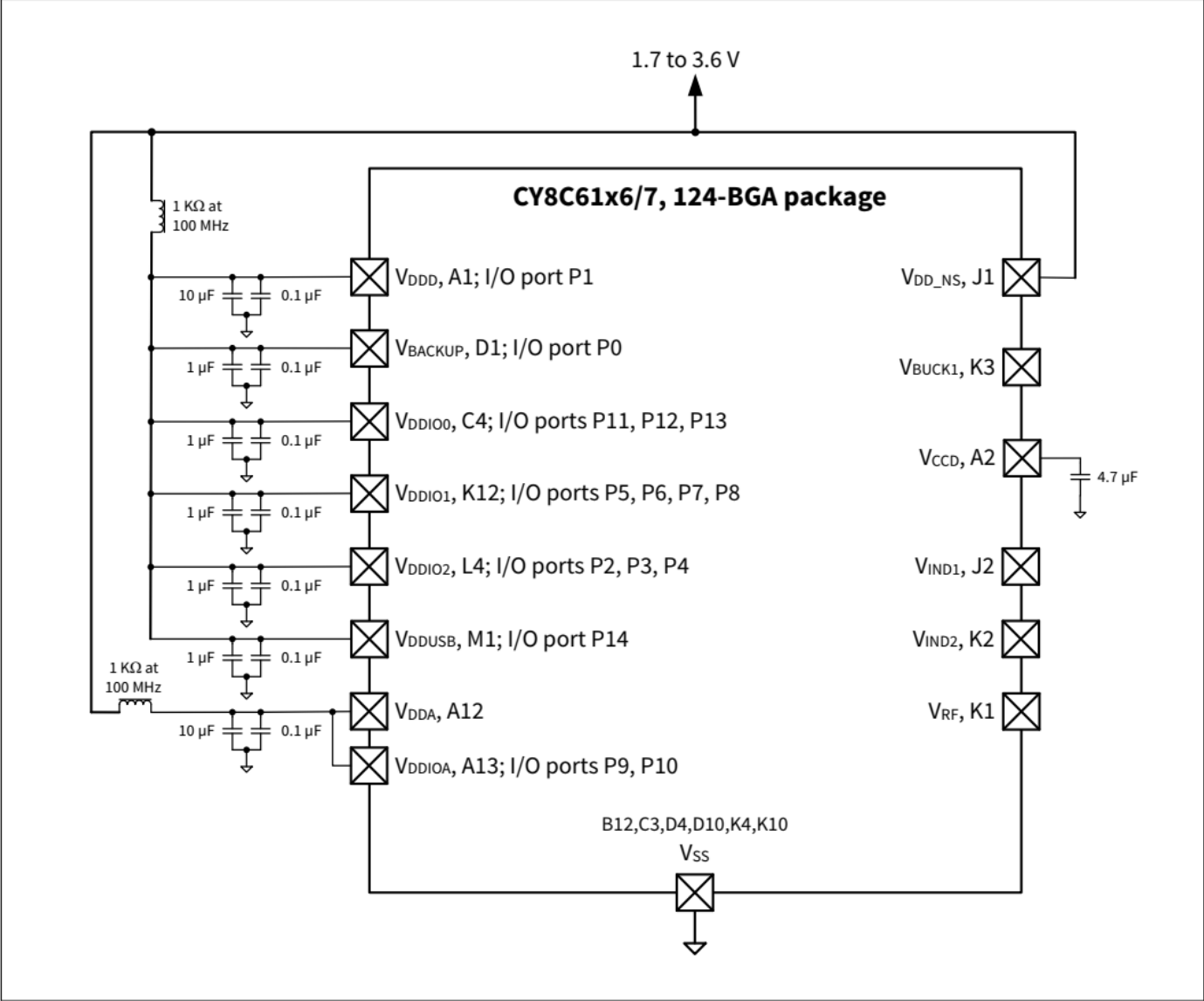


图 12 124-BGA（无降压）电源连接图

5 电源设计考虑因素

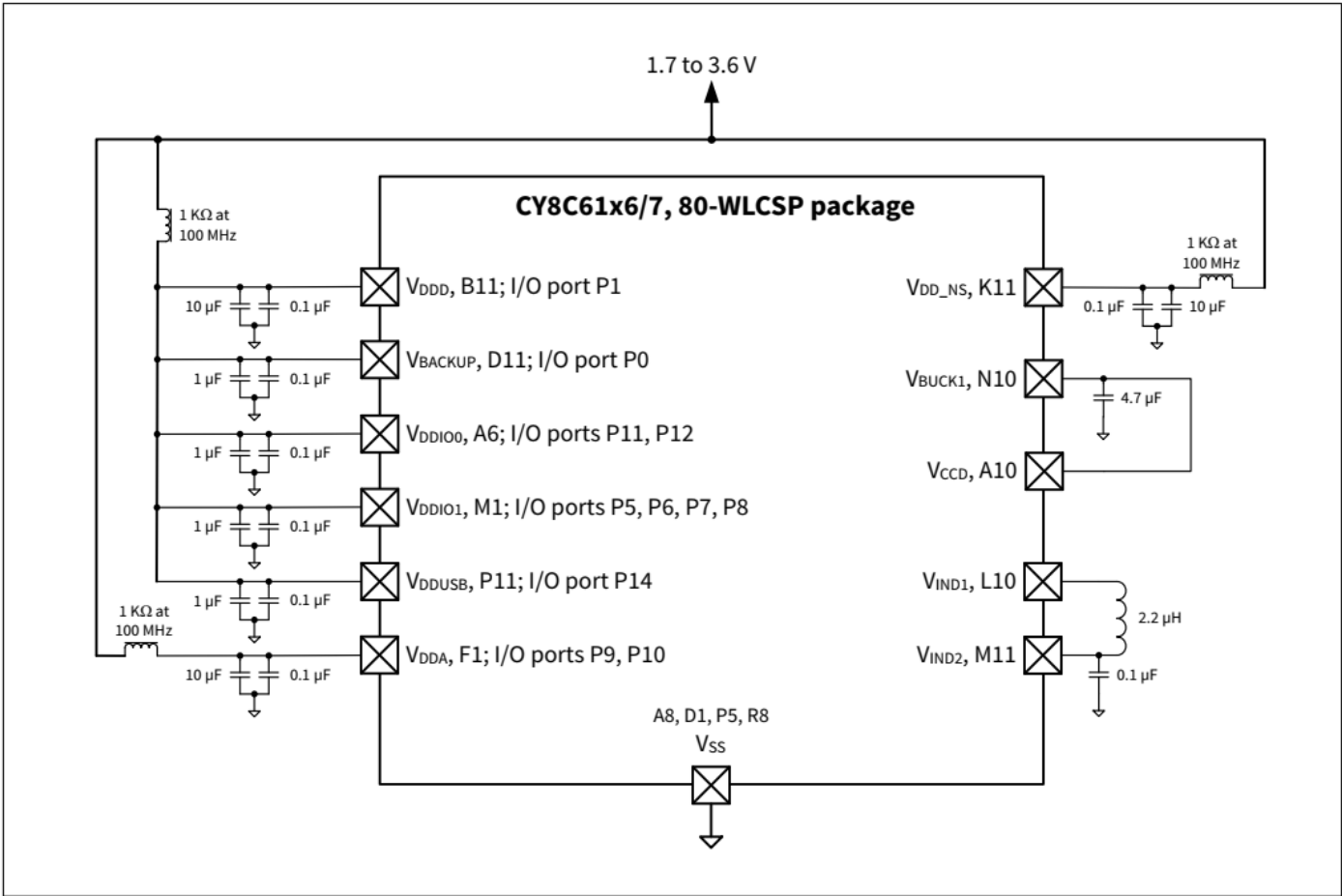
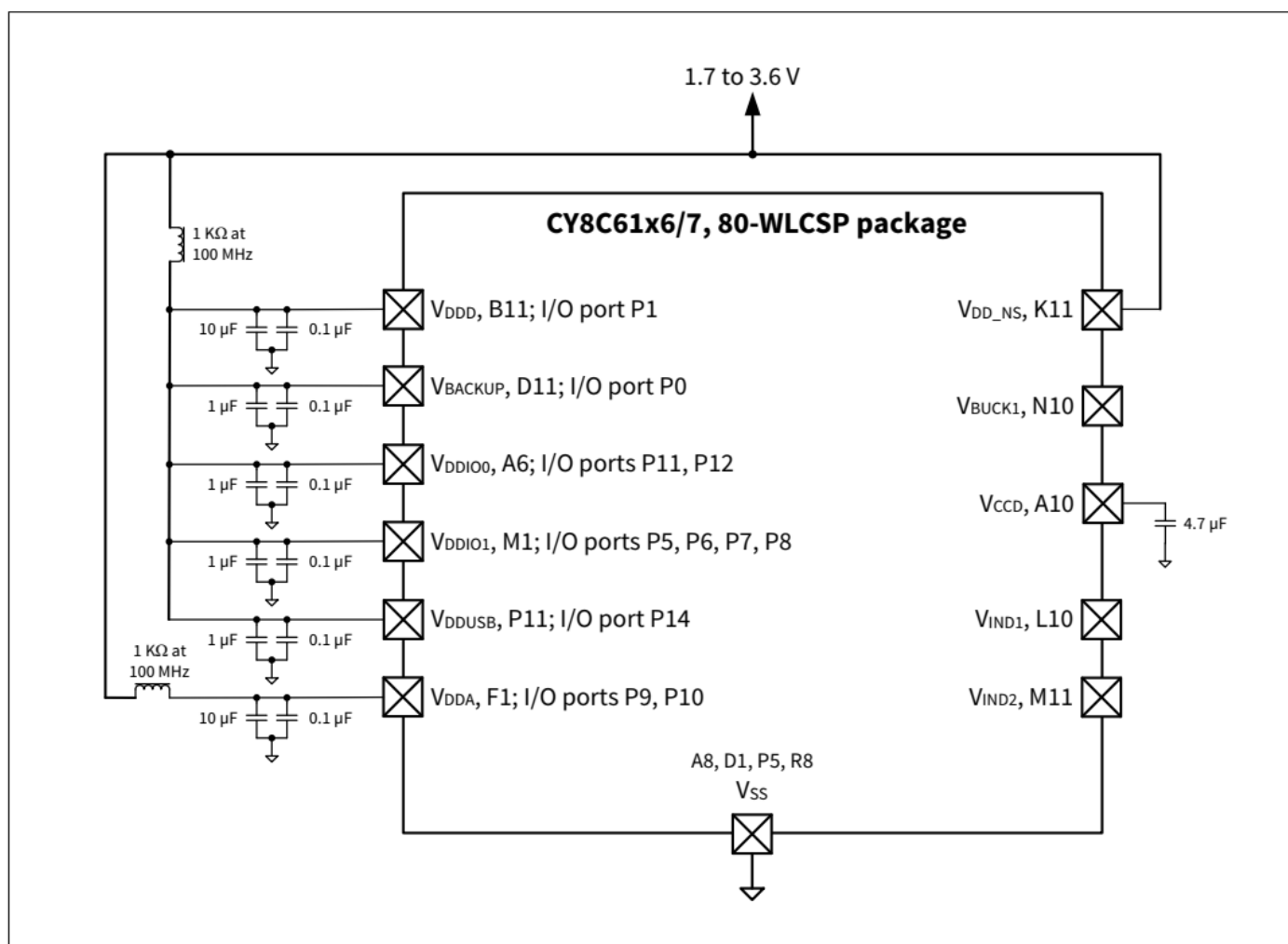


图 13 80-WLCSP电源连接图



- V_{DD} ：主数字电源。它为低压差稳压器 (LDO) 和 I/O 端口 1 供电。
- V_{CCD} ：主 LDO 输出。它需要一个 $4.7\ \mu\text{F}$ 电容进行稳压。当 V_{CCD} 由开关稳压器驱动时（见下文 VBUCK1），可以关闭 LDO。更多信息，请参阅 [器件参考手册](#) 中的电源系统框图。
- V_{DDA} ：模拟外设的电源。必须在此引脚上施加电压才能正确初始化和启动设备。
- V_{DDIOA} ：I/O 端口 9 和 10 的电源。如果器件封装中存在该电源，则必须将其连接到 V_{DDA} 。
- V_{DDIO0} ：I/O 端口 11、12 和 13 的电源。
- V_{DDIO1} ：I/O 端口 5、6、7 和 8 的电源。
- V_{DDIO2} ：I/O 端口 2、3 和 4 的电源。
- V_{BACKUP} ：备份域的电源，包括 32 kHz WCO 和 RTC。它可以是低至 1.4 V 的独立电源，用于电池或超级电容备份，如 [图 15](#) 所示。否则，连接到 V_{DD} 。它为 I/O 端口 0 供电。

5 电源设计考虑因素

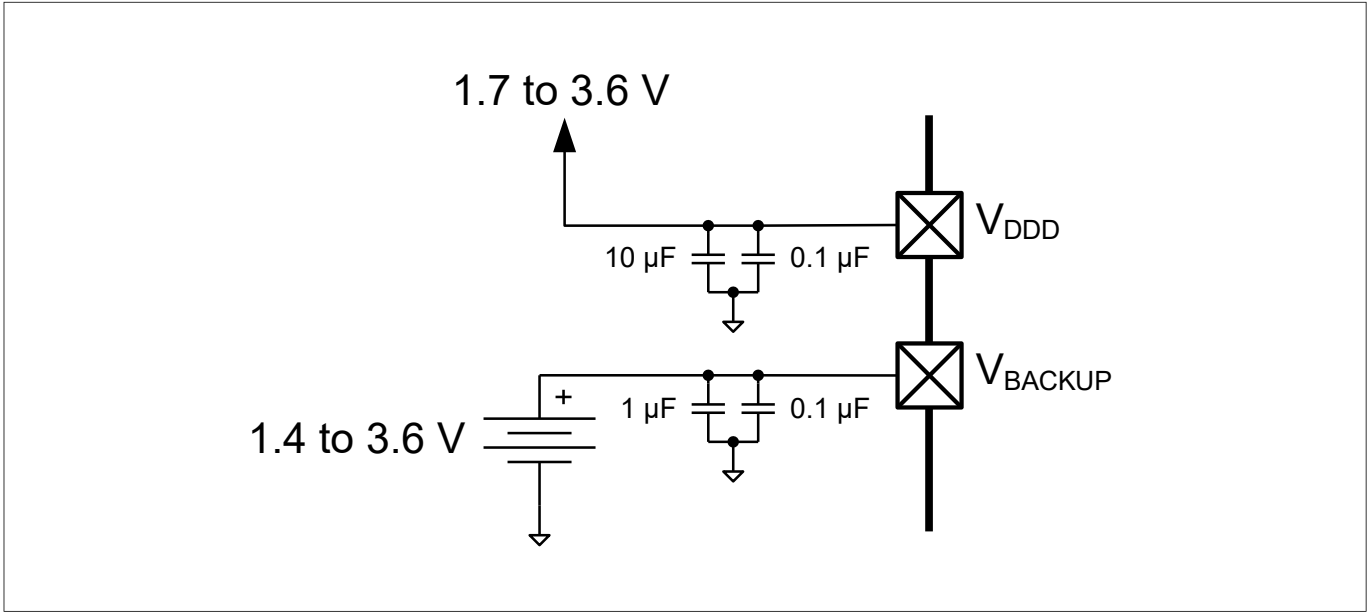


图 15 单独的电池连接至 V_{BACKUP}

- V_{DDUSB} ：USB 外设以及 USBDP 和 USBDM 引脚的电源。USB 工作电压必须为 2.85 V 至 3.6 V。如果不使用 USB，电压可以为 1.7 V 至 3.6 V，并且 USB 引脚可用作 I/O 端口 14 上的有限容量 GPIO。

表 10 显示 I/O 端口电源的摘要：

表 10 I/O 端口电源

Port	Supply	Alternate supply
0	V_{BACKUP}	V_{DDD}
1	V_{DDD}	-
2, 3, 4	V_{DDIO2}	-
5, 6, 7, 8	V_{DDIO1}	-
9, 10	V_{DDIOA}	V_{DDA}
11, 12, 13	V_{DDIO0}	-
14	V_{DDUSB}	-

注释： 如果不使用 USB 引脚，请将 V_{DDUSB} 接地，并保持 P14.0/USB DP 和 P14.1/USB DM 引脚悬空。

必须向 V_{DDD} 引脚和 V_{DDA} 引脚施加电压（如上所述），以确保设备正确初始化和运行。如果未使用 I/O 端口，则向相应的 V_{DDx} 引脚施加电压是可选项。

- V_{SS} ：上述电源的接地引脚。所有接地引脚都应连接到公共地线上。

除 LDO 稳压器外，还包括一个单输入多输出 (SIMO) 开关稳压器。它使用单个电感器提供两个稳压输出。调节器引脚为：

- $V_{\text{DD_NS}}$ ：稳压器电源。
- V_{IND1} 和 V_{IND2} ：电感器和电容器连接。
- V_{BUCK1} ：第一个稳压器输出端。通常用于驱动 V_{CCD} ，见上文。
- V_{RF} ：第二个稳压器输出。通常不使用；某些封装中可能没有该引脚。

5 电源设计考虑因素

V_{DD} 电源引脚在芯片上不连接在一起。它们可以通过一个或多个独立的网络在芯片外连接。如果使用独立的电源网络，可以使用可选的铁氧体磁珠将它们与其他网络的噪声隔离，如图所示。

无论是否使用开关稳压器，都不得在 V_{CCD} 、 V_{RF} 或任何开关稳压器电源引脚上放置外部负载。

没有电源引脚排序要求；电源可以按任何顺序启动。电源管理系统将设备保持复位状态，直到所有电源引脚都达到正常运行所需的电压水平。

注释： 如果先在 PCB 上安装电池， V_{DD} 必须循环至少 $50\ \mu s$ 。这可以防止电池在产品制造和存储过程中过早耗尽。

如图所示，旁路电容必须连接到 V_{DDX} 和其他引脚的公共地线上。该频率范围内系统的典型做法是使用 $10\text{-}\mu F$ 或 $1\text{-}\mu F$ 电容与一个较小的电容（例如 $0.1\ \mu F$ ）并联。请注意，这些只是经验之谈，对于关键应用，应模拟 PCB 布局、引线电感和旁路电容寄生，以获得最佳旁路效果。

所有电容器和电感器应为 $\pm 20\%$ 或更高。连接到 V_{IND2} 的电容器应为 $100\ nF$ 。推荐电感值为 $2.2\ \mu H \pm 20\%$ （例如，TDK MLP2012H2R2MT0S1）。

良好的做法是检查旁路电容器的数据手册，特别是其工作电压和直流偏置规格。对于某些电容器，当施加的电压占额定工作电压的很大比例时，实际电容可能会大幅下降。

有关焊盘布局的更多信息，请参阅 [PSOC™ 6CAD 库](#)。

6 电气规格

除非另有说明，所有规范均适用于 -40°C ≤ TA ≤ 85°C 和 1.71 V 至 3.6 V。

6.1 绝对最大额定值

Table 11 绝对最大额定值1)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID1	VDD_ABS	Analog or digital supply relative to VSS (VSSD = VSSA)	-0.5	-	4	V	
SID2	VCCD_ABS	Direct digital core voltage input relative to VSSD	-0.5	-	1.2	V	
SID3	VGPIO_ABS	GPIO voltage; VDD or VDDA	-0.5	-	VDD + 0.5	V	
SID4	IGPIO_ABS	Current per GPIO	-25	-	25	mA	
SID5	IGPIO_injection	GPIO injection current per pin	-0.5	-	0.5	mA	
SID3A	ESD_HBM	Electrostatic discharge Human Body Model	2200	-	-	V	
SID4A	ESD_CDM	Electrostatic discharge Charged Device Model	500	-	-	V	
SID5A	LU	Pin current for latchup-free operation	-100	-	100	mA	

1) 表 11 列出的绝对最大条件之上的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 《高温存储寿命》。在绝对最大条件以下但高于正常工作条件下使用时，器件可能无法按规格运行。

6.2 器件级规范

表 14 提供了 CPU 电流的详细规格。表 12 总结了这些规格，以便快速查看常见条件下的 CPU 电流。请注意，CM4 的最大频率为 150 MHz，CM0+ 的最大频率为 100 MHz。IMO 和 FLL 用于生成 CPU 时钟；当 CPU 时钟频率为 8 MHz，不使用 FLL。

表 12 CPU 电流规格摘要

Condition	Range	Typ range	Max range
LP Mode, VDD = 3.3 V, VCCD = 1.1 V, with buck regulator			
CM4 active, CM0+ sleep	Across CPUs clock ranges: 8–150/100 MHz; Dhrystone with flash cache enabled	0.9–6.9 mA	1.5–8.6 mA
CM0+ active, CM4 sleep		0.8–3.8 mA	1.3–4.5 mA
CM4 sleep, CM0+ sleep		0.7–1.5 mA	1.3–2.2 mA
CM0+ sleep, CM4 off		0.7–1.3 mA	1.3–2 mA
Minimum regulator current mode	Across CM4/CM0+ CPU active/sleep modes	0.6–0.7 mA	1.1–1.1 mA
ULP Mode, VDD = 3.3 V, VCCD = 0.9 V, with buck regulator			

(表格续下页.....)

6 电气规格

表 12 (续) CPU 电流规格概要

Condition	Range	Typ range	Max range
CM4 active, CM0+ sleep	Across CPUs clock ranges: 8 – 50/25 MHz; Dhrystone with flash cache enabled	0.65–1.6 mA	0.8–2.2 mA
CM0+ active, CM4 sleep		0.51–0.91 mA	0.72–1.25 mA
CM4 sleep, CM0+ sleep		0.42–0.76 mA	0.65–1.1 mA
CM0+ sleep, CM4 off		0.41–0.62 mA	0.6–0.9 mA
Minimum regulator current mode	Across CM4/CM0+ CPU active/sleep modes	0.39–0.54 mA	0.6–0.76 mA
Deep Sleep	Across SRAM retention	7–9 µA	-
Hibernate	Across V _{DDD}	300–800 nA	-

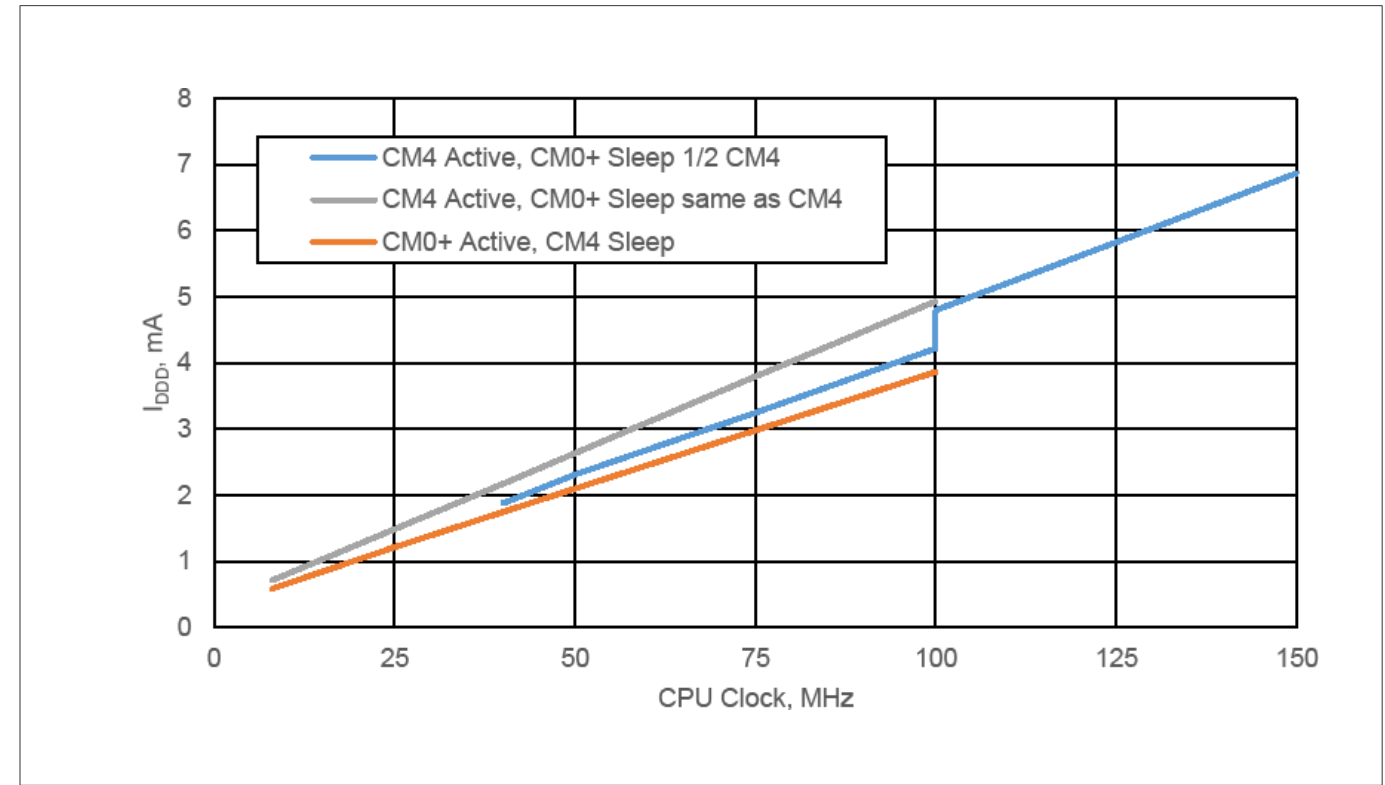


图 16 典型器件电流与 CPU 频率的关系；系统低功耗 (LP) 模式³⁾

6.2.1 电源

表 13 电源直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID6	V _{DDD}	Internal regulator and Port 1 GPIO supply	1.7	–	3.6	V	–
SID7	V _{DDA}	Analog power supply voltage. Shorted to V _{DDIOA} on PCB.	1.7	–	3.6	V	Internally unregulated supply

(表格续下页.....)

³⁾ CM4 Active、CM0+ Sleep 1/2 CM4 跟踪值较高，因为在 100 MHz 以上，必须使用 PLL 而不是 FLL。

6 电气规格

表 13 (续) 电源直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID7A	V _{DDIO1}	GPIO supply for ports 5 to 8 when present	1.7	–	3.6	V	Must be $\geq V_{DDA}$ if the CAPSENSE™ (CSD) block is used in the application
SID7B	V _{DDIO0}	GPIO supply for ports 11 to 13 when present	1.7	–	3.6	V	–
SID7E	V _{DDIO0}	Supply for eFuse programming	2.38	2.5	2.62	V	
SID7C	V _{DDIO2}	GPIO supply for ports 2 to 4 when present	1.7	–	3.6	V	–
SID7D	V _{DDIOA}	GPIO supply for ports 9 and 10 when present. Must be connected to V _{DDA} on PCB.	1.7	–	3.6	V	–
SID7F	V _{DDUSB}	Supply for port 14 (USB or GPIO) when present	1.7	–	3.6	V	Min. supply is 2.85 V for USB
SID6B	V _{BACKUP}	Backup power and GPIO Port 0 supply when present	1.7	–	3.6	V	Min. is 1.4 V when V _{DDD} is removed.
SID8	V _{CCD1}	Output voltage (for core logic bypass)	–	1.1	–	V	System LP mode
SID9	V _{CCD2}	Output voltage (for core logic bypass)	–	0.9	–	V	ULP mode. Valid for –20 to 85°C.
SID10	C _{EFC}	External regulator voltage (V _{CCD}) bypass	3.8	4.7	5.6	μF	X5R ceramic or better; Value for 0.8 to 1.2 V.
SID11	C _{EXC}	Power supply decoupling capacitor	–	10	–	μF	X5R ceramic or better

6.2.2 CPU 电流和转换时间

表 14 CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
LP RANGE POWER SPECIFICATIONS (for V_{CCD} = 1.1 V with Buck and LDO)							
Cortex® M4. Active mode							
Execute with Cache Disabled (Flash)							
SIDF1	I _{DD1}	Execute from Flash; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. While(1).	–	2.3	3.2	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	3.1	3.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	5.7	6.5	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDF2	I _{DD2}	Execute from Flash; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While(1).	–	0.9	1.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	1.2	1.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	2.8	3.5	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C

Execute with Cache Enabled

SIDC1	I _{DD3}	Execute from Cache; CM4 Active 150 MHz, CM0+ Sleep 75 MHz. IMO & PLL. Dhrystone.	–	6.9	8.6	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	10.9	13.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	13.7	15.5	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C
SIDC2	I _{DD4}	Execute from Cache; CM4 Active 100 MHz, CM0+ Sleep 100 MHz. IMO & FLL. Dhrystone.	–	4.8	5.8	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	7.4	8.4	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	11.3	12	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C
SIDC3	I _{DD5}	Execute from Cache; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. IMO & FLL. Dhrystone	–	2.4	3.4	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	3.7	4.1	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	6.3	7.2	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C
SIDC4	I _{DD6}	Execute from Cache; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. IMO. Dhrystone.	–	0.9	1.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	1.3	1.8	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	3	3.8	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C

Cortex® M0+. Active Mode

Execute with Cache Disabled (Flash)

SIDF3	I _{DD7}	Execute from Flash; CM4 Off, CM0+ Active 50 MHz. With IMO & FLL. While (1).	–	2.4	3.3	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60 °C
			–	3.2	3.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60 °C
			–	5.6	6.3	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85 °C

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDF4	I _{DD8}	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	–	0.8	1.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.1	1.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.60	3.4	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Execute with Cache Enabled

SIDC5	I _{DD9}	Execute from Cache; CM4 Off, CM0+ Active 100 MHz. With IMO & FLL. Dhrystone.	–	3.8	4.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	5.9	6.5	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	9	9.7	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDC6	I _{DD10}	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	–	0.8	1.3	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.20	1.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.60	3.4	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M4. Sleep Mode

SIDS1	I _{DD11}	CM4 Sleep 100 MHz; CM0+ Sleep 25 MHz. With IMO & FLL.	–	1.5	2.2	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	2.2	2.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	4	4.6	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDS2	I _{DD12}	CM4 Sleep 50 MHz; CM0+ Sleep 25 MHz. With IMO & FLL.	–	1.2	1.9	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.7	2.2	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	3.4	4.3	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDS3	I _{DD13}	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	–	0.7	1.3	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1	1.5	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.4	3.3	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M0+. Sleep Mode

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDS4	I _{DD14}	CM4 Off, CM0+ Sleep 50 MHz. With IMO & FLL.	–	1.3	2	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.9	2.4	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	3.80	4.6	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDS5	I _{DD15}	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	–	0.7	1.3	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1	1.5	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.4	3.3	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M4. Minimum Regulator Current Mode

SIDLPA1	I _{DD16}	Execute from Flash; CM4 LPA 8 MHz, CM0+ Sleep 8 MHz. With IMO. While (1).	–	0.9	1.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.2	1.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.8	3.5	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDLPA2	I _{DD17}	Execute from Cache; CM4 LPA 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	–	0.9	1.5	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.3	1.8	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.9	3.7	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M0+. Minimum Regulator Current Mode

SIDLPA3	I _{DD18}	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	–	0.8	1.4	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.1	1.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.7	3.6	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C
SIDLPA4	I _{DD19}	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	–	0.8	1.4	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.2	1.7	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
			–	2.7	3.6	mA	V _{DDD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M4. Minimum Regulator Current mode

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDLPS1	I _{DD20}	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	–	0.7	1.1	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	1	1.5	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C
			–	2.4	3.3	mA	V _{DD} = 1.8 to 3.3 V, LDO, Max at 85°C

Cortex® M0+. Minimum Regulator Current Mode

SIDLPS3	I _{DD22}	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	–	0.6	1.1	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.9	1.5	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C
			–	2.4	3.3	mA	V _{DD} = 1.8 to 3.3 V, LDO, Max at 85°C

ULP RANGE POWER SPECIFICATIONS (for V_{CCD}=0.9V using the buck). ULP mode is valid from -20 to +85°C.

Cortex® M4. Active mode

Execute with Cache Disabled (Flash)

SIDF5	I _{DD3}	Execute from Flash; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. While(1).	–	1.7	2.2	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	2.1	2.4	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C
SIDF6	I _{DD4}	Execute from Flash; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While (1)	–	0.56	0.8	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.75	1	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Execute with Cache Enabled

SIDC8	I _{DD10}	Execute from Cache; CM4 Active 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL. Dhrystone.	–	1.6	2.2	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	2.4	2.7	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C
SIDC9	I _{DD11}	Execute from Cache; CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	–	0.65	0.8	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.8	1.1	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Cortex® M0+. Active Mode

Execute with Cache Disabled (Flash)

SIDF7	I _{DD16}	Execute from Flash; CM4 Off, CM0+ Active 25 MHz. With IMO & FLL. Write(1).	–	1	1.4	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
-------	-------------------	--	---	---	-----	----	---

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
			–	1.34	1.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
SIDF8	I _{DD17}	Execute from Flash; CM4 Off, CM0+ Active 8 MHz. With IMO. While(1).	–	0.54	0.75	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.73	1	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
Execute with Cache Enabled							
SIDC10	I _{DD18}	Execute from Cache; CM4 Off, CM0+ Active 25 MHz. With IMO & FLL. Dhrystone.	–	0.91	1.25	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.34	1.6	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
SIDC11	I _{DD19}	Execute from Cache; CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	–	0.51	0.72	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.73	0.95	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
Cortex® M4. Sleep Mode							
SIDS7	I _{DD21}	CM4 Sleep 50 MHz, CM0+ Sleep 25 MHz. With IMO & FLL.	–	0.76	1.1	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	1.1	1.4	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
SIDS8	I _{DD22}	CM4 Sleep 8 MHz, CM0+ Sleep 8 MHz. With IMO.	–	0.42	0.65	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.59	0.8	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
Cortex® M0+. Sleep Mode							
SIDS9	I _{DD23}	CM4 Off, CM0+ Sleep 25 MHz. With IMO & FLL.	–	0.62	0.9	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.88	1.1	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
SIDS10	I _{DD24}	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	–	0.41	0.6	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.58	0.8	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C
Cortex® M4. Minimum Regulator Current Mode							
SIDLPA5	I _{DD25}	Execute from Flash. CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. While(1).	–	0.52	0.75	mA	V _{DDD} = 3.3 V, Buck ON, Max at 60°C
			–	0.76	1	mA	V _{DDD} = 1.8 V, Buck ON, Max at 60°C

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDLPA6	I _{DD26}	Execute from Cache. CM4 Active 8 MHz, CM0+ Sleep 8 MHz. With IMO. Dhrystone.	–	0.54	0.76	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.78	1	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Cortex® M0+. Minimum Regulator Current Mode

SIDLPA7	I _{DD27}	Execute from Flash. CM4 Off, CM0+ Active 8 MHz. With IMO. While (1).	–	0.51	0.75	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.75	1	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C
SIDLPA8	I _{DD28}	Execute from Cache. CM4 Off, CM0+ Active 8 MHz. With IMO. Dhrystone.	–	0.48	0.7	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.7	0.95	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Cortex® M4. Minimum Regulator Current Mode

SIDLPS5	I _{DD29}	CM4 Sleep 8 MHz, CM0 Sleep 8 MHz. With IMO.	–	0.4	0.6	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.57	0.8	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Cortex® M0+. Minimum Regulator Current Mode

SIDLPS7	I _{DD31}	CM4 Off, CM0+ Sleep 8 MHz. With IMO.	–	0.39	0.6	mA	V _{DD} = 3.3 V, Buck ON, Max at 60°C
			–	0.56	0.8	mA	V _{DD} = 1.8 V, Buck ON, Max at 60°C

Deep Sleep mode

SIDDS1	I _{DD33A}	With internal buck enabled and 64K SRAM retention	–	7	–	μA	Max value is at 85°C
SIDDS1_B	I _{DD33A_B}	With internal buck enabled and 64K SRAM retention	–	7	–	μA	Max value is at 60°C
SIDDS2	I _{DD33B}	With internal buck enabled and 256K SRAM retention	–	9	–	μA	Max value is at 85°C
SIDDS2_B	I _{DD33B_B}	With internal buck enabled and 256K SRAM retention	–	9	–	μA	Max value is at 60°C

Hibernate mode

SIDHIB1	I _{DD34}	V _{DD} = 1.8 V	–	300	–	nA	No clocks running
SIDHIB2	I _{DD34A}	V _{DD} = 3.3 V	–	800	–	nA	No clocks running

Power mode transition times

SID12	T _{LPACT_ACT}	Minimum regulator current to LP transition time	–	–	35	μs	Including PLL lock time
-------	------------------------	---	---	---	----	----	-------------------------

(表格续下页.....)

6 电气规格

表 14 (续) CPU 电流和转换时间

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID13	T _{DS_LPACT}	Deep Sleep to LP transition time	–	–	25	μs	Guaranteed by design
SID14	T _{HIB_ACT}	Hibernate to LP transition time	–	500	–	μs	Including PLL lock time

6.2.3 XRES

表 15 XRES 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID17	T _{XRES_IDD}	IDD when XRES asserted	–	300	–	nA	V _{DD} = 1.8 V
SID17A	T _{XRES_IDD_1}	IDD when XRES asserted	–	800	–	nA	V _{DD} = 3.3 V
SID77	V _{IH}	Input voltage high threshold	0.7 × V _{DD}	–	–	V	CMOS Input
SID78	V _{IL}	Input voltage low threshold	–	–	0.3 × V _{DD}	V	CMOS Input
SID80	C _{IN}	Input capacitance	–	3	–	pF	–
SID81	V _{HYSXRES}	Input voltage hysteresis	–	100	–	mV	–
SID82	I _{DIODE}	Current through protection diode to V _{DD} /V _{SS}	–	–	100	μA	–

表 16 XRES 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID15	T _{XRES_ACT}	Time from XRES release to Cortex®-M0+ executing application code	–	750	–	μs	Not minimum regulator current mode; Cortex®-M0+ executing at 50 MHz
SID16	T _{XRES_PW}	XRES Pulse width	5	–	–	μs	–

6.2.4 GPIO

表 17 GPIO 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID57	V _{IH}	Input voltage high threshold	0.7 × V _{DD}	–	–	V	CMOS Input
SID57A	I _{IHS}	Input current when Pad > V _{DDIO} for OVT inputs	–	–	10	μA	Per I ² C Spec
SID58	V _{IL}	Input voltage low threshold	–	–	0.3 × V _{DD}	V	CMOS Input
SID241	V _{IH}	LVTTL input, V _{DD} < 2.7 V	0.7 × V _{DD}	–	–	V	–

(表格续下页.....)

6 电气规格

表 17 (续) GPIO 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID242	V_{IL}	LVTTL input, $V_{DD} < 2.7\text{ V}$	–	–	$0.3 \times V_{DD}$	V	–
SID243	V_{IH}	LVTTL input, $V_{DD} \geq 2.7\text{ V}$	2.0	–	–	V	–
SID244	V_{IL}	LVTTL input, $V_{DD} \geq 2.7\text{ V}$	–	–	0.8	V	–
SID59	V_{OH}	Output voltage high level	$V_{DD} - 0.5$	–	–	V	$I_{OH} = 8\text{ mA}$
SID62A	V_{OL}	Output voltage low level	–	–	0.4	V	$I_{OL} = 8\text{ mA}$
SID63	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	k Ω	–
SID64	$R_{PULLDOWN}$	Pull-down resistor	3.5	5.6	8.5	k Ω	–
SID65	I_{IL}	Input leakage current (absolute value)	–	–	2	nA	25°C, $V_{DD} = 3.0\text{ V}$
SID65A	I_{IL_CTBM}	Input leakage on CTBm input pins	–	–	4	nA	–
SID66	C_{IN}	Input Capacitance	–	–	5	pF	–
SID67	V_{HYSTTL}	Input hysteresis LVTTL $V_{DD} > 2.7\text{ V}$	100	0	–	mV	–
SID68	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.05 \times V_D$ D	–	–	mV	–
SID69	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μA	–
SID69A	I_{TOT_GPIO}	Maximum total source or sink Chip Current	–	–	200	mA	–

表 18 GPIO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID70	T_{RISEF}	Rise time in Fast Strong Mode. 10% to 90% of V_{DD}	–	–	2.5	ns	Load = 15 pF, 8 mA drive strength
SID71	T_{FALLF}	Fall time in Fast Strong Mode. 10% to 90% of V_{DD}	–	–	2.5	ns	Load = 15 pF, 8 mA drive strength
SID72	T_{RISES_1}	Rise time in Slow Strong Mode. 10% to 90% of V_{DD}	52	–	142	ns	Load = 15 pF, 8 mA drive strength, $V_{DD} \leq 2.7\text{ V}$
SID72A	T_{RISES_2}	Rise time in Slow Strong Mode. 10% to 90% of V_{DD}	48	–	102	ns	Load = 15 pF, 8 mA drive strength, $2.7\text{ V} < V_{DD} \leq 3.6\text{ V}$
SID73	T_{FALLS_1}	Fall time in Slow Strong Mode. 10% to 90% of V_{DD}	44	–	211	ns	Load = 15 pF, 8 mA drive strength, $V_{DD} \leq 2.7\text{ V}$

(表格续下页.....)

6 电气规格

表 18 (续) GPIO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID73A	T _{FALLS_2}	Fall time in Slow Strong Mode. 10% to 90% of V _{DD}	42	–	93	ns	Clload = 15 pF, 8 mA drive strength, 2.7 V < V _{DD} ≤ 3.6 V
SID73G	T _{FALL_I2C}	Fall time (30% to 70% of V _{DD}) in Slow Strong mode	20 × V _{DDI} o/ 5.5	–	250	ns	Clload = 10 pF to 400 pF, 8-mA drive strength
SID74	F _{GPIOUT1}	GPIO Fout. Fast Strong mode.	–	–	100	MHz	90/10%, 15-pF load, 60/40 duty cycle
SID75	F _{GPIOUT2}	GPIO Fout; Slow Strong mode.	–	–	16.7	MHz	90/10%, 15-pF load, 60/40 duty cycle
SID76	F _{GPIOUT3}	GPIO Fout; Fast Strong mode.	–	–	7	MHz	90/10%, 25-pF load, 60/40 duty cycle
SID245	F _{GPIOUT4}	GPIO Fout; Slow Strong mode.	–	–	3.5	MHz	90/10%, 25-pF load, 60/40 duty cycle
SID246	F _{GPIOIN}	GPIO input operating frequency; 1.71 V ≤ V _{DD} ≤ 3.6 V	–	–	100	MHz	90/10% V _{IO}

6.3 模拟外设

6.3.1 运算放大器

表 19 运算放大器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
	I _{DD}	Opamp block current. No load.	–	–	–		–
SID269	I _{DD_HI}	Power = Hi	–	1300	1500	μA	–
SID270	I _{DD_MED}	Power = Med	–	450	600	μA	–
SID271	I _{DD_LOW}	Power = Lo	–	250	350	μA	–
	GBW	Load = 50 pF, 0.1 mA. V _{DDA} ≥ 2.7 V	–	–	–		–
SID272	G _{BW_HI}	Power = Hi	6	–	–	MHz	–
SID273	G _{BW_MED}	Power = Med	3	–	–	MHz	–
SID274	G _{BW_LO}	Power = Lo	1	–	–	MHz	–
	I _{OUT_MAX}	V _{DDA} ≥ 2.7 V, 500 mV from rail	–	–	–		–
SID275	I _{OUT_MAX_HI}	Power = Hi	10	–	–	mA	–
SID276	I _{OUT_MAX_MID}	Power = Med	10	–	–	mA	–

(表格续下页.....)

6 电气规格

表 19 (续) 运算放大器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID277	I _{OUT_MAX_LO}	Power = Lo	–	5	–	mA	–
	I _{OUT}	V _{DDA} = 1.71 V, 500 mV from rail	–	–	–		–
SID278	I _{OUT_MAX_HI}	Power = Hi	4	–	–	mA	–
SID279	I _{OUT_MAX_MID}	Power = Med	4	–	–	mA	–
SID280	I _{OUT_MAX_LO}	Power = Lo	–	2	–	mA	–
SID281	V _{IN}	Input voltage range	0	–	V _{DDA} – 0.2	V	Charge pump ON
SID282	V _{CM}	Input common mode voltage	0	–	V _{DDA} – 1.5	V	Charge pump OFF, V _{DDA} ≥ 2.7 V
	V _{OUT}	V _{DDA} ≥ 2.7 V	–	–	–		–
SID283	V _{OUT_1}	Power = Hi, I _{load} = 10 mA	0.5	–	V _{DDA} – 0.5	V	–
SID284	V _{OUT_2}	Power = Hi, I _{load} = 1 mA	0.2	–	V _{DDA} – 0.2	V	–
SID285	V _{OUT_3}	Power = Med, I _{load} = 1 mA	0.2	–	V _{DDA} – 0.2	V	–
SID286	V _{OUT_4}	Power = Lo, I _{load} = 0.1 mA	0.2	–	V _{DDA} – 0.2	V	–
SID288	V _{OS_TR}	Offset voltage	–1	±0.5	1	mV	Power = Hi, 0.2 V < V _{OUT} < (V _{DDA} – 0.2 V)
SID288A	V _{OS_TR}	Offset voltage	–	±1	–	mV	Power = Med
SID288B	V _{OS_TR}	Offset voltage	–	±2	–	mV	Power = Lo
SID290	V _{OS_DR_TR}	Offset voltage drift	–10	±3	10	μV/°C	Power = Hi, 0.2 V < V _{OUT} < (V _{DDA} – 0.2 V)
SID290A	V _{OS_DR_TR}	Offset voltage drift	–	±10	–	μV/°C	Power = Med
SID290B	V _{OS_DR_TR}	Offset voltage drift	–	±10	–	μV/°C	Power = Lo
SID291	CMRR	DC common mode rejection ratio	67	80	–	dB	V _{DDA} ≥ 2.7 V
SID292	PSRR	Power supply rejection ratio at 1 kHz, 10-mV ripple	70	85	–	dB	V _{DDA} ≥ 2.7 V
SID65A	I _{IL_CTBM}	Input leakage on CTBm input pins	–	–	4	nA	–
Noise							
SID293	VN1	Input-referred, 1 Hz – 1 GHz, power = Hi	–	100	–	μVrms	–

(表格续下页.....)

6 电气规格

表 19 (续) 运算放大器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID294	VN2	Input-referred, 1 kHz, power = Hi	–	180	–	nV/ rtHz	–
SID295	VN3	Input-referred, 10 kHz, power = Hi	–	70	–	nV/ rtHz	–
SID296	VN4	Input-referred, 100 kHz, power = Hi	–	38	–	nV/ rtHz	–
SID297	CLOAD	Stable up to max. load. Performance specs at 50 pF.	–	–	125	pF	–
SID298	SLEW_RATE	Output slew rate	4	–	–	V/μs	Cload = 50 pF, Power = Hi, $V_{DDA} \geq 2.7\text{ V}$ Refer to Figure 17 and Figure 18 .
SID299	T_OP_WAKE	From disable to enable, no external RC dominating	–	25	–	μs	–
	COMP_MODE	Comparator mode; 50-mV overdrive, $T_{rise} = T_{fall}$ (approx.)	–		–		–
SID300	T _{PD1}	Response time; power = Hi	–	150	–	ns	–
SID301	T _{PD2}	Response time; power = Med	–	400	–	ns	–
SID302	T _{PD3}	Response time; power = Lo	–	2000	–	ns	–
SID303	V _{HYST_OP}	Hysteresis	–	10	–	mV	–
Deep Sleep mode		Mode 2 is lowest current range. Mode 1 has higher GBW.					Deep Sleep mode operation: $V_{DDA} \geq 2.7\text{ V}$. V_{IN} is 0.2 to $V_{DDA} - 1.5\text{ V}$
SID_DS_1	I _{DD_HI_M1}	Mode 1, High current	–		1500	μA	Typ at 25 °C
SID_DS_2	I _{DD_MED_M1}	Mode 1, Medium current	–	460	600	μA	Typ at 25 °C
SID_DS_3	I _{DD_LOW_M1}	Mode 1, Low current	–	230	350	μA	Typ at 25 °C
SID_DS_4	I _{DD_HI_M2}	Mode 2, High current	–	120	–	μA	25 °C
SID_DS_5	I _{DD_MED_M2}	Mode 2, Medium current	–	60	–	μA	25 °C
SID_DS_6	I _{DD_LOW_M2}	Mode 2, Low current	–	15	–	μA	25 °C

(表格续下页.....)

6 电气规格

表 19 (续) 运算放大器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID_DS_7	GBW_HI_M1	Mode 1, High current	–	4	–	MHz	25 °C
SID_DS_8	GBW_MED_M1	Mode 1, Medium current	–	2	–	MHz	25 °C
SID_DS_9	GBW_LOW_M1	Mode 1, Low current	–	0.5	–	MHz	25 °C
SID_DS_10	GBW_HI_M2	Mode 2, High current	–	0.5	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_11	GBW_MED_M2	Mode 2, Medium current	–	0.2	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_12	GBW_LOW_M2	Mode 2, Low current	–	0.1	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_13	$V_{OS_HI_M1}$	Mode 1, High current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_14	$V_{OS_MED_M1}$	Mode 1, Medium current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_15	$V_{OS_LOW_M1}$	Mode 1, Low current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_16	$V_{OS_HI_M2}$	Mode 2, High current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_17	$V_{OS_MED_M2}$	Mode 2, Medium current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_18	$V_{OS_LOW_M2}$	Mode 2, Low current	–	5	–	mV	25 °C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_19	$I_{OUT_HI_M1}$	Mode 1, High current	–	10	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_20	$I_{OUT_MED_M1}$	Mode 1, Medium current	–	10	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_21	$I_{OUT_LOW_M1}$	Mode 1, Low current	–	4	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_22	$I_{OUT_HI_M2}$	Mode 2, High current	–	1	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_23	$I_{OUT_MED_M2}$	Mode 2, Medium current	–	1	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_24	$I_{OUT_LOW_M2}$	Mode 2, Low current	–	0.5	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V

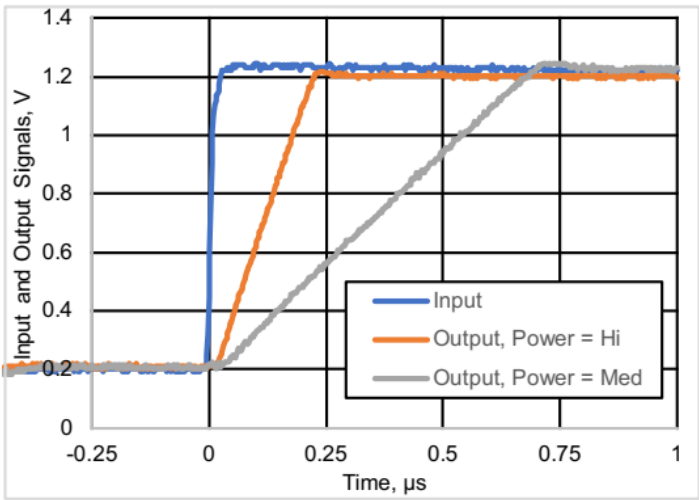


图 17 运算放大器阶跃响应，上升

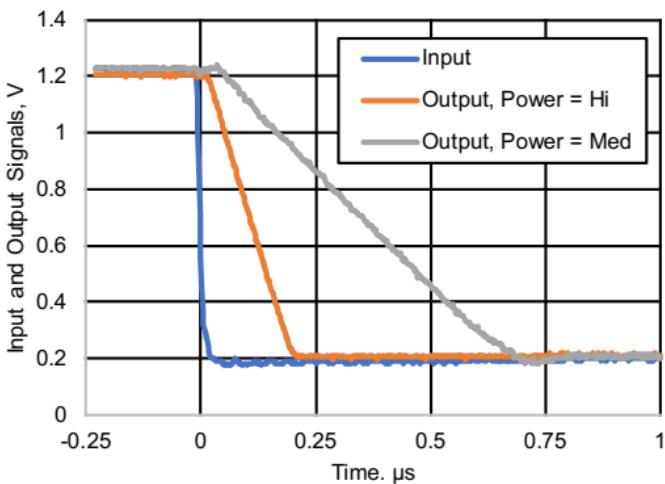


图 18 运算放大器阶跃响应，下降

6.3.2 低功耗（LP）比较器

表 20 LP 比较器DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID84	V _{OFFSET1}	Input offset voltage for COMP1. Normal power mode.	-10	–	10	mV	COMP0 offset is ±25 mV
SID85A	V _{OFFSET2}	Input offset voltage. Low-power mode.	-25	±12	25	mV	–

(表格续下页.....)

6 电气规格

表 20 (续) LP 比较器 DC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID85B	V _{OFFSET3}	Input offset voltage. Ultra low-power mode.	-25	±12	25	mV	–
SID86	V _{HYST1}	Hysteresis when enabled in Normal mode	–	–	60	mV	–
SID86A	V _{HYST2}	Hysteresis when enabled in Low-power mode	–	–	80	mV	–
SID87	V _{ICM1}	Input common mode voltage in Normal mode	0	–	V _{DDIO1} – 0.1	V	–
SID247	V _{ICM2}	Input common mode voltage in Low power mode	0	–	V _{DDIO1} – 0.1	V	–
SID247A	V _{ICM3}	Input common mode voltage in Ultra low power mode	0	–	V _{DDIO1} – 0.1	V	–
SID88	CMRR	Common mode rejection ratio in Normal power mode	50	–	–	dB	–
SID89	I _{CMP1}	Block Current, Normal mode	–	–	150	µA	–
SID248	I _{CMP2}	Block Current, Low power mode	–	–	10	µA	–
SID259	I _{CMP3}	Block Current in Ultra low- power mode	–	0.3	0.85	µA	–
SID90	ZCMP	DC Input impedance of comparator	35	–	–	MΩ	–

表 21 LP 比较器 AC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID91	T _{RESP1}	Response time, Normal mode, 100 mV overdrive	–	–	100	ns	–
SID258	T _{RESP2}	Response time, Low power mode, 100 mV overdrive	–	–	1000	ns	–
SID92	T _{RESP3}	Response time, Ultra-low power mode, 100 mV overdrive	–	–	20	µs	–
SID92E	T _{CMP_EN1}	Time from Enabling to operation	–	–	10	µs	Normal and Low- power modes
SID92F	T _{CMP_EN2}	Time from Enabling to operation	–	–	50	µs	Ultra low-power mode

6 电气规格

表 22 温度传感器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID93	T _{SENSACC}	Temperature sensor accuracy	-5	±1	5	°C	-40 to +85°C

表 23 内部参考规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID93R	V _{REFBG}	-	1.188	1.2	1.212	V	-

6.3.3 SAR ADC

表 24 12 位 SAR ADC DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID94	A_RES	SAR ADC Resolution	-	-	12	bits	-
SID95	A_CHNLS_S	Number of channels - single-ended	-	-	16	-	8 full speed.
SID96	A-CHNKS_D	Number of channels - differential	-	-	8	-	Diff inputs use neighboring I/O
SID97	A-MONO	Monotonicity	-	-	-	-	Yes
SID98	A_GAINERR	Gain error	-	-	±0.2	%	With external reference.
SID99	A_OFFSET	Input offset voltage	-	-	2	mV	Measured with 1-V reference
SID100	A_ISAR_1	Current consumption at 1 Msps	-	-	1	mA	At 1 Msps. External Bypass Cap.
SID100A	A_ISAR_2	Current consumption at 1 Msps. Reference = V _{DD}	-	-	1.25	mA	At 1 Msps. External Bypass Cap.
SID101	A_VINS	Input voltage range - single-ended	V _{SS}	-	V _{DDA}	V	-
SID102	A_VIND	Input voltage range - differential	V _{SS}	-	V _{DDA}	V	-
SID103	A_INRES	Input resistance	-	-	2.2	kΩ	-
SID104	A_INCAP	Input capacitance	-	-	10	pF	-

表 25 12 位 SAR ADC AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
----------	-----------	-------------	-----	-----	-----	------	--------------------

12-bit SAR ADC AC specifications

SID106	A_PSRR	Power supply rejection ratio	70	-	-	dB	-
--------	--------	------------------------------	----	---	---	----	---

(表格续下页.....)

6 电气规格

表 25 (续) 12位 SAR ADC AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID107	A_CMRR	Common mode rejection ratio	66	–	–	dB	Measured at 1 V.
One Megasample per second mode:							
SID108	A_SAMP_1	Sample rate with external reference bypass cap.	–	–	1	Msp/s	–
SID108A	A_SAMP_2	Sample rate with no bypass cap; Reference = V_{DD}	–	–	250	ksps	–
SID108B	A_SAMP_3	Sample rate with no bypass cap. Internal reference.	–	–	100	ksps	–
SID109	A_SINAD	Signal-to-noise and Distortion ratio (SINAD). $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s.	64	–	–	dB	$F_{in} = 10$ kHz
SID111A	A_INL	Integral Non Linearity. $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s	–2	–	2	LSB	Measured with internal $V_{REF} = 1.2$ V and bypass cap.
SID111B	A_INL	Integral Non Linearity. $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s	–4	–	4	LSB	Measured with external $V_{REF} \geq 1$ V and V_{IN} common mode $< 2 * V_{REF}$.
SID112A	A_DNL	Differential Non Linearity. $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s	–1	–	1.4	LSB	Measured with internal $V_{REF} = 1.2$ V and bypass cap.
SID112B	A_DNL	Differential Non Linearity. $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s	–1	–	1.7	LSB	Measured with external $V_{REF} \geq 1$ V and V_{IN} common mode $< 2 * V_{REF}$.
SID113	A_THD	Total harmonic distortion. $V_{DDA} = 2.7$ to 3.6 V, 1 Msp/s.	–	–	–65	dB	$F_{in} = 10$ kHz

6.3.4 DAC

表 26 12 位 DAC DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID108D	DAC_RES	DAC resolution	–	–	12	bits	–
SID111D	DAC_INL	Integral non-linearity	–4	–	4	LSB	–
SID112D	DAC_DNL	Differential non-linearity	–2	–	2	LSB	Monotonic to 11 bits.

(表格续下页.....)

6 电气规格

表 26 (续) 12 位 DAC DC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID99D	DAC_OFFSET	Output Voltage zero offset error	-2	-	1	mV	For 000 (hex)
SID103D	DAC_OUT_RES	DAC Output Resistance	-	15	-	kΩ	-
SID100D	DAC_IDD	DAC Current	-	-	125	μA	-
SID101D	DAC_QIDD	DAC Current when DAC stopped	-	-	1	μA	-

表 27 12 位 DAC AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID109D	DAC_CONV	DAC Settling time	-	-	2	μs	Driving through CTBm buffer; 25-pF load
SID110D	DAC_Wakeup	Time from Enabling to ready for conversion	-	-	10	μs	-

6.3.5 CSD

表 28 电容式 Σ - Δ (CSD) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
CSD V2specifications							
SYS.PER#3	V _{DD_RIPPLE}	Max allowed ripple on power supply, DC to 10 MHz	-	-	±50	mV	V _{DDA} > 2 V (with ripple), 25°C T _A , Sensitivity = 0.1 pF
SYS.PER#16	V _{DD_RIPPLE_1.8}	Max allowed ripple on power supply, DC to 10 MHz	-	-	±25	mV	V _{DDA} > 1.75 V (with ripple), 25°C T _A , Parasitic Capacitance (C _P) < 20 pF, Sensitivity ≥ 0.4 pF
SID.CSD.BLK	I _{CSD}	Maximum block current			4500	μA	-
SID.CSD#15	V _{REF}	Voltage reference for CSD and Comparator	0.6	1.2	V _{DDA} - 0.6	V	V _{DDA} - V _{REF} ≥ 0.6 V
SID.CSD#15A	V _{REF_EXT}	External Voltage reference for CSD and Comparator	0.6		V _{DDA} - 0.6	V	V _{DDA} - V _{REF} ≥ 0.6 V
SID.CSD#16	I _{DAC1IDD}	IDAC1 (7-bits) block current	-	-	1900	μA	-
SID.CSD#17	I _{DAC2IDD}	IDAC2 (7-bits) block current	-	-	1900	μA	-
SID308	V _{CSD}	Voltage range of operation	1.7	-	3.6	V	1.71 to 3.6 V

(表格续下页.....)

6 电气规格

表 28 (续) 电容式 Σ - Δ (CSD) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID308A	V _{COMPIDAC}	Voltage compliance range of IDAC	0.6	–	V _{DDA} – 0.6	V	V _{DDA} – V _{REF} ≥ 0.6 V
SID309	I _{DAC1DNL}	DNL	–1	–	1	LSB	–
SID310	I _{DAC1INL}	INL	–3	–	3	LSB	If V _{DDA} < 2 V then for LSB of 2.4 μ A or less
SID311	I _{DAC2DNL}	DNL	–1	–	1	LSB	–
SID312	I _{DAC2INL}	INL	–3	–	3	LSB	If V _{DDA} < 2 V then for LSB of 2.4 μ A or less

SNRC of the following is Ratio of counts of finger to noise. Guaranteed by characterization

SID313_1A	SNRC_1	SRSS Reference. IMO + FLL Clock Source. 0.1-pF sensitivity	5	–	–	Ratio	9.5-pF maximum capacitance
SID313_1B	SNRC_2	SRSS Reference. IMO + FLL Clock Source. 0.3-pF sensitivity	5	–	–	Ratio	31-pF maximum capacitance
SID313_1C	SNRC_3	SRSS Reference. IMO + FLL Clock Source. 0.6-pF sensitivity	5	–	–	Ratio	61-pF maximum capacitance
SID313_2A	SNRC_4	PASS Reference. IMO + FLL Clock Source. 0.1-pF sensitivity	5	–	–	Ratio	12-pF maximum capacitance
SID313_2B	SNRC_5	PASS Reference. IMO + FLL Clock Source. 0.3-pF sensitivity	5	–	–	Ratio	47-pF maximum capacitance
SID313_2C	SNRC_6	PASS Reference. IMO + FLL Clock Source. 0.6-pF sensitivity	5	–	–	Ratio	86-pF maximum capacitance
SID313_3A	SNRC_7	PASS Reference. IMO + PLL Clock Source. 0.1-pF sensitivity	5	–	–	Ratio	27-pF maximum capacitance
SID313_3B	SNRC_8	PASS Reference. IMO + PLL Clock Source. 0.3-pF sensitivity	5	–	–	Ratio	86-pF maximum capacitance
SID313_3C	SNRC_9	PASS Reference. IMO + PLL Clock Source. 0.6-pF sensitivity	5	–	–	Ratio	168-pF maximum capacitance
SID314	I _{DAC1CRT1}	Output current of IDAC1 (7 bits) in low range	4.2		5.7	μ A	LSB = 37.5-nA typ
SID314A	I _{DAC1CRT2}	Output current of IDAC1(7 bits) in medium range	33.7		45.6	μ A	LSB = 300-nA typ.

(表格续下页.....)

6 电气规格

表 28 (续) 电容式 Σ - Δ (CSD) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID314B	I _{DAC1CRT3}	Output current of IDAC1(7 bits) in high range	270		365	μA	LSB = 2.4-μA typ.
SID314C	I _{DAC1CRT12}	Output current of IDAC1 (7 bits) in low range, 2X mode	8		11.4	μA	LSB = 37.5-nA typ. 2X output stage
SID314D	I _{DAC1CRT22}	Output current of IDAC1(7 bits) in medium range, 2X mode	67		91	μA	LSB = 300-nA typ. 2X output stage
SID314E	I _{DAC1CRT32}	Output current of IDAC1(7 bits) in high range, 2X mode. V _{DDA} > 2 V	540		730	μA	LSB = 2.4-μA typ. 2X output stage
SID315	I _{DAC2CRT1}	Output current of IDAC2 (7 bits) in low range	4.2		5.7	μA	LSB = 37.5-nA typ.
SID315A	I _{DAC2CRT2}	Output current of IDAC2 (7 bits) in medium range	33.7		45.6	μA	LSB = 300-nA typ.
SID315B	I _{DAC2CRT3}	Output current of IDAC2 (7 bits) in high range	270		365	μA	LSB = 2.4-μA typ.
SID315C	I _{DAC2CRT12}	Output current of IDAC2 (7 bits) in low range, 2X mode	8		11.4	μA	LSB = 37.5-nA typ. 2X output stage
SID315D	I _{DAC2CRT22}	Output current of IDAC2(7 bits) in medium range, 2X mode	67		91	μA	LSB = 300-nA typ. 2X output stage
SID315E	I _{DAC2CRT32}	Output current of IDAC2(7 bits) in high range, 2X mode. V _{DDA} > 2 V	540		730	μA	LSB = 2.4-μA typ. 2X output stage
SID315F	I _{DAC3CRT13}	Output current of IDAC in 8-bit mode in low range	8		11.4	μA	LSB = 37.5-nA typ.
SID315G	I _{DAC3CRT23}	Output current of IDAC in 8-bit mode in medium range	67		91	μA	LSB = 300-nA typ.
SID315H	I _{DAC3CRT33}	Output current of IDAC in 8-bit mode in high range. V _{DDA} > 2V	540		730	μA	LSB = 2.4-μA typ.
SID320	I _{DACOFFSET}	All zeroes input	–	–	1	LSB	Polarity set by Source or Sink
SID321	I _{DACGAIN}	Full-scale error less offset	–	–	±15	%	LSB = 2.4-μA typ.
SID322	I _{DACMISMATCH1}	Mismatch between IDAC1 and IDAC2 in Low mode	–	–	9.2	LSB	LSB = 37.5-nA typ.

(表格续下页.....)

6 电气规格

表 28 (续) 电容式 Σ - Δ (CSD) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID322A	I _{DACMISMATCH2}	Mismatch between IDAC1 and IDAC2 in Medium mode	–	–	6	LSB	LSB = 300-nA typ.
SID322B	I _{DACMISMATCH3}	Mismatch between IDAC1 and IDAC2 in High mode	–	–	5.8	LSB	LSB = 2.4- μ A typ.
SID323	I _{DACSET8}	Settling time to 0.5 LSB for 8-bit IDAC	–	–	10	μ s	Full-scale transition. No external load.
SID324	I _{DACSET7}	Settling time to 0.5 LSB for 7-bit IDAC	–	–	10	μ s	Full-scale transition. No external load.
SID325	CMOD	External modulator capacitor.	–	2.2	–	nF	5-V rating, X7R or NP0 cap.

表29 CSD ADC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
CSDv2 ADC specifications							
SIDA94	A_RES	Resolution	–	–	10	bits	Auto-zeroing is required every millisecond
SID95	A_CHNLS_S	Number of channels - single ended	–	–	–	16	–
SIDA97	A-MONO	Monotonicity	–	–	Yes	–	V _{REF} mode
SIDA98	A_GAINERR_VREF	Gain error	–	0.6	–	%	Reference Source: SRSS (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V)
SIDA98A	A_GAINERR_VDDA	Gain error	–	0.2	–	%	Reference Source: SRSS (V _{REF} = 1.20 V, V _{DDA} < 2.2V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V)
SIDA99	A_OFFSET_VREF	Input offset voltage	–	0.5	–	LSB	After ADC calibration, Ref. Src = SRSS, (V _{REF} = 1.20 V, V _{DDA} < 2.2 V), (V _{REF} = 1.6 V, 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V, V _{DDA} > 2.7 V)

(表格续下页.....)

6 电气规格

表 29 (续) CSD ADC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDA99A	A_OFFSET_VDDA	Input offset voltage	–	0.5	–	LSB	After ADC calibration, Ref. Src = SRSS, ($V_{REF} = 1.20\text{ V}$, $V_{DDA} < 2.2\text{ V}$), ($V_{REF} = 1.6\text{ V}$, $2.2\text{ V} < V_{DDA} < 2.7\text{ V}$), ($V_{REF} = 2.13\text{ V}$, $V_{DDA} > 2.7\text{ V}$)
SIDA100	A_ISAR_VREF	Current consumption	–	0.3	–	mA	CSD ADC Block current
SIDA100A	A_ISAR_VDDA	Current consumption	–	0.3	–	mA	CSD ADC Block current
SIDA101	A_VINS_VREF	Input voltage range - single ended	V_{SSA}	–	V_{REF}	V	($V_{REF} = 1.20\text{ V}$, $V_{DDA} < 2.2\text{ V}$), ($V_{REF} = 1.6\text{ V}$, $2.2\text{ V} < V_{DDA} < 2.7\text{ V}$), ($V_{REF} = 2.13\text{ V}$, $V_{DDA} > 2.7\text{ V}$)
SIDA101A	A_VINS_VDDA	Input voltage range - single ended	V_{SSA}	–	V_{DDA}	V	($V_{REF} = 1.20\text{ V}$, $V_{DDA} < 2.2\text{ V}$), ($V_{REF} = 1.6\text{ V}$, $2.2\text{ V} < V_{DDA} < 2.7\text{ V}$), ($V_{REF} = 2.13\text{ V}$, $V_{DDA} > 2.7\text{ V}$)
SIDA103	A_INRES	Input charging resistance	–	15	–	kΩ	–
SIDA104	A_INCAP	Input capacitance	–	41	–	pF	–
SIDA106	A_PSRR	Power supply rejection ratio (DC)	–	60	–	dB	–
SIDA107	A_TACQ	Sample acquisition time	–	10	–	μs	Measured with 50-Ω source impedance. 10 μs is default software driver acquisition time setting. Settling to within 0.05%.
SIDA108	A_CONV8	Conversion time for 8-bit resolution at conversion rate = $F_{HCLK}/(2^N(N+2))$. Clock frequency = 50 MHz.	–	25	–	μs	Does not include acquisition time.
SIDA108A	A_CONV10	Conversion time for 10-bit resolution at conversion rate = $F_{HCLK}/(2^N(N+2))$. Clock frequency = 50 MHz.	–	60	–	μs	Does not include acquisition time.
SIDA109	A_SND_VRE	Signal-to-noise and Distortion ratio (SINAD)	–	57	–	dB	Measured with 50-Ω source impedance
SIDA109A	A_SND_VDDA	Signal-to-noise and Distortion ratio (SINAD)	–	52	–	dB	Measured with 50-Ω source impedance

(表格续下页.....)

6 电气规格

表 29 (续) CSD ADC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDA111	A_INL_VREF	Integral non-linearity. 11.6 ksp	–	–	2	LSB	Measured with 50-Ω source impedance
SIDA111A	A_INL_VDDA	Integral non-linearity. 11.6 ksp	–	–	2	LSB	Measured with 50-Ω source impedance
SIDA112	A_DNL_VREF	Differential non-linearity. 11.6 ksp	–	–	1	LSB	Measured with 50-Ω source impedance
SIDA112A	A_DNL_VDDA	Differential non- linearity. 11.6 ksp	–	–	1	LSB	Measured with 50-Ω source impedance

6.4 数字外设

表 30 定时器/计数器/PWM (TCPWM) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.1	I _{TCPWM1}	Block current consumption at 8 MHz	–	–	70	μA	All modes (TCPWM)
SID.TCPWM.2	I _{TCPWM2}	Block current consumption at 24 MHz	–	–	180	μA	All modes (TCPWM)
SID.TCPWM.2A	I _{TCPWM3}	Block current consumption at 50 MHz	–	–	270	μA	All modes (TCPWM)
SID.TCPWM.2B	I _{TCPWM4}	Block current consumption at 100 MHz	–	–	540	μA	All modes (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	Operating frequency	–	–	100	MHz	F _c max = F _{cpu} Maximum = 100 MHz
SID.TCPWM.4	TPWM _{ENEXT}	Input Trigger Pulse Width for all Trigger Events	2 / F _c	–	–	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected. F _c is counter operating frequency.
SID.TCPWM.5	TPWM _{EXT}	Output Trigger Pulse widths	1.5 / F _c	–	–	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs
SID.TCPWM.5A	TC _{RES}	Resolution of Counter	1 / F _c	–	–	ns	Minimum time between successive counts
SID.TCPWM.5B	PWM _{RES}	PWM Resolution	1 / F _c	–	–	ns	Minimum pulse width of PWM Output

(表格续下页.....)

6 电气规格

表 30 (续) 定时/计数器/PWM (TCPWM) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.5C	Q _{RES}	Quadrature inputs resolution	2 / F _c	–	–	ns	Minimum pulse width between Quadrature phase inputs. Delays from pins should be similar.

表 31 串行通信模块 (SCB) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
----------	-----------	-------------	-----	-----	-----	------	--------------------

Fixed I²C DC specifications

SID149	I _{I2C1}	Block current consumption at 100 kHz	–	–	30	μA	–
SID150	I _{I2C2}	Block current consumption at 400 kHz	–	–	80	μA	–
SID151	I _{I2C3}	Block current consumption at 1 Mbps	–	–	180	μA	–
SID152	I _{I2C4}	I2C enabled in Deep Sleep mode	–	–	1.7	μA	At 60°C

Fixed I²C AC Specifications

SID153	F _{I2C1}	Bit rate	–	–	1	Mbps	–
--------	-------------------	----------	---	---	---	------	---

Fixed UART DC specifications

SID160	I _{UART1}	Block current consumption at 100 kbps	–	–	30	μA	–
SID161	I _{UART2}	Block current consumption at 1000 kbps	–	–	180	μA	–

Fixed UART AC specifications

SID162A	F _{UART1}	Bit rate	–	–	3	Mbps	ULP Mode
SID162B	F _{UART2}		–	–	8		LP Mode

Fixed SPI DC specifications

SID163	I _{SPI1}	Block current consumption at 1 Mbps	–	–	220	μA	–
SID164	I _{SPI2}	Block current consumption at 4 Mbps	–	–	340	μA	–
SID165	I _{SPI3}	Block current consumption at 8 Mbps	–	–	360	μA	–
SID165A	I _{SP14}	Block current consumption at 25 Mbps	–	–	800	μA	–

(表格续下页.....)

6 电气规格

表 31 (续) 串行通信模块 (SCB) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
Fixed SPI AC specifications for LP Mode (1.1 V) unless noted otherwise.							
SID166	F _{SPI}	SPI Operating Frequency Master and Externally Clocked Slave	–	–	25	MHz	14-MHz max for ULP (0.9 V) mode
SID166A	F _{SPI_IC}	SPI Slave Internally Clocked	–	–	15	MHz	5-MHz max for ULP (0.9 V) mode
SID166B	F _{SPI_EXT}	SPI Operating Frequency Master (F _{SCB} is SPI Clock)	–	–	F _{SCB} /4	MHz	F _{SCB} max is 100 MHz in LP mode, 25 MHz max in ULP mode
Fixed SPI Master mode AC specifications for LP Mode (1.1 V) unless noted otherwise.							
SID167	T _{DMO}	MOSI Valid after SClock driving edge	–	–	12	ns	20-ns max for ULP (0.9 V) mode
SID168	T _{DSI}	MISO Valid before SClock capturing edge	5	–	–	ns	Full clock, late MISO sampling
SID169	T _{HMO}	MOSI data hold time	0	–	–	ns	Referred to Slave capturing edge
SID169A	T _{SSELMCK1}	SSEL Valid to first SCK Valid edge	18	–	–	ns	Referred to Master clock edge
SID169B	T _{SSELMCK2}	SSEL Hold after last SCK Valid edge	18	–	–	ns	Referred to Master clock edge
Fixed SPI Slave mode AC specifications for LP Mode (1.1 V) unless noted otherwise.							
SID170	T _{DMI}	MOSI Valid before Sclock Capturing edge	5	–	–	ns	–
SID171A	T _{DSO_EXT}	MISO Valid after Sclock driving edge in Ext. Clk. mode	–	–	20	ns	35-ns max. for ULP (0.9 V) mode
SID171	T _{DSO}	MISO Valid after Sclock driving edge in Internally Clk. Mode	–	–	T _{DSO_EXT} + 3 × Tscb	ns	Tscb is Serial Comm. Block clock period.
SID171B	T _{DSO}	MISO Valid after Sclock driving edge in Internally Clk. Mode with Median filter enabled.	–	–	T _{DSO_EXT} + 4 × Tscb	ns	Tscb is Serial Comm. Block clock period.
SID172	T _{HSO}	Previous MISO data hold time	5	–	–	ns	–
SID172A	T _{SSEL_SCK1}	SSEL Valid to first SCK Valid edge	65	–	–	ns	–
SID172B	T _{SSEL_SCK2}	SSEL Hold after Last SCK Valid edge	65	–	–	ns	–

6 电气规格

6.4.1 LCD 规格

表 32 LCD 直接驱动DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID154	I _{LCDLOW}	Operating current in low-power mode	–	5	–	μA	16 × 4 small segment display at 50 Hz
SID155	C _{LDCAP}	LCD capacitance per segment/common driver	–	500	5000	pF	–
SID156	LCD _{OFFSET}	Long-term segment offset	–	20	–	mV	–
SID157	I _{LCDOP1}	PWM Mode current. 3.3-V bias. 8-MHz IMO. 25°C.	–	0.6	–	mA	32 × 4 segments 50 Hz
SID158	I _{LCDOP2}	PWM Mode current. 3.3-V bias. 8-MHz IMO. 25°C.	–	0.5	–	mA	32 × 4 segments 50 Hz

表 33 LCD 直接驱动AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID159	F _{LCD}	LCD frame rate	10	50	150	Hz	–

6.5 内存

6.5.1 Flash

表 34 Flash AC 规格¹⁾

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID173A	I _{PE}	Erase and program current	–	–	6	mA	–

1) 可能需要最多16毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

表 35 Flash AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID174	T _{ROWWRITE}	Row write time (erase & program)	–	–	16	ms	Row = 512 bytes
SID175	T _{ROWERASE}	Row erase time	–	–	11	ms	–
SID176	T _{ROWPROGRAM}	Row program time after erase	–	–	5	ms	–
SID178	T _{BULKERASE}	Bulk erase time (1024 KB)	–	–	11	ms	–
SID179	T _{SECTORERASE}	Sector erase time (256 KB)	–	–	11	ms	512 rows per sector
SID178S	T _{SSERIAE}	Subsector erase time	–	–	11	ms	8 rows per subsector

(表格续下页.....)

6 电气规格

表 35 (续) Flash AC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID179S	T _{SSWRITE}	Subsector write time; 1 erase plus 8 program times	–	–	51	ms	–
SID180S	T _{SWRITE}	Sector write time; 1 erase plus 512 program times	–	–	2.6	seconds	–
SID180	T _{DEVPROG}	Total device write time	–	–	15	seconds	–
SID181	F _{END}	Flash Endurance	100 k	–	–	cycles	–
SID182	F _{RET1}	Flash Retention. T _A ≤ 25°C, 100 k P/E cycles	10	–	–	years	–
SID182A	F _{RET2}	Flash Retention. T _A ≤ 85°C, 10 k P/E cycles	10	–	–	years	–
SID182B	F _{RET3}	Flash Retention. T _A ≤ 55°C, 20 k P/E cycles	20	–	–	years	–
SID256	T _{WS100}	Number of Wait states at 100 MHz	3	–	–		–
SID257	T _{WS50}	Number of Wait states at 50 MHz	2	–	–		–

6.6 系统资源

6.6.1 上电复位

表 36 带掉电检测 (BOD) 的上电复位 (POR) DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190	V _{FALLPPOR}	BOD trip voltage in system LP and ULP modes.	1.54	–	–	V	Reset guaranteed for V _{DDD} levels below 1.54 V
SID192	V _{FALLDPSLP}	BOD trip voltage in system Deep Sleep mode.	1.54	–	–	V	

表 37 带 BOD 的 POR AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID192A	V _{DDRAMP}	Maximum power supply ramp rate (any supply)	–	–	100	mV/μs	System LP mode
SID194A	V _{DDRAMP_DS}	Maximum power supply ramp rate (any supply) in system Deep Sleep mode	–	–	10	mV/μs	BOD operation guaranteed

6 电气规格

6.6.2 电压监视器

表 38 电压监视器DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID195R	V _{HVD0}		1.18	1.23	1.27	V	–
SID195	V _{HVDI1}		1.38	1.43	1.47	V	–
SID196	V _{HVDI2}		1.57	1.63	1.68	V	–
SID197	V _{HVDI3}		1.76	1.83	1.89	V	–
SID198	V _{HVDI4}		1.95	2.03	2.1	V	–
SID199	V _{HVDI5}		2.05	2.13	2.2	V	–
SID200	V _{HVDI6}		2.15	2.23	2.3	V	–
SID201	V _{HVDI7}		2.24	2.33	2.41	V	–
SID202	V _{HVDI8}		2.34	2.43	2.51	V	–
SID203	V _{HVDI9}		2.44	2.53	2.61	V	–
SID204	V _{HVDI10}		2.53	2.63	2.72	V	–
SID205	V _{HVDI11}		2.63	2.73	2.82	V	–
SID206	V _{HVDI12}		2.73	2.83	2.92	V	–
SID207	V _{HVDI13}		2.82	2.93	3.03	V	–
SID208	V _{HVDI14}		2.92	3.03	3.13	V	–
SID209	V _{HVDI15}		3.02	3.13	3.23	V	–
SID211	LVI_IDD	Block current	–	5	15	μA	–

表 39 电压监视器AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID212	T _{MONTRIP}	Voltage monitor trip time	–	–	170	ns	–

6.6.3 SWD 和跟踪接口

表 40 SWD 和跟踪规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID214	F_SWCLK2	$1.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$	–	–	25	MHz	LP mode. $V_{\text{CCD}} = 1.1\text{ V}$
SID214L	F_SWCLK2L	$1.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$	–	–	12	MHz	ULP mode. $V_{\text{CCD}} = 0.9\text{ V}$
SID215	T_SWDI_SETUP	$T = 1/f_{\text{SWCLK}}$	$0.25 * T$	–	–	ns	–
SID216	T_SWDI_HOLD	$T = 1/f_{\text{SWCLK}}$	$0.25 * T$	–	–	ns	–
SID217	T_SWDO_VALID	$T = 1/f_{\text{SWCLK}}$	–	–	$0.5 * T$	ns	–

(表格续下页.....)

6 电气规格

表 40 (续) SWD 和跟踪规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID217A	T_SWDO_HOLD	$T = 1/f$ SWDCLK	1	–	–	ns	–
SID214T	F_TRCLK_LP1	With Trace Data setup/hold times of 2/1 ns respectively	–	–	75	MHz	LP Mode. $V_{DD} = 1.1$ V
SID215T	F_TRCLK_LP2	With Trace Data setup/hold times of 3/2 ns respectively	–	–	70	MHz	LP Mode. $V_{DD} = 1.1$ V
SID216T	F_TRCLK_ULP	With Trace Data setup/hold times of 3/2 ns respectively	–	–	25	MHz	ULP Mode. $V_{DD} = 0.9$ V

6.6.4 内部主振荡器

表 41 IMO DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID218	I_{IMO1}	IMO operating current at 8 MHz	–	9	15	μA	–

表 42 IMO AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID223	$F_{IMOTOL1}$	Frequency variation centered on 8 MHz	–	–	±2	%	–
SID227	T_{JITR}	Cycle-to-Cycle and Period jitter	–	±250	–	ps	–

6.6.5 内部低速振荡器

表 43 ILO DC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID231	I_{ILO2}	ILO operating current at 32 kHz	–	0.3	0.7	μA	–

表 44 ILO AC规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234	$T_{STARTILO1}$	ILO startup time	–	–	7	μs	Startup time to 95% of final frequency
SID236	$T_{LIODUTY}$	ILO Duty cycle	45	50	55	%	–
SID237	$F_{ILOTRIM1}$	ILO frequency	28.8	32	36.1	kHz	Factory trimmed

6 电气规格

6.6.6 晶体振荡器

表 45 ECO 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
MHz ECO DC Specification							
SID316	I _{DD_MHz}	Block operating current with Load up to 18 pF	–	800	1600	μA	Max = 35 MHz, Typ = 16 MHz
MHz ECO AC specifications							
SID317	F_MHz	Crystal frequency range	16	–	35	MHz	–
kHz ECO DC specifications							
SID318	I _{DD_kHz}	Block operating current with 32-kHz crystal	–	0.38	1	μA	–
SID321E	ESR32K	Equivalent Series Resistance	–	80	–	kΩ	–
SID322E	PD32K	Drive level	–	–	1	μW	–
kHz ECO AC specifications							
SID319	F_kHz	32-kHz frequency	–	32.7 68	–	kHz	–
SID320	Ton_kHz	Startup time	–	–	500	ms	–
SID320E	F _{TOL32K}	Frequency tolerance	–	50	250	ppm	–

6.6.7 外部时钟

表 46 外部时钟规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID305	EXTCLK _{FREQ}	External Clock input Frequency	0	–	100	MHz	–
SID306	EXTCLK _{DUTY}	Duty cycle; Measured at V _{DD/2}	45	–	55	%	–

6.6.8 PLL

表 47 PLL 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID304P	PLL_IN	Input frequency to PLL block	4	–	64	MHz	
SID305P	PLL_LOCK	Time to achieve PLL Lock	–	16	35	μs	–
SID306P	PLL_OUT	Output frequency from PLL Block	10.6 25	–	150	MHz	–
SID307P	PLL_IDD	PLL Current	–	0.55	1.1	mA	Typ at 100 MHz out.
SID308P	PLL_JTR	Period Jitter	–	–	150	ps	100-MHz output frequency

6 电气规格

6.6.9 时钟源切换时间

表 48 时钟源切换时间规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID262	TCLK _{SWITCH}	Clock switching from clk1 to clk2 in clock periods ¹⁾	–	–	4 clk1 + 3 clk2	periods	–

1) 例如，如果 clk_path[1] 源从 IMO 更改为 FLL（参见 图 4），则 clk1 为 IMO，clk2 为 FLL。

6.6.10 FLL

表 49 锁频环 (FLL) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID450	FLL_RANGE	Input frequency range.	0.00 1	–	100	MHz	Lower limit allows lock to USB SOF signal (1 kHz). Upper limit is for External input.
SID451	FLL_OUT_DIV2	Output frequency range. V _{CCD} = 1.1 V	24.0 0	–	100.0 0	MHz	Output range of FLL divided-by-2 output
SID451A	FLL_OUT_DIV2	Output frequency range. V _{CCD} = 0.9 V	24.0 0	–	50.00	MHz	Output range of FLL divided-by-2 output
SID452	FLL_DUTY_DIV2	Divided-by-2 output; High or Low	47.0 0	–	53.00	%	–
SID454	FLL_WAKEUP	Time from stable input clock to 1% of final value on deep sleep wakeup	–	–	7.50	µs	With IMO input, less than 10°C change in temperature while in Deep Sleep, and Fout ≥ 50 MHz.
SID455	FLL_JITTER	Period jitter (1 sigma at 100 MHz)	–	–	35.00	ps	50 ps at 48 MHz, 35 ps at 100 MHz
SID456	FLL_CURRENT	CCO + Logic current	–	–	5.50	µA/MHz	–

6.6.11 UDB

表 50 UDB AC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
Data path performance							
SID249	F _{MAX-TIMER}	Max frequency of 16-bit timer in a UDB pair	–	–	100	MHz	–

(表格续下页.....)

6 电气规格

表 50 (续) UDB AC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID250	F _{MAX-ADDER}	Max frequency of 16-bit adder in a UDB pair	–	–	100	MHz	–
SID251	F _{MAX_CRC}	Max frequency of 16-bit CRC/PRS in a UDB pair	–	–	100	MHz	–

PLD performance in UDB

SID252	F _{MAX_PLD}	Max frequency of 2-pass PLD function in a UDB pair	–	–	100	MHz	–
--------	----------------------	--	---	---	-----	-----	---

Clock to output performance

SID253	T _{CLK_OUT_UBD1}	Prop. delay for clock in to data out	–	5	–	ns	–
--------	---------------------------	--------------------------------------	---	---	---	----	---

UDB Port Adapter Specifications

Conditions: 10-pF load, 3-V V_{DDIO} and V_{DD}

SID263	T _{LCLKDO}	LCLK to Output delay	–	–	11	ns	LCLK is a selected clock; for more information see the reference manual
SID264	T _{DINLCLK}	Input setup time to LCLK rising edge	–	–	7	ns	–
SID265	T _{DINLCLKHLD}	Input hold time from LCLK rising edge	5	–	–	ns	–
SID266	T _{LCLKHIZ}	LCLK to Output tristated	–	–	28	ns	–
SID267	T _{FLCLK}	LCLK frequency	–	–	33	MHz	–
SID268	T _{LCLKDUTY}	LCLK duty cycle (percentage high)	40%	–	60%	%	–

6.6.12 USB

表 51 USB 规格 (USB 需要 LP 模式 1.1 V 内部电源)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
USB Block Specifications							
SID322U	Vusb_3.3	Device supply for USB operation	3.15	–	3.6	V	USB Configured
SID323U	Vusb_3	Device supply for USB operation (functional operation only)	2.85	–	3.6	V	USB Configured
SID325U	Iusb_config	Block supply current in Active mode	–	8	–	mA	V _{DD} = 3.3 V
SID328	Iusb_suspend	Block supply current in suspend mode	–	0.5	–	mA	V _{DD} = 3.3 V, Device connected

(表格续下页.....)

表 51 (续) USB 规格 (USB 需要 LP 模式 1.1 V 内部电源)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID329	Iusb_suspend	Block supply current in suspend mode	–	0.3	–	mA	V _{DD} = 3.3 V, Device disconnected
SID330U	USB_Drive_Res	USB driver impedance	28	–	44	Ω	Series resistors are on chip
SID331U	USB_Pulldown	USB pull-down resistors in Host mode	14.2 5	–	24.8	kΩ	–
SID332U	USB_Pullup_Idle	Idle mode range	900	–	1575	Ω	Bus idle
SID333U	USB_Pullup	Active mode	1425	–	3090	Ω	Upstream device transmitting

6.6.13 QSPI

表 52 QSPI 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
----------	-----------	-------------	-----	-----	-----	------	--------------------

SMIF QSPI specifications. All specs with 15-pF load.

SID390Q	Fsmifclock	SMIF QSPI output clock frequency	–	–	80	MHz	LP mode (1.1 V)
SID390QU	Fsmifclocku	SMIF QSPI output clock frequency	–	–	50	MHz	ULP mode (0.9 V). Guaranteed by Char.
SID397Q	Idd_qspi	Block current in LP mode (1.1 V)	–	–	1900	μA	LP mode (1.1 V)
SID398Q	Idd_qspi_u	Block current in ULP mode (0.9 V)	–	–	590	μA	ULP mode (0.9 V)
SID391Q	Tsetup	Input data set-up time with respect to clock capturing edge	4.5	–	–	ns	–
SID392Q	Tdatahold	Input data hold time with respect to clock capturing edge	0	–	–	ns	–
SID393Q	Tdataoutvalid	Output data valid time with respect to clock falling edge	–	–	3.7	ns	7.5-ns max for ULP mode (0.9 V)
SID394Q	Tholdtime	Output data hold time with respect to clock rising edge	3	–	–	ns	–
SID395Q	Tseloutvalid	Output Select valid time with respect to clock rising edge	–	–	7.5	ns	15-ns max for ULP mode (0.9 V)
SID396Q	Tselouthold	Output Select hold time with respect to clock rising edge	0.5*Ts clk	–	–	ns	Tsclk = Fsmifclk cycle time

6.6.14 音频子系统

表 53 音频子系统规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
PDM Specifications							
SID400P	PDM_IDD1	PDM Active current, Stereo operation, 1-MHz clock	–	175	–	µA	16-bit audio at 16 ksps
SID401	PDM_IDD2	PDM Active current, Stereo operation, 3-MHz clock	–	600	–	µA	24-bit audio at 48 ksps
SID402 ¹⁾	PDM_JITTER	RMS Jitter in PDM clock	–200	–	200	ps	–
SID403 ¹⁾	PDM_CLK	PDM Clock speed	0.384	–	3.072	MHz	–
SID403A ¹⁾	PDM_BLK_CLK	PDM Block input clock	1.024	–	49.152	MHz	–
SID403B ¹⁾	PDM_SETUP	Data input set-up time to PDM_CLK edge	10	–	–	ns	–
SID403C ¹⁾	PDM_HOLD	Data input hold time to PDM_CLK edge	10	–	–	ns	–
SID404 ¹⁾	PDM_OUT	Audio sample rate	8	–	48	ksps	–
SID405 ¹⁾	PDM_WL	Word Length	16	–	24	bits	–
SID406 ¹⁾	PDM_SNR	Signal-to-Noise Ratio (A-weighted)	–	100	–	dB	PDM input, 20 Hz to 20 kHz BW
SID407 ¹⁾	PDM_DR	Dynamic Range (A-weighted)	–	100	–	dB	20 Hz to 20 kHz BW, –60 dB FS
SID408 ¹⁾	PDM_FR	Frequency Response	–0.2	–	0.2	dB	DC to 0.45f. DC Blocking filter off.
SID409 ¹⁾	PDM_SB	Stop Band	–	0.56 6	–	f	–
SID410 ¹⁾	PDM_SBA	Stop Band Attenuation	–	60	–	dB	–
SID411 ¹⁾	PDM_GAIN	Adjustable Gain	–12	–	10.5	dB	PDM to PCM, 1.5 dB/step
SID412 ¹⁾	PDM_ST	Startup time	–	48	–	WS (Word Select) cycles	
I2S Specifications. The same for LP and ULP modes unless stated otherwise.							
SID415	I2S_IDD	Block current	–	400	–	µA	
SID413	I2S_WORD	Length of I2S Word	8	–	32	bits	–

(表格续下页.....)

6 电气规格

表 53 (续) 音频子系统规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditio
SID414	I2S_WS	Word Clock frequency in LP mode	–	–	192	kHz	12.288-MHz bit clock with 32-bit word
SID414M	I2S_WS_U	Word Clock frequency in ULP mode	–	–	48	kHz	3.072-MHz bit clock with 32-bit word
SID414A	I2S_WS_TDM	Word Clock frequency in TDM mode for LP	–	–	48	kHz	Eight 32-bit channels
SID414X	I2S_WS_TDM_U	Word Clock frequency in TDM mode for ULP	–	–	12	kHz	Eight 32-bit channels

I2S Slave Mode

SID430	TS_WS	WS Setup Time to the Following Rising Edge of SCK for LP Mode	5	–	–	ns	–
SID430U	TS_WS	WS Setup Time to the Following Rising Edge of SCK for ULP Mode	11	–	–	ns	–
SID430A	TH_WS	WS Hold Time to the Following Edge of SCK	TMCLK_S OC ²⁾ + 5	–	–	ns	–
SID432	TD_SDO	Delay Time of TX_SDO Transition from Edge of TX_SCK for LP mode	– (TMCLK_SOC + 25)	–	TMCLK_SO C + 25	ns	Associated clock edge depends on selected polarity
SID432U	TD_SDO	Delay Time of TX_SDO Transition from Edge of TX_SCK for ULP mode	– (TMCLK_SOC + 70)	–	TMCLK_SO C + 70	ns	Associated clock edge depends on selected polarity
SID433	TS_SDI	RX_SDI Setup Time to the Following Edge of RX_SCK in Lp Mode	5	–	–	ns	–
SID433U	TS_SDI	RX_SDI Setup Time to the Following Edge of RX_SCK in ULP mode	11	–	–	ns	–
SID434	TH_SDI	RX_SDI Hold Time to the Rising Edge of RX_SCK	TMCLK_S OC + 5	–	–	ns	–
SID435	TSCKCY	TX/RX_SCK Bit Clock Duty Cycle	45	–	55	%	–

I2S Master mode

(表格续下页.....)

6 电气规格

表 53 (续) 音频子系统规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID437	TD_WS	WS Transition Delay from Falling Edge of SCK in LP mode	-10	-	20	ns	-
SID437U	TD_WS_U	WS Transition Delay from Falling Edge of SCK in ULP mode	-10	-	40	ns	-
SID438	TD_SDO	SDO Transition Delay from Falling Edge of SCK in LP mode	-10	-	20	ns	-
SID438U	TD_SDO	SDO Transition Delay from Falling Edge of SCK in ULP mode	-10	-	40	ns	-
SID439	TS_SDI	SDI Setup Time to the Associated Edge of SCK	5	-	-	ns	Associated clock edge depends on selected polarity
SID440	TH_SDI	SDI Hold Time to the Associated Edge of SCK	TMCLK_SOC + 5	-	-	ns	T is TX/RX_SCK Bit Clock period. Associated clock edge depends on selected polarity.
SID443	TSCKCY	SCK Bit Clock Duty Cycle	45	-	55	%	-
SID445	FMCLK_SOC	MCLK_SOC Frequency in LP mode	1.024	-	98.304	MHz	FMCLK_SOC = 8 * Bit-clock
SID445U	FMCLK_SOC_U	MCLK_SOC Frequency in ULP mode	1.024	-	24.576	MHz	FMCLK_SOC_U = 8 * Bit-clock
SID446	TMCLKCY	MCLK_SOC Duty Cycle	45	-	55	%	-
SID447	TJITTER	MCLK_SOC Input Jitter	-100	-	100	ps	-

- 1) 由设计保证，但未经生产测试。
- 2) TMCLK_SOC 是内部 I2S 主时钟周期。

6.6.15 Smart I/O

表 54 Smart I/O 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID420	SMIO_BYP	Smart I/O Bypass delay	-	-	2	ns	-
SID421	SMIO_LUT	Smart I/O LUT prop delay	-	8	-	ns	-

6.6.16 高精度注入锁定振荡器 (PILO)

表 55 PILO规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID 430R	I _{PILO}	Operating current	–	1.2	4	μA	–
SID431	F _{PILO}	PILO nominal frequency	–	32768	–	Hz	T = 25°C
SID432R	ACC _{PILO}	PILO accuracy with periodic calibration	–500	–	500	ppm	–

6.6.17 JTAG边界扫描

表 56 JTAG 边界扫描

Spec ID#	Parameter	Description	Min	Typ	Max	Unit
----------	-----------	-------------	-----	-----	-----	------

JTAG boundary scan parameters

JTAG Boundary Scan parameters for 1.1 V (LP) Mode operation:

SID468	TCKLOW	TCK LOW	52	–	–	ns	–
SID469	TCKHIGH	TCK HIGH	10	–	–	ns	–
SID470	TCK_TDO	TCK falling edge to output valid		–	40	ns	–
SID471	TSU_TCK	Input valid to TCK rising edge	12	–	–	ns	–
SID472	Tck_THD	Input hold time to TCK rising edge	10	–	–	ns	–
SID473	TCK_TDOV	TCK falling edge to output valid (High-Z to Active).	40	–	–	ns	–
SID474	TCK_TDOZ	TCK falling edge to output valid (Active to High-Z).	40	–	–	ns	–

JTAG Boundary Scan parameters for 0.9 V (ULP) Mode operation:

SID468A	TCKLOW	TCK low	102	–	–	ns	–
SID469A	TCKHIGH	TCK high	20	–	–	ns	–
SID470A	TCK_TDO	TCK falling edge to output valid		–	80	ns	–
SID471A	TSU_TCK	Input valid to TCK rising edge	22	–	–	ns	–
SID472A	Tck_THD	Input hold time to TCK rising edge	20	–	–	ns	–
SID473A	TCK_TDOV	TCK falling edge to output valid (high-Z to active).	80	–	–	ns	–
SID474A	TCK_TDOZ	TCK falling edge to output valid (active to high-Z).	80	–	–	ns	–

7 订购信息

7 订购信息

表 57 列出了CY8C61x6 和 CY8C61x7 部件号和功能。所有器件都包括 QSPI SMIF、ADC、DAC、9 SCB、USB-FS、32 TCPWM、2 PDM 和 I2S。另请参阅 产品选择器指导手册。

表 57 营销器件编号

Family	Product	CPU speed (CM4)	CPU speed (CM0+)	Single CPU/dual CP	ULP/LP	Flash (KB)	SRAM (KB)	No of CTBMs	No. of UDBs	CAPSENSE™	GPIOs	CRYPTO	PDM-PCM	SIMO BUCK	Package
61	CY8C6116BZI-F54	50	–	Singl e	UL P	512	128	1	12	Yes	100	Yes	Yes	Yes	124-BGA
	CY8C6136BZI-F14	150	–	Singl e	LP	512	128	0	0	Yes	100	No	Yes	Yes	124-BGA
	CY8C6136BZI-F34	150	–	Singl e	LP	512	128	1	12	Yes	100	No	Yes	Yes	124-BGA
	CY8C6137BZI-F14	150	–	Singl e	LP	1024	288	0	0	Yes	100	No	Yes	Yes	124-BGA
	CY8C6137BZI-F34	150	–	Singl e	LP	1024	288	1	12	Yes	100	No	Yes	Yes	124-BGA
	CY8C6137BZI-F54	150	–	Singl e	LP	1024	288	1	12	Yes	100	Yes	Yes	Yes	124-BGA
	CY8C6117BZI-F34	50	–	Singl e	UL P	1024	288	1	12	Yes	100	No	Yes	Yes	124-BGA
	CY8C6136FTI-F42	150	–	Singl e	LP	512	128	0	0	Yes	62	Yes	Yes	Yes	80-Thin WLCSP
	CY8C6136FDI-F42	150	–	Singl e	LP	512	128	0	0	Yes	62	Yes	Yes	Yes	80-WLCSP
	CY8C6137FDI-F02	150	–	Singl e	LP	1024	288	0	0	No	62	No	Yes	Yes	80-WLCSP
	CY8C6117FDI-F02	50	–	Singl e	UL P	1024	288	0	0	No	62	No	Yes	Yes	80-WLCSP

7.1 PSOC™ 6 MPN解码器

CYXX6 A B C D D E - F F G H I J J K L

Field	Description	Values	Meaning
CY	Cypress	CY	Cypress - An Infineon Technologies company
XX	Firmware	8C	Standard
		B0	“Secure Boot” v1
		S0	“Standard Secure” - AWS

7 订购信息

Field	Description	Values	Meaning
6	Architecture	6	PSOC™ 6
A	Line	0	Value
		1	Programmable
		2	Performance
		3	Connectivity
		4	Secured
B	Speed	2	100 MHz
		3	150 MHz
		4	150/50 MHz
C	Memory size (Flash/SRAM)	0-3	Reserved
		4	256K/128K
		5	512K/256K
		6	512K/128K
		7	1024K/288K
		8	1024K/512K
		9	Reserved
		A	2048K/1024K
DD	Package	AZ, AX	TQFP
		LQ	QFN
		BZ,	BGA
		FM	M-CSP
		FN, FD, FT	WLCSP
E	Temperature range	C	Consumer
		I	Industrial
		Q	Extended Industrial
FF	Feature code		Cypress internal
		S2-S6	
		BL	Integrated Bluetooth® LE
G	CPU core	F	Single core
		D	Dual core
H	Attributes code	0-9	Feature set
I	GPIO count	1	31-50
		2	51-70
		3	71-90
		4	91-110

7 订购信息

Field	Description	Values	Meaning
JJ	Engineering sample (optional)	ES	Engineering samples or not
K	Die Revision (optional)		Base
		A1-A9	Die revision
L	Tape/Reel Shipment (optional)	T	Tape and Reel shipment

8 封装

8 封装

该产品系列采用 124-BGA⁴⁾ 和 80-ball WLCSP 封装，高度分别为 0.43 mm 和 0.33 mm⁴⁾。124-BGA 封装的认证工作正在进行中。

表 58 封装尺寸

Spec ID#	Package	Description	Package drawing number
PKG_1	124-BGA	124-BGA, 9 mm × 9 mm × 1 mm height with 0.65-mm pitch	001-97718
PKG_2	80-WLCSP	80-WLCSP, 3.7 mm × 3.2 mm × 0.43 mm height with 0.35-mm pitch	002-20310
PKG_3	Thin 80-WLCSP	Thin 80 -WLCSP, 3.7 mm × 3.3 mm × 0.33 mm height with 0.35-mm pitch	002-23411

表 59 封装尺寸

Spec ID#	Package	Description	Package drawing number
PKG_1	124-BGA	124-BGA, 9 mm × 9 mm × 1 mm height with 0.65-mm pitch	001-97718
PKG_2	80-WLCSP	80-WLCSP, 3.7 mm × 3.2 mm × 0.43 mm height with 0.35-mm pitch	002-20310
PKG_3	Thin 80-WLCSP	Thin 80 -WLCSP, 3.7 mm × 3.3 mm × 0.33 mm height with 0.35-mm pitch	002-23411
PKG_4	Thin 124-BGA	Thin 124-BGA, 7 mm × 7 mm × 0.8 mm height with 0.5-mm pitch	002-38770

表 60 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Unit
T _A	Operating ambient temperature	–	–40	25	85	°C
T _J	Operating junction temperature	–	–40	–	100	°C
T _{JA}	Package θ _{JA} (124-BGA)	–	–	36.2	–	°C/W
T _{JC}	Package θ _{JC} (124-BGA)	–	–	15	–	°C/W
T _{JA}	Package θ _{JA} (80-WLCSP)	–	–	20.4	–	°C/W
T _{JC}	Package θ _{JC} (80-WLCSP)	–	–	0.2	–	°C/W
T _{JA}	Package θ _{JA} (Thin 80-WLCSP)	–	–	20.4	–	°C/W
T _{JC}	Package θ _{JC} (Thin 80-WLCSP)	–	–	0.2	–	°C/W

表 61 回流焊峰值温度

Package	Maximum peak temperature	Maximum time at peak temperature
All	260°C	30 seconds

⁴⁾124-BGA 和薄型 80-WLCSP 封装的认证工作正在进行中。

8 封装

表 62 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
124-BGA packages	MSL 3
80-WLCSP packages	MSL 1

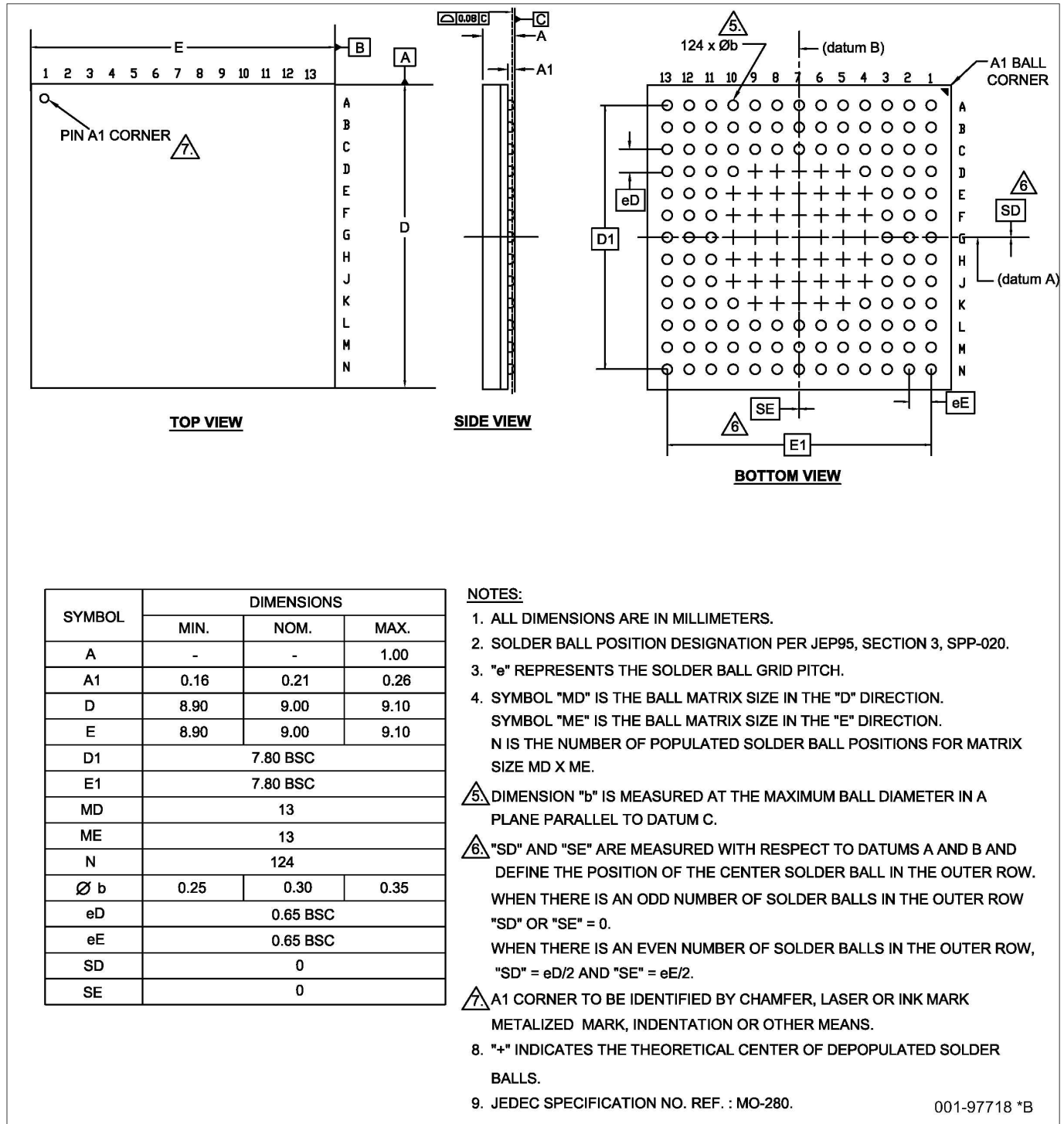


图 19 124-BGA 9.0 x 9.0 x 1.0 mm (PG-VFBGA-124-800)

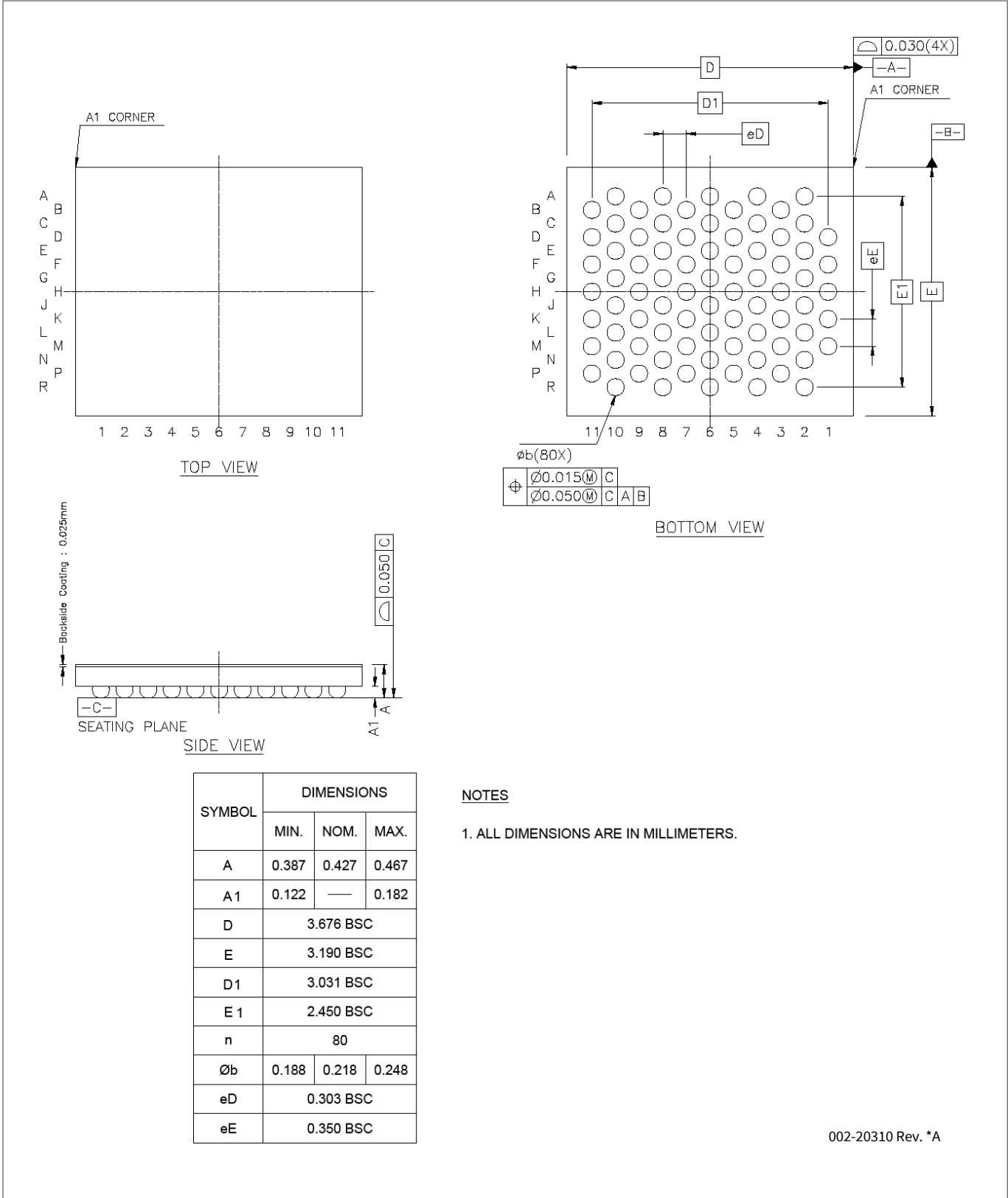


图 20 80-ball WLCSP 3.676 × 3.190 × 0.467 mm FN80B 封装外形图 (SG-XFWLB-80)

图 21 124-ball FBGA 7 × 7 × 0.8 mm BZ124A 封装外形图 (PG-WFBGA-124)

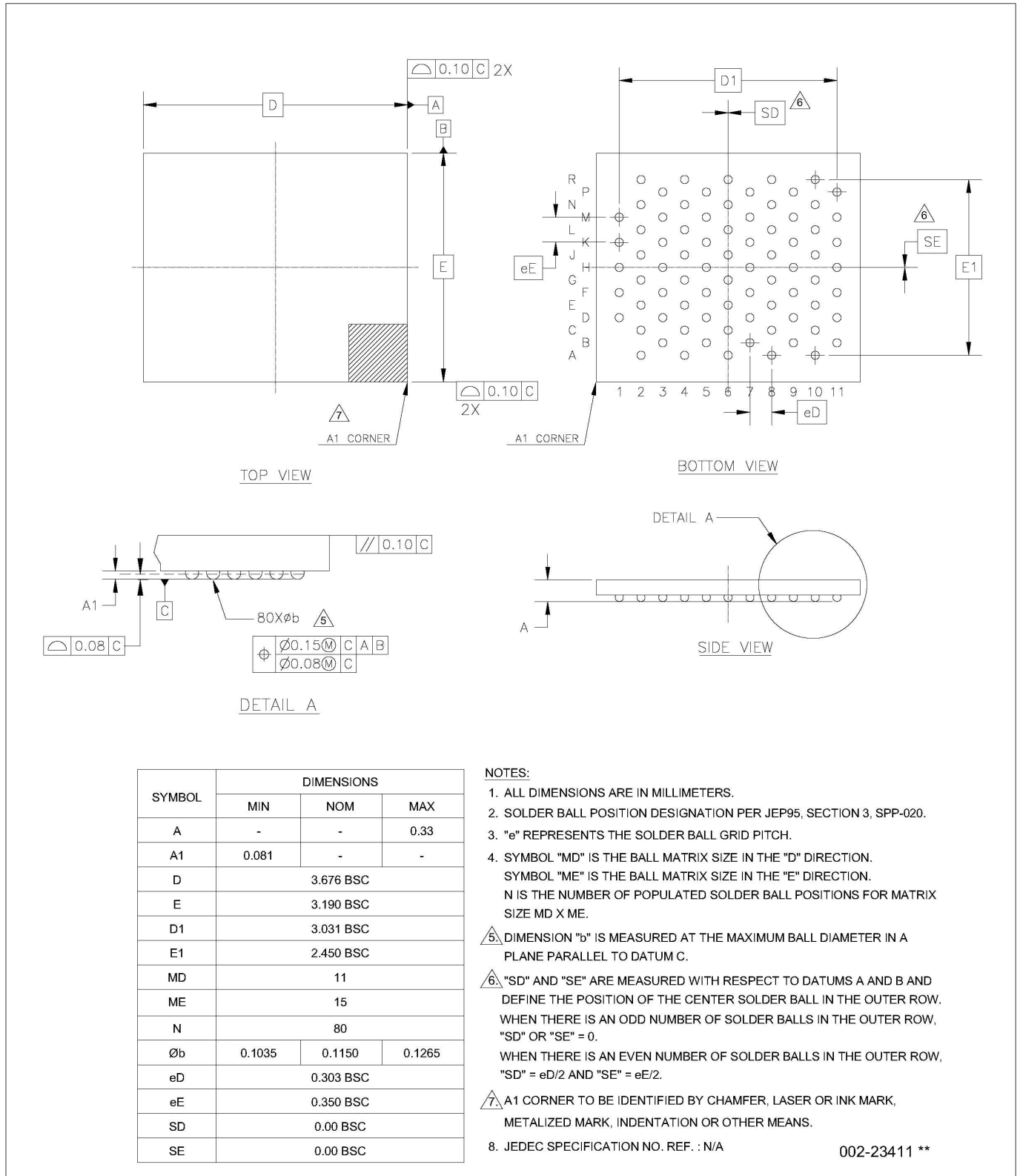


图 22 80-ball WLCSP 3.676 × 3.190 × 0.33 mm FL80A 封装外形图 (SG-XFWLB-80)

9 缩略语

Acronym	Description
3DES	triple DES (data encryption standard)
ADC	analog-to-digital converter
AES	advanced encryption standard
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm® data transfer bus
AMUX	analog multiplexer
AMUXBUS	analog multiplexer bus
API	application programming interface
Arm®	advanced RISC machine, a CPU architecture
BGA	ball grid array
BOD	brown-out detect
CAD	computer aided design
CCO	current controlled oscillator
CM0+	Cortex®-M0+, an Arm® CPU
CM4	Cortex®-M4, an Arm® CPU
CMAC	cipher-based message authentication code
CMOS	complementary metal-oxide-semiconductor, a process technology for IC fabrication
CMRR	common-mode rejection ratio
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CSD	Capacitive Sigma-Delta
CSX	Mutual capacitance sensing method. See also CSD
DAC	digital-to-analog converter, see also IDAC, VDAC
DAP	debug access port
DES	data encryption standard
DMA	direct memory access, see also TD
DNL	differential nonlinearity, see also INL
DSI	digital system interconnect
DU	data unit
ECC	elliptic curve cryptography
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
EMI	electromagnetic interference
ESD	electrostatic discharge
ETM	embedded trace macrocell

9 缩略语

Acronym	Description
FIFO	first-in, first-out
FLL	frequency locked loop
FPU	floating-point unit
FS	full-speed
GND	Ground
GPIO	general-purpose input/output, applies to a PSOC™ pin
HMAC	Hash-based message authentication code
HSIOM	high-speed I/O matrix
I/O	input/output, see also GPIO, DIO, SIO, USBIO
I²C, or IIC	Inter-Integrated Circuit, a communications protocol
I²S	inter-IC sound
IC	integrated circuit
IDAC	current DAC, see also DAC, VDAC
IDE	integrated development environment
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
INL	integral nonlinearity, see also DNL
IoT	internet of things
IPC	inter-processor communication
IRQ	interrupt request
ISR	interrupt service routine
JTAG	Joint Test Action Group
LCD	liquid crystal display
LIN	Local Interconnect Network, a communications protocol
LP	low power
LS	low-speed
LUT	lookup table
LVD	low-voltage detect, see also LVI
LVTTL	low-voltage transistor-transistor logic
MAC	multiply-accumulate
M-CSP	molded chip scale package
MCU	microcontroller unit
MCWDT	multi-counter watchdog timer
MISO	master-in slave-out
MMIO	memory-mapped input output

9 缩略语

Acronym	Description
MOSI	master-out slave-in
MPU	memory protection unit
MSL	moisture sensitivity level
Msp/s	million samples per second
MTB	micro trace buffer
MUL	multiplier
NC	no connect
NMI	nonmaskable interrupt
NVIC	nested vectored interrupt controller
OTP	one-time programmable
OVT	overvoltage tolerant
PASS	programmable analog subsystem
PCB	printed circuit board
PCM	pulse code modulation
PDM	pulse density modulation
PHY	physical layer
PICU	port interrupt control unit
PLL	phase-locked loop
PMIC	power management integrated circuit
POR	power-on reset
PPU	peripheral protection unit
PRNG	pseudo random number generator
PSOC™	Programmable system on chip
PSRR	power supply rejection ratio
PWM	pulse-width modulator
QD	quadrature decoder
QSPI	quad serial peripheral interface
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
ROM	read-only memory
RSA	Rivest–Shamir–Adleman, a public-key cryptography algorithm
RTC	real-time clock
RX	receive
S/H	sample and hold

9 缩略语

Acronym	Description
SAR	successive approximation register
SARMUX	SAR ADC multiplexer bus
SCB	serial communication block
SFlash	supervisory flash
SHA	secure hash algorithm
SINAD	signal to noise and distortion ratio
SNR	signal-to-noise ration
SOF	start of frame
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SROM	supervisory read-only memory
SRSS	system resources subsystem
SWD	serial wire debug, a test protocol
SWJ	serial wire JTAG
SWO	single wire output
SWV	serial-wire viewer
TCPWM	timer, counter, pulse-width modulator
TDM	time division multiplexed
TQFP	thin quad flat package
TRM	technical reference manual
TRNG	true random number generator
TX	transmit
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
UDB	universal digital block
ULP	ultra-low power
USB	Universal Serial Bus
WCO	watch crystal oscillator
WDT	watchdog timer
WIC	wakeup interrupt controller
WLCSP	wafer level chip scale package
XIP	execute-in-place
XRES	external reset input pin

10 文档惯例

10.1 测量单位

表 63 测量单位

Symbol	Units of measure
°C	degrees Celsius
dB	decibel
fF	femto farad
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
hr	hour
kHz	kilohertz
kΩ	kilo ohm
ksps	kilosamples per second
LSB	least significant bit
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
Ω	ohm
pF	picofarad
ppm	parts per million

(表格续下页.....)



表 63 (续) 测量单位

Symbol	Units of measure
ps	picosecond
s	second
sps	samples per second
sqrHz	square root of hertz
V	volt

修订记录

Document revision	Date	Description of changes
**	2017-09-27	New datasheet.
*A	2017-11-03	Corrected typo in Development ecosystem.
*B	2017-11-29	Updated Table 6. Updated SID84 description and conditions. Updated Table 13. Updated max value for SID223. Updated min and max values of SID432R. Updated Table 39. Updated Revision history.
*C	2018-02-10	Updated Active CPU power consumption in 32-bit dual core CPU subsystem. Updated Table 5, Table 6, Table 16, Table 21, Table 32, and Table 35. Updated min value for SID4B and SID291. Updated Fixed UART AC specifications. Updated SID190 and removed SID194. Removed SID226. Updated max value for SID234. Updated Revision history.
*D	2018-05-29	Corrected typo in the block diagram. Updated 80-ball WLCSP package diagram.
*E	2018-06-26	Updated Features and Ordering Information. Updated IMO Clock Source: Corrected the IMO tolerance and locking information and TCPWM and PLL description errors. Updated Packaging: Added Thin 80-WLCSP package dimension and package diagram. Updated Table 39, Table 40, and Table 42.
*F	2018-09-08	Removed Preliminary document status. Corrected units usage throughout the document. Added note explaining Fc for the SID.TCPWM.4 parameter. Updated Features, CPU, Flash, ILO Clock Source, Watchdog Timer (WDT), Serial Communication Blocks (SCB), Ordering Information, Packaging, and Acronyms. Removed “Errata” section. Updated package diagram (spec 001-97718 *A to *B) in Packaging. Updated Figure 2. Added a note in Table 2. Updated Table 5, Table 6 through Table 8, Table 15, Table 18, Table 21, Table 30, Table 32, and Table 36.
*G	2019-09-20	Updated the title. Updated Ordering information. Added UDB in Acronyms.

修订记录

Document revision	Date	Description of changes
*H	2019-12-20	Updated Features. Updated Blocks and functionality and Functional Description. Updated Pinouts and Power supply considerations.
*I	2020-03-31	Updated Features. Updated Functional Description. Updated Pinouts. Updated PSOC™ 6 MPN Decoder.
*J	2020-06-22	Updated Development ecosystem, GPIO, and LCD sections. Added External Crystal Oscillators. Updated Errata.
*K	2020-11-09	Updated Flexible clocking options, Block diagram, CPUs, Clock system, and SID431. Updated Universal digital blocks (UDBs), UDB Port Adapter Specifications Conditions. Added InterProcessor Communication (IPC). Updated Analog subsystem diagram. Updated the XRES bullet in Reset, updated SID15 Description and Conditions, and Power-on reset specifications table. Updated ModusToolbox™ software. Updated Clocking diagram. Removed Secure Boot information. Updated security built into platform architecture, PSOC™ 6 MCU resources, Protection units, and Boot code. Updated Power supply considerations. Added footnote to TMCLK_SOC specs. Updated Opamp specifications. Updated SID7A conditions, SID7C Description, SID7D description, and SID8 conditions. Added spec SID468 - SID474, and SID468A - SID474A. Updated Audio Spec SID408. Updated Ordering information. Integrated ECO erratum into External Crystal Oscillators. Added ECO usage guidelines table.
*L	2021-02-26	Added Table 13 and Figure. Updated conditions for SID316 and updated description of SID319. Changed BLE references to Bluetooth® LE. Updated Security terminology to Infineon standards. Removed the Errata section; incorporated errata into the GPIO, ADC, and CAPSENSE™ sections.
*M	2021-06-30	Added opamp graphs (Figure 27 and Figure 28). Corrected typo in Figure 22 and Figure 24.

修订记录

Document revision	Date	Description of changes
*N	2021-12-14	Added note regarding unused USB pins in USB Full-Speed device interface, Power supply considerations, and Pinouts. Updated SIDC1 description. Updated Figure and added related footnote. Updated details/conditions for SID7A. Updated SID325U, SID328, and SID329 description.
*O	2022-10-31	Added device identification and revision information in Features. Added spec SID415 and SID304P. Added footnote "Guaranteed by design, not production tested" for specs SID402 - SID412. Updated Clock system and PLL specifications. Updated Protection units.
*P	2023-06-07	Migrated to Infineon template. Added notes for ModusToolbox™ and PSOC™ Creator in the Development ecosystem section. Removed EOL Prune MPNs CY8C6036BZI-F04 and CY8C6016BZI-F04 from ordering information. Updated WLCSP package MPNs in ordering information.
*Q	2025-11-18	Template update. Updated footnote numbers. Features PSOC™ 6 MCU resources Interrupts DMA controllers Protection units Power supply considerations UDB Ordering information

商标

商标

PSoC™（原名PSoC™）是英飞凌科技的商标。本文档或其他文件中提及的PSoC™均应视为指代PSOC™。



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-04-20

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。