

英飞凌 PSoC™ 4500S MCU

基于 Arm® Cortex®-M0+ CPU 的可编程嵌入式系统控制器

概述

PSoC™ 4 是一个可扩展和可重配置的平台架构，是一个包含 Arm® Cortex®-M0+ CPU 的可编程嵌入式系统控制器。通过灵活自动布线资源，它将可编程及可重新配置的模拟模块与数字模块相结合。PSoC™ 4500S 产品系列是 PSoC™ 4 平台架构的一个成员。它是一个带有标准通信和定时外设的微控制器、一个电容式触摸感应 (CAPSENSE™) 的系统，可编程的通用、连续和开关电容的模拟模块以及可编程连接。针对新应用和设计的要求，PSoC™ 4500S 产品与 PSoC™ 4 平台系列产品向上兼容。

特性

- 32位 MCU 子系统
 - 配置单周期乘法的 48 MHz Arm® Cortex®-M0+ CPU
 - 包含读取加速器的闪存容量可达 256 KB
 - 最多 32 KB 的 SRAM
 - 8 通道 DMA 引擎
 - 两个除法和平方根计算加速器
- 可编程的模拟资源
 - 四个运算放大器支持可重新配置的外部强驱动、高带宽内部驱动、比较器模式和 ADC 输入缓冲功能。运算放大器能够在深度睡眠低功耗模式下运行。
 - 两个 12 位分辨率、1 Msps 采样率的 SAR ADC，包括差分、单端模式和具有信号求平均功能的通道序列发生器。提供同步采样。
 - 由电容式感应模块提供的单斜 10 位 ADC 功能
 - 可用在任何引脚上的两个电流 DAC (IDAC)，用于通用目的或电容式感应应用场合
 - 两个低功耗比较器支持深度睡眠低功耗模式
- 可编程数字资源
 - 可编程逻辑模块支持在输入和输出端口上执行 Boolean (布尔) 操作
- 低功耗操作的电压范围: 1.71 V ~ 5.5 V
 - 深度睡眠模式可支持模拟系统正常工作，并为数字系统提供 2.5 µA 的电流
- 电容式感应
 - 电容式 Sigma-Delta (CSD) 模块提供了一流的信噪比 (SNR) (> 5:1) 和防水性能
 - 通过英飞凌提供的软件组件可以更容易地实现电容式感应设计
 - 自动硬件调节 (SmartSense)
- LCD 驱动能力
 - GPIO 上的 LCD segment 驱动能力
- 电机控制加速器 (MCA)
 - 硬件平方根和除法块
 - 加速执行现场导向控制 (FOC) 和功率因数校正 (PFC) 模块
- 串行通信
 - 五个运行时可重新配置的独立串行通信模块 (SCB) 可配置为 I²C、SPI 或 UART 功能
- 定时和脉冲宽度调制器
 - 八个 16 位定时器/计数器/脉冲宽度调制器 (TCPWM) 模块
 - 支持中心对齐模式、边缘模式和伪随机模式
 - 基于比较器触发的“Kill”信号，适用于马达驱动和其它高可靠性数字逻辑的应用
 - 正交解码器

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

特性

- 多达 57 个可编程的 GPIO 引脚
 - 48 引脚 TQFP (0.5 毫米间距)、64 引脚 TQFP 正常间距 (0.8 毫米) 和精细间距 (0.5 毫米) 以及 68 引脚 QFN (0.5 毫米间距) 封装
 - 任何 GPIO 引脚可用作 CAPSENSE™、模拟或数字引脚
 - 可编程驱动模式、强度和转换速率
- 时钟源
 - 4 至 33 MHz 外部晶体振荡器 (ECO)
 - PLL 产生 48MHz 频率
 - 32 kHz 时钟晶体振荡器 (WCO)
 - $\pm 2\%$ 内部主振荡器 (IMO)
 - 40 kHz 内部低功耗振荡器 (ILO)
- ModusToolbox™ 软件
 - 多平台工具和软件库的综合集合
 - 包括支持包 (BSP)、外设驱动库 (PDL) 和中间件如 CAPSENSE™
- PSoC™ Creator 设计环境
 - 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
 - 应用编程接口 (API) 组件可用于所有固定功能和可编程的外设
- 工业标准工具的兼容性
 - 输入原理图后, 可以使用基于 Arm® 的行业标准开发工具进行开发

目录

概述.....	1
特性.....	1
目录.....	3
1 开发生态系统.....	4
1.1 PSoC™ 4 MCU 资源.....	4
1.2 ModusToolbox™ 软件.....	5
1.3 PSoC™ Creator.....	6
框图.....	7
2 功能定义	8
2.1 CPU 和存储器子系统.....	8
2.2 系统资源.....	8
2.3 模拟模块.....	10
2.4 可编程数字模块.....	11
2.5 固定功能数字模块.....	11
2.6 GPIO	12
2.7 特殊功能外设.....	13
3 引脚分布.....	14
3.1 备用引脚功能.....	17
4 电源	20
4.1 模式 1: 1.8V 至 5.5V 外部 供电.....	20
4.2 模式 2: 1.8V ±5% 外部 电源	20
5 电气规格参数.....	22
5.1 绝对最大额定值.....	22
5.2 器件级规格.....	22
5.3 模拟外设.....	27
5.4 数字外设.....	36
5.5 存储器.....	40
5.6 系统资源.....	41
6 订购信息	45
7 封装	47
7.1 封装图.....	48
8 缩略语	51
9 文档惯例	55
9.1 计量单位	55
修订记录.....	56

1 开发生态系统

1.1 PSoC™ 4 MCU 资源

英飞凌在 www.infineon.com 上提供了丰富的数据帮助您选择合适的 PSoC™ 器件，并快速有效地将其集成到您的设计中。以下是 PSoC™ 4 MCU 资源的简化超链接列表：

- **概述：** [PSoC™ 产品系列](#)
- **产品选择器：** [PSoC™ 4 MCU](#)
- **应用笔记** 涵盖从基础到高级的广泛主题。应用笔记包括：
 - [AN79953](#)：PSoC™ 4 MCU 入门指南。本应用笔记包含一个便捷的流程图，可帮助您确定使用哪个 IDE：[ModusToolbox™ 软件](#)还是[PSoC™ Creator](#)。
 - [AN91184](#)：PSoC™ 4 蓝牙®低功耗 - 设计蓝牙® LE 应用
 - [AN88619](#)：PSoC™ 4 硬件设计考虑因素
 - [AN73854](#)：PSoC™ - 引导加载程序简介
 - [AN89610](#)：PSoC™ Arm® Cortex® 代码优化
 - [AN86233](#)：PSoC™ 4 MCU低功耗模式和降低功耗技术
 - [AN57821](#)：PSoC™ 3、PSoC™ 4 和 PSoC™ 5LP 混合信号电路板布局注意事项
 - [AN85951](#)：PSoC™ 4 和 PSoC™ 6 MCU CAPSENSE™ 设计指南
- **代码示例**展示了产品特性和使用，可访问以下地址获取: [Infineon GitHub repositories](#)。
- **架构参考手册** 提供各器件系列架构的详细说明。
- **寄存器参考手册** 提供 PSoC™ 4 MCU 寄存器的详细说明。
- **PSoC™ 4 MCU 编程规范**提供对PSoC™ 4 MCU 非易失性存储器进行编程的必要信息。
- **开发工具**
 - [ModusToolbox™ 软件](#)通过一套强大的工具和软件库实现跨平台代码开发。
 - [PSoC™ Creator](#) 是一款基于 Windows 的免费集成开发环境。它可以同时进行基于 PSoC™ 3、PSoC™ 4、PSoC™ 5LP 和 PSoC™ 6 MCU 的系统硬件和固件设计。应用程序是使用原理图捕获和 150 多个预先验证的、可用于生产的外设组件创建的。
 - [CY8CKIT-045S](#) PSoC™ 4500S Pioneer Kit 是一个低成本硬件平台，可用于设计和调试 PSoC™ 4500S 器件。
 - [MiniProg4](#) 和 [MiniProg3](#) 一体式开发编程器和调试器。
- **PSoC™ 4 MCU CAD 库** 为常用工具提供封装和原理图支持。[IBIS 模型](#) 也提供。
- **培训视频** 涵盖各种主题，包括[PSoC™ MCUs](#)系列。
- **英飞凌开发者社区**可以每周7天、每天24小时与世界各地的PSoC™开发者交流，并设置了一个专门的[PSoC™ 4 MCU Community](#)。

1.2 ModusToolbox™ 软件

ModusToolbox™ 软件 是英飞凌的多平台工具和软件库的综合集合，为创建融合的 MCU 和无线系统提供了沉浸式的开发体验。

- 全面--它拥有你需要的资源
- 灵活--你可以在自己的工作流中使用这些资源
- 原子化--你可以只获得你想要的资源

英飞凌提供了大量的代码库在 [GitHub](#) 上，包括：

- 与英飞凌套件相一致的电路板支持包 (BSP)
- 低级别的资源，包括外设驱动库 (PDL)
- 实现行业领先功能的中间件，如 CAPSENSE™
- 一套广泛的经过全面测试的**代码示例应用程序**

ModusToolbox™ 软件与 IDE 无关，可轻松适应您的工作流程和首选开发环境。它包含项目创建器、外设和库配置器、库管理器，以及可选的 ModusToolbox™ Eclipse IDE，如图 1 所示。有关使用英飞凌工具的信息，请参阅 ModusToolbox™ 软件附带的文档，以及 [AN79953 - PSoC™ 4 入门](#)。

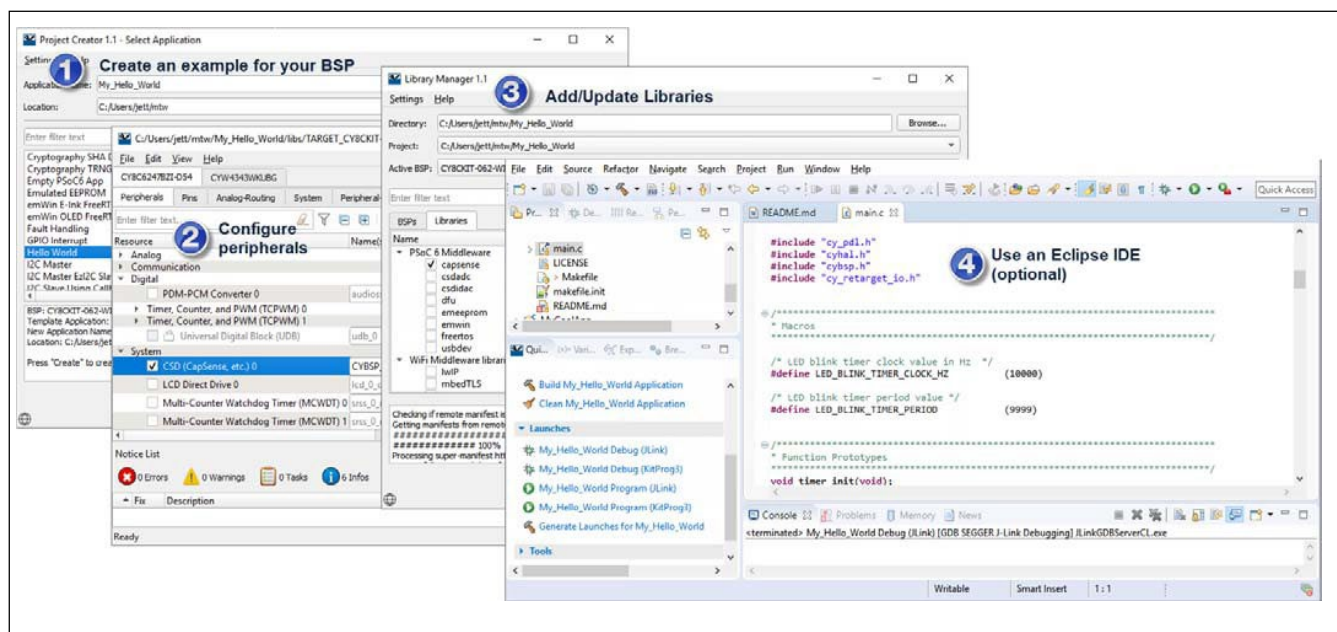


图 1 ModusToolbox™ 软件工具

1.3 PSoC™ Creator

PSoC™ Creator 是一款免费的基于 Windows 的 IDE。它允许您基于 PSoC™ 4 MCU 同时设计硬件和固件系统。如图 2 所示，使用 PSoC™ Creator 您可以：

1. 浏览库中超过200个组件
2. 拖放组件图标以在主设计工作区中完成硬件系统设计
3. 使用组件配置工具和组件数据手册配置组件
4. 在 PSoC™ Creator IDE 中同时设计应用固件和硬件或为第三方 IDE 构建项目
5. 以 PSoC™ 4 Pioneer 套件为您的方案制作原型。如果有设计修改的需求，PSoC™ Creator 和组件让您能够在线修改而不必更改硬件。

有关英飞凌工具的信息，请参阅随 PSoC™ Creator 软件提供的文档，以及 [AN79953: PSoC™ 4 入门](#)

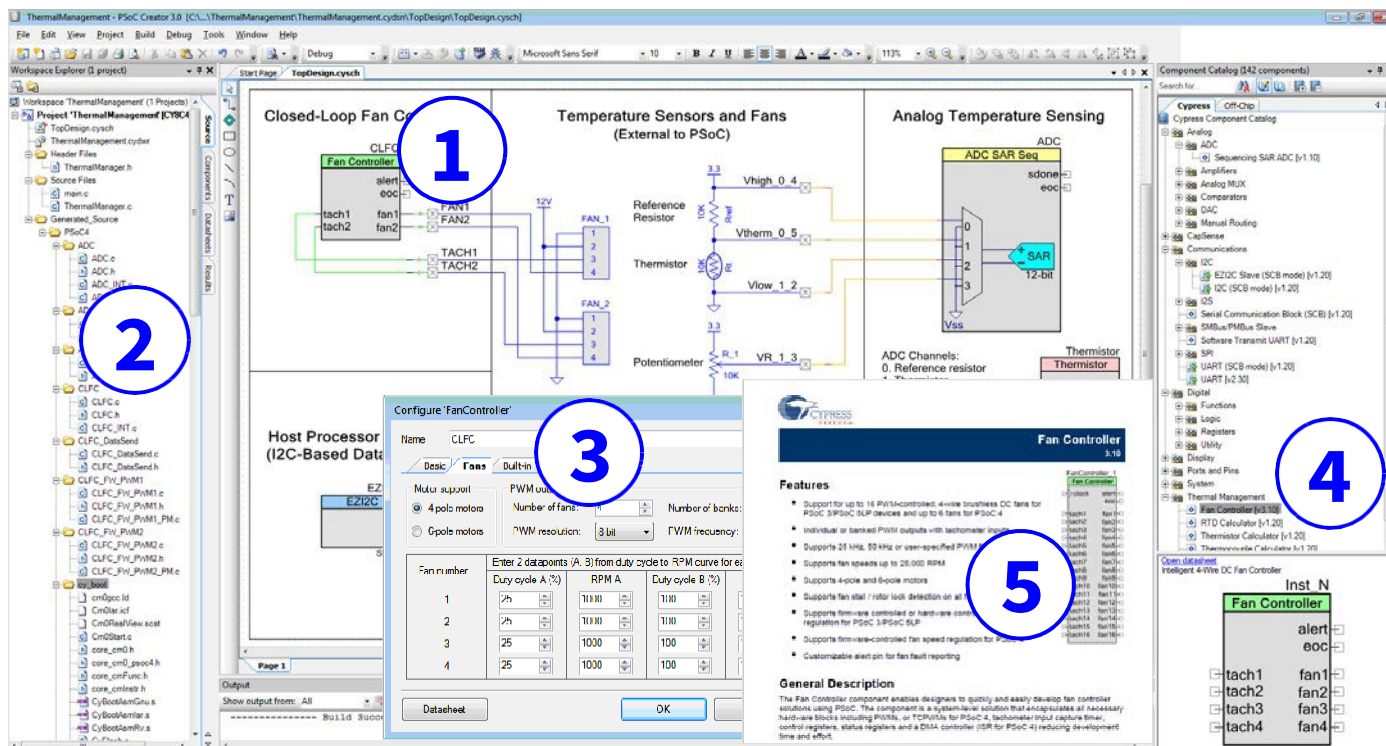
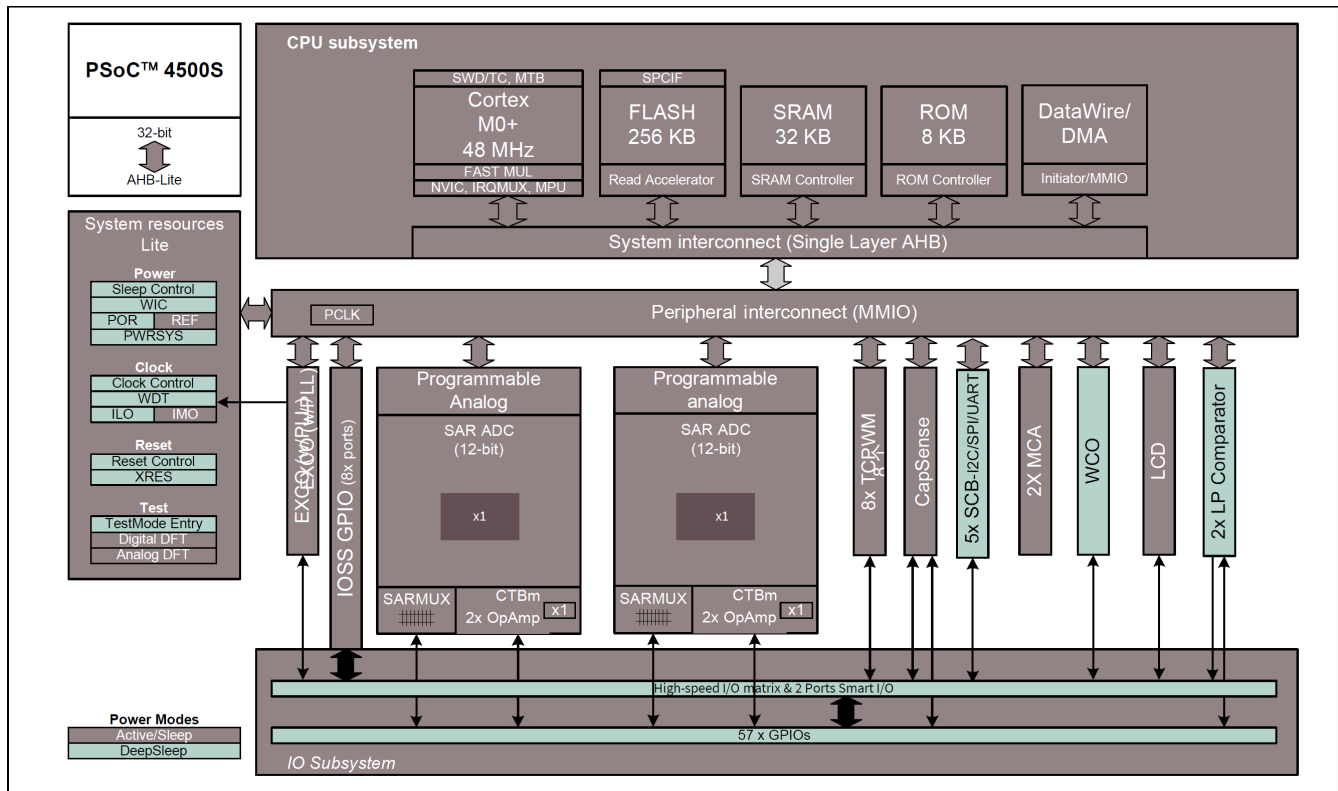


图 2 PSoC™ Creator 中的多传感器示例项目

框图

框图



这个器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm® 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试 (DoC) 功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC™ Creator 集成开发环境 (IDE) 软件能够为器件提供全面集成的编程和调试支持。SWD 接口与工业标准的第三方工具全面兼容。器件提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。它拥有下面优点：

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专用功能

调试电路默认处于使能状态，并且可以通过固件禁用它。如果未使能，唯一的使能方法是擦除整个器件，清除闪存保护，然后用使能调试的新固件对器件进行重新编程。只有在擦除固件后才能改写调试固件的使能，从而提高安全性。

此外，如某些应用担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定的应用，所有器件接口都可以被永久禁用。当器件的最高安全级别被使能时，将禁用所有编程、调试和测试接口。因此，已使能器件安全的器件将不能退回来做故障分析。这是客户要考虑使不使能器件安全的地方。

2 功能定义

2.1 CPU 和存储器子系统

2.1.1 CPU

PSoC™ 4500S 中的Cortex®-M0+ CPU是 32 位MCU 子系统的部分，该设计针对低功耗操作进行了优化，具有大量的时钟门控。此外，几乎所有指令的长度都为 16 位，并且 CPU 执行Thumb-2 指令子集。它包括一个带有八个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 可以将处理器从深度睡眠模式唤醒，这样，当芯片处于深度睡眠模式时，可以关闭主处理器的电源。

提供两个除法和平方根计算加速器 (MCA)，以加快电机和功率控制等应用的控制回路计算速度。提供两个区块，每个区块可独立用于面向现场的控制 (FOC) 和功率因数控制 (PFC) 控制回路，这两个回路分别是中断驱动进程和异步进程。使用两个区块可以消除 MCA 操作阻塞或在关键时刻被中断破坏的可能性。

CPU 子系统包括一个 8 通道 DMA 引擎，还包括一个调试接口，即串行线调试 (SWD) 接口，它是 JTAG 的双线形式。PSoC™ 4500S 的调试配置拥有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

2.1.2 Flash

PSoC™ 4500S 器件包含一个256 KB 闪存模块，该模块的闪存加速器与 CPU 紧密耦合，以缩短闪存模块的平均访问时间。此低功耗闪存模块可在工作频率为48 MHz的情况下实现两个等待状态 (WS) 的访问时间。通过闪存加速器，闪存的单周期访问时间平均为 SRAM 访问时间的 85%。

2.1.3 SRAM

32 KB的 SRAM 能够在工作频率为 48 MHz的情况下进行零等待状态的访问。

2.1.4 SROM

此外，还提供了包含引导和配置子程序的8 KB特权ROM。

2.2 系统资源

2.2.1 电源系统

电源系统在“[电源](#)”部分有详细描述。它确保电压水平满足各个模式的要求，并延迟模式进入（例如，上电复位 (POR)），直到电压水平达到正常工作所需的水平，或产生复位（掉电检测）。PSoC™ 4500S 采用单个外部电源供电，工作电压范围为 $1.8\text{ V} \pm 5\%$ （外部稳压）或 1.8 至 5.5 V（内部调节），有三种不同的电源模式，模式之间的转换由电源系统管理。PSoC™ 4500S提供了主动模式以及低功耗的睡眠模式和深度睡眠模式。

所有子系统在主动模式下都能运行。CPU 子系统 (CPU、闪存和SRAM) 在睡眠模式下被时钟门控关闭，但所有外设和中断在发生唤醒事件时会立即被激活。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒会需要 35 μs 。运算放大器能够在深度睡眠模式下保持操作。

2.2.2 时钟系统

PSoC™ 4500S时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC™ 4500S 的时钟系统由 IMO、ILO、32 kHz WCO、ECO 和 PLL 以及外部时钟组成。WCO 模块允许将 IMO 锁定到 32 kHz 振荡器。

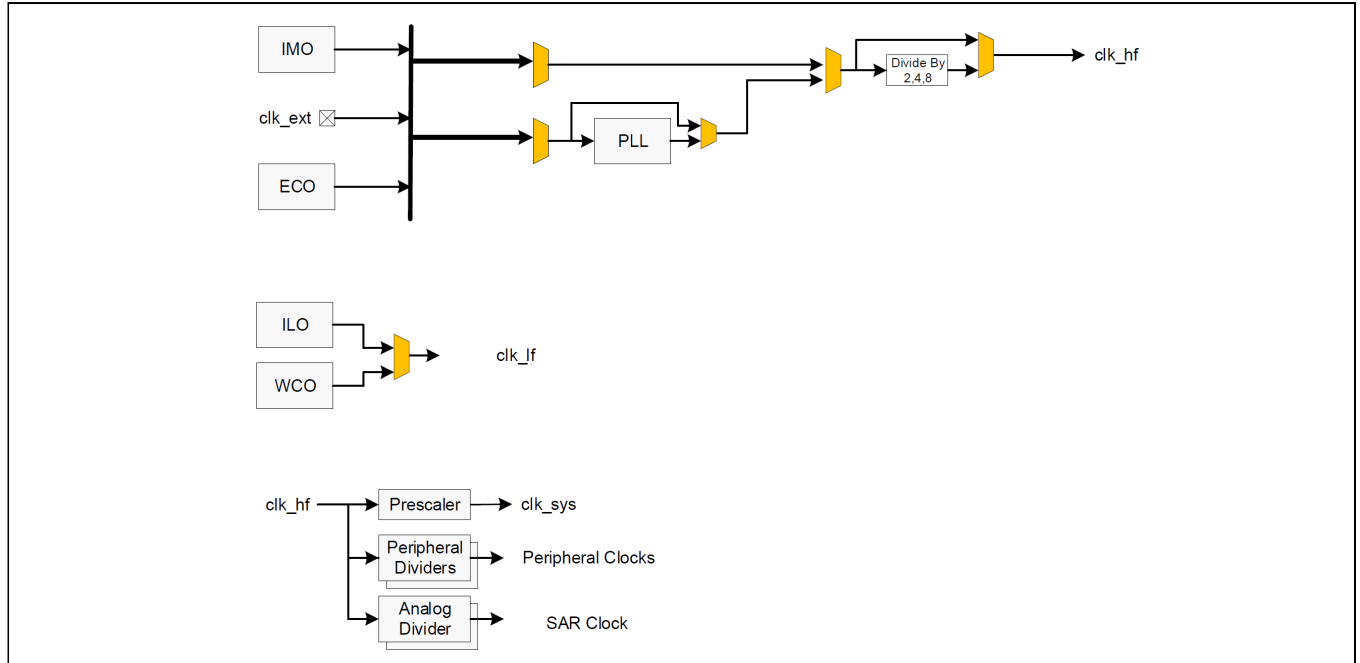


图 3 MCU 时钟架构

通过分频 HFCLK 信号可以生成用于模拟和数字外设的同步时钟。PSoC™ 4500S 有 18 个时钟分频器（其中六个具有小数分频能力，十二个仅具有整数分频能力）。共有十二个 16 位分频器，为生成精细的频率提供了很大的灵活性。

此外，还有五个 16 位小数分频器和一个 24 位小数分频器。

2.2.3 内部主振荡器 (IMO) 时钟源

在 PSoC™ 4500S 中，IMO 是主要内部时钟源。在出厂测试过程中，该时钟源会被校准以达到指定的精度。IMO 的默认频率为 24 MHz 并且能以步长为 4 MHz 从 24 MHz 递增到 48 MHz。在整个电压和温度范围内，采用英飞凌提供的校准设置的 IMO 公差为 $\pm 2\%$ 。

2.2.4 内部低功耗振荡器 (ILO) 时钟源

ILO 是一个极低功耗的 40 kHz 振荡器，主要用于生成在深度睡眠模式下看门狗定时器 (WDT) 和外设的时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。英飞凌提供了一个用于校准目的的软件组件。

2.2.5 时钟晶体振荡器 (WCO)

PSoC™ 4500S 时钟子系统还能够提供一个用于精确时序应用的低频率振荡器 (32 kHz 时钟晶振)。WCO 模块允许将 IMO 锁定到 32 kHz 振荡器。

2.2.6 外部晶体振荡器 (ECO)

PSoC™ 4500S 还实现了 4 至 33 MHz 晶体振荡器。

2.2.7 看门狗定时器和计数器

来自ILO的时钟模块为看门狗定时器提供时钟; 这样允许看门狗在深度睡眠模式下仍能工作。另外, 如果超时还未服务该看门狗, 则将生成看门狗复位。看门狗复位在固件可读的一个复位原因寄存器内记录。看门狗计数器可用于用 32 kHz WCO实现实时时钟。WCO 模块允许将 IMO 锁定到 32 kHz 振荡器。

2.2.8 RESET (复位)

可以从各种源 (包括软件复位) 复位 PSoC™ 4500S。复位事件是异步的, 并能够确保器件恢复到一个已知状态。复位原因被记录在器内, 该寄存器的内容在复位过程中保持不变, 允许用户通过软件确定复位原因。XRES 引脚用于外部复位, 低电平有效。XRES 引脚有一个内部上拉电阻 (永远使能)。

2.3 模拟模块

2.3.1 12 位 SAR ADC

12 位分辨率和 1 Msps 采样率的 SAR ADC 可在最大为 18 MHz 的时钟速率下运行, 在该频率下进行 12 位数据转换至少需要 18 个时钟周期。

采样和保持 (S/H) 时间是可编程, 能够降低对驱动 SAR 输入的放大器 (它决定了 SAR 的建立时间) 的增益带宽的要求。可以通过一个固定的引脚位置为内部参考电压放大器提供一个外部旁路电容。

SAR ADC 通过一个 8 线输入的序列发生器与一些固定引脚相连。序列发生器对选中的通道进行循环自动扫描 (顺序扫描), 而不需要任何软件开销 (即无论是在单通道的还是分布在多通道上, 总采样带宽一直等于 1 Msps)。序列发生器的切换通过一个状态机或固件实现切换。序列发生器可通过缓冲每个通道来减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号, 每个通道可以编程不同的采样时间。另外, SAR ADC 支持硬件的转换结果溢出检测机制。转换结果的上下范围可以指定并保存在寄存器里, 当 ADC 转换结果上/下溢出时, 可以触发中断。这样节省了序列发生器扫描操作和 CPU 软件检测转换结果溢出与否的时间。

因为 SAR 需要使用高速时钟 (高达 18 MHz), 所以不可在深度睡眠模式下运行。SAR 的工作电压范围为 1.71 V 至 5.5 V。PSoC™ 4500S 中有两个 SAR ADC 块。

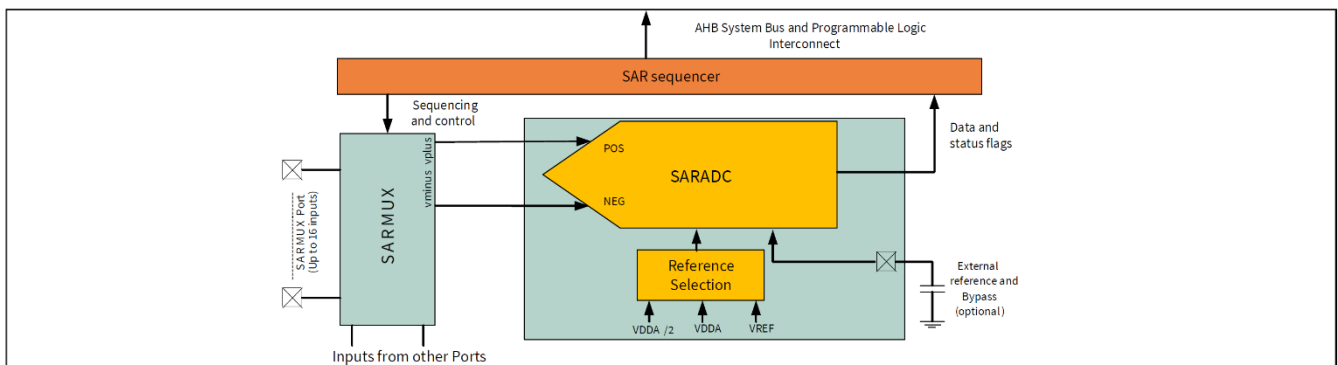


图 4 SAR ADC

2.3.2 运算放大器 (连续时间模块; CTB)

PSoC™ 4500S 有四个可作为比较器使用的运算放大器, 这样能够在片上执行最常见的模拟功能, 而无需外部组件; PGA、电压缓冲区、滤波器、互阻放大器和其他功能 (有时候需要使用外部无源器件) 节约能耗、成本和空间。片上运算放大器有足够的带宽来驱动 ADC 的采样和保持电路, 而不必使用外部缓冲。其中一个运算放大器仅作为内部缓冲器连接, 以驱动一个 SAR ADC。

2.3.3 低功耗电压比较器 (LPC)

PSoC™ 4500S 有一对能在低功耗模式下工作的低功耗比较器。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。

低功耗模式比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式下操作 (在此模式下，比较器电压变动事件可以激活系统唤醒电路)。可将LPC输出路由到各个引脚上。

2.3.4 电流DAC

PSoC™ 4500S 拥有两个 7 位 IDAC，可以驱动芯片上的任何引脚。这些 IDAC 具有可编程的电流范围。

2.3.5 模拟复用总线

PSoC™ 4500S 具有两个独立总线围绕芯片外设。它们 (称为AMUX总线) 与固件可编程的模拟开关相连，通过这些开关，芯片的内部资源 (IDAC、比较器) 可连接至I/O端口上的任何引脚。

2.4 可编程数字模块

2.4.1 Smart I/O 模块

Smart I/O由各开关和LUT构成，该模块允许路由到GPIO端口引脚上的信号实现布尔 (Boolean) 功能。Smart I/O可在连接到芯片的输入引脚和片上信号进行逻辑操作然后输出。PSoC™ 4500S 中有两个Smart I/O 块。

2.5 固定功能数字模块

2.5.1 定时器/计数器/PWM (TCPWM) 模块

TCPWM模块包含一个用户可编程周期长度的16位计数器。另外，还有一个捕获寄存器，用于记录发生事件 (可能是I/O事件) 时的计数值; 一个周期寄存器，用于停止或自动重新加载计数器 (如果计数值等于周期寄存器的值)，还有比较寄存器用于生成PWM占空比输出的比较值信号。该模块还提供了正向输出和反向输出以及它们间的可编程偏移; 这样，这些输出可以作为可编程死区的互补PWM输出使用。它还有一个停止 (Kill) 输入，用于强制输出预定的状态; 例如，在用于马达驱动系统中，当出现过流状态时，需要立即关闭驱动FET的PWM而不能等待软件干预。每个块还包含一个正交解码器。PSoC™ 4500S中共有八个TCPWM 模块。

2.5.2 串行通信模块 (SCB)

PSoC™ 4500S 共有五个串行通信模块，可配置为SPI、I²C 或 UART 功能。

- **I²C 模式：**硬件 I²C 模块实现了完整的多主从接口 (它能够支持多主机仲裁。该模块能够以高达 1 Mbps 的速度运行 (快速模式 Plus)，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。它还支持 EZI²C，可在 PSoC™ 4500S 的内存中创建邮箱地址范围，并有效地将 I²C 通信简化为对内存数组的读写操作。此外，该模块支持 8 级深度 FIFO 用于接收和发送，通过增加 CPU 读取数据的时间，大大减少了由于 CPU 未能按时读取数据而导致的时钟延长需求。

I²C 外设兼容恩智浦 I²C 总线规范及用户手册 (UM10204) 中定义的 I²C 标准模式和快速模式设备。I²C 总线 I/O 采用开漏模式下的 GPIO 实现。

在以下方面，PSoC™ 4500S 不完全符合I²C 规范:

- GPIO 单元没有过压容差功能，因此不能热插拔或独立于其它I²C 系统来上电。

功能定义

- **UART 模式：**这是一个运行速度高达 1 Mbps 的全功能 UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 协议，这些全部都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用 RX 和 TX 线的外设。支持通 UART 功能，如奇偶校验错误、中断检测和帧错误。一个八字节深度的 FIFO 容许更长的 CPU 服务延迟。
- **SPI 模式：**SPI 模式支持全 Motorola SPI、TI SSP (基本上添加了一个用于同步 SPI 编解码器的启动脉冲) 和 National Microwire (SPI 的半双工形式)。该 SPI 模块可以使用 FIFO。

2.6 GPIO

PSoC™ 4500S 拥有多达 57 个 GPIO。GPIO 模块实现以下功能：

- 八种驱动模式：
 - 模拟输入模式 (输入和输出缓冲区禁用)
 - 仅限输入
 - 弱上拉和强下拉
 - 强上拉和弱下拉模式
 - 开漏和强下拉模式
 - 开漏和强上拉模式
 - 强上拉和强下拉模式
 - 弱上拉和弱下拉
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 除了各种驱动模式外，还允许启用/禁用输入和输出缓冲区的单独控制
- 可选的斜率，用于控制 dV/dt 相关噪声，有助于降低 EMI

各个引脚被分为逻辑实体并称为端口，每个端口的宽度为 8 位 (端口 5 和 6 会少一些)。在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。

数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

每个 I/O 引脚都可以生成一个中断，如果启用的话，每个 I/O 端口都有一个中断请求 (IRQ) 和中断服务程序 (ISR) 与向量之间关联。

2.7 特殊功能外设

2.7.1 CAPSENSE™

PSoC™ 4500S 中的 Sigma-Delta (CSD) 模块为用户提供CAPSENSE™功能; 通过模拟开关连接一个模拟复用总线, 能连接到任何引脚。因此, 由软件控制下, 系统中的任何可用引脚或引脚组都可以提供CAPSENSE™功能。为了便于用户使用 CAPSENSE™模块, 还提供了PSoC™ Creator件。

通过将屏蔽电压驱动到另一个模拟复用总线可以提供防水功能。通过对屏蔽电极和感应电极进行同步的驱动, 可以提供防水功能, 从而避免屏蔽电容衰减感应输入。另外可以实现接近感应。

CAPSENSE™模块有两个IDAC。可以将它作为通用IDAC, 如果不用CAPSENSE™ (两个IDAC都可用) 或CAPSENSE™没有防水功能 (一个IDAC可用)。

CAPSENSE™模块还提供10位斜率ADC功能, 该功能可与CAPSENSE™功能配合使用。

CAPSENSE™模块是一个高级、低噪声的可编程模块, 它提供了可编程的参考电压和电流源范围, 有助于提升系统的灵敏和灵活性。它也可以使用外部参考电压。它支持全波CSD模式, 交换检测VDDA和接地电压, 以消除电源相关的噪声。

2.7.2 LCD segment 驱动

PSoC™ 4500S有一个LCD控制器, 可驱动多达4个common和50个segment。任何引脚都可以是common 或 segment 引脚。该控制器使用全数字方法驱动 LCD segment, 不需要生成内部 LCD 电压。这两种方法被称为数字关联和PWM。数字关联通过调制common和segment信号的频率和驱动电平来生成最高RMS电压跨过一个segment, 用于点亮或保持RMS信号为零。这种方法对 STN 显示屏很有用, 但可能会降低 TN (较便宜) 显示屏的对比度。PWM 方法是使用 PWM 信号驱动显示面板, 有效地利用面板的电容来提供经过调制的脉冲宽度, 从而生成所需的LCD 电压。这种方法要求更高的功耗, 但驱动 TN 显示屏时可以带来更好的效果。

3 引脚分布

下表提供了 PSoC™ 4500S 的引脚列表，包括 48 引脚 TQFP 和 64 引脚 TQFP 正常间距和精细间距封装，以及 68 QFN 封装

表 1 引脚分布

64-TQFP		48-TQFP		68-QFN	
Pin	Name	Pin	Name	Pin	Name
39	P0.0	28	P0.0	42	P0.0
40	P0.1	29	P0.1	43	P0.1
41	P0.2	30	P0.2	44	P0.2
42	P0.3	31	P0.3	45	P0.3
43	P0.4	32	P0.4	46	P0.4
44	P0.5	33	P0.5	47	P0.5
45	P0.6	34	P0.6	48	P0.6
46	P0.7	35	P0.7	49	P0.7
47	XRES	36	XRES	50	XRES
48	VCCD	37	VCCD	51	VCCD
49	VSSD	38	VSSD	52	VSSD
50	VDDD	39	VDDD	53	VDDD
51	P5.0	–	–	54	P5.0
52	P5.1	–	–	55	P5.1
53	P5.2	–	–	56	P5.2
54	P5.3	–	–	57	P5.3
–	–	–	–	58	P5.4
55	P5.5	–	–	59	P5.5
56	VDDA	40	VDDA	60	VDDA
57	VSSA	41	VSSA	61	VSSA
58	P1.0	42	P1.0	62	P1.0
59	P1.1	43	P1.1	63	P1.1
60	P1.2	44	P1.2	64	P1.2
61	P1.3	45	P1.3	65	P1.3
62	P1.4	46	P1.4	66	P1.4
63	P1.5	47	P1.5	67	P1.5
64	P1.6	48	P1.6	68	P1.6
1	P1.7	1	P1.7	1	P1.7
2	P2.0	2	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1
4	P2.2	4	P2.2	4	P2.2
5	P2.3	5	P2.3	5	P2.3
6	P2.4	6	P2.4	6	P2.4
7	P2.5	7	P2.5	7	P2.5

注释：

1. DNC 表示“请勿连接”。该引脚不应连接。



引脚分布

表 1 引脚分布 (续)

64-TQFP		48-TQFP		68-QFN	
Pin	Name	Pin	Name	Pin	Name
8	P2.6	8	P2.6	8	P2.6
9	P2.7	9	P2.7	9	P2.7
10	VSSD	10	VSSD	10	VSSD
11	VDDA	–	–	–	–
–	–	–	–	11	*DNC ^[1]
12	VSSA	11	VSSA	–	–
–	–	–	–	12	P6.0
13	P6.1	–	–	13	P6.1
14	P6.2	–	–	14	P6.2
–	–	–	–	15	P6.3
15	P6.4	–	–	16	P6.4
16	P6.5	12	P6.5	17	P6.5
17	VSSD	–	–	18	VSSD
18	P3.0	13	P3.0	19	P3.0
19	P3.1	14	P3.1	20	P3.1
20	P3.2	15	P3.2	21	P3.2
21	P3.3	16	P3.3	22	P3.3
22	P3.4	17	P3.4	23	P3.4
23	P3.5	18	P3.5	24	P3.5
24	P3.6	19	P3.6	25	P3.6
25	P3.7	20	P3.7	26	P3.7
26	VDDD	21	VDDD	27	VDDD
27	P4.0	22	P4.0	28	P4.0
28	P4.1	23	P4.1	29	P4.1
29	P4.2	24	P4.2	30	P4.2
30	P4.3	25	P4.3	31	P4.3
31	P4.4	–	–	32	P4.4
32	P4.5	–	–	33	P4.5
33	P4.6	–	–	34	P4.6
34	P4.7	–	–	35	P4.7
35	P5.6	–	–	36	P5.6
36	P5.7	–	–	37	P5.7
–	–	–	–	38	*DNC ^[1]
37	P7.0	26	P7.0	39	P7.0
38	P7.1	27	P7.1	40	P7.1
–	–	–	–	41	P7.2

注释:

1. DNC 表示“请勿连接”。该引脚不应连接。

引脚分布

各种电源引脚的功能如下说明:

VDDD: 数字部分的电源

VDDA: 模拟部分的电源

VSSD, VSSA: 分别为数字和模拟部分的接地。

VCCD: 稳压数字电源 ($1.8V \pm 5\%$)

GPIO (按封装) :

	68-QFN	64-TQFP	48-TQFP
Number	57	53	39



3.1 备用引脚功能

每个端口引脚均可用于实现某个功能，例如：作为模拟I/O、数字外设功能、LCD引脚或CAPSENSE™引脚。引脚分配如下表所示。

Name	Analog	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P0.0	lpcomp.in_p[0]	–	–	tcpwm.tr_in[0]	scb[2].uart_cts:0	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]	–	–	tcpwm.tr_in[1]	scb[2].uart_rts:0	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]	–	–	–	–	–	scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]	–	–	–	–	–	scb[2].spi_select0:1
P0.4	wco_in	–	–	scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco_out	–	–	scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6	eco_in	–	ext_clk	scb[1].uart_cts:0	scb[2].uart_tx:1	–	scb[1].spi_clk:1
P0.7	eco_out	–	tcpwm.line[0]:3	scb[1].uart_rts:0	–	–	scb[1].spi_select0:1
P5.0	–	–	tcpwm.line[4]:2	–	scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:0
P5.1	–	–	tcpwm.line_-compl[4]:2	–	scb[2].uart_tx:2	scb[2].i2c_sda:1	scb[2].spi_miso:0
P5.2	–	–	tcpwm.line[5]:2	–	scb[2].uart_cts:1	lpcomp.comp[0]:2	scb[2].spi_clk:0
P5.3	–	–	tcpwm.line_-compl[5]:2	–	scb[2].uart_rts:1	lpcomp.comp[1]:0	scb[2].spi_select0:0
P5.5	–	–	tcpwm.line_-compl[6]:2	–	–	–	scb[2].spi_select2:0
P1.0	pass[0].ctb0_oa0+	–	tcpwm.line[2]:1	scb[0].uart_rx:1	–	scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	pass[0].ctb0_oa0-	–	tcpwm.line_-compl[2]:1	scb[0].uart_tx:1	–	scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	pass[0].ctb0_oa0_out	–	tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:2	scb[0].spi_clk:1
P1.3	pass[0].ctb0_oa1_out	–	tcpwm.line_-compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:2	scb[0].spi_select0:1
P1.4	pass[0].ctb0_oa1-	–	tcpwm.line[6]:1	–	–	scb[3].i2c_scl:0	scb[0].spi_select1:1
P1.5	pass[0].ctb0_oa1+	–	tcpwm.line_-compl[6]:1	–	–	scb[3].i2c_sda:0	scb[0].spi_select2:1
P1.6	pass[0].ctb0_oa0+	–	tcpwm.line[7]:1	–	–	–	scb[0].spi_select3:1

Name	Analog	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P1.7	pass[0].ctb0_oa1+ pass[0].sar_ext_vref	–	tcpwm.line_ compl[7]:1	–	–	–	scb[2].spi_clk:1
P2.0	pass[0].sarmux_pads[0]	–	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	pass[0].sarmux_pads[1]	prgio[0].io[1]	tcpwm.line_ compl[4]:0	–	tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	pass[0].sarmux_pads[2]	prgio[0].io[2]	tcpwm.line[5]:1	–	–	–	scb[1].spi_clk:2
P2.3	pass[0].sarmux_pads[3]	prgio[0].io[3]	tcpwm.line_ compl[5]:1	–	–	–	scb[1].spi_select0:2
P2.4	pass[0].sarmux_pads[4]	prgio[0].io[4]	tcpwm.line[0]:1	scb[3].uart_rx:1	–	–	scb[1].spi_select1:1
P2.5	pass[0].sarmux_pads[5]	prgio[0].io[5]	tcpwm.line_ compl[0]:1	scb[3].uart_tx:1	–	–	scb[1].spi_select2:1
P2.6	pass[0].sarmux_pads[6]	prgio[0].io[6]	tcpwm.line[1]:1	scb[3].uart_cts:1	–	–	scb[1].spi_select3:1
P2.7	pass[0].sarmux_pads[7]	prgio[0].io[7]	tcpwm.line_ compl[1]:1	scb[3].uart_rts:1	–	lpcomp.comp[0]:0	scb[2].spi_mosi:1
P6.1	pass[1].ctb0_oa0+	–	tcpwm.line_ compl[4]:1	scb[3].uart_tx:0	–	scb[3].i2c_sda:1	scb[3].spi_miso:0
P6.2	pass[1].ctb0_oa0-	–	tcpwm.line[5]:0	scb[3].uart_cts:0	–	–	scb[3].spi_clk:0
P6.4	pass[1].ctb0_oa0_out	–	tcpwm.line[6]:3	–	–	scb[4].i2c_scl	scb[3].spi_select1:1
P6.5	pass[1].ctb0_oa0+ pass[1].sar_ext_vref	–	tcpwm.line_ compl[6]:3	–	–	scb[4].i2c_sda	scb[3].spi_select2:1
P3.0	pass[1].sarmux_pads[0]	prgio[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1	–	scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1	pass[1].sarmux_pads[1]	prgio[1].io[1]	tcpwm.line_ compl[0]:0	scb[1].uart_tx:1	–	scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2	pass[1].sarmux_pads[2]	prgio[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1	–	cpuss.swd_data	scb[1].spi_clk:0
P3.3	pass[1].sarmux_pads[3]	prgio[1].io[3]	tcpwm.line_ compl[1]:0	scb[1].uart_rts:1	–	cpuss.swd_clk	scb[1].spi_select0:0
P3.4	pass[1].sarmux_pads[4]	prgio[1].io[4]	tcpwm.line[2]:0	–	tcpwm.tr_in[6]	–	scb[1].spi_select1:0
P3.5	pass[1].sarmux_pads[5]	prgio[1].io[5]	tcpwm.line_ compl[2]:0	–	–	–	scb[1].spi_select2:0
P3.6	pass[1].sarmux_pads[6]	prgio[1].io[6]	tcpwm.line[3]:0	–	–	scb[4].spi_select3	scb[1].spi_select3:0



Name	Analog	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P3.7	pass[1].sarmux_pads[7]	prgio[1].io[7]	tcpwm.line_-compl[3]:0		-	lpcomp.comp[1]:1	scb[2].spi_miso:1
P4.0	csd.vref_ext	-	-	scb[0].uart_rx:0	-	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshield	-	-	scb[0].uart_tx:0	-	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmod	-	-	scb[0].uart_cts:0	-	lpcomp.comp[0]:1	scb[0].spi_clk:0
P4.3	csd.csh_tank	-	-	scb[0].uart_rts:0	-	lpcomp.comp[1]:2	scb[0].spi_select0:0
P4.4	-	-	-	scb[4].uart_rx	-	scb[4].spi_mosi	scb[0].spi_select1:2
P4.5	-	-	-	scb[4].uart_tx	-	scb[4].spi_miso	scb[0].spi_select2:2
P4.6	-	-	tcpwm.line[6]:0	scb[4].uart_cts	-	scb[4].spi_clk	scb[0].spi_select3:2
P4.7	-	-	tcpwm.line_-compl[6]:0	scb[4].uart_rts	-	scb[4].spi_select0	scb[3].spi_select2:0
P5.6	-	-	tcpwm.line[7]:0	-	-	scb[4].spi_select1	scb[2].spi_select3:0
P5.7	-	-	tcpwm.line_-compl[7]:0	-	-	scb[4].spi_select2	scb[3].spi_select1:0
P7.0	-	-	tcpwm.line[0]:2	scb[3].uart_rx:2	-	scb[3].i2c_scl:2	scb[3].spi_mosi:1
P7.1	-	-	tcpwm.line_-compl[0]:2	scb[3].uart_tx:2	-	scb[3].i2c_sda:2	scb[3].spi_miso:1

4 电源

下图所示为 PSoC™ 4500S 的电源引脚配置图。该系统有一个处于活动模式的稳压器，用于数字电路。没有模拟稳压器；模拟电路直接由 V_{DD} 输入供电。

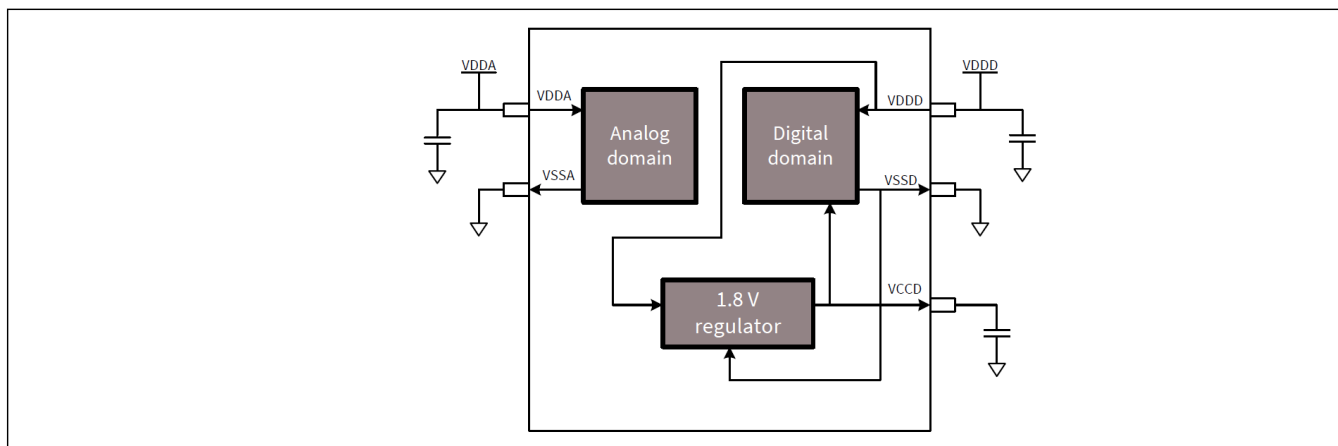


图 5 电源连接

共有两种不同操作模式。在模式 1 中，电压范围从 1.8 V 到 5.5 V (未经外部稳压; 使用内部稳压器)。在模式 2 中，电压范围为 $1.8\text{ V} \pm 5\%$ (使用外部稳压; 电压范围为 1.71 到 1.89 V，不使用内部稳压器)。

4.1 模式 1：1.8 V 至 5.5 V 外部供电

在此模式下，PSoC™ 4500S 由外部电源供电，电压范围为 1.8 至 5.5 V。此范围也适用于电池供电。例如，芯片可由电池系统供电，起始电压为 3.5 V，工作电压低至 1.8 V。在此模式下，PSoC™ 4500S 的内部稳压器为内部逻辑供电，其输出连接到 V_{CCD} 引脚。 V_{CCD} 引脚必须通过外部电容 ($0.1\text{ }\mu\text{F}$; X5R 陶瓷或更高) 旁路接地，并且不得连接到其他部分。

4.2 模式 2：1.8 V $\pm 5\%$ 外部电源

在该模式下，PSoC™ 4500S 由一个电压范围为 1.71 V 到 1.89 V 的外部电源供电; 请注意，此范围必须包括了电源纹波。在该模式下，VDD 和 V_{CCD} 引脚短接相连并被旁路。内部稳压器可通过固件被禁用。

V_{DDD} 和地必需有旁路电容。对于在此频率范围内工作的系统，通常选用一个 $1\text{ }\mu\text{F}$ 的电容，与一个较小的电容 (如 $0.1\text{ }\mu\text{F}$) 并行放置。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

电气规格参数

5 电气规格参数

5.1 最大绝对额定值

表 2 绝对最大额定值^[2]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID1	V _{DDD_ABS}	Digital supply relative to V _{SS}	-0.5	-	6	V	-
SID2	V _{CCD_ABS}	Direct digital core voltage input relative to V _{SS}	-0.5	-	1.95	V	-
SID3	V _{GPIO_ABS}	GPIO voltage	-0.5	-	V _{DD} +0.5	V	-
SID4	I _{GPIO_ABS}	Maximum current per GPIO	-25	-	25	mA	-
SID5	I _{GPIO_injection}	GPIO injection current, Max for V _{IH} > V _{DDD} , and Min for V _{IL} < V _{SS}	-0.5	-	0.5	mA	Current injected per pin
BID44	ESD_HBM	Electrostatic discharge human body model	2200	-	-	V	-
BID45	ESD_CDM	Electrostatic discharge charged device model	500	-	-	V	-
BID46	LU	Pin current for latch-up	-140	-	140	mA	-

注释:

2. 表 2 列出了绝对最大条件之上的使用，可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。

5.2 器件级规范

除非另有说明，所有规格均适用于 -40°C ≤ T_A ≤ 105°C 和 T_J ≤ 125°C。规格有效期为 1.71 V 至 5.5 V，除非另有说明。

表 3 直流参数

典型值的测量条件为: V_{DD} = 3.3 V，温度 = 25 °C。

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID53	V _{DD}	Power supply input voltage	1.8	-	5.5	V	Internally regulated supply
SID255	V _{DD}	Power supply input voltage (V _{CCD} = V _{DDD} = V _{DDA})	1.71	-	1.89	V	Internally unregulated supply
SID54	V _{CCD}	Output voltage (for core logic)	-	1.8	-	V	-
SID55	C _{EFC}	External regulator voltage bypass	-	0.1	-	μF	X5R ceramic or better
SID56	C _{EXC}	Power supply bypass capacitor	-	1	-	μF	X5R ceramic or better

在 Active 模式下，V_{DD} = 1.8 V ~ 5.5 V。典型值是在 25 °C 和 V_{DD} = 3.3 V 的条件下测量得到。

SID10	I _{DD5}	Execute from flash; CPU at 6 MHz	-	1.8	2.4	mA	-
SID16	I _{DD8}	Execute from flash; CPU at 24 MHz	-	3.0	4.6	mA	-

电气规格参数

表 3 直流规格 (续)

典型值的测量条件为: $V_{DD} = 3.3\text{ V}$, 温度 = $25\text{ }^{\circ}\text{C}$ 。

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID19	I_{DD11}	Execute from flash; CPU at 48 MHz	–	5.4	7.1	mA	–

在睡眠模式下, $V_{DDD} = 1.8\text{ V} \sim 5.5\text{ V}$ (使能稳压器)

SID22	I_{DD17}	I ² C wakeup WDT, and comparators on	–	1.1	2.1	mA	6 MHz
SID25	I_{DD20}	I ² C wakeup, WDT, and comparators on	–	1.5	2.8	mA	12 MHz

在睡眠模式下, $V_{DDD} = 1.71\text{ V} \sim 1.89\text{ V}$ (旁路稳压器)

SID28	I_{DD23}	I ² C wakeup, WDT, and comparators on	–	1.1	2.1	mA	6 MHz
SID28A	I_{DD23A}	I ² C wakeup, WDT, and comparators on	–	1.5	2.8	mA	12 MHz

在深度睡眠模式下, $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (稳压器处于开启状态)

SID30	I_{DD25}	I ² C wakeup and WDT on; $T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$	–	2.5	40	μA	$T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$
SID31	I_{DD26}	I ² C wakeup and WDT on	–	2.5	125	μA	Max is at 3.6 V and $85\text{ }^{\circ}\text{C}$

在深度睡眠模式下, $V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$ (稳压器处于开启状态)

SID33	I_{DD28}	I ² C wakeup and WDT on; $T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$	–	2.5	40	μA	$T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$
SID34	I_{DD29}	I ² C wakeup and WDT on	–	2.5	125	μA	Max is at 5.5 V and $85\text{ }^{\circ}\text{C}$

在深度睡眠模式下, $V_{DD} = V_{CCD} = 1.71\text{ V} \sim 1.89\text{ V}$ (旁路稳压器)

SID36	I_{DD31}	I ² C wakeup and WDT on; $T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$	–	2.5	60	μA	$T = -40\text{ }^{\circ}\text{C}$ to $60\text{ }^{\circ}\text{C}$
SID37	I_{DD32}	I ² C wakeup and WDT on	–	2.5	180	μA	Max is at 1.89 V and $85\text{ }^{\circ}\text{C}$

XRES电流

SID307	I_{DD_XR}	Supply current while XRES asserted	–	2	5	mA	–
--------	--------------	------------------------------------	---	---	---	----	---



电气规格参数

表 4 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID48	F _{CPU}	CPU frequency	DC	–	48	MHz	1.71 ≤ V _{DD} ≤ 5.5
SID49 ^[3]	T _{SLEEP}	Wakeup from Sleep mode	–	0	–	μs	–
SID50 ^[3]	T _{DEEPSLEEP}	Wakeup from Deep Sleep mode	–	35	–	μs	–

注释：

3. 由特性保证

电气规格参数

5.2.1 GPIO

表 5 GPIO 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ Conditions
SID57	$V_{IH}^{[4]}$	Input voltage HIGH threshold	$0.7 \times V_{DD}$	–	–	V	CMOS Input
SID58	V_{IL}	Input voltage LOW threshold	–	–	$0.3 \times V_{DD}$	V	CMOS Input
SID241	$V_{IH}^{[4]}$	LVTTL input, $V_{DD} < 2.7\text{ V}$	$0.7 \times V_{DD}$	–	–	V	–
SID242	V_{IL}	LVTTL input, $V_{DD} < 2.7\text{ V}$	–	–	$0.3 \times V_{DD}$	V	–
SID243	$V_{IH}^{[4]}$	LVTTL input, $V_{DD} \geq 2.7\text{ V}$	2.0	–	–	V	–
SID244	V_{IL}	LVTTL input, $V_{DD} \geq 2.7\text{ V}$	–	–	0.8	V	–
SID59	V_{OH}	Output voltage HIGH level	$V_{DD} - 0.6$	–	–	V	$I_{OH} = 4\text{ mA at } 3\text{ V}$ V_{DD}
SID60	V_{OH}	Output voltage HIGH level	$V_{DD} - 0.5$	–	–	V	$I_{OH} = 1\text{ mA at } 1.8\text{ V}$ V_{DD}
SID61	V_{OL}	Output voltage LOW level	–	–	0.6	V	$I_{OL} = 4\text{ mA at } 1.8\text{ V}$ V_{DD}
SID62	V_{OL}	Output voltage LOW level	–	–	0.6	V	$I_{OL} = 10\text{ mA at } 3\text{ V}$ V_{DD}
SID62A	V_{OL}	Output voltage LOW level	–	–	0.4	V	$I_{OL} = 3\text{ mA at } 3\text{ V}$ V_{DD}
SID63	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	k Ω	–
SID64	$R_{PULLDOWN}$	Pull-down resistor	3.5	5.6	8.5	k Ω	–
SID65	I_{IL}	Input leakage current (absolute value)	–	–	2	nA	25°C, $V_{DD} = 3.0\text{ V}$
SID66	C_{IN}	Input capacitance	–	–	7	pF	–
SID67 ^[5]	V_{HYSTTL}	Input hysteresis LVTTL	25	40	–	mV	$V_{DD} \geq 2.7\text{ V}$
SID68 ^[5]	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.05 \times V_{DD}$	–	–	mV	$V_{DD} < 4.5\text{ V}$
SID68A ^[5]	$V_{HYSCMOSV5}$	Input hysteresis CMOS	200	–	–	mV	$V_{DD} > 4.5\text{ V}$
SID69 ^[5]	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μA	–
SID69A ^[5]	I_{TOT_GPIO}	Maximum total source or sink chip current	–	–	200	mA	–

注释:

4. V_{IH} 不能超过 $V_{DD} + 0.2\text{ V}$ 。
 5. 由特性保证

电气规格参数

表 6 **GPIO 交流规格**
(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID70	T_{RISEF}	Rise time in Fast Strong mode	2	–	12	ns	$3.3V_{V_{DD}}$, Load = 25 pF
SID71	T_{FALLF}	Fall time in Fast Strong mode	2	–	12	ns	$3.3V_{V_{DD}}$, Load = 25 pF
SID72	T_{RISES}	Rise time in Slow Strong mode	10	–	60	ns	$3.3V_{V_{DD}}$, Load = 25 pF
SID73	T_{FALLS}	Fall time in Slow Strong mode	10	–	60	ns	$3.3V_{V_{DD}}$, Load = 25 pF
SID74	F_{GPIO1}	GPIO F_{OUT} ; $3.3V \leq V_{DD} \leq 5.5V$ Fast Strong mode	–	–	33	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID75	F_{GPIO2}	GPIO F_{OUT} ; $1.71V \leq V_{DD} \leq 3.3V$ Fast Strong mode	–	–	16.7	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID76	F_{GPIO3}	GPIO F_{OUT} ; $3.3V \leq V_{DD} \leq 5.5V$ Slow Strong mode	–	–	7	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID245	F_{GPIO4}	GPIO F_{OUT} ; $1.71V \leq V_{DD} \leq 3.3V$ Slow Strong mode.	–	–	3.5	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246	F_{GPIOIN}	GPIO input operating frequency; $1.71V \leq V_{DD} \leq 5.5V$	–	–	48	MHz	90/10% V_{IO}

5.2.2 XRES**表 7 XRES 直流规格**

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID77	V_{IH}	Input voltage HIGH threshold	$0.7 \times V_{DD}$	–	–	V	CMOS Input
SID78	V_{IL}	Input voltage LOW threshold	–	–	$0.3 \times V_{DD}$	V	
SID79	R_{PULLUP}	Pull-up resistor	–	60	–	k Ω	–
SID80	C_{IN}	Input capacitance	–	–	7	pF	–
SID81 ^[6]	$V_{HYSXRES}$	Input voltage hysteresis	–	100	–	mV	Typical hysteresis is 200 mV for $V_{DD} > 4.5V$
SID82	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μA	–

表 8 XRES 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID83 ^[6]	$T_{RESETWIDTH}$	Reset pulse width	1	–	–	μs	–
BID194 ^[6]	$T_{RESETWAKE}$	Wake-up time from reset release	–	–	2.7	ms	–

注释:

6. 由特性保证

电气规格参数

5.3 模拟外设

5.3.1 CTBm运算放大器

表 9 CTBm 运算放大器规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
–	I_{DD}	Opamp block current, External load	–				
SID269	I_{DD_HI}	power = hi	–	1100	1900	μA	–
SID270	I_{DD_MED}	power = med	–	550	1020	μA	–
SID271	I_{DD_LOW}	power = lo	–	150	370	μA	–
–	G_{BW}	Load = 50 pF, 0.1 mA $V_{DDA} = 2.7 V$	–				
SID272	G_{BW_HI}	power = hi	6	–	–	MHz	Input and output are 0.2 V to $V_{DDA}-0.2 V$
SID273	G_{BW_MED}	power = med	3	–	–	MHz	Input and output are 0.2 V to $V_{DDA}-0.2 V$
SID274	G_{BW_LO}	power = lo	–	1	–	MHz	Input and output are 0.2 V to $V_{DDA}-0.2 V$
–	I_{OUT_MAX}	$V_{DDA} = 2.7 V$, 500 mV from rail	–				
SID275	$I_{OUT_MAX_HI}$	power = hi	10	–	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
SID276	$I_{OUT_MAX_MID}$	power = mid	10	–	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
SID277	$I_{OUT_MAX_LO}$	power = lo	–	5	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
–	I_{OUT}	$V_{DDA} = 1.71 V$, 500 mV from rail	–				
SID278	$I_{OUT_MAX_HI}$	power = hi	4	–	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
SID279	$I_{OUT_MAX_MID}$	power = mid	4	–	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
SID280	$I_{OUT_MAX_LO}$	power = lo	–	2	–	mA	Output is 0.5 V to $V_{DDA}-0.5 V$
–	I_{DD_Int}	Opamp block current Internal Load	–				
SID269_I	$I_{DD_HI_Int}$	power = hi	–	1500	1700	μA	–
SID270_I	$I_{DD_MED_Int}$	power = med	–	700	980	μA	–
SID271_I	$I_{DD_LOW_Int}$	power = lo	–	–	405	μA	–
	G_{BW}	$V_{DDA} = 2.7 V$	–	–	–	–	–
SID272_I	$G_{BW_HI_Int}$	power = hi	8	–	–	MHz	Output is 0.25 V to $V_{DDA}-0.25 V$

电气规格参数

表 9 CTBm 运算放大器规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
–	–	General opamp specs for both internal and external modes	–				
SID281	V_{IN}	Charge-pump on, $V_{DDA} = 2.7\text{ V}$	–0.05	–	$V_{DDA}-0.2$	V	–
SID282	V_{CM}	Charge-pump on, $V_{DDA} = 2.7\text{ V}$	–0.05	–	$V_{DDA}-0.2$	V	–
–	V_{OUT}	$V_{DDA} = 2.7\text{ V}$	–				
SID283	V_{OUT_1}	power = hi, Iload = 10 mA	0.5	–	$V_{DDA}-0.5$	V	–
SID284	V_{OUT_2}	power = hi, Iload = 1 mA	0.2	–	$V_{DDA}-0.2$	V	–
SID285	V_{OUT_3}	power = med, Iload = 1 mA	0.2	–	$V_{DDA}-0.2$	V	–
SID286	V_{OUT_4}	power = lo, Iload = 0.1 mA	0.2	–	$V_{DDA}-0.2$	V	–
SID288	V_{OS_TR}	Offset voltage, trimmed	–1.0	± 0.5	1.0	mV	High mode, input 0V to $V_{DDA}-0.2\text{ V}$
SID288A	V_{OS_TR}	Offset voltage, trimmed	–	± 1	–	mV	Medium mode, input 0 V to $V_{DDA}-0.2\text{ V}$
SID288B	V_{OS_TR}	Offset voltage, trimmed	–	± 2	–	mV	Low mode, input 0V to $V_{DDA}-0.2\text{ V}$
SID290	$V_{OS_DR_TR}$	Offset voltage drift, trimmed	–10	± 3	10	$\mu\text{V}/^\circ\text{C}$	High mode
SID290A	$V_{OS_DR_TR}$	Offset voltage drift, trimmed	–	± 10	–	$\mu\text{V}/^\circ\text{C}$	Medium mode
SID290B	$V_{OS_DR_TR}$	Offset voltage drift, trimmed	–	± 10	–	$\mu\text{V}/^\circ\text{C}$	Low mode
SID291	CMRR	DC	70	80	–	dB	Input is 0 V to $V_{DDA}-0.2\text{ V}$, Output is 0.2 V to $V_{DDA}-0.2\text{ V}$
SID292	PSRR	At 1 kHz, 10-mV ripple	70	85	–	dB	$V_{DDD} = 3.6\text{ V}$, high-power mode, input is 0.2 V to $V_{DDA}-0.2\text{ V}$

噪声

SID294	V_{N2}	Input-referred, 1 kHz, power = Hi	–	72	–	nV/rtHz	Input and output are at 0.2 V to $V_{DDA}-0.2\text{ V}$
--------	----------	-----------------------------------	---	----	---	---------	---

电气规格参数

表 9 CTBm 运算放大器规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID295	VN3	Input-referred, 10 kHz, power = hi	–	28	–	nV/rtHz	Input and output are at 0.2 V to $V_{DDA}-0.2$ V
SID296	VN4	Input-referred, 100 kHz, power = hi	–	15	–	nV/rtHz	Input and output are at 0.2 V to $V_{DDA}-0.2$ V
SID297	C_{LOAD}	Stable up to max. load. Performance specs at 50 pF.	–	–	125	pF	–
SID298	SLEW_RATE	Clod = 50 pF, power = hi, $V_{DDA} = 2.7$ V	4	–	–	V/ μ s	–
SID299	T_OP_WAKE	From disable to enable, no external RC dominating	–	–	25	μ s	–
SID299A	OL_GAIN	Open Loop Gain	–	90	–	dB	–
–	COMP_MODE	Comparator mode; 50 mV drive, $T_{rise}=T_{fall}$ (approx.)	–	–	–	–	–
SID300	TPD1	Response time; power = hi	–	150	–	ns	Input is 0.2 V to $V_{DDA}-0.2$ V
SID301	TPD2	Response time; power = med	–	500	–	ns	Input is 0.2 V to $V_{DDA}-0.2$ V
SID302	TPD3	Response time; power = lo	–	2500	–	ns	Input is 0.2 V to $V_{DDA}-0.2$ V
SID303	VHYST_OP	Hysteresis	–	10	–	mV	–
SID304	WUP_CTB	Wake-up time from Enabled to Usable	–	–	25	μ s	–
–	Deep Sleep mode	Mode 2 is lowest current range. Mode 1 has higher GBW.	–	–	–	–	–
SID_DS_1	$I_{DD_HI_M1}$	Mode 1, High current	–	1400	–	μ A	25°C
SID_DS_2	$I_{DD_MED_M1}$	Mode 1, Medium current	–	700	–	μ A	25°C
SID_DS_3	$I_{DD_LOW_M1}$	Mode 1, Low current	–	200	–	μ A	25°C
SID_DS_4	$I_{DD_HI_M2}$	Mode 2, High current	–	120	–	μ A	25°C
SID_DS_5	$I_{DD_MED_M2}$	Mode 2, Medium current	–	60	–	μ A	25°C
SID_DS_6	$I_{DD_LOW_M2}$	Mode 2, Low current	–	15	–	μ A	25°C
SID_DS_7	$G_{BW_HI_M1}$	Mode 1, High current	–	4	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA}-0.2$ V

电气规格参数

表 9 CTBm 运算放大器规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID_DS_8	G _{BW_MED_M1}	Mode 1, Medium current	–	2	–	MHz	20-pF load, no DC load 0.2 V to V _{DDA} -0.2 V
SID_DS_9	G _{BW_LOW_M1}	Mode 1, Low current	–	0.5	–	MHz	20-pF load, no DC load 0.2 V to V _{DDA} -0.2 V
SID_DS_10	G _{BW_HI_M2}	Mode 2, High current	–	0.5	–	MHz	20-pF load, no DC load 0.2 V to V _{DDA} -0.2 V
SID_DS_11	G _{BW_MED_M2}	Mode 2, Medium current	–	0.2	–	MHz	20-pF load, no DC load 0.2 V to V _{DDA} -0.2 V
SID_DS_12	G _{BW_LOW_M2}	Mode 2, Low current	–	0.1	–	MHz	20-pF load, no DC load 0.2 V to V _{DDA} -0.2 V
SID_DS_13	V _{OS_HI_M1}	Mode 1, High current	–	5	–	mV	With trim 25°C, 0.2 V to V _{DDA} -0.2 V
SID_DS_14	V _{OS_MED_M1}	Mode 1, Medium current	–	5	–	mV	With trim 25°C, 0.2 V to V _{DDA} -0.2 V
SID_DS_15	V _{OS_LOW_M1}	Mode 1, Low current	–	5	–	mV	With trim 25°C, 0.2 V to V _{DDA} -0.2 V
SID_DS_16	V _{OS_HI_M2}	Mode 2, High current	–	5	–	mV	With trim 25°C, 0.2V to V _{DDA} -0.2 V
SID_DS_17	V _{OS_MED_M2}	Mode 2, Medium current	–	5	–	mV	With trim 25°C, 0.2 V to V _{DDA} -0.2 V
SID_DS_18	V _{OS_LOW_M2}	Mode 2, Low current	–	5	–	mV	With trim 25°C, 0.2 V to V _{DDA} -0.2 V
SID_DS_19	I _{OUT_HI_M1}	Mode 1, High current	–	10	–	mA	Output is 0.5 V to V _{DDA} -0.5 V
SID_DS_20	I _{OUT_MED_M1}	Mode 1, Medium current	–	10	–	mA	Output is 0.5 V to V _{DDA} -0.5 V
SID_DS_21	I _{OUT_LOW_M1}	Mode 1, Low current	–	4	–	mA	Output is 0.5 V to V _{DDA} -0.5 V
SID_DS_22	I _{OUT_HI_M2}	Mode 2, High current	–	1	–	mA	–
SID_DS_23	I _{OUT_MED_M2}	Mode 2, Medium current	–	1	–	mA	–
SID_DS_24	I _{OUT_LOW_M2}	Mode 2, Low current	–	0.5	–	mA	–

电气规格参数

5.3.2 比较器

表 10 比较器直流规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID84	V_{OFFSET1}	Input offset voltage, Factory trim	–	–	± 10	mV	–
SID85	V_{OFFSET2}	Input offset voltage, Custom trim	–	–	± 4	mV	–
SID86	V_{HYST}	Hysteresis when enabled	–	10	35	mV	–
SID87	V_{ICM1}	Input common mode voltage in Normal mode	0	–	$V_{\text{DDD}} - 0.1$	V	Modes 1 and 2
SID247	V_{ICM2}	Input common mode voltage in Low-power mode	0	–	V_{DDD}	V	–
SID247A	V_{ICM3}	Input common mode voltage in Ultra-low-power mode	0	–	$V_{\text{DDD}} - 1.15$	V	$V_{\text{DDD}} \geq 2.2 \text{ V}$ at -40°C
SID88	C_{MRR}	Common mode rejection ratio	50	–	–	dB	$V_{\text{DDD}} \geq 2.7 \text{ V}$
SID88A	C_{MRR}	Common mode rejection ratio	42	–	–	dB	$V_{\text{DDD}} \leq 2.7 \text{ V}$
SID89	I_{CMP1}	Block current, Normal mode	–	–	400	μA	–
SID248	I_{CMP2}	Block current, Low-power mode	–	–	100	μA	–
SID259	I_{CMP3}	Block current in Ultra-low-power mode	–	–	6	μA	$V_{\text{DDD}} \geq 2.2 \text{ V}$ at -40°C
SID90	Z_{CMP}	DC Input impedance of comparator	35	–	–	M Ω	–

表 11 比较器交流规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID91	TRESP1	Response time, Normal mode, 50 mV overdrive	–	38	110	ns	–
SID258	TRESP2	Response time, Low-power mode, 50 mV overdrive	–	70	200	ns	–
SID92	TRESP3	Response time, Ultra-low-power mode, 200 mV overdrive	–	2.3	15	μs	$V_{\text{DDD}} \geq 2.2 \text{ V}$ at -40°C

5.3.3 温度感应器

表 12 传感器的温度规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID93	T_{SENSACC}	Temperature sensor accuracy	–5	± 1	5	$^\circ\text{C}$	–40 to $+85^\circ\text{C}$

注释:

7. 由特性保证

电气规格参数

5.3.4 SAR ADC

表 13 SAR ADC 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SAR ADC直流规范							
SID94	A_RES	Resolution	–	–	12	bits	–
SID95	A_CHNLS_S	Number of channels - single ended	–	–	16		–
SID96	A-CHNKS_D	Number of channels - differential	–	–	4		Diff inputs use neighboring I/O
SID97	A-MONO	Monotonicity	Yes				–
SID98	A_GAINERR	Gain error	–	–	±0.125	%	With external reference
SID99	A_OFFSET	Input offset voltage	–	–	±2.3	mV	Measured with 1-V reference
SID100	A_ISAR	Current consumption	–	–	1	mA	–
SID101	A_VINS	Input voltage range - single ended	V _{SS}	–	V _{DDA}	V	–
SID102	A_VIND	Input voltage range - differential	V _{SS}	–	V _{DDA}	V	–
SID103	A_INRES	Input resistance	–	–	2.2	KΩ	–
SID104	A_INCAP	Input capacitance	–	–	10	pF	–
SID260	VREFSAR	Trimmed internal reference to SAR	1.18 8	1.2	1.212	V	–
SAR ADC交流规范							
SID106	A_PSRR	Power supply rejection ratio	70	–	–	dB	–
SID107	A_CMRR	Common mode rejection ratio	66	–	–	dB	Measured at 1V
SID108	A_SAMP	Sample rate	–	–	1	Msp/s	–
SID109	A_SNR	Signal-to-noise and distortion ratio (SINAD)	64	–	–	dB	F _{IN} = 10 kHz
SID110	A_BW	Input bandwidth without aliasing	–	–	A _{samp} /2	kHz	–
SID111	A_INL	Integral Non Linearity for SAR_1	–1	–	1	LSB	SAR_1
SID111A	A_INL	Integral Non Linearity for SAR_0	–3	–	3	LSB	SAR_0
SID112	A_DNL	Integral Non Linearity for SAR_1	–1	–	1	LSB	SAR_1
SID112A	A_DNL	Differential Non Linearity for SAR_0	–1	–	3	LSB	SAR_0
SID113	A_THD	Total harmonic distortion	–	–	–62	dB	F _{IN} = 10 kHz
SID261	FSARINTREF	SAR operating speed without external reference bypass	–	–	100	ksps	12-bit resolution

电气规格参数

5.3.5 CSD和IDAC

表 14 CSD 和 IDAC 规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SYS.PER#3	VDD_RIPPLE	Max allowed ripple on power supply, DC to 10 MHz	–	–	±50	mV	$V_{DD} > 2\text{ V}$ (with ripple), $25^{\circ}\text{C } T_A$, Sensitivity = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	Max allowed ripple on power supply, DC to 10 MHz	–	–	±25	mV	$V_{DD} > 1.75\text{ V}$ (with ripple), $25^{\circ}\text{C } T_A$, Parasitic Capacitance (C_P) < 20 pF, Sensitivity ≥ 0.4 pF
SID.CSD.BLK	ICSD	Maximum block current	–	–	4000	μA	Maximum block current for both IDACs in dynamic (switching) mode including comparators, buffer, and reference generator
SID.CSD#15	V_{REF}	Voltage reference for CSD and Comparator	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ or 4.4, whichever is lower
SID.CSD#16	IDAC1IDD	IDAC1 (7-bits) block current	–	–	1750	μA	–
SID.CSD#17	IDAC2IDD	IDAC2 (7-bits) block current	–	–	1750	μA	–
SID308	VCSD	Voltage range of operation	1.71	–	5.5	V	1.8 V ±5% or 1.8 V to 5.5 V
SID308A	VCOMPIDAC	Voltage compliance range of IDAC	0.6	–	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ or 4.4, whichever is lower
SID309	IDAC1DNL	IDAC1DNL	–1	–	1	LSB	–
SID310	IDAC1INL	IDAC1INL	–2	–	2	LSB	INL is ±5.5 LSB for $V_{DDA} < 2\text{ V}$
SID311	IDAC2DNL	IDAC2DNL	–1	–	1	LSB	–
SID312	IDAC2INL	IDAC2INL	–2	–	2	LSB	INL is ±5.5 LSB for $V_{DDA} < 2\text{ V}$
SID313	SNR	Ratio of counts of finger to noise. Guaranteed by characterization	5	–	–	Ratio	Capacitance range of 5 to 35 pF, 0.1-pF sensitivity. All use cases. $V_{DDA} > 2\text{ V}$.
SID314	IDAC1CRT1	Output current of IDAC1 (7 bits) in low range	4.2	–	5.4	μA	LSB = 37.5-nA typ
SID314A	IDAC1CRT2	Output current of IDAC1 (7 bits) in medium range	34	–	41	μA	LSB = 300-nA typ
SID314B	IDAC1CRT3	Output current of IDAC1 (7 bits) in high range	275	–	330	μA	LSB = 2.4-μA typ
SID314C	IDAC1CRT12	Output current of IDAC1 (7 bits) in low range, 2X mode	8	–	10.5	μA	LSB = 75-nA typ
SID314D	IDAC1CRT22	Output current of IDAC1 (7 bits) in medium range, 2X mode	69	–	82	μA	LSB = 600-nA typ
SID314E	IDAC1CRT32	Output current of IDAC1 (7 bits) in high range, 2X mode	540	–	660	μA	LSB = 4.8-μA typ

电气规格参数

表 14 CSD 和 IDAC 规范 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID315	IDAC2CRT1	Output current of IDAC2 (7 bits) in low range	4.2	–	5.4	μA	LSB = 37.5-nA typ
SID315A	IDAC2CRT2	Output current of IDAC2 (7 bits) in medium range	34	–	41	μA	LSB = 300-nA typ
SID315B	IDAC2CRT3	Output current of IDAC2 (7 bits) in high range	275	–	330	μA	LSB = 2.4-μA typ
SID315C	IDAC2CRT12	Output current of IDAC2 (7 bits) in low range, 2X mode	8	–	10.5	μA	LSB = 75-nA typ
SID315D	IDAC2CRT22	Output current of IDAC2 (7 bits) in medium range, 2X mode	69	–	82	μA	LSB = 600-nA typ
SID315E	IDAC2CRT32	Output current of IDAC2 (7 bits) in high range, 2X mode	540	–	660	μA	LSB = 4.8-μA typ
SID315F	IDAC3CRT13	Output current of IDAC in 8-bit mode in low range	8	–	10.5	μA	LSB = 37.5-nA typ
SID315G	IDAC3CRT23	Output current of IDAC in 8-bit mode in medium range	69	–	82	μA	LSB = 300-nA typ
SID315H	IDAC3CRT33	Output current of IDAC in 8-bit mode in high range	540	–	660	μA	LSB = 2.4-μA typ
SID320	IDACOFFSET	All zeroes input	–	–	1	LSB	Polarity set by Source or Sink. Offset is 2 LSBs for 37.5 nA/LSB mode
SID321	IDACGAIN	Full-scale error less offset	–	–	±10	%	–
SID322	IDACMIS-MATCH1	Mismatch between IDAC1 and IDAC2 in Low range	–	–	9.2	LSB	LSB = 37.5-nA typ
SID322A	IDACMIS-MATCH2	Mismatch between IDAC1 and IDAC2 in Medium range	–	–	5.6	LSB	LSB = 300-nA typ
SID322B	IDACMIS-MATCH3	Mismatch between IDAC1 and IDAC2 in High range	–	–	6.8	LSB	LSB = 2.4-μA typ
SID323	IDACSET8	Settling time to 0.5 LSB for 8-bit IDAC	–	–	5	μs	Full-scale transition. No external load
SID324	IDACSET7	Settling time to 0.5 LSB for 7-bit IDAC	–	–	5	μs	Full-scale transition. No external load
SID325	CMOD	External modulator capacitor	–	2.2	–	nF	5-V rating, X7R or NP0 cap

5.3.6 10 位 CAPSENSE™ ADC

表 15 10 位 CAPSENSE™ ADC规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDA94	A_RES	Resolution	–	–	10	bits	Auto-zeroing is required every millisecond
SIDA95	A_CHNLS_S	Number of channels - single ended	–	–	16		Defined by AMUX Bus
SIDA97	A-MONO	Monotonicity	Yes			–	–

电气规格参数

表 15 10 位 CAPSENSE™ ADC 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SIDA98	A_GAINERR	Gain error	–	–	±3	%	In V_{REF} (2.4 V) mode with V_{DDA} bypass capacitance of 10 μ F
SIDA99	A_OFFSET	Input offset voltage	–	–	±18	mV	In V_{REF} (2.4 V) mode with V_{DDA} bypass capacitance of 10 μ F
SIDA100	A_ISAR	Current consumption	–	–	0.25	mA	–
SIDA101	A_VINS	Input voltage range - single ended	V_{SSA}	–	V_{DDA}	V	–
SIDA103	A_INRES	Input resistance	–	2.2	–	K Ω	–
SIDA104	A_INCAP	Input capacitance	–	20	–	pF	–
SIDA106	A_PSR	Power supply rejection ratio	–	60	–	dB	In V_{REF} (2.4 V) mode with V_{DDA} bypass capacitance of 10 μ F
SIDA107	A_TACQ	Sample acquisition time	–	1	–	μ s	–
SIDA108	A_CONV8	Conversion time for 8-bit resolution at conversion rate = $F_{HCLK}/(2^{(N+2)})$. Clock frequency = 48 MHz.	–	–	21.3	μ s	Does not include acquisition time. Equivalent to 44.8 ksp/s including acquisition time.
SIDA108A	A_CONV10	Conversion time for 10-bit resolution at conversion rate = $F_{HCLK}/(2^{(N+2)})$. Clock frequency = 48 MHz.	–	–	85.3	μ s	Does not include acquisition time. Equivalent to 11.6 ksp/s including acquisition time.
SIDA109	A_SND	Signal-to-noise and Distortion ratio (SINAD)	–	59	–	dB	With 10-Hz input sine wave, internal reference, V_{REF} (2.4 V) mode
SIDA110	A_BW	Input bandwidth without aliasing	–	–	22.4	KHz	8-bit resolution
SIDA111	A_INL	Integral non-linearity 1 ksp/s	–	–	2	LSB	$V_{REF} \geq 2.4$ V
SIDA112	A_DNL	Differential non-linearity 1 ksp/s	–	–	1	LSB	–

电气规格参数

5.4 数字外设

5.4.1 定时器/计数器/脉宽调制器 (TCPWM)

表 16 TCPWM 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.1	ITCPWM1	Block current consumption at 3 MHz	–	–	45	μA	All modes (TCPWM)
SID.TCPWM.2	ITCPWM2	Block current consumption at 12 MHz	–	–	155	μA	All modes (TCPWM)
SID.TCPWM.2A	ITCPWM3	Block current consumption at 48 MHz	–	–	650	μA	All modes (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	Operating frequency	–	–	F _c	MHz	F _c max = CLK_SYS Maximum = 48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	Input trigger pulse width	2/F _c	–	–	ns	For all trigger events ^[8]
SID.TCPWM.5	TPWM _{EXT}	Output trigger pulse widths	2/F _c	–	–	ns	Minimum possible width of overflow, underflow, and CC (counter equals compare value) outputs
SID.TCPWM.5A	TC _{RES}	Resolution of counter	1/F _c	–	–	ns	Minimum time between successive counts
SID.TCPWM.5B	PWM _{RES}	PWM resolution	1/F _c	–	–	ns	Minimum pulse width of PWM Output
SID.TCPWM.5C	Q _{RES}	Quadrature inputs resolution	1/F _c	–	–	ns	Minimum pulse width between Quadrature phase inputs

电气规格参数

5.4.2 I²C

表 17 固定 I²C 直流规格^[8]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID149	I _{I2C1}	Block current consumption at 100 kHz	–	–	50	μA	–
SID150	I _{I2C2}	Block current consumption at 400 kHz	–	–	135	μA	–
SID151	I _{I2C3}	Block current consumption at 1 Mbps	–	–	310	μA	–
SID152	I _{I2C4}	Block current enabled in Deep Sleep mode	–	1	–	μA	–

表 18 固定 I²C 交流规范^[8]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID153	F _{I2C1}	Bit rate	–	–	1	Msps	–

5.4.3 SPI

表 19 SPI 直流规格^[8]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID163	ISPI1	Block current consumption at 1 Mbps	–	–	360	μA	–
SID164	ISPI2	Block current consumption at 4 Mbps	–	–	560		–
SID165	ISPI3	Block current consumption at 8 Mbps	–	–	600		–

注释:

8. 由特性保证



电气规格参数

表 20 SPI 交流规格^[9]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	FSPI	SPI Operating frequency (Master; 6X oversampling)	–	–	8	MHz	–

SPI主设备模式的固定交流规范

SID167	TDMO	MOSI Valid after SClock driving edge	–	–	15	ns	–
SID168	TDSI	MISO Valid before SClock capturing edge	20	–	–		Full clock, late MISO sampling
SID169	THMO	Previous MOSI data hold time	0	–	–		Referred to Slave capturing edge

SPI从设备模式的固定交流规范

SID170	TDMI	MOSI Valid before Sclock capturing edge	40	–	–	ns	–
SID171	TDSO	MISO Valid after Sclock driving edge	–	–	42 + 3*T _{cpu}		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	MISO Valid after Sclock driving edge in Ext. Clk mode	–	–	48		–
SID172	THSO	Previous MISO data hold time	0	–	–		–
SID172A	TSSELSSCK	SSEL Valid to first SCK Valid edge	100	–	–	ns	–

5.4.4 UART

表 21 UART 直流规格^[9]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID160	I _{UART1}	Block current consumption at 100 Kbps	–	–	55	μA	–
SID161	I _{UART2}	Block current consumption at 1000 Kbps	–	–	312	μA	–

表 22 UART 交流规格^[9]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	F _{UART}	Bit rate	–	–	1	Mbps	–

注释:

9. 由特性保证

电气规格参数

5.4.5 LCD 直接驱动

表 23 LCD 直接驱动直流规格^[10]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID155	C _{LDCAP}	LCD capacitance per segment/common driver	–	500	5000	pF	–
SID156	LCD _{OFFSET}	Long-term segment offset	–	20	–	mV	–
SID157	I _{LCDOP1}	LCD system operating current V _{bias} = 5 V	–	2	–	mA	32 × 4 segments at 50 Hz 25°C
SID158	I _{LCDOP2}	LCD system operating current V _{bias} = 3.3 V	–	2	–		32 × 4 segments at 50 Hz 25°C

表 24 LCD 直接驱动直流规格^[10]

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID159	F _{LCD}	LCD frame rate	10	50	150	Hz	–

注释：
10. 由特性保证

电气规格参数

5.5 存储器

表 25 Flash 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID173	V _{PE}	Erase and program voltage	1.71	–	5.5	V	–

表 26 Flash 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID174	T _{ROWWRITE} ^[11]	Row (block) write time (erase and program)	–	–	20	ms	Row (block) = 256 bytes
SID175	T _{ROWERASE} ^[11]	Row erase time	–	–	16	ms	–
SID176	T _{ROWPROGRAM} ^[11]	Row program time after erase	–	–	4	ms	–
SID178	T _{BULKERASE} ^[12]	Bulk erase time (256 KB)	–	–	35	ms	–
SID180 ^[12]	T _{DEVPROG} ^[12]	Total device program time	–	–	7	s	–
SID181 ^[12]	F _{END}	Flash endurance	100 K	–	–	Cycles	–
SID182 ^[12]	F _{RET}	Flash retention. T _A ≤ 55°C, 100 K P/E cycles	20	–	–	Years	–
SID182A ^[12]	–	Flash retention. T _A ≤ 85°C, 10 K P/E cycles	10	–	–		–
SID182B	F _{RETQ}	Flash retention. T _A ≤ 105°C, 10K P/E cycles, ≤ three years at T _A ≥ 85°C	10	–	–	Years	Guaranteed by characterization.
SID256	TWS48	Number of wait states at 48 MHz	2	–	–		CPU execution from Flash
SID257	TWS24	Number of wait states at 24 MHz	1	–	–		CPU execution from Flash

注释：

11. 可能需要最多20毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。
12. 由特性保证

电气规格参数

5.6 系统资源

5.6.1 上电复位 (POR)

表 27 上电复位 (PRES)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#6	SR_POW-ER_UP	Power supply slew rate	1	–	67	V/ms	At power-up and power-down
SID185 ^[13]	V _{RISEIPOR}	Rising trip voltage	0.80	–	1.5	V	–
SID186 ^[13]	V _{FALLIPOR}	Falling trip voltage	0.70	–	1.4		–

表 28 V_{CCD} 的掉电检测 (BOD)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190 ^[13]	V _{FALLPPOR}	BOD trip voltage in Active and Sleep modes	1.48	–	1.62	V	–
SID192 ^[13]	V _{FALLDPSLP}	BOD trip voltage in Deep Sleep	1.11	–	1.5		–

5.6.2 SWD 接口

表 29 SWD 接口规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID213	F_SWDCCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCLK $\leq$ 1/3 CPU clock frequency
SID214	F_SWDCCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	–	–	7		SWDCLK $\leq$ 1/3 CPU clock frequency
SID215 ^[14]	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	0.25*T	–	–	ns	–
SID216 ^[14]	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	0.25*T	–	–		–
SID217 ^[14]	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	–	–	0.5*T		–
SID217A ^[14]	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	–	–		–

注释:

13. (由特性保证)

14. 由设计保证

15. 对于工业温度范围部件, 最高温度为 85°C。

电气规格参数

5.6.3 内部主振荡器

表 30 IMO 直流规格

(由设计保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID218	I _{IMO1}	IMO operating current at 48 MHz	–	–	250	µA	–
SID219	I _{IMO2}	IMO operating current at 24 MHz	–	–	180	µA	–

表 31 IMO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID223 ^[17]	F _{IMOTOL1}	Frequency variation at 24, 32, and 48 MHz (trimmed)	–	–	±2.0	%	At –40°C to 85°C, for industrial temperature range and original extended industrial range parts
SID223A ^[16, 17]			–	–	±2.5	%	At –40°C to 105°C, for all extended industrial temperature range parts
SID223B ^[16, 17]			–	–	±2.0	%	At –30°C to 105°C, for enhanced IMO extended industrial temperature range parts
SID223C ^[16, 17]			–	–	±1.5	%	At –20°C to 105°C, for enhanced IMO extended industrial temperature range parts
SID223D ^[16, 17]			–	–	±1.25	%	At 0°C to 85°C, for enhanced IMO extended industrial temperature range parts
SID226	T _{STARTIMO}	IMO startup time	–	–	7	µs	–
SID228	T _{JITRMSIMO2}	RMS jitter at 24 MHz	–	145	–	ps	–

注释：

16. 增强型 IMO 扩展温度范围部件取代了原有的扩展工业温度范围部件。有关如何识别增强型 IMO 扩展温度范围部件的详细信息，请参阅[KBA235887](#)。

17. 经特性评估没有考虑焊接或板级效应。

电气规格参数

5.6.4 内部低速振荡器

表 32 ILO 直流规格

(由设计保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID231	I _{ILO1}	ILO operating current	–	0.3	1.05	μA	–

表 33 ILO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234 ^[18]	T _{STARTILO1}	ILO startup time	–	–	2	ms	–
SID236 ^[18]	T _{ILODUTY}	ILO duty cycle	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO frequency range	20	40	80	kHz	–

5.6.5 时钟晶体振荡器 (WCO)

表 34 WCO 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID398	FWCO	Crystal frequency	–	32.768	–	kHz	–
SID399	FTOL	Frequency tolerance	–	50	250	ppm	With 20-ppm crystal
SID400	ESR	Equivalent series resistance	–	50	–	kΩ	–
SID401	PD	Drive level	–	–	1	μW	–
SID402	TSTART	Startup time	–	–	500	ms	–
SID403	CL	Crystal load capacitance	6	–	12.5	pF	–
SID404	C0	Crystal shunt capacitance	–	1.35	–	pF	–
SID405	IWCO1	Operating current (High power mode)	–	–	8	μA	–

5.6.6 外部时钟

表 35 外部时钟规范

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID305 ^[18]	ExtClkFreq	Block current	0	–	48	MHz	–
SID306 ^[18]	ExtClkDuty	Duty cycle; measured at V _{DD/2}	45	–	55	%	–

5.6.7 外部晶体振荡器和 PLL

表 36 外部晶体振荡器 (ECO) 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID316 ^[18]	IECO1	Block current	–	–	1.5	mA	–
SID317 ^[18]	FECO	Crystal frequency range	4	–	33	MHz	–

注释:

18. 由特性保证

电气规格参数

表 37 PLL 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details / conditions
SID410	IDD_PLL_48	In = 3 MHz, Out = 48 MHz	–	530	610	μA	–
SID411	IDD_PLL_24	In = 3 MHz, Out = 24 MHz	–	300	405	μA	–
SID412	Fpllin	PLL input frequency	1	–	48	MHz	–
SID413	Fpllint	PLL intermediate frequency; prescaler out	1	–	3	MHz	–
SID414	Fppllco	VCO output frequency before post-divide	22.5	–	104	MHz	–
SID415	Divvco	VCO Output post-divider range; PLL output frequency is Fppllco/Divvco	1	–	8		–
SID416	Plllocktime	Lock time at startup	–	–	250	μs	–
SID417	Jperiod_1	Period jitter for VCO ≥ 67 MHz	–	–	150	ps	Guaranteed by design
SID416A	Jperiod_2	Period jitter for VCO ≤ 67 MHz	–	–	200	ps	Guaranteed by design

5.6.8 系统时钟

表 38 系统时钟规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID262 ^[19]	T _{CLKSWITCH}	System clock source switching time	3	–	4	Periods	–

5.6.9 智能 I/O

表 39 SMART I/O 接通时间 (旁路模式下的延迟)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID252	PRG_BYPASS	Max delay added by Smart I/O in bypass mode	–	–	1.6	ns	–

注释:

19. 由特性保证

6 订购信息

PSoC™ 4500S 器件的订购信息列见 [表 40](#)。

表 40 订购信息

Category	Product	Feature															Package				Temp Range (°C)
		Max CPU Speed (MHz)	Flash (KB)	SRAM (KB)	Divide and Square Root Accelerator	Op-amp (CTBm)	12-bit SAR ADC	SAR ADC Sample Rate	CAPSENSE™	Direct LCD Drive	LP Comparators	TCPWM Blocks	SCB Blocks	ECO	Smart I/Os	GPIO	48-TQFP	64-TQFP (0.5mm pitch)	64-TQFP (0.8mm pitch)	68-QFN	
45x6	CY8C4546AZI-S473	48	64	16	X	2	2	1 Msps	–	X	2	8	4	X	16	38	X	–	–	–	-40 to 85
	CY8C4546AZI-S475	48	64	16	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4546AXI-S475	48	64	16	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	–	X	–	-40 to 85
45x7	CY8C4547AZI-S453	48	128	32	X	2	1	1 Msps	–	X	2	8	4	X	16	38	X	–	–	–	-40 to 85
	CY8C4547AZQ-S453	48	128	32	X	2	1	1 Msps	–	X	2	8	4	X	16	38	X	–	–	–	-40 to 105
	CY8C4547AZI-S455	48	128	32	X	2	1	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4547AZQ-S455	48	128	32	X	2	1	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 105
	CY8C4547AZI-S463	48	128	32	X	2	1	1 Msps	X	X	2	8	4	X	16	38	X	–	–	–	-40 to 85
	CY8C4547AZI-S465	48	128	32	X	3	1	1 Msps	X	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4547AZI-S473	48	128	32	X	2	2	1 Msps	–	X	2	8	4	X	16	38	X	–	–	–	-40 to 85
	CY8C4547AZQ-S473	48	128	32	X	2	2	1 Msps	–	X	2	8	4	X	16	38	X	–	–	–	-40 to 105
	CY8C4547AZI-S475	48	128	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4547AZQ-S475	48	128	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 105
	CY8C4547AXI-S475	48	128	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	–	X	–	-40 to 85
	CY8C4547AXQ-S475	48	128	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	–	X	–	-40 to 105
45x8	CY8C4548AZI-S475	48	256	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4548AXI-S475	48	256	32	X	3	2	1 Msps	–	X	2	8	5	X	16	53	–	–	X	–	-40 to 85
	CY8C4548AZI-S483	48	256	32	X	2	2	1 Msps	X	X	2	8	4	X	16	38	X	–	–	–	-40 to 85
	CY8C4548AZQ-S483	48	256	32	X	2	2	1 Msps	X	X	2	8	4	X	16	38	X	–	–	–	-40 to 105
	CY8C4548AZI-S485	48	256	32	X	3	2	1 Msps	X	X	2	8	5	X	16	53	–	X	–	–	-40 to 85
	CY8C4548AZQ-S485	48	256	32	X	3	2	1 Msps	X	X	2	8	5	X	16	53	–	X	–	–	-40 to 105
	CY8C4548AXI-S485	48	256	32	X	3	2	1 Msps	X	X	2	8	5	X	16	53	–	–	X	–	-40 to 85
	CY8C4548AXQ-S485	48	256	32	X	3	2	1 Msps	X	X	2	8	5	X	16	53	–	–	X	–	-40 to 105



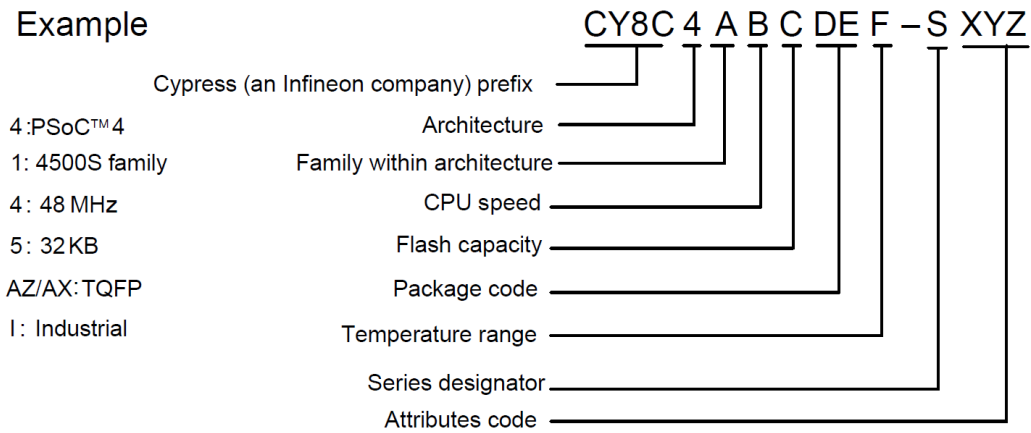
封装信息

上表中所用的名称是基于以下的器件编号常规:

Field	Description	Values	Meaning
CY8C	Cypress prefix	–	–
4	Architecture	4	PSoC™ 4
A	Family	1	4500S family
B	CPU speed	2	24 MHz
		4	48 MHz
C	Flash capacity	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	Package code	AX	TQFP (0.8-mm pitch)
		AZ	TQFP (0.5-mm pitch)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	Temperature range	I	Industrial
		Q	Extended industrial
S	Series designator	S	PSoC™ 4 S-series
		M	PSoC™ 4 M-series
		L	PSoC™ 4 L-series
		BL	PSoC™ 4 BLE-series
XYZ	Attributes code	000-999	Code of feature set in the specific family

器件型号示例:

Example





封装信息

7 封装信息

PSoC™ 4500S 采用 64 LEAD TQFP、64LD TQFP、48LD TQFP 和 68 LEAD QFN 封装。封装尺寸和英飞凌图纸编号见 [表 41](#)。

表 41 封装清单

Spec ID#	Package	Description	Package dwg
BID20	64 LEAD TQFP	14 × 14 × 1.4-mm height with 0.8-mm pitch	51-85046
BID27	64LD TQFP	10 × 10 × 1.6-mm height with 0.5-mm pitch	51-85051
BID70	48LD TQFP	7 × 7 × 1.4-mm height with 0.5-mm pitch	51-85135
BID71	68 LEAD QFN	8 × 8 × 0.9-mm height with 0.5-mm pitch	002-15530

表 42 封装热特性

Parameter	Description	Package	Min	Typ	Max	Unit
T _A	Operating ambient temperature	–	–40	25	105	°C
T _J	Operating junction temperature	–	–40	–	125	°C
T _{JA}	Package θ _{JA}	64 LEAD TQFP (0.5-mm pitch)	–	46	–	°C/Watt
T _{JC}	Package θ _{JC}	64 LEAD TQFP (0.5-mm pitch)	–	10	–	°C/Watt
T _{JA}	Package θ _{JA}	64LD TQFP (0.8-mm pitch)	–	36.8	–	°C/Watt
T _{JC}	Package θ _{JC}	64LD TQFP (0.8-mm pitch)	–	9.4	–	°C/Watt
T _{JA}	Package θ _{JA}	48LD TQFP (0.5-mm pitch)	–	39.4	–	°C/Watt
T _{JC}	Package θ _{JC}	48LD TQFP (0.5-mm pitch)	–	9.3	–	°C/Watt
T _{JA}	Package θ _{JA}	68 LEAD QFN (0.5-mm pitch)	–	21	–	°C/Watt
T _{JC}	Package θ _{JC}	68 LEAD QFN (0.5-mm pitch)	–	8.8	–	°C/Watt

表 43 回流焊峰值温度

Package	Maximum peak temperature	Maximum time at peak temperature
All	260°C	30 s

表 44 封装湿敏等级 (MSL)，IPC/JEDEC J-STD-020

Package	MSL
All	MSL 3

封装信息

7.1 封装图

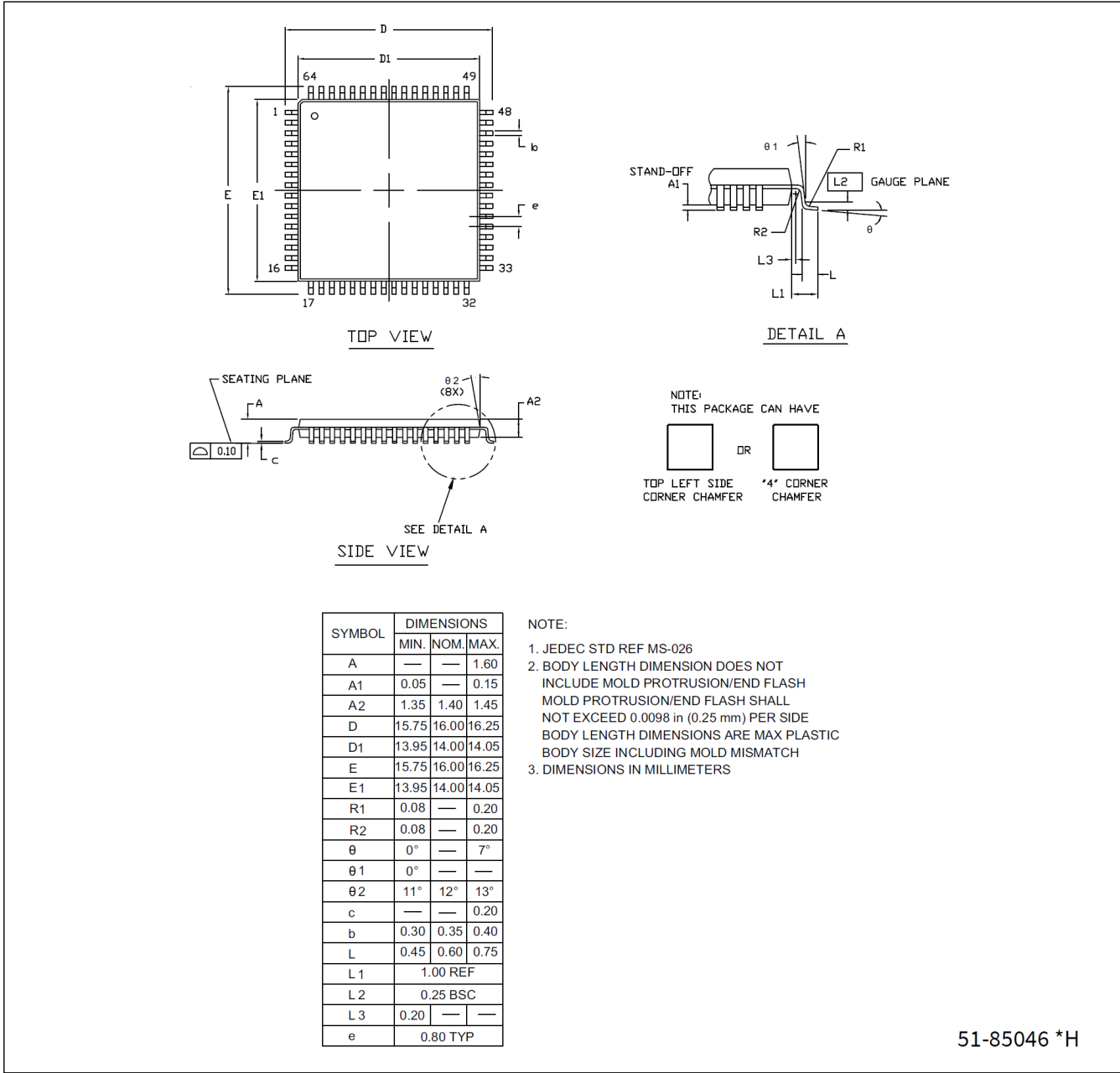


图 7 64 引脚 TQFP 14.0×14.0×1.4 MM A64SA, 封装外形, (PG-TQFP-64)

封装信息

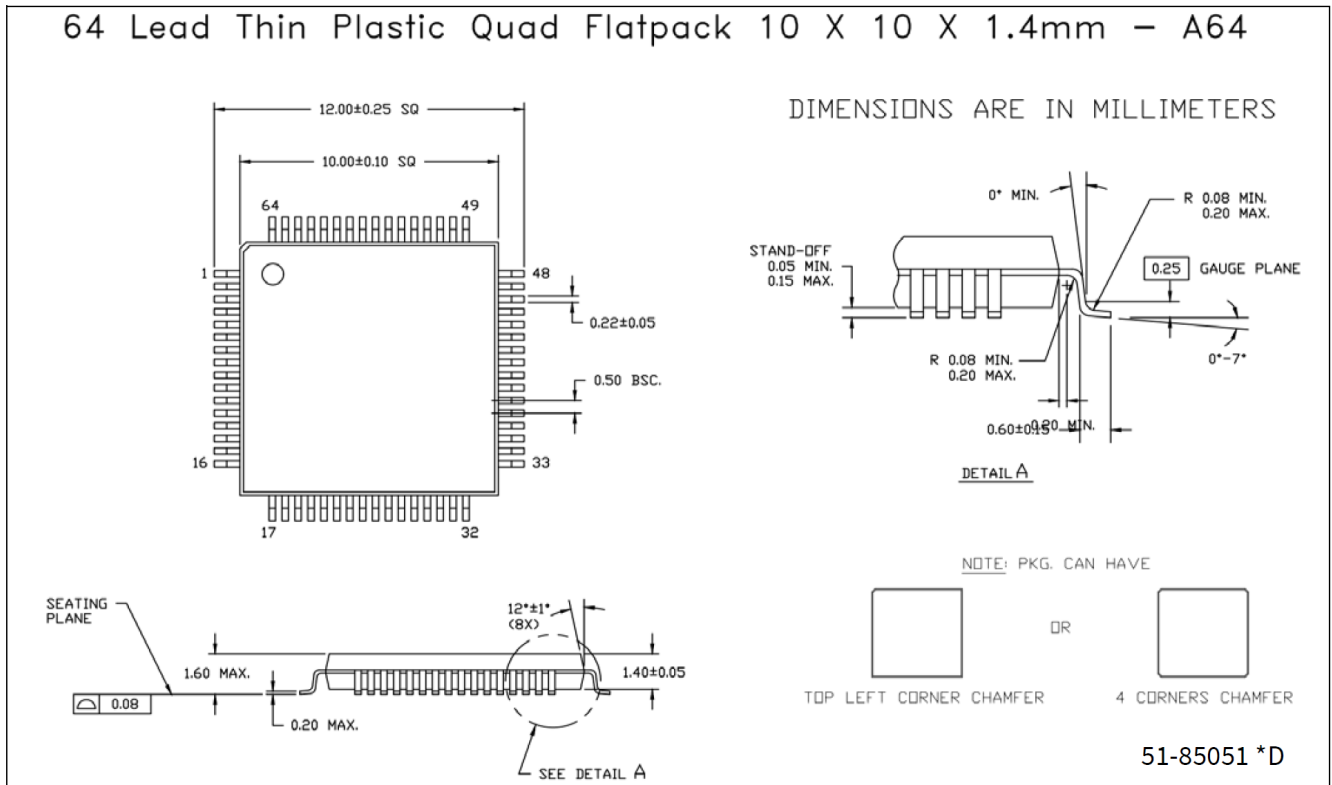


图 8 64 引脚 TQFP 10×10×1.4 MM A64SB, 封装外形, (PG-TQFP-64)

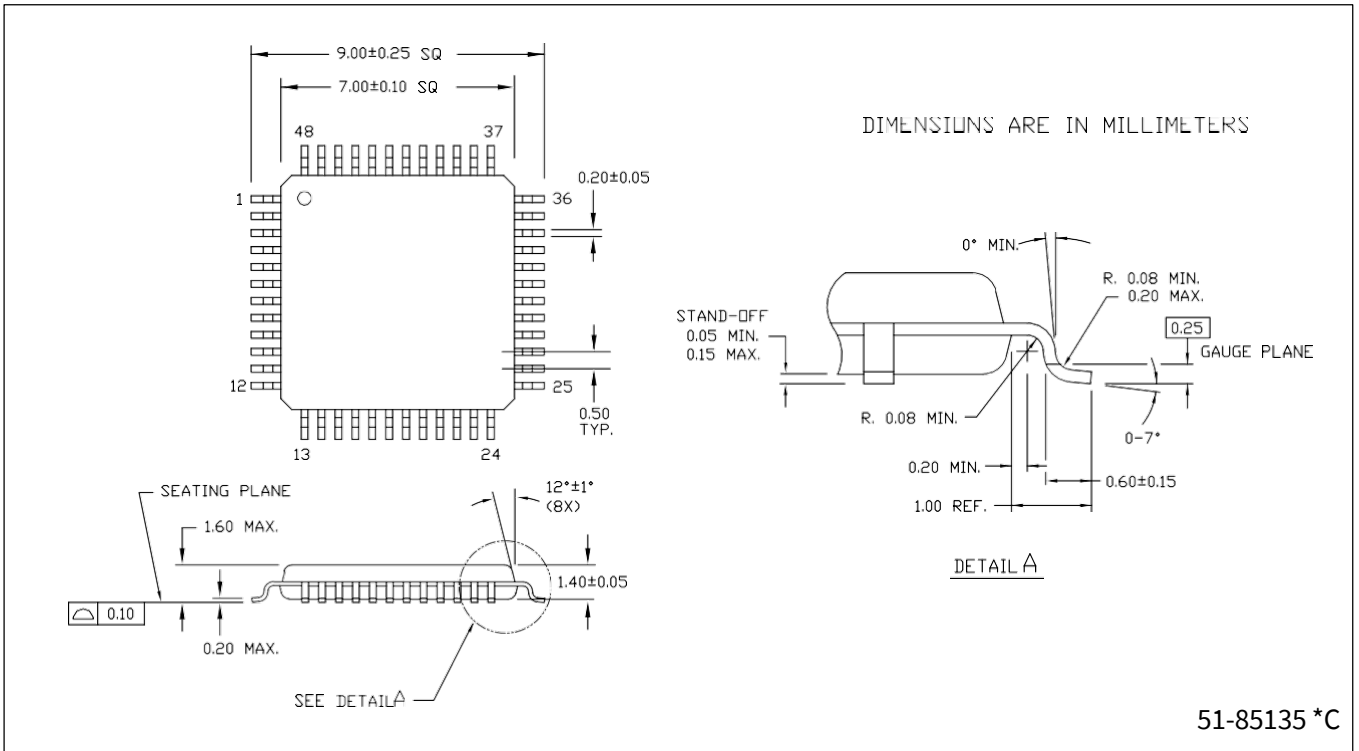


图 9 48LD TQFP 7×7×1.4 MM A48, 封装外形, (PG-TQFP-48)

封装信息

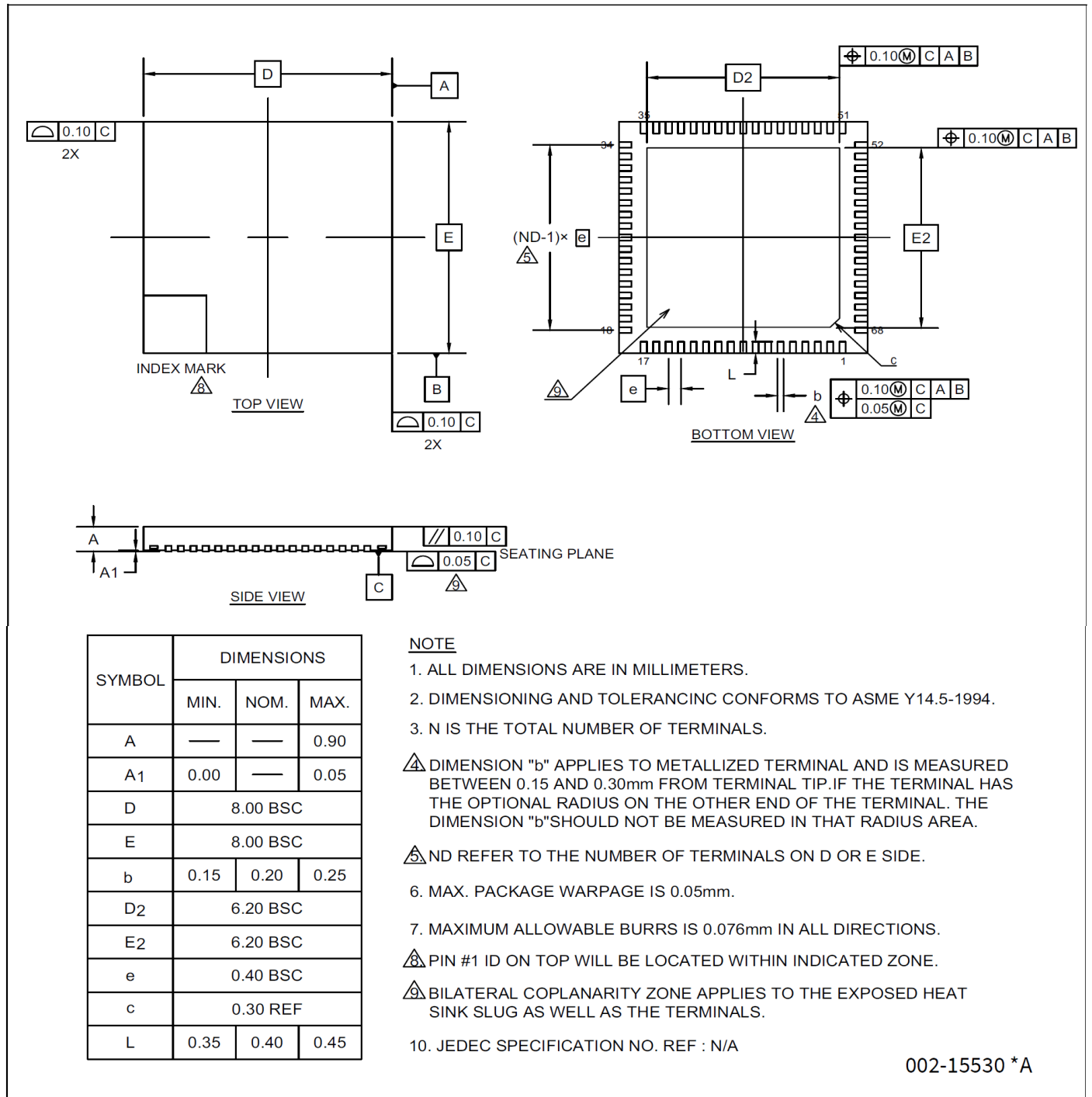


图 10 68 LEAD QFN 8.0X8.0X0.9 MM VNB068/LT68E 6.2x6.2 MM EPAD (SAWN) , 封装外形, (PG-VQFN-68)

缩略语

8 缩略语

表 45 本文档中使用的缩略语

Acronym	Description
abus	analog local bus
ADC	analog-to-digital converter
AG	analog global
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm® data transfer bus
ALU	arithmetic logic unit
AMUXBUS	analog multiplexer bus
API	application programming interface
APSR	application program status register
Arm®	advanced RISC machine, a CPU architecture
ATM	automatic thump mode
BW	bandwidth
CAN	Controller Area Network, a communications protocol
CMRR	common-mode rejection ratio
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
DAC	digital-to-analog converter, see also IDAC, VDAC
DFB	digital filter block
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DMIPS	Dhrystone million instructions per second
DMA	direct memory access, see also TD
DNL	differential nonlinearity, see also INL
DNU	do not use
DR	port write data registers
DSI	digital system interconnect
DWT	data watchpoint and trace
ECC	error correcting code
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
EMI	electromagnetic interference
EMIF	external memory interface
EOC	end of conversion
EOF	end of frame
EPSR	execution program status register
ESD	electrostatic discharge
ETM	embedded trace macrocell

缩略语

表 45 本文档中使用的缩略词 (续)

Acronym	Description
FIR	finite impulse response, see also IIR
FPB	flash patch and breakpoint
FS	full-speed
GPIO	general-purpose input/output, applies to a PSoC™ pin
HVI	high-voltage interrupt, see also LVI, LVD
IC	integrated circuit
IDAC	current DAC, see also DAC, VDAC
IDE	integrated development environment
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
IIR	infinite impulse response, see also FIR
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
INL	integral nonlinearity, see also DNL
I/O	input/output, see also GPIO, DIO, SIO, USBIO
IPOR	initial power-on reset
IPSR	interrupt program status register
IRQ	interrupt request
ITM	instrumentation trace macrocell
LCD	liquid crystal display
LIN	Local Interconnect Network, a communications protocol.
LR	link register
LUT	lookup table
LVD	low-voltage detect, see also LVI
LVI	low-voltage interrupt, see also HVI
LVTTL	low-voltage transistor-transistor logic
MAC	multiply-accumulate
MCU	microcontroller unit
MISO	master-in slave-out
NC	no connect
NMI	nonmaskable interrupt
NRZ	non-return-to-zero
NVIC	nested vectored interrupt controller
NVL	nonvolatile latch, see also WOL
opamp	operational amplifier
PAL	programmable array logic, see also PLD
PC	program counter
PCB	printed circuit board
PGA	programmable gain amplifier

 缩略语

表 45 本文档中使用的缩略词 (续)

Acronym	Description
PHUB	peripheral hub
PHY	physical layer
PICU	port interrupt control unit
PLA	programmable logic array
PLD	programmable logic device, see also PAL
PLL	phase-locked loop
PMDD	package material declaration data sheet
POR	power-on reset
PRES	precise power-on reset
PRS	pseudo random sequence
PS	port read data register
PSoC™	Programmable System-on-Chip™
PSRR	power supply rejection ratio
PWM	pulse-width modulator
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
RTC	real-time clock
RTL	register transfer language
RTR	remote transmission request
RX	receive
SAR	successive approximation register
SC/CT	switched capacitor/continuous time
SCL	I ² C serial clock
SDA	I ² C serial data
S/H	sample and hold
SINAD	signal to noise and distortion ratio
SIO	special input/output, GPIO with advanced features. See GPIO.
SOC	start of conversion
SOF	start of frame
SPI	Serial Peripheral Interface, a communications protocol
SR	slew rate
SRAM	static random access memory
SRES	software reset
SWD	serial wire debug, a test protocol
SWV	single-wire viewer
TD	transaction descriptor, see also DMA
THD	total harmonic distortion



缩略语

表 45 本文档中使用的缩略词 (续)

Acronym	Description
TIA	transimpedance amplifier
TTL	transistor-transistor logic
TX	transmit
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
UDB	universal digital block
USB	Universal Serial Bus
USBIO	USB input/output, PSoC™ pins used to connect to a USB port
VDAC	voltage DAC, see also DAC, IDAC
WDT	watchdog timer
WOL	write once latch, see also NVL
WRES	watchdog timer reset
XRES	external reset I/O pin
XTAL	crystal

9 文档惯例

9.1 计量单位

表 46 计量单位

Symbol	Unit of measure
°C	degrees Celsius
dB	decibel
fF	femto farad
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
Khr	kilohour
kHz	kilohertz
kΩ	kilo ohm
ksps	kilosamples per second
LSB	least significant bit
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
sqrtHz	square root of hertz
V	volt

修订记录

修订记录

Document version	Date of release	Description of changes
*B	2020-03-18	Release to web.
*C	2020-12-23	Added ModusToolbox™ in Features . Updated Development ecosystem . Updated Conditions for SR_POWER_UP in Table 27 .
*D	2022-07-28	Updated Table 31 : Updated spec SID223 and SID223A. Added specs SID223B through SID223D. Converted to Infineon template.
*E	2023-01-23	Updated the footnotes in IMO AC specifications .
*F	2023-04-26	Added 68-pin QFN in “Pinouts” on page 14 and updated GPIO by package. Added 68-pin QFN in the section “Ordering information” on page 45. Updated Table 41 and Table 40 with 68-pin QFN. Added title for Figure 10 . Updated the pin list in description of Pinouts and Packaging . Added the Package information for 68-pin QFN in Table 41 . Updated 53 GPIO to 57 GPIO throughout the document.
*G	2024-03-01	Fixed broken links. Updated packing diagram titles with IFX package code for Figure 7 , Figure 8 , Figure 9 and Figure 10 . Updated Figure 8 : 51-85051 *D to 51-85051 *E. Removed CY8C4546LQI-S476, CY8C4546LQQ-S476, CY8C4547LQI-S476, CY8C4547LQQ-S476, CY8C4548LQI-S486, CY8C4548LQQ-S486 from Table 40 .



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-09-16

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。