

機能

32 ビット MCU サブシステム

- ・シングルサイクルの乗算に対応した 48MHz Arm® Cortex®-M0 CPU
- ・読み出し加速装置を備えた 128kBまでのフラッシュ
- ・最大 16kB の SRAM
- ・DMA エンジン

プログラマブルなアナログ サブシステム

- ・ディープスリープモードで超低電流レベルにおいて動作する 4 個のオペアンプ
- ・すべてのオペアンプには、リコンフィギュレーション可能な高電流ピン駆動、高帯域幅内部駆動、ADC 入力バッファリング、すべてのピンへの入力接続が可能となる柔軟な接続正を持つコンパレータモードがあります。
- ・任意のピンでの汎用または静電容量センシング用途向けの 4 個の電流 DAC (IDAC)
- ・ディープスリープモードで動作する 2 個の低消費電力コンパレータ
- ・12 ビット SAR ADC (変換速度が 1Msps)

プログラマブルなデジタル

- ・4 個のプログラマブルなロジック ブロック (汎用デジタル ブロック、または UDB と呼ばれる)、それぞれが 8 個のマクロセルと 8 ビットのデータパスを持つ
- ・インフィニオンが提供した周辺機器ライブラリ、ユーザー定義のステートマシン、Verilog 入力

低電圧 1.71V~5.5V で動作

- ・ストップモード時:20nA 電流で GPIO ウェイクアップが有効
- ・ハイバネートとディープスリープモードにより、復帰時間と電力とをトレードオフ可能

静電容量センシング

- ・インフィニオンの静電容量シグマ-デルタ (CSD) 技術がクラス最高の SNR (>5:1) および耐水性を提供
- ・インフィニオンが提供したソフトウェアコンポーネントが静電容量センシングの設計を簡易化
- ・ハードウェア自動チューニング (SmartSense)

セグメント LCD ドライブ

- ・あらゆるピンでの LCD ドライブ (コモンまたはセグメント)
- ・ディープスリープモードでの動作に対応、ピンごとに 4 ビットメモリ

シリアル通信

- ・I2C、SPI、または UART 機能を備えた 4 個の独立した、実行時に再設定可能なシリアル通信プロック (SCB)
- ・産業向けと車載向けネットワーキング用の 2 個の独立した CAN ブロック

タイミングおよびパルス幅の変調

- ・8 個の 16 ビットタイマー/カウンター パルス幅変調器 (TCPWM) ブロック
- ・中央揃え、エッジ、および疑似ランダム モード
- ・モータードライブや他の高信頼性デジタルロジック アプリケーション用のキル (Kill) 信号のコンパレータベースのトリガー

パッケージオプション

- ・68 ピン QFN、ピッチ幅:広/狭の 64 ピン TQFP、48 ピンおよび 44 ピン TQFP パッケージ
- ・最大 55 のプログラム可能な GPIO
- ・GPIO ピンは CAPSENSE™、LCD、アナログ、またはデジタルに対応
- ・駆動モード、駆動力、およびスルーレートは設定可能

拡張産業用温度動作

- ・-40°C~+105°C の動作

説明

PSOC™ Creator の設計環境

- ・統合開発環境 (IDE) が回路図デザインの組込み、内蔵を提供 (アナログとデジタル自動配線に対応)
- ・すべての機能固定かつプログラム可能なペリフェラル向けのアプリケーションプログラミング インターフェース (API) コンポーネント

業界標準のツールとの互換性

- ・回路図のエントリ後、開発が Arm®に基づいた業界標準の開発ツールで行うことが可能

説明

PSOC™ 4 は、Arm® Cortex®-M0 CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリ用、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成されます。このプラットフォームアーキテクチャに基づいた PSOC™ 4200M は、マイクロコントローラーとデジタルプログラマブルロジック、プログラマブルアナログ、プログラマブル相互接続、高性能アナログ-デジタル変換 (ADC)、コンパレータ モード付きオペアンプ、標準通信およびタイミング周辺機器の組み合わせで構成されます。新しいアプリケーションや設計ニーズとして、PSOC™ 4200M 製品には PSOC™ 4 プラットフォームのメンバーとの完全な互換性があります。プログラマブル アナログとデジタル サブシステムにより、設計には柔軟性があり、インフィールド (in-field) チューニングも可能です。

目次

機能	1
説明	2
目次	3
1 開発エコシステム	5
1.1 PSOC™ 4 リソース	5
1.2 PSOC™ Creator	5
2 ブロック図	7
3 機能の説明	9
3.1 CPU およびメモリ サブシステム	9
3.1.1 CPU	9
3.1.2 フラッシュ	9
3.1.3 SRAM	9
3.1.4 SROM	9
3.1.5 DMA	9
3.2 システム リソース	9
3.2.1 電源システム	9
3.2.2 クロックシステム	10
3.2.3 IMO クロックソース	10
3.2.4 ILO クロックソース	10
3.2.5 水晶振動子	10
3.2.6 ウオッヂドッグ タイマー	11
3.2.7 リセット	11
3.2.8 電圧リファレンス	11
3.3 アナログ ブロック数	11
3.3.1 12 ビット SAR ADC	11
3.3.2 アナログ マルチプレクサ バス	12
3.3.3 4 個のオペアンプ	12
3.3.4 温度センサー	13
3.3.5 低消費電力コンパレータ	14
3.4 プログラマブルなデジタル	14
3.4.1 汎用デジタル ブロック (UDB) およびポートインターフェース	14
3.5 固定機能デジタル	15
3.5.1 タイマー/カウンター/PWM (TCPWM) ブロック	15
3.5.2 シリアル通信ブロック (SCB)	15
3.5.3 CAN ブロック	16
3.6 GPIO	16
3.7 特殊機能ペリフェラル	17

3.7.1	LCD セグメントドライブ	17
3.7.2	CAPSENSE™	17
4	ピン配置	18
5	電源	24
5.1	非安定化外部電源	24
5.2	安定化外部電源	24
6	電気的仕様	25
6.1	絶対最大定格	25
6.2	デバイスレベルの仕様	25
6.2.1	GPIO	28
6.2.2	XRES	29
6.3	アナログ ペリフェラル	30
6.3.1	オペアンプ	30
6.3.2	コンパレータ	35
6.3.3	温度センサー	36
6.3.4	SAR ADC	36
6.3.5	CSD	37
6.4	デジタル ペリフェラル	38
6.4.1	タイマー/カウンター/PWM	38
6.4.2	I2C	39
6.4.3	LCD ダイレクトドライブ	40
6.4.4	SPI の仕様	40
6.5	メモリ	42
6.6	システム リソース	42
6.6.1	電圧低下対応パワーオンリセット (POR)	42
6.6.2	電圧モニター	43
6.6.3	SWD インターフェース	44
6.6.4	内部主振動子	44
6.6.5	内部低速振動子	45
7	注文情報	49
7.1	型番の命名規則	51
8	パッケージ	52
9	略語	57
10	本書の表記法	61
10.1	測定単位	61
11	改訂履歴	63
	免責事項	64

1 開発エコシステム

1.1 PSOC™ 4 リソース

インフィニオンは、www.infineon.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSOC™ デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は PSOC™ 4 MCU のリソースの要約です。

- **概要:** [PSOC™ ポートフォリオ](#)
- **製品セレクタ:** [PSOC™ 4 MCU](#)
- **アプリケーションノート:** 基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSOC アプリケーションノートを提供します。
 - [AN79953: PSOC™ 4 MCU 入門](#)
 - [AN88619: PSOC™ 4 Hardware Design Considerations](#)
 - [AN73854: PSOC™ Creator - ブートローダの導入](#)
 - [AN89610: PSOC™ Arm® Cortex®コードの最適化](#)
 - [AN86233: PSOC™ 4 MCU の低消費電力モードおよび消費電力低減技術](#)
 - [AN57821: PSOC 3、PSOC 4、および PSOC 5LP のアナログ/デジタル混在回路基板レイアウトの注意事項](#)
 - [AN85951: PSOC™ 4 および PSOC™ 6 MCU CAPSENSE™ デザインガイド](#)
- **サンプルコード:** 製品の機能と使用法を示します。[GitHub repositories](#) からも利用可能です
- **テクニカルリファレンスマニュアル (TRM):** 各デバイスファミリーのアーキテクチャとレジスタの詳細な説明をします。
- **PSOC™ 4 MCU プログラミング仕様:** PSOC™ 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
 - [PSOC™ Creator](#) は無料の Windows ベースの IDE です。これを使って、PSOC™ 3、PSOC™ 4、PSOC™ 5LP、および PSOC™ 6 MCU ベースのシステムのハードウェアとファームウェアを同時設計できます。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
 - [CY8CKIT-044](#)、[PSOC™ 4 Pioneer Kit](#) は、使いやすくて安い開発プラットフォームです。これらには、Arduino 準拠シードおよび Digilent Pmod ドーターカード用コネクタを搭載しています。
 - [CY8CKIT-043](#) は、PSOC™ 4200M デバイスをサンプリングする用の低コストプロトタイプ プラットフォームです。
 - [MiniProg4](#) および [MiniProg3](#) はオールインワン開発プログラマーおよびデバッガーです。
 - [PSOC™ 4 MCU CAD ライブラリ](#) は、一般的なツールのフットプリントと回路図のサポートを提供します。[IBIS モデル](#) もご利用いただけます。
- **トレーニングビデオ** は、[PSOC™ MCU](#) を含む幅広いトピックで利用できます。
- **インフィニオン Developer Community** は、世界中の仲間の PSOC™ 開発者との接続を 24 時間年中無休で可能にし、専用の [PSOC™ 4 MCU コミュニティ](#) をホストします。

1.2 PSOC™ Creator

[PSOC™ Creator](#) は無料の Windows ベースの統合設計環境 (IDE) です。このツールにより、お客様は PSOC™ 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。[図 1](#) に示すように、PSOC™ Creator 使用すると、次のことができます。

1. 200 以上のコンポーネントライブラリを用意
2. コンポーネントアイコンをドラッグ アンド ドロップして、メイン デザイン ワークスペースでハードウェア システム デザインを構築
3. コンポーネント構成ツールとコンポーネント データシートを使用してコンポーネントを構成。

1 開発エコシステム

4. PSOC™ Creator IDE でアプリケーションのファームウェアとハードウェアを相互設計またはサードパーティの IDE プロジェクトを構築。
 5. PSOC™ 4 Pioneer Kit でソリューションのプロトタイプを設計。設計変更が必要な場合、PSOC™ Creator およびそのコンポーネントにより、ハードウェアを改訂せずその場で変更を行えます。
- インフィニオンツールの使用については、PSOC™ Creator software に付属のドキュメントおよび [AN79953: PSOC™ 4 入門](#)を参照してください。

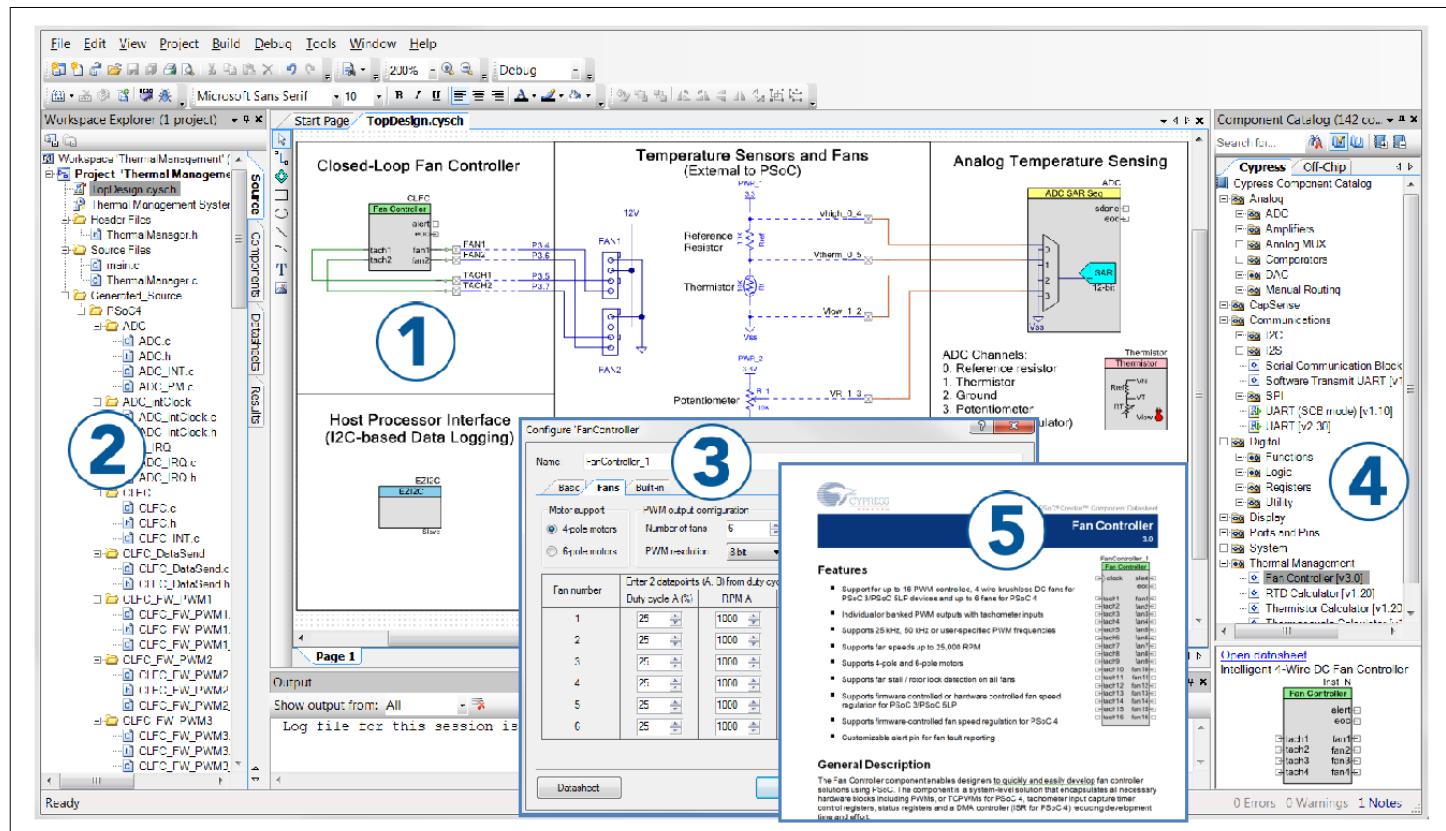


図 1 PSOC™ Creator のマルチセンサー プロジェクト例

2 ブロック図

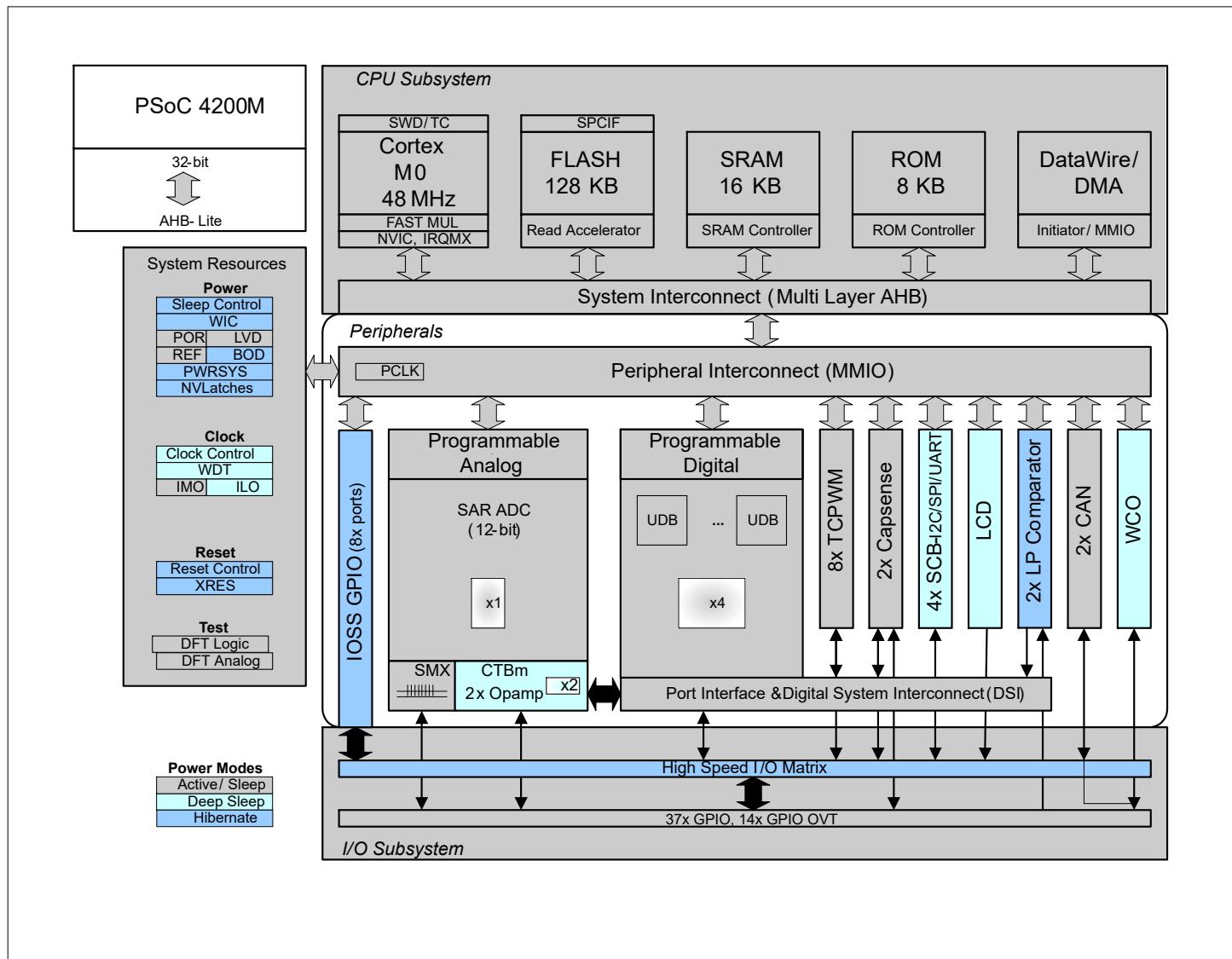


図 2 ブロック図

PSOC™ 4200M デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ処理、および配線の幅広いサポートに対応しています。

Arm®シリアルワイヤデバッガ(SWD)インターフェースは、デバイスのすべてのプログラミングとデバッグ機能に対応しています。

完全なデバッグオンチップ(DoC)機能により、標準の量産デバイスを使用した最終システムでデバイスの完全なデバッグ処理が可能になります。専用のインターフェース、デバッグポッド、シミュレータ、あるいはエミュレータは不要です。デバッグに完全に対応するために必要なものは、通常のプログラミングに使う接続だけです。

PSOC™ Creator IDE は、PSOC™ 4200M デバイス用の完全にコンパイルされたプログラミングとデバッグのサポートを提供します。SWDインターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSOC™ 4200M は、デバッグ機能を無効にすることができます。堅牢なフラッシュ保護に対応し、カスタマ独自の機能がオンチッププログラマブルブロックに実装できるようにするために、マルチチップアプリケーションソリューションやマイクロコントローラーで実現できないセキュリティレベルを提供します。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを打倒しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にすることができます。最大限のデバイスセキュリティが有効の時にはすべてのプログラミング、デバッグ、テストインターフェースが無効にされるため、デバイスセキュリティが有効にされた PSOC™ 4200M では不具合解析の応答はできません。これは、PSOC™ 4200M でユーザーが行えるトレードオフです。

3 機能の説明

3.1 CPU およびメモリサブシステム

3.1.1 CPU

PSOC™ 4200M 内の Cortex®-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの命令の長さは 16 ビットであり、Thumb-2 命令セットのサブセットを実行します。インフィニオンは本製品に、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含め実装しました。これは、32 の割込み入力を持つネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含んでいます。WIC はディープスリープモードからプロセッサを復帰させることができます。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切ることができます。Cortex®-M0 CPU はマスク不可能割込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアルワイヤデバッグ (SWD) インターフェースも備えています。PSOC™ 4200M 用のデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

3.1.2 フラッシュ

PSOC™ 4200M は、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合された、フラッシュアクセラレータを備えたフラッシュモジュールを持っています。フラッシュアクセラレータはシングルサイクル SRAM のアクセス性能と比較して、アクセス時間平均 85% を達成します。必要に応じて、EEPROM動作をエミュレートするためにフラッシュモジュールの一部を使用できます。

3.1.3 SRAM

SRAM メモリはハイバネートモード中に保持されます。

3.1.4 SROM

ブートおよびコンフィギュレーションルーチンを含んでいる監視 ROM (SROM) が提供されます。

3.1.5 DMA

8 チャネルを持つ DMA エンジンは、32 ビット転送を実行することが可能で、チェイン可能なピンポンディスクリプタを持っています。

3.2 システムリソース

3.2.1 電源システム

電力システムは、[電源](#)の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルを達成するまでモードへの移行を遅延させる(例えば、パワーオンリセット (POR) の時)、またはリセット(電圧低下検出 (BOD))か割込み(低電圧検出 (LVD))を生成します。PSOC™ 4200M は、1.71~5.5Vにおいて単一の外部電源で動作し、5 つの異なる電力モードに対応し、モード間の遷移が電力システムによって管理されます。PSOC™ 4200M は、スリープ、ディープスリープ、ハイバネート、ストップの低消費電力モードに対応しています。

3.2.2 クロックシステム

PSOC™ 4200M クロックシステムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロックソース間で切り替えることを担当します。また、クロックシステムはメタステーブル状態が発生しないように保証します。

PSOC™ 4200M のクロックシステムは、1 個の 32kHz で動作するウォッч水晶振動子 (WCO)、IMO (3MHz～48MHz)、ILO (公称 32kHz) 内部振動子、外部クロックからなります。

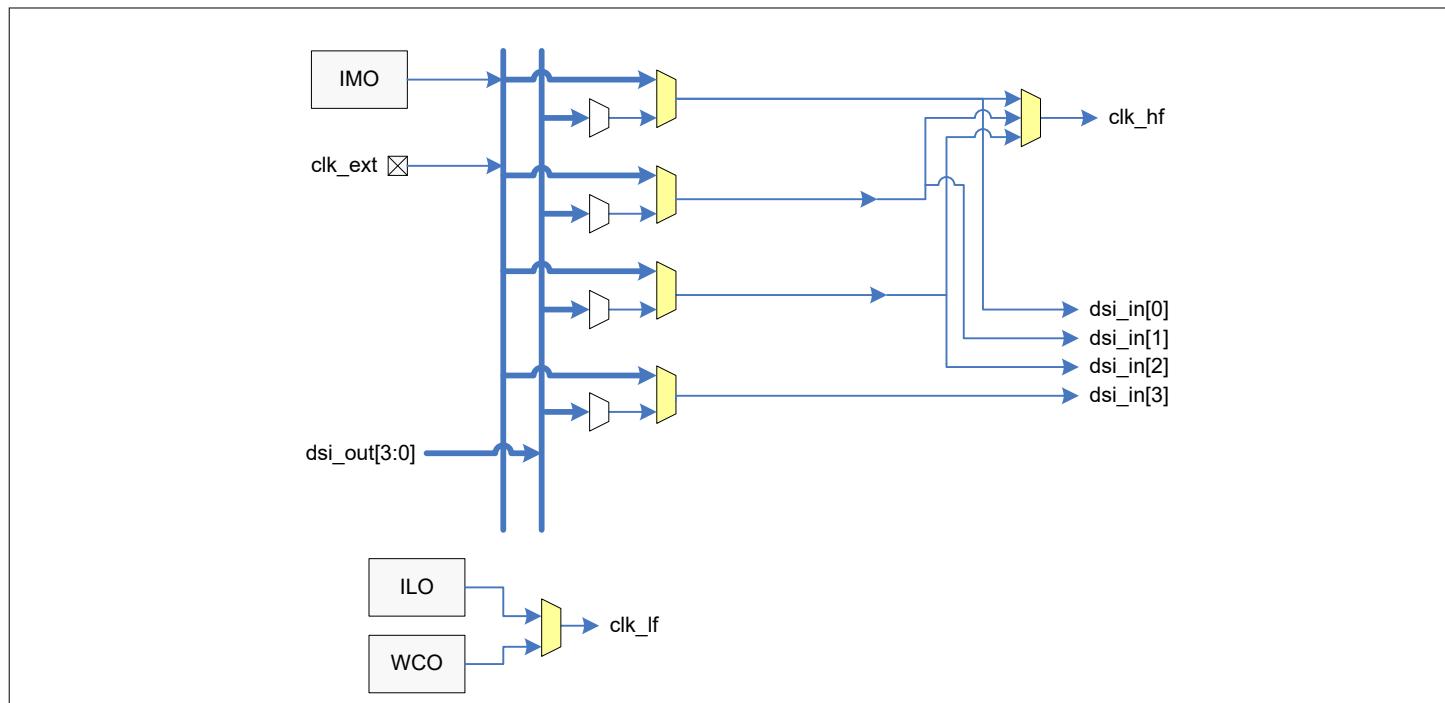


図 3 PSOC™ 4200M MCU のクロッキング アーキテクチャ

clk_hf 信号は、UDB およびアナログとデジタル ペリフェラル用に同期クロックを生成するために分周することができます。PSOC™ 4200M は、合計で 16 個のクロック分周器を備えており、それぞれが 16 ビットに分周できます。この内、12 個が機能固定ブロックに使用可能で、残り 4 個は UDB に使用可能です。アナログ クロックにより、デジタル クロックはデジタル クロックによるノイズが生成される前にアナログ イベントが発生することを可能にします。16 ビット分周器は微周波数値を柔軟に生成可能で、PSOC™ Creator によって完全にサポートされます。

3.2.3 IMO クロックソース

IMO は、PSOC™ 4200M の内部クロック供給の主なソースです。指定された精度を達成するためにテスト段階中にトリミングされます。トリミング値は不揮発性メモリに格納されます。インフィールド校正が可能になるために、トリミング処理を動作中に実行することもできます。IMO の初期設定の周波数は 24MHz で、1MHz ステップで 3MHz～48MHz の間で調整できます。インフィニオンが提供する校正設定では、IMO の許容誤差は±2%です。

3.2.4 ILO クロックソース

ILO は非常に低消費電力振動子 (公称 32kHz) であり、ディープスリープ モードでペリフェラルの動作用にクロックを生成するために主に使用されます。ILO 制御のカウンタは、精度を改善するために IMO に校正することができます。インフィニオンは、校正を実行するソフトウェア コンポーネントを提供しています。

3.2.5 水晶振動子

PSOC™ 4200M クロック サブシステムは、低周波水晶振動子 (32kHz WCO) を備えています。この振動子は、ディープスリープ モードで利用可能で、リアルタイム クロック (RTC) とウォッчドッグ タイマー アプリケーションに使用できます。

3.2.6 ウオッチドッグ タイマー

ウォッチドッグ タイマーは、低周波クロックをクロックソースとして動作するクロックブロックに実装されます。これにより、ウォッチドッグがディープスリープ モードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットや割込みが生成されます。ウォッチドッグ リセットはリセット原因 (Reset Cause) レジスタに記録されます。

3.2.7 リセット

PSOC™ 4200M は、複数ソースからリセットできます (ソフトウェアリセットも可能)。リセットイベントは非同期であり、デバイスを既知の状態に復帰させることができます。リセットの原因是、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う競合を避けるために、XRES ピンが外部リセット用に確保されています。

3.2.8 電圧リファレンス

PSOC™ 4200M は、ソフトウェアリセットを含む様々な要因からリセットできます。12 ビット ADC は 1% 電圧リファレンス仕様に対応しています。より優れた信号対ノイズ比 (SNR) と絶対精度を実現するために、GPIO ピンを使って外部バイパスコンデンサを内部リファレンス電圧に接続する、または SAR 用に外部リファレンスを使用できます。

3.3 アナログ ブロック数

3.3.1 12 ビット SAR ADC

12 ビットの 1Msps SAR ADC は 18MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

ユーザー向けとしてブロック機能を拡張するため、リファレンス バッファの追加 ($\pm 1\%$ までトリミング可能) され、また V_{DD} 、 $V_{DD}/2$ 、 V_{REF} の 3 つの内部電圧リファレンスオプション (定格電圧が 1.024 V) および GPIO ピンを介した外部リファレンスを選択としました。サンプルホールド (S/H) のアパートチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。適切なリファレンス電圧が使用され、システムノイズレベルが許可する限り、システム性能は真の 12 ビット精度で 65dB です。ノイズの多い条件で性能を改善するために、内部リファレンスアンプ用として外部バイパスを (固定したピン位置) を提供できます。

SAR は 8 入力シーケンサ (16 入力まで拡張可能) を介して固定したピン セットに接続されます。シーケンサは、スイッチング オーバーヘッドの必要なく選択されたチャネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャネルか複数のチャネルであるかにかかわらず 1Msps です)。シーケンサの切り替えは、スタートマシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割込みサービスの要求を軽減するための各チャネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラミングされた範囲を超えた場合、レンジレジスタの一対 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割込みで実施されます。これにより、シーケンサスキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は、校正およびその他の温度依存機能用に基板搭載の温度センサーの出力をデジタル化できます。SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープとハイバネート モードに対応していません。SAR の動作範囲は 1.71V~5.5V です。

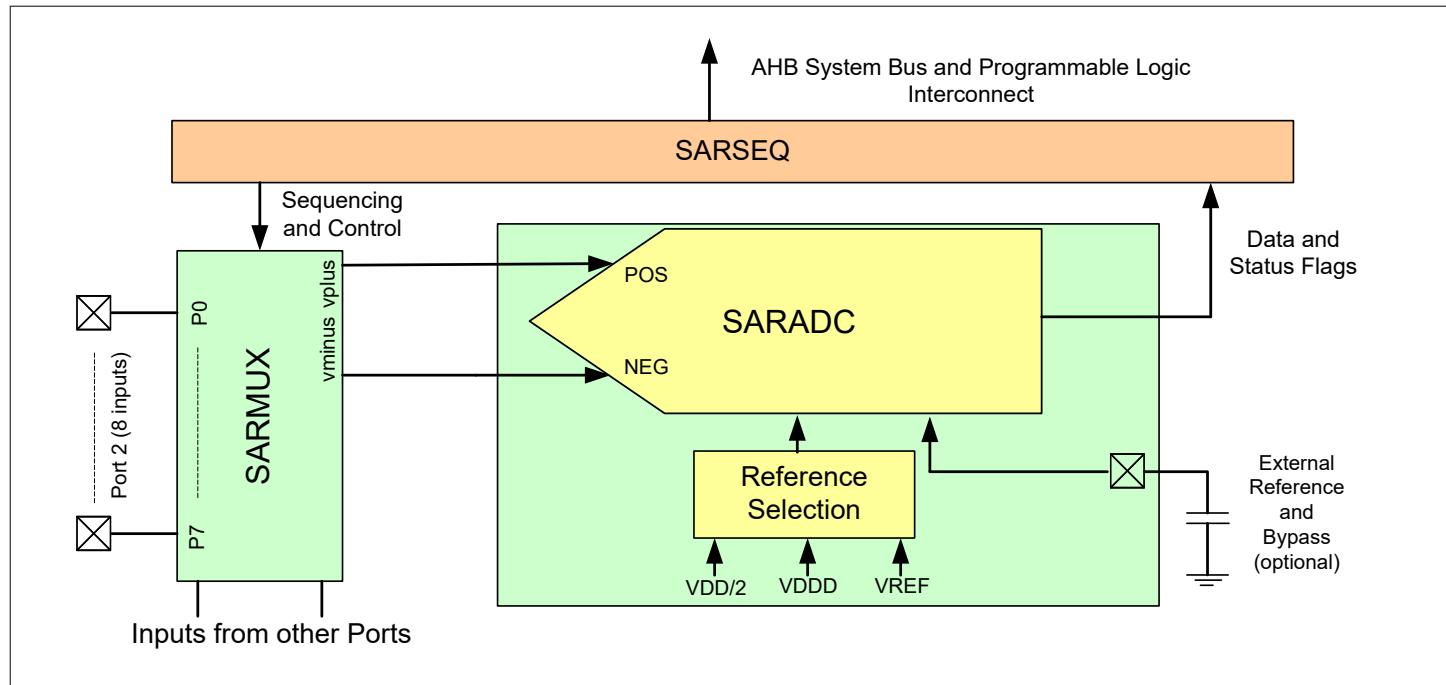


図 4 SAR ADC のシステム図

3.3.2 アナログマルチプレクサバス

PSOC™ 4200M は、チップの周辺を回る 2 個の同期アナログバス(アナログマルチプレクサバス A とアナログマルチプレクサバス B)。これらバスは、アナログ信号を任意のピンから様々なアナログブロック(オペアンプなど)や CAPSENSE™ ブロックに転送できるため、ADC はチップに搭載されたピンをすべて監視できます。これらのバスは、独立して機能し、3 つの独立したセクションに分割することも可能です。これにより、3 つの分割されたセクションの内、1 つを CAPSENSE™ に、1 つは一般的なアナログ信号処理、残りの 1 つは汎用デジタルペリフェラルと GPIO に使用できます。

3.3.3 4 個のオペアンプ

PSOC™ 4200M には、コンパレータモード付きの 4 個のオペアンプが内蔵されているため、外部コンポーネントを使って最も共通のアナログ機能をチップで実行できます。PGA、電圧バッファ、フィルター、トランシスインピーダンスアンプ、および他の機能は、外部受動コンポーネントで実行可能であるため、電力、コストと実装面積を節約できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC のサンプルホールド回路を駆動するように十分な帯域幅に対応するように設計されています。オペアンプは、非常に低消費電力レベルでディープスリープモードで実行可能です。下図では、オペアンプシステムの 2 つの同一のオペアンプペアの 1 ペアを示します。

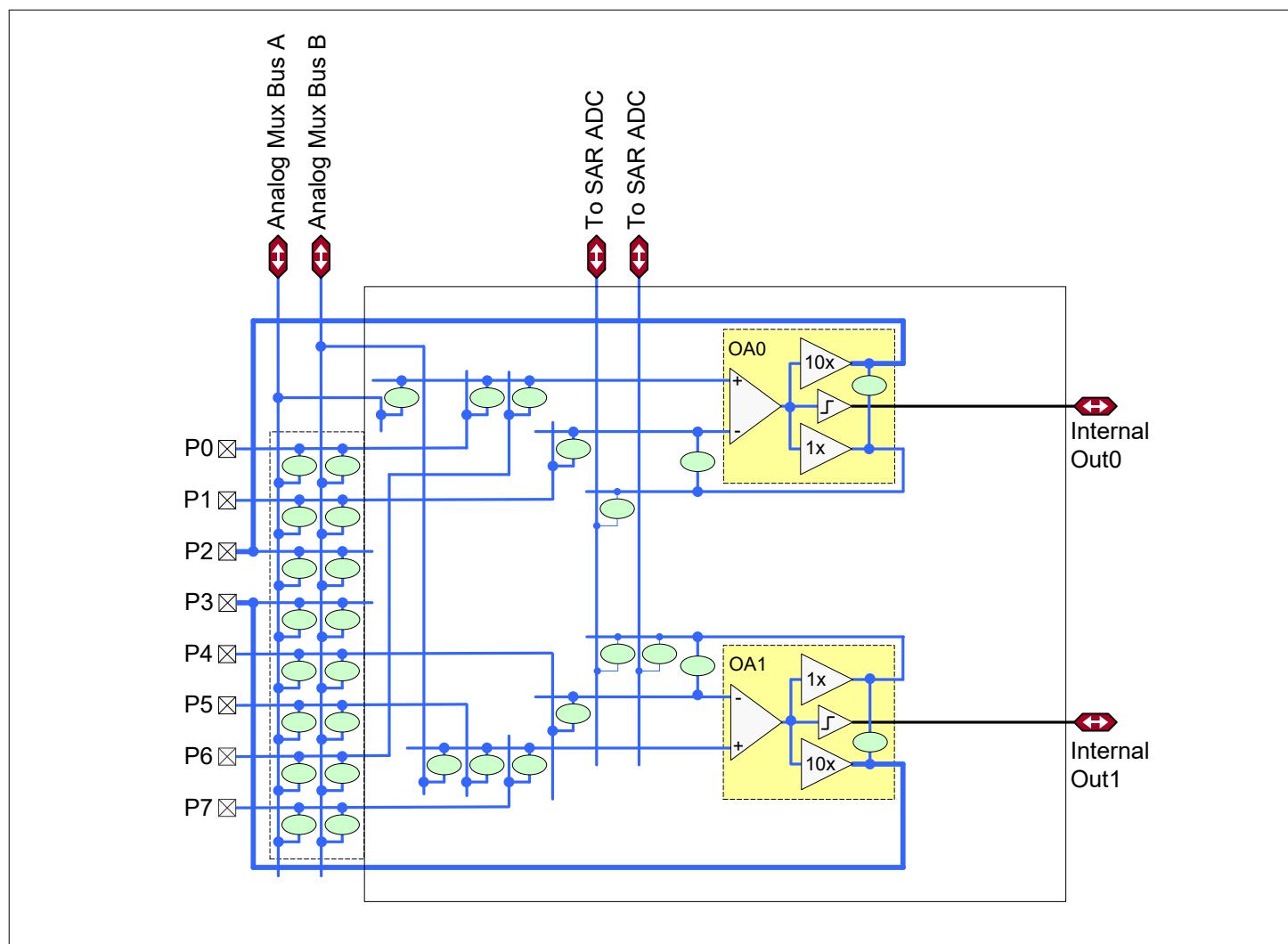


図 5 オペアンプサブシステム内の同一オペアンプペア

図 5 内の卵型図形は、アナログスイッチを示します。これらのスイッチは、ユーザー フームウェア、SAR シーケンサ、またはユーザー定義のプログラマブルロジックを介して制御することができます。オペアンプ (OA0 と OA1) をプログラムし、リコンフィギュレーションして、切り替え可能なフィードバックコンポーネントを介して標準的オペアンプ機能と、ピンの直接駆動、内部使用や真のコンパレータとしての機能のためにユニティゲイン機能を提供できます。

オペアンプ入力は、高度に柔軟な接続を提供し、専用ピンに直接接続するか、またはアナログマルチプレクサバスを介してチップ上のすべてのピンに接続できます。アナログスイッチ接続は、ユーザー フームウェアとユーザー定義のプログラマブルデジタルステートマシン (UDB を介して実装) により制御可能です。

ディープスリープモードでは、オペアンプは非常に低い電流で動作することにより、アナログ回路はこのモード中に継続して機能します。

3.3.4 温度センサー

PSOC™ 4200M は 1 個の温度センサーを内蔵しています。これは、電力ソースによってバイアスされたダイオードから成ります。電流ソースは、電力を節約するために無効にできます。温度センサーは、ADC に接続されます。温度センサーは、校正と線形化を含むインフィニオンが提供したソフトウェアを使用して読み出しをデジタル化し温度値を生成する ADC に接続されます。

3.3.5 低消費電力コンパレータ

PSOC™ 4200M は、ディープスリープとハイバネートモードで動作できる低消費電力コンパレータの一対を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログシステムブロックを無効にできます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード(ハイバネート)で動作する場合を除き、普通は準安定状態を避けるために同期化されています。

3.4 プログラマブルなデジタル

3.4.1 汎用デジタルブロック (UDB) およびポートインターフェース

PSOC™ 4200M は 4 個の UDB を内蔵しています。また UDB アレイは、通信と制御用にペリフェラルとポートからの信号を UDB に、また UDB を介して送信することを可能にする切り替えられたデジタルシステム相互接続 (DSI) ファブリックを提供しています。UDB アレイを下図に示します。

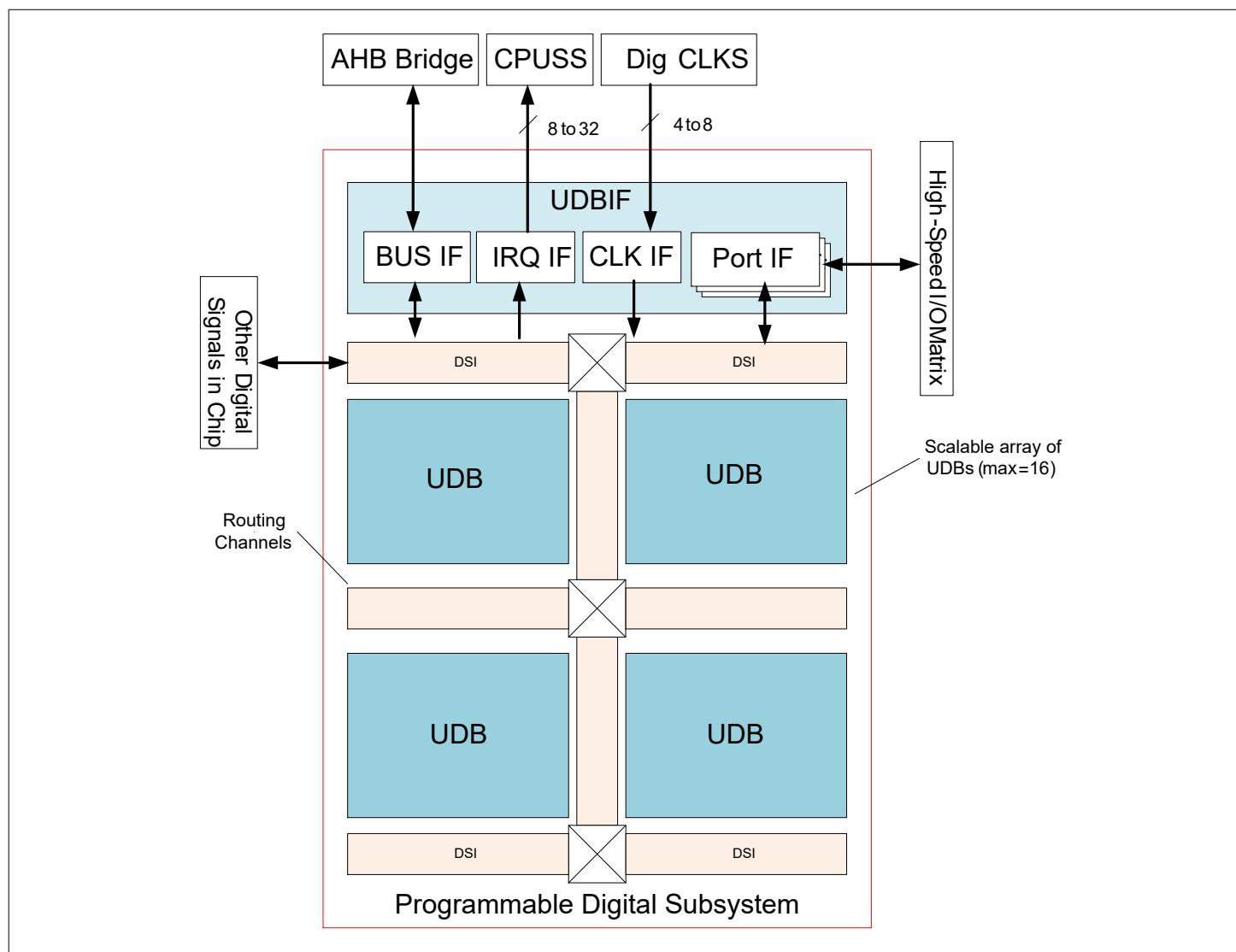


図 6 UDB アレイ

UDB は、クロック分周ブロック、ポートインターフェース (SPI などのペリフェラルに必要)、DSI ネットワークから、直接または同期化後にクロック供給されます。

3 機能の説明

UDB アレイ内の PLD と同じソースからクロック供給できるレジスタとして機能するポートインターフェースが定義されます。これにより、I/O の近くにあるポートインターフェースおよびアレイ端で、入力および出力を記録できるようになるため、より高速な動作が可能になります。ポートインターフェースレジスタは、いずれかの I/O により同じポートからクロック供給できます。これにより、ポート入力が DSI を介して送信され、他の入力を登録するために使用される遅延が無くなるため、SPI のようなインターフェースがより速いクロック速度での動作ができるようになります。ポートインターフェースを図 7 に示します。

UDB は(一度に 1 個の UDB ずつ)割込みコントローラーに割込みを生成できます。UDB は、UDB は、DSI を介してポート 0、1、2、3 の任意のピンに接続できます(各ポート相互接続には 1 つの UDB が必要です)。

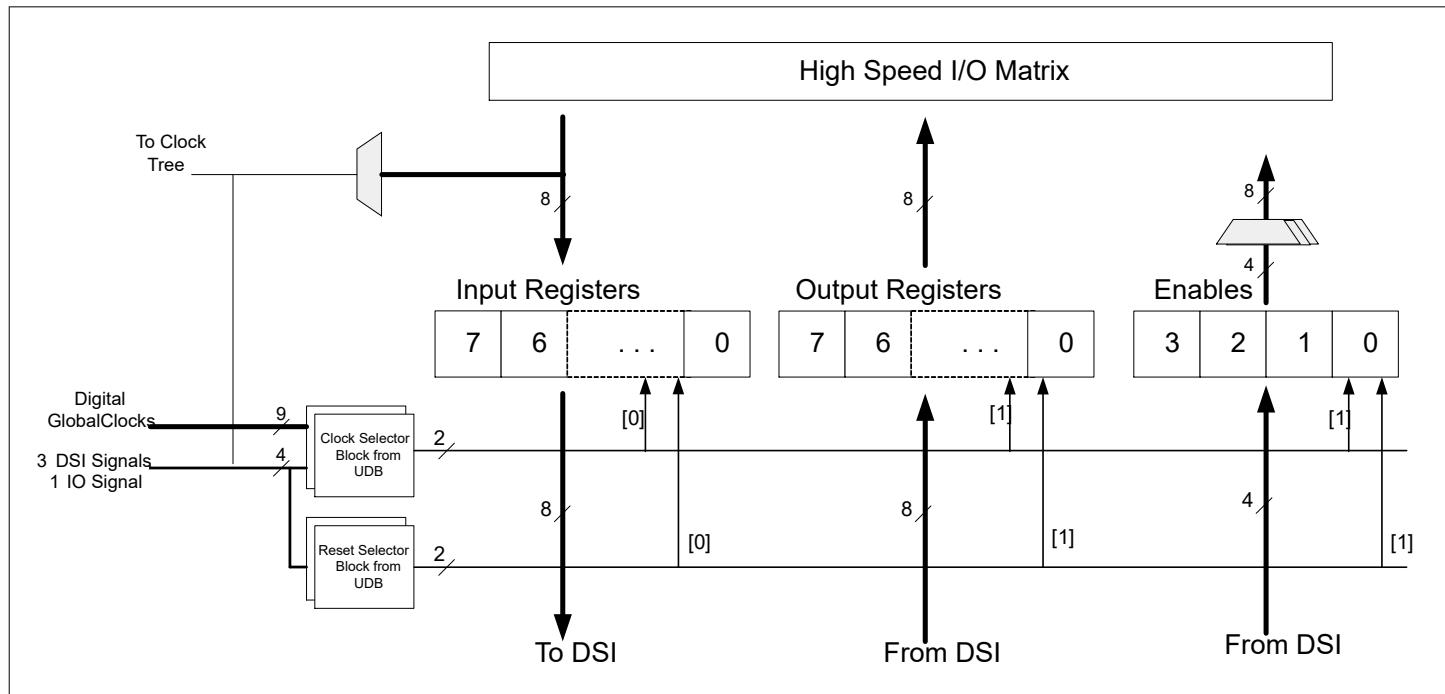


図 7 ポートインターフェース

3.5 固定機能デジタル

3.5.1 タイマー/カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザがプログラム可能な周期長の 16 ビットカウンターを使用しています。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンタのカウントが周期レジスタのカウントに等しくなる時にカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。ブロックは真出力と相補出力(それら間のオフセットがプログラム可能)も提供しており、これらをプログラム可能なデッドバンド付きコンプリメンタリー PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させるキル(Kill)入力もあります。例えば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力が使用されます。PSOC™ 4200M は、8 個の TCPWM ブロックを持っています。

3.5.2 シリアル通信ブロック (SCB)

PSOC™ 4200M は 4 個の SCB を内蔵しています。それぞれは I²C、UART、または SPI インターフェースを実装できます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブインターフェースを実装します(マルチマスターのアビトリレーションが可能)。このブロックは、最大 1Mbps(ファーストモードプラス)で動作でき、CPU 用の割込みオーバヘッドとレイテンシを削減するためにバッファリングオプションを柔軟に選択できます。また、PSOC™ 4200M のメモリでメールボックス範囲を作成してメモリ内のアレイへの読み書きの I²C 通信を効率的に削減する EzI²C にも対応して

います。また、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間どおりに CPU が読み出すデータがないことに起因したクロックストレッチの必要性を大幅に低減できます。FIFO モードはすべてのチャネルによって対応され、DMA がない場合に非常に有用です。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに I²C 標準モード、ファーストモード、ファーストモードプラスのデバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

UART モード: これは最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤインターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビットマルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの一般的な UART 機能がサポートされています。深さ 8 ビットの FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

SPI モード: SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用でき、データ交換がメモリ内のアレイへの読み書きまで簡略化された EzSPI モードにも対応しています。

3.5.3 CAN ブロック

認定された 2 個の独立した CAN 準拠 CAN 2.0B ブロックがあります。

3.6 GPIO

PSOC™ 4200M は、68 ピン QFN パッケージには 55 GPIO があります。GPIO ブロックは以下のものを実装します。

- 8 つのドライブ能力モード: 強プッシュ プル、抵抗 プルアップ/プルダウン、弱(抵抗) プルアップ/プルダウン、オープン ドレインとオープンソース、入力専用、ディスエーブル
- 入力閾値セレクト (CMOS または LVTTL)
- 入力/出力ディスエーブルに対応する独立した制御
- 前のステートをラッチするためのホールド モード (ディープスリープ モードとハイバネート モードで I/O ステートを維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用に選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの時、入力への過電圧を防ぐため、または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するために使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています (これらの信号は DSI ネットワークを通ません)。DSI 信号はこの影響を受けず、ポート 0、1、2、3 のピンはすべて、DSI ネットワークを介して任意の UDB に配線できます。ポート 0、1、2、3 のピンのみが DSI 信号を介して配線できます。

データ出力とピン ステートレジスタそれぞれはピン上で駆動される値とそれらのピンのステートを格納します。

各 I/O ピンは有効になった場合に割込みを生成でき、各 I/O ポートはそれに対応する割込み要求 (IRQ) と割込みサービス ルーチン (ISR) ベクタがあります (PSOC™ 4200M では、ベクタ数は 8 です)。

ポート 6 のピン (パッケージに応じて最大 6 個) は、過電圧耐性があります (V_{IN} は V_{DD} を超えることが可能)。I²C 仕様によると、過電圧セルは、入力が V_{DDIO} を超えた場合、10μA 以上の電流を吸い込みません。

3.7 特殊機能ペリフェラル

3.7.1 LCD セグメントドライブ

PSOC™ 4200M は、最大 8 コモンピンと最大 49 セグメントピンを駆動できる LCD コントローラーを内蔵しています。すべてのピンはコモンピン、またはセグメントピンとして使用可能です。内部 LCD 電圧を生成する必要なくフル デジタル方法を使用して LCD セグメントを駆動します。2 つの方法は、デジタル相関と PWM と呼ばれています。

デジタル相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持するためにコモンとセグメント信号の周波数とレベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。

PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際には効果的です。

3.7.2 CAPSENSE™

いかなるアナログスイッチに接続された、いかなる GPIO ピンも接続できるアナログマルチプレクサ バスを介した、いかなるピンにも接続できる CAPSENSE™シグマ-デルタ (CSD) ブロックにより、PSOC™ 4200M のあらゆるピンで、CAPSENSE はサポートされます。従って、CAPSENSE™機能はソフトウェアで制御され、システム内の使用可能ないかなるピンやピングループに提供できます。コンポーネントは CAPSENSE™ブロックに提供されます。このコンポーネント(インフィニオン nnSmartSense)により、自動ハードウェア チューニングができ、ユーザーに取っては使いやすくなります。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されています。

各 CSD ブロックは 2 個の IDAC を備えています。これらは、CAPSENSE™を使用しない (両方の IDAC とも使用可能) 場合、または CAPSENSE™が耐水性に対応せずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用できます。PSOC™ 4200M は、独立して使用できる 2 個の CSD ブロックを内蔵しており、1 つは CAPSENSE™用に使用され、もう 1 つは IDAC 用に使用されます。

2 つの CAPSENSE™ブロックは CSD0 および CSD1 と呼ばれます。ポート 0、1、2、3、4、6、7 の静電容量センシング入力は、CSD0 によって検知されます。ポート 5 の静電容量センシング入力は、CSD1 によって検知されます。

4 ピン配置

下表は PSOC™ 4200M のピンリストです。電源とポートピンを表します (例えば、P0.0 はポート 0 のピン 0 です)。

68-QFN		64-TQFP		48 ピン TQFP		44 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
42	P0.0	39	P0.0	28	P0.0	24	P0.0
43	P0.1	40	P0.1	29	P0.1	25	P0.1
44	P0.2	41	P0.2	30	P0.2	26	P0.2
45	P0.3	42	P0.3	31	P0.3	27	P0.3
46	P0.4	43	P0.4	32	P0.4	28	P0.4
47	P0.5	44	P0.5	33	P0.5	29	P0.5
48	P0.6	45	P0.6	34	P0.6	30	P0.6
49	P0.7	46	P0.7	35	P0.7	31	P0.7
50	XRES	47	XRES	36	XRES	32	XRES
51	VCCD	48	VCCD	37	VCCD	33	VCCD
52	VSSD	49	VSSD	38	VSSD	-	-
53	VDDD	50	VDDD	39	VDDD	34	VDDD
-	-	-	-	40	VDDA	35	VDDA
62	P1.0	58	P1.0	42	P1.0	37	P1.0
63	P1.1	59	P1.1	43	P1.1	38	P1.1
64	P1.2	60	P1.2	44	P1.2	39	P1.2
65	P1.3	61	P1.3	45	P1.3	40	P1.3
66	P1.4	62	P1.4	46	P1.4	41	P1.4
67	P1.5	63	P1.5	47	P1.5	42	P1.5
68	P1.6	64	P1.6	48	P1.6	43	P1.6
1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	44	P1.7/VREF
-	-	-	-	-	-	1	VSSD
2	P2.0	2	P2.0	2	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1	3	P2.1
4	P2.2	4	P2.2	4	P2.2	4	P2.2
5	P2.3	5	P2.3	5	P2.3	5	P2.3
6	P2.4	6	P2.4	6	P2.4	6	P2.4
7	P2.5	7	P2.5	7	P2.5	7	P2.5
8	P2.6	8	P2.6	8	P2.6	8	P2.6
9	P2.7	9	P2.7	9	P2.7	9	P2.7
10	VSSA	10	VSSA	10	VSSD	10	VSSD
11	VDDA	11	VDDA	-	-	-	-

4 ピン配置

68-QFN		64-TQFP		48 ピン TQFP		44 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
19	P3.0	18	P3.0	12	P3.0	11	P3.0
20	P3.1	19	P3.1	13	P3.1	12	P3.1
21	P3.2	20	P3.2	14	P3.2	13	P3.2
22	P3.3	21	P3.3	16	P3.3	14	P3.3
23	P3.4	22	P3.4	17	P3.4	15	P3.4
24	P3.5	23	P3.5	18	P3.5	16	P3.5
25	P3.6	24	P3.6	19	P3.6	17	P3.6
26	P3.7	25	P3.7	20	P3.7	18	P3.7
27	VDDIO	26	VDDIO	21	VDDIO	19	VDDD
28	P4.0	27	P4.0	22	P4.0	20	P4.0
29	P4.1	28	P4.1	23	P4.1	21	P4.1
30	P4.2	29	P4.2	24	P4.2	22	P4.2
31	P4.3	30	P4.3	25	P4.3	23	P4.3
32	P4.4	31	P4.4	-	-	-	-
33	P4.5	32	P4.5	-	-	-	-
34	P4.6	33	P4.6	-	-	-	-
35	P4.7	-	-	-	-	-	-
54	P5.0	51	P5.0	-	-	-	-
55	P5.1	52	P5.1	-	-	-	-
56	P5.2	53	P5.2	-	-	-	-
57	P5.3	54	P5.3	-	-	-	-
58	P5.4	-	-	-	-	-	-
59	P5.5	55	P5.5	-	-	-	-
60	VDDA	56	VDDA	40	VDDA	35	VDDA
61	VSSA	57	VSSA	41	VSSA	36	VSSA
12	P6.0	12	P6.0	-	-	-	-
13	P6.1	13	P6.1	-	-	-	-
14	P6.2	14	P6.2	-	-	-	-
15	P6.3	-	-	-	-	-	-
16	P6.4	15	P6.4	-	-	-	-
17	P6.5	16	P6.5	-	-	-	-
18	VSSIO	17	VSSIO	10	VSSD	10	VSSD
39	P7.0	37	P7.0	26	P7.0	-	-
40	P7.1	38	P7.1	27	P7.1	-	-

4 ピン配置

68-QFN		64-TQFP		48 ピン TQFP		44 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
41	P7.2	-	-	-	-	-	-

ポート 6 のピンは過電圧耐性があります。ピン 36、37、および 38 は、68 ピン QFN では未接続です。ピン 34、35、および 36 は、64 ピン TQFP では未接続です。ピン 11 とピン 15 は 48 ピン TQFP では未接続です。すべての VSS ピンを、必ず相互に接続してください。

I/O ポート P0 および P7 の出力ドライバーは VDDD に接続されます。I/O ポート 1、2、および 5 の出力ドライバーは VDDA に接続されます。I/O ポート 3、4、および 6 の出力ドライバーは VDDIO に接続されます。

上の表に示した各々のピンは、次の表に示すように複数のプログラマブルな機能を持つことができます。列のヘッダ行はアナログと代替ピン機能を示します。

ポート/ピン	アナログ	代替関数 1	代替関数 2	代替関数 3	代替関数 4	代替関数 5
P0.0	lpcomp.in_p[0]	-	-	can[1].can_rx:0	-	scb[0].spi_select 1:0
P0.1	lpcomp.in_n[0]	-	-	can[1].can_tx:0	-	scb[0].spi_select 2:0
P0.2	lpcomp.in_p[1]	-	-	-	-	scb[0].spi_select 3:0
P0.3	lpcomp.in_n[1]	-	-	-	-	-
P0.4	wco_in	-	scb[1].uart_rx:0	-	scb[1].i2c_scl:0	scb[1].spi_mosi: 1
P0.5	wco_out	-	scb[1].uart_tx:0	-	scb[1].i2c_sda:0	scb[1].spi_miso: 1
P0.6	-	ext_clk:0	scb[1].uart_cts:0	-	-	scb[1].spi_clk:1
P0.7	-	-	scb[1].uart_rts:0	can[1].can_tx_en b_n:0	wakeup	scb[1].spi_select 0:1
P5.0	ctb1.oa0.inp	tcpwm.line[4]	scb[2].uart_rx:0	-	scb[2].i2c_scl:0	scb[2].spi_mosi: 0
P5.1	ctb1.oa0.inm	tcpwm.line_com pl[4]	scb[2].uart_tx:0	-	scb[2].i2c_sda:0	scb[2].spi_miso: 0
P5.2	ctb1.oa0.out	tcpwm.line[5]	scb[2].uart_cts:0	-	lpcomp.comp[0] :1	scb[2].spi_clk:0
P5.3	ctb1.oa1.out	tcpwm.line_com pl[5]	scb[2].uart_rts:0	-	lpcomp.comp[1] :1	scb[2].spi_select 0:0
P5.4	ctb1.oa1.inm	tcpwm.line[6]	-	-	-	scb[2].spi_select 1:0
P5.5	ctb1.oa1.inp	tcpwm.line_com pl[6]	-	-	-	scb[2].spi_select 2:0
P5.6	ctb1.oa0.inp_a lt	tcpwm.line[7]	-	-	-	scb[2].spi_select 3:0
P5.7	ctb1.oa1.inp_a lt	tcpwm.line_com pl[7]	-	-	-	-

4 ピン配置

ポート/ピン	アナログ	代替関数 1	代替関数 2	代替関数 3	代替関数 4	代替関数 5
P1.0	ctb0.oa0.inp	tcpwm.line[2]	scb[0].uart_rx:1	-	scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0.oa0.inm	tcpwm.line_compl[2]	scb[0].uart_tx:1	-	scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0.oa0.out	tcpwm.line[3]	scb[0].uart_cts:1	-	-	scb[0].spi_clk:1
P1.3	ctb0.oa1.out	tcpwm.line_compl[3]	scb[0].uart_rts:1	-	-	scb[0].spi_select 0:1
P1.4	ctb0.oa1.inm	tcpwm.line[6]	-	-	-	scb[0].spi_select 1:1
P1.5	ctb0.oa1.inp	tcpwm.line_compl[6]	-	-	-	scb[0].spi_select 2:1
P1.6	ctb0.oa0.inp_a	tcpwm.line[7]	-	-	-	scb[0].spi_select 3:1
P1.7	ctb0.oa1.inp_a	tcpwm.line_compl[7]	-	-	-	-
P2.0	sarmux.0	tcpwm.line[4]	-	-	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux.1	tcpwm.line_compl[4]	-	-	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux.2	tcpwm.line[5]	-	-	-	scb[1].spi_clk:2
P2.3	sarmux.3	tcpwm.line_compl[5]	-	-	-	scb[1].spi_select 0:2
P2.4	sarmux.4	tcpwm.line[0]	-	-	-	scb[1].spi_select 1:1
P2.5	sarmux.5	tcpwm.line_compl[0]	-	-	-	scb[1].spi_select 2:1
P2.6	sarmux.6	tcpwm.line[1]	-	-	-	scb[1].spi_select 3:1
P2.7	sarmux.7	tcpwm.line_compl[1]	-	-	-	scb[3].spi_select 0:1
P6.0	-	tcpwm.line[4]	scb[3].uart_rx:0	can[0].can_tx_en b_n:0	scb[3].i2c_scl:0	scb[3].spi_mosi:0
P6.1	-	tcpwm.line_compl[4]	scb[3].uart_tx:0	can[0].can_rx:0	scb[3].i2c_sda:0	scb[3].spi_miso:0
P6.2	-	tcpwm.line[5]	scb[3].uart_cts:0	can[0].can_tx:0	-	scb[3].spi_clk:0
P6.3	-	tcpwm.line_compl[5]	scb[3].uart_rts:0	-	-	scb[3].spi_select 0:0
P6.4	-	tcpwm.line[6]	-	-	-	scb[3].spi_select 1:0

4 ピン配置

ポート/ピン	アナログ	代替関数 1	代替関数 2	代替関数 3	代替関数 4	代替関数 5
P6.5	-	tcpwm.line_compl[6]	-	-	-	scb[3].spi_select2:0
P3.0	-	tcpwm.line[0]	scb[1].uart_rx:1	-	scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1	-	tcpwm.line_compl[0]	scb[1].uart_tx:1	-	scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2	-	tcpwm.line[1]	scb[1].uart_cts:1	-	swd_data	scb[1].spi_clk:0
P3.3	-	tcpwm.line_compl[1]	scb[1].uart_rts:1	-	swd_clk	scb[1].spi_select0:0
P3.4	-	tcpwm.line[2]	-	-	-	scb[1].spi_select1:0
P3.5	-	tcpwm.line_compl[2]	-	-	-	scb[1].spi_select2:0
P3.6	-	tcpwm.line[3]	-	-	-	scb[1].spi_select3:0
P3.7	-	tcpwm.line_compl[3]	-	-	-	-
P4.0	-	-	scb[0].uart_rx:0	can[0].can_rx:1	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	-	-	scb[0].uart_tx:0	can[0].can_tx:1	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd[0].c_mod	-	scb[0].uart_cts:0	can[0].can_tx_enb_n:1	lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd[0].c_sh_tank	-	scb[0].uart_rts:0	-	lpcomp.comp[1]:0	scb[0].spi_select0:0
P4.4	-	-	-	can[1].can_tx_enb_n:1	-	scb[0].spi_select1:2
P4.5	-	-	-	can[1].can_rx:1	-	scb[0].spi_select2:2
P4.6	-	-	-	can[1].can_tx:1	-	scb[0].spi_select3:2
P4.7	-	-	-	-	-	-
P7.0	-	tcpwm.line[0]	scb[3].uart_rx:1	-	scb[3].i2c_scl:1	scb[3].spi_mosi:1
P7.1	-	tcpwm.line_compl[0]	scb[3].uart_tx:1	-	scb[3].i2c_sda:1	scb[3].spi_miso:1
P7.2	-	tcpwm.line[1]	scb[3].uart_cts:1	-	-	scb[3].spi_clk:1

電源ピン機能の説明は以下のとおりです:

VDDD: (V_{DDA} ピンがない) アナログとデジタル部分向けの電源

VDDA: パッケージピンが有効な場合はアナログ V_{DD} ピン。パッケージピンが無効な場合は V_{DDD} に短絡

VDDIO: I/O ピン パワードメイン

VSSA: パッケージピンが有効な場合はアナログ グランドピン。パッケージピンが無効な場合は VSS に短絡

VSS: グランドピン

VCCD: 安定化デジタル電源 (1.8V ±5%)

ポートピンはすべて LCD コモン、LCD セグメントドライバー、または CSD 検知ピンとして使用できます。シールドピンは AMUXBUS A か B に接続するか、またはすべてファームウェアや DSI 信号で駆動できる GPIO ピンとして使用できます。

5 電源

すべての機能および回路が動作する電源電圧範囲は 1.71~5.5V です。

PSOC™ 4200M は、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応しています。

5.1 非安定化外部電源

このモードでは、PSOC™ 4200M は 1.8~5.5V の任意の外部電源から電源供給されます。この範囲はバッテリ パワー動作にも設計されています。例えば、チップは 3.5V で始まってから 1.8V まで下がるバッテリ システムから電源供給されます。このモードでは、PSOC™ 4200M の内部レギュレータは内部ロジックに電源を供給し、PSOC™ 4200M の VCCD 出力は外付けコンデンサ (1~1.6 μF; X5R セラミックまたはこれより良質のもの) を介してグランドにバイパスする必要があります。

グランド、VSSA および VSS は、互いに短絡する必要があります。バイパスコンデンサは VDDD、VDDA とグランド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、互いに平行に配置した 1μF レンジのコンデンサとそれより小さいコンデンサ (例えば、0.1μF) を使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために設計の際には PCB レイアウト、リードインダクタンス、寄生バイパスコンデンサをシミュレーションする必要があることに注意してください。

電源供給	バイパスコンデンサ
VDDD-VSS および VDDIO-VSS	各ピン上の 0.1μF セラミックコンデンサと 1μF~10μF バルクコンデンサ
VDDA-VSSA	ピン上の 0.1μF セラミックコンデンサ。追加の 1μF~10μF バルクコンデンサ
VCCD-VSS	VCCD ピン上の 1μF セラミックコンデンサ
VREF-VSSA (オプション)	高い ADC 性能のために内部バンドギャップに接続される 1μF~10μF バイパスコンデンサ

5.2 安定化外部電源

このモードでは、PSOC™ 4200M は 1.71~1.89V (1.8±5%) の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることに注意してください。VCCD ピンと VDDD ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にされます。

6 電気的仕様

6.1 絶対最大定格

表 1 絶対最大定格

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DD_ABS}	V _{SS} を基準としたアナログまたはデジタル電源 (V _{SSD} = V _{SSA})	-0.5	-	6	V	絶対最大値
SID2	V _{CCD_ABS}	V _{SSD} を基準とした直接デジタルコア電圧入力	-0.5	-	1.95	V	絶対最大値
SID3	V _{GPIO_ABS}	GPIO 電圧; V _{DDD} または V _{DDA}	-0.5	-	V _{DD} +0.5	V	絶対最大値
SID4	I _{GPIO_ABS}	GPIO ごとの電流	-25	-	25	mA	絶対最大値
SID5	I _{G-PIO_injection}	ピンごとの GPIO 注入電流	-0.5	-	0.5	mA	絶対最大値
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

注: 表 1 に記載されている絶対最大条件を超えて使用するとデバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103, High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

6.2 デバイスレベルの仕様

特記されない限り、すべての仕様は -40°C ≤ TA ≤ 105°C および TJ ≤ 125°C の条件で有効です。仕様は、特に注記した場合を除いて、1.71V～5.5V において有効です。

表 2 DC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DD}	電源入力電圧 (V _{DDA} = V _{DDD} = V _{DD})	1.8	-	5.5	V	レギュレータが有効
SID255	V _{DDD}	非安定化電源入力電圧	1.71	1.8	1.89	V	内部的に安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.8	-	V	-
SID55	C _{EFC}	外部レギュレータ電圧バイパス	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源デカップリング コンデンサ	-	1	-	μF	X5R セラミックまたはこれより良質のもの

アクティブ モード, V_{DD} = 1.71 V～5.5 V, -40 °C～+105 °C

(続く)

表2 (続き) DC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID6	I_{DD1}	フラッシュから実行; CPU 速度が 6 MHz	-	2.2	2.8	mA	-
SID7	I_{DD2}	フラッシュから実行; CPU 速度が 12 MHz	-	3.7	4.2	mA	-
SID8	I_{DD3}	フラッシュから実行; CPU 速度が 24 MHz	-	6.7	7.2	mA	-
SID9	I_{DD4}	フラッシュから実行; CPU 速度が 48 MHz	-	13	13.8	mA	-

スリープモード, -40 °C~+105 °C

SID21	I_{DD16}	I^2C ウエイクアップ、WDT、コンパレータが有効レギュレータが無効	-	1.75	2.1	mA	$V_{DD} = 1.71 \sim 1.89, 6 \text{ MHz}$
SID22	I_{DD17}	I^2C ウエイクアップ、WDT、コンパレータが有効	-	1.7	2.1	mA	$V_{DD} = 1.8 \sim 5.5, 6 \text{ MHz}$
SID23	I_{DD18}	I^2C ウエイクアップ、WDT、コンパレータが有効レギュレータが無効	-	2.35	2.8	mA	$V_{DD} = 1.71 \sim 1.89, 12 \text{ MHz}$
SID24	I_{DD19}	I^2C ウエイクアップ、WDT、コンパレータが有効	-	2.25	2.8	mA	$V_{DD} = 1.8 \sim 5.5, 12 \text{ MHz}$

ディープスリープモード, -40 °C~+60 °C

SID30	I_{DD25}	I^2C ウエイクアップと WDT が有効、レギュレータが無効	-	1.55	20	μA	$V_{DD} = 1.71 \sim 1.89$
SID31	I_{DD26}	I^2C ウエイクアップと WDT が有効、	-	1.35	15	μA	$V_{DD} = 1.8 \sim 3.6$
SID32	I_{DD27}	I^2C ウエイクアップと WDT が有効、	-	1.5	15	μA	$V_{DD} = 3.6 \sim 5.5$

ディープスリープモード, +85 °C

SID33	I_{DD28}	I^2C ウエイクアップと WDT が有効、レギュレータが無効	-	-	60	μA	$V_{DD} = 1.71 \sim 1.89$
SID34	I_{DD29}	I^2C ウエイクアップと WDT が有効、	-	-	45	μA	$V_{DD} = 1.8 \sim 3.6$
SID35	I_{DD30}	I^2C ウエイクアップと WDT が有効、	-	-	30	μA	$V_{DD} = 3.6 \sim 5.5$

ディープスリープモード, +105 °C

SID33Q	I_{DD28Q}	I^2C ウエイクアップと WDT が有効、レギュレータが無効	-	-	135	μA	$V_{DD} = 1.71 \sim 1.89$
SID34Q	I_{DD29Q}	I^2C ウエイクアップと WDT が有効、	-	-	180	μA	$V_{DD} = 1.8 \sim 3.6$
SID35Q	I_{DD30Q}	I^2C ウエイクアップと WDT が有効、	-	-	140	μA	$V_{DD} = 3.6 \sim 5.5$

ハイバネートモード, -40 °C~+60 °C

SID39	I_{DD34}	レギュレータが無効	-	150	3000	nA	$V_{DD} = 1.71 \sim 1.89$
SID40	I_{DD35}	-	-	150	1000	nA	$V_{DD} = 1.8 \sim 3.6$
SID41	I_{DD36}	-	-	150	1100	nA	$V_{DD} = 3.6 \sim 5.5$

(続く)

表 2 (続き) DC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
ハイバネートモード, +85 °C							
SID42	I _{DD37}	レギュレータが無効	-	-	4500	nA	V _{DD} = 1.71 ~ 1.89
SID43	I _{DD38}	-	-	-	3500	nA	V _{DD} = 1.8 ~ 3.6
SID44	I _{DD39}	-	-	-	3500	nA	V _{DD} = 3.6 ~ 5.5
ハイバネートモード, +105 °C							
SID42Q	I _{DD37Q}	レギュレータが無効	-	-	19.4	μA	V _{DD} = 1.71 ~ 1.89
SID43Q	I _{DD38Q}	-	-	-	17	μA	V _{DD} = 1.8 ~ 3.6
SID44Q	I _{DD39Q}	-	-	-	16	μA	V _{DD} = 3.6 ~ 5.5
ストップモード							
SID304	I _{DD43A}	ストップモード電流; V _{DD} = 3.6 V	-	35	85	nA	T = -40 °C ~ +60 °C
SID304A	I _{DD43B}	ストップモード電流; V _{DD} = 3.6 V	-	-	1450	nA	T = +85 °C
ストップモード, +105 °C							
SID304Q	I _{DD43AQ}	ストップモード電流; V _{DD} = 3.6 V	-	-	5645	nA	-
XRES 電流							
SID307	I _{DD_XR}	XRES のアサート時の供給電流	-	2	5	mA	-

表 3 AC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F _{CPU}	CPU の周波数	DC	-	48	MHz	1.71 ≤ V _{DD} ≤ 5.5
SID49 ¹⁾	T _{SLEEP}	スリープモードからの復帰時間	-	0	-	μs	-
SID50 ¹⁾	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間	-	-	25	μs	24MHz IMO。
SID51 ¹⁾	T _{HIBERNATE}	ハイバネートモードからの復帰時間	-	-	0.7	ms	-
SID51A ¹⁾	T _{STOP}	ストップモードからの復帰時間	-	-	2	ms	-
SID52 ¹⁾	T _{RESETWIDTH}	外部リセットパルス幅	1	-	-	μs	-

1) 特性評価で保証。

6.2.1 GPIO

表 4 GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{1)}$	入力 HIGH 電圧しきい値	$0.7 \times V_{DDD}$	-	-	V	CMOS 入力
SID57A	IIHS	OVT 入力のパッド > V_{DDIO} の時の入力電流	-	-	10	μA	I ² C 仕様どおり
SID58	V_{IL}	入力 LOW 電圧しきい値	-	-	$0.3 \times V_{DDD}$	V	CMOS 入力
SID241	$V_{IH}^{1)}$	LV TTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	-	-	V	-
SID242	V_{IL}	LV TTL 入力、 $V_{DDD} < 2.7V$	-	-	$0.3 \times V_{DDD}$	V	-
SID243	$V_{IH}^{1)}$	LV TTL 入力、 $V_{DDD} \geq 2.7V$	2.0	-	-	V	-
SID244	V_{IL}	LV TTL 入力、 $V_{DDD} \geq 2.7V$	-	-	0.8	V	-
SID59	V_{OH}	出力 HIGH 電圧	$V_{DDD} - 0.6$	-	-	V	$I_{OH} = 4mA, V_{DDD} \geq 3V$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DDD} - 0.5$	-	-	V	$1.8V V_{DDD} で I_{OH} = 1mA$
SID61	V_{OL}	出力 LOW 電圧	-	-	0.6	V	$1.8V V_{DDD} で I_{OL} = 4mA$
SID62	V_{OL}	出力 LOW 電圧	-	-	0.6	V	$I_{OL} = 8mA, V_{DDD} \geq 3V$
SID62A	V_{OL}	出力 LOW 電圧	-	-	0.4	V	$I_{OL} = 3mA, V_{DDD} \geq 3V$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	-
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	-
SID65 ²⁾	I_{IL}	入力リーケ電流 (絶対値)	-	-	2	nA	$25^{\circ}C, V_{DDD} = 3.0V。$
SID65A ²⁾	I_{IL_CTBM}	CTBM ピンの入力リーケ電流 (絶対値)	-	-	4	nA	-
SID66	C_{IN}	入力静電容量	-	-	7	pF	-
SID67	V_{HYSTTL}	入力ヒステリシス LV TTL	25	40	-	mV	$V_{DDD} \geq 2.7V$
SID68	V_{HYSMOS}	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	-	-	mV	-
SID69 ²⁾	I_{DIODE}	保護ダイオードから V_{DD}/V_{ss} へ 流れる電流	-	-	100	μA	-
SID69A ²⁾	I_{TOT_GPIO}	チップの最大合計ソースまたは シンク電流	-	-	200	mA	-

1) V_{IH} は $V_{DDD} + 0.2V$ を超えてはなりません。

2) 特性評価で保証。

表 5 GPIO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロング モードでの立ち上り時間	2	-	12	ns	3.3 V V_{DDD} 、 $C_{load} = 25 \text{ pF}$
SID71	T_{FALLF}	高速ストロング モードでの立ち下り時間	2	-	12	ns	3.3 V V_{DDD} 、 $C_{load} = 25 \text{ pF}$
SID72	T_{RISES}	低速ストロング モードでの立ち上り時間	10	-	60	ns	3.3 V V_{DDD} 、 $C_{load} = 25 \text{ pF}$
SID73	T_{FALLS}	低速 Strong (ストロング) モードでの立ち下り時間	10	-	60	ns	3.3 V V_{DDD} 、 $C_{load} = 25 \text{ pF}$
SID74	$F_{GPIOOUT1}$	GPIO Fout; $3.3 \text{ V} \leq V_{DDD} \leq 5.5 \text{ V}$ 。 高速ストロング モード	-	-	33	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID75	$F_{GPIOOUT2}$	GPIO Fout; $1.7 \text{ V} \leq V_{DDD} \leq 3.3 \text{ V}$ 。 高速ストロング モード	-	-	16.7	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID76	$F_{GPIOOUT3}$	GPIO Fout; $3.3 \text{ V} \leq V_{DDD} \leq 5.5 \text{ V}$ 。 低速ストロング モード	-	-	7	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID245	$F_{GPIOOUT4}$	GPIO Fout; $1.7 \text{ V} \leq V_{DDD} \leq 3.3 \text{ V}$ 。 低速ストロング モード	-	-	3.5	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID246	F_{GPIOIN}	GPIO の入力動作周波数; $1.71 \text{ V} \leq V_{DDD} \leq 5.5 \text{ V}$ 。	-	-	48	MHz	90/10% V_{IO}

注: 完全にロードされた多数の GPIO ピン上の同時スイッチング遷移は、PCB やデカップリングコンデンサの設計を含むいくつかの要素によって、グランドレベル摂動を引き起こす可能性があります。グランドレベル摂動に対して高い感度をもつアプリケーションでは、より低い GPIO スルーレートが適用可能です。

6.2.2 XRES

表 6 XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V_{IH}	入力 HIGH 電圧しきい値	$0.7 \times V_{DDD}$	-	-	V	CMOS 入力
SID78	V_{IL}	入力 LOW 電圧しきい値	-	-	$0.3 \times V_{DDD}$	V	CMOS 入力
SID79	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	-
SID80	C_{IN}	入力静電容量	-	3	-	pF	-
SID81 ¹⁾	$V_{HYSXRES}$	入力電圧ヒステリシス	-	100	-	mV	-

(続く)

表 6 (続き) XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID82 ¹⁾	I_{DIODE}	保護ダイオードから V_{DDD}/V_{SS} へ 流れる電流	-	-	100	μA	-

1) 特性評価で保証。

表 7 XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ¹⁾	$T_{RESETWIDTH}$	リセットパルス幅	1	-	-	μs	-

1) 特性評価で保証。

6.3 アナログ ペリフェラル

6.3.1 オペアンプ

表 8 オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
-	I_{DD}	オペアンプ ブロック電 流。負荷なし	-	-	-	-	-
SID269	I_{DD_HI}	電力 = 高	-	1100	1850	μA	-
SID270	I_{DD_MED}	電力 = 中	-	550	950	μA	-
SID271	I_{DD_LOW}	電力 = 低	-	150	350	μA	-
-	GBW	負荷 = 20 pF、0.1 mA。 $V_{DDA} = 2.7 V$	-	-	-	-	-
SID272	GBW_HI	電力 = 高	6	-	-	MHz	-
SID273	GBW_MED	電力 = 中	4	-	-	MHz	-
SID274	GBW_LO	電力 = 低	-	1	-	MHz	-
-	I_{OUT_MAX}	$V_{DDA} \geq 2.7 V$, 500 mV 電源	-	-	-	-	-
SID275	$I_{OUT_MAX_HI}$	電力 = 高	10	-	-	mA	-
SID276	$I_{OUT_MAX_MID}$	電力 = 中	10	-	-	mA	-
SID277	$I_{OUT_MAX_LO}$	電力 = 低	-	5	-	mA	-
-	I_{OUT}	$V_{DDA} = 1.71 V$, 500 mV 電源	-	-	-	-	-
SID278	$I_{OUT_MAX_HI}$	電力 = 高	4	-	-	mA	-

(続<)

表 8 (続き) オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID279	I _{OUT_MAX_MID}	電力 = 中	4	-	-	mA	-
SID280	I _{OUT_MAX_LO}	電力 = 低	-	2	-	mA	-
SID281	V _{IN}	入力電圧範囲	-0.05	-	VDDA - 0.2	V	チャージポンプが有効, V _{DDA} ≥ 2.7 V
SID282	V _{CM}	入力同相電圧	-0.05	-	VDDA - 0.2	V	チャージポンプが有効, V _{DDA} ≥ 2.7 V
-	V _{OUT}	V _{DDA} ≥ 2.7 V	-	-	-	-	-
SID283	V _{OUT_1}	電力 = 高, I _{load} =10 mA	0.5	-	VDDA - 0.5	V	-
SID284	V _{OUT_2}	電力 = 高, I _{load} =1 mA	0.2	-	VDDA - 0.2	V	-
SID285	V _{OUT_3}	電力 = 中, I _{load} =1 mA	0.2	-	VDDA - 0.2	V	-
SID286	V _{OUT_4}	電力 = 低, I _{load} =0.1mA	0.2	-	VDDA - 0.2	V	-
SID288	V _{OS_TR}	オフセット電圧 (トリミング済み)	1	±0.5	1	mV	高電力モード
SID288A	V _{OS_TR}	オフセット電圧 (トリミング済み)	-	±1	-	mV	中電力モード
SID288B	V _{OS_TR}	オフセット電圧 (トリミング済み)	-	±2	-	mV	低電力モード
SID290	V _{OS_DR_TR}	オフセット電圧ドリフト(トリミング済み)	-10	±3	10	µV/°C	高電力モード T _A ≤ 85 °C
SID290Q	V _{OS_DR_TR}	オフセット電圧ドリフト(トリミング済み)	15	±3	15	µV/°C	高電力モード T _A ≤ 105 °C
SID290A	V _{OS_DR_TR}	オフセット電圧ドリフト(トリミング済み)	-	±10	-	µV/°C	中電力モード
SID290B	V _{OS_DR_TR}	オフセット電圧ドリフト(トリミング済み)	-	±10	-	µV/°C	低電力モード

(続く)

表 8 (続き) オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID291	CMRR	DC 同相信号除去比, 高電力モード, 0.5 V ~ V_{DDA} - 0.5 V のコモンモード電圧範囲	60	70	-	dB	$V_{DDD} = 3.6 \text{ V}$
SID292	PSRR	1kHz で、 100mV リップル	70	85	-	dB	$V_{DDD} = 3.6 \text{ V}$
-	Noise		-	-	-	-	-
SID293	V_{N1}	基準入力, 1 Hz ~ 1 GHz, 電力 = 高	-	94	-	μVrms	-
SID294	V_{N2}	基準入力, 1 kHz, 電力 = 高	-	72	-	nV/rtHz	-
SID295	V_{N3}	基準入力, 10 kHz, 電力 = 高	-	28	-	nV/rtHz	-
SID296	V_{N4}	基準入力, 100 kHz, 電力 = 高	-	15	-	nV/rtHz	-
SID297	Cload	最大負荷まで安定。 50pF で性能仕様を満たす	-	-	125	pF	-
SID298	Slew_rate	$C_{load} = 50 \text{ pF}$, 電力 = 高, $V_{DDA} \geq 2.7 \text{ V}$	6	-	-	V/ μs	-
SID299	T_op_wake	無効から有効まで、外付け RC 支配なし	-	25	-	μs	-
SID299A	OL_GAIN	オープンループゲイン	-	90	-	dB	-

(続く)

表 8 (続き) オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
-	Comp_mode	コンパレータモード; 50mV 駆動, Trise = Tfall (おおよそ)	-	-	-		-
SID300	T _{PD1}	応答時間; 電力 = 高	-	150	-	ns	-
SID301	T _{PD2}	応答時間; 電力 = 中	-	400	-	ns	-
SID302	T _{PD3}	応答時間; 電力 = 低	-	2000	-	ns	-
SID303	V _{hyst_op}	ヒステリシス	-	10	-	mV	-
ディープスリープモード		モード 2 は 最低電流範囲。モード 1 は GBW が高い					ディープスリープモード $V_{DDA} \geq 2.7\text{ V}$
SID_DS_1	IDD_HI_M1	モード 1, 高電流	-	1400	-	uA	25 °C
SID_DS_2	IDD_MED_M1	モード 1, 中電流	-	700	-	uA	25 °C
SID_DS_3	IDD_LOW_M1	モード 1, 低電流	-	200	-	uA	25 °C
SID_DS_4	IDD_HI_M2	モード 2, 高電流	-	120	-	uA	25 °C
SID_DS_5	IDD_MED_M2	モード 2, 中電流	-	60	-	uA	25 °C
SID_DS_6	IDD_LOW_M2	モード 2, 低電流	-	15	-	uA	25 °C
SID_DS_7	GBW_HI_M1	モード 1, 高電流	-	4	-	MHz	25 °C
SID_DS_8	GBW_MED_M1	モード 1, 中電流	-	2	-	MHz	25 °C
SID_DS_9	GBW_LOW_M1	モード 1, 低電流	-	0.5	-	MHz	25 °C
SID_DS_10	GBW_HI_M2	モード 2, 高電流	-	0.5	-	MHz	20pF 負荷、DC 負荷なし、0.2V~ V_{DDA} -1.5V

(続く)

表 8 (続き) オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_11	GBW_MED_M2	モード 2, 中電流	-	0.2	-	MHz	20pF 負荷、DC 負荷なし、0.2V~V _{DDA} -1.5V
SID_DS_12	GBW_LOW_M2	モード 2, 低電流	-	0.1	-	MHz	20pF 負荷、DC 負荷なし、0.2V~V _{DDA} -1.5V
SID_DS_13	VOS_HI_M1	モード 1, 高電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_14	VOS_MED_M1	モード 1, 中電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_15	VOS_LOW_M1	モード 1, 低電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_16	VOS_HI_M2	モード 2, 高電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_17	VOS_MED_M2	モード 2, 中電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_18	VOS_LOW_M2	モード 2, 低電流	-	5	-	mV	トリミング済み、25°C、0.2V~V _{DDA} -1.5V
SID_DS_19	IOUT_HI_M1	モード 1, 高電流	-	10	-	mA	出力が 0.5V ~V _{DDA} -0.5 V
SID_DS_20	IOUT_MED_M1	モード 1, 中電流	-	10	-	mA	出力が 0.5V ~V _{DDA} -0.5 V
SID_DS_21	IOUT_LOW_M1	モード 1, 低電流	-	4	-	mA	出力が 0.5V ~V _{DDA} -0.5 V
SID_DS_22	IOUT_HI_M2	モード 2, 高電流	-	1	-	mA	出力が 0.5V ~V _{DDA} -0.5 V

(続く)

表 8 (続き) オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_23	IOUT_MED_M2	モード 2, 中電流	-	1	-	mA	出力が 0.5V ~V _{DDA} -0.5V
SID_DS_24	IOUT_LOW_M2	モード 2, 低電流	-	0.5	-	mA	出力が 0.5V ~V _{DDA} -0.5V

6.3.2 コンパレータ

表 9 コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID85	V _{OFFSET2}	入力オフセット電圧。コモンモード電圧範囲: 0 ~ V _{DD} -1	-	-	±4	mV	-
SID85A	V _{OFFSET3}	入力オフセット電圧。超低消費電力モード(温度 < 0 °C: V _{DDD} ≥ 2.2 V, 温度 > 0 °C: V _{DDD} ≥ 1.8 V)	-	±12	-	mV	-
SID86 ¹⁾	V _{HYST}	有効時のヒステリシス。コモンモード電圧範囲: 0 ~ V _{DD} -1	-	10	35	mV	-
SID87	V _{ICM1}	通常モードでの入力同相電圧	0	-	V _{DDD} - 0.1	V	モード 1 とモード 2
SID247	V _{ICM2}	低消費電力モードでの入力同相電圧(温度 < 0 °C: V _{DDD} ≥ 2.2 V, 温度 > 0 °C: V _{DDD} ≥ 1.8 V)	0	-	V _{DDD}	V	-
SID247A	V _{ICM3}	超低消費電力モードでの入力同相電圧	0	-	V _{DDD} - 1.15	V	-
SID88 ¹⁾	CMRR	同相信号除去比	50	-	-	dB	V _{DDD} ≥ 2.7 V
SID88A ¹⁾	CMRR	同相信号除去比	42	-	-	dB	V _{DDD} < 2.7 V
SID89 ¹⁾	I _{CMP1}	ブロック電流, 通常モード	-	-	400	μA	-
SID248 ¹⁾	I _{CMP2}	ブロック電流, 低消費電力モード	-	-	100	μA	-
SID259 ¹⁾	I _{CMP3}	ブロック電流, 超低消費電力モード(温度 < 0 °C: V _{DDD} ≥ 2.2 V, 温度 > 0 °C: V _{DDD} ≥ 1.8 V)	-	6	28	μA	-
SID90 ¹⁾	Z _{CMP}	コンパレータの DC 入力インピーダンス	35	-	-	MΩ	-

1) 特性評価で保証。

表 10 コンパレータの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	T _{RESP1}	応答時間、通常モード	-	-	110	ns	50mV オーバードライブ
SID258	T _{RESP2}	応答時間、低消費電力モード	-	-	200	ns	50mV オーバードライブ
SID92	T _{RESP3}	応答時間、超低消費電力モード (温度 < 0 °C: V _{DDD} ≥ 2.2 V, 温度 > 0 °C: V _{DDD} ≥ 1.8 V)	-	-	15	μs	200 mV オーバードライブ

6.3.3 温度センサー

表 11 温度センサーの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	T _{SENSACC}	温度センサーの精度	-5	±1	+5	°C	-40°C～+85°C

6.3.4 SAR ADC

表 12 SAR ADC の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID94	A_RES	分解能	-	-	12	ビット	-
SID95	A_CHNIS_S	チャネル数 - シングルエンド	-	-	16		-
SID96	A-CHNKS_D	チャネル数 - 差動	-	-	8		差動入力は隣接する I/O 使用
SID97 ¹⁾	A-MONO	単調性	あり				-
SID98	A_GAINERR	ゲイン誤差	-	-	±0.1	%	外部リファレンスあり
SID99	A_OFFSET	入力オフセット電圧	-	-	2	mV	1VV _{REF} で測定
SID100	A_ISAR	消費電流	-	-	1	mA	-
SID101 ¹⁾	A_VINS	入力電圧範囲 - シングルエンド	V _{SS}	-	V _{DDA}	V	-
SID102 ¹⁾	A_VIND	入力電圧範囲 - 差動	V _{SS}	-	V _{DDA}	V	-
SID103 ¹⁾	A_INRES	入力抵抗	-	-	2.2	KΩ	-
SID104 ¹⁾	A_INCAP	入力静電容量	-	-	10	pF	-

1) 特性評価で保証。

表 13 SAR ADC の AC 仕様

特性評価で保証

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID106	A_PSRR	電源電圧変動除去比	70	-	-	dB	-
SID107	A_CMRR	同相信号除去比	66	-	-	dB	1V で測定
SID108	A_SAMP_1	サンプルレート、外付けリファレンスバイパスコンデンサあり	-	-	1	Msps	-
SID108A	A_SAMP_2	サンプルレート、バイパスコンデンサなし。 リファレンス = V_{DD}	-	-	1	Msps	-
SID108B	A_SAMP_3	サンプルレート、バイパスコンデンサなし。 内部リファレンス	-	-	100	Ksps	-
SID109	A_SNDR	信号対ノイズおよび歪み比 (SINAD)	66	-	-	dB	$F_{IN} = 10 \text{ kHz}$
SID111	A_INL	積分非直線性	-1.4	-	+1.4	LSB	$V_{DD} = 1.71 \sim 5.5$ 、 1Msps、 $V_{ref} = 1 \sim 5.5$
SID111A	A_INL	積分非直線性	-1.4	-	+1.4	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 1Msps、 $V_{ref} = 1.71 \sim V_{DDD}$
SID111B	A_INL	積分非直線性	-1.4	-	+1.4	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500 ksps、 $V_{ref} = 1 \sim 5.5$
SID112	A_DNL	微分非直線性	-0.9	-	+1.35	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 1Msps、 $V_{ref} = 1 \sim 5.5$
SID112A	A_DNL	微分非直線性	-0.9	-	+1.35	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 1Msps、 $V_{ref} = 1.71 \sim V_{DDD}$
SID112B	A_DNL	微分非直線性	-0.9	-	+1.35	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500 ksps、 $V_{ref} = 1 \sim 5.5$
SID113	A_THD	全高調波歪み	-	-	-65	dB	$F_{IN} = 10 \text{ kHz}$.

6.3.5 CSD

表 14 CSD Block Specification

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
CSD 仕様							
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	-
(続く)							

表 14 (続き) CSD Block Specification

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID309	IDAC1	8ビット分解能用の DNL	-1	-	1	LSB	-
SID310	IDAC1	8ビット分解能用の INL	-3	-	3	LSB	-
SID311	IDAC2	7ビット分解能用の DNL	-1	-	1	LSB	-
SID312	IDAC2	7ビット分解能用の INL	-3	-	3	LSB	-
SID313 ¹⁾	SNR	指数対ノイズ比。	5	-	-	比率	静電容量範囲が 9 ~35pF、感度= 0.1pF
SID314	IDAC1_CRT1	高レンジの Idac1 (8ビット) の出力電流	-	612	-	μA	-
SID314A	IDAC1_CRT2	低レンジの Idac1 (8ビット) の出力電流	-	306	-	μA	-
SID315	IDAC2_CRT1	高レンジの Idac2 (7ビット) の出力電流	-	304.8	-	μA	-
SID315A	IDAC2_CRT2	低レンジの Idac2 (7ビット) の出力電流	-	152.4	-	μA	-

1) 特性評価で保証。

6.4 デジタルペリフェラル

次の仕様は、タイマモードでのタイマー/カウンター/PWMペリフェラルに適用されます。

6.4.1 タイマー/カウンター/PWM

表 15 TCPWM 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	-	-	45	μA	すべてのモード(タイマー/カウンター/PWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	-	-	155	μA	すべてのモード(タイマー/カウンター/PWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	-	-	650	μA	すべてのモード(タイマー/カウンター/PWM)
SID.TCPWM.3	TCPWMFREQ	動作周波数	-	-	F _c	MHz	F _c max = F _c pu。 Maximum = 24 MHz
SID.TCPWM.4	TPWMENEXT	すべてのトリガーイベント用の入力トリガーパルス幅	2/F _c	-	-	ns	選択した動作モードによってトリガーアイベントはストップ、スタート、リロード、カウント、キャプチャ、またはキル

(続く)

表 15 (続き) TCPWM 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.5	TPWMEXT	出力トリガー パルス幅	2/Fc	-	-	ns	オーバーフロー、アンダーフロー、および CC (カウンター=比較値) トリガー出力の最小幅
SID.TCPWM.5A	TCRES	カウンタ一分解能	1/Fc	-	-	ns	連続カウント同士間の最小時間
SID.TCPWM.5B	PWMRES	PWM 分解能	1/Fc	-	-	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	QRES	直交位相分解能	1/Fc	-	-	ns	直交位相入力同士間の最小パルス幅

6.4.2 I²C

表 16 固定 I²C の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I²C1}	100kHz でのブロック消費電流	-	-	50	μA	-
SID150	I _{I²C2}	400kHz でのブロック消費電流	-	-	135	μA	-
SID151	I _{I²C3}	1Mbps でのブロック消費電流	-	-	310	μA	-
SID152	I _{I²C4}	ディープスリープモードで有効にされた I ² C	-	-	1.4	μA	-

表 17 固定 I²C AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I²C1}	ビットレート	-	-	1	Mbps	-

6.4.3 LCD ダイレクトドライブ

表 18 LCD 直接駆動の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I_{LCDLOW}	低消費電力モードでの動作電流	-	5	-	μA	16×4 小型セグメントディスプレイが 50Hz で動作
SID155 ¹⁾	C_{LCDCAP}	セグメント/コモンドライバー当たりの LCD 静電容量	-	500	5000	pF	-
SID156	LCD_{OFFSET}	長時間セグメントオフセット	-	20	-	mV	-
SID157	I_{LCDOP1}	PWM モード電流。5V バイアス。 24-MHz IMO	-	0.6	-	mA	32×4 セグメント、 50Hz, 25°C
SID158	I_{LCDOP2}	PWM モード電流。3.3V バイアス。 24-MHz IMO.	-	0.5	-	mA	32×4 セグメント、 50Hz, 25°C

1) 設計で保証。

表 19 LCD 直接駆動の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F_{LCD}	LCD フレームレート	10	50	150	Hz	-

表 20 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I_{UART1}	100 Kbps でのブロック消費電流	-	-	55	μA	-
SID161	I_{UART2}	1000 Kbps でのブロック消費電流	-	-	312	μA	-

表 21 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F_{UART}	ビットレート	-	-	1	Mbps	-

6.4.4 SPI の仕様

表 22 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	I_{SPI1}	1 Mbps でのブロック消費電流	-	-	360	μA	-

(続く)

表 22 (続き) 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID164	I_{SPI2}	4 Mbps でのブロック消費電流	-	-	560	μA	-
SID165	I_{SPI3}	8 Mbps でのブロック消費電流	-	-	600	μA	-

表 23 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	F_{SPI}	SPI 動作周波数(マスター; 6 倍オーバーサンプリング)	-	-	8	MHz	-

表 24 固定 SPI マスター モードの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID167	T_{DMO}	Sclock 駆動エッジ後の MOSI 有効期間	-	-	15	ns	-
SID168	T_{DSI}	Sclock キャプチャエッジ前の MISO 有効時間。フルクロックサイクル、遅い MISO サンプルを使用	20	-	-	ns	-
SID169	T_{HMO}	スレーブ側でのキャプチャエッジ前の MOSI データホールド時間	0	-	-	ns	-

表 25 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID170	T_{DMI}	Sclock キャプチャエッジ前の MOSI 有効時間	40	-	-	ns	-
SID171	T_{DSO}	Sclock 駆動エッジ後の MISO 有効期間	-	-	$42 + 3 \times (1/FCPU)$	ns	-
SID171A	T_{DSO_ext}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	-	-	48	ns	-
SID172	T_{HSO}	前の MISO データホールド時間	0	-	-	ns	-
SID172A	$T_{SSELSCCK}$	SSEL 有効から最初の SCK 有効エッジまでの時間	100	-	-	ns	-

6.5 メモリ

表 26 フラッシュの DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	-	5.5	V	-

表 27 フラッシュの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE}	行(ブロック)書き込み時間 (消去およびプログラム)	-	-	20	ms	行(ブロック)=128 バイト
SID175	T _{ROWERASE}	行消去時間	-	-	13	ms	-
SID176	T _{ROWPROGRAM}	消去後の行プログラム時間	-	-	7	ms	-
SID178	T _{BULKERASE}	バルク消去時間 (128KB)	-	-	35	ms	-
SID179	T _{SECTORERASE}	セクタ消去時間 (8KB)	-	-	15	ms	-
SID180 ¹⁾	T _{DEVPROG}	デバイスプログラム合計時間	-	-	15	s	-
SID181 ¹⁾	F _{END}	フラッシュへのアクセス可能回数	100 K	-	-	サイクル	-
SID182 ¹⁾	F _{RET}	フラッシュのデータ保存期間。T _A ≤ 55°C、プログラム/消去サイクル = 100K	20	-	-	年	-
SID182A ¹⁾	-	フラッシュのデータ保存期間。T _A ≤ 85°C、プログラム/消去サイクル = 10K	10	-	-	年	-
SID182B ¹⁾	F _{RETQ}	フラッシュのデータ保存期間。T _A ≤ 105°C、プログラム/消去サイクル = 10K, T _A ≥ 85 °C の場合 3 年以下	10	20	-	年	-

1) 特性評価で保証。

6.6 システムリソース

6.6.1 電圧低下対応パワーオンリセット(POR)

表 28 不正確なパワーオンリセット(PRES)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID185 ¹⁾	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	-	1.45	V	-
SID186 ¹⁾	V _{FALLIPOR}	立ち下りトリップ電圧	0.75	-	1.4	V	-
SID187 ¹⁾	V _{IPORHYST}	ヒステリシス	15	-	200	mV	-

6 電気的仕様

1) 特性評価で保証。

表 29 正確なパワー オンリセット (POR)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 ¹⁾	$V_{FALLPPOR}$	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.64	-	-	V	-
SID192 ¹⁾	$V_{FALLDPSLP}$	ディープスリープ モードでの BOD トリップ電圧	1.4	-	-	V	-

1) 特性評価で保証。

6.6.2 電圧モニター

表 30 電圧モニターの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID195	V_{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	-
SID196	V_{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	-
SID197	V_{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	-
SID198	V_{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	-
SID199	V_{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	-
SID200	V_{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	-
SID201	V_{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	-
SID202	V_{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	-
SID203	V_{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	-
SID204	V_{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	-
SID205	V_{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	-
SID206	V_{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	-
SID207	V_{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	-
SID208	V_{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	-
SID209	V_{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	-
SID210	V_{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	-
SID211 ¹⁾	LVI_IDD	ブロック電流	-	-	100	μ A	-

1) 特性評価で保証。

表 31 電圧モニターの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID212 ¹⁾	TMONTRIP	電圧モニター トリップ時間	-	-	1	μ s	-

1) 特性評価で保証。

6.6.3 SWD インターフェース

表 32 SWD インターフェース仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCLK1	$3.3V \leq V_{DD} \leq 5.5V$	-	-	14	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID214	F_SWDCLK2	$1.71V \leq V_{DD} \leq 3.3V$	-	-	7	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID215 ¹⁾	T_SWDI_SETUP	$T = 1/f$ SWDCLK	0.25*T	-	-	ns	-
SID216 ¹⁾	T_SWDI_HOLD	$T = 1/f$ SWDCLK	0.25*T	-	-	ns	-
SID217 ¹⁾	T_SWDO_VALID	$T = 1/f$ SWDCLK	-	-	0.5*T	ns	-
SID217A ¹⁾	T_SWDO_HOLD	$T = 1/f$ SWDCLK	1	-	-	ns	-

1) 特性評価で保証。

6.6.4 内部主振動子

表 33 IMO の DC 仕様

(設計で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	IIMO1	48MHz での IMO 動作電流	-	-	1000	μA	-
SID219	IIMO2	24MHz での IMO 動作電流	-	-	325	μA	-
SID220	IIMO3	12MHz での IMO 動作電流	-	-	225	μA	-
SID221	IIMO4	6MHz での IMO 動作電流	-	-	180	μA	-
SID222	IIMO5	3MHz での IMO 動作電流	-	-	150	μA	-

表 34 IMO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	FIMOTOL1	3MHz～48MHz での周波数変化	-	-	±2	%	$T_A > 85^\circ C$ かつ IMO 周波数 < 24 MHz の場合 ±3%
SID226	TSTARTIMO	IMO 起動時間	-	-	12	μs	-
SID227	TJITRMSIMO1	3MHz での RMS ジッタ	-	156	-	ps	-
SID228	TJITRMSIMO2	24MHz での RMS ジッタ	-	145	-	ps	-
SID229	TJITRMSIMO3	48MHz での RMS ジッタ	-	139	-	ps	-

6.6.5 内部低速振動子

表 35 ILO の DC 仕様

(設計で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 ¹⁾	I_{ILO1}	32kHz での ILO 動作電流	-	0.3	1.05	μA	-
SID233 ²⁾	$I_{ILOLEAK}$	ILO リーク電流	-	2	15	nA	-

1) 特性評価で保証。

2) 設計で保証。

表 36 ILO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 ¹⁾	$T_{STARTILO1}$	ILO 起動時間	-	-	2	ms	-
SID236 ¹⁾	$T_{ILODUTY}$	ILO デューティ比	40	50	60	%	-
SID237	$F_{ILOTRIM1}$	32kHz でのトリミング済み周波数	15	32	50	kHz	$T_A > 85^\circ C$ の場合、最大 ILO 周波数は 70 kHz

1) 特性評価で保証。

表 37 外部クロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 ¹⁾	ExtClkFreq	外部クロック入力周波数	0	-	48	MHz	-
SID306 ¹⁾	ExtClkDuty	デューティサイクル; $V_{DD/2}$ で測定	45	-	55	%	-

1) 特性評価で保証。

表 38 ウオッヂ水晶振動子 (WCO) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
IMO WCO-PLL 校正モード							
SID330	IMO _{WCO1}	IMO が 3MHz に設定された時の周波数変動	-0.6	-	0.6	%	WCO 許容誤差を含まない
SID331	IMO _{WCO2}	IMO が 5MHz に設定された時の周波数変動	-0.4	-	0.4	%	WCO 許容誤差を含まない
SID332	IMO _{WCO3}	IMO が 7MHz または 9MHz に設定された時の周波数変動	-0.3	-	0.3	%	WCO 訸容誤差を含まない
SID333	IMO _{WCO4}	上記以外の IMO 周波数設定	-0.2	-	0.2	%	WCO 訸容誤差を含まない

WCO 仕様

SID398	F _{WCO}	水晶振動子の周波数	-	32.768	-	kHz	-
SID399	F _{TOL}	周波数許容誤差	-	50	250	ppm	20ppm の水晶誤差付き
SID400	ESR	等価直列抵抗	-	50	-	kΩ	-
SID401	PD	駆動レベル	-	-	1	μW	-
SID402	T _{START}	起動時間	-	-	500	ms	-
SID403	C _L	水晶の負荷容量	6	-	12.5	pF	-
SID404	C ₀	水晶の並列容量	-	1.35	-	pF	-
SID405	I _{WCO1}	動作電流 (高消費電力モード)	-	-	8	uA	-

表 39 UDB の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
データパス性能							
SID249	F _{MAX-TIMER}	UDB ペアの 16 ビットタイマーの最大周波数	-	-	48	MHz	-
SID250	F _{MAX-ADDER}	UDB ペアの 16 ビット加算器の最大周波数	-	-	48	MHz	-
SID251	F _{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数	-	-	48	MHz	-
UDB での PLD 性能							
SID252	F _{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数	-	-	48	MHz	-
クロック～出力時間							
SID253	T _{CLK_OUT_UDB1}	25°C でのクロック入力からデータ出力までの伝播遅延時間、標準ケース	-	15	-	ns	-

(続く)

表 39 (続き) UDB の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID254	T _{CLK_OUT_UDB2}	クロック入力からデータ出力までの伝播遅延時間、ワーストケース	-	25	-	ns	-

表 40 ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID256*	T _{WS48} *	48MHz でのウェイトステート数	2	-	-		CPU がフラッシュから実行
SID257	T _{WS24} *	24MHz でのウェイトステート数	1	-	-		CPU がフラッシュから実行
SID260 ¹⁾	V _{REFSAR}	SAR へのトリミング済み内部リファレンス	-1	-	+1	%	V _{bg} (1.024V) のパーセント。
SID261 ¹⁾	F _{SARINTREF}	外部リファレンスバイパスなしの SAR 動作速度	-	-	100	ksp/s	12 ビット分解能。
SID262 ²⁾	T _{CLKSWITCH}	clk1 周期中の clk1 から clk2 までのクロック切り替え	3	-	4	周期	-

* Tws48 と Tws24 は設計で保証。

1) 特性評価で保証。

2) 設計で保証。

表 41 UDB ポートアダプタ仕様

(LPC Component 仕様に基づき、特性評価で保証、-10pF 負荷、3V V_{DDIO} と V_{DDD})

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID263	T _{LCLKDO}	LCLK から出力までの遅延時間	-	-	18	ns	-
SID264	T _{DINLCLK}	LCLK 立ち上りエッジまでの入力セットアップ時間	-	-	7	ns	-
SID265	T _{DINLCLKHLD}	LCLK 立ち上りエッジからの入力ホールド時間	0	-	-	ns	-
SID266	T _{LCLKHIZ}	LCLK から出力トライステートまでの時間	-	-	28	ns	-
SID267	T _{FLCLK}	LCLK 周波数	-	-	33	MHz	-
SID268	T _{LCLKDUTY}	LCLK デューティ比 (HIGH パーセント)	40	-	60	%	-

表 42 CAN の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID420	IDD_CAN	ブロック消費電流	-	-	200	uA	-

(続く)

表 42 (続き) CAN の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID421	CAN_bits	CAN ビットレート(最少 8MHz クロック)	-	-	1	Mbps	-

7 注文情報

PSOC™ 4200M の型番および機能を表 43 にリストアップします。

表 43 PSOC™ 4200M 注文情報

カテゴリ	製品	機能												パッケージ							
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	UDB	オペアンプ (CTBm)	CSD	IDAC (1X7-Bit, 1-8-Bit)	LCD 直接駆動	12 ビット SAR ADC	LP コンバーラータ	TCPWM ブロック	SCB ブロック	CAN	GPIO						
4245	CY8C4245AZI-M433	48	32	4	4	2	-	-	-	1000 ksps	2	8	3	-	38	-	✓	-	-	-	-
	CY8C4245AZI-M443	48	32	4	4	2	1	-	✓	1000 ksps	2	8	3	-	38	-	✓	-	-	-	-
	CY8C4245AZI-M445	48	32	4	4	2	1	-	✓	1000 ksps	2	8	4	-	51	-	-	✓	-	-	-
	CY8C4245LTI-M445	48	32	4	4	2	1	-	✓	1000 ksps	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4245LTI-DM405	48	32	4	4	-	-	-	-	-	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4245AXI-M445	48	32	4	4	2	1	-	✓	1000 ksps	2	8	4	-	51	-	-	-	✓	-	-
4246	CY8C4246AXI-M443	48	64	8	4	2	1	-	✓	1000 ksps	2	8	2	-	36	✓	-	-	-	-	-
	CY8C4246AZI-M443	48	64	8	4	2	1	-	✓	1000 ksps	2	8	3	-	38	-	✓	-	-	-	-
	CY8C4246AZI-M445	48	64	8	4	2	1	-	✓	1000 ksps	2	8	4	-	51	-	-	✓	-	-	-
	CY8C4246AZI-M475	48	64	8	4	4	-	2	-	1000 ksps	2	8	4	-	51	-	-	✓	-	-	-
	CY8C4246LTI-M445	48	64	8	4	2	1	-	✓	1000 ksps	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4246LTI-M475	48	64	8	4	4	-	2	-	1000 ksps	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4246LTI-DM405	48	64	8	4	-	-	-	-	-	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4246AXI-M445	48	64	8	4	2	1	-	✓	1000 ksps	2	8	4	-	51	-	-	-	✓	-	-
	CY8C4246AZQ-M443	48	64	8	4	2	1	-	✓	1000 ksps	2	8	3	-	38	-	✓	-	-	-	-
4247	CY8C4247LTI-M475	48	128	16	4	4	2	4	-	1000 ksps	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4247AZI-M475	48	128	16	4	4	-	4	-	1000 ksps	2	8	4	-	51	-	-	✓	-	-	-
	CY8C4247AZI-M485	48	128	16	4	4	2	4	✓	1000 ksps	2	8	4	✓	51	-	-	✓	-	-	-
	CY8C4247AXI-M485	48	128	16	4	4	2	4	✓	1000 ksps	2	8	4	✓	51	-	-	-	✓	-	-
	CY8C4247LTQ-M475	48	128	16	4	4	2	4	✓	1000 ksps	2	8	4	-	55	-	-	-	-	-	✓
	CY8C4247AZQ-M485	48	128	16	4	4	2	4	✓	1000 ksps	2	8	4	✓	51	-	-	✓	-	-	-
	CY8C4247AXQ-M485	48	128	16	4	4	2	4	✓	1000 ksps	2	8	4	✓	51	-	-	-	✓	-	-

上の表で使用した命名法は以下の型番の規則に基づきます。

表 44 MPN 命名法

フィールド	説明	値	意味
CY8C	インフィニオンの接頭辞		
4	アーキテクチャ	4	PSOC™ 4
A	ファミリ	2	4200 ファミリ
B	CPU 速度	4	48 MHz
C	フラッシュ容量	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	パッケージコード	AX、AZ	TQFP
		LT	QFN
		BU	BGA
		FD	CSP
F	温度範囲	I	産業用
		Q	産業用拡張温度範囲
S	シリコン ファミリ	該当なし	PSOC™ 4 ベース シリーズ
		L	PSOC™ 4 L シリーズ
		BL	PSOC™ 4 BLE
		M	PSOC™ 4 M シリーズ
XYZ	属性コード	000-999	特定のファミリの機能セットのコード

7.1 型番の命名規則

型番フィールドは以下のように定義されています。

Example

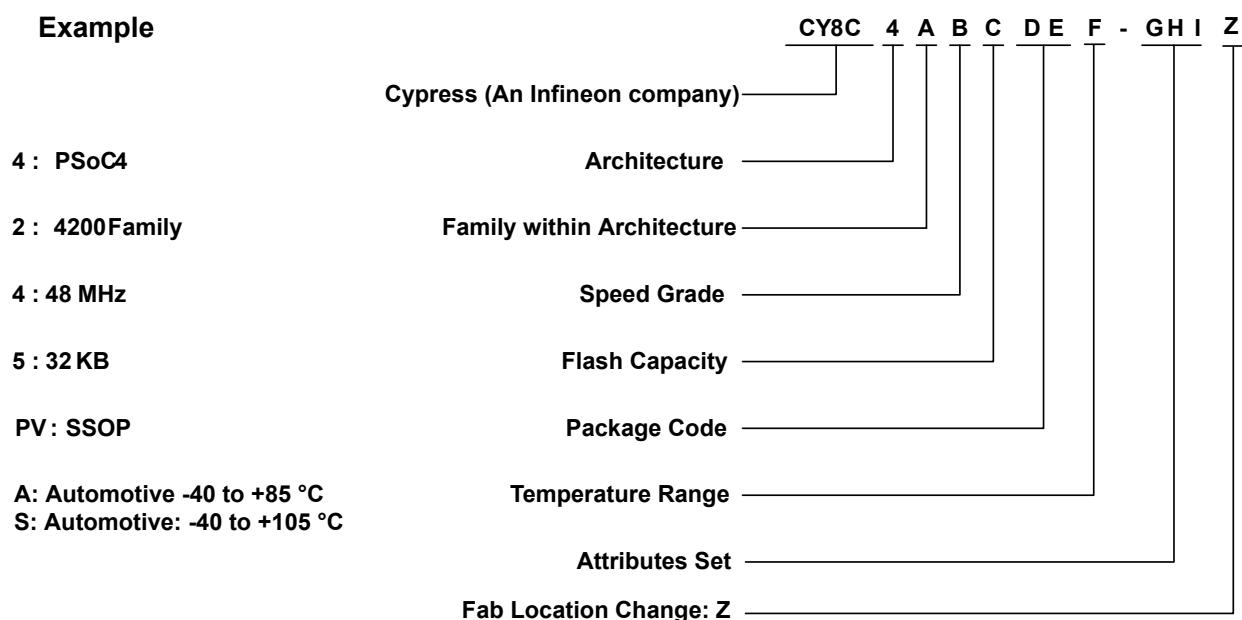


図 8

型番の命名規則

8 パッケージ

表 45 パッケージの寸法

仕様 ID#	パッケージ	説明	パッケージ外形図#
PKG_1	68 ピン QFN	68 ピン QFN、8mm x 8mm x 1.0mm 高さ、0.4mm ピッチ	001-09618
PKG_2	64 ピン TQFP	64 ピン TQFP、10mm x 10mm x 1.4mm 高さ、0.5mm ピッチ	51-85051
PKG_4	64 ピン TQFP	64 ピン TQFP、14mm x 14mm x 1.4mm 高さ、0.8mm ピッチ	51-85046
PKG_5	48 ピン TQFP	48 ピン TQFP、7mm x 7mm x 1.4mm 高さ、0.5mm ピッチ	51-85135
PKG_6	44 ピン TQFP	44 ピン TQFP、10mm x 10mm x 1.4mm 高さ、0.8mm ピッチ	51-85064

表 46 パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度	-	-40	25	85	°C
T _J	動作周囲温度	-	-40	-	100	°C
T _{JA}	パッケージ θ _{JA} (68 ピン QFN)	-	-	16.8	-	°C/W
T _{JC}	パッケージ θ _{JC} (68 ピン QFN)	-	-	2.9	-	°C/W
T _{JA}	パッケージ θ _{JA} (64 ピン TQFP、0.5 mm ピッチ)	-	-	56	-	°C/W
T _{JC}	パッケージ θ _{JC} (64 ピン TQFP、0.5 mm ピッチ)	-	-	19.5	-	°C/W
T _{JA}	パッケージ θ _{JA} (64 ピン TQFP, 0.8 mm ピッチ)	-	-	66.4	-	°C/W
T _{JC}	パッケージ θ _{JC} (64 ピン TQFP, 0.8 mm ピッチ)	-	-	18.2	-	°C/W
T _{JA}	パッケージ θ _{JA} (48 ピン TQFP、0.5 mm ピッチ)	-	-	67.3	-	°C/W
T _{JC}	パッケージ θ _{JC} (48 ピン TQFP、0.5 mm ピッチ)	-	-	30.4	-	°C/W
T _{JA}	パッケージ θ _{JA} (44 ピン TQFP, 0.8 mm ピッチ)	-	-	57	-	°C/W
T _{JC}	パッケージ θ _{JC} (44 ピン TQFP, 0.8 mm ピッチ)	-	-	25.9	-	°C/W

注: θ_{JA} と θ_{JC} の値はすべてシミュレーション値であり、特性値ではありません。

表 47 はんだリフローピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべてのパッケージ	260 °C	30 秒

表 48 パッケージの感湿レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
すべてのパッケージ	MSL 3

The technical drawing provides three views of the package:

- TOP VIEW:** Shows the top surface with a central circular feature labeled "PIN 1 DOT". Dimensions include 68, 52, 1, 17, 18, 34, and 51. A horizontal dimension of 8.00 ± 0.10 mm is shown between the outer pins.
- SIDE VIEW:** Shows the profile of the package. It indicates a height of 0.05 MAX mm and a thickness of 1.00 MAX mm. A note specifies a lead thickness of 0.08 mm.
- BOTTOM VIEW:** Shows the underside of the package with a grid of pins. Key dimensions include 52, 51, 35, 34, 18, 17, and 68. Pin #1 ID is indicated at the top left. The central area is hatched to represent solderable exposed metal. Vertical dimensions include 5.70 ± 0.10 mm, 0.40 ± 0.05 mm, and 0.20 ± 0.05 mm. Horizontal dimensions include 5.70 ± 0.10 mm and 0.40 ± 0.10 mm.

NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: $17 \pm 2\text{mg}$
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-09618 *E

図 9 68 ピン $8 \times 8 \times 1.0\text{mm}$ QFN パッケージ図 (PG-VQFN-68)

注: 機械的、熱的、および電気的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電気的に開放され、どの信号にも接続されていない状態になります。

8 パッケージ

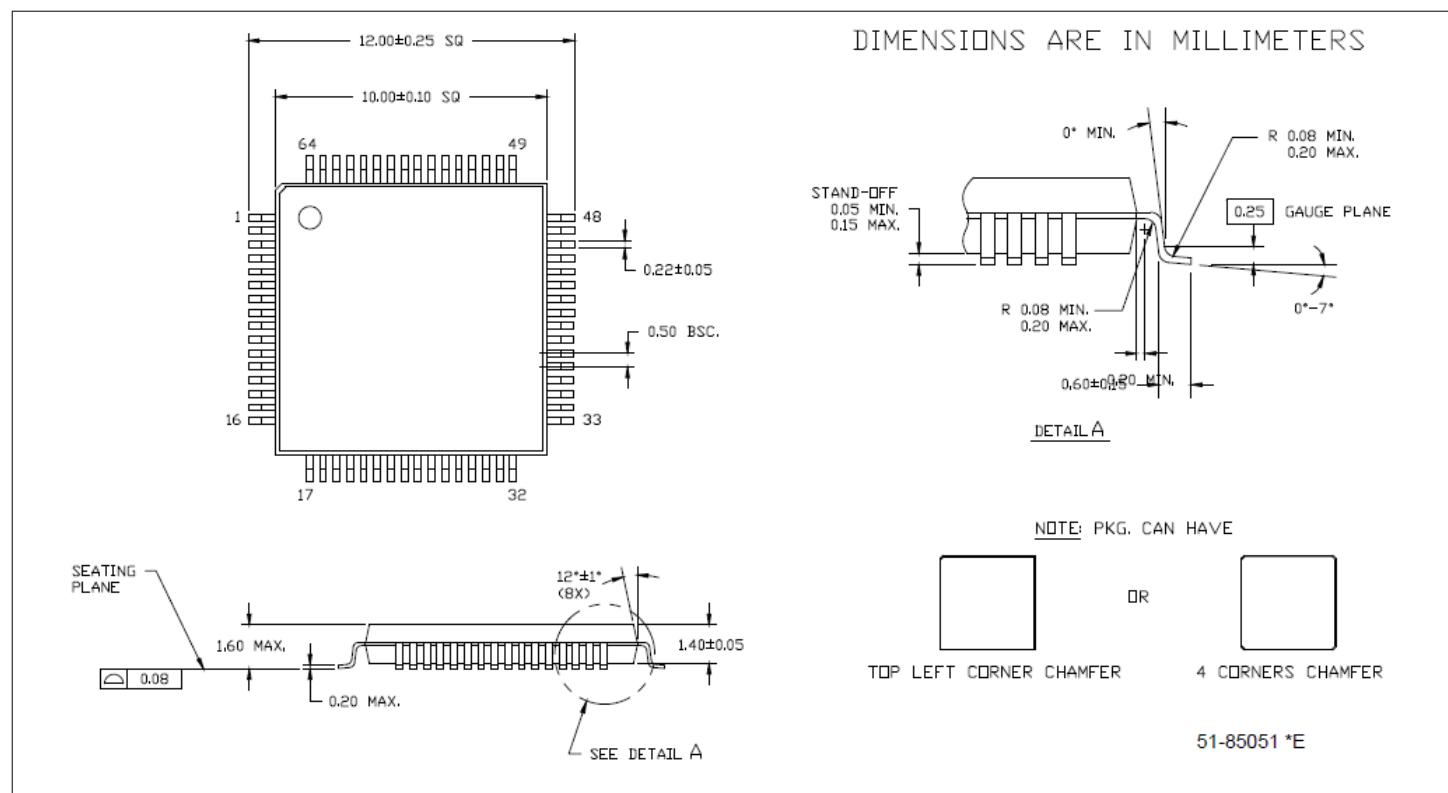


図 10 64 ピン $10 \times 10 \times 1.4$ mm TQFP パッケージ図 (PG-TQFP-64)

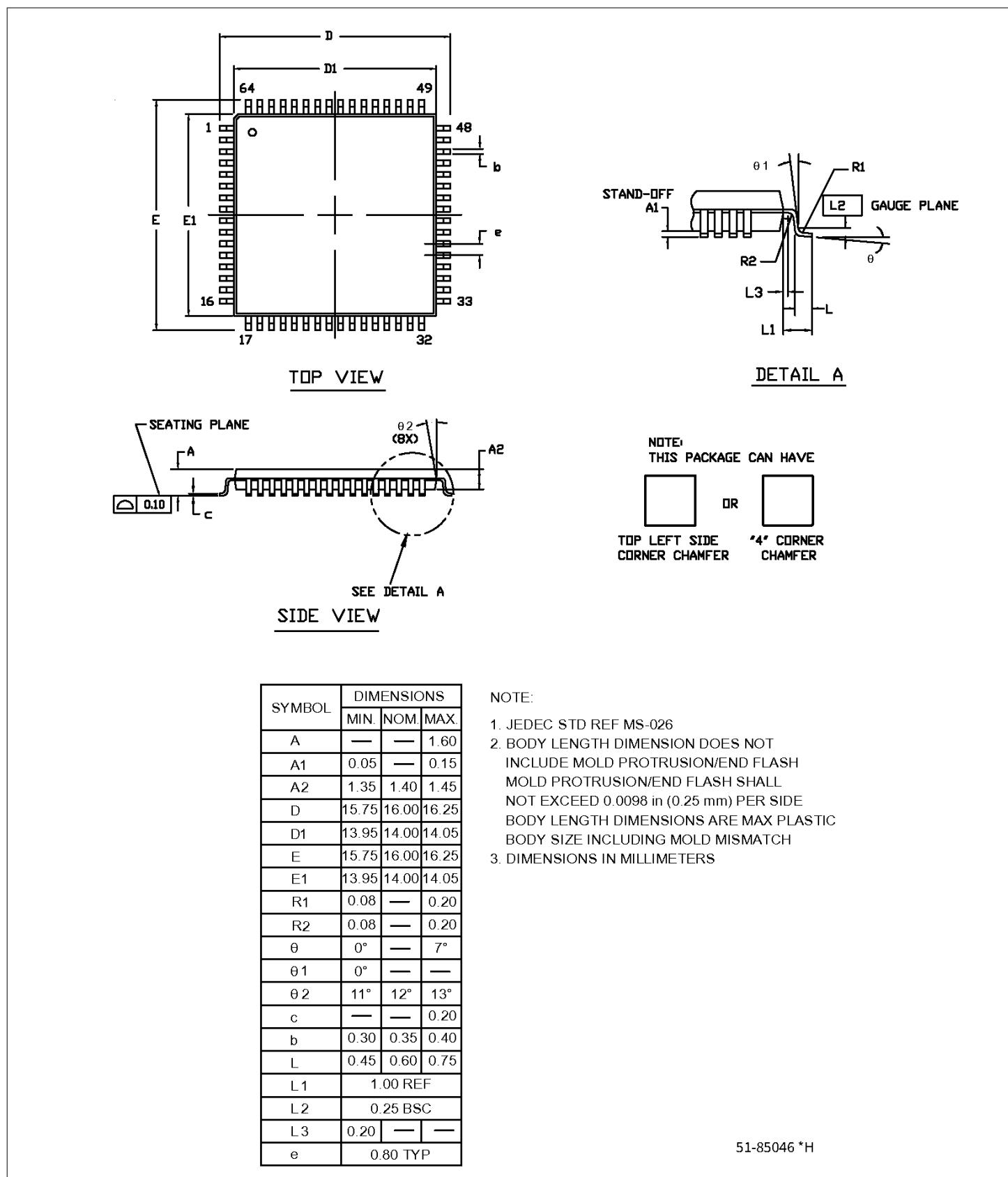


図 11

64 ピン 14 × 14 × 1.4mm TQFP パッケージ外形図 (PG-TQFP-64)

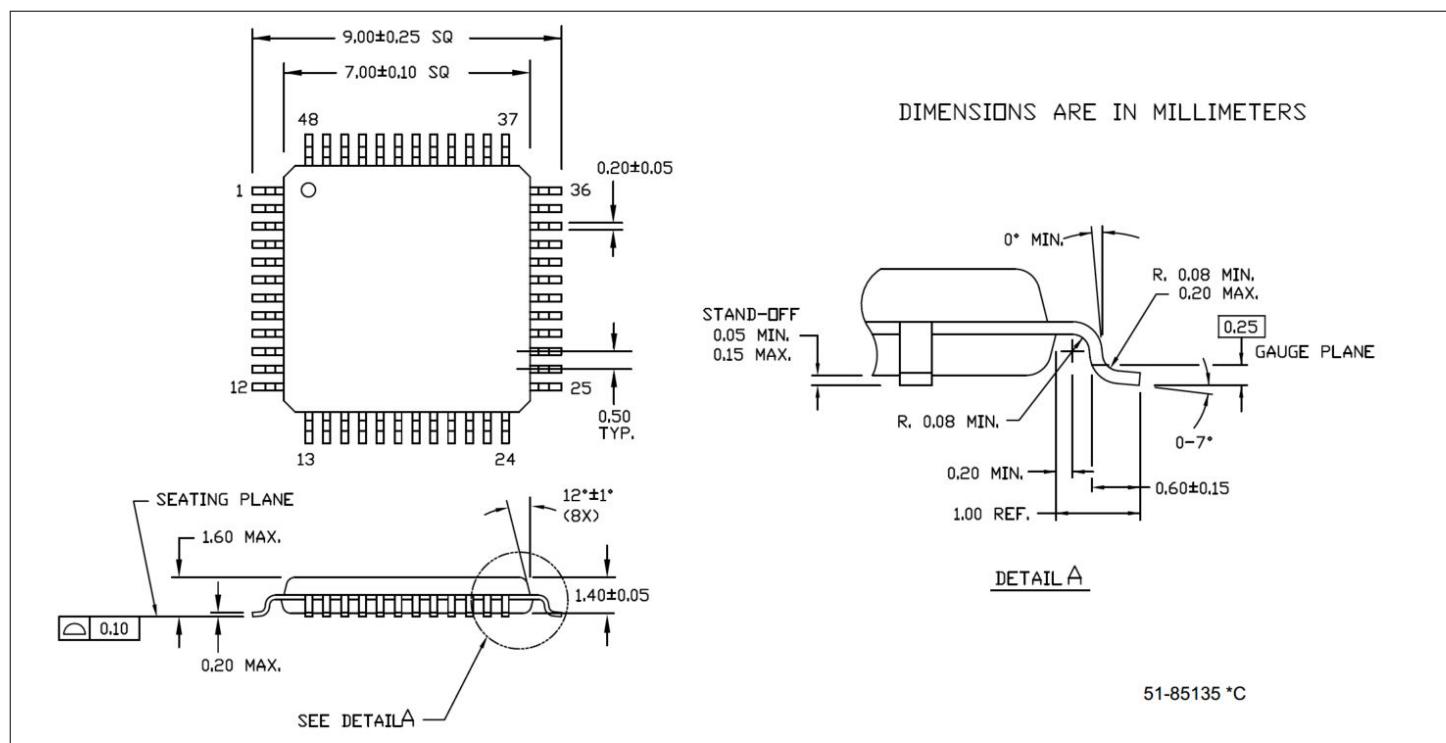


図 12 48 ピン 7 × 7 × 1.4mm TQFP パッケージ外形図 (PG-TQFP-48)

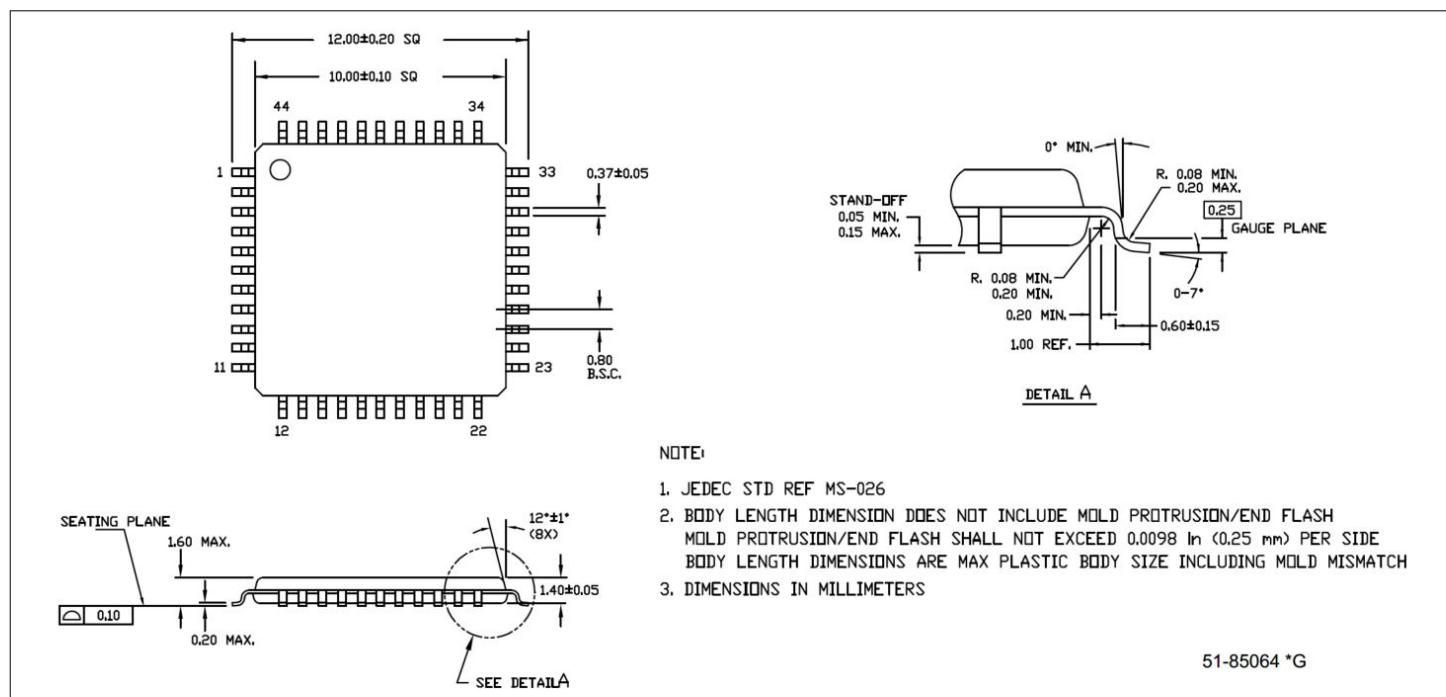


図 13 44 ピン 10 × 10 × 1.4mm TQFP パッケージ外形図 (PG-TQFP-44)

9 略語

表 49 本書で使用する略語

略語	説明
abus	アナログ ローカル バス
ADC	アナログ-デジタル コンバーター
AG	アナログ グローバル
AHB	AMBA (アドバンストマイクロコントローラー バス アーキテクチャ) 高性能バス (Arm®データ転送バスの一種)
ALU	算術論理装置
AMUXBUS	アナログ マルチプレクサ バス
API	アプリケーション プログラミング インターフェース
APSR	アプリケーション プログラム ステータス レジスタ
Arm®	高度な RISC マシン (CPU アーキテクチャの一種)
ATM	自動サンプ モード
BW	帯域幅
CAN	コントローラー エリア ネットワーク (通信プロトコルの一種)
CMRR	同相除去比
CPU	中央演算処理装置
CRC	巡回冗長検査 (エラー チェック プロトコルの一種)
DAC	デジタル-アナログ コンバーター (IDAC、VDAC も参照)
DFB	デジタル フィルター ブロック
DIO	デジタル入出力、デジタル機能のみを持つ GPIO、アナログなし。GPIO を参照
DMIPS	ドライストーン 100 万命令毎秒
DMA	ダイレクト メモリ アクセス (TD も参照)
DNL	微分非直線性 (INL も参照)
DNU	未使用
DR	ポート書き込みデータ レジスタ
DSI	デジタル システム インターコネクト
DWT	データ オッヂ ポイント とトレース
ECC	エラー 訂正 コード
ECO	外部水晶振動子
EEPROM	電気的 消去書き込み可能な読み出し専用メモリ
EMI	電磁干渉
EMIF	外部メモリ インターフェース
EOC	変換の終了

(続く)

表 49 (続き) 本書で使用する略語

略語	説明
EOF	フレームの終了
EPSR	実行プログラムステータスレジスタ
ESD	静電気放電
ETM	エンベデッドトレースマクロセル
FIR	有限インパルス応答 (IIR も参照)
FPB	フラッシュパッチおよびブレークポイント
FS	フルスピード
GPIO	汎用入出力 (PSOC™ピンにも適用)
HVI	高電圧割込み (LVI、LVD も参照)
IC	集積回路
IDAC	電流 DAC (DAC、VDAC も参照)
IDE	統合開発環境
I ² C または IIC	統合回路間 (通信プロトコルの一種)
IIR	無限インパルス応答 (FIR も参照)
ILO	内部低速発振器 (IMO も参照)
IMO	内部メイン発振器 (ILO も参照)
INL	積分非直線性 (DNL も参照)
I/O	入出力 (GPIO、DIO、SIO、USBIO も参照)
IPOR	初期パワーオンリセット
IPSR	割込みプログラムステータスレジスタ
IRQ	割込み要求
ITM	計装トレースマクロセル
LCD	液晶ディスプレイ
LIN	ローカルインターネットワーク (通信プロトコルの一種)
LR	リンクレジスタ
LUT	ルックアップテーブル
LVD	低電圧検出 (LVI も参照)
LVI	低電圧割込み (HVI も参照)
LVTTL	低電圧トランジスタ-トランジスタロジック
MAC	乗算蓄積
MCU	マイクロコントローラー ユニット
MISO	マスター入力スレーブ出力
NC	未接続

(続く)

表 49 (続き) 本書で使用する略語

略語	説明
NMI	マスク不可能な割込み
NRZ	非ゼロ復帰
NVIC	ネスト型ベクタ割込みコントローラー
NVL	不揮発性ラッチ (WOL も参照)
オペアンプ	演算増幅器
PAL	プログラマブルアレイロジック (PLD も参照)
PC	プログラム カウンター
PCB	プリント基板
PGA	プログラマブルゲインアンプ
PHUB	ペリフェラルハブ
PHY	物理レイヤ
PICU	ポート割込み制御ユニット
PLA	プログラマブルロジックアレイ
PLD	プログラマブルロジックデバイス (PAL も参照)
PLL	位相同期回路
PMDD	パッケージ材質宣言データシート
POR	パワーオンリセット
PRES	高精度パワーオンリセット
PRS	疑似乱数列
PS	ポート読み出しデータレジスタ
PSOC™	Programmable System-on-Chip™
PSRR	電源電圧変動除去比
PWM	パルス幅変調器
RAM	ランダムアクセスメモリ
RISC	縮小命令セットコンピューティング
RMS	二乗平均平方根
RTC	リアルタイムクロック
RTL	レジスタ転送言語
RTR	リモート送信要求
RX	受信
SAR	逐次比較レジスタ
SC/CT	スイッチトキャパシタ/連続時間
SCL	I2Cシリアルクロック

(続く)

表 49 (続き) 本書で使用する略語

略語	説明
SDA	I2C シリアル データ
S/H	サンプル/ホールド
SINAD	信号対ノイズおよび歪み比
SIO	特殊入出力 (高度機能を備えた GPIO)。GPIO を参照
SOC	変換の開始
SOF	フレームの開始
SPI	シリアル ペリフェラル インターフェース(通信プロトコルの一種)
SR	スルーレート
SRAM	スタティック ランダム アクセス メモリ
SRES	ソフトウェア リセット
SWD	シリアル ワイヤ デバッグ (テストプロトコルの一種)
SWV	シングル ワイヤ ビューア
TD	トランザクション ディスクリプタ (DMA も参照)
THD	全高調波歪み
TIA	トランスインピーダンス アンプ
TRM	テクニカル リファレンス マニュアル
TTL	トランジスタ-トランジスタ ロジック
TX	送信
UART	ユニバーサル 非同期 トランスマッタ レシーバ (通信プロトコルの一種)
UDB	ユニバーサル デジタル ブロック
USB	汎用シリアル バス
USBI0	USB 入出力 (USB ポートへの接続に使用される PSOC™ ピン)
VDAC	電圧 DAC (DAC、IDAC も参照)
WDT	ウォッチドッグ タイマー
WOL	書き込み ワンス ラッチ (NVL も参照)
WRES	ウォッチドッグ タイマーリセット
XRES	外部リセット I/O ピン
XTAL	水晶

10 本書の表記法

10.1 測定単位

表 50 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
µA	マイクロアンペア
µF	マイクロファラド
µH	マイクロヘンリー
µs	マイクロ秒
µV	マイクロボルト
µW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1

(続く)

表 50 (続き) 測定単位

記号	測定単位
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

11 改訂履歴

版数	日付	変更内容
英語版(*B)	-	この版は英語版のみです。英語版の改訂内容: Release to web.
英語版(*C)	-	この版は英語版のみです。英語版の改訂内容: Removed note regarding hardware handshaking in the UART Mode section. Changed max value of SID51A to 2 ms. Added “Guaranteed by characterization” note for SID65 and SID65A Updated Ordering Information. Removed the Errata section.
*A	2015-07-10	これは英語版 001-93963 Rev. *D を翻訳した日本語版 Rev. *A です。英語版の改訂内容: Corrected Block Diagram
英語版(*E)	-	この版は英語版のみです。英語版の改訂内容: Updated CAPSENSE™ section. Updated the note at the end of the Pinout table. Removed Conditions for spec SID237. Updated Ordering Information.
英語版(*F)	-	この版は英語版のみです。英語版の改訂内容: Added Comparator ULP mode range restrictions and corrected typos.
英語版(*G)	-	この版は英語版のみです。英語版の改訂内容: Added extended industrial temperature range. Added specs SID290Q, SID182A, and SID299A. Updated conditions for SID290, SID223, and SID237. Added 44-pin TQFP package details. Updated Ordering Information.
英語版(*H)	-	この版は英語版のみです。英語版の改訂内容: Added back CY8C4245LTI-DM405 and CY8C4246LTI-DM405 parts.
英語版(*I)	-	この版は英語版のみです。英語版の改訂内容: Updated the Cypress logo and copyright information. Added CY8C4246AXI-M443 in Ordering Information. Updated 64-pin TQFP package diagram (spec 51-85046) to current revision.
英語版(*J)	-	この版は英語版のみです。英語版の改訂内容: Corrected MPN Table to show three SCBs for 48 TQFP packages and two SCBs for 44 TQFP package.
*C	2020-01-21	これは英語版 001-93963 Rev. *K を翻訳した日本語版 Rev. *C です。英語版の改訂内容: Corrected MPN Table to show three SCBs for 48 TQFP packages and two SCBs for 44 TQFP package.
*D	2021-11-02	これは英語版 001-93963 Rev. *L を翻訳した日本語版 Rev. *D です。英語版の改訂内容: Added CY8C4246AZQ-M443, CY8C4247AZQ-M485, and CY8C4247AXQ-M485 in Ordering Information.
*E	2025-07-16	これは英語版 001-93963 Rev. *M を翻訳した日本語版 Rev. *E です。英語版の改訂内容: Migrated to IFX template. Deleted DN VSSD pins from Pinout. Added Note in Packaging. Updated Development ecosystem Deleted Reference section

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-07-16

Published by

**Infineon Technologies AG
81726 Munich, Germany**

**© 2025 Infineon Technologies AG
All Rights Reserved.**

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

**Document reference
IFX-cua1691739763189**

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関する本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないことを予めご了承ください。