

CY8C41xx

特長

- 32 ビット MCU サブシステム
 - シングルサイクル乗算を備えた 48 MHz Arm® Cortex®-M0+ CPU
 - 最大 64 KB のフラッシュ メモリ、リード アクセラレータ付き
 - 最大 8 KB の SRAM
- プログラマブル アナログ
 - 再設定可能な大電流外部ドライブと広帯域内部ドライブ、コンパレータ モード ADC 入力バッファリング能力に対応したオペアンプ 2 個。オペアンプはディープスリープ 低電力モードで動作可能
 - 差動とシングルエンド モードおよび信号加算平均に対応したチャネル シーケンサを備えた 12 ビットの 1 Msps SAR ADC
 - 静電容量センシング ブロックから提供されるシングル スロープ 10 ビット ADC 機能
 - 任意のピンでの汎用または静電容量センシング用途向けの電流 DAC (IDAC) 2 個
 - 低消費電力コンパレータ (低消費電力のディープスリープ モードで動作) 2 個
- プログラマブル デジタル
 - 入出力ポートでブール演算の実行を可能にするプログラマブル論理ブロック
- 低消費電力 (1.71 V~5.5 V) 動作
 - 動作可能なアナログと 2.5 µA のデジタル システム電流を有するディープスリープ モード
- 静電容量センシング
 - 静電容量センシング シグマ デルタはクラス最高の信号対ノイズ比 (SNR) (>5:1) および耐水性を提供
 - インフィニオンが提供するソフトウェア コンポーネントが静電容量センシングの設計を容易化
 - 自動のハードウェア チューニング (SmartSense)
- LCD 駆動力
 - GPIO 上の LCD セグメント駆動能力
- シリアル通信
 - 3 個の独立した実行時再設定可能なシリアル通信ブロック (SCB)。I²C, SPI, または UART 機能を再設定可能。
- タイミングおよびパルス幅の変調
 - 5 個の 16 ビット タイマー/カウンタ/パルス幅変調器 (TCPWM) ブロック
 - 中央揃え、エッジ、および疑似ランダム モード
 - モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用キル信号のコンパレータ ベースのトリガー
 - 直交デコーダ
- 最大 36 のプログラミング可能な GPIO ピン
 - 48LD TQFP, 44LD TQFP, 40L QFN, 32 リード QFN, および 35 ボール WLCSP パッケージ
 - すべての GPIO ピンは CAPSENSE™, アナログ, またはデジタルに対応
 - 駆動モード, 駆動力, およびスルー レートはプログラム可能
- クロックソース
 - 32 kHz 時計用水晶発振器 (WCO)
 - ±2%内蔵主発振器 (IMO)
 - 32 kHz 内蔵低電力発振器 (ILO)
- ModusToolbox™ソフトウェア
 - マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
 - ボードサポートパッケージ (BSP)、周辺機器ドライバライブラリ (PDL)、および CAPSENSE™などのミドルウェアを含む

説明

- PSOC™ Creator 設計環境
 - 統合開発環境 (IDE) がアナログとデジタル自動配線を使用して回路図設計の入力とビルドを提供
 - すべての固定機能およびプログラム可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント
- 業界標準のツールとの互換性
 - 回路図のエントリ後、開発を Arm® ベースの業界標準の開発ツールで行うことが可能

説明

PSOC™ 4 は、Arm® Cortex® -M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSOC™ 4100S 製品ファミリは、PSOC™ 4 プラットフォーム アーキテクチャのメンバーです。これは、標準的な通信とタイミング ペリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシングシステム (CAPSENSE™)、プログラマブルな汎用の連続時間かつスイッチド キャパシタを備えたアナログ ブロック、およびプログラマブルな接続で構成されます。新しいアプリケーションと設計ニーズのために、PSOC™ 4100S 製品は PSOC™ 4 プラットフォームのメンバーとの完全な上位互換性があります。

目次

	特長	1
	説明	2
	目次	3
1	Development Ecosystem	6
1.1	PSOC™ 4 MCU リソース	6
1.2	ModusToolbox™ソフトウェア	6
1.3	PSOC™ Creator	7
2	機能定義	11
2.1	CPU およびメモリ サブシステム	11
2.1.1	CPU	11
2.1.2	フラッシュ	11
2.1.3	SRAM	11
2.1.4	SROM	11
2.2	システム リソース	11
2.2.1	電源システム	11
2.2.2	クロック システム	12
2.2.3	IMO クロック ソース	12
2.2.4	ILO クロック ソース	13
2.2.5	時計用水晶発振器 (WCO)	13
2.2.6	ウォッチドッグ タイマーおよびカウンタ	13
2.2.7	リセット	13
2.3	アナログ ブロック	13
2.3.1	12 ビット SAR ADC	13
2.3.2	2 個のオペアンプ (連続時間ブロック; CTB)	14
2.3.3	低消費電力コンパレータ (LPC)	14
2.3.4	電流 DAC	14
2.3.5	アナログ マルチプレクサ バス	14
2.4	プログラマブル デジタル ブロック	15
2.5	固定機能デジタル	15
2.5.1	タイマー/カウンタ/PWM (TCPWM) ブロック	15
2.5.2	シリアル通信ブロック (SCB)	15
2.6	GPIO	15
2.7	特殊機能ペリフェラル	16
2.7.1	CAPSENSE™	16
2.7.2	LCD セグメント駆動	16
3	ピン配置	17
3.1	ピンの代替機能	18

4	電源	21
4.1	モード 1: 1.8 V ~ 5.5 V の外部電源	21
4.2	モード 2: 1.8 V ± 5% の外部電源	21
5	電氣的仕様	23
5.1	絶対最大定格	23
5.2	デバイスレベルの仕様	23
5.2.1	GPIO	25
5.2.2	XRES	26
5.3	アナログ ペリフェラル	27
5.3.1	CTBm オペアンプ	27
5.3.2	コンパレータ	31
5.3.3	温度センサー	32
5.3.4	SAR	32
5.3.5	CSD および IDAC	33
5.3.6	10 ビット CAPSENSE™ ADC	36
5.4	デジタル ペリフェラル	37
5.4.1	タイマー/カウンタ/パルス幅変調器 (TCPWM)	37
5.4.2	I ² C	38
5.4.3	SPI	38
5.4.4	UART	39
5.4.5	LCD	40
5.5	メモリ	40
5.5.1	フラッシュ	40
5.6	システム リソース	41
5.6.1	パワーオンリセット (POR)	41
5.6.2	SWD インターフェース	42
5.6.3	IMO	42
5.6.4	ILO	43
5.6.5	WCO	44
5.6.6	外部クロック	44
5.6.7	ブロック	44
5.6.8	スマート I/O	44
6	注文情報	45
7	パッケージ	51
7.1	パッケージ図	52
8	略語	57
9	本書の表記法	61
9.1	測定単位	61
	改訂履歴	63



免責事項 68

1 Development Ecosystem

1.1 PSOC™ 4 MCU リソース

インフィニオンは、www.infineon.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSOC™ デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は PSOC™ 4 MCU のリソースの要約です。

- **概要:** [PSOC™ ポートフォリオ](#)
- **製品セレクト:** [PSOC™ 4 MCU](#)
- **アプリケーション ノート:** 基本レベルから上級レベルまでの幅広いトピックを提供します。
 - [AN79953](#): PSOC™ 4 MCU 入門。このアプリケーションノートは使用する IDE ([ModusToolbox™ ソフトウェア](#) および [PSOC™ Creator](#)) の決定を助ける便利なフローチャートがあります。
 - [AN88619](#): PSOC™ 4 hardware design considerations
 - [AN73854](#): PSOC™ Creator - ブートローダの導入
 - [AN89610](#): PSOC™ Arm® Cortex® コードの最適化
 - [AN86233](#): PSOC™ 4 MCU の低消費電力モードおよび消費電力低減技術
 - [AN57821](#): アナログ/デジタル混在回路基板レイアウトの注意事項
 - [AN85951](#): PSOC™ 4 および PSOC™ 6 MCU CAPSENSE™ デザインガイド
- **サンプルコード:** 製品の機能と使用法を示します。[インフィニオン GitHub repositories](#) から利用可能です
- **テクニカル リファレンス マニュアル (TRM):** PSOC™ 4 MCU アーキテクチャとレジスタの詳細な説明をします。
- **PSOC™ 4 MCU プログラミング仕様:** PSOC™ 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
 - [ModusToolbox™ ソフトウェア](#): しっかりと一体化されたツールとソフトウェアライブラリによって、クロスプラットフォームコードの開発が可能です。
 - PSOC™ Creator は無料の Windows ベースの IDE です。これにより、PSOC™ 3、PSOC™ 4、PSOC™ 5LP、および PSOC™ 6 MCU ベースのシステムのハードウェアとファームウェアの同時設計が可能です。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
 - [CY8CKIT-041-41XX](#)、PSOC™ 4100S CAPSENSE™ Pioneer Kit は、使いやすく安価な開発プラットフォームです。これらのキットには Arduino™ 準拠シールド用コネクタを搭載しています。
 - [MiniProg4](#) および [MiniProg3](#) はオールインワン開発プログラマーおよびデバッガーです。
- **PSOC™ 4 CAD ライブラリ**は、一般的なツールに対応したフットプリントと回路図を提供します。[IBIS モデル](#)も使用できます。
- **トレーニング ビデオ:** [PSOC™ 4 MCU](#) を含む、幅広いトピックを提供します。
- [インフィニオン Developer Community](#): 世界中の PSOC™ 開発者と常時連絡/情報交換が可能です。[PSOC™ 4 MCU の専用コミュニティ](#)もあります。

1.2 ModusToolbox™ ソフトウェア

[ModusToolbox™ Software](#) は、インフィニオンのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

- 包括的-必要なリソースがあります
 - 柔軟性-独自のワークフローでリソースを使用できます
 - アトミック-必要なリソースだけを取得できます
- インフィニオンは、[GitHub でのコードリポジトリ](#)の大規模なコレクションを提供します。これは以下を含みます。
- インフィニオン キットと連携したボードサポートパッケージ (BSP)

1 Development Ecosystem

- ペリフェラルドライバライブラリ (PDL) を含む低レベルのリソース
- CAPSENSE™などの業界をリードする機能を可能にするミドルウェア™
- 徹底的にテストされた [code sample application](#) 広範なセット

ModusToolbox™ Software は IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。図 1 に示すように、プロジェクトクリエイター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox™ 用のオプションの Eclipse IDE が含まれます。インフィニオン ツールの使用については、ModusToolbox™ software に付属のドキュメントおよび [AN79953: PSOC™ 4 入門](#) を参照してください。

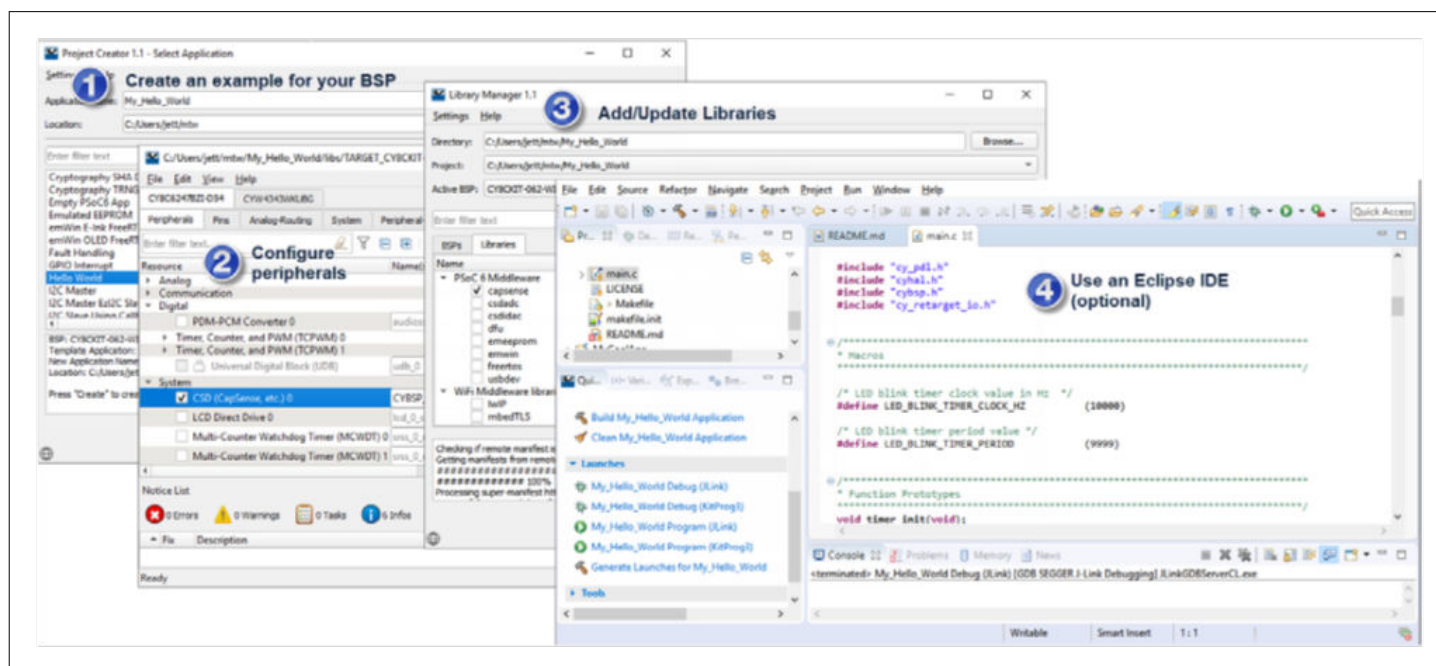


図 1 ModusToolbox™ Software ツール

1.3 PSOC™ Creator

PSOC™ Creator は無料の Windows ベースの IDE です。このツールにより、お客様は PSOC™ 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。図 2 に PSOC™ Creator でできることを示します。

1. 200 以上のコンポーネントを含むライブラリを利用
2. コンポーネントアイコンをドラッグ アンド ドロップして、メイン デザイン ワークスペースでハードウェアシステム デザインを構築
3. コンポーネント構成ツールとコンポーネントデータシートを使用してコンポーネントを構成
4. PSOC™ Creator IDE でアプリケーションのファームウェアとハードウェアを相互設計またはサードパーティの IDE プロジェクトを構築
5. PSOC™ 4 Pioneer Kit でソリューションのプロトタイプを設計。設計変更が必要な場合、PSOC™ Creator およびそのコンポーネントにより、ハードウェアを改訂せずその場で変更を行えます。

1 Development Ecosystem

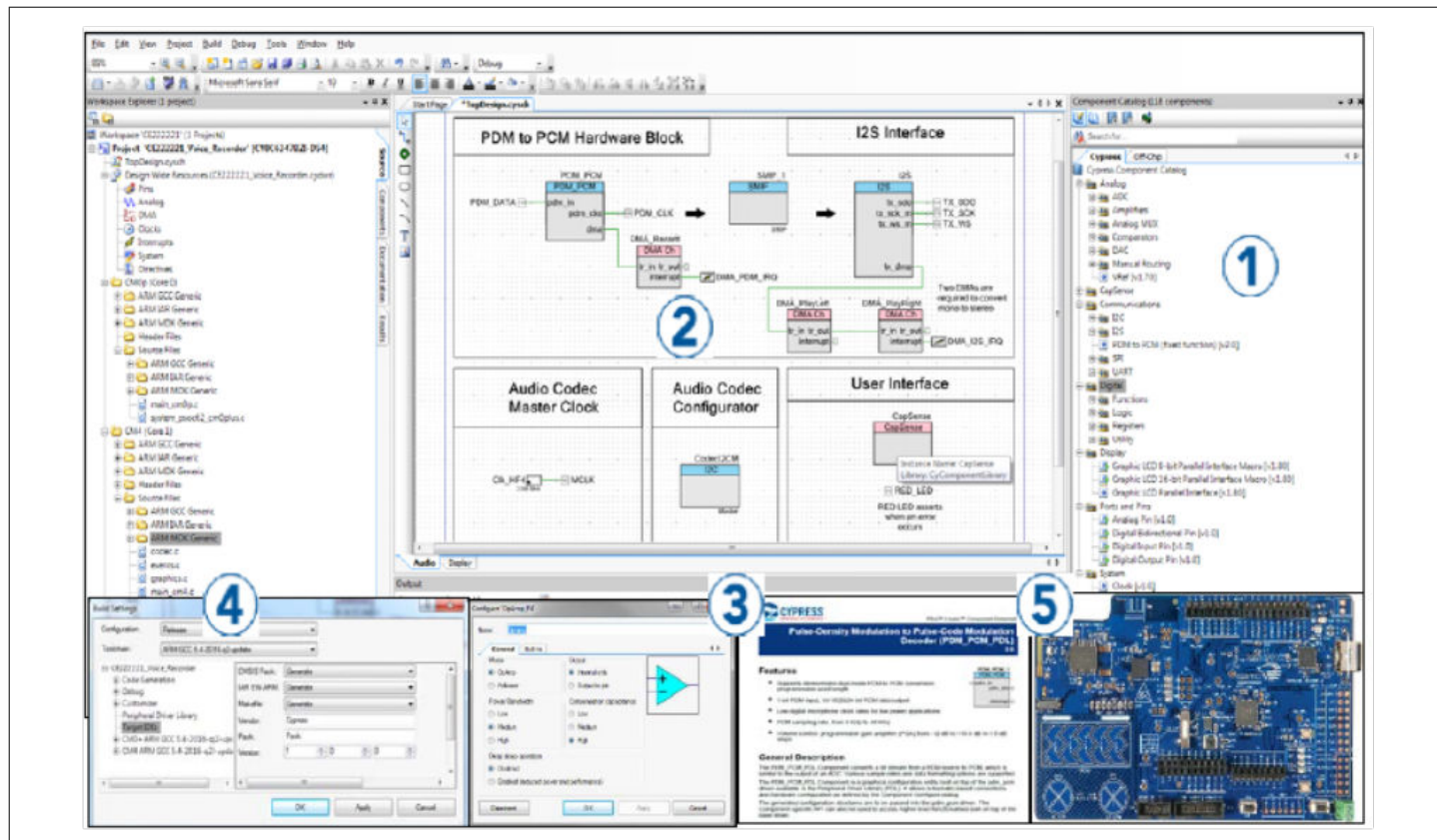


図 2 PSOC™ Creator の回路図エントリとコンポーネント

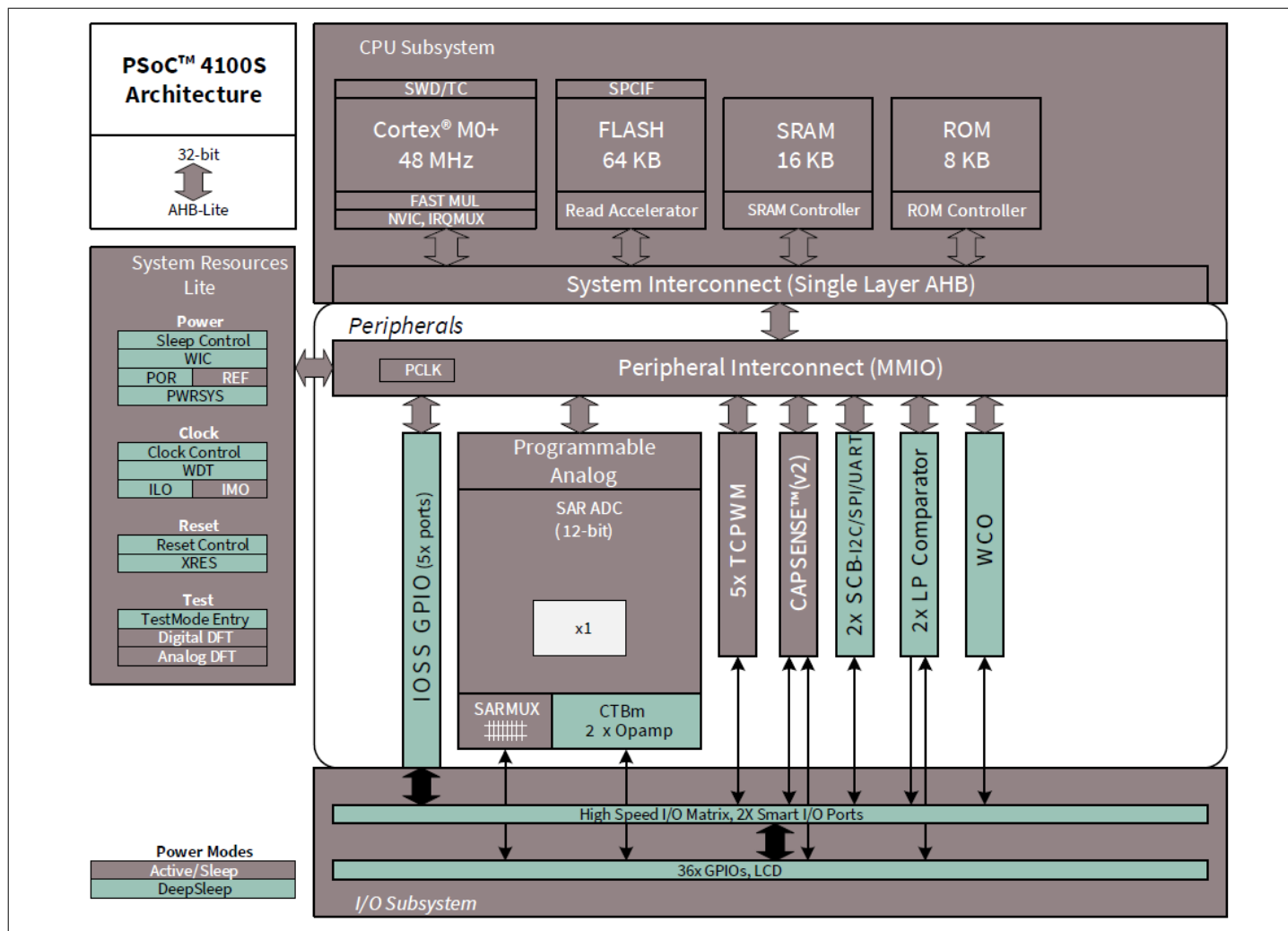


図 3 **ブロックダイアグラム**

PSOC™ 4100S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線に対する幅広いサポートを含みます。

Arm®シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグ処理が可能です。専用のインターフェースやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSOC™ Creator IDE は、PSOC™ 4100S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSOC™ 4100S ファミリーは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラーでは不可能なセキュリティレベルを提供します。

このファミリーは以下の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグ処理のファームウェア制御は、ファームウェアを消去しなければオーバーライドされず、結果セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストインターフェースは無効にされます。そのため、デバイス セキュリティ機能が有効にされた PSOC™ 4100S は、不良解析に返されないことがあります。これは PSOC™ 4100S がカスタマーが行うようにするトレードオフです。

2 機能定義

2.1 CPU およびメモリ サブシステム

2.1.1 CPU

PSOC™ 4100S の Cortex® -M0+ CPU は、広範なクロック ゲーティングにより低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これは、8 つの割り込み入力を備えたネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含みます。WIC はディープスリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切れます。

CPU はまたデバッグインターフェイスも含みます。JTAG の 2 線式のシリアル ワイヤ デバッグ (SWD) インターフェースです。PSOC™ 4100S に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

2.1.2 フラッシュ

PSOC™ 4100S デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU と密結合された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持ちます。低消費電力のフラッシュ ブロックは 48 MHz で 2 ウェイト ステート (WS) アクセス時間を提供するように設計されます。フラッシュ アクセラレータは、平均してシングル サイクル SRAM のアクセス性能の 85%を提供します。

2.1.3 SRAM

48MHz でゼロ ウェイトステート (待ち状態なし) アクセスを備えた 8 KB SRAM が提供されます。

2.1.4 SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる 8 KB 監視 ROM が提供されます。

2.2 システム リソース

2.2.1 電源システム

電源システムは電源の節で詳しく説明されます。これは電圧レベルがそれぞれのモードに対して必要なものであることを保証し、電圧レベルが適切な機能に必要な状態になるまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSOC™ 4100S は、1.8 V \pm 5% (外部安定化) または 1.8 V \sim 5.5 V (内部安定化) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSOC™ 4100S は、アクティブ、スリープ、およびディープスリープ低消費電力モードを提供します。

すべてのサブシステムはアクティブモードで動作できます。CPU サブシステム (CPU, フラッシュ, および SRAM) はスリープモードでクロックがゲート オフになりますが、すべてのペリフェラルと割り込みはウェイクアップ イベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープ モードでは、高速クロックおよび対応する回路がスイッチ オフされます。このモードからの復帰するためには 35 μ s を要します。オペアンプはこのディープスリープ モードでは依然として動作し続けます。

2.2.2 クロックシステム

PSOC™ 4100S クロックシステムは、クロックを必要とするすべてのサブシステムにクロックを供給することと、グリッチなしに異なるクロックソース間で切り替えることを担当します。更に、クロックシステムはメタステーブル状態が発生しないことを保証します。

PSOC™ 4100S のクロックシステムは、内蔵主発振器 (IMO)、内蔵低周波数発振器 (ILO)、32 kHz の時計用水晶発振器 (WCO) および外部クロック用の予備により構成されます。クロック分周器は微調整のレベルでペリフェラル用のクロックを生成するために提供されます。また、分数分周器はまた、UART 向けのより高いデータ転送速度のクロックを可能にするために提供されます。

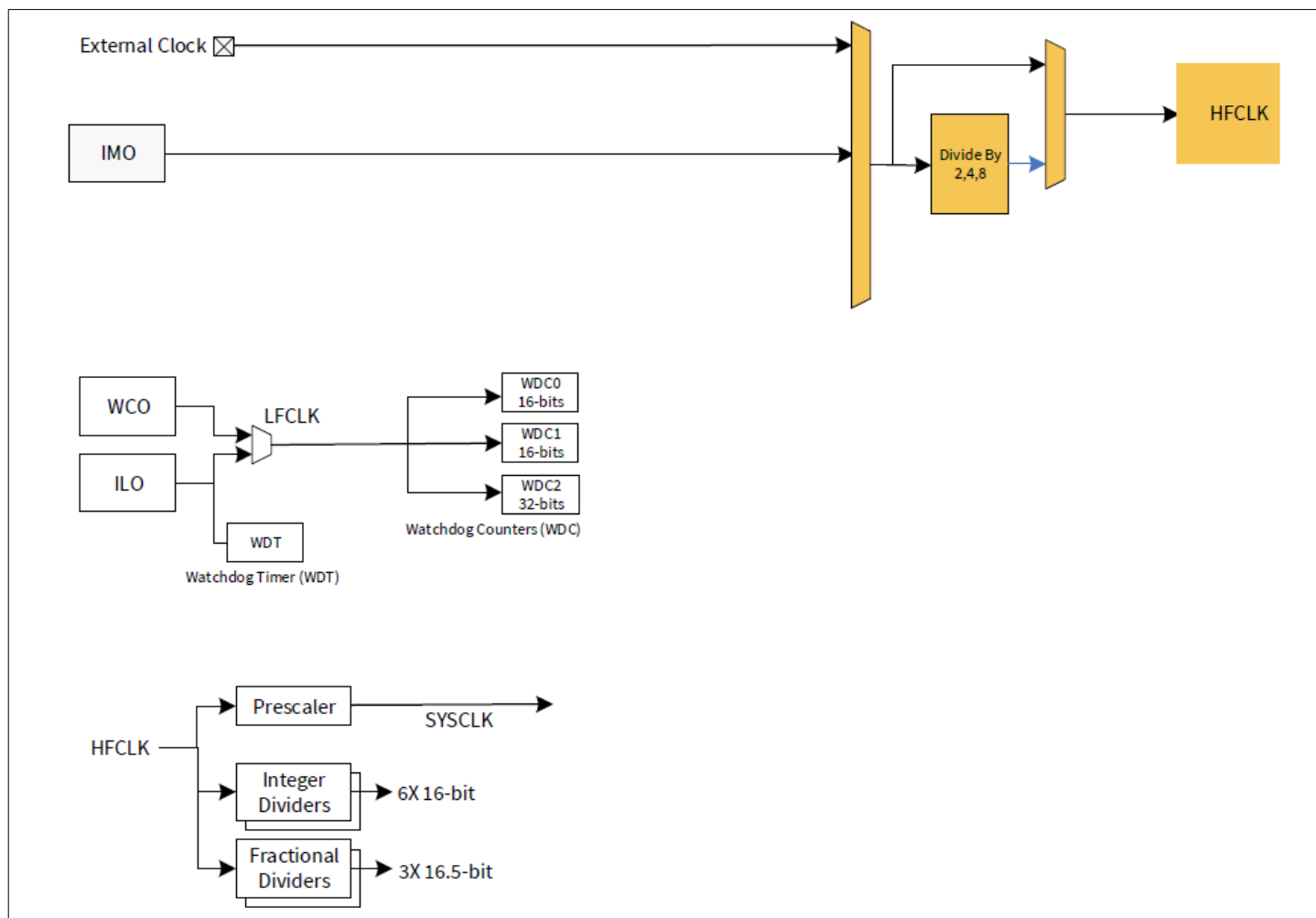


図 4 PSOC™ 4100S MCU のクロッキングアーキテクチャ

HFCLK 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分周させられます。PSOC™ 4100S には 8 個のクロック分周器を備えており、そのうち 2 個は分数分周器です。16 ビットの能力がよりきめ細かい周波数値を柔軟に生成することを可能にし、それは PSOC™ Creator で完全にサポートされます。

2.2.3 IMO クロックソース

IMO は PSOC™ 4100S における内部クロックの主な供給ソースです。これはテスト中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24 MHz で、24 から 48 MHz 間で 4 MHz ステップで調整できます。インフィニオンが提供する校正設定での IMO の許容誤差は±2%です。

2.2.4 ILO クロックソース

ILO は超低消費電力の 40 kHz 発振器であり、ディープスリープ モードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正させられます。インフィニオンは、校正を実行するソフトウェア コンポーネントを提供します。

2.2.5 時計用水晶発振器 (WCO)

PSOC™ 4100S クロック サブシステムはまた、高精度タイミング のアプリケーションに使用される低周波発振器 (32 kHz 時計用水晶) を実装します。WCO ブロックを使用すると、IMO を 32 kHz 発振器にロックできます。

2.2.6 ウォッチドッグ タイマーおよびカウンター

ウォッチドッグ タイマーは ILO から動作するクロックブロックに実装されます。これにより、ディープスリープでのウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグ リセットは、ファームウェア読み出しが可能なリセット原因 (Reset Cause) レジスタに記録されます。ウォッチドッグカウンターは、32 kHz WCO を使用してリアルタイムクロックを実装するために使用できます。

2.2.7 リセット

PSOC™ 4100S は、ソフトウェア リセットを含む様々なソースからリセットさせられます。リセット イベントは非同期であり、既知の状態への復帰を保証します。リセットの原因はレジスタに記録されます。そのレジスタはリセットをとおしてスティッキーで、ソフトウェアがリセットの原因を判断するのを可能にします。XRES ピンは、アクティブ LOW にアサートすることで外部リセット用に予約されます。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

2.3 アナログブロック

2.3.1 12 ビット SAR ADC

12 ビットの 1 Msps SAR ADC は 18 MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプのセトリング時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部リファレンス アンプに対して、外部バイパス コンデンサを固定したピン位置に設けられます。

SAR は 8 入力シーケンサを介して固定した一連のピンに接続されます。シーケンサは、スイッチング オーバーヘッドの必要がなく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるかにかかわらず 1 Msps です)。シーケンサの切り替えは、ステート マシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号をさまざまなソース インピーダンスと周波数に適合させるために、各チャンネルに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタのペア (低レンジ値および高レンジ値) による信号範囲の指定は、対応する範囲外の割込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18 MHz) を必要とするため、ディープスリープ モードに対応していません。SAR の動作範囲は 1.71 V~5.5 V です。

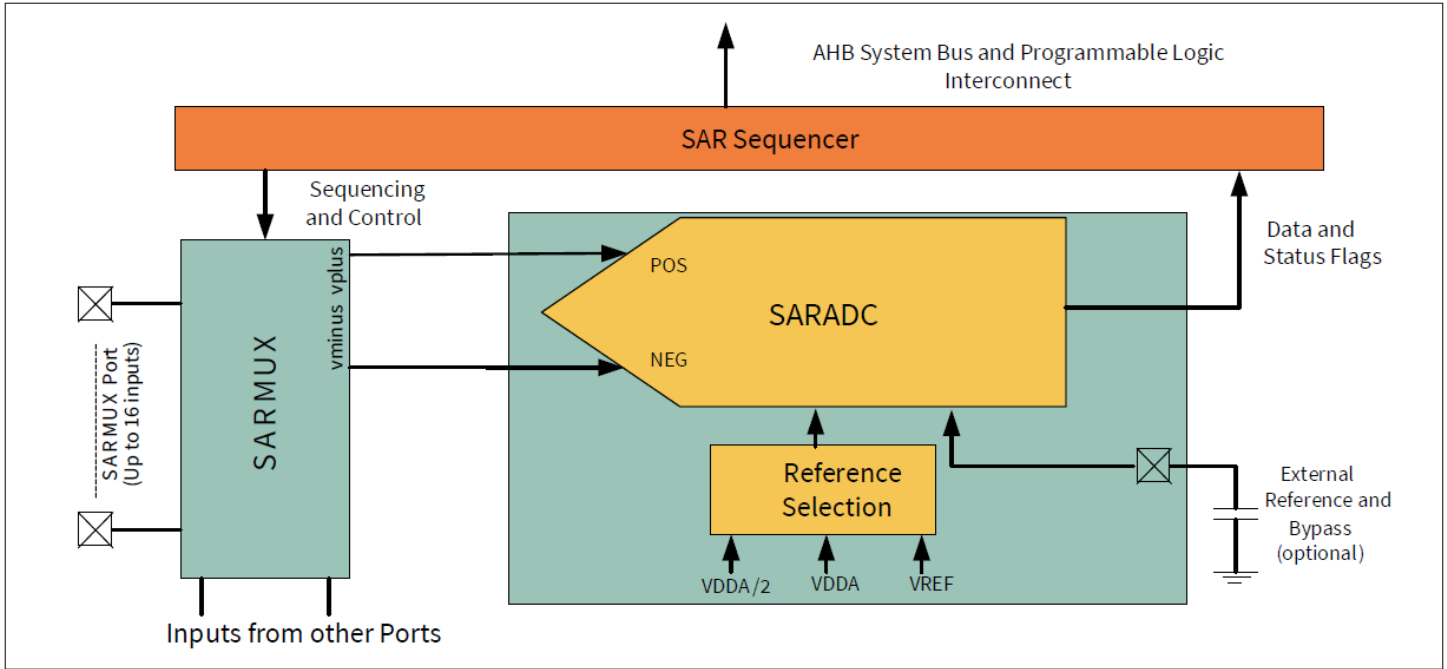


図 5 SAR ADC

2.3.2 2 個のオペアンプ (連続時間ブロック; CTB)

PSOC™ 4100S はコンパレータモードのある 2 個のオペアンプを持つことにより、ほとんどの一般的なアナログ機能には外部コンポーネントを排除し、オンチップで実行できます; PGA、電圧バッファ、フィルタ、トランスインピーダンスアンプ、とその他の機能は実現できるため (ケースによっては外部受動でも実現)、電力、コスト、および容量を削除できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC のサンプルおよびホールド回路を駆動するように十分な帯域幅に対応するように設計されています。

2.3.3 低消費電力コンパレータ (LPC)

PSOC™ 4100S は、ディープスリープモードでも動作できる一対の低消費電力コンパレータを内蔵します。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながら、アナログシステムブロックを無効にできます。コンパレータ出力は、準安定状態を避けるために通常同期化されます。ただし、システムウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

2.3.4 電流 DAC

PSOC™ 4100S は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えます。これらの IDAC はプログラミング可能な電流範囲を持ちます。

2.3.5 アナログマルチプレクサバス

PSOC™ 4100S はチップの周辺を回る 2 個の同心の独立したバスを備えます。これらのバス (amux バスと呼ばれる) はファームウェアプログラム可能なアナログスイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続可能にします。

2.4 プログラマブル デジタル ブロック

スマート I/O ブロックはスイッチと LUT の構造体であり、ブール関数が GPIO ポートの各ピンに配線された信号で実行されることを可能にします。スマート I/O は、論理演算をチップの入力ピンおよび出力として出る信号で実行できます。

2.5 固定機能デジタル

2.5.1 タイマー/カウンタ/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンタからなります。イベント (I/O イベントなど) 時にカウント値を記録するキャプチャレジスタ、そのカウントが周期レジスタのカウントに等しくなる時に停止するかまたは自動的にカウンタをリロードするために使用される周期レジスタ、そして PWM デューティ比出力として使用される比較値信号を生成するための比較レジスタがあります。このブロックはその両者間でプログラミング可能なオフセットを有する真の出力と相補出力も提供しており、デッドバンドプログラミング可能な相補 PWM 出力としての使用を可能にします。また、出力を事前に決定された状態に移行するキル (Kill) 入力もあります。例えば、モーター駆動システムで過電流状態が示され、FET を駆動している PWM をソフトウェア介入の時間が無いため直ちに止める必要がある時に、キル入力を使用されます。PSOC™ 4100S には 5 個の TCPWM ブロックがあります。

2.5.2 シリアル通信ブロック (SCB)

PSOC™ 4100S には 3 個のシリアル通信ブロックが備えられ、SPI, I2C, または UART 機能を有するようにプログラムさせられます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトラーションが可能) を実装します。このブロックは、最大 400 kbps (高速モード) で動作可能で、CPU 用の割込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。このブロックはまた EZI2C に対応します。これは、PSOC™ 4100S のメモリでメールボックス アドレス範囲を作り、メモリのアレイに対する読み書きの I²C 通信を効果的に削減します。また、ブロックは送受信に深さ 8 の FIFO にも対応します。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間どおりに読み出しデータを取得しないことに起因するクロックストレッチの必要性を大幅に低減します。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに、I²C 標準モードならびにファスト モード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSOC™ 4100S は、以下の点では I²C 仕様に完全には準拠しません。

- GPIO セルは過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップされることや電源投入させられません。

UART モード: これは最大 1 Mbps で動作するフル機能の UART です。これは、車載向けシングル ワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応します。これらはすべて基本 UART プロトコルから少し変化したものです。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティエラー、ブ레이크検出、フレームエラーなどの共通の UART 機能に対応しています。深さ 8 の FIFO は、より大きい CPU サービスレイテンシが許容されるようにします。

SPI モード: SPI モードは Motorola SPI、TI SSP (SPI コデックを同期化するために使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応します。SPI ブロックは FIFO を使用できます。

2.6 GPIO

PSOC™ 4100S は最大 36 本の GPIO を装備します。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード:
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ

- 弱プルアップ、強プルダウン
- 強プルアップ、弱プルダウン
- オープンドレイン、強プルダウン
- オープンドレイン、強プルアップ
- 強プルアップ、強プルダウン
- 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効/無効の個別制御
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルー レート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、ブロックは必ず無効状態に置かれ、入力が一切無いように、および/または電源投入時に過電流を生じることがないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピンステートレジスタはそれぞれ、ピン上で駆動される値とそれらピン自体の状態を格納します。

各 I/O ピンはそのようにイネーブルされた場合に割込みを生成でき、各 I/O ポートにはそれに対応する割込み要求 (IRQ) と割込みサービス ルーチン (ISR) ベクタがあります (PSOC™ 4100S では、ベクタ数は 5 です)。

2.7 特殊機能ペリフェラル

2.7.1 CAPSENSE™

CAPSENSE™は、(アナログスイッチに接続された) アナログ マルチプレクサ バスを介してどのピンにも接続できる CAPSENSE™シグマデルタ (CSD) ブロックにより、PSOC™ 4100S でサポートされます。CAPSENSE™機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供させられます。ユーザーの便宜のために、PSOC™ Creator コンポーネントが CAPSENSE™ブロック用に提供されます。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサバス上で駆動させられます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることから防ぐためのものです。近接検知も実装できます。

CAPSENSE™ブロックは、2 個の IDAC を備えます。これらは、CAPSENSE™が使用されていない場合 (両方の IDAC とも使用可能)、または CAPSENSE™が耐水性を備えずに使用される場合 (どちらか一方の IDAC が使用可能)、一般用途に使用させられます。

CAPSENSE™ブロックはまた、CAPSENSE™機能と共に使用される 10 ビットのスロープ ADC 機能も提供します。

CAPSENSE™ブロックは、高度で低ノイズなプログラマブルなブロックで、感度と柔軟性を向上させるためのプログラマブル電圧の基準と電流ソースの範囲を有します。さらに、外部基準電圧も利用できます。それは、VDDA とグラウンドへのセンシングを交互に行う全波 CSD モードを有し、電源関連のノイズをゼロにします。

2.7.2 LCD セグメント駆動

PSOC™ 4100S は、最大 4 コモン信号と最大 32 セグメント信号を駆動できる、LCD コントローラーを内蔵します。フル デジタル方法を使用して LCD セグメントを駆動します。内部 LCD 電圧を生成する必要はありません。2 つの方法は、デジタル相関と PWM と呼ばれます。デジタル相関はコモンとセグメント信号の周波数と駆動レベルの変調に関連し、セグメントの全域で最高 RMS 電圧を生成して、セグメントを点灯させるかまたは RMS 信号を 0 に維持します。この方法は STN ディスプレイに適しますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。PWM は PWM 信号を有するパネルの駆動に関連し、パネルの静電容量を効率的に使用して変調されたパルス幅の積分を提供し、所望の LCD 電圧を生成します。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際にはより良い結果を出します。LCD 動作はディープスリープ モードの間サポートされ、小さいディスプレイ バッファ (4 ビット、ポートごとに 1 つの 32 ビットレジスタ) をリフレッシュします。

3 ピン配置

表 1 に、PSOC™ 4100S の 48LD TQFP, 44LD TQFP, 40L QFN, 32 リード QFN, および 35 ボール CSP パッケージ用のピン一覧を示します。すべてのポートピンは GPIO に対応します。

表 1 ピンリスト

48LD TQFP		44LD TQFP		40L QFN		32 リード QFN		35 ボール WLCSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
1	P1.7/VREF	44	P1.7/VREF	40	P1.7/VREF	1	P1.7/VREF	E7	P1.7/VREF
		1	VSSD						
2	P2.0	2	P2.0	1	P2.0	2	P2.0		
3	P2.1	3	P2.1	2	P2.1	3	P2.1		
4	P2.2	4	P2.2	3	P2.2	4	P2.2	D3	P2.2
5	P2.3	5	P2.3	4	P2.3	5	P2.3	E4	P2.3
6	P2.4	6	P2.4	5	P2.4			E5	P2.4
7	P2.5	7	P2.5	6	P2.5	6	P2.5	E6	P2.5
8	P2.6	8	P2.6	7	P2.6	7	P2.6	E3	P2.6
9	P2.7	9	P2.7	8	P2.7	8	P2.7	E2	P2.7
10	VSSD	10	VSSD	9	VSSD				
12	P3.0	11	P3.0	10	P3.0	9	P3.0	E1	P3.0
13	P3.1	12	P3.1	11	P3.1	10	P3.1	D2	P3.1
14	P3.2	13	P3.2	12	P3.2	11	P3.2	D1	P3.2
16	P3.3	14	P3.3	13	P3.3	12	P3.3	C1	P3.3
17	P3.4	15	P3.4	14	P3.4			C2	P3.4
18	P3.5	16	P3.5	15	P3.5				
19	P3.6	17	P3.6	16	P3.6				
20	P3.7	18	P3.7	17	P3.7				
21	VDDD	19	VDDD						
22	P4.0	20	P4.0	18	P4.0	13	P4.0	B1	P4.0
23	P4.1	21	P4.1	19	P4.1	14	P4.1	B2	P4.1
24	P4.2	22	P4.2	20	P4.2	15	P4.2	A2	P4.2
25	P4.3	23	P4.3	21	P4.3	16	P4.3	A1	P4.3
28	P0.0	24	P0.0	22	P0.0	17	P0.0	C3	P0.0
29	P0.1	25	P0.1	23	P0.1	18	P0.1	A5	P0.1
30	P0.2	26	P0.2	24	P0.2	19	P0.2	A4	P0.2
31	P0.3	27	P0.3	25	P0.3	20	P0.3	A3	P0.3
32	P0.4	28	P0.4	26	P0.4	21	P0.4	B3	P0.4
33	P0.5	29	P0.5	27	P0.5	22	P0.5	A6	P0.5

(続く)

3 ピン配置

表 1 (続き) ピンリスト

48LD TQFP		44LD TQFP		40L QFN		32 リード QFN		35 ボール WLCSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
34	P0.6	30	P0.6	28	P0.6	23	P0.6	B4	P0.6
35	P0.7	31	P0.7	29	P0.7			B5	P0.7
36	XRES	32	XRES	30	XRES	24	XRES	B6	XRES
37	VCCD	33	VCCD	31	VCCD	25	VCCD	A7	VCCD
38	VSSD					26	VSSD	B7	VSS
39	VDDD	34	VDDD	32	VDDD			C7	VDD
40	VDDA	35	VDDA	33	VDDA	27	VDD	C7	VDD
41	VSSA	36	VSSA	34	VSSA	28	VSSA	B7	VSS
42	P1.0	37	P1.0	35	P1.0	29	P1.0	C4	P1.0
43	P1.1	38	P1.1	36	P1.1	30	P1.1	C5	P1.1
44	P1.2	39	P1.2	37	P1.2	31	P1.2	C6	P1.2
45	P1.3	40	P1.3	38	P1.3	32	P1.3	D7	P1.3
46	P1.4	41	P1.4	39	P1.4			D4	P1.4
47	P1.5	42	P1.5					D5	P1.5
48	P1.6	43	P1.6					D6	P1.6

注: ピン 11, 15, 26, および 27 は、48LD TQFP では接続されません。

電源ピンの説明は以下のとおりです。

VDDD: デジタル セクション用の電源。

VDDA: アナログ セクション用の電源。

VSSD, VSSA: デジタルとアナログ セクションそれぞれのグランドピン。

VCCD: 安定化デジタル電源 (1.8 V ±5%)

VDD: チップのすべてのセクションへの電源。

VSS: チップのすべてのセクション用のグランド。

3.1 ピンの代替機能

各ポートピンは多機能の 1 つに割り当てられます。例えばアナログ I/O, デジタル ペリフェラル機能, LCD ピン, または CAPSENSE™ピンなどがあります。ピンの割り当てを表 2 に示します。

表 2 ピンの代替機能

ポート/ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P0.0	lpcomp.in_p[0]				tcpwm.tr_in[0]	scb[2].i2c_scl: 0	scb[0].spi_select1:0

(続く)

表 2 (続き) ピンの代替機能

ポート/ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P0.1	lpcomp.in_n[0]				tcpwm.tr_in[1]	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						scb[2].spi_select0
P0.4	wco.wco_in			scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			srss.ext_clk	scb[1].uart_cts:0	scb[2].uart_tx:1		scb[1].spi_clk:1
P0.7			tcpwm.line[0]:2	scb[1].uart_rts:0			scb[1].spi_select0:1
P1.0	ctb0_oa0+		tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-		tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out		tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:1	scb[0].spi_clk:1
P1.3	ctb0_oa1_out		tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:1	scb[0].spi_select0:1
P1.4	ctb0_oa1-						scb[0].spi_select1:1
P1.5	ctb0_oa1+						scb[0].spi_select2:1
P1.6	ctb0_oa0+						scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1						scb[2].spi_clk
P2.0	sarmux[0]	SmartIO[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	SmartIO[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2

(続く)

表 2 (続き) ピンの代替機能

ポート/ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P2.2	sarmux[2]	SmartIo[0].io[2]					scb[1].spi_clk:2
P2.3	sarmux[3]	SmartIo[0].io[3]					scb[1].spi_select0:2
P2.4	sarmux[4]	SmartIo[0].io[4]	tcpwm.line[0]:1				scb[1].spi_select1:1
P2.5	sarmux[5]	SmartIo[0].io[5]	tcpwm.line_comp[0]:1				scb[1].spi_select2:1
P2.6	sarmux[6]	SmartIo[0].io[6]	tcpwm.line[1]:1				scb[1].spi_select3:1
P2.7	sarmux[7]	SmartIo[0].io[7]	tcpwm.line_comp[1]:1			lpcomp.comp[0]:1	scb[2].spi_mosi
P3.0		SmartIo[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_miso:0
P3.1		SmartIo[1].io[1]	tcpwm.line_comp[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		SmartIo[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		SmartIo[1].io[3]	tcpwm.line_comp[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		SmartIo[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		SmartIo[1].io[5]	tcpwm.line_comp[2]:0				scb[1].spi_select2:0
P3.6		SmartIo[1].io[6]	tcpwm.line[3]:0				scb[1].spi_select3:0
P3.7		SmartIo[1].io[7]	tcpwm.line_comp[3]:0			lpcomp.comp[1]:1	scb[2].spi_miso
P4.0	csd.vref_ext			scb[0].uart_rx:0		scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshield pads			scb[0].uart_tx:0		scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0

4 電源

以下の電源システム図は、PSOC™ 4100S 用に実装された電源ピンのセットを示します。システムには、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログレギュレータはありません。アナログ回路は V_{DD} 入力から直接動作します。

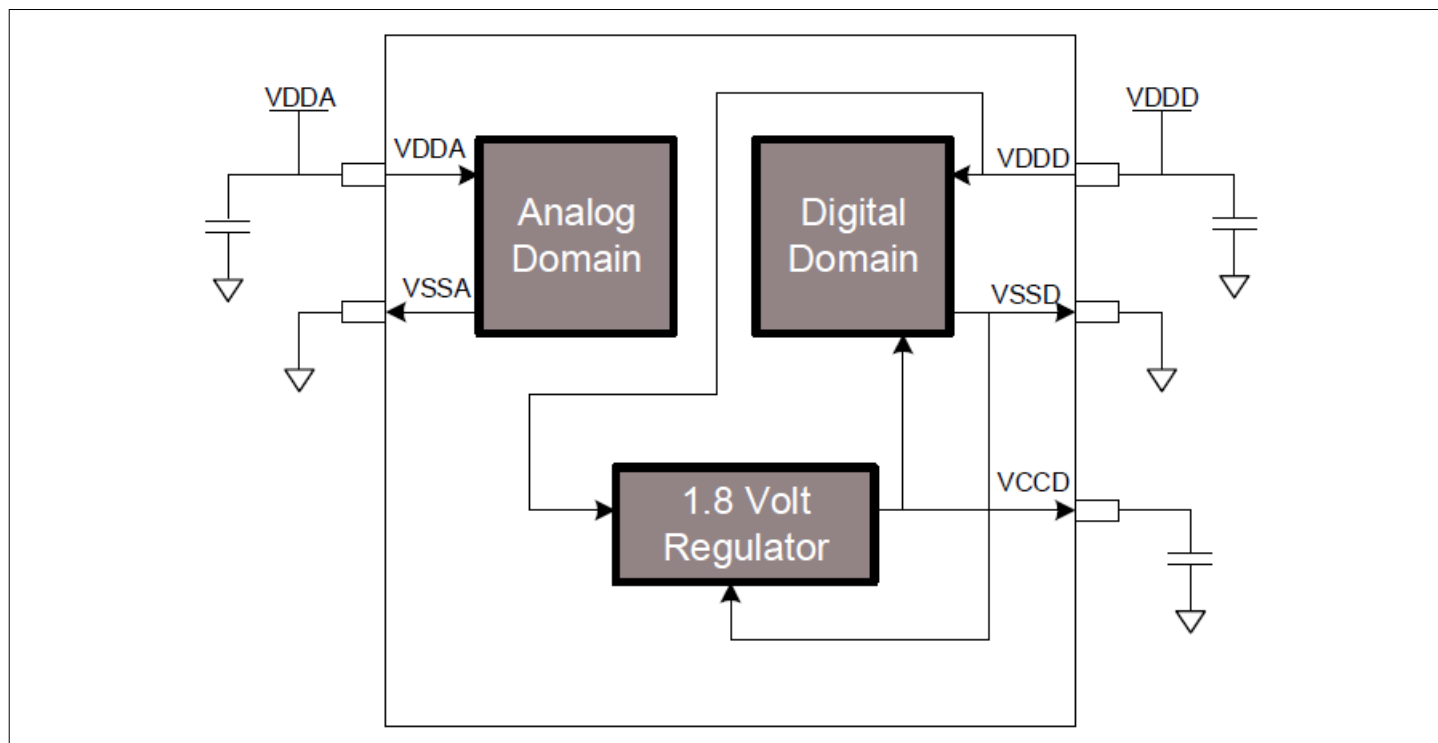


図 6 電源接続

次の 2 つの別個の動作モードがあります。モード 1 では、供給電圧範囲は 1.8 V ~ 5.5 V (外部レギュレーションなし; 内部レギュレータは動作可能) です。モード 2 では、供給電圧範囲は $1.8 V \pm 5\%$ (外部レギュレーションあり; 1.71 V ~ 1.89 V、内部レギュレータはバイパスされる) です。

4.1 モード 1: 1.8 V ~ 5.5 V の外部電源

このモードでは、PSOC™ 4100S は 1.8 V ~ 5.5 V の任意の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも設計されます。例えば、チップは、3.5 V に始まって 1.8 V に低減するバッテリーシステムから電源供給されることが可能です。このモードでは、PSOC™ 4100S の内部レギュレータが内部ロジックに電源を供給し、その出力は V_{CCD} ピンに接続されます。 V_{CCD} ピンは外部コンデンサ (0.1 μF ; X5R セラミックまたはこれより良質のもの) を経由してグラウンドにバイパスされなければならず、他のどれにも接続してはいけません。

4.2 モード 2: $1.8 V \pm 5\%$ の外部電源

このモードでは、PSOC™ 4100S は外部電源から電源供給され、それは 1.71 V ~ 1.89 V の範囲である必要があります。この範囲は電源リップルも含む必要があることに注意してください。このモードで、VDD ピンと VCCD ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効化させられます。

バイパスコンデンサは、VDDD からグラウンドの間で使用される必要があります。この周波数範囲でのシステムの標準的な実践としては、1 μF レンジのコンデンサをより小さいコンデンサ (例えば、0.1 μF) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計のためと最適なバイパスを得るために、PCB レイアウト、リードインダクタンス、バイパスコンデンサ寄生容量をシミュレートする必要があることに留意してください。

図 7 はバイパス方式の例です。

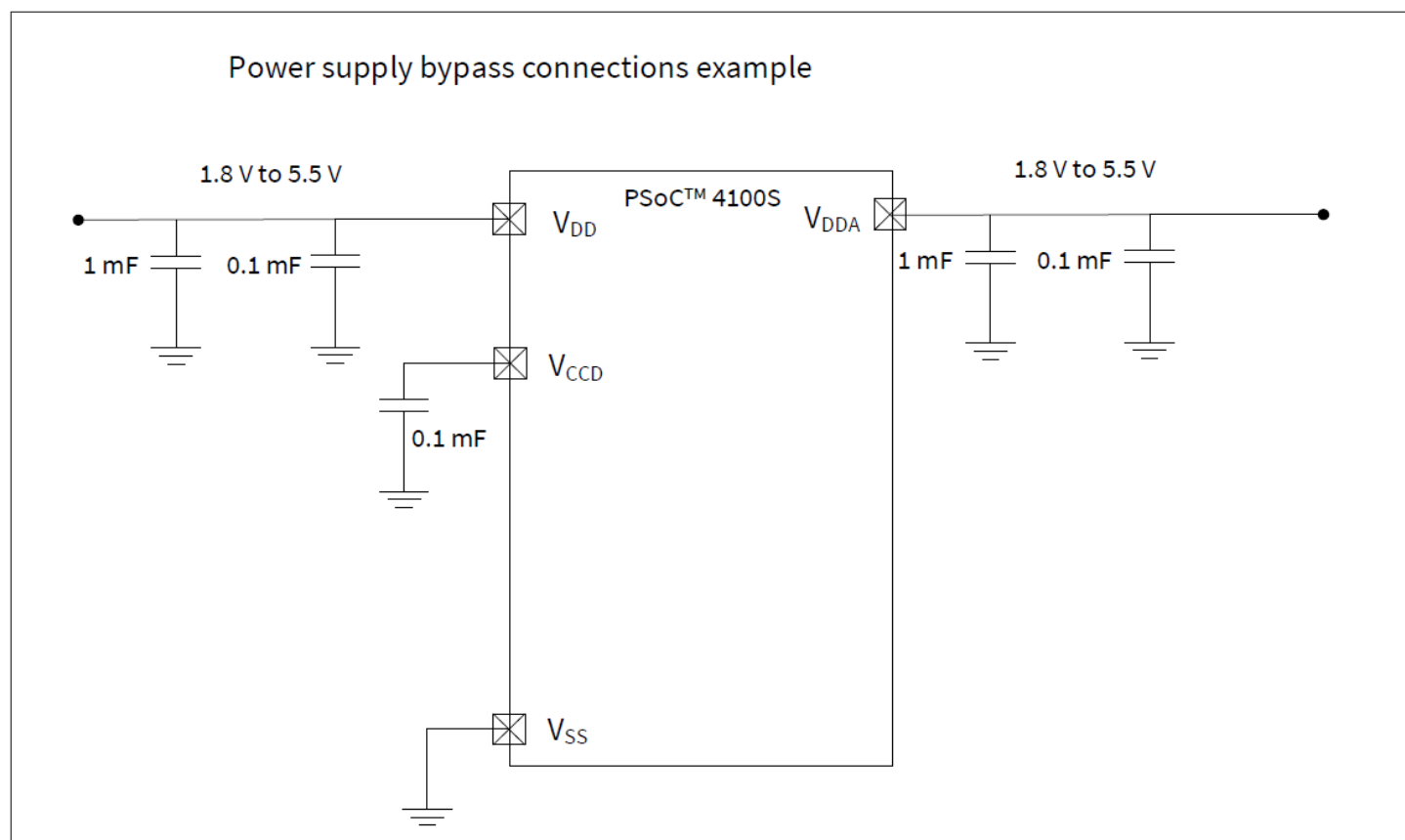


図 7 内部レギュレータがアクティブでの 1.8 V~5.5 V の外部電源範囲

5 電気的仕様

5.1 絶対最大定格

表 3 絶対最大定格 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DDD_ABS}	V _{SS} を基準としたデジタル電源	-0.5	-	6	V	-
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタルコア電圧入力	-0.5	-	1.95		-
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DD} + 0.5		-
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA	-
SID5	I _{GPIO_injection}	GPIO 注入電流、 V _{IH} > V _{DDD} の場合は Max、 V _{IL} < V _{SS} の場合は Min	-0.5	-	0.5		ピンごとの注入された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

1) 表 3 に記載される絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150 °C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

5.2 デバイスレベルの仕様

すべての仕様は、特に注記した場合を除いて、-40 °C ≤ T_A ≤ 105 °C および T_J ≤ 125 °C の条件で有効です。仕様は注記した場合を除いて 1.71 V ~ 5.5 V において有効です。

表 4 DC 仕様

Typ 値は 25 °C で、V_{DD} = 3.3 V で測定されます。

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DD}	電源供給入力電圧	1.8	-	5.5	V	内部的に安定化された電源
SID255	V _{DD}	電源供給入力電圧 (V _{CCD} = V _{DDD} = V _{DDA})	1.71	-	1.89		内部的に安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.8	-		-
SID55	C _{EFC}	外部レギュレータ電圧バイパス	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源供給バイパスコンデンサ	-	1	-		

(続く)

5 電気的仕様

表 4 (続き) DC 仕様

Typ 値は 25 °C で、 $V_{DD} = 3.3\text{ V}$ で測定されます。

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
アクティブ モード、V _{DD} = 1.8 V～5.5 V。標準値は 25℃、V _{DD} = 3.3 V で測定							
SID10	I _{DD5}	フラッシュから実行; CPU 速度が 6 MHz	–	1.8	2.7	mA	最大値は 85℃ および 5.5 V 時
SID16	I _{DD8}	フラッシュから実行; CPU 速度が 24 MHz	–	3.0	4.75		
SID19	I _{DD11}	フラッシュから実行; CPU 速度が 48 MHz	–	5.4	6.85		
スリープ モード、V _{DDD} = 1.8 V～5.5 V (レギュレータが有効)							
SID22	IDD17	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	1.7	2.2	mA	6 MHz。最大値は 85℃ および 5.5 V 時。
SID25	IDD20	I ² C ウェイクアップ、WDT、およびコンパレータが有効。	–	2.2	2.5		12 MHz。最大値は 85℃ および 5.5 V 時。
スリープ モード、V _{DDD} = 1.71 V～1.89 V (レギュレータ バイパス)							
SID28	IDD23	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	0.7	0.9	mA	6 MHz。最大値は 85℃ および 5.5 V 時。
SID28A	IDD23A	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	1	1.2		12 MHz。最大値は 85℃ および 5.5 V 時。
ディープスリープ モード、V _{DD} = 1.8 V～3.6 V (レギュレータが有効)							
SID31	I _{DD26}	I ² C ウェイクアップと WDT が有効	–	2.5	60	μA	最大値は 3.6 V および 85℃ 時。
ディープスリープ モード、V _{DD} = 3.6 V～5.5 V (レギュレータが有効)							
SID34	I _{DD29}	I ² C ウェイクアップと WDT が有効	–	2.5	60	μA	最大値は 5.5 V および 85℃ 時。
ディープスリープ モード、V _{DD} = V _{CCD} = 1.71 V～1.89 V (レギュレータはバイパスされる)							
SID37	I _{DD32}	I ² C ウェイクアップと WDT が有効	–	2.5	65	μA	最大値は 1.89 V および 85℃ 時。
XRES 電流							
SID307	I _{DD_XR}	XRES がアサート時の供給電流	–	2	5	mA	–

表 5 AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F_{CPU}	CPU 周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ¹⁾	T_{SLEEP}	スリープ モードからのウェイクアップ	–	0	–	μs	–

(続く)

5 電氣的仕様

表 5 (続き) AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID50 ¹⁾	T _{DEEPSLEEP}	ディープスリープ モードからのウェイクアップ	–	35	–		–

1) 特性評価で保証されています。

5.2.1 GPIO

表 6 GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	V _{IH} ¹⁾	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID58	V _{IL}	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DD}$		
SID241	V _{IH} ¹⁾	LVTTL 入力、 $V_{DD} < 2.7 \text{ V}$	$0.7 \times V_{DD}$	–	–		–
SID242	V _{IL}	LVTTL 入力、 $V_{DD} < 2.7 \text{ V}$	–	–	$0.3 \times V_{DD}$		–
SID243	V _{IH} ¹⁾	LVTTL 入力、 $V_{DD} \geq 2.7 \text{ V}$	2.0	–	–		–
SID244	V _{IL}	LVTTL 入力、 $V_{DD} \geq 2.7 \text{ V}$	–	–	0.8		–
SID59	V _{OH}	出力電圧 HIGH レベル	$V_{DD} - 0.6$	–	–		$I_{OH} = 4 \text{ mA}$ 、 $V_{DD} \geq 3 \text{ V}$
SID60	V _{OH}	出力電圧 HIGH レベル	$V_{DD} - 0.5$	–	–		$V_{DD} = 1.8 \text{ V}$ の時、 $I_{OH} = 1 \text{ mA}$
SID61	V _{OL}	出力電圧 LOW レベル	–	–	0.6		$V_{DD} = 1.8 \text{ V}$ の時、 $I_{OL} = 4 \text{ mA}$
SID62	V _{OL}	出力電圧 LOW レベル	–	–	0.6		$I_{OL} = 10 \text{ mA}$ 、 $V_{DD} \geq 3 \text{ V}$
SID62A	V _{OL}	出力電圧 LOW レベル	–	–	0.4		$I_{OL} = 3 \text{ mA}$ 、 $V_{DD} \geq 3 \text{ V}$
SID63	R _{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	–
SID64	R _{PULLDOWN}	プルダウン抵抗	3.5	5.6	8.5		–
SID65	I _{IL}	Input leakage current (absolute value)	–	–	2	nA	25 °C、 $V_{DD} = 3.0 \text{ V}$
SID66	C _{IN}	入力静電容量	–	–	7	pF	–
SID67 ²⁾	V _{HYSTTL}	入力ヒステリシス LVTTL	25	40	–	mV	$V_{DD} \geq 2.7 \text{ V}$
SID68 ²⁾	V _{HYSCMOS}	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	–	–		$V_{DD} < 4.5 \text{ V}$
SID68A ²⁾	V _{HYSCMOSV5}	入力ヒステリシス CMOS	200	–	–		
SID69 ²⁾	I _{DIODE}	保護ダイオードを通して V_{DD}/V_{SS} に流れる電流	–	–	100	μA	–

(続く)

5 電氣的仕様

表 6 (続き) GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID69A ²⁾	I _{TOT_GPIO}	ソースまたはチップのシンク電流の合計最大値	–	–	200	mA	–

1) V_{IH} は V_{DD} + 0.2 V を超えてはいけません。

2) 特性評価で保証されています。

表 7 GPIO の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T _{RISEF}	高速ストロングモードでの立ち上り時間	2	–	12	ns	3.3 V V _{DD} , Cload = 25 pF
SID71	T _{FALLF}	高速ストロングモードでの立ち下り時間	2	–	12		
SID72	T _{RISES}	低速ストロングモードでの立ち上り時間	10	–	60	–	
SID73	T _{FALLS}	低速ストロングモードでの立ち下り時間	10	–	60	–	
SID74	F _{GPIOOUT1}	GPIO F _{OUT} ; 3.3V ≤ V _{DD} ≤ 5.5 V 高速ストロングモード	–	–	33	MHz	90/10%、負荷 25 pF、 デューティサイクル 60/40
SID75	F _{GPIOOUT2}	GPIO F _{OUT} ; 1.71V ≤ V _{DD} ≤ 3.3 V 高速ストロングモード	–	–	16.7		
SID76	F _{GPIOOUT3}	GPIO F _{OUT} ; 3.3V ≤ V _{DD} ≤ 5.5 V 低速ストロングモード	–	–	7		
SID245	F _{GPIOOUT4}	GPIO F _{OUT} ; 1.71V ≤ V _{DD} ≤ 3.3 V 低速ストロングモード。	–	–	3.5		
SID246	F _{GPIOIN}	GPIO の入力動作周波数; 1.71V ≤ V _{DD} ≤ 5.5 V	–	–	48		90/10% V _{IO}

5.2.2 XRES

表 8 XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V _{IH}	入力電圧 HIGH 閾値	0.7 × V _{DD}	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧 LOW 閾値	–	–	0.3 × V _{DD}		

(続く)

5 電気的仕様

表 8 (続き) XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID79	R _{PULLUP}	プルアップ抵抗	–	60	–	kΩ	–
SID80	C _{IN}	入力静電容量	–	–	7	pF	–
SID81 ¹⁾	V _{HYSXRES}	入力電圧ヒステリシス	–	100	–	mV	– V _{DD} > 4.5 V 時の標準 ヒステリシスが 200 mV
SID82	I _{DIODE}	保護ダイオードを通して V _{DD} /V _{SS} に流れる電流	–	–	100	μA	–

1) 特性評価で保証されています。

表 9 XRES の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ¹⁾	T _{RESETWIDTH}	リセット パルス幅	1	–	–	μs	–
BID194 ¹⁾	T _{RESETWAKE}	リセット解除時からのウェイク アップ時間	–	–	2.7	ms	–

1) 特性評価で保証されています。

5.3 アナログ ペリフェラル

5.3.1 CTBm オペアンプ

表 10 CTBm オペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I _{DD}	オペアンプ ブロック電 流、外部負荷					
SID269	I _{DD_HI}	電力 = 高	–	1100	1850	μA	–
SID270	I _{DD_MED}	電力 = 中	–	550	950		–
SID271	I _{DD_LOW}	電力 = 低	–	150	350		–
	G _{BW}	負荷 = 20 pF、0.1 mA V _{DDA} = 2.7 V					
SID272	G _{BW_HI}	電力 = 高	6	–	–	MHz	入力および出力は 0.2 V ~ V _{DDA} – 0.2 V
SID273	G _{BW_MED}	電力 = 中	3	–	–		
SID274	G _{BW_LO}	電力 = 低	–	1	–		
	I _{OUT_MAX}	V _{DDA} = 2.7 V, 500 mV の電源レール					
SID275	I _{OUT_MAX_HI}	電力 = 高	10	–	–	mA	出力は 0.5 V ~

(続く)

5 電気的仕様

表 10 (続き) CTBm オペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID276	I _{OUT_MAX_MID}	電力 = 中	10	–	–		V _{DDA} – 0.5 V
SID277	I _{OUT_MAX_LO}	電力 = 低	–	5	–		
	I _{OUT}	V _{DDA} = 1.71 V, 500 mV の電源レール					
SID278	I _{OUT_MAX_HI}	電力 = 高	4	–	–	mA	出力は 0.5 V ~ V _{DDA} – 0.5 V
SID279	I _{OUT_MAX_MID}	電力 = 中	4	–	–		
SID280	I _{OUT_MAX_LO}	電力 = 低	–	2	–		
	I _{DD_Int}	オペアンプ ブロック電 流、内部負荷					
SID269_I	I _{DD_HI_Int}	電力 = 高	–	1500	1700	μA	–
SID270_I	I _{DD_MED_Int}	電力 = 中	–	700	900		–
SID271_I	I _{DD_LOW_Int}	電力 = 低	–	–	–		–
	G _{BW}	V _{DDA} = 2.7 V	–	–	–		–
SID272_I	G _{BW_HI_Int}	電力 = 高	8	–	–	MHz	出力は 0.25 V ~ V _{DDA} – 0.25 V
		内部モードと外部モード のオペアンプの一般仕 様					
SID281	V _{IN}	チャージ ポンプがオン、 V _{DDA} = 2.7 V	–0.05	–	V _{DDA} – 0.2	V	–
SID282	V _{CM}	チャージ ポンプがオン、 V _{DDA} = 2.7 V	–0.05	–	V _{DDA} – 0.2		–
	V _{OUT}	V _{DDA} = 2.7 V					
SID283	V _{OUT_1}	電力 = 高、 I _{load} = 10 mA	0.5	–	V _{DDA} – 0.5	V	–
SID284	V _{OUT_2}	電力 = 高、 I _{load} = 1 mA	0.2	–	V _{DDA} – 0.2		–
SID285	V _{OUT_3}	電力 = 中、 I _{load} = 1 mA	0.2	–	V _{DDA} – 0.2		–
SID286	V _{OUT_4}	電力 = 低、 I _{load} = 0.1 mA	0.2	–	V _{DDA} – 0.2		–
SID288	V _{OS_TR}	オフセット電圧 (調整後)	–1.0	±0.5	1.0	mV	高電力モード、入力 は 0 V ~ V _{DDA} – 0.2 V
SID288A	V _{OS_TR}	オフセット電圧 (調整後)	–	±1	–		中電力モード、入力 は 0 V ~ V _{DDA} – 0.2 V

(続く)

表 10 (続き) CTBm オペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID288B	V_{OS_TR}	オフセット電圧 (調整後)	–	± 2	–		低電力モード、入力は $0V \sim V_{DDA} - 0.2V$
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–10	± 3	10	$\mu V/^{\circ}C$	高消費電力モード
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	± 10	–		中消費電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	± 10	–		低消費電力モード
SID291	CMRR	DC	70	80	–	dB	入力は $0V \sim V_{DDA} - 0.2V$ 、出力は $0.2V \sim V_{DDA} - 0.2V$
SID292	PSRR	周波数 = 1 kHz、リップル = 10 mV	70	85	–		$V_{DDD} = 3.6V$ 、高消費電力モード、入力は $0.2V \sim V_{DDA} - 0.2V$
	ノイズ						
SID294	VN2	基準入力、1 kHz、電力 = 高	–	72	–	nV/rHz	入力および出力は $0.2V \sim V_{DDA} - 0.2V$
SID295	VN3	基準入力、10 kHz、電力 = 高	–	28	–		
SID296	VN4	基準入力、100 kHz、電力 = 高	–	15	–		
SID297	C_{LOAD}	最大負荷まで安定。50 pF で性能仕様を満たす	–	–	125	pF	–
SID298	SLEW_RATE	$C_{load} = 50$ pF、電力 = 高、 $V_{DDA} = 2.7V$	6	–	–	V/ μs	–
SID299	T_OP_WAKE	無効から有効まで、外付け RC なし	–	–	25	μs	–
SID299A	OL_GAIN	オープンループ ゲイン	–	90	–	dB	–
	COMP_MODE	コンパレータモード; 50 mV 駆動、 $T_{rise} = T_{fall}$ (おおよそ)					
SID300	TPD1	応答時間; 電力 = 高	–	150	–	ns	入力は $0.2V \sim V_{DDA} - 0.2V$
SID301	TPD2	応答時間; 電力 = 中	–	500	–		

(続く)

表 10 (続き) CTBm オペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID302	TPD3	応答時間; 電力 = 低	–	2500	–		
SID303	VHYST_OP	ヒステリシス:	–	10	–	mV	–
SID304	WUP_CTB	イネーブルから使用可能までのウェイクアップ時間	–	–	25	μs	–
	ディープスリープモード	モード 2 は最小の電流範囲。モード 1 はより高い GBW を持つ。					
SID_DS_1	I _{DD_HI_M1}	モード 1、高電流	–	1400	–	μA	25°C
SID_DS_2	I _{DD_MED_M1}	モード 1、中電流	–	700	–		
SID_DS_3	I _{DD_LOW_M1}	モード 1、低電流	–	200	–		
SID_DS_4	I _{DD_HI_M2}	モード 2、高電流	–	120	–		
SID_DS_5	I _{DD_MED_M2}	モード 2、中電流	–	60	–		
SID_DS_6	I _{DD_LOW_M2}	モード 2、低電流	–	15	–		
SID_DS_7	G _{BW_HI_M1}	モード 1、高電流	–	4	–	MHz	20pF 負荷、DC 負荷なし、0.2 V ~ V _{DDA} – 0.2 V
SID_DS_8	G _{BW_MED_M1}	モード 1、中電流	–	2	–		
SID_DS_9	G _{BW_LOW_M1}	モード 1、低電流	–	0.5	–		
SID_DS_10	G _{BW_HI_M2}	モード 2、高電流	–	0.5	–		
SID_DS_11	G _{BW_MED_M2}	モード 2、中電流	–	0.2	–		
SID_DS_12	G _{BW_LOW_M2}	モード 2、低電流	–	0.1	–		
SID_DS_13	V _{OS_HI_M1}	モード 1、高電流	–	5	–	mV	トリム 25°C あり、0.2 V ~ V _{DDA} – 0.2 V
SID_DS_14	V _{OS_MED_M1}	モード 1、中電流	–	5	–		
SID_DS_15	V _{OS_LOW_M1}	モード 1、低電流	–	5	–		
SID_DS_16	V _{OS_HI_M2}	モード 2、高電流	–	5	–		
SID_DS_17	V _{OS_MED_M2}	モード 2、中電流	–	5	–		
SID_DS_18	V _{OS_LOW_M2}	モード 2、低電流	–	5	–		
SID_DS_19	I _{OUT_HI_M1}	モード 1、高電流	–	10	–	mA	出力は 0.5 V ~ V _{DDA} – 0.5 V

(続く)

5 電気的仕様

表 10 (続き) CTBm オペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_20	I _{OUT_MED_M1}	モード 1、 中電流	–	10	–		
SID_DS_21	I _{OUT_LOW_M1}	モード 1、低電流	–	4	–		
SID_DS_22	I _{OUT_HI_M2}	モード 2、高電流	–	1	–		–
SID_DS_23	I _{OUT_MED_M2}	モード 2、 中電流	–	1	–		–
SID_DS_24	I _{OUT_LOW_M2}	モード 2、低電流	–	0.5	–		–

5.3.2 コンパレータ

表 11 コンパレータ DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID84	V _{OFFSET1}	入力オフセット電圧 (工場出荷時トリム)	–	–	±10	mV	–
SID85	V _{OFFSET2}	入力オフセット電圧 (カスタムトリム)	–	–	±4		–
SID86	V _{HYST}	有効時のヒステリシス	–	10	35		–
SID87	V _{ICM1}	通常モードでの入力同相電圧	0	–	V _{DDD} – 0.1	V	モード 1 およびモード 2
SID247	V _{ICM2}	低消費電力モードでの入力同相電圧	0	–	V _{DDD}		–
SID247A	V _{ICM3}	超低消費電力モードでの入力同相電圧	0	–	V _{DDD} – 1.15		–40 °C で V _{DDD} ≥ 2.2 V
SID88	C _{MRR}	同相信号除去比	50	–	–	dB	V _{DDD} ≥ 2.7 V
SID88A	C _{MRR}	同相信号除去比	42	–	–		
SID89	I _{CMP1}	ブロック電流、通常モード	–	–	400	μA	–
SID248	I _{CMP2}	ブロック電流、 低消費電力モード	–	–	100		–
SID259	I _{CMP3}	ブロック電流、超低消費電力モード	–	–	6		–40 °C で V _{DDD} ≥ 2.2 V
SID90	Z _{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	–

表 12 コンパレータ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	TRESP1	応答時間、通常モード、50 mV オーバードライブ	–	38	110	ns	–

(続く)

5 電氣的仕様

表 12 (続き) コンパレータ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID258	TRESP2	応答時間、低消費電力モード、50 mV オーバードライブ	–	70	200		–
SID92	TRESP3	応答時間、超低消費電力モード、200 mV オーバードライブ	–	2.3	15	μs	–40 °C で $V_{DD} \geq 2.2 \text{ V}$

5.3.3 温度センサー

表 13 温度センサー仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	TSENSACC	温度センサー精度	–5	±1	5	°C	–40 °C ~ +85 °C

5.3.4 SAR

表 14 SAR 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SAR ADC の DC 仕様							
SID94	A_RES	分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャンネル数 – シングル エンド	–	–	16		–
SID96	A-CHNKS_D	チャンネル数 – 差動	–	–	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	–	–	–		有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス電圧有り
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1 V リファレンス電圧で測定
SID100	A_ISAR	消費電流	–	–	1	mA	–
SID101	A_VINS	入力電圧範囲 – シングル エンド	V_{SS}	–	V_{DDA}	V	–
SID102	A_VIND	入力電圧範囲 – 差動	V_{SS}	–	V_{DDA}		–
SID103	A_INRES	入力抵抗	–	–	2.2	kΩ	–
SID104	A_INCAP	入力静電容量	–	–	10	pF	–
SID260	VREFSAR	SAR 用の調整された内部リファレンス電圧	1.188	1.2	1.212	V	–

SAR ADC の AC 仕様

SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	–
--------	--------	-----------	----	---	---	----	---

(続く)

表 14 (続き) SAR 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID107	A_CMRR	同相信号除去比	66	–	–		1 V で計測
SID108	A_SAMP	サンプリング速度	–	–	1	Msps	–
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	–	–	dB	$F_{IN} = 10 \text{ kHz}$
SID110	A_BW	エイリアシング無しの入力帯域幅	–	–	$A_{\text{samp}}/2$	kHz	–
SID111	A_INL	積分非直線性 $V_{DD} = 1.71 \text{ V} \sim 5.5 \text{ V}$ 、1 Msps	–1.7	–	2	LSB	$V_{REF} = 1 \text{ V} \sim V_{DD}$
SID111A	A_INL	積分非直線性 $V_{DDD} = 1.71 \text{ V} \sim 3.6 \text{ V}$ 、1 Msps	–1.5	–	1.7		$V_{REF} = 1.71 \text{ V} \sim V_{DD}$
SID111B	A_INL	積分非直線性 $V_{DD} = 1.71 \text{ V} \sim 5.5 \text{ V}$ 、500 ksps	–1.5	–	1.7		$V_{REF} = 1 \text{ V} \sim V_{DD}$
SID112	A_DNL	微分非直線性 $V_{DD} = 1.71 \text{ V} \sim 5.5 \text{ V}$ 、1 Msps	–1	–	2.2		$V_{REF} = 1 \text{ V} \sim V_{DD}$
SID112A	A_DNL	微分非直線性 $V_{DD} = 1.71 \text{ V} \sim 3.6 \text{ V}$ 、1 Msps	–1	–	2		$V_{REF} = 1.71 \text{ V} \sim V_{DD}$
SID112B	A_DNL	微分非直線性 $V_{DD} = 1.71 \text{ V} \sim 5.5 \text{ V}$ 、500 ksps	–1	–	2.2		$V_{REF} = 1 \text{ V} \sim V_{DD}$
SID113	A_THD	全高調波歪み	–	–	–65	dB	$F_{in} = 10 \text{ kHz}$
SID261	FSARINTREF	外部リファレンス バイパス電圧無しの SAR 動作速度	–	–	100	ksps	12 ビット分解能

5.3.5 CSD および IDAC

表 15 CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SYS.PER#3	VDD_RIPPLE	10 MHz での DC 電源の最大許容リップル	–	–	± 50	mV	$V_{DD} > 2 \text{ V}$ (リップルあり)、 $T_A = 25^\circ \text{C}$ 、感度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	10 MHz での DC 電源の最大許容リップル	–	–	± 25		$V_{DD} > 1.75 \text{ V}$ (リップルあり)、 $T_A = 25^\circ \text{C}$ 、寄生容量 (C_P) < 20 pF、感度 $\geq 0.4 \text{ pF}$

(続く)

表 15 (続き) CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CSD.BLK	ICSD	最大ブロック電流	–	–	4000	μA	コンパレータ、バッファおよび基準発生器を含む動的 (スイッチング) モードの両方 IDAC の最大ブロック電流
SID.CSD#15	V _{REF}	CSD およびコンパレータ用の基準電圧	0.6	1.2	V _{DDA} – 0.6	V	V _{DDA} – 0.6 または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部基準電圧	0.6	–	V _{DDA} – 0.6		V _{DDA} – 0.6 または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	–	–	1750	μA	–
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1750		–
SID308	VCSD	動作電圧の範囲	1.71	–	5.5	V	1.8 V ± 5% または 1.8 V ~ 5.5 V
SID308A	VCOMPIDAC	IDAC の準拠の電圧範囲	0.6	–	V _{DDA} – 0.6		V _{DDA} – 0.6 または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	–1	–	1	LSB	–
SID310	IDAC1INL	INL	–2	–	2		V _{DDA} < 2 V の場合、INL が ±5.5 LSB
SID311	IDAC2DNL	DNL	–1	–	1		–
SID312	IDAC2INL	INL	–2	–	2		V _{DDA} < 2 V の場合、INL が ±5.5 LSB
SID313	SNR	信号対ノイズ比。特性評価で保証	5	–	–	Ratio	静電容量範囲が 5 ~ 35 pF で、感度 = 0.1 pF。 すべてのユースケース。V _{DDA} > 2 V
SID314	IDAC1CRT1	低域での IDAC1 (7 ビット) の出力電流	4.2	–	5.4	μA	LSB = 37.5 nA Typ.
SID314A	IDAC1CRT2	中域での IDAC1 (7 ビット) の出力電流	34	–	41		LSB = 300 nA Typ.
SID314B	IDAC1CRT3	高域での IDAC1 (7 ビット) の出力電流	275	–	330		LSB = 2.4 μA Typ.
SID314C	IDAC1CRT12	低域での IDAC1 (7 ビット) の出力電流、2X モード	8	–	10.5		LSB = 75 nA Typ.

(続く)

表 15 (続き) CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID314D	IDAC1CRT22	中域での IDAC1 (7 ビット) の出力電流、2X モード	69	–	82		LSB = 600 nA Typ.
SID314E	IDAC1CRT32	高域での IDAC1 (7 ビット) の出力電流、2X モード	540	–	660		LSB = 4.8 µA Typ.
SID315	IDAC2CRT1	低域での IDAC2 (7 ビット) の出力電流	4.2	–	5.4		LSB = 37.5 nA Typ.
SID315A	IDAC2CRT2	中域での IDAC2 (7 ビット) の出力電流	34	–	41		LSB = 300 nA Typ.
SID315B	IDAC2CRT3	高域での IDAC2 (7 ビット) の出力電流	275	–	330		LSB = 2.4 µA Typ.
SID315C	IDAC2CRT12	低域での IDAC2 (7 ビット) の出力電流、2X モード	8	–	10.5		LSB = 75 nA Typ.
SID315D	IDAC2CRT22	中域での IDAC2 (7 ビット) の出力電流、2X モード	69	–	82		LSB = 600 nA Typ.
SID315E	IDAC2CRT32	高域での IDAC2 (7 ビット) の出力電流、2X モード	540	–	660		LSB = 4.8 µA Typ.
SID315F	IDAC3CRT13	低域での 8 ビット モード IDAC 出力電流	8	–	10.5		LSB = 37.5 nA Typ.
SID315G	IDAC3CRT23	中域での 8 ビット モード IDAC 出力電流	69	–	82		LSB = 300 nA Typ.
SID315H	IDAC3CRT33	高域での 8 ビット モード IDAC 出力電流	540	–	660	µA	LSB = 2.4 µA Typ.
SID320	IDACOFFSET	すべてゼロ入力	–	–	1	LSB	極性はソースまたはシンク電流により設定。37.5 nA/LSB モードの場合、オフセットは 2 LSB
SID321	IDACGAIN	オフセットを除くフルスケール エラー	–	–	±10	%	–
SID322	IDACMISMATCH1	低モードでの IDAC1 と IDAC2 の不一致	–	–	9.2	LSB	LSB = 37.5 nA Typ.
SID322A	IDACMISMATCH2	中モードでの IDAC1 と IDAC2 の不一致	–	–	5.6		LSB = 300 nA Typ.
SID322B	IDACMISMATCH3	高モードでの IDAC1 と IDAC2 の不一致	–	–	6.8		LSB = 2.4 µA Typ.

(続く)

表 15 (続き) CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	10	μs	フルスケール遷移。 外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	10		フルスケール遷移。 外部負荷なし
SID325	CMOD	外部モジュレータのコンデンサ	–	2.2	–	nF	5 V 定格、X7R または NP0 コンデンサ

5.3.6 10 ビット CAPSENSE™ ADC

表 16 10 ビット CAPSENSE™ ADC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	–	–	10	ビット	ミリ秒ごとに論理レベルを自動的にゼロ化する必要がある
SIDA95	A_CHNLS_S	チャンネル数 – シングル エンド	–	–	16		AMUX バスにより定義される
SIDA97	A-MONO	単調増加性	–	–	–	有	–
SIDA98	A_GAINERR	ゲイン誤差	–	–	±2	%	V _{REF} (2.4 V) モードで、V _{DDA} バイパス静電容量が 10 μF
SIDA99	A_OFFSET	入力オフセット電圧	–	–	3	mV	V _{REF} (2.4 V) モードで、V _{DDA} バイパス静電容量が 10 μF
SIDA100	A_ISAR	消費電流	–	–	0.25	mA	–
SIDA101	A_VINS	入力電圧範囲 – シングル エンド	V _{SSA}	–	V _{DDA}	V	–
SIDA103	A_INRES	入力抵抗	–	2.2	–	KΩ	–
SIDA104	A_INCAP	入力静電容量	–	20	–	pF	–
SIDA106	A_PSRR	電源電圧変動除去比	–	60	–	dB	V _{REF} (2.4 V) モードで、V _{DDA} バイパス静電容量が 10 μF
SIDA107	A_TACQ	サンプル取得時間	–	1	–	μs	–
SIDA108	A_CONV8	変換速度 = Fhclk/(2 ^{N+2}) での 8 ビット分解能の変換時間。クロック周波数 = 48 MHz	–	–	21.3		取得時間を含まない。取得時間含むと 44.8 ksp/s に相当

(続く)

表 16 (続き) 10 ビット CAPSENSE™ ADC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA108A	A_CONV10	変換速度 = $F_{hclk}/(2^{(N+2)})$ での 10 ビット分解能の変換時間。クロック周波数 = 48 MHz	–	–	85.3		取得時間を含まない。取得時間含むと 11.6 ksp/s に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	–	61	–	dB	入力正弦波 10 Hz、外部基準電圧 2.4 V、 V_{REF} (2.4 V) モード
SIDA110	A_BW	エイリアシング無しの入力帯域幅	–	–	22.4	KHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。 1 ksp/s	–	–	2	LSB	$V_{REF} = 2.4 \text{ V}$ 以上
SIDA112	A_DNL	微分非直線性。 1 ksp/s	–	–	1		–

5.4 デジタル ペリフェラル

5.4.1 タイマー/カウンタ/パルス幅変調器 (TCPWM)

表 17 TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3 MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12 MHz でのブロック消費電流	–	–	155		
SID.TCPWM.2A	ITCPWM3	48 MHz でのブロック消費電流	–	–	650		
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c max = CLK_SYS 最大値 = 48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガーのパルス幅	2/F _c	–	–	ns	すべてのトリガー イベント ¹⁾
SID.TCPWM.5	TPWM _{EXT}	出力トリガーのパルス幅	2/F _c	–	–		オーバースhoot、アンダースhootおよび CC (カウンタ=比較値) 出力の最小幅
SID.TCPWM.5A	TC _{RES}	カウンタの分解能	1/F _c	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/F _c	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/F _c	–	–		直交位相入力同士間の最小パルス幅

1) 選択した動作モードによって、トリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。

5 電気的仕様

5.4.2 I²C

表 18 固定 I²C の DC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I2C1}	100 kHz でのブロック消費電流	–	–	50	μA	–
SID150	I _{I2C2}	400 kHz でのブロック消費電流	–	–	135		–
SID151	I _{I2C3}	1 Mbps でのブロック消費電流	–	–	310		–
SID152	I _{I2C4}	I ² C がディープスリープモードで有効の場合	–	–	1.4		–

1) 特性評価で保証されています。

表 19 固定 I²C の AC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I2C1}	ビットレート	–	–	1	Msps	–

1) 特性評価で保証されています。

5.4.3 SPI

表 20 SPI の DC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	ISPI1	1 Mbps でのブロック消費電流	–	–	360	μA	–
SID164	ISPI2	4 Mbps でのブロック消費電流	–	–	560		–
SID165	ISPI3	8 Mbps でのブロック消費電流	–	–	600		–

1) 特性評価で保証されています。

表 21 SPI の AC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI 動作周波数 (マスター; 6 倍オーバーサンプリング)	–	–	8	MHz	SID166

固定 SPI マスター モードの AC 仕様

SID167	TDMO	SClock 駆動エッジからの MOSI 有効期間	–	–	15	ns	–
--------	------	---------------------------	---	---	----	----	---

(続く)

5 電気的仕様

表 21 (続き) SPI の AC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID168	TDSI	SClock キャプチャ エッジ までの MISO 有効期間	20	–	–		フル クロック、MISO の遅いサンプリング
SID169	THMO	前の MOSI データ ホール ド時間	0	–	–		スレーブ キャプチャ エッジを参照

固定 SPI スレーブ モードの AC 仕様

SID170	TDMI	Sclock キャプチャ エッジ までの MOSI 有効期間	40	–	–	ns	–
SID171	TDSO	SClock 駆動エッジからの MISO 有効期間	–	–	42 + (3×Tcpu)		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間 Clk モー ド	–	–	48		–
SID172	THSO	前の MISO データ ホール ド時間	0	–	–		–
SID172A	TSSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時 間	100	–	–		–

1) 特性評価で保証されています。

5.4.4 UART

表 22 UART の DC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I _{UART1}	100 Kbps でのブロック消費電 流	–	–	55	μA	–
SID161	I _{UART2}	1000 Kbps でのブロック消費 電流	–	–	312		–

1) 特性評価で保証されています。

表 23 UART の AC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F _{UART}	ビットレート	–	–	1	Mbps	–

1) 特性評価で保証されています。

5 電気的仕様

5.4.5 LCD

表 24 LCD 直接駆動の DC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I _{LCDLOW}	低消費電力モードでの動作電流	–	5	–	μA	16 × 4 小型セグメントディスプレイ、50 Hz
SID155	C _{LCDCAP}	セグメント/コモンドライバー当たりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD _{OFFSET}	長時間セグメントオフセット	–	20	–	mV	–
SID157	I _{LCDOP1}	LCD システム動作電流 V _{bias} = 5 V	–	2	–	mA	32 × 4 セグメント。50 Hz。25°C
SID158	I _{LCDOP2}	LCD システム動作電流 V _{bias} = 3.3 V	–	2	–		32 × 4 セグメント。50 Hz。25°C

¹⁾ 特性評価で保証されています。

表 25 LCD 直接駆動の AC 仕様 ¹⁾

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F _{LCD}	LCD フレームレート	10	50	150	Hz	–

¹⁾ 特性評価で保証されています。

5.5 メモリ

5.5.1 フラッシュ

表 26 フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	–

表 27 フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE} ¹⁾	行 (ブロック) 書き込み時間 (消去 + 書き込み)	–	–	20	ms	行 (ブロック) = 128 バイト
SID175	T _{ROWERASE} ¹⁾	行消去時間	–	–	16		–
SID176	T _{ROWPROGRAM} ¹⁾	消去後の行プログラム時間	–	–	4		–
SID178	T _{BULKERASE} ¹⁾	バルク消去時間 (64 KB)	–	–	35		–
SID180 ²⁾	T _{DEVPROG} ¹⁾	デバイス プログラム 合計時間	–	–	7	秒	–

(続く)

表 27 (続き) フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID181 ²⁾	F _{END}	フラッシュ アクセス 可能回数	100 K	–	–	サイクル	–
SID182 ²⁾	F _{RET}	フラッシュのデータ 保持期間。 T _A ≤ 55 °C、 プログラム/消去サ イクル = 10 万回	20	–	–	年	–
SID182A ²⁾	–	フラッシュのデータ 保持期間。 T _A ≤ 85 °C、 プログラム/消去サ イクル = 1 万回	10	–	–		–
SID182B	–	フラッシュのデータ 保持期間。 T _A ≤ 105 °C、 プログラム/消去サ イクル = 1 万回、 – T _A ≥ 85 °C で ≤ 3 年	10	–	20	年	–
SID256	TWS48	48 MHz でのウェイト ステートの数	2	–	–		フラッシュからの CPU 実 行
SID257	TWS24	24 MHz でのウェイト ステートの数	1	–	–		

- 1) フラッシュメモリに書き込むためには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことを保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。
- 2) 特性評価で保証されています。

5.6 システム リソース

5.6.1 パワーオンリセット (POR)

表 28 パワーオンリセット (POR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	–	67	V/ms	電源投入時および電 源切断時
SID185 ¹⁾	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	–	1.5	V	–
SID186 ¹⁾	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	–	1.4		–

- 1) 特性評価で保証されています。

表 29 V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 ¹⁾	V _{FALLPPOR}	アクティブ モードおよびスリープ モードでの BODトリップ電圧	1.48	–	1.62	V	–
SID192 ¹⁾	V _{FALLDPSLP}	ディープスリープ モードでの BODトリップ電圧	1.11	–	1.5		–

1) 特性評価で保証されています。

5.6.2 SWD インターフェース

表 30 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ¹⁾	T_SWDI_SETUP	$T = 1/f \text{ SWDCLK}$	$0.25 \times T$	–	–	ns	–
SID216 ¹⁾	T_SWDI_HOLD	$T = 1/f \text{ SWDCLK}$	$0.25 \times T$	–	–		–
SID217 ¹⁾	T_SWDO_VALID	$T = 1/f \text{ SWDCLK}$	–	–	$0.5 \times T$		–
SID217A ¹⁾	T_SWDO_HOLD	$T = 1/f \text{ SWDCLK}$	1	–	–		–

1) 特性評価で保証されています。

5.6.3 IMO

表 31 IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48 MHz での IMO 動作電流	–	–	250	μA	–
SID219	I _{IMO2}	24 MHz での IMO 動作電流	–	–	180		–

表 32 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223 ²⁾	F _{IMOTOL1}	24 MHz、32 MHz および 48 MHz での周波数誤差 (トリム済み)	–	–	±2.0	%	–40 °C～85 °C、産業用温度範囲およびオリジナル拡張産業用部品
SID223A ^{1) 2)}			–	–	±2.5	%	–40 °C～105 °C、すべての拡張産業用温度範囲部品
SID223B ^{1) 2)}			–	–	±2.0	%	–30 °C～105 °C、拡張 IMO の拡張産業用温度範囲部品
SID223C ^{1) 2)}			–	–	±1.5	%	–20 °C～105 °C、拡張 IMO の拡張産業用温度範囲部品
SID223D ^{1) 2)}			–	–	±1.25	%	0 °C～85 °C、拡張 IMO の拡張産業用温度範囲部品
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	–
SID228	T _{JITRMSIMO2}	24 MHz での RMS ジッタ	–	145	–	ps	–

- 1) 拡張 IMO の拡張温度範囲部品は、オリジナルの拡張産業温度範囲部品に代わるものです。拡張 IMO の拡張温度範囲部品の識別方法の詳細については、インフィニオンのナレッジベース記事 [KBA235887](#) を参照してください。
- 2) 特性評価で保証されています。はんだ付けまたは基板レベルの影響は考慮されていません。

5.6.4 ILO

表 33 ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 ¹⁾	I _{ILO1}	ILO 動作電流	–	0.3	1.05	μA	–

- 1) 特性評価で保証されています。

表 34 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 ¹⁾	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	–
SID236 ¹⁾	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	–

- 1) 特性評価で保証されています。

5.6.5 WCO

表 35 WCO 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID398	FWCO	水晶発振器周波数	–	32.768	–	kHz	–
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20 ppm の水晶発振器
SID400	ESR	等価直列抵抗	–	50	–	kΩ	–
SID401	PD	駆動レベル	–	–	1	μW	–
SID402	TSTART	起動時間	–	–	500	ms	–
SID403	CL	水晶の負荷容量	6	–	12.5	pF	–
SID404	C0	水晶の並列容量	–	1.35	–		–
SID405	IWCO1	動作電流 (高消費電力モード)	–	–	8	mA	–
SID406	IWCO2	動作電流 (低消費電力モード)	–	–	1		–

5.6.6 外部クロック

表 36 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 ¹⁾	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ¹⁾	ExtClkDuty	デューティ比; $V_{DD/2}$ で測定	45	–	55	%	–

1) 特性評価で保証されています。

5.6.7 ブロック

表 37 ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 ¹⁾	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	–

1) 特性評価で保証されています。

5.6.8 スマート I/O

表 38 スマート I/O パススルー時間 (バイパス モードでの遅延)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID252	PRG_BYPASS	バイパス モードでのスマート I/O による最大遅延時間	–	–	1.6	ns	–

6 注文情報

PSOC™ 4100S ファミリのマーケティング製品は下表のとおりです。

表 39 注文情報

カテゴリ	製品	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35 ボール WLCSP (0.35 mm ピッチ)	32 リード FN	40L QFN	48LD TQFP	44LD TQFP	
4124	CY8C4124FNI-S403T	24	16	4	2	0	1	0		2	5	2	8	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4124FNI-S413T	24	16	4	2	1	1	0		2	5	2	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4124LQI-S412T	24	16	4	2	1	1	0		2	5	2	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4124LQI-S413T	24	16	4	2	1	1	0		2	5	2	16	34	-	-	X		-	-40 °C ~ 85 °C
	CY8C4124AZI-S413T	24	16	4	2	1	1	0		2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4124FNI-S433T	24	16	4	2	1	1	1	806 ksps	2	5	2	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4124FNQ-S433T	24	16	4	2	1	1	1	806 ksps	2	5	2	16	31	X	-	-	-	-	-40 °C ~ 105 °C
	CY8C4124LQI-S432T	24	16	4	2	1	1	1	806 ksps	2	5	2	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4124LQI-S433T	24	16	4	2	1	1	1	806 ksps	2	5	2	16	34	-	-	X	-	-	-40 °C ~ 85 °C
	CY8C4124AZI-S433T	24	16	4	2	1	1	1	806 ksps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
4125	CY8C4125FNI-S423T	24	32	4	2	0	1	1	806 ksps	2	5	2	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4125LQI-S422T	24	32	4	2	0	1	1	806 ksps	2	5	2	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4125LQI-S423T	24	32	4	2	0	1	1	806 ksps	2	5	2	16	34	-	-	X	-	-	-40 °C ~ 85 °C

(続く)

表 39 (続き) 注文情報

カテゴリ	製品	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35 ボール WLCSP (0.35 mm ピッチ)	32 リード FN	40L QFN	48LD TQFP	44LD TQFP	
	CY8C4125AZI-S423T	24	32	4	2	0	1	1	806 ksps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4125AXI-S423	24	32	4	2	0	1	1	806 ksps	2	5	2	16	36	-	-	-		X	-40 °C ~ 85 °C
	CY8C4125FNI-S413T	24	32	4	2	1	1	0		2	5	2	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4125LQI-S412T	24	32	4	2	1	1	0		2	5	2	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4125LQI-S413T	24	32	4	2	1	1	0		2	5	2	16	34	-	-	X	-	-	-40 °C ~ 85 °C
	CY8C4125AZI-S413T	24	32	4	2	1	1	0		2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4125FNI-S433T	24	32	4	2	1	1	1	806 ksps	2	5	2	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4125FNQ-S433T	24	32	4	2	1	1	1	806 ksps	2	5	2	16	31	X	-	-	-	-	-40 °C ~ 105 °C
	CY8C4125LQI-S432	24	32	4	2	1	1	1	806 ksps	2	5	2	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4125LQQ-S432	24	32	4	2	1	1	1	806 ksps	2	5	2	16	27	-	X	-	-	-	-40 °C ~ 105 °C
	CY8C4125LQI-S433	24	32	4	2	1	1	1	806 ksps	2	5	2	16	34	-	-	X	-	-	-40 °C ~ 85 °C
	CY8C4125AZI-S433T	24	32	4	2	1	1	1	806 ksps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4125AZQ-S433	24	32	4	2	1	1	1	806 ksps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4125AXI-S433	24	32	4	2	1	1	1	806 ksps	2	5	2	16	36	-	-	-	-	X	-40 °C ~ 85 °C

(続く)

表 39 (続き) 注文情報

カテゴリ	製品	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35 ボール WLCSP (0.35 mm ピッチ)	32 リード FN	40L QFN	48LD TQFP	44LD TQFP	
4126	CY8C4126AZI-S423T	24	64	8	2	0	1	1	806 ksps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4126AZQ-S423	24	64	8	2	0	1	1	806 ksps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4126AXI-S423	24	64	8	2	0	1	1	806 ksps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 85 °C
	CY8C4126AZI-S433T	24	64	8	2	1	1	1	806 ksps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4126AZQ-S433	24	64	8	2	1	1	1	806 ksps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4126AXI-S433	24	64	8	2	1	1	1	806 ksps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 85 °C
	CY8C4126AXQ-S433	24	64	8	2	1	1	1	806 ksps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 105 °C
4145	CY8C4145AZI-S423T	48	32	4	2	0	1	1	1 Msps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4145AZQ-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4145AXI-S423	48	32	4	2	0	1	1	1 Msps	2	5	2	16	36	-	-	-	-	X	-40 °C ~ 85 °C
	CY8C4145AXI-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36	-	-	-	-	X	-40 °C ~ 85 °C
	CY8C4145AXQ-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36	-	-	-	-	X	-40 °C ~ 105 °C
4146	CY8C4146FNI-S423T	48	64	8	2	0	1	1	1 Msps	2	5	3	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4146LQI-S422T	48	64	8	2	0	1	1	1 Msps	2	5	3	16	27	-	X	-	-	-	-40 °C ~ 85 °C

(続く)

表 39 (続き) 注文情報

カテゴリ	製品	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35 ボール WLCSP (0.35 mm ピッチ)	32 リード FN	40L QFN	48LD TQFP	44LD TQFP	
	CY8C4146LQQ-S422	48	64	8	2	0	1	1	1 Msps	2	5	3	16	27	-	X	-	-	-	-40 °C ~ 105 °C
	CY8C4146LQI-S423T	48	64	8	2	0	1	1	1 Msps	2	5	3	16	34	-	-	X	-	-	-40 °C ~ 85 °C
	CY8C4146AZI-S423T	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4146AZQ-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4146AXI-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 85 °C
	CY8C4146AXQ-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 105 °C
	CY8C4146FNI-S433T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	31	X	-	-	-	-	-40 °C ~ 85 °C
	CY8C4146FNQ-S433T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	31	X	-	-	-	-	-40 °C ~ 105 °C
	CY8C4146LQI-S432T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	27	-	X	-	-	-	-40 °C ~ 85 °C
	CY8C4146LQQ-S432T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	27	-	X	-	-	-	-40 °C ~ 105 °C
	CY8C4146LQI-S433T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	34	-	-	X	-	-	-40 °C ~ 85 °C
	CY8C4146AZI-S433T	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 85 °C
	CY8C4146AZQ-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36	-	-	-	X	-	-40 °C ~ 105 °C
	CY8C4146AXI-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 85 °C

(続く)

表 39 (続き) 注文情報

カテゴリ	製品	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35 ボール WLCSP (0.35 mm ピッチ)	32 リード FN	40L QFN	48LD TQFP	44LD TQFP	
	CY8C4146AXQ-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36	-	-	-	-	X	-40 °C ~ 105 °C

上記の表に使用される命名法は次の製品番号の命名規則に基づきます。

表 40 命名法

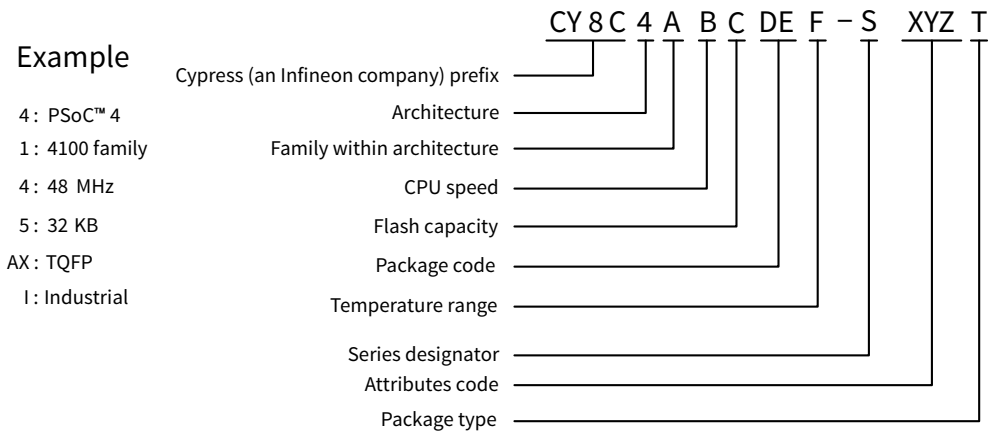
文字列	説明	値	意味
CY8C	接頭辞		
4	アーキテクチャ	4	PSOC™ 4
A	ファミリ	1	4100 ファミリ
B	CPU 速度	2	24 MHz
		4	48 MHz
C	フラッシュ容量	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	パッケージコード	AX	TQFP (0.8mm ピッチ)
		AZ	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業機器向け
		Q	拡張された産業機器向け
S	シリーズ指定子	S	S シリーズ
		M	M シリーズ
		L	L シリーズ

(続く)

表 40 (続き) 命名法

文字列	説明	値	意味
XYZ	属性コード	000～999	特定のファミリ内の機能セットのコード
T	パッケージ型式		トレイ
		T	テープ&リール

型番の例は次のとおりです。



7 パッケージ

PSOC™ 4100S は 48LD TQFP, 44LD TQFP, 40L QFN, 32 リード QFN, および 35 ボール WLCSP パッケージで提供されます。

表 41 にパッケージの寸法とインフィニオンの図面番号を示します。

表 41 パッケージの一覧

仕様 ID	パッケージ	説明	パッケージ図面番号
BID20	48LD TQFP	寸法は 7×7×1.4 mm で、ピッチが 0.5 mm	51-85135
BID20A	44LD TQFP	寸法は 10×10×1.6 mm で、ピッチが 0.8 mm	51-85064
BID27	40L QFN	寸法は 6×6×0.6 mm で、ピッチが 0.5 mm	001-80659
BID34A	32 リード QFN	寸法は 5×5×0.6 mm で、ピッチが 0.5 mm	001-42168
BID34D	35 ボール WLCSP	寸法は 2.6×2.1×0.48 mm で、ピッチが 0.35 mm	002-09958

表 42 パッケージの熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位	詳細/条件
T _A	動作周囲温度	-	-40	25	105	°C	-
T _J	動作接合部温度	-	-40	-	125		-
T _{JA}	パッケージ θ _{JA}	48LD TQFP	-	74.8	-	°C/W	-
T _{JC}	パッケージ θ _{JC}	48LD TQFP	-	35.7	-		-
T _{JA}	パッケージ θ _{JA}	44LD TQFP	-	57.2	-		-
T _{JC}	パッケージ θ _{JC}	44LD TQFP	-	17.5	-		-
T _{JA}	パッケージ θ _{JA}	40L QFN	-	17.8	-		-
T _{JC}	パッケージ θ _{JC}	40L QFN	-	2.8	-		-
T _{JA}	パッケージ θ _{JA}	32 リード QFN	-	19.9	-		-
T _{JC}	パッケージ θ _{JC}	32 リード QFN	-	4.3	-		-
T _{JA}	パッケージ θ _{JA}	35 ボール WLCSP	-	43	-		-
T _{JC}	パッケージ θ _{JC}	35 ボール WLCSP	-	0.3	-		-

表 43 ハンダリフローピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 44 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて (WLCSP 以外)	MSL 3
35 ボール WLCSP	MSL 1

7.1 パッケージ図

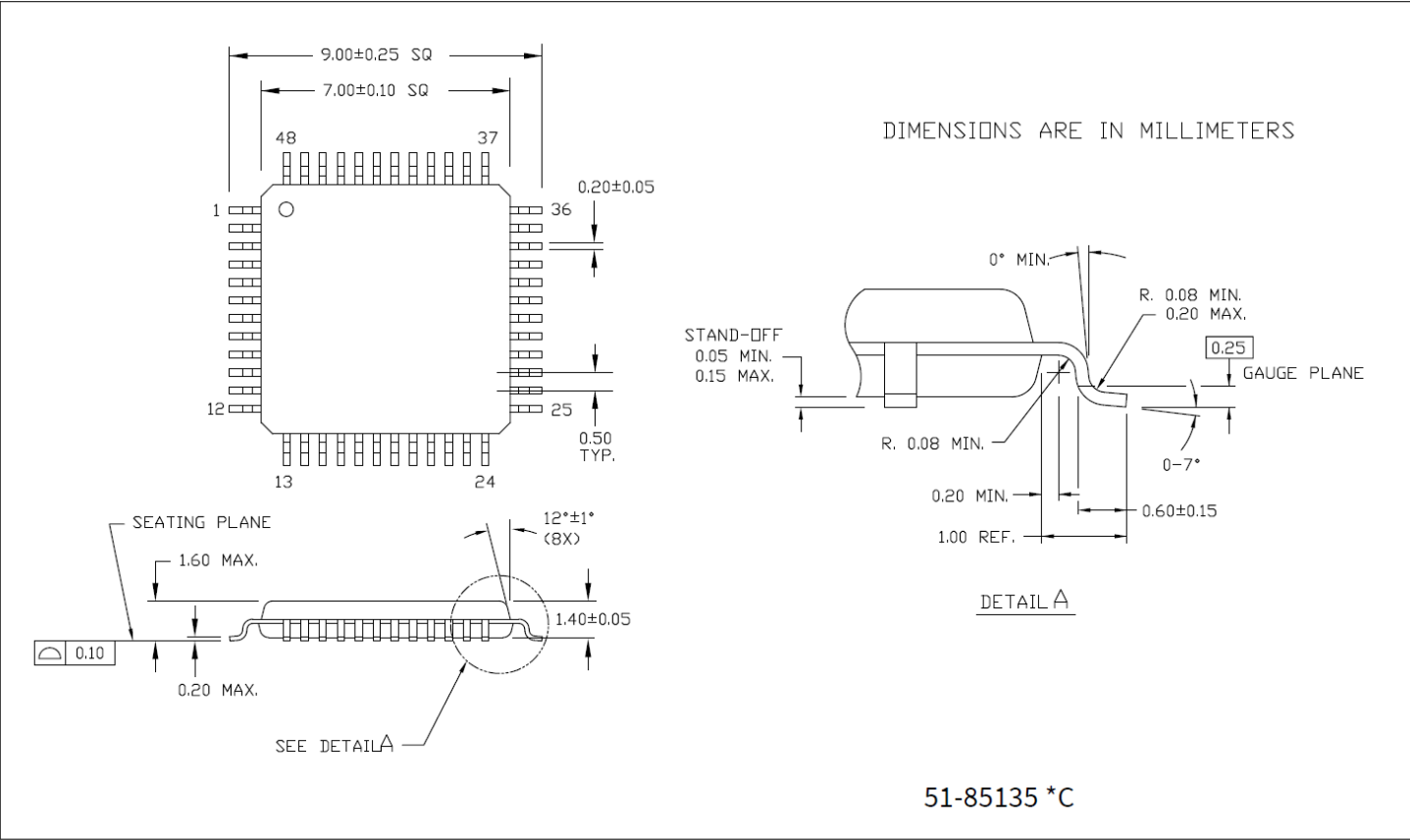


図 8 48LD TQFP 7×7×1.4 mm A48 パッケージの外形 (PG-TQFP-48), 51-85135

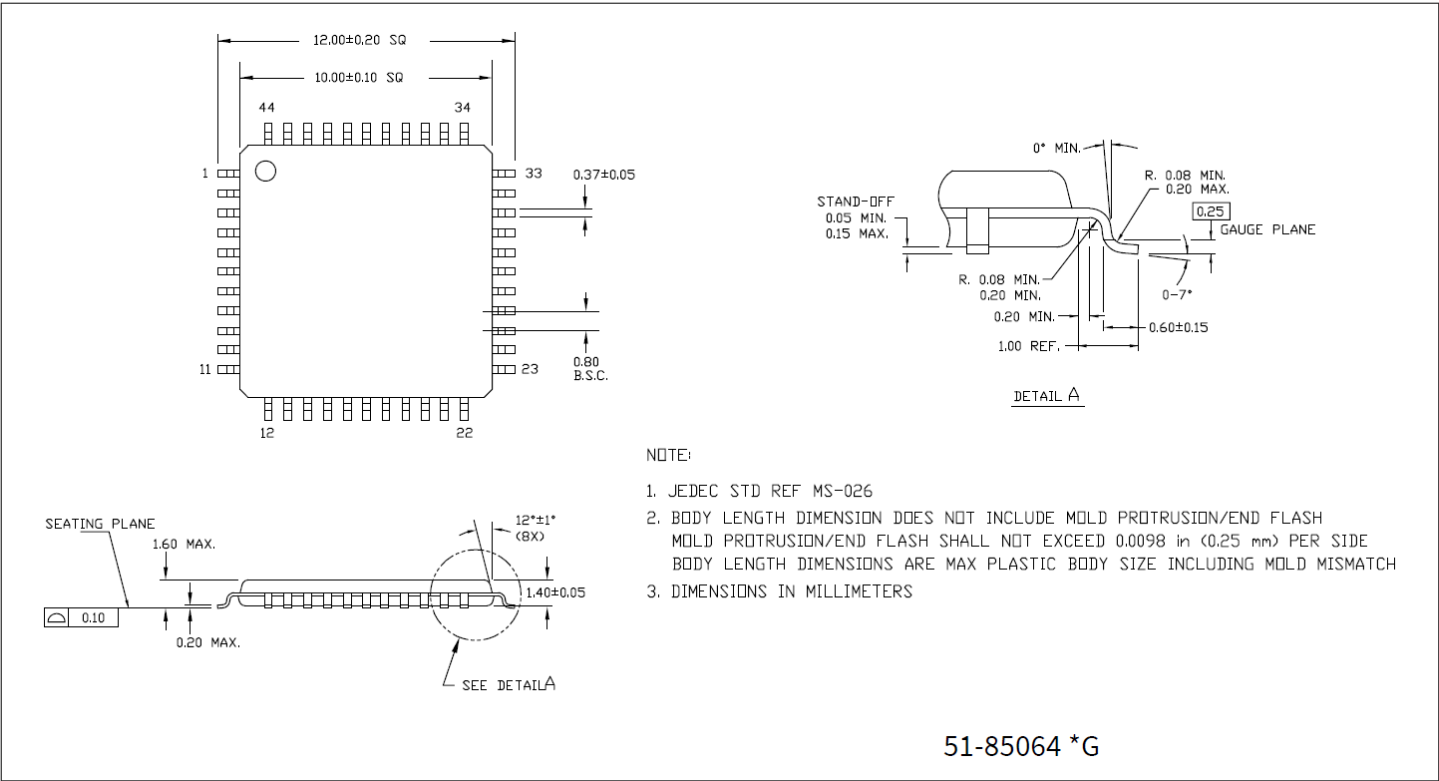


図 9 44LD TQFP 10×10×1.4 mm A44S パッケージの外形 (PG-TQFP-44), 51-85064

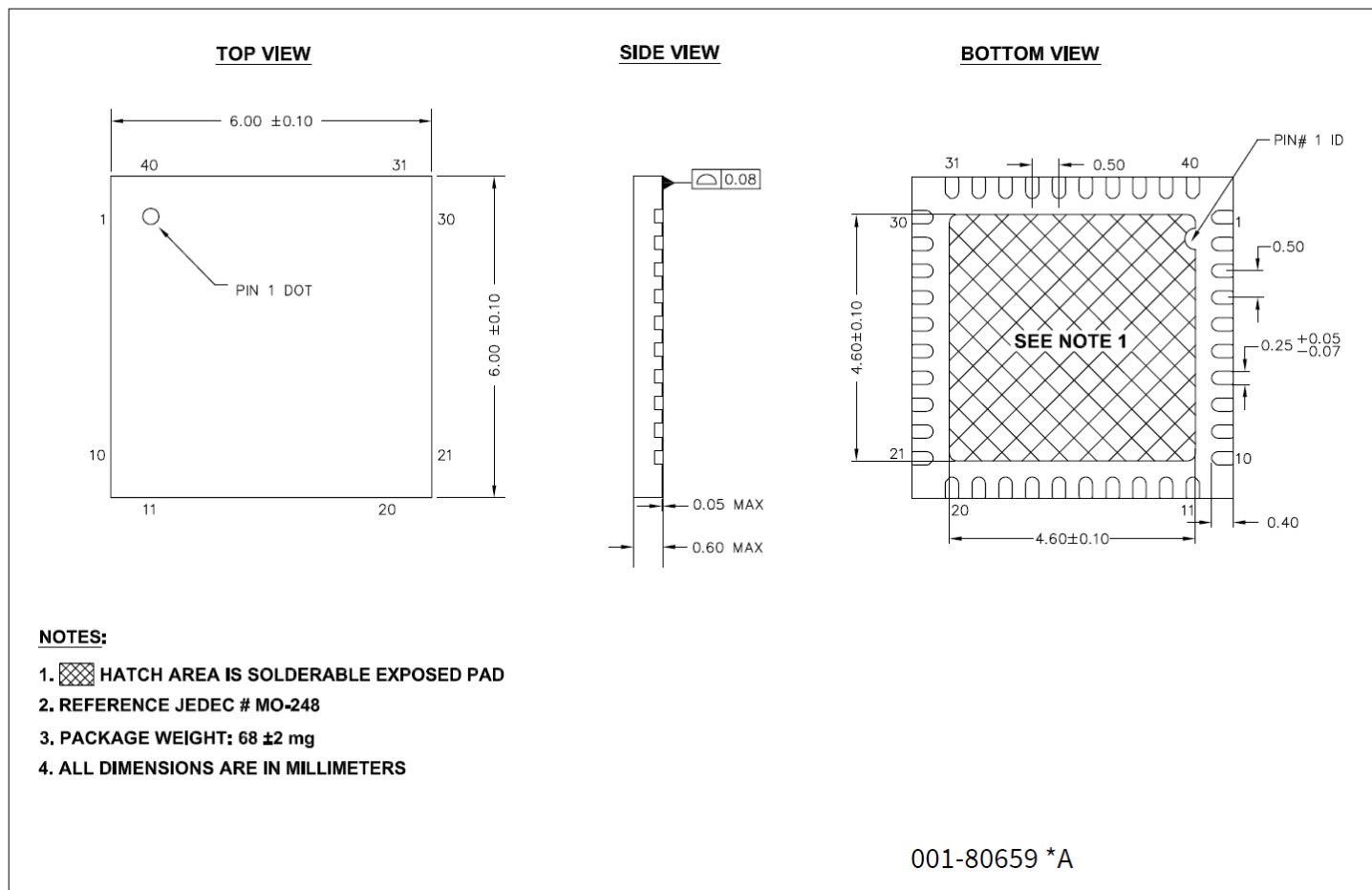
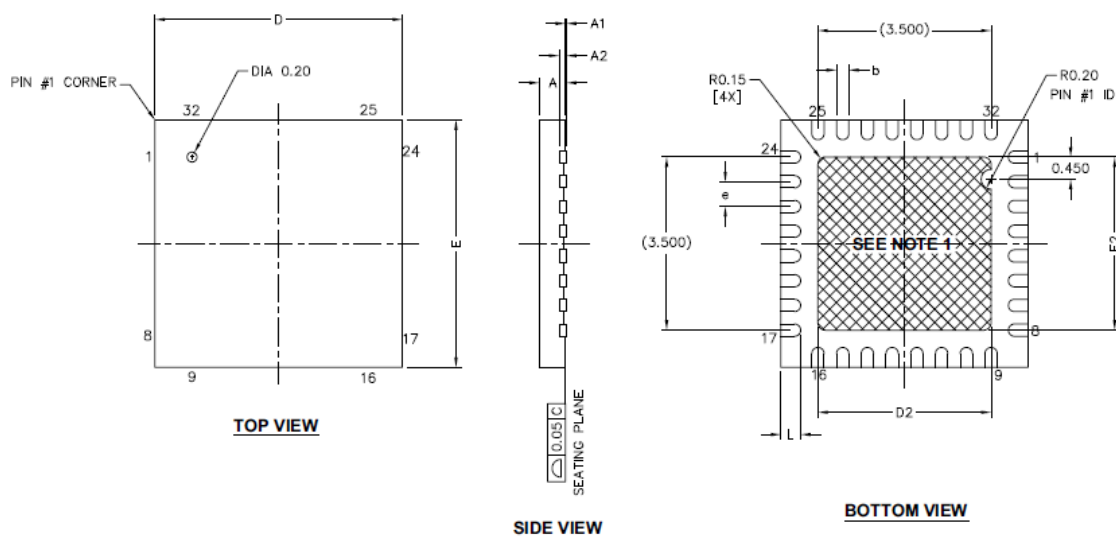


図 10 40L QFN 6×6×0.6 mm LR40A/LQ40A 4.6×4.6 E-PAD (SAWN)パッケージの外形 (PG-VQFN-40), 001-80659

注: 機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電氣的に開放され、どの信号にも接続されていない状態になります。



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2	0.15 BSC		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
b	0.18	0.25	0.30
e	0.50 TYP		

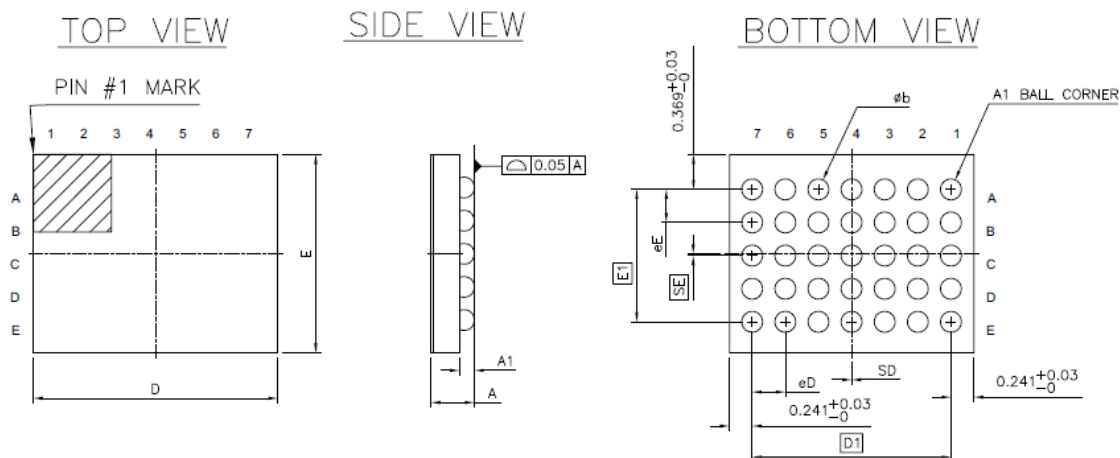
NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 *F

図 11 32 リード QFN 5.0×5.0×0.55 mm LQ32/LQ32B 3.5×3.5 mm EPAD (SAWN)パッケージの外形 (PG-VQFN-32), 001-42168

注: 機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電氣的に開放され、どの信号にも接続されていない状態になります。



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.482
A1	0.141	0.157	0.173
D	2.557	2.582	2.607
E	2.072	2.097	2.122
D1	2.10 BSC		
E1	1.40 BSC		
MD	7		
ME	5		
N	35		
Ø b	0.19	0.22	0.25
eD	-	0.35	-
eE	-	0.35	-
SD	0		
SE	0.02 BSC		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. JEDEC PUBLICATION 95, DESIGN GUIDE 4.18.

002-09958 *D

図 12 35 ボール WLCSP 2.582×2.097×0.482 mm FN35B パッケージの外形 (SG-XFWLB-35), 002-09958

8 略語

表 45 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ-デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)、Arm® データ転送バスの 1 種
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)、通信プロトコルの 1 種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの 1 種
DAC	digital-to-analog converter (デジタル-アナログ変換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	デジタル入出力、デジタル機能のみを持つ GPIO、アナログなし。GPIO を参照してください。
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (未使用)
DR	port write data registers (ポート書き込みデータレジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)

(続く)

表 45 (続き) 本書で使用する略語

略語	説明
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答); IIR を参照してください
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSOC™ピンに適用
HVI	high-voltage interrupt (高電圧割込み); LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC); DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット)、通信プロトコルの 1 種
IIR	infinite impulse response (無限インパルス応答); FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器); IMO を参照してください
IMO	internal main oscillator (内部主発振器); ILO を参照してください
INL	integral nonlinearity (積分非直線性); DNL を参照してください
I/O	input/output (入出力); GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコネクト ネットワーク)、通信プロトコルの 1 種
LR	link register (リンクレジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出); LVI を参照してください
LVI	low-voltage interrupt (低電圧割込み); HVI を参照してください
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタトランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)

(続く)

表 45 (続き) 本書で使用する略語

略語	説明
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ); WOL を参照してください
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブル アレイ ロジック); PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス); PAL を参照してください
PLL	phase-locked loop (位相同期回路)
PMDD	パッケージ マテリアル宣言データシート
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータレジスタ)
PSOC™	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ/連続時間)

(続く)

表 45 (続き) 本書で使用する略語

略語	説明
SCL	I2C serial clock (I2C シリアル クロック)
SDA	I2C serial data (I2C シリアル データ)
S/H	sample and hold (サンプル/ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	特殊入出力、高度機能 GPIO。GPIO を参照してください。
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)、通信プロトコルの 1 種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テスト プロトコルの 1 種
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ); DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TTL	transistor-transistor logic (トランジスタ-トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、通信プロトコルの 1 種
UDB	universal digital block (汎用デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへの接続に使用される PSOC™ピン
VDAC	voltage DAC (電圧 DAC); DAC、IDAC を参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (1 度しか書き込めないラッチ); NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

9 本書の表記法

9.1 測定単位

表 46 測定単位

記号	単位
°C	摂氏温度
dB	デシベル
fF	フェムトファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1

(続く)



表 46 (続き) 測定単位

記号	単位
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

版数	日付	変更内容
英語版(**)	-	New datasheet.
英語版(*A)	-	この版は英語版のみです。英語版の改訂内容: Updated ピン配置 : Updated 表 1 . Updated Electrical specifications : Updated Analog peripherals : Updated Comparator : Updated 表 11 . Updated 表 12 . Updated 10-bit CAPSENSE™ ADC : Updated 表 16 . Updated Ordering information : Updated part numbers. Completing Sunset Review
英語版(*B)	-	この版は英語版のみです。英語版の改訂内容: Changed status from Advance to Preliminary.
**	2016-02-02	これは英語版 002-00122 Rev. *C を翻訳した日本語版 Rev. **です。英語版の改訂内容: Updated 特長 : Updated description under “32-bit MCU Subsystem” and “Serial Communication”. Updated Pinouts : Updated 表 1 . Updated 表 2 . Updated Ordering information : No change in part numbers. Replaced “36 WLCSP (0.35 mm pitch)” with “35-WLCSP”. Updated Packaging : Replaced “36-ball WLCSP package” with “35-ball WLCSP package” in all instances. Completing Sunset Review.
英語版(*D)	-	この版は英語版のみです。英語版の改訂内容: Updated Packaging : Updated 表 42 . Replaced TBD with 002-09958 *A. Added Errata. Updated to new template. Completing Sunset Review.

版数	日付	変更内容
英語版(*E)	-	<p>この版は英語版のみです。英語版の改訂内容: Updated Electrical specifications:</p> <p>Updated Device level specifications:</p> <p>Updated XRES:</p> <p>Updated 表 8.</p> <p>Updated 表 9.</p> <p>Updated Analog peripherals:</p> <p>Updated CSD and IDAC:</p> <p>Updated 表 15.</p> <p>Updated 10-bit CAPSENSE™ ADC:</p> <p>Updated 表 16.</p> <p>Updated Memory:</p> <p>Updated Flash:</p> <p>Updated 表 27.</p> <p>Completing Sunset Review.</p>
英語版(*F)	-	<p>この版は英語版のみです。英語版の改訂内容: Updated Electrical specifications:</p> <p>Updated Analog peripherals:</p> <p>Updated CSD and IDAC:</p> <p>Updated 表 15.</p> <p>Updated 10-bit CAPSENSE™ ADC:</p> <p>Updated 表 16.</p> <p>Removed Errata.</p> <p>Completing Sunset Review.</p> <p>Release to web.</p>
英語版(*G)	-	<p>この版は英語版のみです。英語版の改訂内容: Added 44LD TQFP package related information related information in all instances across the document.</p> <p>Updated Packaging:</p> <p>Added 51-85064 *G.</p>
英語版(*H)	-	<p>この版は英語版のみです。英語版の改訂内容: Updated Functional definition:</p> <p>Updated Analog blocks:</p> <p>Updated 12-bit SAR ADC:</p> <p>Updated 図 5.</p> <p>Updated Programmable digital blocks:</p> <p>Updated description.</p> <p>Updated ピン配置:</p> <p>Updated description.</p> <p>Updated Electrical specifications:</p> <p>Updated Device level specifications:</p> <p>Updated 表 4.</p> <p>Updated Ordering information:</p> <p>Updated part numbers.</p> <p>Completing Sunset Review.</p>

改訂履歴

版数	日付	変更内容
英語版(*I)	-	この版は英語版のみです。英語版の改訂内容: Updated Packaging : spec 002-09958 – Changed revision from *C to *D. Updated to new template.
英語版(*J)	-	この版は英語版のみです。英語版の改訂内容: Updated 特長 : Updated description under “Timing and Pulse-Width Modulation”. Added “Clock Sources”. Updated Development ecosystem : Updated description. Updated Block diagram . Updated Functional definition : Updated System resources : Updated Clock system : Updated 図 4 . Updated ピン配置 : Updated 表 2 . Updated Ordering information : Updated part numbers. Updated Packaging : spec 001-42168 – Changed revision from *E to *F. Updated to new template.
英語版(*K)	-	この版は英語版のみです。英語版の改訂内容: Updated Functional definition : Updated System resources : Updated Clock system : Updated 図 4 . Updated Watchdog timer and counters : Replaced “Watchdog Timer” with “Watchdog timer and counters” in heading. Updated description.

版数	日付	変更内容
*A	2020-04-16	<p>これは英語版 002-00122 Rev. *L を翻訳した日本語版 Rev. *A です。英語版の改訂内容: Updated 特長:</p> <p>Updated description under “32-bit MCU Subsystem”.</p> <p>Updated Block diagram (Corrected typo).</p> <p>Updated Functional definition:</p> <p>Updated System resources:</p> <p>Updated Watch Crystal Oscillator (WCO):</p> <p>Updated description.</p> <p>Updated Electrical specifications:</p> <p>Updated Analog peripherals:</p> <p>Updated CTBm Opamp:</p> <p>Updated 表 10.</p> <p>Updated SAR:</p> <p>Updated 表 14.</p> <p>Updated CSD and IDAC:</p> <p>Updated 表 15.</p> <p>Updated Digital peripherals:</p> <p>Updated SPI:</p> <p>Updated 表 21.</p> <p>Completing Sunset Review.</p>
英語版(*M)	-	<p>この版は英語版のみです。英語版の改訂内容: Added extended industrial temperature range related information in all instances across the document.</p> <p>Updated Electrical specifications:</p> <p>Updated Memory:</p> <p>Updated Flash:</p> <p>Updated 表 27.</p> <p>Updated Ordering information:</p> <p>Updated part numbers.</p>
*B	2021-11-11	<p>これは英語版 002-00122 Rev. *N を翻訳した日本語版 Rev. *B です。英語版の改訂内容: Updated 特長:</p> <p>Added “ModusToolbox™ software”.</p> <p>Updated Development ecosystem:</p> <p>Added ModusToolbox™ software.</p> <p>Updated PSoc™ Creator:</p> <p>Updated description.</p> <p>Updated 表 27: Updated SID182B.</p> <p>Updated 表 32: Added SID223A.</p> <p>Updated Ordering information:</p> <p>Updated part numbers.</p> <p>Completing Sunset Review.</p>



改訂履歴

版数	日付	変更内容
*C	2021-12-08	これは英語版 002-00122 Rev. *O を翻訳した日本語版 Rev. *C です。英語版の改訂内容: Updated 表 32: Updated spec SID223 and SID223A. Added specs SID223B through SID223D. Updated Ordering information: Updated part numbers. Migrated to Infineon template.
*D	2023-05-23	これは英語版 002-00122 Rev. *P を翻訳した日本語版 Rev. *D です。英語版の改訂内容: Updated the footnotes in IMO AC specifications.
*E	2024-12-12	これは英語版 002-00122 Rev. *Q を翻訳した日本語版 Rev. *E です。英語版の改訂内容: Added note under 40L and 32-lead QFN package diagrams. Removed extra pin "DN" and pin name "VSSD" from 40L QFN column in 表 1. Content migrated to PRISMA. Fixed broken links. Updated the title to “PSoC™ 4100S based on Arm® Cortex®-M0+ CPU”. Updated packaging diagram titles with IFX package code for 図 8, 図 9, 図 10, 図 11, and 図 12. Updated package information in 表 39, 表 41, and 表 42. Updated package information across the datasheet. Updated CY8C4146LQQ-S422T to CY8C4146LQQ-S422 in 注文情報.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-12-12

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG
All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-niy1693212753938

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。