

PSoC™ 4100PS

Arm® Cortex™-M0+ をベース

概要説明

インフィニオンの PSoC™ 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の拡張可能かつ再コンフィギュレーション可能なプラットフォーム アーキテクチャです。これはプログラム可能かつ再コンフィギュレーション可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせます。PSoC™ 4100PS は PSoC™ 4 プラットフォーム アーキテクチャのメンバーです。標準的な通信機能とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CAPSENSE™)、プログラマブルな汎用の連続時間スイッチ キャパシタ アナログ ブロックおよびプログラマブルな内部接続で構成されています。

特長

- プログラマブル アナログ ブロック
 - 2 個の専用アナログ - デジタル コンバータ (ADC): 12 ビット SARADC および 10 ビット シングル スロープ ADC
 - カスタムのアナログ フロント エンド (AFE) を作成するための、4 個のオペアンプ、2 個の低消費電力 コンパレータ、および柔軟な 38 チャンネルのアナログ マルチプレクサ
 - 2 個の 13 ビット 電圧 DAC
 - 任意のピンでの汎用または静電容量センシング用途向けの 2 個の 7 ビット 電流 DAC (IDAC)
- CAPSENSE™ 容量センシング
 - インフィニオンの第 4 世代 CAPSENSE™ シグマ デルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) および耐水性を提供
 - インフィニオンが提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
 - ハードウェア自動チューニング (SmartSense™)
- セグメント LCD 駆動
 - あらゆるピンで LCD 駆動可能 (コモンまたはセグメント)
 - ディープスリープ モードでの動作に対応、ピンごとに 4 ビット メモリ
- プログラマブル デジタル パリフェラル
 - 実行時に I²C, SPI または UART に設定可能な 3 個の独立したシリアル通信ブロック (SCB)
 - 中央揃え、エッジ、および疑似乱数モードに対応する 8 個の 16 ビット タイマー/ カウンター/ パルス幅変調器 (TCPWM) ブロック
- 32 ビットの信号処理エンジン
 - 最大 48MHz の Arm® Cortex®-M0+ CPU
 - 読み出しアクセラレータを備えた最大 32 KB のフラッシュ
 - 最大 4 KB の SRAM
 - 8 チャンネルのディスクリプタ ベースの DMA コントローラー
- 低消費電力動作
 - 1.71 V ~ 5.5 V 動作
 - ディープスリープ モード: アナログ システムが動作し、デジタル システム電流が 2.5 µA
 - 時計用水晶発振器 (WCO)
- プログラマブル GPIO ピン
 - 駆動モード、駆動強度、およびスルーレートがプログラム可能で、アナログ、デジタル、CAPSENSE™、または LCD 機能に使用可能な最大 38 本の GPIO ピン
 - 入力と出力の信号にピンレベルのブール演算を実装するための 8 本の Smart I/O を装備
 - 48 ピン QFN, 48 ピン TQFP, 28 ピン SSOP, および 45 ボール WLCSP のパッケージ

特長

- PSoC™ Creator 設計環境
 - 統合設計環境 (IDE) は回路図キャプチャ設計の入力とビルド (アナログとデジタル信号の自動配線に対応) および Arm®-SWD デバッガによるファームウェアの同時設計を提供
 - 完全に設計した組込み初期化, 校正, および補正アルゴリズムを持っている GUI ベースの設定可能な PSoC™ コンポーネント
 - すべての固定機能およびプログラム可能なペリフェラル用のアプリケーション プログラミング インターフェース (API)
- 業界標準ツールとの互換性
 - 回路図キャプチャ後、ファームウェア開発を Arm ベースの業界標準のツールで行うことが可能

詳細情報

インフィニオンは、www.infineon.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC™ デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合リストについては、知識ベース記事 [KBA86521, How to Design with PSoC™ 3, PSoC™ 4, and PSoC™ 5LP](#) を参照してください。以下は PSoC™ 4 の要約です。

- 概要 : [MCU Portfolio](#)
- 製品セレクト : [PSoC™ 1](#), [PSoC™ 3](#), [PSoC™ 4](#), [PSoC™ 5LP](#), [PSoC™ 6](#)、
また PSoC™ Creator 内にデバイス選択ツールがあります。
- アプリケーション ノート : インフィニオンは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC™ アプリケーション ノートを提供しています。以下は、PSoC™ 4 入門用の推奨アプリケーション ノートです。
 - [AN79953](#): Getting Started With PSoC™ 4
 - [AN88619](#): PSoC™ 4 Hardware Design Considerations
 - [AN86439](#): Using PSoC™ 4 GPIO Pins
 - [AN57821](#): Mixed Signal Circuit Board Layout
 - [AN81623](#): Digital Design Best Practices
 - [AN73854](#): Introduction To Bootloaders
 - [AN89610](#): Arm® Cortex® Code Optimization
 - [AN85951](#): PSoC™ 4 and PSoC™ Analog Coprocessor CAPSENSE™ Design Guide
- テクニカル リファレンス マニュアル (TRM) は 2 種類あります。
 - [アーキテクチャ TRM](#): 各 PSoC™ 4 機能ブロックを詳細に説明します。
 - [レジスタ TRM](#): 各 PSoC™ 4 レジスタを詳細に説明します。
- 開発キット :
 - [CY8CKIT-147](#), PSoC™ 4100PS プロトタイプ キットは、低コストで PSoC™ 4100PS デバイスによる評価および開発を可能にします。

MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

- **ソフトウェア ユーザーガイド** :
 - PSoC™ Creator の使用に関する段階を追った手引書です。ソフトウェア ユーザーガイドには、PSoC™ Creator によるビルド プロセスの詳細、PSoC™ Creator を用いたソース制御の使い方などが記載されています。
- **コンポーネント データシート** :
 - PSoC™ の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明, API ドキュメント, 推奨サンプルコード, AC/DC 仕様を含む特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。
- **オンライン** :
 - 印刷された資料のほかに、[Infineon Developer Community](#) によって 24 時間 365 日、世界中の他の PSoC™ ユーザーや PSoC™ の専門家と連絡をとれます。

PSoC™ Creator

PSoC™ Creator は無償の Windows ベースの統合設計環境 (IDE) です。PSoC™ 3, PSoC™ 4, および PSoC™ 5LP ベースのシステムのハードウェアとファームウェア設計が同時に可能です。事前検証済みで量産使用も可能な PSoC™ コンポーネントを 100 以上サポートしている、クラシックで親しみやすい回路図キャプチャを使ってデザインを作成します。[コンポーネント データシート](#)を参照してください。PSoC™ Creator により、以下のことが可能です。

1. メインデザインワークスペースで、コンポーネント アイコンをドラッグアンドドロップしてハードウェアシステムデザインをビルド
2. PSoC™ Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC™ ハードウェアを同時に設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを閲覧

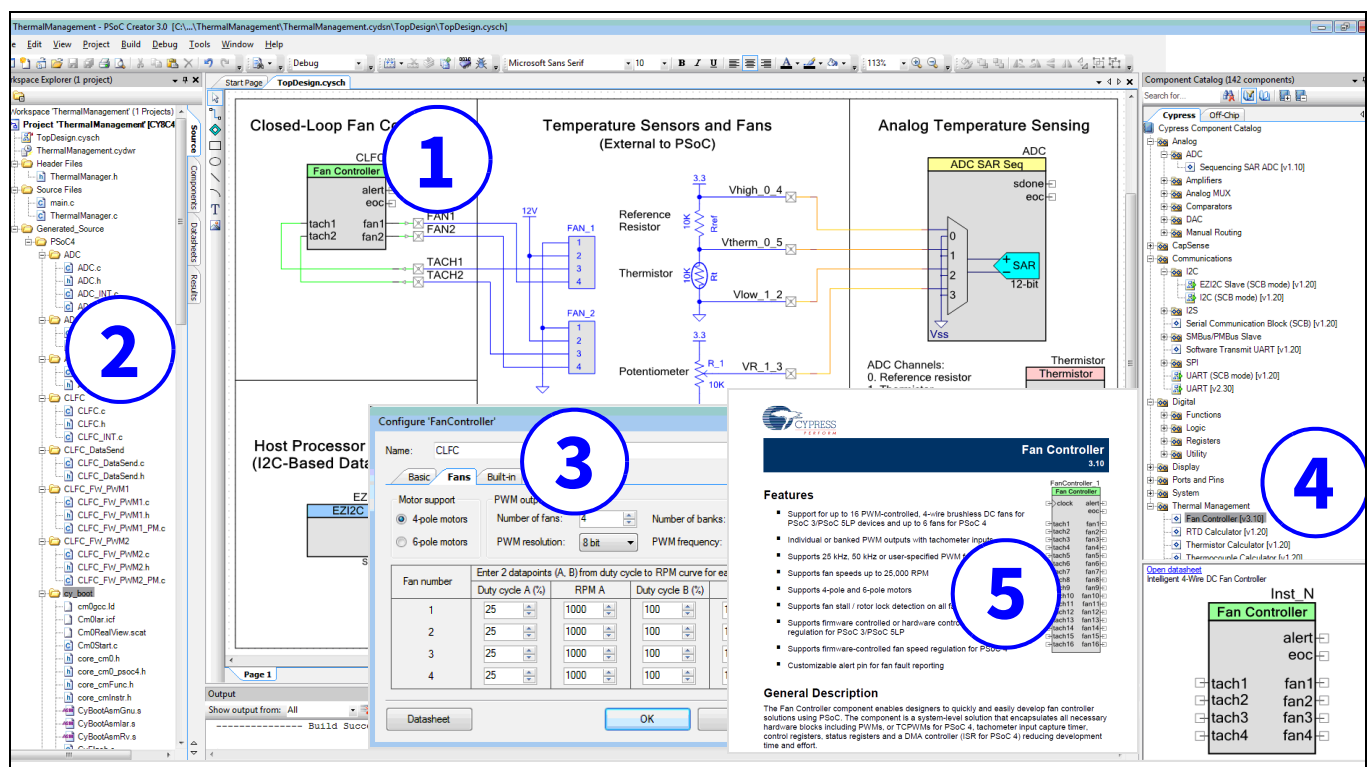


Figure 1 PSoC™ Creator の複数センサーのサンプルプロジェクト

目次

目次

概要説明.....	1
特長	1
詳細情報.....	3
PSoC™ Creator	4
目次	5
1 機能概要	7
2 機能の説明.....	9
2.1 CPU および メモリ サブシステム.....	9
2.1.1 CPU	9
2.1.2 DMA/DataWire	9
2.1.3 フラッシュ	9
2.1.4 SRAM	9
2.1.5 SROM	9
2.2 システム リソース	10
2.2.1 電力システム	10
2.2.2 クロック システム	10
2.2.3 IMO クロック ソース	11
2.2.4 ILO クロック ソース	11
2.2.5 時計用水晶発振器 (WCO)	11
2.2.6 ウォッチドッグ タイマー	11
2.2.7 リセット	11
2.2.8 電圧リファレンス	11
2.3 アナログ ブロック	12
2.3.1 12ビット SAR ADC	12
2.3.2 4個のオペアンプ (連続時間ブロック、CTB)	12
2.3.3 VDAC (13ビット)	13
2.3.4 低消費電力コンパレータ (LPC)	13
2.3.5 電流 DAC.....	13
2.3.6 アナログ マルチプレクサ バス.....	13
2.3.7 温度センサー	13
2.4 固定機能デジタル	13
2.4.1 タイマー/カウンタ/PWM (TCPWM) ブロック	13
2.4.2 シリアル通信ブロック (SCB)	14
2.5 GPIO	14
2.6 特殊機能ペリフェラル	15
2.6.1 CAPSENSE™	15
2.7 WLCSPパッケージのブートローダ	15
3 ピン配置	16
3.1 ピンの代替機能	18
4 電源.....	21
4.1 モード 1: 1.8 V ~ 5.5 Vの外部電源	21
4.2 モード 2: 1.8 V ± 5%の外部電源	22
5 開発サポート.....	23
5.1 ドキュメント	23
5.2 オンライン	23
5.3 ツール	23
6 電氣的仕様.....	24
6.1 絶対最大定格	24
6.2 デバイス レベルの仕様	25
6.2.1 GPIO	27
6.2.2 XRES.....	29

目次

6.3 アナログ ペリフェラル	30
6.3.1 CTB オペアンプ	30
6.3.2 PGA	35
6.3.3 電圧DAC	36
6.3.4 コンパレータ	37
6.3.5 温度センサー	38
6.3.6 SAR	39
6.3.7 CAPSENSE™ および IDAC	41
6.4 デジタル ペリフェラル	45
6.4.1 タイマー/カウンタ/パルス幅変調器 (TCPWM)	45
6.4.2 I ² C	46
6.4.3 SPI	47
6.4.4 UART	48
6.4.5 LCD	48
6.5 メモリ	49
6.5.1 フラッシュ	49
6.6 システム リソース	50
6.6.1 パワーオンリセット (POR)	50
6.6.2 SWD インターフェース	50
6.6.3 内部主発振器 (IMO)	51
6.6.4 内部低速発振器 (ILO)	51
6.6.5 時計用水晶発振器 (WCO)	52
6.6.6 外部クロック	52
6.6.7 ブロック	52
6.6.8 PRGIO パススルー時間	52
7 注文情報	53
8 パッケージ	55
8.1 パッケージ図	56
9 略語	60
10 本書の表記法	64
10.1 測定単位	64
改訂履歴	65
免責事項	66

1 機能概要

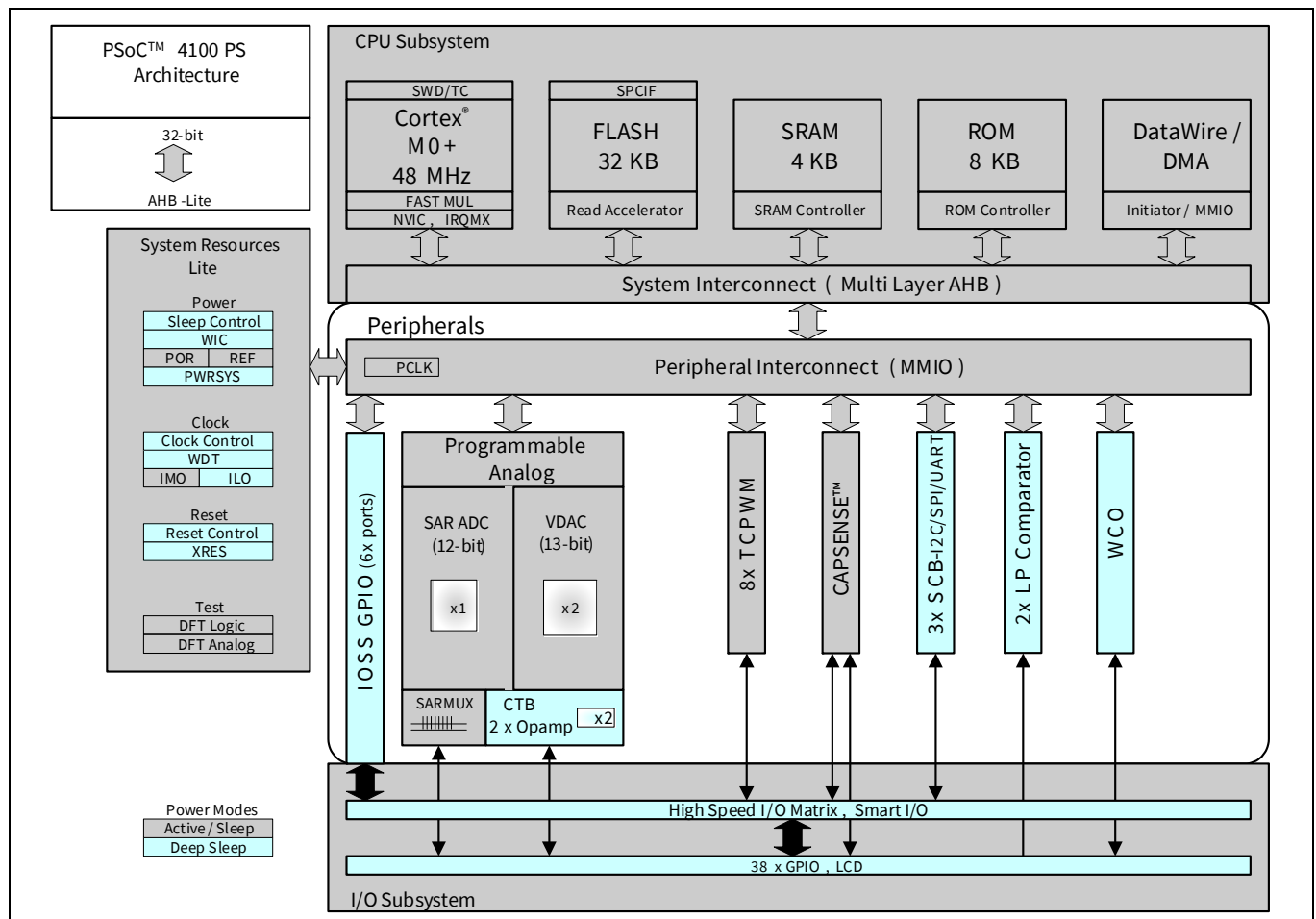


Figure 2 **ブロックダイアグラム**

PSoC™ 4100PS デバイスは、ハードウェアとファームウェアの両方について、プログラミング、テスト、デバッグ、配線に幅広く対応しています。

Arm® シリアルワイヤデバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オンチップの機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグが可能です。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC™ Creator IDE は PSoC™ 4100PS デバイスのプログラミングおよびデバッグを完全にサポートします。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。

PSoC™ 4100PS ファミリーは、マルチチップアプリケーションソリューションまたはマイクロコントローラーでは適用不可能なセキュリティレベルを提供します。このファミリーは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能をオンチップ プログラマブル ブロックに実装可能

機能概要

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、一度デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ機能を有効にする新しいファームウェアでデバイスをプログラムし直す以外に有効にする方法はありません。デバッグ機能のファームウェア制御は、ファームウェアを消去しなければオーバーライドされません。その結果セキュリティが向上します。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にできます。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストインターフェースは無効にされます。そのため、デバイスセキュリティ機能を有効にした PSoC™ 4100PS は、故障解析ができない場合があります。これは PSoC™ 4100PS のトレードオフです。

2 機能の説明

2.1 CPU および メモリ サブシステム

2.1.1 CPU

PSoC™ 4100PS の Cortex®-M0+ CPU は、広範なクロックゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU は Thumb-2 命令セットのサブセットを実行します。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックと復帰割込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切ることができます。

また、CPU は JTAG の 2 線式のデバッグインターフェースであるシリアルワイヤデバッグ (SWD) インターフェースも含んでいます。PSoC™ 4100PS に使用するデバッグコンフィギュレーションには、4 個のブレイクポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

2.1.2 DMA/DataWire

DMA エンジンにはユーザープログラム可能なディスクリプタチェーンを介して、メモリマップ内のどこにでも、独立したデータ転送を行えます。DataWire 機能はメモリ内にある位置から別の位置への単一要素の転送を行うために使用されます。さまざまな選択可能なトリガーソースを持つ 8 本の DMA チャンネルがあります。

2.1.3 フラッシュ

PSoC™ 4100PS デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュアクセラレータ付きのフラッシュモジュールを持っています。低消費電力のフラッシュブロックは 48MHz で 2 ウェイトステート (WS) アクセス時間を達成するように設計されます。フラッシュアクセラレータにより、アクセス性能は平均してシングルサイクル SRAM の 85% に達します。

2.1.4 SRAM

48MHz でゼロウェイトステート (待ち状態なし) アクセスを備えた 4KB SRAM が提供されます。

2.1.5 SROM

ブートおよびコンフィギュレーションルーチンを含む 8KB の SROM が提供されます。

2.2 システム リソース

2.2.1 電力システム

電力システムは電源で詳しく説明されます。これは、電圧レベルがそれぞれのモードの要求に応じることを保証し、電圧レベルが適切な機能の要求に応じるまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSoC™ 4100PS は、 $1.8\text{ V} \pm 5\%$ (外部レギュレータ使用時) または $1.8\text{ V} \sim 5.5\text{ V}$ (内部レギュレータ使用時) の外部電源電圧で動作し、3つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC™ 4100PS はアクティブ モードおよびスリープとディープスリープの低消費電力モードに対応しています。

アクティブ モードでは、すべてのサブシステムが動作できます。CPU サブシステム (CPU, フラッシュ, SRAM) はスリープ モードでクロックがゲート オフになりますが、すべてのペリフェラルと割り込みはウェイクアップイベントのときに瞬時ウェイクアップ機能によりアクティブになります。ディープスリープモードでは、高速クロックおよび対応する回路がスイッチオフされます。このモードからの復帰には $35\mu\text{s}$ を要します。オペアンプはディープスリープ モードで動作し続けられます。

2.2.2 クロック システム

PSoC™ 4100PS クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えられます。また、クロック システムはメタステーブル状態が発生しないことを保証します。

PSoC™ 4100PS のクロック システムは、内蔵主発振器 (IMO), 内蔵低速発振器 (ILO), 32kHz 時計用水晶発振器 (WCO) および外部クロック用の予備ピンから構成されます。クロック分周器はペリフェラル用のクロックを細かく生成するために提供されます。また、分数分周器は UART 向けのより速いデータ転送速度でクロックの供給を可能にするために提供されます。

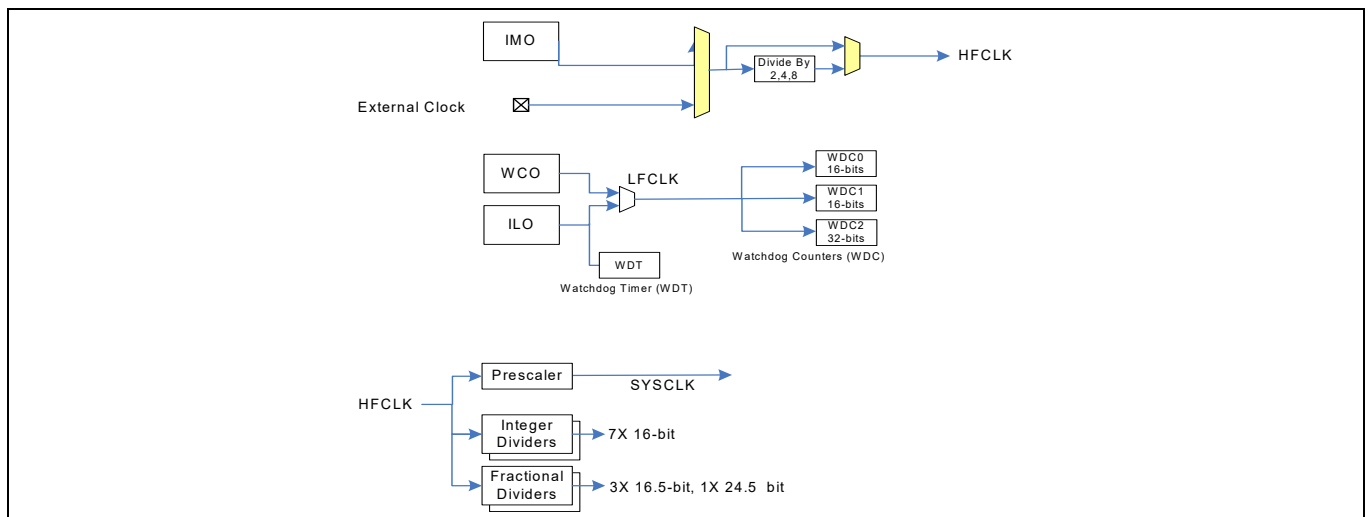


Figure 3 PSoC™ 4100PS MCU のクロック アーキテクチャ

HFCLK 信号は、アナログとデジタル ペリフェラル用に同期クロックを生成するために分周できます。上図に示すように、PSoC™ 4100PS には 11 個のクロック分周器があります。16 ビット分周器は細かい周波数値を柔軟に生成することが可能で (大きな分周比用に 24 ビット分周器が 1 個ある)、PSoC™ Creator で完全にサポートされます。

2.2.3 IMO クロック ソース

IMO は PSoC™ 4100PS の内部クロック供給の主なソースです。これは出荷試験中に仕様の精度を得るために調整されます。IMO のデフォルト周波数は 24 MHz で、4 MHz ステップで 24 ~ 48 MHz に調整できます。インフィニオンが提供する校正設定での IMO の許容誤差は $\pm 2\%$ です。

2.2.4 ILO クロック ソース

ILO は超低消費電力の 40 kHz 発振器であり、主にディープスリープモードでウォッチドッグタイマー(WDT) とペリフェラルの動作にクロックを生成するために使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正できます。インフィニオンは校正を実行するソフトウェアコンポーネントを提供しています。

2.2.5 時計用水晶発振器 (WCO)

PSoC™ 4100PS クロックサブシステムは、ウォッチドッグタイミングアプリケーションに採用できる低周波数 (32 kHz 時計用水晶) 発振回路を内蔵します。

2.2.6 ウォッチドッグタイマー

ウォッチドッグタイマーは、ILO をクロックソースとして動作するクロックブロックに実装されます。これは、ディープスリープ時のウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグリセットは、ファームウェア読み出しが可能なリセット原因 (Reset Cause) レジスタに記録されます。

2.2.7 リセット

PSoC™ 4100PS は、ソフトウェアリセットを含む様々なソースからリセットできます。リセットイベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因はレジスタに記録されます。そのレジスタはリセット中も保存され、ソフトウェアがリセットの原因を判断できます。XRES ピンはアクティブ LOW の外部リセット用に予約されています。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

2.2.8 電圧リファレンス

PSoC™ 4100PS リファレンスシステムは、すべての必要となるリファレンスを生成します。1.2 V リファレンス電圧はコンパレータ向けに提供されます。IDAC は $\pm 5\%$ リファレンス電圧を基準とします。

2.3 アナログブロック

2.3.1 12ビット SAR ADC

12 ビットの 1Msps SAR ADC は 18 MHz の最大クロック レートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを要します。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部リファレンス アンプ用に外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるにかかわらず 1Msps です)。シーケンサの切り替えは、ステートマシンまたはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソースインピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18 MHz) を必要とするため、ディープスリープモードに対応していません。SAR の動作範囲は 1.71 V ~ 5.5 V です。

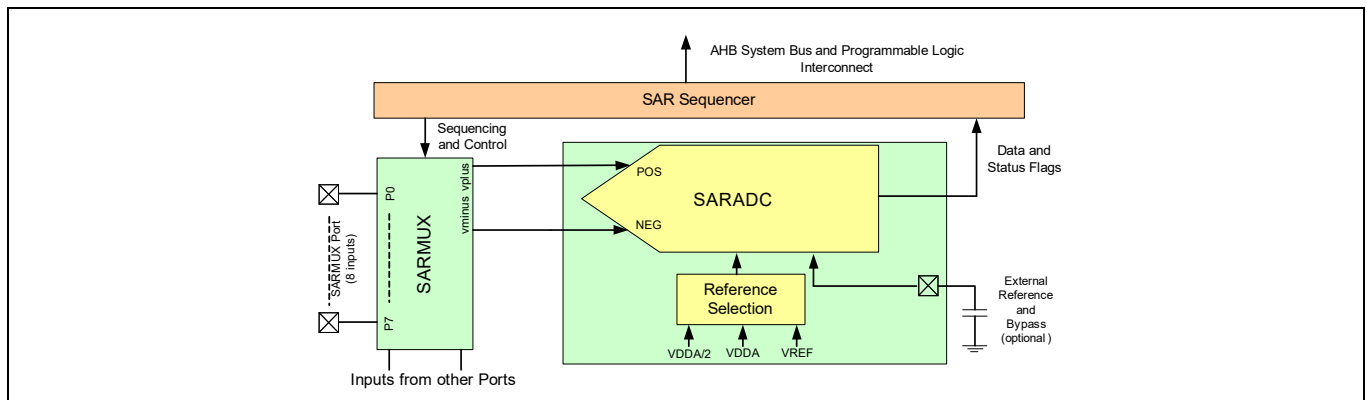


Figure 4 SAR ADC

2.3.2 4個のオペアンプ (連続時間ブロック、CTB)

PSoC™ 4100PS は、コンパレータ モードのある 4 個のオペアンプを持つことにより、PGA、電圧バッファ、フィルタ、トランスインピーダンス アンプなどほとんどの一般的なアナログ機能が外付け部品の必要なくオンチップで実行でき、消費電力、コスト、および空間を節約できます。ただし外部受動素子が必要になる場合もあります。内蔵オペアンプは、外部バッファを必要とせずに ADC のサンプル ホールド回路を駆動するに十分な帯域幅を持つように設計されています。

2.3.3 VDAC (13ビット)

PSoC™ 4100PS は 2 つの 13 ビット分解能の電圧 DAC を備えています。

2.3.4 低消費電力コンパレータ (LPC)

PSoC™ 4100PS はディープスリープモードで動作できる低消費電力コンパレータの1対を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログシステムブロックを無効にできます。コンパレータ出力は、メタスタビリティを避けるために通常同期化されます。ただし、システム復帰回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

2.3.5 電流 DAC

PSoC™ 4100PS は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。IDAC はプログラム可能な電流範囲があります。

2.3.6 アナログマルチプレクサバス

PSoC™ 4100PS は同心円状にチップの周辺を回る 2 本の独立したバスを備えています。これらのバス (amux バスと呼ばれる) はファームウェアでプログラム可能なアナログスイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続できます。

2.3.7 温度センサー

$\pm 1\%$ の Typ 誤差 (Max $\pm 5\%$) を達成するために生産時に校正される内蔵温度センサーが備えられています。SAR ADC は温度測定のために使用されます。

2.4 固定機能デジタル

2.4.1 タイマー/カウンタ/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーが周期長をプログラム可能な 16 ビット カウンタからなります。キャプチャレジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンタのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。このブロックはプログラム可能なオフセットをつけられる正出力とコンプリメンタリ出力も提供しており、デッドバンドをプログラム可能なコンプリメンタリ PWM 出力として使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力を使用されます。PSoC™ 4100PS は 8 個の TCPWM ブロックがあります。

2.4.2 シリアル通信ブロック (SCB)

PSoC™ 4100PS は 3 個のシリアル通信ブロックを備え、必要に応じて SPI, I²C, または UART 機能にプログラムできます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブインターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 1 Mbps (ファストモードプラス) で動作でき、CPU の割込みオーバーヘッドとレイテンシを削減するための柔軟なバッファリングオプションが用意されます。また、PSoC™ 4100PS のメモリでメールボックス アドレス範囲を作って、メモリアレイに対する読み書きの I²C 通信を効果的に削減する EZI²C にも対応しています。また、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間どおりに読み出しデータを取得しないことに起因するクロックストレッチの必要性を大幅に低減します。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。

PSoC™ 4100PS は、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入できません。

UART モード: これは最大 1 Mbps で動作するフル機能の UART です。これは、基本 UART プロトコルから少し変化したものである、車載向けシングルワイヤ インターフェース (LIN), 赤外線インターフェース (IrDA), SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレイク検出、フレーム エラーなどの一般的な UART 機能に対応しています。深さ 8 の FIFO により、より大きい CPU サービスレイテンシが許容されます。

SPI モード: SPI モードは Motorola SPI、TI SSP (SPI コーデックを同期化するのに使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

2.5 GPIO

PSoC™ 4100PS には、最大 38 本の GPIO があります。GPIO ブロックは以下を実装します。

- 8 種類の駆動モード:
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効 / 無効の個別制御
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットのとき、ブロックは必ず無効状態に置かれ、入力が一切無いように、または電源投入時に過電流を生じないようにします。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。

各 I/O ピンは有効になった場合に割込みを生成できます。なお各 I/O ポートにはそれに対応する割込み要求 (IRQ) と割込みサービス ルーチン (ISR) ベクタがあります (PSoC™ 4100PS では、ベクタ数は 4 です)。Smart I/O ブロックはスイッチと LUT の構造体であり、ブール関数を GPIO ポートのピンに配線されている信号で実行できます。Smart I/O ブロックは論理演算をチップの入力ピン、および出力として出る信号で実行できます。

2.6 特殊機能ペリフェラル

2.6.1 CAPSENSE™

CAPSENSE™ は、アナログ スイッチに接続されたアナログ マルチプレクサ バスを介してどのピンにも接続できる CSD ブロックにより、PSoC™ 4100PS でサポートされています。CAPSENSE™ 機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供できます。設計し易くするために、CAPSENSE™ ブロック用の PSoC™ Creator コンポーネントが提供されています。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサ バス上で駆動できます。耐水性は、シールド静電容量が検知された入力を減衰させることを防ぐためにシールド電極を検知電極と同位相で駆動することで、実現されています。近接センシングも実装できます。

CAPSENSE™ ブロックは、2 個の IDAC を備えています。これらは、CAPSENSE™ が使用されていない場合 (両方の IDAC とも使用可能)、または CAPSENSE™ が耐水性を備えずに使用される場合 (どちらか一方の IDAC が使用可能)、一般用途に使用できます。CAPSENSE™ ブロックはまた、CAPSENSE™ 機能と共に使用される 10 ビットのスロープ ADC 機能も提供しています。

CAPSENSE™ ブロックは高性能で、低ノイズのプログラマブル ブロックです。これは、感度と柔軟性を向上させるためにリファレンス電圧と電流源の範囲をプログラムできます。さらに、外部リファレンス電圧も利用できます。これは、VDDA とグランドへのセンシングを交互に行う全波 CSD モードを有し、電源関連のノイズをゼロにします。

2.7 WLCSP パッケージのブートローダ

WLCSP パッケージには、フラッシュにインストールされた I²C ブートローダが同梱されています。このブートローダは PSoC™ Creator のブートローダ プロジェクト ファイルと互換性があります。

ピン配置

3 ピン配置

下表に、PSoC™ 4100PS の 48-QFN、48-TQFP、45-WLCSP および 28-SSOP パッケージのピン一覧を示します。すべてのポートピンは GPIO に対応しています。

Table 1 ピン配置

パッケージ							
48ピン QFN		48ピン TQFP		28ピン SSOP		45ボール CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	28	P0.0	21	P0.0	D3	P0.0
29	P0.1	29	P0.1	22	P0.1	E2	P0.1
30	P0.2	30	P0.2	23	P0.2	D2	P0.2
31	P0.3	31	P0.3			C3	P0.3
32	P0.4	32	P0.4			D1	P0.4
33	P0.5	33	P0.5			E1	P0.5
34	P0.6	34	P0.6			C2	P0.6
35	P0.7	35	P0.7			B2	P0.7
36	XRES	36	XRES	24	XRES	B3	XRES
37	P4.0	37	P4.0			A1	P4.0
38	P4.1	38	P4.1			B1	P4.1
39	P5.0	39	P5.0	25	P5.0	B4	P5.0
40	P5.1	40	P5.1			C1	P5.1
41	P5.2	41	P5.2	26	P5.2	A2	P5.2
42	P5.3	42	P5.3	27	P5.3	A3	P5.3
43	VDDA	43	VDDA	28	VDDA	J2	VDDA
44	VSSA	44	VSSA			J3	VSSA
45	VCCD	45	VCCD	1	VCCD	A4	VCCD
						B5	VDDD
46	VSSD	46	VSSD	2	VSSD	A5	VSSD
47	VDDD	47	VDDD	3	VDDD		
48	P1.0	48	P1.0	4	P1.0	C5	P1.0
1	P1.1	1	P1.1	5	P1.1	C4	P1.1
2	P1.2	2	P1.2	6	P1.2	D5	P1.2
3	P1.3	3	P1.3	7	P1.3	D4	P1.3
4	P1.4	4	P1.4			E3	P1.4
5	P1.5	5	P1.5			E4	P1.5
6	P1.6	6	P1.6				
7	P1.7	7	P1.7			G3	P1.7
8	VDDA	8	VDDA	8	VDDA	E5	VDDA
9	VSSA	9	VSSA	9	VSSA	F5	VSSA
10	P2.0	10	P2.0	10	P2.0	F4	P2.0
11	P2.1	11	P2.1	11	P2.1	F3	P2.1
12	P2.2	12	P2.2	12	P2.2	G4	P2.2

ピン配置

Table 1 ピン配置 (continued)

パッケージ							
48ピン QFN		48ピン TQFP		28ピン SSOP		45ボール CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
13	P2.3	13	P2.3	13	P2.3	G5	P2.3
14	P2.4	14	P2.4			H5	P2.4
15	P2.5	15	P2.5			J4	P2.5
16	P2.6	16	P2.6			H4	P2.6
17	P2.7/VREF	17	P2.7/VREF	14	P2.7/VREF	J5	P2.7/VREF
18	VSSA	18	VSSA			J3	VSSA
19	VDDA	19	VDDA	15	VDDA	J2	VDDA
20	P3.0	20	P3.0			H2	P3.0
21	P3.1	21	P3.1	16	P3.1	F2	P3.1
22	P3.2	22	P3.2	17	P3.2	J1	P3.2
23	P3.3	23	P3.3	18	P3.3	H3	P3.3
24	P3.4	24	P3.4			F1	P3.4
25	P3.5	25	P3.5			G2	P3.5
26	P3.6	26	P3.6	19	P3.6	G1	P3.6
27	P3.7	27	P3.7	20	P3.7	H1	P3.7

電源ピンの説明は以下のとおりです。

VDDD: デジタル セクション用の電源

VDDA: アナログ セクション用の電源

VSS: グランド ピン

VCCD: 安定化デジタル電源 (1.8 V ± 5%)

48 ピン パッケージは 38 の I/O ピンがあります。45 ボール CSP と 28 ピン SSOP は、それぞれ 37 と 20 の I/O ピンがあります。

3.1 ピンの代替機能

それぞれのポートピンは複数の機能の1つに割り当てられます (例えば、アナログ I/O、デジタルペリフェラル機能、CAPSENSE™、または LCD ピンなど)。ピンの割り当てを下表に示します。

Table 2 ピンの代替機能

ポート/ ピン	アナログ	SmartIO	アクティブ				ディープスリープ	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P0.0		SmartIO[0].io[0]	tcpwm.line[4]:1			tcpwm.tr_in[0]	cpuss.swd_data:0	scb[0].spi_select1:0
P0.1		SmartIO[0].io[1]	tcpwm.line_compl[4]:1			tcpwm.tr_in[1]	cpuss.swd_clk:0	scb[0].spi_select2:0
P0.2		SmartIO[0].io[2]	tcpwm.line[5]:1		srss.ext_clk			scb[0].spi_select3:0
P0.3		SmartIO[0].io[3]	tcpwm.line_compl[5]:1					
P0.4		SmartIO[0].io[4]	tcpwm.line[6]:1	scb[1].uart_rx:0			scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5		SmartIO[0].io[5]	tcpwm.line_compl[6]:1	scb[1].uart_tx:0			scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6		SmartIO[0].io[6]		scb[1].uart_cts:0			lpcomp.comp[0]:0	scb[1].spi_clk:0
P0.7		SmartIO[0].io[7]		scb[1].uart_rts:0			lpcomp.comp[1]:0	scb[1].spi_select0:0
P4.0	wco_in		tcpwm.line[0]:2	scb[2].uart_rx:1		tcpwm.tr_in[5]	scb[2].i2c_scl:1	scb[2].spi_mosi:1
P4.1	wco_out		tcpwm.line_compl[0]:2	scb[2].uart_tx:1		tcpwm.tr_in[6]	scb[2].i2c_sda:1	scb[2].spi_miso:1
P5.0	csd.cshieldpads		tcpwm.line[7]:1	scb[0].uart_rx:1			scb[0].i2c_scl:1	scb[0].spi_mosi:1
P5.1	csd.vref_ext		tcpwm.line_compl[7]:1	scb[0].uart_tx:1			scb[0].i2c_sda:1	scb[0].spi_miso:1
P5.2	csd.dsi_cmod		tcpwm.line[6]:2	scb[0].uart_cts:1	tr_sar_out			scb[0].spi_clk:1
P5.3	csd.dsi_csh_tank		tcpwm.line_compl[6]:2	scb[0].uart_rts:1				scb[0].spi_select0:1

Table 2 ピンの代替機能 (continued)

ポート/ ピン	アナログ	SmartIO	アクティブ				ディープスリープ	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P1.0	ctb_pads[8] lpcomp.in_p[1]		tcpwm.line[0]:1	scb[1].uart_rx:1			scb[1].i2c_scl:1	scb[1].spi_mosi:1
P1.1	ctb_pads[9] lpcomp.in_n[1]		tcpwm.line_compl[0]:1	scb[1].uart_tx:1			scb[1].i2c_sda:1	scb[1].spi_miso:1
P1.2	ctb_pads[10] ctb_oa0_out_10x[1]		tcpwm.line[1]:1	scb[1].uart_cts:1				scb[1].spi_clk:1
P1.3	ctb_pads[11] ctb_oa1_out_10x[1]		tcpwm.line_compl[1]:1	scb[1].uart_rts:1				scb[1].spi_select0:1
P1.4	ctb_pads[12]		tcpwm.line[2]:1					scb[1].spi_select1:0
P1.5	ctb_pads[13]		tcpwm.line_compl[2]:1					scb[1].spi_select2:0
P1.6	ctb_pads[14]		tcpwm.line[3]:1					scb[1].spi_select3:0
P1.7	ctb_pads[15]		tcpwm.line_compl[3]:1					
P2.0	ctb_pads[0]		tcpwm.line[4]:0	scb[2].uart_rx:0			scb[2].i2c_scl:0	scb[2].spi_mosi:0
P2.1	ctb_pads[1]		tcpwm.line_compl[4]:0	scb[2].uart_tx:0			scb[2].i2c_sda:0	scb[2].spi_miso:0
P2.2	ctb_pads[2] ctb_oa0_out_10x[0]		tcpwm.line[5]:0	scb[2].uart_cts:0				scb[2].spi_clk:0
P2.3	ctb_pads[3] ctb_oa1_out_10x[0]		tcpwm.line_compl[5]:0	scb[2].uart_rts:0				scb[2].spi_select0:0
P2.4	ctb_pads[4]		tcpwm.line[0]:0					scb[2].spi_select1:0
P2.5	ctb_pads[5]		tcpwm.line_compl[0]:0					scb[2].spi_select2:0
P2.6	ctb_pads[6]		tcpwm.line[1]:0					scb[2].spi_select3:0

Table 2 ピンの代替機能 (continued)

ポート/ ピン	アナログ	SmartIO	アクティブ				ディープスリープ	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P2.7	ctb_pads[7]		tcpwm.line_compl[1]:0					
	sar_ext_vref0 sar_ext_vref1							
P3.0	sarmux[0]		tcpwm.line[2]:0	scb[0].uart_rx:0			scb[0].i2c_scl:0	scb[0].spi_mosi:0
P3.1	sarmux[1]		tcpwm.line_compl[2]:0	scb[0].uart_tx:0			scb[0].i2c_sda:0	scb[0].spi_miso:0
P3.2	sarmux[2] lpcomp.in_p[0]		tcpwm.line[3]:0	scb[0].uart_cts:0				scb[0].spi_clk:0
P3.3	sarmux[3] lpcomp.in_n[0]		tcpwm.line_compl[3]:0	scb[0].uart_rts:0				scb[0].spi_select0:0
P3.4	sarmux[4]		tcpwm.line[6]:0			tcpwm.tr_in[2]		scb[0].spi_select1:1
P3.5	sarmux[5]		tcpwm.line_compl[6]:0			tcpwm.tr_in[3]	csd.comp	scb[0].spi_select2:1
P3.6	sarmux[6]		tcpwm.line[7]:0	scb[2].uart_rx:2		tcpwm.tr_in[4]	scb[2].i2c_scl:2	scb[2].spi_mosi:2
P3.7	sarmux[7]		tcpwm.line_compl[7]:0	scb[2].uart_tx:2			scb[2].i2c_sda:2	scb[2].spi_miso:2

CTB の接続詳細については、テクニカル リファレンス マニュアル (TRM) を参照してください。VDAC 出力は CTB 出力を介してバッファリングされます。いずれの VDAC 出力も任意の CTB 出力に接続できます。

4 電源

以下の電源システム図は、PSoC™ 4100PS 用に実装された電源ピンを示します。システムは、アクティブモードで動作するデジタル回路用のレギュレータが 1 つあります。アナログレギュレータはありません。アナログ回路は VDDA 入力で直接動作します。

VDDD と VDDA は PCB 上で互いに短絡しなければならないことに注意してください。

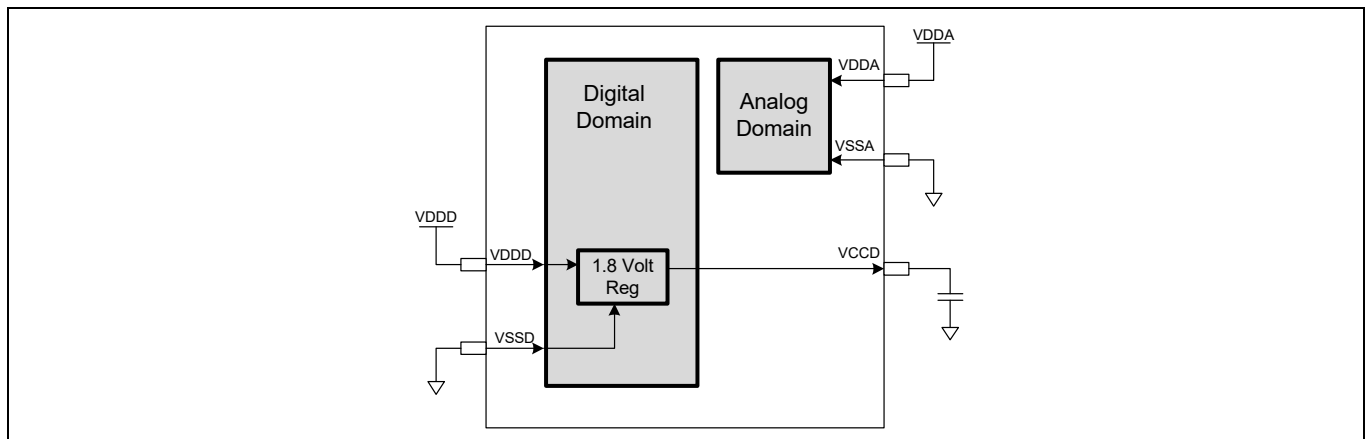


Figure 5 電源接続

次の 2 つの異なる動作モードがあります。モード 1 では、供給電圧範囲は 1.8 V ~ 5.5 V (外部レギュレータ不使用; 内部レギュレータは動作可能) です。モード 2 では、供給電圧範囲は $1.8\text{ V} \pm 5\%$ (外部レギュレータ使用; 1.71 ~ 1.89 V、内部レギュレータはバイパスされる) です。

4.1 モード 1: 1.8 V ~ 5.5 V の外部電源

このモードでは、PSoC™ 4100PS は 1.8 V ~ 5.5 V の電圧範囲の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも対応します。例えばチップは、3.5 V から始まって 1.8 V まで低下するバッテリーシステムから電源供給されます。このモードでは、PSoC™ 4100PS の内部レギュレータは内部ロジックに電源を供給し、その出力は V_{CCD} ピンに接続されます。V_{CCD} ピンは外部コンデンサ (0.1 μF; X5R セラミックかそれより良質なもの) を介してグラウンドにバイパスされ、他のどれにも接続してはいけません。

4.2 モード 2: $1.8\text{ V} \pm 5\%$ の外部電源

このモードでは、PSoC™ 4100PS は $1.71\text{ V} \sim 1.89\text{ V}$ の外部電源から電源供給されます。この範囲は電源リップルを含みます。このモードで、 V_{DD} および V_{CCD} ピンは互いに短絡され、バイパスされます。

バイパス コンデンサを V_{DD} と V_{DDA} からグランドの間に接続してください。この周波数範囲でのシステムの標準的な実践としては、 $1\text{ }\mu\text{F}$ レンジのコンデンサをより小さいコンデンサ (例えば、 $0.1\text{ }\mu\text{F}$) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCB レイアウト、リード インダクタンス、バイパス コンデンサ寄生容量をシミュレートする必要がありますことにご留意ください。

バイパススキームの例を [Figure 6](#) に示します。

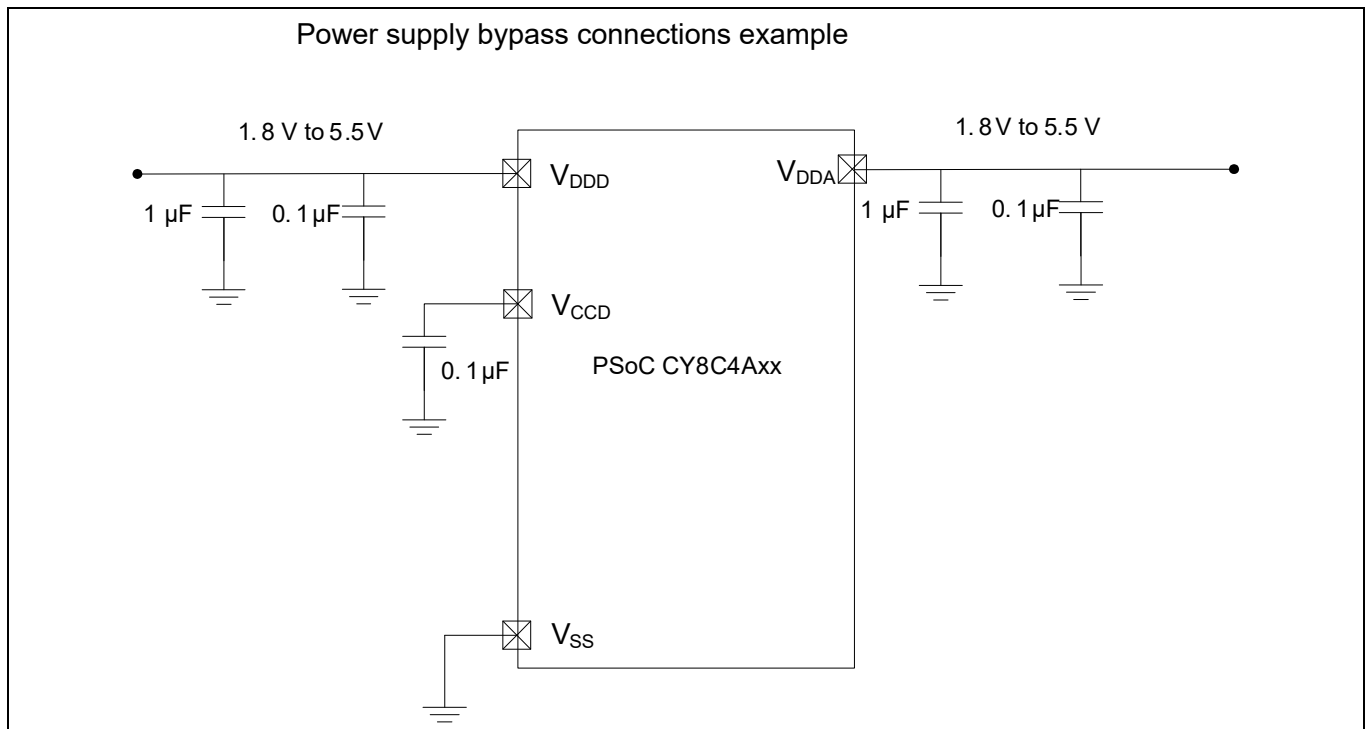


Figure 6 $1.8\text{ V} \sim 5.5\text{ V}$ の外部電源 (内部レギュレータが有効)

5 開発サポート

PSoC™ 4100PS ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツール、およびオンラインリソースが用意されています。詳細については、www.infineon.com/psoc4 をご覧ください。

5.1 ドキュメント

PSoC™ 4100PS ファミリをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェア ユーザー ガイド : PSoC™ Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC™ Creator によるビルド プロセスの詳細、PSoC™ Creator を用いたソース制御の使い方などが記載されています。

コンポーネント データシート : PSoC™ の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、ある特定のコンポーネントの選択および使用に必要なすべての情報が、機能説明、API ドキュメント、用例コード、AC/DC 仕様を含んで記載されています。

アプリケーションノート : PSoC™ アプリケーション ノートには、PSoC™ の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PSoC™ レジスタの詳細な説明など、PSoC™ デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、www.infineon.com/psoc4 の「ドキュメント」セクションにあります。

5.2 オンライン

印刷された資料のほかに、インフィニオン PSoC™ フォーラムによって 24 時間 365 日、世界中の他の PSoC™ ユーザーや PSoC™ の専門家と連絡をとれます。

5.3 ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC™ 4100PS ファミリは開発ツール エコシステムの一部です。革新的で使いやすい PSoC™ Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッガ、および開発キットの最新情報については、インフィニオンのウェブサイト www.infineon.com/psoccreator をご覧ください。

電氣的仕様

6 電氣的仕様

6.1 絶対最大定格

Table 3 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V_{DD_ABS}	V_{SS} を基準としたデジタル電源またはアナログ電源	-0.5	-	6	V	V_{DD} , V_{DDA} , 絶対定格
SID2	V_{CCD_ABS}	V_{SS} を基準とした直接デジタル コア電圧入力	-0.5	-	1.95		-
SID3	V_{GPIO_ABS}	GPIO 電圧	-0.5	-	$V_{DD} + 0.5$		-
SID4	I_{GPIO_ABS}	GPIOごとの最大電流	-25	-	25	mA	-
SID5	$I_{GPIO_injection}$	GPIO注入電流、 $V_{IH} > V_{DD}$ の場合はMax、 $V_{IL} < V_{SS}$ の場合はMin	-0.5	-	0.5		ピンごとの注入電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

注

1. **Table 3**に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 規格「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

電氣的仕様

6.2 デバイス レベルの仕様

特記されていない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 125^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて 1.71 V ~ 5.5 V において有効です。

Table 4 DC 仕様

Typ 値は 25°C , $V_{DD} = 3.3\text{ V}$ で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V_{DD}	電源ピン入力電圧	1.8	–	5.5	V	レギュレータが有効
SID255	V_{DD}	電源ピン入力電圧 ($V_{CCD} = V_{DD}$)	1.71	–	1.89		内部レギュレータ不使用
SID54	V_{DDIO}	V_{DDIO} 電源ドメイン	1.71	–	V_{DD}		–
SID55	C_{EFC}	外部レギュレータ電圧バイパス	–	0.1	–	μF	X5R セラミックまたはこれより良質のもの
SID56	C_{EXC}	電源バイパス コンデンサ	–	1	–		X5R セラミックまたはこれより良質のもの

アクティブ モード, $V_{DD} = 1.8\text{ V} \sim 5.5\text{ V}$. Typ 値は 25°C 、 $V_{DD} = 3.3\text{ V}$ で測定

SID10	I_{DD5}	フラッシュから実行。 CPU速度が 6 MHz	–	2	–	mA	–
SID16	I_{DD8}	フラッシュから実行。 CPU速度が 24 MHz	–	5.6	–		–
SID19	I_{DD11}	フラッシュから実行。 CPU速度が 48 MHz	–	10.4	–		–

スリープ モード, $V_{DDD} = 1.8\text{ V} \sim 5.5\text{ V}$ (レギュレータが有効)

SID22	I_{DD17}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	1.1	–	mA	6 MHz
SID25	I_{DD20}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	3.1	–		12 MHz

スリープ モード, $V_{DDD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータがバイパスされる)

SID28	I_{DD23}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	1.1	–	mA	6 MHz
SID28A	I_{DD23A}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	3.1	–	mA	12 MHz

I²C ウェイクアップとWDTが有効, $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (レギュレータが有効)

SID31	I_{DD26}	I ² C ウェイクアップとWDT が有効	–	2.5	–	μA	–
-------	------------	-------------------------------------	---	-----	---	---------------	---

I²C ウェイクアップとWDTが有効, $V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$ (レギュレータが有効)

SID34	I_{DD29}	I ² C ウェイクアップとWDT が有効	–	2.5	–	μA	–
-------	------------	-------------------------------------	---	-----	---	---------------	---

ディープスリープ モード, $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータがバイパスされる)

SID37	I_{DD32}	I ² C ウェイクアップとWDT が有効	–	2.5	–	μA	–
-------	------------	-------------------------------------	---	-----	---	---------------	---

電氣的仕様

Table 4 DC仕様 (continued)Typ 値は 25°C, $V_{DD} = 3.3\text{ V}$ で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
XRES電流							
SID307	I_{DD_XR}	XRES がアサート時の電源電流	–	115	300	μA	–

Table 5 AC仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F_{CPU}	CPU周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[2]	T_{SLEEP}	スリープモードからの復帰時間	–	0	–	μs	–
SID50 ^[2]	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	–	35	–		–

注

2. 特性評価で保証されています。

電氣的仕様

6.2.1 GPIO

Table 6 GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[3]}$	入力電圧High閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS入力
SID58	V_{IL}	入力電圧Low閾値	–	–	$0.3 \times V_{DDD}$		CMOS入力
SID241	$V_{IH}^{[3]}$	LVTTL入力, $V_{DDD} < 2.7\text{ V}$	$0.7 \times V_{DDD}$	–	–		–
SID242	V_{IL}	LVTTL入力, $V_{DDD} < 2.7\text{ V}$	–	–	$0.3 \times V_{DDD}$		–
SID243	$V_{IH}^{[3]}$	LVTTL 入力, $V_{DDD} \geq 2.7\text{ V}$	2.0	–	–		–
SID244	V_{IL}	LVTTL入力, $V_{DDD} \geq 2.7\text{ V}$	–	–	0.8		–
SID59	V_{OH}	出力電圧Highレベル	$V_{DDD} - 0.6$	–	–		$V_{DDD} = 3\text{ V}$ のとき、 $I_{OH} = 4\text{ mA}$
SID60	V_{OH}	出力電圧Highレベル	$V_{DDD} - 0.5$	–	–		$V_{DDD} = 1.8\text{ V}$ のとき、 $I_{OH} = 1\text{ mA}$
SID61	V_{OL}	出力電圧Lowレベル	–	–	0.6	kΩ	$V_{DDD} = 1.8\text{ V}$ のとき、 $I_{OL} = 4\text{ mA}$
SID62	V_{OL}	出力電圧Lowレベル	–	–	0.6		$V_{DDD} = 3\text{ V}$ のとき、 $I_{OL} = 10\text{ mA}$
SID62A	V_{OL}	出力電圧Lowレベル	–	–	0.4		$V_{DDD} = 3\text{ V}$ のとき、 $I_{OL} = 3\text{ mA}$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5		–
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	nA	–
SID65	I_{IL}	入力リーク電流 (絶対値)	–	2	–		–
SID66	C_{IN}	入力静電容量	–	3	7		–
SID67 ^[4]	V_{HYSTTL}	入力ヒステリシス LVTTL	15	40	–	mV	$V_{DDD} \geq 2.7\text{ V}$
SID68 ^[4]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	–	–		$V_{DD} < 4.5\text{ V}$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	–	–		$V_{DD} > 4.5\text{ V}$
SID69 ^[4]	I_{DIODE}	保護ダイオードをとって V_{DD}/V_{SS} に流れる電流	–	–	100	μA	–
SID69A ^[4]	I_{TOT_GPIO}	ソースまたはシンク電流をチップ全体で合計した最大値	–	–	85	mA	–

注

3. V_{IH} は $V_{DDD} + 0.2\text{ V}$ を超えてはいけません。
 4. 特性評価で保証されています。

電氣的仕様

Table 7 GPIO の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロング モードでの立ち上がり時間	2	–	12	ns	3.3 V V_{DD} , Cload = 25 pF
SID71	T_{FALLF}	高速ストロング モードでの立ち下り時間	2	–	12		3.3 V V_{DD} , Cload = 25 pF
SID72	T_{RISES}	低速ストロング モードでの立ち上がり時間	10	–	60	ns	3.3 V V_{DD} , Cload = 25 pF
SID73	T_{FALLS}	低速ストロング モードでの立ち下り時間	10	–	60	ns	3.3 V V_{DD} , Cload = 25 pF
SID74	$F_{GPIOUT1}$	GPIO $F_{OUT\phi}$ $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 高速ストロング モード	–	–	16	MHz	90/10%, 負荷 25 pF, デューティ比 60/40
SID75	$F_{GPIOUT2}$	GPIO $F_{OUT\phi}$ $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 高速ストロング モード	–	–	16		90/10%, 負荷 25 pF, デューティ比 60/40
SID76	$F_{GPIOUT3}$	GPIO $F_{OUT\phi}$ $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 低速ストロング モード	–	–	7		90/10%, 負荷 25 pF, デューティ比 60/40
SID245	$F_{GPIOUT4}$	GPIO $F_{OUT\phi}$ $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 低速ストロング モード	–	–	3.5		90/10%, 負荷 25 pF, デューティ比 60/40
SID246	F_{GPIOIN}	GPIO 入力の動作周波数。 $1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	48		90/10% V_{IO}

6.2.2 XRES

Table 8 XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V_{IH}	入力電圧High閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS入力
SID78	V_{IL}	入力電圧Low閾値	–	–	$0.3 \times V_{DDD}$		
SID79	R_{PULLUP}	プルアップ抵抗	–	60	–	kΩ	–
SID80	C_{IN}	入力静電容量	–	3	7	pF	–
SID81 ^[5]	$V_{HYSXRES}$	入力電圧ヒステリシス	–	$0.05 \times V_{DD}$	–	mV	$V_{DD} > 4.5\text{ V}$ 時の標準ヒステリシス 電圧が200 mV

Table 9 XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ^[5]	$T_{RESETWIDTH}$	リセットパルス幅	1	–	–	μs	–
BID194 ^[5]	$T_{RESETWAKE}$	リセット解除時からの復帰時間	–	–	2.5	ms	–

注

5. 特性評価で保証されています。

電氣的仕様

6.3 アナログ ペリフェラル

6.3.1 CTB オペアンプ

Table 10 CTB オペアンプ仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I _{DD}	オペアンプ ブロック電流、負荷なし					
SID269	I _{DD_HI}	電力 = 高	–	1100	2070	μA	–
SID270	I _{DD_MED}	電力 = 中	–	550	950		–
SID271	I _{DD_LOW}	電力 = 低	–	150	350		–
	G _{BW}	負荷 = 20 pF、 0.1 mA、 V _{DDA} = 2.7 V					
SID272	G _{BW_HI}	電力 = 高	6	–	–	MHz	入力および出力は 0.2 V ~ V _{DDA} – 0.2 V
SID273	G _{BW_MED}	電力 = 中	3	–	–		入力および出力は 0.2 V ~ V _{DDA} – 0.2 V
SID274	G _{BW_LO}	電力 = 低	–	1	–		入力および出力は 0.2 V ~ V _{DDA} – 0.2 V
	I _{OUT_MAX}	V _{DDA} = 2.7 V、 電源電圧より 500 mV内側					
SID275	I _{OUT_MAX_HI}	電力 = 高	10	–	–	mA	出力は 0.5 V ~ V _{DDA} – 0.5 V
SID276	I _{OUT_MAX_MID}	電力 = 中	10	–	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
SID277	I _{OUT_MAX_LO}	電力 = 低	–	5	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
	I _{OUT}	V _{DDA} = 1.71 V、 電源電圧より 500 mV内側					
SID278	I _{OUT_MAX_HI}	電力 = 高	4	–	–	mA	出力は 0.5 V ~ V _{DDA} – 0.5 V
SID279	I _{OUT_MAX_MID}	電力 = 中	4	–	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
SID280	I _{OUT_MAX_LO}	電力 = 低	–	2	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
	I _{DD_Int}	オペアンプ ブロック電流、内部負荷					
SID269_I	I _{DD_HI_Int}	電力 = 高	–	1500	2300	μA	–
SID270_I	I _{DD_MED_Int}	電力 = 中	–	700	1200		–
	G _{BW}	V _{DDA} = 2.7 V					
SID272_I	G _{BW_HI_Int}	電力 = 高	8	–	–	MHz	出力は 0.25 V ~ V _{DDA} – 0.25 V

電氣的仕様

Table 10 CTB オペアンプ仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
		内部モード、外部モード両方のオペアンプの一般仕様					
SID281	V_{IN}	チャージポンプがオン、 $V_{DDA} = 2.7\text{ V}$	-0.05	-	$V_{DDA} - 0.2$	V	-
SID282	V_{CM}	チャージポンプがオン、 $V_{DDA} = 2.7\text{ V}$	-0.05	-	$V_{DDA} - 0.2$		-
SID283	V_{OUT_1}	電力 = 高、 $I_{load} = 10\text{ mA}$	0.5	-	$V_{DDA} - 0.5$	V	$V_{DD} = 2.7\text{ V}$
SID284	V_{OUT_2}	電力 = 高、 $I_{load} = 1\text{ mA}$	0.2	-	$V_{DDA} - 0.2$		$V_{DDA} = 2.7\text{ V}$
SID285	V_{OUT_3}	電力 = 中、 $I_{load} = 1\text{ mA}$	0.2	-	$V_{DDA} - 0.2$		$V_{DDA} = 2.7\text{ V}$
SID286	V_{OUT_4}	電力 = 低、 $I_{load} = 0.1\text{ mA}$	0.2	-	$V_{DDA} - 0.2$		$V_{DDA} = 2.7\text{ V}$
SID288	V_{OS_TR}	オフセット電圧 (トリム後)	-1.0	± 0.5	1.0	mV	高電力モード、 入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID288A	V_{OS_TR}	オフセット電圧 (トリム後)	-	± 1	-		中電力モード、 入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID288B	V_{OS_TR}	オフセット電圧 (トリム後)	-	± 2	-		低電力モード、 入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-10	± 3	10	$\mu\text{V/C}$	高電力モード
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-	± 10	-	$\mu\text{V/C}$	中電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-	± 10	-		低電力モード

電氣的仕様

Table 10 CTB オペアンプ仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID291	CMRR	DC	70	80	–	dB	入力は 0 V ~ $V_{\text{DDA}} - 0.2 \text{ V}$ 、 出力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$ 、 $V_{\text{DDA}} \geq 2.7 \text{ V}$
SID291A	CMRR2	DC	60	70	–		入力は 0 V ~ $V_{\text{DDA}} - 0.2 \text{ V}$ 、出力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$ 、 $1.71 \text{ V} \leq V_{\text{DDA}} < 2.7 \text{ V}$
SID292	PSRR	周波数 = 1 kHz、 リップル = 10 mV	70	85	–		$V_{\text{DDD}} = 3.6 \text{ V}$ 、高電 力モード、入力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
	ノイズ						
SID294	VN2	入力基準、1 kHz、 電力 = 高	–	72	–	nV/ rtHz	入力および出力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID295	VN3	入力基準、10 kHz、 電力 = 高	–	28	–		入力および出力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID296	VN4	入力基準、100 kHz、 電力 = 高	–	15	–		入力および出力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID297	C _{LOAD}	最大負荷まで安定。 50 pFで性能仕様を満 たす。	–	–	125	pF	–
SID298	SLEW_RATE	C _{LOAD} = 50 pF、電力 = 高、 $V_{\text{DDA}} = 2.7 \text{ V}$	6	–	–	V/ μs	–
SID299	T _{OP_WAKE}	無効から有効までの時 間。外付け RC無し	–	–	25	μs	–
SID299A	OL_GAIN	オープンループゲイン	–	90	–	dB	–
	COMP_ MODE	コンパレータ モード。50 mV駆動、 $T_{\text{rise}} = T_{\text{fall}}$ (おおよそ)					
SID300	T _{PD1}	応答時間; 電力 = 高	–	150	175	ns	入力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID301	T _{PD2}	応答時間; 電力 = 中	–	500	–		入力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID302	T _{PD3}	応答時間; 電力 = 低	–	2500	–		入力は $0.2 \text{ V} \sim V_{\text{DDA}} - 0.2 \text{ V}$
SID303	V _{HYST_OP}	ヒステリシス	–	10	–	mV	–

電氣的仕様

Table 10 CTB オペアンプ仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID304	WUP_CTB	有効状態から使用可能までの時間	–	–	25	μs	–
	オペアンプ ディープス リープモード	モード 2は最低電流範囲。モード 1はより高い GBWを持つ。					
SID_DS_1	I _{DD_HI_M1}	モード 1、高電流	–	1400	–	μA	–
SID_DS_2	I _{DD_MED_M1}	モード 1、中電流	–	700	–		–
SID_DS_3	I _{DD_LOW_M1}	モード 1、低電流	–	200	–		–
SID_DS_4	I _{DD_HI_M2}	モード 2、高電流	–	120	–	μA	–
SID_DS_5	I _{DD_MED_M2}	モード 2、中電流	–	60	–		–
SID_DS_6	I _{DD_LOW_M2}	モード 2、低電流	–	15	–		–
SID_DS_7	G _{BW_HI_M1}	モード 1、高電流	–	4	–	MHz	20 pF負荷、 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V
SID_DS_8	G _{BW_MED_M1}	モード 1、中電流	–	2	–		20 pF負荷、 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V
SID_DS_9	G _{BW_LOW_M1}	モード 1、低電流	–	0.5	–		20 pF負荷 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V
SID_DS_10	G _{BW_HI_M2}	モード 2、高電流	–	0.5	–		20 pF負荷 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V
SID_DS_11	G _{BW_MED_M2}	モード 2、中電流	–	0.2	–		20 pF負荷 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V
SID_DS_12	G _{BW_Low_M2}	モード 2、低電流	–	0.1	–		20 pF負荷 DC負荷無し 0.2 V ~ V _{DDA} – 0.2 V

電氣的仕様

Table 10 CTB オペアンプ仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_13	V _{OS_HI_M1}	モード 1、高電流	–	5	–	mV	トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_14	V _{OS_MED_M1}	モード 1、中電流	–	5	–		トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_15	V _{OS_LOW_M1}	モード 1、低電流	–	5	–		トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_16	V _{OS_HI_M2}	モード 2、高電流	–	5	–		トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_17	V _{OS_MED_M2}	モード 2、中電流	–	5	–		トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_18	V _{OS_LOW_M2}	モード 2、低電流	–	5	–		トリム有り、25°C、 0.2 V ~ V _{DDA} – 1.5 V
SID_DS_19	I _{OUT_HI_M1}	モード 1、高電流	–	10	–	mA	出力は 0.5 V ~ V _{DDA} – 0.5 V
SID_DS_20	I _{OUT_MED_M1}	モード 1、中電流	–	10	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
SID_DS_21	I _{OUT_LOW_M1}	モード 1、低電流	–	4	–		出力は 0.5 V ~ V _{DDA} – 0.5 V
SID_DS_22	I _{OUT_HI_M2}	モード 2、高電流	–	1	–		–
SID_DS_23	I _{OU_MED_M2}	モード 2、中電流	–	1	–		–
SID_DS_24	I _{OU_LOW_M2}	モード 2、低電流	–	0.5	–		–

6.3.2 PGA

Table 11 PGA 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
PGA ゲイン値	–	ゲイン値は 2, 4, 16, および 32	2	–	32	–	–
SID_PGA_1	PGA_ERR_1	低レンジ用のゲイン誤差。 ゲイン = 2	–	1	–	%	–
		中レンジ用のゲイン誤差。 ゲイン = 2	–	–	1.5	%	–
		高レンジ用のゲイン誤差。 ゲイン = 2	–	–	1.5	%	–
SID_PGA_2	PGA_ERR_2	低レンジ用のゲイン誤差。 ゲイン = 4	–	1	–	%	–
		中レンジ用のゲイン誤差。 ゲイン = 4	–	–	1.5	%	–
		高レンジ用のゲイン誤差。 ゲイン = 4	–	–	1.5	%	–
SID_PGA_3	PGA_ERR_3	低レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	–
		中レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	–
		高レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	–
SID_PGA_4	PGA_ERR_4	低レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	–
		中レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	–
		高レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	–

電氣的仕様

6.3.3 電圧DAC

Table 12 電圧 DAC 仕様

(VDAC の仕様は -20°C ~ 85°C で有効)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
13ビット DAC							
SID_DAC_1	INL_VDAC1	積分非直線性 (INL)	-6	-	5	LSB	-
SID_DAC_2	DNL_VDAC1	微分非直線性 (DNL)	-1	-	4		-
SID_DAC_3	VOUT_VDAC1	出力電圧範囲	0.2	-	$V_{DDA} - 0.2$	V	有効出力範囲は電源電圧より 200 LSB 内側。電源電圧より 200 mV内側のフルセトリング帯域幅
SID_DAC_4	ZSE_VDAC1	ゼロ スケール誤差 (入力が全ゼロの変換器の出力)	-	20	-	mV	ゼロ スケールはアナロググランドにあります
SID_DAC_5	GE_VDAC1	オフセットを除くフルスケール誤差	-	0.3	2	%	$V_{DDA} \geq 2.7 \text{ V}$, $V_{REF} = V_{DDA}/2$
SID_DAC_6	IDD_VDAC1	ブロック電流	-	1.8	-	mA	-
SID_DAC_7	PSRR_VDAC1	電源電圧変動除去比	-	50	-	dB	$2.7 \text{ V} < V_{DDA} \leq 5.5 \text{ V}$
SID_DAC_8	WUP_VDAC1	有効状態から使用可能までの時間	-	-	32	μs	$2.7 \text{ V} < V_{DDA} \leq 5.5 \text{ V}$
SID_DAC_8A	WUP_VDAC2	有効状態から使用可能までの時間	-	-	72	μs	$V_{DDA} \leq 2.7 \text{ V}$
SID_DAC_9	TS_VDAC1	DACの設定時間	-	-	2	μs	500 ksps動作、 $V_{DDA} \geq 2.7 \text{ V}$
SID_DAC_9A	TS_VDAC2	DACの設定時間	-	-	10	μs	100 ksps動作、 $V_{DDA} \leq 2.7 \text{ V}$

注

6. 特性評価で保証されています。

6.3.4 コンパレータ

Table 13 コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID84	V_{OFFSET1}	入力オフセット電圧 (工場出荷時トリム)	–	–	± 10	mV	–
SID85	V_{OFFSET2}	入力オフセット電圧 (カスタムトリム)	–	–	± 4		–
SID86	V_{HYST}	有効時のヒステリシス	–	10	35		–
SID87	V_{ICM1}	通常モードでの入力 同相電圧	0	–	$V_{\text{DDD}} - 0.1$	V	モード 1 および モード 2
SID247	V_{ICM2}	低電力モードでの入 力同相電圧	0	–	V_{DDD}		–
SID247A	V_{ICM3}	超低電力モードでの 入力同相電圧	0	–	$V_{\text{DDD}} - 1.15$		温度 $< 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 2.2\text{ V}$ 、 温度 $> 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 1.8\text{ V}$
SID88	C_{MRR}	同相信号除去比	50	–	–	dB	$V_{\text{DDD}} \geq 2.7\text{ V}$
SID88A	C_{MRR}	同相信号除去比	42	–	–		$V_{\text{DDD}} \leq 2.7\text{ V}$
SID89	I_{CMP1}	通常モードでのブ ロック電流	–	–	400	μA	–
SID248	I_{CMP2}	低電力モードでのブ ロック電流	–	–	100		–
SID259	I_{CMP3}	超低電力モードでの ブロック電流	–	–	28		温度 $< 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 2.2\text{ V}$ 、 温度 $> 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 1.8\text{ V}$
SID90	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	M Ω	–

Table 14 コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	TRESP1	通常モードでの応答時 間、 50 mV オーバードライ ブ	–	38	110	ns	すべての V_{DD}
SID258	TRESP2	低電力モードでの応答 時間、 50 mV オーバードライ ブ	–	70	200		–
SID92	TRESP3	超低電力モードでの応 答時間、 200 mV オーバードライ ブ	–	2.3	15	μs	温度 $< 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 2.2\text{ V}$ 、 温度 $> 0^{\circ}\text{C}$ の場合 $V_{\text{DDD}} \geq 1.8\text{ V}$

6.3.5 温度センサー

Table 15 温度センサー仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	TSENSACC	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

6.3.6 SAR

Table 16 SAR 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SAR ADCの DC仕様							
SID94	A_RES	分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャンネル数 - シングル エンド	–	–	8		8本のフルスピー ド チャンネル
SID96	A-CHNKS_D	チャンネル数 - 差動	–	–	4		–
SID97	A-MONO	単調増加性	–	–	–		有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス 電圧有り
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1Vリファレンス 電圧で測定
SID100	A_ISAR	消費電流	–	–	1	mA	–
SID101	A_VINS	入力電圧範囲 - シング ルエンド	V _{SS}	–	V _{DDA}	V	–
SID102	A_VIND	入力電圧範囲 - 差動	V _{SS}	–	V _{DDA}	V	–
SID103	A_INRES	入力抵抗	–	–	2.2	KΩ	–
SID104	A_INCAP	入力静電容量	–	–	10	pF	–
SID260	VREFSAR	SAR用のトリミング された内部リファレ ンス電圧	–	–	未定	V	–
SAR ADCの AC仕様							
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	–
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1 Vで測定
SID108	A_SAMP	サンプル レート	–	–	1	Msp/s	–
SID109	A_SNR	信号対ノイズおよび 歪み比 (SINAD)	65	–	–	dB	F _{IN} = 10 kHz
SID110	A_BW	エイリアシングが発 生しない入力帯域幅	–	–	A _{samp} /2	kHz	–
SID111	A_INL	積分非直線性。 V _{DD} = 1.71 V ~ 5.5 V、 1 Msp/s	–1.7	–	2	LSB	V _{REF} = 1 ~ V _{DD}
SID111A	A_INL	積分非直線性。 V _{DDD} = 1.71 V ~ 3.6 V、 1 Msp/s	–1.5	–	1.7	LSB	V _{REF} = 1.71 ~ V _{DD}
SID111B	A_INL	積分非直線性。 V _{DD} = 1.71 V ~ 5.5 V、 500 ksp/s	–1.5	–	1.7	LSB	V _{REF} = 1 ~ V _{DD}
SID112	A_DNL	微分非直線性。 V _{DD} = 1.71 V ~ 5.5 V、 1 Msp/s	–1	–	2.2	LSB	V _{REF} = 1 ~ V _{DD}
SID112A	A_DNL	微分非直線性。 V _{DD} = 1.71 V ~ 3.6 V、 1 Msp/s	–1	–	2	LSB	V _{REF} = 1.71 to V _{DD}

電氣的仕様

Table 16 SAR 仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID112B	A_DNL	微分非直線性。 $V_{DD} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 500 ksps	-1	-	2.2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID113	A_THD	全高調波歪み	-	-	-65	dB	$F_{IN} = 10\text{ kHz}$
SID261	FSARINTREF	外部リファレンスバイパス無しのSAR動作速度	-	-	100n	ksps	12ビット分解能

電氣的仕様

6.3.7 CAPSENSE™ および IDAC

Table 17 CAPSENSE™ および IDAC 仕様^[7]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SYS.PER#3	VDD_RIPPLE	10 MHzでのDC電源の最大許容リップル	-	-	±50	mV	$V_{DD} > 2V$ (リップル有り)、 $T_A = 25^\circ C$ 、感度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	10 MHzでのDC電源の最大許容リップル	-	-	±25	mV	$V_{DD} > 1.75V$ (リップル有り)、 $T_A = 25^\circ C$ 、寄生容量(CP) < 20 pF、感度 ≥ 0.4 pF
SID.CSD.BLK	ICSD	最大ブロック電流	-	-	4000	μA	-
SID.CSD#15	VREF	CSDおよびコンパレータ用のリファレンス電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6V$ または 4.4 V (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSDおよびコンパレータ用の外部リファレンス電圧	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6V$ または 4.4 V (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7ビット) ブロック電流	-	-	1750	μA	-
SID.CSD#17	IDAC2IDD	IDAC2 (7ビット) ブロック電流	-	-	1750	μA	-
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	1.8 V ± 5% または 1.8 V ~ 5.5 V
SID308A	VCOMPIDAC	IDACの最大電圧範囲	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6V$ または 4.4 V (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	-
SID310	IDAC1INL	INL	-3	-	3	LSB	-
SID311	IDAC2DNL	DNL	-1	-	1.0	LSB	-
SID312	IDAC2INL	INL	-3	-	3	LSB	-
SID313	SNR	指の信号とノイズのカウント比。特性評価で保証	5.0	-	-	Ratio	静電容量範囲が 5 pF ~ 200 pF、感度 = 0.1 pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC7_SRC1	低レンジでの 7 ビット IDAC の最大ソース電流	4.2	-	5.4	μA	LSB = 37.5 nA (Typ)

注

7. 最適な CAPSENSE™ 性能のためには、ポート 0, 4, および 5 は大きい DC 負荷に使用する必要があります。

電氣的仕様

Table 17 CAPSENSE™ および IDAC 仕様^[7] (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID314A	IDAC7_SRC2	中レンジでの 7 ビット IDAC の最大ソース電流	34	–	41	μA	LSB = 300 nA (Typ)
SID314B	IDAC7_SRC3	高レンジでの 7 ビット IDAC の最大ソース電流	275	–	330	μA	LSB = 2.4 μA (Typ)
SID314C	IDAC7_SRC4	低レンジでの 7 ビット IDAC の最大ソース電流, 2X モード	8	–	10.5	μA	LSB = 37.5 nA (Typ)。2X モード時の出力
SID314D	IDAC7_SRC5	中レンジでの 7 ビット IDAC の最大ソース電流, 2X モード	69	–	82	μA	LSB = 300 nA (Typ)。2X モード時の出力
SID314E	IDAC7_SRC6	高レンジでの 7 ビット IDAC の最大ソース電流, 2X モード	540	–	660	μA	LSB = 2.4 μA (Typ) 2X モード時の出力
SID315	IDAC7_SINK_1	低レンジでの 7 ビット IDAC の最大シンク電流	4.2	–	5.7	μA	LSB = 37.5 nA (Typ)
SID315A	IDAC7_SINK_2	中レンジでの 7 ビット IDAC の最大シンク電流	34	–	44	μA	LSB = 300 nA (Typ)
SID315B	IDAC7_SINK_3	高レンジでの 7 ビット IDAC の最大シンク電流	260	–	340	μA	LSB = 2.4 μA (Typ)
SID315C	IDAC7_SINK_4	低レンジでの 7 ビット IDAC の最大シンク電流, 2X モード	8	–	11.5	μA	LSB = 37.5 nA (Typ) 2X モード時の出力
SID315D	IDAC7_SINK_5	中レンジでの 7 ビット IDAC の最大シンク電流, 2X モード	68	–	86	μA	LSB = 300 nA (Typ) 2X モード時の出力
SID315E	IDAC7_SINK_6	高レンジでの 7 ビット IDAC の最大シンク電流, 2X モード	540	–	700	μA	LSB = 2.4 μA (Typ) 2X モード時の出力
SID315F	IDAC8_SRC_1	低レンジでの 8 ビット IDAC の最大ソース電流	8.4	–	10.8	μA	LSB = 37.5 nA (Typ)
SID315G	IDAC8_SRC_2	中レンジでの 8 ビット IDAC の最大ソース電流	68	–	82	μA	LSB = 300 nA (Typ)

注

7. 最適な CAPSENSE™ 性能のためには、ポート 0, 4, および 5 は大きい DC 負荷に使用する必要があります。

電氣的仕様

Table 17 CAPSENSE™ および IDAC 仕様^[7] (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID315H	IDAC8_SRC_3	高レンジでの8ビット IDACの最大ソース電流	550	–	680	μA	LSB = 2.4 μA (Typ)
SID315J	IDAC8_SINK_1	低レンジでの8ビット IDACの最大シンク電流	8.4	–	11.4	μA	LSB = 37.5 nA (Typ)
SID315K	IDAC8_SINK_2	中レンジでの8ビット IDACの最大シンク電流	68	–	88	μA	LSB = 300 nA (Typ)
SID315L	IDAC8_SINK_3	高レンジでの8ビット IDACの最大シンク電流	540	–	670	μA	LSB = 2.4 μA (Typ)
SID320	IDACOFFSET1	すべてゼロ入力。中レンジと高レンジ	–	–	1	LSB	極性はソースまたはシンク電流により設定
SID320A	IDACOFFSET2	すべてゼロ入力。低レンジ	–	–	2	LSB	極性はソースまたはシンク電流により設定
SID321	IDACGAIN	オフセットを除くフルスケール誤差	–	–	±20	%	
SID322	IDACMISMATCH1	低電力モードでのIDAC1とIDAC2の不整合	–	–	9.2	LSB	LSB = 37.5 nA (Typ)
SID322A	IDACMISMATCH2	中電力モードでのIDAC1とIDAC2の不整合	–	–	6	LSB	LSB = 300 nA (Typ)
SID322B	IDACMISMATCH3	高電力モードでのIDAC1とIDAC2の不整合	–	–	6.8	LSB	LSB = 2.4 μA (Typ)
SID323	IDACSET8	8ビット IDACの0.5 LSBに達するまでの整定時間	–	–	10	μs	フルスケール遷移。外部負荷無し
SID324	IDACSET7	7ビット IDACの0.5 LSBに達するまでの整定時間	–	–	10	μs	フルスケール遷移。外部負荷無し
SID325	CMOD	外部モジュレータコンデンサ	–	2.2	–	nF	5V定格、X7RまたはNP0コンデンサ

注

7. 最適な CAPSENSE™ 性能のためには、ポート 0, 4, および 5 は大きい DC 負荷に使用する必要があります。

電氣的仕様

Table 18 10 ビット CAPSENSE™ ADC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	–	–	10	ビット	8本のフルスピードチャンネル
SID95	A_CHNLS_S	チャンネル数 - シングルエンド	–	–	16		差動チャンネルの入力は隣接するI/Oを使用
SIDA97	A-MONO	単調増加性	–	–	–	Yes	有
SIDA98	A_GAINERR	ゲイン誤差	–	–	未定	%	外部リファレンス電圧有り
SIDA99	A_OFFSET	入力オフセット電圧	–	–	未定	mV	1Vリファレンス電圧で測定
SIDA100	A_ISAR	消費電流	–	–	未定	mA	–
SIDA101	A_VINS	入力電圧範囲 - シングルエンド	V_{SSA}	–	V_{DDA}	V	–
SIDA103	A_INRES	入力抵抗	–	2.2	–	K Ω	–
SIDA104	A_INCAP	入力静電容量	–	20	–	pF	–
SIDA106	A_PSR	電源電圧変動除去比	未定	–	–	dB	–
SIDA107	A_TACQ	サンプル取得時間	–	1	–	μ s	–
SIDA108	A_CONV8	変換速度 = $F_{HCLK}/(2^{(N+2)})$ での 8ビット分解能の変換時間。クロック周波数 = 48 MHz	–	–	21.3	μ s	取得時間を含まない。取得時間を含めると 44.8 ksps に相当
SIDA108A	A_CONV10	変換速度 = $F_{HCLK}/(2^{(N+2)})$ での 10ビット分解能の変換時間。クロック周波数 = 48 MHz	–	–	85.3	μ s	取得時間を含まない。取得時間を含めると 11.6 ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	未定	–	–	dB	–
SIDA110	A_BW	エイリアシングが発生しない入力帯域幅	–	–	22.4	kHz	8ビット分解能
SIDA111	A_INL	積分非直線性。 $V_{DD} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 1 ksps	–	–	2	LSB	$V_{REF} = 2.4\text{ V}$ 以上
SIDA112	A_DNL	微分非直線性。 $V_{DD} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 1 ksps	–	–	1	LSB	–

6.4 デジタル ペリフェラル

6.4.1 タイマー/カウンタ/パルス幅変調器 (TCPWM)

Table 19 TCPWM 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3 MHzでのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12 MHzでのブロック消費電流	–	–	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48 MHzでのブロック消費電流	–	–	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	Fc	MHz	Fc max = CLK_SYS Maximum = 48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガー パルス幅	2/Fc	–	–	ns	すべてのトリガー イベント ^[8]
SID.TCPWM.5	TPWM _{EXT}	出力トリガー パルス幅	2/Fc	–	–		オーバーフロー, アンダーフロー, およびCC (カウンタ = 比較値) 出力の最小値
SID.TCPWM.5A	TC _{RES}	カウンタの分解能	1/Fc	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM分解能	1/Fc	–	–		PWM出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/Fc	–	–		直交位相入力同士間の最小パルス幅

注

8. 選択した動作モードによって、トリガーイベントは停止, 開始, リロード, カウント, キャプチャ, またはキルのいずれかです。

6.4.2 I²C

Table 20 固定 I²C の DC 仕様^[9]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I2C1}	100 kHzでのブロック消費電流	–	–	50	μA	–
SID150	I _{I2C2}	400 kHzでのブロック消費電流	–	–	135		–
SID151	I _{I2C3}	1 Mbpsでのブロック消費電流	–	–	310		–
SID152	I _{I2C4}	I ² Cがディープスリープモードで有効の場合	–	–	1.4		–

Table 21 固定 I²C の AC 仕様^[9]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I2C1}	ビットレート	–	–	1	Mbps	–

注

9. 特性評価で保証されています。

6.4.3 SPI

Table 22 SPI の DC 仕様^[10]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	ISPI1	1 Mビット/秒でのブ ロック消費電流	–	–	360	μA	–
SID164	ISPI2	4 Mビット/秒でのブ ロック消費電流	–	–	560		–
SID165	ISPI3	8 Mビット/秒でのブ ロック消費電流	–	–	600		–

Table 23 SPI の AC 仕様^[10]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI動作周波数 (マ スター; 6X オーバ ーサンプリング)	–	–	8	MHz	SID166

固定 SPI マスター モードの AC 仕様

SID167	TDMO	SClock 駆動エッジか ら MOSI が有効にな るまでの時間	–	–	15	ns	–
SID168	TDSI	SClock キャプチャ エッジ前の MISO 有 効時間	20	–	–		フル クロック、 MISO の遅いサン プリング
SID169	THMO	直前の MOSI データ ホールド時間	0	–	–		スレーブ キャプ チャ エッジを基 準とする

固定 SPI スレーブ モードの AC 仕様

SID170	TDMI	Sclock キャプチャ エッジ前の MOSI 有 効時間	40	–	–	ns	–
SID171	TDSO	Sclock 駆動エッジか ら MISO が有効にな るまでの時間	–	–	$42 + 3 \times T_{scb}$		T_{scb} = SCB クロッ ク
SID171A	TDSO_EXT	外部クロックモード で Sclock 駆動エッ ジから MISO が有効 になるまでの時間	–	–	48		–
SID172	THSO	直前の MISO データ ホールド時間	0	–	–		–

注

10. 特性評価で保証されています。

6.4.4 UART

Table 24 UART の DC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I _{UART1}	100 Kビット/秒でのブロック消費電流	–	–	55	μA	–
SID161	I _{UART2}	1000 Kビット/秒でのブロック消費電流	–	–	312	μA	–

Table 25 UART の AC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F _{UART}	Bit rate	–	–	1	Mbps	–

6.4.5 LCD

Table 26 LCD 直接駆動の DC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I _{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	Hzでの16×4の小さいセグメントディスプレイ
SID155	C _{LDCAP}	セグメント/コモンドライバ当たりのLCD静電容量	–	500	5000	pF	–
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	–
SID157	I _{LCDOP1}	LCDシステム動作電流。 V _{bias} = 5 V	–	2	–	mA	32×4セグメント、 50 Hz, 25°C
SID158	I _{LCDOP2}	LCDシステム動作電流。 V _{bias} = 3.3 V	–	2	–		32×4セグメント、 50 Hz, 25°C。 4セグメント、 50 Hz, 25°C

Table 27 LCD 直接駆動の AC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F _{LCD}	LCDフレーム レート	10	50	150	Hz	–

注

11.特性評価で保証されています。

6.5 メモリ

6.5.1 フラッシュ

Table 28 フラッシュの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	–

Table 29 フラッシュの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE} ^[12]	行 (block) 書き込み時間 (消去 + プログラム)	–	–	20	ms	行 (ブロック) = 64 バイト
SID175	T _{ROWERASE} ^[12]	行消去時間	–	–	13		–
SID176	T _{ROWPROGRAM} ^[12]	消去後の行プログラム時間	–	–	7		–
SID178	T _{BULKERASE} ^[12]	バルク消去時間 (16 KB)	–	–	15		–
SID180 ^[13]	T _{DEVPROG} ^[12]	総デバイス プログラム時間	–	–	7.5	秒	–
SID181 ^[13]	F _{END}	フラッシュ アクセス可能回数	100K	–	–	サイクル	–
SID182 ^[13]	F _{RET}	フラッシュのデータ保持期間 T _A ≤ 55°C, プログラム/消去サイクル = 10万回	20	–	–	年	–
SID182A ^[13]	–	フラッシュのデータ保持期間 T _A ≤ 85°C, プログラム/消去サイクル = 1万回	10	–	–		–
SID182B ^[13]	F _{RETQ}	フラッシュのデータ保持期間 T _A ≤ 105°C, プログラム/消去サイクル = 1万回 T _A ≥ 85°C, ≤ 3年	10	–	–		特性評価で保証
SID256	TWS48	48 MHzでのウェイトステート数	2	–	–		CPUはフラッシュから実行
SID257	TWS24	24 MHzでのウェイトステート数	1	–	–		CPUはフラッシュから実行

注

12. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことは保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにならないことを確認してください。

13. 特性評価で保証されています。

電氣的仕様

6.6 システム リソース

6.6.1 パワーオンリセット (POR)

Table 30 POR

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#6	SR_POWER_UP	電源電圧スループレート	1	–	67	V/ms	電源投入時および電源切断時
SID185 ^[14]	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	–	1.5	V	–
SID186 ^[14]	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	–	1.4		–

Table 31 V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 ^[14]	V _{FALLPPOR}	アクティブモードとスリープモードでのBODトリップ電圧	1.48	–	1.62	V	–
SID192 ^[14]	V _{FALLDPSLP}	ディープスリープモードでのBODトリップ電圧	1.1	–	1.5		–

6.6.2 SWD インターフェース

Table 32 SWD インターフェース仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCLKはCPUクロック周波数の1/3以下
SID214	F_SWDCCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	–	–	7		SWDCLKはCPUクロック周波数の1/3以下
SID215 ^[14]	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	–	–	ns	–
SID216 ^[14]	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	–	–		–
SID217 ^[14]	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	–	–	$0.5 \times T$		–
SID217A ^[14]	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	–	–		–

注

14.特性評価で保証されています。

6.6.3 内部主発振器 (IMO)

Table 33 IMO の DC 仕様

(設計評価上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I_{IMO1}	48 MHzでのIMO動作電流	–	–	250	μA	–
SID219	I_{IMO2}	24 MHzでのIMO動作電流	–	–	180	μA	–

Table 34 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	$F_{IMOTOL1}$	24 MHz ~ 48 MHzの周波数範囲 (4-MHzのステップでインクリメント)	–2	–	+2	%	$2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ および $-25^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$
SID226	$T_{STARTIMO}$	IMO起動時間	–	–	7	μs	–
SID228	$T_{JITRMSIMO2}$	24 MHzでのRMSジッタ	–	145	–	ps	–

6.6.4 内部低速発振器 (ILO)

Table 35 ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 ^[15]	I_{ILO1}	ILO動作電流	–	0.3	1.05	μA	–

Table 36 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 ^[15]	$T_{STARTILO1}$	ILO起動時間	–	–	2	ms	–
SID236 ^[15]	$T_{ILODUTY}$	ILOデューティ比	40	50	60	%	–
SID237	$F_{ILOTRIM1}$	ILO周波数範囲	20	40	80	kHz	–

注

15.特性評価で保証されています。

6.6.5 時計用水晶発振器 (WCO)

Table 37 時計用水晶発振器 (WCO) 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID398	FWCO	水晶発振器周波数	–	32.768	–	kHz	–
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20 ppmの水晶
SID400	ESR	等価直列抵抗	–	50	–	kΩ	–
SID401	PD	駆動レベル	–	–	1	μW	–
SID402	TSTART	起動時間	–	–	500	ms	–
SID403	CL	水晶の負荷容量	6	–	12.5	pF	–
SID404	C0	水晶の並列容量	–	1.35	–	pF	–
SID405	IWCO1	動作電流 (高電力モード)	–	–	8	μA	–

6.6.6 外部クロック

Table 38 外部クロックの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 ^[15]	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ^[15]	ExtClkDuty	デューティ比。V _{DD/2} で測定	45	–	55	%	–

6.6.7 ブロック

Table 39 ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 ^[16]	T _{CLKSWITCH}	システムクロックソースの切り替え時間	3	–	4	周期	–

6.6.8 PRGIO パススルー時間

Table 40 PRGIO パススルー時間 (バイパスモードでの遅延時間)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID252	PRG_BYPASS	バイパスモードでのPRGIOによる最大遅延時間	–	–	1.6	ns	–

注

16.特性評価で保証されています。

7 注文情報

Table 41 注文情報

カテゴリ	MPN	特長														パッケージ				温度範囲 (°C)		
		CPU最大速度(MHz)	DMA	フラッシュ (KB)	SRAM (KB)	13ビット VDAC	オペアンプ (CTB)	CAPSENSE™	10ビット CSD ADC	LCD直接駆動	RTC	12ビット SAR ADC	LPコンパレータ	TCPWMブロック	SCBブロック	Smart I/O	GPIO	28ピン SSOP	45ボール WLCSP		48ピン TQFP	48ピン QFN
4125	CY8C4125PVI-PS421	24	✓	32	4	2	4	-	✓	✓	✓	806 ksp/s	2	8	2	8	20	✓	-	-	-	-40 ~ 85
	CY8C4125FNI-PS423	24	✓	32	4	2	4	-	✓	✓	✓	806 ksp/s	2	8	2	8	37	-	✓	-	-	
	CY8C4125AZI-PS423	24	✓	32	4	2	4	-	✓	✓	✓	806 ksp/s	2	8	2	8	38	-	-	✓	-	
	CY8C4125LQI-PS423	24	✓	32	4	2	4	-	✓	✓	✓	806 ksp/s	2	8	2	8	38	-	-	-	✓	
4145	CY8C4145PVI-PS421	48	✓	32	4	2	4	-	✓	✓	✓	1000 ksp/s	2	8	2	8	20	✓	-	-	-	-40 ~ 105
	CY8C4145FNI-PS423	48	✓	32	4	2	4	-	✓	✓	✓	1000 ksp/s	2	8	2	8	37	-	✓	-	-	
	CY8C4145FNQ-PS423	48	✓	32	4	2	4	-	✓	✓	✓	1000 ksp/s	2	8	2	8	37	-	✓	-	-	
	CY8C4145AZI-PS423	48	✓	32	4	2	4	-	✓	✓	✓	1000 ksp/s	2	8	2	8	38	-	-	✓	-	-40 ~ 85
	CY8C4145LQI-PS423	48	✓	32	4	2	4	-	✓	✓	✓	1000 ksp/s	2	8	2	8	38	-	-	-	✓	
	CY8C4145PVI-PS431	48	✓	32	4	2	4	✓	✓	✓	✓	1000 ksp/s	2	8	3	8	20	✓	-	-	-	
	CY8C4145FNI-PS433	48	✓	32	4	2	4	✓	✓	✓	✓	1000 ksp/s	2	8	3	8	37	-	✓	-	-	-40 ~ 105
	CY8C4145FNQ-PS433	48	✓	32	4	2	4	✓	✓	✓	✓	1000 ksp/s	2	8	3	8	37	-	✓	-	-	
	CY8C4145AZI-PS433	48	✓	32	4	2	4	✓	✓	✓	✓	1000 ksp/s	2	8	3	8	38	-	-	✓	-	
CY8C4145LQI-PS433	48	✓	32	4	2	4	✓	✓	✓	✓	1000 ksp/s	2	8	3	8	38	-	-	-	✓	-40 ~ 85	

注文情報

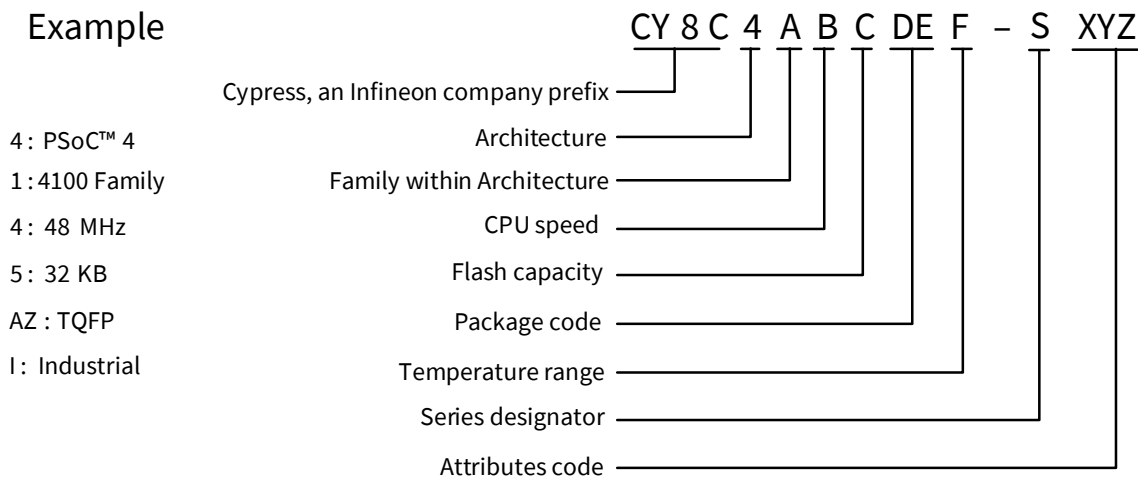
上記の表に使用される命名法は次の製品番号の命名規則に基づいています。

Table 42 命名法

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	Arm® Cortex®-M0+ CPU
A	ファミリ	1	4100PS ファミリ
B	最大周波数	2	24 MHz
		4	48 MHz
C	フラッシュメモリ容量	5	32 KB
DE	パッケージコード	AZ	TQFP (0.5 mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
S	シリーズ指示子	PS	Sシリーズ
F	温度範囲	I	産業用
		Q	拡張産業用
XYZ	属性コード	000~999	特定ファミリ向け機能セットコード

製品番号の例は次のとおりです。

Example



8 パッケージ

Table 43 パッケージ詳細

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	48ピン TQFP	7 × 7 × 1.4 mm A48	51-85135
BID27	48ピン QFN	6 × 6 × 0.6 mm LR48A/LQ48A 4.6 × 4.6 E-Pad (Sawn)	001-57280
BID34	45ボール WLCSP	1.986 × 3.691 × 0.482 mm FN45B	002-24003
BID34A	28ピン SSOP	10.2 × 5.3 × 2.0 mm SP28	51-85079

Table 44 パッケージ熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位
T _A	動作周囲温度	–	–40	25	105	°C
T _J	動作接合部温度	–	–40	–	125	°C
T _{JA}	パッケージ θ _{JA}	48ピン TQFP	–	71	–	°C/W
T _{JC}	パッケージ θ _{JC}	48ピン TQFP	–	34.3	–	°C/W
T _{JA}	パッケージ θ _{JA}	48ピン QFN	–	18	–	°C/W
T _{JC}	パッケージ θ _{JC}	48ピン QFN	–	4.5	–	°C/W
T _{JA}	パッケージ θ _{JA}	45ボール WLCSP	–	37.2	–	°C/W
T _{JC}	パッケージ θ _{JC}	45ボール WLCSP	–	0.31	–	°C/W
T _{JA}	パッケージ θ _{JA}	28ピン SSOP	–	60	–	°C/W
T _{JC}	パッケージ θ _{JC}	28ピン SSOP	–	25	–	°C/W

Table 45 はんだリフローピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

Table 46 パッケージの湿度感度レベル (MSL), IPC/JEDEC J-STD-020

パッケージ	MSL
すべて	MSL 3

8.1 パッケージ図

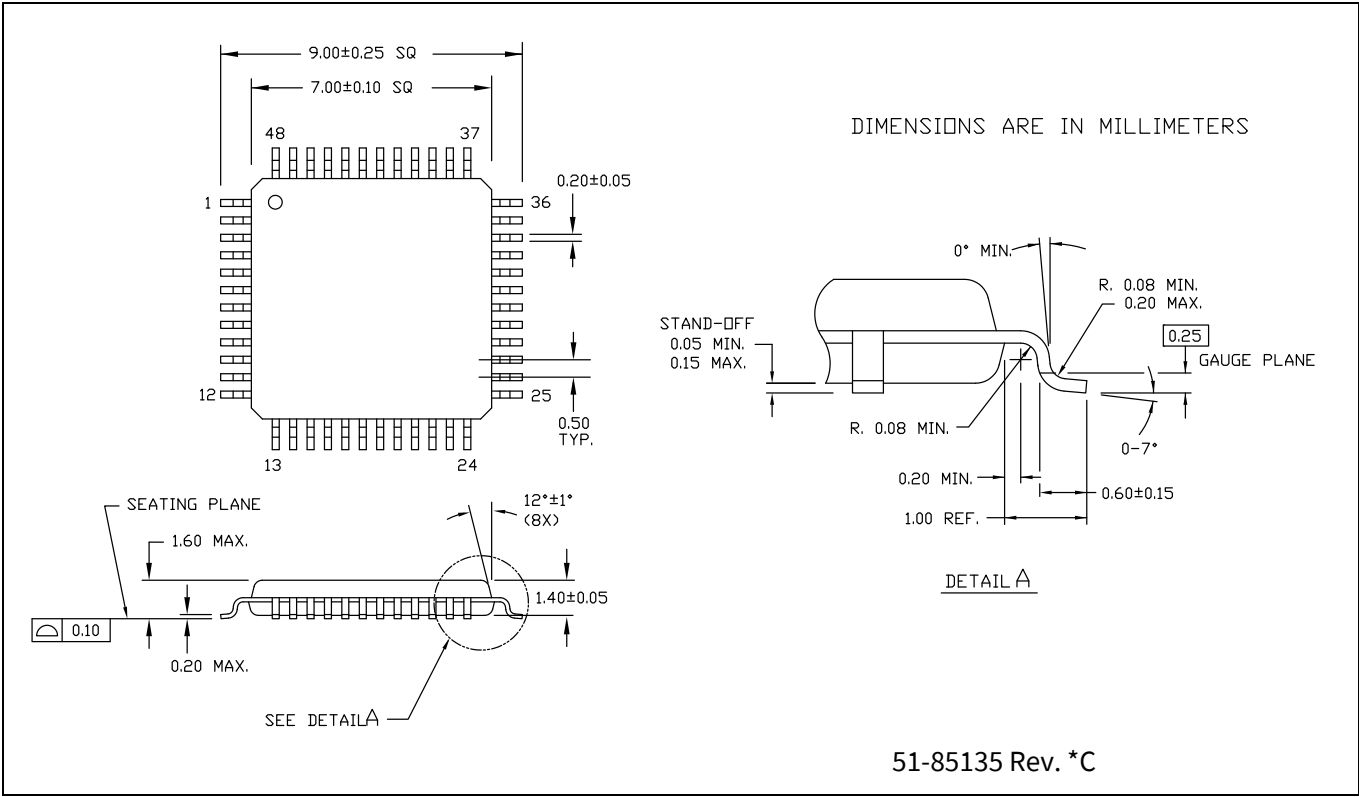
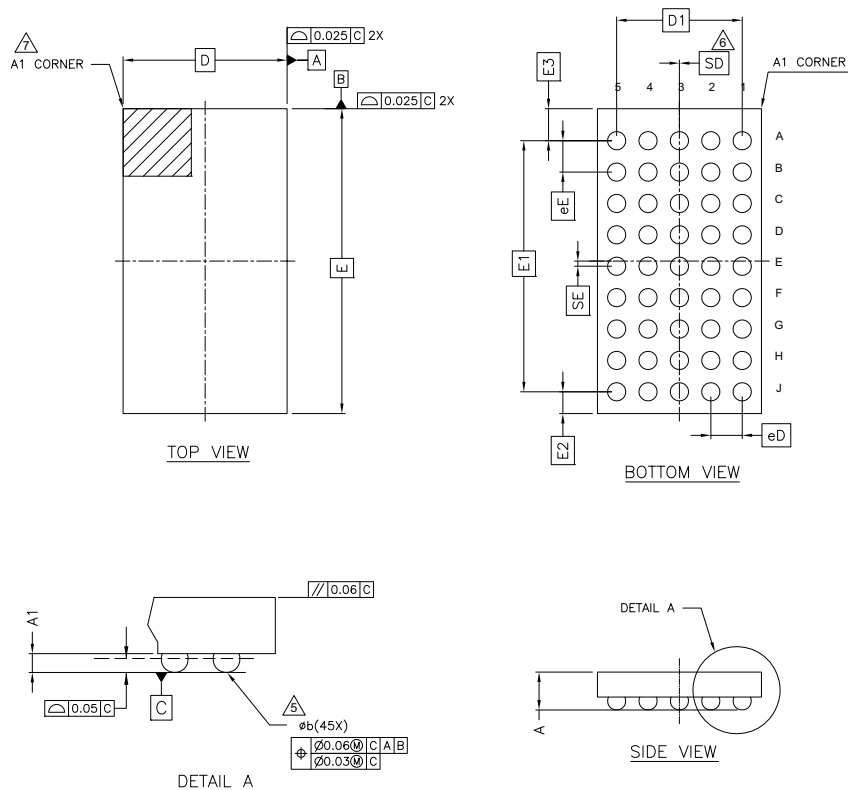


Figure 7 48 ピン TQFP (7 × 7 × 1.4 mm) A48 パッケージ外形図 (PG-TQFP-48), 51-85135



SYMBOL	DIMENSIONS		
	MIN	NOM	MAX
A	-	-	0.482
A1	0.141	-	-
D	1.986 BSC		
E	3.691 BSC		
D1	1.52 BSC		
E1	3.04 BSC		
E2	0.263 BSC		
E3	0.388 BSC		
MD	5		
ME	9		
N	45		
Øb	0.19	0.22	0.25
eD	0.38 BSC		
eE	0.38 BSC		
SD	0.00 BSC		
SE	0.063 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF.: N/A.

002-24003 Rev. **

Figure 9 45 ボール WLCSP (1.986 × 3.691 × 0.482 mm) FN45B パッケージ外形図 (SG-XFWLB-45), 002-24003

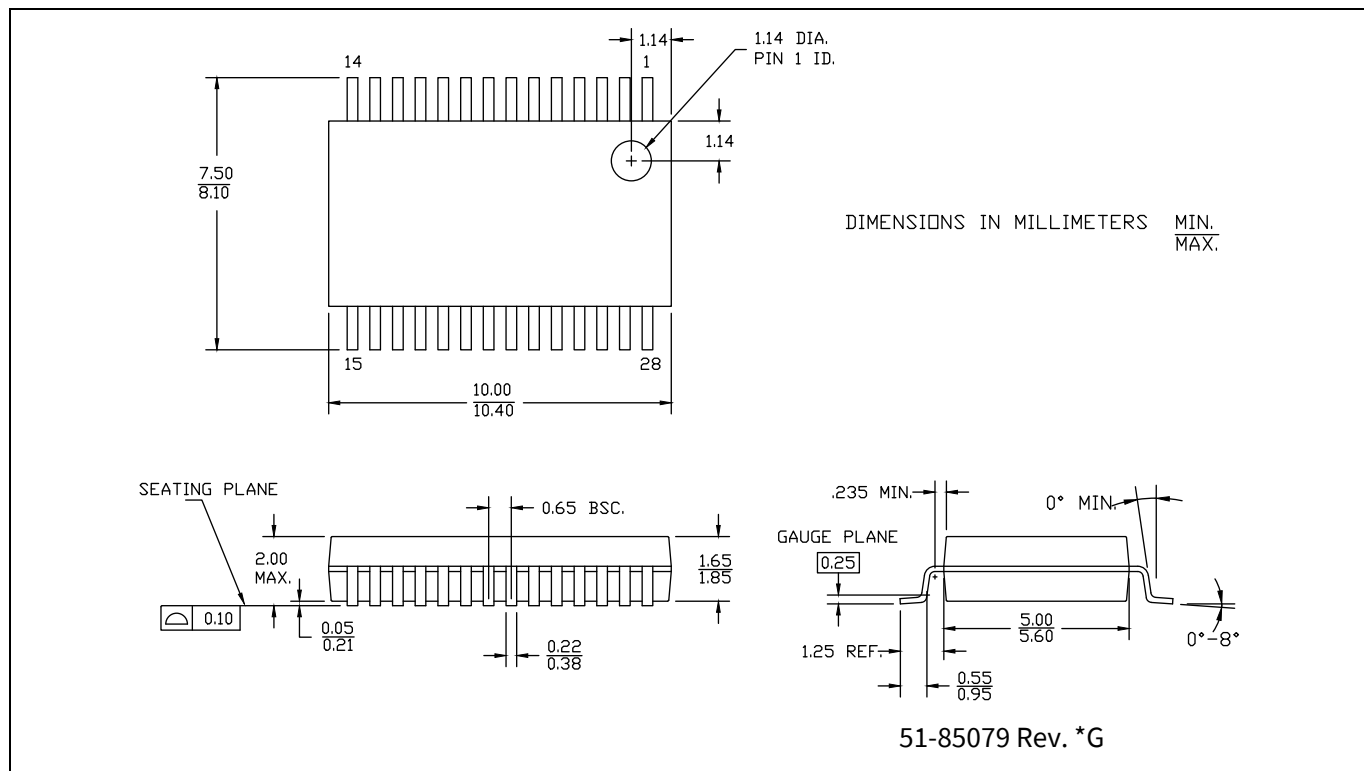


Figure 10 28 ピン SSOP (10.2 × 5.3 × 2.0 mm) SP28 パッケージ外形図 (PG-SSOP-28), 51-85079

9 略語

Table 47 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ-デジタル コンバータ)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)。Arm® データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度なRISCマシン)、CPUアーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)。通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check, an error-checking protocol (巡回冗長検査)。エラーチェック プロトコルの一種
DAC	digital-to-analog converter (デジタル-アナログ コンバータ)。IDAC、VDACを参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)。アナログなし、デジタル機能のみを持つGPIO。GPIOを参照してください
DMIPS	Dhrystone million instructions per second (ドラystone 100万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TDを参照してください
DNL	differential (微分非直線性)。INLを参照してください
DNU	do not use (使用禁止)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データウォッチポイントおよびトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)

略語

Table 47 本書で使用する略語 (continued)

略語	説明
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電寄付電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIRを参照してください
FPB	flash patch and breakpoint (フラッシュパッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)。PSoCピンに適用
HVI	high-voltage interrupt (高電圧割込み)。LVI、LVDを参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流DAC)。DAC、VDACを参照してください
IDE	integrated development environment (統合開発環境)
I ² C, or IIC	Inter-Integrated Circuit (インターインテグレートッド サーキット)。通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIRを参照してください
ILO	internal low-speed oscillator (内部低速発振器)。IMOを参照してください
IMO	internal main oscillator (内部主発振器)。ILOを参照してください
INL	integral nonlinearity (積分非直線性)。DNLを参照してください
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIOを参照してください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	Local Interconnect Network (ローカル インターコネクト ネットワーク)。通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVIを参照してください
LVI	low-voltage interrupt (低電圧割込み)。HVIを参照してください
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)

略語

Table 47 本書で使用する略語 (continued)

略語	説明
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。WOLを参照してください
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブル アレイ ロジック)。PLDを参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス)。PALを参照してください
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC™	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ/連続時間)
SCL	I ² C serial clock (I ² Cシリアル クロック)
SDA	I ² C serial data (I ² Cシリアル データ)
S/H	sample and hold (サンプル/ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)

略語

Table 47 本書で使用する略語 (continued)

略語	説明
SIO	special input/output (特殊入出力)。高度機能GPIO。GPIOを参照してください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)。通信プロトコルの一種
SR	slew rate (スルーレート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)。テスト プロトコルの一種
SWV	single-wire viewer (シングル ワイヤ ビューア)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMAを参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (テクニカル リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ-トランジスタ ロジック)
TX	transmit (送信)
UART	Universal Asynchronous Receiver Transmitter (汎用非同期トランスミッタ レシーバ)。通信プロトコルの一種。
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB入出力)。USBポートへの接続に使用されるPSoCピン
VDAC	voltage DAC (電圧DAC)。DAC、IDACを参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。NVLを参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセットI/Oピン)
XTAL	crystal (水晶)

10 本書の表記法

10.1 測定単位

Table 48 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100万分の1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

改訂履歴

版	発行日	変更内容
**	2018-04-26	これは英語版 002-22097 Rev. ** を翻訳した日本語版 002-23594 Rev. ** です。
*A	2018-11-05	これは英語版 002-22097 Rev. *C を翻訳した日本語版 002-23594 Rev. *A です。
*B	2020-12-10	これは英語版 002-22097 Rev. *D を翻訳した日本語版 002-23594 Rev. *B です。
*C	2024-05-29	これは英語版 002-22097 Rev. *F を翻訳した日本語版 002-23594 Rev. *C です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-05-29
Published by

Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?
Email:
erratum@infineon.com

Document reference
002-23594 Rev. *C

重要事項
本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。