

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

プログラマブル システムオンチップ (PSOC™)

概要

PSOC™ 4 は、Arm® Cortex®-M0 CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリ用の拡張可能かつ再コンフィギュレーション可能なプラットフォーム アーキテクチャです。これはプログラム可能かつ再コンフィギュレーション可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせます。PSOC 4000 製品ファミリは、PSOC 4 プラットフォーム アーキテクチャの最小メンバーです。これは標準的通信機能とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、および汎用のアナログで構成されています。新しいアプリケーションと設計ニーズのために、PSOC 4000 製品は PSOC 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長

32 ビット MCU サブシステム

- 16 MHz Arm® Cortex®-M0 CPU
- 読み出しアクセラレータを備えた最大 16KB のフラッシュ メモリ
- 最大 2KB の SRAM

プログラマブル アナログ

- 汎用または静電容量センシング用の 2 個の電流 DAC (IDAC)
- 内部リファレンス電圧がある 1 個の低消費電力コンパレータ
- 静電容量検出ブロックにより提供される制限された ADC 機能

低消費電力 1.71V ~ 5.5V の動作

- 割り込みと I²C アドレス検出によるウェイクアップ機能を備えたディープスリープモード

静電容量センシング

- サイプレス CapSense シグマデルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) および耐久性を提供
- サイプレスが提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
- 5 pF ~ 45 pF のセンサー範囲での自動ハードウェアチューニング (SmartSense™)

シリアル通信

- ディープスリープモード中にアドレスマッチングを行い、一致になるとウェイクアップを生成する能力を備えたマルチマスター I²C ブロック

タイミングおよびパルス幅変調

- 1 個の 16 ビット タイマー / カウンター / パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジおよび疑似ランダム モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用キル信号のコンパレータ ベースのトリガー

最大 20 本のプログラム可能な GPIO ピン

- パッケージ: 28 ピン SSOP、24 ピン QFN、16 ピン SOIC、16 ピン QFN、16 ボール WLCSP、8 ピン SOIC
- ポート 0、1、および 2 上の GPIO ピンは CapSense または他の機能を備える
- 駆動モード、駆動強度およびスルー レートはプログラム可能

PSOC Creator 設計環境

- 統合開発環境 (IDE) が回路図設計の入力からビルドまでを提供 (アナログとデジタルブロックの自動配線機能も備える)
- すべての固定機能およびプログラム可能なパリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準ツールとの互換性

- 回路図の入力後、開発は Arm® ベース業界標準の開発ツールで行うことが可能

詳細情報

サイプレスは、www.infineon.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSOC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをします。以下は PSOC 4 の要約です。

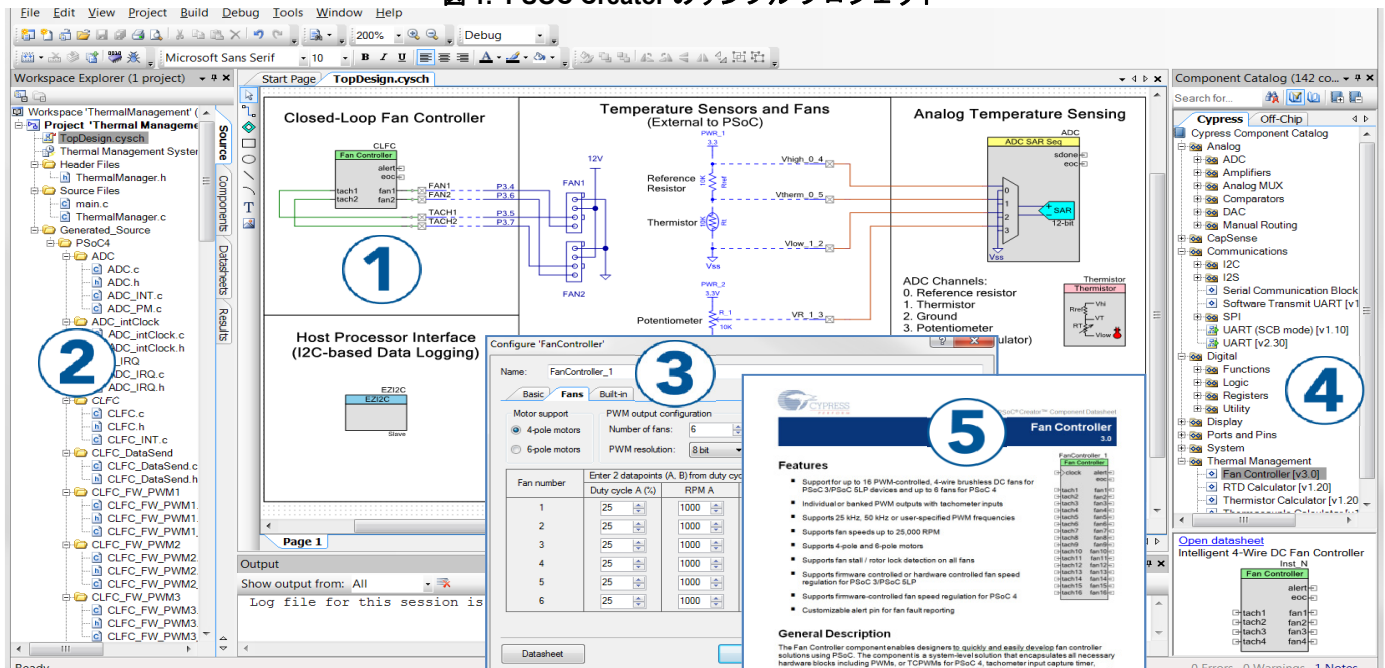
- 概要: PSOC ポートフォリオ
- 製品セレクト: PSOC 4
また、PSOC Creator 内にデバイス選択ツールがあります。
- アプリケーション ノート: サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSOC アプリケーション ノートを提供しています。以下は、PSOC 4 入門用の推奨アプリケーション ノートです。
 - [AN79953](#): Getting Started With PSOC 4 MCU
 - [AN88619](#): PSOC 4 Hardware Design Considerations
 - [AN86439](#): Using PSOC 4 GPIO Pins
 - [AN57821](#): Mixed Signal Circuit Board Layout
 - [AN81623](#): Digital Design Best Practices
 - [AN73854](#): Introduction To Bootloaders
 - [AN89610](#): Arm® Cortex Code Optimization
- テクニカルリファレンスマニュアル (TRM) は 2 種類あります:
 - [アーキテクチャ TRM](#): 各 PSOC 4 機能ブロックを詳細に説明します。
 - [レジスタ TRM](#): 各 PSOC 4 レジスタを詳細に説明します。
- 開発キット:
 - CY8CKIT-040 (PSOC 4000 Pioneer Kit) は、デバッグ機能を備えた安価で使い易い開発プラットフォームです。Arduino™ 準拠シールドおよび Digilent® Pmod™ ドーターカード用コネクタを搭載しています。
 - MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。
- [トレーニングビデオ](#) は、[PSOC MCU 101 シリーズ](#) を含む、幅広いトピックを提供します。
- [PSOC 4 MCU CAD ライブラリ](#) は、一般的なツールのフットプリントと回路図のサポートを提供します。IBIS モデルも利用できます。(CY8C4013 ファミリー、CY8C4014 ファミリー)

PSOC Creator

PSOC Creator は無償の Windows ベースの統合設計環境 (IDE) です。PSOC 3、PSOC 4 および PSOC 5LP ベースのシステムのハードウェアとファームウェア設計が同時に可能です。事前検証済みで量産使用も可能な PSOC コンポーネントを 100 以上サポートしている、クラシックで親しみやすい回路図キャプチャを使ってデザインを作成します。[コンポーネント データシート](#)を参照してください。PSOC Creator により、以下のことが可能です:

1. メイン デザイン ワークスペースで、コンポーネントアイコンをドラッグ アンド ドロップしてハードウェア システムデザインをビルド
2. PSOC Creator IDE C コンパイラを使用してアプリケーションのファームウェアと PSOC ハードウェアを同時に設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを閲覧

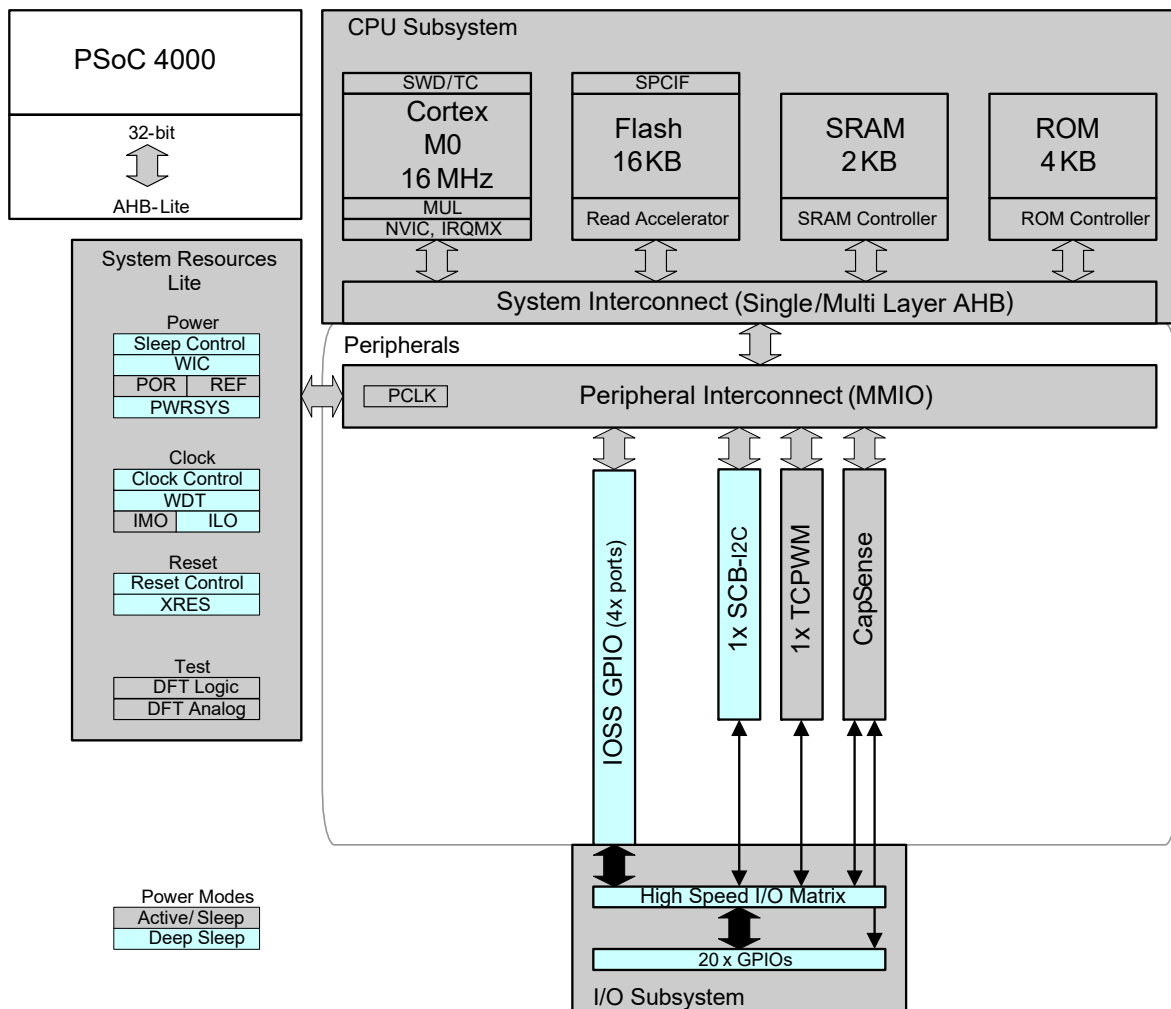
図 1. PSOC Creator のサンプル プロジェクト



目次

機能の説明	5	メモリ	21
CPU およびメモリ サブシステム	5	システム リソース	21
システム リソース	5	注文情報	24
アナログ ブロック	6	製品番号の命名規則	24
固定機能デジタル	6	パッケージ	26
GPIO	6	パッケージ外形図	27
特殊機能ペリフェラル	6	略語	32
ピン配置	7	本書の表記法	35
電源	12	測定単位	35
非安定化外部電源	12	改訂履歴	36
安定化外部電源	12	セールス、ソリューションおよび法律情報	37
開発サポート	13	ワールドワイドな販売と設計サポート	37
資料	13	製品	37
オンライン	13	PSOC® ソリューション	37
ツール	13	サイプレス開発者コミュニティ	37
電氣的仕様	14	テクニカル サポート	37
絶対最大定格	14		
デバイス レベルの仕様	14		
アナログ ペリフェラル	17		
デジタル ペリフェラル	20		

図 2. ブロック図



PSOC 4000 デバイスは、ハードウェアとファームウェアの両方についてプログラム、テスト、デバッグ、配線に幅広く対応しています。

Arm® シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグが可能になります。専用のインターフェースやデバッグ ボード、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSOC Creator IDE は、PSOC 4000 デバイスのプログラミングおよびデバッグを完全にサポートします。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSOC 4000 ファミリは、マルチチップ アプリケーションソリューションまたはマイクロコントローラーでは実現不可能なセキュリティ レベルを提供します。このファミリは次の利点を持っています：

- デバッグ機能を無効にできる

- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックに実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすること起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSOC 4000 は、不良解析できません。これは PSOC 4000 のトレードオフです。

機能の説明

CPU およびメモリ サブシステム

CPU

PSOC 4000 の Cortex-M0 CPU は、広範なクロック ゲーティングを備えた低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これにより、Cortex-M3 や M4 など、より高性能なプロセッサへのバイナリ コードの完全互換と上方移行が可能になります。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックと復帰割込みコントローラー (WIC) を含みます。WIC はディープ スリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープ スリープ モードにある時にメイン プロセッサへの電源を切ることができます。また CPU サブシステムは、割込みを生成できる SYSTICK と呼ばれる 24 ビット タイマーを含みます。

CPU はまた、JTAG の 2 線式のシリアルワイヤデバッグ (SWD) インターフェースを含みます。PSOC 4000 に使用するデバッグコンフィギュレーションには、4 個のブレイクポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSOC 4000 デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。低消費電力のフラッシュ ブロックは 16MHz で 0 ウェイト ステート (WS) アクセス時間を達成するように設計されます。

SRAM

16 MHz でゼロ ウェイトステート (待ち状態なし) のアクセスを備えた 2 KB SRAM が提供されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含む監視 ROM が提供されます。

システム リソース

電源システム

電源システムは [12 ページの電源](#) の節で詳しく説明されます。これは電圧レベルがそれぞれのモードに対して必要なものであることを保証し、電圧レベルが適切な機能に必要な状態になるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSOC 4000 は、1.8V±5% (外部レギュレータ使用時) または 1.8 V ~ 5.5 V (内部レギュレータ使用時) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSOC 4000 はアクティブ モードおよびスリープとディープ スリープの低消費電力モードに対応します。

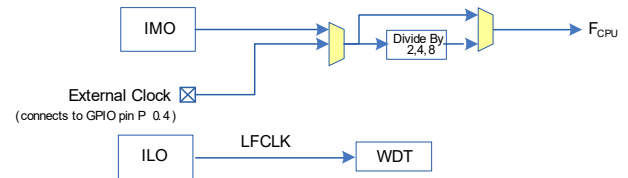
アクティブ モードでは、すべてのサブシステムが動作できます。CPU サブシステム (CPU、フラッシュ、SRAM) はスリープ モードでクロック ゲート オフになりますが、すべてのペリフェラルと割込みは復帰イベントで瞬間的に復帰し、アクティブになります。ディープ スリープ モードでは、高速クロックおよび対応する回路がオフにされます。このモードからの復帰には 35µs を要します。

クロック システム

PSOC 4000 クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えられます。また、クロック システムはメタステーブル状態が発生しないことを保証します。

PSOC 4000 のクロック システムは、内部主発振器 (IMO)、低周波数内部発振器 (ILO) および外部クロック入力から構成されます。

図 3. PSOC 4000 MCU のクロッキング アーキテクチャ



F_{CPU} 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分岐させることができます。PSOC 4000 は 4 個のクロック分周器を備えており、それぞれが 16 ビットで分周できます。16 ビット分周機能は、きめ細かな周波数値を柔軟に生成することを可能にし、PSOC Creator で完全にサポートされています。

IMO クロック ソース

IMO は PSOC 4000 の内部クロック供給の主なソースです。これは出荷試験中に仕様の精度を得るために調整されます。IMO のデフォルト周波数は 24 MHz です。これは 24 MHz または 32MHz に調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% (24 MHz および 32 MHz) です。

ILO クロック ソース

ILO は超低消費電力の 40 kHz 発振器であり、主にディープ スリープ モードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正できます。

ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。これは、ディープ スリープ時のウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグ リセットを生成します。ウォッチドッグ リセットは、ファームウェア読み出しが可能なリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSOC 4000 は、ソフトウェア リセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。24 ピン パッケージでは、XRES ピンは外部リセット用に予約されます。16 ピンおよび 8 ピン パッケージでは、内部 POR が提供されます。XRES ピンには、常に有効になっている内部プルアップ抵抗が接続されています。リセットはアクティブ LOW です。

電圧リファレンス

PSOC 4000 リファレンス システムは、すべての必要となる内部リファレンス電圧を生成します。1.2 V リファレンス電圧はコンパレータ向けに提供されます。IDAC は ±5% リファレンス電圧を基準とします。

アナログブロック

低消費電力コンパレータ

PSOC 4000 は内蔵リファレンス電圧を使用する低消費電力コンパレータを備えます。最大 16 ピンのいずれかをコンパレータ入力として使用でき、コンパレータ出力をピンに引き出せます。選択されたコンパレータ入力をコンパレータの負の入力に接続し、その正の入力を常に 1.2 V リファレンス電圧に接続しています。このコンパレータは CAPSENSE の目的にも使用でき、CAPSENSE の動作中には他の目的には使用不可能です。

電流 DAC

PSOC 4000 は、チップ上のいずれかの 16 ピンまでを駆動できる 2 個の IDAC を備えており、IDAC はプログラム可能な電流範囲があります。

アナログ マルチプレクサバス

PSOC 4000 は同心の独立してチップの周辺を回る 2 個のバスを備えています。これらのバス (amux バスと呼ばれる) は、チップの内部リソース (IDAC、コンパレータ) がポート 0、1、2 の任意のピンに接続できるようにする、ファームウェアでプログラム可能なアナログ スイッチに接続されています。

固定機能デジタル

タイマー/カウンタ/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーが周期長をプログラム可能な 16 ビットカウンタからなります。イベント (I/O イベントなど) 時にカウント値を記録するキャプチャレジスタ、カウンタのカウンタが周期レジスタに等しくなる時にカウンタを停止するか自動的にリロードするための周期レジスタ、そして PWM デューティ比出力として使用される比較値信号を生成するための比較レジスタがあります。このブロックはプログラム可能なオフセットをつけられる正出力とコンプリメンタリ出力も提供しており、デッドバンドをプログラム可能なコンプリメンタリ PWM 出力としての使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力を使用されます。

シリアル通信ブロック (SCB)

PSOC 4000 はマルチマスター I²C インターフェースを実装するシリアル通信ブロックを備えます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 400kbps (ファスト モード) で動作可能で、CPU 用の割り込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。また、PSOC 4000 のメモリでメールボックス アドレス範囲を作って、メモリ アレイへの読み書きの I²C 通信を効果的に削減する EZI²C にも対応しています。また、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間どおりに読み出しデータを取得しないことに起因するクロック ストレッチの必要性を大幅に低減します。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。

PSOC 4000 は以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入できません。

- ファスト モードの最小立ち下り時間は高速ストロング モードでは満たせません。低速ストロング モードはバス負荷によってはこの仕様を満たすことがあります。

GPIO

PSOC 4000 は最大 20 本の GPIO を持っています。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード:
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効/無効の個別制御
- EMIを改善するためのdV/dt関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックスとして知られる多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります (PSOC 4000 では、ベクタ数は 4 です)。

28ピンおよび 24 ピンパッケージには 20 の GPIO があります。16 ピン SOIC には 13 の GPIO があります。16 ピン QFN および 16 ボール WLCSP には 12 の GPIO があります。8 ピン SOIC には 5 つの GPIO があります。

特殊機能ペリフェラル

CAPSENSE

CAPSENSE は PSOC 4000 で、アナログ スイッチに接続したアナログ マルチプレクサバスを介して最大 16 ピンに接続できる CSD ブロックによりサポートされます (ポート 3 のピンは CAPSENSE には使用できません)。CAPSENSE 機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供できます。設計し易くするために、CAPSENSE ブロック用の PSOC Creator コンポーネントが提供されています。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサバス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることを防ぐためのものです。近接センシングも実装できます。

CAPSENSE ブロックは、2 個の IDAC を備えます。これらは、CAPSENSE を使用しない場合 (両方の IDAC とも使用可能)、または CAPSENSE を耐水機能なしで利用した場合 (どちらか一方の IDAC が使用可能)、一般用途に使用できます。

CapSense ブロックは、制限された ADC 機能を実装するために再利用もできます。これは、容量性センシングにブロックを使用しない場合にのみ使用できます。

ピン配置

すべてのポート ピンは GPIO に対応しています。ポート 0、1 および 2 は CSD CapSense とアナログ マルチプレクサ バスの接続に対応しています。TCPWM 機能と代替機能は以下のように 5 種類の PSOC 4000 パッケージでポート ピンに多重化されています。

表 1. ピン機能

28 ピン SSOP		24 ピン QFN		16 ピン QFN		16 ピン SOIC		8 ピン SOIC		TCPWM 信号	代替機能
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称		
20	VSS										
21	P0.0/TRIN0	1	P0.0/TRIN0							TRIN0: トリガー 入力 0	
22	P0.1/TRIN1/CMPO _0	2	P0.1/TRIN1/CMPO _0	1	P0.1/TRIN1/CMPO _0	3	P0.1/TRIN1/CMPO _0			TRIN0: トリガー 入力 1	CMPO_0: 検知コンパ レータ出力
23	P0.2/TRIN2	3	P0.2/TRIN2	2	P0.2/TRIN2	4	P0.2/TRIN2			TRIN0: トリガー 入力 2	
24	P0.3/TRIN3	4	P0.3/TRIN3							TRIN0: トリガー 入力 3	
25	P0.4/TRIN4/CMPO _0/EXT_CLK	5	P0.4/TRIN4/CMPO _0/EXT_CLK	3	P0.4/TRIN4/CMPO _0/EXT_CLK	5	P0.4/TRIN4/CMPO _0/EXT_CLK	2	P0.4/TRIN4/CMPO _0/EXT_CLK	TRIN0: トリガー 入力 4	CMPO_0: 検知コンパ レータ出力、外部ク ロック、CMOD コン デンサ
26	VCCD	6	VCCD	4	VCCD	6	VCCD	3	VCCD		
27	VDD	7	VDD	6	VDD	7	VDD	4	VDD		
28	VSS	8	VSS	7	VSS	8	VSS	5	VSS		
1	P0.5	9	P0.5	5	VDDIO	9	P0.5				
2	P0.6	10	P0.6	8	P0.6	10	P0.6				
3	P0.7	11	P0.7								
4	P1.0	12	P1.0								
5	P1.1/OUT0	13	P1.1/OUT0	9	P1.1/OUT0	11	P1.1/OUT0	6	P1.1/OUT0	OUT0: PWM OUT 0	
6	P1.2/SCL	14	P1.2/SCL	10	P1.2/SCL	12	P1.2/SCL				I ² C クロック
7	P1.3/SDA	15	P1.3/SDA	11	P1.3/SDA	13	P1.3/SDA				I ² C データ
8	P1.4/UND0	16	P1.4/UND0							UND0: アンダーフ ロー出力	
9	P1.5/OVF0	17	P1.5/OVF0							OVF0: オーバーフ ロー出力	

注 :

1. POR 中には負荷を介してグラウンドに接続しないでください (出力である必要があります)。

表 1. ピン機能 (続き)

28 ピン SSOP		24 ピン QFN		16 ピン QFN		16 ピン SOIC		8 ピン SOIC		TCPWM 信号	代替機能
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称		
10	P1.6/OVF0/UND0/n OUT0 /CMPO_0	18	P1.6/OVF0/UND0/n OUT0 /CMPO_0	12	P1.6/OVF0/UND0/n OUT0/CMPO_0	14	P1.6/OVF0/UND0/n OUT0/CMPO_0	7	P1.6/OVF0/UND0/n OUT0/CMPO_0	nOUT0: 上記の OUT0、UND0、 OVF0 の相補信号	CMPO_0: 検知コンパ レータ出力、内部リ セット機能 ^[1]
11	VSS										
12	未接続 (NC) ^[2]										
13	P1.7/MATCH/EXT_ CLK	19	P1.7/MATCH/EXT_ CLK	13	P1.7/MATCH/EXT_ CLK	15	P1.7/MATCH/EXT_ CLK			MATCH: マッチ信 号出力	外部クロック
14	P2.0	20	P2.0			16	P2.0				
15	VSS										
16	P3.0/SDA/SWD_IO	21	P3.0/SDA/SWD_IO	14	P3.0/SDA/SWD_IO	1	P3.0/SDA/SWD_IO	8	P3.0/SDA/SWD_IO		I2C データ、SWD I/O
17	P3.1/SCL/SWD_CL K	22	P3.1/SCL/SWD_CL K	15	P3.1/SCL/SWD_CL K	2	P3.1/SCL/SWD_CL K	1	P3.1/SCL/SWD_CL K		I2C クロック、SWD クロック
18	P3.2	23	P3.2	16	P3.2					OUT0: PWM 出力 0	
19	XRES	24	XRES								XRES: 外部リセット

ピン機能の説明は以下の通りです：

VDD: アナログとデジタル セクション用の電源

VDDIO: 使用可能な時、個別の電圧ドメインを提供 (詳細は、[電源](#)を参照してください)

VSS: グランド ピン

VCCD: 安定化デジタル電源 (1.8V ±5%)。

ピン 0、1、2 に属するすべてのピンは CSD 検知ピン、または AMUXBUS A か B に接続するシールド ピンとして使用できます。また、[表 1](#) に示された代替機能の他にはファームウェアによって駆動される GPIO ピンとしても使用できます。

ポート 3 のピンは、上記の代替機能以外に、GPIO としても使用可能です。

次のパッケージが提供されています：28 ピン SSOP、24 ピン QFN、16 ピン QFN、16 ピン SOIC、8 ピン SOIC。

注：

2. このピンは使用せず、開放にする必要があります。

図 4. 28 ピン SSOP のピン配置

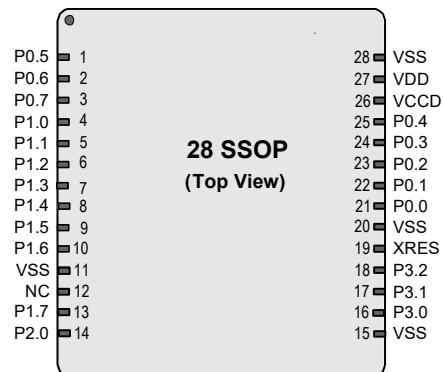


図 5. 24 ピン QFN のピン配置

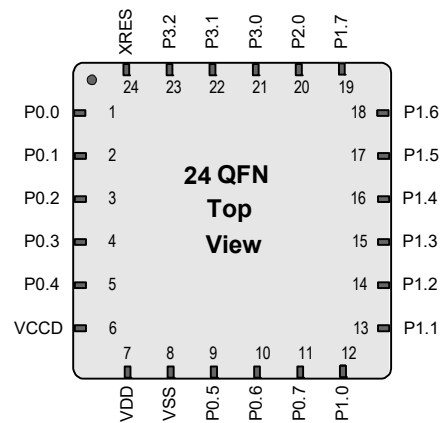


図 6. 16 ピン QFN のピン配置

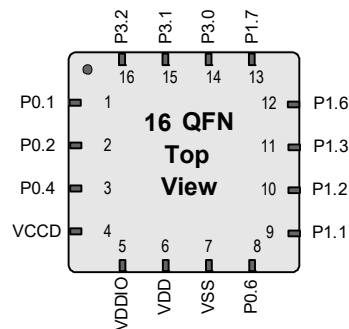


図 7. 16 ピン SOIC のピン配置

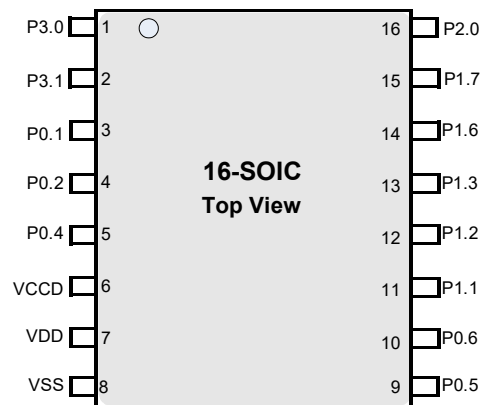


図 8. 8 ピン SOIC のピン配置

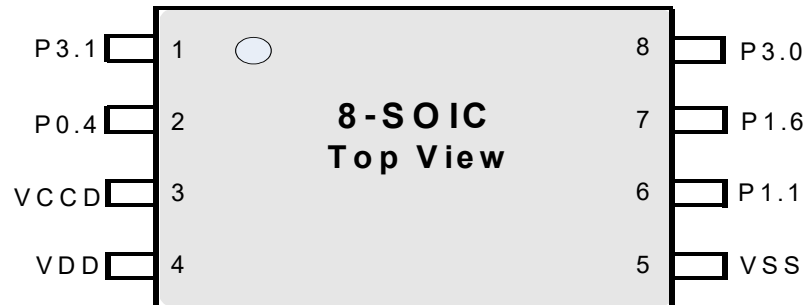
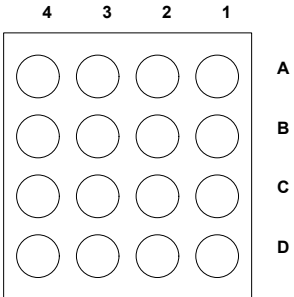
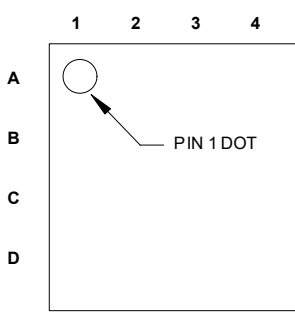


表 2. 16 ボール WLCSP のピン説明とピン図

ピン	名称	TCPWM 信号	代替機能	ピン図
B4	P3.2	OUT0: PWMOUT0	—	<p>下面図</p>  <p>上面図</p> 
C3	P0.2/TRIN2	TRIN2: トリガー入力 2	—	
C4	P0.4/TRIN4/CMPO_0/ EXT_CLK	TRIN4: トリガー入力 4	CMPO_0: 検知コン パレータ出力、外 部クロック、 CMOD コンデンサ	
D4	VCCD	—	—	
D3	VDD	—	—	
D2	VSS	—	—	
C2	VDDIO	—	—	
D1	P0.6	—	—	
C1	P1.1/OUT0	OUT0: PWMOUT0	—	
B1	P1.2/SCL	—	I ² C クロック	
A1	P1.3/SDA	—	I ² C データ	
A2	P1.6/OVF0/UND0/nO UT0/CMPO_0	nOUT0: OUT0、UND0、 OVF0 の相補信号	CMPO_0: 検知コン パレータ出力、内 部リセット機能 ^[3]	
B2	P1.7/MATCH/ EXT_CLK	MATCH: マッチ信号出力	外部クロック	
A3	P2.0	—	—	
B3	P3.0/SDA/SWD_IO	—	I ² C データ、 SWD I/O	
A4	P3.1/SCL/SWD_CLK	—	I ² C クロック、 SWD クロック	

注:

3. POR 中には負荷を介してグラウンドに接続しないでください (出力である必要があります)。

電源

以下の電源システム図 (図 9 と図 10) は、PSOC 4000 用に実装された電源ピンを示します。システムは、アクティブ モードで動作するデジタル回路用のレギュレータが 1 つあります。アナログ レギュレータはありません。アナログ回路は V_{DD} 入力から直接電源供給されます。ディープ スリープ モード用の個別レギュレータがあります。電源電圧範囲は $1.8V \pm 5\%$ (外部レギュレータあり)、またはすべての機能と回路が動作する $1.8V \sim 5.5V$ (外部レギュレータなし; 内部レギュレータあり) です。

16 ピン QFN パッケージで用意されている V_{DDIO} ピンは、P3.0、P3.1 および P3.2 向けに別の電圧ドメインを提供します。P3.0 および P3.1 は I^2C ピンとして使用できるため、チップは異なる電圧 ($V_{DDIO} \leq V_{DD}$) で動作する I^2C システムと通信できます。例えば、 V_{DD} は $3.3V$ 、 V_{DDIO} は $1.8V$ にすることができます。

PSOC 4000 ファミリーは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応します。

非安定化外部電源

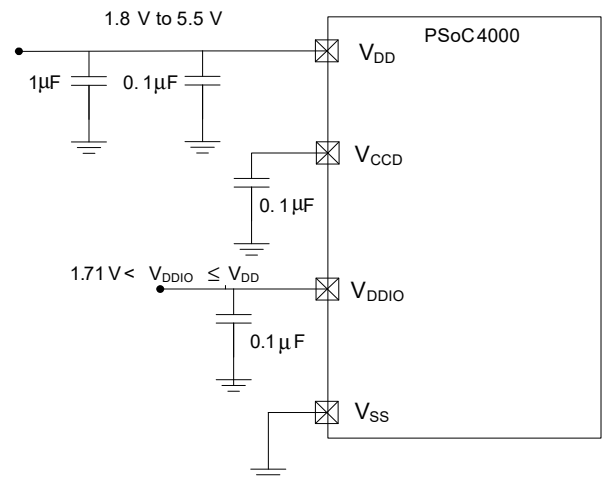
このモードでは、PSOC 4000 は $1.8V \sim 5.5V$ の任意の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも対応します。例えば、チップは、 $3.5V$ から始まってから $1.8V$ に低減するバッテリー システムから電源供給が可能です。このモードでは、PSOC 4000 の内部レギュレータは内部ロジックに電源を供給し、PSOC 4000 の V_{CCD} 出力は外部コンデンサ ($0.1\mu F$; X5R セラミックまたはこれより良質のもの) を介してグラウンドにバイパスされる必要があります。バイパスコンデンサは、 V_{CCD} ピンのできるだけ近くに配置する必要があります。

バイパス コンデンサを V_{DD} からグラウンドの間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、 $1\mu F$ レンジのコンデンサをより小さいコンデンサ (例えば、 $0.1\mu F$) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCB レイアウト、リード インダクタンス、バイパス コンデンサ寄生容量をシミュレートする必要があることにご留意ください。

以下はバイパススキームの一例です (V_{DDIO} は 16-QFN パッケージで使用可能です)。

図 9. 16 ピン QFN のバイパス スキーム例 - 非安定化外部電源

Power supply connections when $1.8 \leq V_{DD} \leq 5.5V$



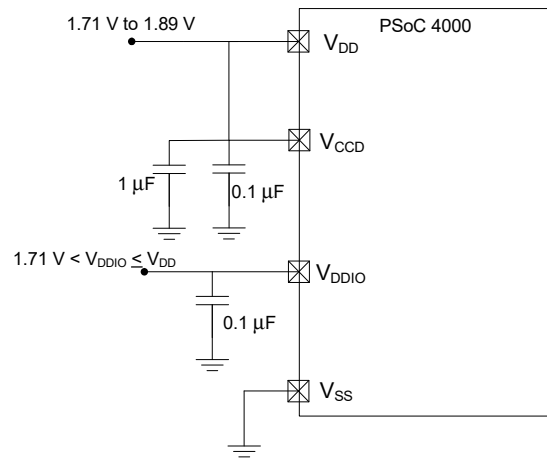
安定化外部電源

このモードでは、PSOC 4000 は $1.71V \sim 1.89V$ の外部電源から電源供給されます。電源リップルもこの範囲に含まれている必要があることにご注意ください。このモードで、 V_{DD} と V_{CCD} ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にする必要があります。このモードでは、 V_{DD} (V_{CCD}) はフラッシュ プログラミングを含むどの条件でも $1.89V$ を超えてはいけないうことにご注意ください。

以下はバイパススキームの一例です (V_{DDIO} は 16-QFN パッケージで使用可能です)。

図 10. 16 ピン QFN のバイパス スキーム例 - 安定化外部電源

Power supply connections when $1.71 \leq V_{DD} \leq 1.89V$



開発サポート

PSOC 4000 ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、www.cypress.com/go/psoc4 をご覧ください。

資料

ドキュメント一式が PSOC 4000 ファミリをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要な資料の幾つかは、本節にリストアップされています。

ソフトウェア ユーザー ガイド：PSOC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSOC Creator によるビルドプロセスの詳細、PSOC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート：PSOC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプルコード、AC/DC 仕様を含んですべて記載されています。

アプリケーション ノート：PSOC アプリケーション ノートには、PSOC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル：テクニカル リファレンス マニュアル (TRM) には、すべての PSOC レジスタの詳細な説明など、PSOC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、www.cypress.com/psoc4 の「ドキュメント」セクションにあります。

オンライン

印刷された資料のほかに、サイプレス PSOC フォーラムによって 24 時間 365 日、世界中の他の PSOC ユーザーや PSOC の専門家と連絡をとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェイスを備えた PSOC 4000 ファミリは、開発ツール エコシステムの一部です。革新的で使いやすい PSOC Creator IDE、サポートされるサード パーティのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、サイプレスのウェブサイト www.cypress.com/go/psoccreator をご覧ください。

電氣的仕様

絶対最大定格

表 3. 絶対最大定格 [4]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DD_ABS}	V _{SS} を基準としたデジタル電源電圧	-0.5	–	6	V	
SID2	V _{CCD_ABS}	V _{SS} を基準としたデジタルコアに直接印加される電源電圧	-0.5	–	1.95	V	
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	–	V _{DD} +0.5	V	
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	-25	–	25	mA	
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	–	0.5	mA	ピンごとの注入された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–	V	
BID46	LU	ラッチアップ時のピン電流	-140	–	140	mA	

デバイス レベルの仕様

すべての仕様は、注記した場合を除いて、-40°C ≤ T_A ≤ 85°C および T_J ≤ 100°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 4. DC 電氣的仕様

Typ 値は 25°C、V_{DD} = 3.3V で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DD}	電源ピン入力電圧	1.8	–	5.5	V	レギュレータが有効
SID255	V _{DD}	電源ピン入力電圧 (V _{CCD} = V _{DD})	1.71	–	1.89	V	内部レギュレータ不使用
SID54	V _{DDIO}	V _{DDIO} 電源ドメイン	1.71	–	V _{DD}	V	
SID55	C _{EFC}	外部レギュレータ電圧 (V _{CCD}) バイパス	–	0.1	–	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源バイパス コンデンサ	–	1	–	μF	X5R セラミックまたはこれより良質のもの

アクティブ モード、V_{DD} = 1.8V ~ 5.5V

SID9	I _{DD5}	フラッシュから実行; CPU 速度が 6 MHz	–	2.0	2.85	mA	
SID12	I _{DD8}	フラッシュから実行; CPU 速度が 12 MHz	–	3.2	3.75	mA	
SID16	I _{DD11}	フラッシュから実行; CPU 速度が 16 MHz	–	4.0	4.5	mA	

スリープ モード、V_{DD} = 1.71V ~ 5.5V

SID25	I _{DD20}	I ² C ウェイクアップと WDT が有効。 CPU 速度が 6 MHz	–	1.1	–	mA	
SID25A	I _{DD20A}	I ² C ウェイクアップと WDT が有効。 CPU 速度が 12 MHz	–	1.4	–	mA	

ディープスリープ モード、V_{DD} = 1.8V ~ 3.6V (レギュレータが有効)

SID31	I _{DD26}	I ² C ウェイクアップと WDT が有効	–	2.5	8.2	μA	
-------	-------------------	-----------------------------------	---	-----	-----	----	--

注:

- 表 3 に記載されている絶対最大条件を超えて使用すると、デバイスに永久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

表 4. DC 電氣的仕様 (続き)

 Typ 値は 25°C、 $V_{DD} = 3.3V$ で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
ディープスリープモード、 $V_{DD} = 3.6V \sim 5.5V$ (レギュレータが有効)							
SID34	I_{DD29}	I ² C ウェイクアップと WDT が有効	–	2.5	12	μA	
ディープスリープモード、 $V_{DD} = V_{CCD} = 1.71V \sim 1.89V$ (レギュレータがバイパス)							
SID37	I_{DD32}	I ² C ウェイクアップと WDT が有効	–	2.5	9.2	μA	
XRES 電流							
SID307	I_{DD_XR}	XRES がアサート時の供給電流	–	2	5	mA	

表 5. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F_{CPU}	CPU 周波数	DC	–	16	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[5]	T_{SLEEP}	スリープモードからの復帰時間	–	0	–	μs	
SID50 ^[5]	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	–	35	–	μs	

GPIO

表 6. GPIO の DC 仕様 (16 ピン QFN V_{DDIO} ピンの場合は V_{DDIO} を参照)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[6]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID58	V_{IL}	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DD}$	V	CMOS 入力
SID241	$V_{IH}^{[6]}$	LVTTL 入力、 $V_{DD} < 2.7 V$	$0.7 \times V_{DD}$	–	–	V	
SID242	V_{IL}	LVTTL 入力、 $V_{DD} < 2.7 V$	–	–	$0.3 \times V_{DD}$	V	
SID243	$V_{IH}^{[6]}$	LVTTL 入力、 $V_{DD} \geq 2.7 V$	2.0	–	–	V	
SID244	V_{IL}	LVTTL 入力、 $V_{DD} \geq 2.7 V$	–	–	0.8	V	
SID59	V_{OH}	出力 HIGH 電圧	$V_{DD} - 0.6$	–	–	V	$V_{DD} = 3 V$ の時、 $I_{OH} = 4 mA$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DD} - 0.5$	–	–	V	$V_{DD} = 1.8 V$ の時、 $I_{OH} = 1 mA$
SID61	V_{OL}	出力 LOW 電圧	–	–	0.6	V	$V_{DD} = 1.8 V$ の時、 $I_{OL} = 4 mA$
SID62	V_{OL}	出力 LOW 電圧	–	–	0.6	V	$V_{DD} = 3 V$ の時、 $I_{OL} = 10 mA$
SID62A	V_{OL}	出力 LOW 電圧	–	–	0.4	V	$V_{DD} = 3 V$ の時、 $I_{OL} = 3 mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	
SID65	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C、 $V_{DD} = 3.0 V$
SID66	C_{IN}	入力静電容量	–	3	7	pF	
SID67 ^[7]	V_{HYSTTL}	入力ヒステリシス LVTTL	15	40	–	mV	$V_{DD} \geq 2.7 V$

注：

5. 特性評価で保証されています。
6. V_{IH} は $V_{DD} + 0.2V$ を超えてはいけません。

表 6. GPIO の DC 仕様 (16 ピン QFN V_{DDIO} ピンの場合は V_{DDIO} を参照) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID68 ^[7]	V _{HYS} CMOS	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	—	—	mV	V _{DD} < 4.5 V
SID68A ^[7]	V _{HYS} CMOS5V5	入力ヒステリシス CMOS	200	—	—	mV	V _{DD} > 4.5 V
SID69 ^[7]	I _{DIODE}	保護ダイオードを通して V _{DD} / V _{SS} に流れる電流	—	—	100	μA	
SID69A ^[7]	I _{TOT} _GPIO	ソースおよびシンク電流をチップ全体で合計した値の最大値	—	—	85	mA	

**表 7. GPIO の AC 仕様
(特性評価で保証)**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	T _{RISE} F	高速ストロング モードでの立ち上がり時間	2	—	12	ns	3.3V V _{DD} 、 Cload = 25 pF
SID71	T _{FALL} F	高速ストロング モードでの立ち下り時間	2	—	12	ns	3.3V V _{DD} 、 Cload = 25 pF
SID72	T _{RISE} S	低速ストロング モードでの立ち上がり時間	10	—	60	—	3.3V V _{DD} 、 Cload = 25 pF
SID73	T _{FALL} S	低速ストロング モードでの立ち下り時間	10	—	60	—	3.3V V _{DD} 、 Cload = 25 pF
SID74	F _{GPIO} OUT1	GPIO F _{OUT} ; 3.3 V ≤ V _{DD} ≤ 5.5 V。 高速ストロング モード	—	—	16	MHz	90/10%、負荷 25 pF、デュー ティ比 60/40
SID75	F _{GPIO} OUT2	GPIO F _{OUT} ; 1.71 V ≤ V _{DD} ≤ 3.3 V。 高速ストロング モード	—	—	16	MHz	90/10%、負荷 25 pF、デュー ティ比 60/40
SID76	F _{GPIO} OUT3	GPIO F _{OUT} ; 3.3 V ≤ V _{DD} ≤ 5.5 V。 低速ストロング モード	—	—	7	MHz	90/10%、負荷 25 pF、デュー ティ比 60/40
SID245	F _{GPIO} OUT4	GPIO F _{OUT} ; 1.71 V ≤ V _{DD} ≤ 3.3 V。 低速ストロング モード	—	—	3.5	MHz	90/10%、負荷 25 pF、デュー ティ比 60/40
SID246	F _{GPIO} IN	GPIO 入力動作周波数 ; 1.71 V ≤ V _{DD} ≤ 5.5 V	—	—	16	MHz	90/10% V _{IO}

注：
7. 特性評価で保証されています。

XRES
表 8. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID77	V_{IH}	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID78	V_{IL}	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DD}$	V	CMOS 入力
SID79	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	
SID80	C_{IN}	入力静電容量	–	3	7	pF	
SID81 ^[8]	$V_{HYSXRES}$	入力電圧ヒステリシス	–	$0.05 \times V_{DD}$	–	mV	$V_{DD} > 4.5$ V 時の標準ヒステリシス電圧が 200 mV

表 9. XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID83 ^[8]	$T_{RESETWIDTH}$	リセット パルス幅	5	–	–	μ s	
BID#194 ^[8]	$T_{RESETWAKE}$	リセット解除時からの復帰時間	–	–	3	ms	

アナログ ペリフェラル
コンパレータ
表 10. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID330 ^[8]	I_{CMP1}	高帯域幅モードでのブロック電流	–	–	110	μ A	
SID331 ^[8]	I_{CMP2}	低消費電力モードでのブロック電流	–	–	85	μ A	
SID332 ^[8]	$V_{OFFSET1}$	高帯域幅モードでのオフセット電圧	–	10	30	mV	
SID333 ^[8]	$V_{OFFSET2}$	オフセット電圧、低消費電力モード	–	10	30	mV	
SID334 ^[8]	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	M Ω	
SID338 ^[8]	V_{INP_COMP}	コンパレータ入力範囲	0	–	3.6	V	最大入力電圧は 3.6 V または V_{DD} のいずれかの低い電圧
SID339	V_{REF_COMP}	コンパレータ内部リファレンス電圧	1.188	1.2	1.212	V	

注：
8. 特性評価で保証されています。

表 11. コンパレータの AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID336 ^[8]	T _{COMP1}	高帯域幅モードでの応答時間 ; 50 mV オーバードライブ	–	–	90	ns	
SID337 ^[8]	T _{COMP2}	低消費電力モードでの応答時間 ; 50 mV オーバードライブ	–	–	110	ns	

CSD
表 12. CSD および IDAC ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
CSD および IDAC 仕様							
SYS.PER#3	VDD_RIPPLE	10 MHz での DC 電源の最大許容 リップル	–	–	±50	mV	VDD > 2 V (リップルあり)、 T _A = 25°C、感度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	10 MHz での DC 電源の最大許容 リップル	–	–	±25	mV	VDD > 1.75 V (リップルあり)、 T _A = 25°C、寄生容量 (C _p) < 20 pF、感度 ≥ 0.4 pF
SID.CSD#15	VREFHI	リファレンス バッファ出力	1.1	1.2	1.3	V	
SID.CSD#16	IDAC1IDD	IDAC1 (8 ビット) ブロック電流	–	–	1125	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1125	μA	
SID308	V _{CSD}	動作電圧範囲	1.71	–	5.5	V	1.8 V ±5% または 1.8 V ~ 5.5 V
SID308A	VCOMPIDAC	IDAC の最大電圧範囲	0.8	–	V _{DD} - 0.8	V	
SID309	IDAC1 _{DNL}	8 ビット分解能の DNL	-1	–	1	LSB	
SID310	IDAC1 _{INL}	8 ビット分解能の INL	-3	–	3	LSB	
SID311	IDAC2 _{DNL}	7 ビット分解能の DNL	-1	–	1	LSB	
SID312	IDAC2 _{INL}	7 ビット分解能の INL	-3	–	3	LSB	
SID313	SNR	指の信号とノイズのカウント比。 特性評価で保証	5	–	–	比率	静電容量範囲 = 9 pF ~ 35 pF、感度 = 0.1 pF
SID314	IDAC1 _{CRT1}	高域での IDAC1 (8 ビット) の出力 電流	–	612	–	μA	
SID314A	IDAC1 _{CRT2}	低域での IDAC1 (8 ビット) の出力 電流	–	306	–	μA	
SID315	IDAC2 _{CRT1}	高域での IDAC2 (7 ビット) の出力 電流	–	304.8	–	μA	
SID315A	IDAC2 _{CRT2}	低域での IDAC2 (7 ビット) の出力 電流	–	152.4	–	μA	
SID320	IDAC _{OFFSET}	全ゼロの入力	–	–	±1	LSB	
SID321	IDAC _{GAIN}	オフセットを除くフルスケール エ ラー	–	–	±10	%	
SID322	IDAC _{MISMATCH}	IDAC 間の不整合	–	–	7	LSB	
SID323	IDAC _{SET8}	8 ビット IDAC の 0.5 LSB に達する までのセトリング時間	–	–	10	μs	フルスケール遷移。外部負 荷なし
SID324	IDAC _{SET7}	7 ビット IDAC の 0.5 LSB に達する までのセトリング時間	–	–	10	μs	フルスケール遷移。外部負 荷なし
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5 V 定格、X7R または NP0 コンデンサ

CSD ADC

すべての特性評価は、0.1%許容誤差の1MΩ入力抵抗 (R_{in})、0.1%許容誤差の220KΩブリード抵抗 (R_{bleed})、および2.2nFの C_{mod} コンデンサを使用して行われます。回路の詳細については、この[ページ](#)を参照してください。

表 13. CSD ADC DC 仕様

記号	説明	条件	Min	Typ	Max	単位
ADC_{Res}	ADC分解能		1	–	–	mV
ADC_{MONO}	ADC単調増加性	PVT全体	–	–	–	Yes
ADC_{Error}	ADCゲインエラー	0～5Vの範囲の場合、0.1%の正確な R_{in}/R_{bleed} 、1%の正確な内部 V_{ref} および 0～70°Cの温度範囲	–	–	1	%
ADC_{Offset}	ADCオフセットエラー		–	–	50	mV
ADC_{INMAX}	ADC入力電圧範囲		0	–	$5 / V_{DDIO}^{[9]}$	V

注: ピンに直接印加される入力は V_{DDIO} を超えてはいけませんが、入力抵抗に印加される電圧は V_{DDIO} を超えることができます。

表 14. CSD ADC AC 仕様

記号	説明	条件	Min	Typ	Max	単位
ADC_{INL}	ADC積分非直線性	0～5 V入力および0～70°C	–	–	18	mV
ADC_{DNL}	ADC微分非直線性	0～5 V入力および0～70°C	–	–	12	mV
ADC_{Samp}	ADCサンプルレート	–	–	–	58	sps

注:

9. ピンに直接印加される入力は V_{DDIO} を超えてはいけませんが、入力抵抗に印加される電圧は V_{DDIO} を超えることができます。

デジタル ペリフェラル

タイマー / カウンタ / パルス幅変調器 (TCPWM)

表 15. TCPWM 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	ITCPWM1	3 MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	8 MHz でのブロック消費電流	–	–	145	μA	すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	16 MHz でのブロック消費電流	–	–	160	μA	すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c Max = CLK_SYS。 Max = 16 MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガー パルス幅	2/F _c	–	–	ns	すべてのトリガー イベント [10]
SID.TCPWM.5	TPWM _{EXT}	出力トリガー パルス幅	2/F _c	–	–	ns	オーバーフロー、アンダーフローおよび CC (カウンタ = 比較値) 出力の最小幅
SID.TCPWM.5A	TC _{RES}	カウンタ分解能	1/F _c	–	–	ns	逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/F _c	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/F _c	–	–	ns	直交位相入力同士間の最小パルス幅

I²C
表 16. 固定 I²C の DC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I _{I2C1}	100 kHz でのブロック消費電流	–	–	25	μA	
SID150	I _{I2C2}	400 kHz でのブロック消費電流	–	–	135	μA	
SID.PWR#5	ISBI2C	I ² C がディープ スリープ モードで有効な場合	–	–	2.5	μA	

表 17. 固定 I²C の AC 仕様^[11]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F _{I2C1}	ビット レート	–	–	400	Kbps	

注:

10. 選択した動作モードによって、トリガー イベントは停止、開始、リロード、カウント、キャプチャ、またはキルのいずれかです。
 11. 特性評価で保証されています。

メモリ
表 18. フラッシュの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	

表 19. フラッシュの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID174	T _{ROWWRITE} ^[12]	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	20	ms	行 (ブロック) = 64 バイト
SID175	T _{ROWERASE} ^[12]	行消去時間	–	–	13	ms	
SID176	T _{ROWPROGRAM} ^[12]	消去後の行プログラム時間	–	–	7	ms	
SID178	T _{BULKERASE} ^[12]	バルク消去時間 (16KB)	–	–	15	ms	
SID180 ^[13]	T _{DEVPROG} ^[12]	デバイス プログラム総合時間	–	–	7.5	秒	
SID181 ^[13]	F _{END}	フラッシュ アクセス可能回数	100K	–	–	サイクル	
SID182 ^[13]	F _{RET}	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム / 消去サイクル = 10 万回	20	–	–	年	
SID182A ^[13]		フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム / 消去サイクル = 1 万回	10	–	–	年	

システム リソース
パワーオン リセット (POR)
表 20. パワー オン リセット (PRES)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	–	67	V/ms	電源投入時および電源切断時
SID185 ^[13]	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	–	1.5	V	
SID186 ^[13]	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	–	1.4	V	

表 21. V_{CCD} の電圧低下検出 (BOD)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190 ^[13]	V _{FALLPPOR}	アクティブ モードとスリープモードでの BOD トリップ電圧	1.48	–	1.62	V	
SID192 ^[13]	V _{FALLDPSLP}	ディープ スリープ モードでの BOD トリップ電圧	1.11	–	1.5	V	

注：

12. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことは保証されません。リセット ソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにならないことを確認してください。
13. 特性評価で保証されています。

SWD インターフェース

表 22. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID213	F_SWDCCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	–	–	7	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ^[14]	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 \cdot T$	–	–	ns	
SID216 ^[14]	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 \cdot T$	–	–	ns	
SID217 ^[14]	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	–	–	$0.5 \cdot T$	ns	
SID217A ^[14]	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	–	–	ns	

内部主発振器

表 23. IMO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I _{IMO1}	48 MHz での IMO 動作電流	–	–	250	μA	
SID219	I _{IMO2}	24 MHz での IMO 動作電流	–	–	180	μA	

表 24. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	F _{IMOTOL1}	24 MHz および 32 MHz での周波数誤差 (トリム済み)	–	–	±2	%	$2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$
SID223A	F _{IMOTOLVCCD}	24 MHz および 32 MHz での周波数誤差 (トリム済み)	–	–	±4	%	上記以外すべての条件
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	
SID228	T _{JITRMSIMO2}	24 MHz での RMS ジッタ	–	145	–	ps	

内部低速発振器

表 25. ILO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231 ^[14]	I _{ILO1}	ILO 動作電流	–	0.3	1.05	μA	
SID233 ^[14]	I _{ILOLEAK}	ILO リーク電流	–	2	15	nA	

表 26. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234 ^[14]	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	
SID236 ^[14]	T _{ILODUTY}	ILO デューティ比	40	50	60	%	
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	

注：

14. 特性評価で保証されています。

表 27. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305 ^[15]	ExtClkFreq	外部クロック入力周波数	0	–	16	MHz	
SID306 ^[15]	ExtClkDuty	デューティ比 ; $V_{DD}/2$ で測定	45	–	55	%	

表 28. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID262 ^[15]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	

注 :
15. 特性評価で保証されています。

注文情報

PSOC 4000 の型番と特長は下表の通りです。すべてのパッケージはテープ & リールで提供されています。

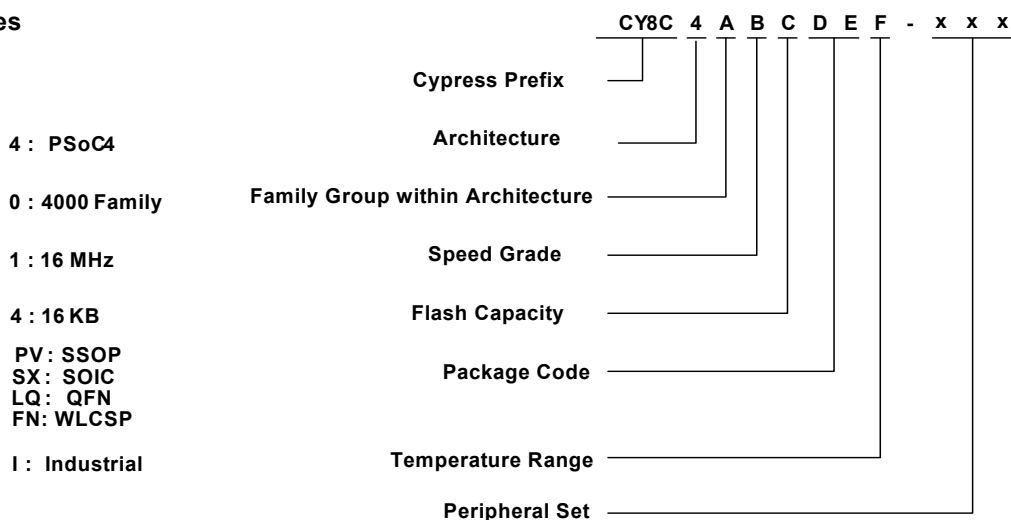
カテゴリ	製品番号	機能									パッケージ						
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	CAPSENSE	7ビット IDAC	8ビット IDAC	コンパレータ	TCPWM ブロック	I ² C	16-WLCSP (1.45 x 1.56mm)	16-WLCSP (1.47 x 1.58mm)	8SOIC	16-SOIC	16QFN	24QFN	28-SSOP
CY8C4013	CY8C4013SXI-400	16	8	2	-	-	-	-	1	1	-	-	✓	-	-	-	-
	CY8C4013SXI-410	16	8	2	-	1	1	1	1	1	-	-	✓	-	-	-	-
	CY8C4013SXI-411	16	8	2	-	1	1	1	1	1	-	-	-	✓	-	-	-
	CY8C4013LQI-411	16	8	2	-	1	1	1	1	1	-	-	-	-	✓	-	-
CY8C4014	CY8C4014SXI-420	16	16	2	✓	1	1	1	1	1	-	-	✓	-	-	-	-
	CY8C4014SXI-421	16	16	2	✓	1	1	1	1	1	-	-	-	✓	-	-	-
	CY8C4014LQI-421	16	16	2	✓	1	1	1	1	1	-	-	-	-	✓	-	-
	CY8C4014LQI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	-	✓	-
	CY8C4014LQI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	✓	-
	CY8C4014PVI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	-	-	✓
	CY8C4014PVI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	-	✓
	CY8C4014FNI-421A	16	16	2	✓	1	1	1	1	1	-	✓	-	-	-	-	-

製品番号の命名規則

PSOC 4 デバイスは下表に示す製品番号の命名規則に従っています。文字列は、特に記述がない限り、すべて 1 文字の英数字 (0 ~ 9、A ~ Z) です。

部品番号は CY8C4ABCDEF-XYZ の形式であり、文字列は以下のように定義されています。

Examples



文字列の値は下表に示されます。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSOC 4
A	ファミリ	0	4000 ファミリ
B	CPU 速度	1	16 MHz
		4	48 MHz
C	フラッシュ容量	3	8 KB
		4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	パッケージコード	SX	SOIC
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度範囲	I	産業用
XYZ	属性コード	000 ~ 999	特定ファミリ向け機能セット コード

パッケージ

表 29. パッケージ一覧

仕様 ID#	パッケージ	説明
BID#47A	28 ピン SSOP	28 ピン、5 × 10 × 1.65mm SSOP、0.65mm ピッチ
BID#26	24 ピン QFN	24 ピン、4 × 4 × 0.6mm QFN、0.5mm ピッチ
BID#33	16 ピン QFN	16 ピン、3 × 3 × 0.6mm QFN、0.5mm ピッチ
BID#40	16 ピン SOIC	16 ピン (150mil) SOIC
BID#47	8 ピン SOIC	8 ピン (150mil) SOIC
BID#147A	16 ボール WLCSP (1.47 × 1.58mm)	16 ボール、1.47 × 1.58 × 0.4mm
	16 ボール WLCSP (1.45 × 1.56mm)	16 ボール、1.45 × 1.56 × 0.4mm

表 30. パッケージ特性

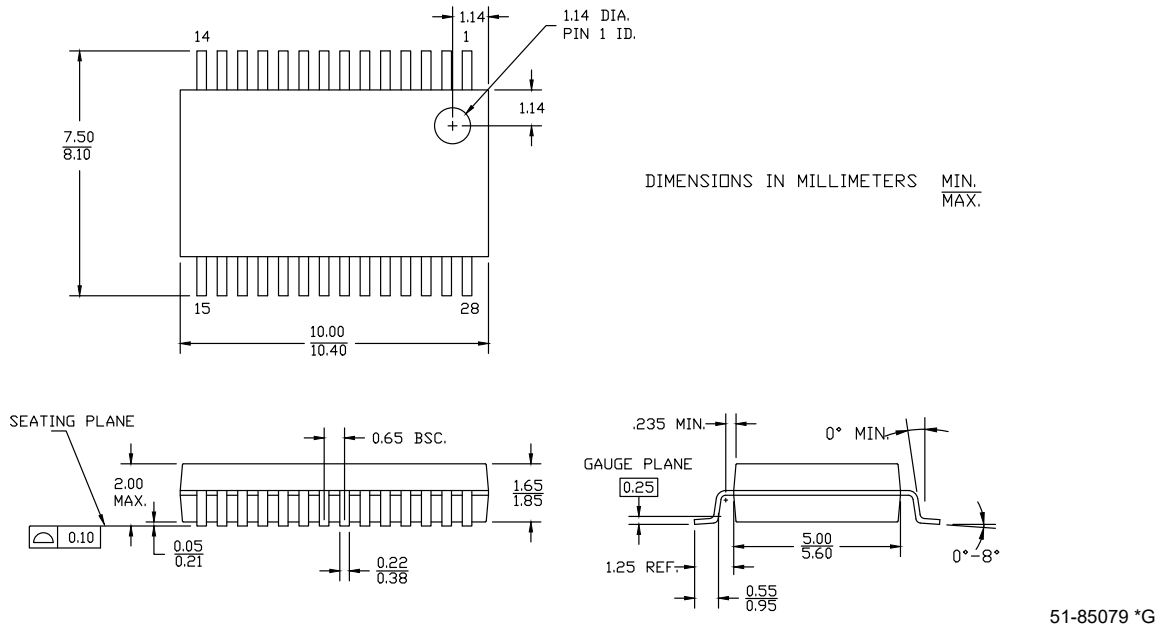
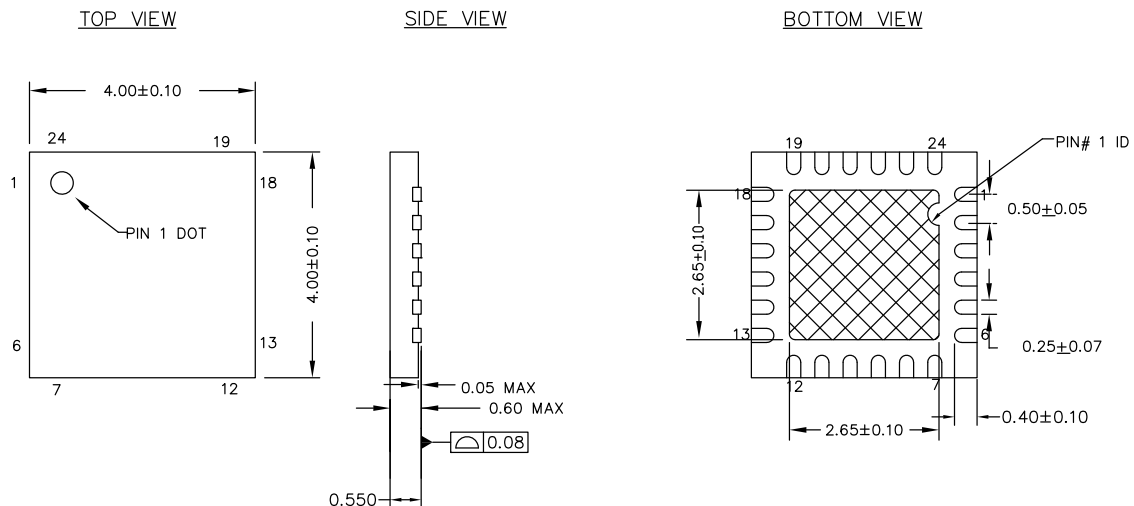
パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	85	°C
T _J	動作接合部温度		-40	—	100	°C
T _{JA}	パッケージ θ _{JA} (28 ピン SSOP)		—	66.6	—	°C/W
T _{JC}	パッケージ θ _{JC} (28 ピン SSOP)		—	34	—	°C/W
T _{JA}	パッケージ θ _{JA} (24 ピン QFN)		—	38	—	°C/W
T _{JC}	パッケージ θ _{JC} (24 ピン QFN)		—	5.6	—	°C/W
T _{JA}	パッケージ θ _{JA} (16 ピン QFN)		—	49.6	—	°C/W
T _{JC}	パッケージ θ _{JC} (16 ピン QFN)		—	5.9	—	°C/W
T _{JA}	パッケージ θ _{JA} (16 ピン SOIC)		—	142	—	°C/W
T _{JC}	パッケージ θ _{JC} (16 ピン SOIC)		—	49.8	—	°C/W
T _{JA}	パッケージ θ _{JA} (16 ボール WLCSP)		—	90	—	°C/W
T _{JC}	パッケージ θ _{JC} (16 ボール WLCSP)		—	0.9	—	°C/W
T _{JA}	パッケージ θ _{JA} (8 ピン SOIC)		—	198	—	°C/W
T _{JC}	パッケージ θ _{JC} (8 ピン SOIC)		—	56.9	—	°C/W


表 31. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 32. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

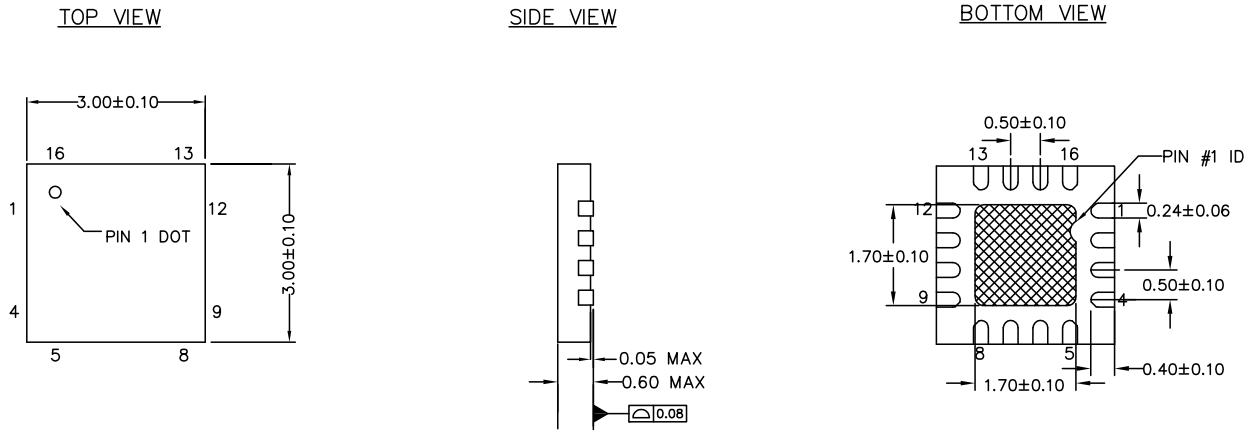
パッケージ	MSL
すべて (WLCSP 以外)	MSL 3
16 ボール WLCSP	MSL 1


パッケージ外形図
図 11. 28 ピン SSOP のパッケージ図 (PG-SSOP-28)

図 12. 24 ピン QFN EPAD (Sawn) のパッケージ図 (PG-VQFN-24)

NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

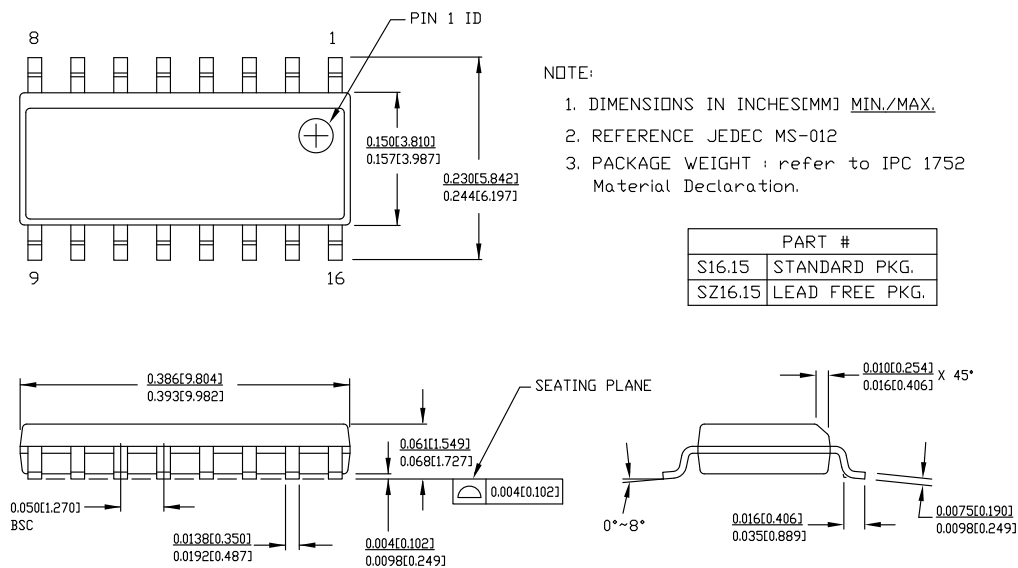
001-13937 *H

機械的、熱的および電気的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグラウンド (VSS) に接続してください。グラウンドに接続しないと、パッドは電気的に開放され、どの信号にも接続されていない状態になります。

図 13. 16 ピン QFN EPAD (Sawn) のパッケージ図 (PG-VQFN-16)

NOTES

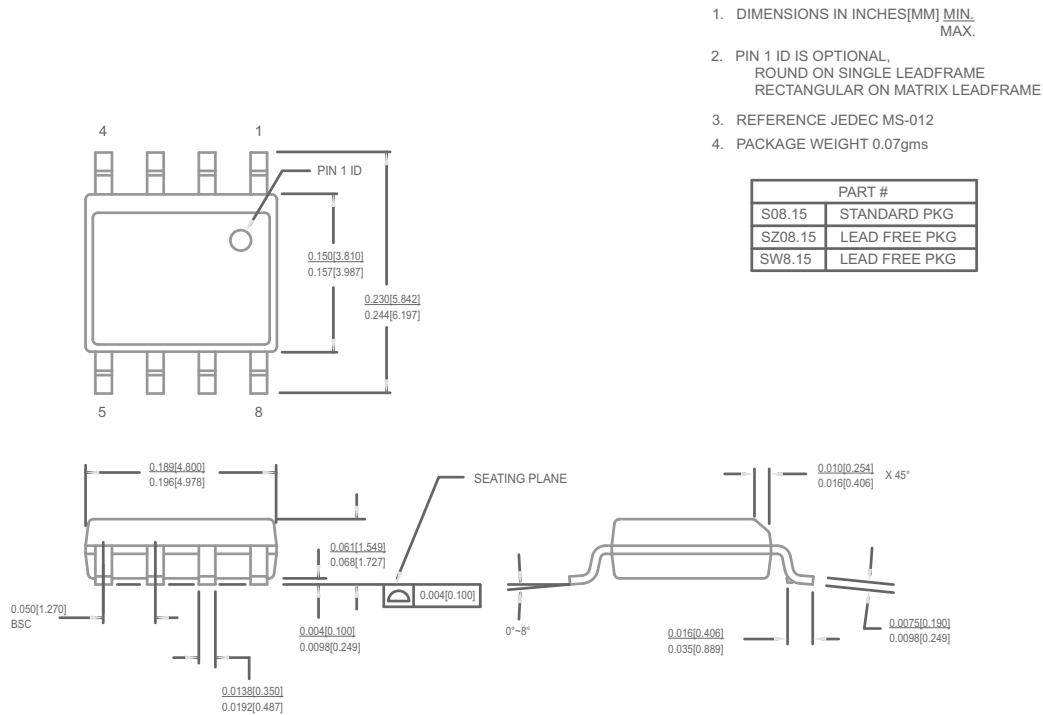
1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web

001-87187 *A

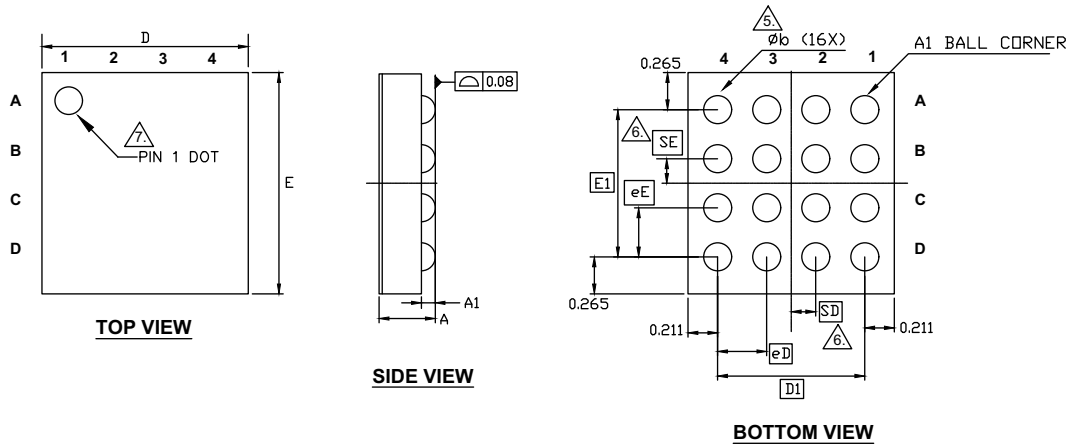
図 14. 16 ピン (150mil) SOIC のパッケージ図 (PG-DSO-16)


51-85068 *F

図 15. 8 ピン (150mil) SOIC のパッケージ図 (PG-DSO-8)



51-85066 *I

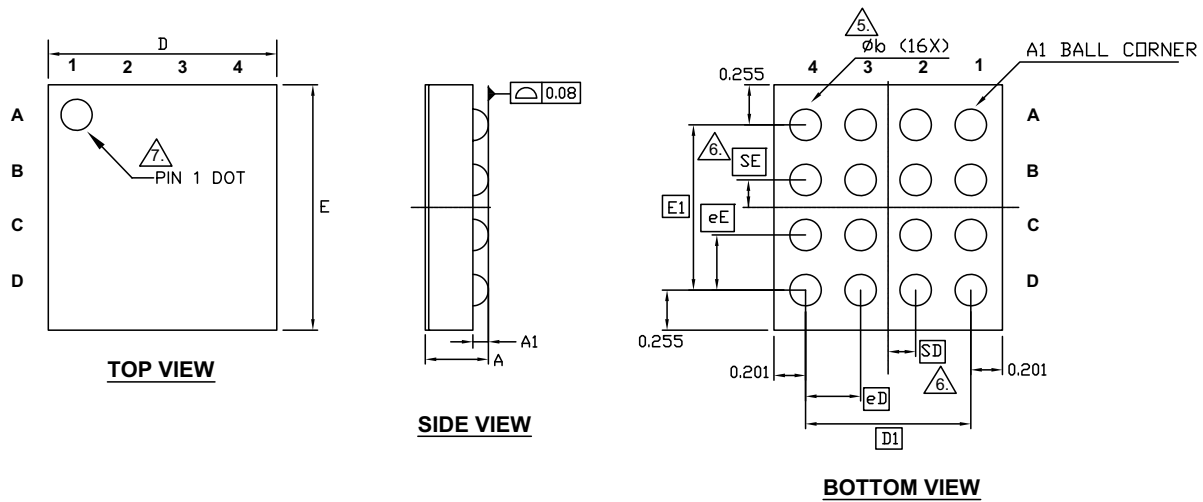
図 16. 16 ボール WLCSP 1.47 × 1.58 × 0.42mm (SG-XFWLB-16)


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.42
A1	0.089	0.099	0.109
D	1.447	1.472	1.497
E	1.554	1.579	1.604
D1	1.05 BSC		
E1	1.05 BSC		
MD	4		
ME	4		
N	16		
Ø b	0.17	0.20	0.23
eD	0.35 BSC		
eE	0.35 BSC		
SD	0.175 BSC		
SE	0.175 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : N/A.

002-18598 *A

図 17. 16 ボール WLCSP 1.45 × 1.56 × 0.42mm (SG-XFWLB-16)


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.42
A1	0.089	0.099	0.109
D	1.427	1.452	1.477
E	1.534	1.559	1.584
D1	1.05 BSC		
E1	1.05 BSC		
MD	4		
ME	4		
N	16		
Ø b	0.17	0.20	0.23
eD	0.35 BSC		
eE	0.35 BSC		
SD	0.18 BSC		
SE	0.18 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- △5 DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- △6 "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- △7 A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : N/A.

001-95966 *C

略語

表 33. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンス ト マイクロコントローラー バス アーキテクチャ) 高性能バス); Arm® データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケー ション プログラミング インターフェース)
APSR	application program status register (アプリケー ション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン); CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク); 通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査); エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変 換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力); アナログな し、デジタル機能のみを持つ GPIO。GPIO を参照 してください
DMIPS	Dhrystone million instructions per second (ドラystone 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセ ス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参 照してください
DNU	do not use (使用禁止)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	Error Correcting Code (エラー訂正コード)

表 33. 本書で使用する略語 (続き)

略語	説明
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。 IIR を参照してください
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力); PSOC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。 LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照し てください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレー テッド サーキット); 通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。 FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参 照してください
INL	integral nonlinearity (積分非直線性)。DNL を参照 してください
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)

表 33. 本書で使用する略語 (続き)

略語	説明
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	Local Interconnect Network (ローカル インターコ ネクト ネットワーク); 通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照して ください
LVI	low-voltage interrupt (低電圧割込み)。HVI を参照 してください
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参照 してください
オペアンプ	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブルアレイ ロジック)。PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	Port Interrupt Control Unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロ ジック デバイス)。PAL を参照してください
PLL	Phase-Locked Loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)

表 33. 本書で使用する略語 (続き)

略語	説明
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSOC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力); 高度機能 GPIO。 GPIO をご参照ください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	Serial Peripheral Interface (シリアル ペリフェラ ル インターフェース); 通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ); テスト プロトコルの一種
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TD	transaction descriptor (トランザクション ディス クリプタ)。DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)

表 33. 本書で使用する略語 (続き)

略語	説明
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	Universal Asynchronous Receiver Transmitter (汎用非同期トランスミッタ レシーバ) ; 通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力) ; USB ポートへの 接続に使用される PSOC ピン
VDAC	voltage DAC (電圧 DAC) 。 DAC 、 IDAC を参照し てください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ) 。 NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 34. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド

表 34. 測定単位 (続き)

記号	測定単位
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSOC™ 4: PSOC 4000 ファミリ データシートプログラマブル システムオンチップ (PSOC™) 文書番号 : 001-92208			
版	ECN	発行日	変更内容
**	4371640	05/06/2014	これは英語版 001-89638 Rev *A を翻訳し た日本語版 001-92208 Rev. ** です。
*A	4928457	09/23/2015	これは英語版 001-89638 Rev. *E を翻訳した日本語版 001-92208 Rev. *A です。
*B	5776183	06/26/2017	ロゴと著作権を更新。 パッケージダイアグラムを更新 : 仕様 001-95966 の版数を * A から * C に変更しました。
*C	5990569	12/16/2017	これは英語版 001-89638 Rev *H を翻訳し た日本語版 001-92208 Rev. *C です。
*D	6450493	01/18/2019	これは英語版 001-89638 Rev *I を翻訳し た日本語版 001-92208 Rev. *D です。
*E	7399878	10/28/2021	これは英語版 001-89638 Rev *K を翻訳し た日本語版 001-92208 Rev. *E です。
*F	8078024	10/2/2024	これは英語版 001-89638 Rev *L を翻訳し た日本語版 001-92208 Rev. *F です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSOC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSOC® ソリューション

[PSOC 1](#) | [PSOC 3](#) | [PSOC 4](#) | [PSOC 5LP](#) | [PSOC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

[cypress.com/support](https://www.cypress.com/support)

© Cypress Semiconductor Corporation, 2013-2024. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](https://www.cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。