

# PSoC™ 4 MCU: PSoC™ 4000S

## Arm® Cortex®-M0+ CPU をベース

### 概要

PSoC™ 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステムコントローラーファミリ用の、拡張可能かつ再設定可能なプラットフォームアーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSoC™ 4000S 製品ファミリは、PSoC™ 4 プラットフォームアーキテクチャのメンバーです。これは、標準的な通信とタイミングペリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシングシステム (CAPSENSE™)、プログラマブルな汎用の連続時間かつスイッチド キャパシタを備えたアナログ ブロック、およびプログラマブルな接続で構成されます。新しいアプリケーションと設計ニーズのために、PSoC™ 4000S 製品は PSoC™ 4 プラットフォームのメンバーとの完全な上位互換性があります。

### 特長

- 32 ビット MCU サブシステム
  - シングルサイクル乗算を備えた 48MHz Arm® Cortex®-M0+ CPU
  - 最大 32KB のフラッシュメモリ、リード アクセラレータ付き
  - 最大 4KB の SRAM
- プログラマブル アナログ
  - 静電容量センシング ブロックにより提供されるシングルスロープ 10 ビット ADC 機能
  - 任意のピンでの汎用または静電容量センシング用途向けの電流 DAC (IDAC) 2 個
  - 低消費電力コンパレータ (低消費電力のディープスリープ モードで動作) 2 個
- プログラマブル デジタル
  - 入出力ポートでブール演算の実行を可能にするプログラマブル論理ブロック
- 低消費電力 (1.71V ~ 5.5V) 動作
  - 動作可能なアナログと 2.5µA のデジタルシステム電流を有するディープスリープ モード
- 静電容量センシング
  - 静電容量センシングシグマ デルタはクラス最高の信号対ノイズ比 (SNR) (>5:1) および耐水性を提供
  - インフィニオンが提供するソフトウェアコンポーネントが静電容量センシングの設計を容易化
  - 自動のハードウェアチューニング (SmartSense)
- LCD 駆動力
  - GPIO 上の LCD セグメント駆動能力
- シリアル通信
  - 2 個の独立した実行時再設定可能なシリアル通信ブロック (SCB)。I<sup>2</sup>C, SPI, または UART 機能を再設定可能。
- タイミングおよびパルス幅の変調
  - 5 個の 16 ビット タイマー / カウンタ / パルス幅変調器 (TCPWM) ブロック
  - 中央揃え、エッジ、および疑似ランダム モード
  - モーター駆動やその他の信頼性の高いデジタルロジック アプリケーション用キル信号のコンパレータベースのトリガー
- 最大 36 のプログラミング可能な GPIO ピン
  - 48 ピン TQFP, 40 ピン QFN, 32 ピン QFN, 24 ピン QFN, 32 ピン TQFP、および 25 ボール WLCSP パッケージ
  - すべての GPIO ピンは CAPSENSE™、アナログ、またはデジタルに対応
  - 駆動モード、駆動力、およびスルーレートはプログラム可能

- クロックソース
  - 32kHz 時計用水晶発振器 (WCO)
  - ±2% 内蔵主発振器 (IMO)
  - 32kHz 内蔵低電力発振器 (ILO)
- ModusToolbox™ ソフトウェア
  - マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
  - ボードサポートパッケージ (BSP), 周辺機器ドライバライブラリ (PDL), および CAPSENSE™ などのミドルウェアを含む
- PSoC™ Creator 設計環境
  - 統合開発環境 (IDE) がアナログとデジタル自動配線を使用して回路図設計の入力とビルトを提供
  - すべての固定機能およびプログラム可能なペリフェラル向けのアプリケーションプログラミングインターフェース (API) コンポーネント
- 業界標準のツールとの互換性
  - 回路図のエントリ後、開発を Arm® ベースの業界標準の開発ツールで行うことが可能

## 目次

<b>目次</b>	3
<b>概要</b>	1
<b>特長</b>	1
<b>目次</b>	3
<b>1 Development Ecosystem</b>	4
1.1 PSoC™ 4 MCU リソース	4
1.2 ModusToolbox™ ソフトウェア	5
1.3 PSoC™ Creator	6
<b>ブロックダイヤグラム</b>	7
<b>2 機能説明</b>	9
<b>3 機能定義</b>	10
3.1 CPU およびメモリ サブシステム	10
3.2 システム リソース	10
3.3 アナログ ブロック	12
3.4 プログラマブル デジタル ブロック	12
3.5 固定機能 デジタル	13
3.6 GPIO	13
3.7 特殊機能 ペリフェラル	14
<b>4 ピン配置</b>	15
4.1 代替えのピン機能	17
<b>5 電源</b>	19
5.1 モード 1: 1.8V ~ 5.5V の外部電源	19
5.2 モード 2: 1.8V ±5% の外部電源	20
<b>6 電気的仕様</b>	21
6.1 絶対最大定格	21
6.2 デバイス レベルの仕様	22
6.3 アナログ ペリフェラル	27
6.4 デジタル ペリフェラル	31
6.5 メモリ	35
6.6 システム リソース	36
<b>7 注文情報</b>	40
<b>8 パッケージ</b>	42
8.1 外形図	43
<b>9 略語</b>	48
<b>10 本書の表記法</b>	52
10.1 測定単位	52
<b>改訂履歴</b>	53
<b>免責事項</b>	54

# 1 Development Ecosystem

## 1.1 PSoC™ 4 MCU リソース

インフィニオンは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC™ デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は PSoC™ 4 MCU のリソースの要約です。

- **概要 : PSoC™ ポートフォリオ、PSoC™ ロードマップ**
- **製品セレクタ : PSoC™ 4 MCU**
- **アプリケーションノート** : 基本レベルから上級レベルまでの幅広いトピックを提供します。
  - [AN79953](#): Getting Started With PSoC™ 4。このアプリケーションノートは使用する IDE ([ModusToolbox™ ソフトウェア](#) および [PSoC™ Creator](#)) の決定を助ける便利なフローチャートがあります。
  - [AN91184](#): PSoC™ 4 BLE - Designing BLE Applications
  - [AN88619](#): PSoC™ 4 hardware design considerations
  - [AN73854](#): Introduction To bootloaders
  - [AN89610](#): Arm® Cortex® code optimization
  - [AN86233](#): PSoC™ 4 MCU power reduction techniques
  - [AN57821](#): Mixed signal circuit board layout
  - [AN85951](#): PSoC™ 4, PSoC™ 6 CAPSENSE™ design guide
- **サンプルコード** : 製品の機能と使用法を示します。[インフィニオン GitHub repositories](#) からも利用可能です。
- **テクニカルリファレンスマニュアル (TRM)** : PSoC™ 4 MCU アーキテクチャとレジスタの詳細な説明をします。
- **PSoC™ 4 MCU プログラミング仕様** : PSoC™ 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
  - **ModusToolbox™ ソフトウェア** : しっかりと一体化されたツールとソフトウェアライブラリによって、クロスプラットフォームコードの開発が可能です。
  - **PSoC™ Creator** は無料の Windows ベースの IDE です。これにより、PSoC™ 3、PSoC™ 4、PSoC™ 5LP、および PSoC™ 6 MCU ベースのシステムのハードウェアとファームウェアの同時設計が可能です。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
  - **CY8CKIT-145-40XX** PSoC™ 4000S CAPSENSE™ プロトタイピングキットは、低コストで使いやすい評価プラットフォームです。このキットを使用すると、ブレッドボード互換形式ですべてのデバイス I/O に簡単にアクセスできます。
  - **MiniProg4** および **MiniProg3** はオールインワン開発プログラマーおよびデバッガーです。
  - **PSoC™ 4 CAD ライブラリ** は、一般的なツールに対応したフットプリントと回路図を提供します。IBIS モデルも使用できます。
- **トレーニングビデオ** : [PSoC™ 4 MCU 101](#) シリーズを含む、幅広いトピックを提供します。
- **インフィニオン Developer Community** : 世界中の PSoC™ 開発者と常時連絡/情報交換が可能です。[PSoC™ 4 MCU の専用コミュニティ](#) もあります。

## 1.2 ModusToolbox™ ソフトウェア

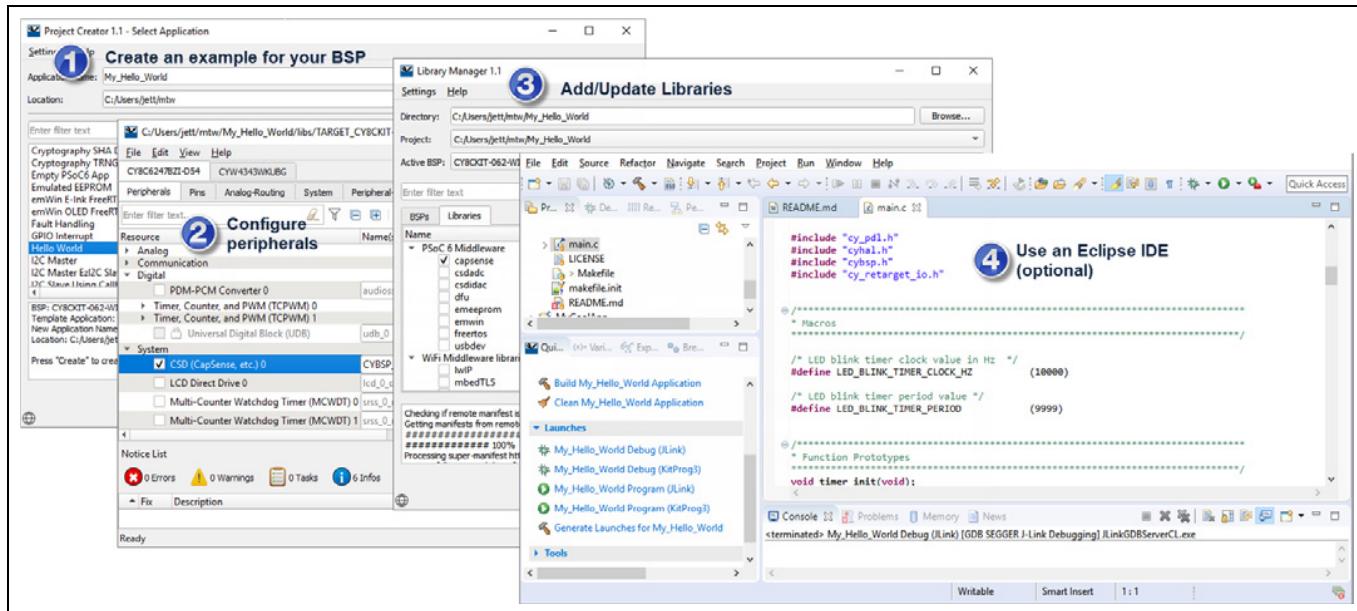
**ModusToolbox™ Software** は、インフィニオンのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

- 包括的 - 必要なリソースがあります
  - 柔軟性 - 独自のワークフローでリソースを使用できます
  - アトミック - 必要なリソースだけを取得できます

インフィニオンは、[GitHub でのコードリポジトリ](#)の大規模なコレクションを提供します。これは以下のとおりです。

- ・インフィニオンキットと連携したボードサポートパッケージ (BSP)
  - ・ペリフェラルドライバーライブラリ (PDL) を含む低レベルのリソース
  - ・CAPSENSE™などの業界をリードする機能を可能にするミドルウェア
  - ・徹底的にテストされた **code sample application** 広範なセット

ModusToolbox™ Software は IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。Figure 1 に示すように、プロジェクトクリエーター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox™ 用のオプションの Eclipse IDE が含まれます。インフィニオンツールの使用については、ModusToolbox™ software に付属のドキュメントおよび [AN79953:PSoC™ 4 入門](#) を参照してください。



## Figure 1 ModusToolbox™ Software ツール

## 1.3 PSoC™ Creator

**PSoC™ Creator** は無料で利用できる Windows ベースの IDE です。このツールにより、お客様は PSoC™ 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。Figure 2 に PSoC™ Creator でできることを示します。

1. コンポーネントアイコンをドラッグ アンド ドロップして、メインデザインワークスペースでハードウェアシステムデザインを構築
2. PSoC™ Creator IDE C コンパイラを使用して、アプリケーションファームウェアを PSoC™ ハードウェアと共同設計します
3. コンフィギュレーションツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントを含むライブラリを利用
5. コンポーネントデータシートをレビュー
6. PSoC™ 4 Pioneer Kit でソリューションのプロトタイプを設計。設計変更が必要な場合、PSoC™ Creator およびそのコンポーネントにより、ハードウェアを改訂せずその場で変更を行えます。

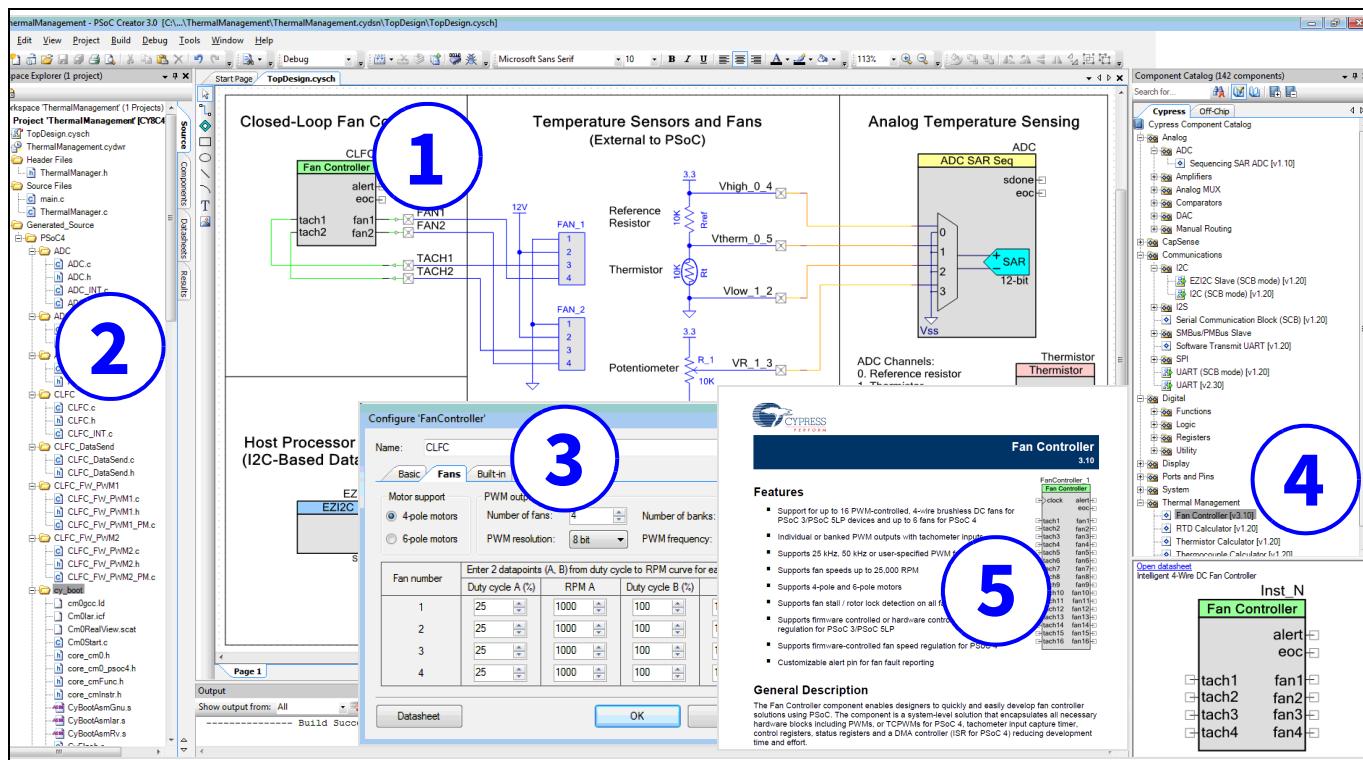
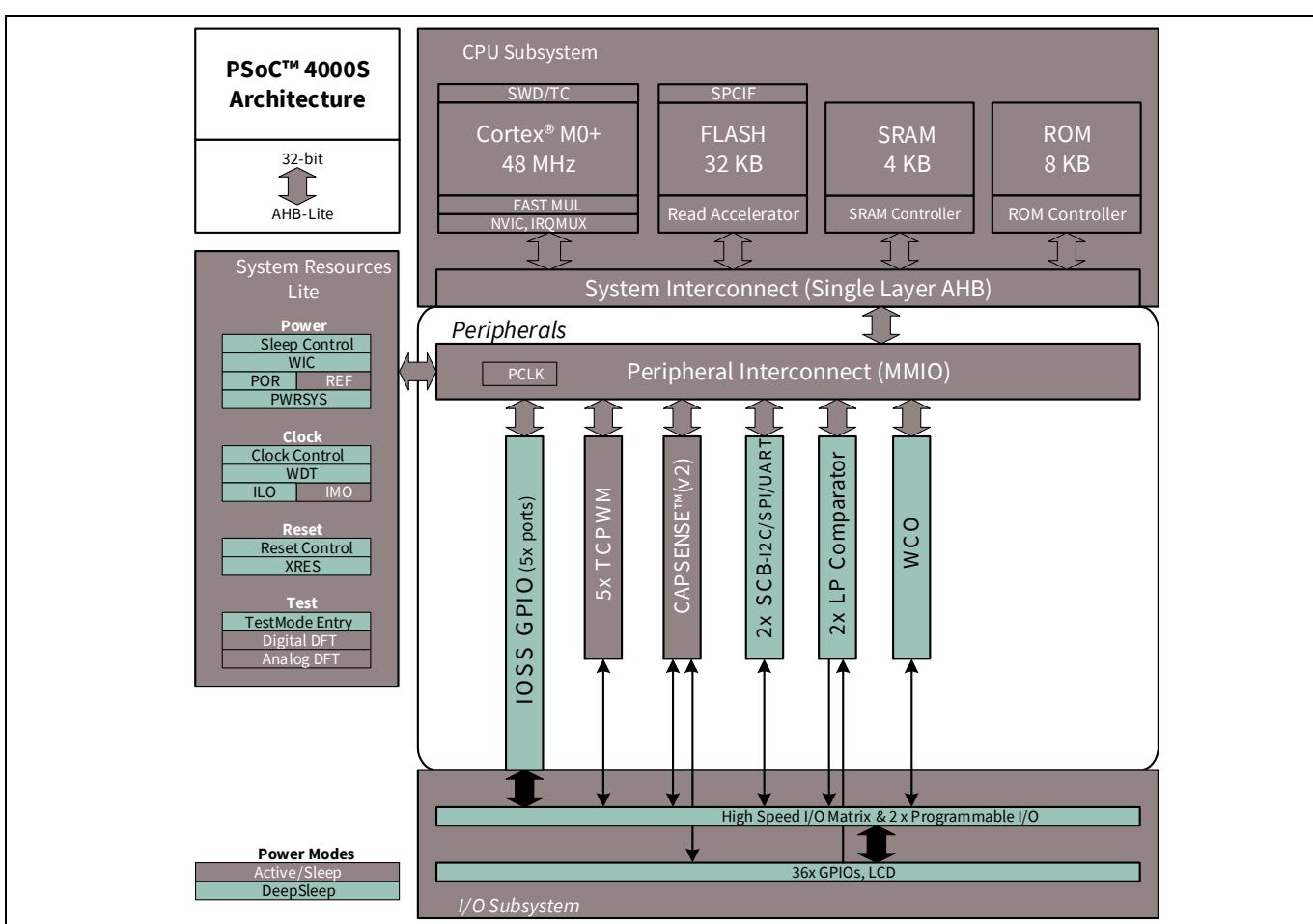


Figure 2 PSoC™ Creator のマルチセンササンプルプロジェクト

ブロックダイヤグラム



PSoC™ 4000S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線に対する幅広いサポートを含みます。

Arm® シリアルワイヤデバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグオンチップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグ処理が可能です。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC™ Creator IDE は、PSoC™ 4000S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC™ 4000S ファミリは、マルチチップアプリケーションソリューションまたはマイクロコントローラーでは不可能なセキュリティレベルを提供します。

このファミリは以下の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

## ブロックダイヤグラム

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグ処理のファームウェア制御は、ファームウェアを消去しなければオーバーライドされず、結果セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストインターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC™ 4000S は、不良解析に返されないことがあります。これは PSoC™ 4000S がカスタマーが行うようにするトレードオフです。

## 2 機能説明

PSoC™ 4000S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線に対する幅広いサポートを含みます。

Arm®シリアルワイヤデバッグ(SWD)インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグオンチップ(DoC)の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグ処理が可能です。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC™ Creator IDE は、PSoC™ 4000S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWDインターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC™ 4000S ファミリは、マルチチップアプリケーションソリューションまたはマイクロコントローラーでは不可能なセキュリティレベルを提供します。このファミリは以下の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブルオンチップブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグ処理のファームウェア制御は、ファームウェアを消去しなければオーバーライドされず、結果セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストインターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC™ 4000S は、不良解析に返されないことがあります。これは PSoC™ 4000S がカスタマーが行うようにするトレードオフです。

## 3 機能定義

### 3.1 CPU およびメモリ サブシステム

#### 3.1.1 CPU

PSoC™ 4000S の Cortex®-M0+ CPU は、広範なクロック ゲーティングにより低消費電力動作用に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含みます。WIC はディープスリープ モードからプロセッサを復帰させることができます。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切れます。

CPU はまたデバッグインターフェイスも含みます。JTAG の 2 線式のシリアルワイヤ デバッグ (SWD) インターフェースです。PSoC™ 4000S に使用するデバッグ コンフィギュレーションには、4 個のブレーク ポイント (アドレス) コンパレータと 2 個のウォッチ ポイント (データ) コンパレータがあります。

#### 3.1.2 フラッシュ

PSoC™ 4000S デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU と密結合された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持ちます。低消費電力のフラッシュ ブロックは 48MHz で 2 ウェイト ステート (WS) アクセス時間を提供するように設計されます。フラッシュ アクセラレータは、平均してシングル サイクル SRAM のアクセス性能の 85% を提供します。

#### 3.1.3 SRAM

48MHz でゼロ ウェイト ステート (待ち状態なし) アクセスを備えた 4KB SRAM が提供されます。

#### 3.1.4 SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM が提供されます。

## 3.2 システム リソース

### 3.2.1 電源システム

電源システムは 19 ページの [電源](#) の節で詳しく説明されます。これは電圧レベルがそれぞれのモードに對して必要なものであることを保証し、電圧レベルが適切な機能に必要な状態になるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSoC™ 4000S は、 $1.8V \pm 5\%$  (外部安定化) または  $1.8V \sim 5.5V$  (内部安定化) の単一外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC™ 4000S は、アクティブ、スリープおよびディープスリープ低消費電力モードを提供します。

すべてのサブシステムはアクティブモードで動作できます。CPU サブシステム (CPU、フラッシュ、SRAM) はスリープモードでクロックがゲート オフになりますが、すべてのペリフェラルと割込みはウェイクアップイベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープ モードでは、高速クロックおよび対応する回路がスイッチオフされます。このモードからの復帰するためには  $35\mu s$  を要します。

### 3.2.2 クロックシステム

PSoC™ 4000S クロックシステムは、クロックを必要とするすべてのサブシステムにクロックを供給することと、グリッチなしに異なるクロックソース間で切り替えることを担当します。更に、クロックシステムはメタステーブル状態が発生しないことを保証します。

PSoC™ 4000S のクロックシステムは、内蔵主発振器 (IMO)、内蔵低周波数発振器 (ILO)、32kHz の時計用水晶発振器 (WCO) および外部クロック用の予備により構成されます。クロック分周器は微調整のレベルでペリフェラル用のクロックを生成するために提供されます。また、分数分周器はまた、UART 向けのより高いデータ転送速度のクロックを可能にするために提供されます。

HFCLK 信号はアナログとデジタルペリフェラル用に同期クロックを生成するために分周させられます。PSoC™ 4000S には 8 個のクロック分周器を備えており、そのうち 2 個は分数分周器です。16 ビットの能力がよりきめ細かい周波数値を柔軟に生成することを可能にし、それは PSoC™ Creator で完全にサポートされます。

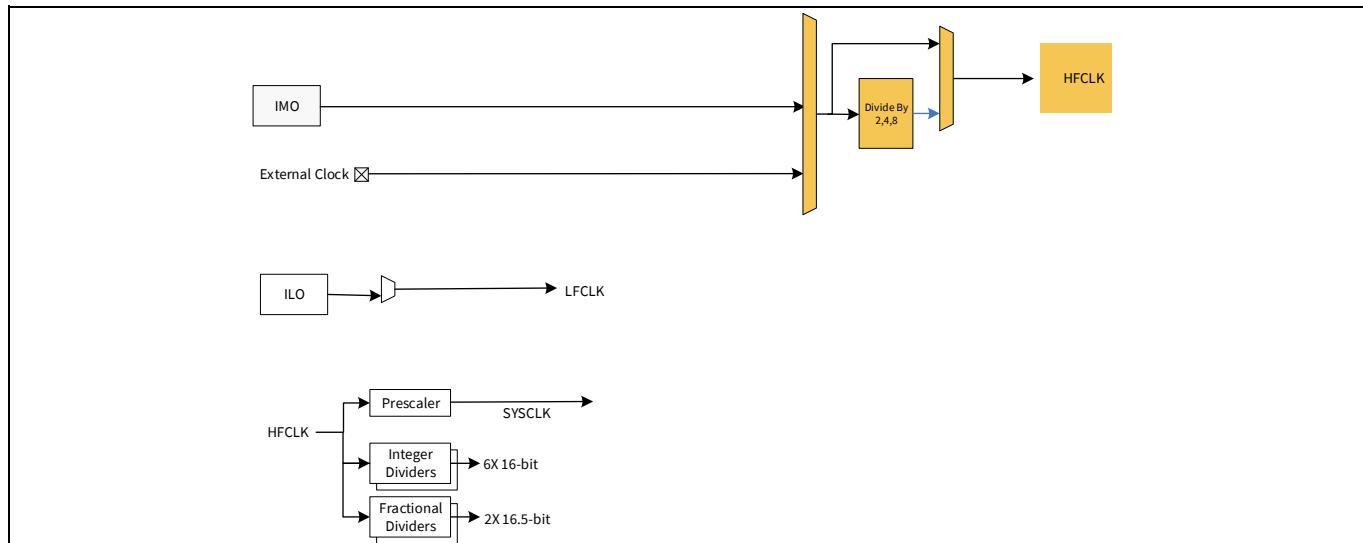


Figure 3 PSoC™ 4000S MCU のクロッキングアーキテクチャ

### 3.2.3 IMO クロックソース

IMO は PSoC™ 4000S における内部クロックの主な供給ソースです。これはテスト中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24MHz で、24 から 48MHz 間で 4MHz ステップで調整できます。インフィニオンが提供する校正設定での IMO の許容誤差は  $\pm 2\%$  です。

### 3.2.4 ILO クロックソース

ILO は超低消費電力の 40kHz 発振器であり、ディープスリープモードでウォッチドッグタイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正させられます。インフィニオンは、校正を実行するソフトウェアコンポーネントを提供します。

### 3.2.5 時計用水晶発振器 (WCO)

PSoC™ 4000S クロックサブシステムはまた、高精度タイミングのアプリケーションに使用される低周波発振器 (32kHz 時計用水晶) を実装します。WCO ブロックを使用すると、IMO を 32kHz 発振器にロックできます。PSoC™ 4000S シリーズデバイスの WCO は、LFCLK または WDT に接続しません。このため、RTC 機能はサポートされません。

### 3.2.6 ウオッヂドッグ タイマー

ウォッヂドッグタイマーは ILO から動作するクロック ブロックに実装されます。これにより、ディープスリープでのウォッヂドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかつた場合にウォッヂドッグリセットを生成します。ウォッヂドッグリセットは、ファームウェア読み出しが可能なりセット原因 (Reset Cause) レジスタに記録されます。

### 3.2.7 リセット

PSoC™ 4000S は、ソフトウェアリセットを含む様々なソースからリセットさせられます。リセットイベントは非同期であり、既知の状態への復帰を保証します。リセットの原因はレジスタに記録されます。そのレジスタはリセットをとおしてスティッキで、ソフトウェアがリセットの原因を判断するのを可能にします。XRES ピンは、アクティブ LOW にアサートすることで外部リセット用に予約されます。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

### 3.2.8 基準電圧

PSoC™ 4000S リファレンスシステムは、すべての内部で必要となる基準電圧を生成します。1.2V 基準電圧はコンパレータ用に提供されます。IDAC は  $\pm 5\%$  基準電圧を基準とします。

## 3.3 アナログ ブロック

### 3.3.1 低消費電力コンパレータ (LPC)

PSoC™ 4000S は、ディープスリープ モードでも動作できる一对の低消費電力コンパレータを内蔵します。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながら、アナログシステム ブロックを無効にできます。コンパレータ出力は、準安定状態を避けるために通常同期化されます。ただし、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

### 3.3.2 電流 DAC

PSoC™ 4000S は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えます。これらの IDAC はプログラミング可能な電流範囲を持ちます。

### 3.3.3 アナログ マルチプレクサ バス

PSoC™ 4000S はチップの周辺を回る 2 個の同心の独立したバスを備えます。これらのバス (amux バスと呼ばれる) はファームウェア プログラム可能なアナログスイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続可能にします。

## 3.4 プログラマブル デジタル ブロック

プログラマブルな I/O (スマート I/O) ブロックはスイッチと LUT の構造体であり、ブール関数が GPIO ポートの各ピンに配線された信号で実行されることを可能にします。スマート I/O は、論理演算をチップの入力ピンおよび出力として出る信号で実行できます。

## 3.5 固定機能デジタル

### 3.5.1 タイマー / カウンター / PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンターからなります。イベント (I/O イベントなど) 時にカウント値を記録するキャプチャレジスタ、そのカウントが周期レジスタのカウントに等しくなる時に停止するかまたは自動的にカウンタをリロードするために使用される周期レジスタ、そして PWM デューティ比出力として使用される比較値信号を生成するための比較レジスタがあります。このブロックはその両者間でプログラミング可能なオフセットを有する真の出力と相補出力も提供しており、デッドバンドプログラミング可能な相補 PWM 出力としての使用を可能にします。また、出力を事前に決定された状態に移行するキル (Kill) 入力もあります。例えば、モーター駆動システムで過電流状態が示され、FET を駆動している PWM をソフトウェア介入の時間が無いため直ちに止めが必要がある時に、キル入力が使用されます。PSoC™ 4000S には 5 個の TCPWM ブロックがあります。

### 3.5.2 シリアル通信ブロック (SCB)

PSoC™ 4000S には 2 個のシリアル通信ブロックが備えられ、SPI、I2C または UART 機能を有するようにプログラムさせられます。

**I<sup>2</sup>C モード** : ハードウェア I<sup>2</sup>C ブロックは、完全なマルチマスターとスレーブインターフェース (マルチマスターのアービトリレーションが可能) を実装します。このブロックは、最大 1Mbps (高速モードプラス) で動作可能で、CPU 用の割込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリングオプションがあります。このブロックはまた EZI2C に対応します。これは、PSoC™ 4000S のメモリでメールボックスアドレス範囲を作り、メモリのアレイに対する読み書きの I<sup>2</sup>C 通信を効果的に削減します。また、ブロックは送受信用に深さ 8 の FIFO にも対応します。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間どおりに読み出しデータを取得しないことに起因するクロックストレッチの必要性を大幅に低減します。

I<sup>2</sup>C ペリフェラルは、NXP I<sup>2</sup>C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに、I<sup>2</sup>C 標準モードならびにファストモード デバイスと互換性があります。I<sup>2</sup>C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSoC™ 4000S は、以下の点では I<sup>2</sup>C 仕様に完全には準拠しません。

- GPIO セルは過電圧耐性がないため、I<sup>2</sup>C システムの残りの部分から独立してホットスワップされることや電源投入させられません。

**UART モード** : これは最大 1Mbps で動作するフル機能の UART です。これは、車載向けシングルワイヤインターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応します。これらはすべて基本 UART プロトコルから少し変化したものである。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビットマルチプロセッサモードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの共通の UART 機能がサポートされます。深さ 8 の FIFO は、より大きい CPU サービス レイテンシが許容されるようにします。

**SPI モード** : SPI モードは Motorola SPI、TI SSP (SPI コデックを同期化するために使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応します。SPI ブロックは FIFO を使用できます。

## 3.6 GPIO

PSoC™ 4000S は最大 36 本の GPIO を装備します。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード：
  - アナログ入力モード (入力と出力バッファが無効)
  - 入力のみ
  - 弱プルアップ、強プルダウン
  - 強プルアップ、弱プルダウン
  - オープンドレイン、強プルダウン
  - オープンドレイン、強プルアップ
  - 強プルアップ、強プルダウン
  - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTL)

- 駆動強度モードに加えて、入力と出力バッファの有効 / 無効の個別制御
- EMI を改善するための  $dV/dt$  関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、ブロックは必ず無効状態に置かれ、入力が一切無いように、および / または電源投入時に過電流を生じることがないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピンステートレジスタはそれぞれ、ピン上で駆動される値とそれらピン自体の状態を格納します。

各 I/O ピンはそのようにイネーブルされた場合に割込みを生成でき、各 I/O ポートにはそれに対応する割込み要求 (IRQ) と割込みサービスルーチン (ISR) ベクタがあります (PSoC™ 4000S では、ベクタ数は 5 です)。

## 3.7 特殊機能ペリフェラル

### 3.7.1 CAPSENSE™

CAPSENSE™ は、( アナログスイッチに接続された ) アナログマルチプレクサバスを介してどのピンにも接続できる CAPSENSE™ シグマデルタ (CSD) ブロックにより、PSoC™ 4000S でサポートされます。

CAPSENSE™ 機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供させられます。ユーザーの便宜のために、PSoC™ Creator コンポーネントが CAPSENSE™ ブロック用に提供されます。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサバス上で駆動させられます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることから防ぐためのものです。近接検知も実装できます。

CAPSENSE™ ブロックは、2 個の IDAC を備えます。これらは、CAPSENSE™ が使用されていない場合 (両方の IDAC とも使用可能)、または CAPSENSE™ が耐水性を備えずに使用される場合 (どちらか一方の IDAC が使用可能)、一般用途に使用させられます。

CAPSENSE™ ブロックはまた、CAPSENSE™ 機能と共に使用される 10 ビットのスロープ ADC 機能も提供します。

CAPSENSE™ ブロックは、高度で低ノイズなプログラマブルなブロックで、感度と柔軟性を向上させるためのプログラマブル電圧の基準と電流ソースの範囲を有します。さらに、外部基準電圧も利用できます。それは、VDDA とグランドへのセンシングを交互に行う全波 CSD モードを有し、電源関連のノイズをゼロにします。

### 3.7.2 LCD セグメント駆動

PSoC™ 4000S は、最大 8 コモン信号と最大 28 セグメント信号を駆動できる、LCD コントローラーを内蔵します。フルデジタル方法を使用して LCD セグメントを駆動します。内部 LCD 電圧を生成する必要はありません。2 つの方法は、デジタル相関と PWM と呼ばれます。デジタル相関はコモンとセグメント信号の周波数と駆動レベルの変調に関連し、セグメントの全域で最高 RMS 電圧を生成して、セグメントを点灯させるかまたは RMS 信号を 0 に維持します。この方法は STN ディスプレイに適しますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。PWM は PWM 信号を有するパネルの駆動に関連し、パネルの静電容量を効率的に使用して変調されたパルス幅の積分を提供し、所望の LCD 電圧を生成します。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際にはより良い結果を出します。

ピン配置

## 4 ピン配置

下表に、PSoC™ 4000S の 48 ピン TQFP, 32 ピン QFN, 24 ピン QFN, 24 ピン QFN, 32 ピン TQFP, および 25 ボール CSP パッケージ用のピン一覧を示します。すべてのポートピンは GPIO に対応します。ピン 11 は 48-TQFP では非接続です。

**Table 1 PSoC™ 4000S ピン一覧**

48 ピン TQFP		32 ピン QFN		24 ピン QFN		25 ボール CSP		40 ピン QFN		32 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	17	P0.0	13	P0.0	D1	P0.0	22	P0.0	17	P0.0
29	P0.1	18	P0.1	14	P0.1	C3	P0.1	23	P0.1	18	P0.1
30	P0.2	19	P0.2					24	P0.2	19	P0.2
31	P0.3	20	P0.3					25	P0.3	20	P0.3
32	P0.4	21	P0.4	15	P0.4	C2	P0.4	26	P0.4	21	P0.4
33	P0.5	22	P0.5	16	P0.5	C1	P0.5	27	P0.5	22	P0.5
34	P0.6	23	P0.6	17	P0.6	B1	P0.6	28	P0.6	23	P0.6
35	P0.7					B2	P0.7	29	P0.7		
36	XRES	24	XRES	18	XRES	B3	XRES	30	XRES	24	XRES
37	VCCD	25	VCCD	19	VCCD	A1	VCCD	31	VCCD	25	VCCD
38	VSSD	26	VSSD	20	VSSD	A2	VSS			26	VSSD
39	VDDD	27	VDD	21	VDD	A3	VDD	32	VDDD	27	VDD
40	VDDA	27	VDD	21	VDD	A3	VDD	33	VDDA	27	VDD
41	VSSA	28	VSSA	22	VSSA	A2	VSS	34	VSSA	28	VSSA
42	P1.0	29	P1.0					35	P1.0	29	P1.0
43	P1.1	30	P1.1					36	P1.1	30	P1.1
44	P1.2	31	P1.2	23	P1.2	A4	P1.2	37	P1.2	31	P1.2
45	P1.3	32	P1.3	24	P1.3	B4	P1.3	38	P1.3	32	P1.3
46	P1.4							39	P1.4		
47	P1.5										
48	P1.6										
1	P1.7	1	P1.7	1	P1.7	A5	P1.7	40	P1.7	1	P1.7
2	P2.0	2	P2.0	2	P2.0	B5	P2.0	1	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1	C5	P2.1	2	P2.1	3	P2.1
4	P2.2	4	P2.2					3	P2.2	4	P2.2
5	P2.3	5	P2.3					4	P2.3	5	P2.3
6	P2.4							5	P2.4		
7	P2.5	6	P2.5					6	P2.5	6	P2.5
8	P2.6	7	P2.6	4	P2.6	D5	P2.6	7	P2.6	7	P2.6
9	P2.7	8	P2.7	5	P2.7	C4	P2.7	8	P2.7	8	P2.7
10	VSSD					A2	VSS	9	VSSD		
12	P3.0	9	P3.0	6	P3.0	E5	P3.0	10	P3.0	9	P3.0
13	P3.1	10	P3.1			D4	P3.1	11	P3.1	10	P3.1
14	P3.2	11	P3.2	7	P3.2	E4	P3.2	12	P3.2	11	P3.2

ピン配置

Table 1 PSoC™ 4000S ピン一覧 (続き)

48 ピン TQFP		32 ピン QFN		24 ピン QFN		25 ボール CSP		40 ピン QFN		32 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
16	P3.3	12	P3.3	8	P3.3	D3	P3.3	13	P3.3	12	P3.3
17	P3.4							14	P3.4		
18	P3.5							15	P3.5		
19	P3.6							16	P3.6		
20	P3.7							17	P3.7		
21	VDDD										
22	P4.0	13	P4.0	9	P4.0	E3	P4.0	18	P4.0	13	P4.0
23	P4.1	14	P4.1	10	P4.1	D2	P4.1	19	P4.1	14	P4.1
24	P4.2	15	P4.2	11	P4.2	E2	P4.2	20	P4.2	15	P4.2
25	P4.3	16	P4.3	12	P4.3	E1	P4.3	21	P4.3	16	P4.3

Note: ピン 11、15、26、および 27 は、48 ピン TQFP の接続なし (NC) です。

ピン機能の説明は以下のとおりです。

**VDDD:** デジタルセクション用の電源。

**VDDA:** アナログセクション用の電源。

**VSSD, VSSA:** デジタルとアナログセクションそれぞれのグランドピン。

**VCCD:** 安定化デジタル電源 (1.8V ±5%)

**VDD:** チップのすべてのセクションへの電源。

**VSS:** チップのすべてのセクション用のグランド。

## 4.1 代替えのピン機能

各ポートピンは多機能の1つに割り当てられます。例えば、アナログI/O, デジタルペリフェラル機能, LCDピン, またはCAPSENSE™ピンなどがあります。ピンの割り当てを以下の表に示します。

Table 2 ピン割り当て

ポート / ピン	アナログ	スマートI/O	代替機能1	代替機能2	代替機能3	デイープスリープ1	デイープスリープ2
P0.0	lpcomp.in_p[0]				tcpwm.tr_in[0]		scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]				tcpwm.tr_in[1]		scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						
P0.4	wco.wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			srss.ext_clk	scb[1].uart_cts:0			scb[1].spi_clk:1
P0.7				scb[1].uart_rts:0			scb[1].spi_select0:1
P1.0			tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1			tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2			tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]		scb[0].spi_clk:1
P1.3			tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]		scb[0].spi_select0:1
P1.4							scb[0].spi_select1:1
P1.5							scb[0].spi_select2:1
P1.6							scb[0].spi_select3:1
P1.7							
P2.0		prgio[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1		prgio[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2		prgio[0].io[2]					scb[1].spi_clk:2
P2.3		prgio[0].io[3]					scb[1].spi_select0:2

Table 2 ピン割り当て(続き)

ポート / ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	デイープスリープ 1	デイープスリープ 2
P2.4		prg[0].io[4]	tcpwm.line[0]:1			scb[1].spi_select1:1	
P2.5		prg[0].io[5]	tcpwm.line_compl[0]:1			scb[1].spi_select2:1	
P2.6		prg[0].io[6]	tcpwm.line[1]:1			scb[1].spi_select3:1	
P2.7		prg[0].io[7]	tcpwm.line_compl[1]:1			lpcomp.comp[0]:1	
P3.0		prg[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		prg[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		prg[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		prg[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		prg[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		prg[1].io[5]	tcpwm.line_compl[2]:0		tcpwm.tr_in[7]		scb[1].spi_select2:0
P3.6		prg[1].io[6]	tcpwm.line[3]:0		tcpwm.tr_in[8]		scb[1].spi_select3:0
P3.7		prg[1].io[7]	tcpwm.line_compl[3]:0		tcpwm.tr_in[9]	lpcomp.comp[1]:1	
P4.0	csd.vref_ext			scb[0].uart_rx:0	tcpwm.tr_in[10]	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshieldpads			scb[0].uart_tx:0	tcpwm.tr_in[11]	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0

## 5 電源

以下の電源システム図は、PSoC™ 4000S 用に実装された電源ピンのセットを示します。システムには、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログ レギュレータはありません。アナログ回路は  $V_{DD}$  入力から直接動作します。

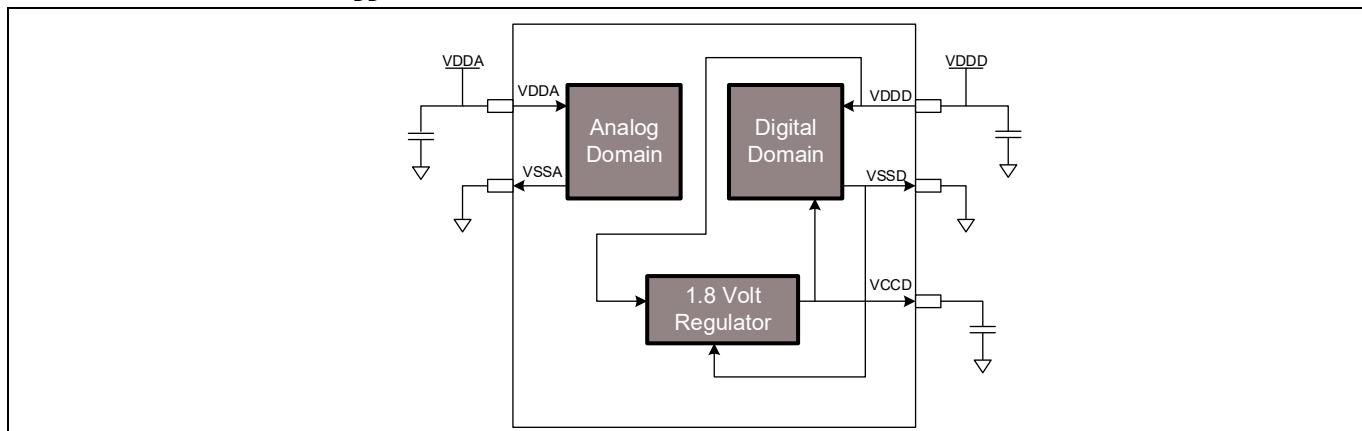


Figure 4 電源接続

次の 2 つの別個の動作モードがあります。モード 1 では、供給電圧範囲は 1.8V ~ 5.5V (外部レギュレーションなし; 内部レギュレータは動作可能) です。モード 2 では、供給電圧範囲は 1.8V  $\pm$ 5% (外部レギュレーションあり; 1.71V ~ 1.89V、内部レギュレータはバイパスされる) です。

### 5.1 モード 1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC™ 4000S は 1.8V ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリ駆動動作にも設計されます。例えば、チップは、3.5V に始まって 1.8V に低減するバッテリシステムから電源供給されることが可能です。このモードでは、PSoC™ 4000S の内部レギュレータが内部ロジックに電源を供給し、その出力は  $V_{CCD}$  ピンに接続されます。 $V_{CCD}$  ピンは外部コンデンサ (0.1 $\mu$ F; X5R セラミックまたはこれより良質のもの) を経由してグランドにバイパスされなければならず、他のどれにも接続してはいけません。

## 5.2 モード 2: 1.8V ±5% の外部電源

このモードでは、PSoC™ 4000S は外部電源から電源供給され、それは 1.71V ~ 1.89V の範囲である必要があります。この範囲は電源リップルも含む必要があることに注意してください。このモードで、VDD ピンと VCCD ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効化させられます。

バイパスコンデンサは、VDDD からグランドの間で使用される必要があります。この周波数範囲でのシステムの標準的な実践としては、1μF レンジのコンデンサをより小さいコンデンサ（例えば、0.1μF）と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計のためと最適なバイパスを得るために、PCB レイアウト、リードインダクタンス、およびバイパスコンデンサ寄生容量をシミュレートする必要があることに留意してください。

バイパススキームの例を以下の図に示します。

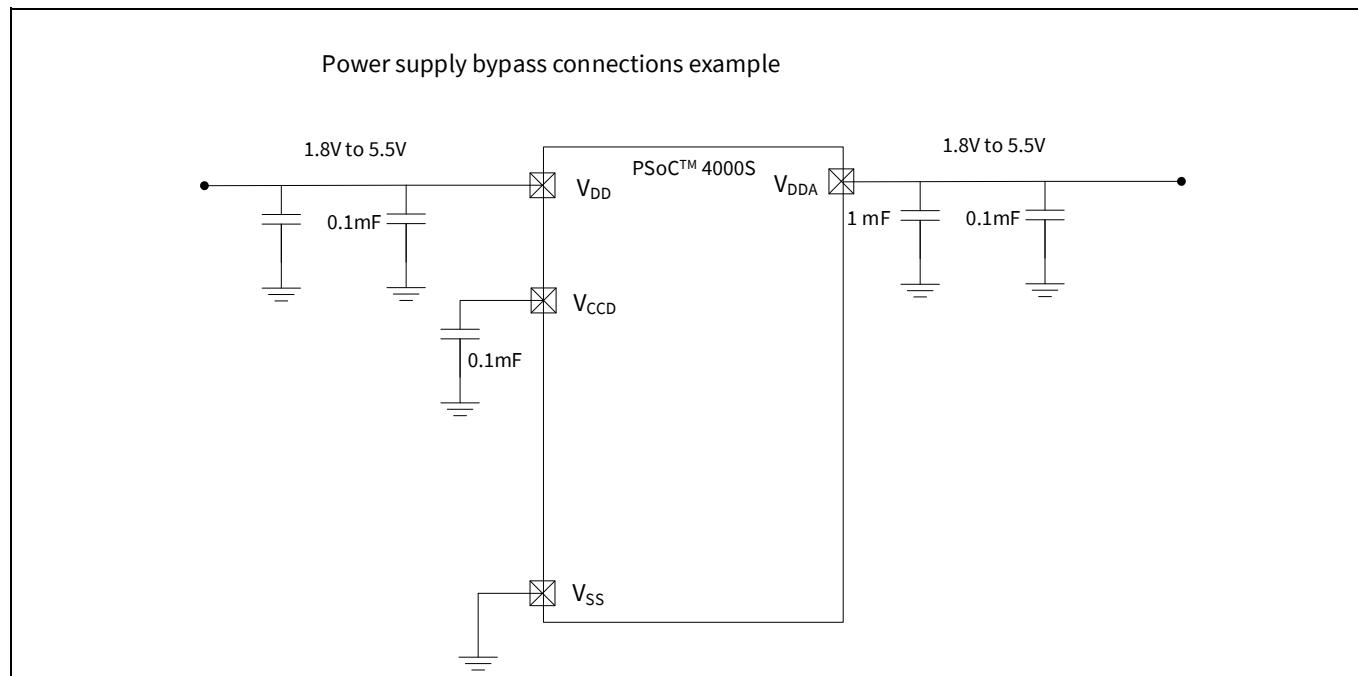


Figure 5 内部レギュレータがアクティブでの 1.8V ~ 5.5V の外部電源範囲

電気的仕様

## 6 電気的仕様

### 6.1 絶対最大定格

Table 3 絶対最大定格<sup>[1]</sup>

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID1	$V_{DDD\_ABS}$	$V_{SS}$ を基準としたデジタル電源	-0.5	-	6	V	-
SID2	$V_{CCD\_ABS}$	$V_{SS}$ を基準とした直接デジタルコア電圧入力	-0.5	-	1.95		-
SID3	$V_{GPIO\_ABS}$	GPIO 電圧	-0.5	-	$V_{DD}+0.5$		-
SID4	$I_{GPIO\_ABS}$	GPIO ごとの最大電流	-25	-	25	mA	-
SID5	$I_{GPIO\_injection}$	GPIO 注入電流、 $V_{IH} > V_{DDD}$ の場合は Max、 $V_{IL} < V_{SS}$ の場合は Min	-0.5	-	0.5		ピンごとの注入された電流
BID44	ESD_HBM	静電気放電 ( 人体モデル )	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 ( デバイス帯電モデル )	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

#### 注

- Table 3 に記載される絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

電気的仕様

## 6.2 デバイス レベルの仕様

すべての仕様は、特に注記した場合を除いて、 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$  および  $T_J \leq 125^{\circ}\text{C}$  の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

**Table 4 DC 仕様**

Typ 値は 25°C で、 $V_{DD} = 3.3\text{V}$  で測定されます。

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID53	$V_{DD}$	電源供給入力電圧	1.8	-	5.5	V	内部的に安定化された電源
SID255	$V_{DD}$	電源供給入力電圧 ( $V_{CCD} = V_{DD} = V_{DDA}$ )	1.71	-	1.89		内部的に安定化されない電源
SID54	$V_{CCD}$	出力電圧 (コア ロジック用)	-	1.8	-		-
SID55	$C_{EFC}$	外部レギュレータ電圧バイパス	-	0.1	-	$\mu\text{F}$	X5R セラミックまたはこれより良質のもの
SID56	$C_{EXC}$	電源供給バイパス コンデンサ	-	1	-		X5R セラミックまたはこれより良質のもの

アクティブ モード、 $V_{DD} = 1.8\text{V} \sim 5.5\text{V}$ 。標準値は 25°C、 $V_{DD} = 3.3\text{V}$  で測定

SID10	$I_{DD5}$	フラッシュから実行；CPU 速度が 6MHz	-	1.2	2.0	mA	-
SID16	$I_{DD8}$	フラッシュから実行；CPU 速度が 24MHz	-	2.4	4.0		-
SID19	$I_{DD11}$	フラッシュから実行；CPU 速度が 48MHz	-	4.6	5.9		-

スリープ モード、 $V_{DD} = 1.8\text{V} \sim 5.5\text{V}$  (レギュレータが有効)

SID22	$I_{DD17}$	$\text{I}^2\text{C}$ ウェイクアップ WDT、およびコンパレータが有効	-	1.1	1.6	mA	6MHz
SID25	$I_{DD20}$	$\text{I}^2\text{C}$ ウェイクアップ WDT、およびコンパレータが有効	-	1.4	1.9		12MHz

スリープ モード、 $V_{DD} = 1.71\text{V} \sim 1.89\text{V}$  (レギュレータバイパス)

SID28	$I_{DD23}$	$\text{I}^2\text{C}$ ウェイクアップ、WDT、およびコンパレータが有効	-	0.7	0.9	mA	6MHz
SID28A	$I_{DD23A}$	$\text{I}^2\text{C}$ ウェイクアップ、WDT、およびコンパレータが有効	-	0.9	1.1	mA	12MHz

ディープスリープ モード、 $V_{DD} = 1.8\text{V} \sim 3.6\text{V}$  (レギュレータが有効)

SID31	$I_{DD26}$	$\text{I}^2\text{C}$ ウェイクアップと WDT が有効	-	2.5	60	$\mu\text{A}$	-
-------	------------	---------------------------------------	---	-----	----	---------------	---

ディープスリープ モード、 $V_{DD} = 3.6\text{V} \sim 5.5\text{V}$  (レギュレータが有効)

SID34	$I_{DD29}$	$\text{I}^2\text{C}$ ウェイクアップと WDT が有効	-	2.5	60	$\mu\text{A}$	-
-------	------------	---------------------------------------	---	-----	----	---------------	---

ディープスリープ モード、 $V_{DD} = V_{CCD} = 1.71\text{V} \sim 1.89\text{V}$  (レギュレータはバイパスされる)

SID37	$I_{DD32}$	$\text{I}^2\text{C}$ ウェイクアップと WDT が有効	-	2.5	60	$\mu\text{A}$	-
-------	------------	---------------------------------------	---	-----	----	---------------	---

XRES 電流

SID307	$I_{DD\_XR}$	XRES がアサート時の供給電流	-	2	5	mA	-
--------	--------------	------------------	---	---	---	----	---

電気的仕様

**Table 5 AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID48	$F_{CPU}$	CPU 周波数	DC	-	48	MHz	$1.71 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$
SID49 <sup>[2]</sup>	$T_{SLEEP}$	スリープモードからのウェイクアップ	-	0	-	μs	-
SID50 <sup>[2]</sup>	$T_{DEEPSLEEP}$	ディープスリープモードからのウェイクアップ	-	35	-	μs	-

**注**

2. 特性評価で保証されています。

電気的仕様

## 6.2.1 GPIO

Table 6 GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID57	$V_{IH}^{[3]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDD}$	-	-	V	CMOS 入力
SID58	$V_{IL}$	入力電圧 LOW 閾値	-	-	$0.3 \times V_{DDD}$		CMOS 入力
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	-	-		-
SID242	$V_{IL}$	LVTTL 入力、 $V_{DDD} < 2.7V$	-	-	$0.3 \times V_{DDD}$		-
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	-	-		-
SID244	$V_{IL}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	-	-	0.8		-
SID59	$V_{OH}$	出力電圧 HIGH レベル	$V_{DDD} - 0.6$	-	-		$V_{DDD} = 3V$ の時、 $I_{OH} = 4mA$
SID60	$V_{OH}$	出力電圧 HIGH レベル	$V_{DDD} - 0.5$	-	-		$V_{DDD} = 3V$ の時、 $I_{OH} = 1mA$
SID61	$V_{OL}$	出力電圧 LOW レベル	-	-	0.6		$V_{DDD} = 1.8V$ の時、 $I_{OL} = 4mA$
SID62	$V_{OL}$	出力電圧 LOW レベル	-	-	0.6		$V_{DDD} = 3V$ の時、 $I_{OL} = 10mA$
SID62A	$V_{OL}$	出力電圧 LOW レベル	-	-	0.4		$V_{DDD} = 3V$ の時、 $I_{OL} = 3mA$
SID63	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5	kΩ	-
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		-
SID65	$I_{IL}$	入力リーケ電流 ( 絶対値 )	-	-	2	nA	$25^{\circ}C$ 、 $V_{DDD} = 3.0V$
SID66	$C_{IN}$	入力静電容量	-	-	7	pF	-
SID67 <sup>[4]</sup>	$V_{HYSTTL}$	入力ヒステリシス LVTTL	25	40	-	mV	$V_{DDD} \geq 2.7V$
SID68 <sup>[4]</sup>	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	-	-		$V_{DD} < 4.5V$
SID68A <sup>[4]</sup>	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	-	-		$V_{DD} > 4.5V$
SID69 <sup>[4]</sup>	$I_{DIODE}$	保護ダイオードを 通って $V_{DD}/V_{SS}$ に流れ る電流	-	-	100	μA	-
SID69A <sup>[4]</sup>	$I_{TOT\_GPIO}$	ソースまたはチップ のシンク電流の合計 最大値	-	-	200	mA	-

### 注

3.  $V_{IH}$  は  $V_{DDD} + 0.2V$  を超えてはいけません。
4. 特性評価で保証されています。

電気的仕様

Table 7 GPIO の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID70	$T_{RISEF}$	高速ストロング モードでの立ち上り時間	2	-	12	ns	3.3V $V_{DDD}$ 、 $C_{load} = 25\text{pF}$
SID71	$T_{FALLF}$	高速ストロング モードでの立ち下り時間	2	-	12		3.3V $V_{DDD}$ 、 $C_{load} = 25\text{pF}$
SID72	$T_{RISES}$	低速ストロング モードでの立ち上り時間	10	-	60	-	3.3V $V_{DDD}$ 、 $C_{load} = 25\text{pF}$
SID73	$T_{FALLS}$	低速ストロング モードでの立ち下り時間	10	-	60	-	3.3V $V_{DDD}$ 、 $C_{load} = 25\text{pF}$
SID74	$F_{GPIOOUT1}$	GPIO $F_{OUT}$ ; $3.3V \leq V_{DDD} \leq 5.5V$ ; 高速ストロング モード	-	-	33	MHz	90/10%、負荷 25pF、デューティ サイクル 60/40
SID75	$F_{GPIOOUT2}$	GPIO $F_{OUT}$ ; $1.71V \leq V_{DDD} \leq 3.3V$ ; 高速ストロング モード	-	-	16.7		90/10%、負荷 25pF、デューティ サイクル 60/40
SID76	$F_{GPIOOUT3}$	GPIO $F_{OUT}$ ; $3.3V \leq V_{DDD} \leq 5.5V$ ; 低速ストロング モード	-	-	7		90/10%、負荷 25pF、デューティ サイクル 60/40
SID245	$F_{GPIOOUT4}$	GPIO $F_{OUT}$ ; $1.71V \leq V_{DDD} \leq 3.3V$ ; 低速ストロング モード	-	-	3.5		90/10%、負荷 25pF、デューティ サイクル 60/40
SID246	$F_{GPIOIN}$	GPIO の入力動作周波数; $1.71V \leq V_{DDD} \leq 5.5V$	-	-	48		90/10% $V_{IO}$

電気的仕様

## 6.2.2 XRES

Table 8 XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID77	$V_{IH}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDD}$	-	-	V	CMOS 入力
SID78	$V_{IL}$	入力電圧 LOW 閾値	-	-	$0.3 \times V_{DDD}$		
SID79	$R_{PULLUP}$	プルアップ抵抗	-	60	-	kΩ	-
SID80	$C_{IN}$	入力静電容量	-	-	7	pF	-
SID81 <sup>[5]</sup>	$V_{HYSXRES}$	入力電圧ヒステリシス	-	100	-	mV	$V_{DD} > 4.5V$ 時の標準ヒステリシスが 200mV
SID82	$I_{DIODE}$	保護ダイオードを通って $V_{DD}/V_{SS}$ に流れる電流	-	-	100	μA	-

Table 9 XRES の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID83 <sup>[5]</sup>	$T_{RESETWIDTH}$	リセットパルス幅	1	-	-	μs	-
BID194 <sup>[5]</sup>	$T_{RESETWAKE}$	リセット解除時からのウェイクアップ時間	-	-	2.7	ms	-

### 注

5. 特性評価で保証されています。

電気的仕様

## 6.3 アナログ ペリフェラル

### 6.3.1 コンパレータ

Table 10 コンパレータ DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID84	$V_{OFFSET1}$	入力オフセット電圧 (工場出荷時トリム)	-	-	$\pm 10$	mV	-
SID85	$V_{OFFSET2}$	入力オフセット電圧 (カスタムトリム)	-	-	$\pm 4$		-
SID86	$V_{HYST}$	有効時のヒステリシス	-	10	35		-
SID87	$V_{ICM1}$	通常モードでの入力同相電圧	0	-	$V_{DDD}-0.1$	V	モード 1 およびモード 2
SID247	$V_{ICM2}$	低消費電力モードでの入力同相電圧	0	-	$V_{DDD}$		-
SID247A	$V_{ICM3}$	超低消費電力モードでの入力同相電圧	0	-	$V_{DDD}-1.15$		-40°C で $V_{DDD} \geq 2.2V$
SID88	$C_{MRR}$	同相信号除去比	50	-	-	dB	$V_{DDD} \geq 2.7V$
SID88A	$C_{MRR}$	同相信号除去比	42	-	-		$V_{DDD} \leq 2.7V$
SID89	$I_{CMP1}$	ブロック電流、通常モード	-	-	400	$\mu A$	-
SID248	$I_{CMP2}$	ブロック電流、低消費電力モード	-	-	100		-
SID259	$I_{CMP3}$	ブロック電流、超低消費電力モード	-	6	28		-40°C で $V_{DDD} \geq 2.2V$
SID90	$Z_{CMP}$	コンパレータの DC 入力インピーダンス	35	-	-	MΩ	-

Table 11 コンパレータ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID91	TRESP1	応答時間、通常モード、50mV オーバードライブ	-	38	110	ns	-
SID258	TRESP2	応答時間、低消費電力モード、50mV オーバードライブ	-	70	200		-
SID92	TRESP3	応答時間、超低消費電力モード、200mV オーバードライブ	-	2.3	15	μs	-40°C で $V_{DDD} \geq 2.2V$

電気的仕様

### 6.3.2 CSD および IDAC

Table 12 CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SYS.PER#3	VDD_RIPPLE	10MHz での DC 電源の最大許容リップル	-	-	±50	mV	$V_{DD} > 2V$ (リップルあり)、 $T_A = 25^\circ C$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10MHz での DC 電源の最大許容リップル	-	-	±25	mV	$V_{DD} > 1.75V$ (リップルあり)、 $T_A = 25^\circ C$ 、寄生容量 ( $C_P$ ) < 20pF、感度 $\geq 0.4pF$
SID.CSD.BLK	ICSD	最大ブロック電流	-	-	4000	μA	コンパレータ、バッファおよび基準発生器を含む動的(スイッチング)モードの両方 IDAC の最大ブロック電流
SID.CSD#15	$V_{REF}$	CSD およびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4V (いずれか低い方)
SID.CSD#15A	$V_{REF\_EXT}$	CSD およびコンパレータ用の外部基準電圧	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4V (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1(7ビット)ブロック電流	-	-	1750	μA	-
SID.CSD#17	IDAC2IDD	IDAC2(7ビット)ブロック電流	-	-	1750	μA	-
SID308	VCSD	動作電圧の範囲	1.71	-	5.5	V	$1.8V \pm 5\%$ または $1.8V \sim 5.5V$
SID308A	$V_{COMPIDAC}$	IDAC の準拠の電圧範囲	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4V (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	-
SID310	IDAC1INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が $\pm 5.5LSB$
SID311	IDAC2DNL	DNL	-1	-	1	LSB	-
SID312	IDAC2INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が $\pm 5.5LSB$
SID313	SNR	信号対ノイズ比。特性評価で保証	5	-	-	比率	静電容量範囲 = 5pF ~ 35pF、感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC1CRT1	低域での IDAC1(7ビット)の出力電流	4.2	-	5.4	μA	$LSB = 37.5nA$ Typ.
SID314A	IDAC1CRT2	中域での IDAC1(7ビット)の出力電流	34	-	41	μA	$LSB = 300nA$ Typ.
SID314B	IDAC1CRT3	高域での IDAC1(7ビット)の出力電流	275	-	330	μA	$LSB = 2.4\mu A$ Typ.
SID314C	IDAC1CRT12	低域での IDAC1(7ビット)の出力電流、2X モード	8	-	10.5	μA	$LSB = 75nA$ Typ.
SID314D	IDAC1CRT22	中域での IDAC1(7ビット)の出力電流、2X モード	69	-	82	μA	$LSB = 600nA$ Typ.

電気的仕様

Table 12 CSD および IDAC 仕様 ( 続き )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID314E	IDAC1CRT32	高域での IDAC1 (7 ビット) の出力電流、2X モード	540	-	660	μA	LSB = 4.8μA Typ.
SID315	IDAC2CRT1	低域での IDAC2 (7 ビット) の出力電流	4.2	-	5.4	μA	LSB = 37.5nA Typ.
SID315A	IDAC2CRT2	中域での IDAC2 (7 ビット) の出力電流	34	-	41	μA	LSB = 300nA Typ.
SID315B	IDAC2CRT3	高域での IDAC2 (7 ビット) の出力電流	275	-	330	μA	LSB = 2.4μA Typ.
SID315C	IDAC2CRT12	低域での IDAC2 (7 ビット) の出力電流、2X モード	8	-	10.5	μA	LSB = 75nA Typ.
SID315D	IDAC2CRT22	中域での IDAC2 (7 ビット) の出力電流、2X モード	69	-	82	μA	LSB = 600nA Typ.
SID315E	IDAC2CRT32	高域での IDAC2 (7 ビット) の出力電流、2X モード	540	-	660	μA	LSB = 4.8μA Typ.
SID315F	IDAC3CRT13	低域での 8 ビットモード IDAC 出力電流	8	-	10.5	μA	LSB = 37.5nA Typ.
SID315G	IDAC3CRT23	中域での 8 ビットモード IDAC 出力電流	69	-	82	μA	LSB = 300nA Typ.
SID315H	IDAC3CRT33	高域での 8 ビットモード IDAC 出力電流	540	-	660	μA	LSB = 2.4μA Typ.
SID320	IDACOFFSET	すべてゼロ入力	-	-	1	LSB	極性はソースまたはシンク電流により設定。37.5nA/LSB モードの場合、オフセットは 2 LSB
SID321	IDACGAIN	オフセットを除くフルスケールエラー	-	-	±10	%	-
SID322	IDACMISMATCH1	低モードでの IDAC1 と IDAC2 の不一致	-	-	9.2	LSB	LSB = 37.5nA Typ.
SID322A	IDACMISMATCH2	中モードでの IDAC1 と IDAC2 の不一致	-	-	5.6	LSB	LSB = 300nA Typ.
SID322B	IDACMISMATCH3	高モードでの IDAC1 と IDAC2 の不一致	-	-	6.8	LSB	LSB = 2.4μA Typ.
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	μs	フルスケール遷移。 外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	μs	フルスケール遷移。 外部負荷なし
SID325	CMOD	外部モジュレータのコンデンサ	-	2.2	-	nF	5V 定格、X7R または NPO コンデンサ

電気的仕様

### 6.3.3 10 ビット CAPSENSE™ ADC

Table 13 10 ビット CAPSENSE™ ADC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SIDA94	A_RES	分解能	-	-	10	ビット	ミリ秒ごとに論理レベルを自動的にゼロ化する必要がある
SIDA95	A_CHNLS_S	チャネル数—シングルエンド	-	-	16		AMUX バスにより定義される
SIDA97	A-MONO	単調増加性	-	-	-	有	-
SIDA98	A_GAINERR	ゲイン誤差	-	-	±2	%	$V_{REF}$ (2.4V) モードで、 $V_{DDA}$ バイパス静電容量が 10 $\mu$ F
SIDA99	A_OFFSET	入力オフセット電圧	-	-	3	mV	$V_{REF}$ (2.4V) モードで、 $V_{DDA}$ バイパス静電容量が 10 $\mu$ F
SIDA100	A_ISAR	消費電流	-	-	0.25	mA	-
SIDA101	A_VINS	入力電圧範囲 - シングルエンド	$V_{SSA}$	-	$V_{DDA}$	V	-
SIDA103	A_INRES	入力抵抗	-	2.2	-	K $\Omega$	-
SIDA104	A_INCAP	入力静電容量	-	20	-	pF	-
SIDA106	A_PSRR	電源電圧変動除去比	-	60	-	dB	$V_{REF}$ (2.4V) モードで、 $V_{DDA}$ バイパス静電容量が 10 $\mu$ F
SIDA107	A_TACQ	サンプル取得時間	-	1	-	$\mu$ s	-
SIDA108	A_CONV8	変換速度 = $F_{hclk}/(2^{(N+2)})$ での 8 ビット分解能の変換時間。クロック周波数 = 48MHz	-	-	21.3	$\mu$ s	取得時間は含まれない。取得時間は 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = $F_{hclk}/(2^{(N+2)})$ での 10 ビット分解能の変換時間。クロック周波数 = 48MHz	-	-	85.3	$\mu$ s	取得時間は含まれない。取得時間は 11.6ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	-	61	-	dB	入力正弦波 10Hz、外部基準電圧 2.4V、 $V_{REF}$ (2.4V) モード
SIDA110	A_BW	エイリアシング無しの入力帯域幅	-	-	22.4	kHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1ksps	-	-	2	LSB	$V_{REF} = 2.4V$ 以上
SIDA112	A_DNL	微分非直線性。1ksps	-	-	1	LSB	-

電気的仕様

## 6.4 デジタルペリフェラル

### 6.4.1 タイマー / カウンタ / パルス幅変調器 (TCPWM)

Table 14 TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	-	-	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	-	-	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	-	-	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM <sub>FREQ</sub>	動作周波数	-	-	F <sub>c</sub>	MHz	F <sub>c</sub> max = CLK_SYS 最大値 = 48MHz
SID.TCPWM.4	TPWM <sub>ENEXT</sub>	入力トリガーのパルス幅	2/F <sub>c</sub>	-	-		すべてのトリガーイベント <sup>[6]</sup>
SID.TCPWM.5	TPWM <sub>EXT</sub>	出力トリガーのパルス幅	2/F <sub>c</sub>	-	-		オーバーフロー, アンダーフロー, および CC(カウンター = 比較値)出力の最小幅
SID.TCPWM.5A	TC <sub>RES</sub>	カウンターの分解能	1/F <sub>c</sub>	-	-		逐次カウント間の最小時間
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM 分解能	1/F <sub>c</sub>	-	-		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q <sub>RES</sub>	直交位相入力分解能	1/F <sub>c</sub>	-	-		直交位相入力同士間の最小パルス幅

#### 注

- 選択した動作モードによって、トリガーイベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。

電気的仕様

## 6.4.2 I<sup>2</sup>C

Table 15 固定 I<sup>2</sup>C の DC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID149	I <sub>I2C1</sub>	100kHz でのブロック消費電流	-	-	50	μA	-
SID150	I <sub>I2C2</sub>	400kHz でのブロック消費電流	-	-	135		-
SID151	I <sub>I2C3</sub>	1Mbps でのブロック消費電流	-	-	310		-
SID152	I <sub>I2C4</sub>	I <sup>2</sup> C がディープスリープモードで有効の場合	-	-	1.4		-

Table 16 固定 I<sup>2</sup>C の AC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	F <sub>I2C1</sub>	ビットレート	-	-	1	MspS	-

### 注

7. 特性評価で保証されています。

電気的仕様

### 6.4.3 SPI

Table 17 SPI の DC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID163	ISPI1	1Mbps でのブロック消費電流	-	-	360	μA	-
SID164	ISPI2	4Mbps でのブロック消費電流	-	-	560		-
SID165	ISPI3	8Mbps でのブロック消費電流	-	-	600		-

Table 18 SPI の AC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	FSPI	SPI 動作周波数 (マスター；6 倍オーバーサンプリング)	-	-	8	MHz	-

#### 固定 SPI マスター モードの AC 仕様

SID167	TDMO	SClock 駆動エッジからの MOSI 有効期間	-	-	15	ns	-
SID168	TDSI	SClock キャプチャエッジまでの MISO 有効期間	20	-	-		フルクロック, MISO の遅いサンプリング
SID169	THMO	前の MOSI データホールド時間	0	-	-		スレーブキャプチャエッジを参照

#### 固定 SPI スレーブ モードの AC 仕様

SID170	TDMI	Sclock キャプチャエッジまでの MOSI 有効期間	40	-	-	ns	-
SID171	TDSO	SClock 駆動エッジからの MISO 有効期間	-	-	42+(3×Tcpu)		$T_{CPU} = 1/F_{CPU}$
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間 Clk モード	-	-	48		-
SID172	THSO	前の MISO データホールド時間	0	-	-	ns	-
SID172A	TSSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	-	-		-

電気的仕様

#### 6.4.4 UART

Table 19 UART の DC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID160	$I_{UART1}$	100Kbps でのブロック消費電流	-	-	55	$\mu A$	-
SID161	$I_{UART2}$	1000Kbps でのブロック消費電流	-	-	312	$\mu A$	-

Table 20 UART の AC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	$F_{UART}$	ビットレート	-	-	1	Mbps	-

#### 6.4.5 LCD 直接駆動

Table 21 LCD 直接駆動の DC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID154	$I_{LCDLOW}$	低消費電力モードでの動作電流	-	5	-	$\mu A$	16×4 小型セグメントディスプレイ、50Hz
SID155	$C_{LCDCAP}$	セグメント / コマンドライバ当たりの LCD 静電容量	-	500	5000	pF	-
SID156	$LCD_{OFFSET}$	長時間セグメントオフセット	-	20	-	mV	-
SID157	$I_{LCDOP1}$	LCD システム動作電流 $V_{bias} = 5V$	-	2	-	mA	32×4 セグメント、50Hz、25°C
SID158	$I_{LCDOP2}$	LCD システム動作電流 $V_{bias} = 3.3V$	-	2	-		32×4 セグメント、50Hz、25°C

Table 22 LCD 直接駆動の AC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID159	$F_{LCD}$	LCD フレーム レート	10	50	150	Hz	-

#### 注

8. 特性評価で保証されています。

電気的仕様

## 6.5 メモリ

### 6.5.1 フラッシュ

Table 23 フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID173	$V_{PE}$	消去およびプログラム電圧	1.71	-	5.5	V	-

Table 24 フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID174	$T_{ROWWRITE}^{[9]}$	行(ブロック)書き込み時間(消去+書き込み)	-	-	20	ms	行(ブロック)=128 バイト
SID175	$T_{ROWERASE}^{[9]}$	行消去時間	-	-	16		-
SID176	$T_{ROWPROGRAM}^{[9]}$	消去後の行プログラム時間	-	-	4		-
SID178	$T_{BULKERASE}^{[9]}$	バルク消去時間(32KB)	-	-	35		-
SID180 <sup>[10]</sup>	$T_{DEVPROG}^{[9]}$	デバイスプログラム合計時間	-	-	7	秒	-
SID181 <sup>[10]</sup>	$F_{END}$	フラッシュアクセス可能回数	100K	-	-	サイクル	-
SID182 <sup>[10]</sup>	$F_{RET}$	フラッシュのデータ保持期間。 $T_A \leq 55^\circ\text{C}$ 、プログラム/消去サイクル=10万回	20	-	-	年	-
SID182A <sup>[10]</sup>	-	フラッシュのデータ保持期間。 $T_A \leq 85^\circ\text{C}$ 、プログラム/消去サイクル=1万回	10	-	-		-
SID182B <sup>[10]</sup>	$F_{RETQ}$	フラッシュのデータ保持期間。 $T_A \leq 105^\circ\text{C}$ 、プログラム/消去サイクル=1万回、 $T_A \geq 85^\circ\text{C}$ で $\leq 3$ 年	10	-	20	特性評価で保証	特性評価で保証
SID256	TWS48	48MHz でのウェイトステートの数	2	-	-		フラッシュからの CPU 実行
SID257	TWS24	24MHz でのウェイトステートの数	1	-	-		フラッシュからの CPU 実行

#### 注

9. フラッシュメモリに書き込むためには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことを保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。

10. 特性評価で保証されています。

電気的仕様

## 6.6 システムリソース

### 6.6.1 パワー オンリセット (POR)

Table 25 パワー オンリセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#6	SR_POWER_UP	電源電圧スルーレート	1	-	67	V/ms	電源投入時および電源切断時
SID185 <sup>[10]</sup>	V <sub>RISEIPOR</sub>	立ち上りトリップ電圧	0.80	-	1.5	V	-
SID186 <sup>[10]</sup>	V <sub>FALLIPOR</sub>	立ち下りトリップ電圧	0.70	-	1.4	V	-

Table 26 V<sub>CCD</sub> の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID190 <sup>[10]</sup>	V <sub>FALLPPOR</sub>	アクティブ モードおよびスリープ モードでの BOD トリップ電圧	1.48	-	1.62	V	-
SID192 <sup>[10]</sup>	V <sub>FALLDPSLP</sub>	ディープスリープ モードでの BOD トリップ電圧	1.11	-	1.5	V	-

### 6.6.2 SWD インターフェース

Table 27 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID213	F_SWDCLK1	3.3V ≤ V <sub>DD</sub> ≤ 5.5V	-	-	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCLK2	1.71V ≤ V <sub>DD</sub> ≤ 3.3V	-	-	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 <sup>[13]</sup>	T_SWDI_SETUP	T = 1/f SWDCLK	0.25×T	-	-	ns	-
SID216 <sup>[13]</sup>	T_SWDI_HOLD	T = 1/f SWDCLK	0.25×T	-	-		-
SID217 <sup>[13]</sup>	T_SWDO_VALID	T = 1/f SWDCLK	-	-	0.5×T		-
SID217A <sup>[13]</sup>	T_SWDO_HOLD	T = 1/f SWDCLK	1	-	-		-

電気的仕様

### 6.6.3 内部主発振器 (IMO)

Table 28 IMO の DC 仕様

( 設計評価上保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID218	$I_{IMO1}$	48MHz での IMO 動作電流	-	-	250	μA	-
SID219	$I_{IMO2}$	24MHz での IMO 動作電流	-	-	180	μA	-

Table 29 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID223 <sup>[12]</sup>	$F_{IMOTOL1}$	24MHz, 32MHz, および 48MHz での周波数誤差 (トリム済み)	-	-	$\pm 2.0$	%	-40 °C ~ 85 °C、産業用温度範囲およびオリジナル拡張産業用部品
SID223A <sup>[11,12]</sup>			-	-	$\pm 2.5$	%	-40 °C ~ 105 °C、すべての拡張産業用温度範囲部品
SID223B <sup>[11,12]</sup>			-	-	$\pm 2.0$	%	-30 °C ~ 105 °C、拡張 IMO の拡張産業用温度範囲部品
SID223C <sup>[11,12]</sup>			-	-	$\pm 1.5$	%	-20 °C ~ 105 °C、拡張 IMO の拡張産業用温度範囲部品
SID223D <sup>[11,12]</sup>			-	-	$\pm 1.25$	%	0 °C ~ 85 °C、拡張 IMO の拡張産業用温度範囲部品
SID226	$T_{STARTIMO}$	IMO 起動時間	-	-	7	μs	-
SID228	$T_{JITRMSIMO2}$	24MHz での RMS ジッタ	-	145	-	ps	-

#### 注

- 拡張 IMO の拡張温度範囲部品は、オリジナルの拡張産業温度範囲部品に代わるもので、拡張 IMO の拡張温度範囲部品の識別方法の詳細については、[KBA235887](#) を参照してください。
- 特性評価で保証されています。はんだ付けまたは基板レベルの影響は考慮されていません。

電気的仕様

## 6.6.4 内部低速発振器 (ILO)

Table 30 ILO の DC 仕様

( 設計評価上保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID231 <sup>[13]</sup>	$I_{ILO1}$	ILO 動作電流	-	0.3	1.05	$\mu A$	-

Table 31 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID234 <sup>[13]</sup>	$T_{STARTILO1}$	ILO 起動時間	-	-	2	ms	-
SID236 <sup>[13]</sup>	$T_{ILODUTY}$	ILO のデューティ比	40	50	60	%	-
SID237	$F_{ILOTRIM1}$	ILO 周波数範囲	20	40	80	kHz	-

## 6.6.5 時計用水晶発振器 (WCO)

Table 32 時計用水晶発振器 (WCO) 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID398	FWCO	水晶発振器周波数	-	32.768	-	kHz	-
SID399	FTOL	周波数許容誤差	-	50	250	ppm	20ppm の水晶発振器
SID400	ESR	等価直列抵抗	-	50	-	$k\Omega$	-
SID401	PD	駆動レベル	-	-	1	$\mu W$	-
SID402	TSTART	起動時間	-	-	500	ms	-
SID403	CL	水晶の負荷容量	6	-	12.5	pF	-
SID404	C0	水晶の並列容量	-	1.35	-	pF	-
SID405	IWCO1	動作電流 ( 高消費電力モード )	-	-	8	$\mu A$	-
SID406	IWCO2	動作電流 ( 低消費電力モード )	-	-	1	$\mu A$	-

## 6.6.6 外部クロック

Table 33 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID305 <sup>[15]</sup>	ExtClkFreq	外部クロック入力周波数	0	-	48	MHz	-
SID306 <sup>[15]</sup>	ExtClkDuty	デューティ比 ; $V_{DD/2}$ で測定	45	-	55	%	-

### 注

13.特性評価で保証されています。

14.産業用温度範囲部品の場合、最高温度は 85 °C です。

電気的仕様

## 6.6.7 クロック

Table 34 クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID262 <sup>[15]</sup>	$T_{CLKSWITCH}$	システムクロックソースの切り替え時間	3	-	4	周期	-

## 6.6.8 スマート I/O パススルーハイウェイ時間

Table 35 スマート I/O パススルーハイウェイ時間 (バイパスモードでの遅延)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID252	PRG_BYPASS	バイパスモードでのスマート I/O による最大遅延時間	-	-	1.6	ns	-

### 注

15. 特性評価で保証されています。

注文情報

## 7 注文情報

PSoC™ 4000S の製品番号と特長は下表のとおりです。

Table 36 PSoC™ 4000S 注文情報

カテゴリ	MPN	特長												パッケージ				温度範囲	
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CAPSENSE™	10 ビット CSD ADC	12 ビット SAR ADC	LP コンバレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	WL CSP (0.35mm ピッチ)	24 ピン QFN	32 ピン QFN	32 ピン TQFP	40 ピン QFN	48 ピン TQFP
4024	CY8C4024FNI-S402	24	16	2	0	0	1	0	2	5	2	8	21	✓	-	-	-	-	-
	CY8C4024LQI-S401	24	16	2	0	0	1	0	2	5	2	8	19	-	✓	-	-	-	-
	CY8C4024LQI-S402	24	16	2	0	0	1	0	2	5	2	16	27	-	-	✓	-	-	-
	CY8C4024AXI-S402	24	16	2	0	0	1	0	2	5	2	16	27	-	-	-	✓	-	-
	CY8C4024LQI-S403	24	16	2	0	0	1	0	2	5	2	16	34	-	-	-	-	✓	-
	CY8C4024AZI-S403	24	16	2	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4024FNI-S412	24	16	2	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-
	CY8C4024LQI-S411	24	16	2	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-
	CY8C4024LQI-S412	24	16	2	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-
	CY8C4024AXI-S412	24	16	2	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-
	CY8C4024LQI-S413	24	16	2	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-
	CY8C4024AZI-S413	24	16	2	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4024AZQ-S413	24	16	2	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓
4025	CY8C4025FNI-S402	24	32	4	0	0	1	0	2	5	2	8	21	✓	-	-	-	-	-
	CY8C4025LQI-S401	24	32	4	0	0	1	0	2	5	2	8	19	-	✓	-	-	-	-
	CY8C4025LQI-S402	24	32	4	0	0	1	0	2	5	2	16	27	-	-	✓	-	-	-
	CY8C4025AXI-S402	24	32	4	0	0	1	0	2	5	2	16	27	-	-	-	✓	-	-
	CY8C4025LQI-S403	24	32	4	0	0	1	0	2	5	2	16	34	-	-	-	-	✓	-
	CY8C4025AZI-S403	24	32	4	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4025AZQ-S403	24	32	4	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4025FNI-S412	24	32	4	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-
	CY8C4025LQI-S411	24	32	4	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-
	CY8C4025LQI-S412	24	32	4	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-
	CY8C4025AXI-S412	24	32	4	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-
	CY8C4025LQI-S413	24	32	4	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-
	CY8C4025AZI-S413	24	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4025AZQ-S413	24	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓
4045	CY8C4045FNI-S412	48	32	4	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-
	CY8C4045LQI-S411	48	32	4	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-
	CY8C4045LQI-S412	48	32	4	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-
	CY8C4045AXI-S412	48	32	4	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-
	CY8C4045LQI-S413	48	32	4	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-
	CY8C4045AZI-S413	48	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓
	CY8C4045AZQ-S413	48	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓

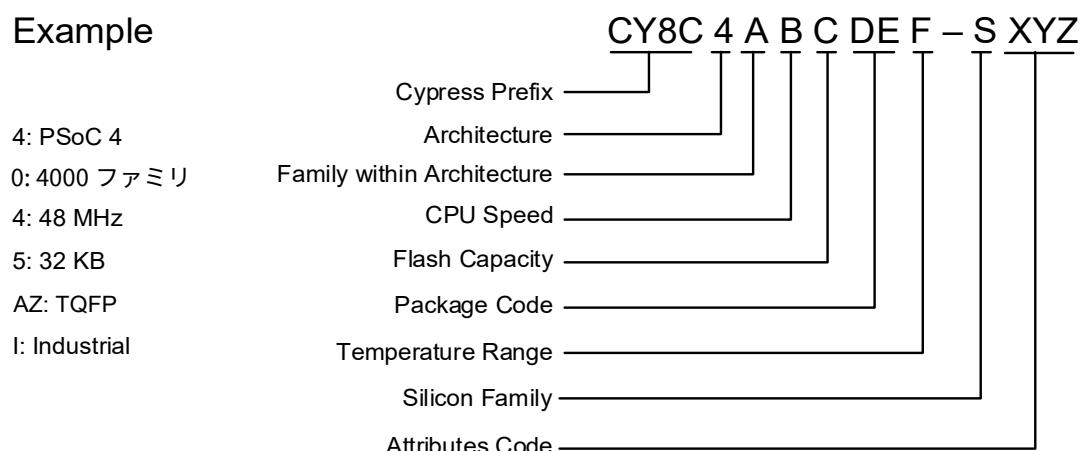
## 注文情報

上記の表に使用される命名法は次の製品番号の命名規則に基づきます。

文字列	説明	値	意味
CY8C	接頭辞		
4	アーキテクチャ	4	PSoC™ 4
A	ファミリ	0	4000 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージ コード	AX	TQFP (0.8mm ピッチ)
		AZ	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業機器向け
		Q	拡張された産業機器向け
S	シリーズ指定子	S	PSoC™ 4 S シリーズ
		M	PSoC™ 4 M シリーズ
		L	PSoC™ 4 L シリーズ
		BL	PSoC™ 4 Bluetooth LE シリーズ
XYZ	属性コード	000 ~ 999	特定のファミリ内の機能セットのコード

製品番号の例は次のとおりです。

### Example



パッケージ

## 8 パッケージ

PSoC™ 4000S は 48 ピン TQFP、40 ピン QFN、32 ピン QFN、24 ピン QFN、32 ピン TQFP、および 25 ポール WLCSP パッケージで提供されます。

パッケージの寸法とインフィニオンの図面番号は次の表にあります。

Table 37 パッケージの一覧

仕様 ID	パッケージ	説明	パッケージ 図面番号
BID20	48 ピン TQFP	寸法 7×7×1.4mm、ピッチ 0.5mm	51-85135
BID27	40 ピン QFN	寸法 6×6×0.6mm、ピッチ 0.5mm	001-80659
BID34A	32 ピン QFN	寸法 5×5×0.6mm、ピッチ 0.5mm	001-42168
BID34	24 ピン QFN	寸法 4×4×0.6mm、ピッチ 0.5mm	001-13937
BID34G	32 ピン TQFP	寸法 7×7×1.4mm、ピッチ 0.8mm	51-85088
BID34F	25 ポール WLCSP	寸法 2.02×1.93×0.48mm、ピッチ 0.35mm	002-09957

Table 38 パッケージの熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位
$T_A$	動作周囲温度	-	-40	25	105	°C
$T_J$	動作接合部温度	-	-40	-	125	°C
$T_{JA}$	パッケージ $\theta_{JA}$	48 ピン TQFP	-	73.5	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	48 ピン TQFP	-	33.5	-	°C/W
$T_{JA}$	パッケージ $\theta_{JA}$	40 ピン QFN	-	17.8	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	40 ピン QFN	-	2.8	-	°C/W
$T_{JA}$	パッケージ $\theta_{JA}$	32 ピン QFN	-	20.8	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	32 ピン QFN	-	5.9	-	°C/W
$T_{JA}$	パッケージ $\theta_{JA}$	24 ピン QFN	-	21.7	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	24 ピン QFN	-	5.6	-	°C/W
$T_{JA}$	パッケージ $\theta_{JA}$	32 ピン TQFP	-	29.4	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	32 ピン TQFP	-	3.5	-	°C/W
$T_{JA}$	パッケージ $\theta_{JA}$	25 ポール WLCSP	-	40	-	°C/W
$T_{JC}$	パッケージ $\theta_{JC}$	25 ポール WLCSP	-	0.5	-	°C/W

Table 39 ハンダリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

パッケージ

Table 40 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて (WLCSP 以外)	MSL 3
25 ポール WLCSP	MSL 1

## 8.1 外形図

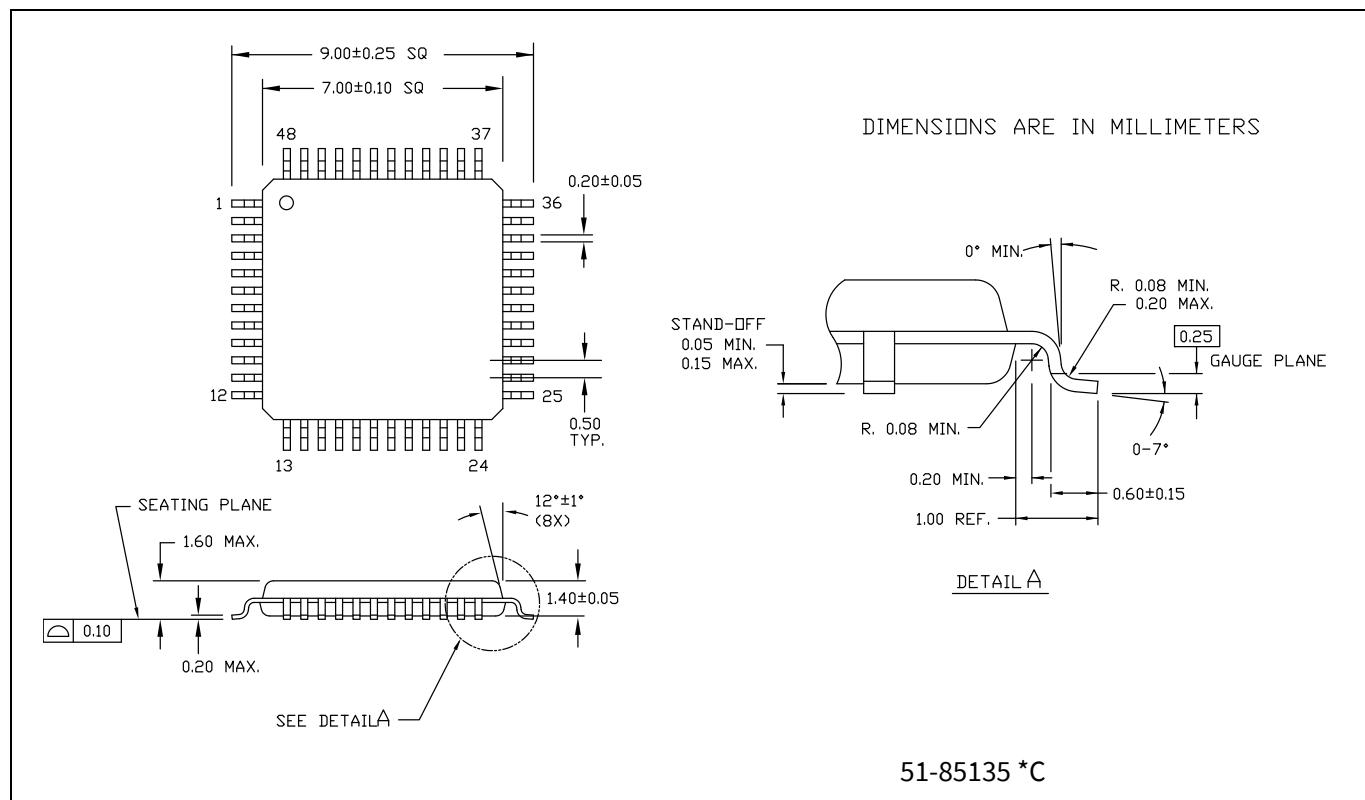


Figure 6 48 ピン TQFP (7×7×1.4 mm) パッケージの外形, 51-85135

パッケージ

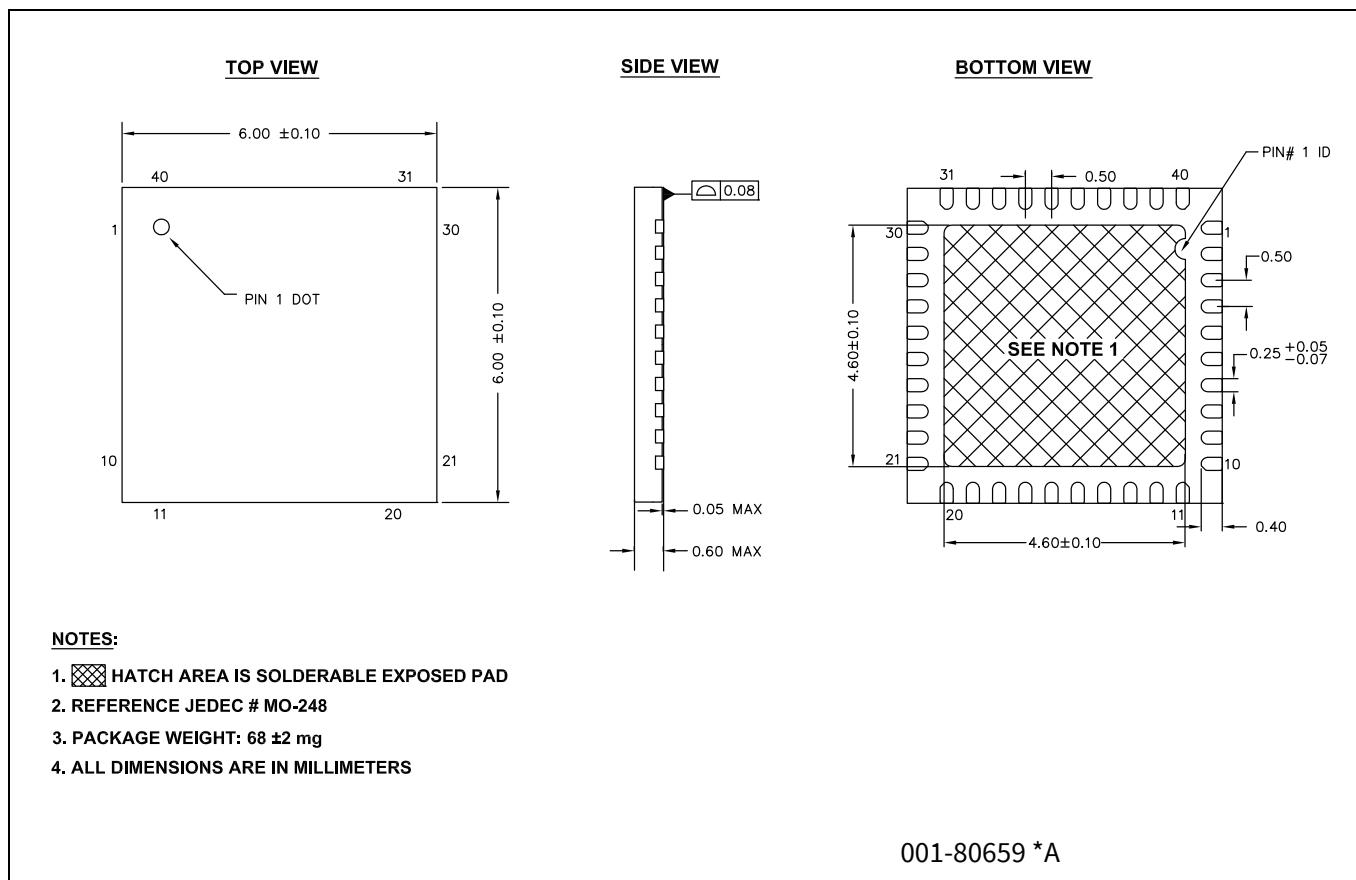
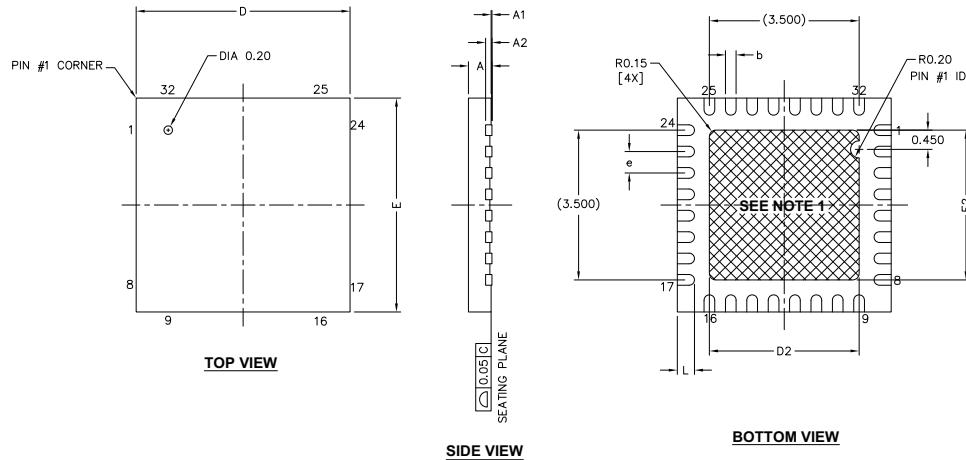


Figure 7 40 ピン QFN ((6×6×0.6 mm) 4.6×4.6 E-Pad (Sawn)) パッケージの外形, 001-80659

パッケージ



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2 0.15 BSC			
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
b	0.18	0.25	0.30
e	0.50 TYP		

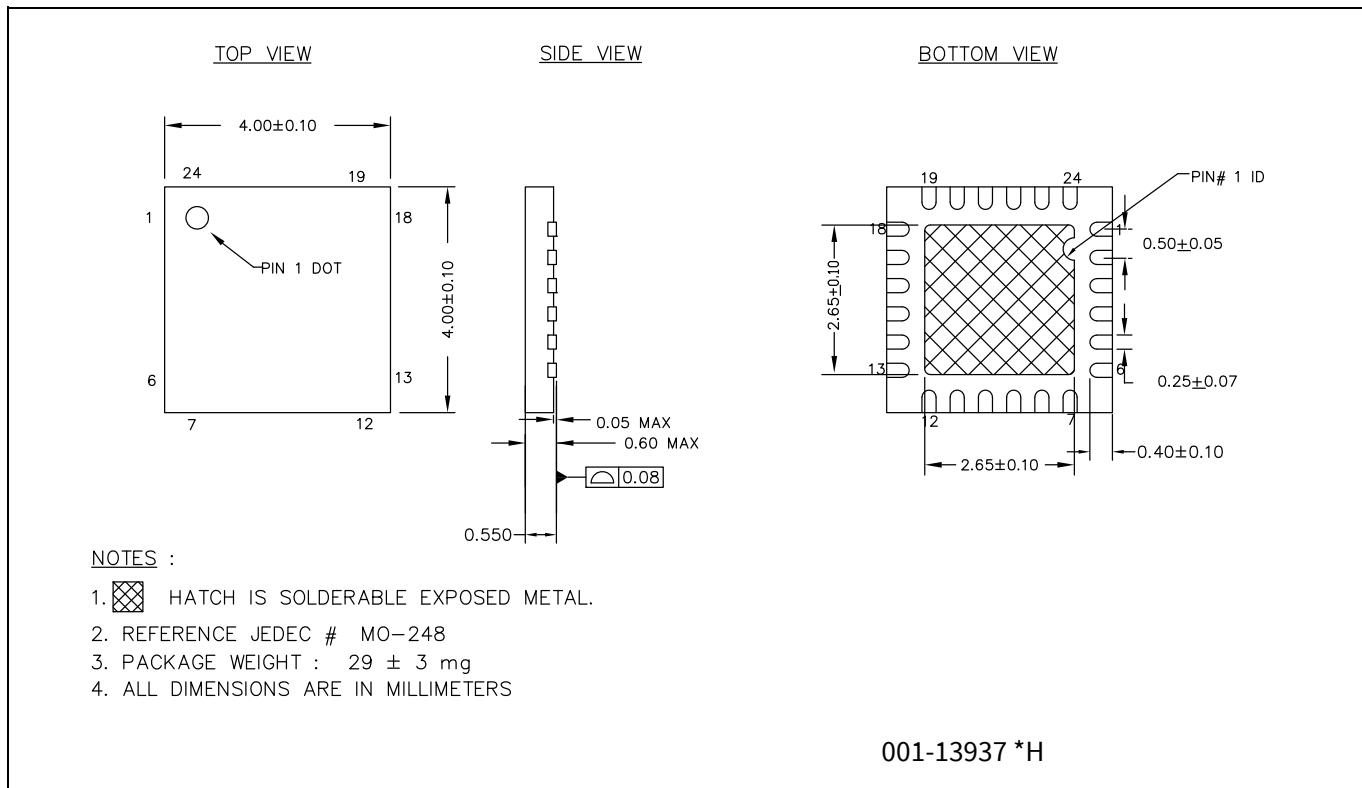
NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 \*F

Figure 8 32 ピン QFN ((5.0×5.0×0.55 mm) 3.5×3.5 mm E-Pad (sawn)) パッケージの外形 , 001-42168

パッケージ



**Figure 9 24 ピン QFN ((4×4×0.60 mm) 2.65×2.65 E-Pad (Sawn)) パッケージの外形 , 001-13937**

機械的、熱的、および電気的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電気的に開放され、どの信号にも接続されていない状態になります。

パッケージ

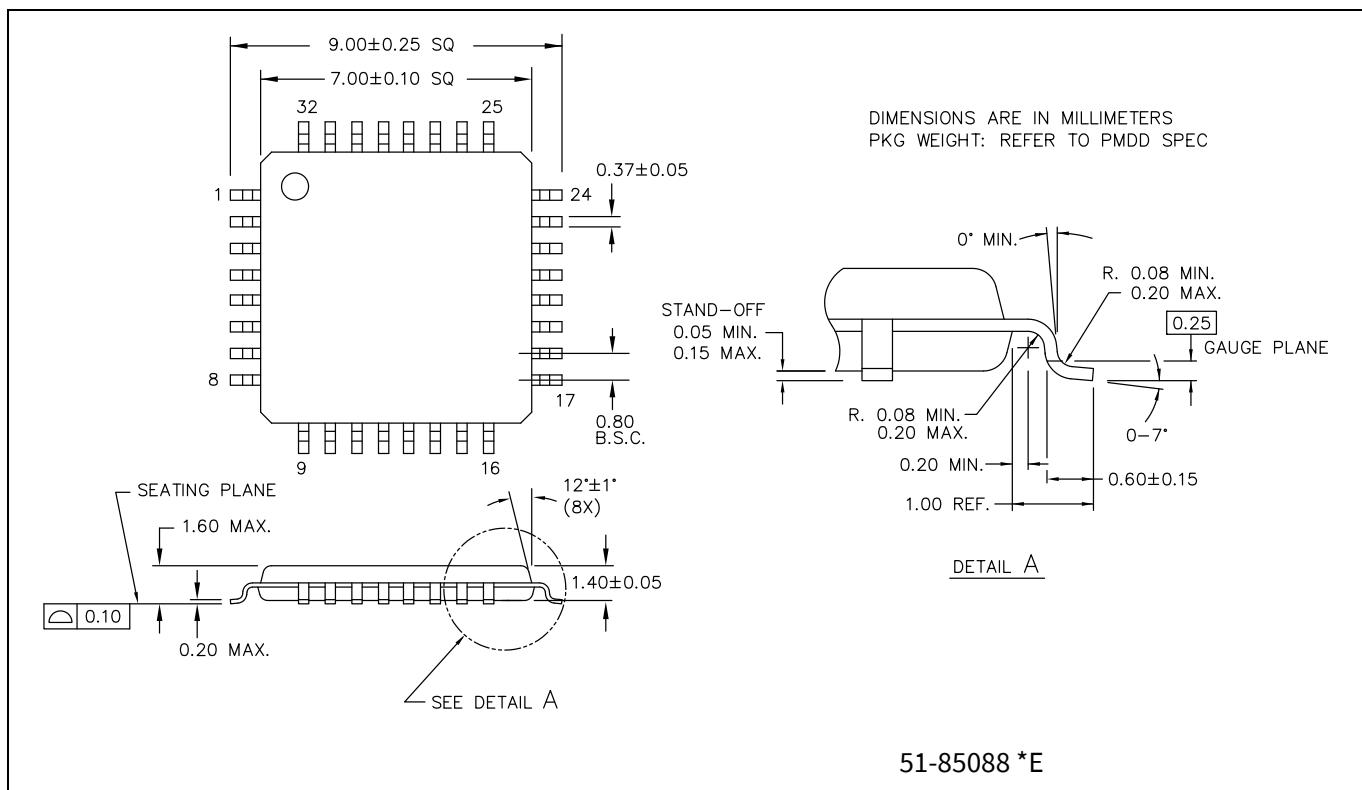


Figure 10 32 ピン TQFP (7x7x1.4 mm) パッケージの外形, 51-85088

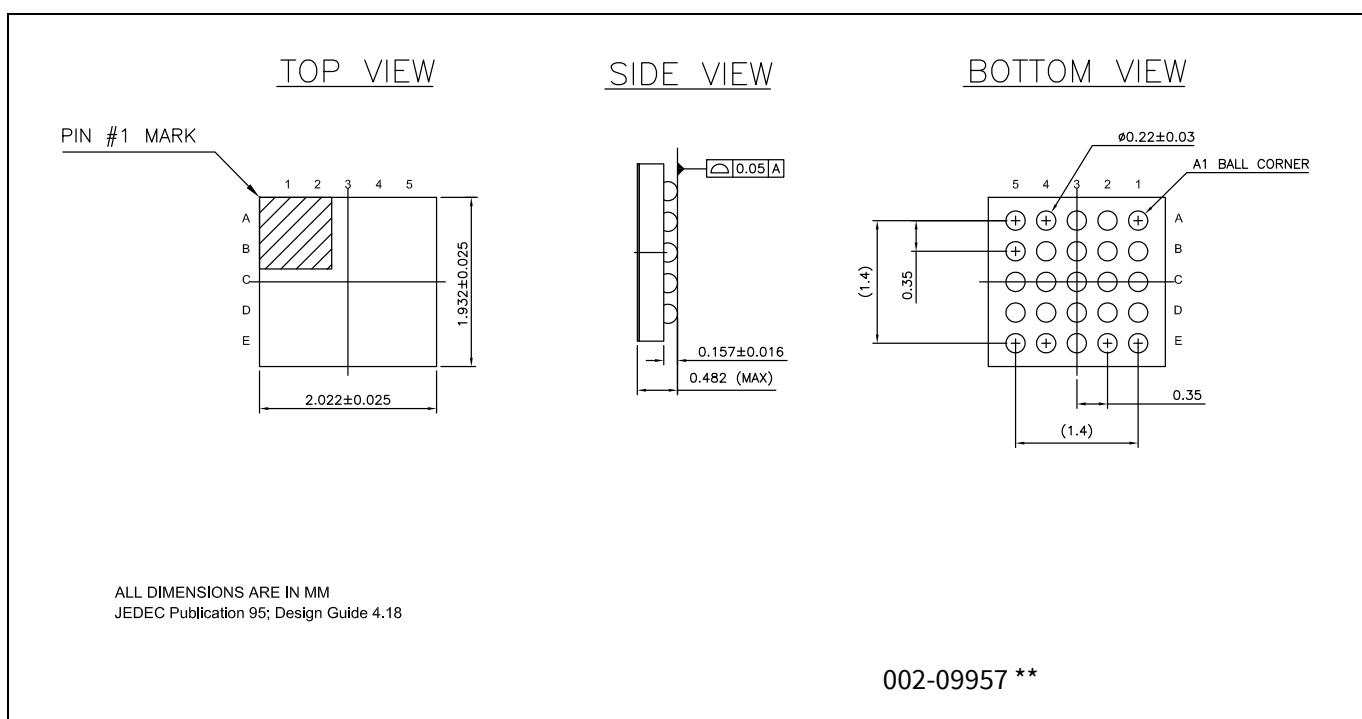


Figure 11 25 ボール WLCSP (2.02x1.93x0.48 mm) パッケージの外形, 002-09957

## 9 略語

Table 41 本書で使用する略語

略語	説明
abus	analog local bus ( アナログ ローカル バス )
ADC	analog-to-digital converter( アナログ - デジタル変換器 )
AG	analog global ( アナログ グローバル )
AHB	AMBA high-performance bus (AMBA ( アドバンスト マイクロコントローラー バス アーキテクチャ ) 高性能バス )、Arm データ転送バスの 1 種
ALU	arithmetic logic unit ( 算術論理装置 )
AMUXBUS	analog multiplexer bus ( アナログ マルチプレクサ バス )
API	application programming interface ( アプリケーション プログラミング インターフェース )
APSR	application program status register ( アプリケーション プログラム ステータス レジスター )
Arm®	advanced RISC machine ( 高度な RISC マシン )、CPU アーキテクチャの一種
ATM	automatic thump mode ( 自動サンプ モード )
BW	bandwidth ( 帯域幅 )
CAN	Controller Area Network ( コントローラー エリア ネットワーク )、通信プロトコルの 1 種
CMRR	common-mode rejection ratio ( 同相除去比 )
CPU	central processing unit ( 中央演算処理装置 )
CRC	cyclic redundancy check ( 巡回冗長検査 )、エラー チェック プロトコルの 1 種
DAC	digital-to-analog converter ( デジタル - アナログ変換器 )。IDAC、VDAC を参照してください
DFB	digital filter block ( デジタル フィルター ブロック )
DIO	digital input/output ( デジタル入出力 )、アナログなし、デジタル機能のみを持つ GPIO ; GPIO を参照してください
DMIPS	Dhrystone million instructions per second ( ドライストーン 100 万命令毎秒 )
DMA	direct memory access ( ダイレクト メモリ アクセス )。TD を参照してください
DNL	differential nonlinearity ( 微分非直線性 )。INL を参照してください
DNU	do not use ( 未使用 )
DR	port write data registers ( ポート書き込みデータ レジスター )
DSI	digital system interconnect ( デジタル システム インターコネクト )
DWT	data watchpoint and trace ( データ ウオッチポイントとトレース )
ECC	error correcting code ( エラー訂正コード )
ECO	external crystal oscillator ( 外部水晶発振器 )
EEPROM	electrically erasable programmable read-only memory ( 電気的消去書き込み可能な読み出し専用メモリ )
EMI	electromagnetic interference ( 電磁干渉 )
EMIF	external memory interface ( 外部メモリ インターフェース )
EOC	end of conversion ( 変換の終了 )
EOF	end of frame ( フレームの終了 )

略語

**Table 41 本書で使用する略語（続き）**

略語	説明
EPSR	execution program status register( 実行プログラム ステータス レジスタ )
ESD	electrostatic discharge ( 静電気放電 )
ETM	embedded trace macrocell ( 埋め込みトレース マクロセル )
FIR	finite impulse response ( 有限インパルス応答 ) ; IIR を参照してください
FPB	flash patch and breakpoint ( フラッシュ パッチおよびブレークポイント )
FS	full-speed ( フルスピード )
GPIO	general-purpose input/output ( 汎用入出力 ) 、 PSoC ピンに適用
HVI	high-voltage interrupt ( 高電圧割込み ) ; LVI、 LVD を参照してください
IC	integrated circuit ( 集積回路 )
IDAC	current DAC ( 電流 DAC ) ; DAC、 VDAC を参照してください
IDE	integrated development environment ( 統合開発環境 )
I <sup>2</sup> C ( 別名 :IIC )	Inter-Integrated Circuit ( インターパークルの 1 種 )
IIR	infinite impulse response ( 無限インパルス応答 ) ; FIR を参照してください
ILO	internal low-speed oscillator ( 内部低速発振器 ) ; IMO を参照してください
IMO	internal main oscillator ( 内部主発振器 ) ; ILO を参照してください
INL	integral nonlinearity ( 積分非直線性 ) ; DNL を参照してください
I/O	input/output ( 入出力 ) ; GPIO、 DIO、 SIO、 USBIO を参照してください
IPOR	initial power-on reset ( 初期パワーオンリセット )
IPSR	interrupt program status register ( 割込みプログラム ステータス レジスタ )
IRQ	interrupt request ( 割込み要求 )
ITM	instrumentation trace macrocell ( 計装トレース マクロセル )
LCD	liquid crystal display ( 液晶ディスプレイ )
LIN	local interconnect network ( ローカルインターネットワーク ) 、 通信プロトコルの 1 種
LR	link register ( リンク レジスタ )
LUT	lookup table ( ルックアップ テーブル )
LVD	low-voltage detect ( 低電圧検出 ) ; LVI を参照してください
LVI	low-voltage interrupt ( 低電圧割込み ) ; HVI を参照してください
LVTTL	low-voltage transistor-transistor logic ( 低電圧トランジスタ - トランジスタ ロジック )
MAC	multiply-accumulate ( 積和演算 )
MCU	microcontroller unit( マイクロコントローラー ユニット )
MISO	master-in slave-out ( マスター入力スレーブ出力 )
NC	no connect ( 未接続 )
NMI	nonmaskable interrupt ( マスク不可割込み )
NRZ	non-return-to-zero ( 非ゼロ復帰 )
NVIC	nested vectored interrupt controller ( ネスト型ベクタ割込みコントローラー )
NVL	nonvolatile latch ( 不揮発性 ラッチ ) ; WOL を参照してください
opamp	operational amplifier ( 演算増幅器 )

略語

Table 41 本書で使用する略語（続き）

略語	説明
PAL	programmable array logic ( プログラマブル アレイ ロジック ) ; PLD を参照してください
PC	program counter ( プログラム カウンター )
PCB	printed circuit board ( プリント回路基板 )
PGA	programmable gain amplifier ( プログラマブル ゲインアンプ )
PHUB	peripheral hub ( ペリフェラル ハブ )
PHY	physical layer ( 物理層 )
PICU	port interrupt control unit ( ポート割込み制御ユニット )
PLA	programmable logic array ( プログラマブル ロジック アレイ )
PLD	programmable logic device ( プログラマブル ロジック デバイス ) ; PAL を参照してください
PLL	phase-locked loop ( 位相同期回路 )
PMDD	package material declaration datasheet ( パッケージ材質宣言データシート )
POR	power-on reset ( パワーオン リセット )
PRES	precise power-on reset ( 高精度パワーオン リセット )
PRS	pseudo random sequence ( 疑似乱数列 )
PS	port read data register ( ポート読み出しデータ レジスタ )
PSoC™	Programmable System-on-Chip™ ( プログラマブル システムオンチップ )
PSRR	power supply rejection ratio ( 電源電圧変動除去比 )
PWM	pulse-width modulator ( パルス幅変調器 )
RAM	random-access memory ( ランダム アクセス メモリ )
RISC	reduced-instruction-set computing ( 縮小命令セット コンピューティング )
RMS	root-mean-square ( 2 乗平均平方根 )
RTC	real-time clock ( リアル タイム クロック )
RTL	register transfer language ( レジスタ転送レベル言語 )
RTR	remote transmission request ( リモート送信要求 )
RX	receive ( 受信 )
SAR	successive approximation register ( 逐次比較レジスタ )
SC/CT	switched capacitor/continuous time ( スイッチト キャパシタ / 連続時間 )
SCL	I <sup>2</sup> C serial clock ( I <sup>2</sup> C シリアル クロック )
SDA	I <sup>2</sup> C serial data ( I <sup>2</sup> C シリアル データ )
S/H	sample and hold ( サンプル / ホールド )
SINAD	signal to noise and distortion ratio ( 信号対ノイズ比および歪み比 )
SIO	special input/output ( 特殊入出力 ) 、高度機能 GPIO ; GPIO を参照してください
SOC	start of conversion ( 変換の開始 )
SOF	start of frame ( フレームの開始 )
SPI	serial peripheral interface ( シリアル ペリフェラル インターフェース ) 、通信プロトコルの 1 種
SR	slew rate ( スルーレート )
SRAM	static random access memory ( スタティック ランダム アクセス メモリ )

略語

**Table 41 本書で使用する略語（続き）**

略語	説明
SRES	software reset ( ソフトウェアリセット )
SWD	serial wire debug ( シリアルワイヤデバッグ )、テストプロトコルの 1 種
SWV	single-wire viewer ( シングルワイヤビューアー )
TD	transaction descriptor ( トランザクションディスクリプタ )；DMA を参照してください
THD	total harmonic distortion ( 全高調波歪み )
TIA	transimpedance amplifier ( トランスインピーダンスアンプ )
TRM	technical reference manual ( テクニカルリファレンスマニュアル )
TTL	transistor-transistor logic ( トランジスタ - トランジスタロジック )
TX	transmit ( 送信 )
UART	universal asynchronous transmitter receiver ( 汎用非同期トランスマッタ レシーバ )、通信プロトコルの 1 種
UDB	universal digital block ( 汎用デジタルブロック )
USB	universal serial bus ( ユニバーサルシリアルバス )
USBIO	USB input/output (USB 入出力)、USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC ( 電圧 DAC )；DAC、IDAC を参照してください
WDT	watchdog timer ( ウオッチドッグタイマー )
WOL	write once latch ( 1 度しか書き込めないラッチ )；NVL を参照してください
WRES	watchdog timer reset ( ウオッチドッグタイマーリセット )
XRES	external reset I/O pin ( 外部リセット I/O ピン )
XTAL	crystal ( 水晶 )

本書の表記法

## 10 本書の表記法

### 10.1 測定単位

Table 42 測定単位

記号	単位
°C	摂氏温度
dB	デシベル
fF	フェムトファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

## 改訂履歴

版数	発行日	変更内容
**	2016-01-18	これは英語版 002-00123 Rev. *B を翻訳した日本語版 002-10633 Rev. **です。
*A	2016-09-06	これは英語版 002-00123 Rev. *F を翻訳した日本語版 002-10633 Rev. *A です。
*B	2016-10-17	これは英語版 002-00123 Rev. *G を翻訳した日本語版 002-10633 Rev. *B です。
*C	2020-02-06	これは英語版 002-00123 Rev. *K を翻訳した日本語版 002-10633 Rev. *C です。
*D	2021-03-22	これは英語版 002-00123 Rev. *N を翻訳した日本語版 002-10633 Rev. *D です。
*E	2022-12-08	これは英語版 002-00123 Rev. *O を翻訳した日本語版 002-10633 Rev. *E です。
*F	2023-05-17	これは英語版 002-00123 Rev. *P を翻訳した日本語版 002-10633 Rev. *F です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2023-05-17**

**Published by**

**Infineon Technologies AG  
81726 Munich, Germany**

**© 2023 Infineon Technologies AG.  
All Rights Reserved.**

**Do you have a question about this  
document?  
Go to [www.infineon.com/support](http://www.infineon.com/support)**

**Document reference  
002-10633 Rev. \*F**

## 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に關し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に關し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。