

英飞凌 Arm® Cortex® -M33 32 位 MCU，180 MHz，512 KB 闪存，128 KB SRAM，带可编程电源控制加速器
(双 Cortex® -M33，200 MHz，112 KB SRAM)

特性

- 基于 Arm® Cortex® -M33 的高性能、低功耗 32 位单核微控制器，集成 DSP、FPU、MPU、TrustZone (TZ) 扩展、业界领先的安全功能，512 KB 支持 ECC 的边写边读 (RWW) 闪存，以及 128 KB SRAM
- **可编程电源控制加速器 (PPCA)：**
 - 两个独立的 Arm® Cortex® -M33 微控制器内核，配备 DSP、FPU 和 112 KB SRAM
 - 四个 12 位、25 Msps SAR 模数转换器 (ADC) 模块，支持最多 24 个通道并行采样，其中最多 6 个通道支持 64 倍过采样以实现 15 位有效分辨率
 - 九个差分比较器斜坡发生器，延迟小于 10 ns
 - 内置 12 位 DAC 和两个坐标旋转数字计算 (CORDIC) 模块
 - 14 个 16 位和 12 个 32 位定时器/计数器脉宽调制器 (TCPWM) 支持 < 100 ps 高分辨率脉宽调制器 (HRPWM)
 - 可配置且可编程的事件处理单元 (EPU) 模块
 - 两个独立的 3P3Z 硬件滤波器模块，各含六个通道，以及一个配备数字电流观测器和矩阵转换器的自定义逻辑模块 (CLB)
- 此外，还有 2 个 16 位和 2 个 32 位 TCPWM
- **通信接口：**最多支持七个串行通信模块 (SCB)，其中两个支持 PMBus。另提供两个 CAN FD 接口，其中一个支持最高 8 Mbps 的传输速率
- **低功耗运行：**支持睡眠和深度睡眠模式，并提供三种可配置选项
- **输入/输出：**最多提供 60 个 GPIO 引脚 (其中 14 个支持模拟功能)，以及最多 26 个专用模拟输入
- **安全性：**通过 PSA L2 认证。部分器件已获 PSA L3 认证
功能安全：可提供符合 Class B 和 SIL 2 标准的安全测试库
- **封装类型：**VQFN-48、VQFN-64、E-LQFP-64、E-LQFP-80、E-LQFP-100，工作温度范围为 T_A = -40°C 至 115°C



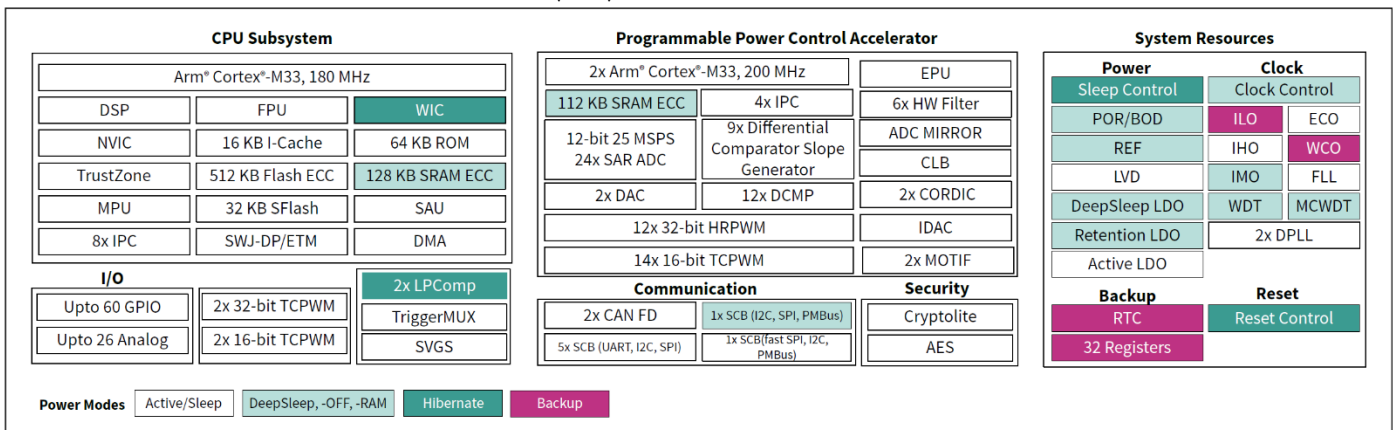
目标应用

- 面向 AI 服务器、电信、电动汽车充电桩及太阳能系统的数字电源应用，支持最高 2 MHz 的开关频率
- 碳化硅 (SiC) 和氮化镓 (GaN) 等高频开关频率宽带隙技术，用于实现电源转换和电机控制应用
- 用于家电、轻型电动汽车、机器人和无人机的电机控制应用器件



描述

英飞凌 PSOC™ Control C3(P/M)(8/7)x 器件采用运行频率最高达 180 MHz、配备 DSP/FPU 的 Arm® Cortex® -M33，以及含两个运行频率最高达 200 MHz 的 Cortex® -M33 内核的 PPCA 模块。包含 12 位 25 Msps 模数转换器 (ADC)、带差分斜率发生器的比较器、硬件滤波器、自定义逻辑模块、数模转换器 (DAC) 以及先进的高分辨率定时器。



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

	特性	1
	目标应用	1
	描述	1
	目录	2
1	简介	5
2	详细特性	7
3	芯片级功能说明	13
3.1	电源.....	13
3.1.1	电源连接.....	13
3.1.2	电源域.....	16
3.1.3	电源模式.....	16
3.1.4	电源模式 转换.....	17
3.1.5	电源模块支持.....	17
3.2	安全.....	19
3.2.1	安全功能.....	19
3.2.2	安全架构概述.....	19
3.2.2.1	搭载 TrustZone 的 Cortex®-M33	20
4	模块功能说明.....	21
4.1	CPU.....	21
4.2	DMA	21
4.3	加密支持 (CryptoLite)	21
4.4	高级加密标准 (AES-256)	21
4.5	存储器	21
4.5.1	闪存.....	22
4.5.2	SFlash.....	22
4.5.3	ROM.....	22
4.5.4	RAM	22
4.6	eFuse.....	22
4.7	时钟系统.....	22
4.7.1	内部主振荡器 (IMO)	23
4.7.2	内部高频振荡器 (IHO)	23
4.7.3	内部低频振荡器 (ILO).....	23
4.7.4	外部晶体振荡器 (ECO)	23
4.7.5	时钟晶体振荡器 (WCO).....	23
4.7.6	看门狗定时器 (WDT)	23
4.7.7	实时时钟 (RTC)	24
4.8	复位.....	24

目录

4.9	供电电压毛刺传感器 (SVGS)	24
4.10	低功耗比较器 (LPComp)	24
4.11	固定功能数字模块.....	24
4.11.1	定时器/计数器脉宽调制器 (TCPWM)	24
4.11.2	串行通信模块 (SCB)	25
4.11.2.1	集成电路 (I ² C).....	25
4.11.2.2	通用异步发送接收器 (UART)	25
4.11.2.3	串行外设接口 (SPI)	25
4.11.3	控制器局域网络灵活数据速率 (CAN FD)	26
4.12	触发多路复用器 (TriggerMux)	26
4.13	坐标旋转数字计算 (CORDIC).....	26
4.14	通用输入/输出(GPIO) 端口.....	26
4.15	器件固件更新 (DFU)	27
4.16	串行线 JTAG 调试端口(SWJ-DP).....	27
4.17	嵌入式跟踪宏单元 (ETM)	28
4.18	可编程电源控制加速器 (PPCA)	28
4.18.1	PPCA CPU 子系统.....	28
4.18.2	PPCA RAM	28
4.18.3	PPCA ATOP 子系统.....	29
4.18.3.1	12 位 25 Msps SAR ADC 转换器.....	29
4.18.3.2	差分比较器和斜坡发生器 (DCSG)	29
4.18.3.3	12位 R2R DAC及缓冲器.....	30
4.18.3.4	电流 DAC (IDAC).....	30
4.18.3.5	通用输入 (GPI)	30
4.18.3.6	温度传感器(TSNS)	30
4.18.4	PPCA - 事件处理单元 (EPU)	30
4.18.5	PPCA - 自定义逻辑模块 (CLB)	31
4.18.6	PPCA - 硬件滤波器 (HW 滤波器 3P3Z)	32
4.18.7	PPCA - 定时器/计数器脉宽调制器(TCPWM)	32
4.18.8	PPCA - 坐标旋转数字计算 (CORDIC).....	33
5	引脚	34
6	GPIO 复用功能.....	41
7	电气规格	54
7.1	绝对最大额定值.....	54
7.2	电源	55
7.3	CPU电流和转换时间.....	57
7.4	XRES	59
7.5	GPIO	60
7.6	模拟子系统.....	62
7.7	LPComp	63
7.8	ATOP 子系统.....	64



目录

7.9 HRPWM 规格..... 70

7.10 TCPWM 规格 70

7.11 SCB..... 71

7.12 存储器..... 76

7.13 POR 76

7.14 电压监视器..... 77

7.15 SWD 和跟踪接口 77

7.16 内部振荡器、晶体振荡器和外部时钟规格..... 78

7.17 JTAG 边界扫描规格 81

8 订购信息 84

8.1 器件型号命名规则..... 86

9 封装信息 89

10 勘误表..... 97

10.1 受影响的器件型号 97

10.2 PSOC™ Control C3(P/M)(8/7) 认证状态..... 97

10.3 PSOC™ Control C3(P/M)(8/7) 勘误表汇总..... 97

11 文档惯例 101

11.1 计量单位 101

术语表..... 102

修订记录 107

商标 108

免责声明 109

1 简介

1 简介

PSC3P8xx、PSC3M8xx、PSC3P7xx 和 PSC3M7xx 为 PSOC™ Control C3 MCU 系列器件，专为实时控制、增强型感测、安全运行和低功耗应用而设计。

目标应用：

- 电信和 AI 服务器高功率转换系统
- 功率级转换器
- 电动汽车（EV）充电桩
- 自动化设备
- 家用电器
- 工业电机控制器

MCU 的详细框图如图 1 所示。

1 简介

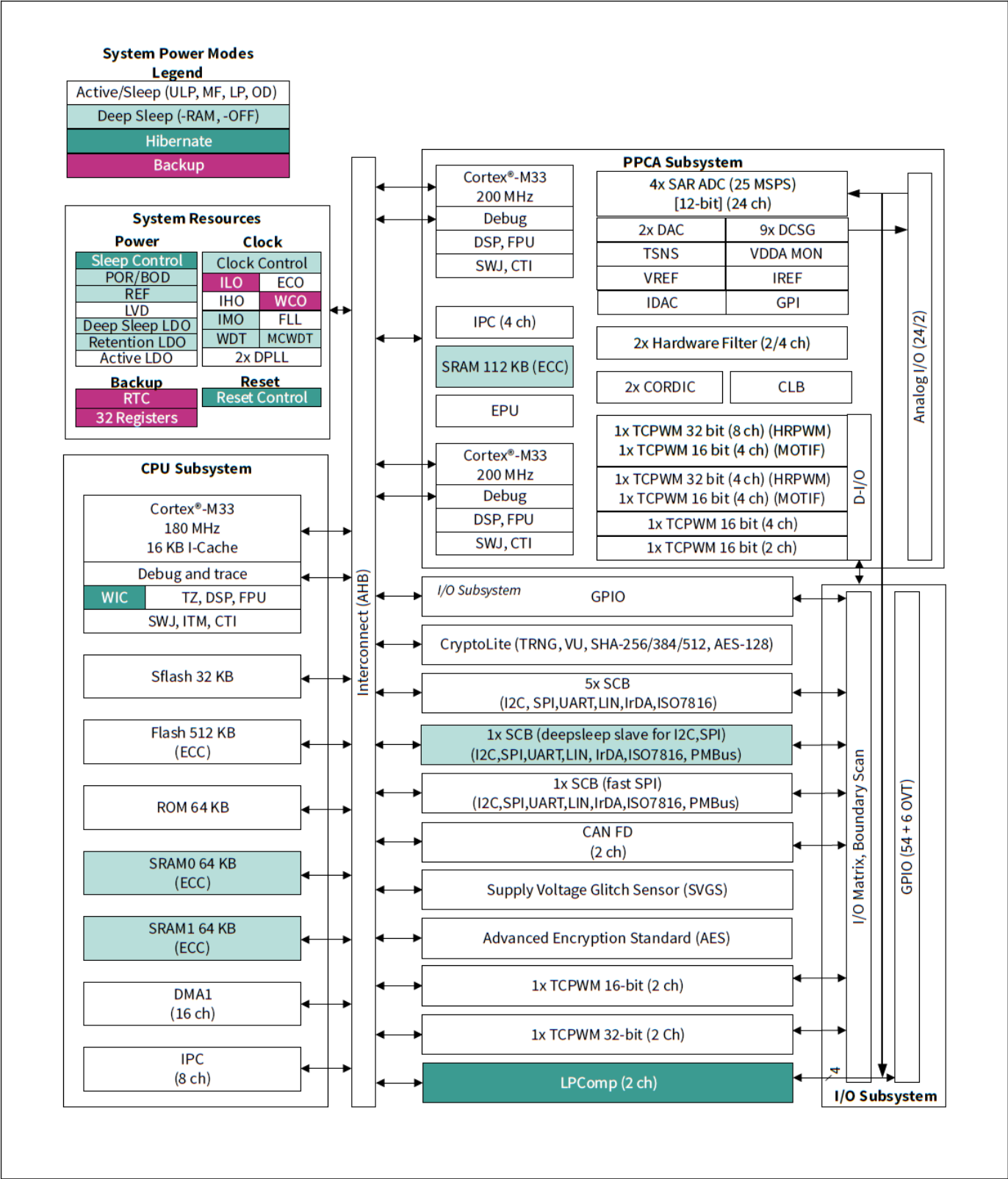


图 1 功能框图

器件标识与修订

系列 ID = 0x119 (12-bit); Si ID 范围 = EE80 - EE96; 主次版本 ID = 0x1, 0x1

2 详细特性

2 详细特性

该器件具有以下特性：

• CPU 子系统

- Arm® Cortex® -M33 处理器，运行频率最高达 180 MHz
- 数字信号处理器 (DSP)、浮点单元 (FPU)、存储器保护单元 (MPU)、16 KB 指令缓存 (I-cache)
- 一个直接存储器访问 (DMA) 控制器，含 16 个通道

• 安全

- 部分器件已获平台安全架构2级 (PSA L2) 认证，部分器件已获PSA L3认证
- 支持安全启动、安全固件更新、安全调试及用于现场故障分析的安全 RMA 模式
- 英飞凌专有的存储器和外设保护单元
- 逐步认证执行镜像，直至控制权移交给用户代码
- 以仅执行模式对受保护例程进行安全代码执行
- 镜像验证和完整性检查
- TrustZone 框架建立隔离的器件信任根 (RoT)，以实现信任证明和软件管理

• 存储器：

- 片上闪存：
 - 最高 512 KB 闪存，支持纠错码 (ECC) 并具备 RWW 功能；64 KB ROM 用于存储启动代码及引导加载程序功能；32 KB 预留给监督区域
 - 启动 ROM 中内置器件固件升级 (DFU) 支持，通过串行接口 (UART) 进行固件升级
- 静态随机存取存储器 (SRAM)：
 - 128 KB SRAM，支持 ECC
 - 划分为两个独立的 64 KB 块 (SRAM0 和 SRAM1)
 - 深度睡眠模式下可使用完整的 64 KB + 64 KB SRAM
 - 受保护的 SRAM 数据路径通过硬件 ECC 实现软错误检测与纠正。

• 时钟子系统：

- 8 MHz IMO，支持深度睡眠运行，精度为 $\pm 2\%$
- 48 MHz 内部高频振荡器 (IHO)，精度为 $\pm 1\%$
- 4 至 35 MHz 外部晶体振荡器 (ECO)，配备锁相环 (PLL)，为 CPU 和子系统提供时钟
- 32 kHz 外部时钟晶体振荡器 (WCO)，可用于实时时钟 (RTC) 应用
- 32 kHz 内部低频振荡器 (ILO)，精度为 $\pm 10\%$
- 外部时钟 (EXTCLK)：最高频率 100 MHz
- 一个锁频环 (FLL)，输出范围为 25-100 MHz
- 两个数字锁相环 DPLL#0 和 DPLL#1，输出范围为 50-200 MHz

• 低功耗运行：

- 在 1.71 V 到 3.63 V 电压范围内低功耗运行
- 支持六种电源模式，实现精细化电源管理：
 - 正常运行模式
 - 睡眠模式
 - 深度睡眠模式
 - 深度睡眠-RAM

2 详细特性

- 深度睡眠-关闭
- 休眠模式
- **深度睡眠模式:**
 - 使用内部稳压器，在 3.3 V 外部电源供电下电流消耗为 16 μ A
- **休眠模式:** 在 RTC 和 LPComp 使能的情况下，电流消耗最高为 1 μ A
- **通讯外设:**
 - **串行通信模块 (SCB):**
 - 最多五个相互独立且运行时可重新配置的 SCB。
 - 每个 SCB 可通过软件配置为 I²C, SPI, 或 UART, 并支持主机或从机模式
 - 额外两个运行时可重新配置的 SCB, 支持 PMBus 协议:
 - 可通过软件配置为 I²C、SPI 的主机或从机, 或配置为 UART 协议
 - PMBus 协议特性:
 - 波特率最高可达 1 Mbps
 - 针对错误或滞留命令的超时事件生成 (TGS)
 - 支持至少五个从机地址掩码 (MSA) 的硬件地址筛选功能, 用于拒绝或 NACK 传入的地址命令。
 - 符合 PMBus (v1.4) 和 SMBus (v3.2) 规范
 - 一个 SCB 实例支持通过 PMBus 扩展从深度睡眠模式中唤醒
 - **附加特性:**
 - 一个 SCB 支持在深度睡眠模式下运行, 并支持在 I²C 从机和 SPI 从机模式下从深度睡眠模式唤醒。
 - 一个 SCB 支持高速 SPI 操作, 速度最高可达 50 MHz
 - SCB 支持 UART 通信的单线半双工模式
 - **CAN FD:**
 - 最多支持两个 CAN FD 通道
 - 每个通道的传输速率最高可达 8 Mbps
- **I/O 子系统:**
 - **可编程 GPIO 引脚:**
 - 最多支持 86 个功能引脚, 包括 60 个数字 GPIO 引脚、24 个专用的纯模拟输入引脚 (60 个 GPIO 引脚中有 14 个支持模拟输入), 以及两个专用的模拟引脚, 仅可配置为输入或输出
 - 提供可编程驱动模式、驱动强度和斜率
 - 60 个 GPIO 中的 6 个为 GPIO_OVT 引脚, 符合 PMBus/SMBUS 规范中对输入漏电流的规格要求
 - 最多四个 GPIO_OVT 引脚可路由至 ATOP 的模拟输入端, 并供 ADC 或比较器使用
- **加密:**
 - **加密加速器:**
 - 通过向量单元 (VU) 支持对称加密算法 (AES-128) 和非对称加密算法 (RSA 及椭圆曲线加密 (ECC)) 的硬件加速
 - 支持 SHA-256、SHA-384 和 SHA-512 等哈希函数
 - 提供真随机数生成器 (TRNG) 功能, 增强安全性
 - **高级加密标准 (AES-256):**
 - 提供高性能 AES-256 加密, 防止未经授权访问
 - 支持 128 位和 256 位密钥长度, 提升灵活性和安全性

2 详细特性

- **低功耗比较器 (LPComp):**
 - 支持一对低功耗比较器
 - 提供用于比较的比较器阈值, 该阈值可来自外部引脚或内部固定基准电压 (约 $0.6\text{ V} \pm 0.2\text{ V}$)
- **定时器/计数器脉宽调制器 (TCPWM):**
 - 一个组提供两个 32 位 TCPWM 通道
 - 另一组提供两个 16 位 TCPWM 通道
 - TCPWM 的所有输出和输入均专门连接至事件处理单元 (EPU) 和触发多路复用器。
 - 一个实例由稳定时钟源提供时钟, 可用于监测主 CPU
 - 第二个实例由稳健的时钟源提供时钟, 以确保对 PPCA 的心跳监测可靠, 并可用于监测 PPCA CPU
- **供电电压毛刺传感器 (SVGS):**
 - 一种电压毛刺传感器, 用于检测攻击者为干扰器件正常运行而对供电电压施加的篡改行为
- **可编程电源控制加速器子系统 (PPCA):**
 - PPCA CPU 子系统:
 - **CPU:**
 - 两个 Arm® Cortex®-M33 处理器 (CPU0 和 CPU1), 每个运行频率最高可达 200 MHz
 - 数字信号处理器 (DSP)、浮点单元 (FPU)
 - **CPU 存储器:**
 - 共有五个 SRAM 存储器模块实例
 - SRAM 支持 ECC, 可检测两位错误并纠正一位错误
 - 四个本地存储器块, 大小分别为: 32 KB、16 KB、32 KB 和 16 KB。前两个块分配给第一个 PPCA CPU (CPU0), 用于存储代码和数据。另外两个块分配给第二个 PPCA CPU (CPU1), 用于存储代码和数据。如果未使用 CPU1, 这些块可作为 CPU 的代码扩展和数据扩展
 - PPCA CPU0 和 PPCA CPU1 均可访问一个 16 KB 共享存储器块。该存储器还可用作 CPU0 或 CPU1 的数据扩展
 - **IPC 模块:**
 - IPC 模块用于实现 PPCA CPU0 与 PPCA CPU1 之间的通信。该模块通过共享的 16 KB SRAM 运行
 - IPC 模块支持一个组、四个通道和四个中断
 - **AMBA 总线架构:**
 - 包括一个总线矩阵、五个 AHB 从机输入和 12 个 AHB 主机输出
 - **模拟 TOP 子系统 (ATOP SS):**
 - **模数转换器(ADC):**
 - 四个 12 位 (有效位数 (ENOB) 大于 10 位) SAR ADC (ADC0 - ADC3), 转换速率最高可达 25 Msps
 - 支持最多 12 个专用差分模拟输入通道或 24 个专用单端输入通道
 - 可选择将 16 个多路复用附加模拟输入连接至两个模拟输入通道
 - 输入电压范围: -0.4 V 至 3.3 V
 - 支持同时采样、任意采样或连续可编程采样序列

2 详细特性

- 可选内部或外部 1.2 V ADC 基准电压
- 模拟前端 (AFE)，可选输入增益值为×8.25、×16.5、×33、和 ×66
- 通过每通道、每组通道的专用硬件信号，或通过写入 ADC 触发寄存器来启动转换 (SOC)
- 通过所提供的 SOC 或使用控制 ADC 转换的有限状态机 (FSM) 对齐采样结束 (EOS) 时刻。
- 提供来自事件处理单元 (EPU) 的可配置 ADC 触发源
- **数字比较器 (DCMP)：**
 - 数字比较器的输出信号路由至 EPU
 - 最多 12 个可配置数字阈值的数字比较器
 - 当输入信号越过预编程阈值时生成事件
 - 支持可配置的比较方法包括：即时比较、即时比较积分、即时比较累积及平均比较
- **ADC滤波器 (ADC FILT)：**
 - ADC 内置一组可配置的数字滤波器，包括中值滤波器、线性插值/外推滤波器、低通滤波器、级联积分器三阶梳状滤波器、可配置平均滤波器、输入数据流中的最小值检测以及输入数据流中的最大值检测。
 - 支持最高 64 倍过采样，在最多六个 ADC 通道上实现 15 位有效分辨率
 - 滤波器可串联使用，并可选择以另一个ADC内核的输出作为输入源
 - MIN/MAX 模块可以以中值滤波器的输入或输出作为数据源
- **带斜坡发生器的差分模拟比较器 (DCSG)：**
 - 具有 9 个有效、可配置的差分或单端比较器，最坏情况下比较器延迟为 5 ns
 - 差分模拟比较器内置 DAC，用于生成可编程阈值或基准电压
 - 采用动态锁存比较器架构，支持最高 200 MHz 的时钟频率
 - 三个带可选数字斜坡发生器的比较器
 - 支持可选输入电压范围：0 V 至 3.3 V 或 ±200 mV
 - 确保最大抖动不超过一个时钟周期，传输延迟小于两个时钟周期
 - 偏移量与 DAC 分辨率匹配，在 3.3 V 轨到轨范围并使用 12 位 DAC 的情况下，偏移为±0.7 mV
 - 支持12位DAC阈值设置，差分非线性 (DNL) 小于4个LSB
 - 确保10位单调性，DAC最大刷新率为50 Msps (最小20 Msps)
 - 保证在 400 码跳变后，DAC 建立时间小于10个时钟周期，且精度为±8 LSB
 - 集成 DAC 刷新触发功能，消隐时间小于12个时钟周期
 - 支持A与B比较
 - 提供连接至事件处理单元 (EPU) 模块的比较器触发输入和输出
- **数模转换器 (DAC) R2R：**
 - 两个12位单端DAC，刷新速率为2 MHz
 - 确保10位单调性
 - 可选 DAC 输出范围，包括0 V至VREF (1.2 V)、0 V至VDDA/2、±0.2 V或±VDDA

2 详细特性

- 提供可选缓冲 DAC 输出满量程范围：0.1 V 至 $V_{DDA}/2$ 或 0.1 V 至 V_{REF}
- 配备 50 pF 负载驱动器
- **附加特性：**
 - 精度为 $\pm 5^{\circ}\text{C}$ 的温度传感器 (TSNS)
 - 为 ATOP 子系统资源提供电流基准 (AREF)
 - 为 ATOP SS 资源提供电压基准 (V_{REF})
 - 包含电流数模转换器 (IDAC) 模块，生成可选的已知电流用于检测外部电阻
 - 通用输入 (GPI) 模块，通过固定模拟阈值将模拟输入转换为数字输出
- **事件处理单元 (EPU)：**
 - 便于灵活管理外设生成的事件，以生成触发信号
 - 支持通过已处理输入事件的线性组合来生成触发信号，并允许将输入触发信号作为中断路由至 PPCA CPU
 - 可配置且可编程的事件处理系统，包括 32 个 Type-1 处理单元和 16 个 Type-2 处理单元
 - 处理来自 CPU 和外设资源所产生事件的选定输入信号，并将处理结果输出至 CPU 和外设资源的触发端
 - 支持多种功能，包括异步操作、同步旁路、输入极性反转和上升沿提取
 - 集成多种滤波功能，例如掩蔽滤波器、消隐滤波器、去抖滤波器（通过积分实现）以及最长 128 个时钟周期的脉冲延迟
- **硬件滤波器 (HWFILT3P3Z)：**
 - 支持两个硬件滤波器 (HWFILT3P3Z) 实例，每个实例可分配给其中一个 PPCA CPU
 - 第一个实例支持四个 3Poles3Zeros (3P3Z) 硬件滤波器
 - 第二个实例支持两个 3Poles3Zeros (3P3Z) 硬件滤波器
 - 具有 16 位输入和 24 位输出
 - 配备 40 位乘法器和 44 位内部累加器
 - 确保执行延迟最多为八个 CPU 时钟周期
 - 支持算术二进制补码和饱和运算
 - 可编程专用数据路径，以提升性能
- **自定义逻辑模块 (CLB)：**
 - CLB 模块为需要大量计算资源的特定功能或控制算法提供专用硬件支持
 - 支持的功能示例包括：用于图腾柱 PFC 控制器的数字观测器以及矩阵转换器换相。
 - 此外，CLB 模块还支持轨迹控制和扩展脉冲启动功能
- **坐标旋转数字计算 (CORDIC)：**
 - 支持所有 CORDIC 工作模式，用于求解圆形（三角函数）和双曲函数
 - 集成独立查找表，以加速计算并提升性能
- **定时器/计数器脉宽调制器 (TCPWM)：**
 - PPCA 内提供四个 TCPWM 实例 (TCPWM0 至 TCPWM3)
 - 所有计数器 (PERIOD、DUTY、CC0、CC1、DT) 均支持大于或等于 ($\geq$) 及等于 (=) 的匹配条件

2 详细特性

- 中心对齐、边沿模式
- 占空比、周期、死区时间及输出信号极性的影子寄存器更新
- 基于比较器的关断信号触发
- 所有实例的触发输入均连接到事件处理单元（EPU）输出端，而所有实例的触发输出均连接到 EPU 输入端
- 所有四个实例与 PPCA CPU 同步运行，并采用 PPCA 时钟，最高频率为 200 MHz
- HRPWM 功能用于调整周期、占空比及插入死区时间，典型分辨率小于 100 ps
- **第一个 TCPWM 实例（TCPWM0）：**
 - 八个 32 位计数器，具备高分辨率 PWM（HRPWM）功能
 - 四个 32 位计数器的 CC0 和 CC1 寄存器支持并行输入数据路径
 - 四个 16 位计数器，16 位计数器组支持 MOTIF
 - 所有 16 位和 32 位计数器的 PWM 输出均连接至 HSIOM
- **第二个 TCPWM 实例（TCPWM1）：**
 - 四个 32 位计数器，具备 HRPWM 功能
 - 两个 32 位计数器的 CC0 和 CC1 寄存器支持并行数据路径
 - 四个 16 位计数器，16 位计数器组支持 MOTIF
- **第三个 TCPWM 实例（TCPWM2）：**
 - 四个 16 位计数器
 - 触发输入和输出连接至 EPU
 - PWM 输出的触发输出也连接至触发多路复用器
- **第四个 TCPWM 实例（TCPWM3）：**
 - 两个 16 位计数器
 - 触发输入和输出连接至 EPU
 - PWM 输出的触发输出也连接至触发多路复用器

3 芯片级功能描述

3.1 电源

该器件具备先进的功能，可用于管理及降低功耗。支持多种电源模式，包括正常运行、睡眠、深度睡眠和休眠。根据 SRAM 的数据保留情况，深度睡眠模式有三种变体。

电源控制模块确保各电源模式下的电压水平满足相应要求。其主要功能包括：

- 延迟模式进入（例如上电复位 (POR) 时），直至电压水平适合正常运行
- 检测在安全供电水平以下运行的情况：
 - 为低电压检测 (LVD) 生成中断
 - 产生欠压检测 (BOD) 复位

器件采用单路稳压 VDDD 和 VDDIO 供电，工作电压范围为 1.71 V 至 3.63 V。模拟电源 VDDA 的电压范围必须在 2.6 V 至 3.63 V。外部模拟参考电源 VAREF_EXT 为 ADC 和 DCSG 提供 1.2 V 的固定基准电压。

此外，提供可选的 VBACKUP 电源，电压范围为 1.71 V 至 3.63 V。线性稳压器为核心逻辑供电，提供四个电压等级：0.9 V、1.0 V、1.1 V 和 1.2 V。通过写入电源控制寄存器来实现电压等级切换。核心逻辑电压可根据应用的性能和功耗需求进行设置。外设和总线层面的时钟门控可实现精细化的能耗优化。

备份域通常需要 1.71 V 至 3.63 V 的输入电压，可通过将备用电池或超级电容连接至 VBACKUP 引脚来提供。当 VDDD 不可用时，内部备份开关会自动在 VDDD 和 VBACKUP 之间选择合适的电源供电。这可确保备份域外设（如 RTC、WCO、ILO 和备份寄存器）保持通电状态。部分 I/O 单元直接由 VBACKUP 供电，位于内部备份开关上游。如果不需要专用备份电源，可将 VBACKUP 在外部连接至 VDDD，以确保由 VBACKUP 供电的 I/O 单元保持正常运行。

该器件包含多个 VDDIO 引脚，用于为 I/O 单元供电（备份域中的 I/O 单元除外）。VDDIO 既可以与 VDDD 共用同一电源，也可以在有效工作范围内使用独立的供电电压。这种灵活性允许由不同 VDDIO 电源供电的端口引脚可工作在不同的逻辑电平下。当端口 I/O 不使用时，可以关闭 VDDIO 电源。但是，仅允许在正常运行模式或深度睡眠模式下关闭 VDDIO 电源，休眠模式下不得关闭 VDDIO 电源。有关 VBACKUP 或 VDDIO 电源为端口 I/O 单元供电的详细信息，可参见[引脚](#)章节。

3.1.1 电源连接

[图 2](#) 至 [图 5](#) 展示了所有支持封装的电源引脚典型连接方式。在这些图中，每个封装引脚都标有其名称和引脚编号，例如“VDDD; 17”。

器件对上电顺序无强制要求。

3 芯片级功能描述

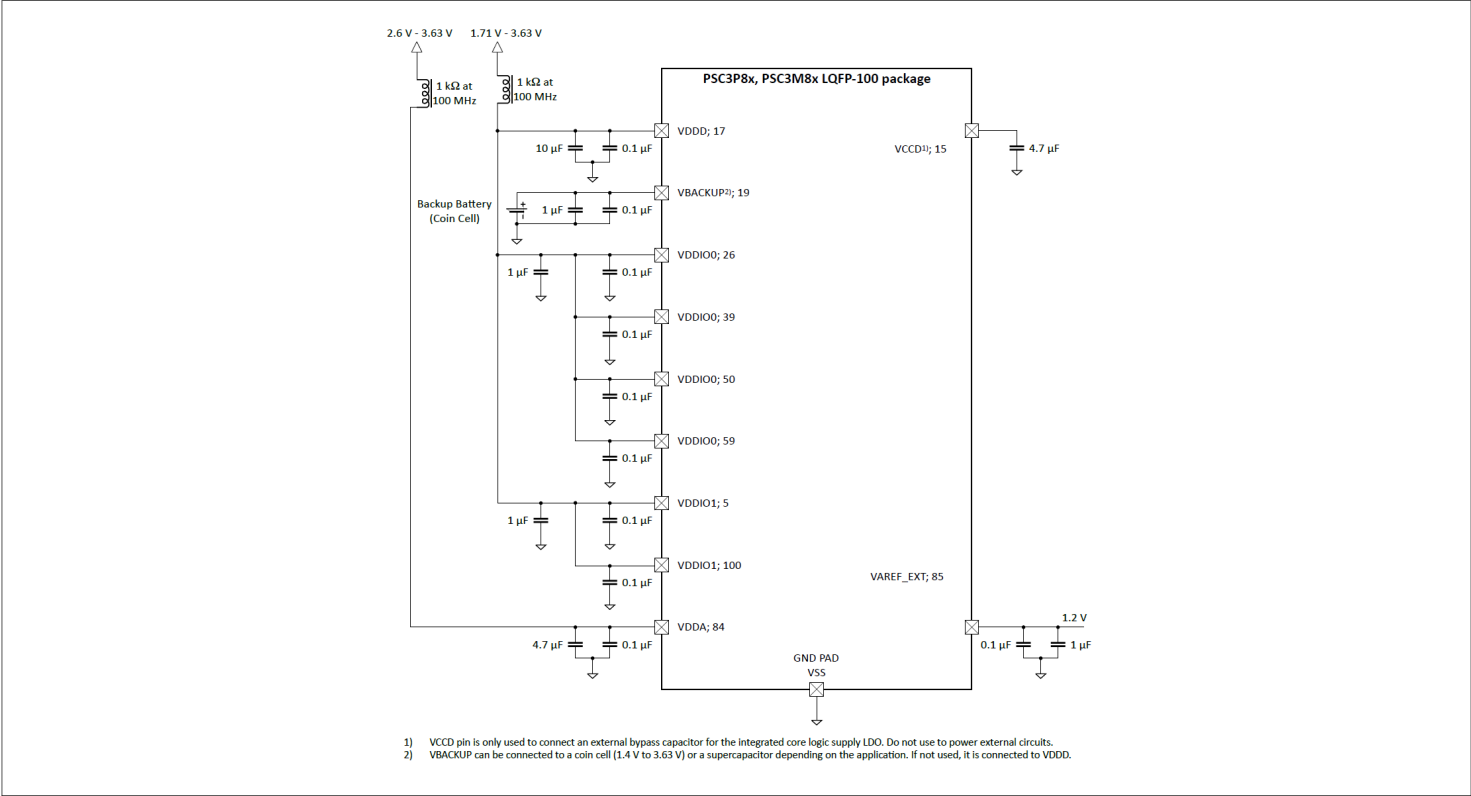


图 2 LQFP-100 封装电源连接

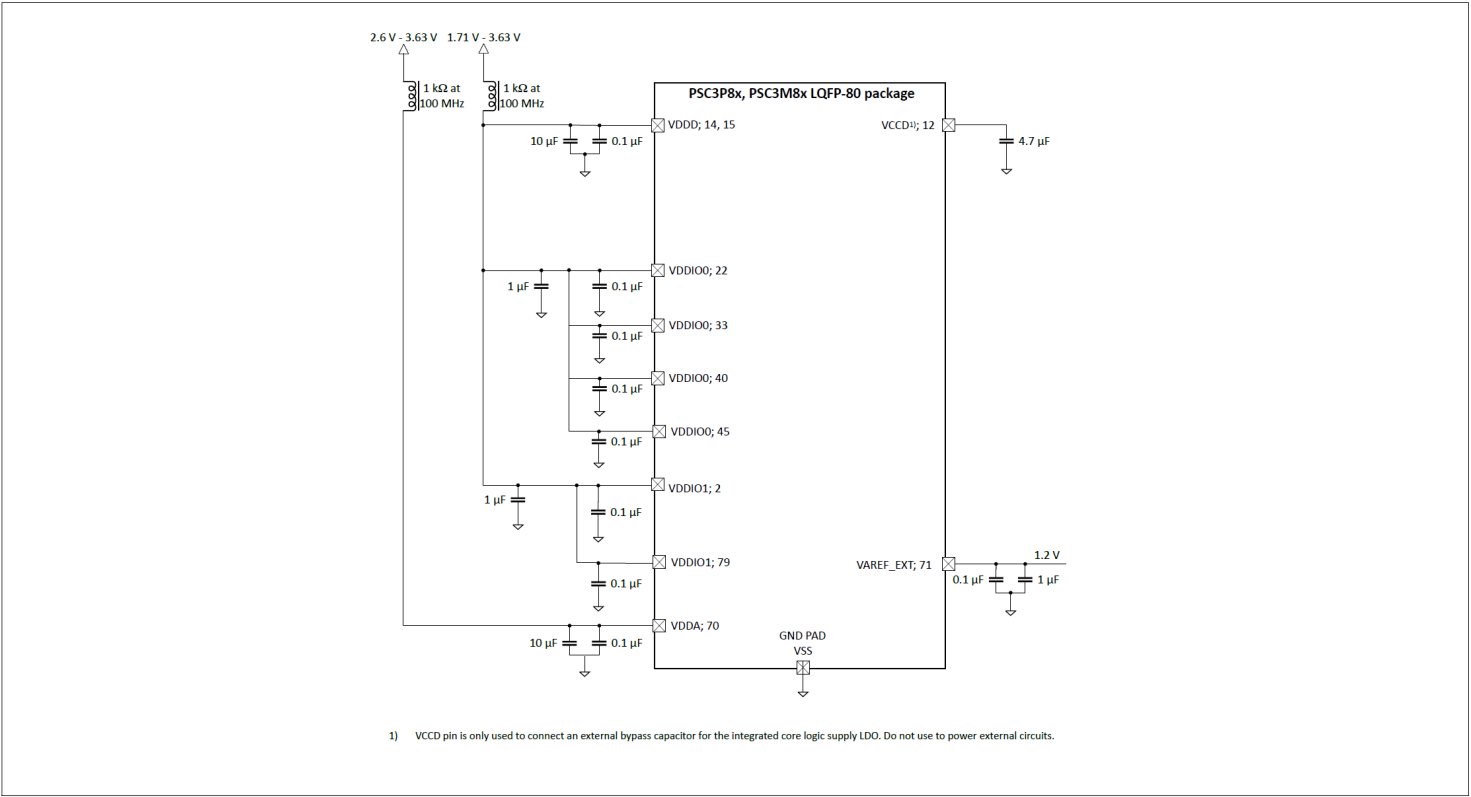


图 3 LQFP-80 封装电源连接

3 芯片级功能描述

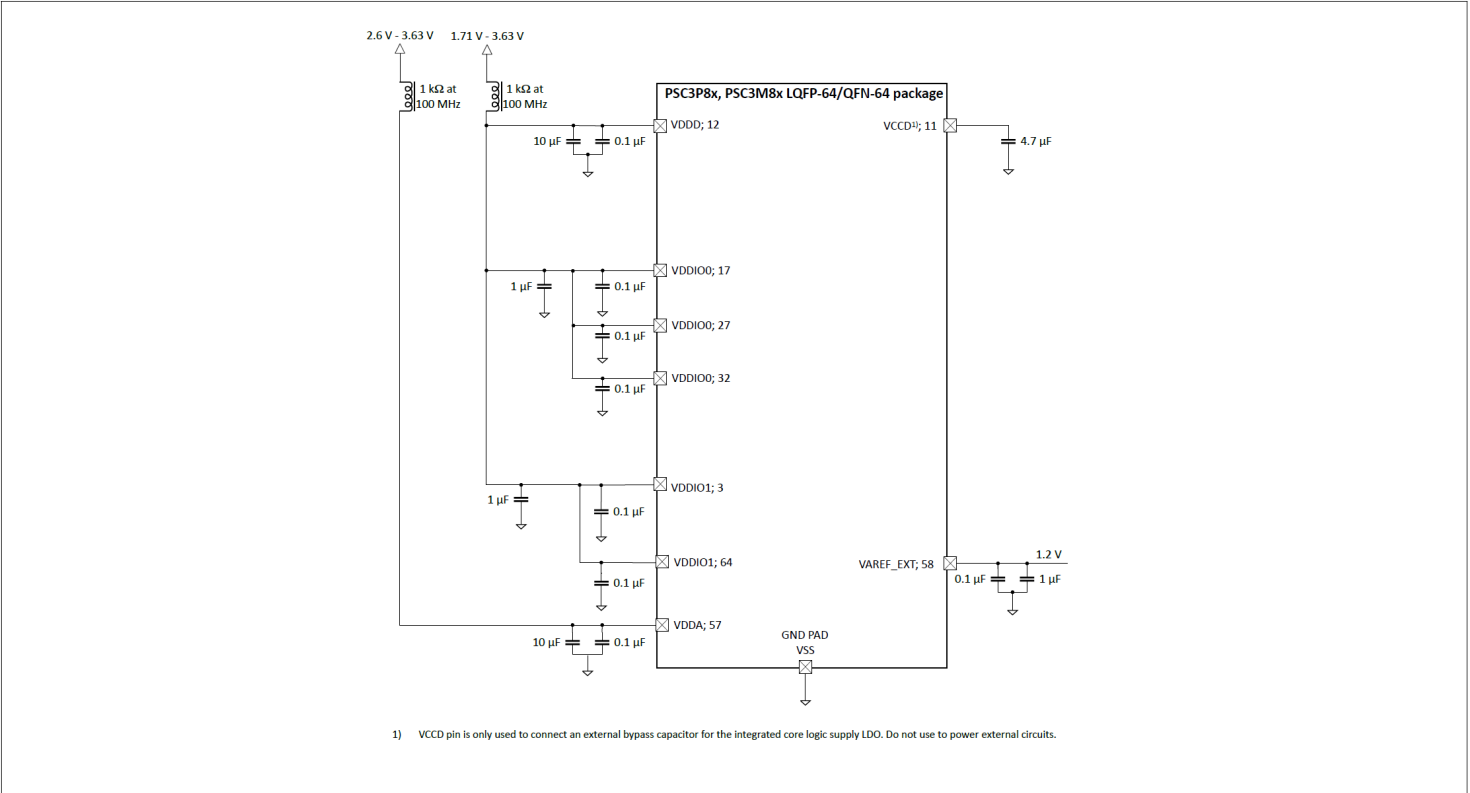


图 4 LQFP-64/QFN-64 封装电源连接

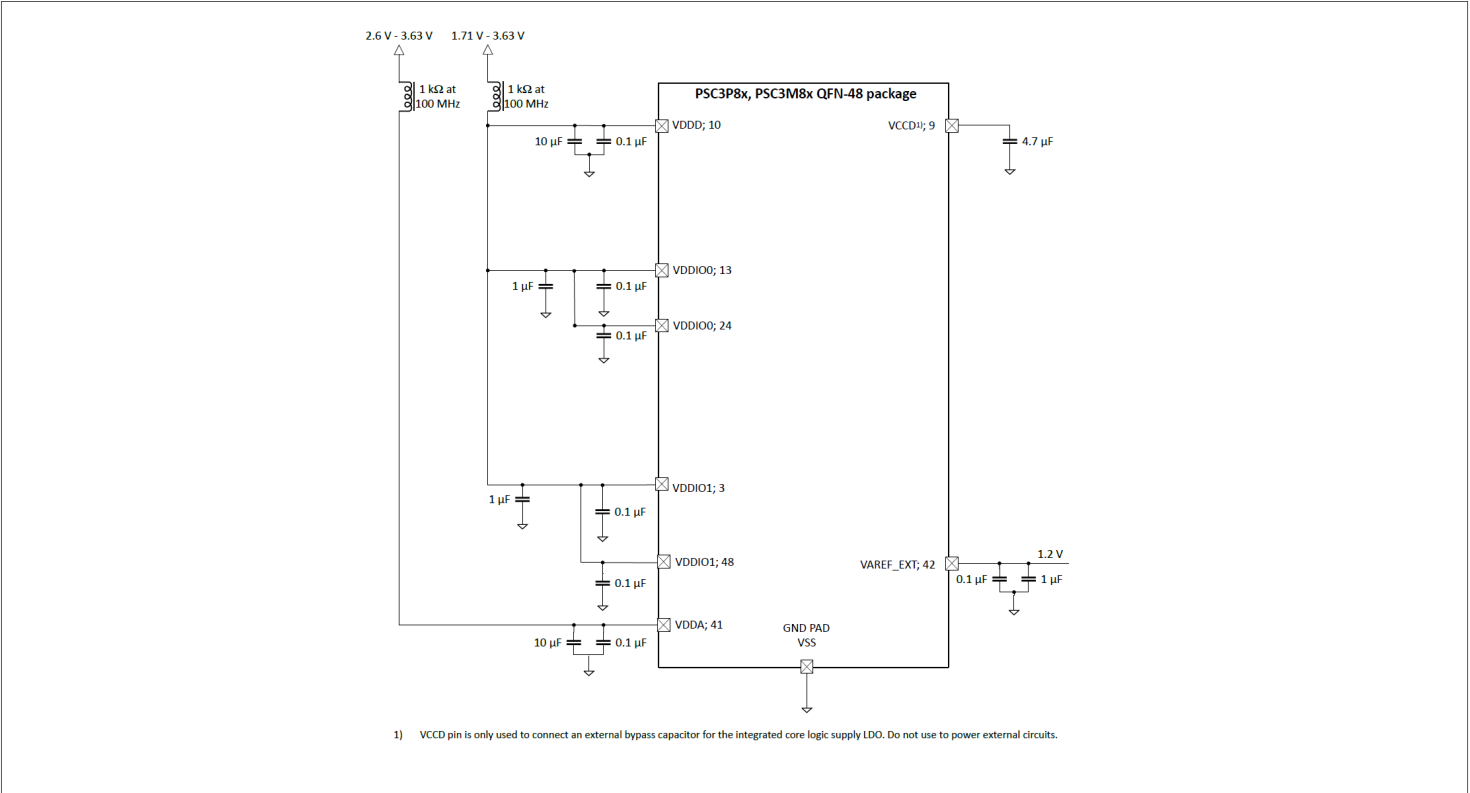


图 5 QFN-48 封装电源连接

3 芯片级功能描述

3.1.2 电源域

该器件具有独立的电源域，可根据电源模式有选择地开启或关闭电源。

电源连接和路由示意图如图 6 所示：

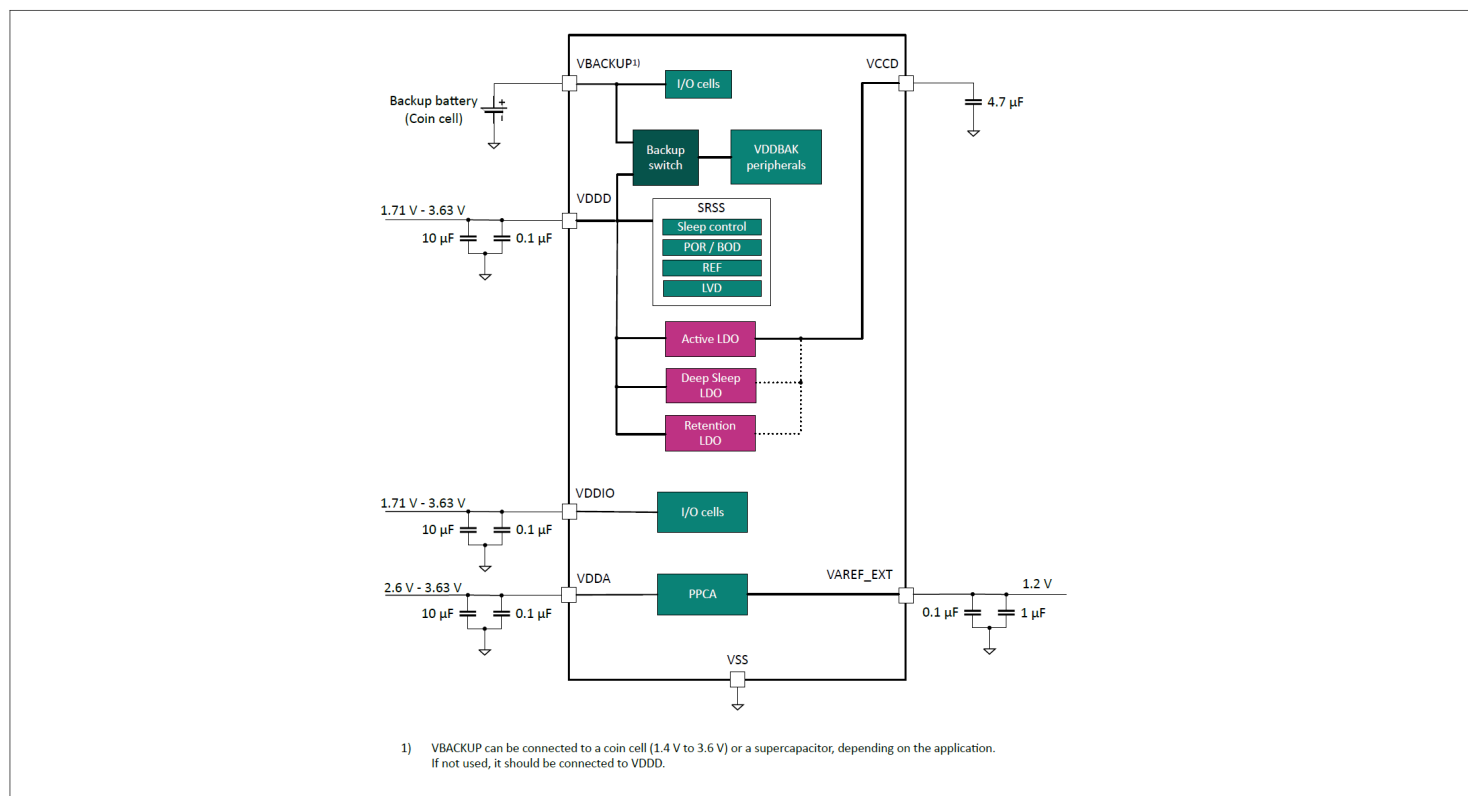


图 6 电源分配与电源域

3.1.3 电源模式

本产品支持五种电源模式，旨在最小化应用中的平均功耗。支持的电源模式如下：

- 正常运行/睡眠：

- 所有外设均已通电
- CPU 处于正常运行状态（执行代码），或处于睡眠模式（时钟门控）
- 任意中断可在一个CPU时钟周期内唤醒CPU以恢复运行
- 在主动模式下，核心电压可设置为四个值中的一个，所选电压值会影响功耗和 CPU 及外设的最高时钟频率。

支持以下主动模式：

- **超低功耗模式（ULP）**：核心电压 0.9 V，CPU 和 PPCA 时钟频率 50 MHz，ATOP 时钟频率 25 MHz
- **中频模式（MF）**：核心电压 1.0 V，CPU 和 PPCA 时钟频率 70 MHz，ATOP 时钟频率 35 MHz
- **低功耗模式（LP）**：核心电压 1.1 V，CPU 和 PPCA 时钟频率 150 MHz，ATOP 时钟频率 100 MHz
- **超频模式（OD）**：核心电压 1.2 V，CPU 时钟频率 180 MHz，PPCA 时钟频率 200 MHz，ATOP 时钟频率 100 MHz

- **深度睡眠模式**：CPU 保持保留模式。系统 RAM 和 PPCA SRAM 中的数据得以保留。只有支持深度睡眠的外设才能唤醒系统。唤醒后，系统无缝恢复运行

3 芯片级功能描述

- **深度睡眠-RAM 模式：**CPU 关闭，但系统 SRAM 和 PPCA SRAM 中的数据保留，以支持唤醒时的热启动。只有已使能的支持深度睡眠的外设才能保持运行并唤醒系统
- **深度睡眠-关闭模式：**此模式与深度睡眠-RAM 模式类似，区别在于 RAM 也被关闭。唤醒动作将触发复位或冷启动
- **休眠模式：**除 LComp 和备份域外设（如 RTC 和 HIB）外，所有外设均关闭。除备份域时钟外的所有时钟及所有内部稳压器均关闭，导致 LComp 的异步运行。系统在退出休眠模式时执行复位。

3.1.4 电源模式转换

该器件支持 Arm® 标准电源模式。详细信息可参见[电源模式](#)章节。[表 1](#) 列出了所支持电源模式的相关参数。

表 1 电源模式支持

	Active/Sleep	Deep Sleep	Deep Sleep-RAM	Deep Sleep-OFF	Hibernate	Off
Parameters						
Wake source ¹⁾	Any interrupt	DS peripherals	DS peripherals	DS peripherals	RTC/HIB peripherals	Power on
Wake action	Resume	Resume	Warm boot	Reset/cold boot	Reset	Reset
Wake time	One CPU cycle	<20 μ s	Deep Sleep + warm boot	Deep Sleep + cold boot	POR + cold boot $\leq$ 4 ms	
Resources						
ECO	On/Off	On/Off	On/Off	On/Off	Off	Off
IHO	On	Off	Off	Off	Off	Off
IMO	On	On/Off	Off	Off	Off	Off
ILO	On/Off	On/Off	On/Off	On/Off	Off	Off
WCO	On/Off	On/Off	On/Off	On/Off	On/Off	Off
CPU	On/Sleep	Retention	Off	Off	Off	Off
PPCA (except SRAM)	On	Off	Off	Off	Off	Off
System SRAM	On	On/Off	On/Off	Off	Off	Off
PPCA SRAM	On	On	On	Off	Off	Off

1) 有关深度睡眠（DS）和休眠（HIB）电源模式下的可用外设列表，可参见[电源模块支持](#)章节。

3.1.5 电源模块支持

[表 2](#) 列出了该器件主要模块的可用工作状态。需要注意的是，与正常运行模式相比，低功耗模式下的工作状态在功能和参数性能方面通常有所限制。此外，不支持低功耗模式（如深度睡眠和休眠模式）的模块无法从这些电源模式中唤醒 CPU。详情可参见[电源模式](#)章节。

3 芯片级功能描述

表 2 模块电源模式

Block	Power mode				
	Active	Sleep	Deep Sleep	Hibernate	Backup
CPUSS					
CPU	Y	N	N	N	N
NVIC	Y	Y	N	N	N
WIC	Y	Y	Y	N	N
FLASH	Y	Y	N	N	N
SRAM	Y	Y	Y	N	N
DMA	Y	Y	N	N	N
Peripherals					
TCPWM (also in PPCA)	Y	Y	N	N	N
SCB	Y	Y	Y ¹⁾	N	N
CAN FD	Y	Y	N	N	N
LPComp	Y	Y	Y ²⁾	Y	N
PPCA					
CPUs	Y	Y	N	N	N
SRAM	Y	Y	Y	N	N
CORDIC	Y	Y	N	N	N
ADC	Y	Y	N	N	N
DCSG	Y	Y	N	N	N
Custom logic block	Y	Y	N	N	N
Hardware filters	Y	Y	N	N	N
I/O					
GPIO	Y	Y	Y	Y ³⁾	N
Backup					
RTC	Y	Y	Y	Y	Y
Registers	Y	Y	Y	Y	Y

1) 仅 SCB 0 (I²C, SPI)

2) 仅在深度睡眠模式下。在深度睡眠-RAM 和深度睡眠-OFF 模式下不可用。

3) 只有 hibernate_wakeup 引脚 (P2.1 和 P7.0) 处于工作状态, 并可从休眠模式唤醒器件。更多信息, 可参见[引脚](#)章节。

3.2 安全

本产品系列以支持 Arm® TrustZone 的 Cortex® -M33 CPU 为主内核，并以两个 Cortex® -M33 CPU 为子系统。它提供隔离、完全安全、基于硬件的信任根（RoT），支持安全启动、器件配置及安全调试。

支持安全和非安全两种调试访问方式。在非安全访问模式下，调试器无法访问标记为 "安全" 的区域。在安全访问模式下，器件可被“锁定”，以防止其被用于测试或调试。调试令牌确保安全调试和 RMA 转换时的相应访问权限。

该器件在硬件和软件层面均完全符合 Arm® TrustZone 标准。此外，还采用英飞凌专有保护单元提供额外安全层。

PSA L3 认证组件支持符合 PSA 标准的加密服务、密钥管理以及安全存储服务。

3.2.1 安全功能

- **Arm® 平台安全架构：**符合 PSA 3 级预认证
- **安全启动与调试：**支持安全启动、安全固件更新、安全调试及用于现场故障分析的安全 RMA 模式
- **固件保护特性：**基于产品型号的固件保护
- **硬件加密加速器：**全面支持加密算法
- **安全处理隔离：**通过 Arm® TrustZone 实现处理环境的安全隔离
- **英飞凌专有 MPU、MPC、和 PPC：**用于存储器和外设访问控制
- **可信固件-M (TF-M)：**利用可信固件-M (TF-M) 和 mbedTLS 加密加速软件包实现开箱即用的安全隔离

3.2.2 安全架构概述

如图 7 所示，本产品系列以支持 Arm® TrustZone 的 Cortex® -M33 CPU 为主内核，并以两个 Cortex® -M33 CPU 作为子系统。

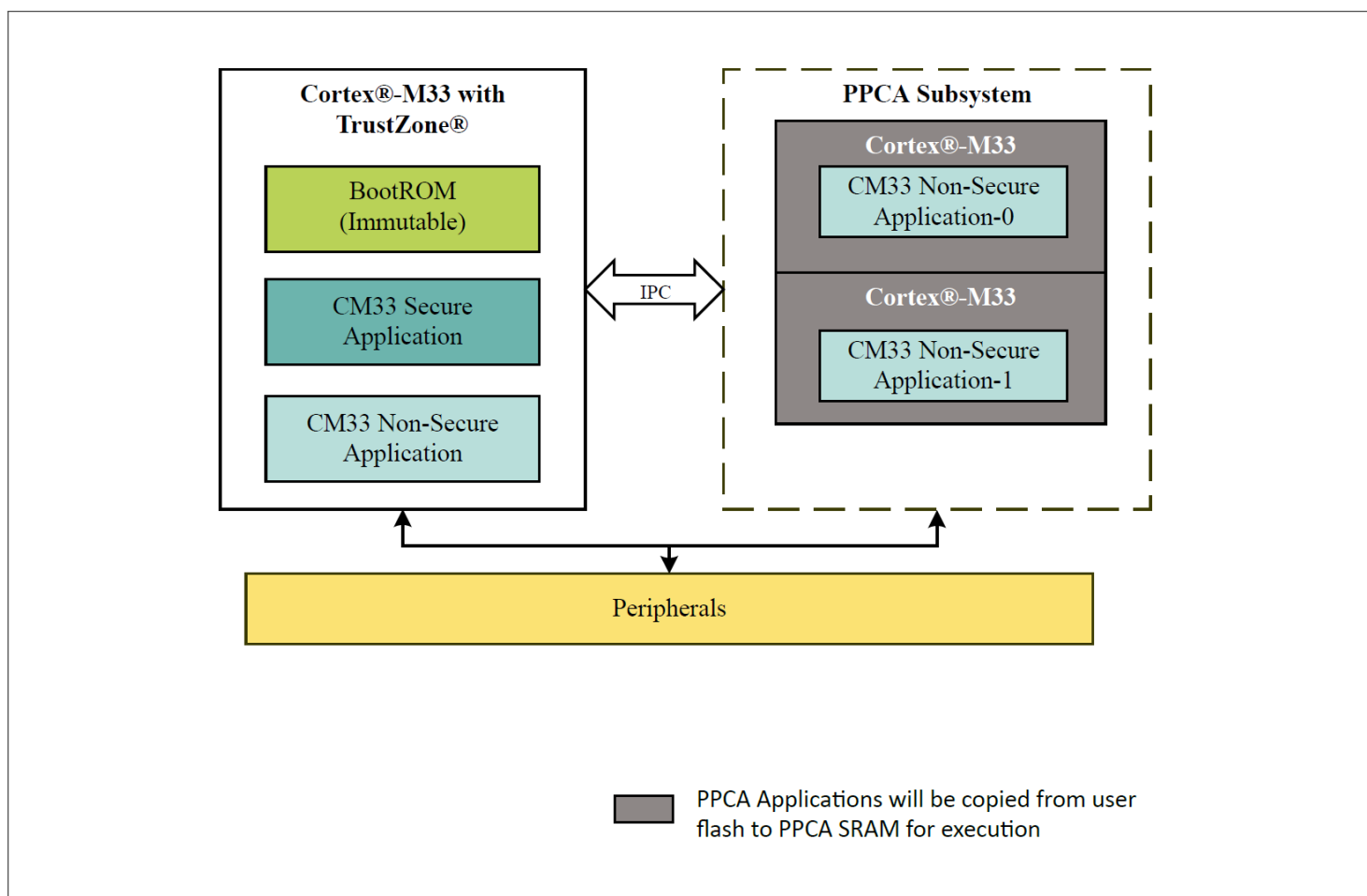


图 7 安全架构

3.2.2.1 搭载 TrustZone 的Cortex®-M33

- 支持 Arm® TrustZone 的内核：支持两种处理环境--安全 (SPE) 和非安全(NSPE)
- 英飞凌专有保护单元：提供存储器及外设保护
- 集成 mbedTLS 加密加速包：支持软件和硬件加密服务
- 可信固件-M (TF-M)：由英飞凌提供并在 SPE 中实现。Cortex®-M33 可在 NSPE 和 SPE 中调用其功能服务。

4 模块功能说明

4.1 CPU

- **Arm® Cortex® -M33**：包含数字信号处理器（DSP）和浮点单元（FPU）
- **TrustZone 框架**：建立隔离的器件信任根，用于可信验证和软件管理
- **存储器保护单元（MPU）**：安全和非安全 MPU 各支持八个区域
- **安全属性单元（SAU）**：定义最多八个存储器区域的安全状态
- **调试功能**：通过嵌入式跟踪宏单元（ETM）实现跟踪功能，但不包含嵌入式跟踪缓冲器（ETB）
- **指令缓存（I-cache）**：配备 16 KB I-cache，用于闪存和 ROM 访问

一个独立的 8 通道处理器间通信（IPC）模块（两个 IRQ），为安全和非安全执行环境中的信号量和邮箱结构提供无缝支持。

子系统包含中断控制器，如嵌套向量中断控制器（NVIC）。芯片还包含一个唤醒中断控制器（WIC），可将处理器从系统深度睡眠模式中唤醒。该功能可确保芯片处于深度睡眠模式时，主处理器的电源和时钟保持关闭状态，从而节省能耗。

CPU 子系统集成调试接口，支持 SWD 和 JTAG。此外，芯片支持边界扫描，这对 PCB 板级测试至关重要。芯片提供独立的测试访问端口（TAP）控制器来管理边界扫描功能。

4.2 DMA

Cortex® -M33 CPU 包含 DMA 控制器，用于实现存储器与外设寄存器之间的数据传输。这些控制器支持外设（如 ADC）到存储器的自主数据传输，同时也提供对外设（如 PWM）的确定性控制。

DMA 控制器在其各自域内作为总线主机运行。它包含 16 个通道，通过单一传输引擎运行，该引擎负责协调所有通道的总线主机访问权限。DMA 控制器采用 32 位 AHB 总线，与 CPU 共享同一时钟。

4.3 加密支持（CryptoLite）

提供一个加密加速块实例，实现对真随机数生成器（TRNG）、SHA-256/384/512, AES-128 和向量单元（VU）的硬件支持。

4.4 高级加密标准（AES-256）

该器件支持高级加密标准（AES-256）的硬件加速。硬件可编程配置为使用 128/256 位密钥长度执行 AES 加密或解密操作。它包含掩码和冗余机制等内置安全功能，防止密钥、输入数据和输出数据遭受功耗分析、故障及探测攻击。

4.5 存储器

器件包含多种非易失性存储器和易失性存储器。CPU 和其他总线主机均可访问所有存储器块。等待状态的数量取决于访问路径。

4 区块功能说明

4.5.1 闪存

器件提供最高 512 KB 的用户可编程闪存。闪存支持单 bank 和双 bank 两种模式。双 bank 模式启用边写边读（RWW）功能，允许在读取一个扇区的同时对另一个扇区进行编程。此外，闪存模块还支持 ECC。

4.5.2 SFlash

所有器件均配备 32 KB 的监督闪存（SFlash）存储器。SFlash 可存储器件校准设置、安全密钥哈希值和 FLASH_BOOT 固件。器件校准设置初始化硬件资源以确保器件正常运行。安全密钥哈希值用于验证英飞凌和原始设备制造商（OEM）的资产和镜像。SFlash 不可用于存储用户数据。

4.5.3 ROM

所有器件均配备 64 KB 的 ROM，用于存储启动和配置例程以及身份验证检查代码。复位事件发生后，监督 ROM（SROM）中的启动代码会评估复位原因寄存器，以判断复位是否由休眠事件触发。如果是，则确保以最快的速度转换至执行用户代码，从而最小化从休眠模式唤醒的时间。与上电复位（POR）或外部复位（XRES）事件相比，此过程更快。

4.5.4 RAM

该器件共包含 128 KB 的 SRAM，分为两个相互独立的 SRAM 块，每块容量为 64 KB，支持在深度睡眠电源模式下保持存储器数据。SRAM 支持 ECC 功能，用于检测与纠正软错误。

4.6 eFUSE

器件包含 1,024 个一次性可编程 (OTP) eFuse 位，专用于系统功能，如器件生命周期管理、校准设置和哈希值存储。这些 eFuse 位不能由用户直接编程。

每个 eFuse 单独编程，一旦编程（或“熔断”），其状态将永久固定，无法更改。熔断一个熔丝会将其状态从默认值“0”变为“1”。编程 eFuse 时，必须将 VDDIO0 电压设置为 $2.5\text{ V} \pm 10\%$ 。

由于熔断 eFuse 是不可逆过程，因此建议仅在受控的工厂生产条件下，使用英飞凌提供的配置工具在量产阶段进行 eFuse 编程。

4.7 时钟系统

器件时钟系统为所有需要时钟的子系统提供时钟，并在不同时钟源之间无缝切换且不产生毛刺。它同时能确保运行期间不会出现亚稳态。

每个 clk_hf 域均配备时钟监督（CSV）电路，用于监测时钟并检测时钟停止或频率异常的情况。CSV 电路通过时钟计数器对被监测时钟和基准时钟进行计数。每个计数器的参数定义了基准时钟的频率以及被监测时钟频率的上下限范围。

如果专用频率范围比较器检测到时钟停止或时钟频率超出指定范围，则会发出异常状态信号。根据寄存器设置及被监测时钟在器件上的使用情况，系统通过产生复位或中断来响应异常。

4 区块功能说明

该器件提供以下时钟源：

- **内部振荡器：**
 - **内部主振荡器 (IMO)：** 8 MHz $\pm 2\%$ ，快速唤醒，低抖动
 - **内部高速振荡器 (IHO)：** 48 MHz $\pm 1\%$
 - **内部低速振荡器 (ILO)：** 32 kHz $\pm 10\%$ ，也可用作 RTC 的唤醒源
- **外部晶体振荡器 (ECO与WCO)**
 - **外部晶体振荡器 (ECO)：** 4 MHz - 35 MHz
 - **外部时钟晶体振荡器 (WCO)：** 32.768 kHz
 - **外部时钟 (EXTCLK)：** 最高频率 100 MHz
- **频率锁定环 (FLL)：** 输出范围为 25 MHz 至 100 MHz，精度为 $\pm 1\%$
- **两个数字锁相环 (DPLL#0 和 DPLL#1)：** 输出范围为 50 MHz 至 200 MHz，用于主 CPU、PPCA、SCB 以及 TCPWM（位于 PPCA 外）

4.7.1 内部主振荡器 (IMO)

内部主振荡器 (IMO) 以 8 MHz 固定频率运行，容差为 $\pm 2\%$ 。通过将 IMO 与数字锁相环 (DPLL) 结合使用，可生成高速时钟。IMO 具有快速唤醒和低抖动特性，适用于需要快速响应和精确定时的应用。

4.7.2 内部高频振荡器 (IHO)

内部高频振荡器 (IHO) 以 48 MHz 固定频率运行，容差为 $\pm 1\%$ 。通过将 IHO 与 DPLL 结合使用，可生成高速时钟。

4.7.3 内部低频振荡器(ILO)

内部低速振荡器 (ILO) 是一种低功耗振荡器，典型电流消耗为 0.3 μA ，频率为 32 kHz，精度为 $\pm 10\%$ 。ILO 可用作实时时钟 (RTC) 的唤醒源。

4.7.4 外部晶体振荡器 (ECO)

外部晶体振荡器 (ECO) 支持频率范围为 4 MHz 至 35 MHz 的晶体，用于生成高精度时钟。当内部振荡器提供的精度不足时，可选用此方案。

4.7.5 时钟晶体振荡器 (WCO)

时钟晶体振荡器 (WCO) 采用外部 32.768 kHz 晶体，适用于需要更高精度实时时钟 (RTC) 功能的应用场景。WCO 时钟可直接路由至 RTC，以实现更高精度并避免内部时钟源切换引起的毛刺。

4.7.6 看门狗定时器 (WDT)

提供一个看门狗定时器 (WDT) 和一个多计数器看门狗定时器 (MCWDT)。WDT 集成于时钟模块中，并通过 ILO 或 WCO 运行。这使得深度睡眠模式下的看门狗功能得以正常运行，若在超时前未执行喂狗操作，则可触发看门狗复位。看门狗复位将被记录在复位原因寄存器中。

4 区块功能说明

4.7.7 实时时钟(RTC)

器件包含实时时钟 (RTC)，具有以下特性：

- 支持 12 小时制（带 AM/PM 标志）和 24 小时制两种格式
- 提供自动闰年校正
- 包含闹钟功能，该功能可产生中断，从而将系统从睡眠、深度睡眠和休眠电源模式中唤醒

4.8 复位

器件可通过多种途径复位，包括软件复位。复位事件是异步的，可确保系统恢复到已知状态。复位原因（WDT、MCWDT、故障、调试、软件以及时钟监督）记录在一个粘性寄存器中，该寄存器在复位后仍保持其值，以便软件识别复位原因。器件还提供 XRES 引脚用于外部复位。

4.9 供电电压毛刺传感器 (SVGS)

该器件包含电压毛刺传感器，用于检测攻击者为干扰器件运行而对输入电压施加的篡改行为。

SVGS 模块提供以下功能：

- VCCD 过冲监测器，具有可配置阈值
- VCCD 下冲监测器，具有可配置阈值，使用滤波后的 VCCD 信号
- VCCD 噪声监测器，具有可配置阈值
- VDDQ 下冲监测器，检测低于欠压阈值的电压值

4.10 低功耗比较器 (LPComp)

该器件包含两个低功耗比较器，可在所有电源模式下工作。这些比较器可在深度睡眠和休眠模式下监测外部电压水平，允许禁用其他模拟系统资源以节省功耗。

比较器输出通常是同步的，以防止亚稳态。然而，在异步电源模式（如休眠模式）下，唤醒电路由比较器-开关事件触发。

4.11 固定功能数字模块

4.11.1 定时器/计数器脉宽调制器 (TCPWM)

该器件包含一个位于 PPCA 外部的 TCPWM 实例，可分为两组。TCPWM 的输入和输出仅连接至 EPU 和触发多路复用器。

- 第一组配置为主 CPU 的系统定时器，配备一个带两个计数器的 32 位定时器，由稳定时钟源提供时钟。该配置为主 CPU 提供可靠且精确的定时信号，并用于主 CPU 的系统级监测
- 第二组用于 PPCA CPU 监测，配备一个带两个计数器的 16 位定时器，由稳健时钟源提供时钟。此配置可实现对 PPCA CPU 的可靠心跳监测

4.11.2 串行通信模块 (SCB)

该器件最多包含七个 SCB 模块，可通过软件配置为在主动模式下以主机或从机模式工作的 I²C、UART 或 SPI 接口。其中一个 SCB 模块可使用外部时钟在深度睡眠模式下工作，但仅限于 I²C 从机或 SPI 从机操作。每个 SCB 模块均配备一个 256 字节深的 FIFO 以实现高效的数据处理，并支持 DMA 传输。此外，一个带有 PMBus 扩展功能的 SCB 实例支持从深度睡眠模式唤醒；另一个 SCB 实例则支持最高 50 MHz 数据速率的高速 SPI 通信。高速 SPI 实例不支持深度睡眠模式唤醒。

4.11.2.1 内部集成电路 (I²C)

硬件 I²C 模块提供完整的多主机多从机接口，支持多主仲裁。通信速率最高可达 1 Mbps（快速模式增强版），并提供灵活的缓冲选项，以降低中断开销和 CPU 延迟。

该模块还支持 EZI2C 功能，可在器件存储器中创建邮箱地址范围。该功能在读取或写入存储器数组时，可降低 I²C 通信开销。此外，集成 FIFO 可最小化时钟拉伸需求，通过防止因 CPU 未能及时读取数据而导致的延迟，确保高效运行。

此外，器件中的 I²C 实例还支持 PMBus 协议，具有以下特性：

- 支持最高 1 Mbps 的波特率通信
- 超时事件的生成
- 至少五个从机地址掩码，用于硬件地址筛选
- 对 SMBCLK 和 SMBDAT 信号进行去毛刺处理，确保抗噪声通信

4.11.2.2 通用异步发送接收器 (UART)

全功能 UART 通信速率最高可达 8 Mbps，支持多种通信协议，包括 LIN（汽车单线接口）、IrDA（红外接口）和 SmartCard (ISO7816)。它还支持 9 位多处理器模式，可对通过共享 RX 和 TX 线连接的外设寻址。

UART 主要特性包括

- 硬件流控制
- 奇偶校验
- 断点检测
- 帧错误检测

此外，SCB 可配置为半双工 UART 模式，支持单线通信。

4.11.2.3 串行外设接口 (SPI)

SPI 模式支持多种协议，包括：

- 摩托罗拉 (Motorola) SPI：标准全双工通信
- 德州仪器 (Texas Instruments) 同步串行端口 (SSP)：添加起始脉冲以同步 SPI 编解码器
- 美国国家半导体 (National Semiconductor) Microwire：SPI 的半双工变体

SPI 模块还包含 EZ-SPI 模式，通过将数据交换映射为对存储器中数组的读写操作，从而简化数据交换过程。此外，高速 SPI 模式支持主机和从机模式，最高速率可达 50 MHz。

4 区块功能说明

4.11.3 控制器区域网络灵活数据速率 (CAN FD)

CAN FD 模块具有两个通道，每个通道均支持时间戳功能并配备 4 KB 的消息 RAM。它支持最高达 8 Mbps 的数据传输速率，可实现高速通信。

4.12 触发器多路复用器 (TriggerMux)

触发多路复用器位于 PPCA 外部，用于实现各外设之间触发信号和输入/输出信号的连接。它支持 DMA（如 SCB 到 DMA 或 PPCA 到 DMA）、TCPWM、PPCA、CPUSS 和 GPIO 引脚等组件之间的通信和信号路由。

4.13 坐标旋转数字计算 (CORDIC)

CORDIC 模块专为电机速度和位置估算所需变换的精确计算而设计，同时支持磁场定向控制 (FOC) 中常用的参考坐标系变换。通过在硬件中直接计算三角函数，可减轻主 CPU 的计算负担，从而提高系统效率。

支持的算法包括：

- 正弦和余弦
- 反正切 (arctan)
- 双曲正弦 (sinh) 和双曲余弦 (cosh)
- 双曲反正切 (arctanh)
- 相位计算
- 平方根 (sqrt)
- 帕克变换

4.14 通用输入/输出 (GPIO) 端

PSOC™ Control C3 (P/M) (7/8) 提供最多 10 个逻辑 GPIO 端口（60 个 GPIO 焊盘），具有两个焊盘电源域。其中两个 GPIO 端口与模拟输入复用，最多可支持 26 个专用模拟输入连接。此外，14 个辅助模拟输入 GPIO 端口可通过多路复用器连接到其中一个 ADC 通道。GPIO 模块具有以下特性：

- 八种驱动模式，包括：
 - 强推挽
 - 电阻上拉和下拉
 - 开漏和开源
 - 仅输入
 - 已禁用
- 输入阈值选择 (CMOS 或 LVTTTL)
- 输入和输出禁用的独立控制
- 保持模式，用于锁存先前状态，即在深度睡眠和休眠模式保持 I/O 状态
- dV/dt 相关噪声控制的可选斜率。
- 支持在过压耐受 (OVT) GPIO 上输出两个 PMBus 信号

GPIO 引脚被划分至若干个称为“端口”的逻辑单元中。在上电和复位期间，所有 GPIO 模块强制进入禁用状态，以防止输入端钳位或产生过大的上电电流。器件采用称为“高速 I/O 矩阵” (HSIOM) 的多路复用网络，将各种信号连接至每个 I/O 引脚。

4 区块功能说明

数据输出寄存器存储待由引脚输出的值，引脚状态寄存器用于监测引脚状态。每个I/O引脚在使能后均可产生中断，每个I/O 端口均关联一个中断请求（IRQ）和中断服务程序（ISR）向量。

I/O端口在休眠模式下保持其状态。

- 若通过复位恢复，引脚将转入高阻态
- 若通过唤醒引脚恢复，引脚驱动器将保持其先前冻结的状态，直到固件对其进行修改

在大电流模式下进行同步输出切换时，需采用正确的线路端接并选择合适规格的去耦电容，以控制开关瞬态电压。

过压容忍（OVT）引脚采用钳位二极管不连接至电源线的替代设计，当对应的VDDIO 电压低于施加在引脚上的外部电压时（例如器件断电(VDDIO = 0 V) 但仍连接至有效总线时），可限制漏电流。建议将这些引脚用于 PMBus 或 SMBus 接口。若外部逻辑电压超过引脚输入/输出电压范围时，这些引脚无法正常工作。

4.15 器件固件更新 (DFU)

不可修改的 BootROM 内置 DFU 协议，可通过串行接口实现安全可靠的固件升级。默认情况下，DFU 功能处于禁用状态，必须在 OEM 策略中明确启用后方可使用。此外，器件在使用 DFU 之前必须先完成配置。详细信息请联系[英飞凌技术支持](#)。

如表 3 所述，器件启动时将根据 P8.2 引脚的状态选择 DFU 模式。当器件进入 DFU 模式时，引脚P8.1 和 P8.2 将作为串行通信接口使用。使用限值不超过 1 kΩ 的上拉或下拉电阻连接至 VDDIO_1 或 VSS 将 DFU 选择引脚（P8.2）设置为逻辑高电平或低电平。若需实现高阻态，可将 DFU 选择引脚（P8.2）悬空。

表 3 DFU 模式和串行通信引脚

Pin	UART
P8.0	UART - Rx
P8.1	UART - Tx
P8.2	DFU enable (VSS)/DFU disable (VDDIO_1/High-Z)

DFU-UART通信使用以下参数：

UART 配置：

1. 波特率：115200
2. 数据位：8
3. 止位：1
4. RTS/CTS：否
5. 奇偶校验：无

4.16 串行线 JTAG 调试端口 (SWJ-DP)

PSOC™ Control C3 (P/M) (7/8) MCU 包含 Arm® 串行线JTAG调试端口（SWJ-DP），支持 2 线 SWD 接口和 4 线或 5 线联合测试行动组（JTAG）接口。

默认情况下，SWD 接口在上电后处于使能状态，而 JTAG 接口则保持禁用状态。通过修改 OEM 策略，可将 JTAG 接口启用为 4 线或 5 线模式。有关启用 JTAG 的更多信息，请联系[英飞凌技术支持](#)。

4 区块功能说明

4.17 嵌入式跟踪宏单元 (ETM)

PSOC™ Control C3 (P/M) (8/7) MCU 支持 Arm® 嵌入式跟踪宏单元 (ETM)。它通过 ETM 引脚传输高速压缩数据，以实现程序执行过程的重构。

ETM 接口包括：

- 一个时钟引脚 (trace.clock)
- 最多四个数据引脚 (trace.data0 至 trace.data3)

4.18 可编程电源控制加速器 (PPCA)

该器件配备可编程电源子系统，用于实现高性能开关电源控制算法。它支持实现至少两个独立控制回路，并具备在各回路之间共享信息和数据的能力，从而支持不同的电源拓扑结构。

可编程电源控制加速器 (PPCA) 模块提供必要的计算能力，并包含一系列外设，例如：

- 高分辨率定时器/计数器 PWM
- 3P/3Z 硬件滤波器
- 事件处理单元模块
- CORDIC 加速器
- ADC (含 ADC 滤波器) 及模拟前端 (AFE)
- 比较器
- 差分比较器和斜坡发生器
- 电压和电流基准
- 自定义逻辑模块

PPCA 外设深度睡眠或休眠模式下不可用。在深度睡眠 (-RAM, -OFF) 模式下，仅 SRAM 仍可访问。

4.18.1 PPCA CPU 子系统

PPCA CPU 子系统包含两个 Cortex®-M33 CPU (CPU0 和 CPU1)。每个 CPU 均包含中断控制器，并支持 DSP 和 FPU 扩展。每个处理器还配备 AHB 从机访问端口，用于调试和跟踪操作。

在超频 (OD) 模式下，CPU 的最高工作频率可达 200 MHz。总线矩阵提供以下 AHB 接口：

- **AHB 从机接口：**
 - CPU0、CPU1 和外部 AHB 主机 (主子系统)
- **AHB 主机接口：**
 - 本地存储器、共享存储器、IPC、PPCA CPU、SRAM 以及 CPUSS 配置

4.18.2 PPCA RAM

PPCA 子系统共配备 112 KB SRAM，支持在深度睡眠电源模式下保持 SRAM 数据。SRAM 支持 ECC 功能，用于检测与纠正软错误。

- 每个 CPU 配备 32 KB SRAM 作为程序存储器
- 每个 CPU 配备 16 KB SRAM 作为数据存储器
- 16 KB 共享 SRAM，可在运行时配置为任一 CPU 的数据存储器扩展

4.18.3 PPCA ATOP 子系统

4.18.3.1 12位 25 Msps SAR ADC 转换器

该器件配备四个12位SAR ADC 模块，支持跨多个采样保持（S/H）电路实现同步采样。ADC子系统具有以下特性：

两个ADC（ADC0 和 ADC3）支持最多八个差分或16个单端输入通道，配备具有可配置增益的模拟前端。可选的增益值有 8.25、16.5、33 和 66。两个ADC均可通过模拟多路复用器将最多八个额外模拟输入连接至其中一个通道。另外两个ADC（ADC1 和 ADC2）各支持最多四个差分或八个单端输入通道。两者均配备模拟前端，在至少一个差分通道上支持可编程增益，可选增益值同为：8.25、16.5、33 和 66。

模拟输入可配置为差分或单端模式，在所有ADC中合计最多可提供40路模拟输入。支持手动、自动和任意触发模式，适用于单通道转换和可编程通道组转换。这种灵活性支持多种输入配置，实现多样化的系统设计。

该模块还包含ADC滤波器（ADC FILTs），包括中值滤波器、线性插值和外推滤波器、低通滤波器、级联积分器三阶梳状滤波器，以及可检测输入数据流最小值和最大值的可编程平均滤波器。这些滤波器可按用户自定义的顺序级联，实现灵活的信号处理。滤波器链可选择以另一个ADC内核的输出作为输入源，以实现更灵活地自定义配置。

性能特性：

- **采样率：**ADC 的有效采样率范围为250 ksp/s至25,000 ksp/s，同步采样时最大转换速率为25 Msps。
- **过采样：**ADC 支持最高 64 倍过采样并结合硬件平均处理，可将分辨率提高最多3位。这可确保特定应用中更高的精度和分辨率

基准电压与电源选项：

- ADC 可使用内部 1.2 V 基准电压或外部 1.2 V 基准电压运行，提供更灵活的系统设计与配置
- ADC 在 VDDA 定义的模拟电源范围内运行，可适应多种电源选项

4.18.3.2 差分比较器和斜坡发生器（DCSG）

该器件包含九个DCSG模块，每个模块均配备用户可配置的12位DAC。比较器输出经过快速同步处理以避免亚稳态，确保比较结果的可靠和准确性。

DCSG 支持较宽的输入电压范围， ± 200 mV用于电流监测，0 至 3.3 V用于电压监测。输入与ADC输入共用，使ADC和比较器能够同时测量相同的电压或电流。该功能利用比较器更快的响应时间，用于过压和过流保护或电流模式控制等任务。

内置DAC在内部或外部1.2 V基准电压下运行，并支持规定的电压范围。其刷新时间至少为50 μ s，确保编程设置的阈值保持恒定且参数无劣化。DAC可在确定的时间点刷新，自动刷新机制可确保其可靠运行。

在DAC刷新期间，DCSG输出最长消隐50 ns。在消隐期间，可为DAC选择一个预设的输出状态。此外，当一个DCSG处于消隐状态时，器件支持其他DCSG仍可无缝监测模拟输入，确保应用正常运行。

4 区块功能说明

该器件支持多种 DCSG 配置，包括使用最多三个不同的 DCSG 来监测由 ADC 测量的模拟输入。至少三个斜坡发生器功能可在三个独立的 DCSG 上使用。DCSG 输出被路由至 EPU，由 EPU 将其分发至嵌入式外设。这使得 DCSG 输出即可用作控制各种功能的输入，例如在检测到过压或过流时禁用 PWM 信号，或作为 ADC 触发输入。

4.18.3.3 12 位 R2R DAC 及缓冲器

该器件配备两个带输出缓冲器的 12 位分辨率 DAC。这两个 DAC 支持最高 2 Msps 的更新速率，建立时间约为 500 ns。当工作在 1.2 V 基准电压时，DAC 的输出缓冲器支持 0.1 V 至 1.2 V 的输入和输出电压范围。当使用 $VDDA/2$ 基准电压时，电压范围扩展到 0.1 V 至 $VDDA/2$ 。

此外，该器件还具备将 R2R DAC 输出路由至 DCSG 输入的功能，实现 DAC 与 DCSG 功能之间的无缝集成。

4.18.3.4 电流 DAC (IDAC)

该器件包含一个可编程电流源实例，称为电流 DAC (IDAC)，用于生成电流输出。

IDAC 通过向外接电阻器施加固定电流来测量其电阻值。具体方法是：向外部电阻注入已知电流，并使用片上 ADC 测量产生的压降。

此外，IDAC 还支持测量 PMBUS 中用于 SMBUS 寻址的下拉接地电阻。具体操作是：向电阻器施加固定电流，并利用片上 ADC 测量相应的压降。

IDAC 还具有检测所有纯模拟输入引脚悬空状态的功能。具体方法是：向每个输入引脚注入小电流，并利用片上 ADC 测量产生的压降。

4.18.3.5 通用输入 (GPI)

GPI 模块是一个数字比较器，通过将输入信号与两个固定阈值 ($0.3 VDDA$ 和 $0.7 VDDA$) 相比，将模拟输入转换为数字输出。来自 AIN0 和 AIN1 的模拟输入与这些阈值比较，比较结果生成相应的数字输出。

4.18.3.6 温度传感器 (TSNS)

该器件集成温度传感器，可进行温度测量，输出精度为 $\pm 5^{\circ}\text{C}$ 。传感器输出通过 AMUX 经由 ADC 读取。校准和微调仅执行一次，确保温度测量的准确性。该过程不会干扰 ADC 在运行时的正常工作。

4.18.4 PPCA - 事件处理单元 (EPU)

该器件包含事件处理单元 (EPU)，提供灵活的事件管理系统，可根据已处理输入事件的线性组合生成触发信号。EPU 接收来自 PPCA 内部的外设及 PPCA 外部的触发多路复用器的输入事件，并生成输出触发信号，路由至 PPCA 内部的外设及触发多路复用器。

EPU 支持将输入触发信号作为中断路由至 PPCA CPU，并在处理后将输入触发信号作为中断路由至主 CPU。此外，它还可将输入触发信号处理后作为触发信号路由至 PPCA 外部的外设，例如 DW 和 SCB。该功能可确保整个系统范围内高效且有效的事件处理。

4 区块功能说明

EPU 的主要目的是生成经处理的定时触发信号硬件序列，以支持 PPCA 子系统模块的运行。这减轻了实例化处理器的负担并加速了系统运行。EPU 还向 PPCA CPU0 和 CPU1 以及 PPCA 的边界发送中断，实现触发信号在 PPCA 内部和外部之间的共享。

EPU 支持 32 个 1 型处理单元 (PU_T1) 模块和 16 个 2 型处理单元 (PU_T2) 模块。这些模块将由 PPCA 资源 (CPU 和外设) 产生的选定输入连接至 PPCA 资源 (CPU 和外设) 触发端的输出。

EPU-PU_T1 模块的特性包括：

- 异步和同步旁路
- 掩蔽滤波器 (最多 128 个时钟周期)
- 消隐滤波器 (最多 128 个时钟周期)
- 通过积分实现的去抖滤波器 (最多 128 个时钟周期)
- 脉冲延迟 (最多 128 个时钟周期)
- 输入极性反转
- 上升沿提取

EPU-PU_T2 模块的特性包括：

- 异步和同步旁路
- 输入极性反转
- 上升沿提取

EPU 共支持来自外设的 256 个事件输入信号和发往外设的 123 个事件触发输出信号。EPU 中断发生器模块 (EPU_IRQ) 包含一组多路复用器，可选择最多八个 COMBO 输出信号 (EVOUT)。

4.18.5 PPCA - 自定义逻辑模块 (CLB)

自定义逻辑模块 (CLB) 为需要极高计算资源的特定功能或控制算法提供专用硬件支持。典型示例包括图腾柱 PFC 控制器中使用的数字观测器，或矩阵转换器的换相。CLB 的典型应用是实现基于数字电流观测器的图腾柱 PFC 控制器，使器件能在更高的开关频率下运行。

CLB 支持以下功能：

- 数字电流观测器
- 矩阵转换器换相逻辑
- 轨迹控制与扩展脉冲启动

CLB 还负责管理关断事件、掩码事件和调试状态场景。它处理来自 ADC 的数据并生成与脉宽调制 (PWM) 共享的输出信号。这使得 CLB 能够处理 ADC 数据并根据处理结果生成 PWM 输出。

例如，数字电流观测器功能用于估算和观测图腾柱 PFC 拓扑中的三相电流。它接收经片上 ADC 和后处理滤波器滤波后的电流测量值，并根据观测器的结果在滞回控制模式下生成 PWM 输出。

矩阵换相逻辑功能具有以下特性：

- 支持具有六个双向开关的三相转换器
- 最多支持 20 种不同换相状态，每种状态保持时间可编程设置
- 冗余存储，支持在换相期间进行影子更新

4 区块功能说明

4.18.6 PPCA - 硬件滤波器 (HW filter 3P3Z)

PPCA 提供两个独立的可配置硬件滤波器 (HW Filter 3P3Z) 实例。每个实例可分配给 PPCA CPU。

- 第一个实例集成一个硬件滤波器 3P3Z，配置为支持四个 3Poles-3Zeroes 硬件滤波器
- 第二个实例集成一个硬件滤波器 3P3Z，配置为支持两个 3Poles-3Zeroes 硬件滤波器

硬件 3P3Z 模块特性：

- 16 位输入格式 (q0.15)
- 24 位输出格式 (q0.23)
- 24 位系数格式 (q0.23)
- 48 位乘法器
- 58 位内部累加器
- 2 位增益输入
- 3 位衰减器输出

附加特性包括：支持饱和和舍入运算、算术二进制补码处理，以及最大八个 CPU 时钟周期的执行延迟。

4.18.7 PPCA - 定时器/计数器脉宽调制器 (TCPWM)

PPCA-TCPWM 模块包含四个独立的 TCPWM 实例，每个实例均配备其专用的 AHB 从机接口，可灵活分配给任一 PPCA CPU。

- 第一个 TCPWM 实例由三组构成：
 - 一组：四个带数据路径输入的高分辨率 32 位 TCPWM
 - 一组：四个高分辨率 32 位 TCPWM
 - 一组：四个 CPU 时钟分辨率 16 位 TCPWM，带 MOTIF 接口
- 第二个 TCPWM 实例同样由三组构成：
 - 一组：两个带数据路径输入的高分辨率 32 位 TCPWM
 - 一组：两个高分辨率 32 位 TCPWM
 - 一组：四个 CPU 时钟分辨率 16 位 TCPWM，带 MOTIF 接口
- 第三个 TCPWM 实例包含一组：四个 CPU 时钟分辨率 16 位 TCPWM
- 第四个 TCPWM 实例包含一组：两个 CPU 时钟分辨率 16 位 TCPWM

高分辨率 PWM (HRPWM) 模块与 TCPWM 和模拟插值器集成，提供以下高级功能：

- 可配置 32 位计数器，其占空比、死区时间和周期的分辨率均小于 100 ps
- 具有可编程死区时间的互补输出、独立输出及推挽输出
- 支持单斜坡、递增递减和双斜坡配置
- 用于同步所有 PWM 模块的同步输入信号
- 关断功能及与 PWM 计数器斜率关联的可选硬件占空比生成
- 基于接收到的掩码输入信号对线路输出进行掩码处理
- 影子和非影子更新寄存器、捕获比较功能及 AHB 从机接口
- 寄存器从机接口连接至硬件滤波器 (HW 3P3Z) 输出

4.18.8 PPCA - 坐标旋转数字计算 (CORDIC)

PPCA 包含两个 CORDIC 模块，用于电机速度和位置估算所需的精确计算，以及磁场定向控制 (FOC) 中常用的参考坐标系变换。这些模块直接在硬件中计算三角函数，从而减轻主CPU的处理负担。

CORDIC 模块支持以下算法：

- 正弦和余弦
- 反正切 ($\arctan$)
- 双曲正弦 ($\sinh$) 和双曲余弦 ($\cosh$)
- 双曲反正切 ($\operatorname{arctanh}$)
- 相位计算
- 平方根 ($\sqrt{}$)
- 帕克变换

5 引脚

5 引脚

GPIO 端口和模拟输入由以下 VDDx 引脚供电：

- **P0**: VBACKUP
- **P1, P2, P3, P4, P5, P6**: VDDIO_0
- **P7, P8, P9**: VDDIO_1
- **AIN_N, AIN_P**: AVDD

可用 GPIO 的数量在部分封装中是有限的。有关支持封装的详细信息，可参见[封装信息](#)章节。

表 4 封装和引脚信息

Pin	Capability	Packages			
		E-LQFP-100	E-LQFP-80	E-LQFP-64/ VQFN-64	VQFN-48
VDDD	-	17	14	12	10
VDDD	-	18	15	-	-
VDDA	-	84	70	57	41
VDDIO_0_0	-	26	22	17	13
VDDIO_0_1	-	39	33	27	-
VDDIO_0_2	-	50	40	32	24
VDDIO_0_3	-	59	45	-	-
VDDIO_1_0	-	5	2	3	3
VDDIO_1_1	-	100	79	64	48
VCCD	-	15	12	11	9
VCCD	-	16	13	-	-
VSSD	-	GND PAD	GND PAD	GND PAD	GND PAD
VAREF_EXT	-	85	71	58	42
VBACKUP	-	19	-	-	-
AIN0	AM	72	58	45	35
AIN0N	AD, DCSG	67	53	40	30
AIN0P	AD, DCSG	66	52	39	29
AIN1	AM	73	59	46	36
AIN10N	AD, DCSG	91	-	-	-
AIN10P	AD, DCSG	90	-	-	-
AIN11N	AD, DCSG	93	-	-	-
AIN11P	AD, DCSG	92	-	-	-
AIN1N	AD, DCSG	69	55	42	32
AIN1P	AD, DCSG	68	54	41	31
AIN2N	AD, DCSG	71	57	44	34
AIN2P	AD, DCSG	70	56	43	33
AIN3N	AD, DCSG	75	61	48	-

(表格续下页.....)

5 引脚

表 4 (续) 封装和引脚信息

Pin	Capability	Packages			
		E-LQFP-100	E-LQFP-80	E-LQFP-64/ VQFN-64	VQFN-48
AIN3P	AD, DCSG	74	60	47	-
AIN4N	AD, DCSG	77	63	50	38
AIN4P	AD, DCSG	76	62	49	37
AIN5N	AD, DCSG	79	65	52	-
AIN5P	AD, DCSG	78	64	51	-
AIN6N	AD, DCSG	81	67	54	40
AIN6P	AD, DCSG	80	66	53	39
AIN7N	AD, DCSG	83	69	56	-
AIN7P	AD, DCSG	82	68	55	-
AIN8N	AD, DCSG	87	73	60	44
AIN8P	AD, DCSG	86	72	59	43
AIN9N	AD, DCSG	89	75	-	-
AIN9P	AD, DCSG	88	74	-	-
XRES	-	14	11	10	8
P0.0	-	20	16	-	-
P0.1	-	21	17	-	-
P1.0	-	22	18	13 ¹⁾	-
P1.1	-	23	19	14	-
P1.2	-	24	20	15	11
P1.3	-	25	21	16	12
P1.4	-	27	23	-	-
P1.5	-	28	24	18	-
P1.6	-	29	25	19	-
P1.7	-	30	26	20	-
P2.0	OVT	31	27	21	14
P2.1	OVT, HIB	32	28	22	15
P2.2	OVT	33	29	23	16
P2.3	OVT	34	30	24	17
P2.4	OVT	35	31	25	18
P2.5	OVT	36	32	26	19
P3.0	-	37	-	-	-
P3.1	-	38	-	-	-
P3.2	-	40	-	-	-
P3.3	-	41	-	-	-

(表格续下页……)

5 引脚

表 4 (续) 封装和引脚信息

Pin	Capability	Packages			
		E-LQFP-100	E-LQFP-80	E-LQFP-64/ VQFN-64	VQFN-48
P3.4	-	42	-	-	-
P3.5	-	43	34	-	-
P3.6	-	44	35	-	-
P3.7	-	45	-	-	-
P4.0	-	46	36	28	20
P4.1	-	47	37	29	21
P4.2	-	48	38	30	22
P4.3	-	49	39	31	23
P4.4	-	51	-	-	-
P4.5	-	52	-	-	-
P4.6	-	53	-	-	-
P4.7	-	54	-	-	-
P5.0	-	55	41	-	-
P5.1	-	56	42	-	-
P5.2	-	57	43	-	-
P5.3	AM	58	44	-	-
P6.0	AM	60	46	33	-
P6.1	AM	61	47	34	-
P6.2	AC, AM	62	48	35	25
P6.3	AC, AM	63	49	36	26
P6.4	AC, AM	64	50	37	27
P6.5	AC, AM	65	51	38	28
P7.0	HIB, AM	94	76	61	45
P7.1	AM	95	77	62	46
P7.2	AM	96	78	63	47
P7.3	AM	97	-	-	-
P7.4	AM	98	-	-	-
P7.5	AM	99	-	-	-
P7.6	AM	1	-	-	-
P7.7	-	2	-	-	-
P8.0	-	3	80	1	1
P8.1	-	4	1	2	2
P8.2	-	6	3	4	4
P8.3	-	7	4	5	5

(表格续下页……)

表 4 (续) 封装和引脚信息

Pin	Capability	Packages			
		E-LQFP-100	E-LQFP-80	E-LQFP-64/ VQFN-64	VQFN-48
P8.4	-	8	5	6	6
P8.5	-	9	6	7	7
P9.0	-	10	7	8	-
P9.1	-	11	8	9	-
P9.2	-	12	9	-	-
P9.3	-	13	10	-	-

1) 该引脚在 E-LQFP-64 封装中被指定为 VDDD。

表 5 引脚功能缩写

Abbreviation	Capability
AD	Dedicated analog pin directly connected to the sampler
AM	Dedicated analog pin/analog capable GPIO pin connected to the sampler through MUX
DCSG	Dedicated analog pin that can be connected to the comparator slope generator input
AC	Analog capable GPIO pin (LPComp input)
OVT	Overvoltage tolerant GPIO
HIB	Hibernate wake-up capable pin

注： 所有 GPIO 引脚均支持 PWM 功能。任意 TCPWM 通道的 line 或 line_compl 输出均可路由至任意 GPIO 引脚

5 引脚

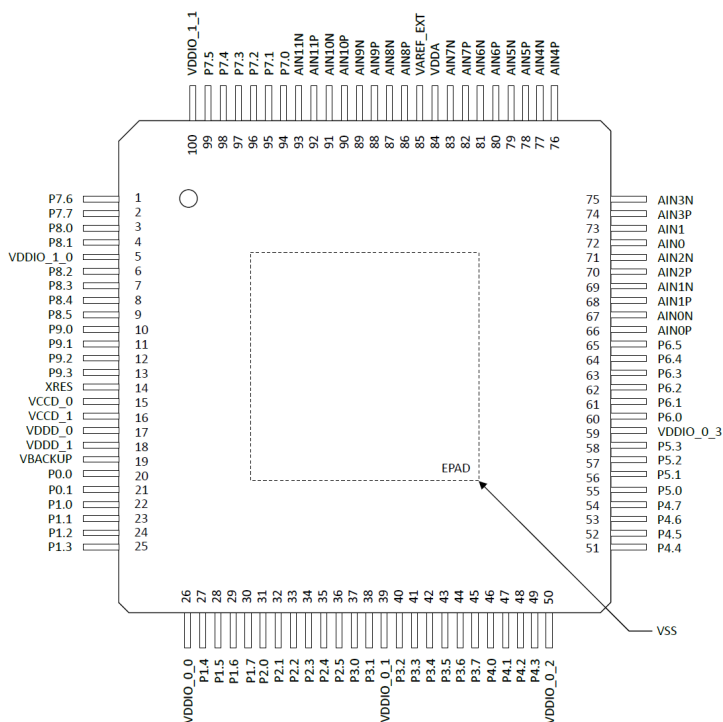


图 8 E-LQFP-100 封装的器件引脚布局 (俯视图)

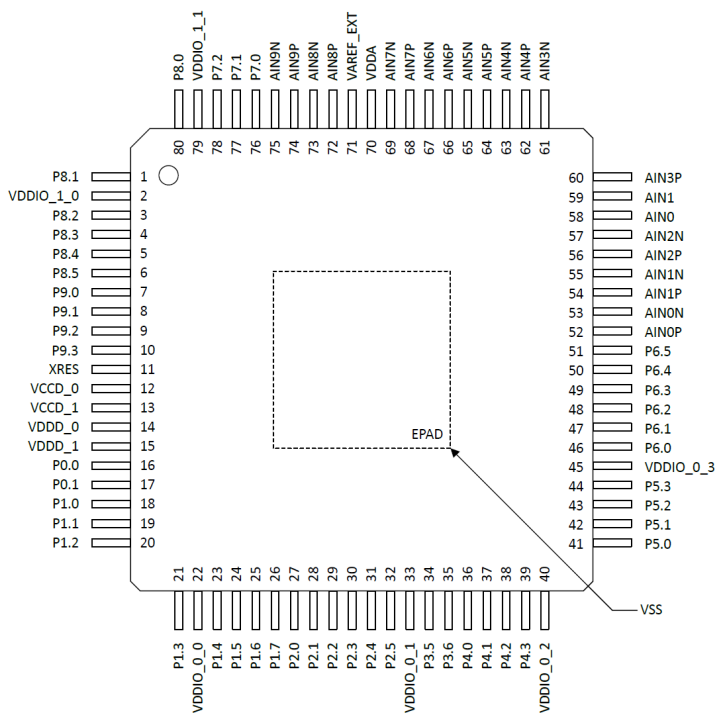


图 9 E-LQFP-80 封装的器件引脚布局 (俯视图)

5 引脚

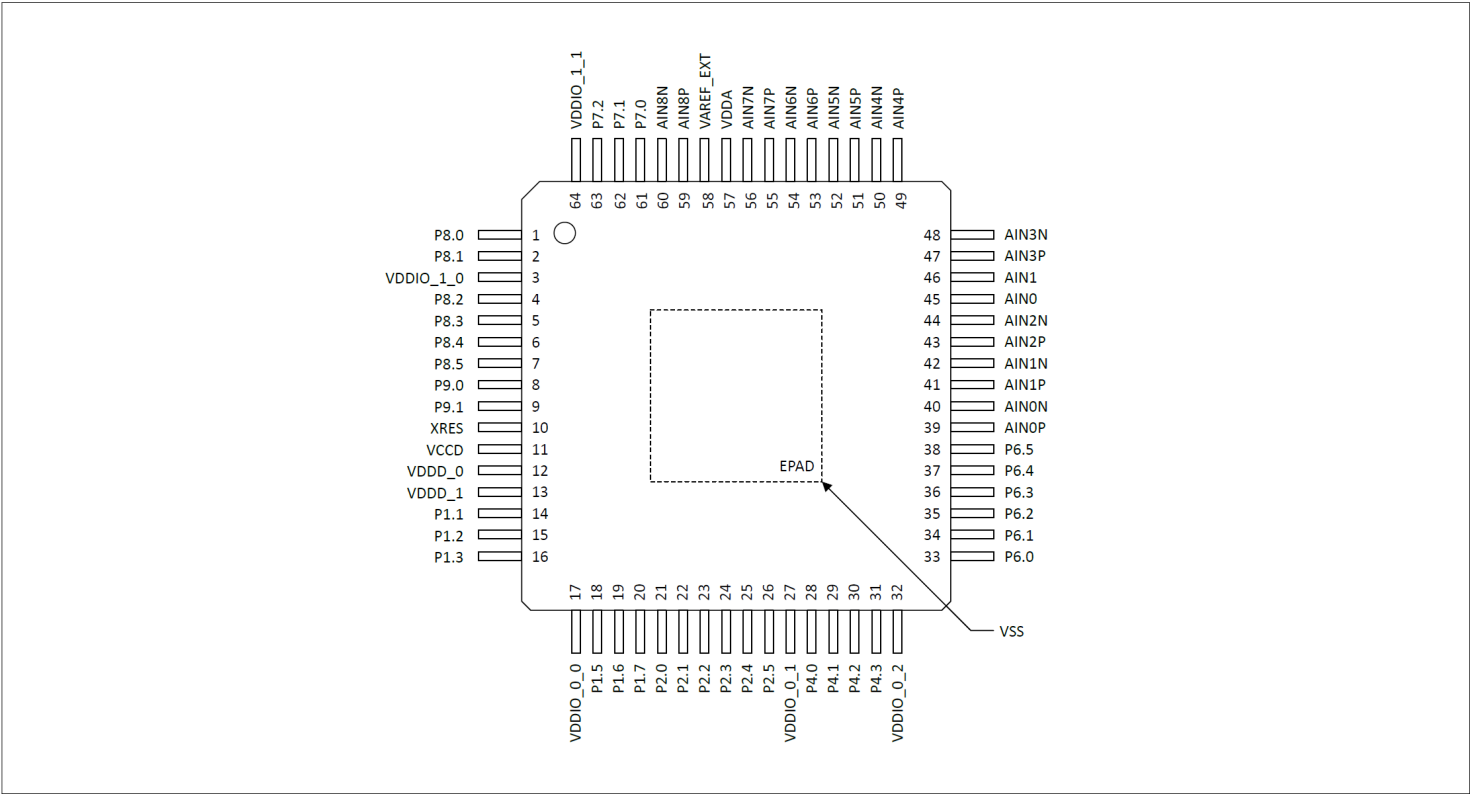


图 10 E-LQFP-64 封装的器件引脚布局（俯视图）

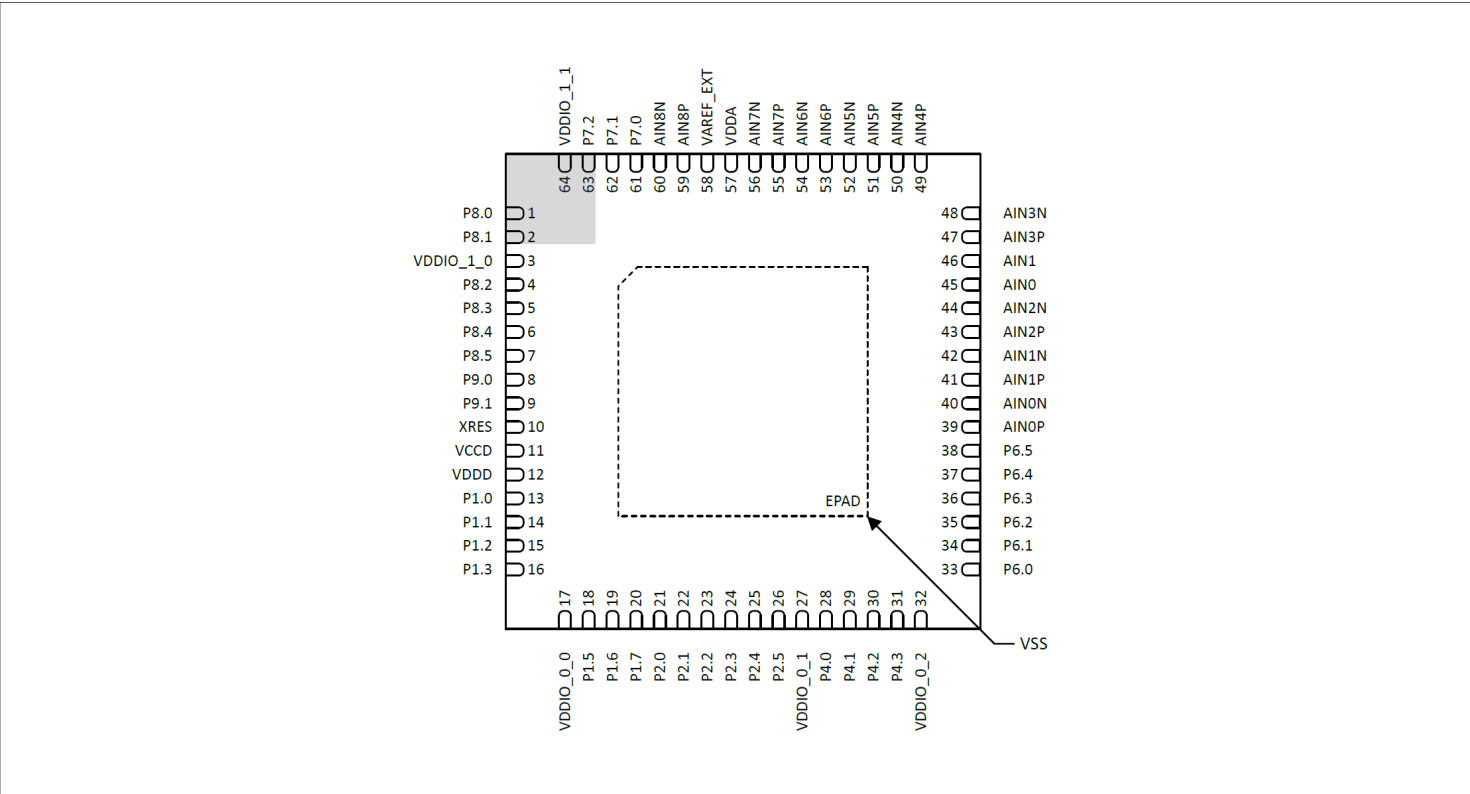


图 11 VQFN-64 封装的器件引脚布局（俯视图）

5 引脚

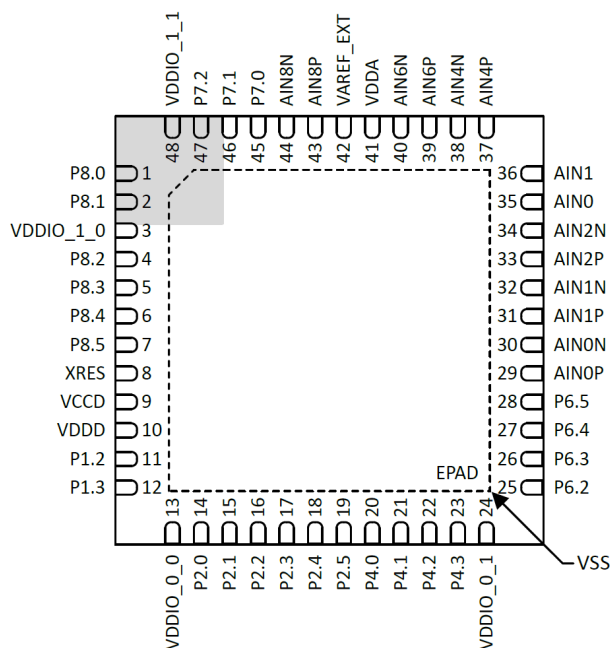


图 12 **VQFN-48 封装的器件引脚布局（俯视图）**

6 GPIO 复用功能

6 GPIO 复用功能

表 6 GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P0.0	wco_out	fixed	ppca.ppcaio[54]:0	ACT #0
	peri.tr_io_input[0]:0	ACT #13	peri.tr_io_output[0]:0	ACT #14
	peri.tr_io_output[60]:0	ACT #15		
P0.1	wco_in	fixed	ppca.ppcaio[55]:0	ACT #0
	peri.tr_io_input[1]:0	ACT #13	peri.tr_io_output[1]:0	ACT #14
	peri.tr_io_output[61]:0	ACT #15		
P1.0	eco_in	fixed	ppca.ppcaio[56]:0	ACT #0
	peri.tr_io_input[2]:0	ACT #13	peri.tr_io_output[2]:0	ACT #14
	peri.tr_io_output[62]:0	ACT #15		
P1.1	eco_out	fixed	ppca.ppcaio[57]:0	ACT #0
	peri.tr_io_input[3]:0	ACT #13	peri.tr_io_output[3]:0	ACT #14
	peri.tr_io_output[63]:0	ACT #15		
P1.2	ppca.ppcaio[58]:0	ACT #0	tcpwm0.g0.cnt0+	ACT #10
	peri.tr_io_input[4]:0	ACT #13	peri.tr_io_output[4]:0	ACT #14
	peri.tr_io_output[64]:0	ACT #15	swj.swclk/tclk	DS #5
P1.3	ppca.ppcaio[59]:0	ACT #0	tcpwm0.g0.cnt0-	ACT #10
	peri.tr_io_input[5]:0	ACT #13	peri.tr_io_output[5]:0	ACT #14
	peri.tr_io_output[65]:0	ACT #15	swj.swdio/tms	DS #5
P1.4	ppca.ppcaio[10]:0	ACT #0	peri.tr_io_input[6]:0	ACT #13
	peri.tr_io_output[6]:0	ACT #14	peri.tr_io_output[66]:0	ACT #15
P1.5	ppca.ppcaio[11]:0	ACT #0	peri.tr_io_input[7]:0	ACT #13
	peri.tr_io_output[7]:0	ACT #14	peri.tr_io_output[67]:0	ACT #15
P1.6	ppca.ppcaio[12]:0	ACT #0	peri.tr_io_input[8]:0	ACT #13
	peri.tr_io_output[8]:0	ACT #14	peri.tr_io_output[68]:0	ACT #15
P1.7	ppca.ppcaio[13]:0	ACT #0	peri.tr_io_input[9]:0	ACT #13
	peri.tr_io_output[9]:0	ACT #14	peri.tr_io_output[69]:0	ACT #15
P2.0	vext_ref_reg	fixed	ppca.ppcaio[48]:0	ACT #0
	scb6.spi.mosi	ACT #6	scb6.uart.tx	ACT #7
	scb6.i2c.sda	ACT #9	peri.tr_io_input[10]:0	ACT #13
	peri.tr_io_output[10]:0	ACT #14	peri.tr_io_output[70]:0	ACT #15
P2.1	hibernate_wakeup	fixed	ppca.ppcaio[49]:0	ACT #0
	scb6.spi.clk	ACT #6	scb6.uart.rx	ACT #7

(表格续下页.....)

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
	scb6.i2c.scl	ACT #9	peri.tr_io_input[11]:0	ACT #13
	peri.tr_io_output[11]:0	ACT #14	peri.tr_io_output[71]:0	ACT #15
	swj.swdoe/tdi	DS #5		
P2.2	ppca.ppcaio[50]:0	ACT #0	cal_wave	DS #0
	scb6.spi.miso	ACT #6	scb6.uart.rts	ACT #7
	scb6.i2c.scl_do	ACT #9	peri.tr_io_input[12]:0	ACT #13
	peri.tr_io_output[12]:0	ACT #14	peri.tr_io_output[72]:0	ACT #15
	swj.trstn	DS #5		
P2.3	ppca.ppcaio[51]:0	ACT #0	can0.rx	ACT #3
	scb0.spi.clk	DS #1	scb0.uart.rx	DS #2
	scb0.i2c.scl	DS #3	peri.tr_io_input[13]:0	ACT #13
	peri.tr_io_output[13]:0	ACT #14	peri.tr_io_output[73]:0	ACT #15
	swj.swo/tdo	DS #5		
P2.4	ppca.ppcaio[52]:0	ACT #0	can0.tx	ACT #3
	scb0.spi.mosi	DS #1	scb0.uart.tx	DS #2
	scb0.i2c.sda	DS #3	tcpwm0.g0.cnt1+	ACT #10
	peri.tr_io_input[14]:0	ACT #13	peri.tr_io_output[14]:0	ACT #14
	peri.tr_io_output[74]:0	ACT #15		
P2.5	ppca.ppcaio[53]:0	ACT #0	scb0.spi.miso	DS #1
	scb0.uart.rts	DS #2	scb0.i2c.scl_do	DS #3
	tcpwm0.g0.cnt1-	ACT #10	peri.tr_io_input[15]:0	ACT #13
	peri.tr_io_output[15]:0	ACT #14	peri.tr_io_output[75]:0	ACT #15
P3.0	ppca.ppcaio[31]:0	ACT #0	can0.tx	ACT #3
	scb2.spi.select1 ¹⁾	ACT #4	scb6.spi.select0	ACT #6
	scb6.uart.cts	ACT #7	scb6.i2c.sda_do	ACT #9
	peri.tr_io_input[16]:0	ACT #13	peri.tr_io_output[16]:0	ACT #14
	peri.tr_io_output[76]:0	ACT #15		
P3.1	ppca.ppcaio[30]:0	ACT #0	can0.rx	ACT #3
	scb2.spi.select0 ¹⁾	ACT #4	scb6.spi.select1	ACT #6
	scb2.uart.cts ¹⁾	ACT #7	scb2.i2c.sda_do ¹⁾	ACT #9
	peri.tr_io_input[17]:0	ACT #13	peri.tr_io_output[17]:0	ACT #14
	peri.tr_io_output[77]:0	ACT #15		
P3.2	ppca.ppcaio[40]:0	ACT #0	scb2.spi.miso ¹⁾	ACT #4

(表格续下页.....)

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
	scb6.spi.select2	ACT #6	scb2.uart.rts ¹⁾	ACT #7
	scb2.i2c.scl_do ¹⁾	ACT #9	peri.tr_io_input[18]:0	ACT #13
	peri.tr_io_output[18]:0	ACT #14	peri.tr_io_output[78]:0	ACT #15
P3.3	ppca.ppcaio[41]:0	ACT #0	scb2.spi.mosi ¹⁾	ACT #4
	scb2.uart.tx ¹⁾	ACT #7	scb2.i2c.sda ¹⁾	ACT #9
	tcpwm0.g1.cnt0+	ACT #10	peri.tr_io_input[19]:0	ACT #13
	peri.tr_io_output[19]:0	ACT #14	peri.tr_io_output[79]:0	ACT #15
P3.4	ppca.ppcaio[42]:0	ACT #0	scb2.spi.clk ¹⁾	ACT #4
	scb2.uart.rx ¹⁾	ACT #7	scb2.i2c.scl ¹⁾	ACT #9
	tcpwm0.g1.cnt0-	ACT #10	peri.tr_io_input[20]:0	ACT #13
	peri.tr_io_output[20]:0	ACT #14	peri.tr_io_output[80]:0	ACT #15
P3.5	ppca.ppcaio[43]:0	ACT #0	scb4.spi.clk ¹⁾	ACT #5
	scb4.uart.rx ¹⁾	ACT #8	scb4.i2c.scl ¹⁾	ACT #9
	tcpwm0.g1.cnt1+	ACT #10	peri.tr_io_input[21]:0	ACT #13
	peri.tr_io_output[21]:0	ACT #14	peri.tr_io_output[81]:0	ACT #15
P3.6	ppca.ppcaio[44]:0	ACT #0	scb4.spi.mosi ¹⁾	ACT #5
	scb4.uart.tx ¹⁾	ACT #8	scb4.i2c.sda ¹⁾	ACT #9
	tcpwm0.g1.cnt1-	ACT #10	peri.tr_io_input[22]:0	ACT #13
	peri.tr_io_output[22]:0	ACT #14	peri.tr_io_output[82]:0	ACT #15
P3.7	ppca.ppcaio[45]:0	ACT #0	scb2.spi.select2 ¹⁾	ACT #4
	scb4.spi.select2 ¹⁾	ACT #5	peri.tr_io_input[23]:0	ACT #13
	peri.tr_io_output[23]:0	ACT #14	peri.tr_io_output[83]:0	ACT #15
P4.0	ppca.ppcaio[23]:0	ACT #0	scb0.spi.select2	DS #1
	scb4.spi.miso ¹⁾	ACT #5	scb6.spi.select0	ACT #6
	scb6.uart.cts	ACT #7	scb4.uart.rts ¹⁾	ACT #8
	scb6.i2c.sda_do	ACT #9	scb4.i2c.scl_do ¹⁾	ACT #10
	peri.tr_io_input[24]:0	ACT #13	peri.tr_io_output[24]:0	ACT #14
	peri.tr_io_output[84]:0	ACT #15		
P4.1	ppca.ppcaio[22]:0	ACT #0	scb0.spi.select1	DS #1
	scb6.spi.select1	ACT #6	peri.tr_io_input[25]:0	ACT #13
	peri.tr_io_output[25]:0	ACT #14	peri.tr_io_output[85]:0	ACT #15
P4.2	ppca.ppcaio[21]:0	ACT #0	scb0.spi.select0	DS #1
	scb0.uart.cts	DS #2	scb0.i2c.sda_do	DS #3

(表格续下页.....)

6 GPIO 复用功能

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
P4.3	scb6.spi.select2	ACT #6	peri.tr_io_input[26]:0	ACT #13
	peri.tr_io_output[26]:0	ACT #14	peri.tr_io_output[86]:0	ACT #15
	ppca.ppcaio[20]:0	ACT #0	scb1.spi.miso ¹⁾	ACT #4
	scb4.spi.select0 ¹⁾	ACT #5	scb1.uart.rts ¹⁾	ACT #7
	scb4.uart.cts ¹⁾	ACT #8	scb1.i2c.scl_do ¹⁾	ACT #9
P4.4	scb4.i2c.sda_do ¹⁾	ACT #10	peri.tr_io_input[27]:0	ACT #13
	peri.tr_io_output[27]:0	ACT #14	peri.tr_io_output[87]:0	ACT #15
	ppca.ppcaio[24]:0	ACT #0	peri.tr_io_input[28]:0	ACT #13
	peri.tr_io_output[28]:0	ACT #14	peri.tr_io_output[88]:0	ACT #15
	ppca.ppcaio[25]:0	ACT #0	scb1.spi.select2 ¹⁾	ACT #4
P4.5	peri.tr_io_input[29]:0	ACT #13	peri.tr_io_output[29]:0	ACT #14
	peri.tr_io_output[89]:0	ACT #15		
P4.6	ppca.ppcaio[26]:0	ACT #0	scb1.spi.select1 ¹⁾	ACT #4
	peri.tr_io_input[30]:0	ACT #13	peri.tr_io_output[30]:0	ACT #14
	peri.tr_io_output[90]:0	ACT #15		
P4.7	ppca.ppcaio[27]:0	ACT #0	scb1.spi.select0 ¹⁾	ACT #4
	scb1.uart.cts ¹⁾	ACT #7	scb1.i2c.sda_do ¹⁾	ACT #9
	peri.tr_io_input[31]:0	ACT #13	peri.tr_io_output[31]:0	ACT #14
	peri.tr_io_output[91]:0	ACT #15		
P5.0	ppca.ppcaio[28]:0	ACT #0	scb1.spi.mosi ¹⁾	ACT #4
	scb4.spi.select1 ¹⁾	ACT #5	scb1.uart.tx ¹⁾	ACT #7
	scb1.i2c.sda ¹⁾	ACT #9	peri.tr_io_input[32]:0	ACT #13
	peri.tr_io_output[32]:0	ACT #14	peri.tr_io_output[92]:0	ACT #15
P5.1	ppca.ppcaio[29]:0	ACT #0	scb1.spi.clk ¹⁾	ACT #4
	scb1.uart.rx ¹⁾	ACT #7	scb1.i2c.scl ¹⁾	ACT #9
	peri.tr_io_input[33]:0	ACT #13	peri.tr_io_output[33]:0	ACT #14
	peri.tr_io_output[93]:0	ACT #15		
P5.2	ppca.ppcaio[14]:0	ACT #0	peri.tr_io_input[34]:0	ACT #13
	peri.tr_io_output[34]:0	ACT #14	peri.tr_io_output[94]:0	ACT #15
P5.3	ppca.ai8_ai	fixed	ppca.ppcaio[15]:0	ACT #0
	peri.tr_io_input[35]:0	ACT #13	peri.tr_io_output[35]:0	ACT #14
	peri.tr_io_output[95]:0	ACT #15		
P6.0	ppca.ai7_ai	fixed	ppca.ppcaio[16]:0	ACT #0

(表格续下页.....)

6 GPIO 复用功能

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
	peri.tr_io_input[36]:0	ACT #13	peri.tr_io_output[36]:0	ACT #14
	peri.tr_io_output[96]:0	ACT #15		
P6.1	ppca.ai6_ai	fixed	ppca.ppcaio[17]:0	ACT #0
	peri.tr_io_input[37]:0	ACT #13	peri.tr_io_output[37]:0	ACT #14
	peri.tr_io_output[97]:0	ACT #15		
P6.2	lpcomp1.in-	fixed	ppca.ai5_ai	fixed
	ppca.ppcaio[18]:0	ACT #0	scb4.spi.select0 ¹⁾	ACT #5
	scb4.uart.cts ¹⁾	ACT #8	scb4.i2c.sda_do ¹⁾	ACT #10
	peri.tr_io_input[38]:0	ACT #13	peri.tr_io_output[38]:0	ACT #14
	peri.tr_io_output[98]:0	ACT #15		
P6.3	lpcomp1.in+	fixed	ppca.ai4_ai	fixed
	ppca.ppcaio[19]:0	ACT #0	scb4.spi.miso ¹⁾	ACT #5
	scb4.uart.rts ¹⁾	ACT #8	scb4.i2c.scl_do ¹⁾	ACT #10
	peri.tr_io_input[39]:0	ACT #13	peri.tr_io_output[39]:0	ACT #14
	peri.tr_io_output[99]:0	ACT #15		
P6.4	lpcomp0.in-	fixed	ppca.ai3_ai	fixed
	ppca.ppcaio[46]:0	ACT #0	scb4.spi.mosi ¹⁾	ACT #5
	scb4.uart.tx ¹⁾	ACT #8	scb4.i2c.sda ¹⁾	ACT #9
	peri.tr_io_input[40]:0	ACT #13	peri.tr_io_output[40]:0	ACT #14
	peri.tr_io_output[100]:0	ACT #15		
P6.5	lpcomp0.in+	fixed	ppca.ai2_ai	fixed
	ppca.ppcaio[47]:0	ACT #0	scb4.spi.clk ¹⁾	ACT #5
	scb4.uart.rx ¹⁾	ACT #8	scb4.i2c.scl ¹⁾	ACT #9
	cpuss.fault[0]:1	ACT #10	peri.tr_io_input[41]:0	ACT #13
	peri.tr_io_output[41]:0	ACT #14	peri.tr_io_output[101]:0	ACT #15
P7.0	ppca.ai9_ai	fixed	hibernate_wakeup	fixed
	ppca.ppcaio[32]:0	ACT #0	can1.rx	ACT #3
	scb5.spi.clk ¹⁾	ACT #6	scb5.uart.rx ¹⁾	ACT #8
	scb5.i2c.scl ¹⁾	ACT #9	trace.clock	ACT #10
	peri.tr_io_input[42]:0	ACT #13	peri.tr_io_output[42]:0	ACT #14
	peri.tr_io_output[102]:0	ACT #15		
P7.1	ppca.ai10_ai	fixed	ppca.ppcaio[33]:0	ACT #0
	can1.tx	ACT #3	scb5.spi.mosi ¹⁾	ACT #6

(表格续下页.....)

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
	scb5.uart.tx ¹⁾	ACT #8	scb5.i2c.sda ¹⁾	ACT #9
	trace.data0	ACT #10	peri.tr_io_input[43]:0	ACT #13
	peri.tr_io_output[43]:0	ACT #14	peri.tr_io_output[103]:0	ACT #15
P7.2	ppca.ai11_ai	fixed	ppca.ppcaio[34]:0	ACT #0
	scb5.spi.miso ¹⁾	ACT #6	scb5.uart.rts ¹⁾	ACT #8
	scb5.i2c.scl_do ¹⁾	ACT #9	trace.data1	ACT #10
	ext_clk	ACT #11	peri.tr_io_input[44]:0	ACT #13
	peri.tr_io_output[44]:0	ACT #14	peri.tr_io_output[104]:0	ACT #15
P7.3	ppca.ai12_ai	fixed	ppca.ppcaio[35]:0	ACT #0
	scb5.spi.select0 ¹⁾	ACT #6	scb5.uart.cts ¹⁾	ACT #8
	scb5.i2c.sda_do ¹⁾	ACT #9	trace.data2	ACT #10
	peri.tr_io_input[45]:0	ACT #13	peri.tr_io_output[45]:0	ACT #14
	peri.tr_io_output[105]:0	ACT #15		
P7.4	ppca.ai13_ai	fixed	ppca.ppcaio[36]:0	ACT #0
	can1.tx	ACT #3	scb5.spi.select1 ¹⁾	ACT #6
	trace.data3	ACT #10	peri.tr_io_input[46]:0	ACT #13
	peri.tr_io_output[46]:0	ACT #14	peri.tr_io_output[106]:0	ACT #15
P7.5	ppca.ai14_ai	fixed	ppca.ppcaio[37]:0	ACT #0
	can1.rx	ACT #3	scb5.spi.select2 ¹⁾	ACT #6
	peri.tr_io_input[47]:0	ACT #13	peri.tr_io_output[47]:0	ACT #14
	peri.tr_io_output[107]:0	ACT #15		
P7.6	ppca.ai15_ai	fixed	ppca.ppcaio[38]:0	ACT #0
	peri.tr_io_input[48]:0	ACT #13	peri.tr_io_output[48]:0	ACT #14
	peri.tr_io_output[108]:0	ACT #15		
P7.7	ppca.ppcaio[39]:0	ACT #0	peri.tr_io_input[49]:0	ACT #13
	peri.tr_io_output[49]:0	ACT #14	peri.tr_io_output[109]:0	ACT #15
P8.0	ppca.ppcaio[0]:0	ACT #0	scb3.spi.clk	ACT #4
	scb5.spi.select0 ¹⁾	ACT #6	scb3.uart.rx	ACT #7
	scb3.i2c.scl	ACT #9	trace.data3	ACT #10
	cpuss.clk_fm_pump	ACT #11	peri.tr_io_input[50]:0	ACT #13
	peri.tr_io_output[50]:0	ACT #14	peri.tr_io_output[110]:0	ACT #15
P8.1	ppca.ppcaio[1]:0	ACT #0	scb3.spi.mosi	ACT #4
	scb5.spi.select1 ¹⁾	ACT #6	scb3.uart.tx	ACT #7

(表格续下页.....)

6 GPIO 复用功能

表 6 (续) GPIO 复用功能和 HSIOM 路由

GPIO	Alternate functions and HSIOM routes			
	scb3.i2c.sda	ACT #9	trace.data2	ACT #10
	peri.tr_io_input[51]:0	ACT #13	peri.tr_io_output[51]:0	ACT #14
	peri.tr_io_output[111]:0	ACT #15		
P8.2	ppca.ppcaio[2]:0	ACT #0	scb3.spi.miso	ACT #4
	scb5.spi.select2 ¹⁾	ACT #6	scb3.uart.rts	ACT #7
	scb3.i2c.scl_do	ACT #9	trace.data1	ACT #10
	peri.tr_io_input[52]:0	ACT #13	peri.tr_io_output[52]:0	ACT #14
	peri.tr_io_output[112]:0	ACT #15		
P8.3	svgs.svg_test_vccd_feed	fixed	ppca.ppcaio[3]:0	ACT #0
	scb3.spi.select0	ACT #4	scb3.uart.cts	ACT #7
	scb3.i2c.sda_do	ACT #9	trace.data0	ACT #10
	ext_clk	ACT #11	peri.tr_io_input[53]:0	ACT #13
	peri.tr_io_output[53]:0	ACT #14	peri.tr_io_output[113]:0	ACT #15
P8.4	ppca.ppcaio[4]:0	ACT #0	scb3.spi.select1	ACT #4
	trace.clock	ACT #10	peri.tr_io_input[54]:0	ACT #13
	peri.tr_io_output[54]:0	ACT #14	peri.tr_io_output[114]:0	ACT #15
P8.5	ppca.ppcaio[5]:0	ACT #0	scb3.spi.select2	ACT #4
	cpuss.fault[0]:0	ACT #10	peri.tr_io_input[55]:0	ACT #13
	peri.tr_io_output[55]:0	ACT #14	peri.tr_io_output[115]:0	ACT #15
P9.0	ppca.ppcaio[6]:0	ACT #0	peri.tr_io_input[56]:0	ACT #13
	peri.tr_io_output[56]:0	ACT #14	peri.tr_io_output[116]:0	ACT #15
P9.1	ppca.ppcaio[7]:0	ACT #0	peri.tr_io_input[57]:0	ACT #13
	peri.tr_io_output[57]:0	ACT #14	peri.tr_io_output[117]:0	ACT #15
P9.2	ppca.ppcaio[8]:0	ACT #0	peri.tr_io_input[58]:0	ACT #13
	peri.tr_io_output[58]:0	ACT #14	peri.tr_io_output[118]:0	ACT #15
P9.3	ppca.ppcaio[9]:0	ACT #0	peri.tr_io_input[59]:0	ACT #13
	peri.tr_io_output[59]:0	ACT #14	peri.tr_io_output[119]:0	ACT #15

1) SCB1、SCB2和SCB4在64引脚器件上不可用。此外，SCB5在48引脚器件上不可用。

表 7 GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
cal_wave	P2.2	can0.rx	P2.3, P3.1	can0.tx	P2.4, P3.0
can1.rx	P7.0, P7.5	can1.tx	P7.1, P7.4	cpuss.clk_fm_pump	P8.0

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
cpuss.fault[0]:0	P8.5	cpuss.fault[0]:1	P6.5	eco_in	P1.0
eco_out	P1.1	ext_clk	P7.2, P8.3	hibernate_wakeup	P2.1, P7.0
lpcomp0.in+	P6.5	lpcomp0.in-	P6.4	lpcomp1.in+	P6.3
lpcomp1.in-	P6.2	peri.tr_io_input[0]:0	P0.0	peri.tr_io_input[10]:0	P2.0
peri.tr_io_input[11]:0	P2.1	peri.tr_io_input[12]:0	P2.2	peri.tr_io_input[13]:0	P2.3
peri.tr_io_input[14]:0	P2.4	peri.tr_io_input[15]:0	P2.5	peri.tr_io_input[16]:0	P3.0
peri.tr_io_input[17]:0	P3.1	peri.tr_io_input[18]:0	P3.2	peri.tr_io_input[19]:0	P3.3
peri.tr_io_input[1]:0	P0.1	peri.tr_io_input[20]:0	P3.4	peri.tr_io_input[21]:0	P3.5
peri.tr_io_input[22]:0	P3.6	peri.tr_io_input[23]:0	P3.7	peri.tr_io_input[24]:0	P4.0
peri.tr_io_input[25]:0	P4.1	peri.tr_io_input[26]:0	P4.2	peri.tr_io_input[27]:0	P4.3
peri.tr_io_input[28]:0	P4.4	peri.tr_io_input[29]:0	P4.5	peri.tr_io_input[30]:0	P1.0
peri.tr_io_input[30]:0	P4.6	peri.tr_io_input[31]:0	P4.7	peri.tr_io_input[32]:0	P5.0
peri.tr_io_input[33]:0	P5.1	peri.tr_io_input[34]:0	P5.2	peri.tr_io_input[35]:0	P5.3
peri.tr_io_input[36]:0	P6.0	peri.tr_io_input[37]:0	P6.1	peri.tr_io_input[38]:0	P6.2
peri.tr_io_input[39]:0	P6.3	peri.tr_io_input[40]:0	P1.1	peri.tr_io_input[41]:0	P6.4
peri.tr_io_input[41]:0	P6.5	peri.tr_io_input[42]:0	P7.0	peri.tr_io_input[43]:0	P7.1
peri.tr_io_input[44]:0	P7.2	peri.tr_io_input[45]:0	P7.3	peri.tr_io_input[46]:0	P7.4
peri.tr_io_input[47]:0	P7.5	peri.tr_io_input[48]:0	P7.6	peri.tr_io_input[49]:0	P7.7
peri.tr_io_input[4]:0	P1.2	peri.tr_io_input[50]:0	P8.0	peri.tr_io_input[51]:0	P8.1
peri.tr_io_input[52]:0	P8.2	peri.tr_io_input[53]:0	P8.3	peri.tr_io_input[54]:0	P8.4

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
peri.tr_io_input[55]:0	P8.5	peri.tr_io_input[56]:0	P9.0	peri.tr_io_input[57]:0	P9.1
peri.tr_io_input[58]:0	P9.2	peri.tr_io_input[59]:0	P9.3	peri.tr_io_input[5]:0	P1.3
peri.tr_io_input[6]:0	P1.4	peri.tr_io_input[7]:0	P1.5	peri.tr_io_input[8]:0	P1.6
peri.tr_io_input[9]:0	P1.7	peri.tr_io_output[0]:0	P0.0	peri.tr_io_output[100]:0	P6.4
peri.tr_io_output[101]:0	P6.5	peri.tr_io_output[102]:0	P7.0	peri.tr_io_output[103]:0	P7.1
peri.tr_io_output[104]:0	P7.2	peri.tr_io_output[105]:0	P7.3	peri.tr_io_output[106]:0	P7.4
peri.tr_io_output[107]:0	P7.5	peri.tr_io_output[108]:0	P7.6	peri.tr_io_output[109]:0	P7.7
peri.tr_io_output[10]:0	P2.0	peri.tr_io_output[110]:0	P8.0	peri.tr_io_output[111]:0	P8.1
peri.tr_io_output[112]:0	P8.2	peri.tr_io_output[113]:0	P8.3	peri.tr_io_output[114]:0	P8.4
peri.tr_io_output[115]:0	P8.5	peri.tr_io_output[116]:0	P9.0	peri.tr_io_output[117]:0	P9.1
peri.tr_io_output[118]:0	P9.2	peri.tr_io_output[119]:0	P9.3	peri.tr_io_output[11]:0	P2.1
peri.tr_io_output[12]:0	P2.2	peri.tr_io_output[13]:0	P2.3	peri.tr_io_output[14]:0	P2.4
peri.tr_io_output[15]:0	P2.5	peri.tr_io_output[16]:0	P3.0	peri.tr_io_output[17]:0	P3.1
peri.tr_io_output[18]:0	P3.2	peri.tr_io_output[19]:0	P3.3	peri.tr_io_output[1]:0	P0.1
peri.tr_io_output[20]:0	P3.4	peri.tr_io_output[21]:0	P3.5	peri.tr_io_output[22]:0	P3.6
peri.tr_io_output[23]:0	P3.7	peri.tr_io_output[24]:0	P4.0	peri.tr_io_output[25]:0	P4.1
peri.tr_io_output[26]:0	P4.2	peri.tr_io_output[27]:0	P4.3	peri.tr_io_output[28]:0	P4.4
peri.tr_io_output[29]:0	P4.5	peri.tr_io_output[2]:0	P1.0	peri.tr_io_output[30]:0	P4.6
peri.tr_io_output[31]:0	P4.7	peri.tr_io_output[32]:0	P5.0	peri.tr_io_output[33]:0	P5.1

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
peri.tr_io_output[34]:0	P5.2	peri.tr_io_output[35]:0	P5.3	peri.tr_io_output[36]:0	P6.0
peri.tr_io_output[37]:0	P6.1	peri.tr_io_output[38]:0	P6.2	peri.tr_io_output[39]:0	P6.3
peri.tr_io_output[3]:0	P1.1	peri.tr_io_output[40]:0	P6.4	peri.tr_io_output[41]:0	P6.5
peri.tr_io_output[42]:0	P7.0	peri.tr_io_output[43]:0	P7.1	peri.tr_io_output[44]:0	P7.2
peri.tr_io_output[45]:0	P7.3	peri.tr_io_output[46]:0	P7.4	peri.tr_io_output[47]:0	P7.5
peri.tr_io_output[48]:0	P7.6	peri.tr_io_output[49]:0	P7.7	peri.tr_io_output[4]:0	P1.2
peri.tr_io_output[50]:0	P8.0	peri.tr_io_output[51]:0	P8.1	peri.tr_io_output[52]:0	P8.2
peri.tr_io_output[53]:0	P8.3	peri.tr_io_output[54]:0	P8.4	peri.tr_io_output[55]:0	P8.5
peri.tr_io_output[56]:0	P9.0	peri.tr_io_output[57]:0	P9.1	peri.tr_io_output[58]:0	P9.2
peri.tr_io_output[59]:0	P9.3	peri.tr_io_output[5]:0	P1.3	peri.tr_io_output[60]:0	P0.0
peri.tr_io_output[61]:0	P0.1	peri.tr_io_output[62]:0	P1.0	peri.tr_io_output[63]:0	P1.1
peri.tr_io_output[64]:0	P1.2	peri.tr_io_output[65]:0	P1.3	peri.tr_io_output[66]:0	P1.4
peri.tr_io_output[67]:0	P1.5	peri.tr_io_output[68]:0	P1.6	peri.tr_io_output[69]:0	P1.7
peri.tr_io_output[6]:0	P1.4	peri.tr_io_output[70]:0	P2.0	peri.tr_io_output[71]:0	P2.1
peri.tr_io_output[72]:0	P2.2	peri.tr_io_output[73]:0	P2.3	peri.tr_io_output[74]:0	P2.4
peri.tr_io_output[75]:0	P2.5	peri.tr_io_output[76]:0	P3.0	peri.tr_io_output[77]:0	P3.1
peri.tr_io_output[78]:0	P3.2	peri.tr_io_output[79]:0	P3.3	peri.tr_io_output[7]:0	P1.5
peri.tr_io_output[80]:0	P3.4	peri.tr_io_output[81]:0	P3.5	peri.tr_io_output[82]:0	P3.6
peri.tr_io_output[83]:0	P3.7	peri.tr_io_output[84]:0	P4.0	peri.tr_io_output[85]:0	P4.1

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
peri.tr_io_output[86]:0	P4.2	peri.tr_io_output[87]:0	P4.3	peri.tr_io_output[88]:0	P4.4
peri.tr_io_output[89]:0	P4.5	peri.tr_io_output[8]:0	P1.6	peri.tr_io_output[90]:0	P4.6
peri.tr_io_output[91]:0	P4.7	peri.tr_io_output[92]:0	P5.0	peri.tr_io_output[93]:0	P5.1
peri.tr_io_output[94]:0	P5.2	peri.tr_io_output[95]:0	P5.3	peri.tr_io_output[96]:0	P6.0
peri.tr_io_output[97]:0	P6.1	peri.tr_io_output[98]:0	P6.2	peri.tr_io_output[99]:0	P6.3
peri.tr_io_output[9]:0	P1.7	ppca.ai10_ai	P7.1	ppca.ai11_ai	P7.2
ppca.ai12_ai	P7.3	ppca.ai13_ai	P7.4	ppca.ai14_ai	P7.5
ppca.ai15_ai	P7.6	ppca.ai2_ai	P6.5	ppca.ai3_ai	P6.4
ppca.ai4_ai	P6.3	ppca.ai5_ai	P6.2	ppca.ai6_ai	P6.1
ppca.ai7_ai	P6.0	ppca.ai8_ai	P5.3	ppca.ai9_ai	P7.0
ppca.ppcaio[0]:0	P8.0	ppca.ppcaio[10]:0	P1.4	ppca.ppcaio[11]:0	P1.5
ppca.ppcaio[12]:0	P1.6	ppca.ppcaio[13]:0	P1.7	ppca.ppcaio[14]:0	P5.2
ppca.ppcaio[15]:0	P5.3	ppca.ppcaio[16]:0	P6.0	ppca.ppcaio[17]:0	P6.1
ppca.ppcaio[18]:0	P6.2	ppca.ppcaio[19]:0	P6.3	ppca.ppcaio[1]:0	P8.1
ppca.ppcaio[20]:0	P4.3	ppca.ppcaio[21]:0	P4.2	ppca.ppcaio[22]:0	P4.1
ppca.ppcaio[23]:0	P4.0	ppca.ppcaio[24]:0	P4.4	ppca.ppcaio[25]:0	P4.5
ppca.ppcaio[26]:0	P4.6	ppca.ppcaio[27]:0	P4.7	ppca.ppcaio[28]:0	P5.0
ppca.ppcaio[29]:0	P5.1	ppca.ppcaio[2]:0	P8.2	ppca.ppcaio[30]:0	P3.1
ppca.ppcaio[31]:0	P3.0	ppca.ppcaio[32]:0	P7.0	ppca.ppcaio[33]:0	P7.1
ppca.ppcaio[34]:0	P7.2	ppca.ppcaio[35]:0	P7.3	ppca.ppcaio[36]:0	P7.4
ppca.ppcaio[37]:0	P7.5	ppca.ppcaio[38]:0	P7.6	ppca.ppcaio[39]:0	P7.7
ppca.ppcaio[3]:0	P8.3	ppca.ppcaio[40]:0	P3.2	ppca.ppcaio[41]:0	P3.3
ppca.ppcaio[42]:0	P3.4	ppca.ppcaio[43]:0	P3.5	ppca.ppcaio[44]:0	P3.6
ppca.ppcaio[45]:0	P3.7	ppca.ppcaio[46]:0	P6.4	ppca.ppcaio[47]:0	P6.5
ppca.ppcaio[48]:0	P2.0	ppca.ppcaio[49]:0	P2.1	ppca.ppcaio[4]:0	P8.4
ppca.ppcaio[50]:0	P2.2	ppca.ppcaio[51]:0	P2.3	ppca.ppcaio[52]:0	P2.4
ppca.ppcaio[53]:0	P2.5	ppca.ppcaio[54]:0	P0.0	ppca.ppcaio[55]:0	P0.1
ppca.ppcaio[56]:0	P1.0	ppca.ppcaio[57]:0	P1.1	ppca.ppcaio[58]:0	P1.2
ppca.ppcaio[59]:0	P1.3	ppca.ppcaio[5]:0	P8.5	ppca.ppcaio[6]:0	P9.0

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
ppca.ppcaio[7]:0	P9.1	ppca.ppcaio[8]:0	P9.2	ppca.ppcaio[9]:0	P9.3
scb0.i2c.scl	P2.3	scb0.i2c.scl_do	P2.5	scb0.i2c.sda	P2.4
scb0.i2c.sda_do	P4.2	scb0.spi.clk	P2.3	scb0.spi.miso	P2.5
scb0.spi.mosi	P2.4	scb0.spi.select0	P4.2	scb0.spi.select1	P4.1
scb0.spi.select2	P4.0	scb0.uart.cts	P4.2	scb0.uart.rts	P2.5
scb0.uart.rx	P2.3	scb0.uart.tx	P2.4	scb1.i2c.scl ₁	P5.1
scb1.i2c.scl_do ₁	P4.3	scb1.i2c.sda ₁	P5.0	scb1.i2c.sda_do ₁	P4.7
scb1.spi.clk ₁	P5.1	scb1.spi.miso ₁	P4.3	scb1.spi.mosi ₁	P5.0
scb1.spi.select0 ₁	P4.7	scb1.spi.select1 ₁	P4.6	scb1.spi.select2 ₁	P4.5
scb1.uart.cts ₁	P4.7	scb1.uart.rts ₁	P4.3	scb1.uart.rx ₁	P5.1
scb1.uart.tx ₁	P5.0	scb2.i2c.scl ₁	P3.4	scb2.i2c.scl_do ₁	P3.2
scb2.i2c.sda ₁	P3.3	scb2.i2c.sda_do ₁	P3.1	scb2.spi.clk ₁	P3.4
scb2.spi.miso ₁	P3.2	scb2.spi.mosi ₁	P3.3	scb2.spi.select0 ₁	P3.1
scb2.spi.select1 ₁	P3.0	scb2.spi.select2 ₁	P3.7	scb2.uart.cts ₁	P3.1
scb2.uart.rts ₁	P3.2	scb2.uart.rx ₁	P3.4	scb2.uart.tx ₁	P3.3
scb3.i2c.scl	P8.0	scb3.i2c.scl_do	P8.2	scb3.i2c.sda	P8.1
scb3.i2c.sda_do	P8.3	scb3.spi.clk	P8.0	scb3.spi.miso	P8.2
scb3.spi.mosi	P8.1	scb3.spi.select0	P8.3	scb3.spi.select1	P8.4
scb3.spi.select2	P8.5	scb3.uart.cts	P8.3	scb3.uart.rts	P8.2
scb3.uart.rx	P8.0	scb3.uart.tx	P8.1	scb4.i2c.scl ₁	P3.5, P6.5
scb4.i2c.scl_do ₁	P4.0, P6.3	scb4.i2c.sda ₁	P3.6, P6.4	scb4.i2c.sda_do ₁	P4.3, P6.2
scb4.spi.clk ₁	P3.5, P6.5	scb4.spi.miso ₁	P4.0, P6.3	scb4.spi.mosi ₁	P3.6, P6.4
scb4.spi.select0 ₁	P4.3, P6.2	scb4.spi.select1 ₁	P5.0	scb4.spi.select2 ₁	P3.7
scb4.uart.cts ₁	P4.3, P6.2	scb4.uart.rts ₁	P4.0, P6.3	scb4.uart.rx ₁	P3.5, P6.5
scb4.uart.tx ₁	P3.6, P6.4	scb5.i2c.scl ₁	P7.0	scb5.i2c.scl_do ₁	P7.2
scb5.i2c.sda ₁	P7.1	scb5.i2c.sda_do ₁	P7.3	scb5.spi.clk ₁	P7.0
scb5.spi.miso ₁	P7.2	scb5.spi.mosi ₁	P7.1	scb5.spi.select0 ₁	P7.3, P8.0
scb5.spi.select1 ₁	P7.4, P8.1	scb5.spi.select2 ₁	P7.5, P8.2	scb5.uart.cts ₁	P7.3
scb5.uart.rts ₁	P7.2	scb5.uart.rx ₁	P7.0	scb5.uart.tx ₁	P7.1
scb6.i2c.scl	P2.1	scb6.i2c.scl_do	P2.2	scb6.i2c.sda	P2.0
scb6.i2c.sda_do	P3.0, P4.0	scb6.spi.clk	P2.1	scb6.spi.miso	P2.2
scb6.spi.mosi	P2.0	scb6.spi.select0	P3.0, P4.0	scb6.spi.select1	P3.1, P4.1
scb6.spi.select2	P3.2, P4.2	scb6.uart.cts	P3.0, P4.0	scb6.uart.rts	P2.2

(表格续下页.....)

6 GPIO 复用功能

表 7 (续) GPIO 复用功能

Function	GPIOs	Function	GPIOs	Function	GPIOs
scb6.uart.rx	P2.1	scb6.uart.tx	P2.0	svgs.svg_test_vc cd_feed	P8.3
swj.swclk/tclk	P1.2	swj.swdio/tms	P1.3	swj.swdoe/tdi	P2.1
swj.swo/tdo	P2.3	swj.trstn	P2.2	tcpwm0.g0.cnt0+	P1.2
tcpwm0.g0.cnt0-	P1.3	tcpwm0.g0.cnt1+	P2.4	tcpwm0.g0.cnt1-	P2.5
tcpwm0.g1.cnt0+	P3.3	tcpwm0.g1.cnt0-	P3.4	tcpwm0.g1.cnt1+	P3.5
tcpwm0.g1.cnt1-	P3.6	trace.clock	P7.0, P8.4	trace.data0	P7.1, P8.3
trace.data1	P7.2, P8.2	trace.data2	P7.3, P8.1	trace.data3	P7.4, P8.0
vext_ref_reg	P2.0	wco_in	P0.1	wco_out	P0.0

7 电气规格

7 电气规格

7.1 绝对最大额定值

表 8 绝对最大额定值

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID1	Analog or Digital supply relative to Vss (Vssd=Vssa)	VDD_ABS	-0.5	-	4	V	Absolute maximum
SID2	Direct digital core voltage input relative to Vssd	VCCD_ABS	-0.5	-	1.2	V	Absolute maximum
SID3	GPIO voltage ; VDDD or VDDA	VGPI0_ABS	-0.5	-	VDD+0.5	V	Absolute maximum
SID4	Current per GPIO	IGPI0_ABS	-25	-	25	mA	Absolute maximum
SID5	GPIO injection current per pin	IGPI0_injection	-0.5	-	0.5	mA	Absolute maximum
SID3A	Electrostatic discharge human body model	ESD_HBM	2000	-	-	V	Absolute maximum
SID4A	Electrostatic discharge charged device model	ESD_CDM	500	-	-	V	Absolute maximum
SID5A	Pin current for latchup free operation	LU	-100	-	100	mA	Absolute maximum
SIDWA8	Maximum undershoot voltage for I/O	Vundershoot	-	-	-0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA9	Maximum overshoot voltage for I/O	Vovershoot	-	-	VDDIO + 0.5	V	Duration not to exceed 25% of the duty cycle
SIDWA10	Maximum junction temperature	Tj	-	-	125	°C	

7 电气规格

7.2 电源

表 9 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
DC specifications							
SID6	Internal regulator	VDDD	1.71	-	3.63	V	The user must ensure that VDDA is powered up before or same time as VDDD to avoid any cross current flowing from VDDD. If VDDA is not powered up while VDDD is available, VDDA shall be grounded.
SID7B	GPIO supply for Ports 1, 2, 3, 4, 5, 6, 7	VDDIO_0	1.71	-	3.63	V	
SID7C	GPIO supply for Ports 8 and 9	VDDIO_1	1.71	-	3.63	V	
SID7A	Analog power supply for ADC and comparator	VDDA	2.97	-	3.63	V	The user must ensure that VDDA is powered up before or same time as VDDD to avoid any cross current flowing from VDDD. If VDDA is not powered up while VDDD is available, VDDA shall be grounded. Analog subsystem(ATOP SS) is designed to handle supply transients upto 2.6 V.
SID6B	Backup power; normally shorted to VDDD (supply PORT 0)	VBACKUP	1.71	-	3.63	V	Min. is 1.4 V in Backup mode.
SID7D	Chip supply ground	VSSS	-	0	-	V	
SID7F	Analog ground supply	VSSA	-	0	-	V	
SID8	Output voltage (for core logic bypass)	VCCD (OD)	-	1.2	-	V	Overdrive mode. Valid for –40 to 125°C.

(表格续下页.....)

7 电气规格

表 9 (续) 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID8A	Output voltage (for core logic bypass)	VCCD (LP)	-	1.1	-	V	High-speed mode. Valid for -40 to 125°C.
SID8B	Output voltage (for core logic bypass)	VCCD (MF)	-	1	-	V	MF mode. Valid for -40 to 125°C.
SID8C	Output voltage (for core logic bypass)	VCCD (ULP)	-	0.9	-	V	ULP mode. Valid for -40 to 125°C.
SID10	External regulator voltage (VCCD) bypass	CEFC	3.8	4.7	5.6	μF	X5R ceramic or better. Value for 0.8 10 1.2 V.
SID11	Power supply decoupling capacitor	CEXC	-	10	-	μF	X5R ceramic or better

Deep Sleep mode

SIDDS1	With internal LDO enabled and no SRAM retention	IDD33	-	16	-	μA	Not including analog leakage on VDDA and VAREF_EXT
SIDDS1_A	With internal LDO enabled and 64K SRAM retention	IDD33A	-	17	-	μA	Not including analog leakage on VDDA and VAREF_EXT
SIDDS1_B	With internal LDO enabled and 128K SRAM retention	IDD33A_B	-	18.5	-	μA	Not including analog leakage on VDDA and VAREF_EXT
SIDDS2	Leakage on analog supply and analog reference in deep sleep mode	IDDA	-	0.1	3	μA	Max value is at 85°C

Hibernate mode

SIDHIB1	Leakage current at VDDD = 1.8 V	IDD34	-	300	-	nA	No clocks running (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB2	Leakage current at VDDD = 3.3 V	IDD34A	-	2400	-	nA	No clocks running (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB3	Leakage current at VDDD = 1.8 V with WCO running	IDD35	-	800	-	nA	WCO is running, lpcomp active (not including analog leakage on VDDA and VAREF_EXT)

(表格续下页.....)

7 电气规格

表 9 (续) 电源

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDHIB4	Leakage current at VDDD = 3.3 V with WCO running	IDD35A	-	3000	-	nA	WCO is running, I _{pcomp} active (not including analog leakage on VDDA and VAREF_EXT)
SIDHIB5	Leakage on analog supply and analog reference in Hibernate mode.	IDDA	-	0.1	3	μA	Max value is at 85°C and VDDD=3.3 V

7.3 CPU 电流和转换时间

表 10 CPU 电流和转换时间

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Cortex® -M33. Active mode							
SIDC2	Execute from Cache; CM33 Active 180 MHz. PLL. Dhrystone. OD mode	IDD4	-	21	43	mA	VDDD=3.3 V, Max at 125°C and PPCA not included
SIDC2A	Execute from Cache; CM33 Active 180 MHz. PLL. Dhrystone. OD mode	IDD4A	-	21	43	mA	VDDD=1.8 V, Max at 125°C and PPCA not included
SIDC3	Execute from Cache; CM33 Active 150 MHz. PLL. Dhrystone. LP mode	IDD5	-	16	35	mA	VDDD=3.3 V, Max at 125°C and PPCA not included
SIDC3A	Execute from Cache; CM33 Active 150 MHz. PLL. Dhrystone. LP mode	IDD5A	-	16	35	mA	VDDD=1.8 V, Max at 125°C and PPCA not included
SIDC4	Execute from Cache; CM33 Active 70 MHz. PLL. Dhrystone. MF mode	IDD6	-	8	23	mA	VDDD=3.3 V, Max at 125°C and PPCA not included
SIDC4A	Execute from Cache; CM33 Active 70 MHz. PLL. Dhrystone. MF mode	IDD6A	-	8	23	mA	VDDD=1.8 V, Max at 125°C and PPCA not included
SIDC5	Execute from Cache; CM33 Active 50 MHz. PLL. Dhrystone. ULP mode	IDD7	-	6	19	mA	VDDD=3.3 V, Max at 125°C and PPCA not included

(表格续下页.....)

7 电气规格

表 10 (续) CPU 电流和转换时间

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDC5A	Execute from Cache; CM33 Active 50 MHz. PLL. Dhrystone. ULP mode	IDD7A	-	6	19	mA	VDDD=1.8 V, Max at 125°C and PPCA not included

Cortex®-M33 Sleep mode

SIDS1	CM33 Sleep 180 MHz. PLL., OD mode	IDD11	-	8	20	mA	VDDD=3.3 V, Max at 105°C
SIDS1A	CM33 Sleep 180 MHz. PLL., OD mode	IDD11A	-	8	20	mA	VDDD=1.8 V, Max at 105°C
SIDS2	CM33 Sleep 150 MHz. PLL., LP mode	IDD12	-	7	17	mA	VDDD=3.3 V, Max at 105°C
SIDS2A	CM33 Sleep 150 MHz. PLL., LP mode	IDD12A	-	7	16	mA	VDDD=1.8 V, Max at 105°C
SIDS3	CM33 Sleep 70 MHz. PLL., MF mode	IDD13	-	4	12	mA	VDDD=3.3 V, Max at 105°C
SIDS3A	CM33 Sleep 70 MHz. PLL., MF mode	IDD13A	-	4	12	mA	VDDD=1.8 V, Max at 105°C
SIDS4	CM33 Sleep 50 MHz. PLL., ULP mode	IDD14	-	3	9.5	mA	VDDD=3.3 V, Max at 105°C
SIDS4A	CM33 Sleep 50 MHz. PLL., ULP mode	IDD14A	-	3	9.5	mA	VDDD=1.8 V, Max at 105°C

Boot Time

SIDBT0	Boot time after reset (without secure Boot)	BTIME_NO_SE	-	-	1.2	ms	
SIDBT1	Boot time after reset (including HASH verification)	BTIME	-	-	18.5	ms	HASH of OEM image size of 256 Kb
SIDBT1_A	Boot time after reset (including HASH verification)	BTIME_512	-	-	30.5	ms	HASH of OEM image size of 512 Kb
SIDBT2	Boot time after reset (including HASH verification and signature validation)	BTIME_VER_256	-	-	93	ms	HASH and ECDSA P-256 Signature validation of OEM image size of 16 Kb
SIDBT2_A	Boot time after reset (including HASH verification & signature validation)	BTIME_VER_521	-	-	336	ms	HASH and ECDSA P-521 Signature validation of OEM image size of 16 Kb

(表格续下页.....)

7 电气规格

表 10 (续) CPU 电流和转换时间

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Power mode transition times							
SID13A	Deep Sleep to Active OD transition time	TDS_ACT	-	-	45	μs	Deep Sleep to Active OD for VDDD > 2.25 V
SID13A1	Deep Sleep to Active OD transition time	TDS_ACT1	-	-	45	μs	Deep Sleep to Active OD for VDDD < 2.25 V
SID13B	Deep Sleep to Active LP transition time	TDS_ACTLP	-	-	26	μs	Deep Sleep to Active LP for VDDD > 2.25 V
SID13B1	Deep Sleep to Active LP transition time	TDS_ACTLP1	-	-	26	μs	Deep Sleep to Active LP for VDDD < 2.25 V
SID13C	Deep Sleep-RAM to Active transition time	TDSR_ACT	-	-	750	μs	Deep Sleep-RAM to Active OD
SID13D	Deep Sleep-RAM to Active LP transition time	TDSR_ACTLP	-	-	750	μs	Deep Sleep-RAM to Active LP
SID14	Hibernate to Active transition time	THIB_ACT	-	1330	1800	μs	Including PLL lock time
SID14A	Active OD to Deep Sleep transition	TACT_DS	-	-	35	μs	For VDDD < 2.25 V
SID14B	Active OD to Deep Sleep transition	TACT_DS1	-	-	35	μs	For VDDD > 2.25 V

7.4 XRES

表 11 XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
XRES AC specifications							
SID15	POR or XRES release to Active transition time	TXRES_ACT	-	1.5	2.7	ms	Listening window = 0 ms
SID16	XRES Pulse width	TXRES_PW	5	-	-	μs	-
XRES DC specifications							
SID17	IDD when XRES asserted	TXRES_IDD	-	180	-	μA	VDDD = 1.8 V
SID17A	IDD when XRES asserted	TXRES_IDD_1	-	330	-	μA	VDDD = 3.3 V
SID77	Input voltage high threshold	VIH	0.7*VDD D	-	-	V	CMOS Input
SID78	Input voltage low threshold	VIL	-	-	0.3*VDD D	V	CMOS Input

(表格续下页.....)

7 电气规格

表 11 (续) XRES

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID80	Input capacitance	CIN	-	3	-	pF	XRES resistor removed
SID81	Input voltage hysteresis	VHYSXRES	-	100	-	mV	-
SID82	Current through protection diode to VDDD/VSSS	IDIODE	-	-	100	μA	-

7.5 GPIO

表 12 GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

GPIO DC specifications

SID57	Input voltage high threshold	VIH	0.7*VDD D	-	-	V	CMOS Input
SID57A	Input current when Pad > VDDIO for OVT inputs	Iihs	-	-	10	μA	Per I2C Spec
SID58	Input voltage low threshold	VIL	-	-	0.3*VDD D	V	CMOS Input
SID243	LVTTL input, VDDD >= 2.7 V	VIH	2.0	-	-	V	-
SID244	LVTTL input, VDDD >= 2.7 V	VIL	-	-	0.8	V	-
SID59	Output voltage high level	VOH	VDDD-0.5	-	-	V	Ioh = 6 mA
SID62A	Output voltage low level	VOL	-	-	0.4	V	Iol = 6 mA
SID63	Pull-up resistor	RPULLUP	3.5	5.6	8.5	kΩ	-
SID64	Pull-down resistor	RPULLDOWN	3.5	5.6	8.5	kΩ	-
SID65	Input leakage current(absolute value)	IIL	-	-	2	nA	25° C, VDDD = 3.0 V
SID66	Input capacitance	CIN	-	-	5	pF	-
SID67	Input hysteresis LVTTL VDDD > 2.7V	VHYSTTL	100	-	-	mV	-
SID68	Input hysteresis CMOS	VHYSCMOS	0.05*VDD DD	-	-	mV	-
SID69	Current through protection diode to VDDD/VSSS	IDIODE	-	-	100	μA	-
SID69A	Maximum total source or Sink chip current	ITOT_GPIO	-	-	200	mA	-

(表格续下页.....)

7 电气规格

表 12 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
GPIO AC specifications							
SID70	Rise time in Fast Strong mode. 10% to 90% of VDDD	TRISEF	-	-	5.5	ns	Load = 15 pF, 8 mA drive strength, VDDIO <= 2.7 V
SID70A	Rise time in Fast Strong mode. 10% to 90% of VDDD	TRISEF_1	-	-	3.5	ns	Load = 15 pF, 8 mA drive strength 2.7 V < VDDIO <= 3.6 V
SID71	Fall time in Fast Strong mode. 10% to 90% of VDDD	TFALLF	-	-	5.5	ns	Load = 15 pF, 8 mA drive strength, VDDIO <= 2.7 V
SID71A	Fall time in Fast Strong mode. 10% to 90% of VDDD	TFALLF_1	-	-	3.5	ns	Load = 15 pF, 8 mA drive strength 2.7 V < VDDIO <= 3.6 V
SID72	Rise time in Slow Strong mode. 10% to 90% of VDDD	TRISES_1	-	-	14.4	ns	Load = 15 pF, 8 mA drive strength, VDDIO <= 2.7 V
SID72A	Rise time in Slow Strong mode. 10% to 90% of VDDD	TRISES_2	-	-	7.2	ns	Load = 15 pF, 8 mA drive strength, 2.7V < VDDIO <= 3.6
SID73	Fall time in Slow Strong mode. 10% to 90% of VDDD	TFALLS_1	-	-	14.4	ns	Load = 15 pF, 8 mA drive strength, VDDIO <= 2.7 V
SID73A	Fall time in Slow Strong mode. 10% to 90% of VDDD	TFALLS_2	-	-	7.2	ns	Load = 15 pF, 8 mA drive strength, 2.7 V < VDDIO <= 3.6 V
SID73G	Fall time (30% to 70% of VDDD) in Slow Strong mode	TFALL_I2C	20*VDDIO/5.5	-	250	ns	Load = 10 pF to 400 pF, 8 mA drive strength
SID74	GPIO Fout. Fast Strong mode.	FGPIOUT1	-	-	80	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID75	GPIO Fout; Slow Strong mode.	FGPIOUT2	-	-	16.7	MHz	90/10%, 15 pF load, 60/40 duty cycle
SID76	GPIO Fout; Fast Strong mode.	FGPIOUT3	-	-	7	MHz	90/10%, 25 pF load, 60/40 duty cycle

(表格续下页.....)

7 电气规格

表 12 (续) GPIO

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID245	GPIO Fout, Slow Strong mode.	FGPIOUT4	-	-	3.5	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246	GPIO input operating frequency	FGPIOIN	-	-	100	MHz	90/10% Vio
PPCA							
SIDPPCA 1	Execute both CM33 Active 200 MHz Dhrystone, PPCA active. OD mode	IDD8	-	25	-	mA	VCCD=1.2 V and VDDD=3.3 V
SIDPPCA 2	All analog macro active inside PPCA	IDD8A	-	35	-	mA	VDDA=3.3 V

7.6 模拟子系统

表 13 模拟子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Analog peripherals							
SIDAS	Leakage on AI0 and AI1 Pad	AIN_LEAK1	-	0.2	1	μA	Maximum leakage at 125°C. Guaranteed by design.
SIDAS2B	Leakage on AINxN and AINxP Pad (x =0-11)	AIN_LEAK2	-	0.2	1	μA	Maximum leakage at 125°C. Guaranteed by design.
SIDAS2	Input capacitance of DCSG	AIN_CAP_CSG	-	-	2.5	pF	Guaranteed by design.
SIDAS2A	Input capacitance of ADC	AIN_CAP_AD C	-	-	1.5	pF	Guaranteed by design.
SIDAS3	Total resistance on channel reaching DCSG	AIN_RES_CS G S	-	-	1800	Ω	Guaranteed by design.
SIDAS4	Total resistance of directly connected analog channel AI0/ AI1	AIN_RES_AD C 1	-	-	3000	Ω	Guaranteed by design.
SIDAS4A	Total resistance of directly connected analog channel AI2- AI15	AIN_RES_AD C 2	-	-	6000	Ω	Guaranteed by design.
SIDAS4B	Total resistance of directly connected analog channel AINxPIN	AIN_RES_AD C 3	-	-	3000	Ω	Guaranteed by design.
SIDADC	External reference	VAREF_EXT	-	1.2	-	V	Precision of +/-1%

(表格续下页.....)

7 电气规格

表 13 (续) 模拟子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDAS4C	Total resistance of analog channel AIN3PIN and AIN11PIN through AMUX	AIN_RES_AD C 4	-	-	3000	Ω	Guaranteed by design.
SIDAS9	Input voltage range at the pin	A_VINS	-0.25	-	VDDA+0.25	V	Max input allowed on the pin dependent on VDDA.

7.7 LPComp

表 14 LPComp

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

LPComparator DC specifications

SID84	Input offset voltage for COMP1. Normal power mode.	VOFFSET1	-10	-	10	mV	-
SID85A	Input offset voltage. Low-power mode.	VOFFSET2	-25	+/-12	25	mV	-
SID85B	Input offset voltage. Ultra low-power mode.	VOFFSET3	-25	+/-12	25	mV	-
SID86	Hysteresis when enabled in Normal mode	VHYST1	-	-	60	mV	-
SID86A	Hysteresis when enabled in Low-power mode	VHYST2	-	-	80	mV	-
SID87	Input common mode voltage in Normal mode	VICM1	0.1	-	VDDIO1-0.1	V	-
SID247	Input common mode voltage in Low power mode	VICM2	0.1	-	VDDIO1-0.1	V	-
SID247A	Input common mode voltage in Ultra low power mode	VICM3	0.1	-	VDDIO1-0.1	V	-
SID88	Common mode rejection ratio in Normal power mode	CMRR	42	-	-	dB	-
SID89	Block Current, Normal mode	ICMP1	-	-	150	μA	-
SID248	Block Current, Low power mode	ICMP2	-	-	10	μA	-
SID249	Block Current in Ultra low-power mode	ICMP3	-	0.3	0.85	μA	-
SID90	DC Input impedance of comparator	ZCMP	35	-	-	MΩ	-

LPComparator AC specifications

SID91	Response time, Normal mode, 100 mV overdrive	TRESP1	-	-	100	ns	-
-------	--	--------	---	---	-----	----	---

(表格续下页.....)

7 电气规格

表 14 (续) LPComp

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID258	Response time, Low power mode, 100 mV overdrive	TRESP2	-	-	1000	ns	-
SID92	Response time, Ultra-low power mode, 100 mV overdrive	TRESP3	-	-	20	μs	-
SID92E	Time from Enabling to operation	T_CMP_EN1	-	-	10	μs	Normal and Low-power modes. Guaranteed by design.
SID92F	Time from Enabling to operation	T_CMP_EN2	-	-	50	μs	Ultra low-power mode. Guaranteed by design.

7.8 ATOP 子系统

表 15 ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
DCSG DC specifications							
SIDDCSG	Reference voltage for DAC	DAC_REF	-	1.2	-	V	Internal 1.2 V reference or VAREF_EXT
SIDDCSG. 0	Input referred residual offset for A vs B mode	VOFFSET	−6	-	6	mV	Hysteresis of +/-16 LSB and denounce of 3 clocks cycles.
SIDDCSG. 1	Input common mode voltage for differential input	VCMR	−0.2	-	0.2	V	-
SIDDCSG. 1A	Input common mode voltage for single ended input	VCMRA	0	-	3.3	V	-
SIDDCSG. 2	Operating current on VDDA at 200 MHz	IVDDA	-	-	600	μA	Includes comparator, DAC on VDDA and all internal blocks. Only one instance of DCSG.
SIDDCSG. 2A	Operating current on VCCD at 200 MHz	IVCCD	-	-	100	μA	Only for one instance of DCSG, Guaranteed by design.

(表格续下页.....)

7 电气规格

表 15 (续) ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDDCSG.3	DCSG response time	TRES	-	-	2	Clock Cycle	No update on DAC threshold setting. Result is out within clock cycle. Guaranteed by design.
SIDDCSG.4	Integral non-linearity	INL	-2	-	2	LSB	LSB referred to 12-bit with full scale LSB at 1.2 V.
SIDDCSG.5	Differential non-linearity	DNL	-1	-	1	LSB	LSB referred to 12-bit with full scale LSB at 1.2 V.
SIDDCSG.6	Start Up time after stable supply	STARTTIME	-	-	50	μs	-
SIDDCSG.7	DAC resolution	resolution	-	12	-	bits	-
SIDDCSG.8	DAC monotonicity	MONOTONIC	-	10	-	bits	-
SIDDCSG.9	Residual gain after calibration	GAINERRDCSG	-1	-	1	%	Reference supply with precision of +/-0.5%
SIDDCSG.11	Input voltage range for differential input	DCSG_VINS_DIF	-0.2	-	0.2	V	For VDDA ≥ 3.3 V output saturates at input = 3.3 V and for VDDA < 3.3 V, output does not reach full code range up to 4096.

DCSG AC specifications

SIDCSG.10	DAC settling accuracy for 511 LSB change	DACSET	-8	-	8	LSB	Referred to 12-bit with settling time of 20 ns. Guaranteed by design.
SIDCSG.10A	DAC settling accuracy for 4095 LSB change	DACSETA	-8	-	8	LSB	Referred to 12-bit with settling time of 20 ns. Guaranteed by design.
SIDCSG.10B	DAC settling accuracy for 4095 LSB change	DACSETB	-4	-	4	LSB	Referred to 12-bit with settling time of 50 ns. Guaranteed by design.

(表格续下页.....)

7 电气规格

表 15 (续) ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDCSG.12	DAC blanking time if the DAC word is not changed for 50 μ s	DAC_BLANKING	-	-	50	ns	DAC refresh to the programmed word is needed if DCSG DAC word does not change in 50 μ s. Guaranteed by design.

12-bit ADC DC specifications

SIDADC.0	ADC resolution	RES	-	-	12	bits	-
SIDADC.3	Gain error at gain =1 after calibration using internal reference	GAINERR1	-1	-	1	%	-
SIDADC.4A	Offset error after calibration	OFFSETERR	-4	-	4	LSB	Input referred offset referred to full scale LSB at 3.3 V.
SIDADC.6	Integral non-linearity	A_INL	-3	-	3	LSB	Using VAREF
SIDADC.7	Differential non-linearity	A_DNL	-1	-	2	LSB	Using VAREF on non-trimmed parts
SIDADC.8	Current consumption	A_ISAR_1	-	-	10	mA	Max current consumption for ADC with AFE in max BW mode.
SIDADC.9A	Input voltage range for differential input	A_VINS_DIF	-3.3	-	3.3	V	For VDDA $\geq$ 3.3 V output saturates at input = 3.3 Vt.
SIDADC.9B	Input voltage range for single ended input	A_VINS_SE	0	-	3.3	V	For VDDA $\geq$ 3.3 V output saturates at input = 3.3 V.

12-bit ADC AC specifications

SIDADC.13	Inter-channel crosstalk for ADC (differential ended)	CROSSTALK_1	-2	-	2	LSB	LSB referred to full-scale input at 3.3 V for fADC = 100 MHz for differential ended
SIDADC.13A	Inter-channel crosstalk for ADC (single ended)	CROSSTALK_2	-4	-	4	LSB	LSB referred to full-scale input at 3.3V for fADC = 100 MHz for single ended

(表格续下页.....)

7 电气规格

表 15 (续) ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDADC.14	Sample rate	A_SAMP_1	-	-	25	Msp/s	Includes min 1 clock cycle sampling + 3 cycle conversion at 100 MHz
SIDADC.16	Effective number of bits	A_ENOB	10	-	-	bit	Calculated out of SNR.
SIDADC.17	Start up time after stable supply	T_STARTUP	-	-	100	us	at ADC clock = 100 MHz
SIDADC.19	Minimum sampling time for analog input through analog pad direct connection to S/H	T_SAMPLE	1	-	-	cycles	Referred to fADC, max fADC = 100 MHz
SIDADC.19 B	Minimum sampling time for analog input through analog pad connected to S/H via AROUTE (AMUX)	T_SAMPLE_AROUTE	4	-	-	cycles	Referred to fADC, max fADC = 100 MHz
SIDADC.19 C	Minimum sampling time for analog input through GPIO or ADFT connected to S/H via AROUTE (AMUX)	T_SAMPLE_GPIO	10	-	-	cycles	Referred to fADC, max fADC = 100 MHz

AFE specification

SIDAFE.1	Input Signal frequency for Gain = 33 and 66 setting	AIN_FREQ_LBW	-	-	100	kHz	Current consumption of AFE = 1 mA
SIDAFE.1A	Input Signal frequency for Gain = 8.25 and 16.5 setting, high power	AIN_FREQ_HBWA	-	-	10000	kHz	Current consumption of AFE = 9 mA
SIDAFE.1B	Input Signal frequency for Gain = 8.25 and 16.5 setting, medium power	AIN_FREQ_HBWB	-	-	5000	kHz	Current consumption of AFE = 3 mA
SIDAFE.1C	Input Signal frequency for Gain = 8.25 and 16.5 setting, low power	AIN_FREQ_HBWC	-	-	2500	kHz	Current consumption of AFE = 1.5 mA
SIDAFE.2	Sample rate for low bandwidth for gain = 33 and 66	AFE_SAMP_LBW	-	-	3.125	MSPS	Current consumption of AFE = 1 mA
SIDAFE.2A	Sample rate for high bandwidth (10 MHz) for gain = 8.25 and 16.5	AFE_SAMP_HBWA	-	-	25	MSPS	Current consumption of AFE = 9 mA
SIDAFE.2B	Sample rate for high bandwidth (5 MHz) for gain = 8.25 and 16.5	AFE_SAMP_HBWB	-	-	12.5	MSPS	Current consumption of AFE = 3 mA
SIDAFE.2C	Sample rate for high bandwidth (2.5 MHz) for gain = 8.25 and 16.5	AFE_SAMP_HBWC	-	-	6.25	MSPS	Current consumption of AFE = 1.5 mA

(表格续下页.....)

7 电气规格

表 15 (续) ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDAFE.3	Differential input voltage for Gain = 66	AFE_VINS_DIF64	-50	-	50	mV	-
SIDAFE.4	Differential input voltage for Gain = 33	AFE_VINS_DIF32	-100	-	100	mV	-
SIDAFE.5	Gain error	AFE_GAINERR	-	-	6	%	Untrimmed for AIN_FREQ ≤ Max Frequency and full scale output voltage
SIDAFE.6	Gain error for DC input	AFE_GAINERR_DC	-	-	2	%	For DC input
SIDAFE.7	Spurious Free Dynamic Range (all gain settings), only AFE	AFE_SFDR	-	-	-40	dB	-

R2R DAC specification

SIDR2R.1	DAC resolution	Resolution	-	12	-	bits	Resolution
SIDR2R.2	Gain error	GAINERR	-1	-	1	%	Post Calibration
SIDR2R.3	DNL of R2R DAC	R_DNL	-1	-	1	LSB	LSB referred to 10-bit
SIDR2R.4	INL of R2R DAC	R_INL	-2	-	2	LSB	LSB referred to 10-bit
SIDR2R.5	Full scale range of R2R DAC in Config 2	R_FULLSCALE	VSSA	-	VDDA	V	Can not be used with the Buffer and only on AI0
SIDR2R.5A	Full scale range of R2R DAC in Config 3	R_FULLSCALE A	VSSA	-	1.2	V	Can not be used with the Buffer and only on AI0
SIDR2R.5B	Full scale range of R2R DAC	R_FULLSCALE B	-VDDA	-	VDDA	V	Can not be used with the Buffer and only on AI0/AI1
SIDR2R.5D	Full scale range of R2R DAC in Config 1	R_FULLSCALE D	VSSA	-	0.5*VDDA	V	Can not be used with the Buffer and only on AI0/AI1
SIDR2R.6	DAC settling time for transition between minimum code to maximum or vice-versa via the output buffer	RDAC_SET	-	-	500	ns	Guaranteed by design.

(表格续下页.....)

7 电气规格

表 15 (续) ATOP 子系统

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDR2R.6A	DAC settling time for transition between minimum code to maximum or vice-versa via AI0 and AI1	RDAC_SETA	-	-	15	μs	With bench capacitance loading of less than 30 pF. Internal capacitance loading of 10 pF.
SIDR2R.6B	DAC settling time for transition between minimum code to maximum or vice-versa via AI0 and AI1	RDAC_SETB	-	-	13	μs	With bench capacitance loading of less than 15 pF. Internal capacitance loading of 10 pF.
SIDR2R.6C	DAC settling time for transition between minimum code to maximum or vice-versa via AI0 and AI1	RDAC_SETC	-	-	10	μs	With bench capacitance loading of less than 5 pF. Internal capacitance loading of 10 pF.
SIDR2R.7	Current consumption	R_IDAC	-	-	300	μA	Maximum current at 125°C temperature.

R2R DAC buffer specification

SIDR2RB.1	Input range supported by Buffer	INPUT_RANGE	0.1	-	1.2	V	Input range is a function of selection on R2R DAC
SIDR2RB.2	Output range supported by Buffer	OUTPUT_RANGE	0.1	-	0.5*VDDA	V	-
SIDR2RB.3	Buffer settling from 0.1 V to VDDA/2	BUF_SET	-	-	500	ns	-
SIDR2RB.4	Offset error without calibration	OFFSET_NO_CAL	-10	-	10	mV	-
SIDR2RB.5	Offset error after calibration	OFFSET	-4	-	4	mV	-
SIDR2RB.6	Current consumption	IBUF	-	-	500	μA	-

IDAC specification

SIDAC.1	IDAC output current	IIDAC	9	10	11	μA	Guaranteed by design.
---------	---------------------	-------	---	----	----	----	-----------------------

Temperature sensor specifications

SID93	Temperature sensor accuracy	TSSENSACC	-5	-	5	°C	-40 to +125 C
-------	-----------------------------	-----------	----	---	---	----	---------------

Internal reference specifications

SID93R	Internal bandgap reference	VREFBG	1.194	1.2	1.206	V	Accuracy of +/-0.5%
--------	----------------------------	--------	-------	-----	-------	---	---------------------

7 电气规格

7.9 HRPWM 规格

表 16 HRPWM 规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
HRPWM specifications							
SIDHRPW M.1	HRPWM resolution	HR_RES	-	(1)/(Fc*64)	-	ps	Max Fc = 200 MHz, resulting in typical resolution = 78.1 ps. When HRPWM feature is enabled, prescalar is not allowed to be used in PERI as well as in TCPWM Counter
SIDHRPW M.2	HRPWM is monotonic	MONOTONIC	-	Yes	-	-	HRPWM Monotonicity is guaranteed by BIST/Built-in self Test)

7.10 TCPWM 规格

表 17 TCPWM 规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
TCPWM specifications							
SID.TCP W M.2B	Block current consumption at 100 MHz	ITCPWM4	-	-	6100	μA	All modes (Timer/Counter/PWM)
SID.TCP W M.2C	Block current consumption at 200 MHz	ITCPWM4	-	-	7000	μA	All modes (Timer/Counter/PWM)
SID.TCP W M.3	Operating frequency (Fc)	TCPWMFREQ	-	-	200	MHz	Fc max = 200 MHz
SID.TCP W M.4	Input trigger pulse width for all trigger events	TPWMENEXT	2/Fc	-	-	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected.

(表格续下页.....)

7 电气规格

表 17 (续) TCPWM 规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID.TCP W M.5	Output trigger pulse widths	TPWMEXT	1.5/Fc	-	-	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs
SID.TCP W M.5A	Resolution of Counter	TCRES	1/Fc	-	-	ns	Minimum time between successive counts at VDDD=3.3 V
SID.TCP W M.5B	PWM resolution	PWMRES	1/Fc	-	-	ns	Minimum pulse width of PWM Output at VDDD=3.3 V

7.11 SCB

表 18 SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Fixed I²C DC specifications

SID149	Block current consumption at 100 kHz	II2C1	-	-	30	μA	Guaranteed by design.
SID150	Block current consumption at 400 kHz	II2C2	-	-	80	μA	Guaranteed by design.
SID151	Block current consumption at 1 Mbps	II2C3	-	-	180	μA	Guaranteed by design.
SID152	I ² C enabled in Deep Sleep mode	II2C4	-	-	1,7	μA	At 60 C. Guaranteed by design.

SMBUS specifications

SID.SMBU S1	Detect low clock timeout	T_TIMEOUT1	25	-	35	ms	At 100 kHz
SID.SMBU S2	Detect low clock timeout	T_TIMEOUT2	25	-	35	ms	1
SID.SMBU S3	Detect low clock timeout	T_TIMEOUT3	25	-	35	ms	At 1 MHz

Fixed I²C AC specifications

SID153	Bit rate	FI2C1	-	-	1	Mbps	-
--------	----------	-------	---	---	---	------	---

(表格续下页.....)

7 电气规格

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Fixed UART DC Specifications							
SID160	Block current consumption at 100 Kbps	IUART1	-	-	30	μA	Guaranteed by design.
SID161	Block current consumption at 1000 Kbps	IUART2	-	-	180	μA	Guaranteed by design.
Fixed UART AC specifications							
SID162A	Bit rate	FUART1	-	-	3	Mbps	ULP mode
SID162B	Bit rate	FUART2	-	-	8	Mbps	LP mode
Fixed SPI DC specifications							
SID163	Block current consumption at 1 Mbps	ISPI1	-	-	220	μA	Guaranteed by design.
SID164	Block current consumption at 4 Mbps	ISPI2	-	-	340	μA	Guaranteed by design.
SID165	Block current consumption at 8 Mbps	ISPI3	-	-	360	μA	Guaranteed by design.
SID165A	Block current consumption at 25 Mbps	ISPI4	-	-	800	μA	Guaranteed by design.
Fixed SPI AC specifications for LP mode (1.1 V), OD, MF and ULP modes unless noted otherwise							
SID166	SPI operating frequency master and externally clocked slave in LP and OD mode	FSPI_EXT	-	-	25	MHz	For LP, OD mode
SID166U	SPI operating frequency master and externally clocked slave in ULP mode	FSPI_EXT_UL	-	-	6,25	MHz	For ULP mode
SID166A	SPI operating frequency master and externally clocked slave in high speed mode in LP and OD mode	FSPI_EXT_HS	37,5	-	50	MHz	Min. Is for LP mode, Max. Is for OD mode.
SID166AU	SPI operating frequency master and externally clocked slave in high speed mode in ULP mode	FSPI_EXT_HS_UL	12,5	-	17,5	MHz	Min. Is for ULP mode , Max. Is for MF mode
SID166B	SPI operating frequency master in LP and OD mode	FSPI	-	-	FSCB/4	MHz	LP,and OD mode, FSCB = 100 MHz
SID166BU	SPI operating frequency master in MF and ULP mode	FSPI_UL	-	-	FSCB/4	MHz	MF and ULP mode, FSCB = 25 MHz
SID166BHS	SPI operating frequency master in high speed mode in LP and OD	FSPI_HS	-	-	FSCB/4	MHz	LP/OD mode, FSCB = 150/200 MHz

(表格续下页.....)

7 电气规格

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID166BH S_UL	SPI operating frequency master in high speed mode in MF and ULP	FSPI_HS_UL	-	-	FSCB/4	MHz	ULP mode, FSCB = 50 MHz, MF mode FSCB=70 MHz
SID166C	SPI slave internally clocked in MF and ULP	FSPI_IC	-	-	4	MHz	ULP/MF modes with FSCB = 25 MHz
SID166C_ OD	SPI slave internally clocked in LP and OD	FSPI_IC_OD	-	-	12,5	MHz	LP/OD modes with FSCB = 100 MHz
SID166C_ HS	SPI slave internally clocked in in High-Speed mode in MF and ULP	FSPI_IC_HS	7	-	9	MHz	Min at ULP mode FSCB = 50 MHz and Max. at MF mode FSCB=70 MHz
SID166C_ HS_OD	SPI slave internally clocked in in High-Speed mode in LP and OD	FSPI_IC_HS_OD	17	-	25	MHz	Min. at LP mode, FSCB = 150 MHz and Max. at OD mode, FSCB = 200 MHz

Fixed SPI master mode AC specifications for LP (1.1 V), OD, MF and ULP modes unless noted otherwise

SID167_A	SCB clock period	TSCB	-	-	1/FSCB	ns	FSCB depends on choice of standard or HS mode as well different power modes
SID167_B	SPI clock period	TSPI	-	-	1/FSPI	ns	FSPI depends on choice of standard or HS SPI mode as well different power modes
SID167	MOSI valid after Sclock driving edge	TDMO	-	-	10	ns	LP, OD mode
SID167UL	MOSI valid after Sclock driving edge	TDMO_UL	-	-	40	ns	ULP and MF mode
SID167HS	MOSI valid after Sclock driving edge	TDMO_HS	5	-	7	ns	Max. is OD mode and Min. is LP mode
SID167HS_UL	MOSI valid after Sclock driving edge	TDMO_HS_UL	14	-	20	ns	Max. is ULP mode and Min. is MF mode
SID168	MISO valid before Sclock capturing edge	TDSI	20	-	-	ns	LP, OD Full clock, late MISO sampling

(表格续下页.....)

7 电气规格

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID168_ULP	MISO valid before Sclock capturing edge	TDSI_ULP	105	-	-	ns	ULP and MF mode, Full clock, late MISO sampling
SID168HS	MISO valid before Sclock capturing edge for LP mode	TDSI_HS	15	-	-	ns	-
SID168HS_OD	MISO valid before Sclock capturing edge for OD mode	TDSI_HS_OD	10	-	-	ns	OD mode, for 50 MHz operation at VDDIO(max)
SID168HS_ULP	MISO valid before Sclock capturing edge	TDSI_HS_UL	22	-	-	ns	ULP mode, for 50 MHz operation
SID169	MOSI data hold time	THMO	0	-	-	ns	Referred to Slave capturing edge in LP and OD mode
SID169_UL	MOSI data hold time	THMO_UL	0	-	-	ns	Referred to Slave capturing edge in ULP and MF mode
SID169HS	MOSI data hold time in HS mode	THMO_HS	0	-	-	ns	Referred to Slave capturing edge for HS SPI in LP and OD mode
SID169HS_UL	MOSI data hold time	THMO_HS_UL	0	-	-	ns	Referred to Slave capturing edge for HS SPI in ULP and MF mode
SID169A	SSEL Valid to first SCK Valid edge	TSSELMCK1	$1/4 \cdot T_{SCB}$	-	-	ns	Referred to Master clock edge for all modes and SPI and HS SPI
SID169B	SSEL Hold after last SCK Valid edge	TSSELMCK2	$1/4 \cdot T_{SPI}$	-	-	ns	Referred to Master clock edge for all modes and SPI and HS SPI

Fixed SPI slave mode AC specifications for LP mode (1.1 V), OD, MF and ULP modes unless noted otherwise

SID170	MOSI valid before Sclock capturing edge	TDMI	5	-	-	ns	LP, OD mode
SID170_UL	MOSI valid before Sclock capturing edge	TDMI_UL	24	-	-	ns	MF and ULP mode
SID170_HS	MOSI valid before Sclock capturing edge	TDMI_HS	2,5	-	-	ns	LP, OD mode, for 50 MHz operation
SID170_HS_UL	MOSI valid before Sclock capturing edge	TDMI_HS_UL	5	-	-	ns	ULP, MF mode, for 50 MHz operation

(表格续下页.....)

7 电气规格

表 18 (续) SCB

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID171A	MISO valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT	-	-	20	ns	LP, OD mode
SID171A_UL	MISO valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT_UL	-	-	35	ns	MF and ULP mode
SID171A_HS	MISO valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT_HS	-	-	16	ns	LP for 50 MHz operation
SID171A_HS_OD	MISO valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT_HS_OD	-	-	10	ns	OD mode, for 50 MHz operation with 10 pf load at VDDIO(max)
SID171A_HS_UL	MISO valid after Sclock driving edge in Ext. Clk. mode	TDSO_EXT_HS_UL	-	-	25	ns	ULP, MF mode, for 50 MHz operation
SID171	MISO valid after Sclock driving edge in Internally Clk. mode	TDSO	-	-	$TDSO_EXT + 2 \cdot Tscb$	ns	Tscb is serial communication block clock period.
SID171B	MISO valid after Sclock driving edge in Internally Clk. mode with Median filter enabled.	TDSO_M	-	-	$TDSO_EXT + 3 \cdot Tscb$	ns	Tscb is serial communication block clock period.
SID172	MOSI and MISO data hold time	THSO	5	-	-	ns	ULP, MF, LP and OD mode. Both for standard and HS SPI
SID172A	SSEL valid to first SCK Valid edge	TSSELCK1	$4 \cdot Tscb$	-	-	ns	SPI Slave internally clocked mode
SID172B	SSEL hold after Last SCK Valid edge	TSSELCK2	$4 \cdot Tscb$	-	-	ns	SPI Slave internally clocked mode
SID172C	MISO valid after SSEL falling edge	TVSS_EXT	-	-	20	ns	For LP and OD mode
SID172C_ULP	MISO valid after SSEL falling edge	TVSS_EXT_ULP	-	-	35	ns	For ULP and MF mode
SID172C_HS	MISO valid after SSEL falling edge	TVSS_EXT_HS	-	-	18	ns	High-Speed SPI, LP mode
SID172C_HS_OD	MISO valid after SSEL falling edge	TVSS_EXT_HS_OD	-	-	12	ns	High-Speed SPI, OD mode
SID172C_HS_UL	MISO valid after SSEL falling edge	TVSS_EXT_HS_UL	-	25	27	ns	High-Speed SPI, typical value for MF mode and max value at ULP mode.

7 电气规格

7.12 存储器

表 19 存储器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
Flash DC specifications							
SID173	Erase and program voltage	VPE	1.71	-	3.63	V	Erase and program not supported at ULP levels (0.9 V)
SID173A	Erase and program current	IPE	-	-	6	mA	-
Flash AC specifications							
SID174	Row (Block) write time (Erase and program)	TROWWRITE	-	-	16	ms	Row (Block) = 512 bytes
SID175	Row erase time	TROWERASE	-	-	11	ms	-
SID176	Row program time after erase	TROWPROGR AM	-	-	5	ms	-
SID180	Total device program time	TDEVPROG	-	-	5.2	seconds	-
SID181	Flash endurance	FEND	100K	-	-	cycles	-
SID182	Flash retention. Ta<= 25 C, 100K P/E cycles	FRET1	10	-	-	years	-
SID182A	Flash retention. Ta<= 85 C, 10K P/E cycles	FRET2	10	-	-	years	-
SID182B	Flash retention. Ta<= 55 C, 20K P/E cycles	FRET3	20	-	-	years	-
SID256	Number of wait states at 180 MHz	TWS180	-	-	9	-	OD mode (1.2 V)
SID256A	Number of wait states at 150 MHz	TWS150	-	-	8	-	LP mode (1.1 V)
SID256B	Number of wait states at 70 MHz	TWS70	-	-	5	-	MF mode (1.0 V)
SID256C	Number of wait states at 50 MHz	TWS50	-	-	4	-	ULP mode (0.9 V)

7.13 POR

表 20 POR

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
System resources							
Power-on-reset with brownout DC specifications							
SID190	BOD trip voltage in Active and Sleep modes. VDDD.	VFALLPPOR	1.54	-	-	V	BOD reset guaranteed for levels below 1.54V

(表格续下页……)

7 电气规格

表 20 (续) POR

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID192	BOD trip voltage in Deep Sleep. VDDD	VFALLDPSLP	1.54	-	-	V	-
SID192A	Maximum power supply ramp rate (any supply)	VDDRAMP	-	-	100	mV/μs	Active mode

POR with brownout AC specification

SID194A	Maximum power supply ramp rate (any supply) in Deep Sleep	VDDRAMP_DS	-	-	10	mV/μs	BOD operation guaranteed
---------	---	------------	---	---	----	-------	--------------------------

7.14 电压监视器

表 21 电压监视器

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		

Voltage Monitors DC specifications

SID196	BOD voltage threshold	VHVDI2	1.57	1.63	1.75	V	-
SID197	BOD voltage threshold	VHVDI3	1.76	1.83	1.89	V	-
SID198	BOD voltage threshold	VHVDI4	1.95	2.03	2.10	V	-
SID199	BOD voltage threshold	VHVDI5	2.05	2.13	2.20	V	-
SID200	BOD voltage threshold	VHVDI6	2.15	2.23	2.30	V	-
SID201	BOD voltage threshold	VHVDI7	2.24	2.33	2.41	V	-
SID202	BOD voltage threshold	VHVDI8	2.34	2.43	2.51	V	-
SID203	BOD voltage threshold	VHVDI9	2.44	2.53	2.61	V	-
SID204	BOD voltage threshold	VHVDI10	2.53	2.63	2.72	V	-
SID205	BOD voltage threshold	VHVDI11	2.63	2.73	2.82	V	-
SID206	BOD voltage threshold	VHVDI12	2.73	2.83	2.92	V	-
SID207	BOD voltage threshold	VHVDI13	2.82	2.93	3.03	V	-
SID208	BOD voltage threshold	VHVDI14	2.92	3.03	3.13	V	-
SID209	BOD voltage threshold	VHVDI15	3.02	3.13	3.23	V	-
SID211	Block current	LVI_IDD	-	5	15	μA	-

7.15 SWD 和跟踪接口

表 22 SWD 和跟踪接口

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID214	Single wire debug clock in OD mode	F_SWDCCLK2	-	-	25	MHz	OD mode; VCCD = 1.2 V and 1.71 V ≤ VDDD ≤ 3.6 V

(表格续下页……)

7 电气规格

表 22 (续) SWD 与跟踪接口

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID214LP	Single wire debug clock in LP mode	F_SWCLK2A	-	-	20	MHz	LP mode; VCCD = 1.1 V and 1.71 V <= VDDD <= 3.6 V
SID214L	Single wire debug clock in MF/ULP mode	F_SWCLK2L	-	-	12	MHz	ULP and MF mode. VCCD = 0.9/1.0 V and 1.71 V <= VDDD <= 3.6 V
SID215	Single wire debug input setup time	T_SWDI_SETUP	0.25*T	-	-	ns	T = 1/f SWCLK
SID216	Single wire debug input hold time	T_SWDI_HOLD	0.25*T	-	-	ns	T = 1/f SWCLK
SID217	Single wire debug output valid time	T_SWDO_VALID	-	-	0.5*T	ns	T = 1/f SWCLK
SID217A	Single wire debug output hold time	T_SWDO_HOLD	1	-	-	ns	T = 1/f SWCLK
SID214T	With trace data setup/hold times of 2/1 ns respectively	F_TRCLK_LP1	-	-	90	MHz	OD mode. VCCD = 1.2 V with load capacitance =15 pF
SID215T	With trace data setup/hold times of 2/1 ns respectively	F_TRCLK_LP2	-	-	75	MHz	LP mode. VCCD = 1.1 V with load capacitance =15 pF
SID216T	With trace data setup/hold times of 3/2 ns respectively	F_TRCLK_LP2	-	-	50	MHz	MF mode. VCCD = 1.0 V with load capacitance =15 pF
SID217T	With trace data setup/hold times of 3/2 ns respectively	F_TRCLK_ULP	-	-	25	MHz	ULP mode. VCCD = 0.9 V with load capacitance =15 pF

7.16 内部振荡器、晶体振荡器和外部时钟规格

表 23 内部振荡器、晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
IMO DC specification							
SID218	IMO operating current at 8 MHz	IIMO1	-	9	15	μA	Guaranteed by design.

(表格续下页.....)

7 电气规格

表 23 (续) 内部振荡器、晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
IMO AC specifications							
SID223	Frequency variation centered on 8 MHz	FIMOTOL1	-	-	±2	%	-
SID227	Cycle-to-cycle and Period jitter	TJITR	-	250	-	ps	-
IHO DC specifications							
SID218A	IHO Operating current at 48 MHz	IHO1	-	80	100	μA	Guaranteed by design.
IHO AC specifications							
SID223A	Frequency variation centered on 48 MHz	FIHOTOL1	-	-	±1	%	-
SID227A	Cycle-to-cycle and Period jitter	TJITR	-	60	-	ps	-
ILO DC specifications							
SID231	ILO Operating current at 32 kHz	ILO2	-	0.3	0.7	μA	Guaranteed by design.
ILO AC specifications							
SID234	ILO Start-up time	TSTARTILO1	-	-	7	uS	Startup time to 95% of final frequency
SID236	ILO Duty cycle	TILODUTY	45	50	55	%	-
SID237	32 kHz trimmed frequency	FILOTRIM1	28.8	32	35.2	kHz	+/-10% variation
Frequency-locked loop (FLL) specifications							
SID450	Input frequency range.	FLL_RANGE	0.008	-	100	MHz	-
SID451	Output frequency range. VCCD = 1.1V	FLL_OUT_DIV 2	24.00	-	100.00	MHz	Output range of FLL divided-by-2 output
SID451A	Output frequency range. VCCD = 0.9V	FLL_OUT_DIV 2	24.00	-	50.00	MHz	Output range of FLL divided-by-2 output
SID452	Divided-by-2 output; High or Low	FLL_DUTY_DIV2	47.00	-	53.00	%	Guaranteed by design.
SID454	Time from stable input clock to 1% of final value on deep sleep wakeup	FLL_WAKEUP	-	-	7.50	uS	With IMO input, for < 10 C change in temperature while in Deep Sleep and Fout ≥ 50 MHz
SID455	Period jitter (1 sigma) at 100 MHz	FLL_JITTER	-	-	35	pS	50 ps at 48 MHz, 35 pS at 100 MHz. Guaranteed by design

(表格续下页.....)

7 Electrical specifications

Table 23 (continued) Internal oscillator, crystal oscillator, and external clock specifications

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID456	Overall current	FLL_CURRENT	-	-	3,6	uA/MHz	FLL_Out=100 MHz with VCCD=1.1

MHz ECO DC specifications

SID316	Block operating current with Load up to 18 pF.	Idd_MHz	-	800	1600	µA	Max at 33 MHz. Typ at 16 MHz.
--------	--	---------	---	-----	------	----	-------------------------------

MHz ECO AC specifications

SID317	Crystal frequency range	F_MHz	4	-	36	MHz	-
--------	-------------------------	-------	---	---	----	-----	---

External clock specifications

SID_EXT	External clock max input frequency	FEXT	-	-	80	MHz	In OD and LP mode, duty cycle between 45% and 55% and max rise/fall time of 20% period
SID_EXT1	External clock max input frequency in MF mode	FEXT_MF	-	-	50	MHz	In MF mode, duty cycle between 45% and 55% and max rise/fall time of 20% period
SID_EXT2	External clock max input frequency in ULP mode	FEXT_ULP	-	-	40	MHz	In ULP mode, duty cycle between 45% and 55% and max rise/fall time of 20% period

kHz WCO DC specifications

SID318	Block operating current with 32 kHz crystal	Idd_kHz	-	0.38	1	µA	-
SID321E	Equivalent Series Resistance	ESR32K	-	80	-	kΩ	-
SID322E	Drive Level	PD32K	-	-	1	µW	-

kHz WCO AC specifications

SID319	32 kHz trimmed frequency	F_kHz	-	32.768	-	kHz	-
SID320K	Startup time	Ton_kHz	-	-	1000	ms	-
SID320E	Frequency tolerance	FTOL32K	-	50	250	ppm	May be calibrated to sub-10 ppm levels

DPLL specifications

SIDPLL.0	Time to achieve PLL Lock at 4 MHz reference	PLL_LOCK_4M	-	-	20	µS	
SIDPLL.1	Time to achieve PLL Lock at 8 MHz reference	PLL_LOCK_8M	-	-	20	µS	

(table continues...)

7 电气规格

表 23 (续) 内部振荡器、晶体振荡器和外部时钟规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SIDPLL. 2	Output frequency from PLL Block	PLL_OUT	-	160	240	MHz	
SIDPLL. 3	PLL current	PLL_IDD	-	700	1000	uA	For PLL_OUT = 200 MHz. Guaranteed by design.
SIDPLL. 4	Period jitter	PLL_PJTR_1 0 0	-200	-	200	pS	for PLL_OUT = 100 MHz. Guaranteed by design.
SIDPLL.4 A	Period jitter	PLL_PJTR_2 0 0	-100	-	100	pS	for PLL_OUT = 200 MHz. Guaranteed by design.
SIDPLL. 7	Duty cycle	PLL_DC	45	-	55	%	for PLL_OUT = Fdco/N, N >1 and integer

7.17 JTAG 边界扫描规格

表 24 JTAG 边界扫描规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
JTAG: Parameters for 1.1 V (LP) and 1.2 V (OD) mode operations							
SID460	TCK low minimum	TCKLOW	33	-	-	ns	-
SID461	TCK high	TCKHIGH	11	-	-	ns	-
SID461A	Clock period , 30 pF Load	TCK_PERIOD	-	44	-	ns	-
SID462	TDO clock-to-out (max) from falling TCK	TCK_TDO	-	-	22	ns	-
SID463	TDI, TMS setup time before rising TCK.	TSU_TCK	12	-	-	ns	-
SID464	TDI, TMS hold time after rising TCK.	TCK_TDO	10	-	-	ns	-
SID465	TCK to TDO data valid (High-Z to Active).	TCK_TDOV	22	-	-	ns	-
SID466	TCK to TDO data valid (Active to High-Z).	TCK_TDOZ	22	-	-	ns	-
SID467	JTAG TDO hold Time	JTAG_TDO_H OLD	-	-	5	ns	-
SID467A	JTAG Input Transition Time	JTAG_INPUT _TRANSITION TIME	-	-	5	ns	-

(表格续下页.....)

7 电气规格

表 24 (续) JTAG 边界扫描规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
JTAG: Parameters for 0.9 V (ULP) mode operations and 1.0 V (MF) mode operations							
SID483	TCK low Minimum	TCKLOW	60	-	-	ns	-
SID484	TCK high	TCKHIGH	20	-	-	ns	-
SID485	Clock Period , 30 pF Load	TCK_PERIOD	-	80	-	ns	-
SID486	TDO clock-to-out (max) from falling TCK	TCK_TDO	40	-	50	ns	Max is in ULP mode and Min is in MF mode
SID487	TDI, TMS setup time before rising TCK.	TSU_TCK	20	-	-	ns	-
SID488	TDI, TMS hold time after rising TCK.	TCK_THD	20	-	-	ns	-
SID489	TCK to TDO data valid (High-Z to Active).	TCK_TDOV	40	-	50	ns	Max is in ULP mode and Min is in MF mode
SID490	TCK to TDO data valid (Active to High-Z).	TCK_TDOZ	40	-	50	ns	Max is in ULP mode and Min is in MF mode
SID491	JTAG TDO hold Time	JTAG_TDO_HOLD	-	-	5	ns	-
SID492	JTAG Input Transition Time	JTAG_INPUT _TRANSITION _TIME	-	-	5	ns	-
JTAG Boundary Scan Parameters for 1.1 V (LP) and 1.2 V (OD) mode operation:							
SID468	TCK low	TCKLOW	51	-	-	ns	-
SID469	TCK high	TCKHIGH	11	-	-	ns	-
SID469A	CLK_JTAG_PERIOD, 30 pF Load	TCKPERIOD	-	62	-	ns	-
SID470	TCK falling edge to output valid	TCK_TDO	-	-	40	ns	-
SID471	Input valid to TCK rising edge	TSU_TCK	12	-	-	ns	-
SID472	Input hold time to TCK rising edge	TCK_TDO	10	-	-	ns	-
SID473	TCK falling edge to output valid (High-Z to Active).	TCK_TDOV	40	-	-	ns	-
SID474	TCK falling edge to output valid (Active to High-Z).	TCK_TDOZ	40	-	-	ns	-
SID474A	JTAG_BSCAN_TDO_HOLD	TCK_TDOH	-	-	5	ns	-
JTAG boundary scan parameters for 0.9 V (ULP) and 1.0 V (MF) mode operation:							
SID475	TCK low	TCKLOW	102	-	-	ns	-
SID476	TCK high	TCKHIGH	20	-	-	ns	-
SID476A	CLK_JTAG_PERIOD, 30 pF Load	TCKPERIOD	-	122	-	ns	-

(表格续下页.....)

7 电气规格

表 24 (续) JTAG 边界扫描规格

Spec ID	Parameter	Symbol	Values			Unit	Note or test condition
			Min.	Typ.	Max.		
SID478	TCK falling edge to output valid	TCK_TDO	-	-	80	ns	-
SID479	Input valid to TCK rising edge	TSU_TCK	20	-	-	ns	-
SID480	Input hold time to TCK rising edge	TCK_TDO	20	-	-	ns	-
SID481	TCK falling edge to output valid (High-Z to Active).	TCK_TDOV	80	-	-	ns	-
SID482	TCK falling edge to output valid (Active to High-Z).	TCK_TDOZ	80	-	-	ns	-

8 订购信息

表 25 列出了 PSC3P8x 器件的型号和特性。所有器件均包含一个 Arm® Cortex® -M33（CPU 频率为 180 MHz），一个 PPCA（含两个运行频率为 200 MHz 的 Arm® Cortex® -M33处理器）、四个 12 位 25 Msps SAR ADC 模块（含四个 AFE）、2 通道 16 位 TCPWM、2 通道 32 位 TCPWM、2 通道 CAN FD 以及 CryptoLite 功能。

表 25 订购信息 PSC3P8x

Product	Flash	SRAM	GPIO/Analog Inputs	PPCA TCPWM (includes 12 Ch HRPWM)	PPCA SRAM	DCSG Channels	Security (PSA Level)	SCB (UART, SPI, I2C)	Silicon ID	Pin
PSC3P8GFS3PAHQ1	512 KB	128 KB	60/40	26 Ch	112 KB	9	L3	7	0xEE86	E-LQFP-100
PSC3P8GFS3PAFQ1	512 KB	128 KB	45/33	26 Ch	112 KB	9	L3	7	0xEE87	E-LQFP-80
PSC3P8GFS3PACQ1	512 KB	128 KB	33/29	26 Ch	112 KB	6 ¹⁾	L3	4 ²⁾	0xEE8A	E-LQFP-64
PSC3P8GFS3PLHQ1	512 KB	128 KB	34/29	26 Ch	112 KB	6 ¹⁾	L3	4 ²⁾	0xEE8B	VQFN-64
PSC3P8FES2PLHQ1	256 KB	64 KB	34/29	26 Ch	96 KB ³⁾	6 ¹⁾	L2	4 ²⁾	0xEE8C	VQFN-64
PSC3P8GFS3PLGQ1	512 KB	128 KB	25/19	26 Ch	112 KB	6 ¹⁾	L3	3 ⁴⁾	0xEE92	VQFN-48
PSC3P8FES2PLGQ1	256 KB	64 KB	25/19	26 Ch	96 KB ³⁾	6 ¹⁾	L2	3 ⁴⁾	0xEE93	VQFN-48

1) 这些器件不提供 DCSG 通道6、7和8。
2) 64引脚器件不提供 SCB1、SCB2和SCB4。
3) 这些器件中 PPCA CPU0 和 CPU1 数据 SRAM 为 8 KB。
4) 48引脚器件不提供SCB1、SCB2、SCB4和SCB5。

表 26 列出了 PSC3M8x 器件的型号和特性。所有器件均包含一个 Arm® Cortex® -M33（CPU 频率为 180 MHz）、一个 PPCA（含两个运行频率为 200 MHz 的 Arm® Cortex® -M33处理器）、CORDIC、MOTIF、四个 12 位 25 Msps SAR ADC 模块（含四个 AFE）、2 通道 16 位 TCPWM、2 通道 32 位 TCPWM、2 通道 CAN FD 以及 CryptoLite 功能。

8 订购信息

表 26 订购信息 PSC3M8x

Product	Flash	SRAM	GPIO/Analog Inputs	PPCA TCPWM (includes 12 Ch HRPWM)	PPCA SRAM	DCSG Channels	Security (PSA Level)	SCB (UART, SPI, I2C)	Silicon ID	Pin
PSC3M8GFS3PAHQ1	512 KB	128 KB	60/40	26 Ch	112 KB	9	L3	7	0xEE80	E-LQFP-100
PSC3M8GFS3PAFQ1	512 KB	128 KB	45/33	26 Ch	112 KB	9	L3	7	0xEE81	E-LQFP-80
PSC3M8GFS3PACQ1	512 KB	128 KB	33/29	26 Ch	112 KB	6 ¹⁾	L3	4 ²⁾	0xEE83	E-LQFP-64
PSC3M8GFS3PLHQ1	512 KB	128 KB	34/29	26 Ch	112 KB	6 ¹⁾	L3	4 ²⁾	0xEE85	VQFN-64
PSC3M8FES2PLHQ1	256 KB	64 KB	34/29	26 Ch	96 KB ³⁾	6 ¹⁾	L2	4 ²⁾	0xEE8D	VQFN-64
PSC3M8GFS3PLGQ1	512 KB	128 KB	25/19	26 Ch	112 KB	6 ¹⁾	L3	3 ⁴⁾	0xEE84	VQFN-48
PSC3M8FES2PLGQ1	256 KB	64 KB	25/19	26 Ch	96 KB ³⁾	6 ¹⁾	L2	3 ⁴⁾	0xEE94	VQFN-48

- 1) 这些器件不提供 DCSG 通道6、7和8。
 2) 64引脚器件不提供 SCB1、SCB2和SCB4。
 3) 这些器件中 PPCA CPU0 和 CPU1 数据 SRAM 为 8 KB。
 4) 48引脚器件不提供SCB1、SCB2、SCB4和SCB5。

表 27 列出了 PSC3P7x 器件的型号和特性。所有器件均包含一个 Arm® Cortex® -M33（CPU 频率为 180 MHz）、一个 PPCA（含一个运行频率为 200 MHz 的 Arm® Cortex® -M33处理器）、四个 12 位 25 Msps SAR ADC模块（含四个 AFE）、2通道16位TCPWM、2通道32位TCPWM、2通道CAN FD以及CryptoLite功能。

表 27 订购信息 PSC3P7x

Product	Flash	SRAM	GPIO/Analog Inputs	PPCA TCPWM	PPCA SRAM	DCSG Channels	Security (PSA Level)	SCB (UART, SPI, I2C)	Silicon ID	Pin
PSC3P7GES3PAFQ1	512 KB	128 KB	45/33	26 Ch ¹⁾	96 KB ²⁾	9	L3	7	0xEE88	E-LQFP-80
PSC3P7FES2PLHQ1	256 KB	64 KB	34/29	16 Ch ³⁾	48 KB ⁴⁾	6 ⁵⁾	L2	4 ⁶⁾	0xEE8E	VQFN-64
PSC3P7FES2PLGQ1	256 KB	64 KB	25/19	16 Ch ³⁾	48 KB ⁴⁾	3 ⁷⁾	L2	3 ⁸⁾	0xEE95	VQFN-48

- 1) 该器件包含 12 个 HRPWM 通道。
 2) 这些器件中 PPCA CPU0 和 CPU1 数据 SRAM 为 8 KB。
 3) 不提供 TCPWM 通道 12、13、14、15、16、17、18、19、24 和 25。包含八个 HRPWM。
 4) 这些器件提供 32 KB PPCA CPU0 代码和 16 KB 数据 SRAM。

8 订购信息

- 5) 这些器件不提供 DCSG 通道6、7和8。
- 6) 64引脚器件不提供 SCB1、SCB2和SCB4。
- 7) 这些器件不提供 DCSG 通道0、1、2、3、4、5和6。
- 8) 48引脚器件不提供SCB1、SCB2、SCB4和SCB5。

表 28 列出了 PSC3M7x 器件的型号和特性。所有器件均包含一个 Arm® Cortex® -M33（CPU 频率为 180 MHz）、一个 PPCA（包含一个运行频率为 200 MHz 的 Arm® Cortex® -M33 处理器）、CORDIC、MOTIF、四个 12 位25 Msps SAR ADC 模块（含四个 AFE）、2 通道 16 位 TCPWM、2 通道 32 位 TCPWM、2 通道 CAN FD 以及 CryptoLite 功能。

表 28 订购信息 PSC3M7x

Product	Flash	SRAM	GPIO/Analog Inputs	PPCA TCPWM	PPCA SRAM	DCSG Channels	Security (PSA Level)	SCB (UART, SPI, I2C)	Silicon ID	Pin
PSC3M7GES3PAFQ1	512 KB	128 KB	45/33	26 Ch ¹⁾	96 KB ²⁾	9	L3	7	0xEE89	E-LQFP-80
PSC3M7FES2PLHQ1	256 KB	64 KB	34/29	16 Ch ³⁾	48 KB ⁴⁾	6 ⁵⁾	L2	4 ⁶⁾	0xEE8F	VQFN-64
PSC3M7FES2PLGQ1	256 KB	64 KB	25/19	16 Ch ³⁾	48 KB ⁴⁾	3 ⁷⁾	L2	3 ⁸⁾	0xEE96	VQFN-48

- 1) 该器件包含 12 个 HRPWM 通道。
- 2) 这些器件中 PPCA CPU0 和 CPU1 数据 SRAM 为 8 KB。
- 3) 不提供 TCPWM 通道 12、13、14、15、16、17、18、19、24 和 25。包含八个 HRPWM。
- 4) 这些器件提供 32 KB PPCA CPU0 代码和 16 KB 数据 SRAM。
- 5) 这些器件不提供 DCSG 通道6、7和8。
- 6) 64引脚器件不提供 SCB1、SCB2和SCB4。
- 7) 这些器件不提供 DCSG 通道0、1、2、3、4、5和6。
- 8) 48引脚器件不提供SCB1、SCB2、SCB4和SCB5。

注： 产品名称根据存储器容量四舍五入至最接近的标准容量命名，具体标准容量见器件命名规则表

8.1 器件型号命名规则

器件命名释义：
PS C3 A B CC DD E FF G H I J K

Field	Description	Values	Meaning
PS	Brand	PS	Brand
C3	Family	C3	Family
A	Series	P	Power control
		M	Motor control
B	Sub-series	Entry Line	1-3
		Main Line	4-6
		Performance Line	7-9
CC	Memory (Flash/SRAM)	A	8 KB

8 订购信息

Field	Description	Values	Meaning
		B	16 KB
		C	32 KB
		D	64 KB
		E	128 KB
		F	256 KB
		G	512 KB
		H	768 KB
		J	1 MB
		K	2 MB
		L	3 MB
		M	4 MB
		N	6 MB
		O	7 MB
		P	8 MB
DD	Security	S2	PSA L2 (PSA certification Level 2)
		S3	PSA L3 (PSA certification Level 3)
E	Special attributes	D	Dual Core
		P	Programmable Power Control Subsystem
FF	Package	AB	EQFP-48 (0.5 mm)
		AC	EQFP-64 (0.5 mm)
		AF	EQFP-80 (0.5 mm)
		AH	QFP-100 (0.5 mm)
		AI	QFP-128 (0.5 mm)
		AE	QFP-144 (0.5 mm)
		LB	VQFN-24 (0.5 mm)
		LC	VQFN-32 (0.5 mm)
		LE	VQFN-40 (0.4 mm)
		LF	VQFN-48 (0.35 mm)
		LG	VQFN-48 (0.4 mm)
		LH	VQFN-64 (0.4 mm)
G	Temperature	C	Consumer (0°C to +70°C)
		I	Industrial (-40°C to +85°C)
		Q	Extended range (-40°C to +105°C)

8 订购信息

Field	Description	Values	Meaning
H	Maximum Core Frequency	1	100-199 MHz
		2	200-299 MHz
II	Sample (Optional)	ES	Engineering sample
J	Revision	-	Base
		A	Die revision
K	Packing (Optional)	T	Tape and Reel
		-	Tray

9 封装信息

9 封装信息

PSC3P8xx 和 PSC3M8xx 器件提供 VQFN-48、VQFN-64、E-LQFP-64、E-LQFP-80 和 E-LQFP-100 封装。有关引脚分布的详细信息，可参见[引脚](#)章节。

表 29 封装尺寸

Spec ID#	Package	Description	Package drawing number
PKG_1	E-LQFP-100	E-LQFP-100 14.0 mm x 14.0 mm x 1.6 mm height with 0.5 mm pitch, 6.5 x 6.5 mm EPAD	002-40570 Rev. *B
PKG_2	E-LQFP-80	E-LQFP-80, 12.0 mm x 12.0 mm x 1.6 mm height with 0.5 mm pitch, 4.6 x 4.6 mm EPAD	002-38596 Rev. *B
PKG_3	E-LQFP-64	E-LQFP-64, 10.0 mm x 10.0 mm x 1.6 mm height with 0.5 mm pitch, 4.0 x 4.0 mm EPAD	002-42581 Rev. **
PKG_4	VQFN-64	VQFN-64, 8.0 mm x 8.0 mm x 0.9 mm height with 0.4 mm pitch, 4.2 x 4.2 mm EPAD (SAWN type)	002-40328 Rev. *A
PKG_5	VQFN-48	VQFN-48, 6.0 mm x 6.0 mm x 0.9 mm height with 0.4 mm pitch, 4.5 x 4.5 mm EPAD (SAWN type)	002-42583 Rev. **

表 30 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Units
T _A	Operating ambient temperature	-	-40	25	115 ¹⁾	°C
T _J	Operating junction temperature, all packages	-	-40	-	125	°C
T _{JA}	Package θ_{JA} (E-LQFP-100)	-	-	17.7	-	°C/watt
T _{JB}	Package θ_{JB} (E-LQFP-100)	-	-	9.9	-	°C/watt
T _{JC}	Package θ_{JC} (E-LQFP-100)	-	-	5.6	-	°C/watt
T _{JA}	Package θ_{JA} (E-LQFP-80)	-	-	18.8	-	°C/watt
T _{JB}	Package θ_{JB} (E-LQFP-80)	-	-	7.0	-	°C/watt

(表格续下页.....)

9 封装信息

表 30 (续) 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Units
T _{JC}	Package θ_{JC} (E-LQFP-80)	-	-	5.6	-	°C/watt
T _{JA}	Package θ_{JA} (E-LQFP-64)	-	-	19.4	-	°C/watt
T _{JB}	Package θ_{JB} (E-LQFP-64)	-	-	5.9	-	°C/watt
T _{JC}	Package θ_{JC} (E-LQFP-64)	-	-	5.7	-	°C/watt
T _{JA}	Package θ_{JA} (VQFN-64)	-	-	19.4	-	°C/watt
T _{JB}	Package θ_{JB} (VQFN-64)	-	-	4.7	-	°C/watt
T _{JC}	Package θ_{JC} (VQFN-64)	-	-	1.5	-	°C/watt
T _{JA}	Package θ_{JA} (VQFN-48)	-	-	20.1	-	°C/watt
T _{JB}	Package θ_{JB} (VQFN-48)	-	-	3.5	-	°C/watt
T _{JC}	Package θ_{JC} (VQFN-48)	-	-	1.4	-	°C/watt

1) 只要结温 T_J 不超过器件最大结温 T_{Jmax}, T_A 可以扩展至此范围

注:

1. 芯片到环境之间的热阻 (θ_{JA}) 按照 JESD51-2A & JESD51-7 标准测得
2. 芯片到印刷电路板之间的热阻 (θ_{JB}) 按照 JESD51-8 & JESD51-7 标准测得
3. 芯片到封装底面之间的热阻 (θ_{JC}) 采用等温热提取法测定
4. 最终应用的 PCB 设计和工作条件可能与上述条件不同。用户应根据最终应用的 PCB 设计和工作条件, 在不超过最大结温 (T_J) 125°C 的前提下估算最大功耗。

温度计算

芯片的最高结温可通过下式计算: $T_{J\max} = T_{A\max} + (P_{D\max} \times T_{JA})$

其中:

- T_{Jmax} 是最高结温, 单位为 °C
- T_{Amax} 是最高环境温度, 单位为 °C
- P_{Dmax} 是芯片的最大功率耗散, 单位为 瓦特
- T_{JA} 是封装结至环境的热阻

9 封装信息

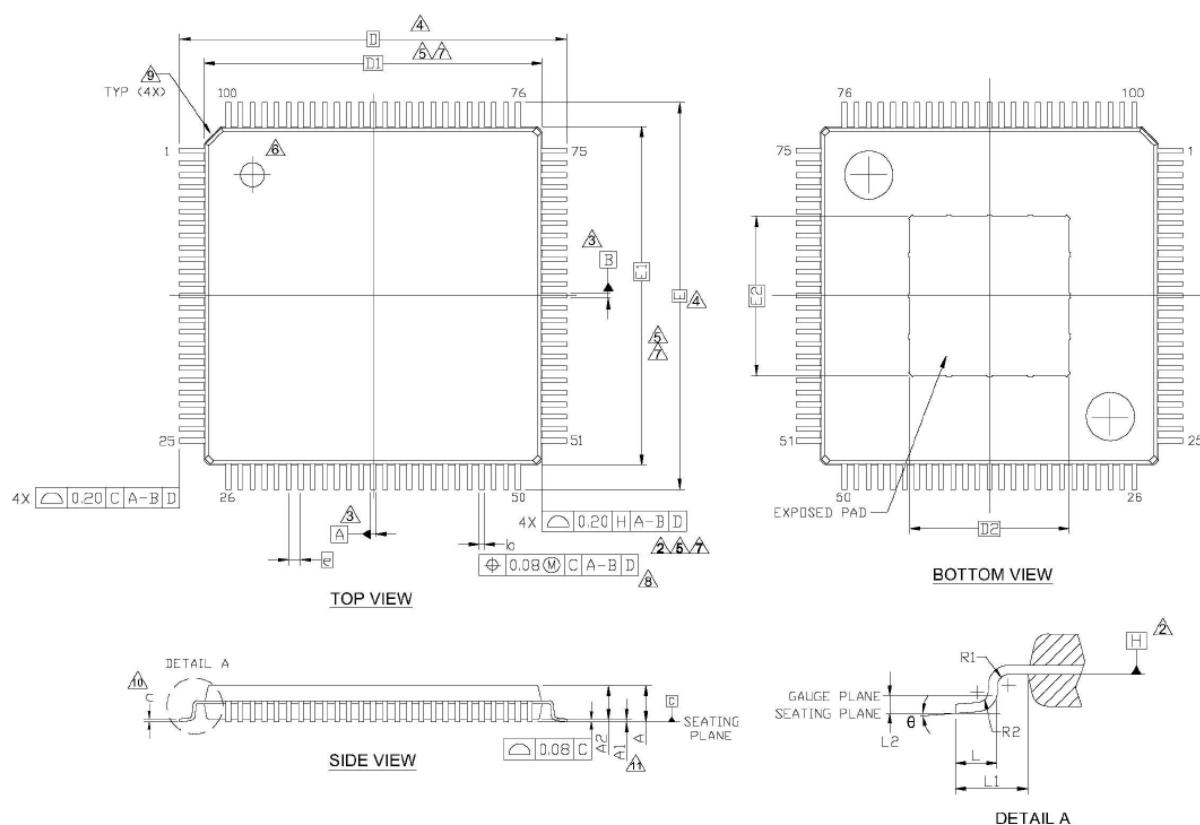
表 31 回流焊峰值温度

Package	Maximum peak temperature	Maximum time at peak temperature
All packages	260°C	30 seconds

表 32 封装湿度敏感度等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
All packages	MSL3

9 封装信息



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	16.00 BSC		
D1	14.00 BSC		
D2	6.35	—	6.65
E	16.00 BSC		
E1	14.00 BSC		
E2	6.35	—	6.65
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	—	8°
c	0.10	0.127	0.20
b	0.17	0.20	0.26
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 REF		
e	0.50 BSC		

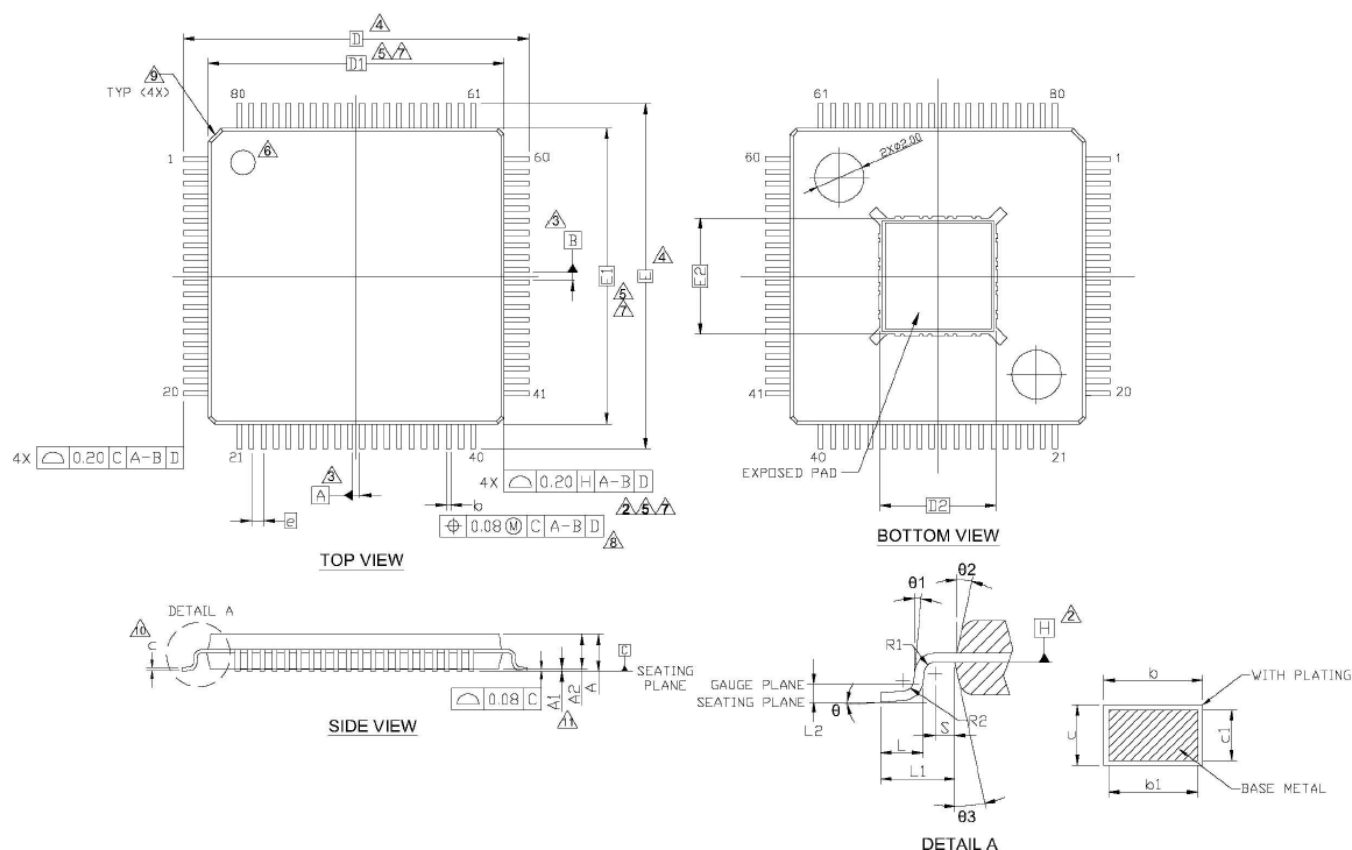
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
10. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
11. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-40570 Rev. *B

图 13 100 引脚 E-LQFP (14.0×14.0×1.6 mm) AE100A (6.5×6.5 mm) EPAD, 封装外形图

9 封装信息



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	14.00 BSC		
D1	12.00 BSC		
D2	4.30	—	4.85
E	14.00 BSC		
E1	12.00 BSC		
E2	4.30	—	4.85
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	3.5°	7°
θ1	0°	—	—
θ2	11°	12°	13°
θ3	11°	12°	13°
b	0.17	0.22	0.27
b1	0.17	0.20	0.23
c	0.09	—	0.20
c1	0.09	—	0.16

SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 REF		
e	0.50 BSC		
S	0.20	—	—

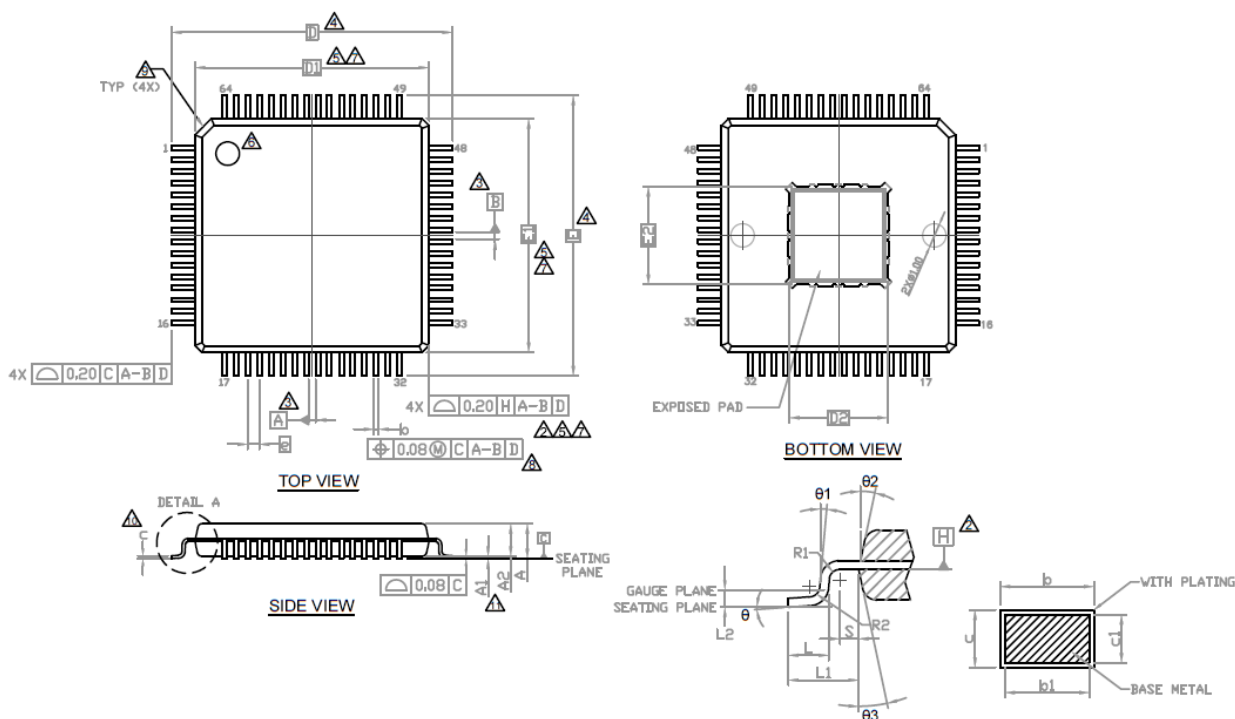
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-38596 Rev. *B

图 14 80 引脚 E-TQFP (12.0×12.0×1.6 mm) AE80A (4.6×4.6 mm) EPAD, 封装外形图

9 封装信息



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	12.00 BSC		
D1	10.00 BSC		
D2	3.79	—	4.34
E	12.00 BSC		
E1	10.00 BSC		
E2	3.79	—	4.34
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	3.5°	7°
θ1	0°	—	—
θ2	11°	12°	13°
θ3	11°	12°	13°
b	0.17	0.22	0.27
b1	0.17	0.20	0.23
c	0.09	—	0.20
c1	0.09	—	0.16

SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 REF		
e	0.50 BSC		
S	0.20	—	—

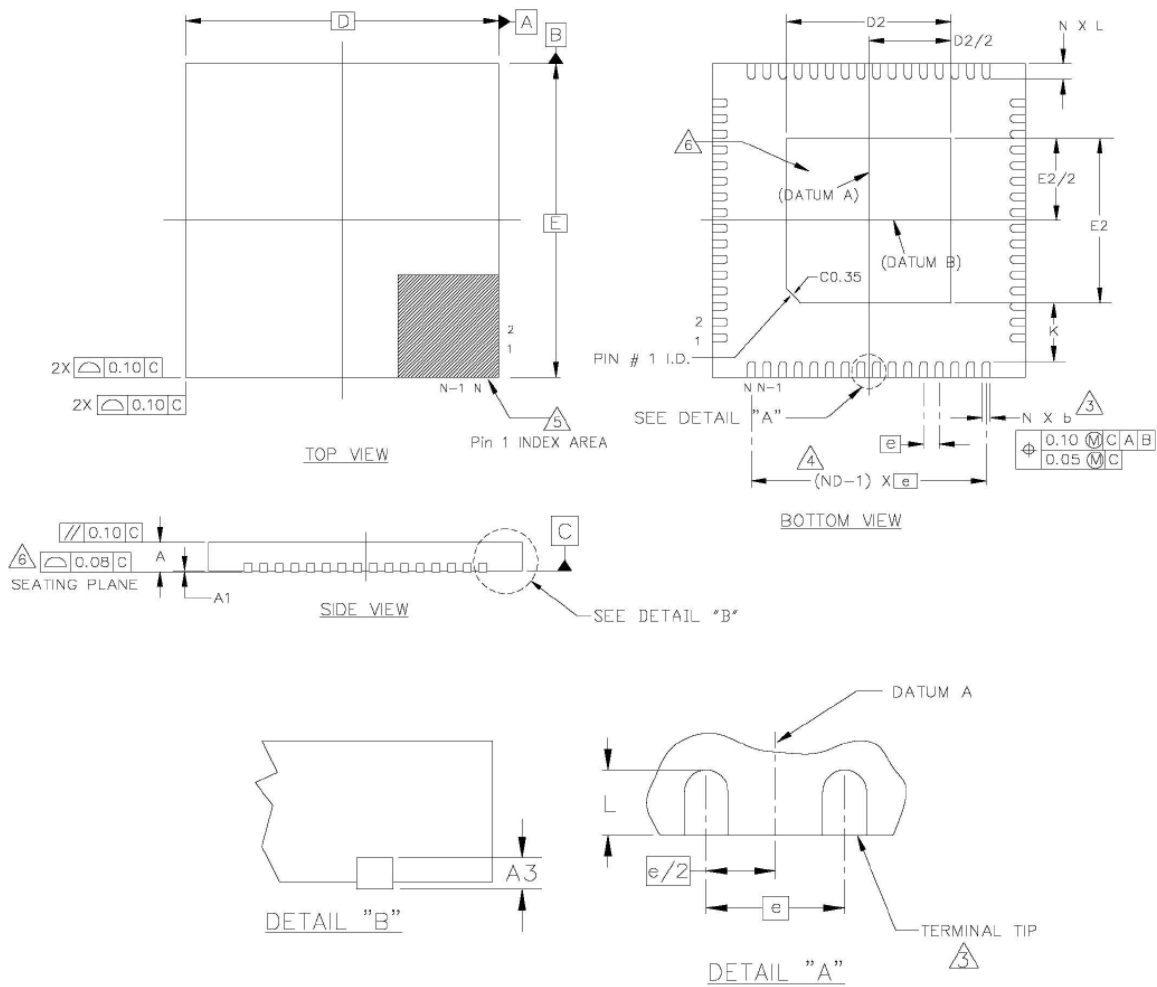
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
10. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
11. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-42581 Rev. **

图 15 64 引脚 E-LQFP (10.0×10.0×1.6 mm) AE64C (4.0×4.0 mm) EPAD，封装外形图

9 封装信息



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.40 BSC		
N	64		
ND	16		
L	0.35	0.40	0.45
b	0.15	0.20	0.25
D2	4.15	4.20	4.25
E2	4.15	4.20	4.25
D	8.00 BSC		
E	8.00 BSC		
A	-	-	0.90
A1	0.00	-	0.05
A3	0.203 REF		
K	0.20 MIN		

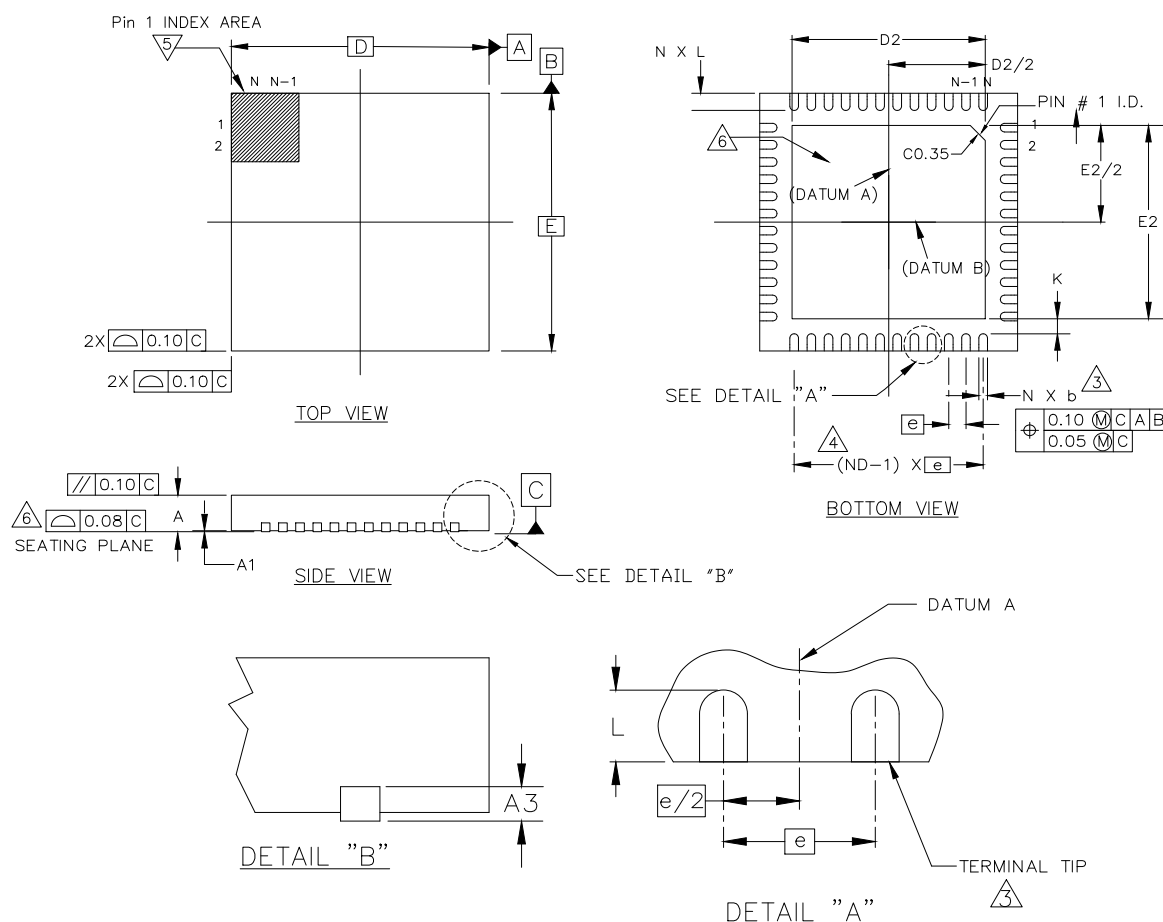
NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. N IS THE TOTAL NUMBER OF TERMINALS.
3. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
4. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
5. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
6. COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
7. JEDEC SPECIFICATION NO. REF. : N/A.

002-40328 Rev. *A

图 16 64 引脚 QFN (8.0×8.0×0.9 mm) LT64B (4.2×4.2 mm) EPAD (SAWN), 封装外形图

9 Package information



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.40 BSC		
N	48		
ND	12		
L	0.30	0.40	0.50
b	0.15	0.20	0.25
D2	4.65	4.70	4.75
E2	4.65	4.70	4.75
D	5.90	6.00	6.10
E	5.90	6.00	6.10
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A3	0.203 REF		
K	0.20	-	-

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. N IS THE TOTAL NUMBER OF TERMINALS.
3. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
4. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
5. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
6. COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
7. JEDEC SPECIFICATION NO. REF. : N/A.

002-42583 Rev. **

Figure 17 48-lead QFN (6.0x6.0x0.9 mm) LT48G (4.7x4.7 mm) EPAD (SAWN), package outline

10 勘误表

本节概述了PSOC™ Control C3 (P/M) (8/7) MCU产品系列的勘误信息，包括勘误触发条件、影响范围、可用规避方案以及硅片版本适用性的详细信息。如需了解更多详情，请联系[英飞凌技术支持](#)。

10.1 受影响的器件型号

表 33 受影响的产品型号

Part number	Device characteristics
All	PSOC™ Control C3(P/M)(8/7) MCU product line

10.2 PSOC™ Control C3(P/M)(8/7) 认证状态

生产硅

10.3 PSOC™ Control C3(P/M)(8/7) 勘误表汇总

表 34 规定了可用产品线器件的勘误适用范围。

注： [点击任意条目可查看其详细描述。](#)

表 34 各产品线器件的勘误适用性

Items		Silicon revision	Fix status
No alarm is triggered in AES when the status-ready signal is faulty	All	1	Fix not planned
R2R DAC linearity measurement does not meet the datasheet specification	All	1	Fix not planned
R2R DAC gain performance not meeting specification	All	1	Fix not planned
PSA Level 3 (PSA L3) certification requirement not met	All	1	Fix planned
Intermittent faults during AES operations using the AES-256 hardware accelerator	All	1	Fix planned

No alarm is triggered in AES when the status-ready signal is faulty

Problem definition	In a specific window after the start of the calculation, fault injection is not detected, and no alarm is triggered. Once the calculation is completed, the wrong result is delivered due to the fault.
Parameters affected	AES alarm
Trigger condition	Fault injection causes incorrect behavior
Scope of impact	In a specific window after the start of the calculation, fault injection is not detected, and no alarm is triggered.

10 勘误表

No alarm is triggered in AES when the status-ready signal is faulty

Workaround	After each AES encryption/decryption, the software must follow these steps: 1. Compare input and output data: - If the input is different from the output: Accept the result, process is complete - If the input is equal to the output: There is a potential attack. Proceed to Step 2 2. Repeat the encryption/decryption 3. Compare input and output data again: - If the input is different from the output: An attack occurred during the first operation, but the correct result is now obtained - If the input is equal to the output: Accept the result, process is complete
Fix status	Fix not planned

R2R DAC linearity measurement does not meet the datasheet specification

Problem definition	R2R DAC exhibits a discontinuity at the mid-code boundary when operated over the full 12-bit code range. While the DAC meets all documented specifications when limited to half-scale operation, using the full-scale code range introduces a mid-code jump that degrades linearity performance. The DAC does not meet the specified INL and DNL performance over the full 0–4095 code range.
Parameters affected	- Differential Non-Linearity (DNL) (SIDR2R.3) - R2R DAC DNL over code range 0–4095: ± 4 LSB - Integral Non-Linearity (INL) (SIDR2R.4) - R2R DAC INL over code range 0–4095: ± 8 LSB - When the DAC is limited to half-code range (0 - 2047) operation, all documented specifications are met. - Effective output voltage range (with or without output buffer) is limited to half of the range specified in: - SIDR2R.5 - SIDR2R.5A - SIDR2R.5B - SIDR2R.5D - SIDR2RB.2
Trigger condition	The DAC output code transitions across the mid-code boundary (approximately code 2047 to 2048), where a mid-code jump occurs

10 勘误表

R2R DAC linearity measurement does not meet the datasheet specification

Scope of impact	This issue affects R2R DAC GRP0 and GRP1 when used with or without the output buffer enabled. Applications that use the full DAC code range may experience INL and DNL specification violations, while operation limited to codes 0–2047 is not impacted and meets all specifications.
Workaround	None
Fix status	Fix not planned

R2R DAC gain performance not meeting specification

Problem definition	The R2R DAC exhibits gain error after calibration that does not meet the specified limits defined for parameters, particularly in the extended-range $\pm VDDA$ configuration
Parameters affected	SIDR2R.2 – R2R DAC Gain Error After Calibration
Trigger condition	The deviation occurs when the R2R DAC is operated in the Extended Range ($\pm VDDA$) configuration
Scope of impact	In Extended Range $\pm VDDA$ mode: Gain error may exceed the $\pm 1\%$ specification, with worst-case deviations up to $+1.0\%$ to -5.0%
Workaround	None
Fix status	Fix not planned

PSA Level 3 (PSA L3) certification requirement not met

Problem definition	The device does not fulfill the full PSA L3 certification requirements
Parameters affected	This deviation affects the security feature set and certification status of the device
Trigger condition	The deviation is present whenever PSA L3 compliance or certification is assumed
Scope of impact	Solutions designed under the assumption of PSA L3 certification may not meet certification
Workaround	None
Fix status	Fix planned

Intermittent faults during AES operations using the AES-256 hardware accelerator

Problem definition	The AES-256 hardware accelerator may intermittently enter a locked alarm state, causing subsequent accesses to fault and disrupting cryptographic services that rely on the hardware AES block.
Parameters affected	AES operations, including all data transfers to and from the AES hardware IP
Trigger condition	- AES encryption or decryption processing - Data transfers between the CPU and the AES module



Intermittent faults during AES operations using the AES-256 hardware accelerator	
Scope of impact	At runtime, the AES hardware accelerator may sporadically enter an alarm (locked) state. Once in this state, all subsequent accesses to the AES module may result in faults. Any PSA Crypto API function that relies on the hardware AES accelerator may be impacted. For example, the TF-M Protected Storage service, which uses AES-CCM with 128-bit or 256-bit keys.
Workaround	• If an unexpected alarm occurs, reset the AES-256 module from the application software and re-execute the most recent cryptographic operation. The software must track the last successfully completed operation to allow safe recovery • Use Mbed TLS with Cryptolite acceleration as the cryptographic backend instead of the hardware AES block
Fix status	Fix planned



11 文档惯例

11.1 计量单位

表 35 计量单位

Symbol	Unit of measure
°C	Degree Celsius
KB	1024 bytes
kHz	Kilohertz
Mbps	Megabits per second
Msps	Million samples per second
MHz	Megahertz
ns	Nanosecond
%	Percent
V	Volt

术语表

ADC

模数转换器

AES

高级加密标准

AFE

模拟前端

AMUX

模拟多路复用器

ATOP

模拟顶部

BLDC

无刷直流电机

BOD

欠压检测

CAN

控制器局域网络

CLB

自定义逻辑块

CORDIC

坐标旋转数字计算

CSV

时钟监督

CTI

交叉触发接口

DAC

数模转换器

DCMP

数字比较器

DCSG

带斜坡发生器的差分模拟比较器

DFU

器件固件升级

DMA

直接存储器访问

术语表**DSI**

数字信号互连

DSP

数字信号处理器

ECC

纠错码

ECO

外部晶体振荡器

ENOB

有效位数

EOS

采样结束

EPU

事件处理单元

ETB

嵌入式跟踪缓冲器

ETM

嵌入式跟踪宏单元

FET

场效应晶体管

FIFO

先入先出

FOC

磁场定向控制

FPU

浮点单元

GPI

通用输入

GPIO

通用输入/输出

HPPASS

高性能可编程模拟子系统

HRPWM

高分辨率脉冲宽度调制器

HSIOM

高速I/O矩阵

术语表

HWFILT3P3Z

硬件滤波器——3极点3零点

I-cache

指令缓存

I2C

内部集成电路

IHO

内部高速振荡器

ILO

内部低速振荡器

IMO

内部主振荡器

IPC

处理器间通信

IRQ

中断请求

ISR

中断服务程序

ITM

仪表跟踪宏单元

LPComp

低功耗比较器

LUT

查询表

LVD

低压检测

LVTTL

低电压晶体管 — 晶体管逻辑

MCU

微控制器

MCWDT

多计数器看门狗定时器

MOTIF

动作接口

MPU

存储器保护单元

术语表

NVIC

嵌套向量中断控制器

PAL

可编程阵列逻辑

PLD

可编程逻辑器件

PLL

锁相环

PMBus

电源管理总线

POR

上电复位

PPCA

可编程电源控制加速器

ROM

只读存储器

RSA

Rivest-Shamir-Adleman，一种公钥加密算法

RTC

实时时钟

RWW

边写边读

S/H

采样/保持

SAR

逐次逼近寄存器

SAU

安全属性单元

SCB

串行通信模块

SHA

安全哈希算法

SIL

安全完整性等级

SMBus

系统管理总线

术语表

SOC

转换开始

SPI

串行外设接口

SRAM

静态随机存取存储器

SRSS

系统资源子系统

SVGS

供电电压毛刺传感器

TCPWM

定时器/计数器脉宽调制器

TRNG

真随机数生成器

TZ

TrustZone

UART

通用异步收发器

WCO

时钟晶体振荡器

WIC

唤醒中断控制器

XRES

外部复位输入引脚



修订记录

修订记录

Document revision	Date	Description of changes
*D	2026-06-25	Public release.

商标

商标

PSOC™（原名PSoC™）是英飞凌科技的商标。本文档或其他文档中提及的PSoC™均应视为指代PSOC™。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2026-06-25

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2026 Infineon Technologies AG

All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference

IFX-ysg1712055027744

Important notice

Products which may also include samples and may be comprised of hardware or software or both ("Product(s)") are sold or provided and delivered by Infineon Technologies AG and its affiliates ("Infineon") subject to the terms and conditions of the frame supply contract or other written agreement(s) executed by a customer and Infineon or, in the absence of the foregoing, the applicable Sales Conditions of Infineon. General terms and conditions of a customer or deviations from applicable Sales Conditions of Infineon shall only be binding for Infineon if and to the extent Infineon has given its express written consent.

For the avoidance of doubt, Infineon disclaims all warranties of non-infringement of third-party rights and implied warranties such as warranties of fitness for a specific use/purpose or merchantability. Infineon shall not be responsible for any information with respect to samples, the application or customer's specific use of any Product or for any examples or typical values given in this document.

If this document is marked as 'Preliminary', 'Target', 'Draft' or 'Proposal', Infineon reserves the right to change all information given in this document at any time without notice. Subject to the development and release of a Product for series supply by Infineon, the technical specifications of the Product are set forth in the relevant datasheet provided by Infineon without such marking.

The data contained in this document is exclusively intended for technically qualified and skilled customer representatives. It is the responsibility of the customer to evaluate the suitability of the Product for the intended application and the customer's specific use and to verify all relevant technical data contained in this document in the intended application and the customer's specific use. The customer is responsible for properly designing, programming, and testing the functionality and safety of the intended application, as well as complying with any legal requirements related to its use.

Unless otherwise explicitly approved by Infineon, Products may not be used in any application where a failure of the Products or any consequences of the use thereof can reasonably be expected to result in personal injury.

However, the foregoing shall not prevent the customer from using any Product in such fields of use that Infineon has explicitly designed and sold it for, provided that the overall responsibility for the application lies with the customer. Infineon expressly reserves the right to use its content for commercial text and data mining (TDM) according to applicable laws, e.g. Section 44b of the German Copyright Act (UrhG). If the Product includes security features:

Because no computing device can be absolutely secure, and despite security measures implemented in the Product, Infineon does not guarantee that the Product will be free from intrusion, data theft or loss, or other breaches ("Security Breaches"), and Infineon shall have no liability arising out of any Security Breaches.

If this document includes or references software:

The software is owned by Infineon under the intellectual property laws and treaties of the United States, Germany, and other countries worldwide. All rights reserved. Therefore, you may use the software only as provided in the software license agreement accompanying the software.

If no software license agreement applies, Infineon hereby grants you a personal, non-exclusive, non-transferable license (without the right to sublicense) under its intellectual property rights in the software (a) for software provided in source code form, to modify and reproduce the software solely for use with Infineon hardware products, only internally within your organization, and (b) to distribute the software in binary code form externally to end users, solely for use on Infineon hardware products. Any other use, reproduction, modification, translation, or compilation of the software is prohibited.

For further information on the Product, technology, delivery terms and conditions, and prices, please contact your nearest Infineon office or visit www.infineon.com.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-09-23

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。