

英飞凌 PSoC™ 4: PSoC™ 4200L 平台架构

基于 Arm® Cortex® -M0 的可编程嵌入式系统控制器

概述

PSoC™ 4是一个可扩展和可重配置的平台架构，是一个包含Arm® Cortex®-M0 CPU的可编程嵌入式系统控制器。通过灵活自动布线资源，它将可编程及可重新配置的模拟模块与数字模块相结合。PSoC™ 4200L 产品系列结合了具有数字可编程逻辑的微控制器、可编程模拟、可编程互连、片外存储器安全扩展、高性能模数转换、带比较器模式的运算放大器以及标准通信和定时外设。针对新应用和设计的要求，PSoC™ 4200L产品与PSoC™ 4平台系列产品向上兼容。可编程模拟和数字子系统允许设计的灵活性和现场调整。

特性

- 32位MCU子系统
 - 48 MHz Arm® Cortex®-M0 CPU,拥有单周期乘法指令
 - 包含读取加速器的闪存容量可达256 KB
 - 最多 32 KB 的 SRAM
 - 具有 32 个通道的 DMA 引擎
- 可编程模拟资源
 - 四个运算放大器在深度睡眠模式下以极低的电流水平运行
 - 所有运算放大器均具有可重新配置的高电流引脚驱动、高带宽内部驱动、ADC 输入缓冲和比较器模式，并具有灵活的连接性，允许输入连接到任何引脚
 - 四个电流DAC (IDAC)，用于通用目的或电容式感应应用场合,可以连接到任意引脚上
 - 两个低功耗比较器支持深度睡眠低功耗模式
- 可编程数字资源
 - 八个可编程逻辑块，每个块有 8 个宏单元和一个 8 位数据路径（称为通用数字块或 UDB）
 - 英飞凌提供的外设组件库、用户定义的状态机和 Verilog 输入
- 低功耗 1.71 V 至 5.5 V 工作电压
 - 停止模式功耗为20 nA,支持 GPIO 引脚唤醒
 - 休眠和深度睡眠模式允许唤醒时间与功率之间的权衡
- 电容式感应
 - 两个英飞凌电容式 Sigma-Delta (CSD) 模块提供一流的 SNR (> 5:1) 和防水性能
 - 通过英飞凌提供的软件组件可以更容易地实现电容式感应设计
 - 自动硬件调节 (SmartSense™)
- 分段液晶驱动器
 - 任何引脚均支持 LCD 驱动，最多支持 64 个输出（公共端或段码端）
 - 在深度睡眠模式下运行，每个引脚具有 4 位内存
- 串行通信
 - 四个运行时可重新配置的独立串行通信模块 (SCB) 可配置为 I²C, SPI, 或 UART 功能
 - USB 全速设备接口 12 Mb/s/秒，具有电池充电器检测功能
 - 两个独立的 CAN 模块，用于工业和汽车网络

特性

- 定时和脉冲宽度调制器
 - 八个16位定时器/计数器/脉冲宽度调制器 (TCPWM) 模块
 - 支持中心对齐模式、边缘模式和伪随机模式
 - 基于比较器触发的“Kill”信号，适用于马达驱动和其它高可靠性数字逻辑的应用
- 多达 98 个可编程 GPIO
 - 124 球 VFBGA、64 脚 TQFP、48 脚 TQFP 和 68 脚 QFN 封装
 - 高达94个GPIO引脚可任意用作CAPSENSE™、模拟或数字引脚
 - 可编程驱动模式、强度和转换速率
- PSoC™ Creator设计环境
 - 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
 - 应用编程接口 (API) 组件可用于所有固定功能和可编程的外设
- 工业标准工具的兼容性
 - 输入原理图后，可以使用基于Arm®的行业标准开发工具进行开发

更多信息

英飞凌在www.infineon.com上提供了丰富的数据，帮助您为您的设计选择合适的PSoC™器件，并快速有效地将该器件集成到您的设计中。如需获取完整的资源列表，请参阅知识库文章[KBA86521《如何使用PSoC™ 3、PSoC™ 4进行设计》](#)

[PSoC™ 5LP](#)。以下是 PSoC™ 4 的简要列表：

- 概述：[MCU 产品组合](#)
- 产品选择器：[PSoC™ 3](#)、[PSoC™ 4](#)、[PSoC™ 5LP](#)、[PSoC™ 6](#)
此外，PSoC™ Creator 还包括一个设备选择工具。
- 应用笔记：英飞凌提供了大量的USB应用笔记，涵盖从基本到高级水平范围广泛的话题。以下是开始使用PSoC™ 4的推荐的应用笔记：
 - [AN79953](#): PSoC™ 4 MCU 入门
 - [AN88619](#)：PSoC™ 4 硬件设计注意事项
 - [AN86439](#)：使用 PSoC™ 4 GPIO 引脚
 - [AN57821](#)：混合信号电路板布局
 - [AN81623](#)：数字设计最佳实践
 - [AN73854](#)：引导加载程序简介
 - [AN89610](#)：Arm® Cortex®代码优化
 - [AN85951](#)：PSoC™ 4 和 PSoC™模拟协处理器 CAPSENSE™ 设计指南
- 技术参考手册（TRM）包含两个文档：
 - [架构 技术参考手册](#) 详细说明每个 PSoC™ 4 功能块。
 - [寄存器 技术参考手册](#) 描述 PSoC™ 4 寄存器。
- 开发套件：
 - [CY8CKIT-042](#)，PSoC™ 4 先锋 套件，是一个便于使用且价格实惠的开发平台。这一套件包括用于 Arduino™兼容屏蔽和 Digilent® Pmod™子卡的连接器。
 - [CY8CKIT-046](#)，PSoC™ 4 L系列先锋套件，是一款易于使用且价格实惠的开发平台。该套件包含用于Arduino™兼容扩展板的连接口。
 - [MiniProg4](#) 设备提供了闪存编程和调试的接口。

PSoC™ Creator

PSoC™ Creator 是一款免费的基于 Windows 的集成设计环境 (IDE)。它支持基于 PSoC™ 3、PSoC™ 4 和 PSoC™ 5LP 系统的并行硬件和固件设计。使用经典、熟悉的原理图输入创建设计，并由 100 多个经过预先验证、可立即投入生产的 PSoC™ 组件提供支持；查看[组件数据表列表](#)。使用 PSoC™ Creator，您可以：

1. 拖放组件图标以在主设计工作区中完成硬件系统设计
2. 使用 PSoC™ Creator IDE C 编译器，将您的应用程序固件与 PSoC™ 硬件进行协同设计
3. 使用配置工具配置组件
4. 浏览库中超过 100 个组件
5. 查看组件数据表

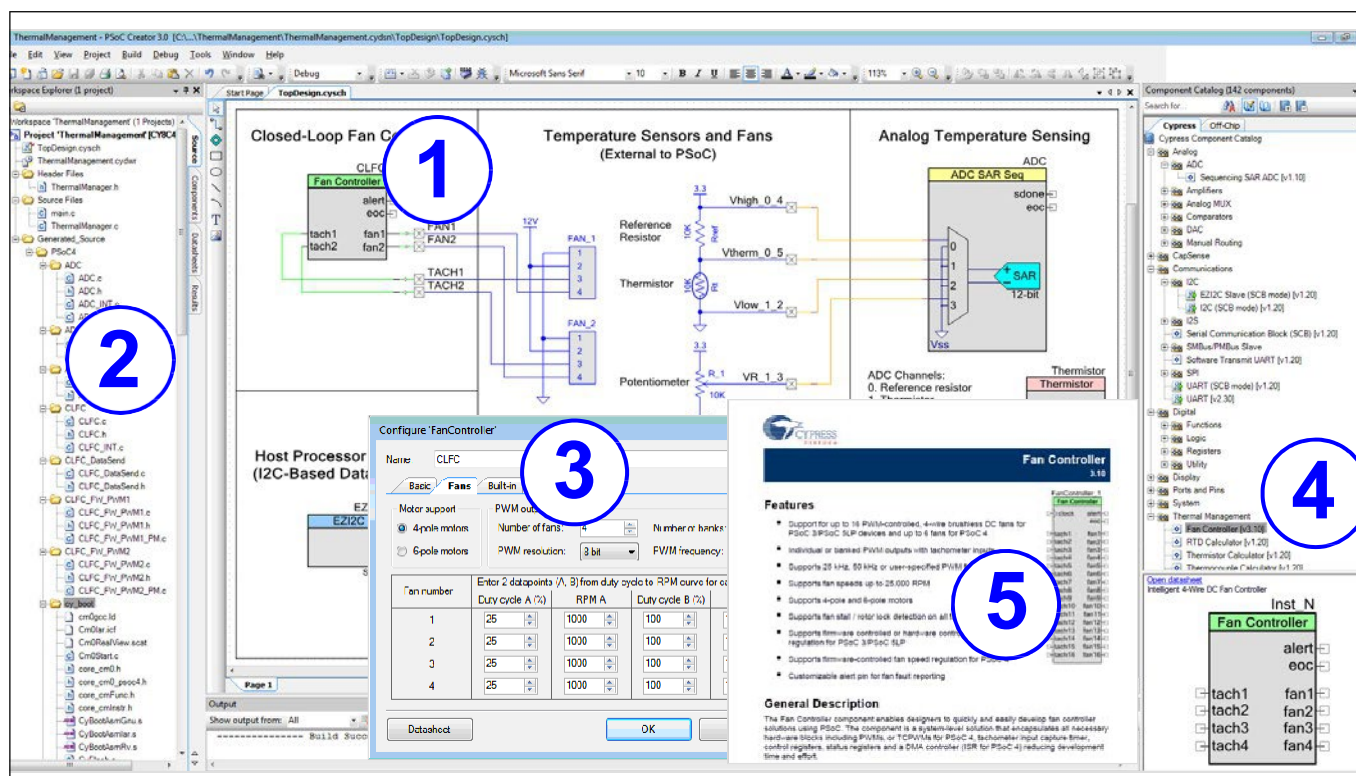


图 1 PSoC™ Creator 中的多传感器示例项目

目录

目录

概述.....	1
特性.....	1
更多信息	3
PSoC™ Creator.....	4
目录.....	5
1 功能概述.....	7
2 功能定义.....	8
2.1 CPU和存储器子系统.....	8
2.1.1 CPU.....	8
2.1.2 闪存	8
2.1.3 SRAM	8
2.1.4 SROM	8
2.1.5 DMA	8
2.2 系统资源.....	9
2.2.1 电源系统.....	9
2.2.2 时钟系统.....	9
2.2.3 IMO时钟源	9
2.2.4 ILO时钟源	9
2.2.5 晶体振荡器和PLL.....	10
2.2.6 看门狗定时器.....	10
2.2.7 复位.....	10
2.2.8 电压参考.....	10
2.3 模拟模块.....	11
2.3.1 12位 SAR ADC.....	11
2.3.2 模拟复用器总线.....	11
2.3.3 四个运算放大器 (CTBm 块)	12
2.3.4 温度感应器.....	12
2.3.5 低功耗比较器.....	12
2.4 可编程数字资源.....	13
2.4.1 通用数字模块(UDB)和端口接口.....	13
2.5 固定功能数字模块.....	14
2.5.1 定时器/计数器/PWM (TCPWM) 模块.....	14
2.5.2 串行通信模块 (SCB).....	14
2.5.3 USB设备.....	14
2.5.4 CAN块	14
2.6 GPIO	15
2.7 SIO	15
2.8 特殊功能外设.....	16
2.8.1 LCD segment驱动.....	16
2.8.2 CAPSENSE™.....	16
3 引脚布局.....	17
4 供电	26
4.1 非稳压的外部供应	26
4.2 稳压的外部供应	26
5 电气规格参数.....	27
5.1 绝对最大额定值	27
5.2 器件级规范.....	28
5.2.1 GPIO.....	31
5.2.2 XRES.....	33
5.3 模拟外设.....	34
5.3.1 运算放大器.....	34

5.3.2 比较器.....	37
5.3.3 温度感应器.....	38
5.3.4 SAR ADC.....	39
5.3.5 CSD	40
5.4 数字外设.....	41
5.4.1 定时器/计数器/PWM.....	41
5.4.2 I ² C	42
5.4.3 液晶屏直接驱动.....	42
5.4.4 固定UART	43
5.4.5 SPI 规格	44
5.5 存储器.....	45
5.5.1 闪存.....	45
5.6 系统资源.....	46
5.6.1 欠压情况下的上电复位 (POR)	46
5.6.2 电压监视器.....	47
5.6.3 SWD接口.....	48
5.6.4 内部主振荡器 (IMO)	48
5.6.5 内部低速振荡器 (ILO)	49
5.6.6 锁相环 (PLL)	49
5.6.7 外部时钟.....	50
5.6.8 时钟晶体振荡器 (WCO)	50
5.6.9 外部晶体振荡器 (ECO)	50
5.6.10 通用数字模块 (UDB)	51
5.6.11 通用串行总线 (USB)	52
5.6.12 特殊输入/输出 (SIO)	53
5.6.13 控制器局域网络 (CAN).....	55
6 订购信息.....	56
6.1 零件编号惯例.....	57
7 封装	58
8 缩略语	63
9 文档惯例.....	67
9.1 测量单位.....	67
修订记录	68

功能概述

1 功能概述

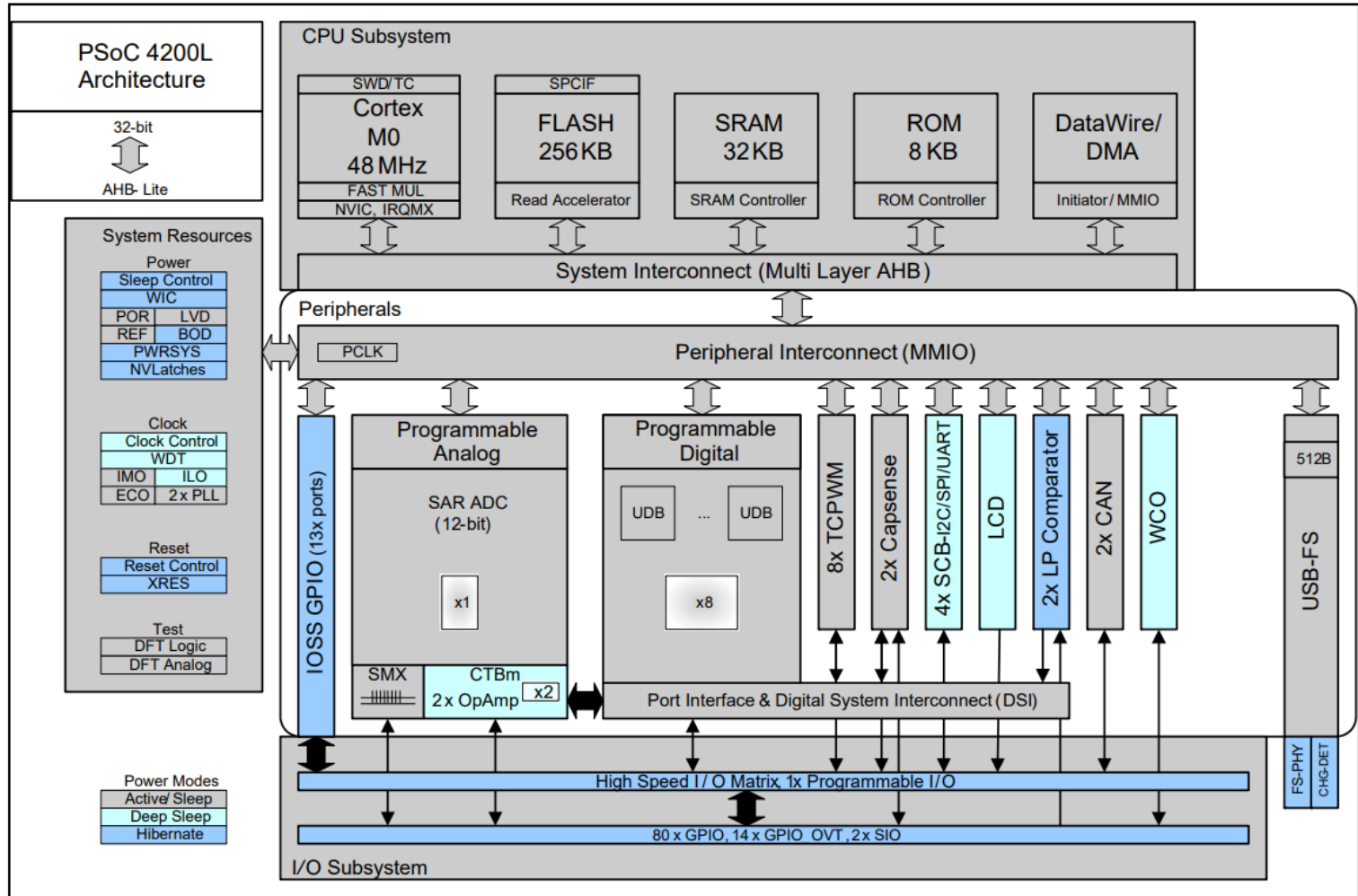


图 2 框图

PSoC™ 4200L器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm®串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试 (DoC) 功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 为 PSoC™ 4200L 设备提供完全集成的编程和调试支持。SWD接口与工业标准的第三方工具全面兼容。PSoC™ 4200L提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。这是因为它具有禁用调试功能、强大的闪存保护的能力，并且允许在片上可编程块中实现客户专有的功能。

调试电路默认处于使能状态，并且可以通过固件禁用它。如果未使能，唯一的使能方法是擦除整个器件，清除闪存保护，然后用使能调试的新固件对器件进行重新编程。

此外，如某些应用担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定的应用，所有器件接口都可以被永久禁用（器件安全）。由于在启用最大设备安全性时所有编程、调试和测试接口都被禁用，因此启用设备安全性的 PSoC™ 4200L 可能无法返回进行故障分析。这是 PSoC™ 4200L 允许客户做出权衡的地方。

功能定义

2 功能定义

2.1 CPU和存储器子系统

2.1.1 CPU

PSoC™ 4200L 中的Cortex®-M0 CPU是32位MCU子系统的部分，通过广泛的时钟门控来优化成低功耗操作。此外，几乎所有指令的长度都为16位，并且CPU执行Thumb-2指令子集。这使得代码能够完全兼容二进制向上迁移到Cortex®-M3和M4等更高性能的处理器，从而实现向上兼容。英飞凌实现了一个硬件乘法器，从而能在一个周期内计算出32位结果。它包括一个带有32个中断输入的嵌套矢量中断控制器(NVIC)块，还包括一个唤醒中断控制器(WIC)，它可以将处理器从深度睡眠模式唤醒，从而允许在芯片处于深度睡眠模式时关闭主处理器的电源。Cortex®-M0 CPU提供了一个不可屏蔽中断(NMI)输入，该输入未被系统函数使用时可以提供给用户使用。

CPU还包括一个调试接口，即串行线调试(SWD)接口，它是JTAG的2线形式；用于PSoC™ 4200L的调试配置有四个断点（地址）比较器和两个观察点（数据）比较器。

2.1.2 闪存

PSoC™ 4200L 器件包含一个闪存模块，该模块的闪存加速器与CPU紧密耦合，以缩短闪存模块的平均访问时间。闪存模块可在工作频率为48 MHz的情况下提供两个等待状态(WS)的访问时间，并在工作频率为24 MHz的情况下提供一个等待状态的访问时间。通过闪存加速器，闪存的单周期访问时间平均为SRAM访问时间的85%。闪存模块还可以实现EEPROM的功能。

2.1.3 SRAM

休眠期间会保留SRAM内存。

2.1.4 SROM

此外，提供的监控ROM还包含引导和配置子程序。

2.1.5 DMA

提供的DMA引擎可以进行32位传输并具有可链接的ping-pong描述符。

功能定义

2.2 系统资源

2.2.1 电源系统

电源系统在“电源”部分有详细描述（在26页）。它确保电压水平满足各个模式的要求，并延迟模式进入（例如，上电复位(POR)），直到电压水平达到正常工作所需的水平，或产生复位（掉电检测(BOD)）或中断（低压检测(LVD)）。PSoC™ 4200L 采用单个外部电源供电，工作电压范围为1.71 V至5.5 V，具有五种不同的电源模式，其之间的转换由电源系统管理。PSoC™ 4200L 提供睡眠、深度睡眠、休眠和停止低功耗模式。

2.2.2 时钟系统

PSoC™ 4200L 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。此外，它还确保不发生亚稳态。

PSoC™ 4200L 的时钟系统由一个晶体振荡器（4 至 33 MHz）、一个监视晶体振荡器（32 kHz）、锁相环(PLL)、IMO 和 ILO 内部振荡器以及外部时钟。

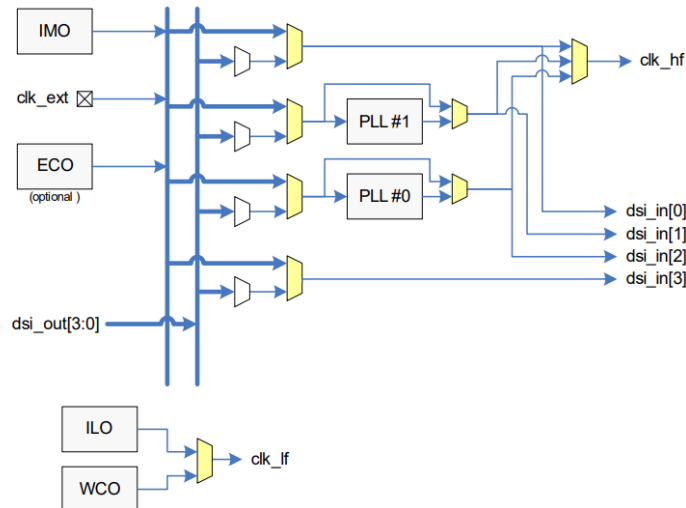


图 3 PSoC™ 4200L MCU 时钟架构

通过分频 clk_hf 信号可以生成用于模拟和数字外设的同步时钟。PSoC™ 4200L 共有 16 个时钟分频器，每个分频器均具有 16 位分频能力；这样可以将 12 个分频器用于固定功能块，将 4 个分频器用于 UDB。在生成数字时钟前先生成模拟时钟，这样，可以在数字时钟相关噪声出现之前实现模拟事件。16 位的分频器能够灵活生成精细的频率值。PSoC™ Creator 完全支持该功能。

2.2.3 IMO 时钟源

在 PSoC™ 4200L 中，IMO 是主要内部时钟源。在测试过程中对其进行修整以达到规定的精度。调整值存储在非易失性锁存器 (NVL) 中。可以使用 Flash 的附加校准设置来补偿变化。IMO 默认频率为 24 MHz，可以 1 MHz 的步长在 3 MHz 至 48 MHz 之间调整。IMO 的校准容差为 $\pm 2\%$ 。

2.2.4 ILO 时钟源

ILO 是一种非常低功耗的振荡器，标称频率为 32 kHz，主要用于在深度睡眠模式下为外设操作生成时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。英飞凌提供了一个用于校准目的的软件组件。

2.2.5 晶体振荡器和 PLL

PSoC™ 4200L 时钟子系统还实现了两个振荡器：高频（4 MHz 至 33 MHz）和低频（32 kHz 监视晶体），可用于精确计时应用。PLL 可以从高频振荡器产生 48 MHz 的输出。

2.2.6 看门狗定时器

在由ILO提供时钟的时钟模块中执行看门狗定时器，这样看门狗可以在深度睡眠模式下工作。如果看门狗没有得到处理，则在超时发生前生成看门狗复位。看门狗复位被记录在复位原因寄存器中。

2.2.7 RESET (复位)

可以从各种源 (包括软件复位) 复位 PSoC™ 4200L。复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。芯片为外部复位提供了一个XRES引脚，从而可以避免在上电或重新配置期间对配置和多个引脚造成任何负向影响。

2.2.8 电压参考

PSoC™ 4200L参考系统生成芯片所需要的所有内部参考。为 12 位 ADC 提供了 1% 电压参考规格。为了获得更好的信噪比和更高的绝对精度，可以通过使用GPIO引脚将内部参考旁路到特定引脚上或使用12位SAR ADC的外部参考源。

功能定义

2.3 模拟模块

2.3.1 12位SAR ADC

12位分辨率和1 Msps采样率的SAR ADC可在最大为18 MHz的时钟速率下运行，在该频率下进行12位数据转换至少需要18个时钟周期。

该模块功能增强了用户的功能，方法是添加一个参考缓冲器（可微调至±1%），并提供三个内部参考电压选择（针对 PSoC™ 4200L 的情况）： V_{DD} 、 $V_{DD}/2$ 和 V_{REF} （标称值为 1.024 V），以及通过 GPIO 引脚提供的外部参考电压。采样保持 (S/H) 孔径可编程，以满足驱动 SAR 输入的放大器的增益带宽要求，从而确定其稳定时间，必要时可放宽。如果使用适当的参考并且系统噪声水平允许，则真正的 12 位精度的系统性能将达到 65 dB。为了提高噪声条件下的性能，可以为内部参考放大器提供外部旁路（通过固定引脚位置）。

SAR 通过 8 输入序列器（可扩展至 16 个输入）连接到一组固定引脚。序列器自动地循环性通过已选通道（序列器扫描），而不需要任何切换开销（即无论是在单通道上还是分布在多通道上，总采样带宽一直等于1 Msps）。序列器的切换通过一个状态机或固件驱动实现。序列器可通过缓冲每个通道来减轻CPU中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道可以编程不同的采样时间。另外，SAR ADC支持硬件的转换结果溢出检测机制。转换结果的上下范围可以指定并保存在寄存器里，当ADC转换结果上/下溢出时，可以触发中断。这样节省了序列发生器扫描操作和CPU软件检测转换结果溢出与否的时间。

SAR可以量化板上温度感应器的输出，以进行校准和实现与温度有关的其它功能。因为SAR需要使用高速时钟（高达18 MHz），所以不可在深度睡眠模式下运行。SAR的工作电压范围为1.71 V到5.5 V。

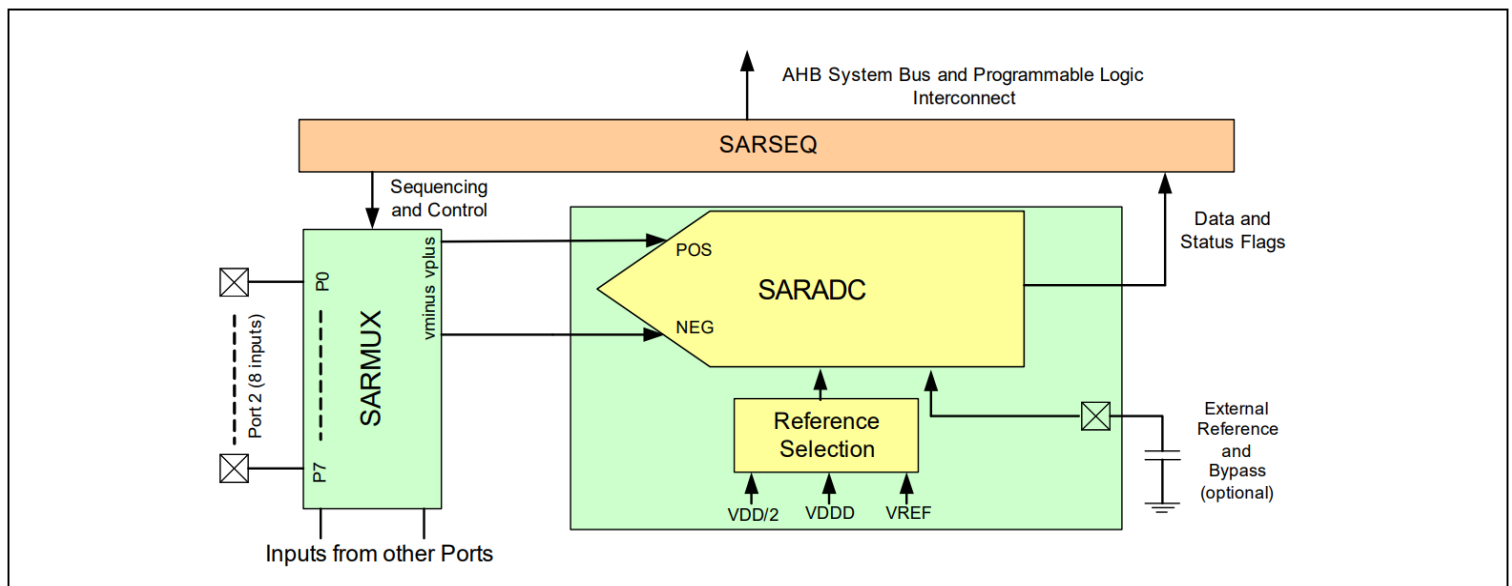


图4 SAR ADC系统图

2.3.2 模拟复用器总线

PSoC™ 4200L 具有两条同心模拟总线（模拟复用器总线 A 和模拟复用器总线 B），环绕芯片外围。这些总线可以将模拟信号从任何引脚传输到各种模拟模块（包括运算放大器）以及 CAPSENSE™ 模块，例如允许 ADC 监控芯片上的任何引脚。这些总线是独立的，也可以分成三个独立的部分。这样可以将一个部分用于 CAPSENSE™ 目的，一个部分用于通用模拟信号处理，第三个部分用于通用数字外设和 GPIO。

功能定义

2.3.3 四个运算放大器（CTBm 块）

PSoC™ 4200L 有四个可作为比较器使用的运算放大器，这样能够在片上执行最常见的模拟功能，而无需外部组件；PGA、电压缓冲区、滤波器、互阻放大器和其他功能（有时候需要使用外部无源器件），从而节省电源、成本和空间。片上运算放大器有足够的带宽来驱动ADC的采样和保持电路，而不必使用外部缓冲。运算放大器可以在深度睡眠模式下以非常低的功率水平运行。下图显示了运算放大器子系统中两个相同的运算放大器对的其中一个。

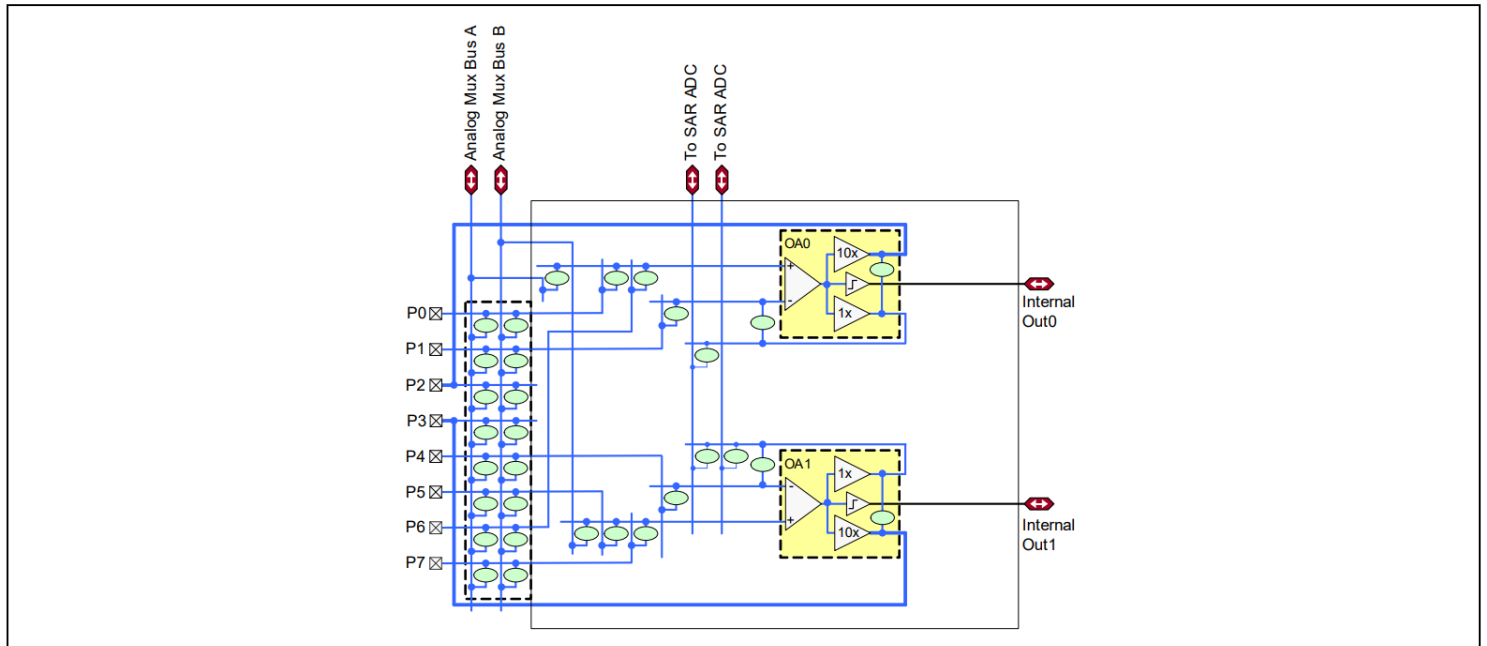


图 5 运算放大器子系统中相同的运算放大器对

图5中的椭圆表示模拟开关，可通过用户固件、SAR 序列发生器或用户定义的可编程逻辑进行控制。运算放大器（OA0 和 OA1）可通过这些开关进行配置，以使用适当的反馈元件执行所有标准运算放大器功能。

运算放大器（OA0 和 OA1）是可编程和可重新配置的，以通过可切换反馈组件提供标准运算放大器功能、用于直接驱动引脚的单位增益功能或供内部使用（例如如图所缓冲 SAR ADC 输入），或作为真正的比较器。

运算放大器输入提供高度灵活的连接，可以直接连接到专用引脚，或者通过模拟多路复用器总线连接到芯片上的任何引脚。模拟开关连接可由用户固件以及用户定义的可编程数字状态机（通过 UDB 实现）控制。

运算放大器在深度睡眠模式下以非常低的电流运行，从而允许模拟电路在深度睡眠期间保持运行。

2.3.4 温度感应器

PSoC™ 4200L 有一个片上温度传感器。它由一个二极管组成，该二极管由一个电流源偏置，可以禁用该电流源以节省电力。温度传感器连接到 ADC，ADC 将读数数字化，并使用英飞凌提供的包含校准和线性化功能的软件生成温度值。

2.3.5 低功耗比较器

PSoC™ 4200L 有一对能在深度睡眠和休眠模式下工作的低功耗比较器。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式（休眠）下操作；在此模式下，比较器电压变动事件可以激活系统唤醒电路。

功能定义

2.4 可编程数字资源

2.4.1 通用数字模块 (UDB) 和端口接口

PSoC™ 4200L 拥有八个 UDB；UDB 阵列还提供交换式数字系统互连 (DSI) 结构，允许来自外设和端口的信号路由至 UDB 并通过 UDB 进行通信和控制。UDB 阵列如图6所示。

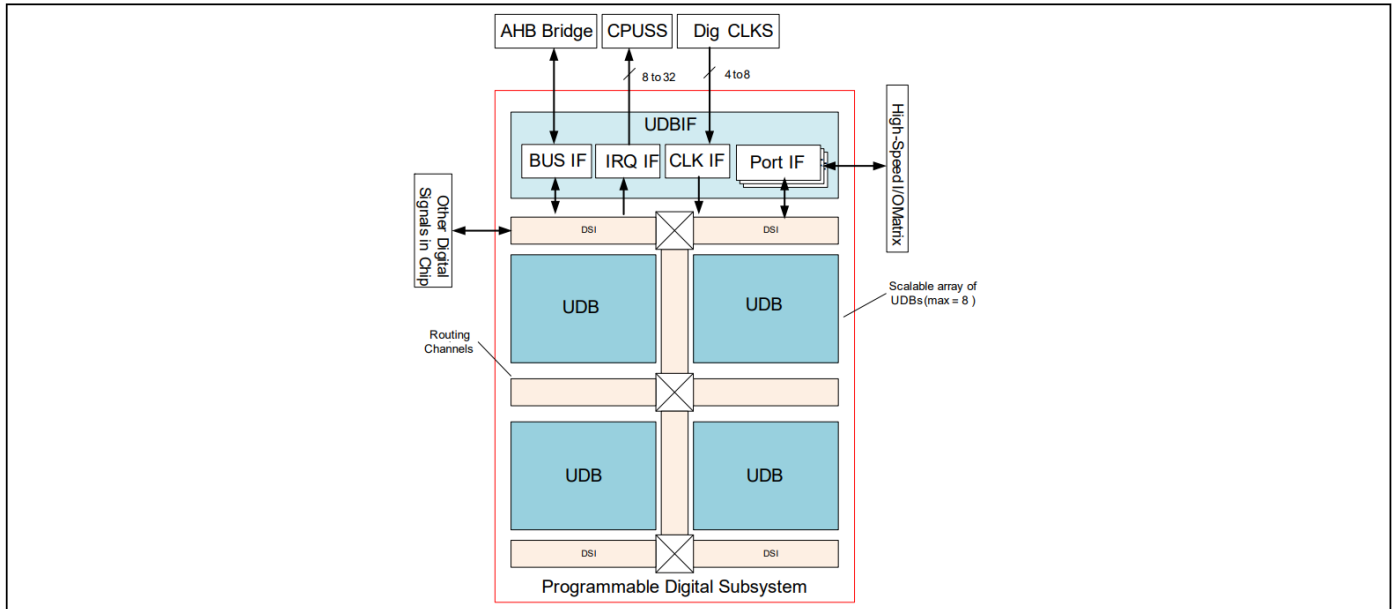


图 6 UDB 阵列

UDB 可直接从时钟分频器块、端口接口（SPI 等外设所需）以及 DSI 网络获取时钟，或者在同步后获取时钟。

定义了一个端口接口，用作寄存器，可以使用与 UDB 阵列内 PLD 相同的时钟源进行时钟控制。由于输入和输出可以在靠近 I/O 引脚且位于阵列边缘的端口接口处寄存，因此可以实现更快的运行。端口接口寄存器可以由同一端口的其中一个 I/O 进行时钟控制。这样一来，SPI 等接口就可以以更高的时钟速度运行，因为端口输入通过 DSI 路由并用于寄存其他输入的延迟得以消除。端口接口如图7所示。

UDB 可以向中断控制器生成中断（一次一个 UDB）。UDB 保留了通过 DSI 连接到芯片上大多数引脚的能力，但端口 7、8 和 9 的引脚除外。

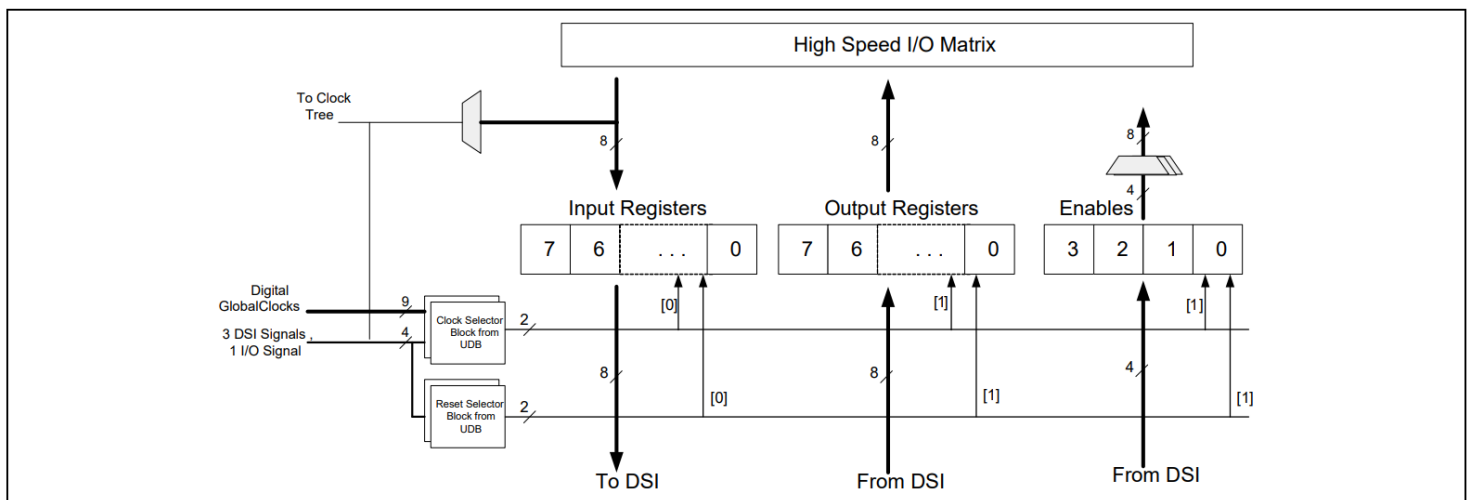


图7 端口接口

功能定义

2.5 固定功能数字模块

2.5.1 定时器/计数器/PWM (TCPWM) 模块

TCPWM模块包含一个用户可编程周期长度的16位计数器。另外，还有一个捕获寄存器，用于记录事件发生(可能是I/O事件)时的计数值；一个周期寄存器，用于停止或自动重新加载计数器(如果计数值与周期寄存器的值相等)和一个比较寄存器，用于生成比较值信号，以作为PWM占空比输出使用。该模块还提供了正向输出和反向输出间的可编程偏移；这样，这些输出可以作为可编程死区的互补PWM输出使用。它还提供一个用于强制输出进入预定义状态的停止(Kill)输入；例如，在马达驱动系统中，当出现过电流状态时，需要立即使用它来关闭驱动FET的PWM而不能等待软件干预。PSoC™ 4200L 有八个 TCPWM 块。

2.5.2 串行通信模块 (SCB)

PSoC™ 4200L 具有四个SCB，每个SCB都可以实现 I²C, UART, 或 SPI interface。

I²C 模式：硬件 I²C 模块 实现了完整的多主从接口（支持多主仲裁）。该模块的运行速度高达 1 Mbps（快速模式 Plus），并具有灵活的缓冲选项，可降低 CPU 的中断开销和延迟。它还支持 EzI²C，可在 PSoC™ 4200L 的内存中创建邮箱地址范围，从而有效地将 I²C 通信简化为对内存数组的读写操作。此外，该模块支持 8 级深度 FIFO 用于接收和发送，通过增加 CPU 读取数据的时间，大大减少了由于 CPU 未能按时读取数据而导致的时钟延长。FIFO 模式适用于所有通道，在没有 DMA 的情况下非常有用。

I2C 外设兼容 NXP I2C 总线规范和用户手册 (UM10204) 中定义的 I²C 标准模式、快速模式和快速增强模式设备。I2C 总线 I/O 是通过 GPIO 实现的开漏模式。

UART模式：这是一个运行速度高达1 Mbps的全功能UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 协议，这些全部都是基本UART协议的衍生协议。此外，它还支持9位多处理器模式，此模式允许寻址连接到通用RX和TX线的外设。支持通用UART功能，如奇偶校验错误、中断检测和帧错误。一个8字节深度的FIFO容许更长的CPU服务延迟。

SPI模式：SPI模式支持全Motorola SPI、TI SSP (基本上添加了一个用于同步SPI编解码器的启动脉冲) 和 National Microwire (SPI的半双工形式)。该SPI模块可以使用FIFO。

2.5.3 USB 设备

提供全速USB 2.0设备接口。它有一个控制端点和八个其他端点。该接口有一个 USB 收发器，可以从 IMO 进行操作，无需使用晶体振荡器。

2.5.4 CAN块

有两个独立的 CAN 2.0B 块，经过 CAN 兼容认证。

功能定义

2.6 GPIO

PSoC™ 4200L 有 96 个 GPIO。GPIO 模块实现以下功能：

- 支持以下八种强驱动模式：强推拉、电阻上拉和下拉、弱 (电阻) 上拉和下拉、开漏及开源、仅输入以及禁用。
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 输入和输出禁用的独立控制。
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- 可选的斜率，用于控制 dV/dt 相关噪声，有助于降低 EMI

引脚被分组为逻辑单元 (又称端口)，其宽度为 8 位。在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。固定功能外设的引脚位置也是固定的，以降低内部复用复杂性 (这些信号不经过 DSI 网络)。DSI 信号不受此影响，任何引脚都可以通过 DSI 网络路由到任何 UDB，端口 7、8 和 9 的引脚除外。

数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

当使能中断时，每一个 I/O 均可以生成一个中断，并且每个 I/O 端口都有一个相关的中断请求 (IRQ) 和中断服务子程序 (ISR) 向量 (对于 PSoC™ 4200L，数量为 13)。

共有 14 个 GPIO 引脚具有过压耐受能力 (V_{IN} 可以超过 V_{DD})。根据 I²C 规范，当过压单元的输入超过 V_{DDIO} 时，其吸收电流不会超过 10 μA 。为了满足 I²C FM 和 FM+ 的最小下降时间要求，可能需要根据总线负载降低压摆率设置 (所有 GPIO 和 SIO 引脚也适用)。

2.7 SIO

特殊 I/O (SIO) 引脚除了 GPIO 功能外还具有以下功能：

- 过压保护和热插拔功能
- 可编程开关阈值
- 可编程输出上拉电压能力

它们支持与总线 (例如完全兼容 I2C 的 I2C 总线) 接口，并可与工作在不同电压等级的设备接口。PSoC™ 4200L 上有两个 SIO 引脚。

2.8 特殊功能外设

2.8.1 LCD segment驱动

PSoC™ 4200L 有一个LCD控制器，可驱动多达8个common和56个segment。任何引脚都可以是公共引脚或段码引脚。该控制器使用全数字方法驱动LCD segment，不需要生成内部LCD电压。这两种方法被称为数字关联和PWM。

数字关联通过调制common和segment信号的频率和驱动电平来生成最高RMS电压跨过一个segment，用于点亮或保持RMS信号为零。这种方法对STN显示屏很有用，但可能会降低TN (较便宜) 显示屏的对比度。

PWM方法是使用PWM信号驱动显示面板，有效地利用面板的电容来提供经过调制的脉冲宽度，从而生成所需的LCD电压。这种方法要求更高的功耗，但驱动TN显示屏时可以带来更好的效果。

2.8.2 CAPSENSE™

CAPSENSE™通过两个 CAPSENSE™ Sigma-Delta (CSD) 模块在 PSoC™ 4200L 的所有引脚上均受支持，这两个模块可通过模拟多路复用总线连接到任何引脚，而任何 GPIO 引脚都可通过模拟开关连接到该总线。因此，在软件控制的系统中，任何引脚或引脚组都可以提供CAPSENSE™功能。为了便于用户使用 CAPSENSE™模块，还提供了PSoC™ Creator件。

通过将屏蔽电压驱动到另一个模拟复用总线可以提供防水功能。通过对屏蔽电极和感应电极进行同步的驱动，可以提供防水功能，从而避免屏蔽电容衰减感应输入。

CAPSENSE™模块具有两个IDAC。在不使用CAPSENSE™功能的情况下，这些IDAC可用于通用目的。在这种情况下，可以使用一个 IDAC) 或者如果使用 CAPSENSE™而不具备防水功能 (有一个 IDAC 可用)。两个 CAPSENSE™块可以独立使用。

引脚布局

3 引脚布局

以下是 PSoC™ 4200L 的引脚列表。

表1 引脚列表

124-ball BGA		68-pin QFN		64-pin TQFP		48-pin TQFP		48-pin TQFP-USB	
Pin	Name	Pin	Name	Pin	Name	Pin	Name	Pin	Name
H13	P0.0	42	P0.0	39	P0.0	28	P0.0	28	P0.0
H12	P0.1	43	P0.1	40	P0.1	29	P0.1	29	P0.1
G13	P0.2	44	P0.2	41	P0.2	30	P0.2	30	P0.2
G12	P0.3	45	P0.3	42	P0.3	31	P0.3	31	P0.3
K10	VSSD								
G11	P0.4	46	P0.4	43	P0.4	32	P0.4	32	P0.4
F13	P0.5	47	P0.5	44	P0.5	33	P0.5	33	P0.5
F12	P0.6	48	P0.6	45	P0.6	34	P0.6	34	P0.6
F11	P0.7	49	P0.7	46	P0.7	35	P0.7	35	P0.7
E13	P8.0								
E12	P8.1								
E11	P8.2								
D13	P8.3								
D12	P8.4								
C13	P8.5								
C12	P8.6								
B12	P8.7								
C11	XRES	50	XRES	47	XRES	36	XRES	36	XRES
A12	VCCD	51	VCCD	48	VCCD	37	VCCD	37	VCCD
D10	VSSD	52	VSSD	49	VSSD	38	VSSD	38	VSSD
B13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A11	P9.0								
B11	P9.1								
A10	P9.2								
B10	P9.3								
C10	P9.4								
A9	P9.5								
B9	P9.6								
C9	P9.7								
						40	VDDA	40	VDDA
C8	P5.0	54	P5.0	51	P5.0				
B8	P5.1	55	P5.1	52	P5.1				
A8	P5.2	56	P5.2	53	P5.2				
A7	P5.3	57	P5.3	54	P5.3				

引脚布局

表 1 引脚列表 (续)

124-ball BGA		68-pin QFN		64-pin TQFP		48-pin TQFP		48-pin TQFP-USB	
Pin	Name	Pin	Name	Pin	Name	Pin	Name	Pin	Name
B7	P5.4	58	P5.4						
C7	P5.5	59	P5.5	55	P5.5				
A6	P5.6								
B6	P5.7								
A2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA
B2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA
C3	VSSA	61	VSSA	57	VSSA	41	VSSA	41	VSSA
C5	P1.0	62	P1.0	58	P1.0	42	P1.0	42	P1.0
B5	P1.1	63	P1.1	59	P1.1	43	P1.1	43	P1.1
A5	P1.2	64	P1.2	60	P1.2	44	P1.2	44	P1.2
A4	P1.3	65	P1.3	61	P1.3	45	P1.3	45	P1.3
B4	P1.4	66	P1.4	62	P1.4	46	P1.4	46	P1.4
C4	P1.5	67	P1.5	63	P1.5	47	P1.5	47	P1.5
A3	P1.6	68	P1.6	64	P1.6	48	P1.6	48	P1.6
B3	P1.7	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
B1	VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
C3	VSSA								
D4	VSSA								
B2	VDDA								
C1	P2.0	2	P2.0	2	P2.0	2	P2.0	2	P2.0
C2	P2.1	3	P2.1	3	P2.1	3	P2.1	3	P2.1
D1	P2.2	4	P2.2	4	P2.2	4	P2.2	4	P2.2
D2	P2.3	5	P2.3	5	P2.3	5	P2.3	5	P2.3
D3	P2.4	6	P2.4	6	P2.4	6	P2.4	6	P2.4
E1	P2.5	7	P2.5	7	P2.5	7	P2.5	7	P2.5
E2	P2.6	8	P2.6	8	P2.6	8	P2.6	8	P2.6
E3	P2.7	9	P2.7	9	P2.7	9	P2.7	9	P2.7
K4	VSSD	10	VSSA	10	VSSA	10	VSSD	10	VSSD
A1	VDDA	11	VDDA	11	VDDA				
F1	P10.0								
F2	P10.1								
F3	P10.2								
G1	P10.3								
G2	P10.4								
G3	P10.5								
H1	P10.6								
H2	P10.7								
K4	VSSD								
J1	P6.0	12	P6.0	12	P6.0				

引脚布局

表 1 引脚列表 (续)

124-ball BGA		68-pin QFN		64-pin TQFP		48-pin TQFP		48-pin TQFP-USB	
Pin	Name	Pin	Name	Pin	Name	Pin	Name	Pin	Name
J2	P6.1	13	P6.1	13	P6.1				
J3	P6.2	14	P6.2	14	P6.2				
K1	P6.3	15	P6.3						
K2	P6.4	16	P6.4/P12.0	15	P6.4/P12.0				
L1	P12.0	16	P6.4/P12.0	15	P6.4/P12.0				
L2	P12.1	17	P6.5/P12.1	16	P6.5/P12.1				
K3	P6.5	17	P6.5/P12.1	16	P6.5/P12.1				
L3	VSSD	18	VSSIO	17	VSSIO	10	VSSD	10	VSSD
N2	P3.0	19	P3.0	18	P3.0	12	P3.0	12	P3.0
M2	P3.1	20	P3.1	19	P3.1	13	P3.1	13	P3.1
N3	P3.2	21	P3.2	20	P3.2	14	P3.2	14	P3.2
M3	P3.3	22	P3.3	21	P3.3	16	P3.3	16	P3.3
N4	P3.4	23	P3.4	22	P3.4	17	P3.4	17	P3.4
M4	P3.5	24	P3.5	23	P3.5	18	P3.5	18	P3.5
N5	P3.6	25	P3.6	24	P3.6	19	P3.6	19	P3.6
M5	P3.7	26	P3.7	25	P3.7	20	P3.7	20	P3.7
M1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N6	P11.0								
M6	P11.1								
L6	P11.2								
N7	P11.3								
M7	P11.4								
L7	P11.5								
N8	P11.6								
M8	P11.7								
N12	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N13	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
L8	P4.0	28	P4.0	27	P4.0	22	P4.0	22	P4.0
N9	P4.1	29	P4.1	28	P4.1	23	P4.1		
M9	P4.2	30	P4.2	29	P4.2	24	P4.2		
N10	P4.3	31	P4.3	30	P4.3	25	P4.3		
M10	P4.4	32	P4.4	31	P4.4				
N11	P4.5	33	P4.5	32	P4.5				
M11	P4.6	34	P4.6	33	P4.6				
M12	P4.7	35	P4.7						
L11	VSSD								
L12	D+/P13.0	36	D+/P13.0	34	D+/P13.0			23	D+/P13.0
L13	D-/P13.1	37	D-/P13.1	35	D-/P13.1			24	D-/P13.1

引脚布局

表 1 引脚列表 (续)

124-ball BGA		68-pin QFN		64-pin TQFP		48-pin TQFP		48-pin TQFP-USB	
Pin	Name	Pin	Name	Pin	Name	Pin	Name	Pin	Name
M13	VBUS/P13.2	38	VBUS/P13.2	36	VBUS/P13.2			25	VBUS/P13.2
L9	P7.0	39	P7.0	37	P7.0	26	P7.0	26	P7.0
L10	P7.1	40	P7.1	38	P7.1	27	P7.1	27	P7.1
K13	P7.2	41	P7.2						
K12	P7.3								
K11	P7.4								
J13	P7.5								
J12	P7.6								
J11	P7.7								

端口 12（端口引脚 12.0 和 12.1）是 SIO 引脚。

端口 13（端口引脚 13.0 和 13.1）需要 VBUS（P13.2）供电。

端口 6（端口引脚 P6.0..6.5）和 9（端口引脚 9.0..9.7）具有过压耐受能力（GPIO_OVT）

124 球 BGA 封装上的球 C6、D11、H11、H3、L4 和 L5 为无连接 (NC)。在 48 脚 TQFP 封装上，引脚 11 和 15 为 NC。

引脚布局

上表所示的每个引脚可以具有多种可编程功能，如下表所示。

表2 引脚可编程功能

Port/ Pin	Analog	USB	Alt. Function 1	Alt. Function 2	Alt. Function 3	Alt. Function 4	Alt. Function 5
P0.0	lpcomp.in_p[0]				can[1].can_rx:0	usb.vbus_valid	scb[0].spi_select1:3
P0.1	lpcomp.in_n[0]				can[1].can_tx:0		scb[0].spi_select2:3
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:3
P0.3	lpcomp.in_n[1]						
P0.4	wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5	wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6			srss.ext_clk:0	scb[1].uart_cts:0			scb[1].spi_clk:0
P0.7				scb[1].uart_rts:0	can[1].can_tx_enb_n:0	srss.wakeup	scb[1].spi_select0:0
P8.0				scb[3].uart_rx:0		scb[3].i2c_scl:0	scb[3].spi_mosi:0
P8.1				scb[3].uart_tx:0		scb[3].i2c_sda:0	scb[3].spi_miso:0
P8.2				scb[3].uart_cts:0		lpcomp.comp[0]:0	scb[3].spi_clk:0
P8.3				scb[3].uart_rts:0		lpcomp.comp[1]:0	scb[3].spi_select0:0
P8.4							scb[3].spi_select1:0
P8.5							scb[3].spi_select2:0
P8.6							scb[3].spi_select3:0
P8.7							
P9.0			tcpwm.line[0]:2	scb[0].uart_rx:0		scb[0].i2c_scl:0	scb[0].spi_mosi:0
P9.1			tcpwm.line_comp[0]:2	scb[0].uart_tx:0		scb[0].i2c_sda:0	scb[0].spi_miso:0
P9.2			tcpwm.line[1]:2	scb[0].uart_cts:0			scb[0].spi_clk:0
P9.3			tcpwm.line_comp[1]:2	scb[0].uart_rts:0			scb[0].spi_select0:0
P9.4			tcpwm.line[2]:2				scb[0].spi_select1:0
P9.5			tcpwm.line_comp[2]:2				scb[0].spi_select2:0

引脚布局

表 2 引脚可编程功能 (续)

Port/ Pin	Analog	USB	Alt. Function 1	Alt. Function 2	Alt. Function 3	Alt. Function 4	Alt. Function 5
P9.6			tcpwm. line[3]:2			scb[3].i2c_ scl:3	scb[0].spi_ select3:0
P9.7			tcpwm.line_ compl[3]:2			scb[3].i2c_ sda:3	
P5.0	ctb1_pads[0] csd[1].c_mo d		tcpwm. line[4]:2	scb[2].uart_ rx:0		scb[2].i2c_ scl:0	scb[2].spi_ mosi:0
P5.1	ctb1_pads[1] csd[1].c_sh_tank		tcpwm.line_ compl[4]:2	scb[2].uart_ tx:0		scb[2].i2c_ sda:0	scb[2].spi_ miso:0
P5.2	ctb1_pads[2] ctb1_oa0_out_10x		tcpwm. line[5]:2	scb[2].uart_ cts:0		lpcomp. comp[0]:1	scb[2].spi_ clk:0
P5.3	ctb1_pads[3] ctb1_oa1_out_10x		tcpwm.line_ compl[5]:2	scb[2].uart_r ts:0		lpcomp.com p[1]:1	scb[2].spi_ select0:0
P5.4	ctb1_pads[4]		tcpwm. line[6]:2				scb[2].spi_ select1:0
P5.5	ctb1_pads[5]		tcpwm.line_ compl[6]:2				scb[2].spi_ select2:0
P5.6	ctb1_pads[6]		tcpwm. line[7]:2				scb[2].spi_ select3:0
P5.7	ctb1_pads[7]		tcpwm.line_ compl[7]:2				
P1.0	ctb0_pads[0]		tcpwm. line[2]:1	scb[0].uart_ rx:1		scb[0].i2c_ scl:1	scb[0].spi_ mosi:1
P1.1	ctb0_pads[1]		tcpwm.line_ compl[2]:1	scb[0].uart_ tx:1		scb[0].i2c_ sda:1	scb[0].spi_ miso:1
P1.2	ctb0_pads[2] ctb0_oa0_out_10x		tcpwm. line[3]:1	scb[0].uart_ cts:1			scb[0].spi_ clk:1
P1.3	ctb0_pads[3] ctb0_oa1_out_10x		tcpwm.line_ compl[3]:1	scb[0].uart_ rts:1			scb[0].spi_ select0:1
P1.4	ctb0_pads[4]		tcpwm. line[6]:1				scb[0].spi_ select1:1
P1.5	ctb0_pads[5]		tcpwm.line_ compl[6]:1				scb[0].spi_ select2:1
P1.6	ctb0_pads[6]		tcpwm. line[7]:1				scb[0].spi_ select3:1
P1.7	ctb0_pads[7], sar_ext_vref		tcpwm.line_ compl[7]:1				
P2.0	sarmux_pads[0]		tcpwm. line[4]:1	scb[1].uart_ rx:1		scb[1].i2c_ scl:1	scb[1].spi_ mosi:1
P2.1	sarmux_pads[1]		tcpwm.line_ compl[4]:1	scb[1].uart_ tx:1		scb[1].i2c_ sda:1	scb[1].spi_ miso:1
P2.2	sarmux_pads[2]		tcpwm. line[5]:1	scb[1].uart_ cts:1			scb[1].spi_ clk:1
P2.3	sarmux_pads[3]		tcpwm.line_ compl[5]:1	scb[1].uart_ rts:1			scb[1].spi_ select0:1

引脚布局

表 2 引脚可编程功能 (续)

Port/ Pin	Analog	USB	Alt. Function 1	Alt. Function 2	Alt. Function 3	Alt. Function 4	Alt. Function 5
P2.4	sarmux_pads[4]		tcpwm. line[0]:1				scb[1].spi_ select1:0
P2.5	sarmux_pads[5]		tcpwm.line_ compl[0]:1				scb[1].spi_ select2:0
P2.6	sarmux_pads[6]		tcpwm. line[1]:1				scb[1].spi_ select3:0
P2.7	sarmux_pads[7]		tcpwm.line_ compl[1]:1				
P10.0				scb[2].uart_ rx:1		scb[2].i2c_ scl:1	scb[2].spi_ mosi:1
P10.1				scb[2].uart_ tx:1		scb[2].i2c_ sda:1	scb[2].spi_ miso:1
P10.2				scb[2].uart_ cts:1			scb[2].spi_ clk:1
P10.3				scb[2].uart_ rts:1			scb[2].spi_ select0:1
P10.4							scb[2].spi_ select1:1
P10.5							scb[2].spi_ select2:1
P10.6							scb[2].spi_ select3:1
P10.7							
P6.0			tcpwm. line[4]:0	scb[3].uart_ rx:1	can[0].can_ _tx_enb_n: 0	scb[3].i2c_ scl:1	scb[3].spi_ mosi:1
P6.1			tcpwm.line_ compl[4]:0	scb[3].uart_ tx:1	can[0].can_ _rx:0	scb[3].i2c_ sda:1	scb[3].spi_ miso:1
P6.2			tcpwm. line[5]:0	scb[3].uart_ cts:1	can[0].can_ _tx:0	scb[2].i2c_ scl:3	scb[3].spi_ clk:1
P6.3			tcpwm.line_ compl[5]:0	scb[3].uart_ rts:1		scb[2].i2c_ sda:3	scb[3].spi_ select0:1
P6.4			tcpwm. line[6]:0			scb[0].i2c_ scl:3	scb[3].spi_ select1:1
P12.0			tcpwm. line[7]:0			scb[1].i2c_ scl:3	scb[3].spi_ select3:1
P12.1			tcpwm.line_ compl[7]:0			scb[1].i2c_ sda:3	
P6.5			tcpwm.line_ compl[6]:0			scb[0].i2c_ sda:3	scb[3].spi_ select2:1
P3.0			tcpwm. line[0]:0	scb[1].uart_ rx:2		scb[1].i2c_ scl:2	scb[1].spi_ mosi:2
P3.1			tcpwm.line_ compl[0]:0	scb[1].uart_ tx:2		scb[1].i2c_ sda:2	scb[1].spi_ miso:2
P3.2			tcpwm. line[1]:0	scb[1].uart_ cts:2		cpuss.swd_ data:0	scb[1].spi_ clk:2

引脚布局

表 2 引脚可编程功能 (续)

Port/ Pin	Analog	USB	Alt. Function 1	Alt. Function 2	Alt. Function 3	Alt. Function 4	Alt. Function 5
P3.3			tcpwm.line_compl[1]:0	scb[1].uart_rts:2		cpuss.swd_clk:0	scb[1].spi_select0:2
P3.4			tcpwm.line[2]:0				scb[1].spi_select1:1
P3.5			tcpwm.line_compl[2]:0				scb[1].spi_select2:1
P3.6			tcpwm.line[3]:0				scb[1].spi_select3:1
P3.7			tcpwm.line_compl[3]:0				
P11.0			tcpwm.line[4]:3	scb[2].uart_rx:2		scb[2].i2c_scl:2	scb[2].spi_mosi:2
P11.1			tcpwm.line_compl[4]:3	scb[2].uart_tx:2		scb[2].i2c_sda:2	scb[2].spi_miso:2
P11.2			tcpwm.line[5]:3	scb[2].uart_cts:2		cpuss.swd_data:1	scb[2].spi_clk:2
P11.3			tcpwm.line_compl[5]:3	scb[2].uart_rts:2		cpuss.swd_clk:1	scb[2].spi_select0:2
P11.4			tcpwm.line[6]:3				scb[2].spi_select1:2
P11.5			tcpwm.line_compl[6]:3				scb[2].spi_select2:2
P11.6			tcpwm.line[7]:3				scb[2].spi_select3:2
P11.7			tcpwm.line_compl[7]:3				
P4.0				scb[0].uart_rx:2	can[0].can_rx:1	scb[0].i2c_scl:2	scb[0].spi_mosi:2
P4.1				scb[0].uart_tx:2	can[0].can_tx:1	scb[0].i2c_sda:2	scb[0].spi_miso:2
P4.2	csd[0].c_mod			scb[0].uart_cts:2	can[0].can_tx_enb_n:1	lpcomp.comp[0]:2	scb[0].spi_clk:2
P4.3	csd[0].c_sh_tank			scb[0].uart_rts:2		lpcomp.comp[1]:2	scb[0].spi_select0:2
P4.4					can[1].can_tx_enb_n:1		scb[0].spi_select1:2
P4.5					can[1].can_rx:1		scb[0].spi_select2:2
P4.6					can[1].can_tx:1		scb[0].spi_select3:2
P4.7							
P13.0		USB DP					
P13.1		USB DM					
P13.2		VBUS					

引脚布局

表 2 引脚可编程功能 (续)

Port/ Pin	Analog	USB	Alt. Function 1	Alt. Function 2	Alt. Function 3	Alt. Function 4	Alt. Function 5
P7.0	srss.eco_in		tcpwm. line[0]:3	scb[3].uart_ rx:2		scb[3].i2c_ scl:2	scb[3].spi_ mosi:2
P7.1	srss.eco_out		tcpwm.line_ compl[0]:3	scb[3].uart_ tx:2		scb[3].i2c_ sda:2	scb[3].spi_ miso:2
P7.2			tcpwm. line[1]:3	scb[3].uart_ cts:2			scb[3].spi_ clk:2
P7.3			tcpwm.line_ compl[1]:3	scb[3].uart_ rts:2			scb[3].spi_ select0:2
P7.4			tcpwm. line[2]:3				scb[3].spi_ select1:2
P7.5			tcpwm.line_ compl[2]:3				scb[3].spi_ select2:2
P7.6			tcpwm. line[3]:3				scb[3].spi_ select3:2
P7.7			tcpwm.line_ compl[3]:3				

各种电源引脚的功能如下说明:

VDDD: 模拟和数字部分的电源 (没有 V_{DDA} 引脚)。**VDDA:** 封装引脚允许的模拟 V_{DD} 引脚; 应在 VDDD 之前或与 VDDD 同时存在, 并且 VDDA 的值应等于或高于 VDDD 和 VDDIO。**VDDIO:** I/O 引脚电源域。如果没有 VDDD, 则不应存在。**VSSA:** 封装引脚允许时模拟接地引脚; 否则短接至 VSS。**VSS:** 接地引脚稳压数字电源 ($1.8\text{ V} \pm 5\%$)**VBUS:** USB 电压。VBUS 相对于 VDDD 没有限制。但是, 由于它来自 USB, 因此通常假设为 5 V (理想情况下为 4.35 V 至 5.5 V)。

GPIO 和 GPIO_OVT 引脚可用作 CSD 感测和屏蔽引脚 (共 94 个)。其中最多 64 个引脚可用于 LCD 驱动。

支持以下封装: 124 球 BGA、64 脚 TQFP、68 脚 QFN 和 48 脚 TQFP。

4 供电

电源电压范围为 1.71 V 至 5.5 V，所有功能和电路均在此范围内运行。

PSoC™ 4200L 系列允许两种不同的电源运行模式：非稳压外部电源模式和稳压外部电源模式。

4.1 非稳压的外部供应

在此模式下，PSoC™ 4200L 由外部电源供电，电压范围为 1.8 V 至 5.5 V。该系列还设计用于电池供电操作，例如，该芯片可由起始电压为 3.5 V 并可低至 1.8 V 的电池系统供电。在此模式下，内部稳压源 PSoC™ 4200L 提供内部逻辑，并且 PSoC 4200L 的 VCCD 输出必须通过外部电容器（范围在 1 μ F 至 1.6 μ F 之间；X5R 陶瓷或更好）旁路至地。

PCB 上的 VDDA 和 VDDD 必须短接在一起；地、VSSA 和 VSS 也必须短接在一起。必须使用从 VDDD 和 VDDA 到地的旁路电容器，对于此频率范围内的系统，典型的做法是使用 1 μ F 范围内的电容器与较小的电容器（例如 0.1 μ F）并联。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

表 3 详细信息

Power Supply	Bypass Capacitors
VDDD–VSS and VDDIO–VSS	0.1 μ F ceramic at each pin plus bulk capacitor 1 to 10 μ F.
VDDA–VSSA	0.1 μ F ceramic at pin. Additional 1 μ F to 10 μ F bulk capacitor.
VCCD–VSS	1 μ F ceramic capacitor at the VCCD pin.
VREF–VSSA (optional)	The internal bandgap may be bypassed with a 1 μ F to 10 μ F capacitor for better ADC performance.

4.2 稳压的外部供应

在此模式下，PSoC™ 4200L 由外部电源供电，该电源电压必须在 1.71 V 至 1.89 V (1.8 $\pm$ 5%)；请注意，此范围需要包括电源纹波。在该模式下，VDD 和 VCCD 引脚短接相连并被旁路。内部稳压器可通过固件被禁用。

电气规格参数

5 电气规格参数

5.1 绝对最大额定值

表 4 绝对最大额定值^[1]

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/ conditions
SID1	V _{DD_ABS}	Analog or digital supply relative to V _{SS} (V _{SSD} = V _{SSA})	-0.5	-	6	V	Absolute maximum
SID2	V _{CCD_ABS}	Direct digital core voltage input relative to V _{SSD}	-0.5	-	1.95	V	Absolute maximum
SID3	V _{GPIO_ABS}	GPIO voltage; V _{DDD} or V _{DDA}	-0.5	-	V _{DD} + 0.5	V	Absolute maximum
SID4	I _{GPIO_ABS}	Current per GPIO	-25	-	25	mA	Absolute maximum
SID5	I _{G-PIO_injection}	GPIO injection current per pin	-0.5	-	0.5	mA	Absolute maximum
BID44	ESD_HBM	Electrostatic discharge human body model	2200	-	-	V	
BID45	ESD_CDM	Electrostatic discharge charged device model	500	-	-	V	
BID46	LU	Pin current for latch-up	-140	-	140	mA	

注:

1. 表4中所列绝对最大条件以上的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 《高温存储寿命》。在绝对最大条件以下但高于正常工作条件下使用时，器件可能无法按规格运行。

电气规格参数

5.2 器件级规范

除非另有说明，所有规格均适用于 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ 和 $T_J \leq 125^{\circ}\text{C}$ 。规格有效期为 1.71 V 至 5.5 V，除非另有说明。

表 5 直流参数

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID53	V_{DDD}	Power Supply Input Voltage ($V_{\text{DDA}} = V_{\text{DDD}} = V_{\text{DD}}$)	1.8	–	5.5	V	With regulator enabled
SID255	V_{DDD}	Power supply input voltage unregulated	1.71	1.8	1.89	V	Internally unregulated Supply
SID54	V_{CCD}	Output voltage (for core logic)	–	1.8	–	V	
SID55	C_{EFC}	External Regulator voltage (V_{CCD}) bypass	1	1.3	1.6	μF	X5R ceramic or better
SID56	C_{EXC}	Power supply decoupling capacitor	–	1	–	μF	X5R ceramic or better

活动模式

SID6	I_{DD1}	Execute from flash; CPU at 6 MHz	–	2.2	3.1	mA	
SID7	I_{DD2}	Execute from flash; CPU at 12 MHz	–	3.7	4.8	mA	
SID8	I_{DD3}	Execute from flash; CPU at 24 MHz	–	6.7	8.0	mA	
SID9	I_{DD4}	Execute from flash; CPU at 48 MHz	–	12.8	14.5	mA	

睡眠模式

SID21	I_{DD16}	I ² C wakeup, WDT, and Comparators on. Regulator Off.	–	1.8	2.2	mA	$V_{\text{DD}} = 1.71\text{ V}$ to 1.89 V, 6 MHz
SID22	I_{DD17}	I ² C wakeup, WDT, and Comparators on.	–	1.7	2.1	mA	$V_{\text{DD}} = 1.8\text{ V}$ to 5.5 V, 6 MHz
SID23	I_{DD18}	I ² C wakeup, WDT, and Comparators on. Regulator Off.	–	2.4	2.9	mA	$V_{\text{DD}} = 1.71\text{ V}$ to 1.89 V, 12 MHz
SID24	I_{DD19}	I ² C wakeup, WDT, and Comparators on.	–	2.3	2.8	mA	$V_{\text{DD}} = 1.8\text{ V}$ to 5.5 V, 12 MHz

深度睡眠模式， -40°C 至 $+60^{\circ}\text{C}$

SID30	I_{DD25}	I ² C wakeup and WDT on. Regulator Off.	–	–	13.5	μA	$V_{\text{DD}} = 1.71\text{ V}$ to 1.89 V
SID31	I_{DD26}	I ² C wakeup and WDT on.	–	1.3	20	μA	$V_{\text{DD}} = 1.8\text{ V}$ to 3.6 V
SID32	I_{DD27}	I ² C wakeup and WDT on.	–	–	20	μA	$V_{\text{DD}} = 3.6\text{ V}$ to 5.5 V

电气规格参数

表 5 直流规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/ conditions
深度睡眠模式, +85°C							
SID33	I _{DD28}	I ² C wakeup and WDT on. Regulator Off.	–	–	45	μA	V _{DD} = 1.71 V to 1.89 V
SID34	I _{DD29}	I ² C wakeup and WDT on.	–	15	60	μA	V _{DD} = 1.8 V to 3.6 V
SID35	I _{DD30}	I ² C wakeup and WDT on.	–	–	45	μA	V _{DD} = 3.6 V to 5.5 V
休眠模式, -40°C 至 +60°C							
SID39	I _{DD34}	Regulator Off.	–	–	1123	nA	V _{DD} = 1.71 V to 1.89 V
SID40	I _{DD35}		–	150	1600	nA	V _{DD} = 1.8 V to 3.6 V
SID41	I _{DD36}		–	–	1600	nA	V _{DD} = 3.6 V to 5.5 V
休眠模式, +85°C							
SID42	I _{DD37}	Regulator Off.	–	–	4142	nA	V _{DD} = 1.71 V to 1.89 V
SID43	I _{DD38}		–	–	9700	nA	V _{DD} = 1.8 V to 3.6 V
SID44	I _{DD39}		–	–	10,400	nA	V _{DD} = 3.6 V to 5.5 V
停止模式							
SID304	I _{DD43A}	Stop Mode current; V _{DD} = 3.6 V	–	20	659	nA	T = -40°C to +60°C
SID304A	I _{DD43B}	Stop Mode current; V _{DD} = 3.6 V	–	–	1810	nA	T = +85°C
XRES电流							
SID307	I _{DD_XR}	Supply current while XRES (Active Low) asserted	–	2	5	mA	

电气规格参数

表 6 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID48	F_{CPU}	CPU frequency	DC	–	48	MHz	$1.71 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$
SID49	T_{SLEEP}	Wakeup from Sleep mode	–	0	–	μs	Guaranteed by characterization.
SID50	$T_{\text{DEEPSLEEP}}$	Wakeup from Deep Sleep mode	–	–	25	μs	24-MHz IMO. Guaranteed by characterization.
SID51	$T_{\text{HIBERNATE}}$	Wakeup from Hibernate mode	–	–	0.7	ms	Guaranteed by characterization.
SID51A	T_{STOP}	Wakeup from Stop mode	–	–	1.9	ms	Guaranteed by characterization.
SID52	$T_{\text{RESETWIDTH}}$	External reset pulse width	1	–	–	μs	Guaranteed by characterization.

电气规格参数

5.2.1 GPIO

表 7 GPIO直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID57	$V_{IH}^{[2]}$	Input voltage high threshold	$0.7 \times V_{DDD}$	–	–	V	CMOS input
SID57A	I_{IHS}	Input current when $Pad > V_{DDIO}$ for OVT inputs	–	–	10	μA	Per I ² C spec
SID58	V_{IL}	Input voltage low threshold	–	–	$0.3 \times V_{DDD}$	V	CMOS input
SID241	$V_{IH}^{[2]}$	LVTTL input, $V_{DDD} < 2.7 V$	$0.7 \times V_{DDD}$	–	–	V	
SID242	V_{IL}	LVTTL input, $V_{DDD} < 2.7 V$	–	–	$0.3 \times V_{DDD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL input, $V_{DDD} \geq 2.7 V$	2.0	–	–	V	
SID244	V_{IL}	LVTTL input, $V_{DDD} \geq 2.7 V$	–	–	0.8	V	
SID59	V_{OH}	Output voltage high level	$V_{DDD} - 0.6$	–	–	V	$I_{OH} = 4 mA$, $V_{DDD} \geq 3 V$
SID60	V_{OH}	Output voltage high level	$V_{DDD} - 0.5$	–	–	V	$I_{OH} = 1 mA$ at 1.8 V V_{DDD}
SID61	V_{OL}	Output voltage low level	–	–	0.6	V	$I_{OL} = 4 mA$ at 1.8 V V_{DDD}
SID62	V_{OL}	Output voltage low level	–	–	0.6	V	$I_{OL} = 8 mA$, $V_{DDD} \geq 3 V$
SID62A	V_{OL}	Output voltage low level	–	–	0.4	V	$I_{OL} = 3 mA$, $V_{DDD} \geq 3 V$
SID63	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	Pull-down resistor	3.5	5.6	8.5	kΩ	
SID65	I_{IL}	Input leakage current (absolute value)	–	–	2	nA	25°C, $V_{DDD} = 3.0 V$
SID65A	I_{IL_CTBM}	Input leakage current (absolute value) for CTBM pins	–	–	4	nA	
SID66	C_{IN}	Input capacitance	–	–	7	pF	Not applicable for P6.4, P6.5, P12.0, P12.1, and for USB pins.
SID67	V_{HYSTTL}	Input hysteresis LVTTL	25	40	–	mV	$V_{DDD} \geq 2.7 V$
SID68	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.05 \times V_{DDD}$	–	–	mV	
SID69	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μA	Guaranteed by characterization.
SID69A	I_{TOT_GPIO}	Maximum Total Source or Sink Chip Current	–	–	200	mA	Guaranteed by characterization.

注:

2. V_{IH} 不能超过 $V_{DDD} + 0.2 V$ 。

电气规格参数

表 8 GPIO 交流规格

(由特性保证)^[3]

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID70	T_{RISEF}	Rise time in fast strong mode	2	–	12	ns	3.3 V V_{DD} , Clload = 25 pF
SID71	T_{FALLF}	Fall time in fast strong mode	2	–	12	ns	3.3 V V_{DD} , Clload = 25 pF
SID72	T_{RISES}	Rise time in slow strong mode	10	–	60	ns	3.3 V V_{DD} , Clload = 25 pF
SID73	T_{FALLS}	Fall time in slow strong mode	10	–	60	ns	3.3 V V_{DD} , Clload = 25 pF
SID74	$F_{GPIOUT1}$	GPIO Fout; 3.3 V $\leq V_{DD} \leq 5.5$ V. Fast strong mode.	–	–	33	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID75	$F_{GPIOUT2}$	GPIO Fout; 1.7 V $\leq V_{DD} \leq 3.3$ V. Fast strong mode.	–	–	16.7	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID76	$F_{GPIOUT3}$	GPIO Fout; 3.3 V $\leq V_{DD} \leq 5.5$ V. Slow strong mode.	–	–	7	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID245	$F_{GPIOUT4}$	GPIO Fout; 1.7 V $\leq V_{DD} \leq 3.3$ V. Slow strong mode.	–	–	3.5	MHz	90/10%, 25 pF load, 60/40 duty cycle
SID246	F_{GPIOIN}	GPIO input operating frequency; 1.71 V $\leq V_{DD} \leq 5.5$ V.	–	–	48	MHz	90/10% V_{IO}

注:

3. 许多满载 GPIO 引脚上的同时开关转换可能会导致接地扰动，具体取决于 PCB 和去耦电容器设计等多种因素。对于对地面扰动非常敏感的应用，可以使用较慢的 GPIO 斜率设置。

电气规格参数

5.2.2 XRES

表 9 XRES直流参数

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID77	V_{IH}	Input voltage high threshold	$0.7 \times V_{DD}$	–	–	V	CMOS input
SID78	V_{IL}	Input voltage low threshold	–	–	$0.3 \times V_{DD}$	V	CMOS input
SID79	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	k Ω	
SID80	C_{IN}	Input capacitance	–	3	–	pF	
SID81	$V_{HYSXRES}$	Input voltage hysteresis	–	100	–	mV	Guaranteed by characterization.
SID82	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μ A	Guaranteed by characterization.

表 10 XRES 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID83	$T_{RESETWIDTH}$	Reset pulse width	1	–	–	μ s	Guaranteed by characterization.

电气规格参数

5.3 模拟外设

5.3.1 运算放大器

表 11 运算放大器规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
	I_{DD}	Opamp block current. No load.	–	–	–	–	
SID269	I_{DD_HI}	Power = high	–	1100	1850	μA	
SID270	I_{DD_MED}	Power = medium	–	550	950	μA	
SID271	I_{DD_LOW}	Power = low	–	150	350	μA	
	GBW	Load = 20 pF, 0.1 mA. $V_{DDA} = 2.7\text{ V}$	–	–	–	–	
SID272	GBW_HI	Power = high	6	–	–	MHz	
SID273	GBW_MED	Power = medium	4	–	–	MHz	
SID274	GBW_LO	Power = low	–	1	–	MHz	
	I_{OUT_MAX}	$V_{DDA} \geq 2.7\text{ V}$, 500 mV from rail	–	–	–	–	
SID275	$I_{OUT_MAX_HI}$	Power = high	10	–	–	mA	
SID276	$I_{OUT_MAX_MID}$	Power = medium	10	–	–	mA	
SID277	$I_{OUT_MAX_LO}$	Power = low	–	5	–	mA	
	I_{OUT}	$V_{DDA} = 1.71\text{ V}$, 500 mV from rail	–	–	–	–	
SID278	$I_{OUT_MAX_HI}$	Power = high	4	–	–	mA	
SID279	$I_{OUT_MAX_MID}$	Power = medium	4	–	–	mA	
SID280	$I_{OUT_MAX_LO}$	Power = low	–	2	–	mA	
SID281	V_{IN}	Input voltage range	–0.05	–	$V_{DDA} - 0.2$	V	Charge-pump on, $V_{DDA} \geq 2.7\text{ V}$
SID282	V_{CM}	Input common mode voltage	–0.05	–	$V_{DDA} - 0.2$	V	Charge-pump on, $V_{DDA} \geq 2.7\text{ V}$
	V_{OUT}	$V_{DDA} \geq 2.7\text{ V}$	–	–	–		
SID283	V_{OUT_1}	Power = high, $I_{load} = 10\text{ mA}$	0.5	–	$V_{DDA} - 0.5$	V	
SID284	V_{OUT_2}	Power = high, $I_{load} = 1\text{ mA}$	0.2	–	$V_{DDA} - 0.2$	V	
SID285	V_{OUT_3}	Power = medium, $I_{load} = 1\text{ mA}$	0.2	–	$V_{DDA} - 0.2$	V	
SID286	V_{OUT_4}	Power = low, $I_{load} = 0.1\text{ mA}$	0.2	–	$V_{DDA} - 0.2$	V	
SID288	V_{OS_TR}	Offset voltage, trimmed	1	±0.5	1	mV	High mode
SID288A	V_{OS_TR}	Offset voltage, trimmed	–	±1	–	mV	Medium mode
SID288B	V_{OS_TR}	Offset voltage, trimmed	–	±2	–	mV	Low mode

电气规格参数

表 11 运算放大器规格 (续)

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID290	V _{OS_DR_TR}	Offset voltage drift, trimmed	-10	±3	10	μV/°C	High mode
SID290A	V _{OS_DR_TR}	Offset voltage drift, trimmed	-	±10	-	μV/°C	Medium mode
SID290B	V _{OS_DR_TR}	Offset voltage drift, trimmed	-	±10	-	μV/°C	Low mode
SID291	CMRR	DC	60	70	-	dB	V _{DD} = 3.6 V
SID292	PSRR	At 1 kHz, 100 mV ripple	70	85	-	dB	V _{DD} = 3.6 V
	Noise		-	-	-	-	
SID293	V _{N1}	Input referred, 1 Hz-1 GHz, power = high	-	94	-	μVrms	
SID294	V _{N2}	Input referred, 1 kHz, power = high	-	72	-	nV/rtHz	
SID295	V _{N3}	Input referred, 10 kHz, power = high	-	28	-	nV/rtHz	
SID296	V _{N4}	Input referred, 100 kHz, power = high	-	15	-	nV/rtHz	
SID297	Cload	Stable up to maximum load. Performance specs at 50 pF.	-	-	125	pF	
SID298	Slew_rate	Cload = 50 pF, Power = High, V _{DDA} ≥ 2.7 V	6	-	-	V/μs	
SID299	T _{op_wake}	From disable to enable, no external RC dominating	-	25	-	μs	
SID299A	OL_GAIN	Open Loop Gain	-	90	-	dB	
	Comp_mode	Comparator mode; 50 mV drive, T _{rise} = T _{fall} (approx.)	-	-	-		
SID300	T _{PD1}	Response time; power = high	-	150	-	ns	
SID301	T _{PD2}	Response time; power = medium	-	400	-	ns	
SID302	T _{PD3}	Response time; power = low	-	2000	-	ns	
SID303	V _{hyst_op}	Hysteresis	-	10	-	mV	
Deep Sleep Mode		Mode 2 is lowest current range. Mode 1 has higher GBW.					Deep Sleep mode V _{DDA} ≥ 2.7 V.

电气规格参数

表 11 运算放大器规格 (续)

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_DS_1	IDD_HI_M1	Mode 1, High current	–	1400	–	μA	25°C
SID_DS_2	IDD_MED_M1	Mode 1, Medium current	–	700	–	μA	25°C
SID_DS_3	IDD_LOW_M1	Mode 1, Low current	–	200	–	μA	25°C
SID_DS_4	IDD_HI_M2	Mode 2, High current	–	120	–	μA	25°C
SID_DS_5	IDD_MED_M2	Mode 2, Medium current	–	60	–	μA	25°C
SID_DS_6	IDD_LOW_M2	Mode 2, Low current	–	15	–	μA	25°C
SID_DS_7	GBW_HI_M1	Mode 1, High current	–	4	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_8	GBW_MED_M1	Mode 1, Medium current	–	2	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_9	GBW_LOW_M1	Mode 1, Low current	–	0.5	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_10	GBW_HI_M2	Mode 2, High current	–	0.5	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_11	GBW_MED_M2	Mode 2, Medium current	–	0.2	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_12	GBW_LOW_M2	Mode 2, Low current	–	0.1	–	MHz	20-pF load, no DC load 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_13	VOS_HI_M1	Mode 1, High current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_14	VOS_MED_M1	Mode 1, Medium current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_15	VOS_LOW_M1	Mode 1, Low current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_16	VOS_HI_M2	Mode 2, High current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_17	VOS_MED_M2	Mode 2, Medium current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_18	VOS_LOW_M2	Mode 2, Low current	–	5	–	mV	With trim 25°C, 0.2 V to $V_{DDA} - 1.5$ V
SID_DS_19	IOUT_HI_M1	Mode 1, High current	–	10	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_20	IOUT_MED_M1	Mode 1, Medium current	–	10	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V

电气规格参数

表 11 运算放大器规格 (续)

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID_DS_21	IOUT_LOW_M1	Mode 1, Low current	–	4	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_22	IOUT_HI_M2	Mode 2, High current	–	1	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_23	IOUT_MED_M2	Mode 2, Medium current	–	1	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V
SID_DS_24	IOUT_LOW_M2	Mode 2, Low current	–	0.5	–	mA	Output is 0.5 V to $V_{DDA} - 0.5$ V

5.3.2 比较器

表 12 比较器直流规范

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID85	$V_{OFFSET2}$	Input offset voltage. Custom trim. Common mode voltage range from 0 to $V_{DD} - 1$.	–	–	± 4	mV	
SID85A	$V_{OFFSET3}$	Input offset voltage. Ultra low-power mode.	–	± 12	–	mV	$V_{DDD} \geq 2.2$ V for Temp $< 0^\circ\text{C}$, $V_{DDD} \geq 1.8$ V for Temp $> 0^\circ\text{C}$
SID86	V_{HYST}	Hysteresis when enabled. Common mode voltage range from 0 to $V_{DD} - 1$.	–	10	35	mV	Guaranteed by characterization.
SID87	V_{ICM1}	Input common mode voltage in normal mode	0	–	$V_{DDD} - 0.2$	V	Modes 1 and 2.
SID247	V_{ICM2}	Input common mode voltage in low power mode	0	–	V_{DDD}	V	
SID247A	V_{ICM2}	Input common mode voltage in ultra low power mode	0	–	$V_{DDD} - 1.15$	V	$V_{DDD} \geq 2.2$ V for Temp $< 0^\circ\text{C}$, $V_{DDD} \geq 1.8$ V for Temp $> 0^\circ\text{C}$
SID88	CMRR	Common mode rejection ratio	50	–	–	dB	$V_{DDD} \geq 2.7$ V. Guaranteed by characterization.
SID88A	CMRR	Common mode rejection ratio	42	–	–	dB	$V_{DDD} < 2.7$ V. Guaranteed by characterization.
SID89	I_{CMP1}	Block current, normal mode	–	280	400	μA	Guaranteed by characterization.
SID248	I_{CMP2}	Block current, low power mode	–	50	100	μA	Guaranteed by characterization.

电气规格参数

表 12 比较器直流规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID259	I_{CMP3}	Block current, ultra low power mode	–	6	28	μA	Guaranteed by characterization, $V_{DD} \geq 2.2 V$ for Temp < 0°C, $V_{DD} \geq 1.8 V$ for Temp > 0°C
SID90	Z_{CMP}	DC input impedance of comparator	35	–	–	M Ω	Guaranteed by characterization.

表 13 比较器交流规范

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID91	T_{RESP1}	Response time, normal mode	–	38	110	ns	50-mV overdrive
SID258	T_{RESP2}	Response time, low power mode	–	70	200	ns	50-mV overdrive
SID92	T_{RESP3}	Response time, ultra low power mode	–	2.3	15	μs	200-mV overdrive. $V_{DD} \geq 2.2 V$ for Temp < 0°C, $V_{DD} \geq 1.8 V$ for Temp > 0°C

5.3.3 温度感应器

表 14 温度传感器温度规范

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID93	$T_{SENSACC}$	Temperature sensor accuracy	–5	± 1	+5	°C	–40°C to +85°C

电气规格参数

5.3.4 SAR ADC

表 15 SAR ADC 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID94	A_RES	Resolution	–	–	12	bits	
SID95	A_CHNIS_S	Number of channels - single ended	–	–	16		
SID96	A-CHNKS_D	Number of channels - differential	–	–	8		Diff inputs use neighboring I/O.
SID97	A-MONO	Monotonicity	–	–	–		Yes. Based on characterization.
SID98	A_GAINERR	Gain error	–	–	±0.1	%	With external reference.
SID99	A_OFFSET	Input offset voltage	–	–	2	mV	Measured with 1-V V_{REF} .
SID100	A_ISAR	Current consumption	–	–	1	mA	
SID101	A_VINS	Input voltage range - single ended	V_{SS}	–	V_{DDA}	V	Based on device characterization.
SID102	A_VIND	Input voltage range - differential	V_{SS}	–	V_{DDA}	V	Based on device characterization.
SID103	A_INRES	Input resistance	–	–	2.2	kΩ	Based on device characterization.
SID104	A_INCAP	Input capacitance	–	–	10	pF	Based on device characterization.

表 16 SAR ADC 交流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID106	A_PSRR	Power supply rejection ratio	70	–	–	dB	
SID107	A_CMRR	Common mode rejection ratio	66	–	–	dB	Measured at 1 V.
SID108	A_SAMP_1	Sample rate with external reference bypass cap	–	–	1	Msp/s	
SID108A	A_SAMP_2	Sample rate with no bypass cap. Reference = V_{DD}	–	–	500	ksps	
SID108B	A_SAMP_3	Sample rate with no bypass cap. Internal reference	–	–	100	ksps	
SID109	A_SNDR	Signal-to-noise and distortion ratio (SINAD)	65	–	–	dB	$F_{IN} = 10 \text{ kHz}$
SID111	A_INL	Integral non linearity	–1.7	–	+2	LSB	$V_{DD} = 1.71 \text{ V to } 5.5 \text{ V}$, 1 Msp/s, $V_{REF} = 1 \text{ V to } 5.5 \text{ V}$.

电气规格参数

表 16 SAR ADC 交流规格 (续)

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID111A	A_INL	Integral non linearity	-1.5	-	+1.7	LSB	$V_{DD} = 1.71 \text{ V to } 3.6 \text{ V}$, 1 Msps, $V_{REF} = 1.71 \text{ V to } V_{DD}$.
SID111B	A_INL	Integral non linearity	-1.5	-	+1.7	LSB	$V_{DD} = 1.71 \text{ V to } 5.5 \text{ V}$, 500 ksps, $V_{REF} = 1 \text{ V to } 5.5 \text{ V}$.
SID112	A_DNL	Differential non linearity	-1	-	+2.2	LSB	$V_{DD} = 1.71 \text{ V to } 5.5 \text{ V}$, 1 Msps, $V_{REF} = 1 \text{ V to } 5.5 \text{ V}$.
SID112A	A_DNL	Differential non linearity	-1	-	+2	LSB	$V_{DD} = 1.71 \text{ V to } 3.6 \text{ V}$, 1 Msps, $V_{REF} = 1.71 \text{ V to } V_{DD}$.
SID112B	A_DNL	Differential non linearity	-1	-	+2.2	LSB	$V_{DD} = 1.71 \text{ V to } 5.5 \text{ V}$, 500 ksps, $V_{REF} = 1 \text{ V to } 5.5 \text{ V}$.
SID113	A_THD	Total harmonic distortion	-	-	-65	dB	$F_{IN} = 10 \text{ kHz}$.

5.3.5 CSD

表 17 CSD 块规范 CSD 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID308	VCSD	Voltage range of operation	1.71	-	5.5	V	
SID309	IDAC1	DNL for 8-bit resolution	-1	-	1	LSB	
SID310	IDAC1	INL for 8-bit resolution	-3	-	3	LSB	
SID311	IDAC2	DNL for 7-bit resolution	-1	-	1	LSB	
SID312	IDAC2	INL for 7-bit resolution	-3	-	3	LSB	
SID313	SNR	Ratio of counts of finger to noise	5	-	-	Ratio	Capacitance range of 9 pF to 35 pF, 0.1 pF sensitivity. Guaranteed by characterization.
SID314	IDAC1_CRT1	Output current of Idac1 (8-bits) in High range	-	612	-	μA	
SID314A	IDAC1_CRT2	Output current of Idac1 (8-bits) in Low range	-	306	-	μA	
SID315	IDAC2_CRT1	Output current of Idac2 (7-bits) in High range	-	304.8	-	μA	
SID315A	IDAC2_CRT2	Output current of Idac2 (7-bits) in Low range	-	152.4	-	μA	

电气规格参数

5.4 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

5.4.1 定时器/计数器/PWM

表 18 TCPWM 规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID.TCPWM.1	ITCPWM1	Block current consumption at 3 MHz	–	–	45	μA	All modes (Timer/Counter/PWM)
SID.TCPWM.2	ITCPWM2	Block current consumption at 12 MHz	–	–	155	μA	All modes (Timer/Counter/PWM)
SID.TCPWM.2A	ITCPWM3	Block current consumption at 48 MHz	–	–	650	μA	All modes (Timer/Counter/PWM)
SID.TCPWM.3	TCPWMFREQ	Operating frequency	–	–	Fc	MHz	Fc max = Fcpu. Maximum = 48 MHz
SID.TCPWM.4	TPWMENEXT	Input Trigger Pulse Width for all Trigger Events	2/Fc	–	–	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected.
SID.TCPWM.5	TPWMEXT	Output Trigger Pulse widths	2/Fc	–	–	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs.
SID.TCPWM.5A	TCRES	Resolution of Counter	1/Fc	–	–	ns	Minimum time between successive counts.
SID.TCPWM.5B	PWMRES	PWM Resolution	1/Fc	–	–	ns	Minimum pulse width of PWM output.
SID.TCPWM.5C	QRES	Quadrature inputs resolution	1/Fc	–	–	ns	Minimum pulse width between Quadrature phase inputs.

电气规格参数

5.4.2 I²C表 19 固定 I²C 直流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID149	I _{I2C1}	Block current consumption at 100 kHz	–	10.5	55	μA	
SID150	I _{I2C2}	Block current consumption at 400 kHz	–	–	135	μA	
SID151	I _{I2C3}	Block current consumption at 1 Mbps	–	–	310	μA	
SID152	I _{I2C4}	I ² C enabled in Deep Sleep mode	–	–	1.4	μA	

表 20 固定 I²C 交流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID153	F _{I2C1}	Bit rate	–	–	1	Mbps	

5.4.3 液晶屏直接驱动

表 21 LCD 直接驱动直流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID154	I _{LCDLOW}	Operating current in low power mode	–	5	–	μA	16 × 4 small segment disp. at 50 Hz
SID155	C _{LCDCAP}	LCD capacitance per segment/common driver	–	500	5000	pF	Guaranteed by design.
SID156	LCD _{OFFSET}	Long-term segment offset	–	20	–	mV	
SID157	I _{LCDOP1}	PWM Mode current. 5-V bias. 24-MHz IMO	–	0.6	–	mA	32 × 4 segments. 50 Hz, 25°C
SID158	I _{LCDOP2}	PWM Mode current. 3.3-V bias. 24-MHz IMO.	–	0.5	–	mA	32 × 4 segments. 50 Hz, 25°C

表 22 LCD 直接驱动交流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID159	F _{LCD}	LCD frame rate	10	50	150	Hz	

电气规格参数

5.4.4 固定UART

表 23 固定UART直流规范

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID160	I_{UART1}	Block current consumption at 100 Kbits/second	–	9	55	μA	
SID161	I_{UART2}	Block current consumption at 1000 Kbits/second	–	–	312	μA	

表 24 固定UART交流规范

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID162	F_{UART}	Bit rate	–	–	1	Mbps	

电气规格参数

5.4.5 SPI规格

表 25 固定 SPI 直流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units
SID163	I_{SPI1}	Block current consumption at 1 Mbits/second	–	–	360	μA
SID164	I_{SPI2}	Block current consumption at 4 Mbits/second	–	–	560	μA
SID165	I_{SPI3}	Block current consumption at 8 Mbits/second	–	–	600	μA

表 26 固定 SPI 交流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units
SID166	F_{SPI}	SPI operating frequency (master; 6X oversampling)	–	–	8	MHz

表 27 SPI主设备模式的固定交流规范

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units
SID167	T_{DMO}	MOSI valid after Sclock driving edge	–	–	15	ns
SID168	T_{DSI}	MISO valid before Sclock capturing edge. Full clock, late MISO Sampling used	20	–	–	ns
SID169	T_{HMO}	Previous MOSI data hold time with respect to capturing edge at Slave	0	–	–	ns

表 28 SPI从设备模式的固定交流规范

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units
SID170	T_{DMI}	MOSI valid before Sclock capturing edge	40	–	–	ns
SID171	T_{DSO}	MISO valid after Sclock driving edge	–	–	$42 + 3 \times T_{SCB}$	ns
SID171A	T_{DSO_ext}	MISO valid after Sclock driving edge in Ext. Clock mode	–	–	48	ns
SID172	T_{HSO}	Previous MISO data hold time	0	–	–	ns
SID172A	T_{SSELCK}	SSEL Valid to first SCK Valid edge	100	–	–	ns

电气规格参数

5.5 存储器

5.5.1 闪存

表 29 Flash 直流参数

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID173	V_{PE}	Erase and program voltage	1.71	–	5.5	V	

表 30 Flash 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID174	$T_{ROWWRITE}$	Row (block) write time (erase and program)	–	–	20	ms	Row (block) = 256 bytes
SID175	$T_{ROWERASE}$	Row erase time	–	–	13	ms	
SID176	$T_{ROWPROGRAM}$	Row program time after erase	–	–	7	ms	
SID178	$T_{BULKERASE}$	Bulk erase time (128 KB)	–	–	35	ms	
SID180	$T_{DEVPROG}$	Total device program time	–	–	15	seconds	Guaranteed by characterization.
SID181	F_{END}	Flash endurance	100k	–	–	cycles	Guaranteed by characterization.
SID182	F_{RET}	Flash retention. $T_A \leq 55^\circ\text{C}$, 100k P/E cycles	20	–	–	years	Guaranteed by characterization.
SID182A		Flash retention. $T_A \leq 85^\circ\text{C}$, 10k P/E cycles	10	–	–	years	Guaranteed by characterization.
SID182B	F_{RETQ}	Flash retention. $T_A \leq 105^\circ\text{C}$, 10k P/E cycles, $\leq$ three years at $T_A \geq 85^\circ\text{C}$	10	20	–	years	Guaranteed by characterization.

电气规格参数

5.6 系统资源

5.6.1 欠压情况下的上电复位 (POR)

表 31 不精确上电复位 (PRES)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID185	$V_{RISEIPOR}$	Rising trip voltage	0.80	–	1.45	V	Guaranteed by characterization.
SID186	$V_{FALLIPOR}$	Falling trip voltage	0.75	–	1.4	V	Guaranteed by characterization.
SID187	$V_{IPORHYST}$	Hysteresis	15	–	200	mV	Guaranteed by characterization.

表 32 精确上电复位 (POR)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID190	$V_{FALLPPOR}$	BOD trip voltage in active and sleep modes	1.64	–	–	V	Guaranteed by characterization.
SID192	$V_{FALLDPSLP}$	BOD trip voltage in Deep Sleep	1.4	–	–	V	Guaranteed by characterization.

电气规格参数

5.6.2 电压监视器

表 33 电压监测器直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID195	V _{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V _{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V _{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V _{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V _{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V _{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V _{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V _{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V _{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V _{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V _{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V _{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V _{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V _{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V _{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V _{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	Block current	–	–	100	μA	Guaranteed by characterization.

表 34 电压监测器交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID212	T _{MONTRIP}	Voltage monitor trip time	–	–	1	μs	Guaranteed by characterization.

电气规格参数

5.6.3 SWD接口

表 35 SWD 接口规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID213	F_SWCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCLK $\leq 1/3$ CPU clock frequency
SID214	F_SWCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	–	–	7	MHz	SWDCLK $\leq 1/3$ CPU clock frequency
SID215	T_SWDI_SETUP	$T = 1/f_{\text{SWDCLK}}$	$0.25 \times T$	–	–	ns	Guaranteed by characterization.
SID216	T_SWDI_HOLD	$T = 1/f_{\text{SWDCLK}}$	$0.25 \times T$	–	–	ns	Guaranteed by characterization.
SID217	T_SWDO_VALID	$T = 1/f_{\text{SWDCLK}}$	–	–	$0.5 \times T$	ns	Guaranteed by characterization.
SID217A	T_SWDO_HOLD	$T = 1/f_{\text{SWDCLK}}$	1	–	–	ns	Guaranteed by characterization.

5.6.4 内部主振荡器

表 36 IMO直流规格

(由设计保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID218	I_{IMO1}	IMO operating current at 48 MHz	–	–	1000	μA	
SID219	I_{IMO2}	IMO operating current at 24 MHz	–	–	325	μA	
SID220	I_{IMO3}	IMO operating current at 12 MHz	–	–	225	μA	
SID221	I_{IMO4}	IMO operating current at 6 MHz	–	–	180	μA	
SID222	I_{IMO5}	IMO operating current at 3 MHz	–	–	150	μA	

表 37 IMO交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID223	F_{IMOTOL1}	Frequency variation from 3 MHz to 48 MHz	–	–	± 2	%	
SID226	T_{STARTIMO}	IMO startup time	–	–	12	μs	
SID227	$T_{\text{JITRMSIMO1}}$	RMS Jitter at 3 MHz	–	156	–	ps	
SID228	$T_{\text{JITRMSIMO2}}$	RMS Jitter at 24 MHz	–	145	–	ps	
SID229	$T_{\text{JITRMSIMO3}}$	RMS Jitter at 48 MHz	–	139	–	ps	

电气规格参数

5.6.5 内部低速振荡器 (ILO)

表 38 ILO直流参数

(由设计保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID231	I _{ILO1}	ILO operating current at 32 kHz	–	0.3	1.05	μA	Guaranteed by characterization.
SID233	I _{ILOLEAK}	ILO leakage current	–	2	15	nA	Guaranteed by design.

表 39 ILO 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID234	T _{STARTILO1}	ILO startup time	–	–	2	ms	Guaranteed by characterization.
SID236	T _{ILODUTY}	ILO duty cycle	40	50	60	%	Guaranteed by characterization.
SID237	F _{ILOTRIM1}	32 kHz trimmed frequency	15	32	50	kHz	±60% with trim.

5.6.6 锁相环 (PLL)

表 40 PLL 直流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID410	IDD_PLL_48	In = 3 MHz, Out = 48 MHz	–	530	610	μA	
SID411	IDD_PLL_24	In = 3 MHz, Out = 24 MHz	–	300	405	μA	

表 41 PLL 交流规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID412	F _{PLLIN}	PLL input frequency	1	–	48	MHz	
SID413	F _{PLLINT}	PLL intermediate frequency; prescaler out	1	–	3	MHz	
SID414	F _{PLLVCO}	VCO output frequency before post-divide	22.5	–	104	MHz	
SID415	D _{IVVCO}	VCO Output post-divider range; PLL output frequency is F _{PPLVCO} /D _{IVVCO}	1	–	8	–	
SID416	PLLlocktime	Lock time at startup	–	–	250	μs	
SID417	Jperiod_1	Period jitter for VCO ≥ 67 MHz	–	–	150	ps	Guaranteed By design.
SID416A	Jperiod_2	Period jitter for VCO ≤ 67 MHz	–	–	200	ps	Guaranteed By design.

电气规格参数

5.6.7 外部时钟

表 42 外部时钟规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID305	ExtClkFreq	External Clock input Frequency	0	–	48	MHz	Guaranteed by characterization.
SID306	ExtClkDuty	Duty cycle; measured at $V_{DD/2}$	45	–	55	%	Guaranteed by characterization.

5.6.8 时钟晶体振荡器 (WCO)

表 43 WCO 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
----------	-----------	-------------	-----	-----	-----	-------	--------------------

IMO WCO-PLL 校准模式

SID330	IMOWCO1	Frequency variation with IMO set to 3 MHz	–0.6	–	0.6	%	Does not include WCO tolerance.
SID331	IMOWCO2	Frequency variation with IMO set to 5 MHz	–0.4	–	0.4	%	Does not include WCO tolerance.
SID332	IMOWCO3	Frequency variation with IMO set to 7 MHz or 9 MHz	–0.3	–	0.3	%	Does not include WCO tolerance.
SID333	IMOWCO4	All other IMO frequency settings	–0.2	–	0.2	%	Does not include WCO tolerance.

WCO 规范

SID398	FWCO	Crystal frequency	–	32.768	–	kHz	
SID399	FTOL	Frequency tolerance	–	50	250	ppm	With 20-ppm crystal.
SID400	ESR	Equivalent series resistance	–	50	–	kΩ	
SID401	PD	Drive Level	–	–	1	μW	
SID402	TSTART	Startup time	–	–	500	ms	
SID403	CL	Crystal load capacitance	6	–	12.5	pF	
SID404	C0	Crystal shunt capacitance	–	1.35	–	pF	
SID405	IWCO1	Operating current (high power mode)	–	–	8	uA	

5.6.9 外部晶体振荡器(ECO)

表 44 ECO 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID316	IECO1	Block operating current	–	–	1.5	mA	
SID317	FECO	Crystal frequency range	4	–	33	MHz	

电气规格参数

5.6.10 通用数字模块

表45 UDB交流规格

(由特性保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
数据路径性能							
SID249	$F_{\text{MAX-TIMER}}$	Max frequency of 16-bit timer in a UDB pair	–	–	48	MHz	
SID250	$F_{\text{MAX-ADDER}}$	Max frequency of 16-bit adder in a UDB pair	–	–	48	MHz	
SID251	$F_{\text{MAX_CRC}}$	Max frequency of 16-bit CRC/PRS in a UDB pair	–	–	48	MHz	
UDB 中的 PLD 性能							
SID252	$F_{\text{MAX_PLD}}$	Max frequency of 2-pass PLD function in a UDB pair	–	–	48	MHz	
时钟输出性能							
SID253	$T_{\text{CLK_OUT_UDB1}}$	Prop. delay for clock in to data out at 25°C, Typ.	–	15	–	ns	
SID254	$T_{\text{CLK_OUT_UDB2}}$	Prop. delay for clock in to data out, Worst case.	–	25	–	ns	

表 46 块规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID256	T_{WS48}	Number of wait states at 48 MHz	2	–	–		CPU execution from Flash. Guaranteed by characterization.
SID257	T_{WS24}	Number of wait states at 24 MHz	1	–	–		CPU execution from Flash. Guaranteed by characterization.
SID260	V_{REFSAR}	Trimmed internal reference to SAR	–1	–	+1	%	Percentage of V _{bg} (1.024 V). Guaranteed by characterization.
SID261	$F_{\text{SARINTREF}}$	SAR operating speed without external reference bypass	–	500	–	ksps	12-bit resolution. Guaranteed by characterization.
SID262	$T_{\text{CLKSWITCH}}$	Clock switching from clk1 to clk2 in clk1 periods	3	–	4	Periods	Guaranteed by design.

* T_{ws48} 和 T_{ws24} 由设计保证。

电气规格参数

表 47 UDB 端口适配器规格

(基于 LPC 组件规格；除 TLCLKDO 外的所有规格均由设计 -10-pF 负载、3-VV_{DDIO}和 V_{DDD}保证)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID263	T _{LCLKDO}	LCLK to output delay	–	–	18	ns	
SID264	T _{DINLCLK}	Input setup time to LCLK rising edge	–	–	7	ns	
SID265	T _{DINLCLKHLD}	Input hold time from LCLK rising edge	0	–	–	ns	
SID266	T _{LCLKHIZ}	LCLK to output tristated	–	–	28	ns	
SID267	T _{FLCLK}	LCLK frequency	–	–	33	MHz	
SID268	T _{LCLKDUTY}	LCLK duty cycle (percentage high)	40	–	60	%	

5.6.11 通用串行总线 (USB)

表 48 USB 设备块规格 (仅限 USB)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID321	Vusb_5	Device supply for USB operation	4.5	–	5.5	V	USB Configured, USB Reg. enabled.
SID322	Vusb_3.3	Device supply for USB operation	3.15	–	3.6	V	USB Configured, USB Reg. bypassed.
SID323	Vusb_3	Device supply for USB operation (Functional operation only)	2.85	–	3.6	V	USB Configured, USB Reg. bypassed.
SID324	Iusb_config	Device supply current in Active mode, IMO = 24 MHz	–	10	–	mA	V _{DDD} = 5 V
SID325	Iusb_config	Device supply current in Active mode, IMO = 24 MHz	–	8	–	mA	V _{DDD} = 3.3 V
SID326	Isub_suspend	Device supply current in Sleep mode	–	0.5	–	mA	V _{DDD} = 5 V, PICU wakeup.
SID327	Isub_suspend	Device supply current in Sleep mode	–	0.3	–	mA	V _{DDD} = 5 V, Device disconnected.
SID328	Isub_suspend	Device supply current in Sleep mode	–	0.5	–	mA	V _{DDD} = 3.3 V, PICU wakeup
SID329	Isub_suspend	Device supply current in Sleep mode	–	0.3	–	mA	V _{DDD} = 3.3 V, Device disconnected.

电气规格参数

5.6.12 特殊输入/输出 (SIO)

表 49 SIO 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID330	V_{IH}	Input voltage high threshold	$0.7 \times V_{DD}$	–	–	V	CMOS input; with respect to V_{DDIO}
SID331	V_{IL}	Input voltage low threshold	–	–	$0.3 \times V_{DD}$	V	CMOS input; with respect to V_{DDIO}
SID332	V_{IH}	Differential input mode high voltage; hysteresis disabled	$V_r + 0.2$	–	–	V	V_r is the SIO reference voltage
SID333	V_{IL}	Differential input mode low voltage; hysteresis disabled	–	–	$V_r - 0.2$	V	V_r is the SIO reference voltage
SID334	V_{OH}	Output high voltage in unregulated mode	$V_{DDIO} - 0.4$	–	–	V	$I_{OH} = 4 \text{ mA}$, $V_{DD} = 3.3 \text{ V}$
SID335	V_{OH}	Output high voltage in regulated mode	$V_r - 0.65$	–	$V_r + 0.2$	V	$I_{OH} = 1 \text{ mA}$
SID336	V_{OH}	Output high voltage in regulated mode	$V_r - 0.3$	–	$V_r + 0.2$	V	$I_{OH} = 0.1 \text{ mA}$
SID337	V_{OL}	Output low voltage	–	–	0.8	V	$V_{DDIO} = 3.3 \text{ V}$, $I_{OL} = 25 \text{ mA}$
SID338	V_{OL}	Output low voltage	–	–	0.4	V	$V_{DDIO} = 1.8 \text{ V}$, $I_{OL} = 4 \text{ mA}$
SID339	V_{inref}	Input voltage reference	0.48	–	$0.52 \times V_{DDIO}$	V	
SID340	V_{outref}	Output voltage reference (regulated mode)	1	–	$V_{DDIO} - 1$	V	$V_{DDIO} > 3.3$
SID341	V_{outref}	Output voltage reference (regulated mode)	1	–	$V_{DDIO} - 0.5$	V	$V_{DDIO} < 3.3$
SID342	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	k Ω	
SID343	$R_{PULLDOWN}$	Pull-down resistor	3.5	5.6	8.5	k Ω	
SID344	I_{IL}	Input leakage current (absolute value)	–	–	14	nA	$V_{IH} \leq V_{DDIO}$; 25°C
SID345	I_{IL}	Input leakage current (absolute value)	–	–	10	nA	$V_{IH} > V_{DDIO}$; 25°C
SID346	C_{IN}	Input capacitance	–	–	7	pF	

电气规格参数

表 49 SIO 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID347	VHYST-Single	Hysteresis in single-ended mode	–	40	–	mV	
SID348	VHYST_Diff	Hysteresis in differential mode	–	35	–	mV	
SID349	I_{DIODE}	Current through protection diode to V_{DD}/V_{SS}	–	–	100	μA	
SIO交流规范 (由设计保证)							
SID350	T_{RISEF}	Rise time in Fast Strong mode	–	–	12	ns	3.3- V_{DD} , Clload = 25 pF
SID351	T_{FALLF}	Fall time in Fast Strong mode	–	–	12	ns	3.3- V_{DD} , Clload = 25 pF
SID352	T_{RISES}	Rise time in Slow Strong mode	–	–	75	ns	3.3- V_{DD} , Clload = 25 pF
SID353	T_{FALLS}	Fall time in Slow Strong mode	–	–	70	ns	3.3- V_{DD} , Clload = 25 pF
SID354	$F_{SIOOUT1}$	SIO Fout; Unregulated, Fast Strong mode	–	–	33	MHz	3.3 V $\leq V_{DD} \leq$ 5.5 V, 25 pF. Guaranteed by design.
SID355	$F_{SIOOUT2}$	SIO Fout; Unregulated, Fast Strong mode	–	–	16	MHz	1.71 V $\leq V_{DD} \leq$ 3.3 V, 25 pF
SID356	$F_{SIOOUT3}$	SIO Fout; Regulated, Fast Strong mode	–	–	20	MHz	3.3 V $\leq V_{DD} \leq$ 5.5 V, 25 pF
SID357	$F_{SIOOUT4}$	SIO Fout; Regulated, Fast Strong mode	–	–	10	MHz	1.71 V $\leq V_{DD} \leq$ 3.3 V, 25 pF
SID358	$F_{SIOOUT3}$	SIO Fout; Unregulated, Slow Strong mode.	–	–	5	MHz	3.3 V $\leq V_{DD} \leq$ 5.5 V, 25 pF
SID359	$F_{SIOOUT4}$	SIO Fout, Unregulated, Slow Strong mode.	–	–	3.5	MHz	1.71 V $\leq V_{DD} \leq$ 3.3 V, 25 pF
SID360	$F_{SIOOUT5}$	SIO Fout, Regulated, Slow Strong mode.	–	–	2.5	MHz	1.7 V $\leq V_{DD} \leq$ 5.5 V, 25 pF
SID361	F_{GPIOIN}	GPIO input operating frequency; 1.71 V $\leq V_{DD} \leq$ 5.5 V	–	–	48	MHz	1.71 V $\leq V_{DD} \leq$ 5.5 V

电气规格参数

5.6.13 控制器局域网络 (CAN)

表 50 CAN直流参数

Spec ID#	Parameter	Description	Min	Typ	Max	Units	Details/conditions
SID420	IDD_CAN	Block current consumption	–	–	200	µA	
SID421	CAN_bits	CAN Bit rate (Min 8-MHz clock)	–	–	1	Mbps	

订购信息

6 订购信息

下表列出了 PSoC™ 4200L 系列部件编号和特性。

表 51 PSoC™ 4200L 订购信息

Category	MPN	Features														Package			
		Max CPU Speed	Flash (KB)	SRAM (KB)	UDB	Op-amp (CTBm)	CSD	Direct LCD Drive	12-bit SAR ADC	LP Comparators	TCPWM Blocks	SCB Blocks	USB Full Speed	CAN	GPIO	48-pin TQFP	64-pin TQFP	68-pin QFN	124-ball VFBGA
4246	CY8C4246AZI-L423	48	64	8	8	2	1	✓	1000 ksps	2	8	3	–	–	38	✓	–	–	–
	CY8C4246AZI-L433	48	64	8	8	2	–	–	1000 ksps	2	8	3	✓	–	38	✓	–	–	–
	CY8C4246AZI-L435	48	64	8	8	2	–	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4246AZI-L445	48	64	8	8	2	2	✓	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4246LTI-L445	48	64	8	8	2	2	✓	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
4247	CY8C4247AZI-L423	48	128	16	8	2	1	✓	1000 ksps	2	8	3	–	–	38	✓	–	–	–
	CY8C4247AZI-L433	48	128	16	8	2	–	–	1000 ksps	2	8	3	✓	–	38	✓	–	–	–
	CY8C4247AZI-L445	48	128	16	8	2	2	✓	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4247LTI-L445	48	128	16	8	2	2	✓	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4247AZI-L475	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4247LTI-L475	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4247BZI-L479	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	98	–	–	–	✓
	CY8C4247AZI-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	53	–	✓	–	–
	CY8C4247LTI-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4247LTQ-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4247BZI-L489	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	98	–	–	–	✓
4248	CY8C4248BZI-L469	48	256	32	8	4	–	–	1000 ksps	2	8	4	–	–	96	–	–	–	✓
	CY8C4248AZI-L475	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4248LTI-L475	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4248BZI-L479	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	98	–	–	–	✓
	CY8C4248AZI-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	53	–	✓	–	–
	CY8C4248LTI-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4248LTQ-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4248BZI-L489	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	98	–	–	–	✓

订购信息

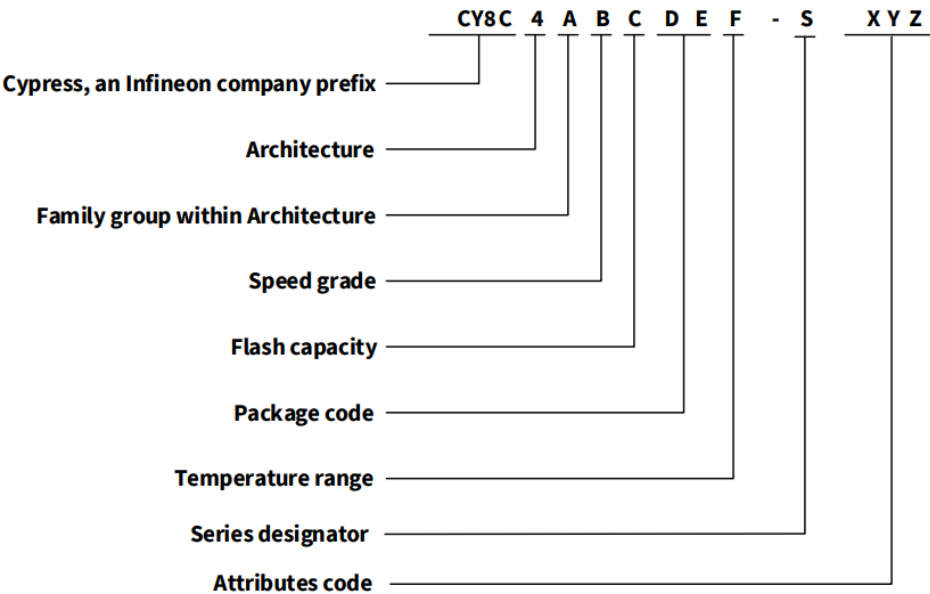
表51 中使用的术语 基于以下零件编号约定：

表 52 量产型号命名法

Field	Description	Values	Meaning
CY8C	Cypress, an Infineon company prefix		
4	Architecture	4	PSoC™ 4
A	Family	2	4200 Family
B	CPU speed	4	48 MHz
C	Flash capacity	6	64 KB
		7	128 KB
		8	256 KB
DE	Package code	AX, AZ	TQFP
		LT	QFN
		BZ	BGA
		FD	CSP
F	Temperature range	I	Industrial
		Q	Extended Industrial
S	Series designator	S	PSoC™ 4 S-Series
		L	PSoC™ 4 L-Series
		M	PSoC™ 4 M-Series
XYZ	Attributes code	000–999	Code of feature set in the specific family

6.1 零件编号惯例

零件编号字段定义如下。



封装

7 封装

表 53 封装尺寸

Spec ID#	Package	Description	Package DWG #
PKG_1	124-ball VFBGA	124-ball VFBGA (9 mm × 9 mm × 1.0 mm) BZ0AA/VZC124/D2A124 package outline	001-97718
PKG_2	64-pin TQFP	64-pin TQFP (10 mm × 10 mm × 1.4 mm) A64SB package outline	51-85051
PKG_3	68-pin QFN	68-pin QFN (8 mm × 8 mm × 1.0 mm) LT68 5.7 × 5.7 E-Pad (Sawn type) package outline	001-09618
PKG_4	48-pin TQFP	48-pin TQFP (7 mm × 7 mm × 1.4 mm) A48 package outline	51-85135

表 54 封装参数

Parameter	Description	Conditions	Min	Typ	Max	Units
T _A	Operating ambient temperature		-40	25	105	°C
T _J	Operating junction temperature		-40	–	125	°C
T _{JA}	Package θ _{JA} (124-ball VFBGA)		–	35	–	°C/W
T _{JA}	Package θ _{JA} (64-pin TQFP)		–	54	–	°C/W
T _{JA}	Package θ _{JA} (68-pin QFN)		–	17	–	°C/W
T _{JA}	Package θ _{JA} (48-pin TQFP)		–	67	–	°C/W

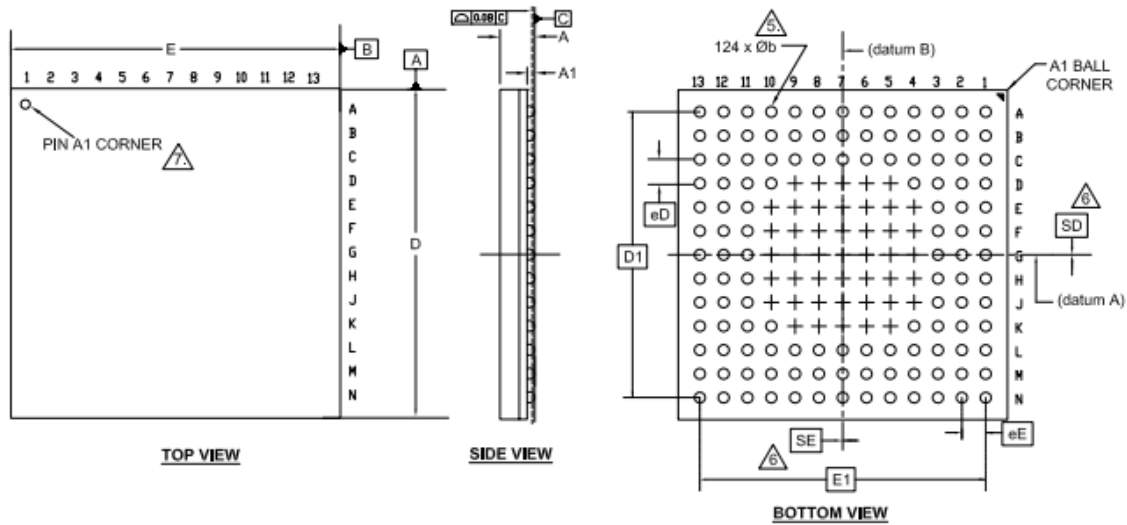
表 55 焊料回流峰值温度

Package	Maximum Peak Temperature	Maximum Time at Peak Temperature
All packages	260°C	30 seconds

表 56 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
All packages	MSL 3

封装



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	0.21	0.26
D	8.90	9.00	9.10
E	8.90	9.00	9.10
D1	7.80 BSC		
E1	7.80 BSC		
MD	13		
ME	13		
N	124		
Ø b	0.25	0.30	0.35
eD	0.65 BSC		
eE	0.65 BSC		
SD	0		
SE	0		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 Rev. *B

图8 124球VFBGA (9.0x9.0x1.0mm) BZ0AA/VZC124/D2A124) 封装外形 (PG-VFBGA-124), 001-97718

封装

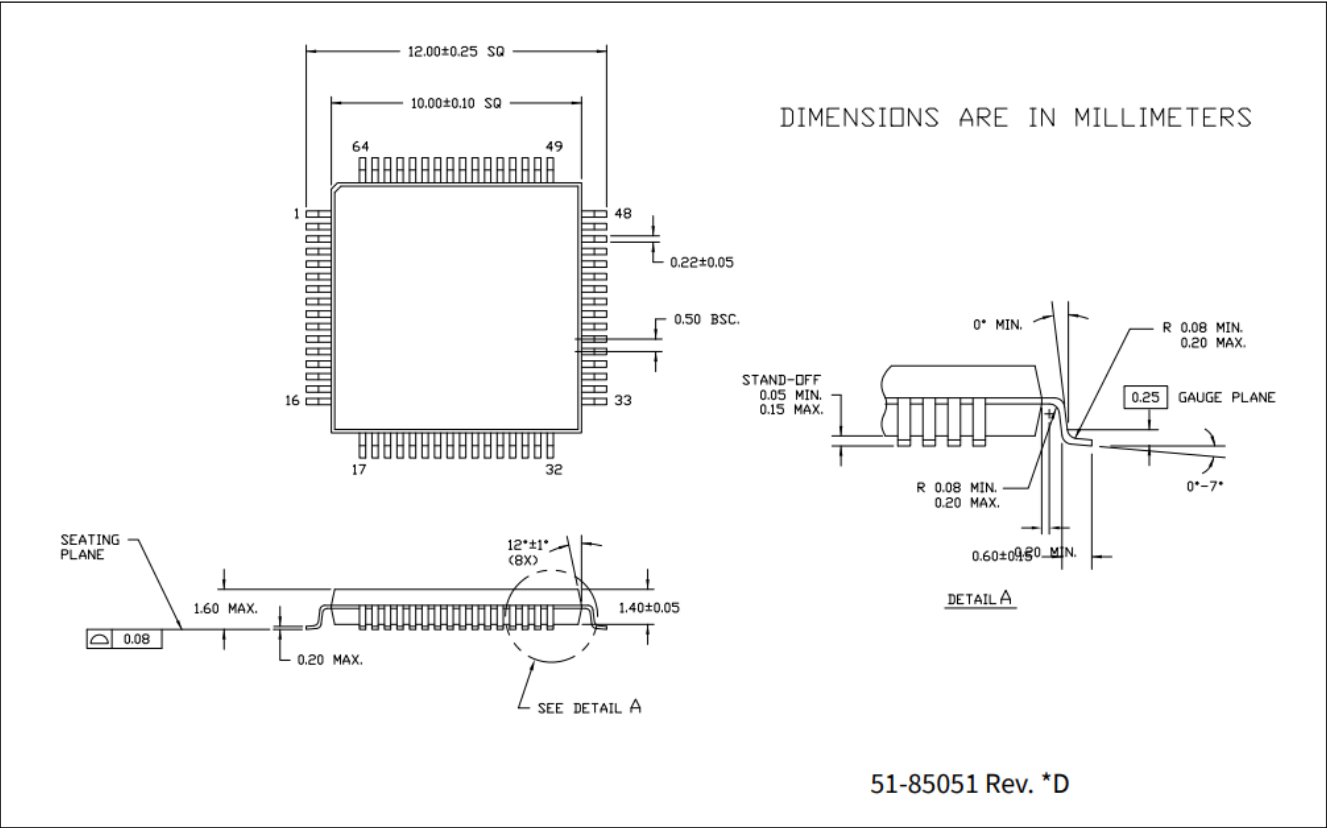


图9 64引脚TQFP ((10 × 10 × 1.4 mm) A64SB) 封装外形 (PG-TQFP-64) , 51-85051

封装

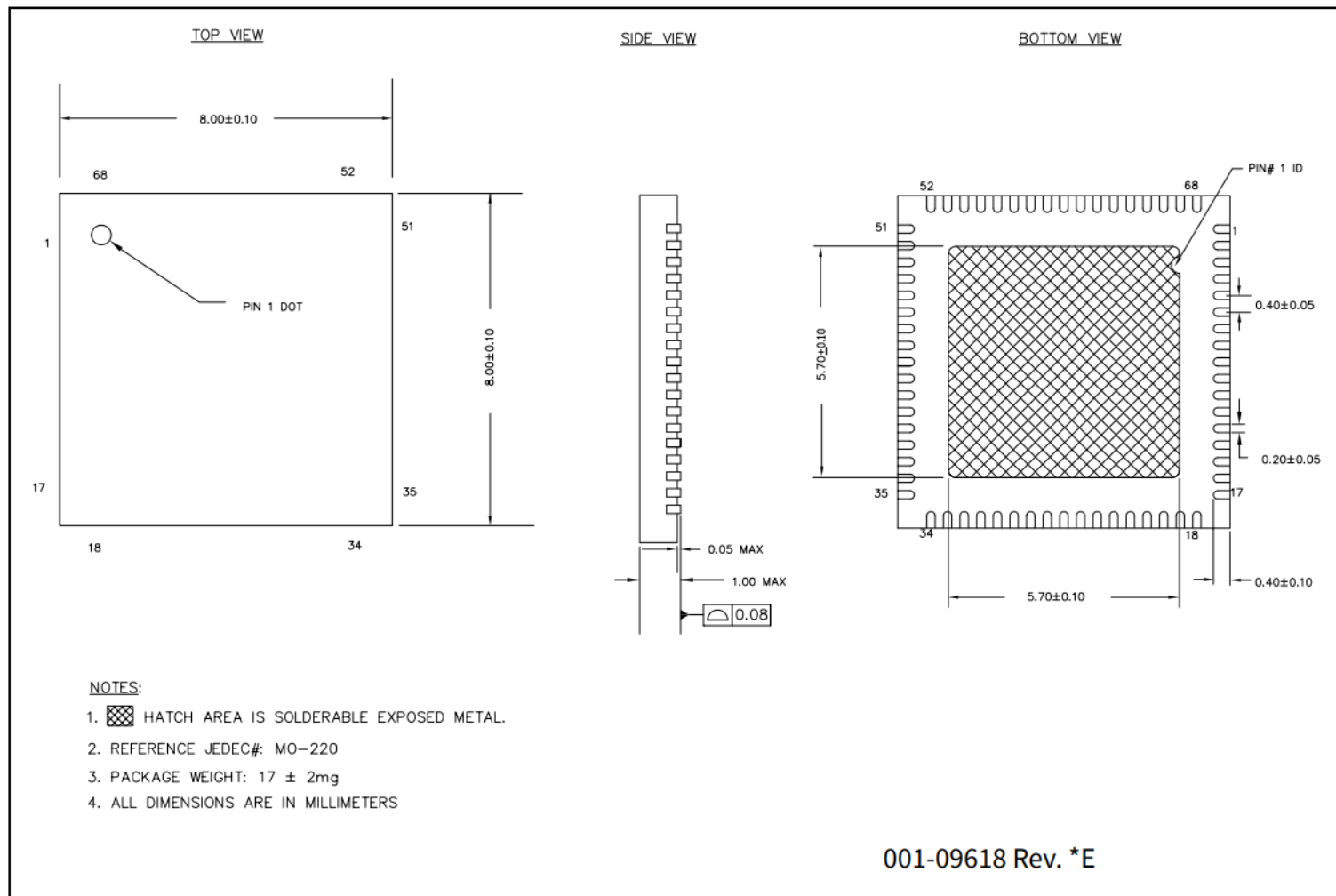


图 10 68引脚 QFN ((8 × 8 × 1.0 mm) LT68 5.7 × 5.7 E-Pad (Sawn 型)) 封装外形 (PG-VQFN-68) ,
001-09618

注意:

为了获得最佳的机械、热和电气性能，QFN 封装上的中心焊盘应连接到地 (VSS)。如果没有连接到地，它应该是电浮动的并且不连接到任何其他信号。

封装

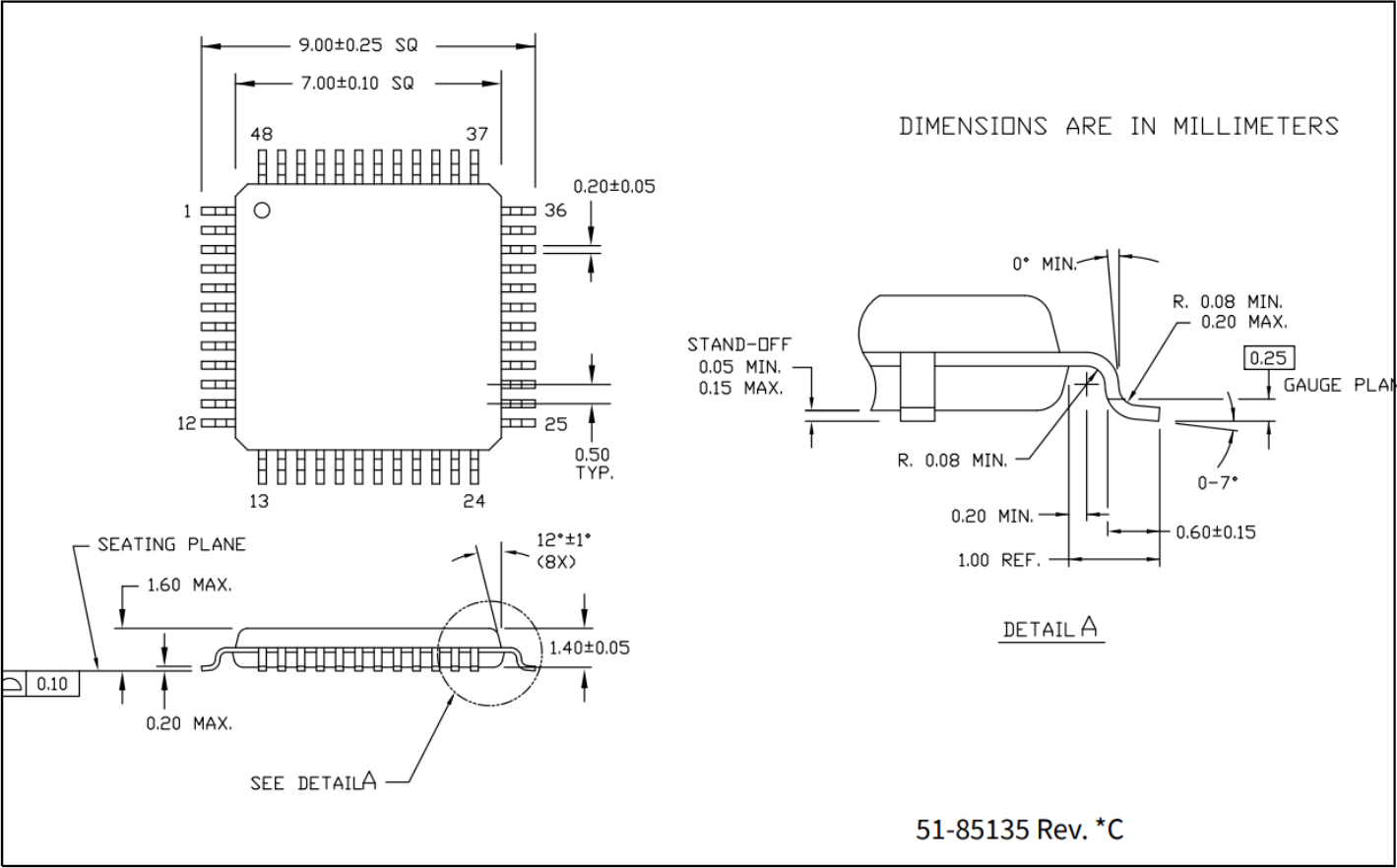


图11 48引脚TQFP ((7 × 7 × 1.4 mm) A48) 封装外形 (PG-TQFP-48) , 51-85135

缩略语

8 缩略语

表57 本文档中使用的缩略语

Acronym	Description
abus	analog local bus
ADC	analog-to-digital converter
AG	analog global
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus, an Arm® data transfer bus
ALU	arithmetic logic unit
AMUXBUS	analog multiplexer bus
API	application programming interface
APSR	application program status register
Arm®	advanced RISC machine, a CPU architecture
ATM	automatic thump mode
BW	bandwidth
CAN	Controller Area Network, a communications protocol
CMRR	common-mode rejection ratio
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
DAC	digital-to-analog converter, see also IDAC, VDAC
DFB	digital filter block
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DMIPS	Dhrystone million instructions per second
DMA	direct memory access, see also TD
DNL	differential nonlinearity, see also INL
DNU	do not use
DR	port write data registers
DSI	digital system interconnect
DWT	data watchpoint and trace
ECC	error correcting code
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
EMI	electromagnetic interference
EMIF	external memory interface
EOC	end of conversion
EOF	end of frame
EPSR	execution program status register
ESD	electrostatic discharge
ETM	embedded trace macrocell
FIR	finite impulse response, see also IIR

缩略语

表 57 本文档中使用的缩略词 (续)

Acronym	Description
FPB	flash patch and breakpoint
FS	full-speed
GPIO	general-purpose input/output, applies to a PSoC pin
HVI	high-voltage interrupt, see also LVI, LVD
IC	integrated circuit
IDAC	current DAC, see also DAC, VDAC
IDE	integrated development environment
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
IIR	infinite impulse response, see also FIR
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
INL	integral nonlinearity, see also DNL
I/O	input/output, see also GPIO, DIO, SIO, USBIO
IPOR	initial power-on reset
IPSR	interrupt program status register
IRQ	interrupt request
ITM	instrumentation trace macrocell
LCD	liquid crystal display
LIN	Local Interconnect Network, a communications protocol.
LR	link register
LUT	lookup table
LVD	low-voltage detect, see also LVI
LVI	low-voltage interrupt, see also HVI
LVTTL	low-voltage transistor-transistor logic
MAC	multiply-accumulate
MCU	microcontroller unit
MISO	master-in slave-out
NC	no connect
NMI	nonmaskable interrupt
NRZ	non-return-to-zero
NVIC	nested vectored interrupt controller
NVL	nonvolatile latch, see also WOL
opamp	operational amplifier
PAL	programmable array logic, see also PLD
PC	program counter
PCB	printed circuit board
PGA	programmable gain amplifier
PHUB	peripheral hub
PHY	physical layer
PICU	port interrupt control unit

缩略语

表 57 本文档中使用的缩略词 (续)

Acronym	Description
PLA	programmable logic array
PLD	programmable logic device, see also PAL
PLL	phase-locked loop
PMDD	package material declaration data sheet
POR	power-on reset
PRES	precise power-on reset
PRS	pseudo random sequence
PS	port read data register
PSoC™	Programmable System-on-Chip™
PSRR	power supply rejection ratio
PWM	pulse-width modulator
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
RTC	real-time clock
RTL	register transfer language
RTR	remote transmission request
RX	receive
SAR	successive approximation register
SC/CT	switched capacitor/continuous time
SCL	I²C serial clock
SDA	I²C serial data
S/H	sample and hold
SINAD	signal to noise and distortion ratio
SIO	special input/output, GPIO with advanced features. See GPIO.
SOC	start of conversion
SOF	start of frame
SPI	Serial Peripheral Interface, a communications protocol
SR	slew rate
SRAM	static random access memory
SRES	software reset
SWD	serial wire debug, a test protocol
SWV	single-wire viewer
TD	transaction descriptor, see also DMA
THD	total harmonic distortion
TIA	transimpedance amplifier
TRM	technical reference manual
TTL	transistor-transistor logic
TX	transmit
UART	Universal Asynchronous Transmitter Receiver, a communications protocol

缩略语

表 57 本文档中使用的缩略词 (续)

Acronym	Description
UDB	universal digital block
USB	Universal Serial Bus
USBIO	USB input/output, PSoC pins used to connect to a USB port
VDAC	voltage DAC, see also DAC, IDAC
WDT	watchdog timer
WOL	write once latch, see also NVL
WRES	watchdog timer reset
XRES	external reset I/O pin
XTAL	crystal

9 文档惯例

9.1 测量单位

表 58 计量单位

Symbol	Unit of measure
°C	degrees Celsius
dB	decibel
fF	femto farad
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
Khr	kilohour
kHz	kilohertz
kΩ	kilo ohm
ksps	kilosamples per second
LSB	least significant bit
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
W	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
sqrHz	square root of hertz
V	volt

修订记录

修订记录

Document revision	Date	Description of changes
**	2015-02-06	New datasheet for new device family.
*A	2015-05-22	Updated Pinouts : Updated Table 1 . Updated Electrical specifications : Updated Device Level specifications : Updated GPIO : Added Note 3 and referred the same note in Table 8 . Updated Analog Peripherals : Updated Opamp : Updated Table 11 . Updated Comparator : Updated Table 12 . Updated Table 13 . Updated Digital Peripherals : Updated Timer/Counter/PWM : Updated Table 18 . Updated I²C : Updated Table 19 . Updated System resources : Added Phase-locked loop (PLL) . Updated Watch Crystal Oscillator (WCO) : Updated Table 43 . Added Controller Area Network (CAN) . Updated Packaging : Updated Table 53 . Updated Table 54 . Removed spec 001-92967 Rev. **. Added spec 001-97718 Rev. **.
*B	2015-08-03	Changed datasheet status from Advance to Preliminary. Updated Pinouts : Updated Table 1 . Updated Electrical specifications : Updated Device Level specifications : Updated Table 5 . Updated Analog Peripherals : Updated Opamp : Updated Table 11 . Updated Comparator : Updated Table 12 . Updated Memory : Updated Flash : Updated Table 30 . Updated System resources : Added External Crystal Oscillator (ECO) . Updated Universal serial bus (USB) : Updated Table 48 . Updated Special input/output (SIO) : Updated Table 49 . Updated Ordering information : Updated Table 51 (Updated part numbers).

修订记录

Document revision	Date	Description of changes
*C	2015-12-03	Updated Electrical specifications : Updated Analog Peripherals : Updated Comparator : Updated Table 12 . Updated Table 13 . Updated System resources : Updated Phase-locked loop (PLL) : Updated Table 40 . Updated Table 41 . Updated Universal serial bus (USB) : Updated Table 48 . Updated Special input/output (SIO) : Updated Table 49 . Updated Ordering information : Updated Table 51 (No change in part numbers, updated details in other columns corresponding to part numbers). Completing Sunset Review.
*D	2016-03-11	Updated Power : Updated Regulated External Supply : Updated description. Updated Electrical specifications : Updated Device Level specifications : Updated Table 5 . Updated Analog Peripherals : Updated Opamp : Updated Table 11 . Updated System resources : Updated Universal digital block (UDB) : Updated description below table caption in Table 47 . Updated Packaging : Updated Table 54 .
*E	2016-05-23	Changed datasheet status from Preliminary to Final. Updated Electrical specifications : Updated Device Level specifications : Updated Table 5 . Updated to new template.
*F	2016-11-15	Updated Ordering information : Updated Table 51 (Updated part numbers).
*G	2016-11-20	Updated Electrical specifications : Updated Device Level specifications : Updated Table 5 . Updated Digital Peripherals : Updated SPI specifications : Updated Table 28 . Completing Sunset Review.
*H	2017-04-27	Updated Ordering information : Updated Table 52 (Corrected typo). Updated Packaging : spec 001-97718 – Changed revision from ** to *A. Updated Cypress Logo and Copyright.

修订记录

Document revision	Date	Description of changes
*I	2018-06-08	Updated Document Title to read as “PSoC® 4: PSoC 4200L Datasheet, Programmable System-on-Chip (PSoC®)”. Updated More information : Updated hyperlinks. Updated Electrical specifications : Updated Memory : Updated Flash : Updated Table 30 . Updated Ordering information : Updated Table 51 (Updated part numbers). Updated Table 52 .
*J	2019-06-26	Updated More information : Updated description. Updated Functional definition : Updated Programmable Digital : Updated Universal Digital Blocks (UDBs) and Port Interfaces : Updated description. Updated Fixed Function Digital : Updated Timer/Counter/PWM (TCPWM) Block : Updated description. Updated Special Function Peripherals : Updated LCD Segment Drive : Updated description. Updated GPIO : Updated description. Updated Pinouts : Updated Table 1 . Updated Electrical specifications : Updated Device Level specifications : Updated Table 5 . Updated Analog Peripherals : Updated SAR ADC : Updated Table 15 . Updated System resources : Updated Universal serial bus (USB) : Updated Table 48 . Updated Packaging : spec 001-97718 – Changed revision from *A to *B.
*K	2021-04-12	Updated Electrical specifications : Updated values of temperature range. Updated Packaging : Updated Table 54 .

修订记录

Document revision	Date	Description of changes
*L	2023-12-11	Updated Document Title to read as “CY8C424x, PSoC™ 4: PSoC™ 4200L Based on Arm® Cortex®-M0”. Updated More information : Updated description. Updated hyperlinks. Updated PSoC™ Creator : Updated hyperlinks. Updated Packaging : No change in revisions. Added Note below spec 001-09618 Rev. *E. Migrated to Infineon template. Completing Sunset Review.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-07-28

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email:

erratum@infineon.com

重要提示

本文件所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文件中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。此外，本文件所提供的任何信息均取决于客户履行本文件所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文件所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文件中所提供的信息是否充分自行予以评估。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。