

英飞凌 EZ-PD™ CCG 8 USB Type-C 端口控制器

概述

英飞凌 EZ-PD™ CCG8 是一款双端口 USB Type-C 控制器，符合最新的 USB Type-C 和 Power Delivery (PD) 规范。CCG8 为 PC 和笔记本电脑提供完整的 USB Type-C 和 USB PD 端口控制解决方案。它包含一个具有故障保护和转换速率的分立式 N 沟道场效应晶体管 (NFET) 栅极驱动器。它还包含一个 32 位、48 MHz 的 Arm® Cortex® -M0+ 处理器，集成了一个完整的 Type-C 收发器，包括 Type-C 终端电阻 Rp、Rd 和无电池 Rd 终端。CCG8S (单端口) 采用 48 引脚 QFN 封装，而 CCG8D (双端口) 采用 97-BGA 封装。CCG8S 和 CCG8D 均支持高达 28 V 的扩展功率范围 (EPR)，无需任何外部元件。

应用

- 笔记本电脑和台式电脑
- 雷电和非雷电主机

特性

- **USB PD**
 - 支持最新的 USB PD 3.1 规范 (支持最高 28 V EPR)
 - 快速角色交换 (FRS)^[1]
 - 扩展的数据消息传递
- **Type-C**
 - 用于下行端口 (DFP)^[2] 功能 (Rp) 集成电流发送源
 - 默认电流为 900 mA
 - 1.5 A
 - 3 A
 - 集成 Rd 电阻，用于上行端口 (UFP)^[3] 的作用
 - 为 EMCA 线缆供电的集成 VCONN FET
 - 集成无电池终端
- **Mux**
 - 集成 3:1 SBU 多路复用器，用于备用模式和封闭式机箱调试
- **集成负载开关控制器**
 - 用于驱动 VBUS 提供路径上 NFET 的集成负载开关控制器
 - VBUS 提供路径的转换速率控制开启
 - 可配置硬件控制的 VBUS 过压、欠压、过流、短路、反向电流保护和热关断
 - VBUS 高端电流感应放大器，能够测量提供路径上 5 mΩ 串联电阻上的电流
- **LDO**
 - 集成高压 LDO，可在高达 28 V 的电压下工作，用于无电池模式操作
- **集成数字模块**
 - 四个可配置为定时器、计数器或 PWM 的 TCPWM 模块，以满足 USB PD 协议所需的响应时间
 - 四个运行时串行通信模块 (SCB)，可配置为 I²C、SPI 或 UART 外设

注

1. EZ-PD™ CCG8 需要在电源提供路径上使用支持 FRS 的外部负载开关，以满足 PD 规范中规定的 FRS 时序要求。
2. DFP 指的是电源提供端。
3. UFP 指的是电源消耗端。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

Features

- **身份验证**

- 真随机数生成器 (TRNG)
 - 向量单元 (VU)

- **时钟和振荡器**

- 集成振荡器不需要外部时钟

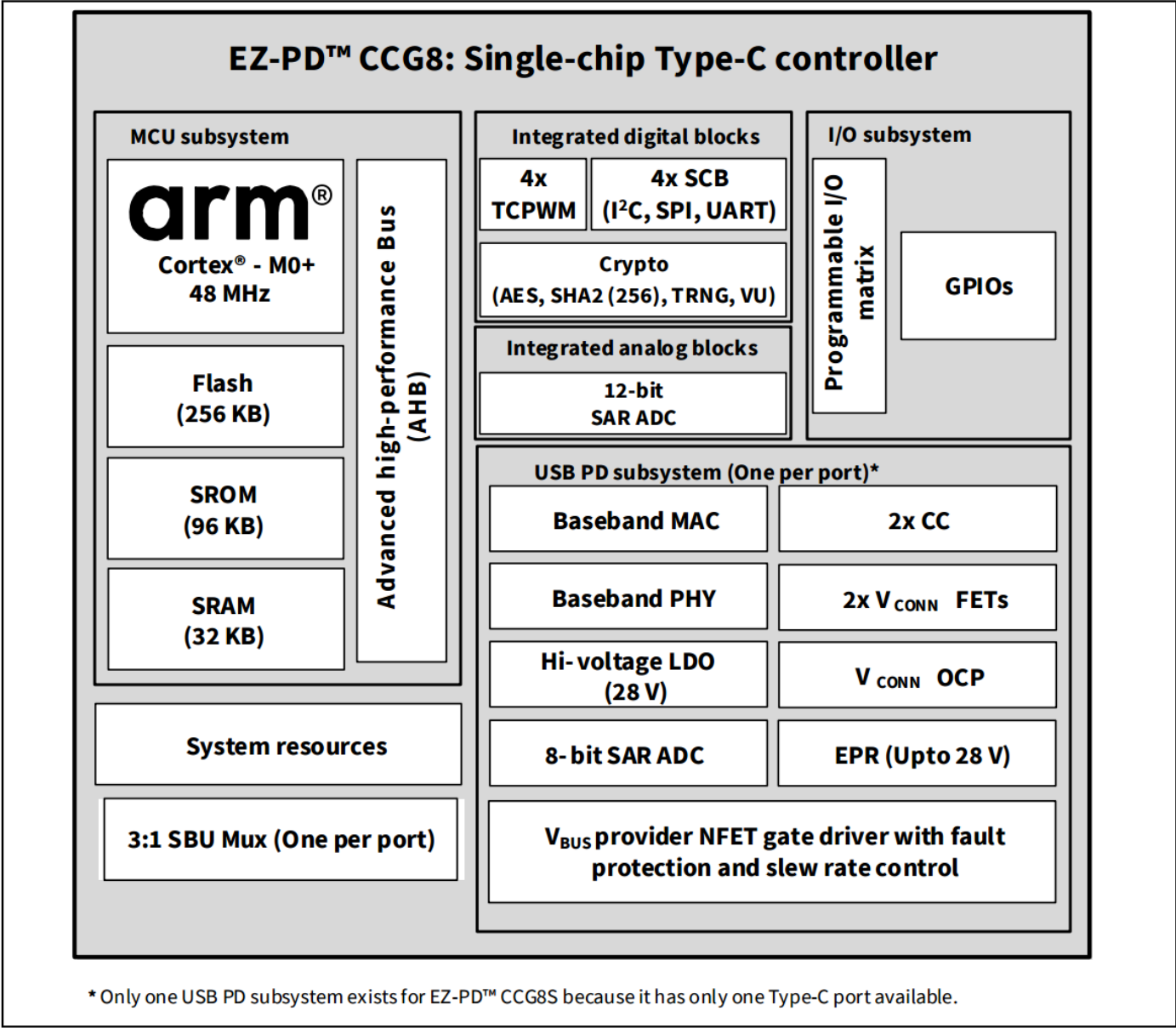
- **工作范围**

- VSYS (2.8 V–5.5 V)
- VBUS (4 V–28 V)

- **封装**

- CCG8D: 97-球 BGA
- CCG8S: 48-引脚 QFN

逻辑框图



目录

概述.....	1
应用.....	1
特性.....	1
逻辑框图.....	3
目录.....	4
1 开发支持.....	5
1.1 文档.....	5
1.2 英飞凌开发者社区.....	5
1.3 工具.....	5
1.4 适用于 ModusToolbox™ 和 EZ-PD™ CCG8 SDK 的 Eclipse IDE.....	5
2 功能概述.....	7
2.1 CPU和存储器子系统.....	7
2.2 系统资源.....	8
2.3 模拟模块.....	9
2.4 USB PD子系统.....	10
2.5 固定功能数字模块.....	13
3 电源系统概述.....	15
4 引脚分布.....	16
5 应用框图.....	23
6 电气规格参数.....	25
6.1 器件级规范.....	26
6.2 GPIO.....	28
6.3 模拟外设.....	30
6.4 数字外设.....	32
6.5 系统资源.....	38
6.6 USB PD 外设.....	40
7 订购信息.....	47
7.1 订购代码定义.....	47
8 封装.....	48
9 缩略语.....	51
10 文档惯例.....	53
10.1 测量单位.....	53
修订记录.....	54

1 开发支持

EZ-PD™ CCG8 系列拥有丰富的文档、开发工具和在线资源，可帮助您完成开发过程。请访问 www.infineon.com/cms/en/product/universal-serial-bus-usb-power-delivery-controller/usb-c-and-power-delivery 了解更多信息。

1.1 文档

通过为 EZ-PD™ CCG8 系列提供说明的文档集，您可以快速找到问题的答案。本节列出了一些关键文档。

ModusToolbox™ 用户指南：ModusToolbox™ (MTB) 软件的分步使用指南。本软件用户指南详细介绍了 ModusToolbox™ 的构建流程、如何在 ModusToolbox™ 中使用源代码控制等等。

组件数据手册：CCG8 的灵活性使其即使在设备投入生产后很长时间内也能创建新的外设（组件）。组件数据手册提供了选择和使用特定组件所需的所有信息，包括功能描述、API 文档、示例代码和 AC/DC 规格。

应用笔记：包括入门应用笔记和硬件设计指南。

技术参考手册：技术参考手册 (TRM) 包含使用 EZ-PD™ CCG8 设备所需的所有技术细节，包括所有 EZ-PD™ CCG8 寄存器的完整描述。TRM 可在 www.infineon.com/cms/en/product/universal-serial-bus-usb-power-delivery-controller/usb-c-and-power-delivery 的文档部分获取。

1.2 英飞凌开发者社区

除了印刷版文档外，您还可以随时通过 [EZ-PD™ CCG8论坛](#) 与世界各地的PMG1用户和专家取得联系。

1.3 工具

EZ-PD™ CCG8 系列具备工业标准的内核、编程和调试接口，它是开发工具体系的一个组成部分。

了解最新信息、易于使用的适用于 ModusToolbox™ 的 Eclipse IDE，以及所支持的第三方编译器、编程器、调试器和开发工具包，请访问我们的网站

<https://www.infineon.com/products/modustoolbox-software-environment>。

1.4 适用于 ModusToolbox™ 和 EZ-PD™ CCG8 SDK 的 Eclipse IDE

ModusToolbox™ 是 Windows、macOS 和 Linux 平台上基于 Eclipse 的开发环境，包括 ModusToolbox™ IDE 和 EZ-PD™ CCG8 SDK。IDE 将多个器件资源、中间件和固件整合在一起，用于构建应用程序。通过使用 ModusToolbox™，您可以启用和配置器件资源和中介软件库、编写 C/C++/汇编源代码，并且可以编程和调试器件。

EZ-PD™ CCG8 SDK 是软件开发工具包。通过 SDK，您可以更加轻松地开发受支持的器件固件，而无需了解器件资源的复杂性。

有关使用 ModusToolbox™ 软件的更多详细信息，请参阅 [ModusToolbox™ 软件用户指南](#) 以及集成在 ModusToolbox™ 软件中的文档和帮助内容。如图 1 所示，使用适用于 ModusToolbox™ 的 Eclipse IDE，您可以：

1. 根据模板应用程序列表创建新的应用程序、按套件或器件过滤，或在线浏览代码示例集合。
2. 在器件配置器中对器件资源进行配置，以便在工作区中构建您的硬件系统设计。
3. 添加软件组件或中介软件。
4. 开发您的应用程序固件。

Development support

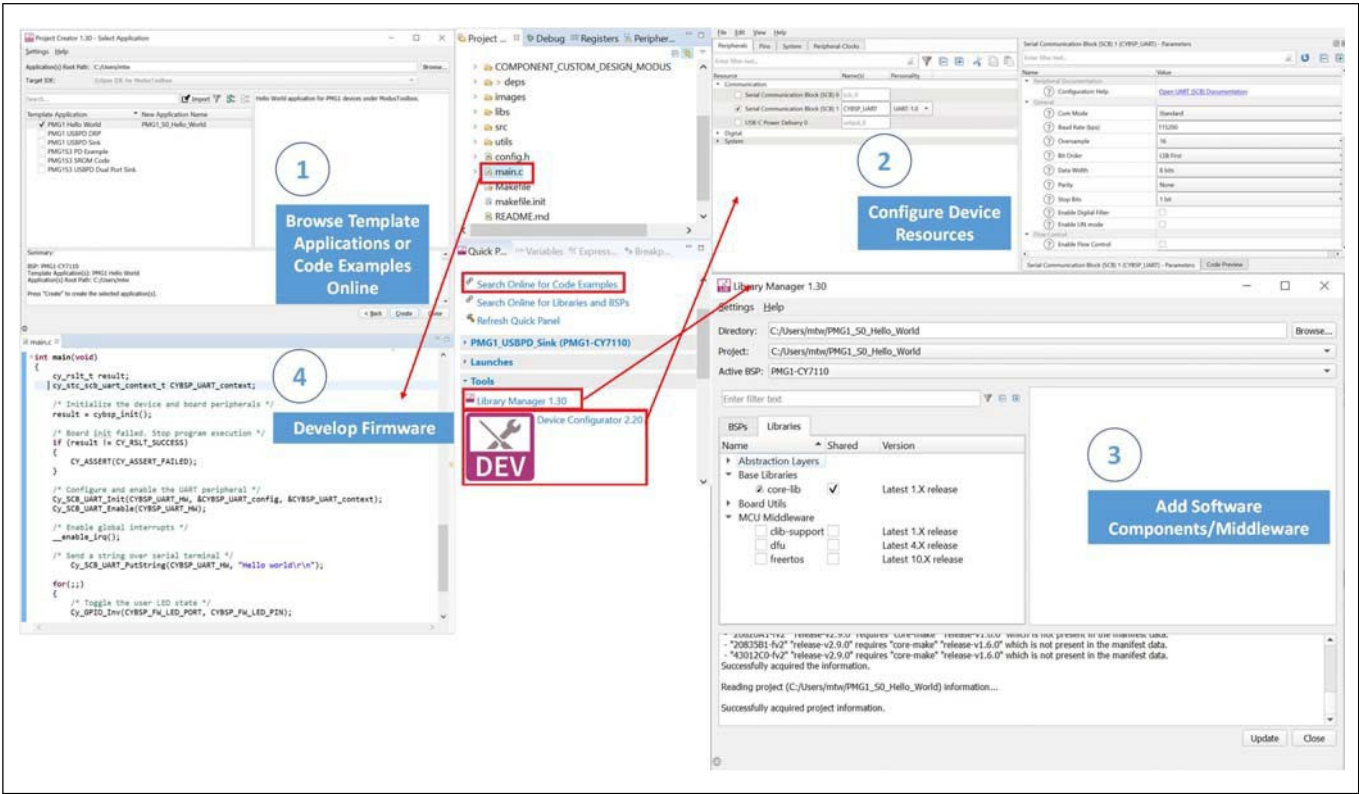


图 1 ModusToolbox™ IDE资源和中介软件

2 功能概述

2.1 CPU 和存储器子系统

2.1.1 CPU

EZ-PD™ CCG8 中的 Cortex®-M0+ 是一个 32 位的 MCU，该内核通过扩展的时钟门控来优化低功率操作。它通常使用 16 位指令并可以执行 Thumb-2 指令子集。该实现包含一个硬件乘法器，可在一个时钟周期内提供 32 位结果。它包括一个带有 32 个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 将处理器从深度睡眠模式唤醒，从而在芯片处于深度睡眠模式时，可以关闭主处理器的电源。

CPU 子系统还包含一个 16 通道的 DMA/Datawire 模块和一个串行线调试 (SWD) 接口，即 JTAG 的一个两线模式。CCG8 的调试配置具有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

2.1.2 Flash

CCG8 具有一个 256 KB 的闪存模块。

2.1.3 SRAM

提供了 32 KB 的 SRAM，在深度睡眠模式中保留了该模块。

2.1.4 ROM

提供了 96 KB 的监督 ROM (SROM)，其中包含引导和配置例程。除了为 CCG8 提供的闪存擦除和编程子程序外，SROM 还包含闪存校验子程序。

2.1.5 加密加速器

加密加速器模块支持以下要求：

- 支持非对称密钥加密的向量单元 (VU)
- SHA2 (256 位)
- 能够执行 RSA-4096、3072、ECC-256 的非对称加密向量单元
- AES (128 位) 支持正向分组密码
- 真随机数生成器 (符合 AIS-31 标准)
- 频率为 48 MHz 时的性能
 - RSA-3072 验证操作性能: 25 ms
 - 对 64 KB 数据进行 SHA-2 256 位哈希运算的时间: 10 ms
 - 安全启动在 50 ms 内将控制权转换给用户程序
- 公钥存储
 - Flash：2 KB RSA-3072 密钥结构存储在闪存中。密钥结构包括模数、指数和三个系数

2.2 系统资源

2.2.1 电源系统

电源系统在第 15 页的“[电源系统概述](#)”进行了详细描述。它确保电压水平符合各模式的要求，并会在电压水平达到正常工作所需值之前延迟模式进入（例如，上电复位 (POR)），或者在即将出现不安全电源电压时触发复位（欠压检测 (BOD)）。CCG8 可使用 2.8 V 至 5.5 V (VSYS) 或 4 V 至 28 V (VBUS) 范围内的单个外部电源供电，并具有三种不同的电源模式（活动、睡眠、深度睡眠），这些模式之间的转换由电源系统管理。

在使用 28 V 电压稳压器进行操作时，根据封装和 VBUS 电源值，要确保限制电流消耗 (通过关闭外设) 并保证芯片 T_{JA} 不超过 125 °C。

2.2.2 时钟系统

CCG8 的时钟系统是 M0S8 平台的严格子集。CCG8 具有一个完整的集成时钟，因此不需要外部晶振。该时钟系统为所有需要时钟的子系统 (SCB、TCPWM、可编程模拟子系统 (PASS) 和 PD) 提供时钟源，并在不同时钟源之间进行无毛刺切换。此外，它还确保不发生亚稳态。

图 2 显示了 CCG8 的时钟系统，该系统由内部主振荡器 (IMO) 和内部低功耗振荡器 (ILO) 组成。PERXYZ_CLK 代表不同外设的时钟。

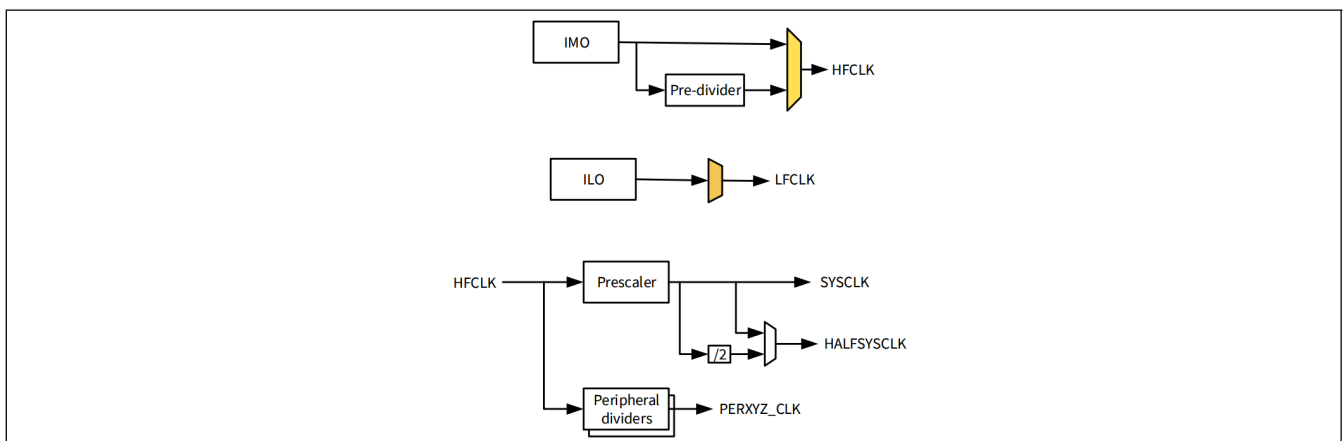


图 2 EZ-PD™ CCG8 的时钟架构

HFCLK 信号可以分频，为模拟和数字外设生成同步时钟。共有 21 个时钟分频器（5 个支持分数分频，16 个支持整数分频）。模拟时钟领先于数字时钟，以确保模拟事件在数字时钟噪声产生之前发生。数字时钟分频器生成使能时钟（即每 N 个时钟周期中出现 1 个有效时钟，其中 N 为分频系数）。模拟时钟分频器需要提供 50% 的真实占空比，以在所有允许的频率下保持模拟性能。

2.2.2.1 IMO 时钟源

IMO 是 CCG8 内部时钟的主时钟源。在生产过程中对该时钟源进行调整，使之满足所需的 $\pm 2\%$ 准确度。调整值被存储在闪存存储器的监控行中。可以使用 Flash 的附加校准设置来补偿变化。IMO 的默认频率为 48 MHz $\pm 2\%$ 。在 IMO RMS 抖动的条件下可以获得 12 位 SAR 的准确度。

2.2.2.2 ILO 时钟源

ILO 是一个超低功耗但相对不准确的振荡器，主要用于在 USB 暂停 (深度睡眠) 模式下为外设操作提供时钟。这是一个 32 kHz 的振荡器，未经微调的精度为 -70% 至 +150%，并且可以在 $\pm 55\%$ 的范围内进行调整。

2.2.3 看门狗定时器

在由ILO提供时钟的时钟模块中执行看门狗定时器，这样看门狗可以在深度睡眠模式下工作。如果在超时发生之前看门狗没有得到处理，则会生成看门狗复位。如果需要，除了生成复位外，还可以通过该定时器执行中断操作。

2.2.4 复位

可以从各种源 (包括软件复位) 复位 CCG8。复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器中，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。芯片保留了一个 XRES 引脚用于外部复位，以避免在上电或重新配置期间出现配置和多引脚功能方面的复杂问题。

2.2.5 基准电压

CCG8 参考系统生成芯片所需要的所有内部参考。为了获得更好的信噪比和更高的绝对精度，可以通过 GPIO 引脚旁路内部参考，或为 12 位 SAR ADC 使用外部参考源。通过使用片上运算放大器中的某一个，可以对引脚上的内部参考进行缓冲，并将其作为外部参考使用。

2.3 模拟模块

2.3.1 12 位 SAR ADC

12 位分辨率和 1 Msps 采样率的 SAR ADC 可在最大为 18 MHz 的时钟速率下运行，在该频率下进行 12 位数据转换至少需要 18 个时钟周期。通过将 CPU 时钟速率除以一个整数从而获取 ADC 时钟输入。这意味着在 CPU 时钟速率为 48 MHz 的条件下，允许的 ADC 最高时钟速率为 16 MHz。时钟速率为 16 MHz 时，能够以 1 Msps 的速度执行 10 位转换 (10 位转换最少需要 16 个时钟周期)。使用整数分频器时，可以在频率为 48 MHz 的条件下以 890 次采样/秒的速度进行 12 位 ADC 转换。在频率为 18 或 36 MHz 时，该速度达到 1 Msps 的峰值。ADC 需要占空比约为 50% 的时钟，并且该数值适用于所有整数分频器的值。

通过向该模块添加一个参考缓冲器并提供三个内部电压参考 (VDDA、VDDA/2 和 Vref (额定电压为 1.2 V)) 和一个通过 GPIO 引脚提供的外部参考电压，可以增强该模块的功能。采样保持 (S/H) 孔径时间是可编程的，这可以降低驱动 SAR 输入的放大器的增益带宽要求 (该要求决定了放大器的建立时间)，从而可以使用更低成本的外部运算放大器。该放大器驱动 SAR 输入，而该输入又决定了该放大器的建立时间。如果使用了合适的参考电压，对于真正的 12 位精度，系统性能为 68 dB。此外，还可以通过固定引脚位置为内部参考放大器提供外部旁路。

SAR ADC 通过一个 8 输入序列器与一组固定引脚相连。定序器自动地循环性通过已选通道 (定序器扫描)，而不需要任何切换开销 (即无论是在单通道上还是分布在多通道上，总采样带宽一直等于 1 Msps)。序列器的切换通过一个状态机或固件驱动实现。序列器可通过缓冲每个通道来降低 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道可有不同的可编程采样时间。此外，还通过一对范围寄存器 (低范围值和高范围值) 实现了信号范围规格设定，当数字化值超出编程范围时，会触发相应的超范围中断；这样可以快速检测超范围值，而无需等待序列器扫描完成后由 CPU 读取数值并通过软件检查是否超范围。

SAR ADC 能够对多个采样求平均值，这样可以节省 CPU 带宽。它可以量化板上温度感应器的输出，以进行校准和实现与温度有关的其它功能。因为 SAR ADC 需要使用高速时钟 (高达 18 MHz)，所以不可在深度睡眠模式下运行。SAR 的工作电压范围为 1.71 至 5.5 V。

2.3.2 温度传感器

CCG8 具有一个片上温度感应器。该感应器包含一个二极管，该二极管由一个可禁用的电流源偏置（可禁用以节省功耗）。在生产过程中可以对该二极管进行校准，以获取 $\pm 5\%$ 的最大精度偏差（典型值为 $\pm 1\%$ ）。由于测量的温度为二极管的片上温度，因此要将二极管放置在靠近SAR ADC的位置，以进行更准确的测量。

2.4 USB PD子系统

该子系统为Type-C USB端口提供接口。

2.4.1 USB PD 物理层

USB PD 子系统包含 USB PD 物理层模块和支持电路。该物理层包含一个发送器和接收器，按照 PD 3.1 标准通过 CC 通道传输 BMC 编码数据。所有通信都是半双工的。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。

2.4.2 VCONN FET

CCG8 共有两个集成VCONN FET，用于为CC1或CC2引脚供电。此外，还提供了一个电源输入V5V引脚，用于通过这些VCONN FET为EMCA线缆供电。这些 FET 可以在 4.85 V 至 5.5 V 的有效 VCONN 范围内为每个端口提供 1.5 W 的功率，并且通过CC1/2引脚给EMCA线缆供电。在任何给定时间内，只会开启两个VCONN FET 中的一个。

2.4.3 ADC

ADC是一个低占用空间的8位SAR ADC，用于芯片上的通用模数转换应用。使用片上模拟复用器可以通过GPIO引脚访问该ADC。在 CCG8 中，每个PD端口都将实例化一个ADC。

2.4.4 SBU复用器

CCG8 包含一组模拟开关，用于将 Type-C 连接器的 SBU1 和 SBU2 引脚连接到 DisplayPort 的 AUX 引脚或 Thunderbolt 的 LSx 引脚以及 UART 调试引脚。AUX 引脚配备可切换的上拉和下拉电阻，具体要求参见图 3 所示的各自规格。LSTX/RX 调试端口采用数字复用，这些输入无需模拟复用器。

双端口（CCG8D）有两个 3:1 SBU MUX，单端口（CCG8S）集成了一个 3:1 SBU MUX。

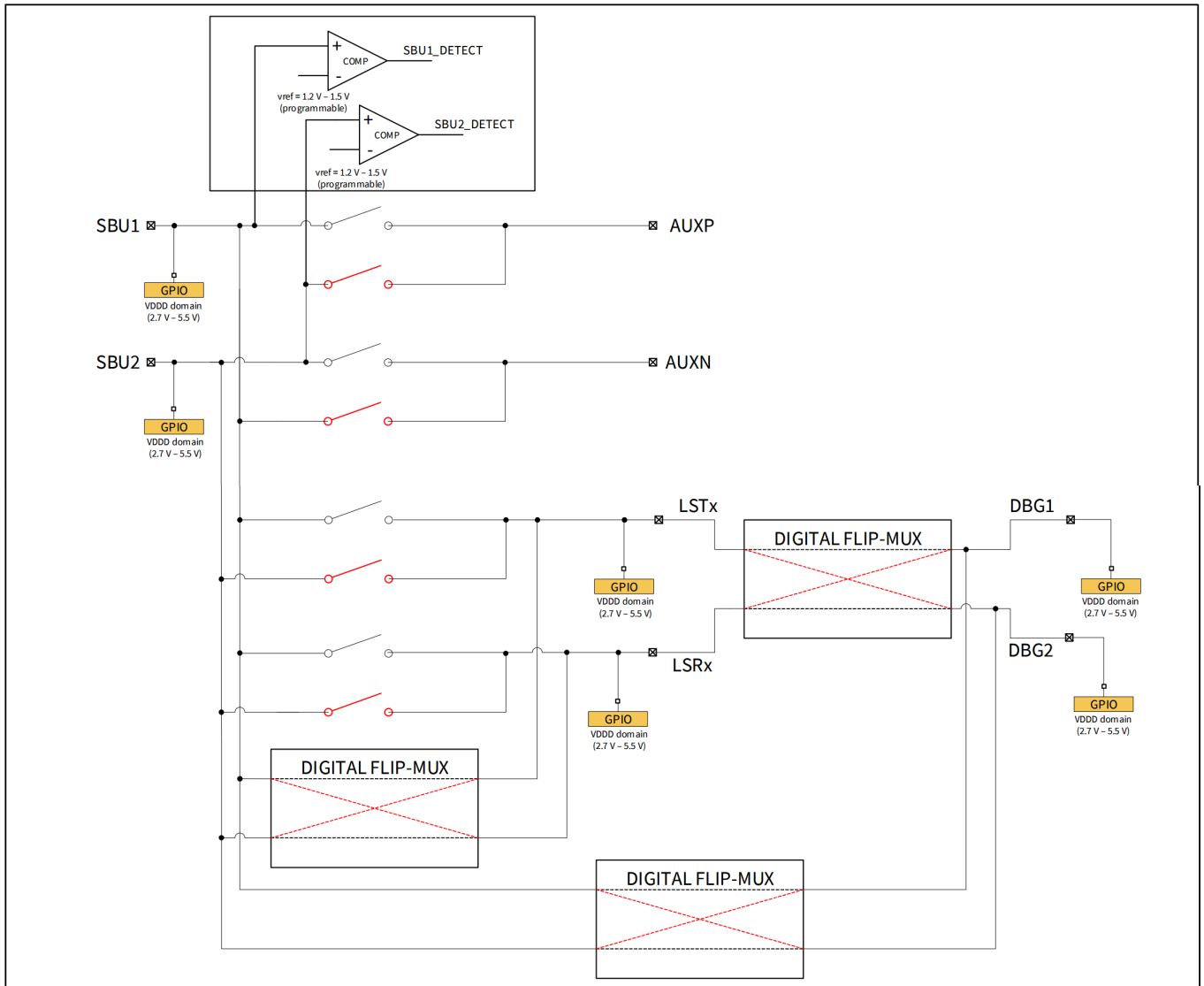


图 3 SBU 多路复用器

2.4.5 负载开关控制器

CCG8 具有一个集成负载开关控制器，其功能如下。负载开关控制器在提供路径上支持高达28 V的电压。

2.4.5.1 VBUS上的过压和欠压保护

该芯片为VBUS电源实现一个欠压/过压 (UVOV) 检测电路。UV和OV的阈值均为可编程的值。

2.4.5.2 VBUS的过流、短路电流和反向电流故障检测比较器

该芯片支持检测 VBUS 提供路径上的过流、短路电流和反向电流故障。放置在连接器VBUS路径上的外部电阻 (5 mΩ) 与芯片连接。通过监控该电阻上的压降可以检测这些故障。当 Type-C VBUS 大于 VIN (VBUS NFET 之前的发送端电压) 时，CCG8 将VBUS提供路径上的反向电流限制为400 mA。CCG8 将快速响应并关闭VBUS发送端 NFET。接收路径上不支持该功能。只要接收端电压超过接收路径上连接器端的电压，就会出现反向电流。

2.4.5.3 VBUS放电

CCG8 具有一个集成高压 (28 V) VBUS放电电路。检测到拔线事件后，该芯片会释放残留电荷，并使浮动的VBUS回到 vSafe0V。

2.4.5.4 VBUS稳压器

该芯片最多有三个输入电源 – VSYS 和 VBUS_C (Port0 和 Port1)。芯片的工作电源由这些输入电源上的稳压器提供。VSYS始终优先于VBUS。在没有VSYS的情况下，VBUS (根据其可用状态选用Port0或Port1) 将通过稳压器给芯片供电。

2.4.5.5 VBUS NFET 栅极驱动器

CCG8 具有两个集成栅极驱动器，用于驱动提供路径上的外部 NFET，每个端口一个。这些栅极驱动器只支持外部NFET。这些NFET必须能够支持 $\pm$ VBUS_NGDO_MAX 的最大VGS。这些栅极驱动器不符合 PD 规范中的快速角色切换 (FRS) 时序要求，因此建议对需要 FRS 支持的应用使用外部负载开关。

在源极路径上，背靠背 NFET 必须仅配置为共漏极模式。

接收程序路径外部 FET 将由 GPIO 引脚控制。

图 4 和图 5 展示如何在不同场景下配置栅极驱动器。

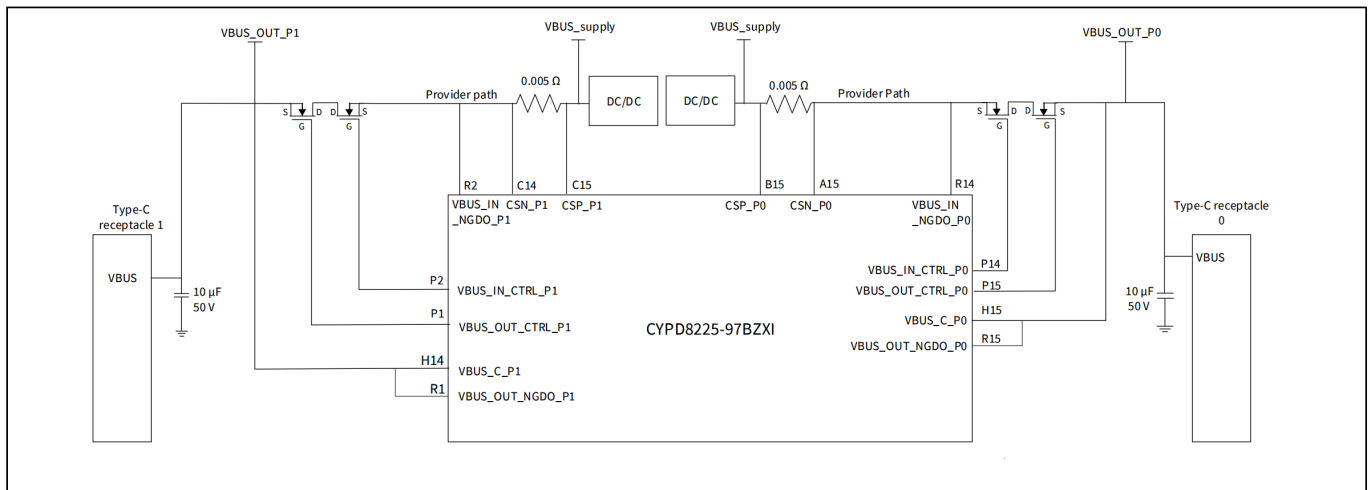


图 4 97-BGA 封装中两个Type-C端口上的发送源配置

Functional overview

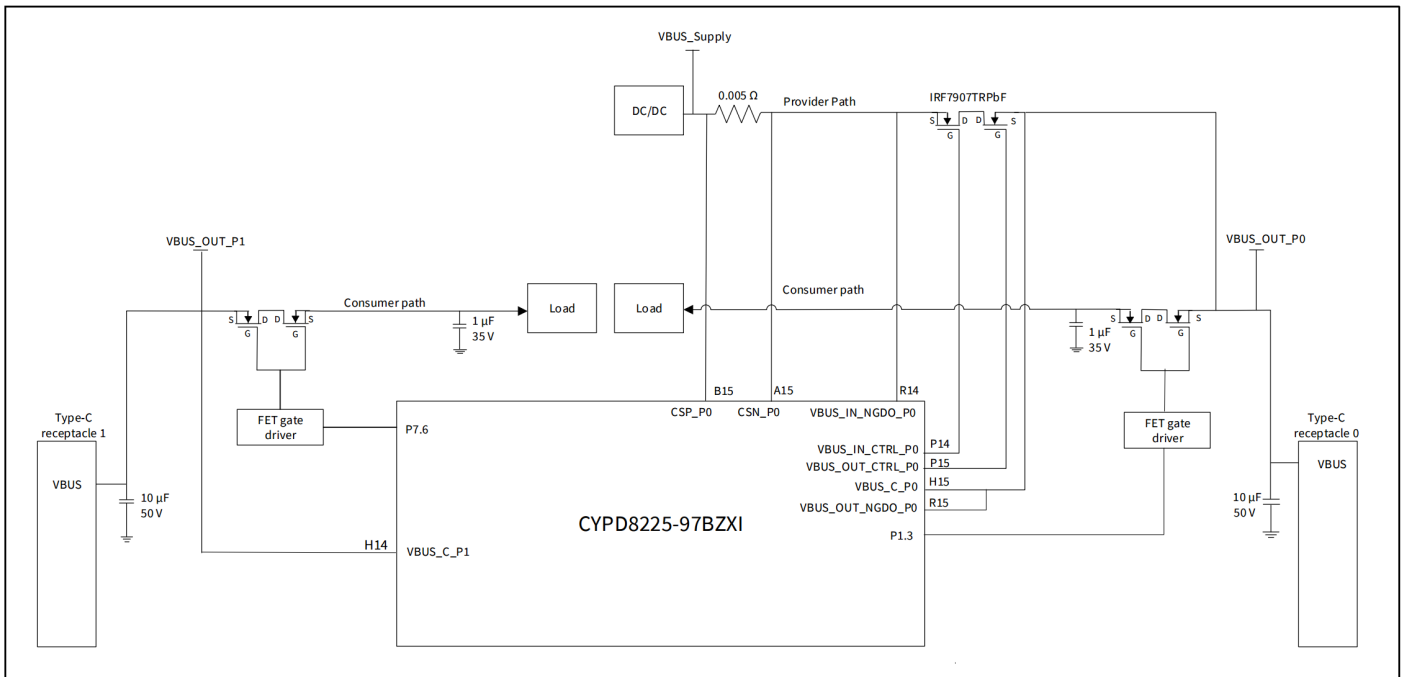


图 5 97-BGA封装中，一个Type-C端口上的DRP，另一个Type-C端口上的接收源

在图 5 中，端口 0 配置为 DRP；CCG8 栅极驱动引脚用于控制提供路径，GPIO 引脚用于控制接受程序路径 FET。

2.5 固定功能数字模块

2.5.1 定时器/计数器/PWM模块

定时器/计数器/PWM模块包含一个用户可编程周期长度的16位计数器。另外，还有一个捕获寄存器，用于记录事件发生(可能是I/O事件)时的计数值；一个周期寄存器，用于停止或自动重新加载计数器(如果计数值与周期寄存器的值相等)和一个比较寄存器，用于生成比较值信号，以作为PWM占空比输出使用。该模块还提供正相输出和互补输出，以及它们之间的可编程偏移，从而可用作具有可编程死区的互补PWM输出。它还提供一个用于强制输出进入预定义状态的停止(Kill)输入。例如，在马达驱动系统中，当出现过流状态时，需要立即通过它来关闭驱动FET的PWM，而没有时间等待软件干预。

CCG8 最多可有四个 TCPWM。固件可以将这些模块作为内部定时器使用，或者在GPIO上使用这些模块提供基于PWM的功能。

2.5.2 SCB

CCG8 具有四个SCB模块，可以将这些模块配置为I2C、SPI或UART。这些模块可以实现完整的多主设备和从设备I2C接口。这些接口具有多主设备仲裁功能。I2C符合标准 NXP I2C 规范 v3.0。这些模块的工作速度可达1 Mbps，另外它还提供了各种灵活的缓冲选项，以降低CPU的中断开销和延迟。

此外，SCB 模块还支持深度为 8 的 FIFO，用于接收 (RX) 和发送 (TX) 数据。这些模块延长了CPU读取数据的时间，从而降低了时钟延展的发生 (由于CPU没有及时读取数据，因此才导致时钟延展)。在没有DMA的情况下，该FIFO模式非常有用。数据吞吐量并非I2C的关键考虑因素。SCB0的I2C端口I/O具有过压容差功能 (OVT)。SCB1-7的I2C端口没有OVT功能。

UART 模式：这是一个功能齐全的 UART，运行速度最高可达 1 Mbps。此外，它还支持 9 位多处理器模式，允许对通过公共 RX 和 TX 线连接的外设进行寻址。支持通用 UART 功能，如奇偶校验错误、断点检测和帧错误。

SPI模式：SPI模式支持全Motorola SPI、TI SSP (基本上添加了一个用于同步SPI编解码器的启动脉冲) 和National Microwire (SPI的半双工形式)。该SPI模块可以使用FIFO。

2.5.3 GPIO接口

CCG8 在 97-BGA 封装中最多有 50 个 GPIO，在 48-QFN 封装中最多有 26 个 GPIO，包括 SCB 和 SWD 引脚，这些引脚也可以用作 GPIO。

GPIO模块实现以下功能：

- 八种驱动强度模式，包括：强推拉、电阻上拉和下拉、弱（电阻）上拉和下拉、开漏及开源、仅输入以及禁用。
- 选择输入阈值 (CMOS或LVTTTL)
- 输入和输出禁用的独立控制。
- 用于锁存前一状态的保持模式 (用于保留I/O在深度睡眠模式的状态)
- dV/dt相关噪声控制的可选转换速率。

引脚被分组为逻辑单元 (又称端口)，其宽度为8位。在上电和复位期间，各模块被强制禁用，以防止对任何输入造成短路，以及/或产生过大的启动电流。一个高速I/O矩阵(HSIOM)的复用网络用于复用连接多个信号至一个I/O引脚。固定功能外设的引脚位置也被固定，以降低内部复用的复杂性。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。可以通过软件对寄存器进行编程，从而配置每个数字I/O端口的引脚。

如果中断被使能，则每个I/O引脚都能生成一个由边沿触发的中断，并且每个I/O端口都有一个与其相关的中断请求 (IRQ) 和中断服务子程序 (ISR) 向量。

I/O端口可以在深度睡眠模式下保持其状态或保持开启状态。如果通过复位恢复操作，则引脚将进入高阻抗状态。如果通过中断事件恢复操作，则引脚驱动器将保持其状态，直到固件更改其状态为止。断电时，(数据总线上的) I/O不会消耗电流。

2.5.3.1 GPIO电源域

所有GPIO都被放置在一个独立的I/O电源域中 (VDDIO) (SBU GPIO 除外)。独立的I/O电源域提供了灵活的系统级接口连接。连接到SBU (连接器端) 的GPIO位于VDDD域而不是VDDIO域。

对于97-BGA中的所有50个GPIO，AMUXBUSA和AMUXBUSB 线上的电压不能超过VDDA电源电压。

3 电源系统概述

图 6 显示了 EZ-PD™ CCG8 电源引脚的一般要求。该电源方案允许不同的 VDDD 和 VDDA 连接方式，且无时序要求。下图旨在说明 VDDD 和 VDDA 是独立的网络，在芯片上并非欧姆连接。根据不同的封装要求，它们可能在键合配置中连接在一起，或者需要在芯片外进行连接。

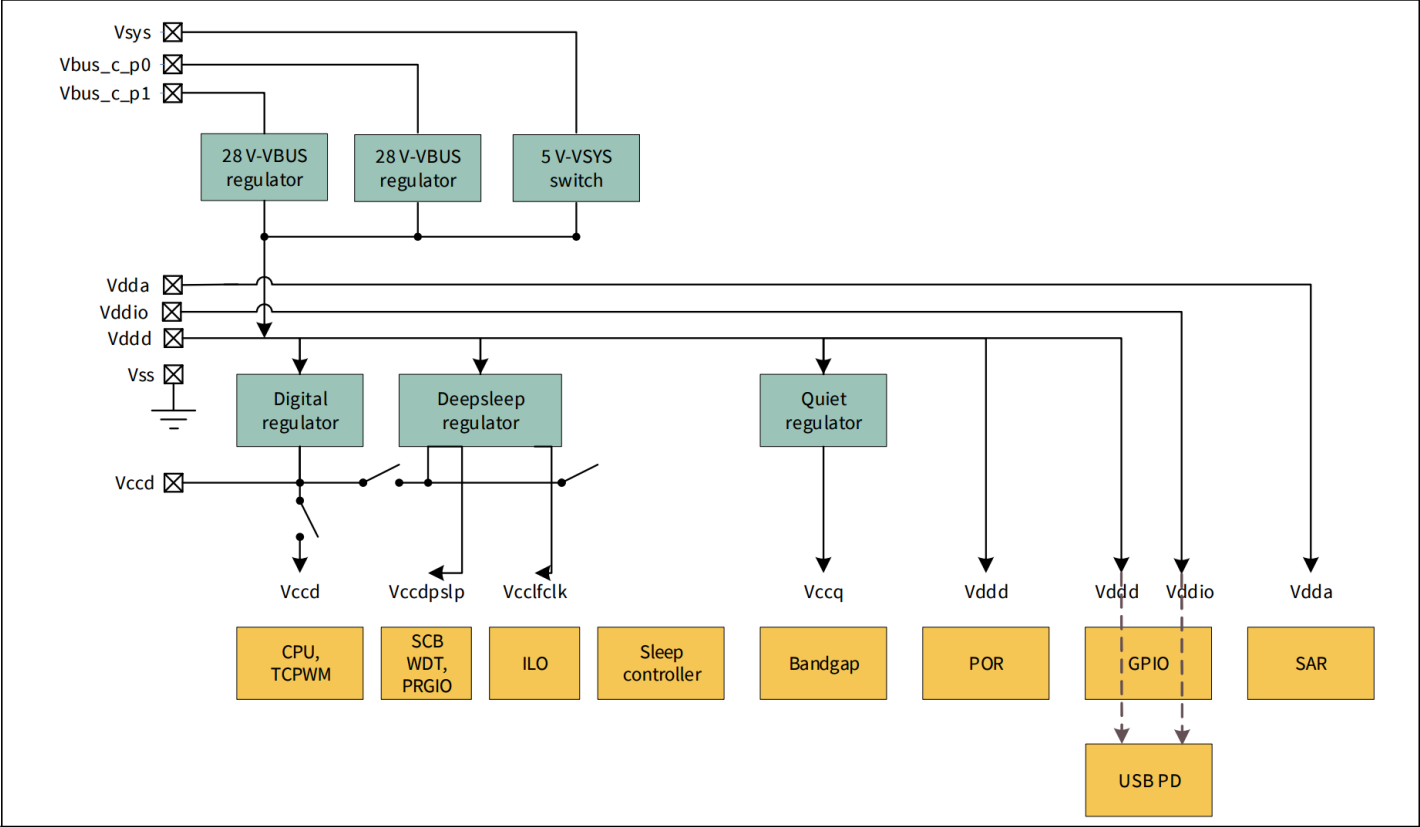


图 6 EZ-PD™ CCG8 电源系统框图

4 引脚分布

表 1 CYPD8225-97BZXI 引脚分布

Group name	Pin name	Port	97-BGA pinout	Pin description
VBUS OCP/SCP/RCP	CSN_P0	Analog	A15	Current sense negative input for VBUS side external Rsense: Port-0
	CSN_P1		C14	Current sense negative input for VBUS side external Rsense: Port-1
	CSP_P1		C15	Current sense positive input for VBUS side external Rsense: Port-1
	CSP_P0		B15	Current sense positive input for VBUS side external Rsense: Port-0
Power	VSYS	Power	B14	2.8-V to 5.5-V supply for the system
	VDDIO		B8, H12	GPIO supply (1.71 V - 5.5 V). At system-level short the VDDD to VDDIO.
	VCCD		D10	1.8-V regulator output for filter capacitor. This pin cannot drive external load.
	VDDA		D6, F6	Programmable analog supply (2.7 V - 5.5 V). Shorted to VDDD at board level.
	VDDD		D8	VDDD supply output 1. VSYS powered: (Min: VSYS-100 mV) 2.7 V to 5.5 V 2. VBUS powered: 2.7 V to 3.6 V
	VBUS_C_P1		H14	Type-C VBUS connector input for Port-1 (4 V to 28 V)
	VBUS_C_P0		H15	Type-C VBUS connector input for Port-0 (4 V to 28 V)
	V5V_P1		L1, L2	4.85 V to 5.5 V supply for VCONN FET of Type-C: Port-1
	V5V_P0		L14, L15	4.85 V to 5.5 V supply for VCONN FET of Type-C: Port-0
USB Type-C	CC1_P1	Analog	N1, N2	USB PD Port-1 connector detect/configuration channel 1
	CC1_P0		N14, N15	USB PD Port-0 connector detect/configuration channel 1
	CC2_P1		J1, J2	USB PD Port-1 connector detect/configuration channel 2
	CC2_P0		J14, J15	USB PD Port-0 connector detect/configuration channel 2
Reset	XRES		E14	Reset input
Ground	VSS	Ground	F8, F10, F12, H8, H10, K8, K10	Ground
Muxes/ switches	DBG2_P1/P0.3 ^[4]	GPIO	K6	Closed chassis debug2 pin for Port-1/GPIO
	AUX_P_P1 ^[4]	Analog	M4	Type-C auxiliary signal for DisplayPort - system side: Port-1
	AUX_N_P1 ^[4]		M6	
	DBG1_P0/P0.5 ^[4]	GPIO	M8	Closed chassis debug1 pin for Port-0/GPIO

注

4. I/O逻辑连接到VDDD而不是VDDIO。

Pinouts

表 1 CYPD8225-97BZXI 引脚分布 (续)

Group name	Pin name	Port	97-BGA pinout	Pin description
Muxes/ switches	AUX_P_P0 ^[4]	Analog	P11	Type-C auxiliary signal for DisplayPort - system side: Port-0
	SBU2_P0 ^[4]		P13	Type-C auxiliary signal for DisplayPort - connector side: Port-0
	SBU2_P1 ^[4]		P5	Type-C auxiliary signal for DisplayPort - connector side: Port-1
	DBG1_P1/P0.2 ^[4]	GPIO	P7	Closed chasis debug1 pin for Port-1/GPIO
	DBG2_P0/P0.4 ^[4]		P8	Closed chasis debug2 pin for Port-0/GPIO
	AUX_N_P0 ^[4]	Analog	P9	Type-C auxiliary signal for DisplayPort - system side: Port-0
	LSRX_P0/P0.7 ^[4]	GPIO	R11	LSRX for Port-0/GPIO
	SBU1_P0 ^[4]	Analog	R13	Type-C auxiliary signal for DisplayPort - connector side: Port-0
	SBU1_P1 ^[4]	Analog	R5	Type-C auxiliary signal for DisplayPort - connector side: Port-1
	LSTX_P1/P0.1 ^[4]	GPIO	R7	LSTX for Port-1/GPIO
	LSRX_P1/P0.0 ^[4]		R8	LSRX for Port-1/GPIO
	LSTX_P0/P0.6 ^[4]		R9	LSTX for Port-0/GPIO
VBUS control	VBUS_OUT_CTRL_P1	Analog	P1	Full rail control I/O for enabling/disabling NFET (output side) of USB Type-C path-1
	VBUS_IN_CTRL_P0		P14	Full rail control I/O for enabling/disabling NFET (input-side) of USB Type-C path-0
	VBUS_OUT_CTRL_P0		P15	Full rail control I/O for enabling/disabling NFET (output side) of USB Type-C path-0
	VBUS_IN_CTRL_P1		P2	Full rail control I/O for enabling/disabling NFET (input-side) of USB Type-C path-1
	VBUS_IN_NGDO_P0		R14	VBUS input for the NGDO - path-0 (4 V to 30 V)
	VBUS_IN_NGDO_P1		R2	VBUS input for the NGDO - path-1 (4 V to 30 V)
	VBUS_OUT_NGDO_P0		R15	VBUS output for the NGDO - path-0 (4 V to 30 V)
	VBUS_OUT_NGDO_P1		R1	VBUS output for the NGDO - path-1 (4 V to 30 V)
GPIO	P3.0	GPIO	A1	TCPWM/GPIO
	P7.2		A14	GPIO
	P2.0		A2	
	RETIMER_RESET_N_P0/P2.2		A3	Retimer Reset_N for Port-0/GPIO
	P2.5		A5	GPIO
	P2.4		A7	TCPWM/GPIO
	P2.7		A8	GPIO
	P7.5		A9	
	P3.3		B1	TCPWM/GPIO
	RETIMER_RESET_N_P1/P7.4		B11	Retimer Reset_N for Port-1/GPIO
	RETIMER_PWR_EN_P1/P7.3		B13	Retimer power enable for Port-1/GPIO
	P2.1		B2	TCPWM/GPIO
	P3.1		B3	GPIO

注

4. I/O逻辑连接到 VDDD 而不是 VDDIO。

Pinouts

表 1 CYPD8225-97BZXI 引脚分布 (续)

Group name	Pin name	Port	97-BGA pinout	Pin description
	RETIMER_PWR_EN_P0/P2.3		B5	Retimer power enable for Port-0/GPIO
	P2.6		B7	GPIO
	VBUS_C_CRTL_P1/P7.6		B9	Consumer path external FET control for Port-1/GPIO
	P3.7		C1	GPIO
GPIO	I2C_SDA_SCB0 /P4.1	GPIO	D12	SCB0 data for configuring retimer or DP/USB multi-function MUX/GPIO
	I2C_SCL_SCB0 /P4.0		E15	SCB0 clock for configuring retimer or DP/USB multi-function MUX/GPIO
	P3.4		D4	GPIO
	I2C_SDA_SCB2 /P5.1		E1	SCB2 data for communicating with SoC or TBT controller/GPIO
	I2C_SCL_SCB2 /P5.0		G2	SCB2 clock for communicating with SoC or TBT controller/GPIO
	I2C_SDA_SCB4 /P3.6		E2	SCB4 data for communicating with embedded controller/GPIO
	I2C_SCL_SCB4 /P3.5		F4	SCB4 clock for communicating with embedded controller/GPIO
	I2C_SDA_SCB1 /P1.5		M12	SCB1 data/GPIO
	I2C_SCL_SCB1 /P1.6		K12	SCB1 clock/GPIO
	VBUS_C_CTRL_P0/P1.3		K4	Consumer path external FET control for Port-0/GPIO
	P1.0		H2	GPIO
	I2C_INT_EC/ P5.5		H4	Embedded controller interrupt/GPIO
	P5.2		H6	GPIO
	HPD_P0/P1.4		M10	Hot plug detect I/O for Port-0/GPIO
	P3.2		C2	GPIO
	I2C_INT_TBT_P1/P5.4		G1	Thunderbolt interrupt for Port-1/GPIO
	HPD_P1/P7.1		G14	Hot plug detect I/O for Port-1/GPIO
	P7.0		G15	GPIO
	I2C_INT_TBT_P0/P5.3		H1	Thunderbolt interrupt for Port-0/GPIO
	SWD_CLK/I2C_CFG_EC/P1.1		P3	Serial Wire Debug clock/EC I2C config/GPIO
	SWD_IO/P1.2		R3	Serial Wire Debug data/GPIO

注

4. I/O逻辑连接到VDDD而不是VDDIO。

Pinouts

表 2 CYPD8125-48LDXI 的引脚分布

Group name	Pin name	Port	48-QFN pinout	Pin description
VBUS OCP/SCP/RCP	CSN	Analog	37	Current sense negative input for VBUS side external Rsense
	CSP		38	Current sense positive input for VBUS side external Rsense
Power	VSYS	Power	36	2.8-V to 5.5-V supply for the system
	VDDIO		23,42	GPIO supply (1.71 V to 5.5 V). At system-level, short the VDDD to VDDIO.
	VCCD		41	1.8-V regulator output for filter capacitor. This pin cannot drive external load.
	VDDA		5	Programmable analog supply (2.7 V to 5.5 V). Shorted to VDDD at board level.
	VDDD		43	VDDD supply output 1. VSYS powered: (Min: VSYS-100 mV) 2.7 V to 5.5 V 2. VBUS powered: 2.7 V to 3.6 V
	VBUS_C		31	Type-C VBUS connector input (4 V to 28 V)
	V5V		29	4.85 V to 5.5 V supply for VCONN FET of Type-C
	CC1	Analog	28	USB PD connector detect/Configuration Channel 1
	CC2		30	USB PD connector detect/Configuration Channel 2
Reset	XRES		33	Reset input
Ground	VSS	Ground	6,32,44	Ground
Muxes/Switches	DBG2/P0.3 ^[5]	GPIO	22	Closed Chassis Debug2 Pin/GPIO
	AUX_P ^[5]	Analog	15	Type-C auxiliary signal for DisplayPort - system side
	AUX_N ^[5]		16	
	SBU2 ^[5]		18	Type-C auxiliary signal for DisplayPort - connector side
	DBG1/P0.2 ^[5]	GPIO	21	Closed Chassis Debug1 Pin/GPIO
	SBU1 ^[5]	Analog	17	Type-C auxiliary signal for DisplayPort - connector side
	LSTX/P0.1 ^[5]	GPIO	20	LSTX/GPIO
	LSRX/P0.0 ^[5]		19	LSRX/GPIO
VBUS Control	VBUS_IN_CTRL	Analog	27	Full rail control I/O for enabling/disabling NFET (input-side) of USB Type-C
	VBUS_OUT_CTRL		26	Full rail control I/O for enabling/disabling NFET (output side) of USB Type-C
	VBUS_IN_NGDO		24	VBUS input for the NGDO (4 V to 30 V)
	VBUS_OUT_NGDO		25	VBUS output for the NGDO (4 V to 30 V)
GPIO	P3.0	GPIO	1	TCPWM/GPIO
	RETIMER_RESET_N/P2.2		47	Retimer Reset_N/GPIO
	P2.4		45	TCPWM/GPIO/Hot Plug Detect I/O
	P3.3		2	Consumer path external FET control/GPIO
	P7.4		40	GPIO
	P7.3		39	
	P2.1		48	TCPWM/GPIO

注

5. I/O逻辑连接到VDDD而不是VDDIO。

Pinouts

表 2 CYPD8125-48LDXI 引脚分布 (续)

Group name	Pin name	Port	48-QFN pinout	Pin description
GPIO	RETIMER_PWR_EN/ P2.3	GPIO	46	Retimer power enable/GPIO
	I2C_SDA_SCB0/P4.1		35	SCB0 data for configuring re-timer or DP/USB Multi-function MUX/GPIO
	I2C_SCL_SCB0/P4.0		34	SCB0 clock for configuring re-timer or DP/USB Multi-function MUX/GPIO
	I2C_SDA_SCB2/P5.1		8	SCB2 data for communicating with SoC or TBT controller/GPIO
	I2C_SCL_SCB2/P5.0		7	
	I2C_SDA_SCB4/P3.6		4	SCB4 data for communicating with embedded controller/GPIO
	I2C_SCL_SCB4/P3.5		3	SCB4 clock for communicating with embedded controller/GPIO
	VBUS_C_CTRL/P1.3		14	TCPWM/GPIO
	I2C_INT_EC/P5.5		11	Embedded controller Interrupt/GPIO
	P5.2		9	GPIO
	I2C_INT_TBT/P5.3		10	Thunderbolt interrupt/GPIO
	SWD_CLK/I2C_CFG_EC/P1.1		12	Serial Wire Debug clock/EC I2C config/GPIO
	SWD_IO/P1.2		13	Serial Wire Debug data/GPIO

注

5. I/O逻辑连接到VDDD而不是VDDIO。

Pinouts

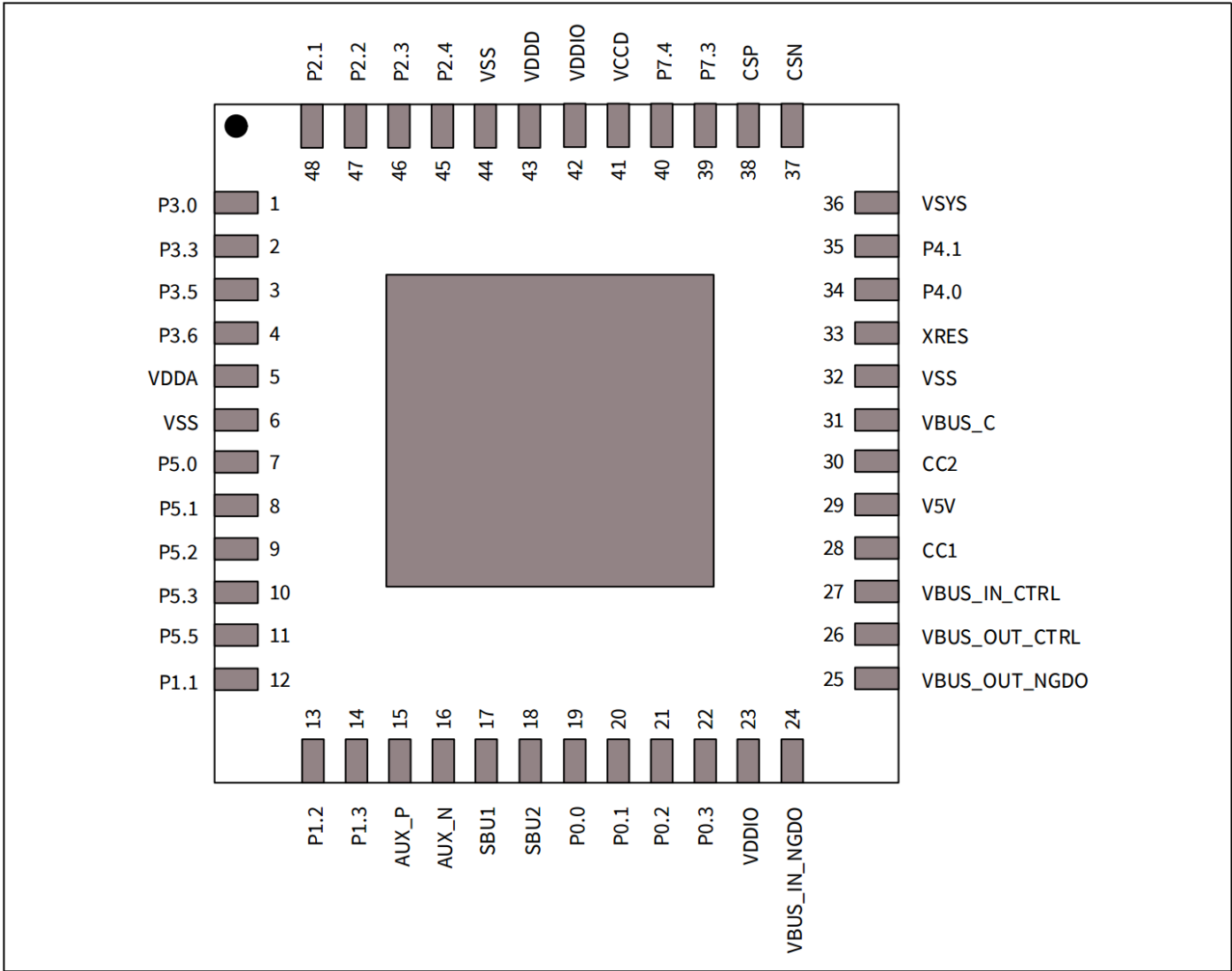


图 7 CYPD8125-48LDXI: 单端口 48-QFN

Pinouts

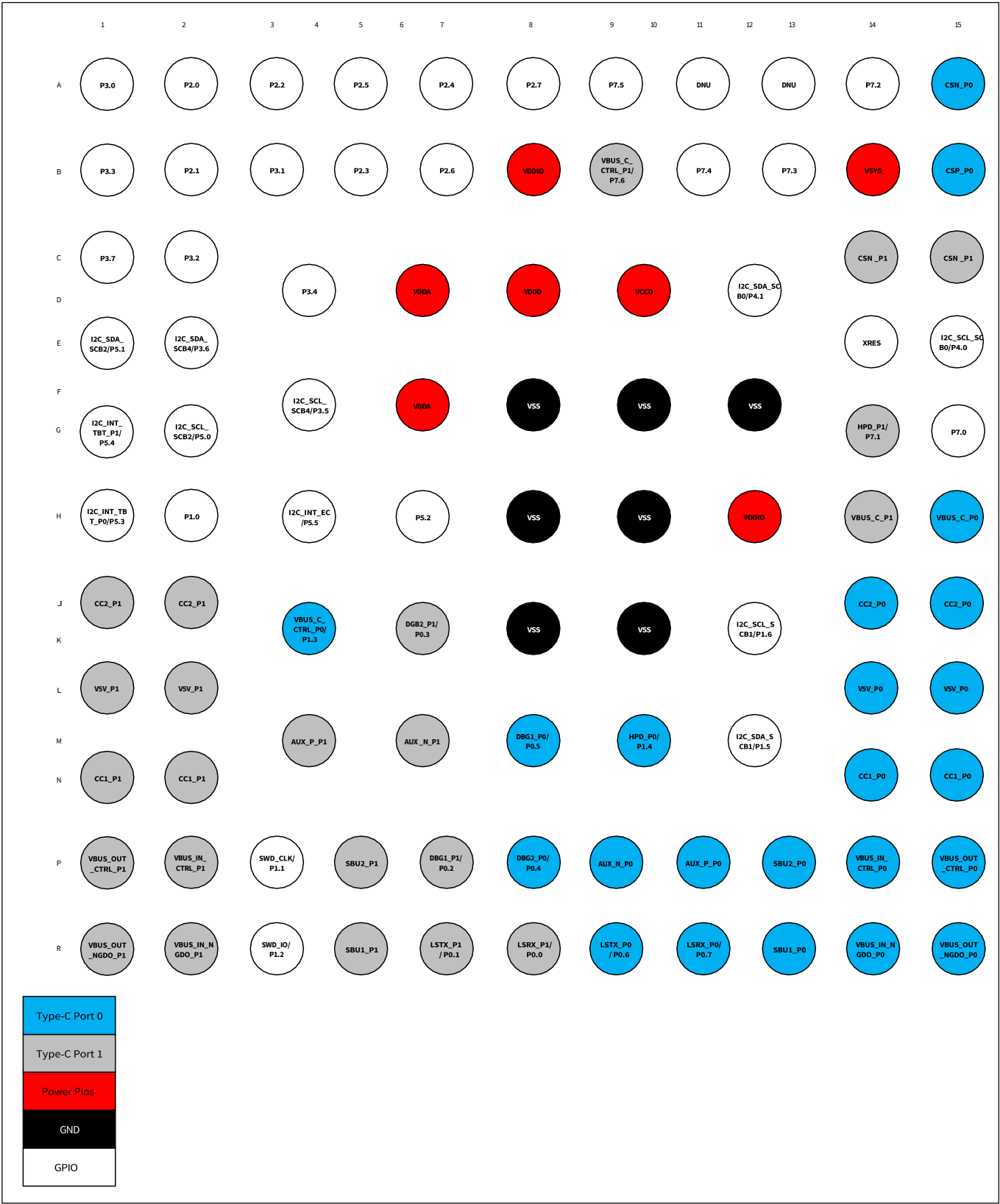


图 8 CYPD8225-97BZXI 的 97-球 BGA 引脚图（俯视图）

5 应用框图

图 9 显示了使用 EZ-PD™ CCG8S 器件的应用框图。

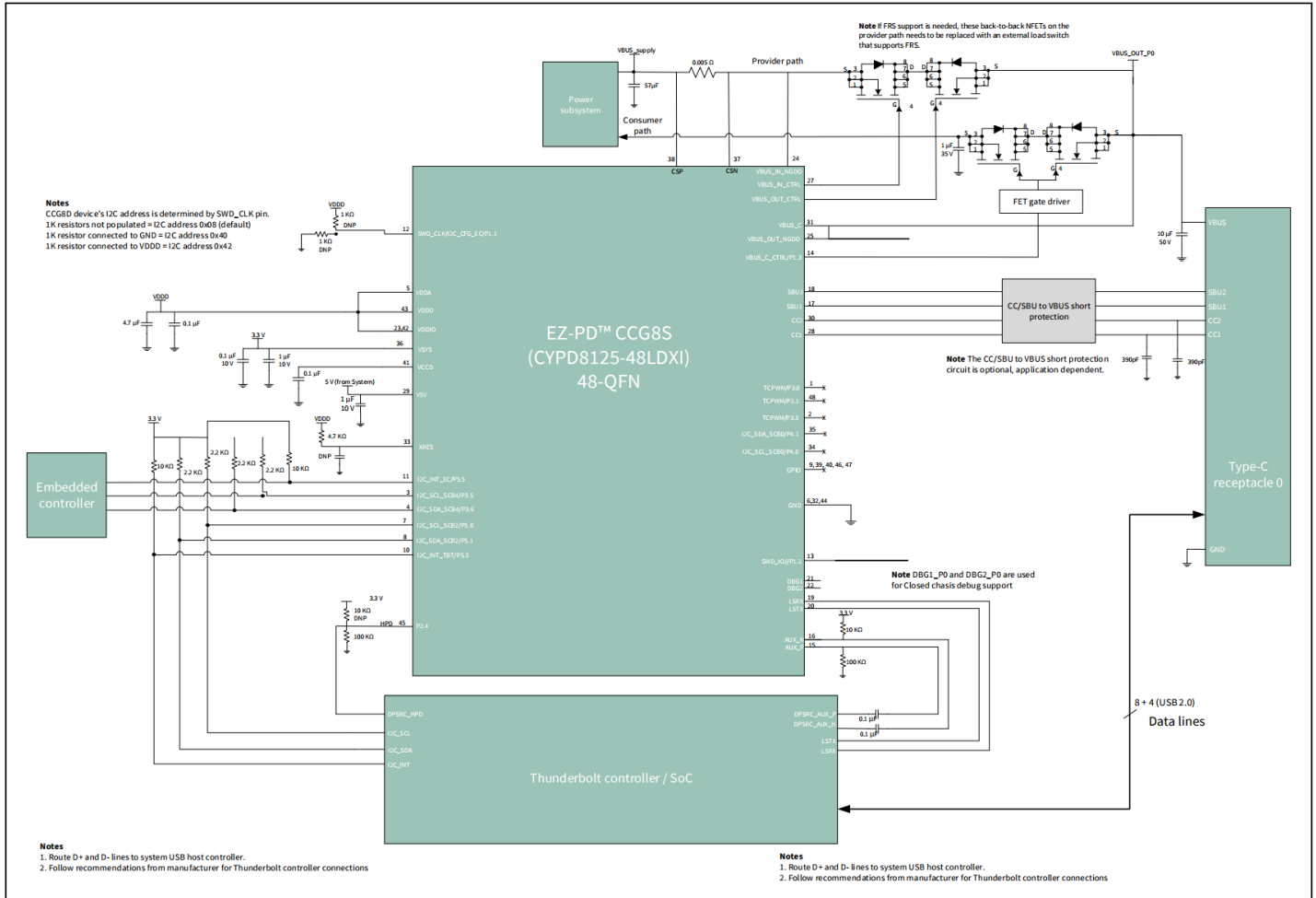


图 9 EZ-PD™ CCG8S 应用框图

Application diagrams

图 10 显示了使用 EZ-PD™ CCG8D 器件的应用框图。

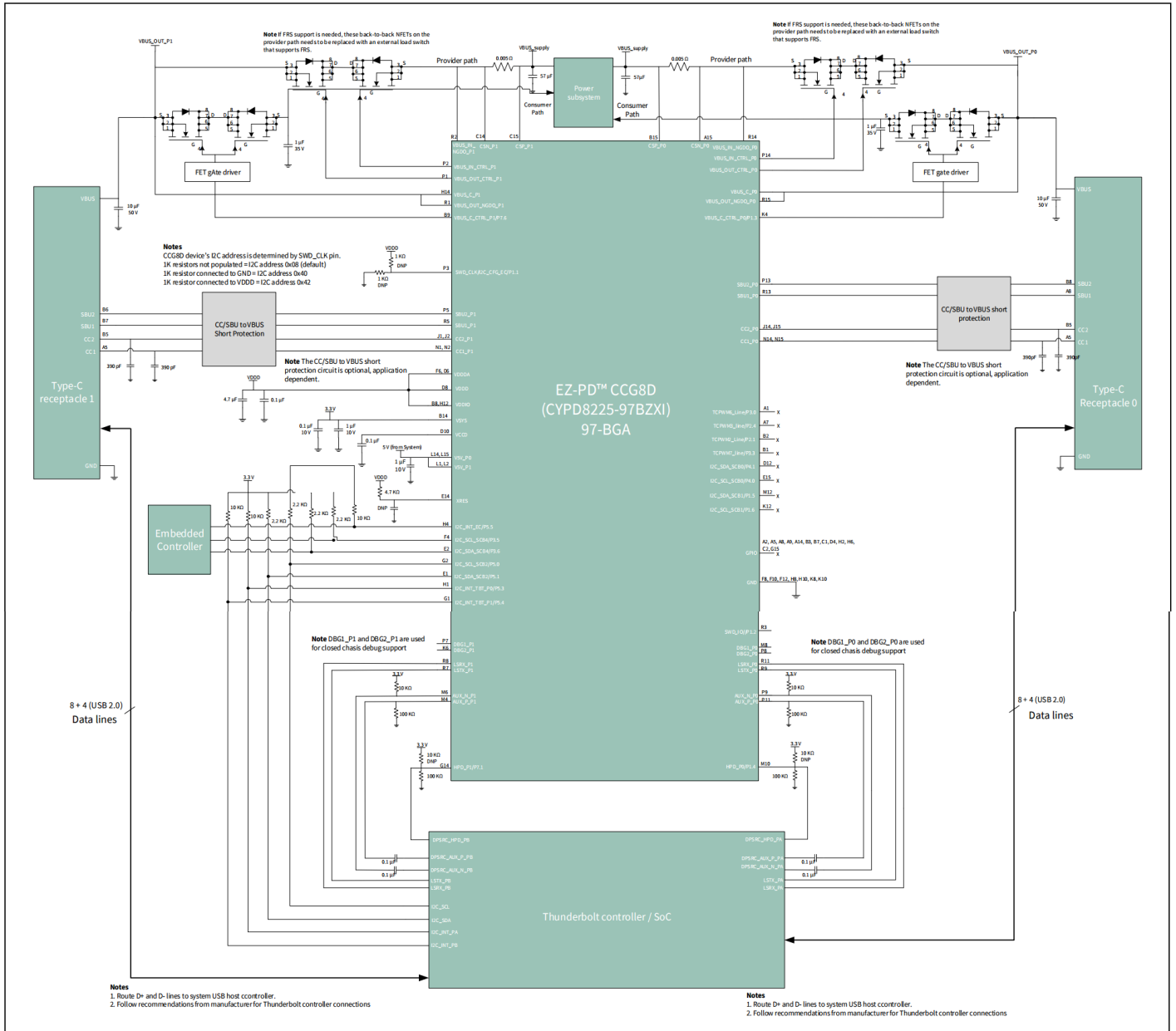


图 10 EZ-PD™ CCG8D 应用框图

注：对于任何支持 $\geq 28\text{ V}$ 的 EPR 设计，请联系英飞凌当地支持团队获取应用框图。

Electrical specifications

6 电气规格参数

表 3 绝对最大额定值^[6]

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR.ABS#1	V _{DDIO_ABS}	I/O Supply relative to V _{SS} (V _{SSIO} = V _{SSD} = V _{SSA})	0.5[7]	–	6	V ^[8]	Absolute minimum-maximum
SID.PWR.ABS#2	V _{CCD_ABS}	Direct digital core voltage input relative to V _{SSD}	–0.5		1.95	V	
SID.PWR.ABS#3	V _{GPIO_ABS}	GPIO voltage	–0.5		6		mA
SID.PWR.ABS#4	V _{GPIO_OVT_ABS}	GPIO OVT voltage	–0.5		6		
SID.PWR.ABS#5	I _{GPIO_ABS}	Current per GPIO	–25		25		
SID.PWR.ABS#6	I _{GPIO_injection}	GPIO injection current per pin	–0.5		0.5		
SID.PD.PWR.ABS#1	V _{CONN_SOURCE_ABS}	Min-max supply voltage relative to V _{SS}	–0.5		6	V	Minimum-absolute maximum
SID.PD.PWR.ABS#2	V _{SYS_ABS}		–0.5		6		
SID.PD.PWR.ABS#3	V _{BUS_ABS}	Min-max VBUS_C_P0/1 voltage relative to V _{SS}	–0.3		34		Absolute minimum-maximum
SID.PD.PWR.ABS#4	V _{BUS_NGDO_ABS}	Min-Max VBUS_IN/OUT_P0/1 voltage relative to V _{SS}	–0.3		34		Absolute minimum-maximum. It cannot be more than “V _{DDd} +0.5” at any point.
SID.PD.PIN.ABS#1	V _{CC_PIN_ABS}	Min-max voltage on CC1 and CC2 pins	–0.5		6		
SID.PD.PIN.ABS#2	V _{SBU_PIN_ABS}	Min-max voltage on SBU1 and SBU2 pins	–0.5		6		
SID.PD.PIN.ABS#3	V _{USB_PIN_ABS}	Min-max voltage on USBDP and USBDM pins	–0.5		6		
SID.PD.PIN.ABS#4	V _{AUX_PIN_ABS}	Min-max voltage on AUX_N_P0/1 and AUX_P_P0/1 pins	–0.5		6		
SID.PD.PIN.ABS#5	V _{CSA_PIN_ABS}	Min-max voltage on CSP_P0/1 and CSN_P0/1 pins	–0.3		34		Absolute minimum-maximum
BID1	TSTG_AMAX	Storage temperature	–55	25	150	°C	Non-operating temperature. Per JESD22-A103 HTSL test.
BID44	ESD_HBM	Electrostatic discharge voltage	2000	–	–	V	Human body model ESD.
BID45	ESD_CDM	Electrostatic discharge voltage	500				Charged device model ESD
BID46	I_LU	Latch-up current limits	–100		100	mA	Max/min current into any input or output, pin-to-pin, pin-to-supply.

注

- 超出表 3 所列绝对最大额定值使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103《高温存储寿命》。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。
- 在一个系统中，如果负尖峰超过此处指定的最小电压，建议添加肖特基二极管来钳位负尖峰。
- 除非另有说明，否则所有电压均为对地电压。

Electrical specifications

6.1 器件级规范

表 4 直流参数

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#1	V _{DDD}	Regulated output voltage when VSYS powered power supply voltage (not to be driven externally)	V _{SY} S - 0.1	-	V _{SY} S	V	-40°C to +85°C T _A ; Load current from V _{DDD} = 30 mA
SID.PWR#1A		Regulated output voltage when VBUS powered power supply voltage (not to be driven externally)	3		3.65		-40°C to +85°C T _A
SID.PWR#1B		Power supply voltage for USB bus power	4.25		5.35		USB-PHY internal regulator enabled
SID.PWR#1C		Power supply voltage for USB PHY in bypass mode, Parameters guaranteed	3.05		3.55		USB-PHY internal regulator in Bypass mode
SID.PWR#1D		Power supply voltage for USB PHY in bypass mode, Functionality only guaranteed	2.95		3.63		
SID.PWR#2	V _{DDWRITE}	Supply voltage for flash write	2.7	1.8	5.5	nF	-40°C to +85°C T _A , All V _{DDD} .
SID.PWR#4	V _{DDIO}	Supply voltage for I/O	1.71		V _{DDD}		-40°C to +85°C T _A , All V _{DDD} ; V _{DDA} = V _{DDD}
SID.PWR#5	V _{DDA}	Supply voltage for I/O 12-bit ADC block	V _{DDD}		V _{DDD}		
SID.PWR#6	V _{CCD}	Output voltage For core Logic	-	1.8	-		-
SID.PWR#7	Cefc	External regulator voltage bypass for V _{CCD}	80	100	120	μF	X5R ceramic or better
SID.PWR#8	Cexc	External regulator voltage bypass for V _{DDD}	-	4.7	-		
SID.PWR#9	Cexv	Power supply decoupling capacitor for V5V_0 and V5V_1, V _{SY} S, V _{DDIO} , V _{DDA}		1			
SID.PD.PWR#1	V5V	Power supply for V _{CONN}	4.85	-	5.5	V	-40°C to +85°C T _A
SID.PD.PWR#2	VSYS_UFP	VSYS valid range	2.8		5.5		UFP applications
SID.PD.PWR#2A	VSYS_DFP_DRP		3		5.5		DFP/DRP applications
SID.PD.PWR#3	VBUS	VBUS_C_P0/1 valid range	4		30		-
SID.PD.PWR#3A	VBUS_NGDO	VBUS_IN/OUT_NGDO_P0/1 valid range	4		30		

Active mode, VDD = 1.71 V to 5.5 V

SID16	IDD11	Execute from flash; CPU at 24 MHz	-	5.8	-	mA	Typ = 25°C @ V _{DD} = 3.3 V
SID19	IDD14	Execute from flash; CPU at 48 MHz		11.2			

Sleep mode, VDD = 2.0 V to 5.5 V (Regulator ON)

SID22	IDD17	I ² C wakeup, WDT, and comparators on 6 MHz	-	1.3	2.2	mA	Typ = 25°C @ V _{DD} = 3.3 V Max = 85°C @ 5.5 V
SID25	IDD20	I ² C wakeup, WDT, and comparators on. 12 MHz		1.85	2.5		

Electrical specifications

表 4 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
Deep sleep mode, VDD = 2.7 V to 5.5 V							
SID34	IDD29	I ² C wakeup and WDT on.	–	250	–	μA	Typ = 25°C @ V _{DD} = 3.3 V Power source = VSYS, Type-C not attached, CC enabled for wakeup, Rp and Rd connected at 70 ms intervals by CPU. Rp, Rd connection should be enabled for both PD ports If VBUS_IN_NGDO and VBUS_OUT_NGDO also present, refer to SID.PD.GD#11 and SID.PD.GD#12
SID_DS1	IDD_DS1	VSYS = 3.3 V Port-0 and 1: CC wakeup on, Type-C not connected		200			Power source = VSYS, Type-C not attached, CC enabled for wakeup, Rp and Rd connected at 70 ms intervals by CPU. Rp, Rd connection should be enabled for both PD ports. If VBUS_IN_NGDO and VBUS_OUT_NGDO are also present, refer to SID.PD.GD#11 and SID.PD.GD#12
SID_DS3	IDD_DS2	VSYS = 3.3 V Port-1: CC wakeup on, Port-0: CC/VCONN/SBU/NGDO/ CSA/UVOV enabled and SBU comparators disabled		600			Power source = VSYS, One port attached, chip in Deepsleep Port-1: CC wakeup on, Port-0: CC/ VCONN/ SBU/NGDO/CSA/ UVOV enabled and SBU comparators disabled
SID_DS3_A	IDD_DS2A	VSYS = 3.3 V Port-0 and 1: CC/ VCONN/SBU/NGDO/CSA/U VOV enabled and SBU comparators disabled		1100			Both ports attached (CC/ VCONN/ SBU/NGDO/CSA/ UVOV enabled and SBU comparators disabled), chip in deep sleep
XRES current							
SID307	IDD_XR	Supply current while XRES asserted	–	130	–	μA	Power source = VSYS = 3.3 V, Type-C not attached, TA = 25°C If VBUS_IN_NGDO and VBUS_OUT_NGDO also present, refer to SID.PD.GD#11a and SID.PD.GD#12a

Electrical specifications

表 5 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CPU#1	F_{CPU}	CPU frequency	DC	–	48	MHz	-40°C to +85°C TA, All V_{DD}
SID.CPU#2	T_{SLEEP}	Wakeup from sleep mode	–	0	–	μs	–
SID.CPU#3	$T_{\text{DEEPSLEEP}}$	Wakeup from deep sleep mode		35			

6.2 GPIO

表 6 GPIO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.GPIO.DC#1	Vih_CMOS	Input voltage HIGH threshold	0.7*V _{DD}	–	–	V	CMOS input	
SID.GPIO.DC#2	ViL_CMOS	Input voltage LOW threshold	–		0.3 * V _{DD}			
SID.GPIO.DC#1a	Vih_VDDIO2.7-	LVTTL input, VDD < 2.7 V	0.7*V _{DD}		–		–	
SID.GPIO.DC#2a	ViL_VDDIO2.7-		–		0.3 * V _{DD}			
SID.GPIO.DC#1b	Vih_VDDIO2.7+	LVTTL input, VDD ≥ 2.7 V	2		–			
SID.GPIO.DC#2b	ViL_VDDIO2.7+		–		0.8			
SID.GPIO.DC#1c	Vih_VCCHIB	V _{IH} , 1.8-V input mode	1.26		–		Ioh = 4 mA at 3-V V _{DD}	
SID.GPIO.DC#2c	ViL_VCCHIB	V _{IL} , 1.8-V input mode	–		0.54			
SID.GPIO.DC#4	V _{OH}	Output voltage HIGH level	V _{DD} -0.6		–		Ioh = 1 mA at 1.8-V V _{DD}	
SID.GPIO.DC#4a	V _{OH}		V _{DD} -0.5					
SID.GPIO.DC#5	V _{OL}	Output voltage LOW level	–		0.6		Iol = 4 mA at 1.8-V V _{DD}	
SID.GPIO.DC#5a	V _{OL}				0.6		Iol = 10 mA at 3-V V _{DD}	
SID.GPIO.DC#5b	V _{OL}				0.4		Iol = 3 mA at 3-V V _{DD}	
SID.GPIO.DC#6	R _{PULLUP}	Pull-up resistor	3.5	5.6	8.5	kΩ	–	
SID.GPIO.DC#7	R _{PULLDOWN}	Pull-down resistor	3.5	5.6	8.5		–	
SID.GPIO.DC#8	I _{IL}	Input leakage current (absolute value)	–	–	2	nA	25°C, V _{DD} = 3.0-V	
SID.GPIO.DC#8a	I _{IL_CTBM}	Input leakage on CTBm input pins			4		–	
SID.GPIO.DC#9	C _{IN}	Input capacitance			7	pF	–	
SID.GPIO.DC#3b	V _{HYSTTL}	Input hysteresis LVTTL VDD > 2.7 V	15	40	–	mV	–	
SID.GPIO.DC#3	V _{HYSCMOS}	Input hysteresis CMOS	0.05* V _{DD}	V _{DDIO} < 4.5 V				
SID.GPIO.DC#3a	V _{HYSCMOS55}	Input hysteresis CMOS	200.0	–				
SID.GPIO.DC#3c	V _{HYS_VCCHIB}	Input hysteresis, 1.8 V input mode	90	V _{DDIO} > 4.5 V				

Electrical specifications

表 6 GPIO 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GPIO.DC#10	I _{DIODE}	Current through protection diode to V _{DD} /V _{SS}	-	-	100	μA	-
SID.GPIO.DC#11	I _{TOT_GPIO}	Maximum total source or sink chip current when V _{DDIO} supplied externally			200	mA	
SID.GPIO.DC#11a	I _{TOT_GPIO_VDDD}	Maximum total source or sink chip current when V _{DDD} shorted to V _{DDIO} on board			10		

表 7 GPIO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GPIO.AC#1	T_{RISEF}	Rise time in Fast Strong mode	2		12	ns	3.3- V_{DD} , Clload = 25 pF
SID.GPIO.AC#2	T_{FALLF}	Fall time in Fast Strong mode	2		12		
SID.GPIO.AC#3	T_{RISES}	Rise time in Slow Strong mode	10		60		
SID.GPIO.AC#4	T_{FALLS}	Fall time in Slow Strong mode	10		60		
SID.GPIO.AC#5	$F_{GPIOOUT1}$	GPIO Fout; $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$. Fast Strong mode.	-	-	33	MHz	90/10%, 25-pF load, 60/40 duty cycle
SID.GPIO.AC#6	$F_{GPIOOUT2}$	GPIO Fout; $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$. Fast Strong mode.			16.7		
SID.GPIO.AC#7	$F_{GPIOOUT3}$	GPIO Fout; $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$. Slow Strong mode.			7		
SID.GPIO.AC#8	$F_{GPIOOUT4}$	GPIO Fout; $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$. Slow Strong mode.			3.5		
SID.GPIO.AC#9	F_{GPIOIN}	GPIO input operating frequency; $1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			16		90/10% V_{IO}

Electrical specifications

6.2.1 XRES

表 8 XRES 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.XRES.DC#1	VIH_XRES	Input voltage HIGH threshold	0.7* V _{DD}	–	–	V	CMOS input
SID.XRES.DC#2	VIL_XRES	Input voltage LOW threshold	–		0.3* V _{DD}		
SID.XRES.DC#3	CIN_XRES	Input capacitance			7	pF	–
SID.XRES.DC#4	VHYSXRES	Input voltage hysteresis		0.05 * V _{DDIO}	–	mV	
SID.XRES.DC#5	IDIODE	Current through protection diode to VDD/Vss		–	100	μA	

表 9 XRES 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.XRES.AC#1	T _{RESETWIDT} H	Reset pulse width	5	–	–	μs	-40°C to +85°C TA, All V _{DDIO}
SID.XRES.AC#2	T _{XRES_GF}	External reset glitch filter period	–	20		ns	
BID194	T _{RESETWAKE}	Wake-up time from Reset release		–	2.7	ms	–

6.3 模拟外设

6.3.1 温度传感器

表 10 温度传感器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID93	TSSENSACC	Temperature sensor accuracy	-5	±1	5	C	-40 to +85°C

Electrical specifications

6.3.2 SAR ADC

表 11 SAR ADC 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID94	A_RES	Resolution	-	-	12	bits	-
SID95	A_CHNLS_S	Number of channels - single ended			8		8 Full Speed.
SID96	A-CHNKS_D	Number of channels - differential			4		Diff inputs use neighboring I/O
SID97	A-MONO	Monotonicity			-		Yes.
SID98	A_GAINERR	Gain error			±0.1	%	With external reference.
SID99	A_OFFSET	Input offset voltage. Guaranteed by characterization			2	mV	Measured with 1-V reference
SID100	A_ISAR	Current consumption	V _{SS}	-	1	mA	-
SID101	A_VINS	Input voltage range - single ended			V _{DDA}	V	
SID102	A_VIND	Input voltage range - differential			V _{DDA}		
SID103	A_INRES	Input resistance			-	2.2	
SID104	A_INCAP	Input capacitance	10	pF			
SID260	VREFSAR	Trimmed internal reference to SAR	1.18	1.2	1.22	V	

表 12 SAR ADC 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID106	A_PSRR	Power supply rejection ratio	70	-	-	dB	-
SID107	A_CMRR	Common mode rejection ratio	66		-		Measured at 1 V
SID108	A_SAMP	Sample rate	-		1	Msp/s	-
SID109	A_SNR	Signal-to-noise and distortion ratio (SINAD)	65		-	dB	F _{in} = 10 kHz
SID110	A_BW	Input bandwidth without aliasing	-		A _{sa} mp/2	kHz	-
SID111	A_INL	Integral non linearity. V _{DD} = 1.71 to 5.5, 1 Msp/s	-1.7		2	LSB	VREF = 1 to V _{DD}
SID111A	A_INL	Integral non linearity. V _{DD} = 1.71 to 3.6, 1 Msp/s	-1.5		1.7		VREF = 1.71 to V _{DD}
SID111B	A_INL	Integral non linearity. V _{DD} = 1.71 to 5.5, 500 ksp/s	-1.5		1.7		VREF = 1 to V _{DD}
SID112	A_DNL	Differential non linearity. V _{DD} = 1.71 to 5.5, 1 Msp/s	-1		2.2		VREF = 1 to V _{DD}
SID112A	A_DNL	Differential non linearity. V _{DD} = 1.71 to 3.6, 1 Msp/s	-1		2		VREF = 1.71 to V _{DD}
SID112B	A_DNL	Differential non linearity. V _{DD} = 1.71 to 5.5, 500 ksp/s	-1		2.2		VREF = 1 to V _{DD}

Electrical specifications

表 12 SAR ADC 交流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID113	A_THD	Total harmonic distortion	-	-	-65	dB	$F_{in} = 10 \text{ kHz}$
SID261	FSARINTREF	SAR operating speed without external ref. bypass			100	ksps	12-bit resolution

6.4 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

6.4.1 定时器/计数器/PWM

表 13 TCPWM 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM#1	ITCPWM1	Block current consumption at 3 MHz	-	-	45	μA	All modes (Timer/counter/PWM)
SID.TCPWM#2	ITCPWM2	Block current consumption at 12 MHz			155		
SID.TCPWM#2A	ITCPWM3	Block current consumption at 48 MHz			650		
SID.TCPWM#3	TCPWMFREQ	Operating frequency			F_c	MHz	$F_{c_{max}} = F_{cpu}$. Maximum = 48 MHz
SID.TCPWM#4	TPWMENEXT	Input trigger pulse width for all trigger* events	$2/F_c$	-	-	ns	Trigger events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected.
SID.TCPWM#5	TPWMEXT	Output trigger* pulse widths	$2/F_c$				Minimum possible width of overflow, underflow, and CC (Counter equals Compare value) trigger outputs
SID.TCPWM#5A	TCRES	Resolution of counter	$1/F_c$				Minimum time between successive counts
SID.TCPWM#5B	PWMRES	PWM resolution	$1/F_c$				Minimum pulse width of PWM output
SID.TCPWM#5C	QRES	Quadrature inputs resolution	$1/F_c$				Minimum pulse width between Quadrature phase inputs.

* 根据选择的工作模式，触发事件可以为：Stop、Start、Reload、Count、Capture 或 Kill。

Electrical specifications

6.4.2 I²C表 14 固定 I²C 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID149	I _{I2C1}	Block current consumption at 100 kHz	–	–	60	μA	–
SID150	I _{I2C2}	Block current consumption at 400 kHz			185		
SID151	I _{I2C3}	Block current consumption at 1 Mbps			650		
SID152	I _{I2C4}	Block current consumption when I2C enabled in deep sleep mode		1	–		

表 15 固定 I2C 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID153	FI2C1	Bit rate	–	–	1	Mbps	–	
SID.I2C#1	FSCLI2C_SM	I2C SCL clock frequency	0		100	kHz	Standard Mode	
SID.I2C#2	FSCLI2C_FM		0		400		Fast Mode	
SID.I2C#33	FSCLI2C_FMP		0		1000		Fast Mode Plus	
SID.I2C#3	THDSTAI2C_SM	Hold time (repeated) START condition. After this period, the first clock pulse is generated	4		–	μs	Standard Mode	
SID.I2C#4	THDSTAI2C_FM	Hold time (repeated) START condition. After this period, the first clock pulse is generated.	0.6				Fast Mode	
SID.I2C#34	THDSTAI2C_FMP		0.26				Fast Mode Plus	
SID.I2C#5	TSUSTAI2C_SM	Setup time for a repeated START condition	4.7				Standard Mode	
SID.I2C#6	TSUSTAI2C_FM		0.6				Fast Mode	
SID.I2C#35	TSUSTAI2C_FMP		0.26				Fast Mode Plus	
SID.I2C#7	TLOWI2C_SM	LOW period of the SCL clock	4.7				Standard Mode	
SID.I2C#8	TLOWI2C_FM		1.3				Fast Mode	
SID.I2C#36	TLOWI2C_FMP		0.5				Fast Mode Plus	
SID.I2C#9	THIGHI2C_SM	HIGH period of the SCL clock	4				Standard Mode	
SID.I2C#10	THIGHI2C_FM		0.6				Fast Mode	
SID.I2C#37	THIGHI2C_FMP		0.3				Fast Mode Plus	
SID.I2C#11	THDDATI2C	Data hold time	0				–	ns
SID.I2C#12	TSUDATI2C_SM	Data setup time	250.0		Standard Mode			
SID.I2C#13	TSUDATI2C_FM		100		Fast Mode			
SID.I2C#38	TSUDATI2C_FMP		50		Fast Mode Plus			
SID.I2C#14	TSUSTOI2C_SM	Setup time for I2C STOP condition	4		μs	Standard Mode		
SID.I2C#15	TSUSTOI2C_FM		0.6			Fast Mode		
SID.I2C#39	TSUSTOI2C_FMP		0.26			Fast Mode Plus		
SID.I2C#16	CB_SM	Capacitive load for each I2C bus line	–		400	pF	Standard Mode	
SID.I2C#17	CB_FM				400		Fast Mode	
SID.I2C#40	CB_FMP				550		Fast Mode Plus	

Electrical specifications

表 15 固定 I2C 交流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.I2C#18	TVDDATI2C_SM	Data valid time	–	–	3.45	μs	Standard Mode
SID.I2C#19	TVDDATI2C_FM	Data valid time			0.9		Fast Mode
SID.I2C#41	TVDDATI2C_FMP	Data Valid time			0.45		Fast ode Plus
SID.I2C#20	TVDACKI2C_SM	Data valid acknowledge time			3.45		Standard Mode
SID.I2C#21	TVDACKI2C_FM	Data valid acknowledge time			0.9		Fast Mode
SID.I2C#42	TVDACKI2C_FMP	Data Valid acknowledge time			0.45		Fast Mode Plus
SID.I2C#22	TSPI2C_FM	Pulse width of spikes suppressed by input filter	4.7		50	ns	Fast Mode
SID.I2C#43	TSPI2C_FMP	Pulse width of spikes suppressed by input filter			50		Fast Mode Plus
SID.I2C#23	TBUFI2C_SM	Bus free time between a STOP and START condition	1.3		–	μs	Standard Mode
SID.I2C#24	TBUFI2C_FM	Bus free time between a STOP and START condition	0.5		–		Fast Mode
SID.I2C#44	TBUFI2C_FMP	Bus Free time between a STOP and START condition	–		–		Fast ode Plus
SID.I2C#25	VIL_I2C	Input low voltage	-0.5		0.3 * VDDIO	V	Fast and Standard mode I ² C speeds
SID.I2C#26	VIH_I2C	Input high voltage	0.7* VDDIO		–		Fast and Standard Mode I ² C speeds
SID.I2C#27	VOL_I2C_L	Output low voltage, low supply range	–		0.2 * VDDIO		Fast and Standard Mode I ² C speeds, VDDIO < 2V, 2 mA sink
SID.I2C#28	VOL_I2C_H	Output low voltage, high supply range			0.4		Fast and Standard Mode I ² C speeds, VDDIO < 2 V, 2 mA sink
SID.I2C#29	IOL_I2C_SM	I2C output low current	3		–	mA	Standard Mode, 1.71V ≤ VDDIO ≤ 5.5 V, load = CB_SM, VOL = 0.4 V
SID.I2C#30	I2C_VHYS_HV	I2C input hysteresis	0.05 * VDDIO			mV	Fast and Standard Mode I ² C speeds, 2V ≤ VDDIO ≤ 4.5 V
SID.I2C#30A	I2C_VHYS_5V	I2C input hysteresis	200				Fast and Standard Mode I ² C speeds, VDDIO > 4.5 V
SID.I2C#31	I2C_VHYS_LV	I2C input hysteresis	0.10 * VDDIO				Fast and Standard Mode I ² C speeds, VDDIO < 2 V
COM.REQ#7	I2C_ADD	I2C address width	–		8	bits	7-bit address and 1 RW bit
SID.I2C#32	IOL_I2C_FM	I2C output low current	6		–	mA	Fast mode, 1.71 V ≤ VDDIO ≤ 5.5 V, load = CB_SM, VOL = 0.6V

Electrical specifications

表 15 固定 I2C 交流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.I2C#45	IOL_I2C_FMP	I2C output low current, high voltage range	20	-	-	mA	Fast Mode Plus, 3.0 V $\leq V_{DD} \leq 5.5V$, load = CB_FMP, -40°C to 85°C TA, GPIO_OVTV2 port only
SID.I2C#45A	IOL_I2C_FMP	I2C output low current, low voltage range	3				Fast Mode Plus, 1.71 V $\leq V_{DD} \leq 3.0 V$, load = CB_FMP, -40°C to 85°C TA

6.4.3 UART

表 16 固定 UART 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID160	I _{UART1}	Block current consumption at 100 kbps	-	-	125	μA	-
SID161	I _{UART2}	Block current consumption at 1000 kbps			312		

表 17 固定 UART 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	FUART	Bit rate	-	-	1	Mbps	-

Electrical specifications

6.4.4 SPI

表 18 固定 SPI 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID163	ISPI1	Block current consumption at 1 Mbps	-	-	360	μA	-
SID164	ISPI2	Block current consumption at 4 Mbps			560		
SID165	ISPI3	Block current consumption at 8 Mbps			600		

表 19 固定 SPI 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	FSPI	SPI operating frequency (Master; 6X oversampling)	-	-	8	MHz	-

表 20 固定 SPI 主设备模式交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID167	TDMO	MOSI valid after SClock driving edge	–	–	15	ns	–	
SID168	TDSI	MISO valid before SClock capturing edge	20		–		–	Full clock, late MISO sampling
SID169	THMO	Previous MOSI data hold time	0					Referred to Slave capturing edge

表 21 固定 SPI 从设备模式交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID170	TDMI	MOSI valid before Sclock capturing edge	40	-	-	ns	-
SID171	TDSO	MISO valid after Sclock driving edge	-		48 + 3*Tcpu		Tcpu = 1/Fcpu
SID171A	TDSO_EXT	MISO valid after Sclock driving edge in Ext. Clk. mode			48		-
SID172	THSO	Previous MISO data hold time	0				
SID172A	TSSELSCK	SSEL valid to first SCK Valid edge	100				

Electrical specifications

6.4.5 存储器

表 22 Flash 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID173	V _{PE}	Erase and Program voltage	1.71	-	5.5	V	-
SID173A	I _{PW}	Page write current at 16 MHz	-		3.5	mA	5.5 V VDD

表 23 Flash 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID174	T _{ROWWRITE}	Row (Block) write time (erase and program)	-		20	ms	Row (Block) = 256 bytes
SID175	T _{ROWERASE}	Row erase time			16		
SID176	T _{ROWPROGRAM}	Row program time after erase			7		
SID178	T _{BULKERASE}	Bulk erase time (32K Bytes)			35		
SID180	T _{DEVPROG}	Total device program time			7	seconds	
SID181	F _{END}	Flash endurance	100K	-		cycles	
SID182	F _{RET}	Flash retention. Ta ≤ 55°C, 100K P/E cycles.	20			years	
SID182a		Flash retention. Ta ≤ 85°C, 10K P/E cycles.	10				
SID256	T _{WS48}	Number of wait states at 48 MHz	2				CPU execution from flash
SID257	T _{WS24}	Number of wait states at 24 MHz	1				

Electrical specifications

6.5 系统资源

6.5.1 带欠压检测的上电复位直流规范

表 24 上电复位规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.POR#1	SR_POWER_UP	Power supply slew rate	1	-	67	V/ms	-40°C to +85°C TA, All VDDD; At power-up
SID.POR#2	V_RISEIPOR	Rising trip voltage	0.8		1.5	V	-
SID.POR#3	V_FALLIPOR	Falling trip voltage	0.7		1.4		

表 25 VCCD 欠压检测 (BOD)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.BOD#1	V_FALLPPOR	BOD trip voltage in active and sleep modes	1.48	-	1.62	V	-
SID.BOD#2	V_FALLDPSLP	BOD trip voltage in deep sleep	1.1		1.5		

6.5.2 SWD

表 26 SWD 接口

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.SWD#1	F_SWDCCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-		14	MHz	SWDCCLK $\leq$ 1/3 FCPU
SID.SWD#2	F_SWDCCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$			7		
SID.SWD#3	T_SWDI_SETUP	$T = 1/f\text{ SWDCCLK}$	$0.25 \cdot T$	-	-	ns	-
SID.SWD#4	T_SWDI_HOLD		$0.25 \cdot T$				
SID.SWD#5	T_SWDO_VALID		-		$0.5 \cdot T$		
SID.SWD#6	T_SWDO_HOLD		1		-		

6.5.3 内部主振荡器

表 27 IMO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.IMO.DC#1	IIMO1	IMO operating current at 48 MHz	-	-	250	μA	-
SID.IMO.DC#2	IIMO2	IMO operating current at 24 MHz			180		

Electrical specifications

表 28 IMO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.IMO.AC#1	FIMO	IMO frequency	-	48	-	MHz	-40°C to +85°C TA, All V _{DD}
SID.IMO.AC#2	FIMO_RES	IMO frequency resolution		0.25		%	
SID.IMO.AC#3	IMO_STL	IMO settling time when trim register is changed		-	200	ns	25°C TA, All V _{DD} , FIMO = 48 MHz
SID.IMO.AC#4	FIMOTOL1	Frequency variation at 24, 32 and 48 MHz (trimmed)			±2	%	2.7V ≤ V _{DD} < 5.5V. And -25°C ≤ TA ≤ 85°C
SID.IMO.AC#4a	FIMOTOLVCD	Frequency variation at 24, 32 and 48 MHz (trimmed)			±4		All conditions
SID.IMO.AC#5	IMO_HOP_RANGE	FIMO variation range with TRIM registers	-10		10		25°C TA, All V _{DD} , 48 MHz = F _{IMO}
SID.IMO.AC#6	TSTARTIMO	IMO startup time	-	145	7	μs	-
SID.IMO.AC#7	TJITRM-SIMO2	RMS jitter at 24 MHz			-	-	

6.5.4 内部低速振荡器

表 29 ILO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ILO.DC#1	IIL01	ILO operating current at 32 kHz	-	0.3	1.05	μA	-
SID.ILO.DC#2	IIOLEAK	ILO leakage current		2	15	nA	

表 30 ILO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ILO.AC#1	FILO	Operating frequency	20.0	40.0	80.0	kHz	-
SID.ILO.AC#2	TSTAR-TILO1	ILO start-up time	-	-	2	ms	
SID.ILO.AC#3	TLIODUTY	ILO duty cycle	40	50	60	%	

Electrical specifications

6.6 USB PD 外设

6.6.1 模数转换器

表 31 ADC 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.ADC.DC#1	Resolution	ADC resolution	–	–	–	–	–
SID.PD.ADC.DC#2	INL	Integral non-linearity	-1.5		1.5	LSB	
SID.PD.ADC.DC#3	DNL	Differential non-linearity	-2.5		2.5		
SID.PD.ADC.DC#4	Gain Error	Gain error	-1.5		1.5		
SID.PD.ADC.DC#5	VREF_ADC1	Reference voltage of ADC	V _{DDD} min	2	V _{DDD} max	V	Reference voltage generated from V _{DDD}
SID.PD.ADC.DC#6	VREF_ADC2	Reference voltage of ADC	1.96		2.04		Reference voltage generated from deep sleep reference

表 32 ADC 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.ADC.AC#7	SLEW_Max	Rate of change of sampled voltage signal	–	–	3	V/ms	–

6.6.2 VBUS稳压器

表 33 VBUS 稳压器直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.20VREG.DC#1	VBUSREG1	VBUS regulator output voltage (minimum VBUS = 4.2 V to 28 V)	3	–	3.65	V	Chip powered through VBUS_C_P1/VBUS_C_P2 and output measured on V _{DDD}
SID.PD.20VREG.DC#2	VBUSREG2	VBUS regulator output voltage (minimum VBUS = 4 V to 4.2 V)	3		3.65		

表 34 VBUS 稳压器交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.20VREG.AC#1	Tstart	Total start up time for the regulator supply outputs	–	–	200	μs	Apply VBUS and measure start time on V _{DDD} pin.
SID.PD.20VREG.AC#2	Tstop	Regulator power down time from vreg_en = 0 to regulator disable			4		Time from assertion of an internal disable signal for load current on V _{DDD} to decrease from 30 mA to 10 μA.

Electrical specifications

6.6.3 CSA
表 35 CSA 规格

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.PD.HS-CSA.DC#1	Isense_scp	Current sense accuracy for SCP at 6A,10A	-	±10	-	%	-	
SID.PD.HS-CSA.DC#1a	Isense_scp_epr			±12			For 30-V EPR	
SID.PD.HS-CSA.DC#2	Vsense_rcp	RCP sensing threshold across “Rsense”		2	4	mV	-	
SID.PD.HS-CSA.DC#3a	Isense_ocp_2A	Current sense accuracy for OCP at 2A, 3A, and 4A		±15	-	%		
SID.PD.HS-CSA.DC#3b	Isense_ocp_5A	Current sense accuracy for OCP at 5A		±10				
SID.PD.HS-CSA.DC#3c	Isense_ocp_5A_epr			±12				For 30-V EPR
SID.PD.HS-CSA.DC#3	Isense_ocp_1A	Current sense accuracy for OCP at 1A		±20				
SID.PD.HS-CSA.DC#4	Rsense	External Rsense	4.95	5	5.05	mΩ		
SID.PD.HS-CSA.DC#5	Vtrip_slow_rcp_33pct	Slow RCP trip points set at 5V with 33% tap point selected	4.5	-	5.5	V	-	
SID.PD.HS-CSA.DC#5a	Vtrip_slow_rcp_10pct	Slow RCP trip points set at 20V with 10% tap point selected	18		22			
SID.PD.HS-CSA.DC#5b	Vtrip_slow_rcp_6pct	Slow RCP trip points set at 30V with 60% tap point selected	27		33			
SID.PD.HS-CSA.DC#9	Isb_csp_5v	CSP pin input leakage when SCP, OCP and RCP blocks are OFF	-		-	6	μA	CSP = CSN = 5 V
SID.PD.HS-CSA.DC#10	Isb_csn_5v	CSN pin input leakage when SCP, OCP and RCP blocks are OFF				5		
SID.PD.HS-CSA.DC#9a	Isb_csp_30v	CSP pin input leakage when SCP, OCP and RCP blocks are OFF				26	CSP = CSN = 30 V	
SID.PD.HS-CSA.DC#10a	Isb_csn_30v	CSN pin input leakage when SCP, OCP and RCP blocks are OFF		5				
SID.PD.HS-CSA.DC#17	I_CSP_SCP_ON_OCP_ON_RCP_ON	CSP pin current when SCP, OCP and RCP blocks are ON		500				
SID.PD.HS-CSA.DC#18	I_CSN_SCP_ON_OCP_ON_RCP_ON	CSN pin current when SCP, OCP and RCP blocks are ON		65			-	

Electrical specifications

表 35 CSA 规格 (续)

Spec ID#	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.HS-CSA.AC#1	Tdelay_scp_6A	SCP Delay in 6A mode (5-mV overdrive)	-	-	300	ns	Guaranteed by design
SID.PD.HS-CSA.AC#2	Tdelay_scp_10A	SCP Delay in 10A mode (5-mV overdrive)			300		
SID.PD.HS-CSA.AC#3	Tdelay_rcp	RCP delay (5-mV overdrive)			250		
SID.PD.HS-CSA.AC#4	Tdelay_ocp	OCP delay (5-mV overdrive)			250		

6.6.4 VBUS放电

表 36 VBUS 放电规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.VBUS_DISC#1	Ron1	20V NMOS ON resistance (with dischg_ds<0> = 1; dischg_ds<4:1> = 0)	1500	-	3000	Ω	-
SID.PD.VBUS_DISC#2	Ron2	20V NMOS ON resistance (with dischg_ds<1:0> = 1; dischg_ds<4:2> = 0)	750		1500		
SID.PD.VBUS_DISC#3	Ron3	20V NMOS ON resistance (with dischg_ds<2:0> = 1; dischg_ds<4:3> = 0)	500		1000		
SID.PD.VBUS_DISC#4	Ron4	20V NMOS ON resistance (with dischg_ds<3:0> = 1; dischg_ds<4> = 0)	375		750		
SID.PD.VBUS_DISC#5	Ron5	20V NMOS ON resistance (with dischg_ds<4:0> = 1)	300		600		

6.6.5 UVOV

表 37 UVOV 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.UVOV#1	VTHUVOV1	Voltage threshold accuracy in active mode using bandgap ref	-	+/-3	-	%	-
SID.PD.UVOV#2	VTHUVOV2	Voltage threshold accuracy in deep sleep mode using deep sleep ref.		+/-5			
SID.PD.COMP_ACC#1	COMP_ACC	Comparator input offset at 4 sigma	-15	-	15.0	mV	
SID.PD.UVOV.AC#1	Tov_gate	Delay from 0V threshold trip to external NFET power gate turn OFF	-		50	μ s	

Electrical specifications

6.6.6 SBU

表 38 SBU 开关规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.SBU.DC#1	Ron_hs1	Switch on resistance in HS range (input from 0 V to 0.4 V range)	-	-	4.5	Ω	-
SID.PD.SBU.DC#2	Ron_fs	Switch on resistance in FS range (input from 0 V to 3.6 V range)			6.5		
SID.PD.SBU.DC#3	Ron_flat_hs1	Switch flat resistance in HS range (input from 0 V to 0.4 V range)			0.5		
SID.PD.SBU.DC#4	Ron_flat_fs	Switch flat resistance in FS range (input from 0 V to 3.6 V range)			2.5		
SID.PD.SBU.DC#7	Ileak1	Pin leakage current for SBU1, SBU2 @ 3.6V with AUX_P/AUX_N floating, V _{DDD} = 3.3 V @ 85°C	-4.5		4.5	μA	
SID.PD.SBU.DC#7a	Ileak2	Pin leakage current for AUX_P/AUX_N @ 3.6 V with SBU1, SBU2 floating, V _{DDD} = 3.3 V @ 85°C	-1		1		
SID.PD.SBU.DC#8	Rpu_aux_1	Pull up resistance on AUX_N	80		120	kΩ	
SID.PD.SBU.DC#9	Rpu_aux_2	Pull up resistance on AUX_P	0.8		1.2	MΩ	
SID.PD.SBU.DC#10	Rpd_aux_1	Pull down resistance on AUX_P	80		120	kΩ	
SID.PD.SBU.DC#11	Rpd_aux_2	Pull down resistance on AUX_N	0.8		1.2	MΩ	
SID.PD.SBU.DC#12	Rpd_aux_3	Pull down resistance on AUX_P	329		611	kΩ	
SID.PD.SBU.DC#13	Rpd_aux_4	Pull down resistance on AUX_N	3.29		6.11	MΩ	
SID.PD.SBU.AC#1	Con	Switch on capacitance	-	50	pF		
SID.PD.SBU.AC#2	Coff	Switch off capacitance-connector side		25			
SID.PD.SBU.AC#3	Off_isolation	Switch isolation at F = 1 MHz		-50	dB	Guaranteed by design	
SID.PD.SBU.AC#4	X_talk_AC	Cross talk of switch at F = 1 MHz IN1/2 to IN2/1 when is data transferred from OUT		-50			

Electrical specifications

6.6.7 VCONN开关

表 39 VCONN 开关规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.PD.VCONN.DC#1	Ron	Switch ON resistance at V5V = 5 V with 215 mA load current	–	0.7	1.3	Ω	–	
SID.PD.VCONN.DC#3	Ileak	Connector side pin leakage current			10	μA		
SID.PD.VCONN.DC#4	VTHDETECT_V5V	Threshold voltage of the v5v detector	2.0 5		2.65	V		
SID.PD.VCONN.DC#9	locp	Overcurrent detection range for CC1/CC2	550	–		mA		
SID.PD.VCONN.DC#12	OCP_hysteresis	Overcurrent detection hysteresis	20		80			
SID.PD.VCONNAC#1	Ton	Switch turn-on time				200		μs
SID.PD.VCONNAC#2	Toff	Switch turn-off time				3		
SID.PD.VCONN.DC#14	Rfrs_pd	Fast role swap request transmit driver resistance (excluding cable resistance)	–		5	Ω		

6.6.8 VSYS

表 40 VSYS 稳压器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.vdddsw.DC#1	Res_sw	Resistance from supply input to the output supply V _{DD}	–	–	1.5	Ω	Measured with a load current of 5 mA - 10 mA on V _{DD} .

Electrical specifications

6.6.9 栅极驱动器规范

表 41 NFET 栅极驱动器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.GD#1	GD_VGS	Gate to source overdrive during ON condition	4.5		10.5		NFET driver is ON
SID.PD.GD#3	GD_VGS_OFF	External-FET gate to source during OFF condition	-VBUS_NGDO_ABS		+VBUS_NGDO_ABS	V	External NFET must be able to tolerate "VGS < -VBUS_NGDO_ABS" in OFF state as the Gate is pulled-down to "0 V"
SID.PD.GD#11	ISB_VBUS_IN_NGDO	Leakage current from VBUS_IN_NGDO when NGDO is lowest power state (disabled)			70		VBUS_IN_NGDO = 5 V; en_hv = 1, ngdo_en = 1, keepoff_dis = 1, cp_en = 0, gdrv_en = 0, en_g1_chrg = 0, equalizers-off
SID.PD.GD#11a	Ixres_VBUS_IN_NGDO	Leakage current from VBUS_IN_NGDO when chip XRES asserted			650		VBUS_IN_NGDO = 5 V; Chip XRES asserted; Guaranteed by design
SID.PD.GD#12	ISB_VBUS_OUT_NGDO	Leakage current from VBUS_OUT_NGDO when NGDO is lowest power state (disabled)			140	μA	VBUS_OUT_NGDO = 5 V; en_hv = 1, ngdo_en = 1, keepoff_dis = 1, cp_en = 0, gdrv_en = 0, en_g1_chrg = 0, equalizers-off
SID.PD.GD#12a	Ixres_VBUS_OUT_NGDO	Leakage current from VBUS_OUT_NGDO when chip XRES asserted			500		VBUS_OUT_NGDO = 5 V; Chip XRES asserted; Guaranteed by design
SID.PD.ngdo_fet_sys.AC#2	Ton	NGDO turn-on time (VBUS_IN_NGDO = 5 V)		10		ms	Time taken for VBUS_CTRL_1 to rise from 0.5 to VBUS_IN_NGDO+1V with 3nF load cap
SID.PD.ngdo_fet_sys.AC#3	Toff	NGDO turn-off time (non-fault) (VBUS_IN_NGDO = 5 V)		7			Time taken for VBUS_CTRL_1 to fall from VBUS_IN_NGDO+10 V to VBUS_OUT_NGDO (10 μF cap) with 3 nF load cap
SID.PD.ngdo_fet_sys.AC#4	Toff-fault	NGDO turn-off in response to SCP/RCP events (VBUS_IN_NGDO = 5 V)		1		μs	NGDO turning off by VGS equalization of VBUS_CTRL_0 pin in response to RCP Event NGDO turning off by VBUS_CTRL_1 = 0.8 V for in response to SCP event

Electrical specifications

表 42 CC-PHY PD 规格

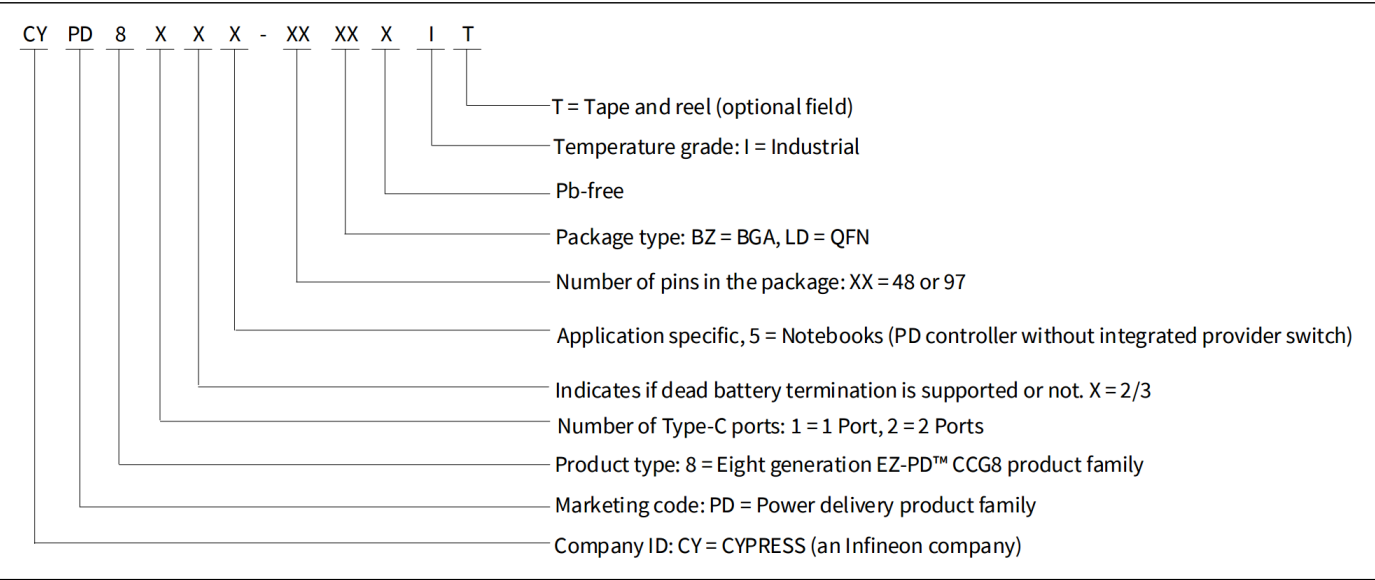
Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.cc_shvt. DC#1	vSwing	Transmitter output high voltage	1.05	-	1.2	V	-
SID.PD.cc_shvt. DC#2	vSwing_low	Transmitter output low voltage	-		0.075		
SID.PD.cc_shvt. DC#3	zDriver	Transmitter output impedance	33		75	Ω	
SID.PD.cc_shvt. DC#4	zBmcRx	Receiver input impedance	10		-	MΩ	Guaranteed by design
SID.PD.cc_shvt. DC#5	Idac_std	Source current for USB standard advertisement	64		96	μA	-
SID.PD.cc_shvt. DC#6	Idac_1p5a	Source current for 1.5A @ 5V advertisement	165.6		194.4		
SID.PD.cc_shvt. DC#7	Idac_3a	Source current for 3A @ 5V advertisement	303.6		356.4		
SID.PD.cc_shvt. DC#8	Rd	Pull down termination resistance when acting as upstream facing port (UFP)	4.59		5.61	kΩ	
SID.PD.cc_shvt. DC#9	Rd_db	Pull down termination resistance when acting as UFP, with dead battery (UFP)	4.08		6.12		
SID.PD.cc_shvt. DC#10	zOPEN	CC impedance to ground when disabled	108		-		
SID.PD.cc_shvt. DC#11	DFP_de- fault_0p2	CC voltages on DFP side-Standard USB	0.15		0.25	V	
SID.PD.cc_shvt. DC#12	DFP_1.5A_0p4	CC voltages on DFP side-1.5A	0.35		0.45		
SID.PD.cc_shvt. DC#13	DFP_3A_0p8	CC voltages on DFP side-3A	0.75		0.85		
SID.PD.cc_shvt. DC#14	DFP_3A_2p6		2.45		2.75		
SID.PD.cc_shvt. DC#15	UFP_de- fault_0p66	CC voltages on UFP side-Standard USB	0.61		0.7		
SID.PD.cc_shvt. DC#16	UFP_1.5A_1p23	CC voltages on UFP side-1.5 A	1.16		1.31		
SID.PD.cc_shvt. DC#17	Vattach_ds	Deep sleep attach threshold	0.3		0.6	%	
SID.PD.cc_shvt. DC#18	Rattach_ds	Deep sleep pull-up resistor	10		50	kΩ	
SID.PD.cc_shvt. DC#19	VTX_step	TX drive voltage step size	80		120	mV	No for user and datasheet
SID.PD.cc_shvt. DC#30	FS_0p53	Voltage threshold for fast swap detect	0.49		0.58	V	-

7 订购信息

表 43 EZ-PD™ CCG8 订购信息

Product	Part number	Application	Type-C ports	Dead battery termination	Termination resistor	Role	Package
CCG8S	CYPD8125-48LDXI	Notebooks	1	Yes	Rp, Rd	DRP	48-pin QFN
	CYPD8125-48LDXIT						
CCG8D	CYPD8225-97BZXI		2				97-ball BGA
	CYPD8225-97BZXIT						

7.1 订购代码定义



Packaging

8 封装

表 44 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Unit
T_A	Operating ambient temperature	Industrial	-40	25	85	°C
T_J	Operating junction temperature				125	
T_{JA}	Package θ_{JA} (97-ball BGA)	-	-	42	-	°C/W
T_{JC}	Package θ_{JC} (97-ball BGA)			15.9		
T_{JA}	Package θ_{JA} (48-pin QFN)			16.6		
T_{JC}	Package θ_{JC} (48-pin QFN)			6.5		

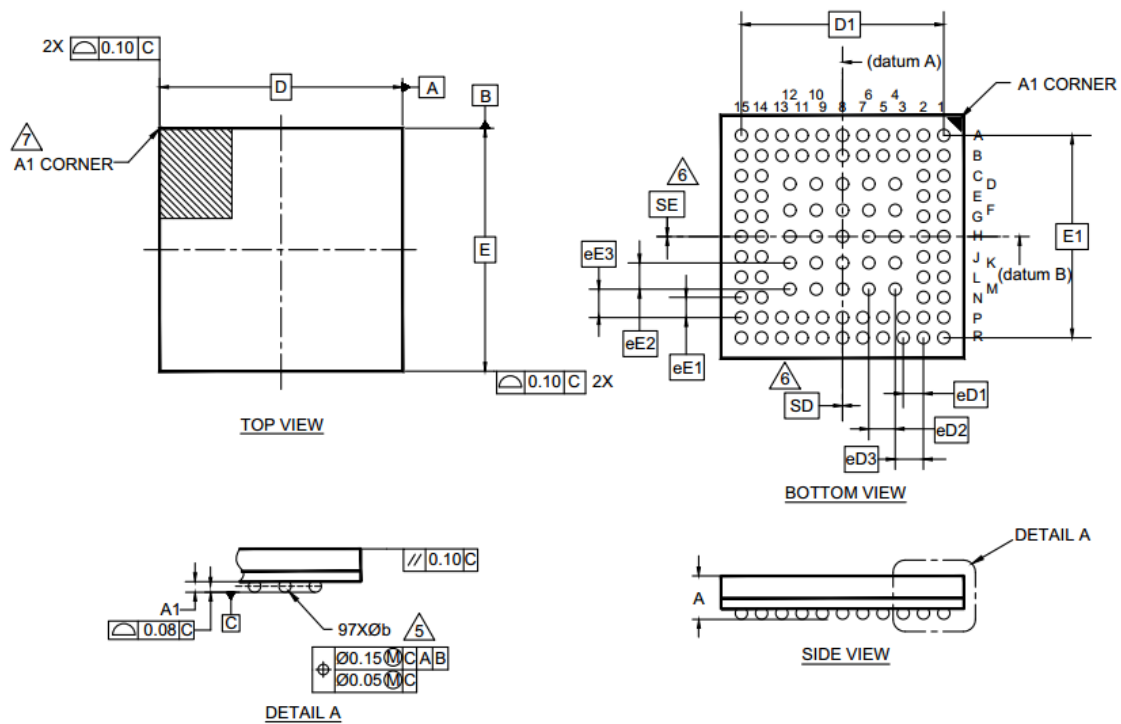
表 45 回流焊峰值温度

Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
97-ball BGA	260°C	30 seconds
48-pin QFN		

表 46 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
97-ball BGA	MSL 3
48-pin QFN	

Packaging



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	-	-
D	6.00 BSC		
E	6.00 BSC		
D1	5.00 BSC		
E1	5.00 BSC		
MD	11		
ME	11		
N	97		
Ø b	0.25	0.30	0.35
eD1	0.50 BSC		
eE1	0.50 BSC		
eD2	0.65 BSC		
eE2	0.65 BSC		
eD3	0.70 BSC		
eE3	0.70 BSC		
SD	0.00		
SE	0.00		

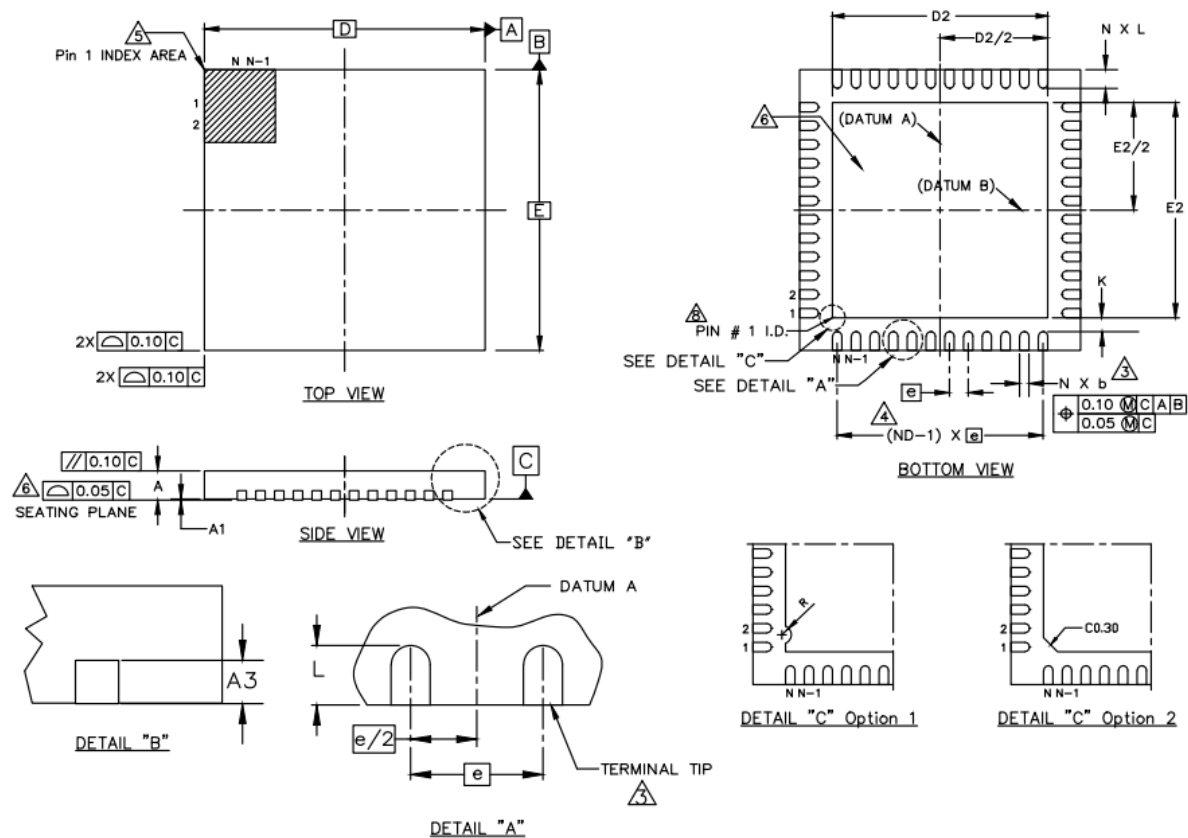
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-225.

002-31241 *A

图 11 97-球 BGA 多间距 (6 × 6 × 0.5 mm/0.65mm) , 6.0 x 6.0 x 1.0 mm 封装外形

Packaging



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.40 BSC		
N	48		
ND	12		
L	0.30	0.40	0.50
b	0.15	0.20	0.25
D2	4.50	4.60	4.70
E2	4.50	4.60	4.70
D	6.00 BSC		
E	6.00 BSC		
A	-	-	0.60
A1	0.00	-	0.05
A3	0.152 REF		
R	0.20 TYP		
K	0.30 MIN		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
- COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF. : N/A.
- INDEX FEATURE CAN EITHER BE AN OPTION 1 : "MOUSE BITE" OR OPTION 2 : CHAMFER.

002-32392 *A

图 12 48L-QFN 6 mm × 6 mm × 0.6 mm 封装外形

9 缩略语

表 47 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
AES	advanced encryption standard
API	application programming interface
ARM	advanced RISC machine, a CPU architecture
BMC	Biphase Mark Code
CC	configuration channel
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CS	current sense
DFP	downstream facing port
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DRP	dual role port
ECC	Elliptic Curve Cryptography
EEPROM	electrically erasable programmable read-only memory
EMCA	electronically marked cable assembly, a USB cable that includes an IC that reports cable characteristics (e.g., current rating) to the Type-C ports
EMI	electromagnetic interference
ESD	electrostatic discharge
FS	full-speed
GPIO	general-purpose input/output
HPD	hot plug detect
IC	integrated circuit
IDE	integrated development environment
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
IOSS	input/output subsystem
I/O	input/output, see also GPIO
LDO	low-dropout regulator
LVD	low-voltage detect
LVTTL	low-voltage transistor-transistor logic
MCU	microcontroller unit
MMIO	memory mapped input/output
NC	no connect
NMI	nonmaskable interrupt
NVIC	nested vectored interrupt controller
opamp	operational amplifier

Acronyms

表 47 本文档中使用的缩略语 (续)

Acronym	Description
OCP	overcurrent protection
OVP	overvoltage protection
PASS	programmable analog sub system
PCB	printed circuit board
PD	power delivery
PGA	programmable gain amplifier
PHY	physical layer
POR	power-on reset
PRES	precise power-on reset
PWM	pulse-width modulator RAM
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
RSA	Rivest Shamir Adleman
RTC	real-time clock
RX	receive
SAR	successive approximation register
SCB	serial communication block
SCL	I2C serial clock
SDA	I2C serial data
S/H	sample and hold
SHA	secure hash algorithm
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SWD	serial wire debug, a test protocol
TCPWM	timer/counter pulse-width modulator
Thunderbolt	Trademark of Intel
TX	transmit
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
USB	Universal Serial Bus
USB-FS	USB Full-Speed
USBIO	USB input/output, CCG8 pins used to connect to a USB port
USB PD	USB Power Delivery
USBPD SS	USB PD subsystem
VDM	vendor defined messages
XRES	external reset I/O pin

10 文档惯例

10.1 测量单位

表 48 测量单位

Symbol	Unit of measure
°C	degrees celsius
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
kHz	kilohertz
kΩ	kilo ohm
ksps	kilosamples per second
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
V	volt



Revision history

修订记录

Document revision	Date	Description of changes
*F	2023-01-13	Release to web.
*G	2023-03-03	Added Software based Fast role swap (FRS) in “Features” on page 1 and added a note. Updated “Gate drivers for VBUS NFETs” on page 12. Added a note in Figure 9 and Figure 10.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-03-03

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
002-33920 Rev. *G

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffungsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-09-14

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。