EZ-PD™ CCG7SC

集成 PD 和升 - 降压功能的单端口 USB Type-C 控制器

概述

EZ-PD™ CCG7SC 是一款高度集成的单端口 USB Type-C PD 控制器，并集成一路降压 - 升压控制器。该器件符合最新的 USB Type-C 和 PD 规范，并适用于单端口消费类充电应用。高集成度的 EZ-PD™ CCG7SC 不仅降低了 Bom 成本，它的小型化的封装还满足了单端口充电器对高功率密度的要求。此外，它还具有 VBUS 上的硬件控制保护功能。EZ-PD™ CCG7SC PD 方案支持宽范围的电压输入 (4 V 至 24 V，耐压最大 40 V) 和可编程的开关频率 (150 至 600 kHz)。

EZ-PD™ CCG7SC 是一款高度可编程的 USB PD 解决方案，具有片上 32 位 Arm® Cortex®-M0 处理器、128 KB 闪存、16 KB RAM 和 32 KB ROM，能够在最大程度上为用户应用提供可用的闪存空间。此外，它还具有各种模拟和数字外设，例如 ADC、PWM 和定时器。通过所包含的完全可编程 MCU 以及模拟和数字外设，该方案可以实现各种自定义系统管理功能，例如功率控制、功率分配、温度监控和故障记录。

应用

- 单端口消费类充电应用
- 电源充电器
- 点烟器 (CLA)

性能

USB PD

- 支持单口 USB PD
- 支持最新的 USB PD3.1 SPR，包括可编程电源 (PPS) 模式
- 扩展的数据传递

Type-C

- 可配置电阻 R_P 和 R_D
- VBUS NFET 开关栅极驱动器
- 集成了 100 mW VCONN 电源和控制

1x 降压 - 升压控制器

- 开关频率范围为 150 到 600 kHz
- 4.5 到 24 V 的输入电压，耐压 40 V
- 3.3 至 21.5 V 的输出电压
- PPS 模式中的最小电压步进为 20 mV，最小电流步进为 50 mA
- 支持可选的脉冲跳变模式 (PSM) 和强制连续电流 / 导通模式 (FCCM)
- 支持软启动
- 用于低 EMI 的可编程展频功能

性能

1x 传统 / 专用充电模块

- 支持高通 QC 2.0/3.0/4.0/5.0、Apple 充电 2.4 A、Samsung 自适应快速充电 (AFC)、USB BC 1.2

系统级故障保护

- 片上 VBUS 过压保护 (OVP)、过电流保护 (OCP)、欠压保护 (UVP)
- VBUS 至 CC 短路保护
- 欠压锁定 (UVLO)
- 通过集成的 ADC 电路和内部温度传感器支持过热保护
- 支持使用外部热敏电阻来完成连接器和电路板的温度检测

32 位 MCU 子系统

- 48-MHz Arm® Cortex®-M0 CPU
- 128-KB Flash
- 16-KB SRAM
- 32-KB ROM

外设和 GPIO

- 多达 13 个 GPIO，包括两个过压 GIPIO
- 2x 8-bit ADC
- 8x 16 位定时器 / 计数器 /PWM (TCPWM)

通信接口

- 3x SCB (I^2C/SPI/UART/LIN)

时钟和振荡器

- 集成振荡器，这样便不再需要外部时钟

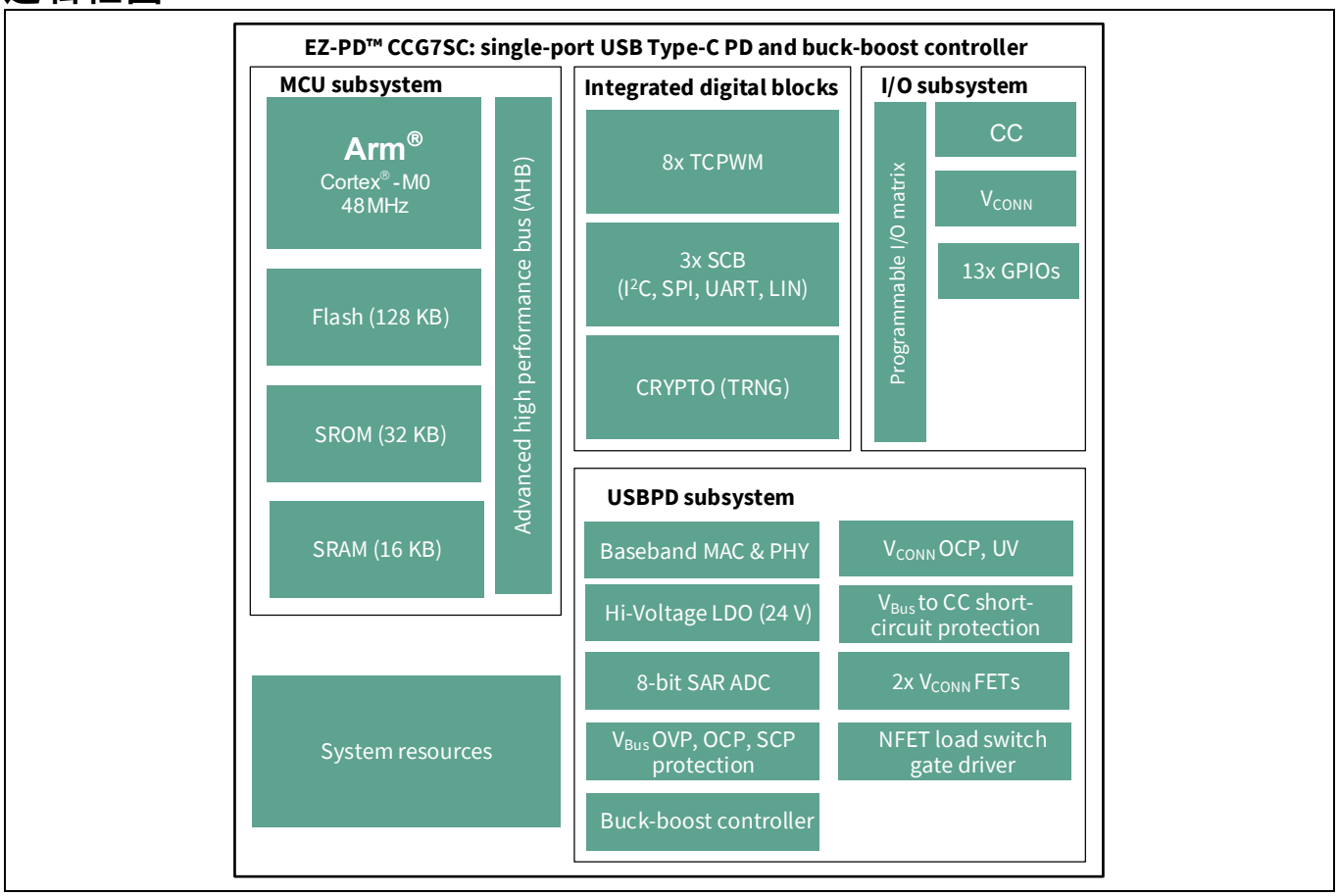
供电电源

- 4 到 24 V 的输入电压 (耐压 40 V)
- 3.3 至 21.5 V 的输出电压
- 集成了 LDO，输出 5 V 最大输出电流 75 mA

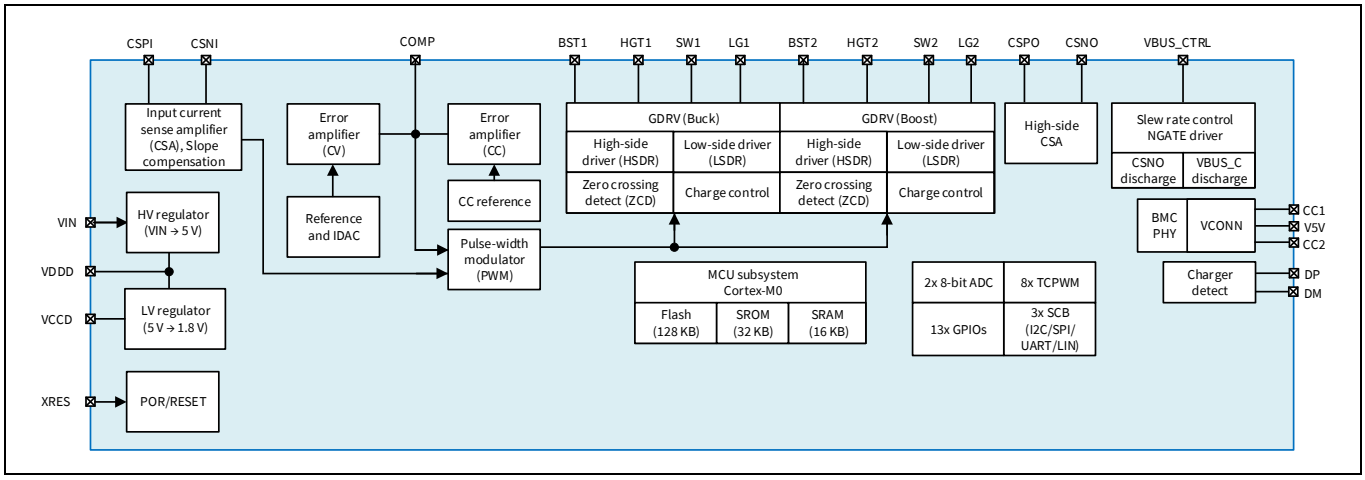
封装

- 40-pin QFN (6 mm × 6 mm) 封装，支持扩展的工业级温度范围为 -40 °C 至 +105 °C

逻辑框图


EZ-PD™ CCG7SC: single-port USB Type-C PD and buck-boost controller
MCU subsystem
Arm®
Cortex®-M0
48 MHz
Flash (128 KB)
SROM (32 KB)
SRAM (16 KB)
Advanced high performance bus (AHB)
System resources
Integrated digital blocks
8x TCPWM
3x SCB
(I²C, SPI, UART, LIN)
CRYPTO (TRNG)
I/O subsystem
Programmable I/O matrix
CC
VCONN
13x GPIOs
USBPD subsystem
Baseband MAC & PHY
VCONN OCP, UV
Hi-Voltage LDO (24 V)
VBus to CC short-circuit protection
8-bit SAR ADC
2x VCONN FETs
VBus OVP, OCP, SCP protection
NFET load switch gate driver
Buck-boost controller

功能框图


CSPI
CSNI
COMP
BST1
HGT1
SW1
LG1
BST2
HGT2
SW2
LG2
CSPO
CSNO
VBUS_CTRL
Input current sense amplifier (CSA), Slope compensation
Error amplifier (CV)
Error amplifier (CC)
CC reference
Reference and IDAC
Pulse-width modulator (PWM)
GDRV (Buck)
High-side driver (HSDR)
Low-side driver (LSDR)
Zero crossing detect (ZCD)
Charge control
GDRV (Boost)
High-side driver (HSDR)
Low-side driver (LSDR)
Zero crossing detect (ZCD)
Charge control
High-side CSA
Slew rate control NGATE driver
CSNO discharge
VBUS_C discharge
BMC PHY
VCONN
CC1
V5V
CC2
Charger detect
DP
DM
VIN
HV regulator (VIN → 5 V)
VDDD
VCCD
LV regulator (5 V → 1.8 V)
XRES
POR/RESET
MCU subsystem Cortex-M0
Flash (128 KB)
SROM (32 KB)
SRAM (16 KB)
2x 8-bit ADC
8x TCPWM
13x GPIOs
3x SCB (I2C/SPI/UART/LIN)

目录

概述 1
应用 1
性能 1
逻辑框图 3
功能框图 3
目录 4
1 功能概述 5
1.1 MCU 子系统 5
1.2 USB PD 子系统 5
1.3 升 - 降压子系统 7
1.4 升 - 降压控制器操作区域 8
1.5 模拟模块 10
1.6 集成数字模块 10
1.7 I/O 子系统 11
1.8 系统资源 11
2 电源子系统 13
2.1 VIN 欠压锁定 (UVLO) 13
2.2 使用外部 VDDD 电源 13
2.3 电源模式 14
3 引脚列表 15
4 EZ-PD™ CCG7SC 烧录和启动加载 18
4.1 通过 SWD 接口对器件闪存进行烧录 18
5 应用 19
6 电气规范 23
6.1 最大绝对额定值 23
6.2 器件级规范 24
6.3 数字外设 29
6.4 系统资源 31
7 订购信息 37
7.1 订购代码定义 37
8 封装 38
8.1 封装图 38
9 缩略词 39
10 文档规范 40
10.1 测量单位 40
文档修订记录 41

1 功能概述

1.1 MCU 子系统

1.1.1 CPU

EZ-PD™ CCG7SC 器件中的 Cortex-M0 是一款 32 位 MCU，它具有广泛的时钟门控，并针对低功耗操作进行了优化。它通常使用 16 位指令并可以执行 Thumb-2 指令子集。它还具有了一个硬件乘法器，这样可以在一个周期内计算出 32 位结果。该器件使用一个具有 32 个中断输入的中断控制器 (NVIC 模块) 和一个唤醒中断控制器 (WIC)，可将处理器从深度睡眠模式唤醒。

1.1.2 Flash ROM 和 SRAM

EZ-PD™ CCG7SC 器件具有 128 KB 闪存和 32 KB ROM，用作非易失性存储。该 ROM 中存储了 I^2C、SPI 等器件驱动程序和身份验证的库。这样可以为用户应用节省闪存空间。可以在闪存内灵活地存储所有客户应用的代码，还可以进行固件升级，来满足最新的 USB 电力传输规范和应用需求。

在软件控制下，16 KB RAM 可用于存储系统变量和参数的临时变量。ROM 可以监管程序的引导和配置。

1.2 USB PD 子系统

该子系统为 USB Type-C 端口提供接口。该子系统包括：

- USB PD 物理层
- VCONN 开关和 100 mW VCONN 源
- VBUS 上的欠压保护 (UVP) 和过压保护 (OVP)
- 用于 VBUS 的输出高侧电流检测放大器 (HS CSA)
- VBUS 放电控制
- VBUS NFET 开关的栅极驱动器
- 用于传统充电 (例如：BC1.2、Apple 充电等) 的充电检测模块
- VBUS 至 CC 短路保护

1.2.1 USB PD 物理层

USB PD 子系统由 USB PD 物理层模块和配套电路组成。USB PD 物理层包括一个根据 PD 3.1 标准对 CC 通道上的 BMC 编码数据进行通信的发送器和接收器。所有通信都是半双工的。物理层，即 PHY，实现避免冲突功能，从而能够大限度减少通道上的通信错误。USB-PD 模块还包括 USB Type-C 规范中所要求的全部终端电阻 (R_p 和 R_d) 以及它们的开关。需要使用 R_p 和 R_d 电阻来检测连接情况、插头方向并建立 USB 发送源 / 接收源角色。可将 R_p 电阻作为电流发送源。

CCG7SC 器件系列及其随附的固件完全符合 USB 电力传输规范版本 3.1。该器件支持可编程电源 (PPS) 操作，其有效电压从 3.3 V 至 21 V。

EZ-PD™ CCG7SC 器件在未连接 (待机) 状态中支持硬件控制下的 Rp，从而能够以最大限度降低待机功耗。

EZ-PD™ CCG7SC 器件支持最多可包含 260 个字节数据的扩展消息。扩展消息的长度将超过 USB PD 2.0 硬件所预期的长度。根据 USB PD 协议规范，USB PD 3.1 实施分块机制；除非发送源和接收源都确认并协商了与更长消息长度的兼容性，否则消息长度仅限于版本 2.0 中规定的大小。

1.2.2 VCONN 开关

EZ-PD™ CCG7SC 的内部 LDO 电压调节器能够为电子标记电缆组件 (EMCA)、VCONN 供电的器件 (VPD) 和 VCONN 供电的配件 (VPA) 提供 100 mW VCONN 电源，如 USB Type-C 规范中所定义。该器件集成了包括 VCONN 开关和过电流保护在内的所有电路。如果 VCONN 电流超过 VCONN OCP 限制，可以对 CCG7SC 进行配置，使其在用户重试一定次数 (该值可配置) 后关闭 Type-C 端口。在 Type-C 物理断开后，端口会重新启用。

1.2.3 VBUS 上的 UVP 和 OVP

VBUS 欠压和过压故障均由内部电阻分压器监控。用户可配置故障阈值和响应时间。有关更多详细信息，请参阅数 EZ-PD™ 配置实用程序。如果出现 UVP 或 OVP，可以对 EZ-PD™ CCG7SC 进行配置，使其在用户重试一定次数 (该值可配置) 后关闭 Type-C 端口。在 Type-C 物理断开后，端口会重新启用。

1.2.4 VBUS 上的 OCP 和 SCP

VBUS 过电流和短路故障均由内部电流检测放大器监控。与 OVP 和 UVP 相同，OCP 和 SCP 故障阈值和响应时间均为可配置的数值。请参阅 EZ-PD™ 配置实用程序，以了解更多详细信息。如果发生 OCP 或 SCP，可以对 CCG7SC 进行配置，使其在用户重试一定次数 (该值可配置) 后关闭 Type-C 端口。在 Type-C 物理断开后，端口会重新启用。

1.2.5 用于 VBUS 的 HS-CSA

EZ-PD™ CCG7SC 器件系列支持使用与 VBUS 路径串联的外部电阻器 (5 mΩ) 来测量和控制 VBUS 电流。该电阻上的电压下降用于测量平均输出电流。该电阻还用于检测和精确控制 PPS 工作模式下的输出电流。

1.2.6 VBUS 放电控制

该芯片支持高电压 (21.5 V) 的 VBUS 放电电路。在检测到设备断开连接、故障或硬复位时，芯片可在 USB 电力传输规范所要求的限定时间内将输出 VBUS 终端放电至电压为 vSafe5V 和 / 或 vSafe0V。

1.2.7 VBUS NFET 开关的栅极驱动器

EZ-PD™ CCG7SC 器件集成了一个高电压栅极驱动器，用于驱动 VBUS 发送程序路径上外部高侧 NFET 的栅极。该栅极驱动器用于驱动负载开关，该开关控制 CSNO 和 VBUS_C 之间的连接。VBUS_CTRL 是该集成高电压栅极驱动器的输出。要关闭外部 NFET，栅极驱动器将 CSNO 驱动至 0 V。要开启外部 NFET，则将栅极驱动至 CSNO + 8 V。该器件提供了一个可选的慢速开启功能，可以减少输出上的高电流尖峰。对于 3 nF 的典型栅极电容，固件可配置成慢速开启，开启时间从 2 ms 至 10 ms。

1.2.8 传统充电检测和支持

EZ-PD™ CCG7SC 实现传统协议的电池充电器仿真和检测 (发送源和接收源)，如 USB BC.1.2、传统 Apple 充电、Qualcomm 快速充电 2.0/3.0/4.0/5.0 和 Samsung AFC 协议的。

1.2.9 VBUS 至 CC 短路保护

CC 引脚上集成了保护功能，以避免与高电压 VBUS 和 VBAT 发生意外短路。EZ-PD™ CCG7SC 器件的 CC 引脚可承受高达 24 V 的外部电压而不会损坏。如果在 CC 引脚上检测到过压情况，可以对该器件进行配置，使其完全关闭 Type-C 端口。一旦检测到的 CC 电压处于正常范围内，该端口将恢复正常工作。

1.3 升 - 降压子系统

EZ-PD™ CCG7SC 器件中的升 - 降压子系统可配置成升 - 降压模式、纯降压模式或纯升压模式。升 - 降压模式需要四个外部开关 FET，而纯降压和纯升压模式仅需要两个 FET。Figure 1 显示了升 - 降压子系统的主要外部组件和连接。

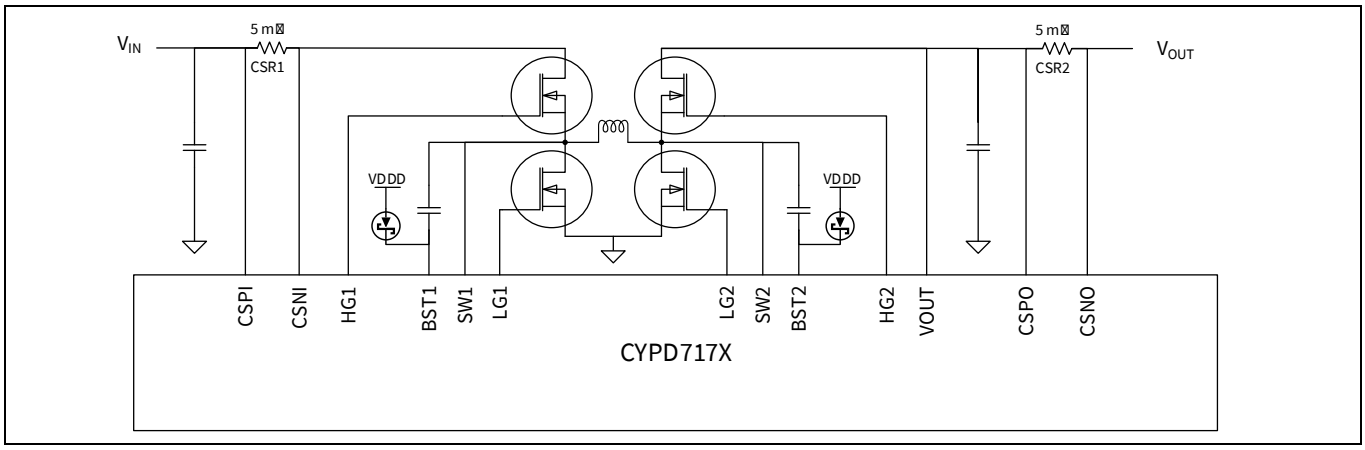


Figure 1 显示外部组件的升 - 降压原理图

EZ-PD™ CCG7SC 器件中的升 - 降压子系统具有以下关键功能模块：

- 高侧 (逐周期) 电流检测放大器
- 高侧和低侧栅极驱动器
- 脉宽调制器
- 误差放大器

1.3.1 高侧 (逐周期) 电流检测放大器 (CSA)

EZ-PD™ CCG7SC 器件的升 - 降压控制器可在升压和降压模式下实现峰值电流控制。通过与降压控制 FET 串联的外部电阻器 (5 mΩ；参见 Figure 1 中的 CSR1)，高侧电流检测放大器 (CSA) 可以检测峰值电流。该电流检测放大器具有高带宽和非常宽广的共模范围。该电流检测电阻器通过引脚 CSPI 和 CSNI 连接到 CSA 模块，如 Figure 1 所示。该模块含有斜率补偿功能以避免内部电流环路的次谐波振荡。除了峰值电流检测外，CSA 模块还提供一个电流限制比较器，一旦电流触发可编程的上限阈值，就会关断升 - 降压转换器。

1.3.2 高侧栅极驱动器和低侧栅极驱动器 (HG/LG)

EZ-PD™ CCG7SC 的升 - 降压控制器提供四个 N 通道 MOSFET 栅极驱动器：两个位于 HG1 和 HG2 引脚上的浮动高侧栅极驱动器，两个则位于 LG1 和 LG2 引脚上对地的低侧驱动器。高侧栅极驱动器以 5 V 的额定 VGS 驱动高侧外部 FET。高侧栅极驱动器具有可编程的驱动强度，用于驱动外部 FET。外部电容器和肖特基二极管形成一个自举网络，用于收集和存储驱动高侧 FET 所需的高电压源 (HG1 为 VIN + ~5 V，HG2 为 VBUS + ~5 V)。低侧栅极驱动器使用来自 EZ-PD™ CCG7SC 内部 LDO 调节器并存储在 PVDD 和 PGND 之间电容器中的能量，以 5 V 的额定 VGS 来驱动低侧外部 FET。低侧栅极驱动器具有可编程的驱动强度，用于驱动外部 FET。除了驱动强度外，高侧栅极驱动器和低侧栅极驱动器还可编程控制调死区时间和过零阈值。高侧和低侧栅极驱动器模块包括过零检测器 (ZCD)，从而可以实现具有类似二极管功能的非连续导通模式 (DCM)。

VIN 电压介于 4.5 V 和 24 V 之间，开关 FET 的栅极驱动器可以在额定驱动电压电平 (5 V) 下工作。

1.3.3 误差放大器 (EA)

EZ-PD™ CCG7SC 的升 - 降压控制器包含两个用于输出电压和电流调节的误差放大器。误差放大器是跨导型放大器，具有用于电压和电流环路的单个对地补偿引脚 (COMP)。在电压调节中，将输出电压与内部参考电压进行比较，并将 EA 的输出馈送到 PWM 模块。在电流调节中，VBUS 高侧电流检测放大器通过外部电阻检测平均电流。将 VBUS CSA 的输出与误差放大器模块中的内部参考进行比较，并将 EA 输出馈送

到 PWM 模块。EZ-PD™ CCG7SC 固件可配置和控制集成可编程误差放大器电路，以达到要求的 VBUS 输出电压。

1.3.4 脉宽调制器 (PWM)

EZ-PD™ CCG7SC 器件系列的 PWM 模块在峰值电流模式控制下生成栅极驱动器控制信号来驱动外部 FET。该系列针对最小 / 最大脉冲宽度、最小 / 最大周期、频率和脉冲跳跃级别提供了一些可编程选项，用于优化系统设计。

EZ-PD™ CCG7SC 器件具有两种固件可选的工作模式，用于优化效率并降低轻载条件下的损耗：脉冲跳跃模式 (PSM) 和强制连续导通模式 (FCCM)。

1.3.5 脉冲跳跃模式 (PSM)

在脉冲跳跃模式中，控制器在不降低有效开关频率的情况下减少开关脉冲的总数，方法是在一小段时间里正常频率开关，在下一小段时间里停止开关。。因此，输出电压将在开关期间增加，并停止开关期间降低。在该模式中，降低了损耗，输出电压纹波将变大。在该模式下，EZ-PD™ CCG7SC 器件在电感电流达到零时，监控升 - 降压同步 FET 上的电压。当该电流等于零时，EZ-PD™ CCG7SC 器件将关闭升 - 降压同步 FET，从而防止输出电容器的电流反灌 (即二极管仿真模式)。通过使用固件，可以对该模式的多个参数进行编程，从而允许用户在轻负载效率和输出纹波之间取得自己的平衡。

1.3.6 强制连续导通模式 (FCCM)

在强制连续导通模式 (FCCM) 中，正常开关频率始终保持不变，并且电感电流在开关周期的一部分时间内降至零以下 (即 “ 反向 ” 或从输出到输入)，在这部分开关时间是必要的，来维持输出电压和电流。。这样可以保持输出电压纹波为最低值，但轻负载效率将受到影响。

1.4 升 - 降压控制器操作区域

将输入侧 CSA 的输出与误差放大器的输出进行比较，以确定 PWM 的脉冲宽度。PWM 模块将输入电压和输出电压进行比较，从而确定降压、升压和升 - 降压区域。四个栅极驱动器 (HG1、LG1、HG2、LG2) 的切换时间 / 周期取决于模块运行时所在的区域以及 DCM 或 FCCM 等模式。通过使用固件，可以对进入和退出每个区域的准确 VIN 与 VOUT 阈值 (包括迟滞) 进行调整。

1.4.1 降压区域操作 (VIN >> VBUS)

当 VIN 电压明显大于所需的 VBUS 电压时，EZ-PD™ CCG7SC 器件工作在降压区域内。在该区域中，升压侧 FET 处于非激活状态，升压控制 FET (连接到 LG2) 常闭，升压同步 FET (连接到 HG2) 常开。降压侧 FET 和同步整流 FET 一起工作，组成降压转换器，如 Figure 2 中所示。

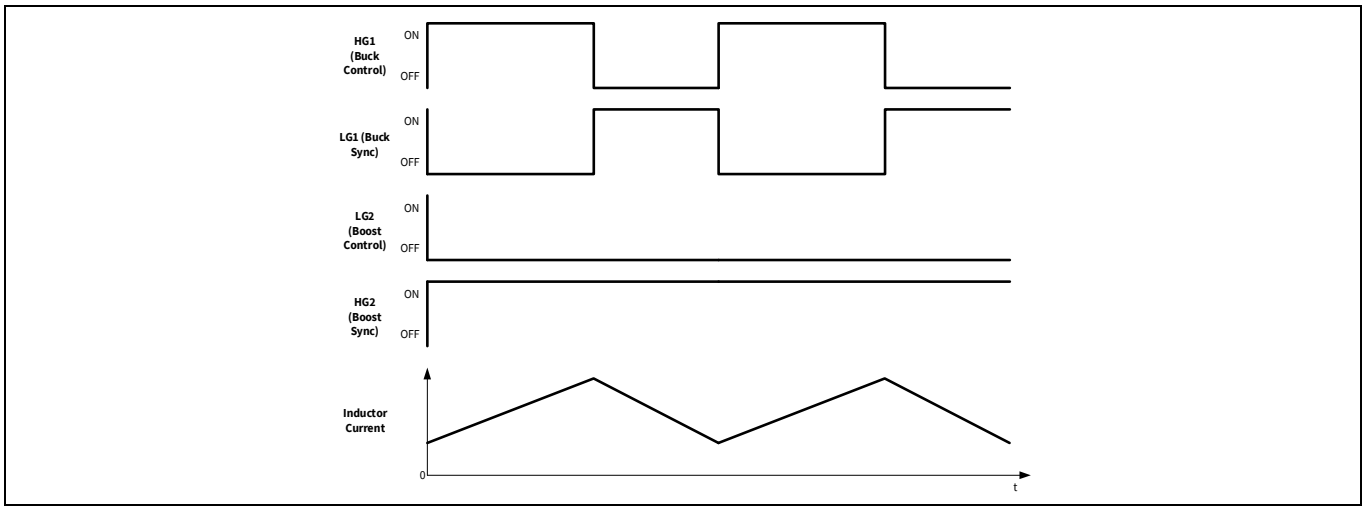


Figure 2 降压操作波形

1.4.2 升压区域操作 (VIN<<VBUS)

当 VIN 电压明显低于所需的 VBUS 电压时，EZ-PD™ CCG7SC 器件工作在升压区域。在该区域中，降压侧 FET 处于非激活状态，同步 FET 常闭，降压控制 FET 常开。升压侧 FET 和同步整流 FET 一起工作，组成升压转换器，如 Figure 3 中所示。

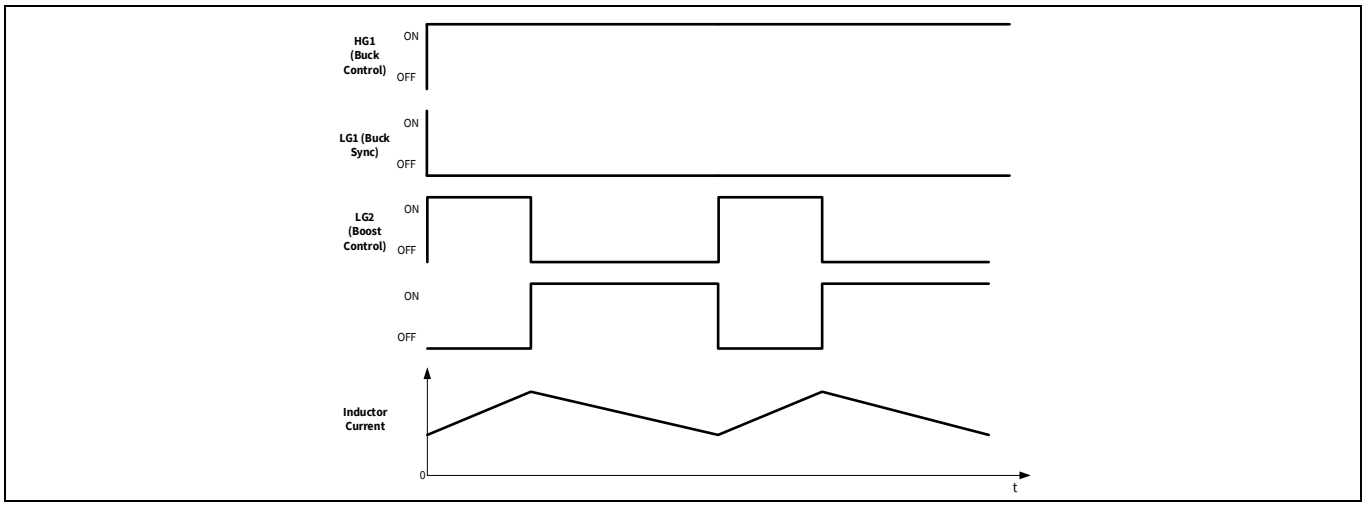


Figure 3 升压操作波形

1.4.3 升 - 降压区域 1 操作 (VIN ~> VBUS)

当 VIN 电压略大于所需的 VBUS 电压时，EZ-PD™ CCG7SC 器件在升 - 降压区域 1 内运行。在该区域中，升压侧工作在固定的 20% 占空比 (可编程)，而降压侧 (LG1 / HG1) 的占空比将经过调制，以控制输出电压。所有四个 FET 在该工作区域的每个周期都会进行开关，如 Figure 4 中所示。

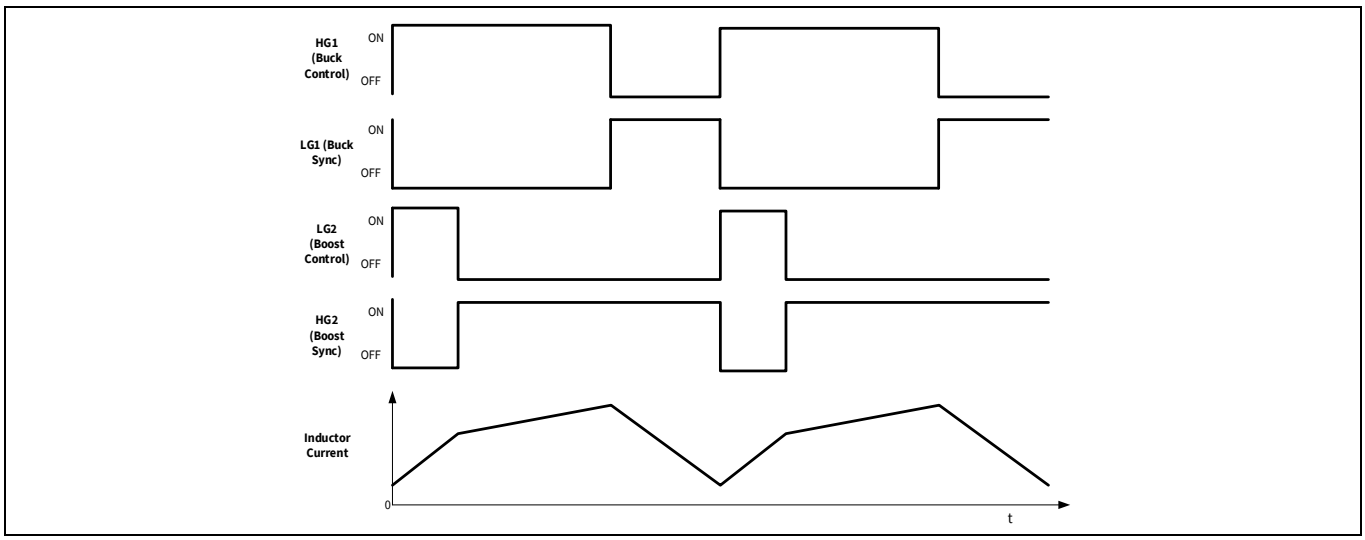


Figure 4 升 - 降压区域 1 (VIN ~> VBUS) 操作波形

1.4.4 升 - 降压区域 2 操作 (VIN ~< VBUS)

当 VIN 电压略低于所需的 VBUS 电压时，EZ-PD™ CCG7SC 器件工作在升 - 降压区域 2。在该区域中，降压侧工作在固定的 80% 占空比 (可编程)，而升压侧 (LG2) 的占空比将经过调制，以控制输出电压。所有四个 FET 在该工作区域的每个周期都会进行开关，如 Figure 5 中所示。

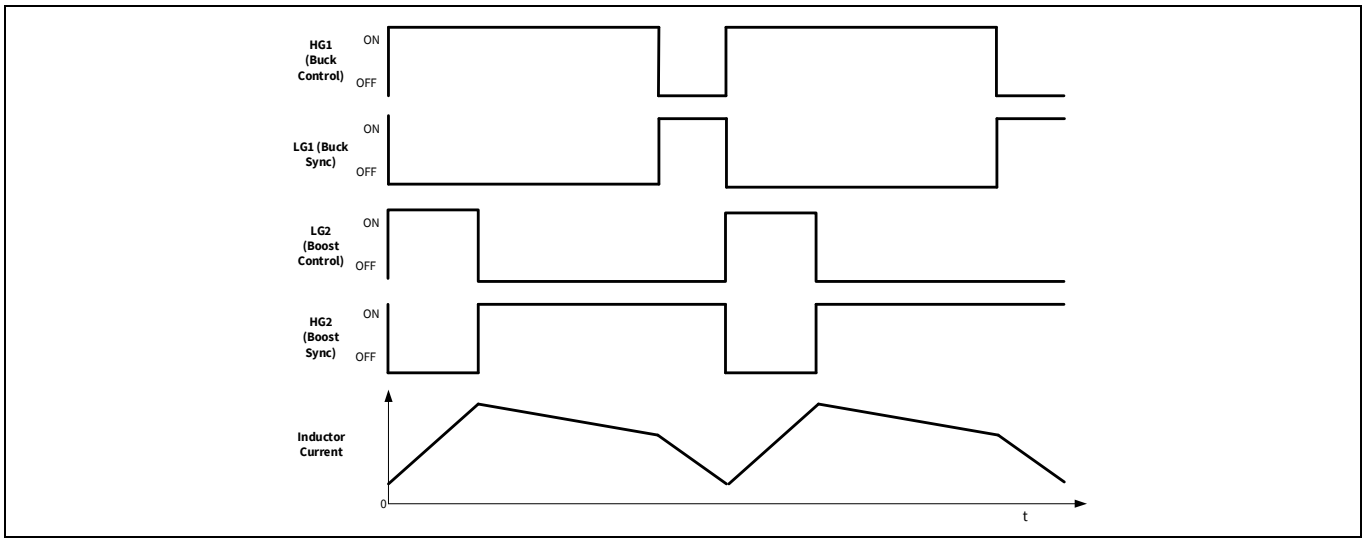


Figure 5 升 - 降压区域 2 (VIN ~< VBUS) 操作波形

1.4.5 开关频率和展频

EZ-PD™ CCG7SC 器件提供了范围为 150 kHz 至 600 kHz 的可编程开关频率。该控制器在所有工作模式下都支持处于工作频率范围内的展频时钟。展频在充电应用至关重要，可使其满足 EMC/EMI 要求，通过扩宽由开关造成的辐射到宽频率而不是固定频率，可以降低任何特定频率的峰值能量。开关频率和展频范围均可通过固件进行编程。

1.5 模拟模块

1.5.1 ADC

EZ-PD™ CCG7SC 芯片上具有 2 个 8 位 SAR ADC，用于通用模数转换应用。使用片上模拟复用器可以通过 GPIO 引脚访问这些 ADC。有关 ADC 的详细规范，请参阅 Table 25。

1.6 集成数字模块

1.6.1 串行通信模块 (SCB)

EZ-PD™ CCG7SC 器件具有三个 SCB 模块，可将它们配置为 I^2C、SPI、UART 或 LIN。这些模块可以实现完整的多主机和从机 I^2C 接口，这些接口具有多主机仲裁功能。I^2C 的实现符合标准 Philips I^2C 规范 v3.0。这些模块的工作速度可达 1 Mbps，另外它还提供了各种灵活的缓冲选项，以降低 CPU 的中断开销和延迟。这些 SCB 模块支持 8 字节深度的 FIFO，用于接收和传送数据；这些模块延长了 CPU 读取数据的时间，从而减少了时钟延展的发生 (由于 CPU 没有及时读取数据，因此才导致时钟延展)。SCB0 的 I^2C 端口 I/O 具有过压容差功能 (OVT)。SCB1-2 的 I2C 端口没有 OVT 容限。

1.6.2 定时器 / 计数器 / 脉宽调制器 (TCPWM)

EZ-PD™ CCG7SC 器件的 TCPWM 模块支持八个定时器或计数器或脉宽调制器。固件将这些定时器作为内部定时器使用或为基于 PWM 功能的 GPIO 提供定时器。

1.7 I/O 子系统

EZ-PD™ CCG7SC 具有 13 个 GPIO，其中包含 I^2C 和 SWD 引脚，可以将这些引脚作为 GPIO 使用。GPIO 模块实现以下功能：

- 八个输出驱动模式
  - 仅作输入
  - 弱上拉和强下拉
  - 强上拉和弱下拉
  - 开漏和强下拉
  - 开漏和强上拉
  - 强上拉和强下拉
  - 禁用
  - 弱上拉和弱下拉
- 输入阈值可选 (CMOS 或 LVTTL)。
- 输入和输出禁用可独立控制
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- 可选的转换速率控制 dV/dt 相关噪声。
- 一对 GPIO 上的过压耐受能力 (OVT)

在上电和复位期间，各模块被强制进入禁用状态，从而避免为任何输入端供电和 / 或造成引脚启用时的过流现象。复用网络，又称高速 I/O 矩阵 (HSIOM)，用于复用可能连接到一个 I/O 引脚的各种信号。用于固定外设功能的引脚 (如 USB Type-C 端口) 也被固定，以降低内部使用的复杂性。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。
可以通过软件对寄存器进行编程，从而配置每个数字 I/O 端口的功能。如果中断被使能，则每个 I/O 引脚都能生成一个中断，并且每个 I/O 端口都有一个与其相关的中断请求 (IRQ) 和中断服务子程序 (ISR) 向量。

I/O 端口可以在深度休眠模式下保持其状态或保持开启状态。如果通过复位操作，则引脚将进入高阻抗状态。如果通过中断事件操作，则引脚驱动器将保持其状态，直到固件更改其状态为止。断电时，(数据总线上的) I/O 不会消耗电流。

1.8 系统资源

1.8.1 看门狗定时器

EZ-PD™ CCG7SC 器件具有一个看门狗定时器，其时钟来自内部低速振荡器 (ILO)。这样，看门狗可以在深度睡眠模式下工作 ; 如果看门狗没有得到处理，则在超时发生之前生成看门狗复位。看门狗复位被记录在复位原因寄存器内。

1.8.2 复位

可以通过各种源 (包括软件复位) 对 EZ-PD™ CCG7SC 进行复位。复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器在复位过程中保持不变，从而应用固件可以确定复位原因。外部硬件复位可通过 XRES 脚对芯片复位。

1.8.3 时钟系统

EZ-PD™ CCG7SC 器件具有一个完整的集成时钟，无需外部晶体。EZ-PD™ CCG7SC 器件时钟系统为所有需要时钟的子系统 (SCB 和 PD) 提供时钟源，并在不同时钟源之间进行切换。

通过分频 HFCLK 信号可以生成用于数字外设的同步时钟。时钟分频器具有 8 位、16 位和 16 位小数分频功能。通过 16 位分频功能，可以灵活生成精准的频率值。时钟分频器生成使能时钟 (即 N 时钟源中的 1，其中 N 是除数) 或约 50% 占空比时钟 (对于偶数除数，该值为 50%；对于奇数除数，高值和低值相差一个时钟)。

在 Figure 6 中，PERXYZ_CLK 表示为不同外设的时钟。

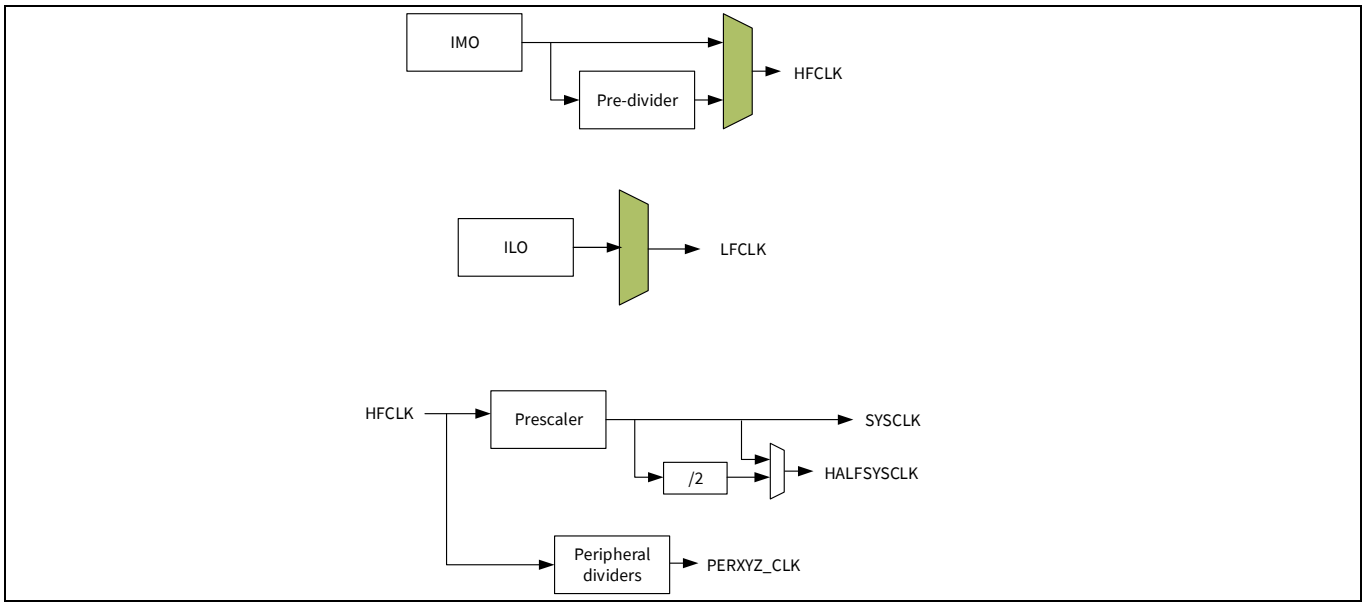


Figure 6 EZ-PD™ CCG7SC 器件的时钟架构

1.8.4 IMO 时钟源

在 EZ-PD™ CCG7SC 器件中，内部主振荡器是主要的内部时钟源。EZ-PD™ CCG7SC 器件的 IMO 频率默认为 48 MHz+/-2%。

1.8.5 ILO 时钟源

内部低功耗振荡器是一个超低功耗但相对不准确的振荡器，主要用于在 USB 暂停 (深度睡眠) 模式下为外设操作提供时钟。

2 电源子系统

Figure 7 显示的是 EZ-PD™ CCG7SC 器件的电源子系统架构概述。EZ-PD™ CCG7SC 器件的电源子系统由 VIN 电源供电，该电源的电压范围为 4 V 至 24 V。VDDD 引脚 (内部 5 V LDO 的输出) 的输入来自 VIN 电源。VDDD 引脚的电流能力高达 75 mA，包括内部和外部负载。EZ-PD™ CCG7SC 器件具有两种不同的功耗模式：运行和深度睡眠模式，这些模式之间的转换由电源系统管理。内核 (1.8 V) 电压调节器的输出 (VCCD 引脚) 连接着一个 0.1 µF 的电容，用于确保调节器的稳定性。该引脚不能为外部负载的供电。

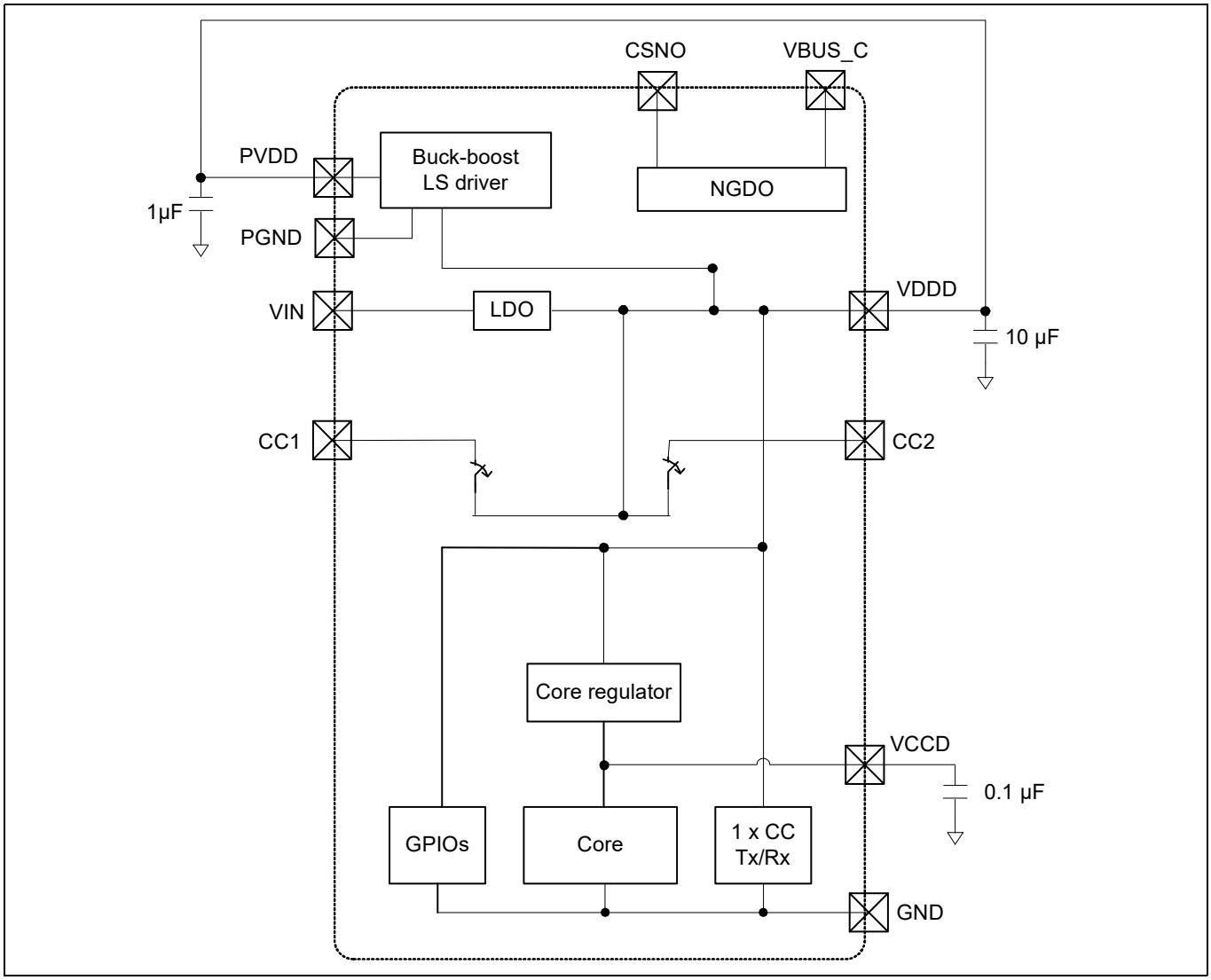


Figure 7 电源系统框图

2.1 VIN 欠压锁定 (UVLO)

EZ-PD™ CCG7SC 支持 UVLO 功能，在输入电压低于可靠电平时，器件会关闭。这样可以提前预判，来确保器件正常启动和运行。

2.2 使用外部 VDDD 电源

默认情况下，EZ-PD™ CCG7SC 器件不支持外部 VDDD。然而，可以使用固件来启用外部 VDDD 电源。强制启用外部 VDDD 的先决条件是始终保持 VIN 高于 VDDD。

2.3 电源模式

以下 Table 1. 表中列出了用户可访问和可观察的功耗模式。

Table 1 电源模式

模式	描述
RESET (复位)	电源有效，并且 XRES 不被激活。激活了内部复位源，或者睡眠控制器使系统退出复位状态
运行	电源有效，CPU 执行各种指令。
睡眠	电源有效，CPU 不执行各条指令。未运行的所有逻辑被关闭，以节省电源。
深度睡眠	主调节器和大多数硬 IP 均被关闭。深度睡眠调节器为逻辑供电，但只有低频时钟可用。
外部硬件复位 (XRES)	电源有效，并且 XRES 被激活。内核被断电。

3 引脚列表

Table 2 48-QFN 封装引脚分布 (1/3)

S#	引脚名称	最小绝对值电压 (V)	最大绝对值电压 (V)	描述
1	HG1	-0.5	PVDD+0.5[1, 2, 3]	BUCK 高侧栅极驱动器输出。 连接到 BUCK (输入) 侧控制 (高侧) FET 栅极。使用较宽的走线以最小化该连接所产生的电感。绝对电压最小值和最大值是相对于 SW1 引脚的。
2	SW1	-0.7	35	BUCK 高侧栅极驱动器的电源负端。 该引脚还连接到 BUCK 低侧栅极驱动器的零电流检测的一个输入端。 将该引脚连接到 BUCK (输入) 侧的开关节点 (电感器)。使用较短和宽的走线以最小化该连接所产生的电感和电阻。
3	LG1	-0.5	PVDD+0.5[1]	BUCK 低侧栅极驱动器输出。 将该引脚连接到 BUCK (输入) 侧同步 (低侧) FET 栅极。使用较宽的走线以最小化该连接所产生的电感。
4	PGND	-0.3	0.3	低侧栅极驱动器接地引脚。该引脚还连接到 BUCK 低侧栅极驱动器的零电流检测的一个输入端。 直接连接到端口板接地层。
5	PVDD	–	VDDD	低侧栅极驱动器的供电引脚。 连接至 VDDD。尽可能将 1 µF 和 0.1 µF 的旁路电容器放置在靠近 EZ-PD™ CCG7SC IC 的此脚位置。
6	LG2	-0.5	PVDD+0.5[1]	BOOST 低侧栅极驱动器输出。 将该引脚连接到 BOOST (输出) 侧控制 (低侧) FET 栅极。使用较宽的走线以最小化该连接所产生的电感。
7	VOUT	-0.3	24	升 - 降压转换器的输出。该引脚还连接到 BOOST 高侧栅极驱动器的反向电流保护的一个输入端。 将该引脚连接到 BOOST 同步 (高侧) FET 的漏极。该连接使用专用的 (Kelvin) 走线。
8	SW2	-0.3	24	BOOST 高侧栅极驱动器的电源负端。该引脚还连接到 BOOST 高侧栅极驱动器的反向电流保护的一个输入端。 将该引脚连接到 BOOST (输出) 侧的开关节点 (电感器)。使用较短和宽的走线以最小化该连接所产生的电感和电阻。
9	HG2	-0.5	PVDD+0.5[1, 4]	BOOST 高侧栅极驱动器输出。 将该引脚连接到 BOOST (输出) 侧同步 (高侧) FET 栅极。使用较宽的走线以最小化该连接所产生的电感。
10	BST2	–	PVDD+0.5[1, 4]	BOOST 高侧栅极驱动器的升压电源。自举电容节点。在 VDDD 和 BST2 之间连接一个肖特基二极管。此外，在该引脚和 SW2 之间连接一个自举电容。
11	VBUS_CTRL	-0.5	32	VBUS NFET 栅极驱动器输出。连接至开关 NFET 栅极
12	COMP	-0.5	PVDD+0.5[1]	错误放大器输出引脚。将补偿网络连接到 GND。如需设计补偿网络方面的帮助，请联系 Infineon®。
13	VBUS_C	-0.3	24	Type-C 连接器 VBUS 电压。 连接到 Type-C 连接器的 VBUS 引脚。

注释
1. 最大电压不能超过 6 V。
2. 相对于 GND 的最大绝对电压不能超过 40 V。
3. 最大绝对值是以 SW1 为准。
4. 最大绝对值是以 SW2 为准。

Table 2 48-QFN 封装引脚分布 (2/3)

S#	引脚名称	最小绝对值电压 (V)	最大绝对值电压 (V)	描述
14	CSNO	-0.3	24	电流检测放大器的负输入。 连接到输出电流检测电阻的负端。
15	CSPO	-0.3	24	电流检测放大器的正输入。连接到输出电流检测电阻的正端。
16	CC2	-0.5	24	Type-C 连接器配置通道 2。直接连接到端口的 Type-C 连接器上的 CC2 引脚。另外，还需并联一个接地电容 (建议值为 390 pF)。
17	CC1	-0.5	24	Type-C 连接器配置通道 1。直接连接到端口的 Type-C 连接器上的 CC1 引脚。另外，还需并联一个接地电容 (建议值为 390 pF)。
18	DP_GPIO0/ P0.0	-0.5	PVDD+0.5[1]	USB D+/GPIO:D+ 用于实现 BC 1.2、AFC、QC 或 Apple 充电。EZ-PD™ CCG7SC 不支持该引脚上的 USB 数据传输。
19	DM_GPIO1/ P0.1	-0.5	PVDD+0.5[1]	USB D-/GPIO:D- 用于实现 BC 1.2、AFC、QC 或 Apple 充电。EZ-PD™ CCG7SC 不支持该引脚上的 USB 数据传输。
20	VDDD	–	6	5-V LDO 输出。将一个 1 µF 陶瓷旁路电容器并联到该引脚。
21	GPIO2/ P0.2	-0.5	PVDD+0.5[1]	通用 IO，可用于系统级功能。
22	GPIO3/ P0.3	-0.5	PVDD+0.5[1]	
23	GPIO4/ P0.5	-0.5	PVDD+0.5[1]	
24	CGND	-0.3	0.5	CC 模块接地。连接至裸露焊盘 (EPAD)。
25	GPIO5/ P1.4	-0.5	PVDD+0.5[1]	GPIO
26	GPIO6/ P1.3	-0.5	PVDD+0.5[1]	GPIO
27	GPIO7/ P1.2	-0.5	PVDD+0.5[1]	GPIO
28	GPIO8/ P1.1	-0.5	PVDD+0.5[1]	GPIO/SWD 编程和调试数据信号
29	GPIO9/ P1.0	-0.5	PVDD+0.5[1]	GPIO/SWD 编程和调试时钟信号
30	GPIO10/ P2.2	-0.5	PVDD+0.5[1]	GPIO
31	XRES	-0.5	PVDD+0.5[1]	外部复位 — 低电平有效，包含 3.5 KΩ 至 8.5 KΩ 内部上拉电阻。
32	GPIO11	-0.5	PVDD+0.5[1]	GPIO
33	GPIO12	-0.5	PVDD+0.5[1]	GPIO
34	GND	–	–	芯片接地。连接至裸露焊盘 (EPAD)。
35	VDDD	–	6	5-V LDO 输出。将一个 10 µF 旁路电容器并联到该引脚。
36	VCCD	–	–	1.8 V 内核 LDO 输出，将 0.1 µF 旁路电容器并联到该引脚。请勿将任何其他部件连接到该引脚。
37	VIN	-0.3	40	输入电源为 4 V–24 V。在该引脚和靠近它的 GND 之间放置一个陶瓷旁路电容。
38	CSPI	-0.3	40	输入电流检测放大器的正输入。连接到输入电流检测电阻的正端。使用专用的 (Kelvin) 走线连接。

注释
1. 最大电压不能超过 6 V。
2. 相对于 GND 的最大绝对电压不能超过 40 V。
3. 最大绝对值是以 SW1 为准。
4. 最大绝对值是以 SW2 为准。

Table 2 48-QFN 封装引脚分布 (3/3)

S#	引脚名称	最小绝对值电压 (V)	最大绝对值电压 (V)	描述
39	CSNI	-0.3	40	输入电流检测放大器的负输入。 连接到输入电流检测电阻的负端。使用专用的 (Kelvin) 走线连接。
40	BST1	–	PVDD+0.5[1, 2, 3]	BUCK 高侧栅极驱动器的升压电源。自举电容节点。 在 VDDD 和 BST1 之间连接一个肖特基二极管。此外，在该引脚和 SW1 之间连接一个自举电容。
–	EPAD	–	–	裸露的接地焊盘。直接连接到引脚 36 和引脚 22。

注释
1. 最大电压不能超过 6 V。
2. 相对于 GND 的最大绝对电压不能超过 40 V。
3. 最大绝对值是以 SW1 为准。
4. 最大绝对值是以 SW2 为准。

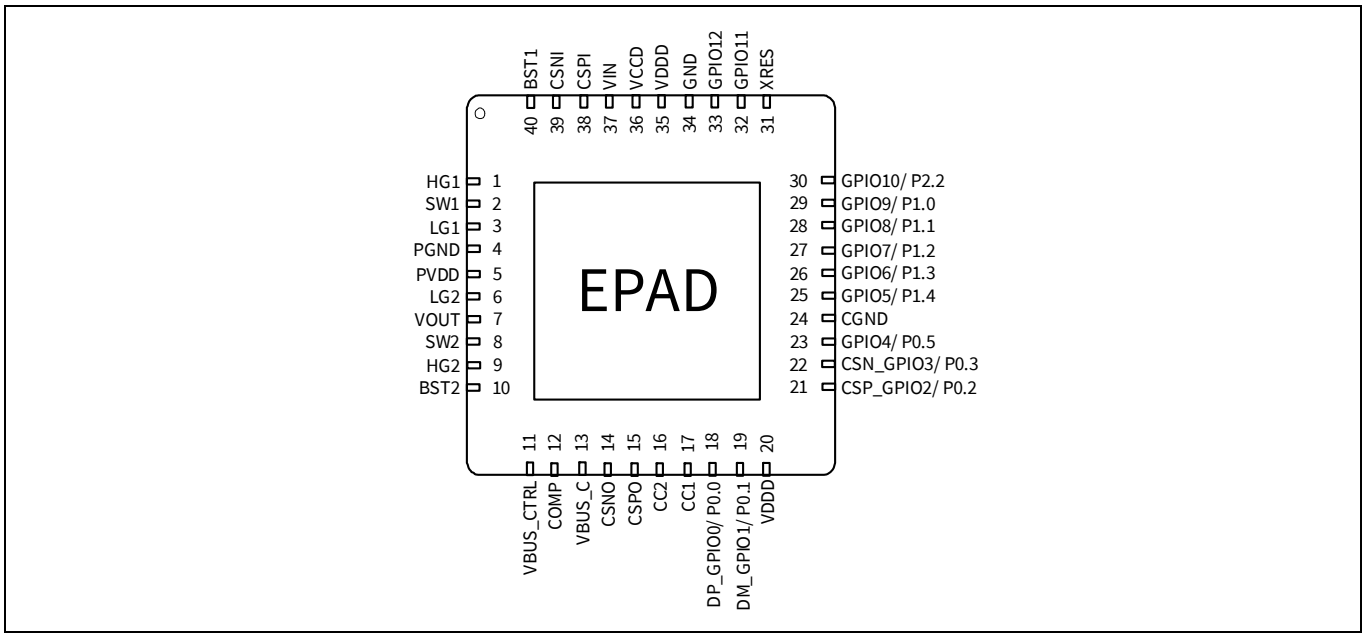


Figure 8 EZ-PD™ CCG7SC 40-QFN 引脚分布

4 EZ-PD™ CCG7SC 烧录和启动加载

通过以下两种方法，可以将应用程序固件烧录到 EZ-PD™ CCG7SC 器件上：

1. 通过 SWD 接口对器件闪存进行烧录
2. 通过特定接口 (CC、I^2C) 更新应用程序

一般情况下，只有在开发期间或在最终产品的制造过程中才能通过 SWD 接口烧录 EZ-PD™ CCG7SC 器件。芯片生产完成后，可以通过合适的启动加载程序接口更新 EZ-PD™ CCG7SC 器件的应用程序固件。默认情况下，EZ-PD™ CCG7SC 器件附带组合的 I2C/CC 启动加载程序。英飞凌强烈推荐客户使用 EZ-PD™ 配置实用程序关闭固件中通过 CC 或 I^2C 接口进行的应用程序固件更新；在批量生产前，该固件已被更新到 EZ-PD™ CCG7SC 的闪存中。这样可以防止在现场通过 CC 接口对未经授权的固件进行更新。如果您想保留在产品出厂后仍然可以通过 CC/I^2C 接口进行应用程序固件更新的功能，以进行现场固件更新，请联系英飞凌销售代表，以获取更多信息。

4.1 通过 SWD 接口对器件闪存进行烧录

通过 SWD 接口可以对 EZ-PD™ CCG7SC 器件系列进行烧录。Infineon® 提供了 CY8CKIT-005 MiniProg4 kit 烧录硬件，使用该硬件可以烧录闪存和调试固件。通过从 hex 文件下载信息，可以对闪存进行烧录。

如下面框图所示 (参见 Figure 9)，SWD_DAT 和 SWD_CLK 引脚分别连接到主机烧录器的 SWDIO (数据) 和 SWDCLK (时钟) 引脚。在 SWD 烧录期间，主机烧录器可以通过将其 VTARG (目标器件的电源) 连接到 EZ-PD™ CCG7SC 器件的 VDDD 引脚来为该器件供电。如果使用板载电源为 EZ-PD™ CCG7SC 器件供电，则可以使用 “ 复位烧录 ” 选项对该器件进行烧录。更多有关详细信息，请参阅 CCGx (CYPDxxxx) 烧录规范。

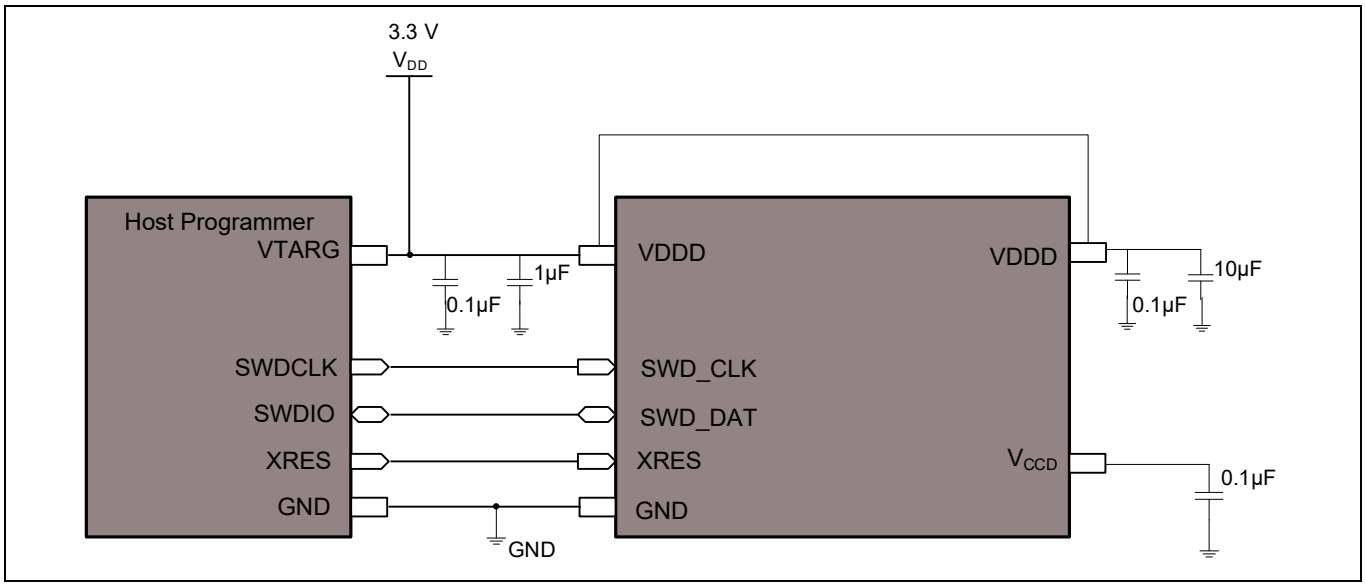


Figure 9 将烧录器连接到 CYPD7XXX 器件

5 应用

Figure 10 展示了使用 EZ-PD™ CCG7SC 的单端口点烟器适配器 (CLA) 应用框图。CLA 由汽车电池供电，用于为手机 / 平板电脑 / 笔记本电脑充电。在该应用中，CCG7SC 将始终作为 DFP 使用，来支持设备充电。它与连接的设备协商功率，并使用集成升 - 降压控制器来提供所需的电压和电流。

Type-C 插座的 DP/DM 线被连接到 CCG7SC，用来支持传统充电协议，例如 QC3.0、Samsung AFC、Apple 2.4 A 充电、BC v1.2 等。当 USB Type-C 端口没有连接到负载时，CCG7SC 持续处于待机模式，而不会开启升 - 降压控制器

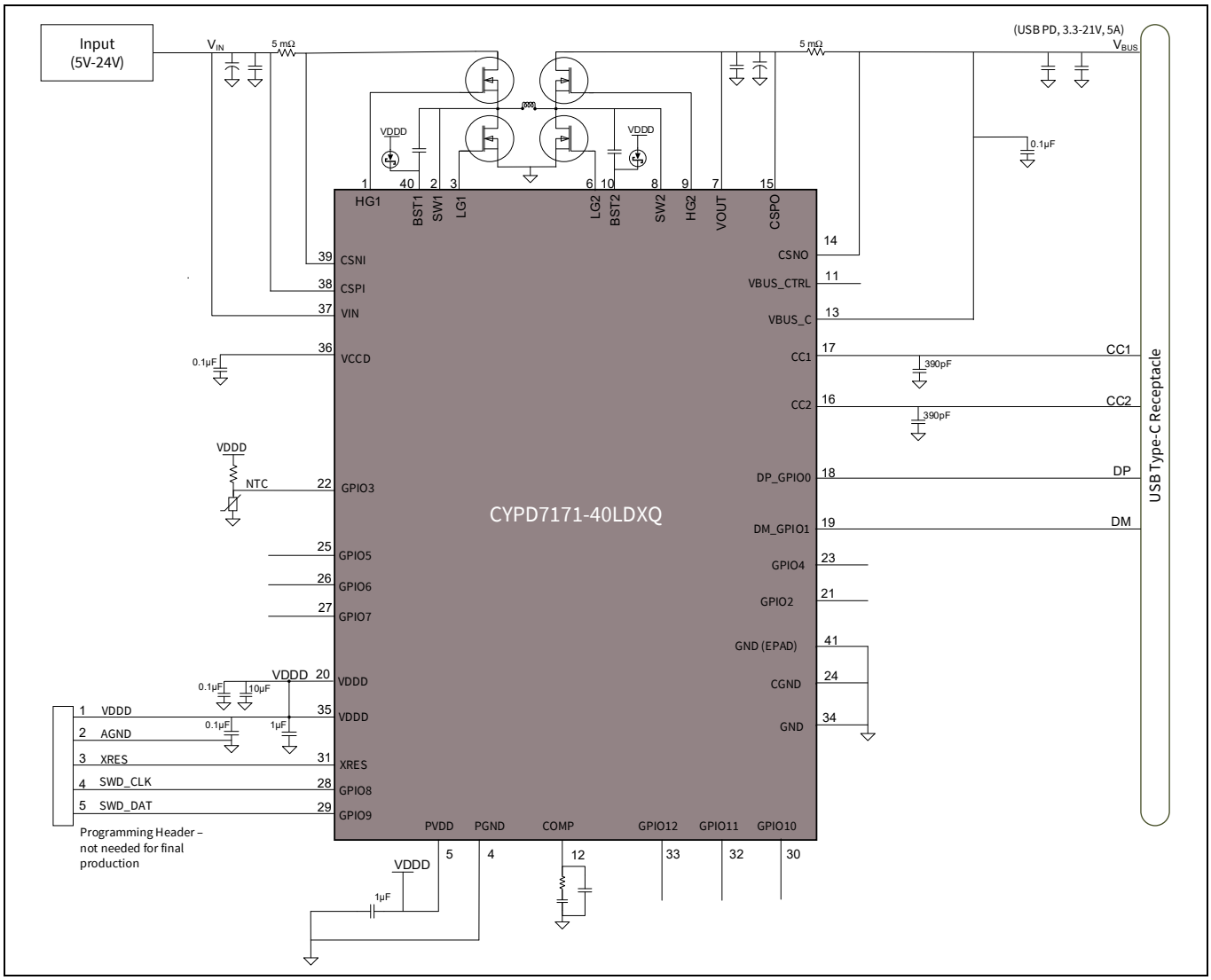


Figure 10 EZ-PD™ CCG7SC CLA 应用图

应用

Figure 11 显示了使用 CCG7SC 的纯降压模式应用框图。该应用使用集成降压控制器为所连接的设备提供所需的电压和电流。该应用与 CLA 应用相同，只是 CLA 应用使用升 - 降压拓扑，该应用则使用纯降压拓扑。在降压应用中，协商好的电压应始终低于输入电压。

如果输入电压低于输出电压，则无法维持输出电压，导致端口被关闭。此外，还可以对该应用进行配置，使其支持传统充电协议 – BC1.2 DCP、Qualcomm QC2.0/3.0、Apple 充电和 Samsung AFC。

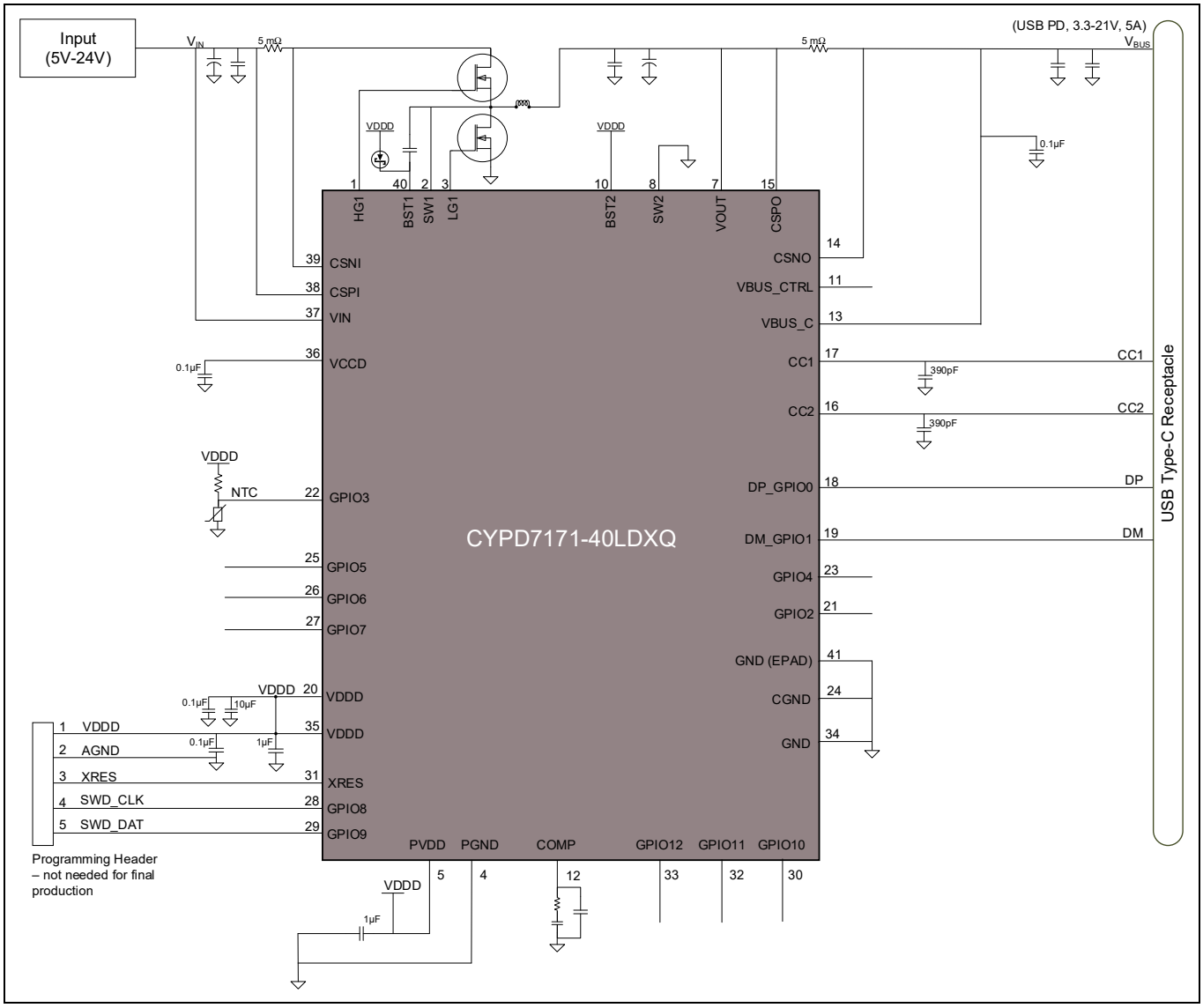


Figure 11　　EZ-PD™ CCG7SC 充电器和适配器应用图 — 纯降压 (buck) DCDC 转换器

应用

通过使用一个 CCG7DC 和一个 CCG7SC 控制器的组合或三个单独的 CCG7SC 控制器，可以实现用于 AC-DC 电源应用的 USB-PD 多个 (3 个) 端口充电器和适配器解决方案。Figure 12 展示了通过使用 EZ-PD™ CCG7DC 和 CCG7SC 对 AC-DC 电源应用模块实现 USB-PD 多个 (3 个) 端口充电器和适配器解决方案框图。在该方案中，CCG7DC 支持为两个端口提供所需的电压和电流，而 CCG7SC 支持为第三个 (单个) 端口提供所需的电压和电流。Figure 13 展示了通过使用 EZ-PD™ CCG7SC 对 AC-DC 电源应用实现 USB-PD 多个 (3 个) 端口充电器和适配器的解决方案框图。在该方案中，三个 CCG7SC 控制器支持为三个端口提供所需的电压和电流。

前端 AC-DC 转换器能够产生所需的输出电压，降压转换器则确保多端口适配器应用满足所定义的 USB 电力传输规范和性能。

在该应用中，CCG7DC/CCG7SC 将始终作为 DFP 使用，以支持为设备充电。它与连接的器件协商功率，并使用集成降压控制器提供所需的电压和电流。

Type-C 插座的 DP/DM 线连接到 CCG7DC/CCG7SC，以支持传统充电协议，例如 QC3.0、Samsung AFC、Apple 2.4 A 充电、BC v1.2 等。当 USB Type-C 端口没有连接到负载时，CCG7DC 持续处于待机模式，而不会开启降压转换器。

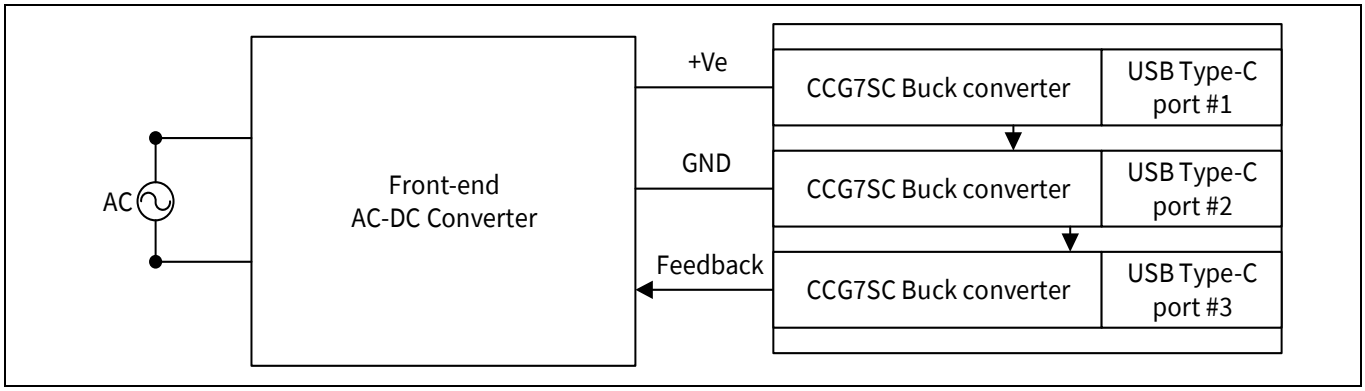


Figure 12　基于 CCG7SC 的三端口充电器和适配器解决方案

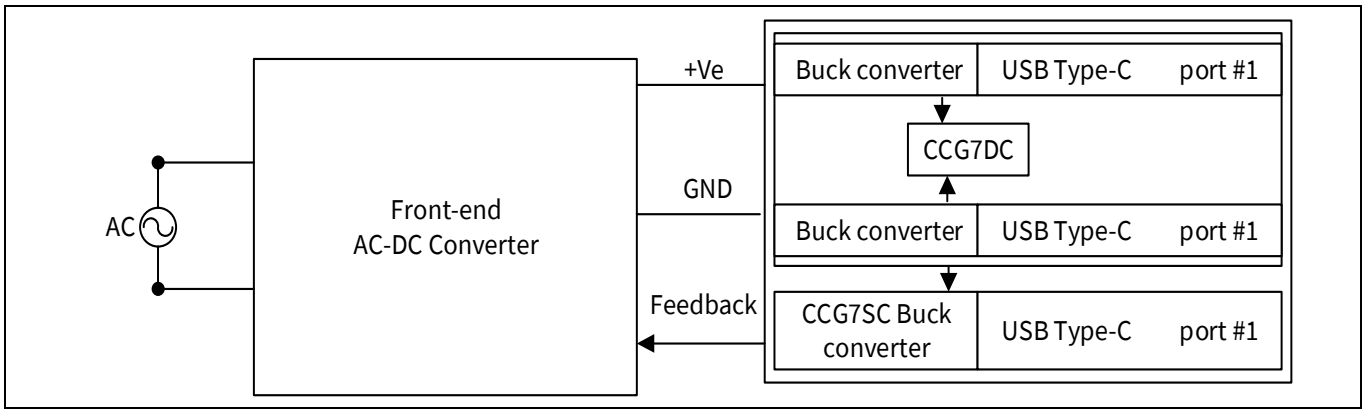


Figure 13　基于 CCG7DC+CCG7SC 的三端口充电器和适配器解决方案

应用

Table 3 介绍了 Figure 10 中应用图的消费类充电应用 GPIO 引脚映射情况。

Table 3　　消费类充电应用的 GPIO 引脚映射应用图详情 Figure 10

引脚编号	引脚名称	功能	GPIO	消费类充电应用
18	DP_GPIO0	Type-C 端口的 USB DP。支持 BC 1.2、QC、Apple 充电和 AFC。	P0.0	DP
19	DM_GPIO1	Type-C 端口的 USB DM。支持 BC 1.2、QC、Apple 充电和 AFC。	P0.1	DM
22	GPIO3	热敏电阻	P0.3	NTC
28	GPIO8	连接到主机烧写器的 SWDCLK (时钟)，以对 EZ-PD™ CCG7SC 器件进行烧写。	P1.1	GPIO
29	GPIO9	连接到主机烧写器的 SWDDAT (数据)，以对 EZ-PD™ CCG7SC 器件进行烧写。	P1.0	

6 电气规范

6.1 最大绝对额定值

Table 4 最大绝对额定值 [5]

参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
V_{IN_MAX}	最大输入供电电压	–	–	40	V	–
V_{DDD_MAX}	相对于 V_{SS} 的最大 VDDD 电压	–	–	6		–
V_{5V_MAX}	相对于 V_{SS} 的最大 5 V 供电电压	–	–	6		–
$V_{BUS_C_MAX}$	相对于 V_{SS} 的最大 V_{BUS_C} (P0/P1) 电压	–	–	24		–
$V_{CC_PIN_ABS}$	CC1 和 CC2 引脚的最大电压	–	–	24		–
V_{GPIO_ABS}	GPIO 的输入电压	-0.5	–	V_{DDD} + 0.5		–
$V_{GPIO_OVT_ABS}$	OVT GPIO 电压	-0.5	–	6		–
I_{GPIO_ABS}	每个 GPIO 上的最大电流	–25	–	25	mA	–
$I_{GPIO_INJECTION}$	GPIO 注入电流，$V_{IH} > V_{DDD}$ 的情况下为最大值，$V_{IL} < V_{SS}$ 的情况下为最小值	-0.5	–	0.5		绝对最大值，每个引脚的灌电流
ESD_HBM	静电放电 - 人体静电放电模型	–	–	2000	V	所有引脚值。
ESD_CDM	静电放电 — 充电器件模型	–	–	500		充电器件模型 ESD
LU	引脚电流闩锁	-100	–	100	mA	–
T_J	结温	-40	–	125	°C	–

注释

5. 器件在高于 Table 4 中所列出的最大绝对值条件下可能会造成永久性的损害。长期使用在最大绝对额定值下可能会影响器件的可靠性。最大存放温度是 150 °C，符合 JEDEC 标准 JESD22-A103 — 高温度存放使用寿命标准。如果芯片使用条件低于最大绝对值但高于正常值，则器件可能不能正常工作。

6.2 器件级规范

除非另有说明，否则所有规范的适用条件是 –40 °C ≤ T_A ≤ 105 °C 且 T_J ≤ 125 °C。除非另有说明，否则这些规范的适用 VDDD 的电压范围为 3.0 V ~ 5.5 V。

6.2.1 直流规范

Table 5 直流规范 (工作条件) (1/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.PWR#1	V_{IN}	输入供电电压	4.0	–	24	V	–
SID.PWR#1A	V_{IN_BB}	升 - 降压工作输入电源电压	4.5	–	24		–
SID.PWR#2	V_{DDD_REG}	VIN: 5.5 V - 24 V 时，VDDD 电源输出电压，最大带载 = 75 mA	4.6	–	5.5		–
SID.PWR#2A	V_{DDD_BYPASS}	VIN: 5.5 V - 24 V 时，VDDD 电源输出电压，最大带载 = 75 mA	V_{IN} -0.7		5.5		–
SID.PWR#3	V_{DDD_MIN}	VIN: 4 V - 4.5 V 时，VDDD 输出电压，最大带载为 20 mA	V_{IN} - 0.2	–	–		–
SID.PWR#20	VBUS	VBUS_C 的有效范围	3.3	–	21.5		–
SID.PWR#5	V_{CCD}	调制输出电压 (供给内核逻辑)	–	1.8	–		–
SID.PWR#16	C_{EFC_VCCD}	VCCD 的外部调节器电压旁路电容	80	100	120	nF	X5R 陶瓷
SID.PWR#17	C_{EXC_VDDD}	V_{DDD} 的电源去耦电容	–	10	–	µF	
SID.PWR#18	C_{EXV}	自举电源电容器 (BST1、BST2)	–	0.1	–		
SID.PWR#24	I_{DD_ACT}	0.4 MHz 开关频率下的消耗电流	–	50	–	mA	T_A = 25 °C，VIN = 12 V。CC IO 处于发送或接收状态，无 I/O 源电流，无 VCONN 负载电流，CPU 的工作频率为 24 MHz，PD 端口有效。升 - 降压转换器处于开启状态，3 nF 栅极驱动器电容。

Table 5　直流规范 (工作条件) (2/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
深度睡眠模式							
SID_DS1	I_{DD_DS1}	V_{IN} = 12 V。CC 唤醒处于开启状态，未连接 Type-C，供电源模式下消耗电流	–	80	–	µA	未连接 Type-C，CC 被启用，用于唤醒。应为 PD 端口启用 R_p 的连接。T_A = 25 °C。所有故障均被禁用。
SID_DS2	I_{DD_DS2}	VIN = 12 V，GPIO 模式下消耗电流	–	50	–		USB PD 被禁用。从 GPIO 唤醒。T_A = 25 °C。所有故障均被禁用。
SID_DS3	I_{DD_DS3}	VIN = 12 V。CC 唤醒处于开启状态，未连接 Type-C，供电源模式下消耗电流	–	300	–		未连接 Type-C，CC 被启用，用于唤醒。应为 PD 端口启用 R_p 的连接。T_A = 25 °C。所有故障均被禁用。

6.2.2　CPU

Table 6　CPU 规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.CLK#4	F_{CPU}	CPU 输入频率	–	–	48	MHz	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.PWR#19	$T_{DEEPSLEEP}$	从深度睡眠模式唤醒的时间	–	35	–	µs	–
SYS.XRES#5	T_{XRES}	外部复位脉冲宽度	5	–	–		

6.2.3　GPIO

Table 7　GPIO 直流规范 (1/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GIO#9	V_{IH_CMOS}	CMOS 输入高电平电压阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID.GIO#10	V_{IL_CMOS}	CMOS 输入低电平电压阈值	–	–	0.3 × V_{DDD}		
SID.GIO#11	V_{IH_TTL}	TTL 输入高电平阈值入	2.0	–	–		–40 °C ≤ TA ≤ +105 °C
SID.GIO#12	V_{IL_TTL}	TTL 输入低电平阈值入	–	–	0.8		–40 °C ≤ TA ≤ +105 °C
SID.GIO#7	V_{OH_3V}	输出高电平电压阈值压	V_{DDD} – 0.6	–	–		I_{OH} = –4 mA，–40 °C ≤ T_A ≤ +105 °C
SID.GIO#8	V_{OL_3V}	输出低电平电压阈值压	–	–	0.6		I_{OL} = 10 mA，–40 °C ≤ T_A ≤ +105 °C
SID.GIO#2	Rpu	启用时的上拉电阻值阻	3.5	5.6	8.5	kΩ	–40 °C ≤ T_A ≤ +105 °C
SID.GIO#3	Rpd	启用时的下拉电阻值阻	3.5	5.6	8.5		
SID.GIO#4	I_{IL}	输入漏电流 (绝对值)	–	–	2	nA	T_A = +25 °C , 3 V 到 V_{DDD}

Table 7 GPIO 直流规范 (2/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GIO#5	C_{PIN_A}	最大引脚电容	–	–	22	pF	–40 °C ≤ T_A ≤ +105 °C，DP、DM 引脚上的电容
SID.GIO#6	C_{PIN}	最大引脚电容	–	3	7		–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常，其他所有 I/O
SID.GIO#13	V_{HYSTTL}	LVTTL 输入迟滞电压，V_{DDD} > 2.7 V	100	–	–	mV	V_{DDD} > 2.7 V
SID.GIO#14	$V_{HYSCMOS}$	CMOS 输入迟滞电压	0.1 × V_{DDD}	–	–		–

Table 8 GPIO 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GIO#16	T_{RISEF}	快速强驱动模式下的上升时间	2	–	12	ns	C_{load} = 25 pF，–40 °C ≤ T_A ≤ +105 °C
SID.GIO#17	T_{FALLF}	快速强驱动模式下的下降时间	2	–	12		
SID.GIO#18	T_{RISES}	慢速强驱动模式下的上升时间	10	–	60		
SID.GIO#19	T_{FALLS}	慢速强驱动模式下的下降时间	10	–	60		
SID.GIO#20	F_{GPIO_OUT1}	3.0 V ≤ V_{DDD} ≤ 5.5 V，快速强驱动模式下，GPIO 输出频率	–	–	16	MHz	
SID.GIO#21	F_{GPIO_OUT2}	3.0 V ≤ V_{DDD} ≤ 5.5 V，低速强驱动模式下，GPIO 输出频率	–	–	7		
SID.GIO#22	F_{GPIO_IN}	3.0 V ≤ V_{DDD} ≤ 5.5 V，GPIO 输入频率	–	–	16		–40 °C ≤ T_A ≤ +105 °C

Table 9 GPIO OVT 直流规范 (1/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GPIO_20VT_GIO#4	GPIO_20VT_I_LU	GPIO_20VT 栓锁电流范围	-140	–	140	mA	所有输入或输出、引脚至引脚或引脚至电源的最大 / 最小电流
SID.GPIO_20VT_GIO#5	GPIO_20VT_RPU	GPIO_20VT 上拉电阻值	3.5	–	8.5	kΩ	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.GPIO_20VT_GIO#6	GPIO_20VT_RPD	GPIO_20VT 下拉电阻值	3.5	–	8.5		–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常

Table 9 GPIO OVT 直流规范 (2/2)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GPIO_20VT_GIO#16	GPIO_20VT_IIL	GPIO_20VT 输入漏电流 (绝对值)	–	–	2	nA	T_A = +25 °C, 3 V 到 V_{DDD}
SID.GPIO_20VT_GIO#17	GPIO_20VT_CPIN	GPIO_20VT 引脚电容	–	–	10	pF	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.GPIO_20VT_GIO#33	GPIO_20VT_Voh	GPIO_20VT 高电平输出电压	VDDD-0.6	–	–	V	I_{OH} = -4 mA
SID.GPIO_20VT_GIO#36	GPIO_20VT_Vol	GPIO_20VT 低电平输出电压	–	–	0.6		I_{OL} = 8 mA
SID.GPIO_20VT_GIO#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT LVTTL 输入高电平电压	2	–	–		–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.GPIO_20VT_GIO#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT LVTTL 输入低电平电压	–	–	0.8		–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.GPIO_20VT_GIO#43	GPIO_20VT_Vhysttl	GPIO_20VT 输入迟滞电压 LVTTL	100	–	–	mV	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.GPIO_20VT_GIO#45	GPIO_20VT_ITOT_GPIO	GPIO_20VT 引脚对地最大灌电流	–	–	95	mA	V (GPIO_20VT 引脚) > V_{DDD}

Table 10 GPIO OVT 交流规范 AC

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细信息 / 条件
SID.GPIO_20VT_70	GPIO_20VT_TriseF	GPIO_20VT 快速强驱动模式下的上升时间	1	–	15	ns	所有 V_{DDD} 正常，C_{load} = 25 pF
SID.GPIO_20VT_71	GPIO_20VT_TfallF	GPIO_20VT 快速强驱动模式下的下降时间	1	–	15		
SID.GPIO_20VT_GIO#46	GPIO_20VT_TriseS	慢速强驱动模式下的 GPIO_20VT 上升时间	10	–	70		
SID.GPIO_20VT_GIO#47	GPIO_20VT_TfallS	慢速强驱动模式下的 GPIO_20VT 下降时间	10	–	70		
SID.GPIO_20VT_GIO#48	GPIO_20VT_FGPIO_OUT1	3 V ≤ V_{DDD} ≤ 5.5 V，快速强驱动模式下，GPIO_20VT GPIO 输出频率	–	–	33	MHz	
SID.GPIO_20VT_GIO#50	GPIO_20VT_FGPIO_OUT3	3 V ≤ V_{DDD} ≤ 5.5 V，慢速强驱动模式下，GPIO_20VT GPIO 输出频率	–	–	7		
SID.GPIO_20VT_GIO#52	GPIO_20VT_FGPIO_IN	3 V ≤ V_{DDD} ≤ 5.5 V，GPIO_20VT GPIO 输入操作频率	–	–	8		所有 V_{DDD} 正常

6.2.4 XRES

Table 11 XRES 直流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.XRES#1	V_{IH_XRES}	XRES 引脚上的输入高电平阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID.XRES#2	V_{IL_XRES}	XRES 引脚上的输入低电平阈值	–	–	0.3 × V_{DDD}		
SID.XRES#3	C_{IN_XRES}	XRES 引脚上的输入电容	–	–	7	pF	–
SID.XRES#4	$V_{HYSXRES}$	XRES 引脚上的输入电压迟滞	–	0.05 × V_{DDD}	–	mV	–

6.3 数字外设

下列规范适用于定时器模式下的定时器 / 计数器 /PWM 外设。

6.3.1 GPIO 引脚的脉冲宽度调制 (PWM)

Table 12 PWM 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.TCPWM.1	$TCPWM_{FREQ}$	工作频率	–	–	Fc	MHz	Fc max = CLK_SYS
SID.TCPWM.3	T_{PWMEXT}	输出触发脉冲宽度	2/Fc	–	–	ns	上溢、下溢和 CC (计数值等于比较值) 可输出的最小宽度
SID.TCPWM.4	T_{CRES}	计数器的分辨率	1/Fc	–	–		连续计数间的最短时间
SID.TCPWM.5	PWM_{RES}	PWM 分辨率	1/Fc	–	–		PWM 输出的最小脉宽

6.3.2 I^2C

Table 13 固定的 I^2C 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID153	FI2C1	比特率	–	–	1	Mbps	–

6.3.3 UART

Table 14 固定 UART 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID162	F_{UART}	比特率	–	–	1	Mbps	–

6.3.4 SPI

Table 15 固定 SPI 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID166	F_{SPI}	SPI 工作频率 (主设备；6 倍过采样)	–	–	8	MHz	–

Table 16 固定 SPI 主机模式交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID167	T_{DMO}	Sclock 驱动边沿后 MOSI 有效的时间	–	–	15	ns	–
SID168	T_{DSI}	Sclock 捕获边沿前 MISO 有效的时间	20	–	–		全时钟、MISO 迟采样
SID169	T_{HMO}	上一个 MOSI 数据保持时间	0	–	–		参考从机数据捕获边沿

Table 17 固定的 SPI 从机模式交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID170	T_{DMI}	Sclock 捕获边沿前 MOSI 有效的时间	40	–	–	ns	–
SID171	T_{DSO}	Sclock 驱动边沿后 MISO 有效的时间	–	–	48 + (3 × T_{CPU})		$T_{CPU} = 1/F_{CPU}$
SID171A	T_{DSO_EXT}	在外部时钟模式下 SClock 驱动沿后 MISO 的有效时间。	–	–	48		–
SID172	T_{HSO}	上一个 MISO 数据保持时间	0	–	–		–
SID172A	$T_{SSELSCK}$	从 SSEL 有效到第一个 SCK 有效边沿的时间	100	–	–		–

6.3.5 存储器

Table 18 闪存交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.MEM#2	FLASH_WRITE	行 (块) 编写的时间 (擦除和编程)	–	–	20	ms	–40 °C ≤ T_A ≤ +85 °C，所有 V_{DDD} 正常
SID.MEM#1	FLASH_ERASE	行擦除的时间	–	–	15.5		
SID.MEM#5	FLASH_ROW_PGM	擦除后的行编程时间	–	–	7		
SID178	$T_{BULKERASE}$	批量擦除时间 (32 KB)	–	–	35		–
SID180	$T_{DEVPROG}$	器件总编程时间	–	–	7.5	s	
SID.MEM#6	$FLASH_{_ENPB}$	闪存写入寿命次数	100k	–	–	周期	25 °C ≤ T_A ≤ 55 °C，所有 V_{DDD} 正常
SID182	FRET1	闪存保留，T_A ≤ 55 °C，10 万个编程 / 擦除周期	20	–	–	年	–
SID182A	FRET2	闪存保留，T_A ≤ 85 °C，1 万个编程 / 擦除周期	10	–	–		

6.4 系统资源

6.4.1 下电情况下的上电复位 (POR)

Table 19 不精确的上电复位 (IPOR)

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID185	$V_{RISEIPOR}$	上电复位 (POR) 上升触发电压	0.80	–	1.50	V	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID186	$V_{FALLIPOR}$	POR 下降触发电压	0.70	–	1.4		

Table 20 精确的上电复位

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID190	$V_{FALLPPOR}$	运行 / 睡眠模式下的下电检测 (BOD) 触发电压	1.48	–	1.62	V	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID192	$V_{FALLDPSLP}$	深度睡眠模式下的 BOD 触发电压	1.1	–	1.5		

6.4.2 SWD 接口

Table 21 SWD 接口规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.SWD#1	F_SWDCLK1	3.0 V ≤ V_{DDIO} ≤ 5.5 V	–	–	14	MHz	–
SID.SWD#2	T_SWDI_SETUP	T = 1/f SWDCLK	0.25 × T	–	–	ns	
SID.SWD#3	T_SWDI_HOLD	T = 1/f SWDCLK	0.25 × T	–	–		
SID.SWD#4	T_SWDO_VALID	T = 1/f SWDCLK	–	–	0.50 × T		
SID.SWD#5	T_SWDO_HOLD	T = 1/f SWDCLK	1	–	–		

6.4.3 内部主振荡器

Table 22 IMO 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.CLK#13	F_{IMOTOL}	在频率为48 MHz时测量频率误差 (出厂调整后)	–	–	±2	%	3.0 V ≤ V_{DDD} < 5.5 V。–40 °C ≤ T_A ≤ 105 °C
SID226	$T_{STARTIMO}$	IMO 启动时间	–	–	7	µs	–40 °C ≤ T_A ≤ +105 °C，所有 V_{DDD} 正常
SID.CLK#1	F_{IMO}	IMO 频率	24	–	48	MHz	

6.4.4 内部低速振荡器

Table 23 ILO 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID234	$T_{STARTILO1}$	ILO 启动时间	–	–	2	ms	–40 °C ≤ TA ≤ +105 °C，所有 V_{DDD} 正常
SID238	$T_{ILODUTY}$	ILO 占空比	40	50	60	%	
SID.CLK#5	F_{ILO}	ILO 频率	20	40	80	kHz	–

6.4.5 PD

Table 24 PD 直流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细信息 / 条件
SID.DC.cc_shvt.1	vSwing	发送器输出高电平压	1.05	–	1.2	V	–
SID.DC.cc_shvt.2	vSwing_low	发送器输出低电平压			0.075		
SID.DC.cc_shvt.3	zDriver	发送器输出阻抗	33		75	Ω	
SID.DC.cc_shvt.4	zBmcRx	接收器输入阻抗	10			MΩ	
SID.DC.cc_shvt.5	Idac_std	USB 标准 DAC 的源电流	64		96	µA	
SID.DC.cc_shvt.6	Idac_1p5a	USB 输出 5 V 1.5 A 的 DAC 源电流	166		194		
SID.DC.cc_shvt.7	Idac_3a	USB 输出 5 V 3 A 的 DAC 源电流	304		356		
SID.DC.cc_shvt.8	Rd	作为 UFP (上行端口) 时的下拉终端电阻	4.59		5.61	kΩ	
SID.DC.cc_shvt.10	zOPEN	该信号被禁用时 CC 对地阻抗	108				
SID.DC.cc_shvt.11	DFP_default_0p2	DFP 端的标准 USB 的 CC 电压	0.15		0.25	V	
SID.DC.cc_shvt.12	DFP_1.5A_0p4	DFP 端的 1.5 A 时的 CC 电压	0.35		0.45		
SID.DC.cc_shvt.13	DFP_3A_0p8	DFP 端的 3 A 时的 CC 电压	0.75		0.85		
SID.DC.cc_shvt.14	DFP_3A_2p6	DFP 端的 3 A 时的 CC 电压	2.45		2.75		
SID.DC.cc_shvt.15	UFP_default_0p66	UFP 端的标准 USB 的 CC 电压	0.61		0.7		
SID.DC.cc_shvt.16	UFP_1.5A_1p23	UFP 端的 1.5 A 时的 CC 电压	1.16		1.31		
SID.DC.cc_shvt.17	Vattach_ds	深度睡眠连接阈值	0.3		0.6	%	
SID.DC.cc_shvt.18	Rattach_ds	深度睡眠上拉电阻	10		50	kΩ	
SID.DC.cc_shvt.19	VTX_step	TX 驱动电压步长大小	80		120	mV	

6.4.6 模数转换器

Table 25 ADC 直流规范 DC

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.ADC.1	Resolution	ADC 分辨率	–	8	–	位	–
SID.ADC.2	INL	非线性积分	–1.5	–	1.5	LSB	带隙基准源生成的参考电压。
SID.ADC.3	DNL	非线性差分	–2.5		2.5		由 V_{DDD} 生成的参考电压。
SID.ADC.4	Gain Error	增益误差	–1.5		1.5		带隙基准源生成的参考电压。
SID.ADC.5	VREF_ADC1	ADC 的参考电压	V_{DDDmin}		V_{DDDmax}	V	由 V_{DDD} 生成的参考电压。
SID.ADC.6	VREF_ADC2	ADC 的参考电压	1.96	2.0	2.04		由深度睡眠参考生成的参考电压。

6.4.7 高侧 CSA

Table 26 高侧 CSA 直流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.HSCSA.1	Csa_Acc1	5 mV < Vsense < 10 mV 时 CSA 的精度	–15	–	15	%	运行模式
SID.HSCSA.2	Csa_Acc2	10 mV < Vsense < 15 mV 时 CSA 的精度	-10		10		
SID.HSCSA.3	Csa_Acc3	15 mV < Vsense < 25 mV 时 CSA 的精度	–5		5		
SID.HSCSA.4	Csa_Acc4	25 mV < Vsense 时 CSA 的精度	–3		3		
SID.HSCSA.7	Csa_SCP_Acc1	电流为 6 A、检测电阻为 5 mΩ 时的 CSA 短路保护精度	-10		10		
SID.HSCSA.8	Csa_SCP_Acc2	电流为 10 A、检测电阻为 5 mΩ 时的 CSA 短路保护精度	-10		10		
SID.HSCSA.9	Csa_OCP_1A	电流为 1 A、检测电阻为 5 mΩ 时的 CSA 过流保护精度	104	130	156		
SID.HSCSA.10	Csa_OCP_5A	电流为 5 A、检测电阻为 5 mΩ 时的 CSA 过流保护精度	123	130	137		

Table 27 高侧 CSA 交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.HSCSA.AC.1	T_{SCP_GATE}	从 SCP 阈值触发到外部 NFET 栅极关闭的延迟时间	–	3.5	–	µs	1 nF NFET 栅极
SID.HSCSA.AC.2	$T_{SCP_GATE_1}$	从 SCP 阈值触发到外部 NFET 栅极关闭的延迟时间		8			3 nF NFET 栅极

6.4.8 UV/OV

Table 28 UV/OV 规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.UVOV.1	VTHOV1	4 V 至 11 V 的过压阈值精度	–3	–	3	%	运行模式
SID.UVOV.2	VTHOV2	11 V 至 21.5 V 的过压阈值精度	–3.2		3.2		
SID.UVOV.3	VTHUV1	3 V 至 3.3 V 的欠压阈值精度	–4		4		
SID.UVOV.4	VTHUV2	3.3 V 至 4.0 V 的欠压阈值精度	–3.5		3.5		
SID.UVOV.5	VTHUV3	4.0 V 至 21.5 V 的欠压阈值精度	–3		3		

6.4.9 VCONN 开关

Table 29 VCONN 开关直流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
DC.VCONN.1	VCONN_OUT	负载电流为 20 mA 时的 VCONN 输出电压	4.5	–	5.5	V	–
DC.VCONN.2	I_{LEAK}	连接器端引脚漏电流	–	–	10	µA	
DC.VCONN.3	I_{OCP}	VCONN 过电流保护阈值	22.5	30	42.5	mA	

Table 30 VCONN 开关交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
AC.VCONN.1	T_{ON}	VCONN 开关开启的时间	–	–	600	µs	–
AC.VCONN.2	T_{OFF}	VCONN 开关关断的时间			10		

6.4.10 V_{BUS}

Table 31 V_{BUS} 放电规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.VBUS.DISC.1	R1	DS = 1 且 20 V NMOS 处于开启状态时的阻抗	500	–	2000	Ω	在电压为 0.5 V 时测量得到。
SID.VBUS.DISC.2	R2	DS = 2 且 20 V NMOS 处于开启状态时的阻抗	250		1000		
SID.VBUS.DISC.3	R4	DS = 4 且 20 V NMOS 处于开启状态时的阻抗	125		500		
SID.VBUS.DISC.4	R8	DS = 8 且 20 V NMOS 处于开启状态时的阻抗	62.5		250		
SID.VBUS.DISC.5	R16	DS = 16 且 20 V NMOS 处于开启状态时的阻抗	31.25		125		
SID.VBUS.DISC.6	Vbus_stop_error	最终 VBUS 值与设置值的百分比差数	–		10	%	当 VBUS 被放电到 5 V。

6.4.11 电压调节

Table 32 电压调节直流规范 DC

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.DC.VR.1	VOUT	CSNO 输出电压范围	3.3	–	21.5	V	–
SID.DC.VR.2	VR	CSNO 电压调节精度	–	±3	±5	%	
SID.DC.VR.3	VIN_UVLO	芯片将被复位的最小 VIN 供电电压	1.7	–	3.0	V	

Table 33 电压调节器规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.VREG.1	T_{START}	调节器供电输出的总启动时间	–	–	200	µs	–

6.4.12 VBUS 栅极驱动

Table 34 VBUS 栅极驱动器直流规范 DC

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GD.1	GD_VGS	在打开状态条件下栅极与发送源之间的过驱动电压	4.5	5	10	V	NFET 驱动器为打开状态。
SID.GD.2	GD_RPD	Gate 下拉电阻	–	–	2	kΩ	适用于 VBUS_CTRL，用来关闭外部 NFET
SID.GD.5	GD_drv	可编程的典型栅极电流	0.3		9.75	µA	–

Table 35 VBUS 栅极驱动器交流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.GD.3	T_{ON}	外部电容为 3 nF 时 VBUS_CTRL 从低电平到高电平 (1 V 到 VBUS+1 V) 的时间。	2	5	10	ms	CSNO = 5 V
SID.GD.4	T_{OFF}	外部电容为 3 nF 时 VBUS_CTRL 从高电平到低电平 (90% 到 10%) 的时间	–	7	–	µs	CSNO = 21.5 V

6.4.13 PWM 控制器

Table 36 升 - 降压 PWM 控制器规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
PWM.1	F_{SW}	开关频率范围流	150	–	600	kHz	–
PWM.2	FSS	展频频率抖动范围	–	10	–	%	
PWM.3	Ratio_buck_BB	降压与降压升压比		1.16		V/V	
PWM.4	Ratio_boost_BB	升压与降压升压比		0.84			

6.4.14 NFET 栅极驱动器

Table 37 升 - 降压 NFET 栅极驱动器规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
DR.1	R_HS_PU	高侧 mos 导通时的 gate 驱动电阻	–	2	–	Ω	–
DR.2	R_HS_PD	高侧 mos 关断时的 gate 驱动电阻		1.5			
DR.3	R_LS_PU	低侧 mos 导通时的 gate 驱动电阻		2			
DR.4	R_LS_PD	低侧 mos 关断时的 gate 驱动电阻		1.5			
DR.5	Dead_HS	高侧上升沿到来前的死区时间		30		ns	
DR.6	Dead_LS	低侧上升沿到来前的死区时间		30			
DR.7	Tr_HS	高侧驱动器上升沿时间		25			
DR.8	Tf_HS	高侧驱动器下降沿时间		20			
DR.9	Tr_LS	低侧驱动器上升沿时间		25			
DR.10	Tf_LS	低侧驱动器下降沿时间		20			

6.4.15 LS-SCP

Table 38 LS-SCP 直流规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.LSSCP.DC.1	SCP_6A	在电流为 6 A 的条件下检测短路电流	5.4	6	6.6	A	使用差分输入 (CSP_GPIO2、CSN_GPIO3)
SID.LSSCP.DC.1A	SCP_6A_SE	在电流为 6 A 的条件下检测短路电流	4.5	6	7.5		使用单端输入 (CSP_GPIO2) 和内部接地
SID.LSSCP.DC.2	SCP_10A	在电流为 10 A 的条件下检测短路电流	9	10	11		使用差分输入 (CSP_GPIO2、CSN_GPIO3)
SID.LSSCP.DC.2A	SCP_10A_SE	在电流为 10 A 的条件下检测短路电流	7.5	10	12.5		使用单端输入 (CSP_GPIO2) 和内部接地

6.4.16 热

Table 39 热规范

规范 ID	参数	描述	最小值	典型值	最大值	单位	详细说明 / 条件
SID.OTP.1	OTP	热关机	120	125	130	°C	–

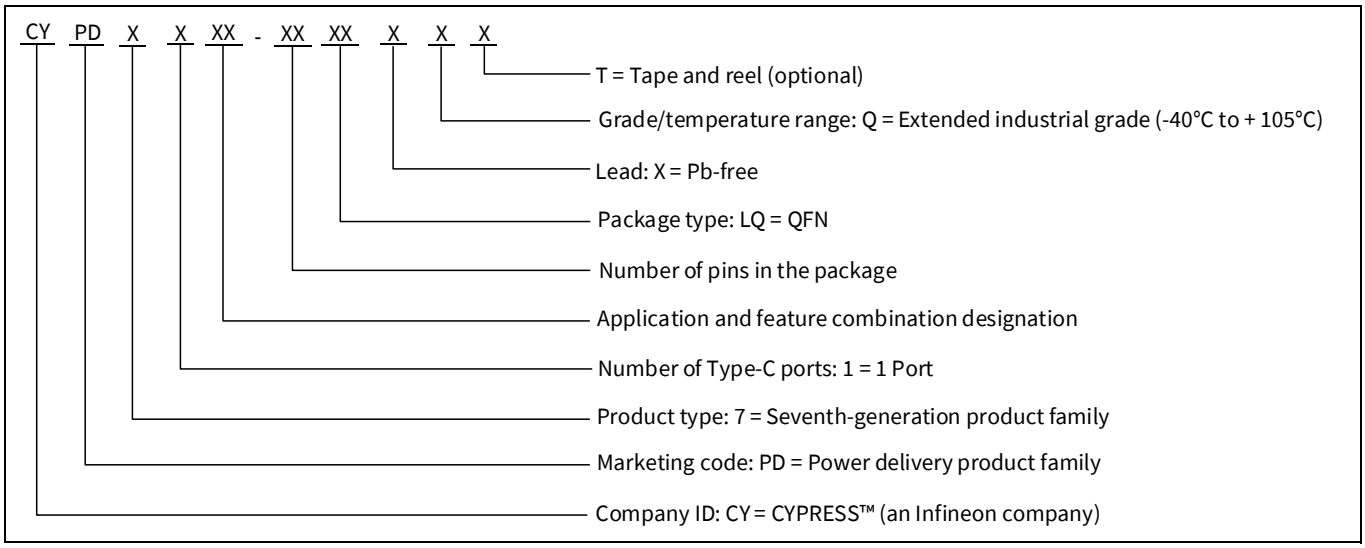
7 订购信息

Table 40 列出了 EZ-PD™ CCG7SC 器件编号和性能。

Table 40 EZ-PD™ CCG7SC 订购信息

MPN	应用程序	终端电阻	功能	开关频率	封装类型
CYPD7171-40LQXQ	单端口 USB-C PD AC-DC 电源适配器，仅限供电源	R_P	DFP (仅限供电源)	150 kHz - 600 kHz	40-QFN
CYPD7171-40LQXQT					

7.1 订购代码定义



8 封装

Table 41 封装特性

参数	描述	条件	最小值	典型值	最大值	单位
T_J	工作结温	–	-40	25	125	°C
T_{JA}	封装 θ_{JA}		–	–	15.45	°C/W
T_{JC}	封装 θ_{JC}				4.4	

8.1 封装图

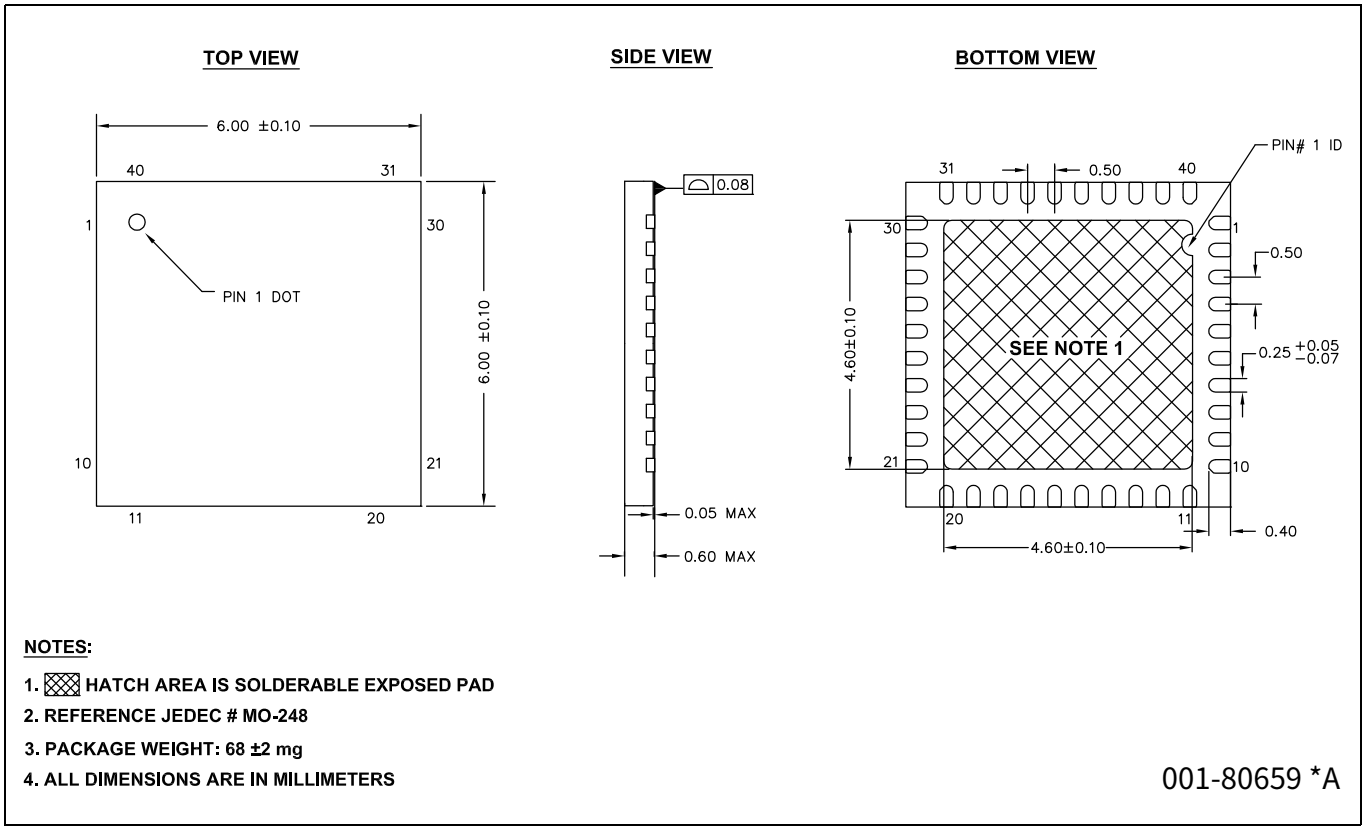


Figure 14 40L-QFN 封装外形 (PG-VQFN-40)

9 缩略词

Table 42 本文档中使用的首字母缩略词

缩略语	描述
ADC	模数转换器
AFC	三星适应性快速充电
Arm®	高级 RISC 机器，即为一种 CPU 架构
CPU	中央处理单元
CSA	电流检测放大器
DAC	数模转换器
FCCM	强制连续电流 / 导通模式
GPIO	通用输入 / 输出
HSDR	高侧驱动器
I^2C 或 IIC	内部集成电路，一种通信协议
IDAC	电流数模转换器
I/O	输入 / 输出，另请参见 GPIO
LSDR	低侧驱动器
MCU	微控制器
OCP	过电流保护
OVP	过压保护
PD	电力传输
POR	上电复位
PSoCä	可编程片上系统
PSM	脉冲跳跃模式 (PSM)
PWM	脉宽调制器
RAM	随机存取存储器
SPI	串行外设接口，即为一种通信协议
SRAM	静态随机访问存储器
TCPWM	定时器 / 计数器 /PWM
Type-C	USB 连接器更细长，并且线缆可反向使用的新标准，能够提供 100 W 的电源
UART	通用异步发射器接收器，它是一种通信协议
UFP	上行端口
UVP	欠压保护
USB	通用串行总线
UVLO	欠压锁定
VPA	VCONN 供电配件
ZCD	过零检测器

10 文档规范

10.1 测量单位

Table 43 测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
KB	1024 字节
kHz	千赫兹
kΩ	千欧
Mbps	每秒兆比特
MHz	兆赫
MΩ	兆欧姆
Msps	每秒兆次采样
µA	微安
µF	微法
µs	微秒
µV	微伏
µW	微瓦
mA	毫安
mΩ	毫欧
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
Ω	欧姆
pF	皮法
ppm	百万分比
ps	皮秒
s	秒
sps	每秒采样数

文档修订记录

版本	提交日期	变更说明
**	2023-08-07	翻译自 : 002-35643 Rev. *C

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-08-07
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-38184 Rev. **

重要提示
本文档所提供的任何信息绝不应当被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及 / 或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。

此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。
本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽 (www.infineon.com)。

警告事项
由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。