

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

CY9B120M 系列是针对低功耗和低成本应用而设计的高集成度 32 位嵌入式微控制器。

本系列的 CPU 搭载了 Arm® Cortex®-M3 处理器、闪存及 SRAM 片上闪存，还包含了各种定时器、A/D 转换器、D/A 转换器、各种通信接口(UART, CSIO, I²C, LIN) 等在内的丰富外设功能。

“FM3 家族外围资源手册”中该数据手册记载的产品归类于 TYPE4 产品。

特征

32 位 Arm® Cortex®-M3 内核

- 处理器版本: r2p1
- 最高工作频率: 72 MHz
- 嵌套向量中断控制器(NVIC)支持 1 通道 NMI (不可屏蔽中断) 和 48 通道的外设中断。可设定 16 个中断优先级。
- 24 位系统定时器(Sys Tick):该系统定时器用于管理操作系统任务。

片上存储器

[闪存]

- 双操作闪存
 - 双操作闪存由上位存储组和下位存储组构成，可同时执行擦/写操作和读取操作。
 - 主要区域:最多 256 KB (最大 240 KB 上位存储组 + 16 KB 下位存储组)
 - 工作区域:32 KB (下位存储组)
- 读取周期: 0 等待周期
- 保护代码的加密功能

[SRAM]

该片上 SRAM 存储器由 2 个独立的 SRAM(SRAM0, SRAM1)构成。SRAM0 连接 Cortex-M3 内核的 I-Code 总线或者 D-Code 总线。SRAM1 连接 Cortex-M3 内核的 System 总线。

- SRAM0:最多 16 KB
- SRAM1:最多 16 KB

多功能串口(最多 8 通道)

- 带 16 段 × 9 位 FIFO 的 4 通道(ch.0/1/3/4), 不带 FIFO 的 4 通道(ch.2/5/6/7)
- 可从以下选择定时器通道的工作模式。
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全双工双缓冲器
- 可选择奇偶校验的有/无
- 内置专用波特率发生器
- 外部时钟可用作串行时钟
- 硬件流控制:根据 CTS/RTS 自动控制数据收/发(仅限 ch.4)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

[CSIO]

- 全双工双缓冲器
- 内置专用波特率发生器
- 溢出错误检测功能

[LIN]

- 支持 LIN 协议 Rev.2.1
- 全双工双缓冲器
- 支持主控/从动模式
- 生成 LIN break field (可变为 13 ~ 16 位长)
- 生成 LIN break 分界符 (可变为 1 ~ 4 位长)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

[I²C]

- 支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

DMA 控制器(8 通道)

DMA 控制器为 CPU 配备了 DMA 专用的总线，可与 CPU 同时进行处理工作。

- 8 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间:32 位(4GB)
- 传输模式:整块传输/猝发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数:1 ~ 16
- 传输次数:1 ~ 65536

A/D 转换器(最多 26 通道)**[12 位 A/D 转换器]**

- 逐次比较型
- 搭载 2 个单元
- 转换时间:转换时间:0.8μs @ 5 V
- 可进行优先级转换(2 个优先级)
- 扫描转换模式
- 搭载存储转换数据的 FIFO (用于扫描转换:16 段; 用于优先级转换:4 段)

DA 转换器(最多 2 通道)

- R-2R 型
- 10 位分辨率

基本定时器(最多 8 通道)

可从以下选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

通用 I/O 口

本系列的引脚不用作外部总线或者外设功能时，可用作 I/O 口。另外，搭载的端口重定位功能可设定哪一个 I/O 口配置外设功能。

- 可上拉控制各个引脚
- 可直接读出引脚电平
- 具有端口重定位功能
- 最多 65 个高速 I/O 口@80pin Package
- 部分端口耐 5V
关于该引脚，详情参照 "引脚功能说明"和"I/O 电路类型"。

双定时器(32/16 位递减计数器)

双定时器由两个可编程的 32/16 位递减计数器构成。可从以下选择定时器通道的工作模式。

- 自由运行模式
- 周期模式(=重载模式)
- 单次模式

Quad 计数器 (QPRC : Quadrature Position/Revolution Counter) (最多 2 通道)

Quad 计数器(QPRC)用于测定位置编码器的位置。另外，还可以通过设定作为递增/递减计数器使用。

- 可设定 3 个外部事件输入引脚 AIN, BIN, ZIN 的检测沿
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

多功能定时器

多功能定时器由以下模块构成。

- 16 位自由运行定时器 × 3 通道/单元
- 输入捕捉 × 4 通道/单元
- 输出比较 × 6 通道/单元
- A/D 启动比较 × 2 通道/单元
- 波形发生器 × 3 通道/单元
- 16 位 PPG 定时器 × 3 通道/单元

使用以下功能可实现电机控制。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF(电机紧急停止)中断功能

实时时钟(RTC)

实时时钟可以计数 01 年 ~ 99 年的年/月/日/时/分/秒/周几。

- 有指定日期和时间的中断功能(年/月/日/时/分/秒/周几)。该功能可用来仅仅指定年/月/日/时/分。
- 设定时间后/设定时间时的定时器中断功能
- 继续进行时间计数可以重写时间
- 自动计算闰年

计时计数器

计时计数器可把芯片从睡眠、定时器模式中唤醒。
 间隔定时器: 使用最大 64s@副时钟:32.768 kHz

外部中断控制单元

- 外部中断输入引脚: 最多 23 个@80pin Package
- 不可屏蔽中断(NMI)输入引脚:1 个

看门狗定时器(2 通道)

达到超时值时, 看门狗定时器生成中断或复位。

本系列有 2 种不同的看门狗: "硬件"看门狗和"软件"看门狗。
 "硬件"看门狗定时器使用内置低速 CR 振荡器计时, 因此在 RTC 模式、停止模式、深层待机 RTC 模式、深层待机停止模式以外的任何低功耗模式下都可以工作。

CRC (Cyclic Redundancy Check)加速器

CRC 加速器进行软件处理负荷高的 CRC 计算, 以减轻数据接收及存储整合性确认的处理负荷。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

■ CCITT CRC16 Generator Polynomial:0x1021

■ IEEE-802.3 CRC32 Generator Polynomial:0x04C11DB7

时钟/复位

[时钟]

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- 主时钟 : 4 MHz ~ 48 MHz
- 副时钟 : 32.768 kHz
- 内部高速 CR 时钟 : 4 MHz
- 内部低速 CR 时钟 : 100 kHz
- 主 PLL 时钟

[复位]

- 自 INITX 引脚的复位请求
- 上电复位
- 软件复位
- 监视定时器复位
- 低压检测复位
- 时钟监视器复位

时钟监视功能(CSV : Clock Super Visor)

该功能根据 CR 振荡器生成的时钟来监视外部时钟的异常。

- 检测出外部振荡时钟故障(时钟停止)时, 复位有效。
- 检测出外部频率异常时, 中断或复位有效。

低压检测功能(LVD : Low Voltage Detect)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时，低压检测功能生成中断或者复位。

- LVD1: 使用中断报告错误
- LVD2: 自动复位操作

低功耗模式

有 6 种低功耗模式。

- 睡眠
- 定时器
- RTC
- 停止
- 深层待机 RTC (可选择 RAM 保持的有/无)
- 深层待机停止 (可选择 RAM 保持的有/无)

调试

串行线 JTAG 调试端口(SWJ-DP)

独特 ID

设定好 41 位芯片的固定值

电源

- 支持大范围电压:
VCC = 2.7V ~ 5.5V

目录

1. 产品阵容.....	7
2. 封装及产品型号.....	8
3. 引脚配置图.....	9
4. 引脚功能说明.....	15
5. I/O 电路类型.....	31
6. 芯片处理注意事项.....	38
6.1 设计上的注意事项.....	38
6.2 封装注意事项.....	39
6.3 使用环境注意事项.....	40
7. 芯片使用注意事项.....	41
8. 框图.....	43
9. 存储器容量.....	44
10. 存储器映射.....	44
11. 各 CPU 状态下的引脚状态.....	47
12. 电气特性.....	52
12.1 绝对最大额定值.....	52
12.2 推荐工作条件.....	54
12.3 直流特性.....	55
12.3.1 电流规格.....	55
12.3.2 引脚特性.....	58
12.4 交流特性.....	59
12.4.1 主时钟输入规格.....	59
12.4.2 副时钟输入规格.....	60
12.4.3 内置 CR 振荡规格.....	60
12.4.4 主 PLL 的使用条件（主时钟用作 PLL 的输入时钟）.....	61
12.4.5 主 PLL 的使用条件（内置高速 CR 时钟用作主 PLL 的输入时钟）.....	61
12.4.6 复位输入规格.....	62
12.4.7 上电复位时序.....	62
12.4.8 基本定时器输入时序.....	63
12.4.9 CSIO/UART 时序.....	64
12.4.10 外部输入时序.....	72
12.4.11 Quad 计数器时序.....	73
12.4.12 I ² C 时序.....	75
12.4.13 JTAG 时序.....	76
12.5 12 位 A/D 转换器.....	77
12.6 10 位 D/A 转换器.....	80
12.7 低压检测特性.....	81
12.7.1 低压检测复位.....	81
12.7.2 低压检测中断.....	82
12.8 闪存擦/写特性.....	83
12.8.1 擦/写时间.....	83
12.8.2 擦/写周期和数据保持时间.....	83
12.9 从低功耗模式下的返回时间.....	84
12.9.1 返回因数:中断/WKUP.....	84
12.9.2 返回因数:复位.....	86
13. 订购信息.....	88

14. 封装尺寸图 89

文档修改记录 97

1. 产品阵容

存储器容量

产品名称		CY9BF121K/L/M	CY9BF122K/L/M	CY9BF124K/L/M
片上闪存	主要区域	64 KB	128 KB	256 KB
	工作区域	32 KB	32 KB	32 KB
片上 SRAM	SRAM0	8 KB	8 KB	16 KB
	SRAM1	8 KB	8 KB	16 KB
	总计	16 KB	16 KB	32 KB

功能

产品名称			CY9BF121K CY9BF122K CY9BF124K	CY9BF121L CY9BF122L CY9BF124L	CY9BF121M CY9BF122M CY9BF124M
引脚数			48	64	80/96
CPU		频率	Cortex-M3		
			72 MHz		
电源电压范围			2.7 V ~ 5.5 V		
DMAC			8ch.		
多功能串行(UART/CSIO/LIN/I ² C)			4ch.(最多) ch.0/1/3:带 FIFO ch.5:不带 FIFO (ch.1/5 仅可使用 UART, LIN)	8ch.(最多) ch.0/1/3/4: 带 FIFO ch.2/5/6/7:不带 FIFO (ch.1 仅可使用 UART,LIN)	
基本定时器(PWC/重载定时器/PWM/PPG)			8ch.(最多)		
多功能定时器	A/D 启动比较	2ch.	1 unit		
	输入捕捉	4ch.*			
	自由运行定时器	3ch.			
	输出比较	6ch.			
	波形发生器	3ch.			
	PPG	3ch.			
Quad 计数器			1ch.	2ch.(最多)	
双定时器			1 unit		
实时时钟			1 unit		
计时计数器			1 unit		
CRC 加速器			支持		
监视定时器			1ch.(SW) + 1ch.(HW)		
外部中断			14 pins (最多) + NMI × 1	19pins (最多) + NMI × 1	23pins (最多) + NMI × 1
I/O 口			35 pins (最多)	50 pins (最多)	60 pins (最多)
12 位 A/D 转换器			14ch.(2 unit)	23ch.(2 unit)	26ch.(2 unit)
时钟异常检测功能(CSV)			支持		
低压检测功能(LVD)			2ch.		
内置 CR	高速		4 MHz		
	低速		100 kHz		
调试功能			SWJ-DP		
独特 ID			支持		

*:可使用的外部输入通道如下所示。

- ch.0 ~ ch.3 :CY9BF121M/F122M/F124M
- ch.0, ch.2, ch.3 :CY9BF121K/F122K/F124K, CY9BF121L/F122L/F124L

注意事项:受封装引脚数量的限制, 未配置各产品搭载的外设功能的全部信号。

需要某种功能时, 可使用 I/O 口的端口重定位功能进行再配置。

如欲了解有关内置 CR 的精确度, 请参考“[12 电气特性](#) [12.4 交流特性](#) [12.4.3 内置 CR 振荡规格](#)”。

2. 封装及产品型号

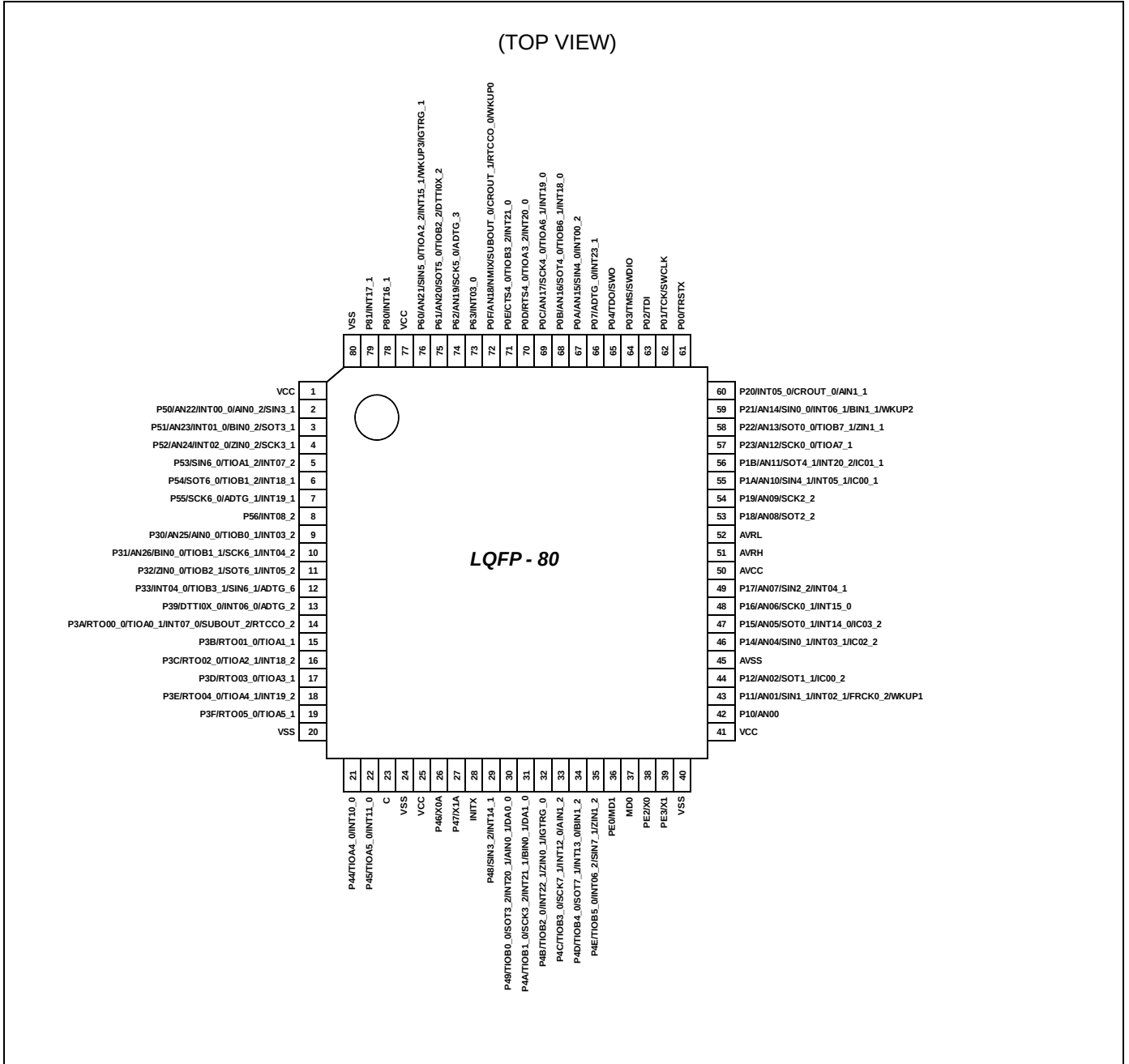
封装		产品型号	CY9BF121K CY9BF122K CY9BF124K	CY9BF121L CY9BF122L CY9BF124L	CY9BF121M CY9BF122M CY9BF124M
LQFP:	LQA048 (0.5mm 间距)		□	-	-
QFN:	VNA048 (0.5mm 间距)		□	-	-
LQFP:	LQD064 (0.5mm 间距)		-	□	-
LQFP:	LQG064 (0.65mm 间距)		-	□	-
QFP:	VNC064 (0.5mm 间距)		-	□	-
LQFP:	LQH080 (0.5mm 间距)		-	-	□
LQFP:	LQJ080 (0.65mm 间距)		-	-	□
BGA:	FDG096 (0.5mm 间距)		-	-	□

□:支持

注意事项:关于各封装，参照“[封装尺寸图](#)”。

3. 引脚配置图

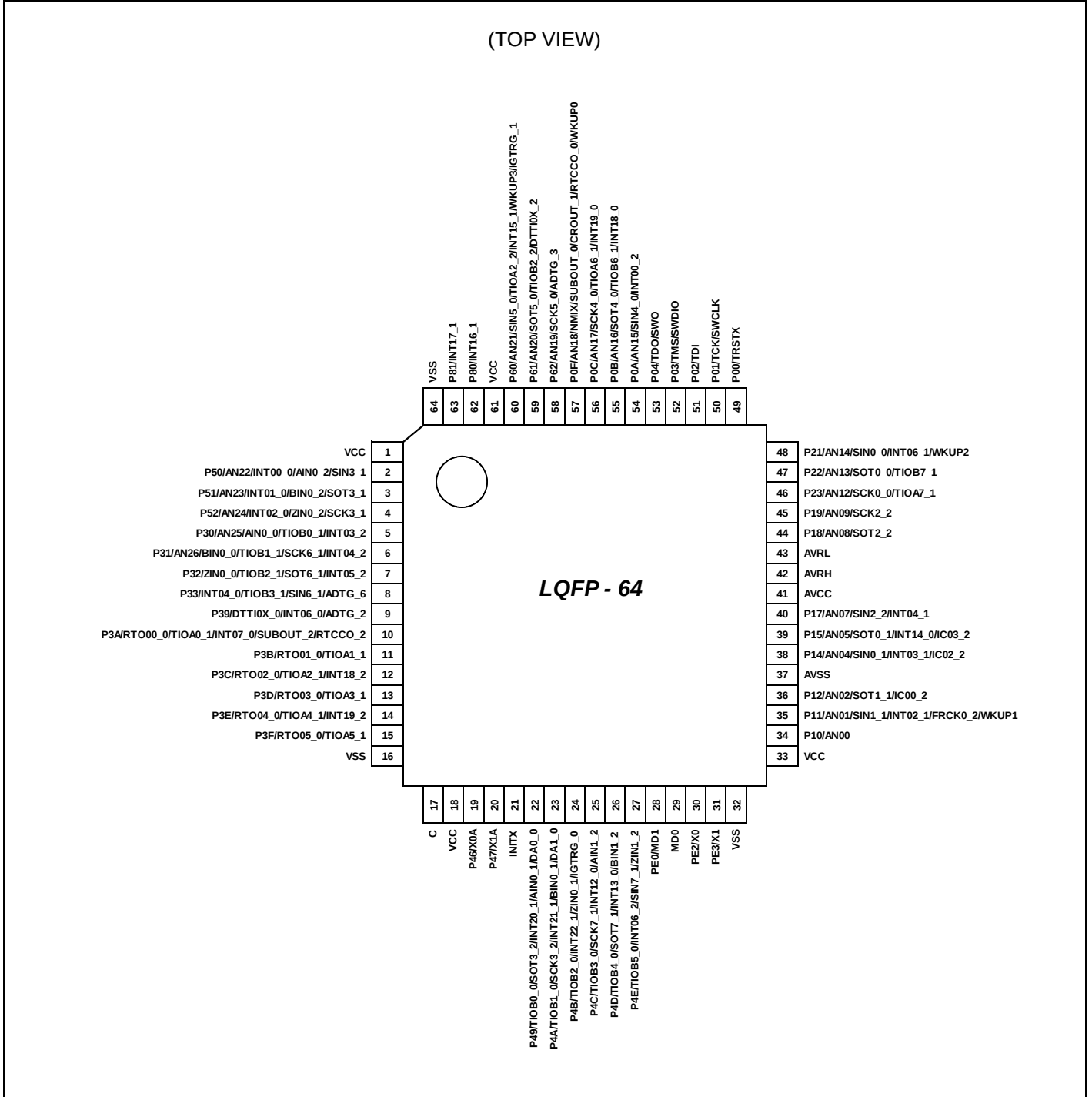
LQH080/LQJ080



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPCR)选择引脚。

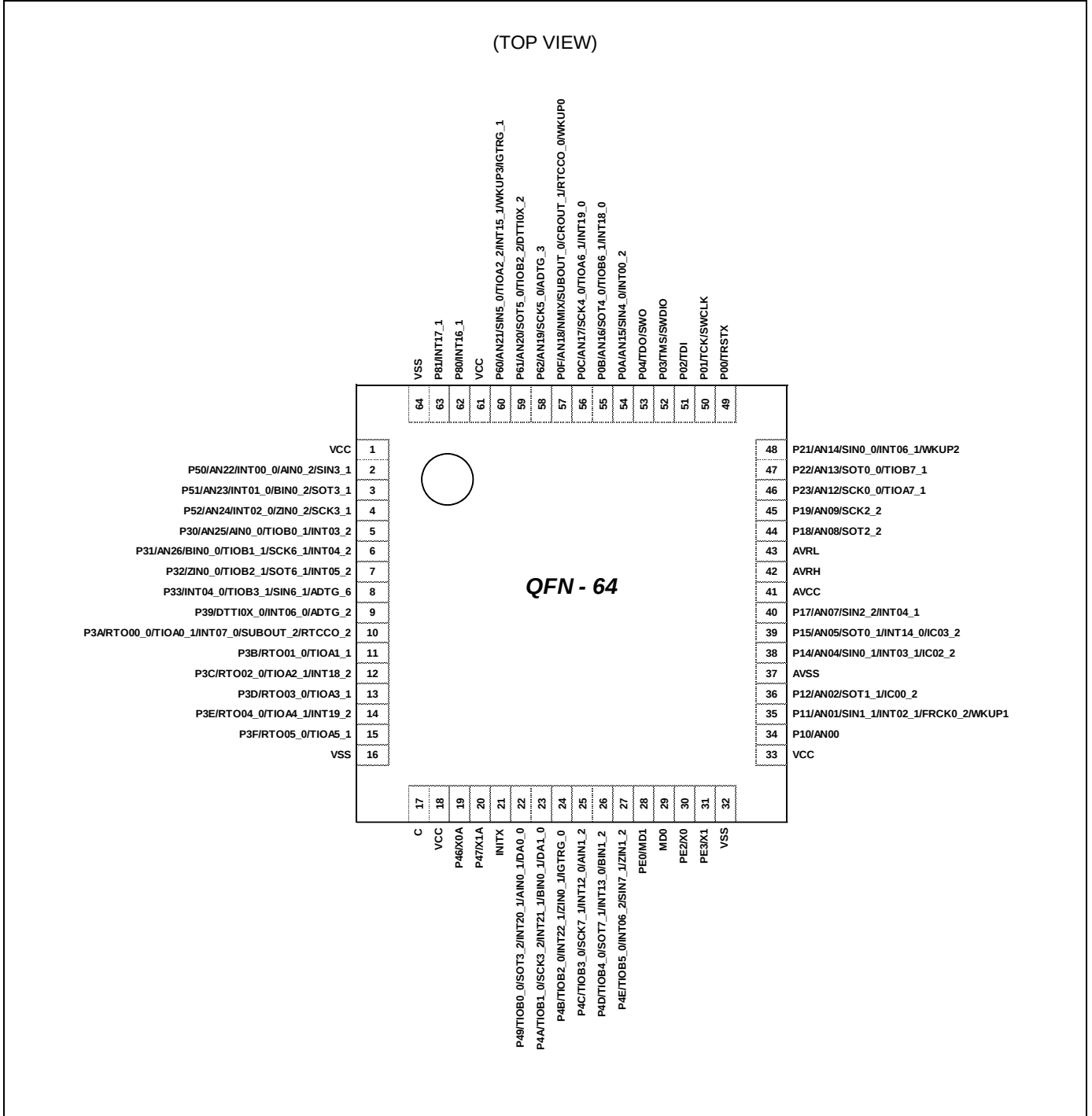
LQD064/LQG064



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

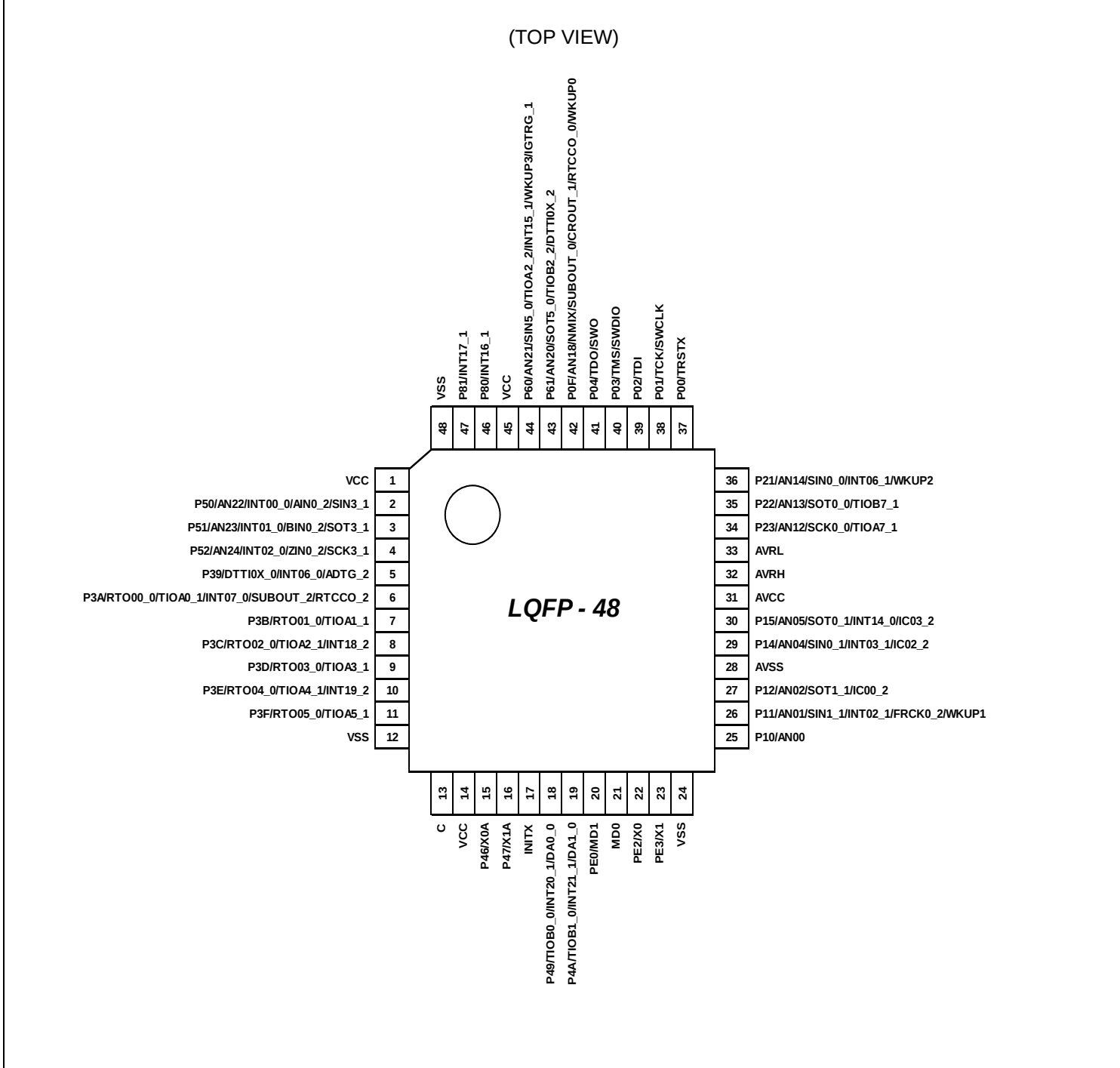
VNC064



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPPR)选择引脚。

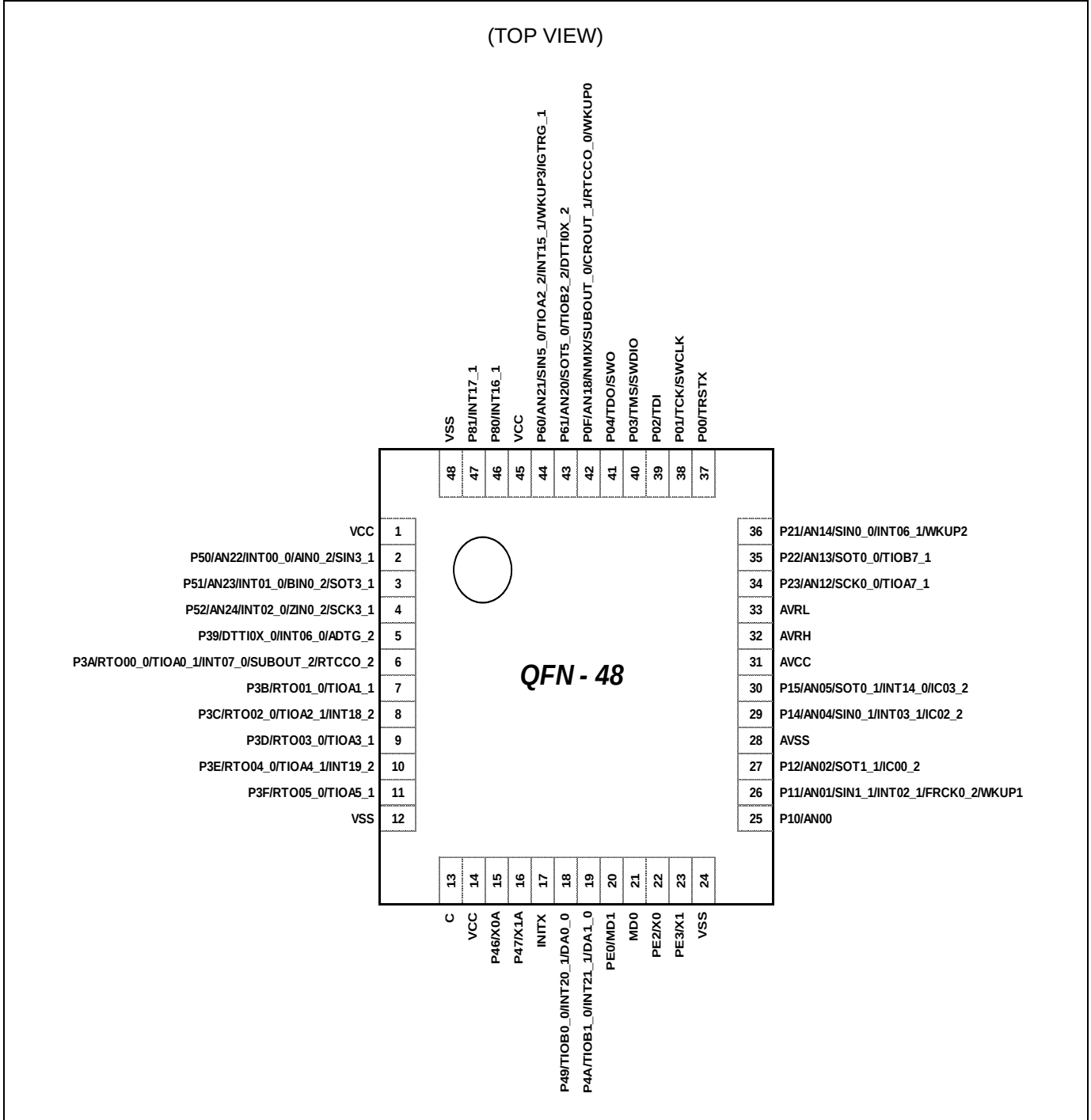
LQA048



注意事项:

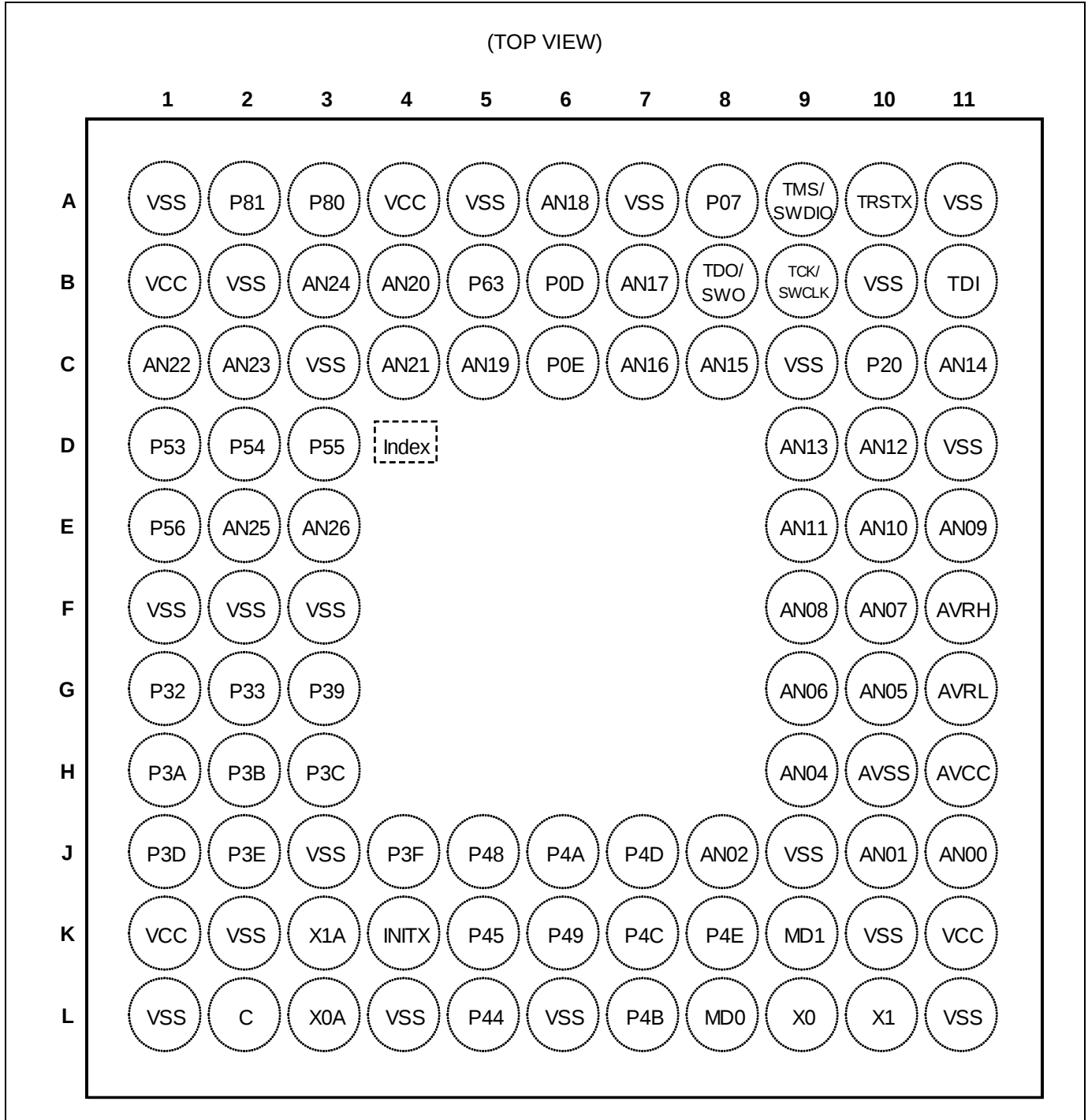
引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

VNA048



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

FDG096

注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

4. 引脚功能说明

按照引脚号

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
1	B1	1	1	VCC	-	
2	C1	2	2	P50	F	N
				INT00_0		
				AIN0_2		
				SIN3_1		
				AN22		
3	C2	3	3	P51	F	N
				INT01_0		
				BIN0_2		
				SOT3_1 (SDA3_1)		
				AN23		
4	B3	4	4	P52	F	N
				INT02_0		
				ZIN0_2		
				SCK3_1 (SCL3_1)		
				AN24		
5	D1	-	-	P53	E	L
				SIN6_0		
				TIOA1_2		
				INT07_2		
6	D2	-	-	P54	E	L
				SOT6_0 (SDA6_0)		
				TIOB1_2		
				INT18_1		
7	D3	-	-	P55	E	L
				SCK6_0 (SCL6_0)		
				ADTG_1		
				INT19_1		
8	E1	-	-	P56	E	L
				INT08_2		
9	E2	5	-	P30	F	N
				AIN0_0		
				TIOB0_1		
				INT03_2		
				AN25		
10	E3	6	-	P31	F	N
				BIN0_0		
				TIOB1_1		
				SCK6_1 (SCL6_1)		
				INT04_2		
				AN26		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
11	G1	7	-	P32	E	L
				ZIN0_0		
				TIOB2_1		
				SOT6_1 (SDA6_1)		
				INT05_2		
12	G2	8	-	P33	E	L
				INT04_0		
				TIOB3_1		
				SIN6_1		
				ADTG_6		
13	G3	9	5	P39	E	L
				DTTIOX_0		
				INT06_0		
				ADTG_2		
14	H1	10	6	P3A	G	L
				RTO00_0 (PPG00_0)		
				TIOA0_1		
				INT07_0		
				SUBOUT_2		
				RTCCO_2		
15	H2	11	7	P3B	G	K
				RTO01_0 (PPG00_0)		
				TIOA1_1		
16	H3	12	8	P3C	G	L
				RTO02_0 (PPG02_0)		
				TIOA2_1		
				INT18_2		
17	J1	13	9	P3D	G	K
				RTO03_0 (PPG02_0)		
				TIOA3_1		
18	J2	14	10	P3E	G	L
				RTO04_0 (PPG04_0)		
				TIOA4_1		
				INT19_2		
19	J4	15	11	P3F	G	K
				RTO05_0 (PPG04_0)		
				TIOA5_1		
20	L1	16	12	VSS	-	
21	L5	-	-	P44	G	L
				TIOA4_0		
22	K5	-	-	P45	G	L
				TIOA5_0		
				INT11_0		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
23	L2	17	13	C	-	
24	L4	-	-	VSS	-	
25	K1	18	14	VCC	-	
26	L3	19	15	P46	D	F
				X0A		
27	K3	20	16	P47	D	G
				X1A		
28	K4	21	17	INITX	B	C
29	J5	-	-	P48	E	L
				INT14_1		
				SIN3_2		
30	K6	22	18	P49	L	L
				TIOB0_0		
				INT20_1		
				DA0_0		
			-	SOT3_2 (SDA3_2)		
				AIN0_1		
31	J6	23	19	P4A	L	L
				TIOB1_0		
				INT21_1		
				DA1_0		
			-	SCK3_2 (SCL3_2)		
				BIN0_1		
32	L7	24	-	P4B	E	L
				TIOB2_0		
				INT22_1		
				IGTRG_0		
				ZIN0_1		
				P4C		
33	K7	25	-	TIOB3_0	I*	L
				SCK7_1 (SCL7_1)		
				INT12_0		
				AIN1_2		
				P4D		
				TIOB4_0		
34	J7	26	-	SOT7_1 (SDA7_1)	I*	L
				INT13_0		
				BIN1_2		
				P4E		
				TIOB5_0		
				INT06_2		
35	K8	27	-	SIN7_1	I*	L
				ZIN1_2		
				MD1		
36	K9	28	20	PE0	C	E
37	L8	29	21	MD0	K	D

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
38	L9	30	22	X0	A	A
				PE2		
39	L10	31	23	X1	A	B
				PE3		
40	L11	32	24	VSS	-	
41	K11	33	-	VCC	-	
42	J11	34	25	P10	F	M
				AN00		
43	J10	35	26	P11	F	N
				AN01		
				SIN1_1		
				INT02_1		
				FRCK0_2		
				WKUP1		
44	J8	36	27	P12	F	M
				AN02		
				SOT1_1 (SDA1_1)		
				IC00_2		
45	H10	37	28	AVSS	-	
46	H9	38	29	P14	F	N
				AN04		
				INT03_1		
				IC02_2		
				SIN0_1		
47	G10	39	30	P15	F	N
				AN05		
				IC03_2		
				SOT0_1 (SDA0_1)		
				INT14_0		
48	G9	-	-	P16	F	N
				AN06		
				SCK0_1 (SCL0_1)		
				INT15_0		
49	F10	40	-	P17	F	N
				AN07		
				SIN2_2		
				INT04_1		
50	H11	41	31	AVCC	-	
51	F11	42	32	AVRH	-	
52	G11	43	33	AVRL	-	
53	F9	44	-	P18	F	M
				AN08		
				SOT2_2 (SDA2_2)		
54	E11	45	-	P19	F	M
				AN09		
				SCK2_2 (SCL2_2)		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
55	E10	-	-	P1A	F	N
				AN10		
				SIN4_1		
				INT05_1		
				IC00_1		
56	E9	-	-	P1B	F	N
				AN11		
				SOT4_1 (SDA4_1)		
				IC01_1		
				INT20_2		
57	D10	46	34	P23	F	M
				SCK0_0 (SCL0_0)		
				TIOA7_1		
				AN12		
58	D9	47	35	P22	F	M
				SOT0_0 (SDA0_0)		
				TIOB7_1		
				AN13		
		-	-	ZIN1_1		
59	C11	48	36	P21	F	N
				SIN0_0		
				INT06_1		
				WKUP2		
				BIN1_1		
				AN14		
60	C10	-	-	P20	E	N
				INT05_0		
				CROUT_0		
				AIN1_1		
61	A10	49	37	P00	E	J
				TRSTX		
62	B9	50	38	P01	E	J
				TCK		
				SWCLK		
63	B11	51	39	P02	E	J
				TDI		
64	A9	52	40	P03	E	J
				TMS		
				SWDIO		
65	B8	53	41	P04	E	J
				TDO		
				SWO		
66	A8	-	-	P07	E	L
				ADTG_0		
				INT23_1		
67	C8	54	-	P0A	J*	N
				SIN4_0		
				INT00_2		
				AN15		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
68	C7	55	-	P0B	J*	N
				SOT4_0 (SDA4_0)		
				TIOB6_1		
				AN16		
				INT18_0		
69	B7	56	-	P0C	J*	N
				SCK4_0 (SCL4_0)		
				TIOA6_1		
				INT19_0		
				AN17		
70	B6	-	-	P0D	E	L
				RTS4_0		
				TIOA3_2		
				INT20_0		
71	C6	-	-	P0E	E	L
				CTS4_0		
				TIOB3_2		
				INT21_0		
72	A6	57	42	P0F	F	I
				NMIX		
				SUBOUT_0		
				CROUT_1		
				RTCCO_0		
				WKUP0		
				AN18		
73	B5	-	-	P63	E	L
				INT03_0		
74	C5	58	-	P62	F	M
				SCK5_0 (SCL5_0)		
				ADTG_3		
				AN19		
75	B4	59	43	P61	F	M
				SOT5_0 (SDA5_0)		
				TIOB2_2		
				DTTIOX_2		
				AN20		
76	C4	60	44	P60	J*	N
				SIN5_0		
				TIOA2_2		
				INT15_1		
				WKUP3		
				IGTRG_1		
				AN21		

引脚号				引脚名称	I/O 电路类型	引脚状态类型
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
77	A4	61	45	VCC	-	
78	A3	62	46	P80	H	H
				INT16_1		
79	A2	63	47	P81	H	H
				INT17_1		
80	A1	64	48	VSS	-	
-	A5, A7, A11, B2, B10, C3, C9, F1, F2, F3, J3, J9, K2, K10, L6	-	-	VSS	-	

*:耐 5V I/O

按照引脚功能

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
ADC	ADTG_0	A/D 转换器外部触发输入引脚	66	A8	-	-
	ADTG_1		7	D3	-	-
	ADTG_2		13	G3	9	5
	ADTG_3		74	C5	58	-
	ADTG_6		12	G2	8	-
	AN00	A/D 转换器模拟输入引脚。 ANxx 表示 ADC ch.xx。	42	J11	34	25
	AN01		43	J10	35	26
	AN02		44	J8	36	27
	AN04		46	H9	38	29
	AN05		47	G10	39	30
	AN06		48	G9	-	-
	AN07		49	F10	40	-
	AN08		53	F9	44	-
	AN09		54	E11	45	-
	AN10		55	E10	-	-
	AN11		56	E9	-	-
	AN12		57	D10	46	34
	AN13		58	D9	47	35
	AN14		59	C11	48	36
	AN15		67	C8	54	-
	AN16		68	C7	55	-
	AN17		69	B7	56	-
	AN18		72	A6	57	42
	AN19		74	C5	58	-
	AN20		75	B4	59	43
	AN21		76	C4	60	44
	AN22		2	C1	2	2
	AN23		3	C2	3	3
	AN24		4	B3	4	4
	AN25		9	E2	5	-
	AN26		10	E3	6	-
基本定时器 0	TIOA0_1	基本定时器 ch.0 的 TIOA 引脚	14	H1	10	6
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	30	K6	22	18
	TIOB0_1		9	E2	5	-
基本定时器 1	TIOA1_1	基本定时器 ch.1 的 TIOA 引脚	15	H2	11	7
	TIOA1_2		5	D1	-	-
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	31	J6	23	19
	TIOB1_1		10	E3	6	-
	TIOB1_2		6	D2	-	-
基本定时器 2	TIOA2_1	基本定时器 ch.2 的 TIOA 引脚	16	H3	12	8
	TIOA2_2		76	C4	60	44
	TIOB2_0	基本定时器 ch.2 的 TIOB 引脚	32	L7	24	-
	TIOB2_1		11	G1	7	-
	TIOB2_2		75	B4	59	43
基本定时器 3	TIOA3_1	基本定时器 ch.3 的 TIOA 引脚	17	J1	13	9
	TIOA3_2		70	B6	-	-
	TIOB3_0	基本定时器 ch.3 的 TIOB 引脚	33	K7	25	-
	TIOB3_1		12	G2	8	-
	TIOB3_2		71	C6	-	-
基本定时器 4	TIOA4_0	基本定时器 ch.4 的 TIOA 引脚	21	L5	-	-
	TIOA4_1		18	J2	14	10
	TIOB4_0	基本定时器 ch.4 的 TIOB 引脚	34	J7	26	-

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
基本定时器 5	TIOA5_0	基本定时器 ch.5 的 TIOA 引脚	22	K5	-	-
	TIOA5_1		19	J4	15	11
	TIOB5_0	基本定时器 ch.5 的 TIOB 引脚	35	K8	27	-
基本定时器 6	TIOA6_1	基本定时器 ch.6 的 TIOA 引脚	69	B7	56	-
	TIOB6_1	基本定时器 ch.6 的 TIOB 引脚	68	C7	55	-
基本定时器 7	TIOA7_1	基本定时器 ch.7 的 TIOA 引脚	57	D10	46	34
	TIOB7_1	基本定时器 ch.7 的 TIOB 引脚	58	D9	47	35
调试	SWCLK	串行线调试接口时钟输入	62	B9	50	38
	SWDIO	串行线调试接口数据 I/O	64	A9	52	40
	SWO	串行线浏览器输出	65	B8	53	41
	TCK	J-TAG 测试时钟输入	62	B9	50	38
	TDI	J-TAG 测试数据输入	63	B11	51	39
	TDO	J-TAG 调试数据输出	65	B8	53	41
	TMS	J-TAG 测试模式状态 I/O	64	A9	52	40
	TRSTX	J-TAG 测试复位输入引脚	61	A10	49	37

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
外部 中断	INT00_0	外部中断请求 00 的输入引脚	2	C1	2	2
	INT00_2		67	C8	54	-
	INT01_0	外部中断请求 01 的输入引脚	3	C2	3	3
	INT02_0	外部中断请求 02 的输入引脚	4	B3	4	4
	INT02_1		43	J10	35	26
	INT03_0	外部中断请求 03 的输入引脚	73	B5	-	-
	INT03_1		46	H9	38	29
	INT03_2		9	E2	5	-
	INT04_0	外部中断请求 04 的输入引脚	12	G2	8	-
	INT04_1		49	F10	40	-
	INT04_2		10	E3	6	-
	INT05_0	外部中断请求 05 的输入引脚	60	P20	-	-
	INT05_1		55	E10	-	-
	INT05_2		11	G1	7	-
	INT06_0	外部中断请求 06 的输入引脚	13	G3	9	5
	INT06_1		59	C11	48	36
	INT06_2		35	K8	27	-
	INT07_0	外部中断请求 07 的输入引脚	14	H1	10	6
	INT07_2		5	D1	-	-
	INT08_2	外部中断请求 08 的输入引脚	8	E1	-	-
	INT10_0	外部中断请求 10 的输入引脚	21	L5	-	-
	INT11_0	外部中断请求 11 的输入引脚	22	K5	-	-
	INT12_0	外部中断请求 12 的输入引脚	33	K7	25	-
	INT13_0	外部中断请求 13 的输入引脚	34	J7	26	-
	INT14_0	外部中断请求 14 的输入引脚	47	G10	39	30
	INT14_1		29	J5	-	-
	INT15_0	外部中断请求 15 的输入引脚	48	G9	-	-
	INT15_1		76	C4	60	44
	INT16_1	外部中断请求 16 的输入引脚	78	A3	62	46
	INT17_1	外部中断请求 17 的输入引脚	79	A2	63	47
	INT18_0	外部中断请求 18 的输入引脚	68	C7	55	-
	INT18_1		6	D2	-	-
	INT18_2		16	H3	12	8
	INT19_0	外部中断请求 19 的输入引脚	59	C11	56	-
	INT19_1		7	D3	-	-
	INT19_2		18	J2	14	10
	INT20_0	外部中断请求 20 的输入引脚	70	B6	-	-
	INT20_1		30	K6	22	18
	INT20_2		56	E9	-	-
	INT21_0	外部中断请求 21 的输入引脚	71	C6	-	-
	INT21_1		31	J6	23	19
	INT22_1	外部中断请求 22 的输入引脚	32	L7	24	-
	INT23_1	外部中断请求 23 的输入引脚	66	A8	-	-
	NMIX	不可屏蔽中断输入	72	A6	57	42

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
GPIO	P00	通用 I/O 口 0	61	A10	49	37
	P01		62	B9	50	38
	P02		63	B11	51	39
	P03		64	A9	52	40
	P04		65	B8	53	41
	P07		66	A8	-	-
	P0A		67	C8	54	-
	P0B		68	C7	55	-
	P0C		69	B7	56	-
	P0D		70	B6	-	-
	P0E		71	C6	-	-
	P0F		72	A6	57	42
	P10	通用 I/O 口 1	42	J11	34	25
	P11		43	J10	35	26
	P12		44	J8	36	27
	P14		46	H9	38	29
	P15		47	G10	39	30
	P16		48	G9	-	-
	P17		49	F10	40	-
	P18		53	F9	44	-
	P19		54	E11	45	-
	P1A		55	E10	-	-
	P1B		56	E9	-	-
	P20	通用 I/O 口 2	60	C10	-	-
	P21		59	C11	48	36
	P22		58	D9	47	35
	P23		57	D10	46	34
	P30	通用 I/O 口 3	9	E2	5	-
	P31		10	E3	6	-
	P32		11	G1	7	-
	P33		12	G2	8	-
	P39		13	G3	9	5
	P3A		14	H1	10	6
	P3B		15	H2	11	7
	P3C		16	H3	12	8
	P3D		17	J1	13	9
	P3E		18	J2	14	10
	P3F		19	J4	15	11

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
GPIO	P44	通用 I/O 口 4	21	L5	-	-
	P45		22	K5	-	-
	P46		26	L3	19	15
	P47		27	K3	20	16
	P48		29	J5	-	-
	P49		30	K6	22	18
	P4A		31	J6	23	19
	P4B		32	L7	24	-
	P4C		33	K7	25	-
	P4D		34	J7	26	-
	P4E		35	K8	27	-
	P50	通用 I/O 口 5	2	C1	2	2
	P51		3	C2	3	3
	P52		4	B3	4	4
	P53		5	D1	-	-
	P54		6	D2	-	-
	P55		7	D3	-	-
	P56		8	E1	-	-
	P60	通用 I/O 口 6	76	C4	60	44
	P61		75	B4	59	43
	P62		74	C5	58	-
	P63		73	B5	-	-
	P80	通用 I/O 口 8	78	A3	62	46
	P81		79	A2	63	47
	PE0	通用 I/O 口 E	36	K9	28	20
	PE2		38	L9	30	22
	PE3		39	L10	31	23
多功能串口 0	SIN0_0	多功能串口 ch.0 的输入引脚	59	C11	48	36
	SIN0_1		46	H9	38	29
	SOT0_0 (SDA0_0)	多功能串口 ch.0 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)使用 时, 可用作 SOT0; 充当 I ² C 引脚(工作模式 4)时, 可用作 SDA0。	58	D9	47	35
	SOT0_1 (SDA0_1)		47	G10	39	30
	SCK0_0 (SCL0_0)	多功能串口 ch.0 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)使用时, 可用作 SCK0; 充当 I ² C 引脚(工作模式 4)使用时, 可用作 SCL0。	57	D10	46	34
	SCK0_1 (SCL0_1)		48	G9	-	-
多功能串口 1	SIN1_1	多功能串口 ch.1 的输入引脚	43	J10	35	26
	SOT1_1 (SDA1_1)	多功能串口 ch.1 的输出引脚。 UART/LIN 引脚(工作模式 0,1,3)使用时, 可用作 SOT1。	44	J8	36	27
多功能串口 2	SIN2_2	多功能串口 ch.2 的输入引脚	49	F10	40	-
	SOT2_2 (SDA2_2)	多功能串口 ch.2 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)使用 时, 可用作 SOT2; 充当 I ² C 引脚(工作模式 4)时, 可用作 SDA2。	53	F9	44	-
	SCK2_2 (SCL2_2)	多功能串口 ch.2 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK2; 充 当 I ² C 引脚(工作模式 4), 可用作 SCL2。	54	E11	45	-

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
多功能串口 3	SIN3_1	多功能串口 ch.3 的输入引脚	2	C1	2	2
	SIN3_2		29	J5	-	-
	SOT3_1 (SDA3_1)	多功能串口 ch.3 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)使用时，可用作 SOT3；充当 I ² C 引脚(工作模式 4)使用时，可用作 SDA3。	3	C2	3	3
	SOT3_2 (SDA3_2)		30	K6	-	-
	SCK3_1 (SCL3_1)	多功能串口 ch.3 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)使用时，可用作 SCK3； 充当 I ² C 引脚(工作模式 4)使用时，可用作 SCL3。	4	B3	4	4
	SCK3_2 (SCL3_2)		31	J6	-	-
多功能串口 4	SIN4_0	多功能串口 ch.4 的输入引脚	67	C8	54	-
	SIN4_1		55	E10	-	-
	SOT4_0 (SDA4_0)	多功能串口 ch.4 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)使用时，可用作 SOT4；充当 I ² C 引脚(工作模式 4)使用时，可用作 SDA4。	68	C7	55	-
	SOT4_1 (SDA4_1)		56	E9	-	-
	SCK4_0 (SCL4_0)	多功能串口 ch.4 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)使用时，可用作 SCK4； 充当 I ² C 引脚(工作模式 4)使用时，可用作 SCL4。	69	B7	56	-
	RTS4_0	多功能串口 ch.4 的 RTS 输出引脚	70	B6	-	-
	CTS4_0	多功能串口 ch.4 的 CTS 输入引脚	71	C6	-	-
多功能串口 5	SIN5_0	多功能串口 ch.5 的输入引脚	76	C4	60	44
	SOT5_0 (SDA5_0)	多功能串口 ch.5 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)使用时，可用作 SOT5；充当 I ² C 引脚(工作模式 4)使用时，可用作 SDA5。	75	B4	59	43
	SCK5_0 (SCL5_0)	多功能串口 ch.5 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)使用时，可用作 SCK5； 充当 I ² C 引脚(工作模式 4)使用时，可用作 SCL5。	74	C5	58	-

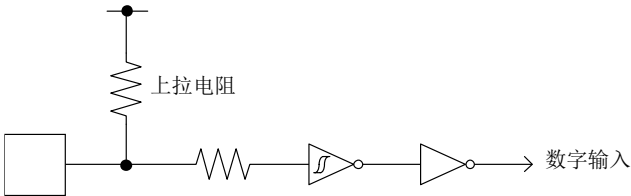
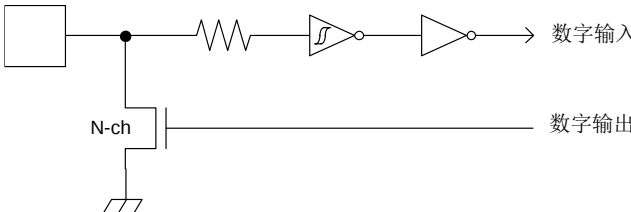
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
多功能串口 6	SIN6_0	多功能串口 ch.6 的输入引脚	5	D1	-	-
	SIN6_1		12	G2	8	-
	SOT6_0 (SDA6_0)	多功能串口 ch.6 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 使用时, 可用作 SOT6; 充当 I ² C 引脚(工作模式 4)使用时, 可用作 SDA6。	6	D2	-	-
	SOT6_1 (SDA6_1)		11	G1	7	-
	SCK6_0 (SCL6_0)	多功能串口 ch.6 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2) 使用时, 可用作 SCK6; 充当 I ² C 引脚(工作模式 4)使用时, 可用作 SCL6。	7	D3	-	-
	SCK6_1 (SCL6_1)		10	E3	6	-
多功能串口 7	SIN7_1	多功能串口 ch.7 的输入引脚	35	K8	27	-
	SOT7_1 (SDA7_1)	多功能串口 ch.7 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 使用时, 可用作 SOT7; 充当 I ² C 引脚(工作模式 4)使用时, 可用作 SDA7。	34	J7	26	-
	SCK7_1 (SCL7_1)	多功能串口 ch.7 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2) 使用时, 可用作 SCK7; 充当 I ² C 引脚(工作模式 4)使用时, 可用作 SCL7。	33	K7	25	-

引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
多功能定时器 0	DTTI0X_0	控制多功能定时器 0 的 RTO00 ~ RTO05 输出的波形发生器的输入信号	13	G3	9	5
	DTTI0X_2		75	B4	59	43
	FRCK0_2	16 位自由运行定时器 ch.0 外部时钟输入引脚	43	J10	35	26
	IC00_1	多功能定时器 0 的 16 位输入捕捉输入引脚。 ICxx 表示通道号。	55	E10	-	-
	IC00_2		44	J8	36	27
	IC01_1		56	E9	-	-
	IC02_2		46	H9	38	29
	IC03_2		47	G10	39	30
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG00。	14	H1	10	6
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG00。	15	H2	11	7
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG02。	16	H3	12	8
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG02。	17	J1	13	9
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG04。	18	J2	14	10
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时, 可用作 PPG04。	19	J4	15	11
	IGTRG_0	PPG IGBT 模式外部触发输入引脚	32	L7	24	-
	IGTRG_1		76	C4	60	44
Quad 计数器 0	AIN0_0	QPRC ch.0 的 AIN 输入引脚	9	E2	5	-
	AIN0_1		30	K6	22	-
	AIN0_2		2	C1	2	2
	BIN0_0	QPRC ch.0 的 BIN 输入引脚	10	E3	6	-
	BIN0_1		31	J6	23	-
	BIN0_2		3	C2	3	3
	ZIN0_0	QPRC ch.0 的 ZIN 输入引脚	11	G1	7	-
	ZIN0_1		32	L7	24	-
	ZIN0_2		4	B3	4	4
Quad 计数器 1	AIN1_1	QPRC ch.1 的 AIN 输入引脚	60	C10	-	-
	AIN1_2		33	K7	25	-
	BIN1_1	QPRC ch.1 的 BIN 输入引脚	59	C11	-	-
	BIN1_2		34	J7	26	-
	ZIN1_1	QPRC ch.1 的 ZIN 输入引脚	58	D9	-	-
	ZIN1_2		35	K8	27	-

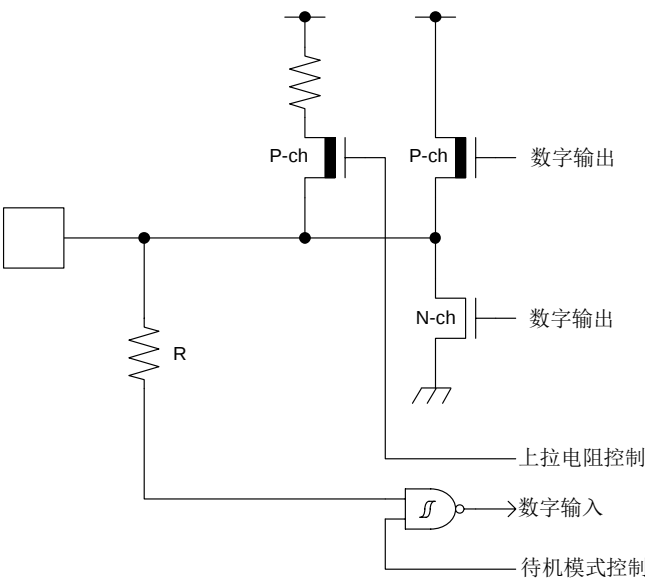
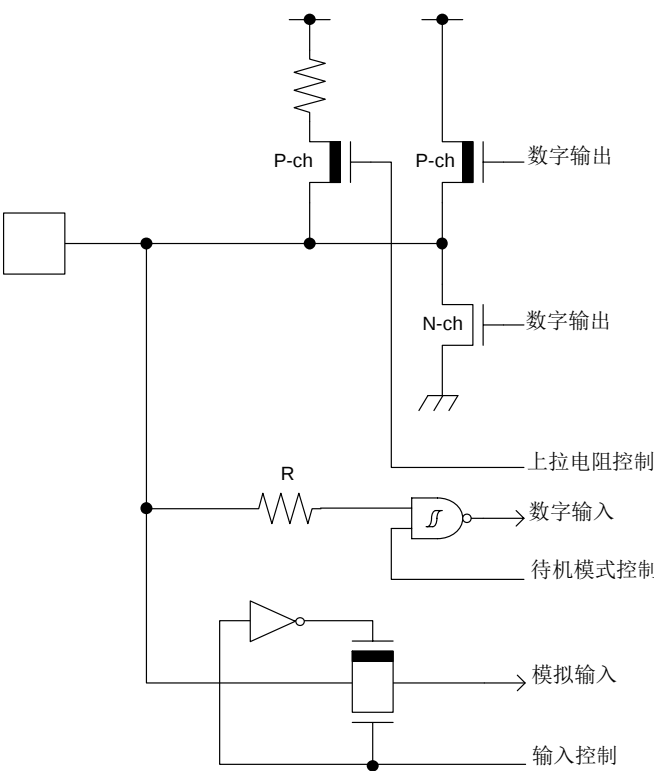
引脚功能	引脚名称	功能说明	引脚号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
实时时钟	RTCCO_0	实时时钟的 0.5 秒脉冲输出引脚	72	A6	57	42
	RTCCO_2		14	H1	10	6
	SUBOUT_0	副时钟输出引脚	72	A6	57	42
	SUBOUT_2		14	H1	10	6
低功耗模式	WKUP0	深层待机模式返回信号输入引脚 0	72	A6	57	42
	WKUP1	深层待机模式返回信号输入引脚 1	43	J10	35	26
	WKUP2	深层待机模式返回信号输入引脚 2	59	C11	48	36
	WKUP3	深层待机模式返回信号输入引脚 3	76	C4	60	44
DAC	DA0	D/A 转换器 ch.0 的模拟输出引脚	30	K6	22	18
	DA1	D/A 转换器 ch.1 的模拟输出引脚	31	J6	23	19
RESET	INITX	外部复位输入引脚。 INITX="L"时, 复位有效。	28	K4	21	17
Mode	MD0	模式 0 引脚。 正常工作时, 须输入 MD0="L"。对闪存进行串行编程时, 须输入 MD0="H"。	37	L8	29	21
	MD1	模式 1 引脚。 闪存串行写入时候, 须输入 MD1="L"。	36	K9	28	20
POWER	VCC	电源引脚	1	B1	1	1
	VCC	电源引脚	25	K1	18	14
	VCC	电源引脚	41	K11	33	-
	VCC	电源引脚	77	A4	61	45
GND	VSS	GND 引脚	-	F1	-	-
	VSS	GND 引脚	-	F2	-	-
	VSS	GND 引脚	-	F3	-	-
	VSS	GND 引脚	-	B2	-	-
	VSS	GND 引脚	20	L1	16	12
	VSS	GND 引脚	-	K2	-	-
	VSS	GND 引脚	-	J3	-	-
	VSS	GND 引脚	-	L6	-	-
	VSS	GND 引脚	24	L4	-	-
	VSS	GND 引脚	40	L11	32	24
	VSS	GND 引脚	-	K10	-	-
	VSS	GND 引脚	-	J9	-	-
	VSS	GND 引脚	-	B10	-	-
	VSS	GND 引脚	-	C9	-	-
	VSS	GND 引脚	-	D11	-	-
	VSS	GND 引脚	-	A11	-	-
	VSS	GND 引脚	-	A7	-	-
	VSS	GND 引脚	-	C3	-	-
	VSS	GND 引脚	-	A5	-	-
	VSS	GND 引脚	80	A1	64	48
CLOCK	X0	主时钟(振荡)输入引脚	38	L9	30	22
	X0A	副时钟(振荡)输入引脚	26	L3	19	15
	X1	主时钟(振荡) I/O 引脚	39	L10	31	23
	X1A	副时钟(振荡) I/O 引脚	27	K3	20	16
	CROUT_0	高速内置 CR 振荡时钟输出端口	60	C10	-	-
	CROUT_1		72	A6	57	42
Analog POWER	AVCC	A/D 转换器, D/A 转换器的模拟电源引脚	50	H11	41	31
	AVRH	A/D 转换器的模拟基准电压输入引脚	51	F11	42	32
Analog GND	AVSS	A/D 转换器, D/A 转换器的 GND 引脚	45	H10	37	28
	AVRL	A/D 转换器的模拟基准电压输入引脚	52	G11	43	33
C 引脚	C	电源稳定电容引脚	23	L2	17	13

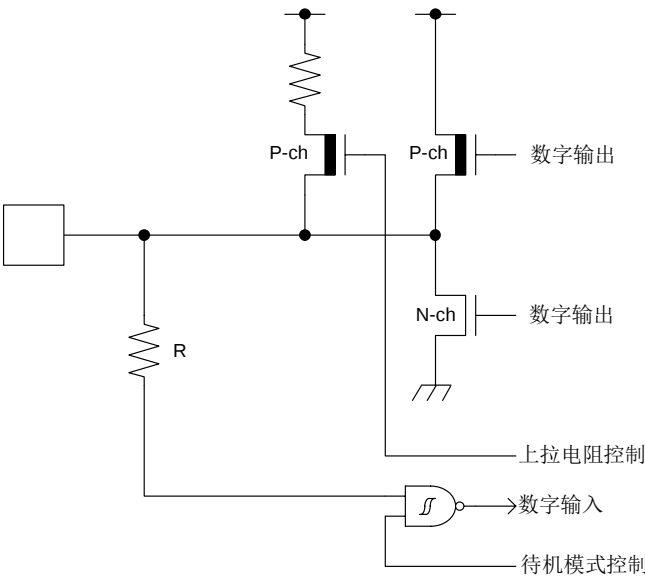
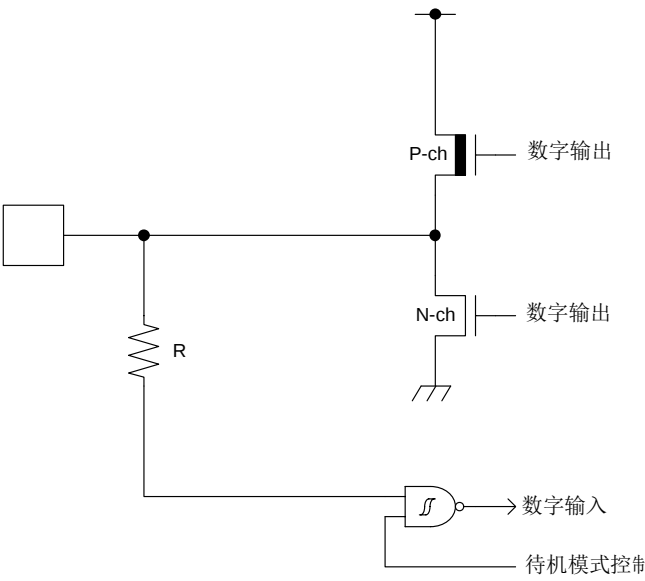
5. I/O 电路类型

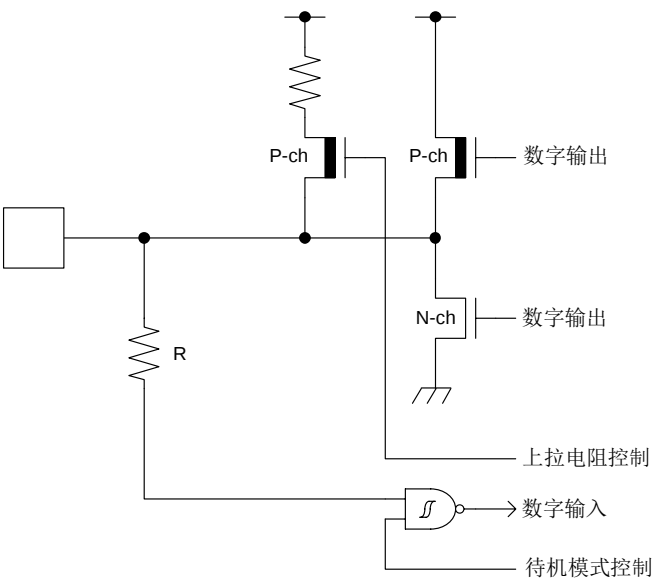
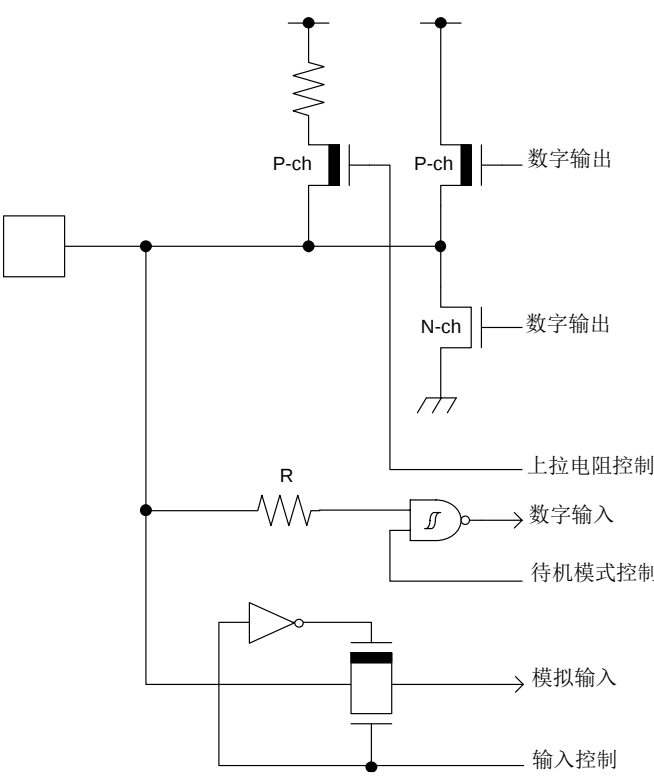
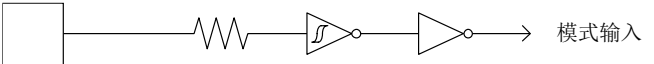
类型	电路	备注
A	The diagram illustrates the internal circuitry for I/O type A, featuring two channels labeled X1A and X0A. Each channel includes a pull-up resistor (上拉电阻) connected to a P-channel MOSFET (P-ch). The gates of these MOSFETs are controlled by digital outputs (数字输出). The drains of the P-ch MOSFETs are connected to the input/output pins. The sources of the P-ch MOSFETs are connected to the gates of N-channel MOSFETs (N-ch), which are connected to ground. The gates of the N-ch MOSFETs are controlled by digital outputs (数字输出). The drains of the N-ch MOSFETs are connected to the input/output pins. The circuit also includes a feedback resistor (反馈电阻) and a resistor R. Logic gates, including an AND gate and an OR gate, are used for control signals. The circuit is designed to support both oscillator and GPIO functions.	可切换主振荡/GPIO 选择主振荡功能时 • 振荡反馈电阻:约 1 MΩ • 带待机控制 选择 GPIO 功能时 • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

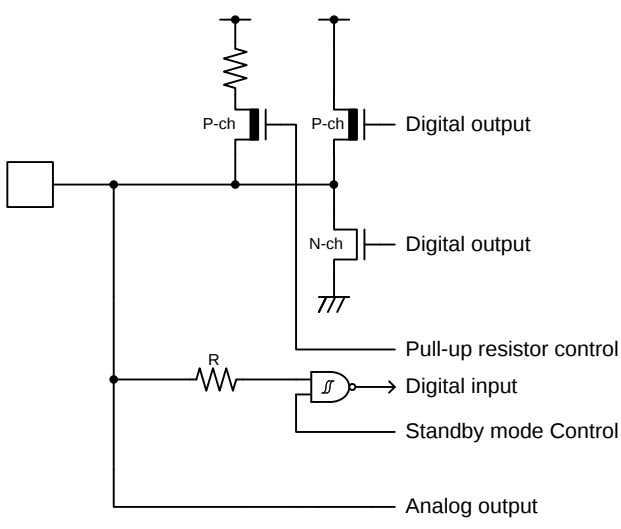
类型	电路	备注
B		• CMOS 电平迟滞输入 • 上拉电阻:约 50 kΩ
C		• 开漏输出 • CMOS 电平迟滞输入

类型	电路	备注
D	上拉电阻 P-ch 数字输出 数字输出 上拉电阻控制 数字输入 待机模式控制 时钟输入 反馈电阻 待机模式控制 数字输入 待机模式控制 上拉电阻 P-ch 数字输出 数字输出 上拉电阻控制	可切换副振荡/GPIO 选择副振荡功能时 • 振荡反馈电阻:约 5 MΩ • 带待机控制 选择 GPIO 功能时 • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • I_{OH}= -4 mA, I_{OL}= 4 mA

类型	电路	备注
E		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ • 用作 I²C 引脚时, 数字输出 P-ch 晶体管始终关闭。 • +B 输入可用
F		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ • 用作 I²C 引脚时, 数字输出 P-ch 晶体管始终关闭。 • +B 输入可用

类型	电路	备注
G		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -12\text{ mA}$, $I_{OL} = 12\text{ mA}$ • +B 输入可用
H		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带待机控制 • $I_{OH} = -18\text{ mA}$, $I_{OL} = 16.5\text{ mA}$

类型	电路	备注
I		• CMOS 电平输出 • CMOS 电平迟滞输入 • 耐 5 V • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ • 可控制 PZR 寄存器 • 用作 I²C 引脚时, 数字输出 P-ch 晶体管始终关闭。
J		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输入 • 耐 5 V • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ • 可控制 PZR 寄存器 • 用作 I²C 引脚时, 数字输出 P-ch 晶体管始终关闭。
K		• CMOS 电平迟滞输入

类型	电路	备注
L		• CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输出 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50 kΩ • $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$

6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。本节说明为了提高产品可靠性,使用半导体芯片时需要注意和考虑的事项。

6.1 设计上的注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

遵守最大绝对额定值

对半导体芯片施加过多负荷(电压、电流、温度等),可能会损坏半导体芯片。该等负荷的限度为最大绝对额定值。使用半导体芯片时,不可超过任何一项最大绝对额定值。

遵守推荐工作条件

推荐工作条件为保证半导体芯片正常工作的条件。电气特性的额定值全部符合该推荐工作条件。

请在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性。

本公司对使用本资料没有记载的项目、使用条件和逻辑组合,不提供任何保证。用户如欲在未记载的条件下使用时,请务必事先与销售部门联系。

引脚的处置与保护

半导体芯片上有电源引脚和各种 I/O 引脚。对待这些引脚必须注意以下事项。

1. 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部,在极端情况下甚至会损坏芯片。设计产品时,请防止产生过电压、过电流。

2. 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大电流。长时间保持这种连接状态会损坏芯片,因此不要进行此类连接。

3. 未使用输入引脚的处置

在悬空状态下使用高阻抗电平的输入引脚时,可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

锁存

半导体芯片由在电路板上形成的 P 型区和 N 型区构成。从外部施加异常电压时,内部寄生 PNP 接合点(晶闸管结构)导通后,超过数百 mA 的大电流可能会流至电源引脚。这现象叫锁存。

注意:发生锁存不仅降低芯片的可靠性,还有引起发热、冒烟和起火的危险。为避免以上现象发生,应该注意以下几点:

1. 不可向引脚施加超过最大额定的电压。注意异常噪声和电涌等。
2. 注意上电的先后顺序,切勿让异常电流流入。

遵守安全法规和标准

世界各国制定了诸如安全和电磁干扰等规章制度和标准。客户在设计产品时,请遵守这些规章制度和标准。

故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施,保证即使在设备发生故障的情况下,也不会造成人身伤害、火灾和社会损失。

芯片使用注意事项

Cypress 半导体器件旨在用于标准应用（计算机、办公自动化和其它办公设备、工业、通信和测量设备、个人或家用设备等）。

注意:如果客户考虑把我们的产品用于特殊的应用中, 发生故障或不正常运行可能直接危及生命安全或导致人身伤害或财产损失, 或者是在需要极高可靠性的场合（比如航空航天系统、原子能控制、海底中继器、车辆操作控制、医用维系生命设备等), 请在使用前咨询我们的销售代表。本公司不对未经事前同意进行此类使用造成的损失负责。

6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装, 仅符合本公司推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情, 请咨询本公司的销售部。

直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接: 铅插入印刷电路板的通孔后, 一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时, 超过最大保存温度额定的热应力导入到铅上。请在符合 Cypress 推荐的工作条件下进行封装。

使用插座封装方法: 插座接点的表面处理和 IC 的铅表面处理不同时, 经过较长的时间后有可能发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。

表贴型

与直插型封装比较, 表贴型封装的铅细薄, 容易弯曲变形。此外, 伴随着封装的多脚化, 引脚间距变得狭窄, 也容易发生引脚变形产生的开路不合格或桥焊引起的短路,

因此必须采用合适的封装技术。Cypress 推荐回流焊方法, 并已按照产品实施封装条件的等级分类。请按照 Cypress 推荐的等级分类进行封装。

无铅封装

注意:使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时, 请注意有时会发生因使用状况而引起的接合强度下降现象。

半导体芯片保管

塑料封装使用树脂材料, 放置在自然环境下容易吸湿。若在安装时加热吸湿后的封装可能会发生因界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点:

1. 保管场所的气温急剧变化会造成产品表面结露。应该避开此类环境, 在温度变化较小的场所保管产品。
2. 本公司推荐使用干燥箱保管产品。保管时相对湿度应低于 70% RH, 温度为 5°C ~ 30°C。打开干燥的封装时, 推荐湿度为 40% ~ 70% RH。
3. Cypress 的半导体芯片使用防潮性高的铝质网状包装袋, 并使用硅胶作为干燥剂。请将半导体芯片放入铝质网袋密封保管。
4. 请避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时, 请在 Cypress 推荐的条件下进行。

条件:125°C/24 小时

静电

静电容易破坏半导体芯片，请注意以下几点：

1. 请将工作环境的相对湿度设定在 40% ~ 70% RH。必要时请考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备必须接地。
3. 为防止人体携带静电，请使用高电阻 (1 MΩ左右)将戒指或手镯接地，身穿导电性能好的衣服鞋子，地面铺设导电垫等，把带电电荷减至最小。
4. 请将夹具及计量类仪表仪器接地或者进行防静电处理。
5. 收纳组装完成后的印刷板时，请避免使用容易带电的材料，如泡沫塑料等。

6.3 使用环境注意事项

半导体芯片的可靠性也取决于前述的外围温度及环境条件。

使用时请注意以下几点：

1. 湿度环境
长期在高湿度环境下使用芯片，有时会引起芯片以及印刷板的漏电等问题。如预计在高湿度环境使用芯片，请考虑进行防潮处理。
2. 静电放电
半导体芯片靠近高压带电物体时，有时会因为放电产生误动作。这种情况下，请进行防静电或放电处理。
3. 腐蚀性气体、尘埃、油
如有腐蚀性气体的环境中使用芯片，或在尘埃或油附在芯片时使用该芯片，芯片可能会因化学反应而受到不良影响。在这样的环境下使用芯片时，请采取预防措施。
4. 放射线及宇宙射线
一般芯片设计并不预计在暴露于放射线或宇宙射线的环境下使用芯片。因此，请在屏蔽该等射线的环境下使用。
5. 冒烟及起火
注意:由于模质树脂型的芯片具有可燃性，所以不可在会起火的物质旁使用。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时，请咨询 Cypress 销售部门。

7. 芯片使用注意事项

关于电源引脚

若产品有多个 VCC, VSS 引脚, 为防止芯片设计时因门锁等产生误动作, 可把芯片内同一电位上的引脚相互连接. 为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。

另外, 考虑在本芯片各个电源引脚和 GND 引脚间连接尽可能低的电阻。此外, 推荐在本芯片各个电源引脚和 GND 引脚间连接 1 个约 0.1 μF 的陶瓷旁路电容。

稳定电源电压

即便在 VCC 电源电压的保证工作范围内, 电源电压的瞬变也可能引发故障。电压稳定要以以下两者为基准。在商用频率(50 Hz ~ 60 Hz)下的 VCC 波纹变动(P-P 值)要保持在标准 VCC 的 10%或以下; 在电源切换等短暂变化时, 需把电压的瞬变率控制在 0.1 V/ μs 或以下。

晶振电路

X0/X1 引脚和 X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振要尽量靠近地线的旁路电容。

强烈建议设计时地线应环绕 X0/X1 引脚和 X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。

对安装板上所用晶体振荡器产生的振荡进行评估。

副晶振

为保持较低的电流消耗, 本系列的副晶振电路具有低增益。满足以下条件的晶振可推荐用于副晶振, 从而稳定振荡。

■表贴型

尺寸 : 大于 3.2 mm $\times$ 1.5 mm

负载电容: 大约 6 pF ~ 7 pF

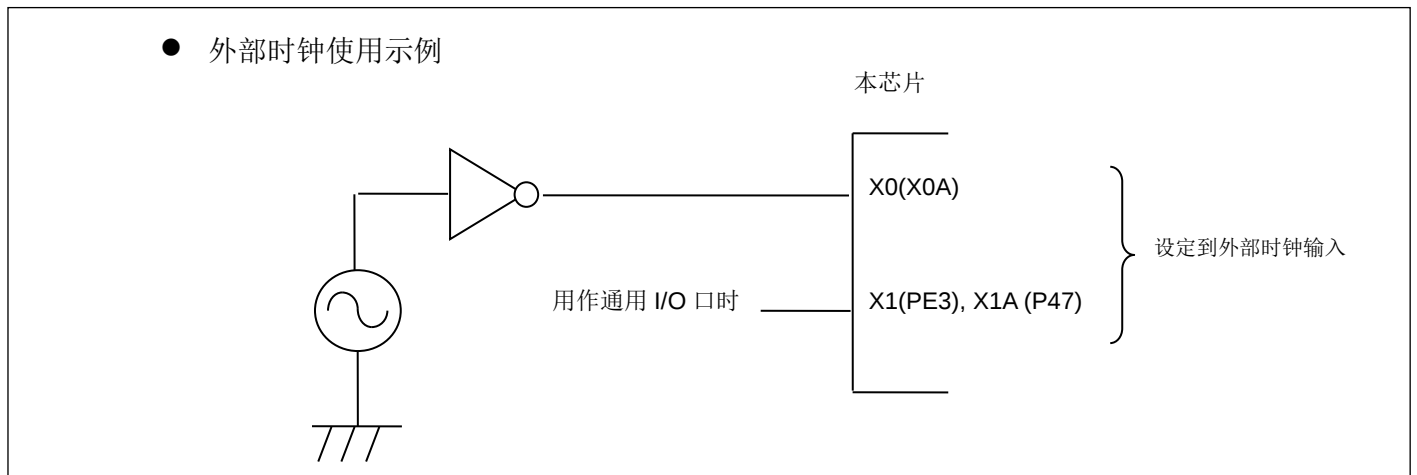
■直插型

负载电容: 大约 6 pF ~ 7 pF

外部时钟使用注意事项

外部时钟用作主时钟输入时, X0/X1 引脚设定到外部时钟输入, 时钟输入到 X0 引脚。X1(PE3)引脚可用作通用 I/O 口。

同样地, 外部时钟用作副时钟输入时, X0A/X1A 引脚设定到外部时钟输入, 时钟输入到 X0A 引脚。X1A(P47)引脚可用作通用 I/O 口。



多功能串行引脚用作 I²C 引脚时的注意事项

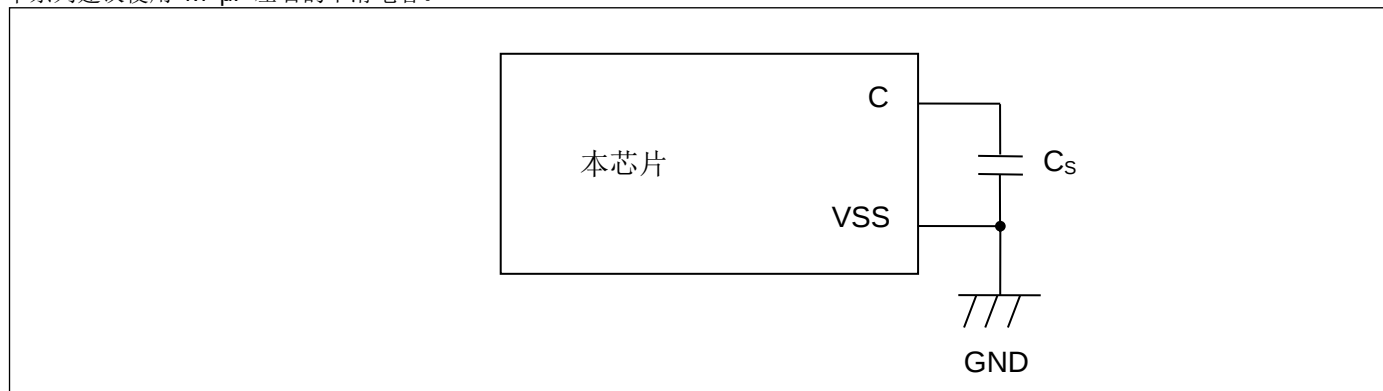
如果多功能串行引脚用作 I²C 引脚数字输出 P-ch 晶体管始终处于禁止状态。但是，I²C 引脚需要如其它引脚一样保持电气特性，断电后无需与外部 I²C 总线系统连接。

C 引脚

本系列内置调节器。C 引脚和 GND 引脚间的调节器始终连接 1 个平滑电容(C_s)。陶瓷电容或者具有等频特性的电容可用作平滑电容。

此外，部分多层电容因为温度变化有电容变动特性(F 特性，Y5V 特性)。确定电容的温度特性后，选择使用满足工作条件规格值的电容。

本系列建议使用 4.7 μF 左右的平滑电容。



模式引脚(MD0)

模式引脚(MD0)直接与 VCC 引脚或 VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式，设计电路板时上拉/下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚或 VSS 引脚的距离，最好用低阻抗连接。

上电注意事项

同时开关电源或按照以下顺序开关电源。

不使用 A/D 转换器或 D/A 转换器时，请按照 AVCC = VCC 电平，AVSS = VSS 电平连接。

上电时： VCC → AVCC → AVRH

断电时： AVRH → AVCC → VCC

串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。

因此，请设计能降噪的电路板。

考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

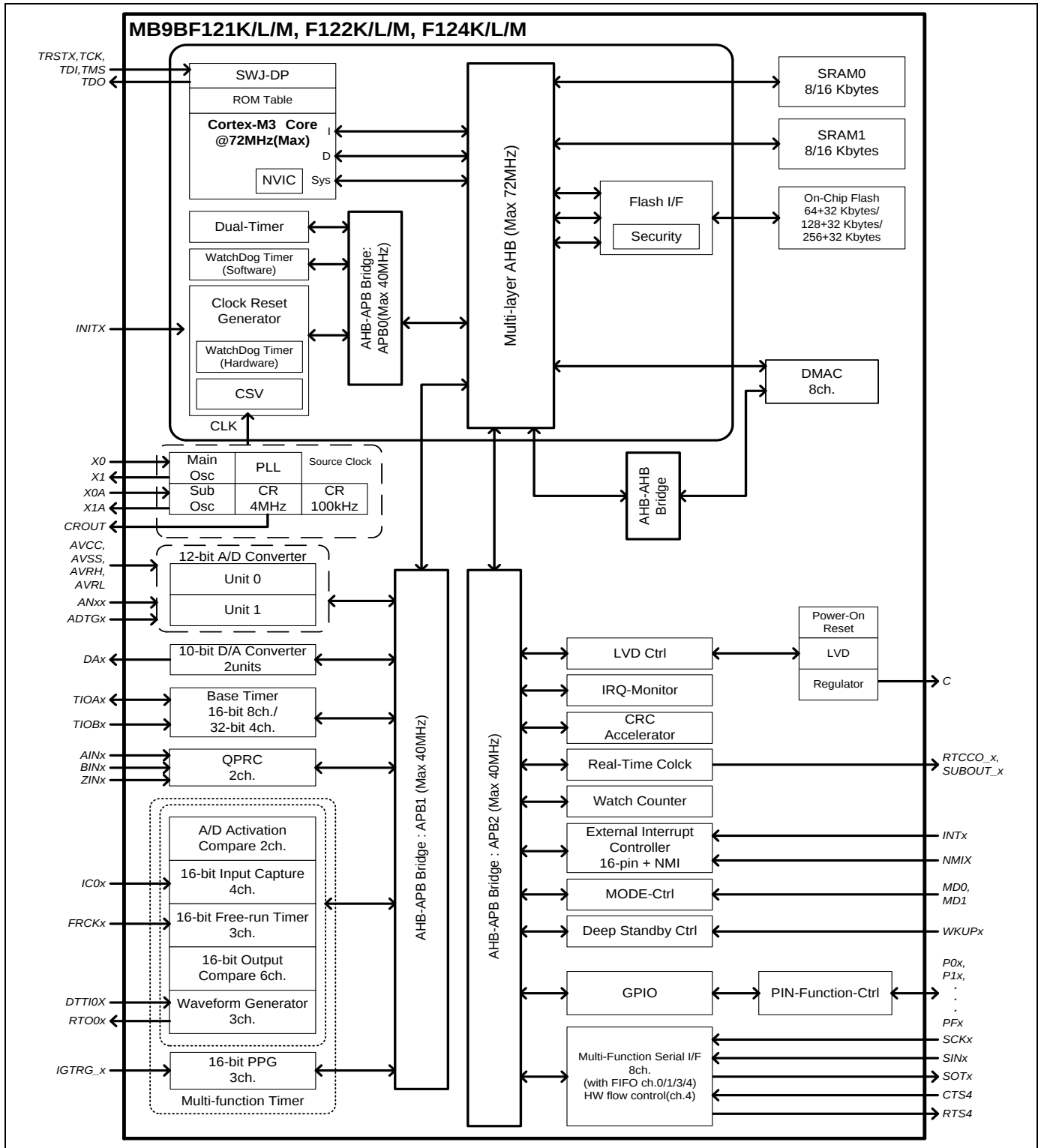
因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

用户要切换到同一系列的其它产品时，须评估其电气特性。

关于耐 5V I/O 的上拉功能

使用耐 5 V I/O 的上拉功能时，不可输入 VCC 电压以上的信号。

8. 框图

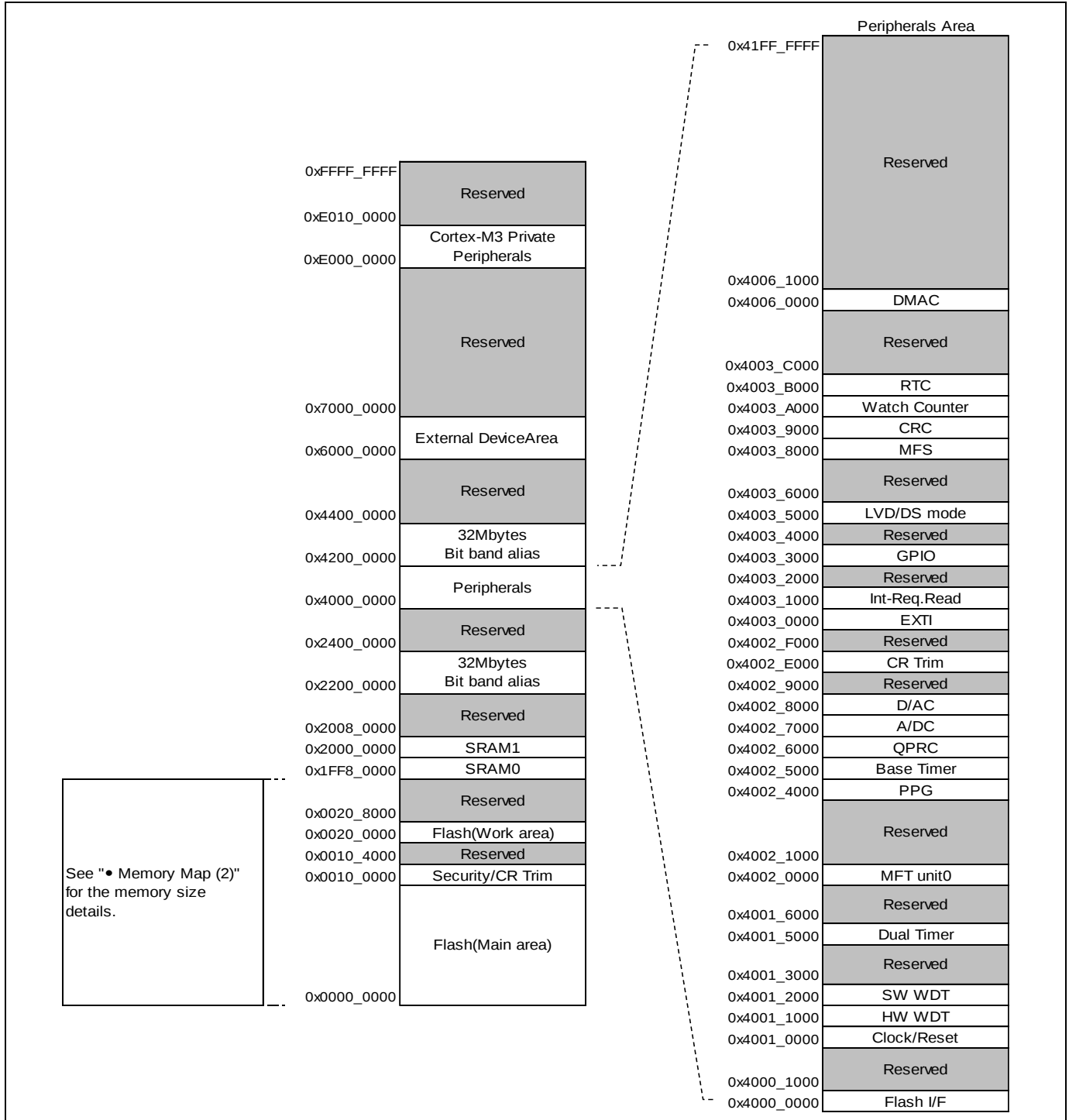


9. 存储器容量

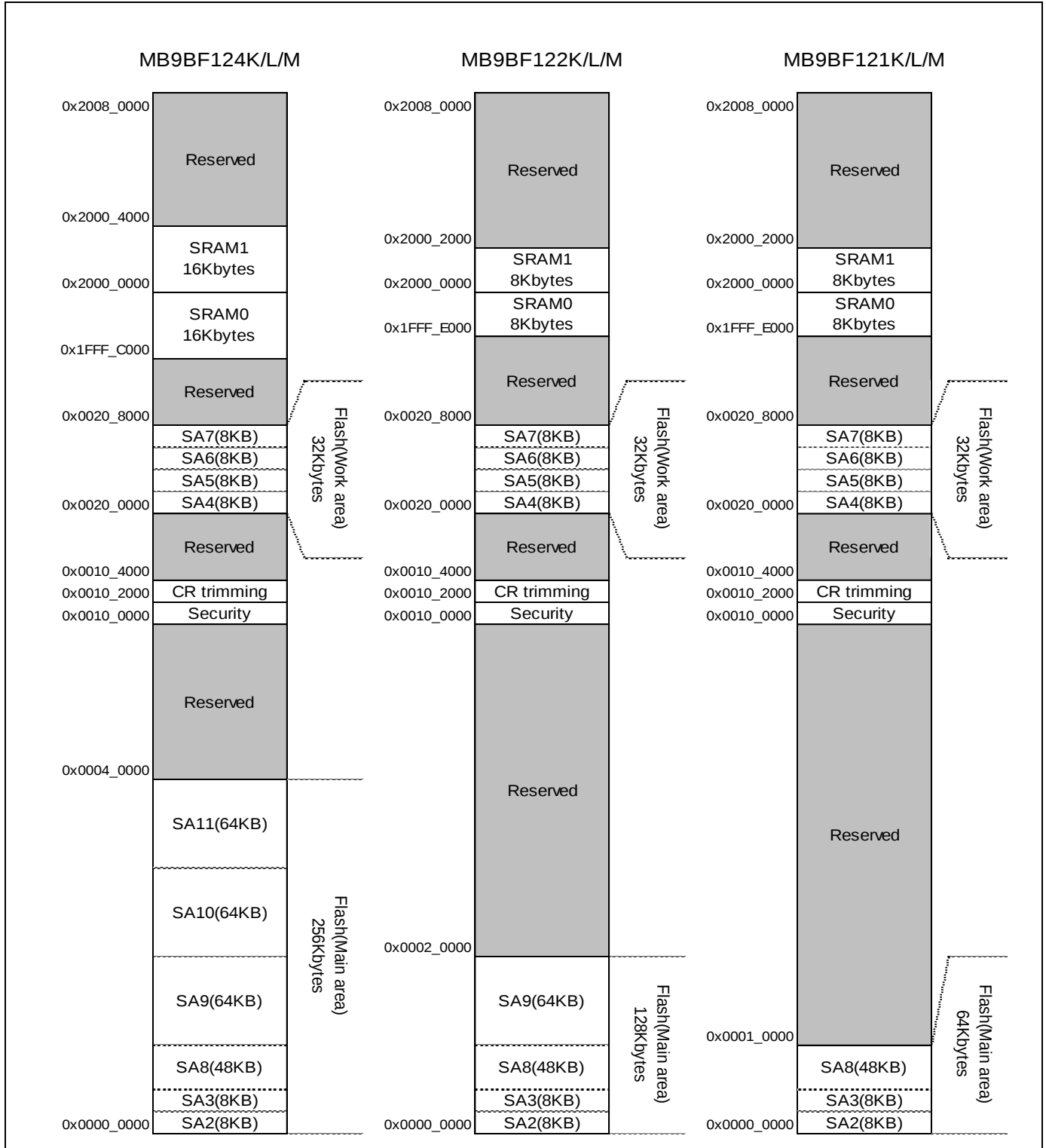
关于存储器容量，参照"产品阵容"的"存储器容量"。

10. 存储器映射

存储器映射图 (1)



存储器映射图 (2)



关于 Flash (Main area), 参照编程手册。

■ CY9AB40N/A40N/340N/140N/150R, CY9B520M/320M/120M 系列闪存编程手册。

外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件看门狗定时器
0x4001_2000	0x4001_2FFF		软件看门狗定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器单元 0
0x4002_1000	0x4002_3FFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基本定时器
0x4002_6000	0x4002_6FFF		Quad 位置/旋转计数器(QPRC)
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_8FFF		D/A 转换器
0x4002_9000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内置 CR 调节
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断
0x4003_1000	0x4003_1FFF		中断源确认寄存器
0x4003_2000	0x4003_2FFF		保留
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低压检测
0x4003_5800	0x4003_5FFF		深层待机模式控制
0x4003_6000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		实时时钟
0x4003_C000	0x4003_FFFF		保留
0x4004_0000	0x4005_FFFF	AHB	保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x41FF_FFFF		保留

11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

■ INITX=0

INITX 引脚为"L"电平期间。

■ INITX=1

INITX 引脚为"H"电平期间。

■ SPL=0

待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)清"0"的状态。

■ SPL=1

待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"1"的状态。

■ 输入使能

输入功能可使用的状态。

■ 内部输入固定在"0"

输入功能不可使用的状态。内部输入固定在"L"。

■ Hi-Z

将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。

■ 设定禁止

不可设定。

■ 保持即前状态

保持转换到本模式前的状态。

如果内置的外设功能正在运行，则遵从该外设功能。

用作端口时，保持该状态。

■ 模拟输入使能

允许模拟输入。

■ 追踪输出

追踪功能可使用的状态。

■ 选择 GPIO

深层待机模式时，选择切换到通用 I/O 口。

引脚状态一览表

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或睡眠模式状态	定时器模式、RTC 模式或停止模式状态		深层待机 RTC 模式或深层待机停止模式状态		从深层待机模式返回后的状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
A	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择主晶振输入引脚/外部主时钟输入时	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择外部主时钟输入时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	主晶振输出引脚	Hi-Z / 内部输入固定在"0"/ 输入使能	Hi-Z/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z/ 内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*1, Hi-Z / 内部输入固定在"0"
C	INITX 输入引脚	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能

引脚状态类型	功能组名称	上电复位或低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式或睡眠模式状态	定时器模式、RTC 模式或停止模式状态		深层待机 RTC 模式或深层待机停止模式状态		从深层待机模式返回后的状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
E	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 输入使能	选择 GPIO	Hi-Z / 输入使能	选择 GPIO
F	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择副晶振输入引脚/外部副时钟输入	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
G	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择外部副时钟输入时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	副晶振输出引脚	Hi-Z / 内部输入固定在"0"/输入使能	Hi-Z/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态	保持即前状态/ 振荡停止时*2, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*2, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*2, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*2, Hi-Z / 内部输入固定在"0"	保持即前状态/ 振荡停止时*2, Hi-Z / 内部输入固定在"0"
H	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO 内部输入固定在"0"	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z/内部输入固定在"0"			

引脚状态类型	功能组名称	上电复位或 低压检测 状态	INITX 输入 状态	芯片内部 复位 状态	运行模式 或睡眠模式 状态	定时器模式 RTC 模式, 或 停止模式状态		深层待机 RTC 模式或深层待机停止模式状 态		从深层待机 模式返回后 的状态	
		电源 不稳定	电源稳定		电源 稳定	电源稳定		电源稳定		电源 稳定	
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1	
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-	
I	选择模拟输入 时	Hi-Z	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入禁 用	Hi-Z / 内部输入固 定在"0" / 模拟输入禁 用	Hi-Z / 内部输入固 定在"0" / 模拟 输入禁用	
	选择 NMIX	设定 禁止	设定 禁止	设定 禁止	保持即前状 态	保持即前状 态	保持即前状 态	WKUP 输入 使能	Hi-Z / WKUP 输入 使能	选择 GPIO	
	选择其它资源 功能	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z /内部输 入固定 在"0"				
	选择 GPIO									保持即前状 态	
J	选择 JTAG 时	Hi-Z	上拉/输入 使能	上拉/输入 使能	保持即前状 态	保持即前状 态	保持即前状 态	保持即前状 态	保持即前状 态	保持即前状 态	
	选择 GPIO	设定 禁止	设定 禁止	设定 禁止			Hi-Z /内部输 入固定 在"0"	选择 GPIO 内部输入固 定在"0"	Hi-Z /内部输 入固定 在"0"	选择 GPIO	
K	选择资源时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能	保持即前状 态	保持即前状 态	Hi-Z /内部输 入固定在"0"	选择 GPIO 内部输入固 定在"0"	Hi-Z /内部输 入固定 在"0"	选择 GPIO	
	选择 GPIO										
L	选择模拟输 入时	设定 禁止	设定 禁止	设定 禁止	保持即前状 态	*3	*4	选择 GPIO 内部输入固 定在"0"	Hi-Z /内部输 入固定在"0"	选择 GPIO	
	选择外部中断 使能时					保持即前状 态	保持即前状 态				
	选择其它资源 功能	Hi-Z	Hi-Z / 输入使能	Hi-Z /内部输 入固定 在"0"							
	选择 GPIO										

引脚状态类型	功能组名称	上电复位或 低压检测 状态	INITX 输入 状态	芯片内部 复位 状态	运行模式 或睡眠模式 状态	定时器模式 RTC 模式, 或 停止模式状态		深层待机 RTC 模式或深层待机停止模式状 态		从深层待机 模式返回后 的状态
		电源 不稳定	电源稳定		电源 稳定	电源稳定		电源稳定		电源 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
M	选择模拟输入 时	Hi-Z	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟 输入使能
	选择其它资源 功能	设定 禁止	设定 禁止	设定 禁止	保持即前状 态	保持即前状 态	Hi-Z/内部输 入固定在"0"	选择 GPIO 内部输入固 定在"0"	Hi-Z/内部输 入固定在"0"	选择 GPIO
	选择 GPIO									
N	选择模拟输入 时	Hi-Z	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入 固定在"0" / 模拟输入 使能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟输入使 能	Hi-Z / 内部输入固 定在"0" / 模拟 输入使能
	选择外部中断 使能时	设定 禁止	设定 禁止	设定 禁止	保持即前状 态	保持即前状 态	保持即前状 态	选择 GPIO 内部输入固 定在"0"	Hi-Z/内部输 入固定在"0"	选择 GPIO
	选择其它资源 功能						Hi-Z/内部输 入固定在"0"			
	选择 GPIO									

*1:副定时器模式、副 CR 定时器模式、停止模式、RTC 模式、深层待机模式 RTC 模式、深层待机停止模式下振荡停止。

*2:停止模式、深层待机停止模式下振荡停止。

*3:定时器模式下保持即前状态。RTC 模式和停止模式下选择 GPIO 时, 内部输入固定在"0"。

*4:定时器模式下保持即前状态。RTC 模式和停止模式下 Hi-Z/内部输入固定在"0"。

12. 电气特性

12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压*1, *2	V_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
模拟电源电压*1, *3	AV_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
模拟基准电压 *1, *3	AV_{RH}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
输入电压*1	V_I	$V_{SS} - 0.5$	$V_{CC} + 0.5$ ($\leq 6.5V$)	V	
		$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	耐 5V
模拟引脚输入电压*1	V_{IA}	$V_{SS} - 0.5$	$AV_{CC} + 0.5$ ($\leq 6.5V$)	V	
输出电压*1	V_O	$V_{SS} - 0.5$	$V_{CC} + 0.5$ ($\leq 6.5V$)	V	
钳位最大电流	I_{CLAMP}	-2	+2	mA	*7
钳位总体最大电流	$\sum [I_{CLAMP}]$		+20	mA	*7
"L"电平最大输出电流*4	I_{OL}	-	10	mA	4mA 类型
			20	mA	12mA 类型
			39	mA	P80/P81 引脚
"L"电平平均输出电流*5	I_{OLAV}	-	4	mA	4mA 类型
			12	mA	12mA 类型
			16.5	mA	P80/P81 引脚
"L"电平最大总输出电流	$\sum I_{OL}$	-	100	mA	
"L"电平平均总输出电流 *8	$\sum I_{OLAV}$	-	50	mA	
"H"电平最大输出电流*6	I_{OH}	-	- 10	mA	4mA 类型
			- 20	mA	12mA 类型
			- 39	mA	P80/P81 引脚
"H"电平平均输出电流*7	I_{OHAV}	-	- 4	mA	4mA 类型
			- 12	mA	12mA 类型
			- 18	mA	P80/P81 引脚
"H"电平最大总输出电流	$\sum I_{OH}$	-	- 100	mA	
"H"电平平均总输出电流*8	$\sum I_{OHAV}$	-	- 50	mA	
功耗	P_D	-	300	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS} = 0V$ 时的值。

*2: V_{CC} 不可低于 $V_{SS} - 0.5V$ 。

*3:接通电源等情况下, 电压不要超过 $V_{CC} + 0.5V$ 。

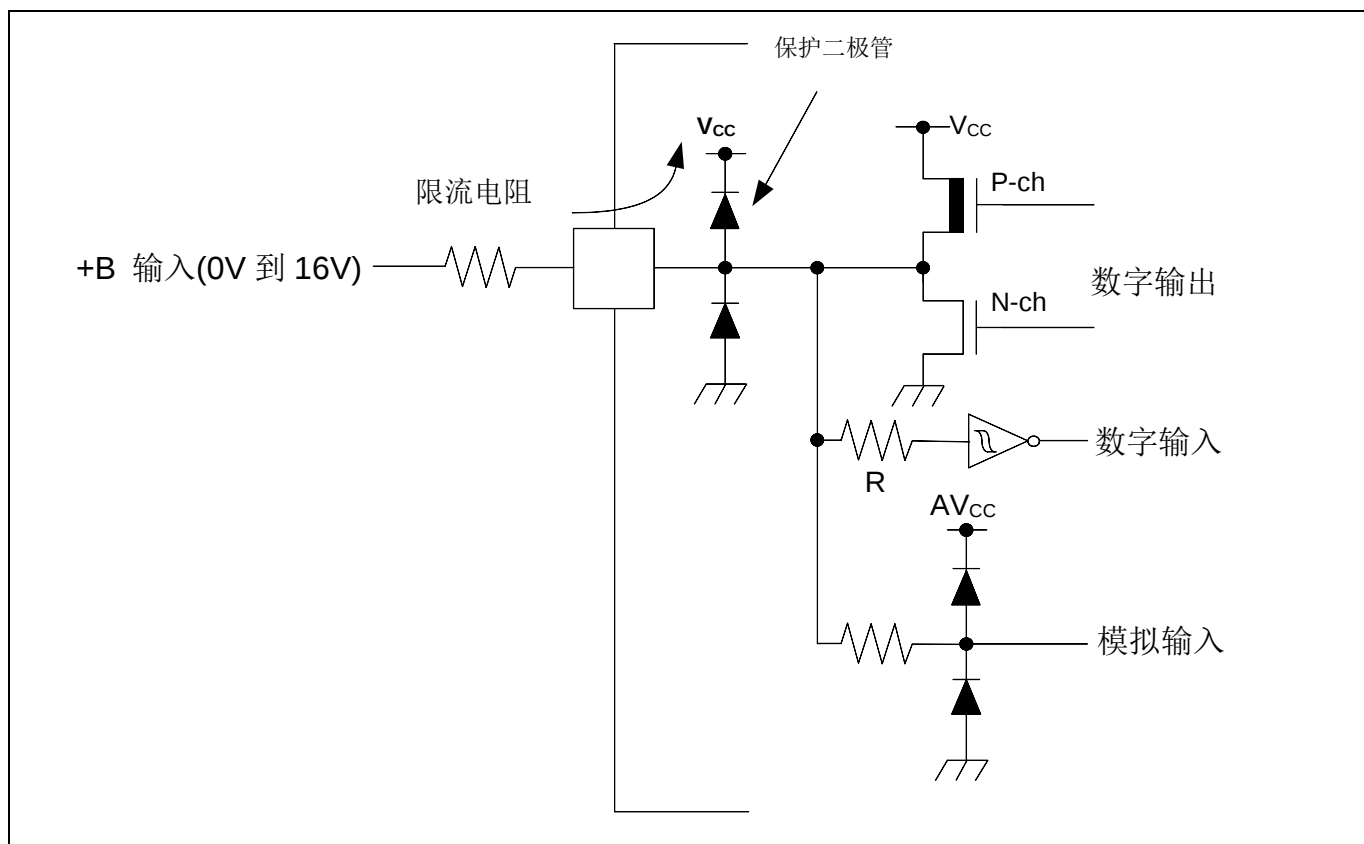
*4:最大输出电流规定单一引脚的峰值。

*5:平均输出电流规定在 100 ms 内流经单一引脚的平均电流。

*6:平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

*7:

- 请参阅“引脚功能说明”和“[I/O 电路类型](#)”，了解可用的+B 输入引脚。
- 在推荐的工作条件下使用。
- 在直流电压（电流）下使用+B 输入。
- 应用+B 信号时，应在+B 信号和器件之间施加一个限流电阻。
- 限流电阻的设置应保证：当应用+B 信号时，器件引脚的输入电流不超过额定值，无论是瞬时还是持续操作。
- 注意当器件驱动电流较低时，例如当处于低功耗模式时，+B 输入电位可能通过保护二极管，并提高 VCC 和 AVCC 引脚上的电势，这可能给其他器件造成影响。
- 注意如果在输入+B 信号时器件电源被关闭（不固定在 0 V），就会从这些引脚提供电源，这可能导致不完整的操作。
- 下面是推荐的电路示例（I/O 等效电路）。



警告:

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值，将会导致该器件永久性损坏，因此任何参数均不得超过其绝对最大额定值。

12.2 推荐工作条件

 (V_{SS} = AV_{SS} = AVRL = 0.0V)

参数	符号	条件	规格值		单位	备注
			最小	最大		
电源电压	V _{CC}	-	2.7* ²	5.5	V	
模拟电源电压	AV _{CC}	-	2.7	5.5	V	AV _{CC} = V _{CC}
模拟基准电压	AVRH	-	2.7	AV _{CC}	V	
	AVRL	-	AV _{SS}	AV _{SS}	V	
平滑电容	C _S	-	1	10	μF	调节器使用* ¹
工作温度	T _A	-	- 40	+ 105	°C	

*¹:关于平滑电容的连接方法，参照“芯片使用注意事项”的“C 引脚”。

*²:其间如果低于最低供电电压和低电压复位/中断检测电压，只能运行内置的高速 CR（包括使用主 PLL）或内置的低速 CR 的指令执行与低电压检测功能。

警告

为确保半导体器件的正常运作，必须在推荐的运行环境或者条件下使用。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。

请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

12.3 直流特性

12.3.1 电流规格

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件		规格值		单位	备注
					标准	最大		
运行模式 电流	I _{CC}	VCC	PLL 运行模式	CPU :72MHz, 外设:36MHz	32.5	41	mA	*1, *5
				CPU:72MHz, 外设时钟停止 NOP 运行	18	23	mA	*1, *5
			高速 CR 运行模式	CPU/外设:4MHz*2	2.5	3.4	mA	*1
			副振荡 运行模式	CPU/外设:32kHz	110	980	μA	*1, *6
			低速 CR 运行模式	CPU/外设:100kHz	130	1030	μA	*1
睡眠模式 电流	I _{CCS}		PLL 睡眠模式	外设:36MHz	22	28	mA	*1, *5
			高速 CR 睡眠模式	外设:4MHz*2	1.6	2.6	mA	*1
			副振荡 睡眠模式	外设:32kHz	96	955	μA	*1, *6
			低速 CR 睡眠模式	外设:100kHz	115	975	μA	*1

*1:所有端口固定时的预估值。

*2:调节时设定到 4 MHz。

*3: $T_A = +25^{\circ}C$, $V_{CC} = 5.5V$

*4: $T_A = +105^{\circ}C$, $V_{CC} = 5.5V$

*5:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*6:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

$(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件		规格值		单位	备注
					标准*2	最大*2		
定时器模式 电流	I _{CCT}	VCC	主 定时器模式	T _A = + 25°C, LVD off 时	4.1	4.8	mA	*1, *4
				T _A = + 105°C, LVD off 时	-	5.4	mA	*1, *4
	子 定时器模式		T _A = + 25°C, LVD off 时	17	66	μA	*1, *5	
			T _A = + 105°C, LVD off 时	-	835	μA	*1, *5	
RTC 模式 电流	I _{CCR}		RTC 模式	T _A = + 25°C, LVD off 时	15	61	μA	*1, *5
				T _A = + 105°C, LVD off 时	-	680	μA	*1, *5
停止 模式 电流	I _{CCH}		停止模式	T _A = + 25°C, LVD off 时	14	53	μA	*1
				T _A = + 105°C, LVD off 时	-	600	μA	*1
深层待机 模式 电流	I _{CCRD}		深层待机 RTC 模式	T _A = + 25°C, LVD off 时, RAM off 时	2.2	11	μA	*1, *3, *5
				T _A = + 25°C, LVD off 时, RAM on 时	6.2	23	μA	*1, *3, *5
				T _A = + 105°C, LVD off 时, RAM off 时	-	155	μA	*1, *3, *5
				T _A = + 105°C, LVD off 时, RAM on 时		215	μA	*1, *3, *5
	I _{CCHD}		深层待机 停止模式	T _A = + 25°C, LVD off 时, RAM off 时	1.6	9.6	μA	*1, *3
				T _A = + 25°C, LVD off 时, RAM on 时	5.6	22	μA	*1, *3
				T _A = + 105°C, LVD off 时, RAM off 时	-	150	μA	*1, *3
				T _A = + 105°C, LVD off 时, RAM on 时		210	μA	*1, *3

*1:所有端口固定时的预估值。

*2: $V_{CC}=5.5V$

*3:RAM on/off 设置仅限于片上 SRAM。

*4:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*5:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

低压检测电流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
低压检测电路 (LVD) 电源电流	I_{CCLVD}	VCC	复位发生用 $V_{CC} = 5.5V$	0.13	0.3	μA	没有检测时
			中断发生用 $V_{CC} = 5.5V$	0.13	0.3	μA	没有检测时

闪存存储器电流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	$I_{CCFLASH}$	VCC	擦/写时	9.5	11.2	mA	*

*:将" $I_{CCFLASH}$ " (用于写入或擦除闪存存储器的电流) 添加到" I_{CC} ".

A/D 转换器电流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	I_{CCAD}	AVCC	1 个单元操作	0.69	0.90	mA	
			停止	0.25	25.84	μA	
基准电源电流	I_{CCAVRH}	AVRH	1 个单元操作 $AVRH=5.5V$	1.1	1.97	mA	
			停止	0.2	3.4	μA	

D/A 转换器电流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
电源电流*1	IDDA*2	AVCC	1 个单元操作时 $AV_{CC}=3.3V$	250	315	380	μA	
			1 个单元操作时 $AV_{CC}=5.0V$	380	475	580	μA	
	IDSA		停止	-	-	16	μA	

*1:无负载

*2:设定到 0x200 时电流最大

12.3.2 引脚特性
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AVR_L = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		耐 5V 输入引脚	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
"L"电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		耐 5 V 输入引脚	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
"H"电平输出电压	V_{OH}	4 mA 类型	$V_{CC} \geq 4.5 V,$ $I_{OH} = -4 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = -2 mA$					
		12 mA 类型	$V_{CC} \geq 4.5 V,$ $I_{OH} = -12 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = -8 mA$					
		P80, P81	$V_{CC} \geq 4.5 V,$ $I_{OH} = -18.0 mA$	$V_{CC} - 0.4$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = -12.0 mA$					
"L"电平输出电压	V_{OL}	4 mA 类型	$V_{CC} \geq 4.5 V,$ $I_{OL} = 4 mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5 V,$ $I_{OL} = 2 mA$					
		12 mA 类型	$V_{CC} \geq 4.5 V,$ $I_{OL} = 12 mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5 V,$ $I_{OL} = 8 mA$					
		P80, P81	$V_{CC} \geq 4.5 V,$ $I_{OL} = 16.5 mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5 V,$ $I_{OL} = 10.5 mA$					
输入漏电流	I_{IL}	-	-	- 5	-	+ 5	μA	
上拉电阻值	R_{PU}	上拉引脚	$V_{CC} \geq 4.5 V$	33	50	90	k Ω	
			$V_{CC} < 4.5 V$	-	-	180		
输入电容	C_{IN}	VCC, VSS, AVCC, AVSS, AVR _H , AVR _L 以外	-	-	5	15	pF	

12.4 交流特性

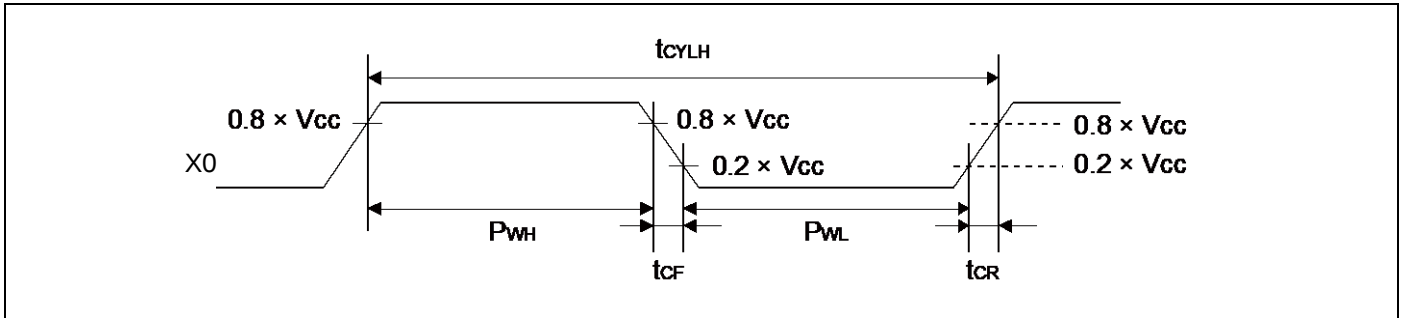
12.4.1 主时钟输入规格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	f _{CH}	X0, X1	V _{CC} ≥ 4.5 V	4	48	MHz	连接晶振时
			V _{CC} < 4.5 V	4	20		
			V _{CC} ≥ 4.5 V	4	48	MHz	外部时钟时
			V _{CC} < 4.5 V	4	20		
输入时钟周期	t _{CYLH}		V _{CC} ≥ 4.5 V	20.83	250	ns	外部时钟时
			V _{CC} < 4.5 V	50	250		
输入时钟脉宽	-		PWH/t _{CYLH} , PWL/t _{CYLH}	45	55	%	外部时钟时
输入时钟上升/ 下降时间	t _{CF} , t _{CR}		-	-	-	5	ns
内部运行时钟 频率*1	f _{CM}	-	-	-	72	MHz	主控时钟
	f _{CC}	-	-	-	72	MHz	基本时钟 (HCLK/FCLK)
	f _{CP0}	-	-	-	40	MHz	APB0 总线时钟*2
	f _{CP1}	-	-	-	40	MHz	APB1 总线时钟*2
	f _{CP2}	-	-	-	40	MHz	APB2 总线时钟*2
内部运行时钟 周期时间*1	t _{CYCC}	-	-	13.8	-	ns	基本时钟 (HCLK/FCLK)
	t _{CYCP0}	-	-	25	-	ns	APB0 总线时钟*2
	t _{CYCP1}	-	-	25	-	ns	APB1 总线时钟*2
	t _{CYCP2}	-	-	25	-	ns	APB2 总线时钟*2

*1:关于各内部工作时钟，参照“FM3 家族外围资源手册”的“时钟”一章。

*2:关于各外设连结的 APB 总线，详情参照“框图”。

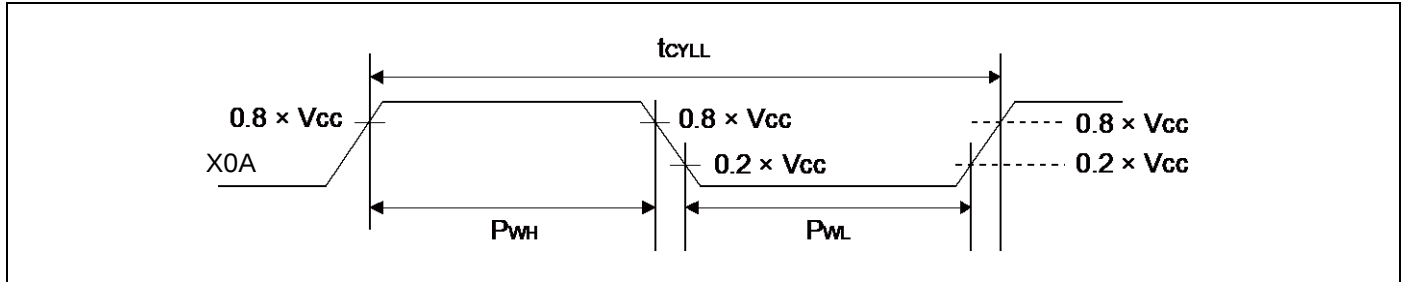


12.4.2 副时钟输入规格

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	外部时钟时
输入时钟周期	t_{CYLL}		-	10	-	31.25	μs	外部时钟时
输入时钟脉宽	-		PWH/ t_{CYLL} , PWL/ t_{CYLL}	45	-	55	%	外部时钟时

*:关于使用的晶振, 参照“芯片使用注意事项”的“副晶振”。



12.4.3 内置CR 振荡规格

内置高速 CR

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	f_{CRH}	$T_A = +25^{\circ}C$	3.92	4	4.08	MHz	调节时*1
		$T_A = 0^{\circ}C \sim +85^{\circ}C$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C$	3.88	4	4.12		
		$T_A = +25^{\circ}C$ $V_{CC} \leq 3.6V$	3.94	4	4.06		
		$T_A = -20^{\circ}C \sim +85^{\circ}C$ $V_{CC} \leq 3.6V$	3.92	4	4.08		
		$T_A = -20^{\circ}C \sim +105^{\circ}C$ $V_{CC} \leq 3.6V$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C$	2.8	4	5.2		非调节时
频率稳定时间	t_{CRWT}	-	-	-	30	μs	*2

*1:出库时设定的 Flash 存储器内的 CR 调节区的值作为频率调节值使用时。

*2:是指稳定高速 CR 的频率所用的时间。设置该调节值后开始计时。

该期间可使用高速 CR 时钟作为源时钟。

内置低速 CR
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	f_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL 的使用条件 (主时钟用作 PLL 的输入时钟)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	4	-	16	MHz	
PLL 倍频率	-	5	-	37	倍频	
PLL macro 振荡时钟频率	f_{PLLO}	75	-	150	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	72	MHz	

*1:自 PLL 开始运行至振荡稳定的时间。

*2:关于主 PLL 时钟(CLKPLL)，参照"FM3 家族外围资源手册"的"时钟"一章。

12.4.5 主 PLL 的使用条件 (内置高速 CR 时钟用作主 PLL 的输入时钟)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

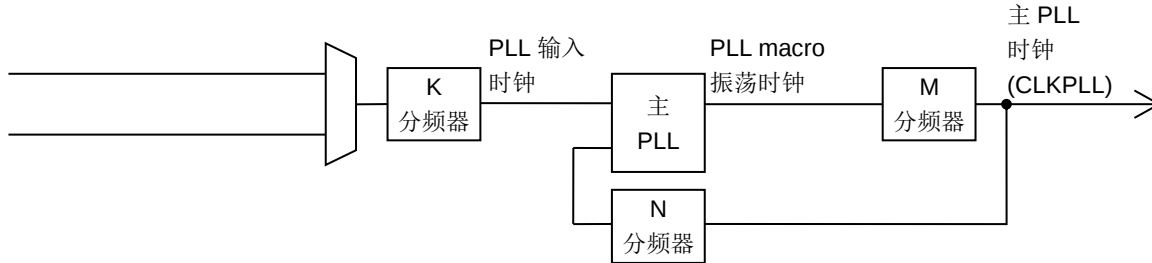
参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	-	19	-	35	倍频	
PLL macro 振荡时钟频率	f_{PLLO}	72	-	150	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	72	MHz	

*1:自 PLL 开始运行至振荡稳定的时间。

*2:关于主 PLL 时钟(CLKPLL)，参照"FM3 家族外围资源手册"的"时钟"一章。

注意事项:主 PLL 源时钟上务必输入调节后的内置高速 CR 时钟(CLKHC)。

在设置 PLL 倍频率时，请把内置的高速 CR 时钟的精度考虑在内，防止主时钟超过最高频率。

主 PLL 连接


12.4.6 复位输入规格

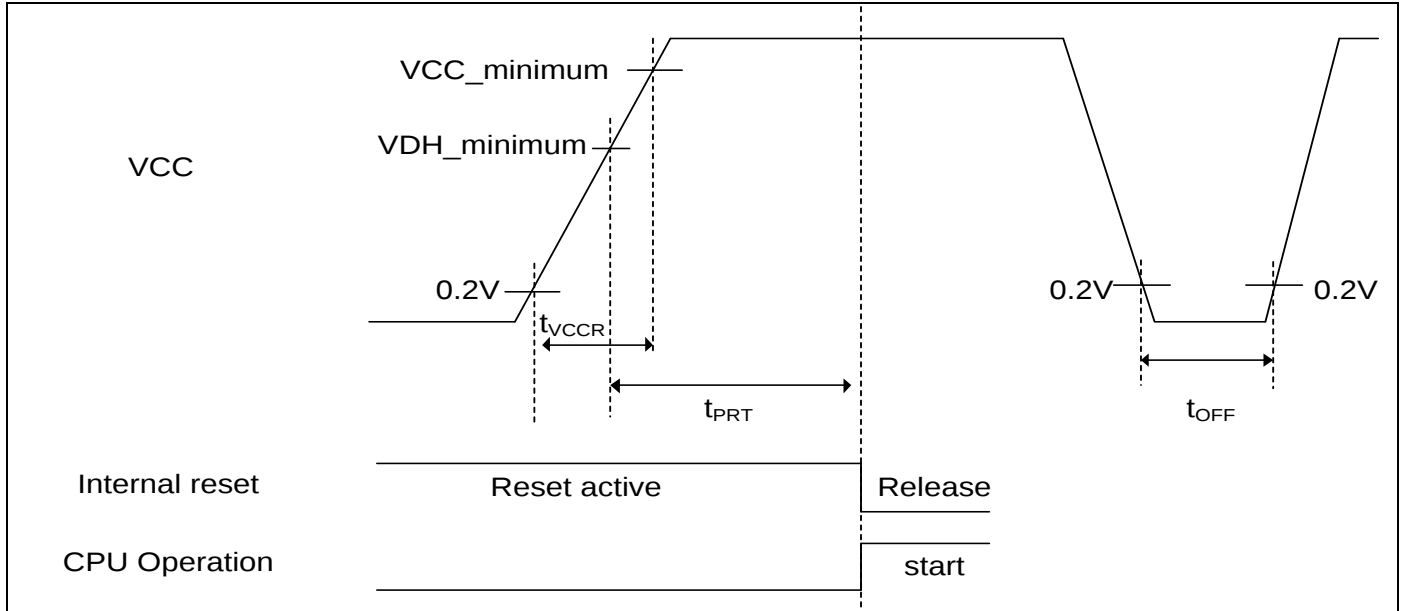
($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t_{INITX}	INITX	-	500	-	ns	

12.4.7 上电复位时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	规格值		单位	备注
			最小	最大		
电源上升时间	t_{VCCR}	VCC	0	-	ms	
断电时间	t_{OFF}		1	-	ms	
直到释放上电复位的时间	t_{PRT}		1.34	18.6	ms	



术语

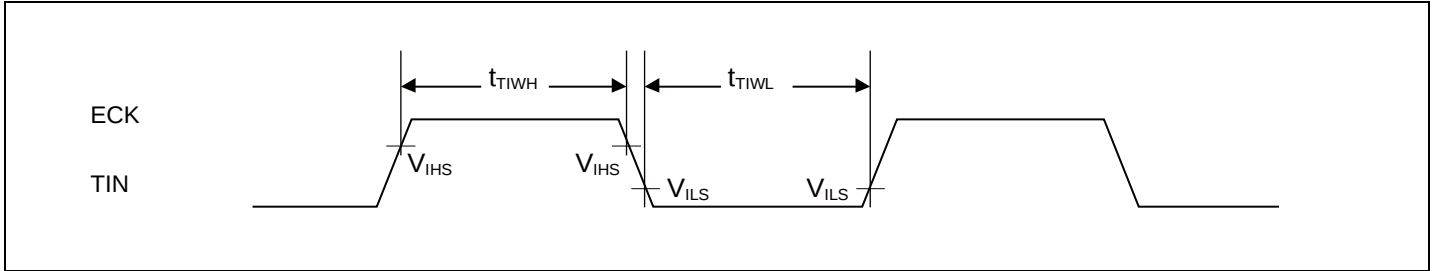
$V_{CC_minimum}$:推荐工作条件的最低 VCC
 $V_{DH_minimum}$:低压检测复位的最小检测电压 (SVHR = 00000 时)
 请参考 "12.7.低压检测特性"

12.4.8 基本定时器输入时序

定时器输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

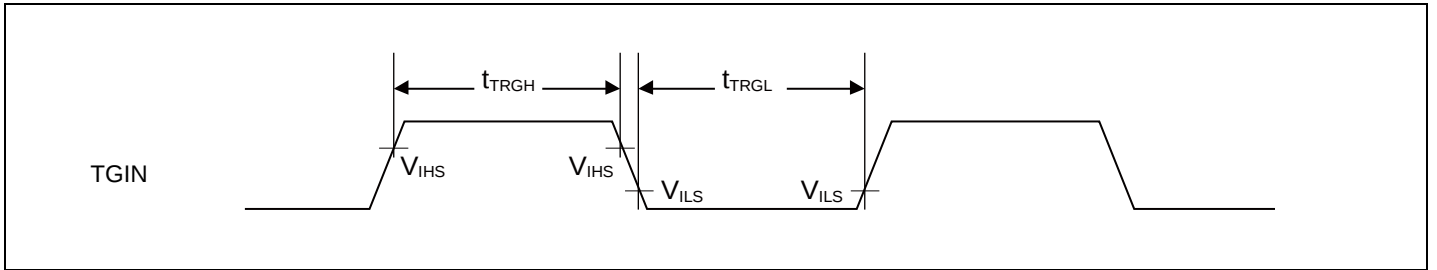
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (用作 ECK, TIN)	-	$2t_{CYCP}$	-	ns	



触发输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (用作 TGIN 时)	-	$2t_{CYCP}$	-	ns	



注意事项: t_{CYCP} 是 APB 总线时钟的周期时间。

关于基本定时器连接的 APB 总线序号，参照“框图”。

12.4.9 CSIO/UART 时序

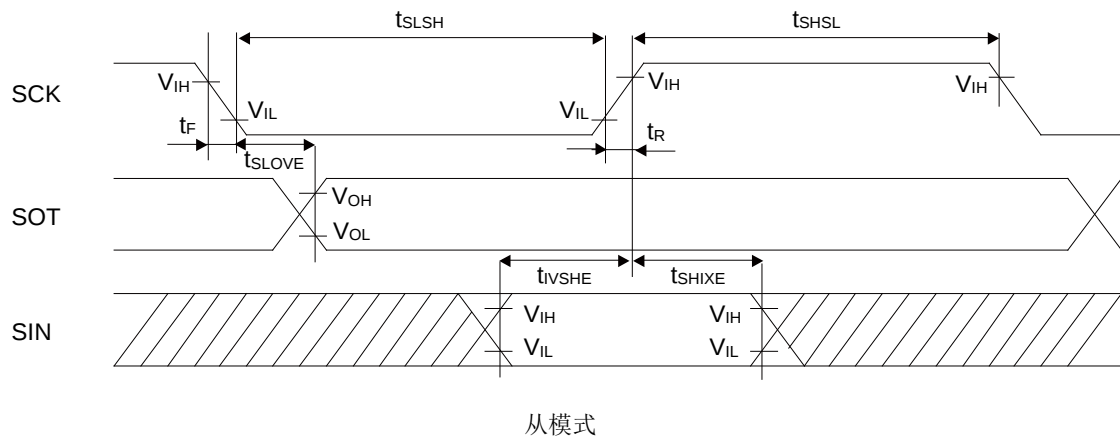
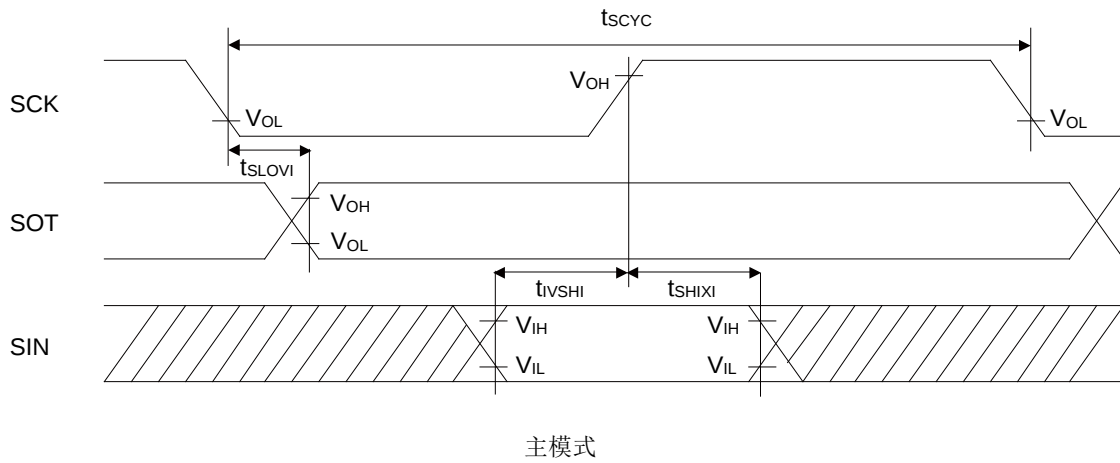
CSIO (SPI = 0, SCINV = 0)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		单位
				最小	最大	最小	最大	
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ 创建时间	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟"L"脉宽	t_{SLSH}	SCKx	从模式	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟"H"脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↑ 创建时间	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照“框图”。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 $C_L = 30 \text{ pF}$ 时。



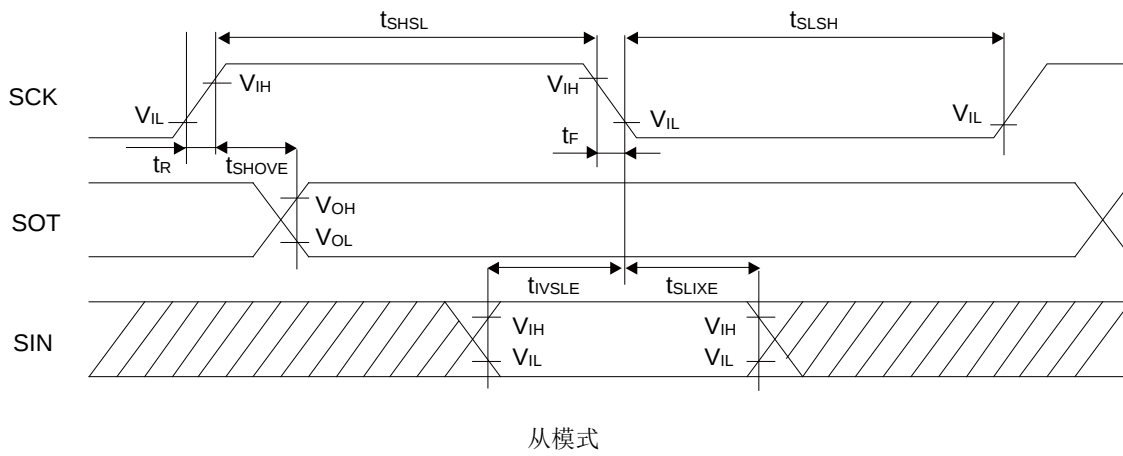
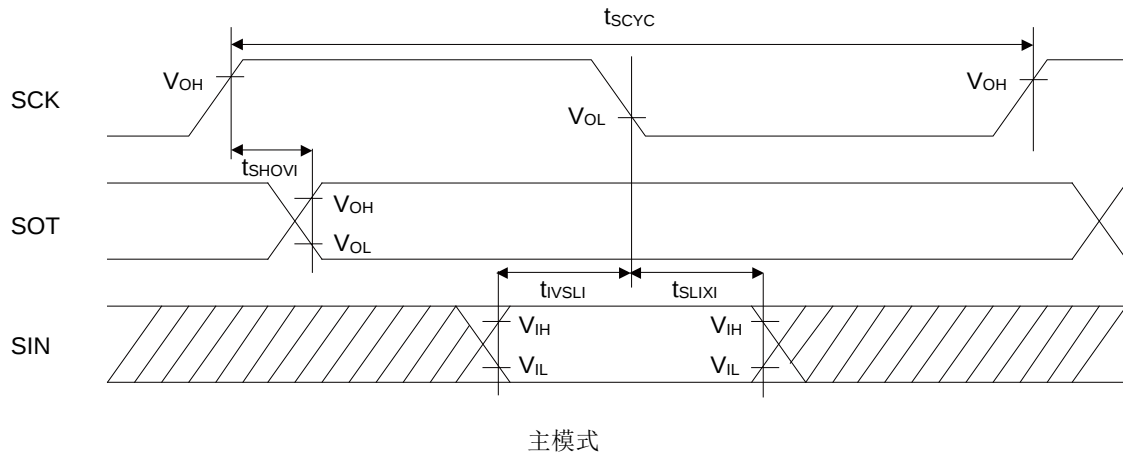
CSIO (SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ 创建时间	t _{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟"L"脉宽	t _{SLSH}	SCKx	从模式	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
串行时钟"H"脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↓ 创建时间	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 请参阅“框图”。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 C_L = 30 pF 时。



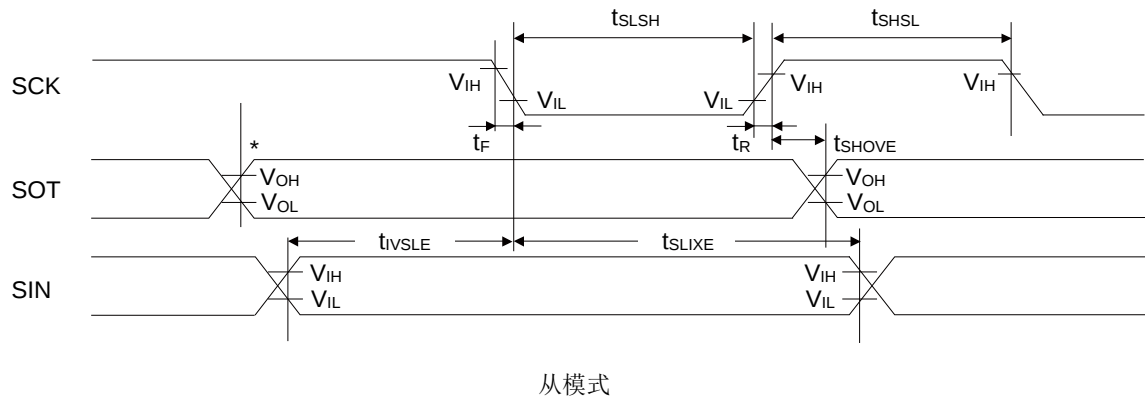
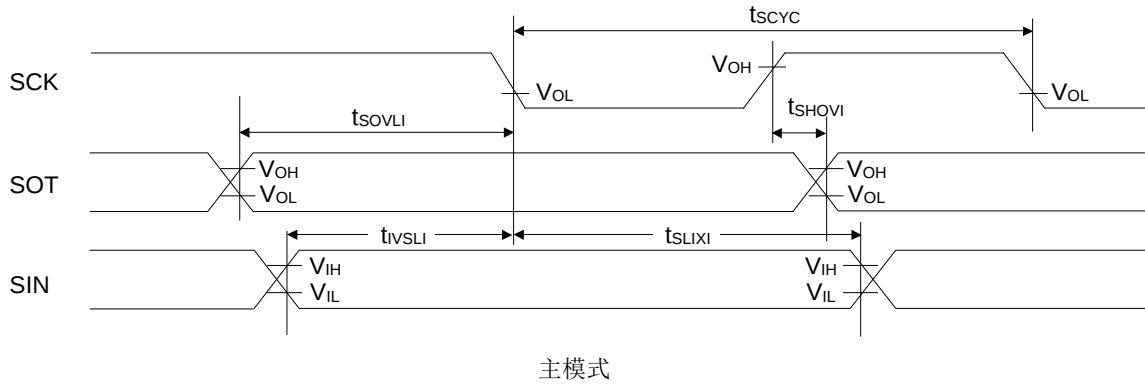
CSIO (SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓创建时间	t _{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↓延迟时间	t _{SOVLI}	SCKx, SOTx		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
串行时钟"L"脉宽	t _{SLSH}	SCKx	从模式	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
串行时钟"H"脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↓创建时间	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照“框图”。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 C_L = 30 pF 时。



*:写 TDR 寄存器时发生变化

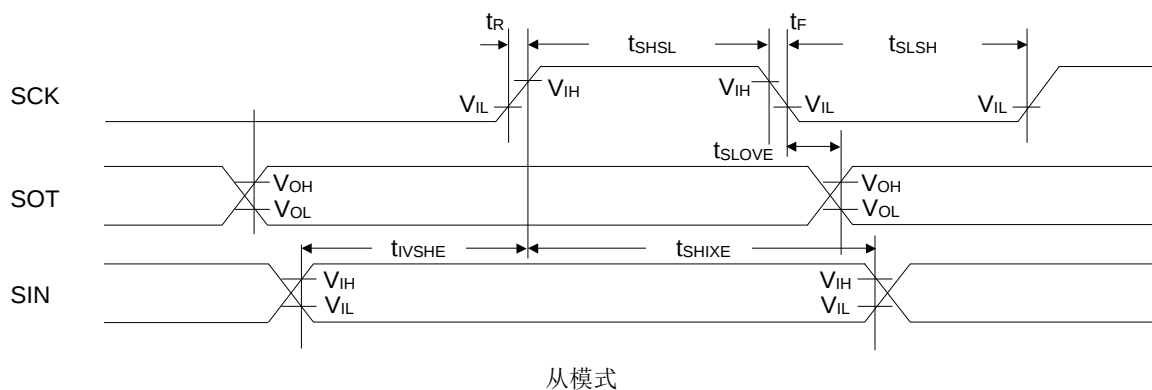
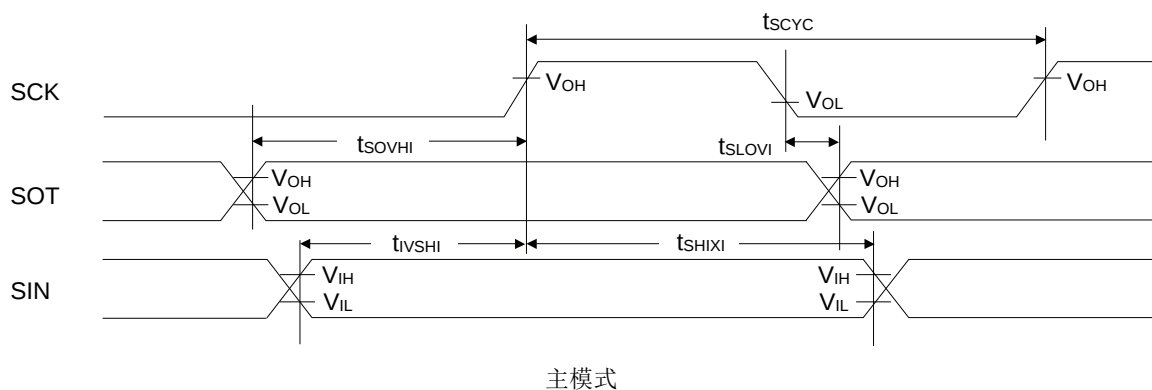
CSIO (SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑创建时间	t _{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↑延迟时间	t _{SOVHI}	SCKx, SOTx		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
串行时钟"L"脉宽	t _{SLSH}	SCKx	从模式	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
串行时钟"H"脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↑创建时间	t _{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

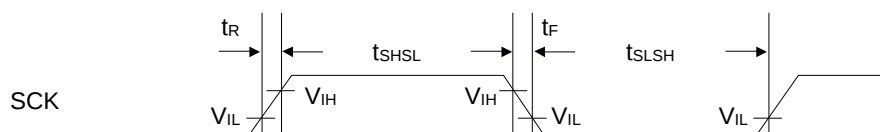
- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照“框图”。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 C_L = 30 pF 时。



UART 外部时钟输入(EXT = 1)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	条件	最小	最大	单位	备注
串行时钟"L"脉宽	t _{SLSH}	C _L = 30 pF	t _{CYCP} + 10	-	ns	
串行时钟"H"脉宽	t _{SHSL}		t _{CYCP} + 10	-	ns	
SCK 下降时间	t _F		-	5	ns	
SCK 上升时间	t _R		-	5	ns	

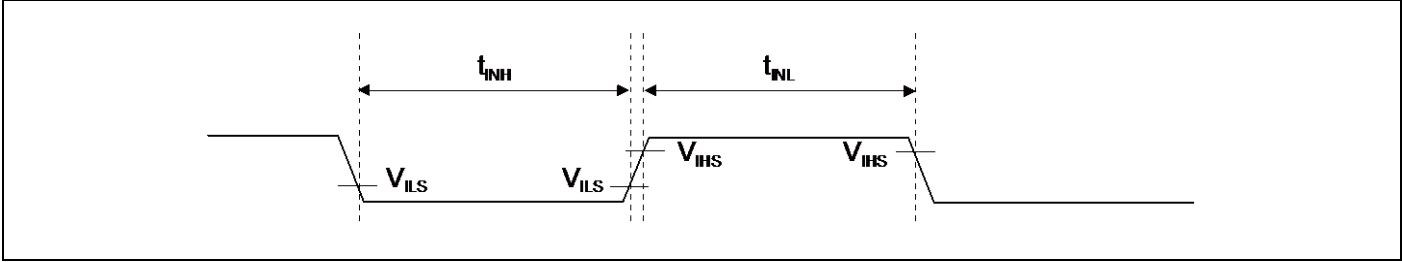


12.4.10 外部输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{INH} , t_{INL}	ADTG	-	$2t_{CYCP}^{*1}$	-	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕捉
		DTTixX	-	$2t_{CYCP}^{*1}$	-	ns	波形发生器
		INTxx,	*2	$2t_{CYCP} + 100^{*1}$	-	ns	外部中断
		NMIX	*3	500	-	ns	NMI
		WKUPx	*4	500	-	ns	深度待机唤醒

- *1: t_{CYCP} 是 APB 总线的周期时间。
 关于 A/D 转换器、多功能定时器、外部中断连接的 APB 总线序号，参照“框图”。
- *2: 运行模式、睡眠模式时。
- *3: 停止模式、RTL 模式、定时器模式时。
- *4: 深层待机 RTC 模式、深层待机停止模式时。



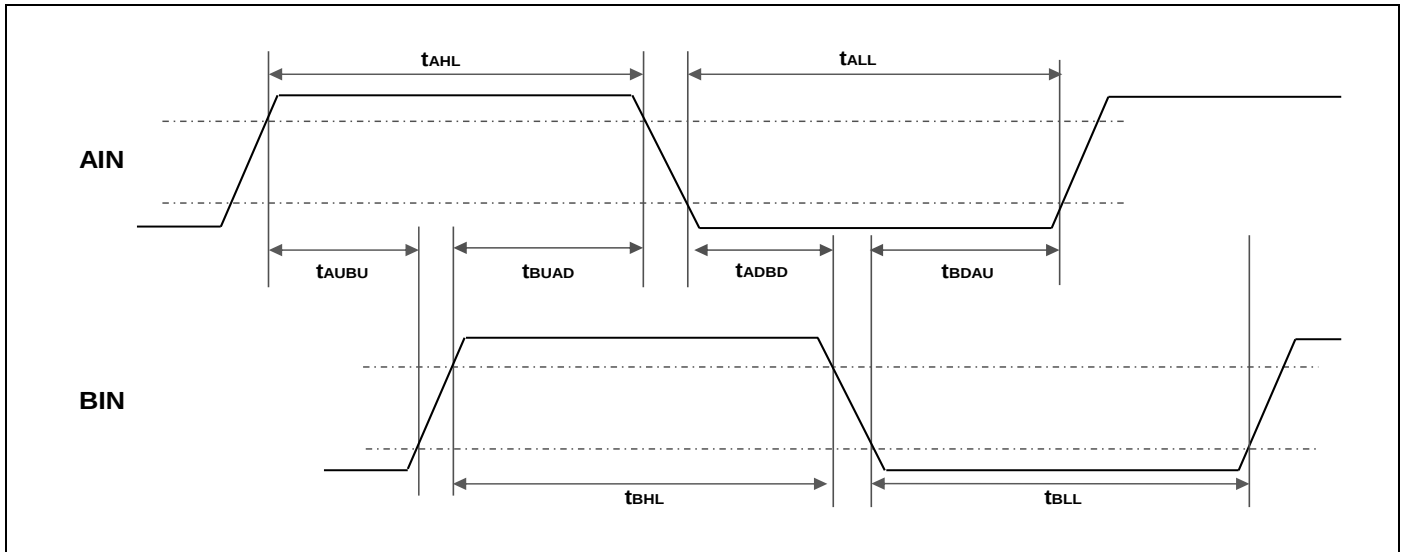
12.4.11 Quad 计数器时序

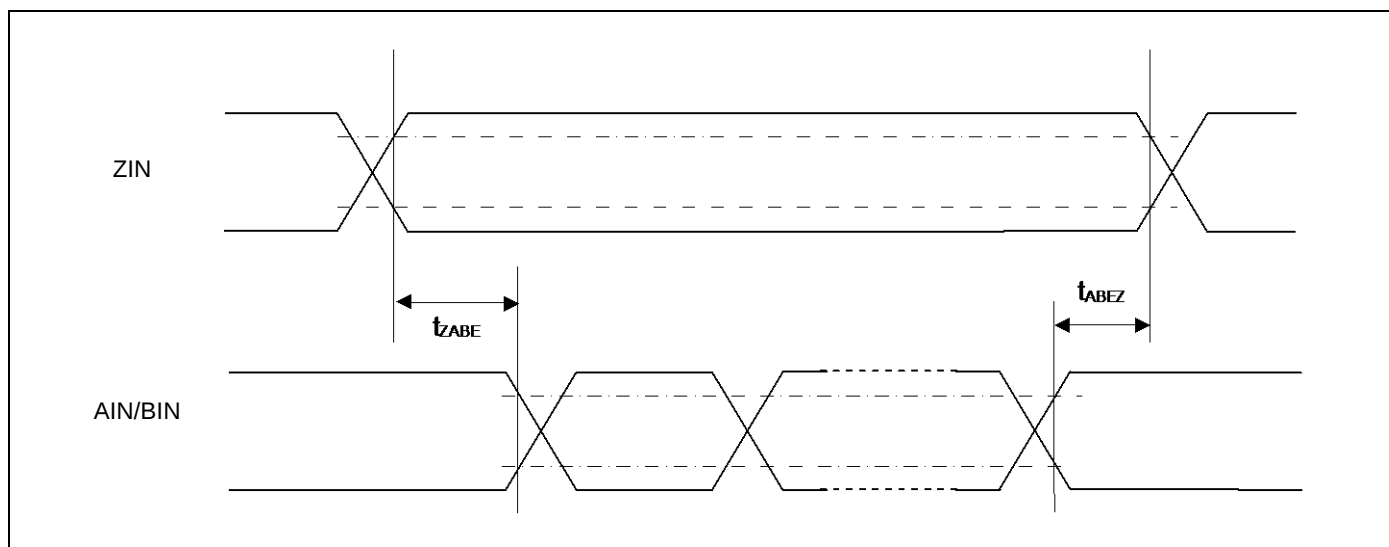
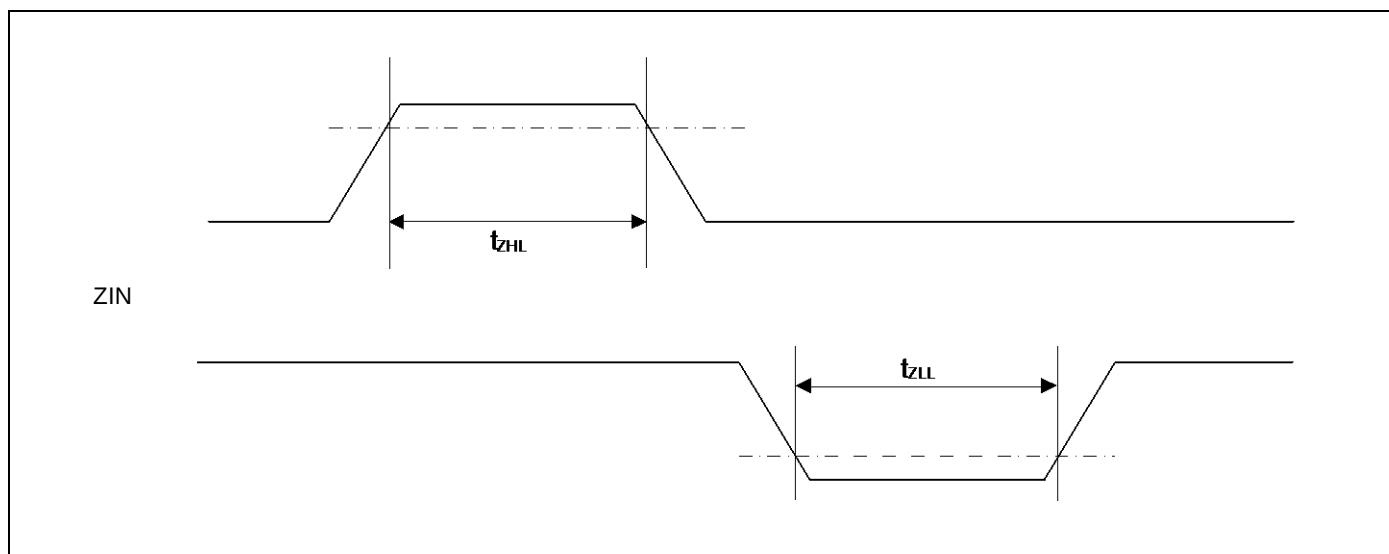
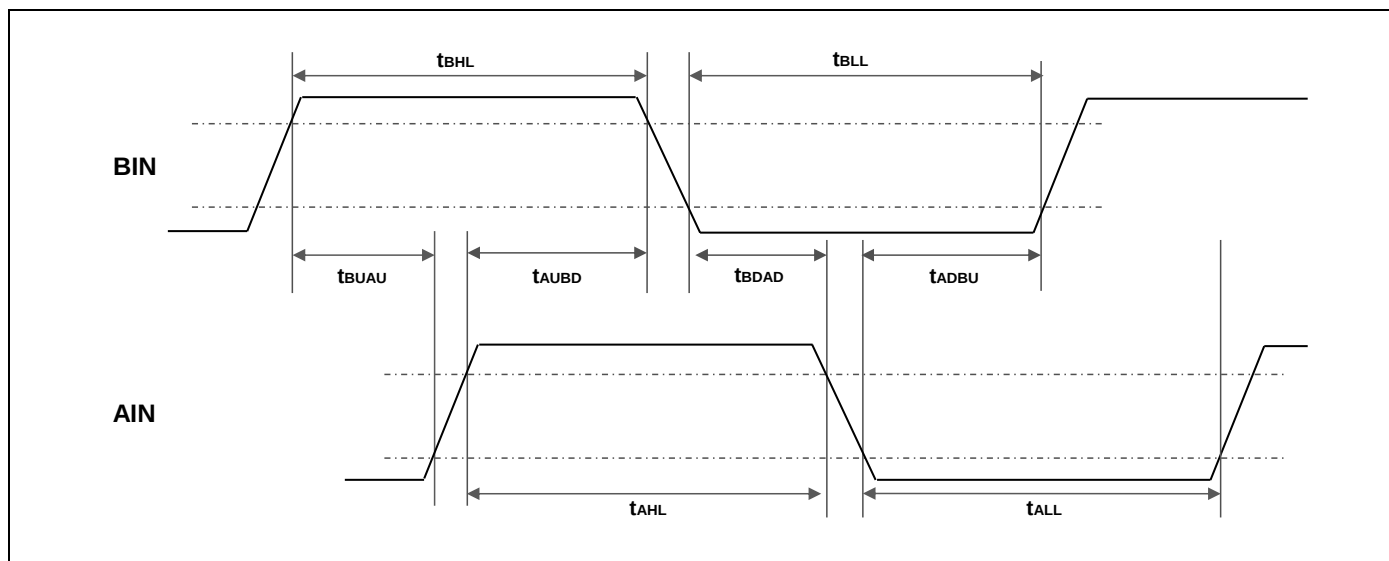
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +105°C)

参数	符号	条件	规格值		单位
			最小	最大	
AIN 引脚"H"宽	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN 引脚"L"宽	t _{ALL}	-			
BIN 引脚"H"宽	t _{BHL}	-			
BIN 引脚"L"宽	t _{BLL}	-			
AIN"H"电平的 BIN 上升时间	t _{AUBU}	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN 下降时间	t _{BUAD}	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN 下降时间	t _{ADBD}	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN 上升时间	t _{BDAU}	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN 上升时间	t _{BUAU}	PC_Mode2 或 PC_Mode3			
AIN"H"电平的 BIN 下降时间	t _{AUBD}	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN 下降时间	t _{BDAD}	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN 上升时间	t _{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 引脚"H"宽	t _{ZHL}	QCR:CGSC=0			
ZIN 引脚"L"宽	t _{ZLL}	QCR:CGSC=0			
从已确定 ZIN 电平的 AIN/BIN 下降 上升时间	t _{ZABE}	QCR:CGSC=1			
从 AIN/BIN 下降上升时间已确定的 ZIN 电平	t _{ABEZ}	QCR:CGSC=1			

 *: t_{CYCP} 是 APB 总线时钟的周期时间。

关于 Quad 计数器连接的 APB 总线序号, 参照"框图"。





12.4.12 I²C 时序

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +105°C)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	f _{SCL}	C _L = 30 pF, R = (V _P /I _{OL})* ¹	0	100	0	400	kHz	
(重复)"启动"条件保持时间 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL 时钟"L"宽	t _{LOW}		4.7	-	1.3	-	μs	
SCL 时钟"H"宽	t _{HIGH}		4.0	-	0.6	-	μs	
重复"启动"条件创建时间 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
数据保持时间 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
数据创建时间 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
"停止"条件创建时间 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
"停止"条件 和"启动"条件间 的总线空闲时间	t _{BUF}		4.7	-	1.3	-	μs	
噪声滤波器	t _{SP}	-	2 t _{CYCP} * ⁴	-	2 t _{CYCP} * ⁴	-	ns	

*1: R 和 C_L 是指 SCL, SDA 总线上的上拉电阻和负载电容。

V_P 是指上拉电阻的电源电压, I_{OL} 是指 V_{OL} 保证电流。

*2: 仅在芯片保持 SCL 信号在"L"(t_{LOW})未扩展期间才可使用最大 t_{HDDAT}。

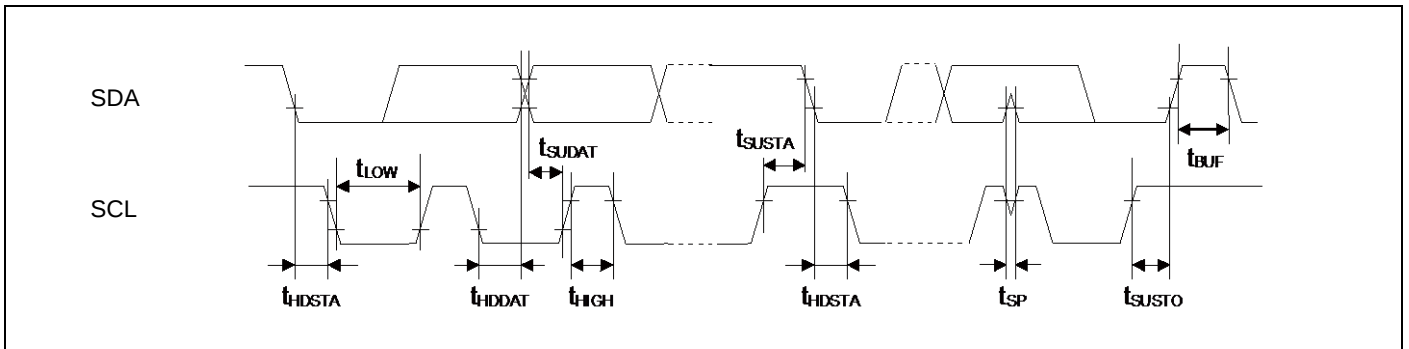
*3: 高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统, 但必须满足 "t_{SUDAT} ≥ 250 的要求"。

*4: t_{CYCP} 是指 APB 总线时钟的周期时间。

关于 I²C 连结的 APB 总线序号, 参照"框图"。

使用标准模式时, 请将 APB 总线时钟设定在 2 MHz 或以上。

使用高速模式时, 请将 APB 总线时钟设定在 8 MHz 或以上。

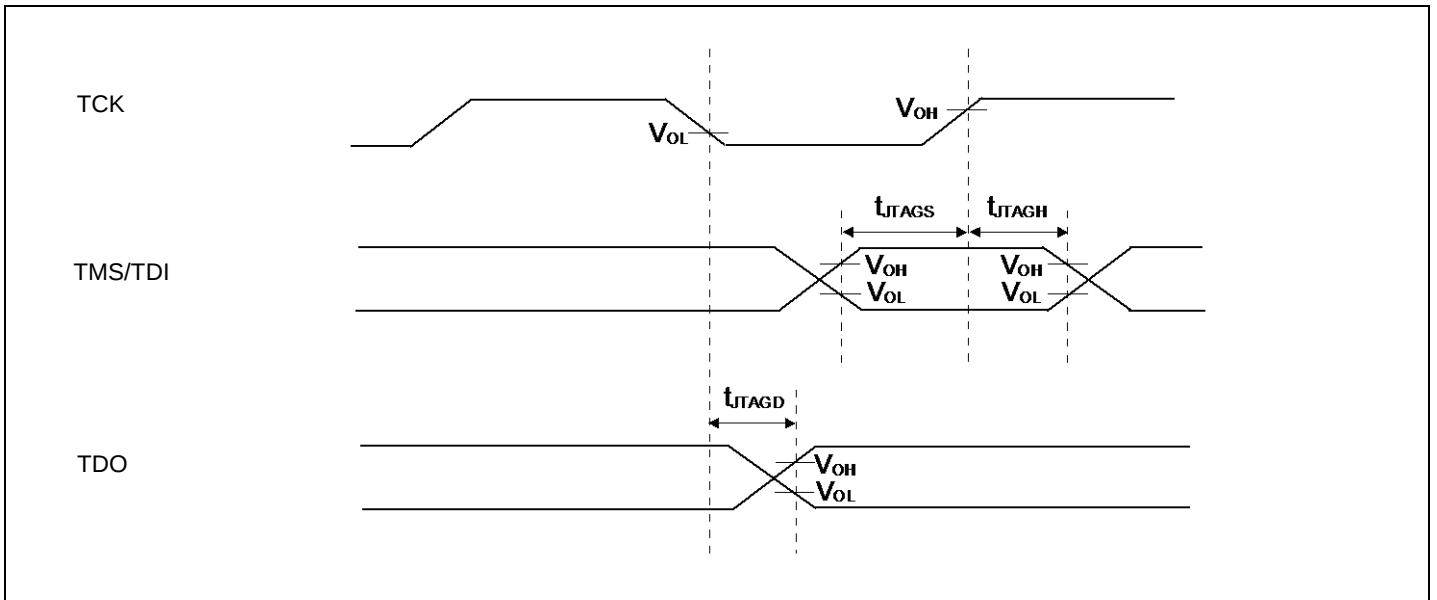


12.4.13 JTAG 时序

 ($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	t_{JTAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TMS, TDI 保持时间	t_{JTAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TDO 延迟时间	t_{JTAGD}	TCK, TDO	$V_{CC} \geq 4.5V$	-	25	ns	
			$V_{CC} < 4.5V$	-	45		

注意事项:外部负载电容 $C_L = 30\text{ pF}$ 时。



12.5 12 位 A/D 转换器

A/D 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
积分非线性	-	-	-	± 1.5	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分非线性	-	-	-	± 1.7	± 2.5	LSB	
零转换电压	V_{ZT}	ANxx	-	± 10	± 15	mV	
全面转换电压	V_{FST}	ANxx	-	AVRH ± 5	AVRH ± 15	mV	
转换时间	-	-	0.8* ¹	-	-	μs	$AV_{CC} \geq 4.5 V$
			1.0* ¹	-	-		$AV_{CC} \geq 4.5 V$
采样时间* ²	t_S	-	0.24	-	10	μs	$AV_{CC} \geq 4.5 V$
			0.3	-			$AV_{CC} < 4.5 V$
比较时钟周期* ³	t_{CCK}	-	40	-	1000	ns	$AV_{CC} \geq 4.5 V$
			50	-			$AV_{CC} \geq 4.5 V$
动作使能状态转移期间	t_{STT}	-	-	-	1.0	μs	
模拟输入电容	C_{AIN}	-	-	-	9.7	pF	
模拟输入电阻	R_{AIN}	-	-	-	1.7	k Ω	$AV_{CC} \geq 4.5 V$
					2.4		$AV_{CC} \geq 4.5 V$
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入电流	-	ANxx	-	-	5	μA	
模拟输入电压	-	ANxx	AVRL	-	AVRH	V	
基准电压	-	AVRH	2.7	-	AV_{CC}	V	
	-	AVRL	AV_{SS}	-	AV_{SS}	V	

*1:转换时间是采样时间(t_S) + 比较时间(t_C)的值。

最短转换时间的条件是:

$AV_{CC} \geq 4.5 V$, HCLK=50 MHz 采样时间:240 ns, 比较时间:560 ns.

$AV_{CC} < 4.5 V$, HCLK=40 MHz 采样时间:300 ns, 比较时间:700 ns

必须满足采样时间(t_S)和比较时钟周期(t_{CCK})的规格。

关于采样时间和比较时钟周期的设置, 参照"FM3 家族外围资源手册 模拟 macro 部分"的"A/D 转换器"一章。

ADC 的寄存器设定按 APB 总线时钟时序反映。

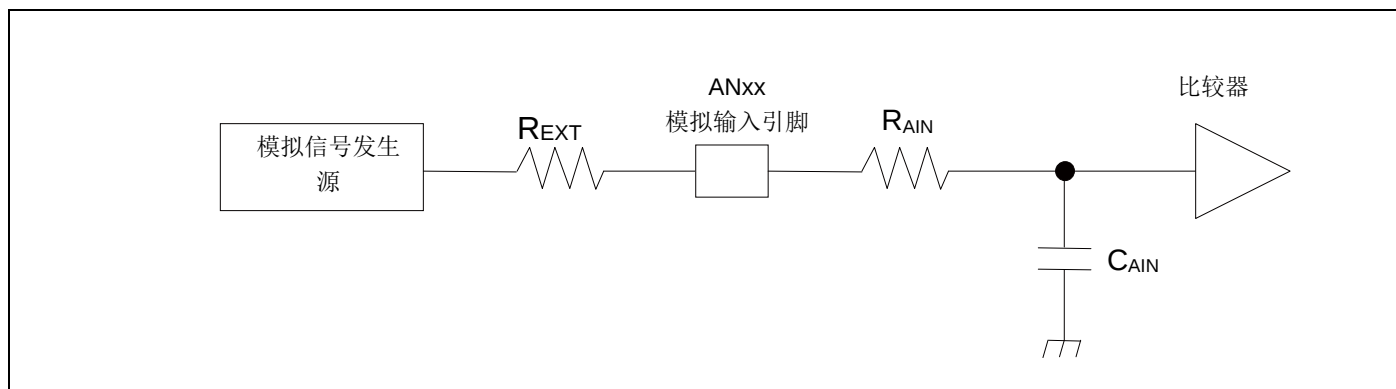
关于 A/D 转换器连接的 APB 总线序号, 参照"框图"。

采样及比较时钟在基本时钟(HCLK)设定。

*2:所需采样时间因外部阻抗而异。

设定的采样时间务必满足(公式 1)。

*3:比较时间(t_C)是(公式 2)的值。



(式 1) $t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_s : 采样时间

R_{AIN} : A/D 的输入电阻 = 1.5 k Ω $4.5\text{ V} \leq AV_{CC} \leq 5.5\text{ V}$ ch.0 ~ ch.7
 A/D 的输入电阻 = 1.6 k Ω $4.5\text{ V} \leq AV_{CC} \leq 5.5\text{ V}$ ch.8 ~ ch.15
 A/D 的输入电阻 = 1.7 k Ω $4.5\text{ V} \leq AV_{CC} \leq 5.5\text{ V}$ ch.16 ~ ch.26
 A/D 的输入电阻 = 2.2 k Ω ch.0 ~ ch.7 $2.7 \leq AV_{CC} < 4.5$ 时
 A/D 的输入电阻 = 2.3 k Ω ch.8 ~ ch.15 $2.7 \leq AV_{CC} < 4.5$ 时
 A/D 的输入电阻 = 2.4 k Ω ch.16 ~ ch.26 $2.7 \leq AV_{CC} < 4.5$ 时

C_{AIN} : A/D 的输入电容 = 9.7 pF $2.7\text{ V} \leq AV_{CC} \leq 5.5\text{ V}$

R_{EXT} : 外部电路的输出阻抗

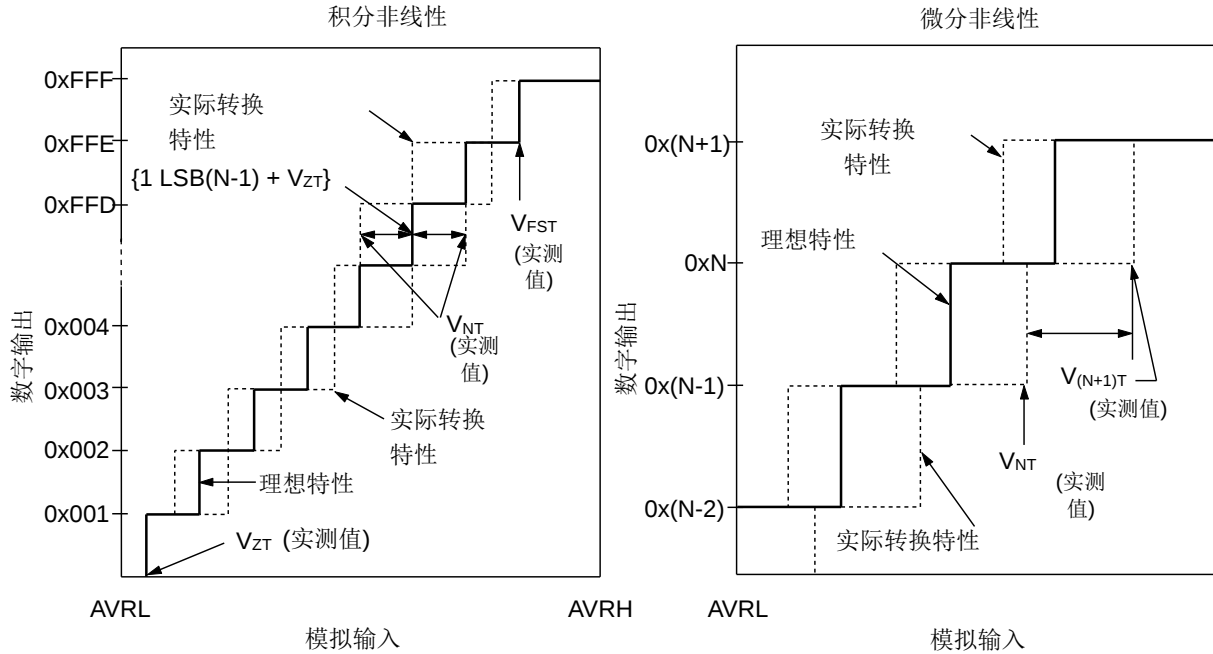
(式 2) $t_c = t_{CCK} \times 14$

t_c : 比较时间

t_{CCK} : 比较时钟周期

12 位 A/D 转换器的术语定义

- **分辨率** :分辨率是 A/D 转换器分辨出的模拟偏差的等级。
- **积分非线性**: 是指实际转换值偏移直线的误差, 该直线连接器件上的零转换点(0b000000000000 ←→ 0b000000000001) 和同一器件上的全面转换点(0b111111111110 ←→ 0b111111111111)。
- **微分非线性**: 指用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N :A/D 转换器的数字输出值。
- V_{ZT} :数字输出由 0x000 至 0x001 变换的电压。
- V_{FST} :数字输出由 0xFFE 至 0xFFF 变换的电压。
- V_{NT} :数字输出由 0x (N - 1)至 0xN 变换的电压。

12.6 10 位 D/A 转换器

D/A 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	DAx	-	-	10	bit	
转换时间	t _{C20}		0.47	0.58	0.69	μs	负载 20pF 时
	t _{C100}		2.37	2.90	3.43	μs	负载 100pF 时
积分非线性*1	INL		- 4.0	-	+ 4.0	LSB	
微分非线性*1,*2	DNL		- 0.9	-	+ 0.9	LSB	
输出电压偏置	V _{OFF}		-	-	10.0	mV	0x000 设定时
			- 20.0	-	+ 5.4	mV	0x3FF 设定时
模拟输出阻抗	R _O		3.10	3.80	4.50	kΩ	D/A 运行时
			2.0	-	-	MΩ	D/A 停止时
输出不定期间	t _R	-	-	70	ns		

*1:无负载

*2:设定到 0x200 时电流最大

12.7 低压检测特性

12.7.1 低压检测复位

 (T_A = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHR*1=	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	00000	2.30	2.50	2.70	V	电压上升时
检测电压	VDL	SVHR*1=	2.39	2.60	2.81	V	电压下降时
释放电压	VDH	00001	2.48	2.70	2.92	V	电压上升时
检测电压	VDL	SVHR*1=	2.48	2.70	2.92	V	电压下降时
释放电压	VDH	00010	2.58	2.80	3.02	V	电压上升时
检测电压	VDL	SVHR*1=	2.58	2.80	3.02	V	电压下降时
释放电压	VDH	00011	2.67	2.90	3.13	V	电压上升时
检测电压	VDL	SVHR*1=	2.76	3.00	3.24	V	电压下降时
释放电压	VDH	00100	2.85	3.10	3.35	V	电压上升时
检测电压	VDL	SVHR*1=	2.94	3.20	3.46	V	电压下降时
释放电压	VDH	00101	3.04	3.30	3.56	V	电压上升时
检测电压	VDL	SVHR*1=	3.31	3.60	3.89	V	电压下降时
释放电压	VDH	00110	3.40	3.70	4.00	V	电压上升时
检测电压	VDL	SVHR*1=	3.40	3.70	4.00	V	电压下降时
释放电压	VDH	00111	3.50	3.80	4.10	V	电压上升时
检测电压	VDL	SVHR*1=	3.68	4.00	4.32	V	电压下降时
释放电压	VDH	01000	3.77	4.10	4.43	V	电压上升时
检测电压	VDL	SVHR*1=	3.77	4.10	4.43	V	电压下降时
释放电压	VDH	01001	3.86	4.20	4.54	V	电压上升时
检测电压	VDL	SVHR*1=	3.86	4.20	4.54	V	电压下降时
释放电压	VDH	01010	3.96	4.30	4.64	V	电压上升时
LVD 稳定等待时间	t _{LVDW}	-	-	-	8160 × t _{cyCP} *2	μs	
LVD 检测延迟时间	t _{LVDOL}	-	-	-	200	μs	

*1: 低压检测电压控制寄存器(LVD_CTL)的 SVHR 位由低压检测复位初始化至"00000"。

*2: t_{cyCP} 是指 APB2 总线时钟的周期时间。

12.7.2 低压检测中断

 (T_A = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 00011	2.58	2.80	3.02	V	电压下降时
释放电压	VDH		2.67	2.90	3.13	V	电压上升时
检测电压	VDL	SVHI = 00100	2.76	3.00	3.24	V	电压下降时
释放电压	VDH		2.85	3.10	3.35	V	电压上升时
检测电压	VDL	SVHI = 00101	2.94	3.20	3.46	V	电压下降时
释放电压	VDH		3.04	3.30	3.56	V	电压上升时
检测电压	VDL	SVHI = 00110	3.31	3.60	3.89	V	电压下降时
释放电压	VDH		3.40	3.70	4.00	V	电压上升时
检测电压	VDL	SVHI = 00111	3.40	3.70	4.00	V	电压下降时
释放电压	VDH		3.50	3.80	4.10	V	电压上升时
检测电压	VDL	SVHI = 01000	3.68	4.00	4.32	V	电压下降时
释放电压	VDH		3.77	4.10	4.43	V	电压上升时
检测电压	VDL	SVHI = 01001	3.77	4.10	4.43	V	电压下降时
释放电压	VDH		3.86	4.20	4.54	V	电压上升时
检测电压	VDL	SVHI = 01010	3.86	4.20	4.54	V	电压下降时
释放电压	VDH		3.96	4.30	4.64	V	电压上升时
LVD 稳定等待时间	t _{LVDW}	-	-	-	8160 × t _{CYCP} *	μs	
LVD 检测延迟时间	t _{LVDL}	-	-	-	200	μs	

 *: t_{CYCP} 是 APB2 总线时钟的周期时间。

12.8 闪存擦/写特性

12.8.1 擦/写时间

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数		规格值		单位	备注
		标准	最大		
扇区擦除时间	大扇区	1.1	2.7	s	包括内部擦除前的写入时间
	小扇区	0.3	0.9		
半字(16 位)写入时间		16	310	μs	不包括系统级开销时间
整片擦除时间		6.8	18	s	包括内部擦除前的写入时间

*:典型值指发货后立即有效的值，最大值指在 1 万个擦除/写入周期后的保证值。

12.8.2 擦/写周期和数据保持时间

擦/写次数(周期)	保持时间(年)	备注
1,000	20*	
10,000	10*	

*:平均温度 $+85^{\circ}C$

12.9 从低功耗模式下的返回时间

12.9.1 返回因数: 中断WKUP

从低功耗模式下的返回时间按如下所示。从收到返回因数到启动程序运行为止。

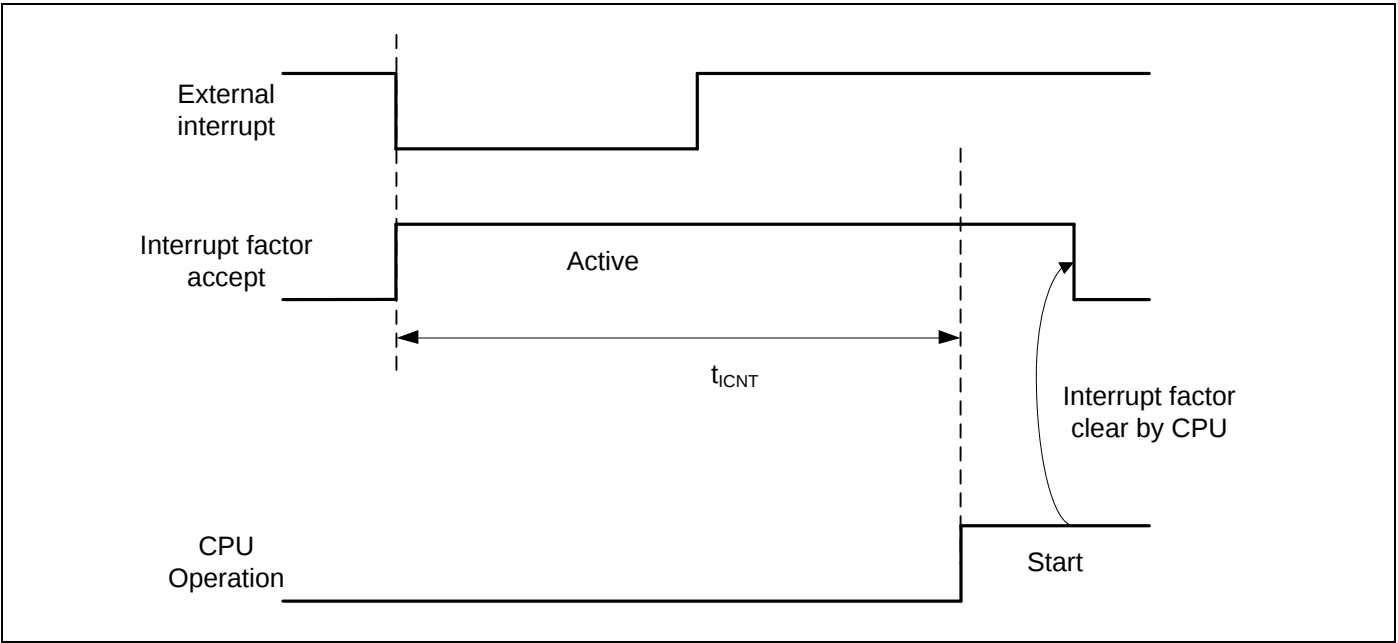
返回计数时间

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t _{ICNT}	t _{cycc}		μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		340	680	μs	
子定时器模式		680	860	μs	
RTC 模式, 停止模式		268	503	μs	
深层待机 RTC 模式		308	583	μs	RAM off 时
深层待机停止模式		268	503	μs	RAM on 时

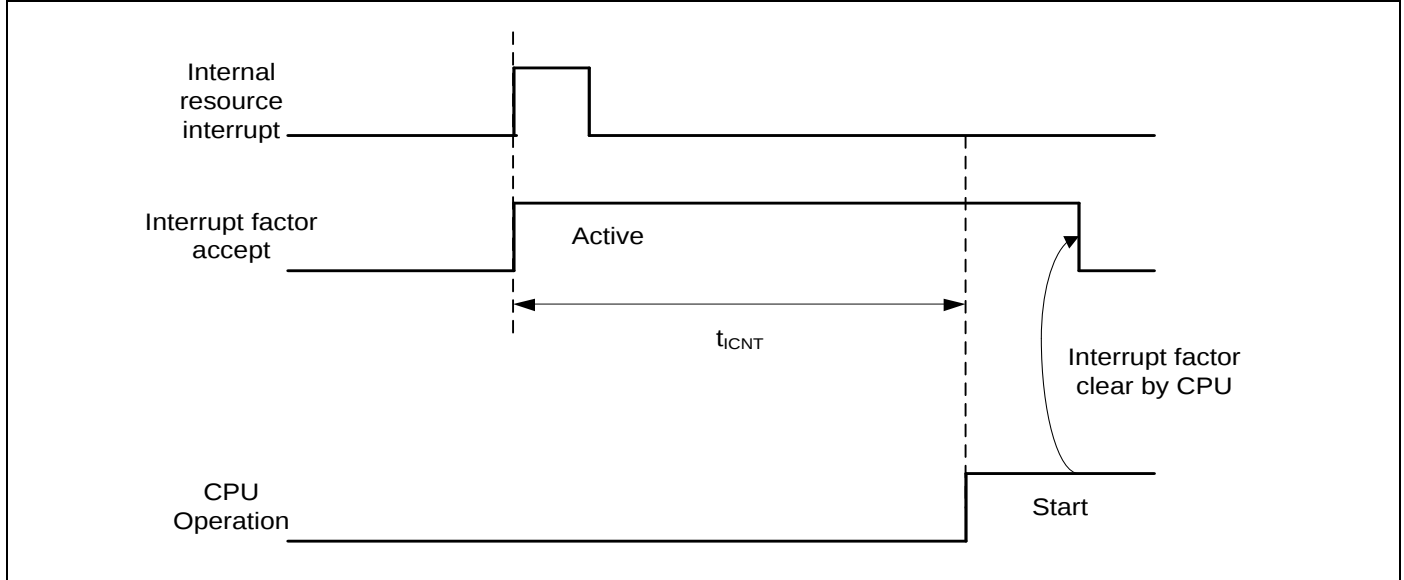
*:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过外部中断*）



*:外部中断设置为检测下降沿。

从低功耗模式返回的操作示例（通过内部资源中断*）



*:对这类低功耗模式，内部资源中断未包含在返回因数中。

注意事项:

- 每一种低功耗模式中的返回因数各不相同。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。

12.9.2 返回因数:复位

从低功耗模式下的返回时间按如下所示。从释放复位到启动程序运行为止。

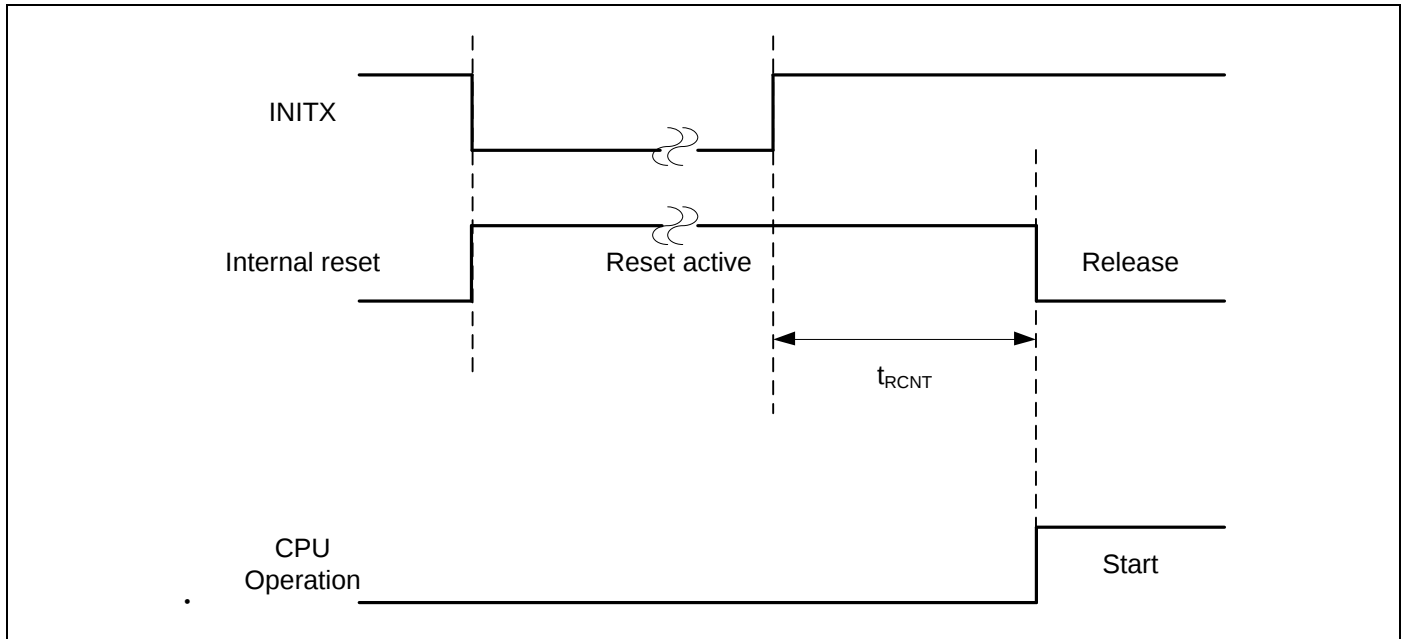
返回计数时间

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

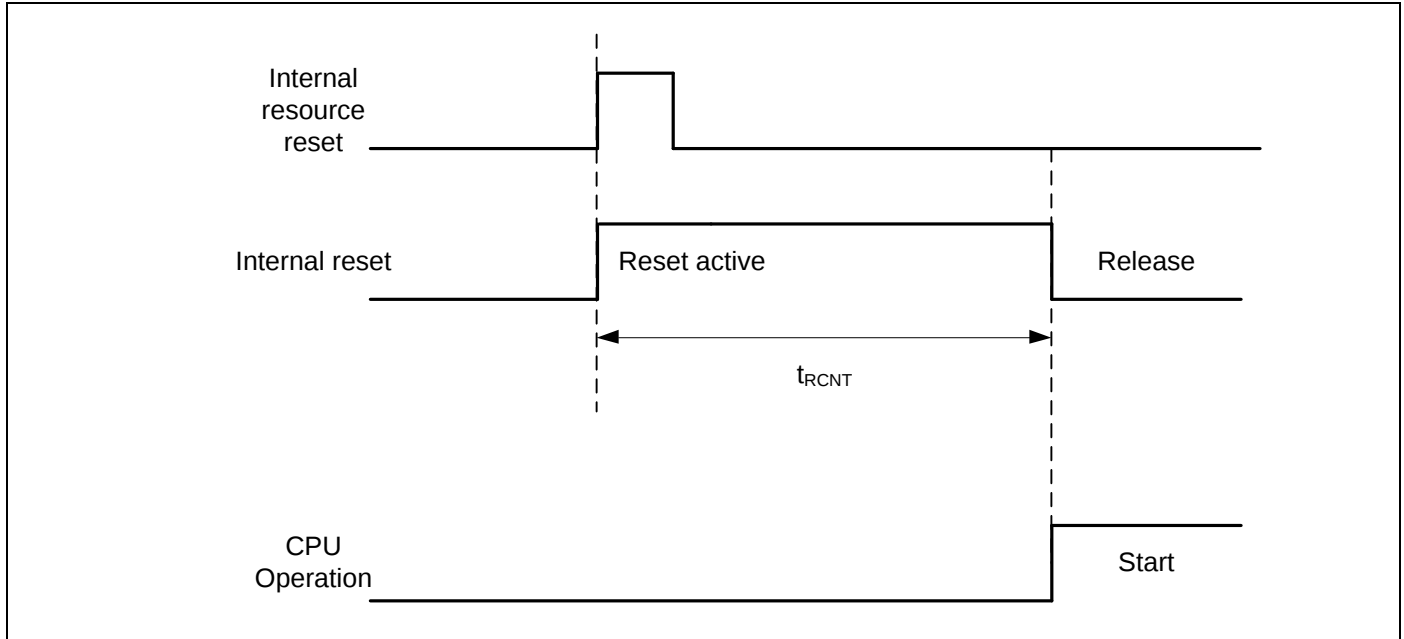
参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t_{RCNT}	148	263	μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		148	263	μs	
低速 CR 定时器模式		248	463	μs	
子定时器模式		312	496	μs	
RTC 模式, 停止模式		268	503	μs	
深层待机 RTC 模式		308	583	μs	RAM off 时
深层待机停止模式		268	503	μs	RAM on 时

*:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过 INITX）



从低功耗模式返回的操作示例（通过内部资源复位*）



*:对这类低功耗模式，内部资源复位未包含在返回因数中。

注意事项:

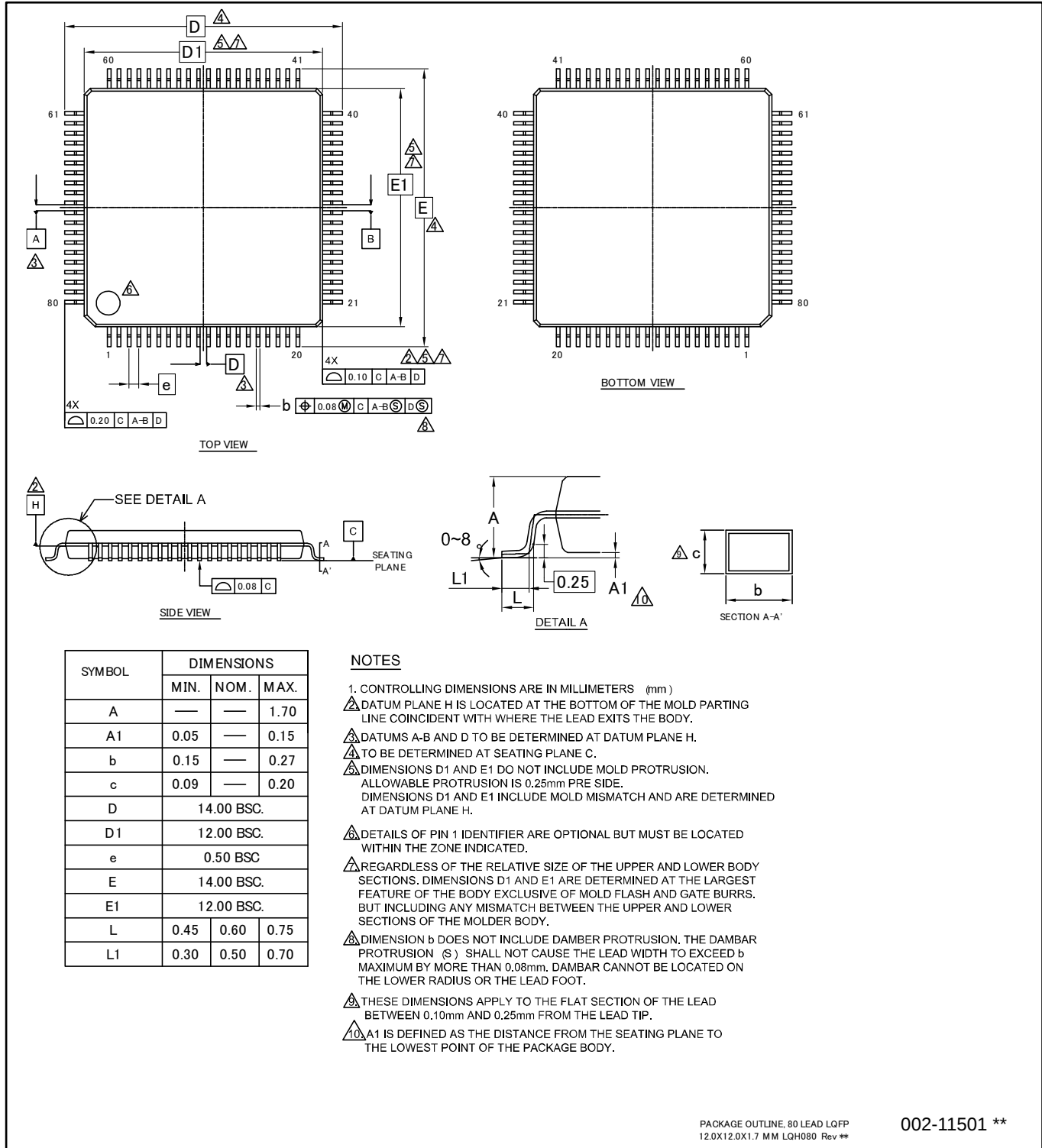
- 每一种低功耗模式中的返回因数各不相同。请参阅 **FM3 系列外设手册** 中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 **FM3 系列外设手册** 中的“第 6 章：低功耗模式”。
- 排除加电复位/低电压检测复位的时间。请参阅“[12.电气特性 12.4 交流特性 12.4.7 上电复位时序](#)”，详细了解加电复位/低电压检测复位时间。
- 在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位意味着看门狗复位和 CSV 复位。

13. 订购信息

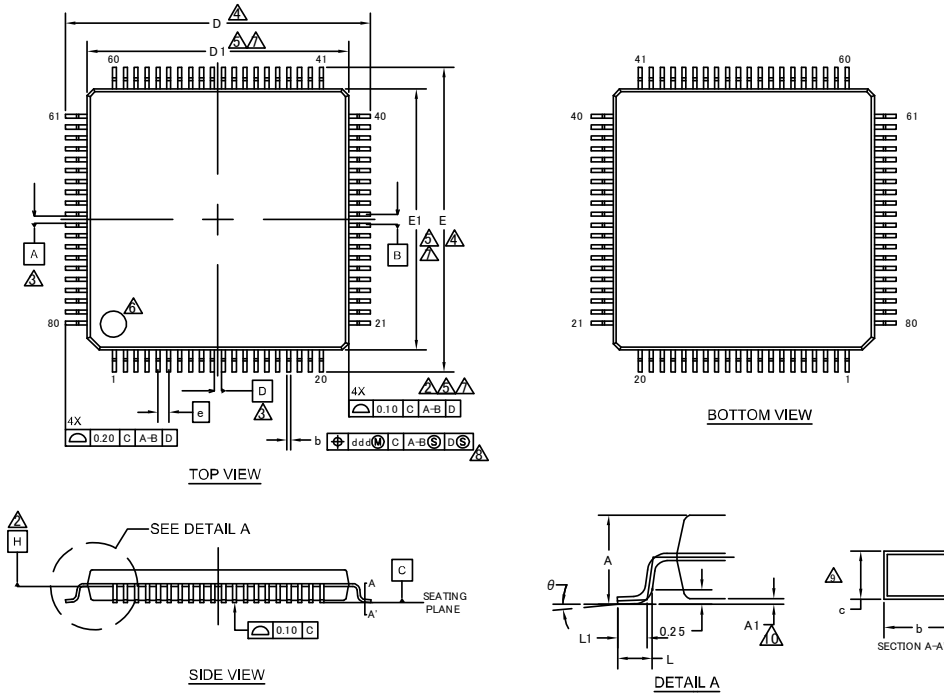
产品类型	片上 闪存	片上 SRAM	封装	包装
CY9BF121KQN-G-AVE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・QFN (0.5 mm 间距), 48 脚 (VNA048)	Tray
CY9BF122KQN-G-AVE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124KQN-G-AVE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121KPMC-G-MNE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・LQFP (0.5 mm 间距), 48 脚 (LQA048)	
CY9BF122KPMC-G-MNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124KPMC-G-MNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121LQN-G-AVE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・QFN (0.5 mm 间距), 64 脚 (VNC064)	
CY9BF122LQN-G-AVE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124LQN-G-AVE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121LPMC1-G-MNE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・LQFP (0.5 mm 间距), 64 脚 (LQD064)	
CY9BF122LPMC1-G-MNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124LPMC1-G-MNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121LPMC-G-MNE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・LQFP (0.65 mm 间距), 64 脚 (LQG064)	
CY9BF122LPMC-G-MNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124LPMC-G-MNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121MPMC-G-MNE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・LQFP (0.5 mm 间距), 80 脚 (LQH080)	
CY9BF122MPMC-G-MNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124MPMC-G-MNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121MPMC1-G-JNE2	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・LQFP (0.65 mm 间距), 80 脚 (LQJ080)	
CY9BF122MPMC1-G-JNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124MPMC1-G-JNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF121MBGL-GE1	Main:64 Kbyte Work:32 Kbyte	16 Kbyte	塑封・PFBGA (0.5 mm 间距), 96 脚 (FDG096)	
CY9BF122MBGL-GE1	Main:128 Kbyte Work:32 Kbyte	16 Kbyte		
CY9BF124MBGL-GE1	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		

14. 封装尺寸图

Package Type	Package Code
LQFP 80	LQH080



Package Type	Package Code
LQFP 80	LQJ080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.16	0.32	0.38
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.65 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

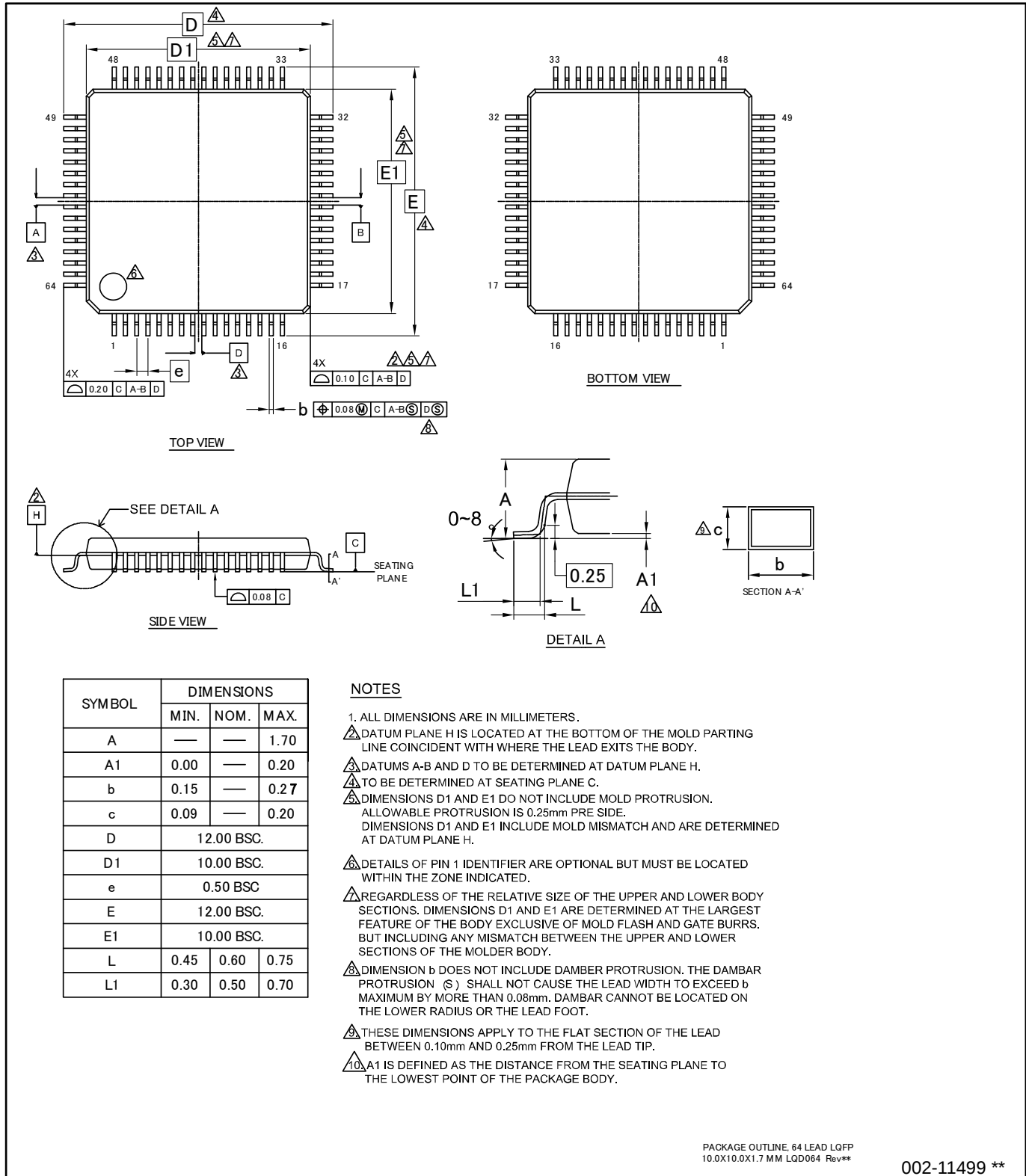
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-14043 **

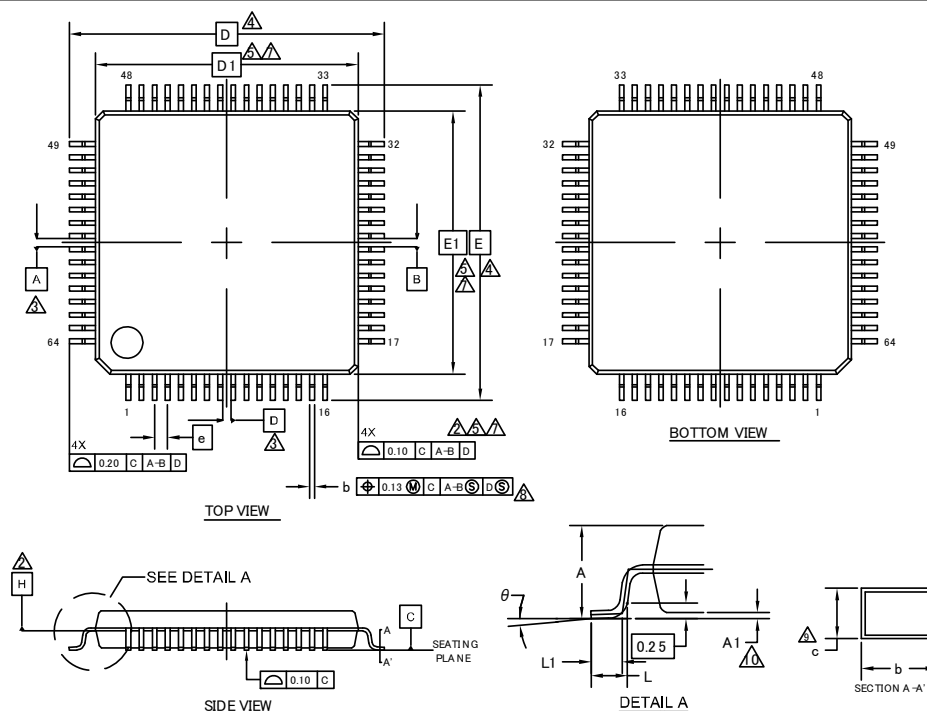
PACKAGE OUTLINE, 80 LEAD LQFP
 14.0X14.0X1.7 MM LQJ080 REV**

Package Type	Package Code
LQFP 64	LQD064



002-11499 **

Package Type	Package Code
LOFP 64	LOG064



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.27	0.32	0.37
c	0.09	—	0.20
D	14.00 BSC		
D1	12.00 BSC		
e	0.65 BSC		
E	14.00 BSC		
E1	12.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

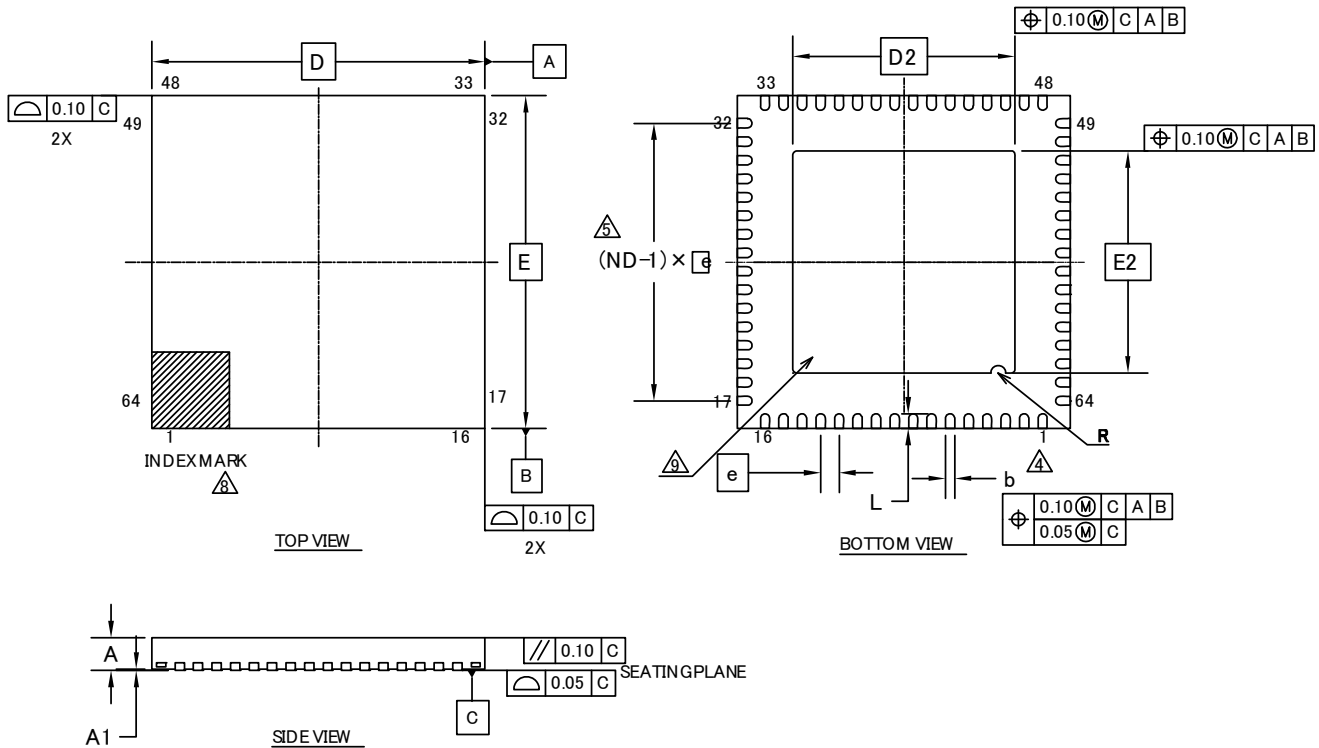
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **

PACKAGE OUTLINE, 64 LEAD LQFP
12.0X12.0X1.7 MM LQG064 REV**

Package Type	Package Code
QFN 64	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	9.00 BSC		
E	9.00 BSC		
b	0.20	0.25	0.30
D2	6.00 BSC		
E2	6.00 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45
N	64		
ND	16		

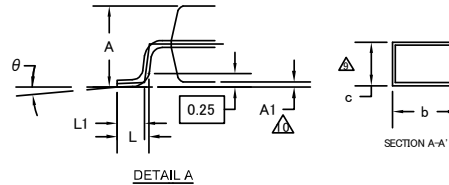
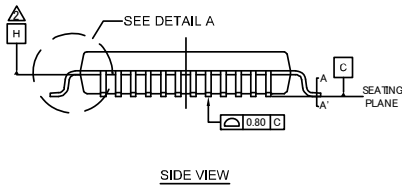
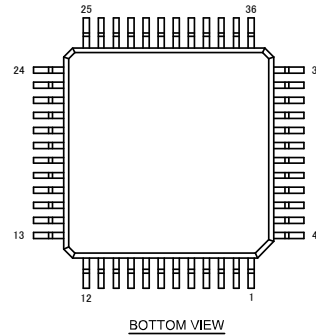
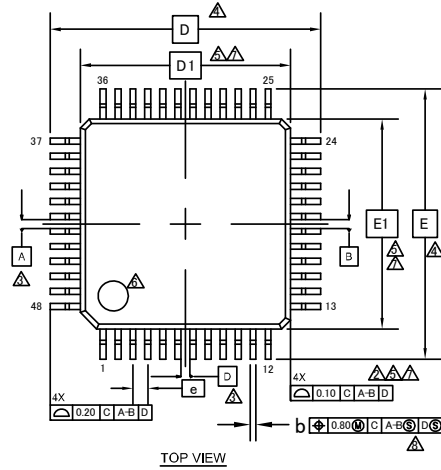
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
-  DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
-  ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
-  PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
-  BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

002-13234 **

PACKAGE OUTLINE, 64 LEAD QFN
 9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev**

Package Type	Package Code
LQFP 48	LQA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

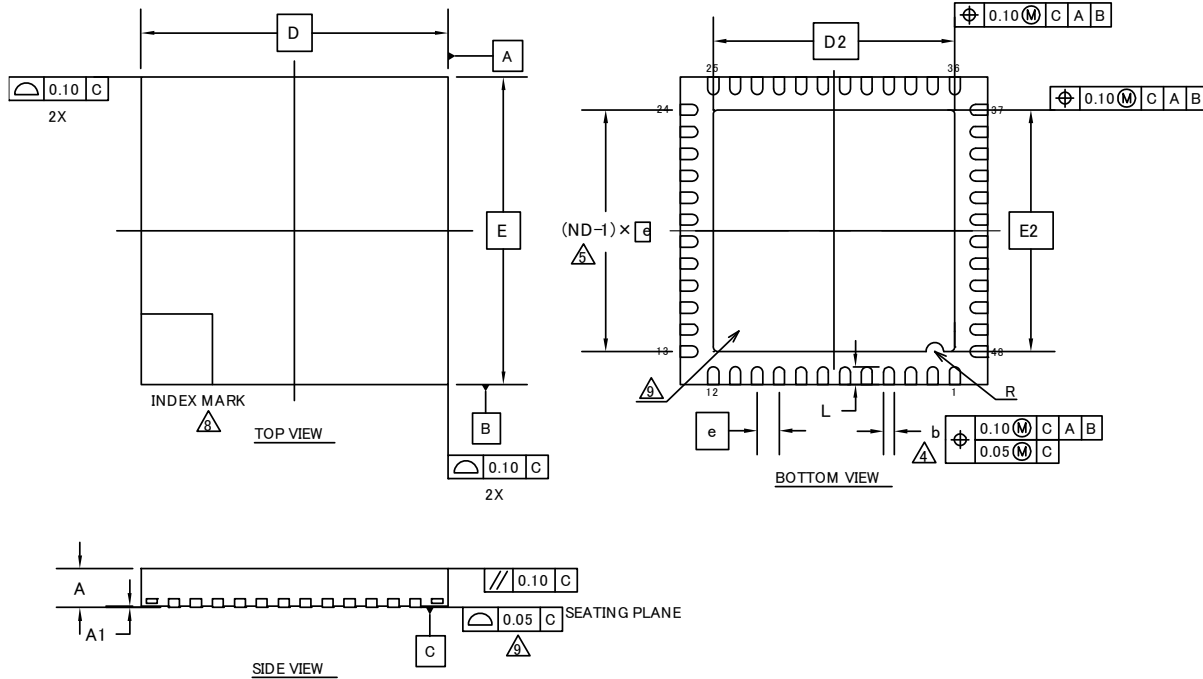
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13731 **

PACKAGE OUTLINE, 48 LEAD LQFP
7.0X7.0X1.7 MM LQA048 REV**

Package Type	Package Code
QFN 48	VNA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.20	0.25	0.30
D2	5.50 BSC		
E2	5.50 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45

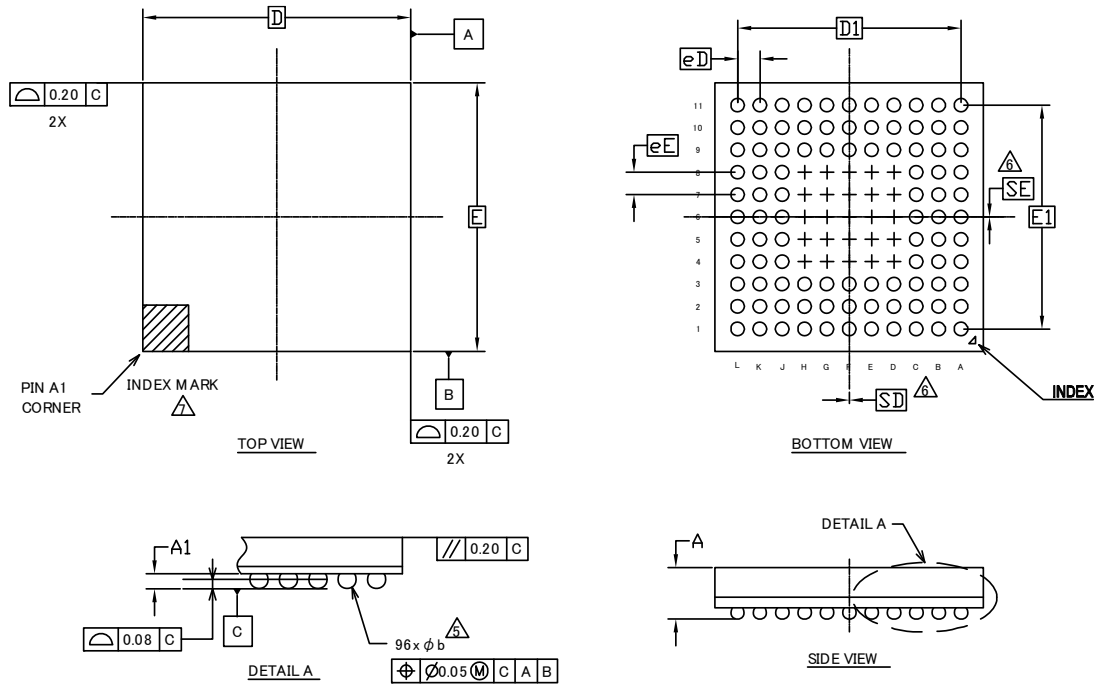
NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- Δ DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- Δ ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS
- Δ PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- Δ BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF: N/A

002-15528 **

PACKAGE OUTLINE: 48 LEAD QFN
 7.0X7.0X0.9 MM VNA048 5.5X5.5 MM EPAD (SAWN) REV**

Package Type	Package Code
FBGA 96	FDG096



NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.30
A1	0.15	0.25	0.35
D	6.00 BSC		
E	6.00 BSC		
D1	5.00 BSC		
E1	5.00 BSC		
MD	11		
ME	11		
N	96		
φ b	0.20	0.30	0.40
eD	0.50 BSC		
eE	0.50 BSC		
SD	0.00		
SE	0.00		

002-13224 **

 PACKAGE OUTLINE, 96 BALL FBGA
 6.0X6.0X1.3 MM FDG096 REV**

文档修改记录

文档标题: **CY9B120M 系列 32 位 Arm® Cortex®-M3 FM3 微控制器**

文档编号: **002-05654**

修订版	ECN	提交日期	变更说明
**	-	06/18/2013	已转换成 Cypress 格式, 分配文档号为 002-05654。 文档内容或格式无更改。
*A	5594823	01/20/2017	更新 Cypress 模板。
*B	6728834	11/12/2019	本文档版本号为 Rev. *B, 译自英文版 002-05655 Rev. *F。
*C	6744599	12/06/2019	本文档版本号为 Rev. *C, 译自英文版 002-05655 Rev. *G。
*D	6768940	01/09/2020	本文档版本号为 Rev. *D, 译自英文版 002-05655 Rev. *H。

销售、解决方案以及法律信息

全球销售和設計支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmuc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

Arm 和 Cortex 是 Arm Limited 在欧盟和其它国家的注册商标。

© 赛普拉斯半导体公司，2012-2020年。本文件是赛普拉斯半导体公司及其子公司，包括Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能性和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担任何全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion徽标，及上述项目的组合，WICED，及PSoC、CapSense、EZ-USB、F-RAM和Traveo应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问cypress.com获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。