

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

CY9A310A シリーズは、高速処理と低コストを求める組み込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。CY9A310A シリーズは、CPU に Arm® Cortex®-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ、A/D コンバータ、各種通信インタフェース(USB, UART, CSIO, I²C, LIN)により構成されます。『FM3 ファミリー パリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE1 製品に分類されます。

特長

32 ビット Arm® Cortex®-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 40 MHz
- ネスト型ベクタ割込みコントローラ(NVIC): 1 チャネルの NMI(ノンマスカブル割込み)と 48 チャネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

- フラッシュメモリ
 - 最大 512 K バイト
 - リードサイクル: 0 ウェイトサイクル
 - コード保護用セキュリティ機能
- SRAM

本シリーズは、合計最大 32K バイトのオンチップ SRAM を搭載します。

オンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されます。

SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続します。

SRAM1 は、System バスに接続します。

 - SRAM0: 最大 16 K バイト
 - SRAM1: 最大 16 K バイト

USB インタフェース

USB インタフェースはデバイスとホストで構成されます。USB 用 PLL を搭載し、メインクロックを逡倍し USB クロックを生成できます。

- USB デバイス
 - USB2.0 Full-Speed 対応
 - 最大 6 本のエンドポイントをサポートします。
 - エンドポイント 0 はコントロール転送
 - エンドポイント 1,2 はバルク転送, インタラプト転送, アイソクロナス転送を選択可能
 - エンドポイント 3,4,5 はバルク転送, インタラプト転送を選択可能
 - エンドポイント 1~5 はダブルバッファ構成
 - 各エンドポイントのサイズは下記のとおり
 - エンドポイント 0, 2~5: 64 バイト
 - エンドポイント 1: 256 バイト

■USB ホスト

- USB2.0 Full-Speed / Low-Speed 対応
- バルク転送, インタラプト転送, アイソクロナス転送をサポート
- USB デバイスの接続/切断の自動検出
- IN/OUT トークン時のハンドシェイクパケットの自動処理
- 最大パケット長 256 バイトをサポート
- ウェイクアップ機能をサポート

マルチファンクションシリアルインタフェース(最大 8 チャネル)

- 16 段 × 9 ビット FIFO あり 4 チャネル(ch.4~ch.7), FIFO なし 4 チャネル(ch.0~ch.3)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全二重ダブルバッファ
 - パリティあり/なし選択可能
 - 専用ポーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - ハードウェアフロー・コントロール : CTS/RTS による送受信自動制御(ch.4 のみ)*
 - 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

*: CY9AF311LA, F312LA, F314LA はハードウェアフロー・コントロール非対応

■CSIO

- 全二重ダブルバッファ
- 専用ポーレートジェネレータ内蔵
- オーバランエラー検出機能

■LIN

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■I²C

- Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

外部バスインタフェース*

- SRAM, NOR フラッシュデバイスに対応
- 最大 8 チップセレクト
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット
- 最大アクセスサイズ: 256 M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート
 - *: CY9AF311LA, F312LA, F314LA は外部バスインタフェース非対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つの独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1 ~ 16
- 転送回数: 1 ~ 65536

A/D コンバータ(最大 16 チャンネル)

- 12 ビット A/D コンバータ
 - 逐次比較型
 - 3 ユニット搭載*
 - 変換時間: 1.0 μ s @ 5 V
 - 優先変換可能(2 レベルの優先度)
 - スキャン変換モード
 - 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)
- *: CY9AF311LA, F312LA, F314LA は 2 ユニット搭載

ベースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

多機能タイマ(最大 2 ユニット)

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャンネル / ユニット
- インプットキャプチャ×4 チャンネル / ユニット
- アウトプットコンペア×6 チャンネル / ユニット

- A/D 起動コンペア×3 チャンネル / ユニット
- 波形ジェネレータ×3 チャンネル / ユニット
- 16 ビット PPG タイマ×3 チャンネル / ユニット
 - モータ制御を実現するために次の機能を用意しています。
- PWM 信号出力機能
- DC チョップパルス出力機能
- デッドタイム機能
- インプットキャプチャ機能
- A/D コンバータ起動機能
- DTIF(モータ緊急停止)割込み機能

クアッドカウンタ
**(QPRC: Quadrature Position/Revolution Counter)
(最大 2 チャンネル)**

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからのウェイクアップに使用します。

インターバルタイマ: 最大 64 s@サブクロック使用時(32.768 kHz)

ウォッチドッグタイマ(2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、ストップモード以外のすべての低消費電力モードで動作します。

外部割込み制御ユニット

- 外部割込み入力端子: 最大 16 本
- ノンマスクابل割込み(NMI)入力端子: 1 本

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 83 本の高速汎用 I/O ポート@100pin Package
- 一部のポートは 5V トレラント対応(CY9AF315MA/NA, CY9AF316MA/NA のみ)
該当する端子については「端子機能説明」を参照してください。

CRC(Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

- クロック
 - 5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。
 - メインクロック: 4 MHz ~ 48 MHz
 - サブクロック: 32.768 kHz
 - 内蔵高速 CR クロック: 4 MHz
 - 内蔵低速 CR クロック: 100 kHz
 - メイン PLL クロック
- リセット
 - INITX 端子からのリセット要求
 - 電源投入リセット
 - ソフトウェアリセット
 - ウォッチドッグタイマリセット
 - 低電圧検出リセット
 - クロックスーパバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low Voltage Detect)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

3 種類の低消費電力モードに対応しています。

- スリープ
- タイマ
- ストップ

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル(ETM)*
*: CY9AF311LA/MA, F312LA/MA, F314LA/MA, F315MA, F316MA は SWJ-DP のみ対応

電源

2 種類の電源

- ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V
- USB I/O 用電源: USBVCC = 3.0 V~3.6 V(USB 使用時)
= 2.7 V~5.5 V(GPIO 使用時)

Contents

特長	1
1. 品種構成	5
2. パッケージと品種対応	7
3. 端子配列図	8
4. 端子機能説明	14
5. 入出力回路形式	37
6. 取扱上のご注意	42
7. デバイス使用上の注意	45
8. ブロックダイヤグラム	47
9. メモリサイズ	48
10. メモリマップ	48
11. 各 CPU ステートにおける端子状態	52
12. 電気的特性	56
12.1 絶対最大定格	56
12.2 推奨動作条件	58
12.3 直流規格	59
12.4 交流規格	62
12.5 12 ビット A/D コンバータ	88
12.6 USB 特性	91
12.7 低電圧検出特性	95
12.8 フラッシュメモリ書込み/消去特性	96
12.9 スタンバイ復帰時間	97
13. オーダ型格	101
14. パッケージ・外形寸法図	102
15. エラッタ	109
15.1 関係するオーダ型格	109
15.2 製品出荷状況	109
15.3 エラッタサマリ	109
16. 主な変更内容	110
改訂履歴	113
セールス, ソリューションおよび法律情報	114

1. 品種構成

メモリサイズ

品種名	CY9AF311LA/MA/NA	CY9AF312LA/MA/NA	CY9AF314LA/MA/NA
オンチップフラッシュメモリ	64 Kbyte	128 Kbyte	256 Kbyte
オンチップ SRAM	16 Kbyte	16 Kbyte	32 Kbyte

品種名	CY9AF315MA/NA	CY9AF316MA/NA
オンチップフラッシュメモリ	384 Kbyte	512 Kbyte
オンチップ SRAM	32 Kbyte	32 Kbyte

ファンクション

品種名	CY9AF311LA CY9AF312LA CY9AF314LA CY9AF312L	CY9AF311MA CY9AF312MA CY9AF314MA CY9AF315MA CY9AF316MA CY9AF314M	CY9AF311NA CY9AF312NA CY9AF314NA CY9AF315NA CY9AF316NA	
端子数	64	80	100	
CPU	Cortex-M3			
周波数	40 MHz			
電源電圧範囲	2.7 V ~ 5.5 V			
USB2.0 (Device/Host)	1 ch.			
DMAC	8 ch.			
外部バスインタフェース	-	Addr:21-bit (最大) Data:8-bit CS:4(最大) Support:SRAM, NOR フラッシュメモリ	Addr:25-bit (最大) Data:8-/16-bit CS:8(最大) Support:SRAM, NOR フラッシュメモリ	
マルチファンクションシリアルインタフェース (UART/CSIO/LIN/I ² C)	8 ch. (最大) FIFO (16 段 × 9 ビット)あり:ch.4 ~ ch.7 FIFO なし: ch.0 ~ ch.3			
ベースタイマ (PWC/リロードタイマ/PWM/PPG)	8 ch. (最大)			
多機能タイマ	A/D 起動コンペア	3 ch.	1 unit	2 units (最大)
	インプットキャプチャ	4 ch.		
	フリーランタイマ	3 ch.		
	アウトプットコンペア	6 ch.		
	波形ジェネレータ	3 ch.		
	PPG	3 ch.		
クアッドカウンタ	2 ch. (Max)			

品種名	CY9AF311LA CY9AF312LA CY9AF314LA CY9AF312L	CY9AF311MA CY9AF312MA CY9AF314MA CY9AF315MA CY9AF316MA CY9AF314M	CY9AF311NA CY9AF312NA CY9AF314NA CY9AF315NA CY9AF316NA
デュアルタイマ	1 unit		
時計カウンタ	1 unit		
CRC アクセラレータ	Yes		
ウォッチドッグタイマ	1ch. (SW) + 1ch. (HW)		
外部割込み	8 pins (最大)+ NMI × 1	11 pins(最大)+NMI × 1	16 pins(最大)+NMI × 1
汎用 I/O ポート	51 pins (最大)	66 pins (最大)	83 pins (最大)
12 ビット A/D コンバータ	9 ch. (2 units)	12 ch. (3 units)	16 ch. (3 units)
クロック異常検出機能(CSV)	Yes		
低電圧検出機能(LVD)	2 ch.		
内蔵 CR	高速	4 MHz	
	低速	100 kHz	
デバッグ機能	SWJ-DP		SWJ-DP/ETM

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
内蔵 CR のクロック周波数精度については、『12.電気的特性 12.4.交流規格 12.4.3.内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ \ 品種名	CY9AF311LA CY9AF312LA CY9AF314LA CY9AF312L	CY9AF311MA CY9AF312MA CY9AF314MA CY9AF315MA CY9AF316MA CY9AF314M	CY9AF311NA CY9AF312NA CY9AF314NA CY9AF315NA CY9AF316NA
LQFP: LQD064 (0.5 mm pitch)	○	-	-
LQFP: LQG064 (0.65 mm pitch)	○	-	-
QFN: VNC064 (0.5 mm pitch)	○	-	-
LQFP: LQH080 (0.5 mm pitch)	-	○	-
LQFP: LQI100 (0.5 mm pitch)	-	-	○
QFP: PQH100 (0.65 mm pitch)	-	-	○
BGA: LBC112 (0.8 mm pitch)	-	-	○

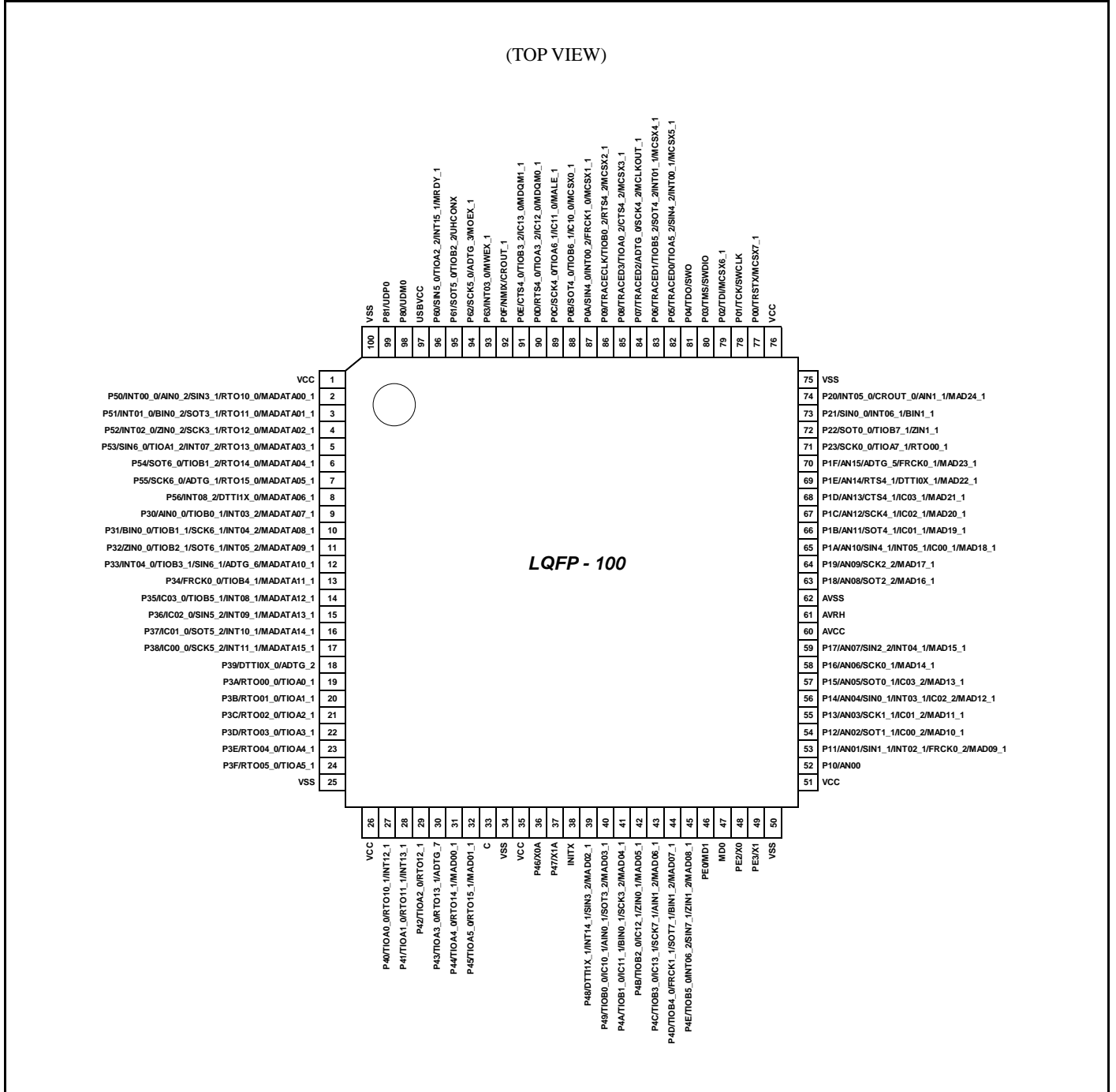
○: 対応

<注意事項>

- 各パッケージの詳細は「14.パッケージ・外形寸法図」を参照してください。

3. 端子配列図

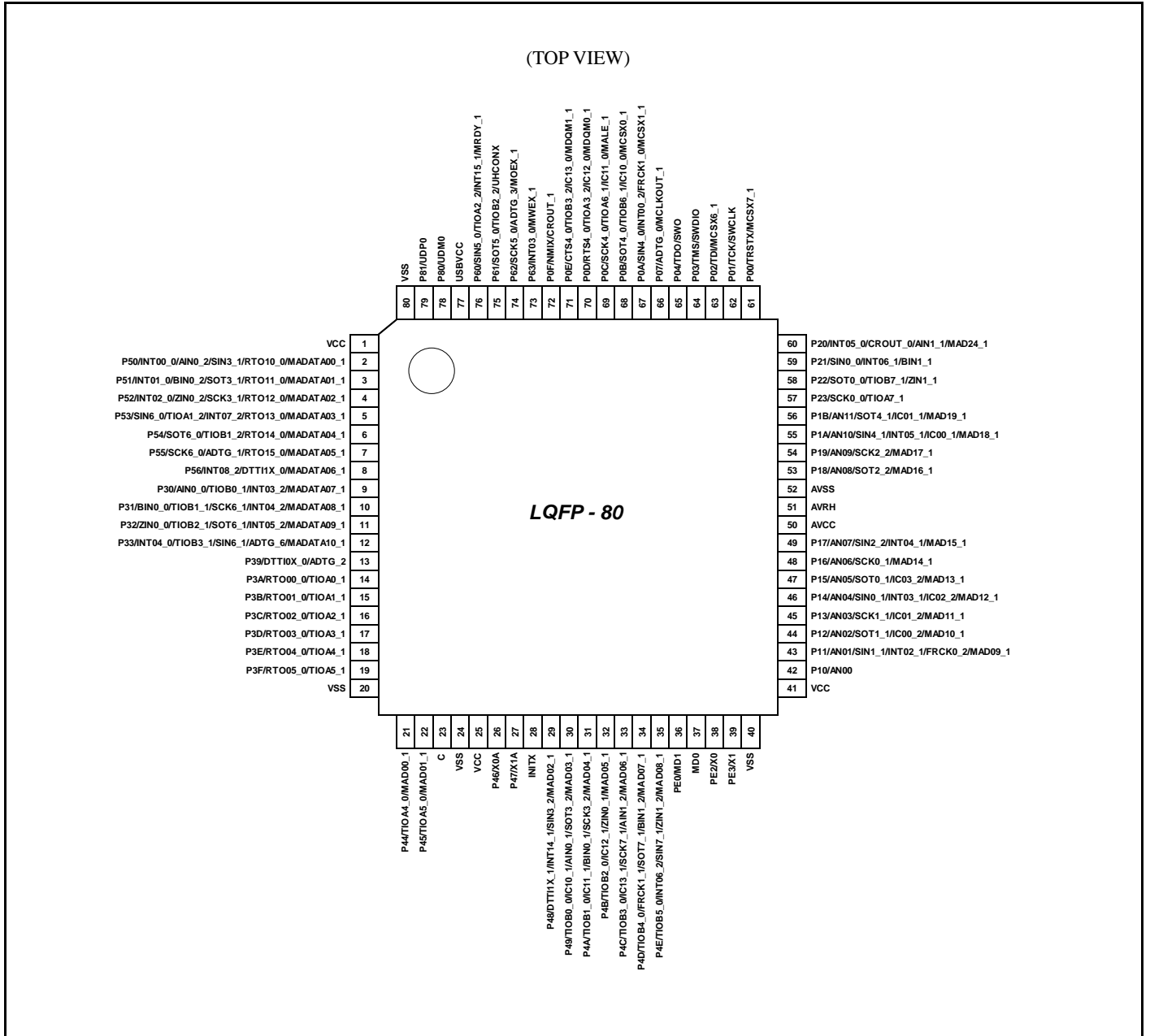
LQI100



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
- これらの端子は1つのチャンネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR)で使用する端子を選択してください。

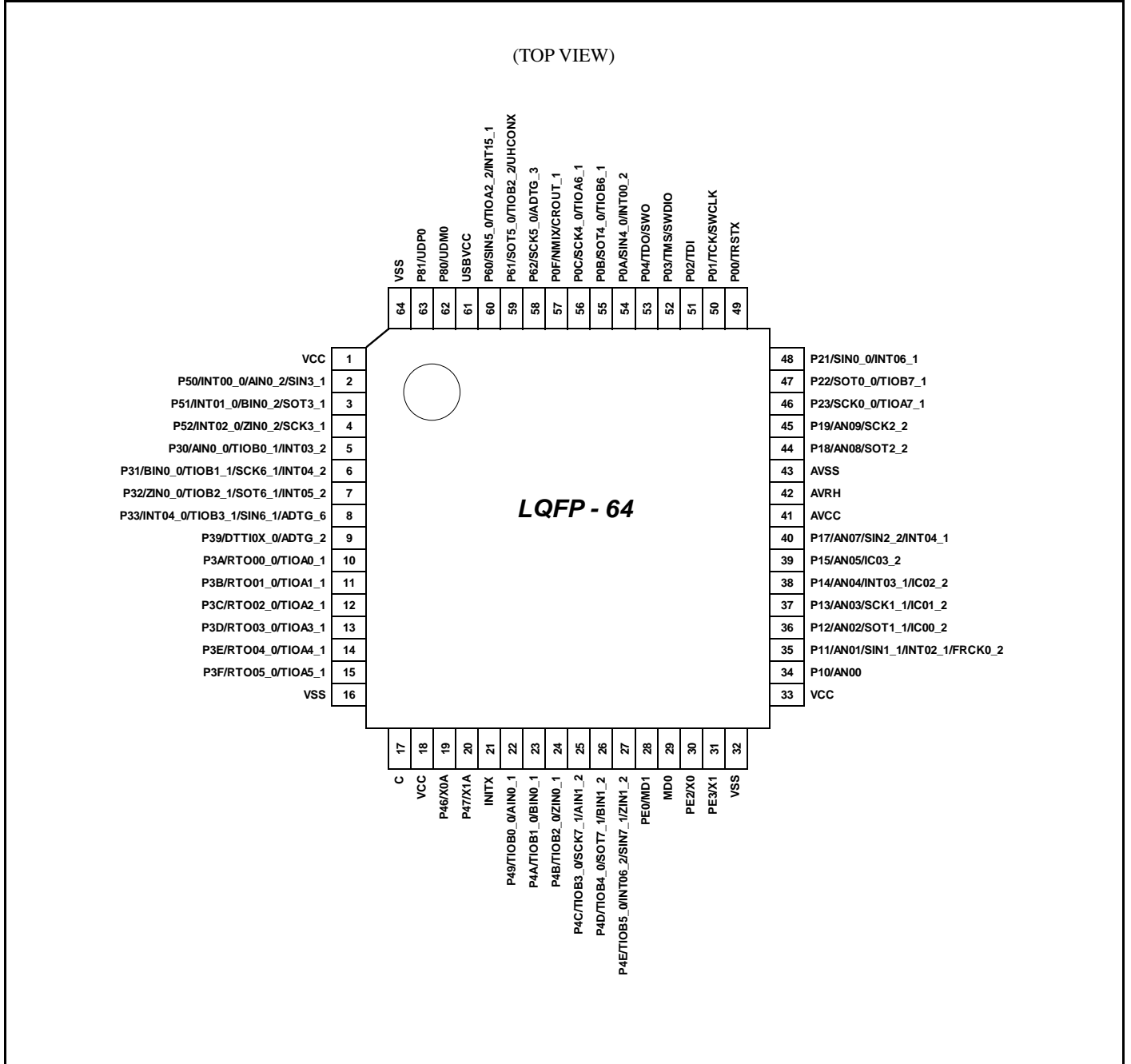
LQH080



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR)で使用する端子を選択してください。

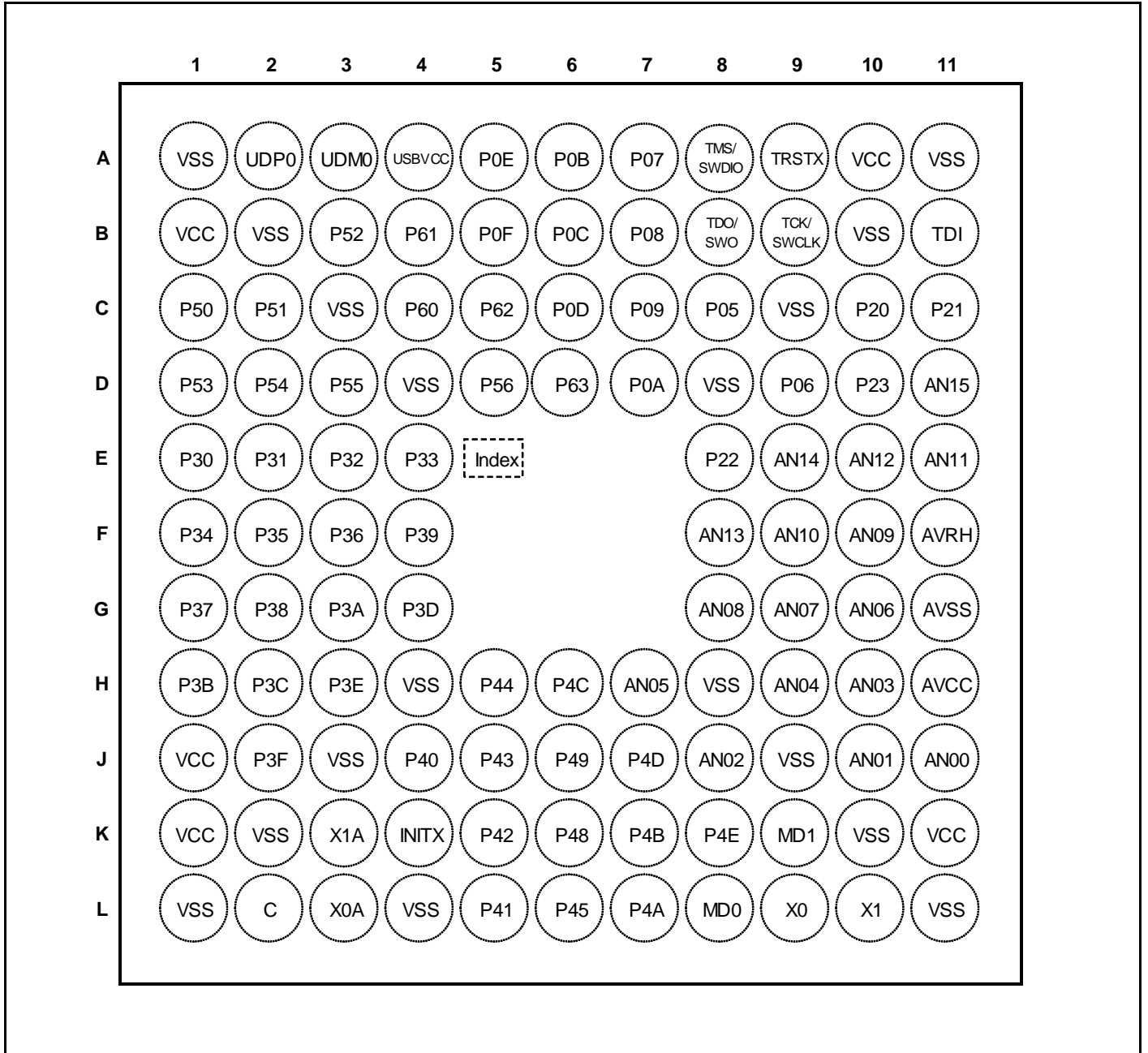
LQD064/ LQG064



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は1つのチャンネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR)で使用する端子を選択してください。

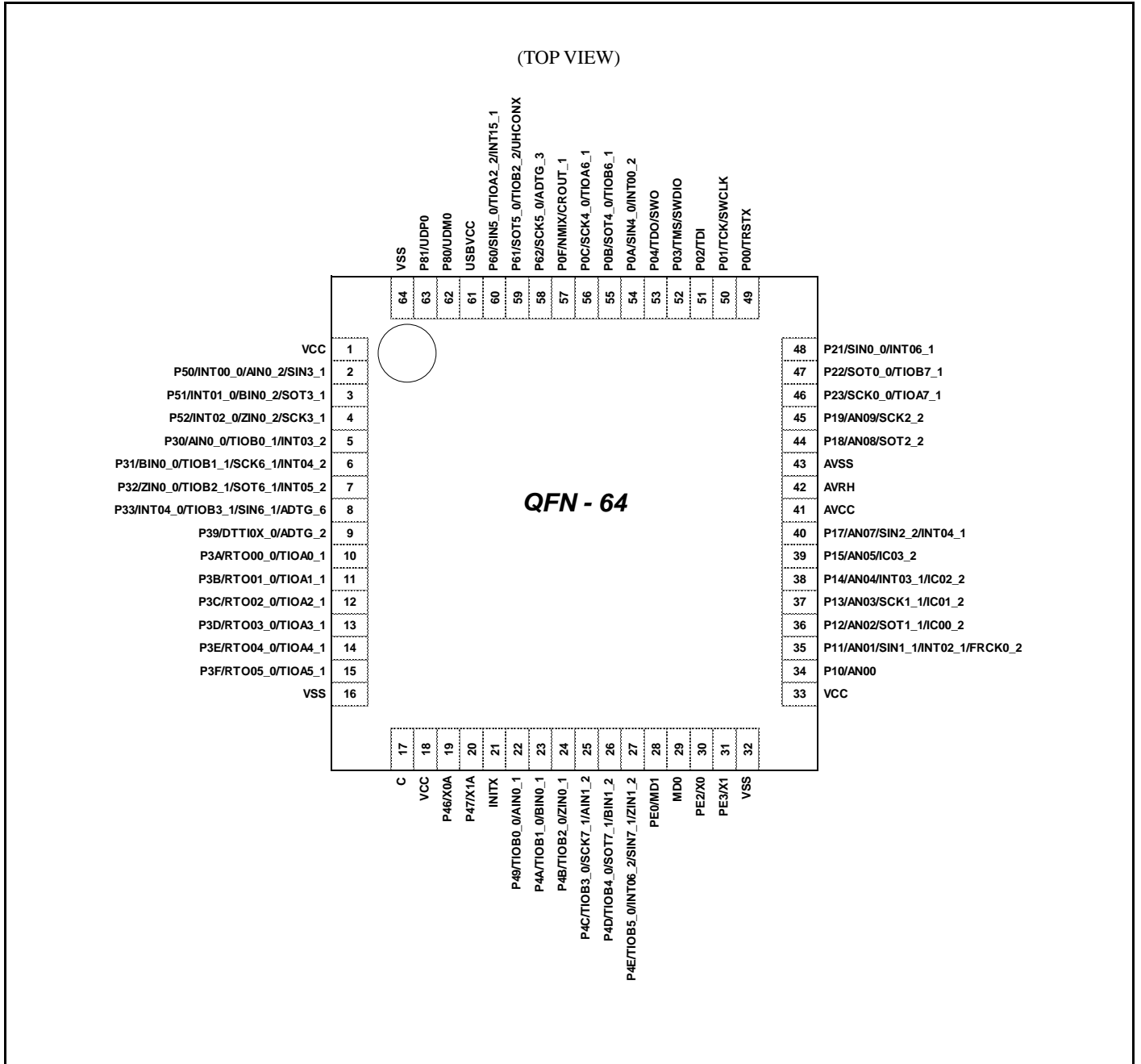
LBC112



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は1つのチャンネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR)で使用する端子を選択してください。

VNC064



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は1つのチャンネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR)で使用する端子を選択してください。

4. 端子機能説明

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)で使用する端子名を選択してください。

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
1	79	B1	1	1	VCC	-	
2	80	C1	2	2	P50	E	H
					INT00_0		
					AIN0_2		
					SIN3_1		
				-	RTO10_0 (PPG10_0)		
					MADATA00_1		
3	81	C2	3	3	P51	E	H
					INT01_0		
					BIN0_2		
					SOT3_1 (SDA3_1)		
				-	RTO11_0 (PPG10_0)		
					MADATA01_1		
4	82	B3	4	4	P52	E	H
					INT02_0		
					ZIN0_2		
					SCK3_1 (SCL3_1)		
				-	RTO12_0 (PPG12_0)		
					MADATA02_1		
5	83	D1	5	-	P53	E	H
					SIN6_0		
					TIOA1_2		
					INT07_2		
					RTO13_0 (PPG12_0)		
					MADATA03_1		
6	84	D2	6	-	P54	E	I
					SOT6_0 (SDA6_0)		
					TIOB1_2		
					RTO14_0 (PPG14_0)		
					MADATA04_1		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
7	85	D3	7	-	P55	E	I
					SCK6_0 (SCL6_0)		
					ADTG_1		
					RTO15_0 (PPG14_0)		
					MADATA05_1		
8	86	D5	8	-	P56	E	H
					INT08_2		
					DTT11X_0		
					MADATA06_1		
9	87	E1	9	5	P30	E	H
					AIN0_0		
					TIOB0_1		
				INT03_2			
				-	MADATA07_1		
10	88	E2	10	6	P31	E	H
					BIN0_0		
					TIOB1_1		
					SCK6_1 (SCL6_1)		
				INT04_2			
				-	MADATA08_1		
11	89	E3	11	7	P32	E	H
					ZIN0_0		
					TIOB2_1		
					SOT6_1 (SDA6_1)		
					INT05_2		
				-	MADATA09_1		
12	90	E4	12	8	P33	E	H
					INT04_0		
					TIOB3_1		
					SIN6_1		
					ADTG_6		
				-	MADATA10_1		
13	91	F1	-	-	P34	E	I
					FRCK0_0		
					TIOB4_1		
					MADATA11_1		
14	92	F2	-	-	P35	E	H
					IC03_0		
					TIOB5_1		
					INT08_1		
					MADATA12_1		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
15	93	F3	-	-	P36	E	H
					IC02_0		
					SIN5_2		
					INT09_1		
					MADATA13_1		
16	94	G1	-	-	P37	E	H
					IC01_0		
					SOT5_2 (SDA5_2)		
					INT10_1		
					MADATA14_1		
17	95	G2	-	-	P38	E	H
					IC00_0		
					SCK5_2 (SCL5_2)		
					INT11_1		
					MADATA15_1		
18	96	F4	13	9	P39	E	I
					DTTIOX_0		
					ADTG_2		
19	97	G3	14	10	P3A	G	I
					RTO00_0 (PPG00_0)		
					TIOA0_1		
20	98	H1	15	11	P3B	G	I
					RTO01_0 (PPG00_0)		
					TIOA1_1		
21	99	H2	16	12	P3C	G	I
					RTO02_0 (PPG02_0)		
					TIOA2_1		
22	100	G4	17	13	P3D	G	I
					RTO03_0 (PPG02_0)		
					TIOA3_1		
-	-	B2	-	-	VSS	-	-
23	1	H3	18	14	P3E	G	I
					RTO04_0 (PPG04_0)		
					TIOA4_1		
24	2	J2	19	15	P3F	G	I
					RTO05_0 (PPG04_0)		
					TIOA5_1		
25	3	L1	20	16	VSS	-	-
26	4	J1	-	-	VCC	-	-

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
27	5	J4	-	-	P40	G	H
					TIOA0_0		
					RTO10_1 (PPG10_1)		
					INT12_1		
28	6	L5	-	-	P41	G	H
					TIOA1_0		
					RTO11_1 (PPG10_1)		
					INT13_1		
29	7	K5	-	-	P42	G	I
					TIOA2_0		
					RTO12_1 (PPG12_1)		
30	8	J5	-	-	P43	G	I
					TIOA3_0		
					RTO13_1 (PPG12_1)		
					ADTG_7		
31	9	H5	21	-	P44	G	I
			-		TIOA4_0		
					MAD00_1		
					RTO14_1 (PPG14_1)		
32	10	L6	22	-	P45	G	I
			-		TIOA5_0		
					MAD01_1		
					RTO15_1 (PPG14_1)		
-	-	K2	-	-	VSS	-	-
-	-	J3	-	-	VSS	-	-
-	-	H4	-	-	VSS	-	-
33	11	L2	23	17	C	-	-
34	12	L4	24	-	VSS	-	-
35	13	K1	25	18	VCC	-	-
36	14	L3	26	19	P46	D	M
					X0A		
37	15	K3	27	20	P47	D	N
					X1A		
38	16	K4	28	21	INITX	B	C
39	17	K6	29	-	P48	E	H
					DTTI1X_1		
					INT14_1		
					SIN3_2		
					MAD02_1		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
40	18	J6	30	22	P49	E	I
					TIOB0_0		
					AIN0_1		
				-	IC10_1		
					SOT3_2 (SDA3_2)		
MAD03_1							
41	19	L7	31	23	P4A	E	I
					TIOB1_0		
					BIN0_1		
				-	IC11_1		
					SCK3_2 (SCL3_2)		
MAD04_1							
42	20	K7	32	24	P4B	E	I
					TIOB2_0		
					ZIN0_1		
				-	IC12_1		
					MAD05_1		
43	21	H6	33	25	P4C	E / I*	I
					TIOB3_0		
					SCK7_1 (SCL7_1)		
				-	AIN1_2		
					IC13_1		
MAD06_1							
44	22	J7	34	26	P4D	E / I*	I
					TIOB4_0		
					SOT7_1 (SDA7_1)		
				-	BIN1_2		
					FRCK1_1		
MAD07_1							
45	23	K8	35	27	P4E	E / I*	I
					TIOB5_0		
					INT06_2		
				-	SIN7_1		
					ZIN1_2		
MAD08_1							
46	24	K9	36	28	MD1	C	P
					PE0		
47	25	L8	37	29	MD0	J	D
48	26	L9	38	30	X0	A	A
					PE2		
49	27	L10	39	31	X1	A	B
					PE3		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
50	28	L11	40	32	VSS	-	
51	29	K11	41	33	VCC	-	
52	30	J11	42	34	P10	F	K
					AN00		
53	31	J10	43	35	P11	F	L
					AN01		
					SIN1_1		
					INT02_1		
					FRCK0_2		
-	-	-	-	-	MAD09_1		
54	32	J8	44	36	P12	F	K
					AN02		
					SOT1_1 (SDA1_1)		
					IC00_2		
-	-	-	-	-	MAD10_1		
-	-	K10	-	-	VSS	-	
-	-	J9	-	-	VSS	-	
55	33	H10	45	37	P13	F	K
					AN03		
					SCK1_1 (SCL1_1)		
					IC01_2		
-	-	-	-	-	MAD11_1		
56	34	H9	46	38	P14	F	L
					AN04		
					INT03_1		
					IC02_2		
					SIN0_1		
-	-	-	-	-	MAD12_1		
57	35	H7	47	39	P15	F	K
					AN05		
					IC03_2		
					SOT0_1 (SDA0_1)		
-	-	-	-	-	MAD13_1		
58	36	G10	48	-	P16	F	K
					AN06		
					SCK0_1 (SCL0_1)		
					MAD14_1		
59	37	G9	49	40	P17	F	L
					AN07		
					SIN2_2		
					INT04_1		
					-		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
60	38	H11	50	41	AVCC	-	
61	39	F11	51	42	AVRH	-	
62	40	G11	52	43	AVSS	-	
63	41	G8	53	44	P18	F	K
					AN08		
					SOT2_2 (SDA2_2)		
					-		
64	42	F10	54	45	P19	F	K
					AN09		
					SCK2_2 (SCL2_2)		
					-		
-	-	H8	-	-	VSS	-	
65	43	F9	55	-	P1A	F	L
					AN10		
					SIN4_1		
					INT05_1		
					IC00_1		
					MAD18_1		
66	44	E11	56	-	P1B	F	K
					AN11		
					SOT4_1 (SDA4_1)		
					IC01_1		
					MAD19_1		
67	45	E10	-	-	P1C	F	K
					AN12		
					SCK4_1 (SCL4_1)		
					IC02_1		
					MAD20_1		
68	46	F8	-	-	P1D	F	K
					AN13		
					CTS4_1		
					IC03_1		
					MAD21_1		
69	47	E9	-	-	P1E	F	K
					AN14		
					RTS4_1		
					DTTI0X_1		
					MAD22_1		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
70	48	D11	-	-	PIF	F	K
					AN15		
					ADTG_5		
					FRCK0_1		
					MAD23_1		
-	-	B10	-	-	VSS	-	-
-	-	C9	-	-	VSS	-	-
71	49	D10	57	46	P23	E	I
					SCK0_0 (SCL0_0)		
			TIOA7_1				
			-	-	RTO00_1 (PPG00_1)		
72	50	E8	58	47	P22	E	I
					SOT0_0 (SDA0_0)		
				TIOB7_1			
				-	ZIN1_1		
73	51	C11	59	48	P21	E	H
					SIN0_0		
				INT06_1			
				-	BIN1_1		
74	52	C10	60	-	P20	E	H
					INT05_0		
					CROUT_0		
					AIN1_1		
					MAD24_1		
75	53	A11	-	-	VSS	-	-
76	54	A10	-	-	VCC	-	-
77	55	A9	61	49	P00	E	E
				-	TRSTX		
					MCSX7_1		
78	56	B9	62	50	P01	E	E
					TCK		
					SWCLK		
79	57	B11	63	51	P02	E	E
				-	TDI		
				-	MCSX6_1		
80	58	A8	64	52	P03	E	E
					TMS		
					SWDIO		
81	59	B8	65	53	P04	E	E
					TDO		
					SWO		

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
82	60	C8	-	-	P05	E	F
					TRACED0		
					TIOA5_2		
					SIN4_2		
					INT00_1		
MCSX5_1							
-	-	D8	-	-	VSS	-	-
83	61	D9	-	-	P06	E	F
					TRACED1		
					TIOB5_2		
					SOT4_2 (SDA4_2)		
					INT01_1		
MCSX4_1							
84	62	A7	66	-	P07	E	G
			-		ADTG_0		
					MCLKOUT_1		
					TRACED2		
SCK4_2 (SCL4_2)							
85	63	B7	-	-	P08	E	G
					TRACED3		
					TIOA0_2		
					CTS4_2		
MCSX3_1							
86	64	C7	-	-	P09	E	G
					TRACECLK		
					TIOB0_2		
					RTS4_2		
MCSX2_1							
87	65	D7	67	54	P0A	E / I*	H
				-	SIN4_0		
					INT00_2		
					FRCK1_0		
MCSX1_1							
88	66	A6	68	55	P0B	E / I*	I
				-	SOT4_0 (SDA4_0)		
					TIOB6_1		
					IC10_0		
MCSX0_1							

端子番号					端子名	入出力回路形式	端子状態形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
89	67	B6	69	56	P0C	E / I*	I
					SCK4_0 (SCL4_0)		
					TIOA6_1		
				-	IC11_0		
				-	MALE_1		
-	-	D4	-	-	VSS	-	-
-	-	C3	-	-	VSS	-	-
90	68	C6	70	-	P0D	E	I
					RTS4_0		
					TIOA3_2		
					IC12_0		
					MDQM0_1		
91	69	A5	71	-	P0E	E	I
					CTS4_0		
					TIOB3_2		
					IC13_0		
					MDQM1_1		
92	70	B5	72	57	P0F	E	J
					NMIX		
					CROUT_1		
93	71	D6	73	-	P63	E	H
					INT03_0		
					MWEX_1		
94	72	C5	74	58	P62	E	I
					SCK5_0 (SCL5_0)		
				-	ADTG_3		
				-	MOEX_1		
95	73	B4	75	59	P61	E	I
					SOT5_0 (SDA5_0)		
					TIOB2_2		
					UHCONX		
96	74	C4	76	60	P60	E / I*	H
					SIN5_0		
					TIOA2_2		
					INT15_1		
				-	MRDY_1		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
97	75	A4	77	61	USBVCC	-	
98	76	A3	78	62	P80	H	O
					UDM0		
99	77	A2	79	63	P81	H	O
					UDP0		
100	78	A1	80	64	VSS	-	

*: CY9AF315MA/NA, CY9AF316MA/NA は 5V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)で使用する端子名を選択してください。

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	84	62	A7	66	-
	ADTG_1		7	85	D3	7	-
	ADTG_2		18	96	F4	13	9
	ADTG_3		94	72	C5	74	58
	ADTG_4		-	-	-	-	-
	ADTG_5		70	48	D11	-	-
	ADTG_6		12	90	E4	12	8
	ADTG_7		30	8	J5	-	-
	ADTG_8		-	-	-	-	-
	AN00	A/D コンバータ アナログ入力端子。 ANxx は ADC ch.xx を示します。	52	30	J11	42	34
	AN01		53	31	J10	43	35
	AN02		54	32	J8	44	36
	AN03		55	33	H10	45	37
	AN04		56	34	H9	46	38
	AN05		57	35	H7	47	39
	AN06		58	36	G10	48	-
	AN07		59	37	G9	49	40
	AN08		63	41	G8	53	44
	AN09		64	42	F10	54	45
	AN10		65	43	F9	55	-
	AN11		66	44	E11	56	-
	AN12		67	45	E10	-	-
	AN13		68	46	F8	-	-
	AN14		69	47	E9	-	-
	AN15		70	48	D11	-	-
	ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	27	5	J4	-
TIOA0_1		19		97	G3	14	10
TIOA0_2		85		63	B7	-	-
TIOB0_0		ベースタイマ ch.0 の TIOB 端子	40	18	J6	30	22
TIOB0_1			9	87	E1	9	5
TIOB0_2			86	64	C7	-	-
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	28	6	L5	-	-
	TIOA1_1		20	98	H1	15	11
	TIOA1_2		5	83	D1	5	-
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	41	19	L7	31	23
	TIOB1_1		10	88	E2	10	6
	TIOB1_2		6	84	D2	6	-
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	29	7	K5	-	-
	TIOA2_1		21	99	H2	16	12
	TIOA2_2		96	74	C4	76	60
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	42	20	K7	32	24
	TIOB2_1		11	89	E3	11	7
	TIOB2_2		95	73	B4	75	59
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	30	8	J5	-	-
	TIOA3_1		22	100	G4	17	13
	TIOA3_2		90	68	C6	70	-
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	43	21	H6	33	25
	TIOB3_1		12	90	E4	12	8
	TIOB3_2		91	69	A5	71	-

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	31	9	H5	21	-
	TIOA4_1		23	1	H3	18	14
	TIOA4_2		-	-	-	-	-
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	44	22	J7	34	26
	TIOB4_1		13	91	F1	-	-
	TIOB4_2		-	-	-	-	-
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	32	10	L6	22	-
	TIOA5_1		24	2	J2	19	15
	TIOA5_2		82	60	C8	-	-
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	45	23	K8	35	27
	TIOB5_1		14	92	F2	-	-
	TIOB5_2		83	61	D9	-	-
ベース タイマ 6	TIOA6_1	ベースタイマ ch.6 の TIOA 端子	89	67	B6	69	56
	TIOB6_1	ベースタイマ ch.6 の TIOB 端子	88	66	A6	68	55
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	-	-	-	-	-
	TIOA7_1		71	49	D10	57	46
	TIOA7_2		-	-	-	-	-
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	-	-	-	-	-
	TIOB7_1		72	50	E8	58	47
	TIOB7_2		-	-	-	-	-
デバッグ	SWCLK	シリアルワイヤ デバッグインタフェース クロック入力	78	56	B9	62	50
	SWDIO	シリアルワイヤ デバッグインタフェース データ入出力	80	58	A8	64	52
	SWO	シリアルワイヤビューワ出力	81	59	B8	65	53
	TCK	JTAG テストクロック入力	78	56	B9	62	50
	TDI	JTAG テストデータ入力	79	57	B11	63	51
	TDO	JTAG デバッグデータ出力	81	59	B8	65	53
	TMS	JTAG テストモード状態入出力	80	58	A8	64	52
	TRACECLK	ETM のトレース CLK 出力	86	64	C7	-	-
	TRACED0	ETM のトレースデータ出力	82	60	C8	-	-
	TRACED1		83	61	D9	-	-
	TRACED2		84	62	A7	-	-
	TRACED3		85	63	B7	-	-
	TRSTX		JTAG テストリセット入力	77	55	A9	61

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
外部バス	MAD00_1	外部バスインタフェース アドレスバス	31	9	H5	21	-
	MAD01_1		32	10	L6	22	-
	MAD02_1		39	17	K6	29	-
	MAD03_1		40	18	J6	30	-
	MAD04_1		41	19	L7	31	-
	MAD05_1		42	20	K7	32	-
	MAD06_1		43	21	H6	33	-
	MAD07_1		44	22	J7	34	-
	MAD08_1		45	23	K8	35	-
	MAD09_1		53	31	J10	43	-
	MAD10_1		54	32	J8	44	-
	MAD11_1		55	33	H10	45	-
	MAD12_1		56	34	H9	46	-
	MAD13_1		57	35	H7	47	-
	MAD14_1		58	36	G10	48	-
	MAD15_1		59	37	G9	49	-
	MAD16_1		63	41	G8	53	-
	MAD17_1		64	42	F10	54	-
	MAD18_1		65	43	F9	55	-
	MAD19_1		66	44	E11	56	-
	MAD20_1		67	45	E10	-	-
	MAD21_1		68	46	F8	-	-
	MAD22_1		69	47	E9	-	-
	MAD23_1		70	48	D11	-	-
MAD24_1	74	52	C10	60	-		

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
外部バス	MCSX0_1	外部バスインタフェース チップセレクト出力端子	88	66	A6	68	-
	MCSX1_1		87	65	D7	67	-
	MCSX2_1		86	64	C7	-	-
	MCSX3_1		85	63	B7	-	-
	MCSX4_1		83	61	D9	-	-
	MCSX5_1		82	60	C8	-	-
	MCSX6_1		79	57	B11	63	-
	MCSX7_1		77	55	A9	61	-
	MDQM0_1	外部バスインタフェース	90	68	C6	70	-
	MDQM1_1	バイトマスク信号出力	91	69	A5	71	-
	MOEX_1	SRAM の外部バスインタフェース リード許可信号	94	72	C5	74	-
	MWEX_1	SRAM の外部バスインタフェース ライト許可信号	93	71	D6	73	-
	MADATA00_1	外部バスインタフェース データバス	2	80	C1	2	-
	MADATA01_1		3	81	C2	3	-
	MADATA02_1		4	82	B3	4	-
	MADATA03_1		5	83	D1	5	-
	MADATA04_1		6	84	D2	6	-
	MADATA05_1		7	85	D3	7	-
	MADATA06_1		8	86	D5	8	-
	MADATA07_1		9	87	E1	9	-
	MADATA08_1		10	88	E2	10	-
	MADATA09_1		11	89	E3	11	-
	MADATA10_1		12	90	E4	12	-
	MADATA11_1		13	91	F1	-	-
	MADATA12_1		14	92	F2	-	-
	MADATA13_1		15	93	F3	-	-
	MADATA14_1		16	94	G1	-	-
	MADATA15_1		17	95	G2	-	-
	MALE_1		マルチプレクス時 アドレスラッチイネーブル信号	89	67	B6	69
	MRDY_1	外部 RDY 入力信号	96	74	C4	76	-
	MCLKOUT_1	外部バスクロック出力	84	62	A7	66	-

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	80	C1	2	2
	INT00_1		82	60	C8	-	-
	INT00_2		87	65	D7	67	54
	INT01_0	外部割込み要求 01 の入力端子	3	81	C2	3	3
	INT01_1		83	61	D9	-	-
	INT02_0	外部割込み要求 02 の入力端子	4	82	B3	4	4
	INT02_1		53	31	J10	43	35
	INT03_0	外部割込み要求 03 の入力端子	93	71	D6	73	-
	INT03_1		56	34	H9	46	38
	INT03_2		9	87	E1	9	5
	INT04_0	外部割込み要求 04 の入力端子	12	90	E4	12	8
	INT04_1		59	37	G9	49	40
	INT04_2		10	88	E2	10	6
	INT05_0	外部割込み要求 05 の入力端子	74	52	C10	60	-
	INT05_1		65	43	F9	55	-
	INT05_2		11	89	E3	11	7
	INT06_1	外部割込み要求 06 の入力端子	73	51	C11	59	48
	INT06_2		45	23	K8	35	27
	INT07_2	外部割込み要求 07 の入力端子	5	83	D1	5	-
	INT08_1	外部割込み要求 08 の入力端子	14	92	F2	-	-
	INT08_2		8	86	D5	8	-
	INT09_1	外部割込み要求 09 の入力端子	15	93	F3	-	-
	INT10_1	外部割込み要求 10 の入力端子	16	94	G1	-	-
	INT11_1	外部割込み要求 11 の入力端子	17	95	G2	-	-
	INT12_1	外部割込み要求 12 の入力端子	27	5	J4	-	-
	INT13_1	外部割込み要求 13 の入力端子	28	6	L5	-	-
	INT14_1	外部割込み要求 14 の入力端子	39	17	K6	29	-
	INT15_1	外部割込み要求 15 の入力端子	96	74	C4	76	60
	NMIX	ノンマスクابل割込み入力	92	70	B5	72	57

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
GPIO	P00	汎用入出力ポート 0	77	55	A9	61	49
	P01		78	56	B9	62	50
	P02		79	57	B11	63	51
	P03		80	58	A8	64	52
	P04		81	59	B8	65	53
	P05		82	60	C8	-	-
	P06		83	61	D9	-	-
	P07		84	62	A7	66	-
	P08		85	63	B7	-	-
	P09		86	64	C7	-	-
	P0A		87	65	D7	67	54
	P0B		88	66	A6	68	55
	P0C		89	67	B6	69	56
	P0D		90	68	C6	70	-
	P0E		91	69	A5	71	-
	P0F	92	70	B5	72	57	
	P10	汎用入出力ポート 1	52	30	J11	42	34
	P11		53	31	J10	43	35
	P12		54	32	J8	44	36
	P13		55	33	H10	45	37
	P14		56	34	H9	46	38
	P15		57	35	H7	47	39
	P16		58	36	G10	48	-
P17	59		37	G9	49	40	
P18	63		41	G8	53	44	
P19	64		42	F10	54	45	
P1A	65		43	F9	55	-	
P1B	66		44	E11	56	-	
P1C	67		45	E10	-	-	
P1D	68		46	F8	-	-	
P1E	69		47	E9	-	-	
P1F	70	48	D11	-	-		
P20	汎用入出力ポート 2	74	52	C10	60	-	
P21		73	51	C11	59	48	
P22		72	50	E8	58	47	
P23		71	49	D10	57	46	

モジュール	端子名	機能	端子番号					
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64	
GPIO	P30	汎用入出力ポート 3	9	87	E1	9	5	
	P31		10	88	E2	10	6	
	P32		11	89	E3	11	7	
	P33		12	90	E4	12	8	
	P34		13	91	F1	-	-	
	P35		14	92	F2	-	-	
	P36		15	93	F3	-	-	
	P37		16	94	G1	-	-	
	P38		17	95	G2	-	-	
	P39		18	96	F4	13	9	
	P3A		19	97	G3	14	10	
	P3B		20	98	H1	15	11	
	P3C		21	99	H2	16	12	
	P3D		22	100	G4	17	13	
	P3E		23	1	H3	18	14	
	P3F		24	2	J2	19	15	
	P40		27	汎用入出力ポート 4	5	J4	-	-
	P41		28		6	L5	-	-
	P42		29		7	K5	-	-
	P43		30		8	J5	-	-
	P44		31		9	H5	21	-
	P45		32		10	L6	22	-
	P46		36		14	L3	26	19
	P47		37		15	K3	27	20
	P48	39	17		K6	29	-	
	P49	40	18		J6	30	22	
	P4A	41	19		L7	31	23	
	P4B	42	20		K7	32	24	
	P4C	43	21		H6	33	25	
	P4D	44	22		J7	34	26	
	P4E	45	23		K8	35	27	
	P50	2	汎用入出力ポート 5		80	C1	2	2
	P51	3			81	C2	3	3
	P52	4			82	B3	4	4
	P53	5			83	D1	5	-
	P54	6			84	D2	6	-
	P55	7		85	D3	7	-	
	P56	8		86	D5	8	-	
	P60	96		汎用入出力ポート 6	74	C4	76	60
	P61	95	73		B4	75	59	
	P62	94	72		C5	74	58	
	P63	93	71		D6	73	-	
	P80	98	汎用入出力ポート 8	76	A3	78	62	
	P81	99		77	A2	79	63	
	PE0	46	汎用入出力ポート E	24	K9	36	28	
	PE2	48		26	L9	38	30	
	PE3	49		27	L10	39	31	

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
マルチファンクションシリアル0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	73	51	C11	59	48
	SIN0_1	マルチファンクションシリアルインタフェース ch.0 の出力端子	56	34	H9	46	-
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	72	50	E8	58	47
	SOT0_1 (SDA0_1)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	57	35	H7	47	-
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。	71	49	D10	57	46
	SCK0_1 (SCL0_1)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。	58	36	G10	48	-
マルチファンクションシリアル1	SIN1_1	マルチファンクションシリアルインタフェース ch.1 の入力端子	53	31	J10	43	35
	SOT1_1 (SDA1_1)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	54	32	J8	44	36
	SCK1_1 (SCL1_1)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK1 として、I ² C 端子(動作モード 4)として使用するときは SCL1 として機能します。	55	33	H10	45	37
マルチファンクションシリアル2	SIN2_2	マルチファンクションシリアルインタフェース ch.2 の入力端子	59	37	G9	49	40
	SOT2_2 (SDA2_2)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	63	41	G8	53	44
	SCK2_2 (SCL2_2)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK2 として、I ² C 端子(動作モード 4)として使用するときは SCL2 として機能します。	64	42	F10	54	45
マルチファンクションシリアル3	SIN3_1	マルチファンクションシリアルインタフェース ch.3 の入力端子	2	80	C1	2	2
	SIN3_2	マルチファンクションシリアルインタフェース ch.3 の入力端子	39	17	K6	29	-
	SOT3_1 (SDA3_1)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	3	81	C2	3	3
	SOT3_2 (SDA3_2)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	40	18	J6	30	-
	SCK3_1 (SCL3_1)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。	4	82	B3	4	4
	SCK3_2 (SCL3_2)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。	41	19	L7	31	-

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	87	65	D7	67	54
	SIN4_1		65	43	F9	55	-
	SIN4_2		82	60	C8	-	-
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。	88	66	A6	68	55
	SOT4_1 (SDA4_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。	66	44	E11	56	-
	SOT4_2 (SDA4_2)		83	61	D9	-	-
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。	89	67	B6	69	56
	SCK4_1 (SCL4_1)	CSIO 端子(動作モード 2)として使用するときは SCK4 として、I ² C 端子(動作モード 4)として使用するときは SCL4 として機能します。	67	45	E10	-	-
	SCK4_2 (SCL4_2)		84	62	A7	-	-
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	90	68	C6	70	-
	RTS4_1		69	47	E9	-	-
	RTS4_2		86	64	C7	-	-
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	91	69	A5	71	-
CTS4_1	68		46	F8	-	-	
CTS4_2	85		63	B7	-	-	
マルチファンクションシリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	96	74	C4	76	60
	SIN5_2		15	93	F3	-	-
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。	95	73	B4	75	59
	SOT5_2 (SDA5_2)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT5 として、I ² C 端子(動作モード 4)として使用するときは SDA5 として機能します。	16	94	G1	-	-
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。	94	72	C5	74	58
SCK5_2 (SCL5_2)	CSIO 端子(動作モード 2)として使用するときは SCK5 として、I ² C 端子(動作モード 4)として使用するときは SCL5 として機能します。	17	95	G2	-	-	
マルチファンクションシリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	5	83	D1	5	-
	SIN6_1		12	90	E4	12	8
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。	6	84	D2	6	-
	SOT6_1 (SDA6_1)	UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT6 として、I ² C 端子(動作モード 4)として使用するときは SDA6 として機能します。	11	89	E3	11	7
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。	7	85	D3	7	-
	SCK6_1 (SCL6_1)	CSIO 端子(動作モード 2)として使用するときは SCK6 として、I ² C 端子(動作モード 4)として使用するときは SCL6 として機能します。	10	88	E2	10	6

モジュール	端子名	機能	端子番号					
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64	
マルチファンクションシリアル7	SIN7_1	マルチファンクションシリアルインタフェース ch.7 の入力端子	45	23	K8	35	27	
	SOT7_1 (SDA7_1)	マルチファンクションシリアルインタフェース ch.7 の出力端子。 UART/CSIO/LIN 端子(動作モード0~3)として使用するときは SOT7 として、I ² C 端子(動作モード4)として使用するときは SDA7 として機能します。	44	22	J7	34	26	
	SCK7_1 (SCL7_1)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。 CSIO 端子(動作モード2)として使用するときは SCK7 として、I ² C 端子(動作モード4)として使用するときは SCL7 として機能します。	43	21	H6	33	25	
多機能タイマ0	DTTIOX_0	多機能タイマ0の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	18	96	F4	13	9	
	DTTIOX_1		69	47	E9	-	-	
	FRCK0_0	16ビットフリーランタイム ch.0 の外部クロック入力端子	13	91	F1	-	-	
	FRCK0_1		70	48	D11	-	-	
	FRCK0_2		53	31	J10	43	35	
	IC00_0	多機能タイマ0の16ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	17	95	G2	-	-	
	IC00_1		65	43	F9	55	-	
	IC00_2		54	32	J8	44	36	
	IC01_0		16	94	G1	-	-	
	IC01_1		66	44	E11	56	-	
	IC01_2		55	33	H10	45	37	
	IC02_0		15	93	F3	-	-	
	IC02_1		67	45	E10	-	-	
	IC02_2		56	34	H9	46	38	
	IC03_0		14	92	F2	-	-	
	IC03_1		68	46	F8	-	-	
	IC03_2		57	35	H7	47	39	
	RTO00_0 (PPG00_0)		多機能タイマ0の波形ジェネレータ出力端子。	19	97	G3	14	10
	RTO00_1 (PPG00_1)		PPG0 出力モードで使用するときは、PPG00 として機能します。	71	49	D10	-	-
	RTO01_0 (PPG00_0)		多機能タイマ0の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	20	98	H1	15	11
	RTO02_0 (PPG02_0)		多機能タイマ0の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	21	99	H2	16	12
	RTO03_0 (PPG02_0)	多機能タイマ0の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	22	100	G4	17	13	
	RTO04_0 (PPG04_0)	多機能タイマ0の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	23	1	H3	18	14	
RTO05_0 (PPG04_0)	多機能タイマ0の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	24	2	J2	19	15		

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多機能 タイマ 1	DTT1X_0	多機能タイマ 1 の RTO10~RTO15 出力を 制御する波形ジェネレータの入力信号	8	86	D5	8	-
	DTT1X_1		39	17	K6	29	-
	FRCK1_0	16 ビットフリーランタイム ch.1 の外部ク ロック入力端子	87	65	D7	67	-
	FRCK1_1		44	22	J7	34	-
	IC10_0	多機能タイマ 1 の 16 ビットインプット キャプチャの入力端子。 ICxx は、チャンネル数を示します。	88	66	A6	68	-
	IC10_1		40	18	J6	30	-
	IC11_0		89	67	B6	69	-
	IC11_1		41	19	L7	31	-
	IC12_0		90	68	C6	70	-
	IC12_1		42	20	K7	32	-
	IC13_0		91	69	A5	71	-
	IC13_1		43	21	H6	33	-
	RTO10_0 (PPG10_0)		多機能タイマ 1 の波形ジェネレータ出力 端子。	2	80	C1	2
	RTO10_1 (PPG10_1)	PPG1 出力モードで使用するときは、 PPG10 として機能します。	27	5	J4	-	-
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力 端子。	3	81	C2	3	-
	RTO11_1 (PPG10_1)	PPG1 出力モードで使用するときは、 PPG10 として機能します。	28	6	L5	-	-
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力 端子。	4	82	B3	4	-
	RTO12_1 (PPG12_1)	PPG1 出力モードで使用するときは、 PPG12 として機能します。	29	7	K5	-	-
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力 端子。	5	83	D1	5	-
	RTO13_1 (PPG12_1)	PPG1 出力モードで使用するときは、 PPG12 として機能します。	30	8	J5	-	-
RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力 端子。	6	84	D2	6	-	
RTO14_1 (PPG14_1)	PPG1 出力モードで使用するときは、 PPG14 として機能します。	31	9	H5	21	-	
RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力 端子。	7	85	D3	7	-	
RTO15_1 (PPG14_1)	PPG1 出力モードで使用するときは、 PPG14 として機能します。	32	10	L6	22	-	
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	9	87	E1	9	5
	AIN0_1		40	18	J6	30	22
	AIN0_2	2	80	C1	2	2	
	BIN0_0	QPRC ch.0 の BIN 入力端子	10	88	E2	10	6
	BIN0_1		41	19	L7	31	23
	BIN0_2	3	81	C2	3	3	
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	11	89	E3	11	7
	ZIN0_1		42	20	K7	32	24
ZIN0_2	4	82	B3	4	4		
クアッド カウンタ 1	AIN1_1	QPRC ch.1 の AIN 入力端子	74	52	C10	60	-
	AIN1_2		43	21	H6	33	25
	BIN1_1	QPRC ch.1 の BIN 入力端子	73	51	C11	59	-
	BIN1_2		44	22	J7	34	26
	ZIN1_1	QPRC ch.1 の ZIN 入力端子	72	50	E8	58	-
ZIN1_2	45		23	K8	35	27	
USB	UDM0	USB デバイス/ホストの D- 端子	98	76	A3	78	62
	UDP0	USB デバイス/ホストの D+ 端子	99	77	A2	79	63
	UHCONX	USB 外部プルアップ制御端子	95	73	B4	75	59

モジュール	端子名	機能	端子番号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効です。	38	16	K4	28	21
Mode	MD0	モード0 端子。 通常動作時は、MD0=L を入力してください。 フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	47	25	L8	37	29
	MD1	モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。	46	24	K9	36	28
Power	VCC	電源端子	1	79	B1	1	1
	VCC	電源端子	26	4	J1	-	-
	VCC	電源端子	35	13	K1	25	18
	VCC	電源端子	51	29	K11	41	33
	VCC	電源端子	76	54	A10	-	-
	USBVCC	USB I/O のための 3.3V 電源供給ポート	97	75	A4	77	61
GND	VSS	GND 端子	-	-	B2	-	-
	VSS	GND 端子	25	3	L1	20	16
	VSS	GND 端子	-	-	K2	-	-
	VSS	GND 端子	-	-	J3	-	-
	VSS	GND 端子	-	-	H4	-	-
	VSS	GND 端子	34	12	L4	24	-
	VSS	GND 端子	50	28	L11	40	32
	VSS	GND 端子	-	-	K10	-	-
	VSS	GND 端子	-	-	J9	-	-
	VSS	GND 端子	-	-	H8	-	-
	VSS	GND 端子	-	-	B10	-	-
	VSS	GND 端子	-	-	C9	-	-
	VSS	GND 端子	75	53	A11	-	-
	VSS	GND 端子	-	-	D8	-	-
	VSS	GND 端子	-	-	D4	-	-
VSS	GND 端子	-	-	C3	-	-	
VSS	GND 端子	100	78	A1	80	64	
Clock	X0	メインクロック(発振)入力端子	48	26	L9	38	30
	X0A	サブクロック(発振)入力端子	36	14	L3	26	19
	X1	メインクロック(発振)I/O 端子	49	27	L10	39	31
	X1A	サブクロック(発振)I/O 端子	37	15	K3	27	20
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	74	52	C10	60	-
	CROUT_1		92	70	B5	72	57
Analog Power	AVCC	A/D コンバータのアナログ電源端子	60	38	H11	50	41
	AVRH	A/D コンバータのアナログ基準電圧入力端子	61	39	F11	51	42
Analog GND	AVSS	A/D コンバータの GND 端子	62	40	G11	52	43
C 端子	C	電源安定化容量端子	33	11	L2	23	17

<注意事項>

- このデバイスは IEEE 1149.1-2001 JTAG standard に準拠したテスト用端子(TAP)を持ちますが、全規格要求を満足するわけではありません。このデバイスは、異なる機能を持つほかのデバイス中の 32 ビットデバイス ID と同じデバイス ID を持つ場合があります。TAP 端子は TAP 制御以外の用途でも設定可能です。

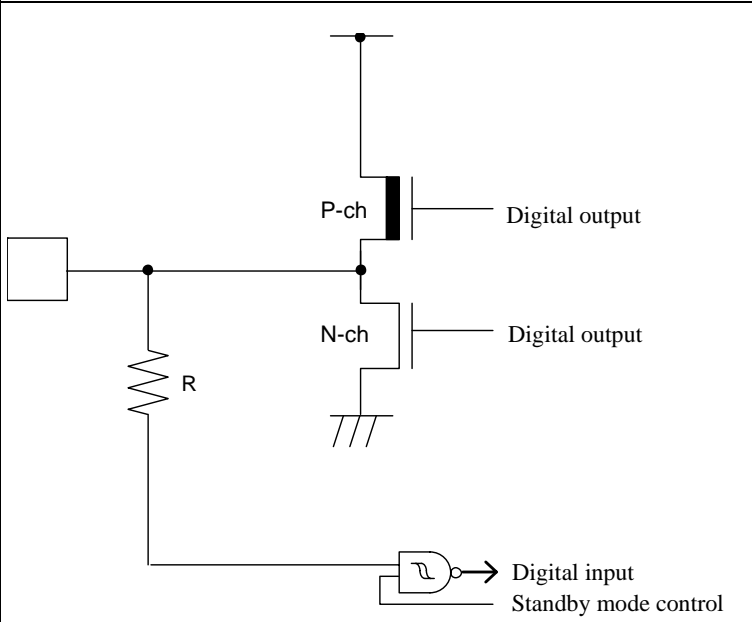
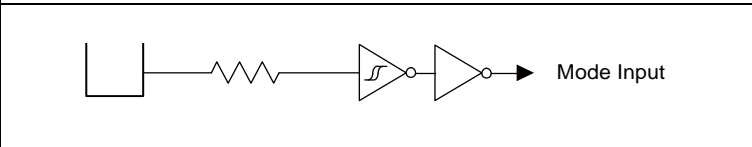
5. 入出力回路形式

分類	回路	備考
A		<ul style="list-style-type: none"> - メイン発振/GPIO 切換え可能 メイン発振機能選択時 <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり GPIO 機能選択時 <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA
B		<ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 50 kΩ

分類	回路	備考
C		<ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力
D		<ul style="list-style-type: none"> - サブ発振/GPIO 切換え可能 <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
E	<p>The diagram for configuration E shows a pull-up resistor R connected to a node that branches to a P-ch transistor gate and a digital input pin. The P-ch transistor's source is connected to the node, and its drain is connected to another P-ch transistor gate and a digital output pin. The N-ch transistor's gate is connected to a pull-up resistor control pin, its source is connected to the node, and its drain is connected to ground. A digital input pin is also connected to the node through a pull-up resistor control pin.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可
F	<p>The diagram for configuration F shows an input control pin connected to a node that branches to a P-ch transistor gate and a digital input pin. The P-ch transistor's source is connected to the node, and its drain is connected to another P-ch transistor gate and a digital output pin. The N-ch transistor's gate is connected to a pull-up resistor control pin, its source is connected to the node, and its drain is connected to ground. A digital input pin is also connected to the node through a pull-up resistor control pin. An analog input pin is connected to the node through a pull-up resistor control pin.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可

分類	回路	備考
G	<p>The diagram shows a CMOS output stage. A pull-up resistor R is connected to the output node. The output node is driven by a P-channel MOSFET (P-ch) and an N-channel MOSFET (N-ch). The P-ch MOSFET's gate is connected to a digital input through an inverter. The N-ch MOSFET's gate is connected to a digital input through an inverter and a pull-up resistor control signal. The output node is labeled 'Digital output'. A 'Standby mode control' signal is connected to the gates of both MOSFETs through an inverter.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - +B 入力可
H	<p>The diagram shows a complex digital logic circuit. It includes several input signals: EBP, EBM, and a Differential input. The circuit contains multiple inverters, NAND gates, and OR gates. The outputs are labeled as follows: <ul style="list-style-type: none"> GPIO Digital output GPIO Digital input/output direction GPIO Digital input GPIO Digital input circuit control UDP(+)output USB full-speed, low-speed control UDP(+)input Differential input USB/GPIO select UDM(-)input UDM(-)output USB input/output direction GPIO Digital output GPIO Digital input/output direction GPIO Digital input GPIO Digital input circuit control </p>	<ul style="list-style-type: none"> - USB IO/GPIO 切換え可能 <p>USB IO 機能選択時</p> <ul style="list-style-type: none"> - 高速, 低速制御 <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -20.5 \text{ mA}$, $I_{OL} = 18.5 \text{ mA}$

分類	回路	備考
I	 <p>The diagram shows a CMOS output stage. A pull-up resistor labeled 'R' is connected to the P-channel MOSFET (P-ch) gate and the digital output node. The P-ch MOSFET's source is connected to the digital output node, and its drain is connected to a supply rail. The N-channel MOSFET (N-ch) gate is also connected to the digital output node, and its source is connected to ground. The digital output node is also connected to a digital input pin labeled 'Digital input Standby mode control'.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - スタンバイ制御あり - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J	 <p>The diagram shows a Mode Input pin connected to a pull-up resistor. The signal then passes through a Schmitt trigger and an inverter to the Mode Input pin.</p>	<p>CMOS レベルヒステリシス入力</p>

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

■絶対最大定格の遵守

半導体デバイスは、過剰なストレス(電圧、電流、温度など)が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

■推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

■端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

■ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合(サイリスタ構造)が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

■安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

■フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

■用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途(原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう)、ならびに極めて高い信頼性が要求される用途(海中継器、宇宙衛星をいう)に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

■リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

■表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

■鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

■半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C~30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%~70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

■ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

■静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40%~70%RH にしてください。
除電装置（イオン発生装置）の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗（1 MΩ程度）で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。

このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子 と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10% 以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1V/ μ s 以下にしてください。

水晶発振回路について

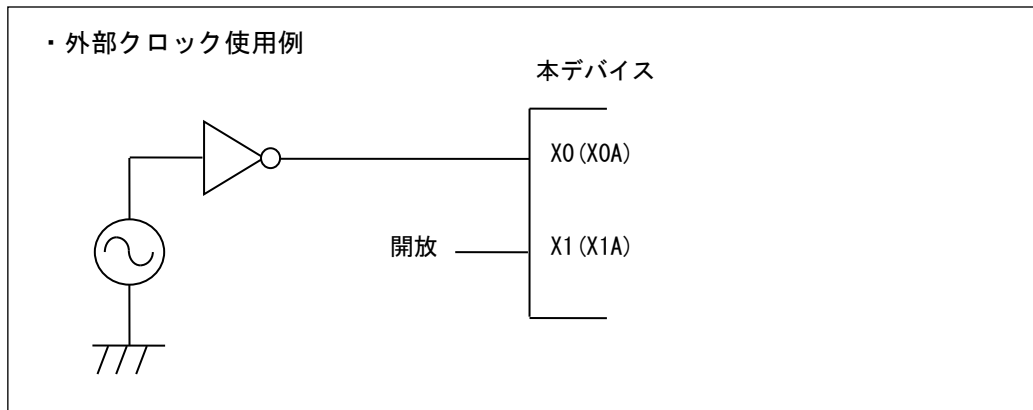
X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

外部クロック使用時の注意

外部クロックを使用する場合は、X0, X0A 端子のみを駆動し、X1, X1A 端子は開放としてください。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

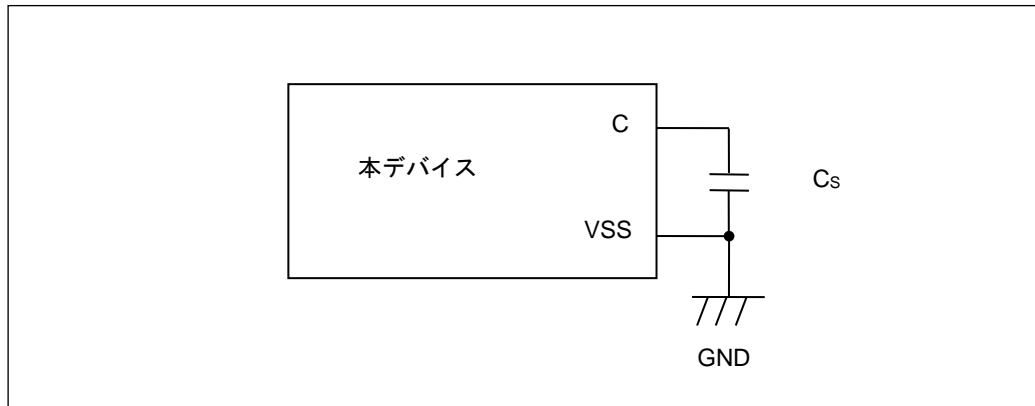
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時: VCC → USBVCC
VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC
USBVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違っただータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

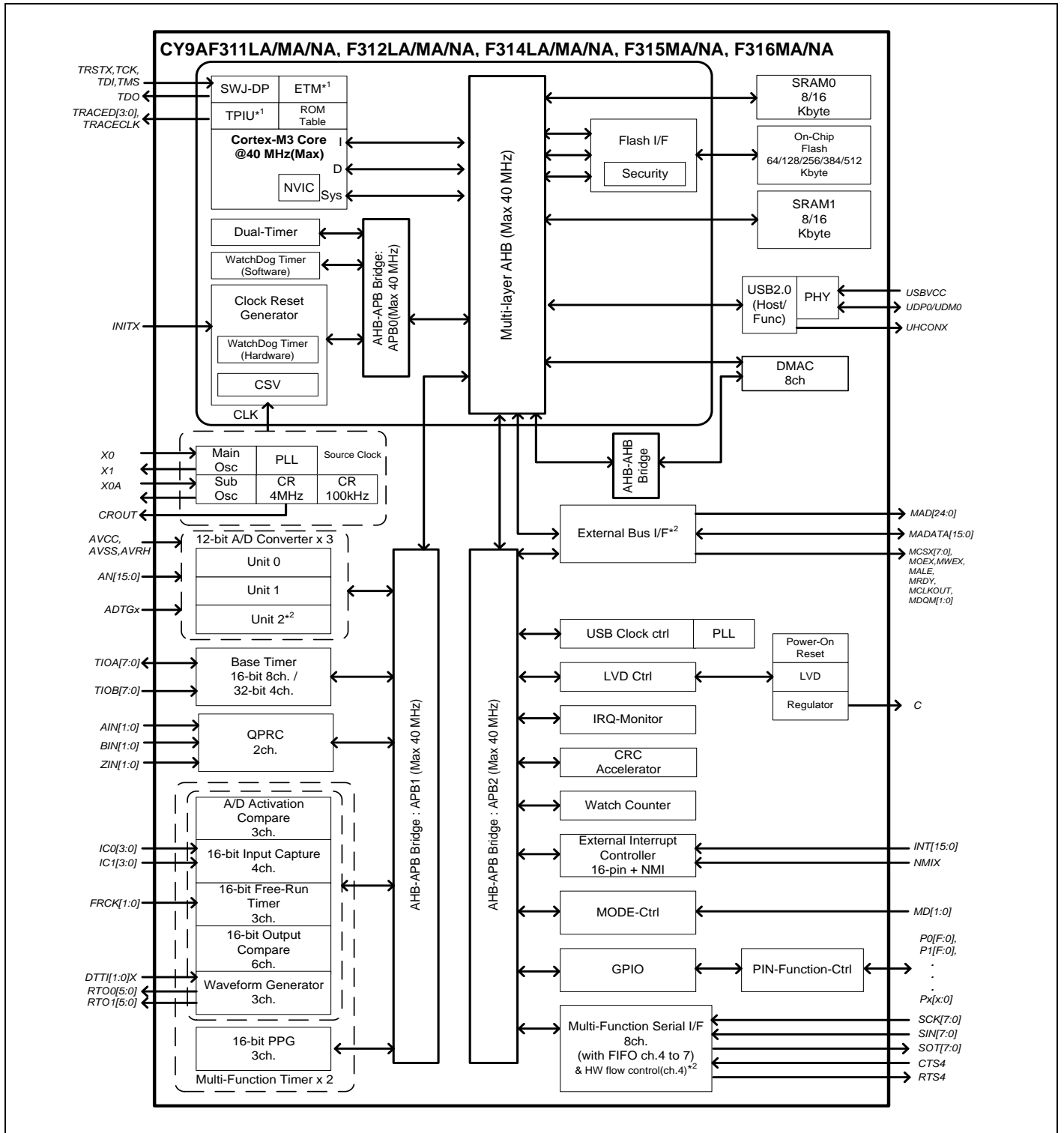
また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください

8. ブロックダイアグラム



*1: CY9AF311LA/MA と F312LA/MA, CY9AF314LA/MA, CY9AF315MA, CY9AF316MA においては、ETM は使用できません。

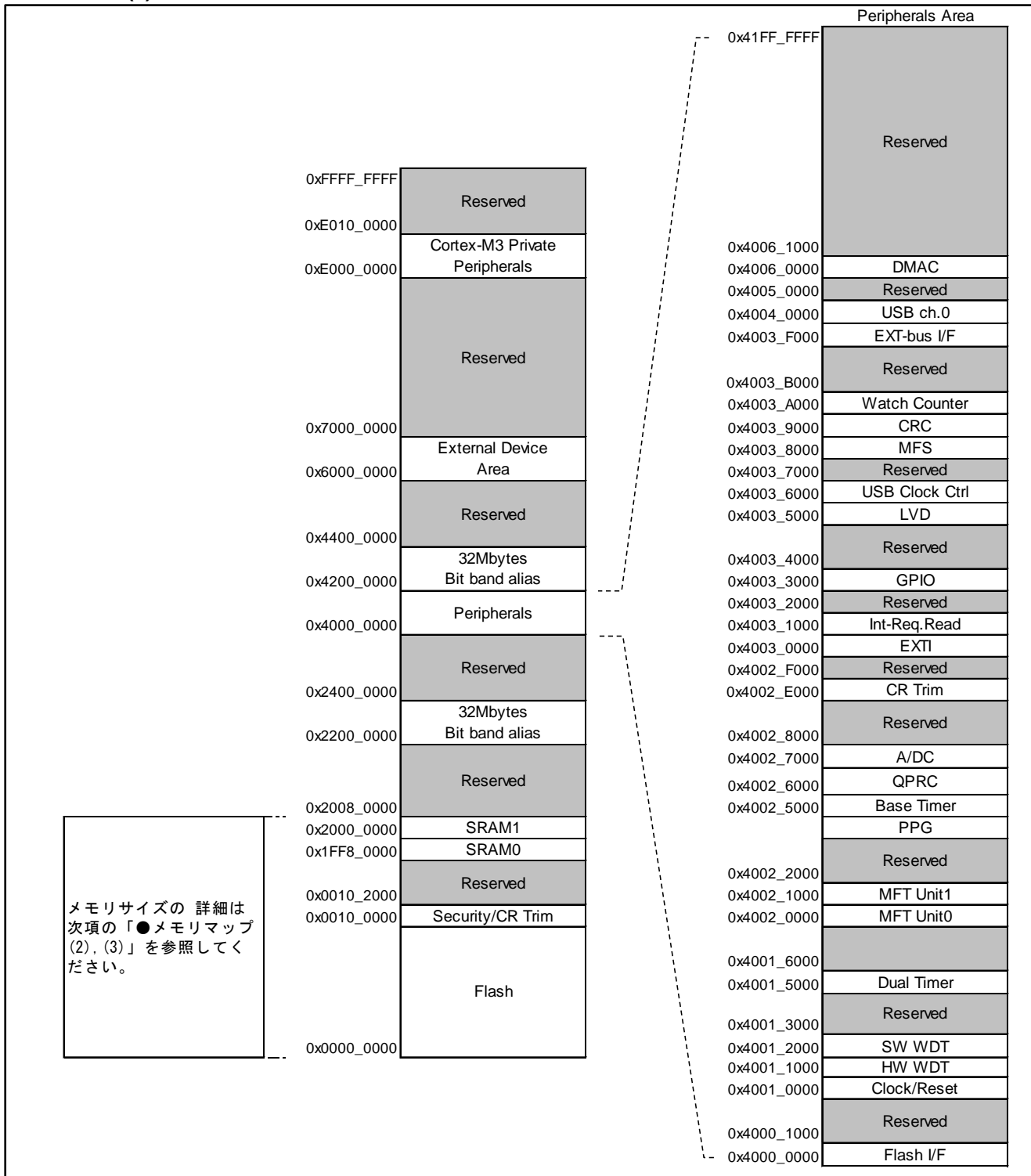
*2: CY9AF311LA と F312LA, CY9AF314LA においては、外部バスインタフェースと 12 ビット A/D コンバータ(unit 2)は使用できません。また、マルチファンクションシリアルインタフェースのハードウェアフロー・コントロールは非対応です。

9. メモリサイズ

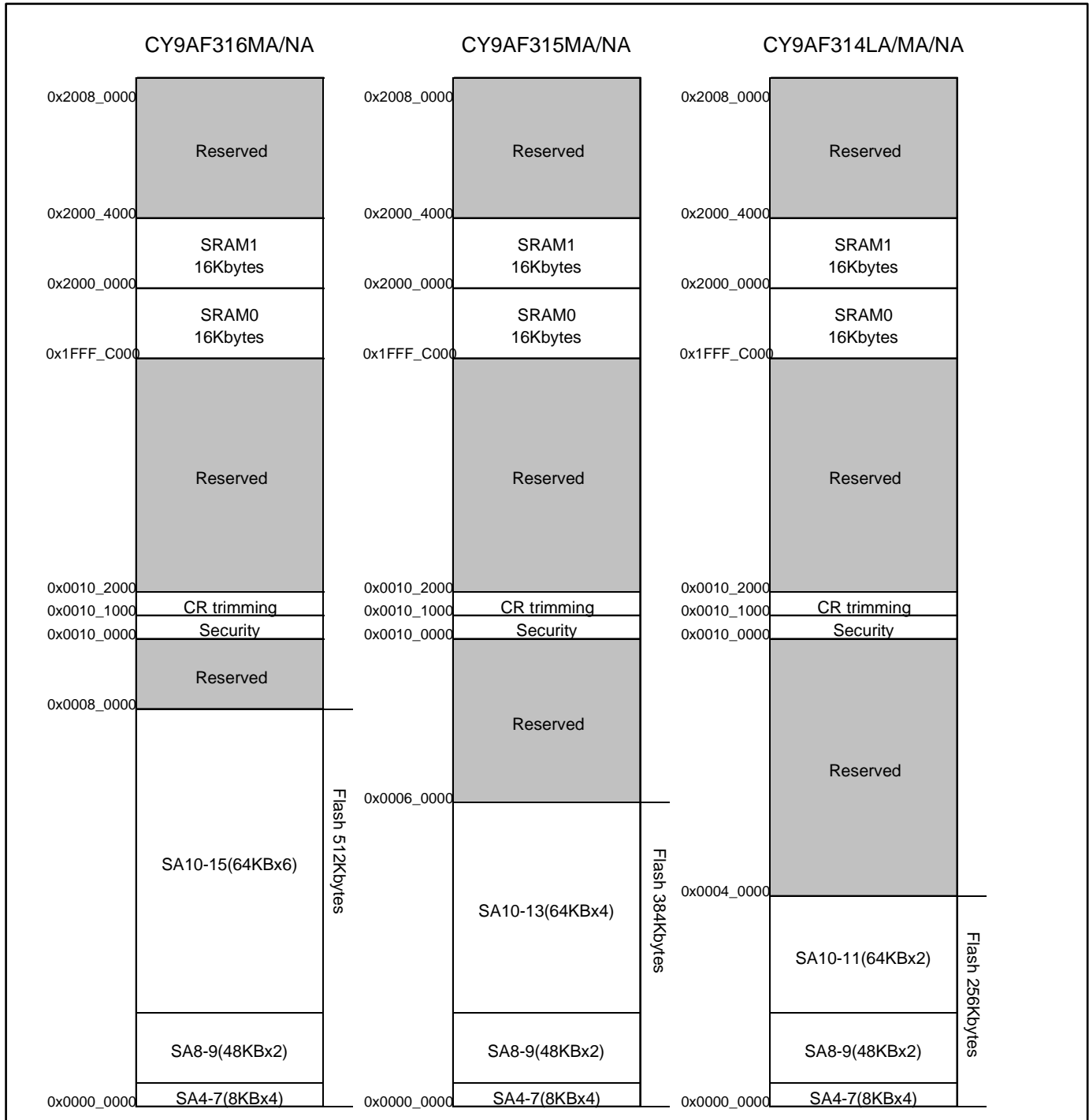
メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ(1)

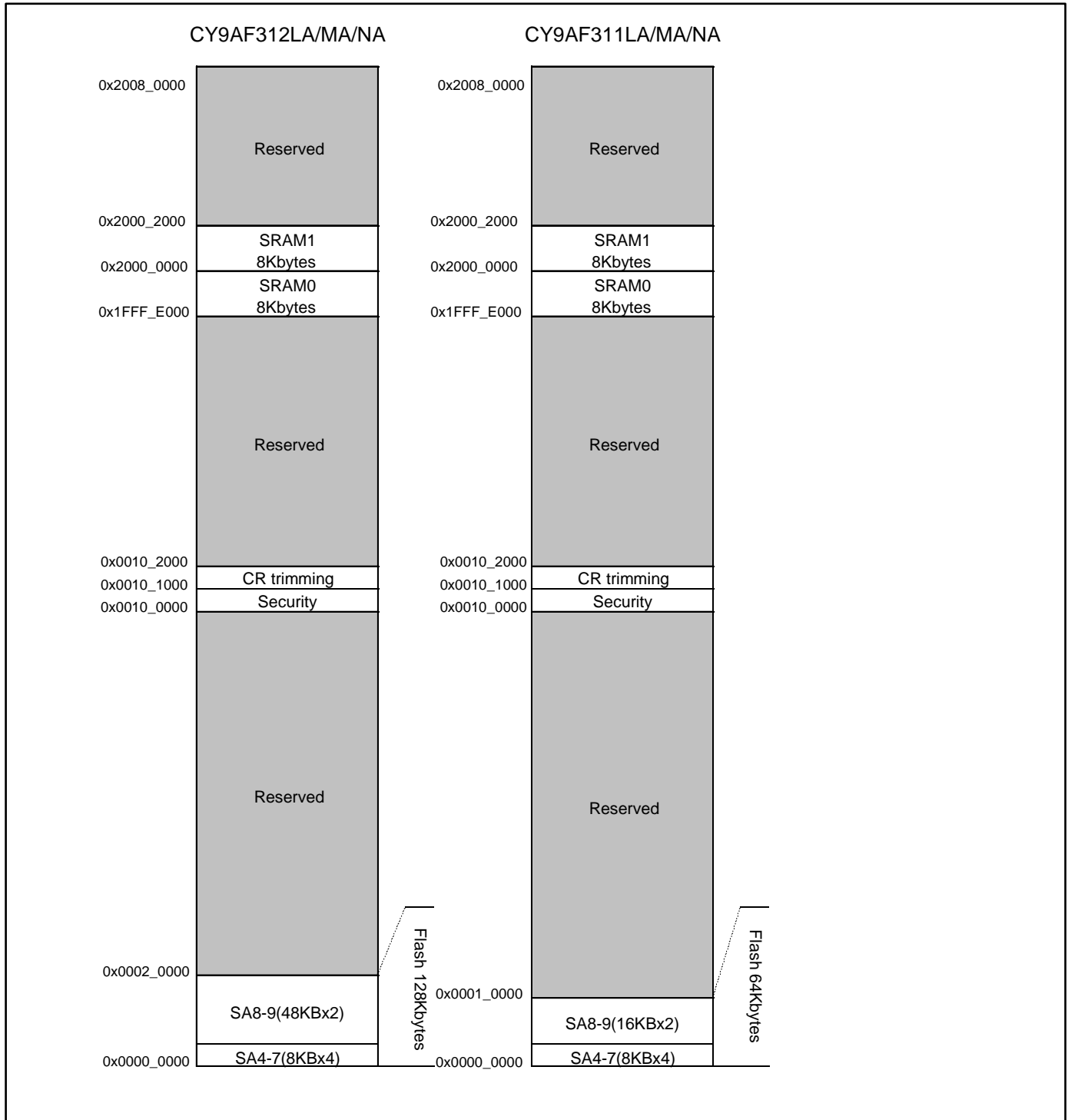


メモリマップ(2)



フラッシュメモリマップの詳細は、「FM3 CY9A310A/110A シリーズ Flash Programming Specifications」を参照してください。

メモリマップ(3)



フラッシュメモリマップの詳細は、「CY9A310A/110A シリーズ Flash Programming Specifications」を参照してください。

ペリフェラル・アドレスマップ

Start address	End address	Bus	Peripherals	
0x4000_0000H	0x4000_0FFFH	AHB	フラッシュメモリ I/F レジスタ	
0x4000_1000H	0x4000_FFFFH		予約	
0x4001_0000H	0x4001_0FFFH	APB0	クロック・リセット制御	
0x4001_1000H	0x4001_1FFFH		ハードウェアウォッチドッグタイマ	
0x4001_2000H	0x4001_2FFFH		ソフトウェアウォッチドッグタイマ	
0x4001_3000H	0x4001_4FFFH		予約	
0x4001_5000H	0x4001_5FFFH		デュアルタイマ	
0x4001_6000H	0x4001_FFFFH		予約	
0x4002_0000H	0x4002_0FFFH		APB1	多機能タイマ unit0
0x4002_1000H	0x4002_1FFFH	多機能タイマ unit1		
0x4002_2000H	0x4002_3FFFH	予約		
0x4002_4000H	0x4002_4FFFH	PPG		
0x4002_5000H	0x4002_5FFFH	ベースタイマ		
0x4002_6000H	0x4002_6FFFH	クアッドカウンタ(QPRC)		
0x4002_7000H	0x4002_7FFFH	A/D コンバータ		
0x4002_8000H	0x4002_DFFFH	予約		
0x4002_E000H	0x4002_EFFFH	内蔵 CR トリミング		
0x4002_F000H	0x4002_FFFFH	予約		
0x4003_0000H	0x4003_0FFFH	APB2		外部割込み
0x4003_1000H	0x4003_1FFFH			割込み要因確認レジスタ
0x4003_2000H	0x4003_2FFFH			予約
0x4003_3000H	0x4003_3FFFH		GPIO	
0x4003_4000H	0x4003_4FFFH		予約	
0x4003_5000H	0x4003_5FFFH		低電圧検出	
0x4003_6000H	0x4003_6FFFH		USB クロック生成回路	
0x4003_7000H	0x4003_7FFFH		予約	
0x4003_8000H	0x4003_8FFFH		マルチファンクションシリアル	
0x4003_9000H	0x4003_9FFFH		CRC	
0x4003_A000H	0x4003_AFFFH		時計カウンタ	
0x4003_B000H	0x4003_EFFFH		予約	
0x4003_F000H	0x4003_FFFFH		外部バス I/F	
0x4004_0000H	0x4004_FFFFH		AHB	USB ch.0
0x4005_0000H	0x4005_FFFFH			予約
0x4006_0000H	0x4006_0FFFH			DMAC レジスタ
0x4006_1000H	0x4006_1FFFH			予約
0x4006_2000H	0x4006_2FFFH	予約		
0x4006_3000H	0x4006_3FFFH	予約		
0x4006_4000H	0x41FF_FFFFH	予約		

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。

内蔵されている周辺機能が動作中であれば、その周辺機能に従います。

ポートとして使用している場合は、その状態を保持します。

■アナログ入力可能

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力 "0"固定
	メイン水晶発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力 "0"固定
	メイン水晶発振出力端子	Hi-Z/内部入力 "0"固定 もしくは 入力可	Hi-Z/内部入力 "0"固定	Hi-Z/内部入力 "0"固定	直前状態保持	直前状態保持/ 発振停止時*1は Hi-Z/内部入力 "0"固定	直前状態保持/ 発振停止時*1は Hi-Z/内部入力 "0"固定
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可
E	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力 "0"固定
F	トレース 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース 出力
	外部割込み許可選択時						直前状態保持
	GPIO 選択時 上記以外のリソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/内部入力 "0"固定
G	トレース 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース 出力
	GPIO 選択時 上記以外のリソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/内部入力 "0"固定

端子 状態 形式	グループ 機能名	パワーオン リセット もしくは 低電圧検出 状態	INITX 入力 状態	デバイス 内部リセット 状態	ランモード もしくは スリープ モード状態	タイマモードもしくは ストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
H	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	直前状態保持
	GPIO 選択時 上記以外の リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/内部入力 "0"固定
I	GPIO 選択時 リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/内部入力 "0"固定
J	NMIX 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	直前状態保持
	GPIO 選択時 上記以外の リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/内部入力 "0"固定
K	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/内部入力 "0"固定/ アナログ 入力可	Hi-Z/内部入力 "0"固定/ アナログ 入力可
	GPIO 選択時 上記以外の リソース 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	Hi-Z/内部入力"0" 固定
L	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	直前状態保持
	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/内部入力 "0"固定/ アナログ入力可	Hi-Z/内部入力"0" 固定/ アナログ入力可
	GPIO 選択時 上記以外の リソース 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	Hi-Z/内部入力"0" 固定
M	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態保持	Hi-Z/内部入力"0" 固定
	サブ水晶 発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
N	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	サブ水晶発振出力端子	Hi-Z/内部入力"0"固定もしくは入力可	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定
O	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	USB I/O 端子	設定不可	設定不可	設定不可	直前状態保持	送信時はHi-Z/入力可/受信時は内部入力"0"固定	送信時はHi-Z/入力可/受信時は内部入力"0"固定
P	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/入力可

*1: サブタイマモード, 低速 CR タイマモード, ストップモードは発振が停止します。

*2: ストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1, *2	Vcc	Vss - 0.5	Vss + 6.5	V	
電源電圧(USB 用) *1, *3	USBVcc	Vss - 0.5	Vss + 6.5	V	
アナログ電源電圧*1, *4	AVcc	Vss - 0.5	Vss + 6.5	V	
アナログ基準電圧*1, *4	AVRH	Vss - 0.5	Vss + 6.5	V	
入力電圧*1	VI	Vss - 0.5	Vcc + 0.5 (≤ 6.5 V)	V	USB 端子を除く
		Vss - 0.5	USBVcc + 0.5 (≤ 6.5 V)	V	USB 端子
		Vss - 0.5	Vss + 6.5	V	5V トレラント
アナログ端子入力電圧*1	VI _A	Vss - 0.5	AVcc + 0.5 (≤ 6.5 V)	V	
出力電圧*1	VO	Vss - 0.5	Vcc + 0.5 (≤ 6.5 V)	V	
最大クランプ電流	I _{CLAMP}	-2	+2	mA	*8
最大総クランプ電流	Σ [I _{CLAMP}]		+20	mA	*8
"L" レベル最大出力電流*5	I _{OL}	-	10	mA	4mA タイプ
			20	mA	12mA タイプ
			39	mA	P80, P81
"L" レベル平均出力電流*6	I _{OLAV}	-	4	mA	4mA タイプ
			12	mA	12mA タイプ
			19.7	mA	P80, P81
"L" レベル最大総出力電流	Σ I _{OL}	-	100	mA	
"L" レベル平均総出力電流*7	Σ I _{OLAV}	-	50	mA	
"H" レベル最大出力電流*5	I _{OH}	-	- 10	mA	4mA タイプ
			- 20	mA	12mA タイプ
			39	mA	P80, P81
"H" レベル平均出力電流*6	I _{OHAV}	-	- 4	mA	4mA タイプ
			- 12	mA	12mA タイプ
			25.3	mA	P80, P81
"H" レベル最大総出力電流	Σ I _{OH}	-	- 100	mA	
"H" レベル平均総出力電流*7	Σ I _{OHAV}	-	- 50	mA	
消費電力	P _D	-	300	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: Vss = AVss = 0.0 V を基準にした値です。

*2: Vcc は Vss - 0.5 V より低くならないでください。

*3: USBVcc は Vss - 0.5 V より低くならないでください。

*4: 電源投入時など Vcc + 0.5 V を超えてはいけません。

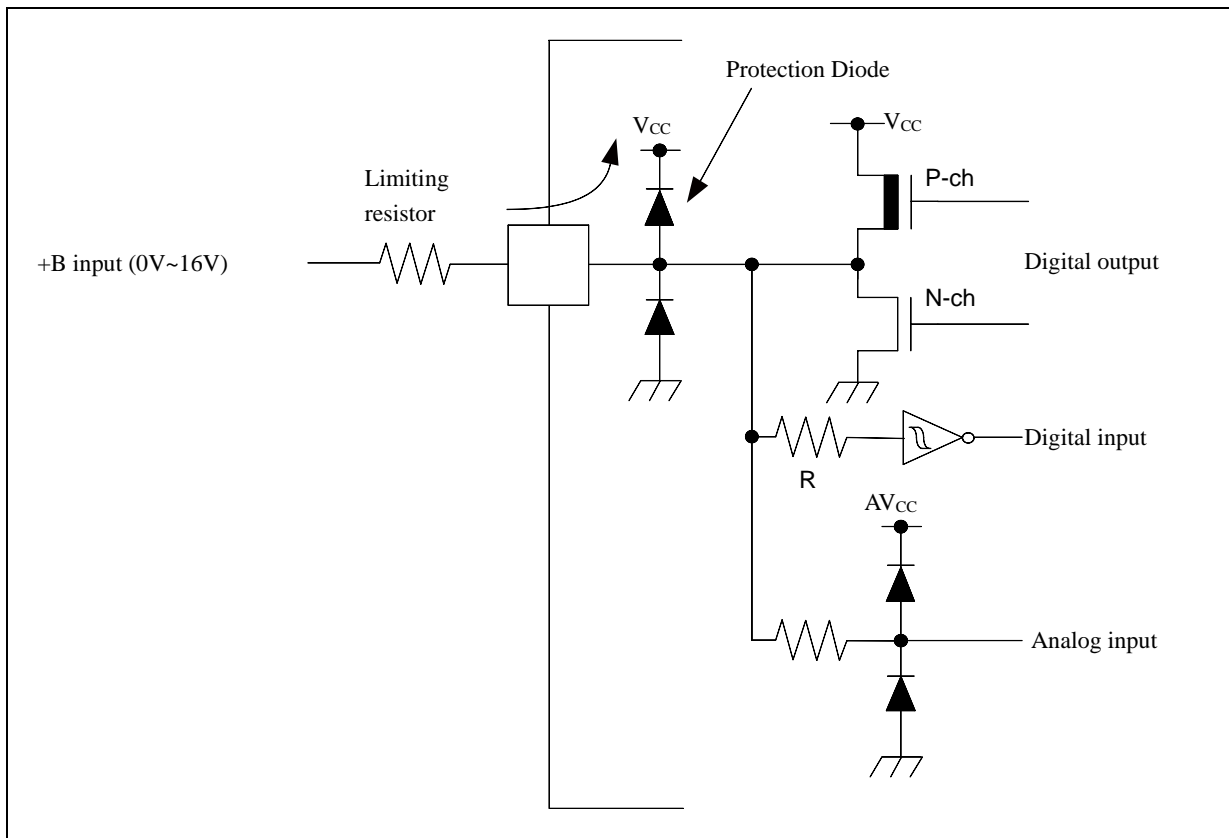
*5: 最大出力電流は、該当する端子一本のピーク値を規定します。

*6: 平均出力電流は、該当する端子一本に流れる電流の 100 ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

*8:

- 該当端子については、「端子機能一覧」、「入出力回路形式」を参照してください。
- 推奨動作条件内でご使用ください。
- +B 入力は直流電圧(電流)でご使用ください。
- +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
- +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
- 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して VCC 端子、AVCC 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には Vcc、AVcc の電位が推奨動作条件を超えないようにしてください。
- 本デバイスの電源が OFF 時(0 V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
- 推奨回路例(入出力等価回路)を下記に示します。



<注意事項>

- 絶対最大定格を超えるストレス(電圧、電流、温度など)の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

 (V_{SS} = AV_{SS} = 0.0 V)

項目	記号	条件	定格値		単位	備考	
			最小	最大			
電源電圧	V _{CC}	-	2.7* ⁴	5.5	V		
電源電圧(3V 電源) USB 用	USBV _{CC}	-	3.0	3.6 ($\leq V_{CC}$)	V	*1	
			2.7	5.5 ($\leq V_{CC}$)		*2	
アナログ電源電圧	AV _{CC}	-	2.7	5.5	V	AV _{CC} = V _{CC}	
アナログ基準電圧	AVRH	-	2.7	AV _{CC}	V		
平滑コンデンサ容量	C _S	-	1	10	μF	内蔵レギュレータ用* ³	
動作温度	LQI100 LQH080 LQD064 LQG064 VNC064 LBC112	T _A	-	- 40	+ 105	°C	
	PQH100	T _A	4層基板 実装時	- 40	+ 105	°C	
			単層両面基板 実装時	- 40	+ 105	°C	I _{CC} ≤ 35 mA
				- 40	+ 85	°C	I _{CC} > 35 mA

*1: P81/UDP0 および P80/UDM0 端子を USB 端子(UDP0, UDM0)として使用する場合があります。

*2: P81/UDP0 および P80/UDM0 端子を GPIO 端子(P81, P80)として使用する場合があります。

*3: 平滑コンデンサの接続方法は、「デバイス使用上の注意」の「C 端子について」を参照してください。

*4: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格
12.3.1 電流規格

(Vcc = AVcc = 2.7 V ~ 5.5 V, USBVcc = 3.0 V ~ 3.6 V, Vss = AVss = 0 V, TA = -40°C ~ +105°C)

項目	記号	端子名	条件	規格値		単位	備考	
				標準*3	最大*4			
ラン モード 電流	Icc	VCC	PLL ランモード	CPU: 40 MHz, 周辺: 40 MHz, Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000 *5	32	41	mA	*1
			PLL ランモード	CPU: 40 MHz, 周辺: 40 MHz, Flash 3 Wait FRWTR.RWT = 00 FSYNDN.SD = 011 *5	21	28	mA	*1
			高速 CR ランモード	CPU/周辺: 4 MHz*2 Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	3.9	7.7	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000 *6	0.15	3.2	mA	*1
			低速 CR ランモード	CPU/周辺: 100 kHz Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	0.2	3.3	mA	*1
スリープ モード 電流	Iccs	VCC	PLL スリープモード	周辺: 40 MHz *5	10	15	mA	*1
			高速 CR スリープモード	周辺: 4 MHz*2	1.2	4.4	mA	*1
			サブ スリープモード	周辺: 32 kHz *6	0.1	3.1	mA	*1
			低速 CR スリープモード	周辺: 100 kHz	0.1	3.1	mA	*1

*1: 全ポート固定時

*2: トリミングにて 4 MHz に設定した場合

*3: TA = +25°C, Vcc = 5.5 V

*4: TA = +105°C, Vcc = 5.5 V

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

(V_{CC} = AV_{CC} = 2.7 V ~ 5.5 V, USBV_{CC} = 3.0 V ~ 3.6 V, V_{SS} = AV_{SS} = 0 V, T_A = -40°C ~ +105°C)

項目	記号	端子名	条件	規格値		単位	備考	
				標準*2	最大*2			
タイムモード電流	I _{CCR}	V _{CC}	メイン タイムモード	T _A = +25°C, LVD off 時 *3	2.5	3	mA	*1
				T _A = +105°C, LVD off 時 *3	-	6	mA	*1
			サブ タイムモード	T _A = +25°C, LVD off 時 *4	60	230	μA	*1
				T _A = +105°C, LVD off 時 *4	-	3.1	mA	*1
ストップ モード 電流	I _{CHH}	ストップ モード	T _A = +25°C, LVD off 時	35	200	μA	*1	
			T _A = +105°C, LVD off 時	-	3	mA	*1	

*1: 全ポート固定時

*2: V_{CC}=5.5 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = -40°C ~ +105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧 検出回路(LVD) 電源電流	I _{CLVD}	V _{CC}	割込み発生用 動作時 V _{CC} =5.5 V	4	7	μA	未検出時

フラッシュメモリ電流

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = -40°C ~ +105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書込み/消去電流	I _{CCFLASH}	V _{CC}	書込み/ 消去時	11.4	13.1	mA	

A/D コンバータ電流

(V_{CC} = AV_{CC} = 2.7 V ~ 5.5 V, V_{SS} = AV_{SS} = AV_{RL} = 0 V, T_A = -40°C ~ +105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CCAD}	AV _{CC}	1unit 動作時	0.57	0.72	mA	
			停止時	0.06	20	μA	
基準電源電流	I _{CCAVRH}	AV _{RH}	A/D 1unit 動作時 AV _{RH} =5.5 V	1.1	1.96	mA	
			停止時	0.06	4	μA	

12.3.2 端子特性

(Vcc = AVcc = 2.7 V ~ 5.5 V, Vss = AVss = 0 V, TA = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル入力電圧 (ヒステリシス入力)	VIHS	CMOS ヒステリシス 入力端子, MD0,1	-	Vcc × 0.8	-	Vcc + 0.3	V	
		5V トレラント 入力端子	-	Vcc × 0.8	-	Vss + 5.5	V	
"L"レベル入力電圧 (ヒステリシス入力)	VILS	CMOS ヒステリシス 入力端子, MD0,1	-	Vss - 0.3	-	Vcc × 0.2	V	
"H"レベル出力電圧	VOH	4mA タイプ	Vcc ≥ 4.5 V IOH = - 4 mA	Vcc - 0.5	-	Vcc	V	
			Vcc < 4.5 V IOH = - 2 mA					
		12mA タイプ	Vcc ≥ 4.5 V IOH = - 12 mA	Vcc - 0.5	-	Vcc	V	
			Vcc < 4.5 V IOH = - 8 mA					
		P80, P81	Vcc ≥ 4.5 V IOH = - 20.5 mA	Vcc - 0.4	-	Vcc	V	
			Vcc < 4.5 V IOH = - 13.0 mA					
"L"レベル出力電圧	VOL	4mA タイプ	Vcc ≥ 4.5 V IOL = 4 mA	Vss	-	0.4	V	
			Vcc < 4.5 V IOL = 2 mA					
		12mA タイプ	Vcc ≥ 4.5 V IOL = 12 mA	Vss	-	0.4	V	
			Vcc < 4.5 V IOL = 8 mA					
		P80, P81	Vcc ≥ 4.5 V IOL = 18.5 mA	Vss	-	0.4	V	
			Vcc < 4.5 V IOL = 10.5 mA					
入力リーク電流	IIL	-	-	- 5	-	+ 5	μA	
プルアップ抵抗値	RPU	プルアップ 端子	Vcc ≥ 4.5 V	25	50	100	kΩ	
			Vcc < 4.5 V	30	80	200		
入力容量	CIN	Vcc, Vss, AVcc, AVss, AVRH 以外	-	-	5	15	pF	

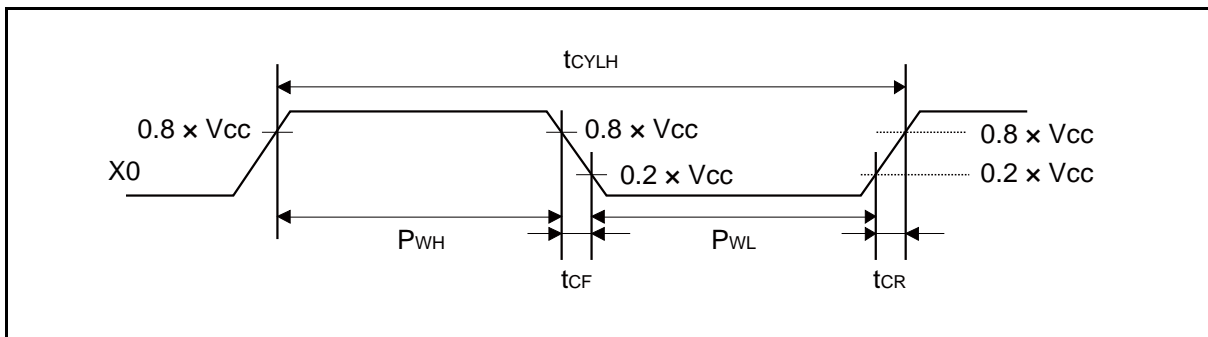
12.4 交流規格
12.4.1 メインクロック入力規格

(Vcc = 2.7 V ~ 5.5 V, Vss = 0 V, TA = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	FCH	X0 X1	Vcc ≥ 4.5 V	4	48	MHz	水晶発振子接続時
			Vcc < 4.5 V	4	20		
			Vcc ≥ 4.5 V	4	48	MHz	外部クロック時
			Vcc < 4.5 V	4	20		
入力クロック周期	tCYLH		Vcc ≥ 4.5 V	20.83	250	ns	外部クロック時
			Vcc < 4.5 V	50	250		
入力クロックパルス幅	-		PWH/tCYLH PWL/tCYLH	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	tCF tCR		-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	FCM	-	-	-	40	MHz	マスタクロック
	FCC	-	-	-	40	MHz	ベースクロック (HCLK/FCLK)
	FCP0	-	-	-	40	MHz	APB0 バスクロック*2
	FCP1	-	-	-	40	MHz	APB1 バスクロック*2
	FCP2	-	-	-	40	MHz	APB2 バスクロック*2
内部動作クロック*1 サイクル時間	tCYCC	-	-	25	-	ns	ベースクロック (HCLK/FCLK)
	tCYCP0	-	-	25	-	ns	APB0 バスクロック*2
	tCYCP1	-	-	25	-	ns	APB1 バスクロック*2
	tCYCP2	-	-	25	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM3 ファミリー パリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

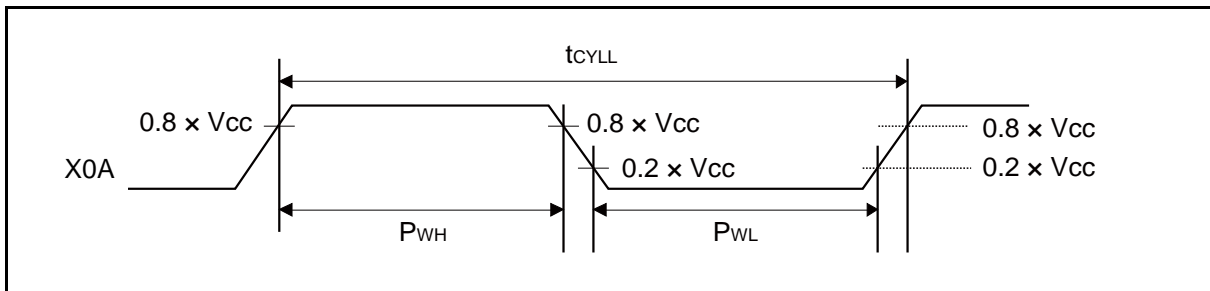
*2: 各パリフェラルが接続されている APB バスについては「ブロックダイアグラム」を参照してください。



12.4.2 サブクロック入力規格

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	F _{CL}	X0A X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t _{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P _{WH} /t _{CYLL} P _{WL} /t _{CYLL}	45	-	55	%	外部クロック時


12.4.3 内蔵 CR 発振規格
内蔵高速 CR

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRH}	T _A = + 25°C	3.96	4	4.04	MHz	トリミング時*1
		T _A = 0°C ~ + 70°C	3.84	4	4.16		
		T _A = - 40°C ~ + 105°C	3.8	4	4.2		
		T _A = - 40°C ~ + 105°C	3	4	5		非トリミング時
周波数安定時間	t _{CRWT}	-	-	-	90	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL・USB 用 PLL の使用条件 (PLL の入力クロックにメインクロックを選択)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	75	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	200	-	300	MHz	
メイン PLL クロック周波数*2	F _{CLKPLL}	-	-	40	MHz	
USB クロック周波数*3	F _{CLKSPLL}	-	-	48	MHz	M 分周後の周波数

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ パリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

*3: USB クロックの詳細については、『FM3 ファミリ パリフェラルマニュアル 通信マクロ編』の『CHAPTER 2-2: USB クロック生成』を参照してください。

12.4.5 メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを選択)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

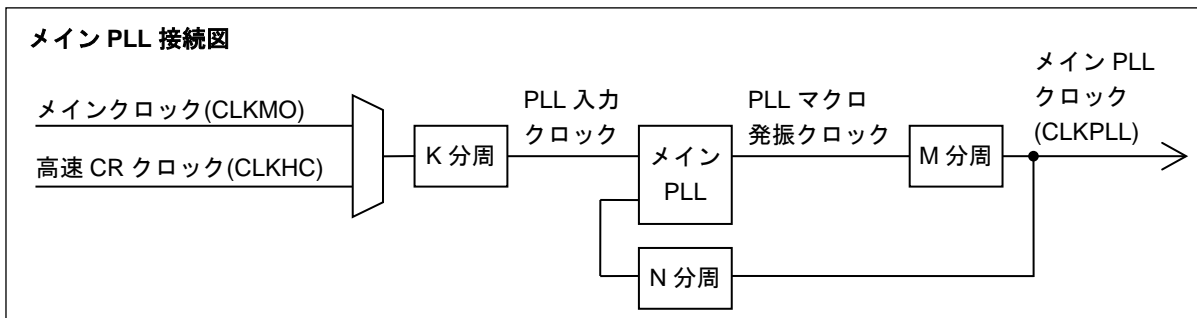
項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	50	-	71	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	190	-	300	MHz	
メイン PLL クロック周波数*2	F _{CLKPLL}	-	-	40	MHz	

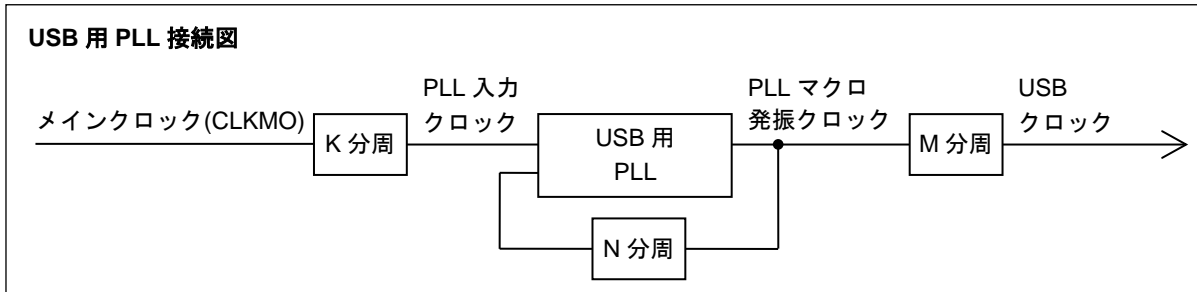
*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ パリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

<注意事項>

- 必ずトリミングした内蔵高速 CR を入力してください。
PLL 通倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。





12.4.6 リセット入力規格

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミング

($V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$)

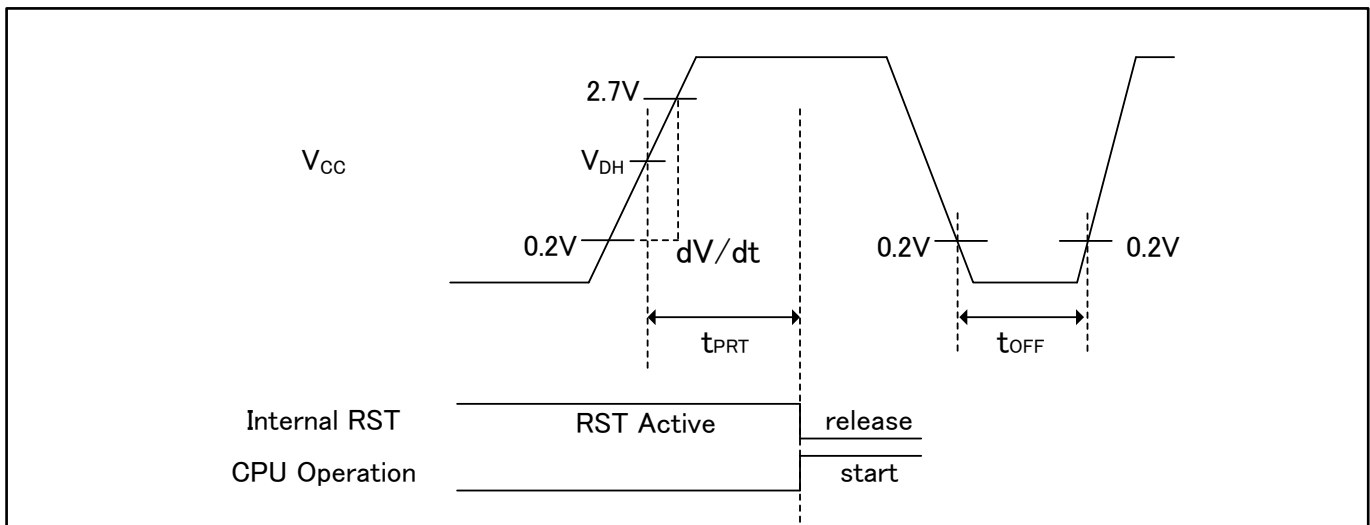
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	50	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2\text{ V} \sim 2.70\text{ V}$	0.9	-	1000	mV/us	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.446	-	0.744	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2 V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start ($t_{OFF} > 50\text{ ms}$) のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12. 4. 6. に従い外部リセット (INITX) を入れて下さい。



用語解説

VDH: 低電圧検出リセット解除電圧「12.7. 低電圧検出特性」を参照してください。

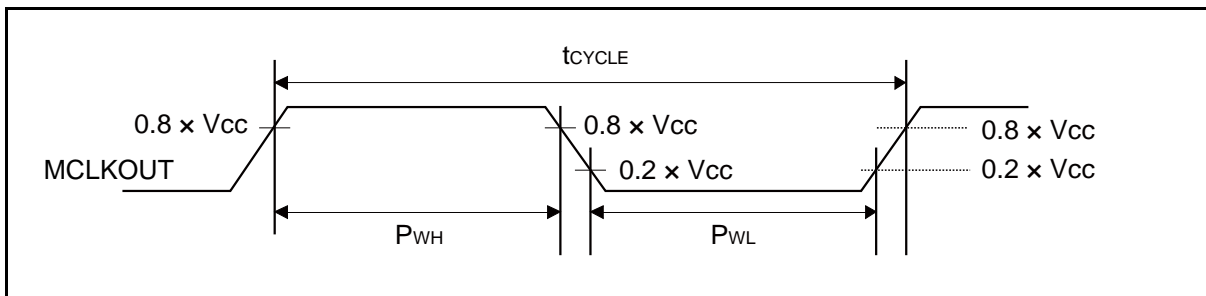
12.4.8 外バスタイミング
外バスクロック出力規格

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t _{CYCLE}	MCLKOUT	V _{CC} ≥ 4.5 V	-	40	MHz
			V _{CC} < 4.5 V	-	32	MHz
最小クロック周期	-		V _{CC} ≥ 4.5 V	25	-	ns
			V _{CC} < 4.5 V	31.25	-	ns

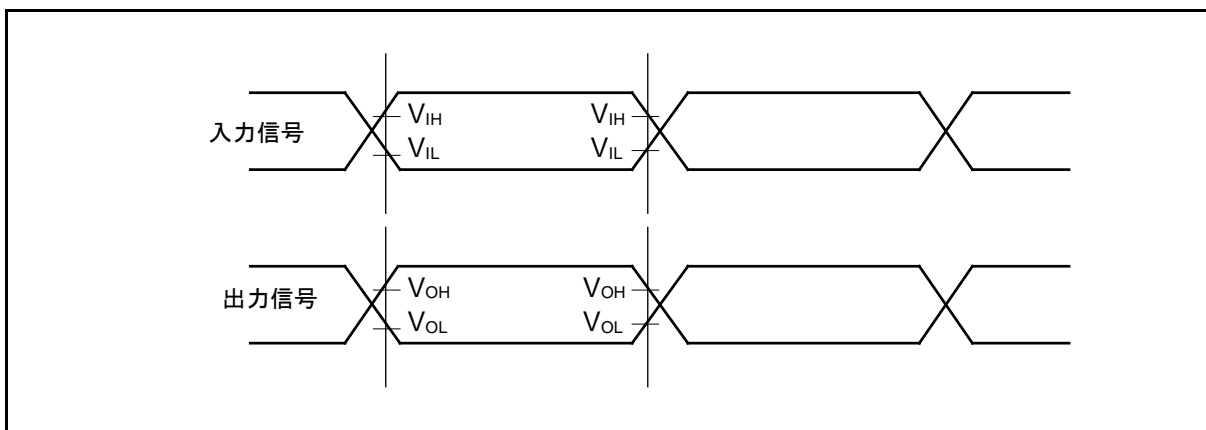
<注意事項>

- 外バスクロック出力はHCLKの分周クロックです。設定の詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 12: 外部バスインタフェース』を参照してください。
外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。


外バス 信号入出力規格

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値	単位	備考
信号入力規格	V _{IH}	-	0.8 × V _{CC}	V	
	V _{IL}		0.2 × V _{CC}	V	
信号出力規格	V _{OH}		0.8 × V _{CC}	V	
	V _{OL}		0.2 × V _{CC}	V	



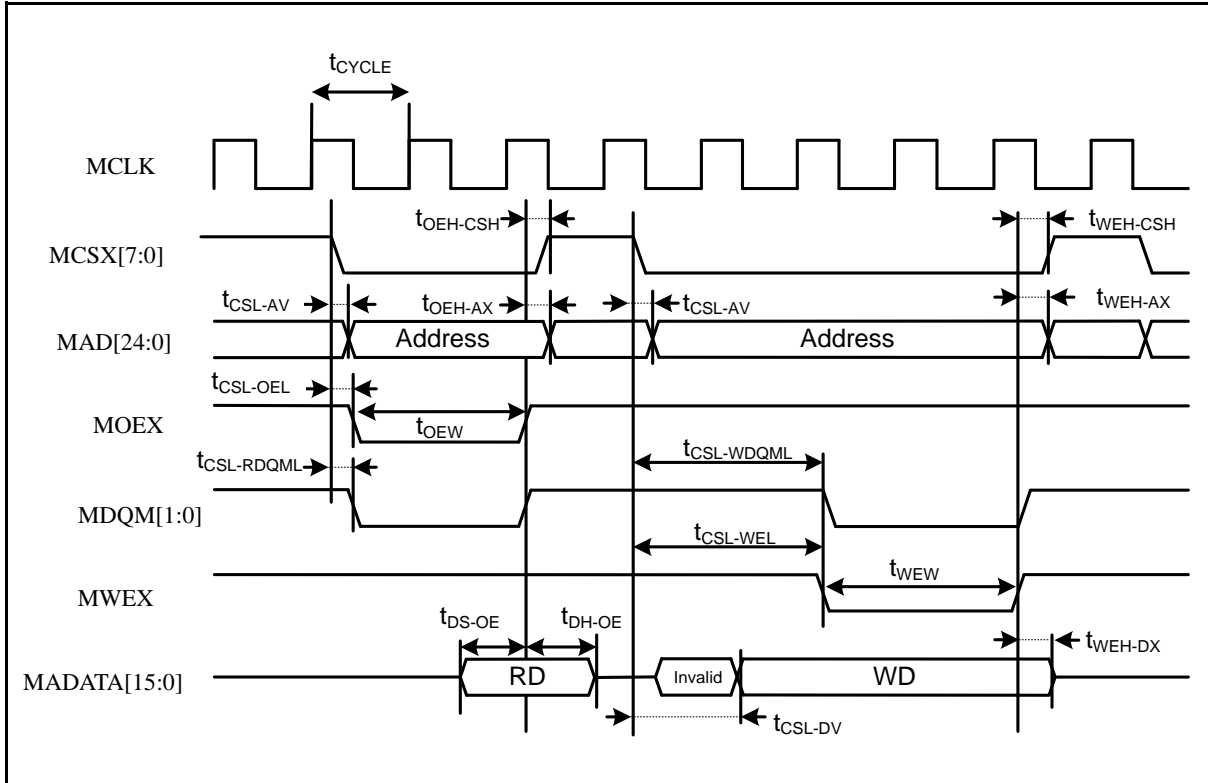
セパレートバスアクセス 非同期 SRAM モード

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	t _{OE}	MOEX	V _{CC} ≥ 4.5 V	MCLK×n-3	-	ns
			V _{CC} < 4.5 V			
MCSX ↓ → アドレス 出力遅延時間	t _{CSL-AV}	MCSX[7:0] MAD[24:0]	V _{CC} ≥ 4.5 V	-9	+9	ns
			V _{CC} < 4.5 V	-12	+12	
MOEX ↑ → アドレス ホールド時間	t _{OEH-AX}	MOEX MAD[24:0]	V _{CC} ≥ 4.5 V	0	MCLK×m+9	ns
			V _{CC} < 4.5 V		MCLK×m+12	
MCSX ↓ → MOEX ↓ 遅延時間	t _{CSL-OEL}	MOEX MCSX[7:0]	V _{CC} ≥ 4.5 V	MCLK×m-9	MCLK×m+9	ns
			V _{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
MOEX ↑ → MCSX ↑ 時間	t _{OEH-CSH}	MOEX MCSX[7:0]	V _{CC} ≥ 4.5 V	0	MCLK×m+9	ns
			V _{CC} < 4.5 V		MCLK×m+12	
MCSX ↓ → MDQM ↓ 遅延時間	t _{CSL-RDQML}	MCSX MDQM[1:0]	V _{CC} ≥ 4.5 V	MCLK×m-9	MCLK×m+9	ns
			V _{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
データセットアップ → MOEX ↑ 時間	t _{DS-OE}	MOEX MADATA[15:0]	V _{CC} ≥ 4.5 V	20	-	ns
			V _{CC} < 4.5 V	38	-	
MOEX ↑ → データホールド時間	t _{DH-OE}	MOEX MADATA[15:0]	V _{CC} ≥ 4.5 V	0	-	ns
			V _{CC} < 4.5 V			
MWEX 最小パルス幅	t _{WE}	MWEX	V _{CC} ≥ 4.5 V	MCLK×n-3	-	ns
			V _{CC} < 4.5 V			
MWEX ↑ → アドレス 出力遅延時間	t _{WEH-AX}	MWEX MAD[24:0]	V _{CC} ≥ 4.5 V	0	MCLK×m+9	ns
			V _{CC} < 4.5 V		MCLK×m+12	
MCSX ↓ → MWEX ↓ 遅延時間	t _{CSL-WEL}	MWEX MCSX[7:0]	V _{CC} ≥ 4.5 V	MCLK×n-9	MCLK×n+9	ns
			V _{CC} < 4.5 V	MCLK×n-12	MCLK×n+12	
MWEX ↑ → MCSX ↑ 遅延時間	t _{WEH-CSH}	MWEX MCSX[7:0]	V _{CC} ≥ 4.5 V	0	MCLK×m+9	ns
			V _{CC} < 4.5 V		MCLK×m+12	
MCSX ↓ → MDQM ↓ 遅延時間	t _{CSL-WDQML}	MCSX MDQM[1:0]	V _{CC} ≥ 4.5 V	MCLK×n-9	MCLK×n+9	ns
			V _{CC} < 4.5 V	MCLK×n-12	MCLK×n+12	
MCSX ↓ → データ出力時間	t _{CSL-DV}	MCSX MADATA[15:0]	V _{CC} ≥ 4.5 V	MCLK-9	MCLK+9	ns
			V _{CC} < 4.5 V	MCLK-12	MCLK+12	
MWEX ↑ → データホールド時間	t _{WEH-DX}	MWEX MADATA[15:0]	V _{CC} ≥ 4.5 V	0	MCLK×m+9	ns
			V _{CC} < 4.5 V		MCLK×m+12	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時 (m=0~15, n=1~16)



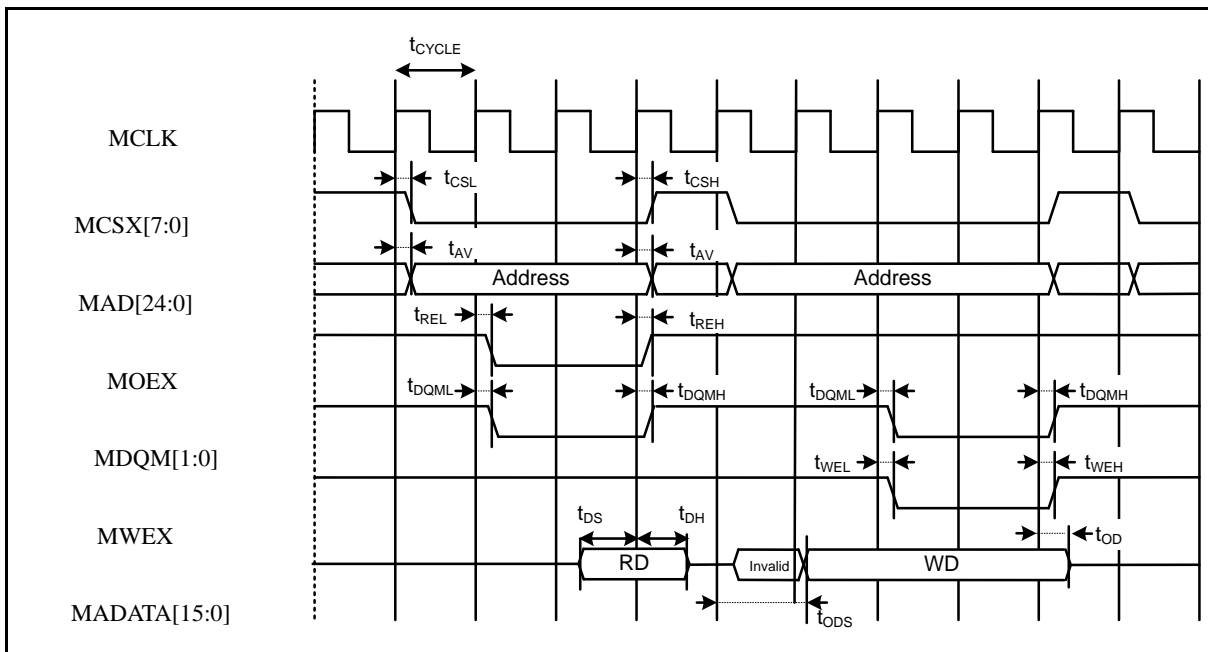
セパレートバスアクセス 同期 SRAM モード

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
アドレス遅延時間	t_{AV}	MCLK MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
MCSX 遅延時間	t_{CSL}	MCLK MCSX[7:0]	$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
	t_{CSH}		$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
MOEX 遅延時間	t_{REL}	MCLK MOEX	$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
	t_{REH}		$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
データセットアップ →MCLK↑時間	t_{DS}	MCLK MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	19	-	ns
			$V_{CC} < 4.5\text{ V}$	37		
MCLK↑→ データホールド時間	t_{DH}	MCLK MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	0	-	ns
			$V_{CC} < 4.5\text{ V}$			
MWEX 遅延時間	t_{WEL}	MCLK MWEX	$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
	t_{WEH}		$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
MDQM[1:0] 遅延時間	t_{DQML}	MCLK MDQM[1:0]	$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
	t_{DQMH}		$V_{CC} \geq 4.5\text{ V}$	1	9	ns
			$V_{CC} < 4.5\text{ V}$		12	
MCLK↑→ データ出力時間	t_{ODS}	MCLK, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	MCLK+1	MCLK+18	ns
			$V_{CC} < 4.5\text{ V}$		MCLK+24	
MCLK↑→ データホールド時間	t_{OD}	MCLK MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	1	18	ns
			$V_{CC} < 4.5\text{ V}$		24	

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時



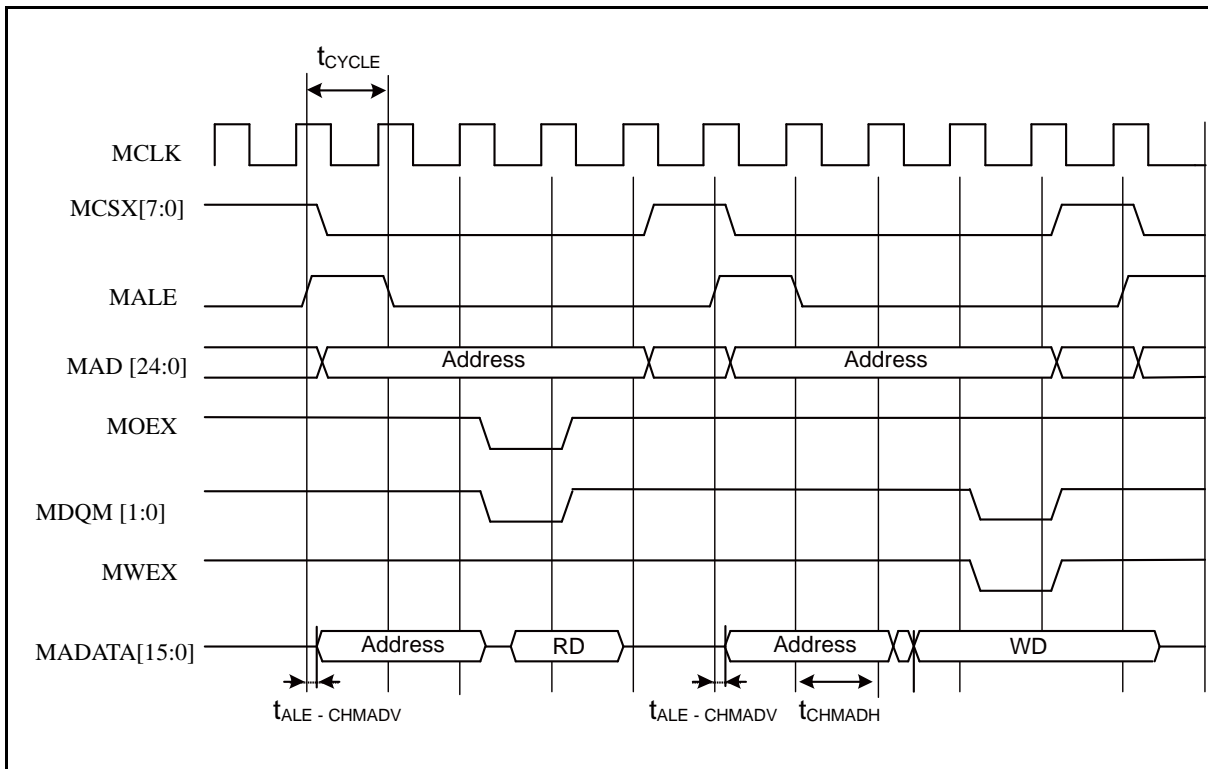
マルチプレクスバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マルチプレクス アドレス遅延時間	tALE-CHMADV	MALE MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	0	10	ns
			$V_{CC} < 4.5\text{ V}$		20	
マルチプレクス アドレスホールド 時間	tCHMADH	MALE MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	MCLK×n+0	MCLK×n+10	ns
			$V_{CC} < 4.5\text{ V}$	MCLK×n+0	MCLK×n+20	

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



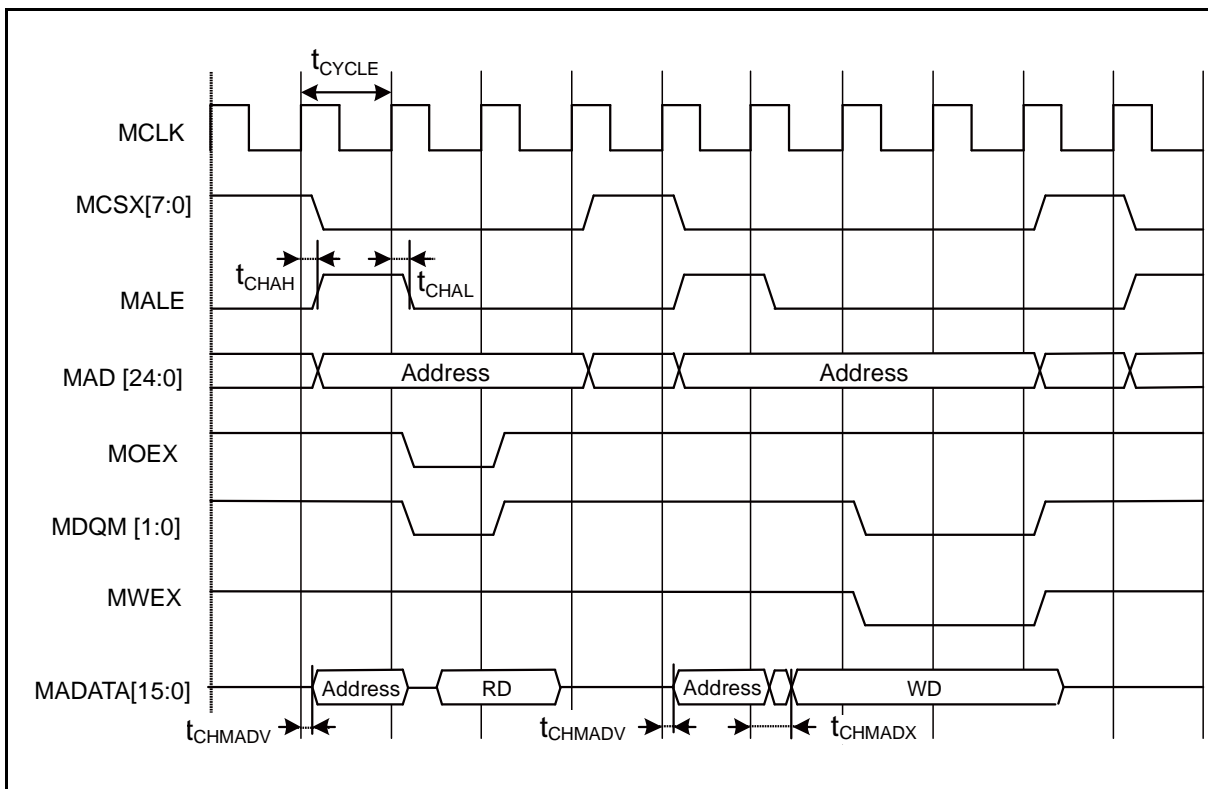
マルチプレクスバスアクセス 同期 SRAM モード

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t _{CHAL}	MCLK ALE	$V_{CC} \geq 4.5\text{ V}$	1	9	ns	
			$V_{CC} < 4.5\text{ V}$		12		
	t _{CHAH}		$V_{CC} \geq 4.5\text{ V}$	1	9	ns	
			$V_{CC} < 4.5\text{ V}$		12		
MCLK ↑ → マルチプレクス アドレス遅延時間	t _{CHMADV}	MCLK MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	1	toD	ns	
			$V_{CC} < 4.5\text{ V}$				
MCLK ↑ → マルチプレクス データ出力時間	t _{CHMADX}		$V_{CC} \geq 4.5\text{ V}$	1	toD	ns	
			$V_{CC} < 4.5\text{ V}$				

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時

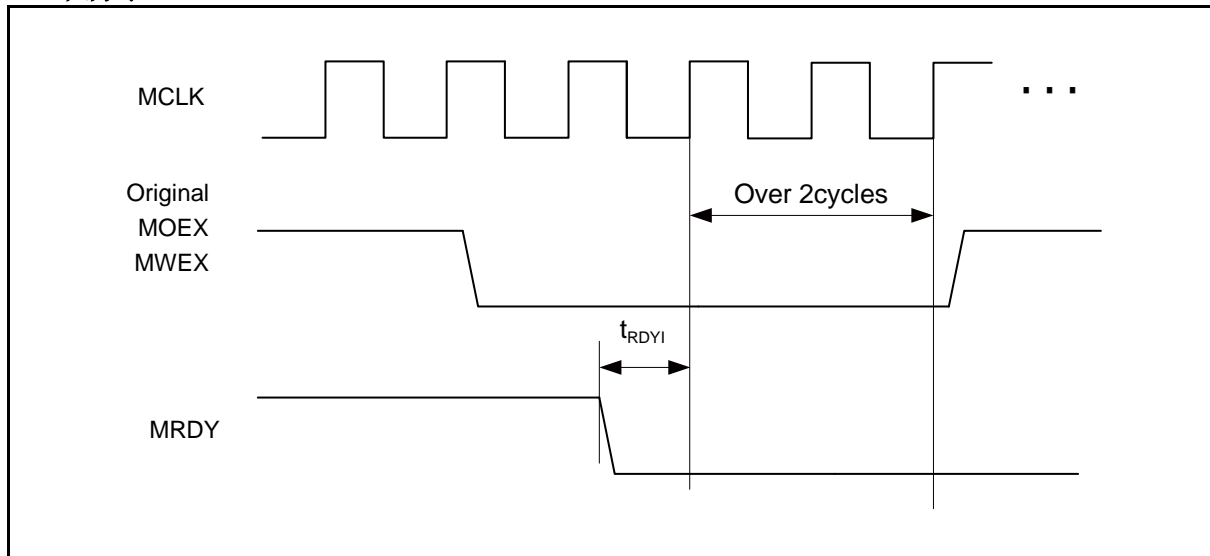


外部 RDY 入力タイミング

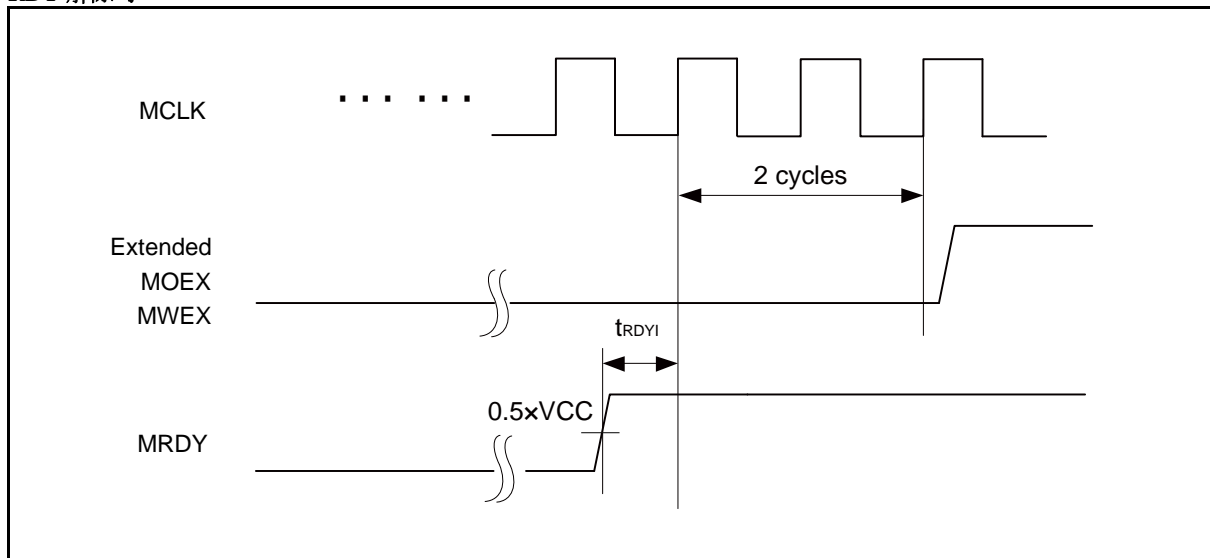
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK MRDY	$V_{CC} \geq 4.5\text{ V}$	19	-	ns	
			$V_{CC} < 4.5\text{ V}$	37			

RDY 入力時



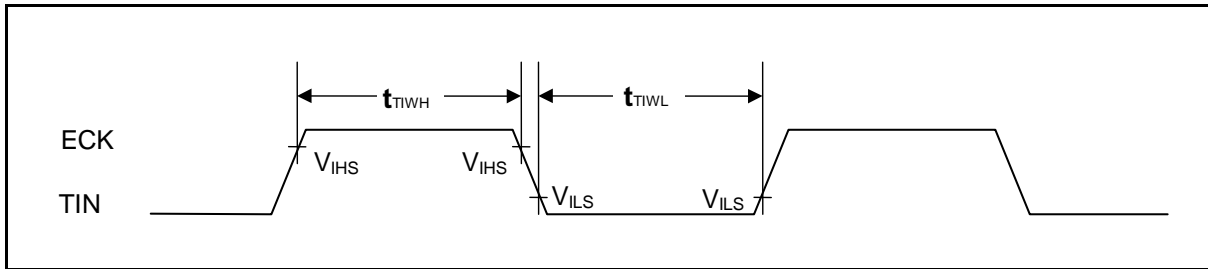
RDY 解除時



12.4.9 ベースタイマ入カタイミング
タイマ入カタイミング

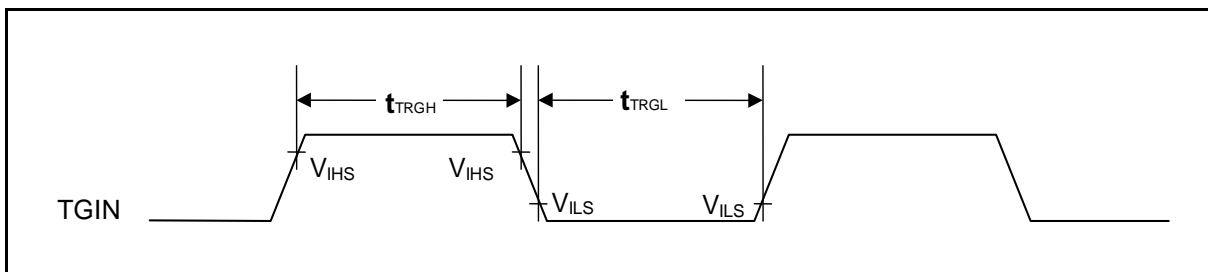
 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TIWH} t _{TIWL}	TIOAn/TIOBn (ECK, TIN として使用する時)	-	2t _{cyCP}	-	ns	


トリガ入カタイミング

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TRGH} t _{TRGL}	TIOAn/TIOBn (TGIN として使用する時)	-	2t _{cyCP}	-	ns	


<注意事項>

- t_{cyCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「ブロックダイアグラム」を参照してください。

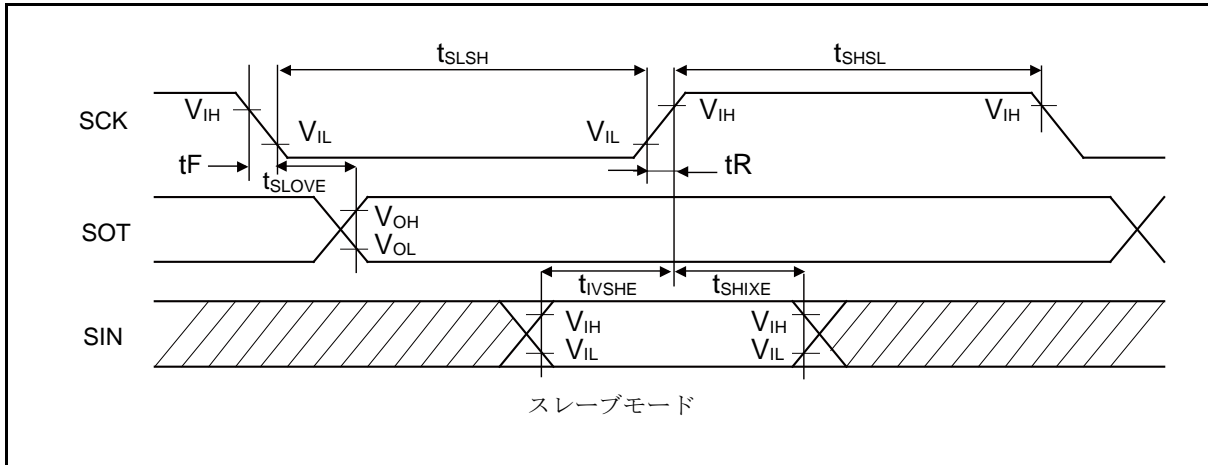
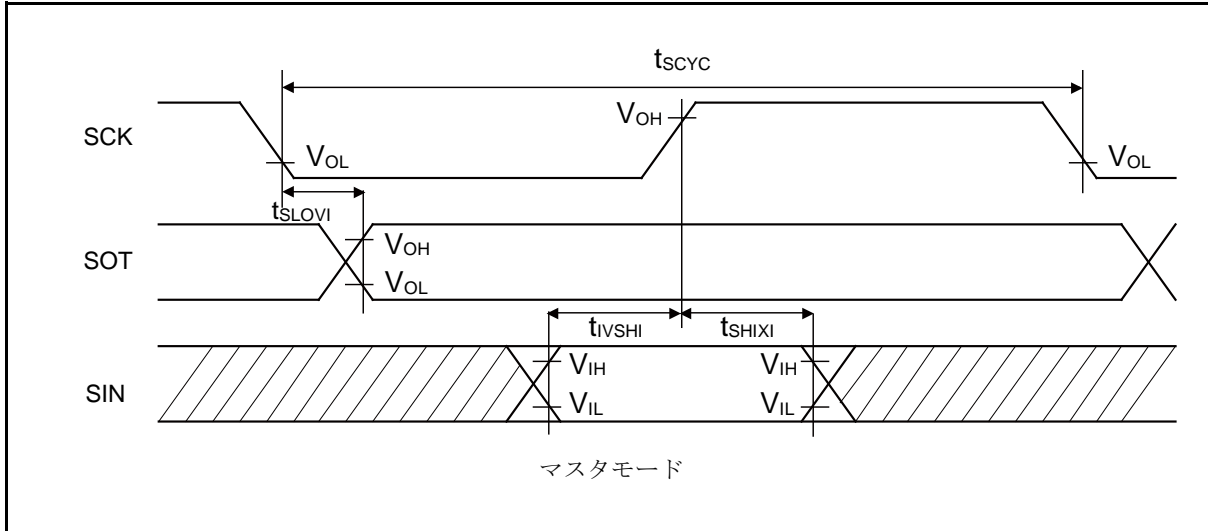
12.4.10 CSIO/UART タイミング
CSIO (SPI = 0, SCINV = 0)

(Vcc = 2.7 V ~ 5.5 V, Vss = 0 V, TA = - 40°C ~ + 105°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	tSCYC	SCKx	マスタ モード	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 遅延時間	tSLOV1	SCKx SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	tIVSHI	SCKx SINx		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	tSHIXI	SCKx SINx		0	-	0	-	ns
シリアルクロック “L”パルス幅	tLSH	SCKx	スレーブ モード	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック “H”パルス幅	tSHSL	SCKx		tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 遅延時間	tSLOVE	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	tIVSHE	SCKx SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 CL = 30 pF 時



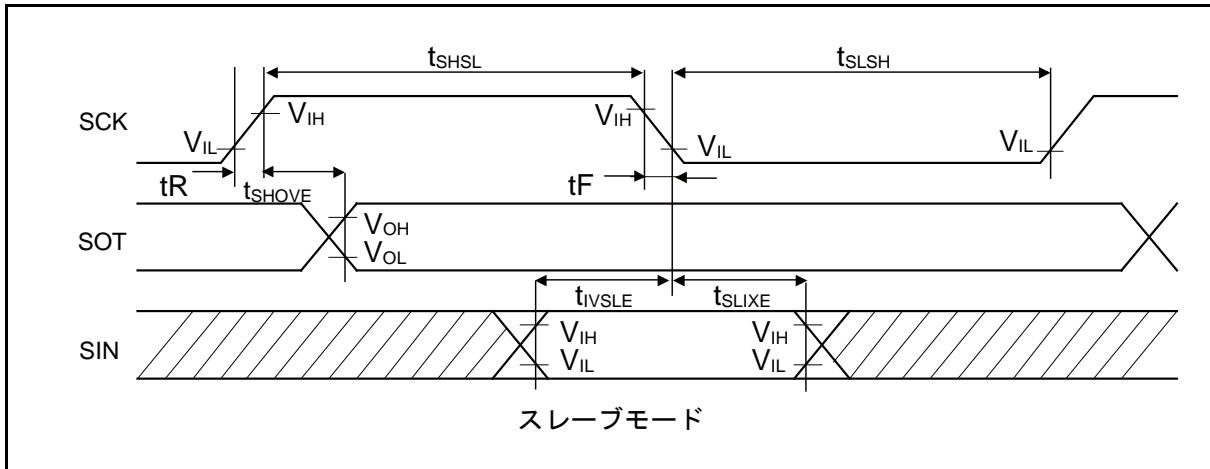
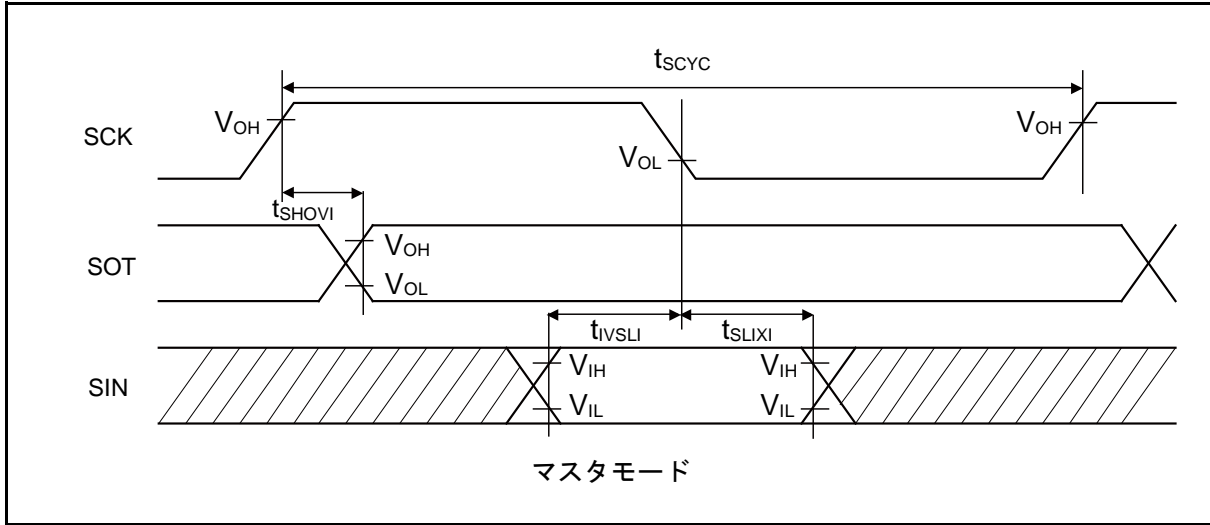
CSIO (SPI = 0, SCINV = 1)

(Vcc = 2.7 V ~ 5.5 V, Vss = 0 V, TA = - 40°C ~ + 105°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	tSCYC	SCKx	マスタ モード	4tCYCP	-	4tCYCP	-	ns
SCK ↑ → SOT 遅延時間	tSHOVI	SCKx SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	tIVSLI	SCKx SINx		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	tSLIXI	SCKx SINx		0	-	0	-	ns
シリアルクロック “L”パルス幅	tLSLH	SCKx		2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック “H”パルス幅	tSHSL	SCKx	tCYCP + 10	-	tCYCP + 10	-	ns	
SCK ↑ → SOT 遅延時間	tSHOVE	SCKx SOTx	スレーブ モード	-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	tIVSLE	SCKx SINx		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	tSLIXE	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 CL = 30 pF 時



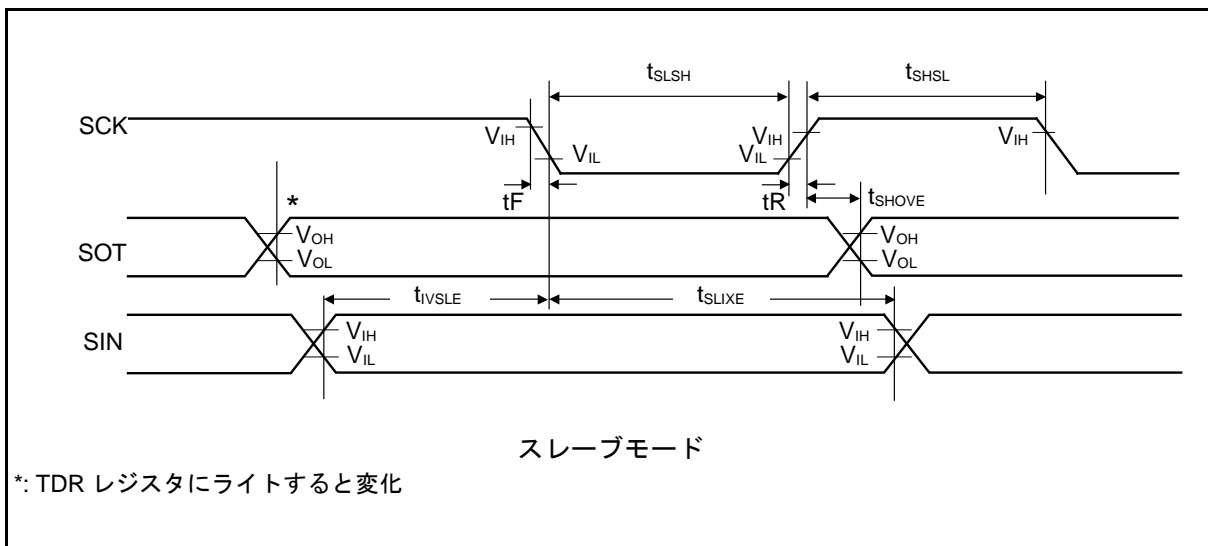
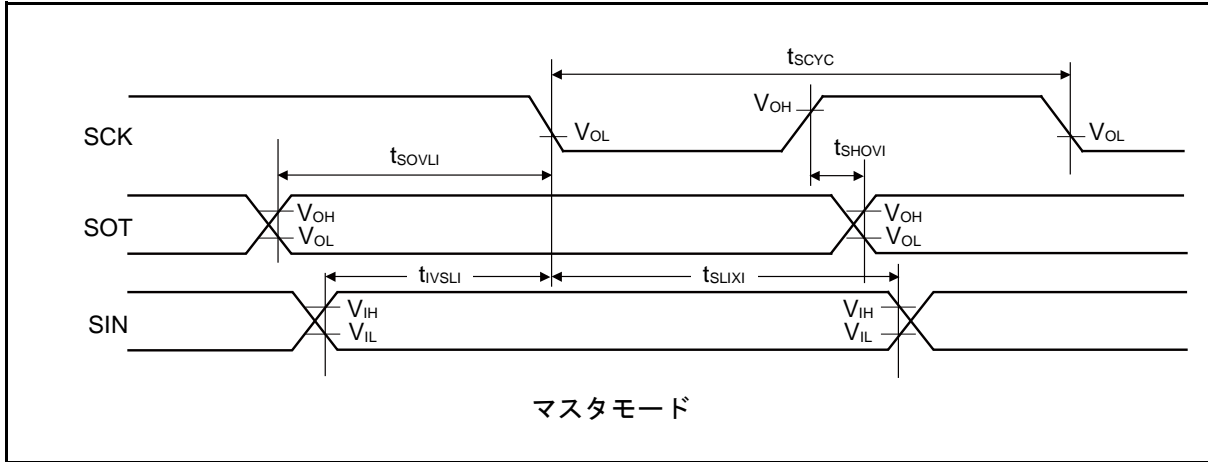
CSIO (SPI = 1, SCINV = 0)

(Vcc = 2.7 V ~ 5.5 V, Vss = 0 V, TA = -40°C ~ +105°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	tSCYC	SCKx	マスタ モード	4tCYCP	-	4tCYCP	-	ns
SCK ↑ → SOT 遅延時間	tSHOVI	SCKx SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	tIVSLI	SCKx SINx		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	tSLIXI	SCKx SINx		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	tSOVLI	SCKx SOTx		2tCYCP - 30	-	2tCYCP - 30	-	ns
シリアルクロック “L”パルス幅	tLSLH	SCKx		2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック “H”パルス幅	tHSL	SCKx	tCYCP + 10	-	tCYCP + 10	-	ns	
SCK ↑ → SOT 遅延時間	tSHOVE	SCKx SOTx	スレーブ モード	-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	tIVSLE	SCKx SINx		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	tSLIXE	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 CL = 30 pF 時



CSIO (SPI = 1, SCINV = 1)

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _X SOT _X		30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HI}}	SCK _X SIN _X		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _X SIN _X		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _X SOT _X		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック “L”パルス幅	t _{LSH}	SCK _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック “H”パルス幅	t _{SHSL}	SCK _X	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _X SOT _X	スレーブ モード	-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HE}}	SCK _X SIN _X		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _X SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_X_0, SOT_X_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時

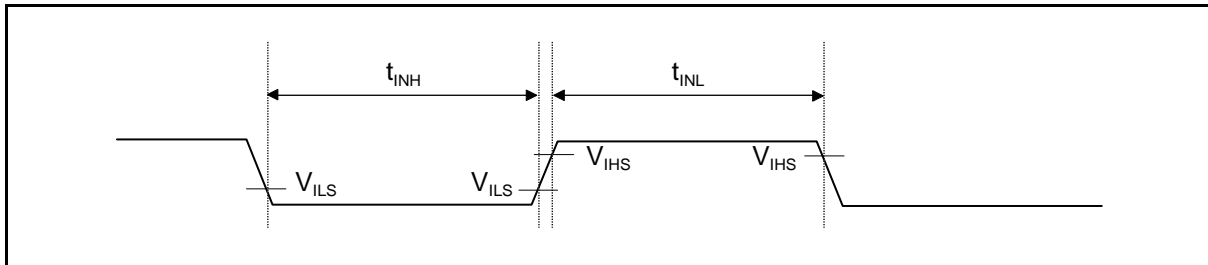
12.4.11 外部入力タイミング

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} t _{INL}	ADTG	-	2t _{CYCP} *	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイム入力クロック
		Icxx					インプットキャプチャ
		DTTIxX	-	2t _{CYCP} *	-	ns	波形ジェネレータ
		INTxx, NMIX	タイマモード、 ストップモード を除く	2t _{CYCP} + 100*	-	ns	外部割込み NMI
	タイマモード、 ストップモード	500	-	ns			

*: t_{CYCP} は APB バスのサイクル時間です。

A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

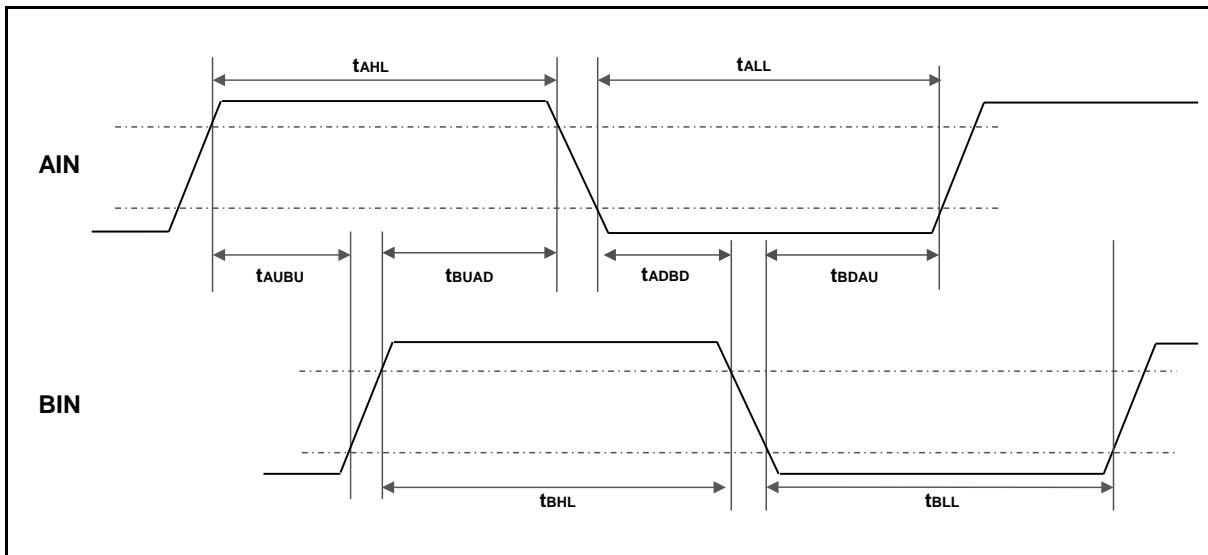


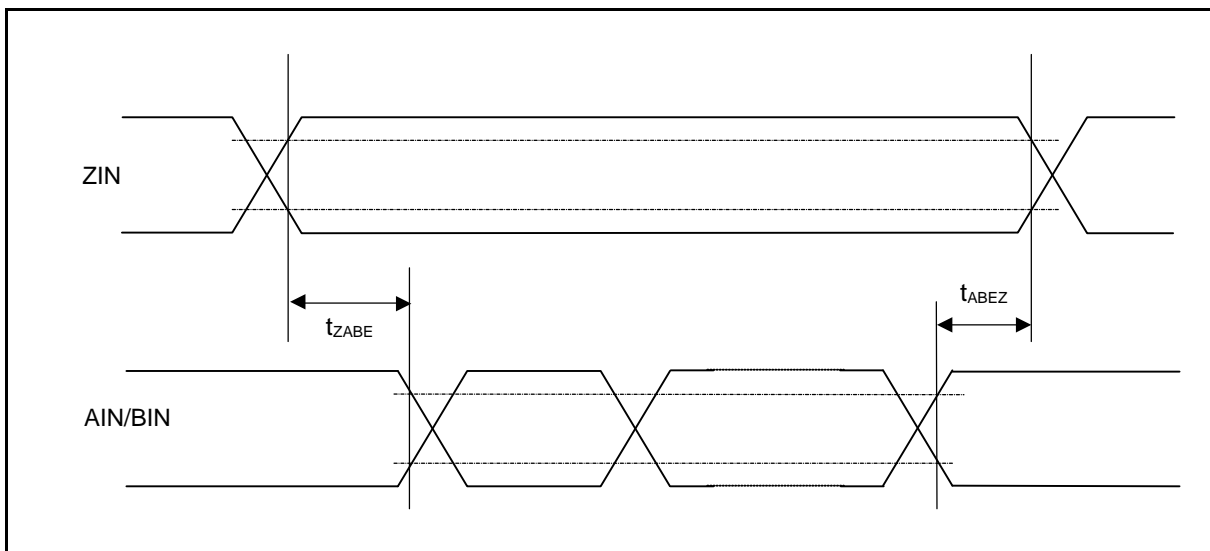
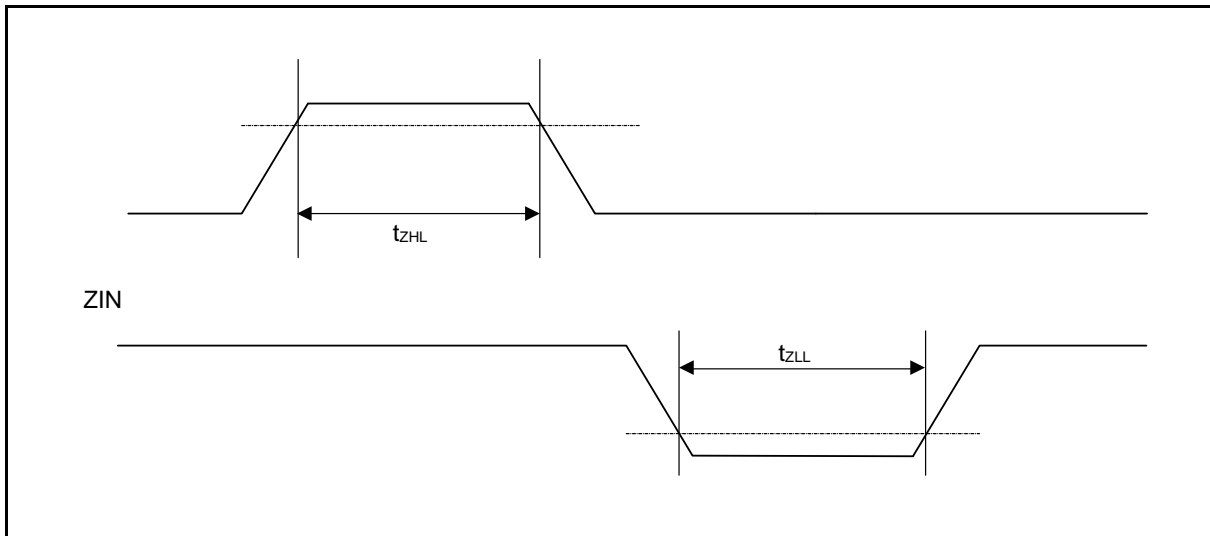
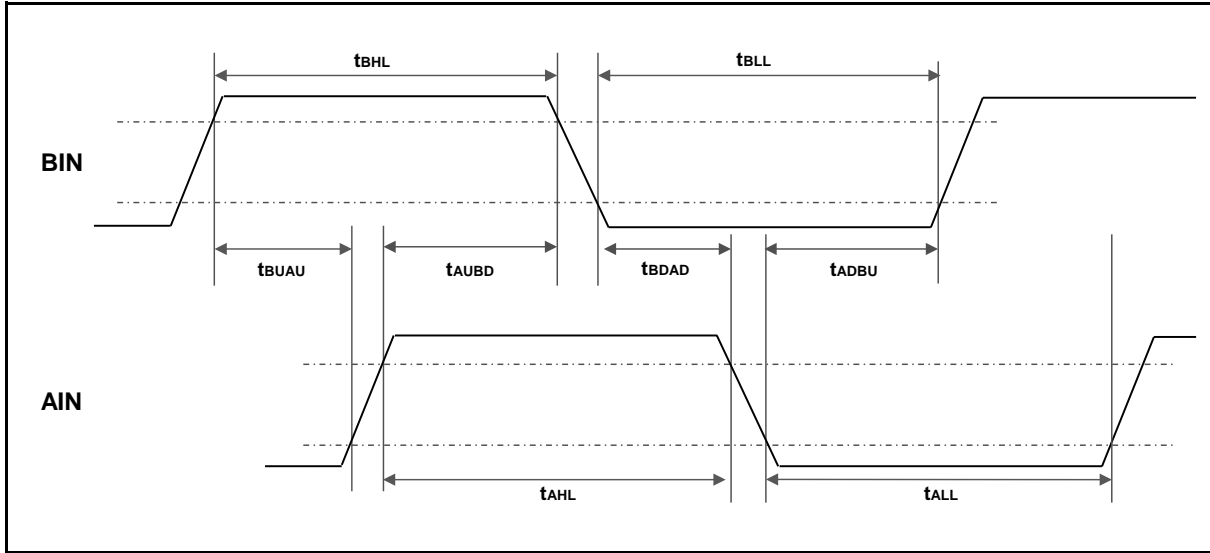
12.4.12 クアッドカウンタ タイミング

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値		単位
			最小	最大	
AIN 端子”H”幅	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN 端子”L”幅	t _{ALL}	-			
BIN 端子”H”幅	t _{BHL}	-			
BIN 端子”L”幅	t _{BLL}	-			
AIN”H”レベルから BIN 立上り時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN”H”レベルから AIN 立下り時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN”L”レベルから BIN 立下り時間	t _{ABBD}	PC_Mode2 または PC_Mode3			
BIN”L”レベルから AIN 立上り時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN”H”レベルから AIN 立上り時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN”H”レベルから BIN 立下り時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN”L”レベルから AIN 立下り時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN”L”レベルから BIN 立上り時間	t _{ABDU}	PC_Mode2 または PC_Mode3			
ZIN 端子”H”幅	t _{ZHL}	QCR:CGSC=”0”			
ZIN 端子”L”幅	t _{ZLL}	QCR:CGSC=”0”			
ZIN レベル確定から AIN/BIN 立下り立上り時間	t _{ZABE}	QCR:CGSC=”1”			
AIN/BIN 立下り立上り 時間から ZIN レベル確定	t _{ABEZ}	QCR:CGSC=”1”			

*: t_{CYCP}は APB バスクロックのサイクル時間です。クアッドカウンタが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。





12.4.13 I²C タイミング

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	F _{SCL}		0	100	0	400	kHz	
(反復)『スタート』条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}	C _L = 30 pF, R = (V _p /I _{OL}) * ¹	4.0	-	0.6	-	μs	
SCL クロック”L”幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック”H”幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復『スタート』条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
『ストップ』条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
『ストップ』条件と 『スタート』条件との間のバス フリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	-	2t _{CYCP} * ⁴	-	2t _{CYCP} * ⁴	-	ns	

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の”L”区間(t_{LOW})を延長していないということを満たしていなければなりません。

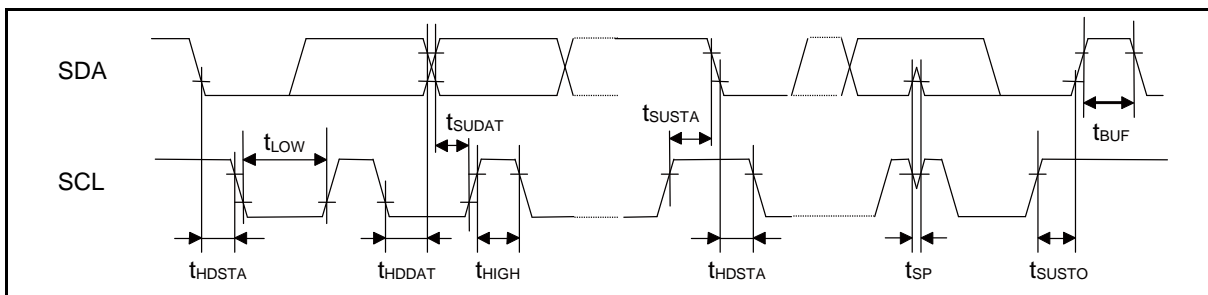
*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。



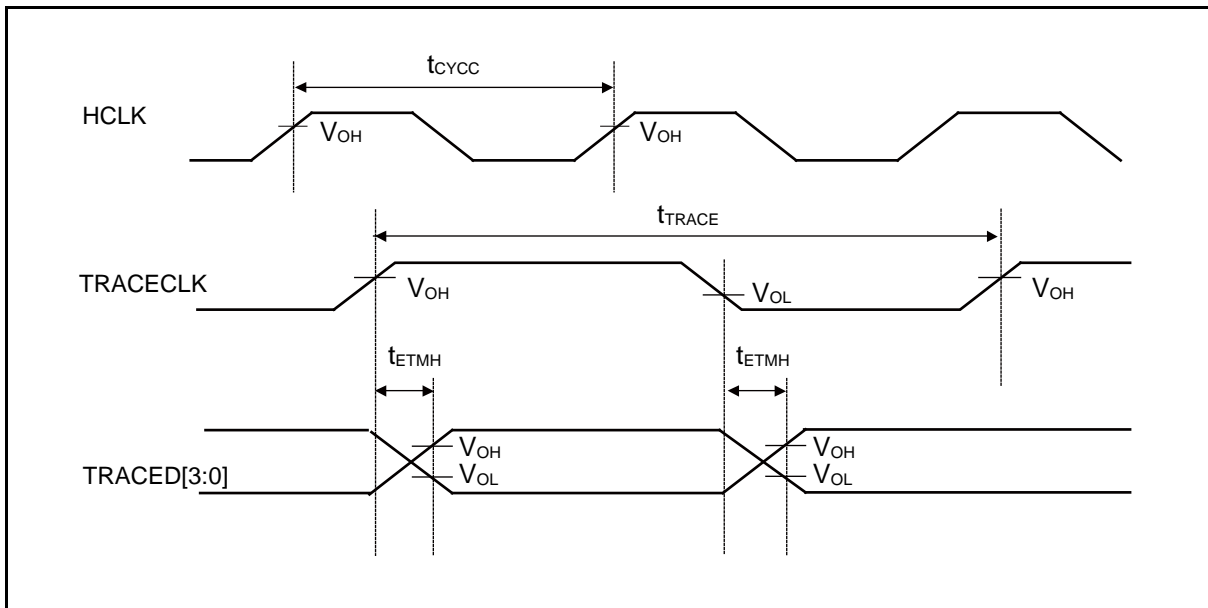
12.4.14 ETM タイミング

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK TRACED[3:0]	$V_{CC} \geq 4.5\text{ V}$	2	9	ns	
			$V_{CC} < 4.5\text{ V}$	2	15		
TRACECLK 周波数	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	-	40	MHz	
			$V_{CC} < 4.5\text{ V}$	-	32	MHz	
TRACECLK クロック周期	t_{TRACE}	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	25	-	ns	
			$V_{CC} < 4.5\text{ V}$	31.25	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時



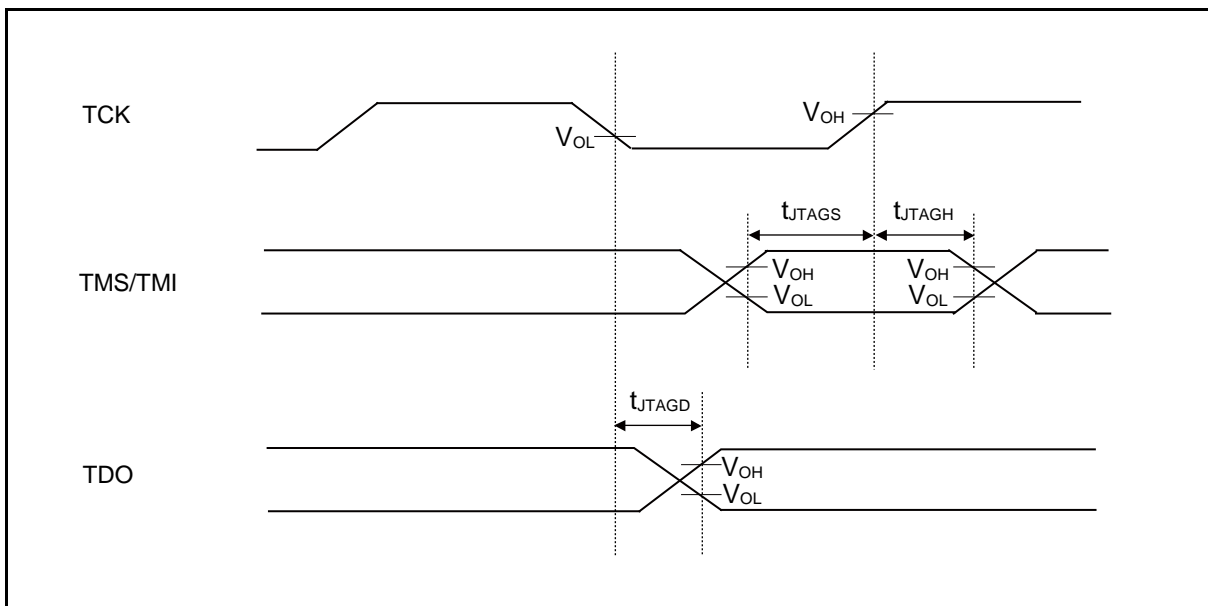
12.4.15 JTAG タイミング

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{TAGS}	TCK TMS, TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TMS, TDI ホールド時間	t_{TAGH}	TCK TMS, TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TDO 遅延時間	t_{TAGD}	TCK, TDO	$V_{CC} \geq 4.5\text{ V}$	-	25	ns	
			$V_{CC} < 4.5\text{ V}$	-	45		

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時



12.5 12 ビット A/D コンバータ
A/D 変換部電気的特性

 (V_{CC} = AV_{CC} = 2.7 V ~ 5.5 V, V_{SS} = AV_{SS} = 0 V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 1.7	± 4.5	LSB	AVRH=2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 1.7	± 2.5	LSB	
ゼロトランジション電圧	V _{ZT}	AN _{XX}	-	± 8	± 15	mV	
フルスケールトランジション電圧	V _{FST}	AN _{XX}	-	AVRH±8	AVRH±15	mV	
変換時間	-	-	1.0*1	-	-	μs	AV _{CC} ≥ 4.5 V
			1.2*1	-	-		AV _{CC} < 4.5 V
サンプリング時間	T _s	T _s	*2	-	-	ns	AV _{CC} ≥ 4.5 V
			*2	-	-		AV _{CC} < 4.5 V
コンペアクロック周期*3	T _{CK}	T _{CK}	50	-	2000	ns	
動作許可状態遷移期間	T _{STT}	T _{STT}	-	-	1.0	μs	
アナログ入力容量	C _{AIN}	-	-	-	12.9	pF	
アナログ入力抵抗	R _{AIN}	-	-	-	2	kΩ	AV _{CC} ≥ 4.5 V
					3.8		AV _{CC} < 4.5 V
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	AN _{XX}	-	-	5	μA	
アナログ入力電圧	-	AN _{XX}	AV _{SS}	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV _{CC}	V	

*1: 変換時間は サンプリング時間(T_s) + コンペア時間(T_c)の値です。

最小変換時間の条件は、以下の通りです。

AV_{CC} ≥ 4.5 V HCLK=40 MHz サンプリング時間: 300 ns, コンペア時間: 700 ns

AV_{CC} < 4.5 V HCLK=40 MHz サンプリング時間: 500 ns, コンペア時間: 700 ns

必ずサンプリング時間(T_s), コンペアクロック周期(T_{CK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリー ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタ設定は APB バスクロックのタイミングで反映されます。

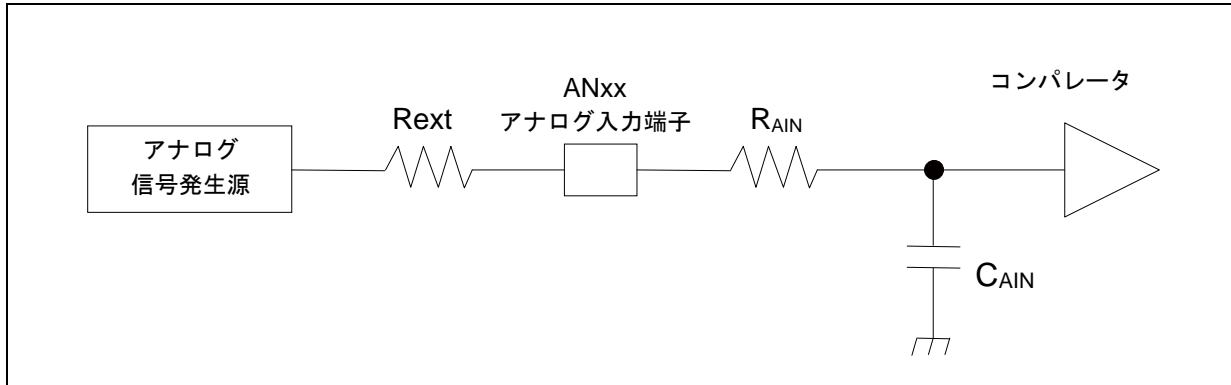
A/D コンバータが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

サンプリングおよびコンペアクロックはベースクロック(HCLK)から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(T_c) は (式 2)の値です。



(式 1) $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

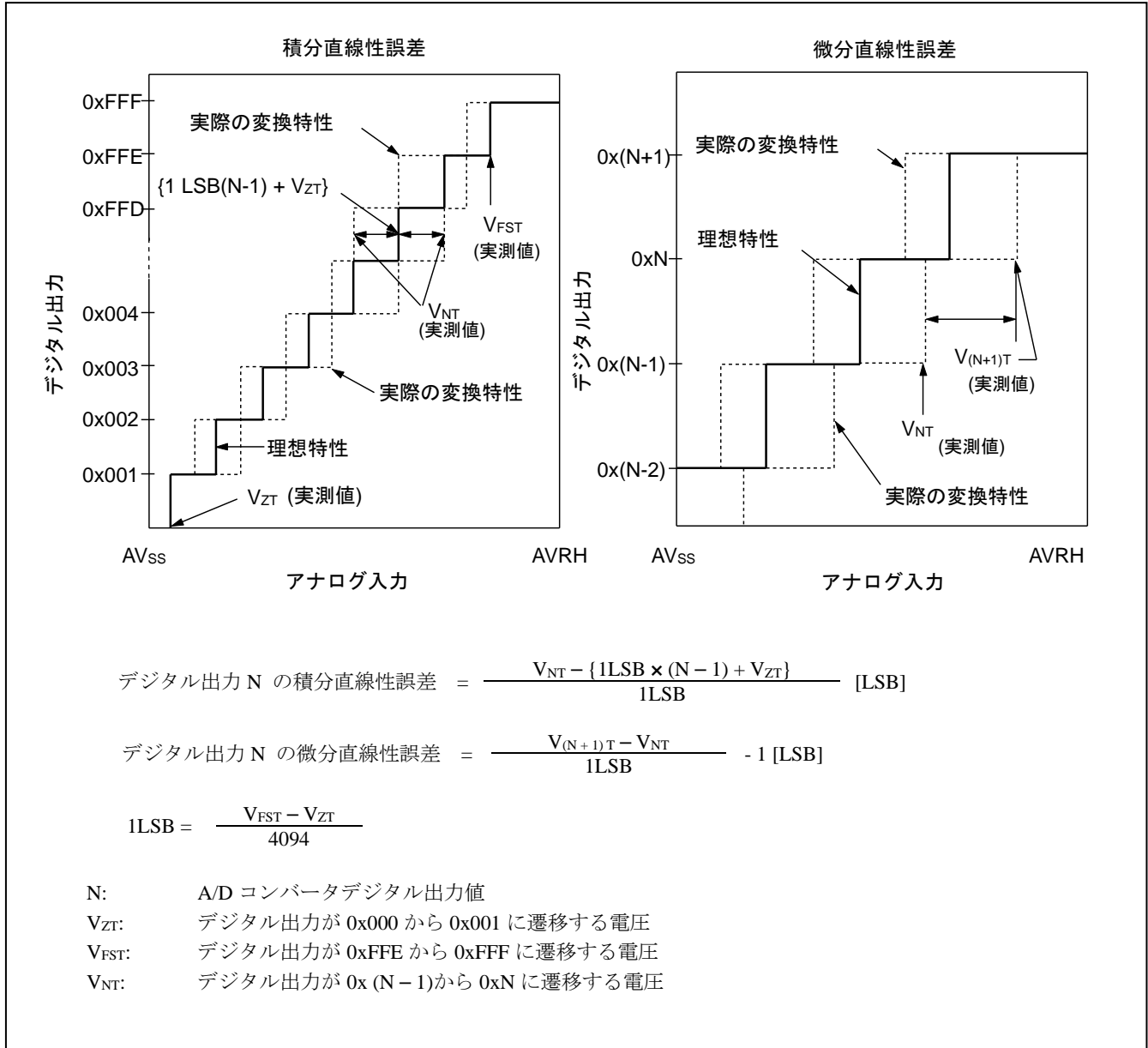
T_s: サンプル時間
R_{AIN}: A/D の入力抵抗 = 2 kΩ 4.5 V ≦ AV_{CC} ≦ 5.5 V の場合
A/D の入力抵抗 = 3.8 kΩ 2.7 V ≦ AV_{CC} < 4.5 V の場合
C_{AIN}: A/D の入力容量 = 12.9 pF 2.7 V ≦ AV_{CC} ≦ 5.5 V の場合
R_{ext}: 外部回路の出力インピーダンス

(式 2) $T_c = T_{cck} \times 14$

T_c: コンペア時間
T_{cck}: コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能 : A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差 : ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差 : 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



12.6 USB 特性

(Vcc = 2.7 V ~ 5.5 V, USBVcc = 3.0 V ~ 3.6 V, Vss = 0 V, TA = - 40°C ~ + 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力特性	入力”H”レベル電圧	V _{IH}	-	2.0	USBVcc + 0.3	V	*1
	入力”L”レベル電圧	V _{IL}	-	V _{SS} - 0.3	0.8	V	*1
	差動入力感度	V _{DI}	-	0.2	-	V	*2
	差動コモンモードレンジ	V _{CM}	-	0.8	2.5	V	*2
出力特性	出力”H”レベル電圧	V _{OH}	外部 プルダウン 抵抗 = 15 kΩ	2.8	3.6	V	*3
	出力”L”レベル電圧	V _{OL}	外部 プルアップ 抵抗 = 1.5 kΩ	0.0	0.3	V	*3
	クロスオーバー電圧	V _{CRS}	-	1.3	2.0	V	*4
	立上り時間	t _{FR}	Full Speed	4	20	ns	*5
	立下り時間	t _{FF}	Full Speed	4	20	ns	*5
	立上り/立下り時間 マッチング	t _{FRFM}	Full Speed	90	111.11	%	*5
	出力インピーダンス	Z _{DRV}	Full Speed	28	44	Ω	*6
	立上り時間	t _{LR}	Low Speed	75	300	ns	*7
	立下り時間	t _{LF}	Low Speed	75	300	ns	*7
	立上り/立下り時間 マッチング	t _{LRFM}	Low Speed	80	125	%	*7

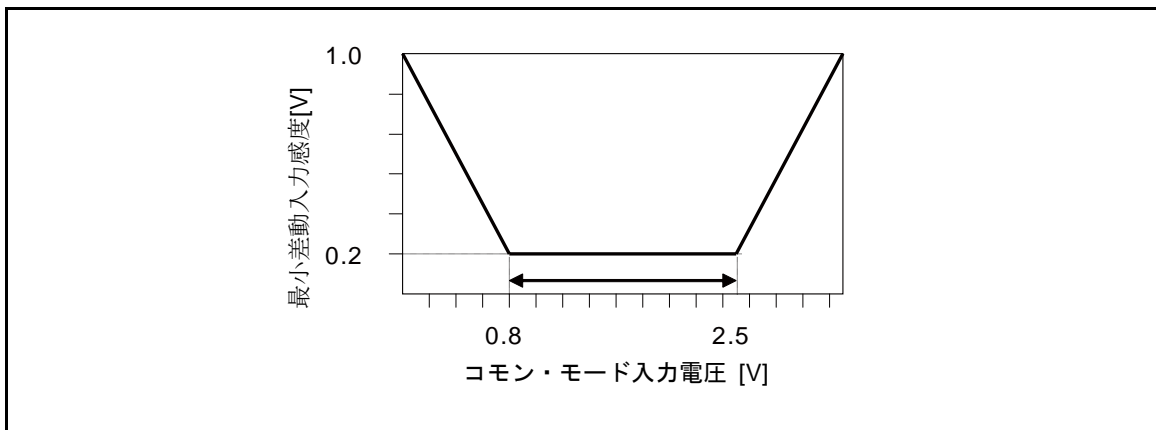
*1: USB I/O の Single-End-Receiver のスイッチング・スレッショルド電圧は V_{IL}(Max)=0.8 V, V_{IH}(Min)=2.0 V(TTL 入力規格)の範囲内に設定されています。

また、ノイズ感度を低下させるためヒステリシス特性を持たせています。

*2: USB 差動データ信号の受信には、Differential-Receiver を使用します。

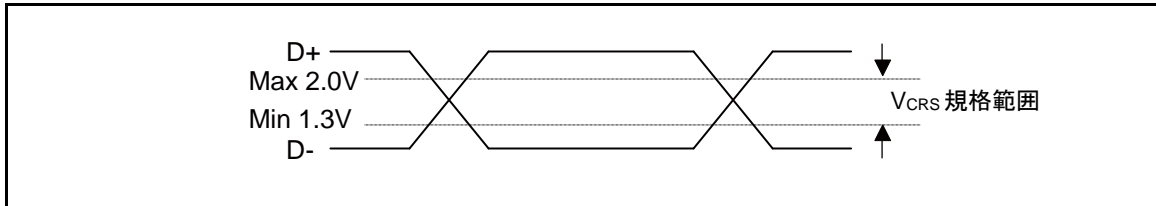
Differential-Receiver は、差動データ入力ローカル・グランド・リファレンス レベルに対し、0.8 V ~ 2.5 V の範囲内にあるときには、200 mV の差動入力感度があります。

上記電圧範囲は、コモン・モード入力電圧範囲とされています。



*3: ドライバの出力駆動能力は、Low-State(V_{OL})で 0.3 V 以下(対 3.6 V, 1.5 k Ω 負荷)、High-State(V_{OH})で 2.8 V 以上(対グランド, 15 k Ω 負荷)です。

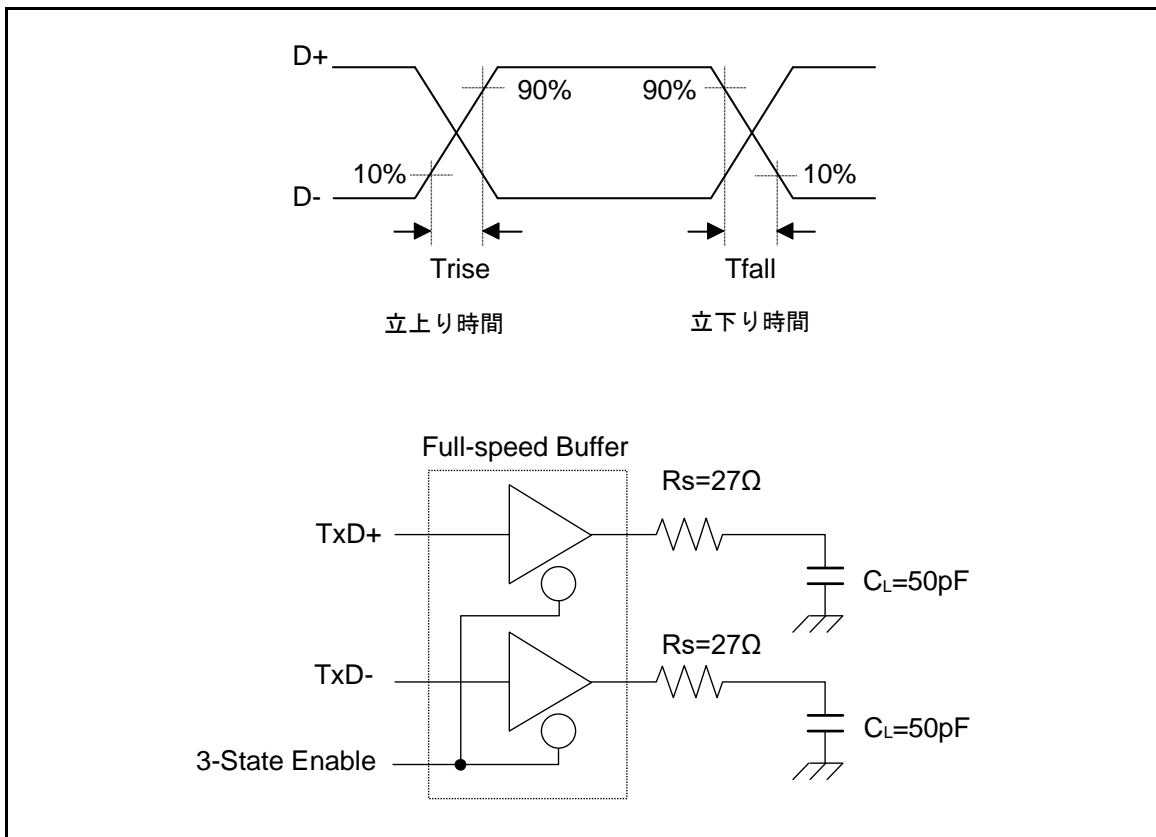
*4: USB I/O の外部差動出力信号(D+/D-)のクロス電圧は、1.3 V~2.0 V の範囲内にあります。



*5: Full-Speed 差動データ信号の立上り(T_{rise})と立下り(T_{fall})時間規定です。

出力信号電圧の 10%~90%間の時間で定義されます。

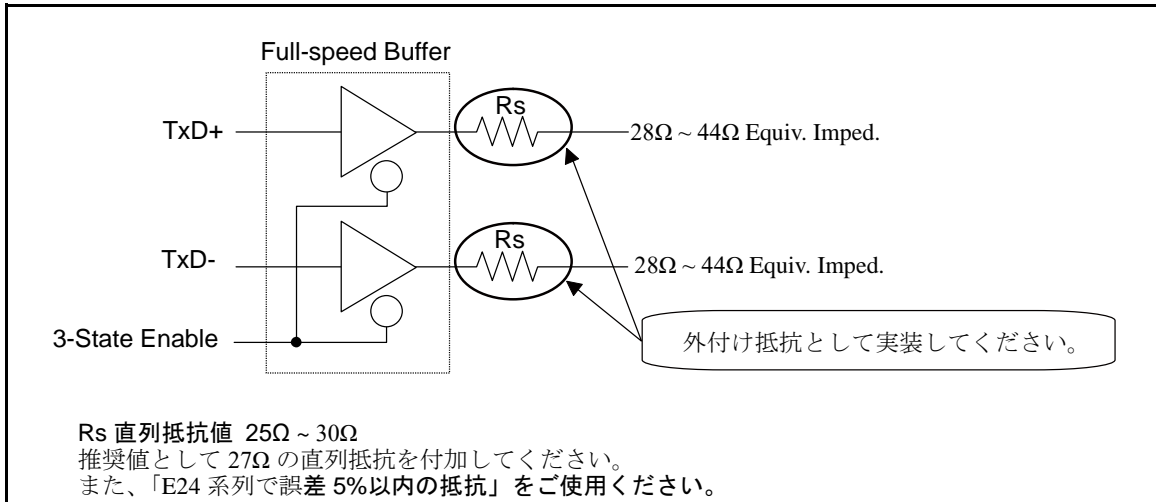
また Full-speed Buffer に関しては、 T_r/T_f は、RFI 放射を最小にするために、 T_r/T_f 比を $\pm 10\%$ 以内と規定されています。



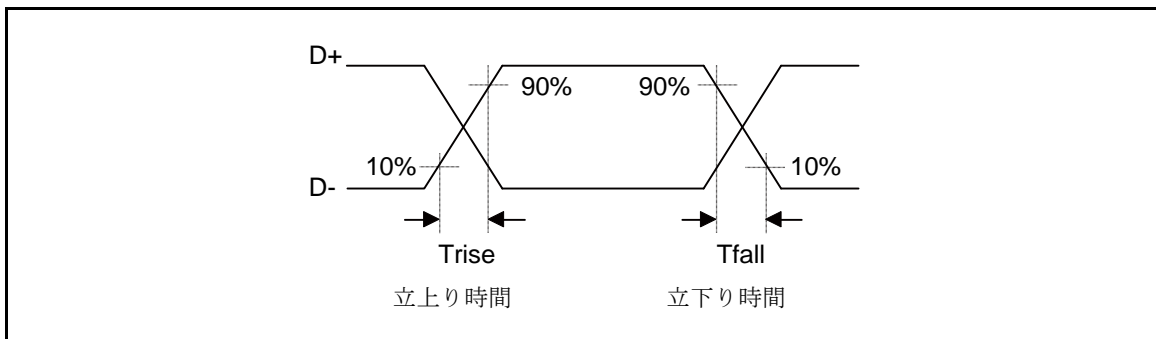
*6: USB Full-speed 接続は、90 Ω \pm 15%の特性インピーダンス(Differential Mode)で、シールドされたツイスト・ペアケーブルを介して行われます。

USB 規格は、USB Driver の出力インピーダンスは 28 Ω ~44 Ω の範囲内になければならないことを規定しており、上記規格を満足し、バランスをとるために、ディスクリート直列抵抗器(R_s)を付加することを規定しています。

本 USB I/O をご使用の際には、直列抵抗 R_s として 25 Ω ~30 Ω (推奨値 27 Ω)を付加しご使用ください。

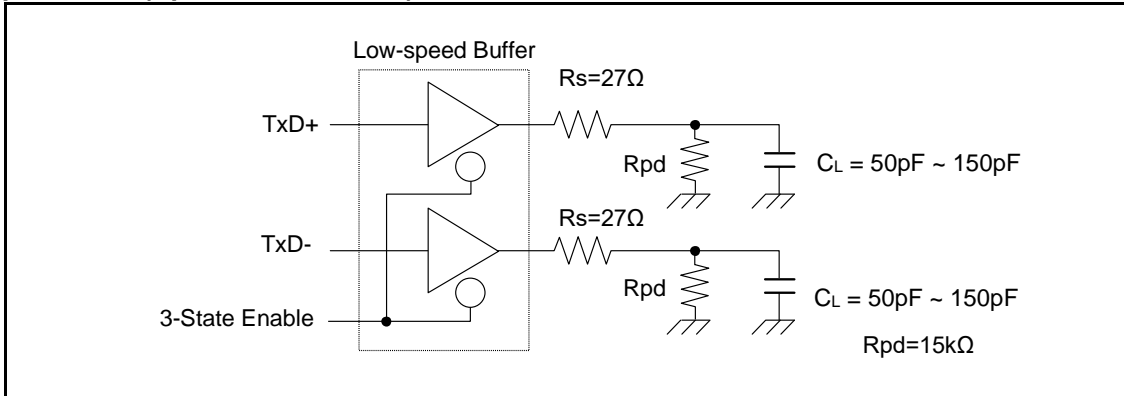


*7: Low-Speed 差動データ信号の立上り(Trise)と立下り(Tfall)時間規定です。
 出力信号電圧の 10%~90%間の時間で定義されます。

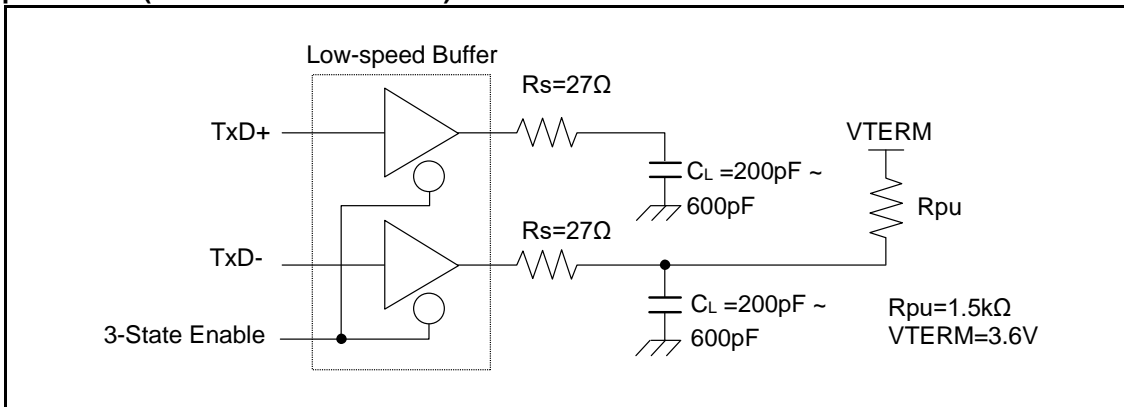


外部負荷条件は、「Low-Speed Load (Compliance Load)」を参照してください。

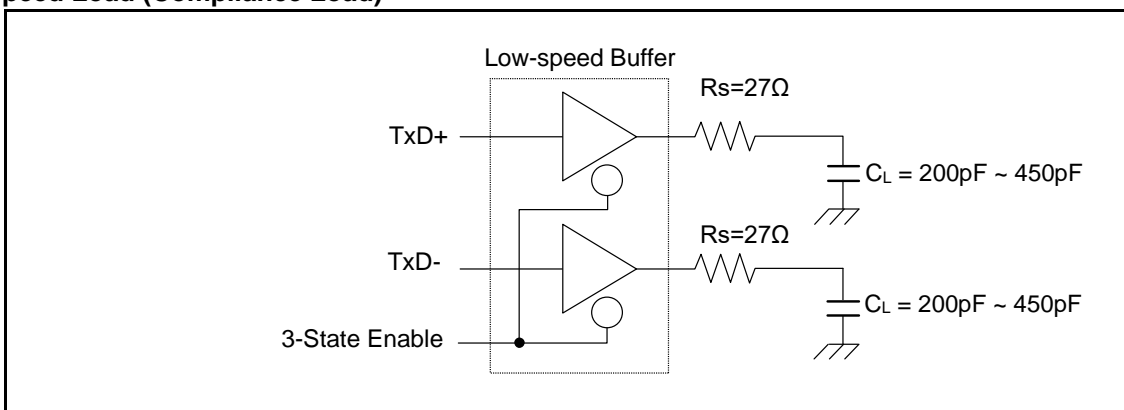
Low-Speed Load (Upstream Port Load) – Reference 1



Low-Speed Load (Downstream Port Load) – Reference 2



Low-Speed Load (Compliance Load)



12.7 低電圧検出特性
12.7.1 低電圧検出リセット

 (T_A = -40°C ~ +105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH	-	2.30	2.50	2.70	V	電圧上昇時

12.7.2 低電圧検出割込み

 (T_A = -40°C ~ +105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 0000	2.58	2.8	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.9	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 0001	2.76	3.0	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.1	3.34	V	電圧上昇時
検出電圧	VDL	SVHI = 0010	2.94	3.2	3.45	V	電圧降下時
解除電圧	VDH		3.04	3.3	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 0011	3.31	3.6	3.88	V	電圧降下時
解除電圧	VDH		3.40	3.7	3.99	V	電圧上昇時
検出電圧	VDL	SVHI = 0100	3.40	3.7	3.99	V	電圧降下時
解除電圧	VDH		3.50	3.8	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 0111	3.68	4.0	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.1	4.42	V	電圧上昇時
検出電圧	VDL	SVHI = 1000	3.77	4.1	4.42	V	電圧降下時
解除電圧	VDH		3.86	4.2	4.53	V	電圧上昇時
検出電圧	VDL	SVHI = 1001	3.86	4.2	4.53	V	電圧降下時
解除電圧	VDH		3.96	4.3	4.64	V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	2240 × t _{CYCP} *	μs	

 *: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.8 フラッシュメモリ書込み/消去特性
12.8.1 書込み/消去時間

 (V_{CC} = 2.7 V ~ 5.5 V, T_A = - 40°C ~ + 105°C)

項目		規格値		単位	備考
		標準*	最大*		
セクタ消去時間	Large Sector	0.7	3.7	s	内部での消去前書込み時間を含む
	Small Sector	0.3	1.1		
ハーフワード(16ビット)書込み時間		12	384	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間	64K/128K/256Kbyte 品	5.2	23.6	s	内部での消去前書込み時間を含む
	384K/512Kbyte 品	8	38.4	s	

*: 標準は出荷直後の代表値、最大は書換え 10 万回までの保証値です。

12.8.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20*	
10,000	10*	
100,000	5*	

*: 平均温度+85°C時

12.9 スタンバイ復帰時間

12.9.1 復帰要因: 割込み

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

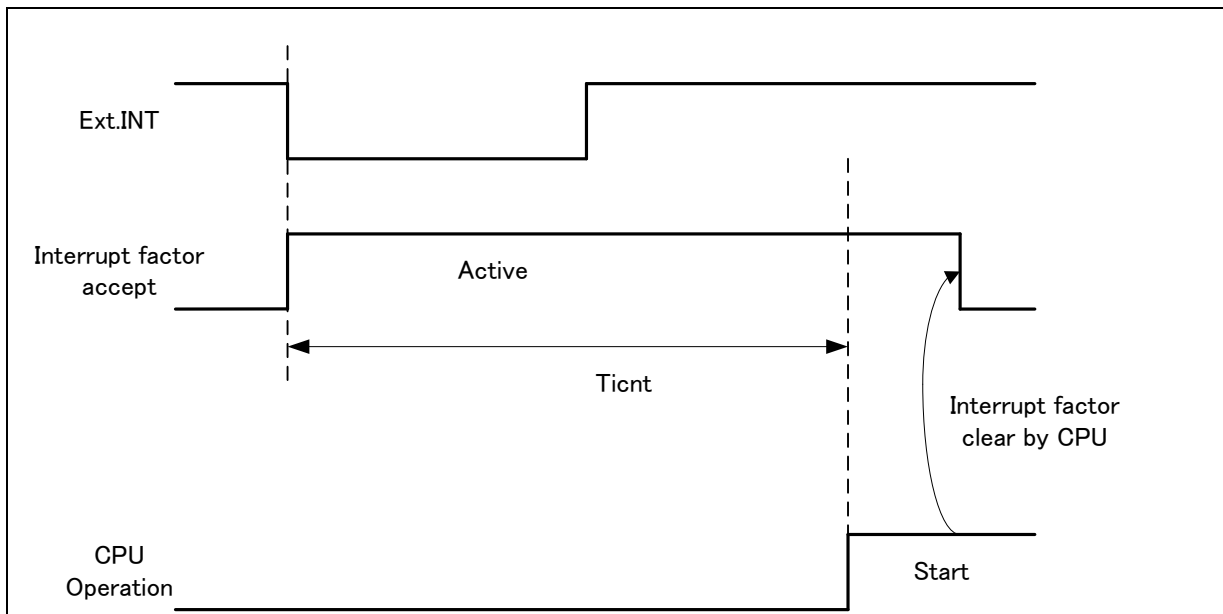
復帰カウント時間

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Ticnt	tcycc		ns	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40	80	μs	
低速 CR タイマモード		453	737	μs	
サブタイマモード		453	737	μs	
ストップモード		453	737	μs	

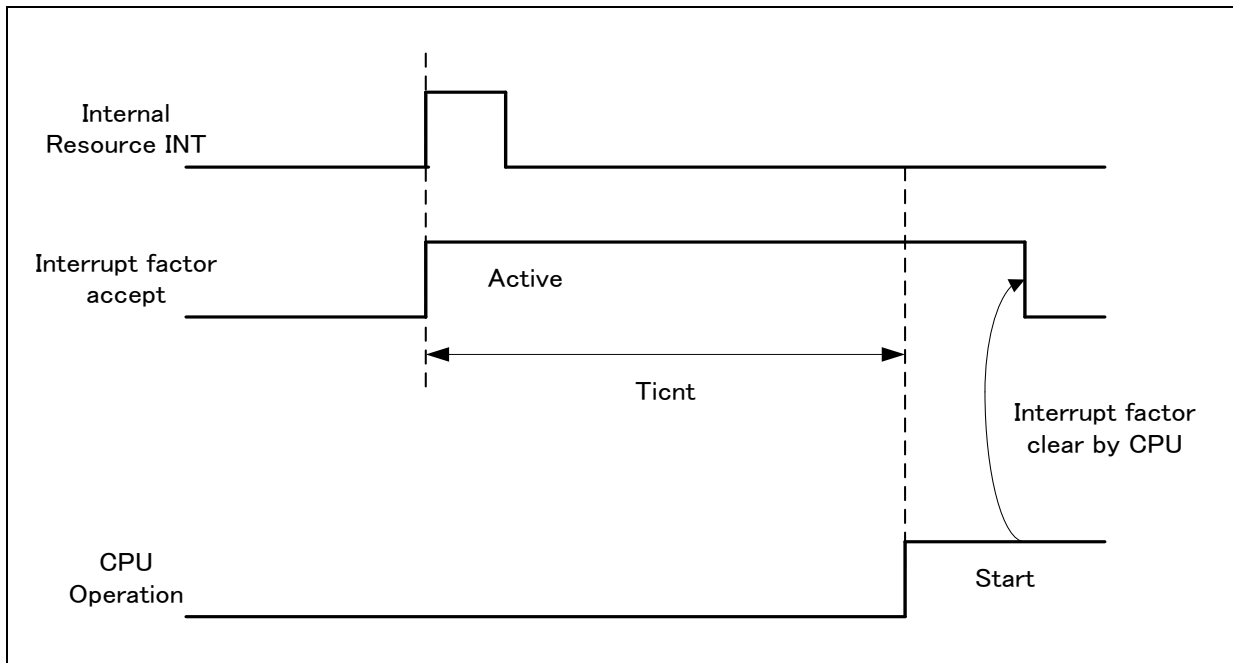
*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.9.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

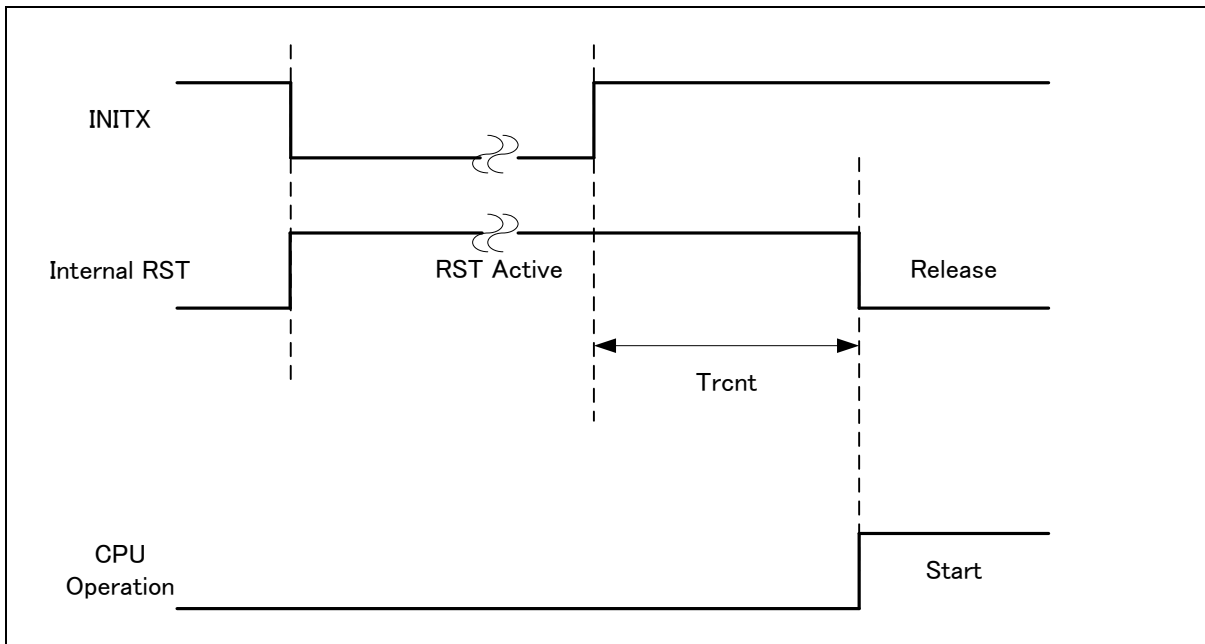
復帰カウント時間

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

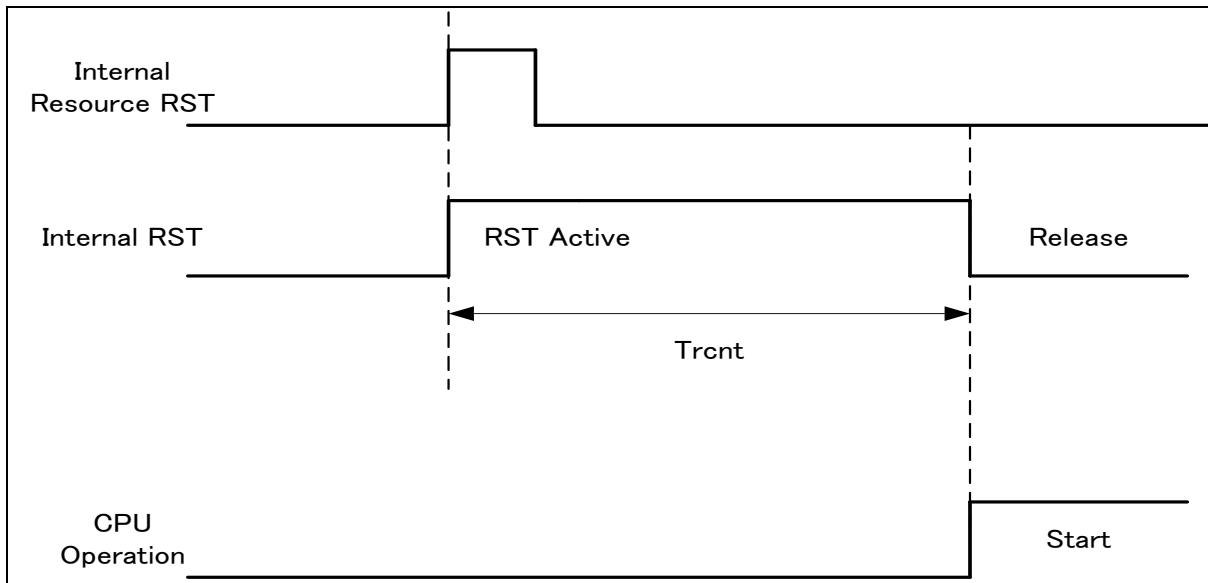
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Trcnt	308	444	μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		308	444	μs	
低速 CR タイマモード		428	684	μs	
サブタイマモード		428	684	μs	
ストップモード		428	684	μs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

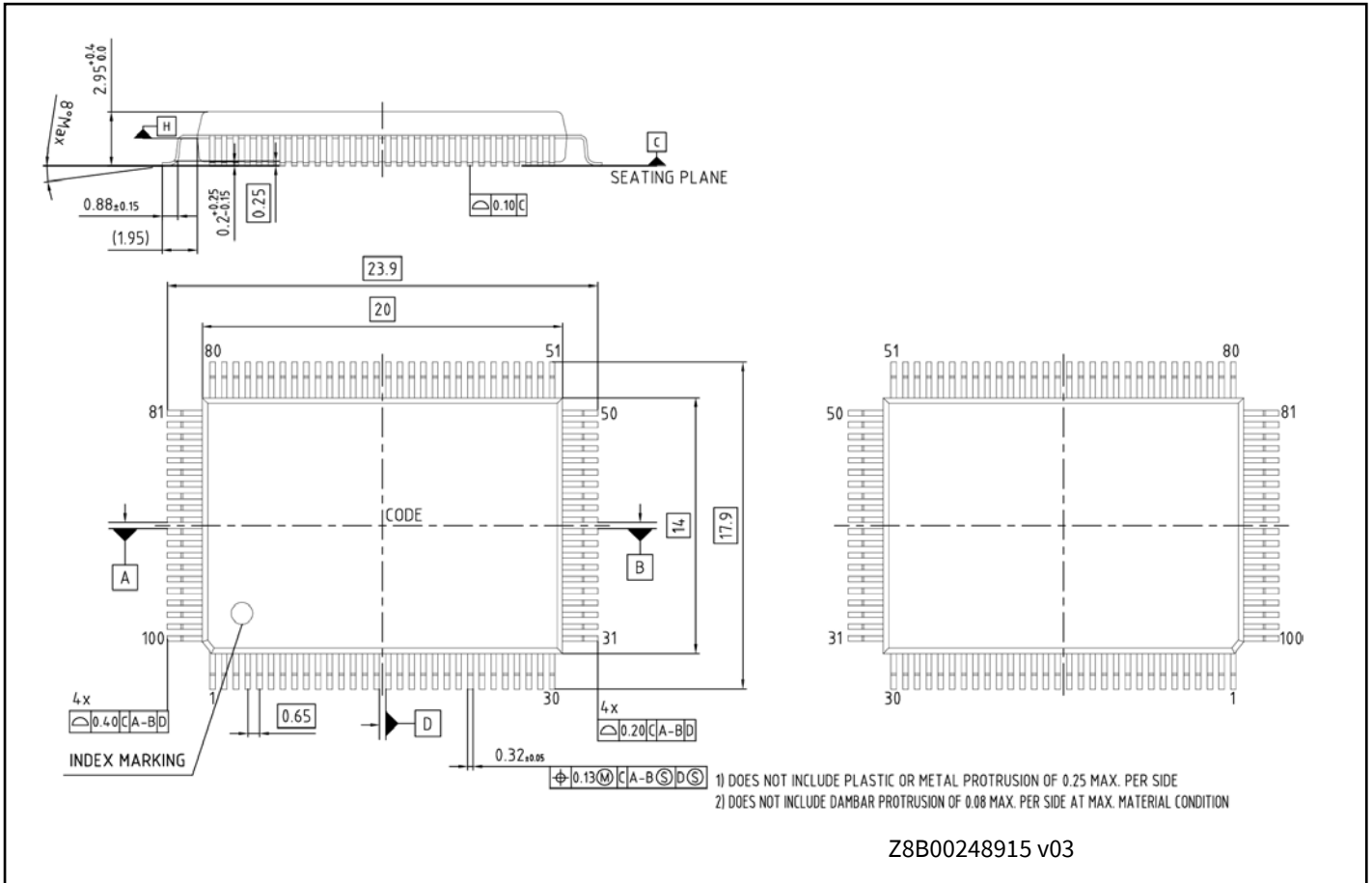
<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「電气的特性 4. 交流規格 (6)パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット、CSV リセットを指します。

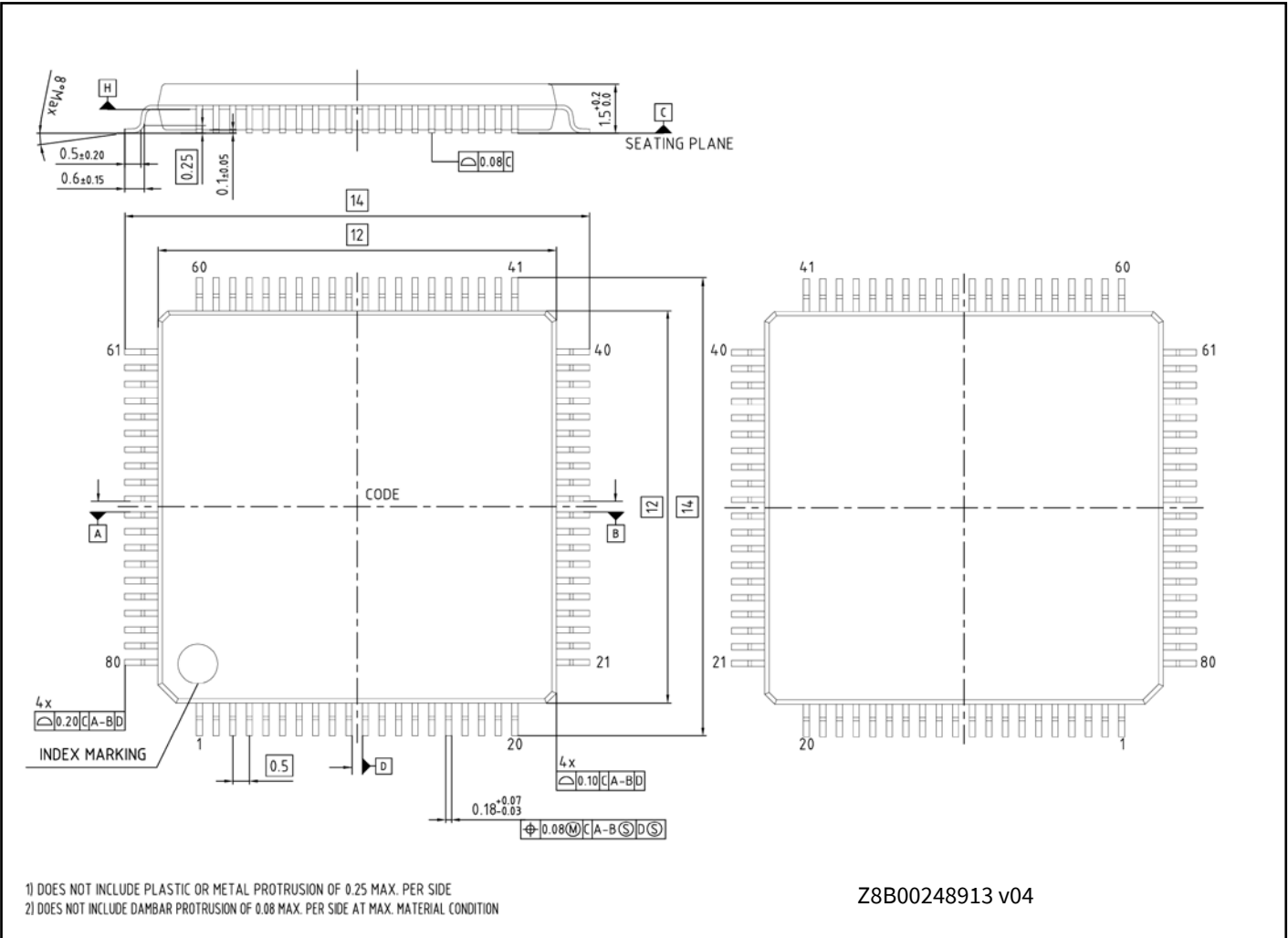
13. オーダ型格

型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
CY9AF311LAQN-G-AVE2	64 Kbyte	16 Kbyte	プラスチック・QFN (0.5 mm ピッチ),64 ピン (VNC064)	トレイ
CY9AF312LAQN-G-AVE2	128 Kbyte	16 Kbyte		
CY9AF314LAQN-G-AVE2	256 Kbyte	32 Kbyte		
CY9AF311LAPMC1-GNE2	64 Kbyte	16 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),64 ピン (LQD064)	
CY9AF311LAPMC1-G-MNE2	64 Kbyte	16 Kbyte		
CY9AF312LAPMC1-GNE2	128 Kbyte	16 Kbyte		
CY9AF312LAPMC1-G-MNE2	128 Kbyte	16 Kbyte		
CY9AF312LPMC1-G-MJE1	128 Kbyte	16 Kbyte		
CY9AF314LAPMC1-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF314LAPMC1-GNE2	256 Kbyte	32 Kbyte		
CY9AF314LAPMC1-GE1	256 Kbyte	32 Kbyte	プラスチック・LQFP (0.65 mm ピッチ),64 ピン (LQG064)	
CY9AF311LAPMC-G-JNE2	64 Kbyte	16 Kbyte		
CY9AF314LAPMC-G-JNE2	256 Kbyte	32 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),80 ピン (LQH080)	
CY9AF311MAPMC-GNE2	64 Kbyte	16 Kbyte		
CY9AF311MAPMC-G-MNE2	64 Kbyte	16 Kbyte		
CY9AF312MAPMC-GNE2	128 Kbyte	16 Kbyte		
CY9AF314MAPMC-GNE2	256 Kbyte	32 Kbyte		
CY9AF314MPMC-G-MJE1	256 Kbyte	32 Kbyte		
CY9AF314MPMC-GE1	256 Kbyte	32 Kbyte		
CY9AF315MAPMC-GNE2	384Kbyte	32 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),100 ピン (LQI100)	
CY9AF316MAPMC-GNE2	512 Kbyte	32 Kbyte		
CY9AF311NAPMC-GNE2	64 Kbyte	16 Kbyte		
CY9AF312NAPMC-GNE2	128 Kbyte	16 Kbyte		
CY9AF314NAPMC-GE1	256 Kbyte	32 Kbyte		
CY9AF314NAPMC-GNE2	256 Kbyte	32 Kbyte		
CY9AF314NAPMC-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF315NAPMC-GNE2	384Kbyte	32 Kbyte	プラスチック・PFBGA (0.8 mm ピッチ),112 ピン (LBC112)	
CY9AF316NAPMC-GNE2	512 Kbyte	32 Kbyte		
CY9AF311NABGL-GK9E1	64 Kbyte	16 Kbyte		
CY9AF312NABGL-GK9E1	128 Kbyte	16 Kbyte		
CY9AF314NABGL-GK9E1	256 Kbyte	32 Kbyte		
CY9AF315NABGL-GK9E1	384Kbyte	32 Kbyte		
CY9AF316NABGL-GK9E1	512 Kbyte	32 Kbyte		

Package Type	Package Code
QFP 100	PQH100

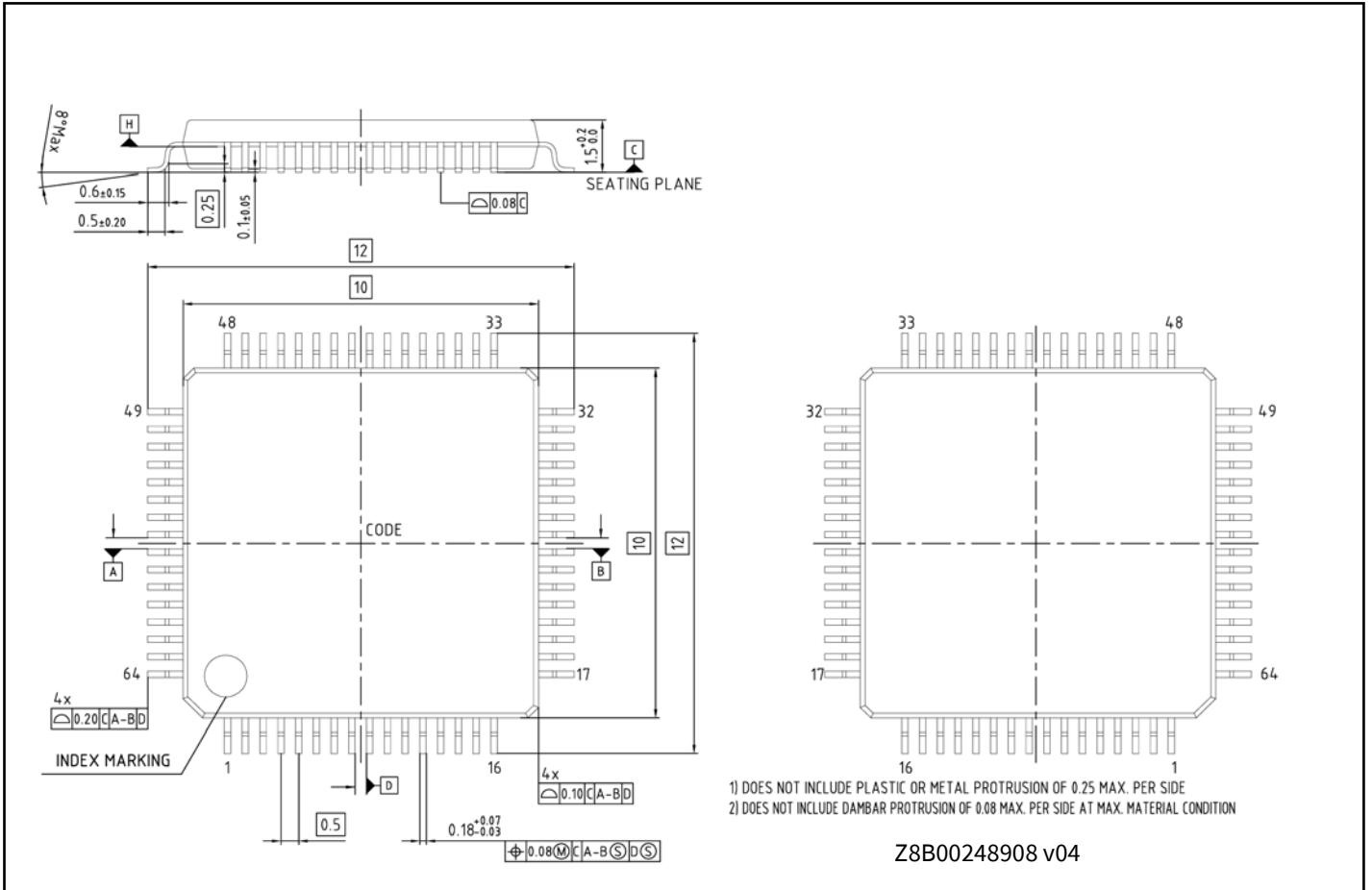


Package Type	Package Code
LQFP 80	LQH080

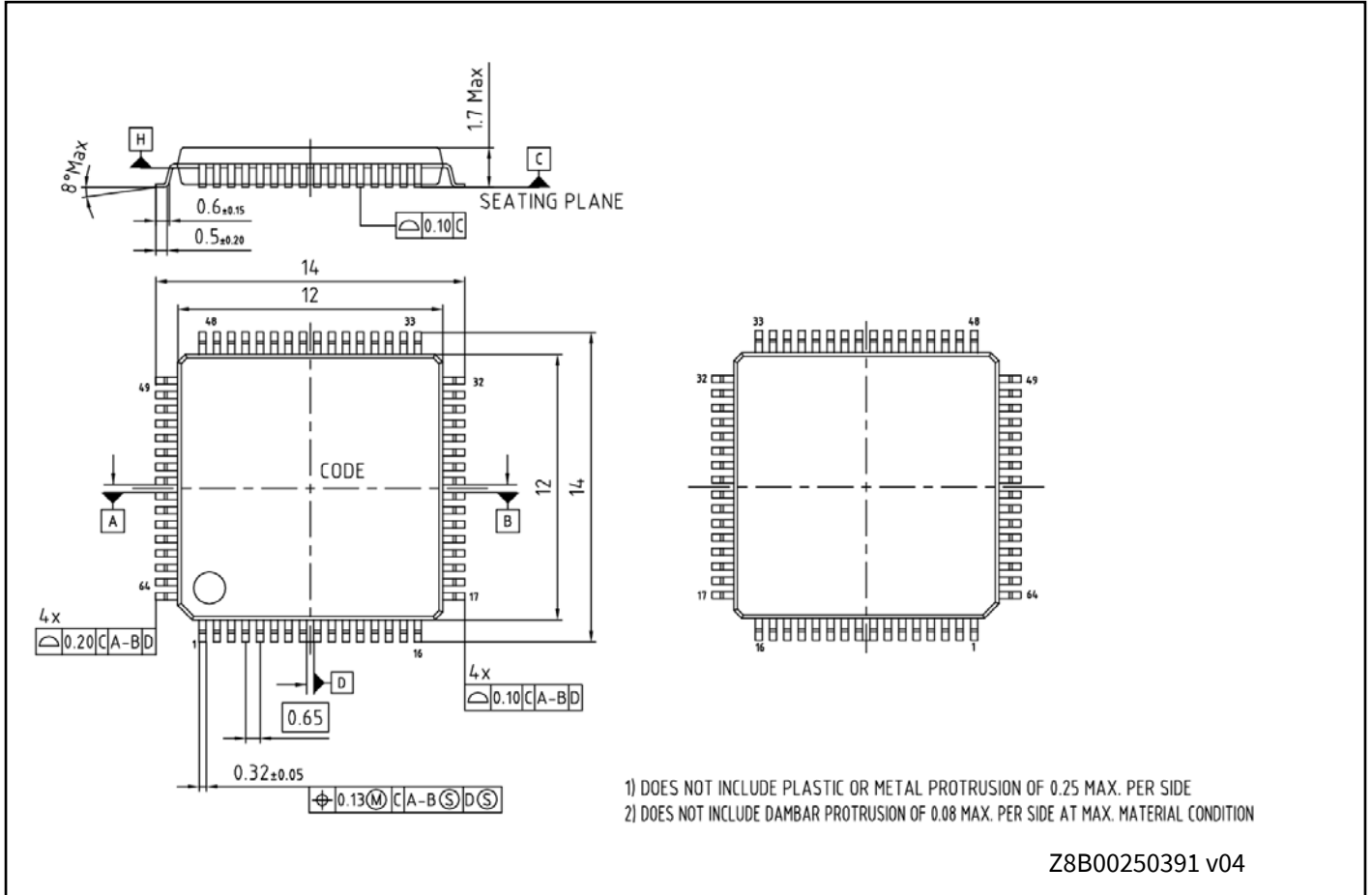


Z8B00248913 v04

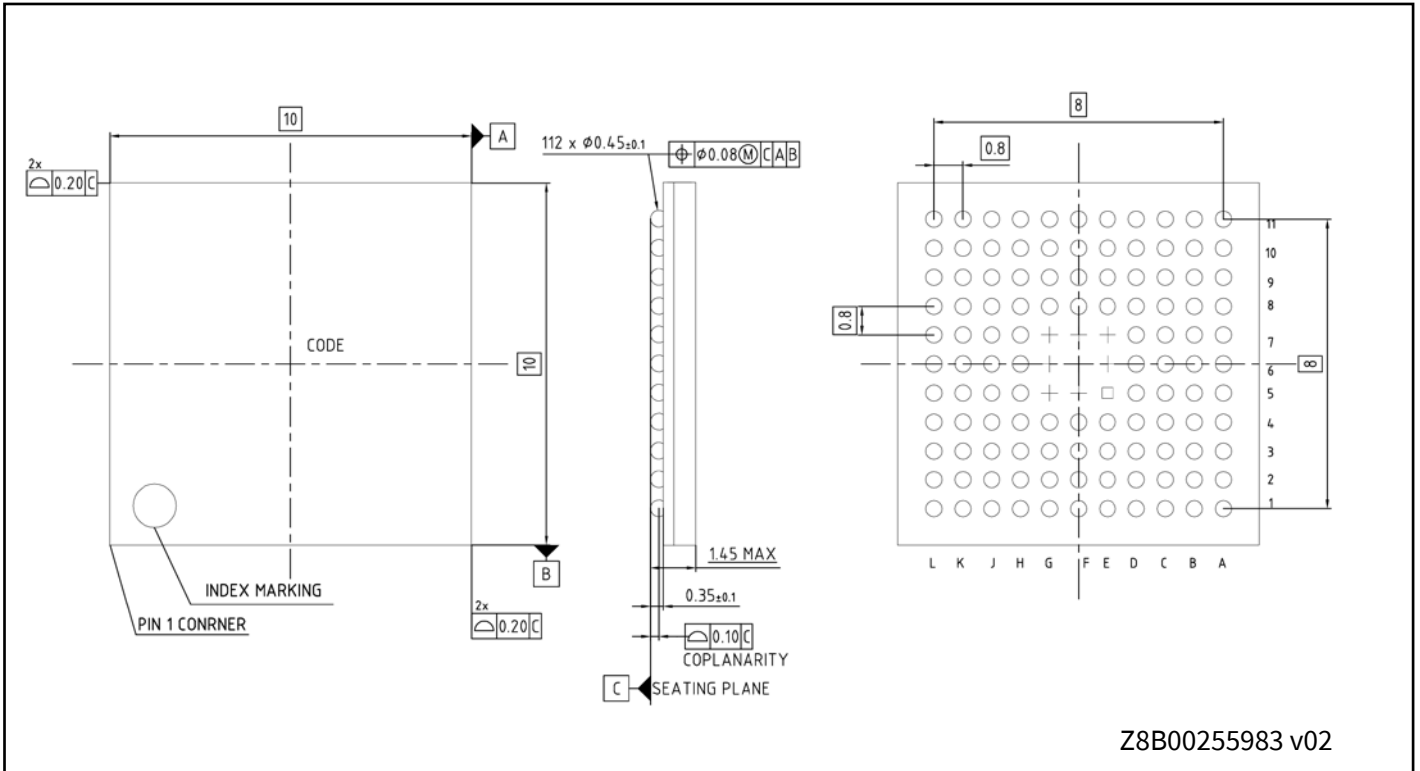
Package Type	Package Code
LQFP 64	LQD064



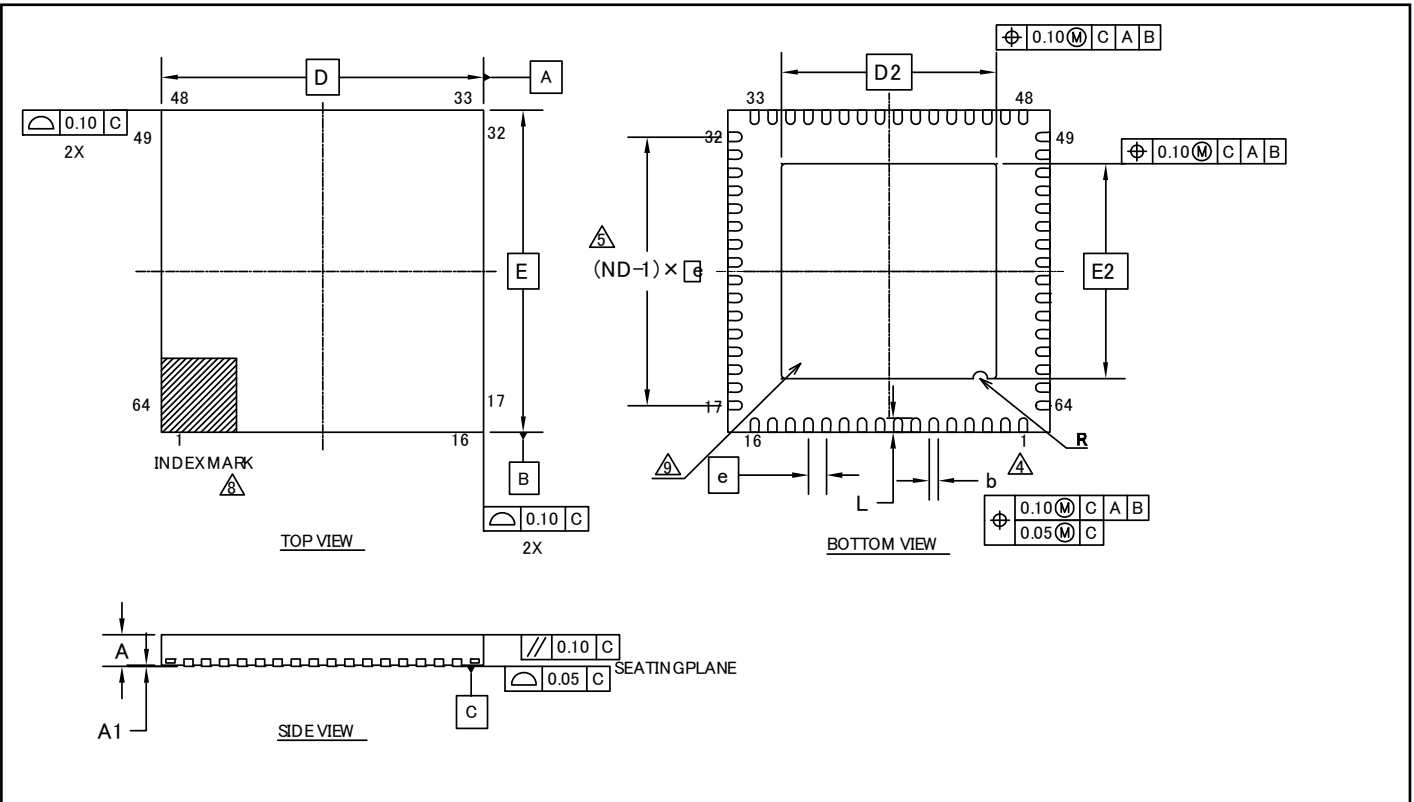
Package Type	Package Code
LQFP 64	LQG064



Package Type	Package Code
PFBGA 112	LBC112



Package Type	Package Code
QFN 64	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	9.00 BSC		
E	9.00 BSC		
b	0.20	0.25	0.30
D2	6.00 BSC		
E2	6.00 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45
N	64		
ND	16		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

PACKAGE OUTLINE, 64 LEAD QFN
9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev**

002-13234 **

15. エラッタ

本章では CY9A310 製品ファミリの不具合情報について説明します。項目には、不具合が発生する条件、影響する範囲、有効な回避方法、製品改版の対策状況を含みます。

本件に関するお問い合わせは、最寄りのサイプレス販売代理店にご連絡ください。

15.1 関係するオーダ型格

型格
初版
CY9AF311LPMC1-G-JNE2, CY9AF312LPMC1-G-JNE2, CY9AF314LPMC1-G-JNE2, CY9AF311LPMC-G-JNE2, CY9AF312LPMC-G-JNE2, CY9AF314LPMC-G-JNE2, CY9AF311LQN-G-AVE2, CY9AF312LQN-G-AVE2, CY9AF314LQN-G-AVE2, CY9AF311MPMC-G-JNE2, CY9AF312MPMC-G-JNE2, CY9AF314MPMC-G-JNE2, CY9AF315MPMC-G-JNE2, CY9AF316MPMC-G-JNE2, CY9AF311NPMC-G-JNE2, CY9AF312NPMC-G-JNE2, CY9AF314NPMC-G-JNE2, CY9AF315NPMC-G-JNE2, CY9AF316NPMC-G-JNE2, CY9AF311NPF-G-JNE1, CY9AF312NPF-G-JNE1, CY9AF314NPF-G-JNE1, CY9AF315NPF-G-JNE1, CY9AF316NPF-G-JNE1, CY9AF311NBGL-GE1, CY9AF312NBGL-GE1, CY9AF314NBGL-GE1

15.2 製品出荷状況

製品状況：生産中

15.3 エラッタサマリ

下表は、本エラッタの適用状況を示しています。

項目	型格	シリコン版数	改版状況
時計カウンタ不具合	15.1 を参照	初版.	A 版で対策済み

時計カウンター不具合

■不具合の内容

アンダフロー割込みが発生しません。

■影響を受ける特性

該当はありません。

■不具合が発生する条件

アンダフロー割込み発生時の条件です。

■影響する範囲

アンダフロー割込みが規定通りに発生しません。

■不具合を回避する方法

時計カウンタ割込みを使用しないこと以外に、ソフトウェアでは回避不可能です。

■不具合の対策状況

A 版で対策済みです。

16. 主な変更内容

Spansion Publication Number: DS706-00012

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
-	-	<ul style="list-style-type: none"> シリーズ名および品名を変更： MB9A310 シリーズ → MB9A310A シリーズ MB9AF311L → MB9AF311LA MB9AF312L → MB9AF312LA MB9AF314L → MB9AF314LA MB9AF311M → MB9AF311MA MB9AF312M → MB9AF312MA MB9AF314M → MB9AF314MA MB9AF315M → MB9AF315MA MB9AF316M → MB9AF316MA MB9AF311N → MB9AF311NA MB9AF312N → MB9AF312NA MB9AF314N → MB9AF314NA MB9AF315N → MB9AF315NA MB9AF316N → MB9AF316NA 以下のパッケージを追加 LCC-64P-M24
7	■品種構成 マルチファンクションシリアル	以下の記述を追加 FIFO (16 段 × 9 ビット)あり:ch.4 ~ ch.7 FIFO なし: ch.0 ~ ch.3
8	外部割込み	記述を訂正 7pins (Max) → 8pins (Max)
35~38	■信号説明 マルチファンクションシリアル (ch.0~ch.7)	機能の説明を訂正 ・「LIN 端子」を追加 ・「UART 端子」を削除
43, 44	■入出力回路形式	・分類 B の回路図を訂正 CMOS レベルヒステリシス入力 → Digital input ・分類 C の回路図を訂正 制御端子 → Digital output
52	■デバイス使用上の注意 ・電源端子について	記述を訂正
55	■メモリサイズ	「メモリサイズ」を追加
68	■電気的特性 4. 交流規格 (1)メインクロック入力規格	内部動作クロック周波数に F _{CM} の項目を追加
70	(4-2)メイン PLL の使用条件	記述を追加
71	(6) 外バスタイミング ・外バスクロック出力規格	
78	(8)ベースタイム入力タイミング ・トリガ入力タイミング	「(注意事項)」を追加
87	(10)外部入力タイミング	注釈文を訂正
93	(7) 12 ビット A/D コンバータ ・A/D 変換部電気的特性	<ul style="list-style-type: none"> フルスケールトランジション電圧の規格値を訂正 最小: -20 → AVRH-20 最大: +20 → AVRH+20 コンペアクロック周期の規格値を訂正 最大: 10000 → 2000 基準電圧(AVRH)の規格値を訂正 最小: AVSS → 2.7
96	6. USB 特性	出力「L」レベル電圧(V _{OL})の条件を訂正 外部プルダウン抵抗 → 外部プルアップ抵抗
Revision 2.1		
-	-	社名変更および記述フォーマットの変換

ページ	場所	変更箇所
Revision 3.0		
2	■特長 ・USB インターフェース	USB 用 PLL 搭載を追記
3	■特長 ・外部バスインターフェース	最大アクセスサイズ 256M バイトを追記
9	■パッケージと品種対応	FPT-64P-M24, FPT-64P-M23, FPT-80P-M21, FPT-100P-M20 削除
45, 47	■入出力回路形式	回路形式 E と F と I に I ² C 端子使用時の動作を追記
45, 46	■入出力回路形式	+B 入力可能な回路形式に追記
52	■デバイス使用上の注意	“・電源電圧の安定化について”を追記
52	■デバイス使用上の注意 ・水晶発振回路について	以下の文を追記 実装基板にて、使用する水晶振動子の発振評価を実施してください。
53	■デバイス使用上の注意 ・C 端子について	文を変更
55	■ブロックダイアグラム	図を修正
56	■メモリサイズ	「品種構成」の「メモリサイズ」を参照する様に変更
56	■メモリマップ ・メモリマップ(1)	“External Device Area”の領域を修正
57, 58	■メモリマップ ・メモリマップ(2)(3)	フラッシュメモリのセクタ構成の概略と、詳細はフラッシュプログラミングマニュアルを参照するよう追記
64, 65	■電気的特性 1. 絶対最大定格	・最大クランプ電流を追加。 ・P80, P81 の出力電流を追加。 ・+B 入力について追加。
66	■電気的特性 2. 推奨動作条件	・アナログ基準電圧の最小値を AV _{SS} →2.7V に修正 ・平滑コンデンサ容量を追記 ・電源電圧が最小値未満について追記
67-68	■電気的特性 3. 直流規格 (1) 電流規格	・表の形式を変更 ・メインタイムモード電流を追加 ・フラッシュメモリ電流を追加 ・A/D コンバータ電流を移動
71	■電気的特性 4. 交流規格 (3) 内蔵 CR 発振規格	内蔵高速 CR の周波数安定時間を追加
72	■電気的特性 4. 交流規格 (4-1) メイン PLL・USB 用 PLL の使用条件 (4-2) メイン PLL の使用条件	・メイン PLL クロック周波数を追加 ・USB クロック周波数を追加 ・メイン PLL 接続図と USB 用 PLL 接続図を追加
73	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング	・パワーオンリセット解除までの時間を追加 ・タイミング図を変更
75-77	■電気的特性 4. 交流規格 (7) 外バスタイミング	データ出力時間を修正
82-89	■電気的特性 4. 交流規格 (8) CSIO/UART タイミング	・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更
96	■電気的特性 5. 12 ビット A/D コンバータ	・積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追記 ・Avcc<4.5V 時の変換時間を追加 ・動作許可状態遷移期間を最小値から最大値に修正
105-108	■電気的特性 9. スタンバイ復帰時間	スタンバイ復帰時間を追加

ページ	場所	変更箇所
109	■オーダ型格	フル型格に変更
110	■パッケージ・外形寸法図	FPT-64P-M24, FPT-64P-M23, FPT-80P-M21, FPT-100P-M20 削除

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

 文書名: **CY9A310A シリーズ 32-bit Arm® Cortex®-M3 FM3 Microcontroller**

文書番号: 002-04675

版	ECN 番号	発行日	変更内容
**	-	12/16/2014	サイプレスとしてドキュメントコード 002-04675 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-04674 Rev.** を翻訳した日本語版です。)
*A	5336536	07/05/2016	これは英語版の 002-04674 Rev.*A を翻訳した日本語版です。 社名変更と記述フォーマットの変換
*B	5490459	03/09/2017	これは英語版の 002-04674 Rev.*B を翻訳した日本語版です。 パッケージコードを以下の様に変更 FTP-64P-M38 -> LQD064, FTP-64P-M39 -> LQG064 LCC-64P-M24 -> VNC064, FPT-80P-M37 -> LQH080 FPT-100P-M23 -> LQI100, FTP-100P-M06 -> PQH100 BGA-112P-M04 -> LBC112 <関連ページ> “2. パッケージと品種対応” (7 ページ), “3. 端子配列図” (8~13 ページ), “12.2 推奨動作条件” (59 ページ), “13 オーダ型格” (102 ページ), “14 パッケージ・外形寸法図” (103~109 ページ) “4.端子機能説明”の表記を修正 J-TAG -> JTAG (26 ページ)、注意事項を追記(36 ページ) 12.4 交流規格 (6)パワーオンリセットタイミングを変更(66 ページ) 15.エラッタを追加(111 ページ) 「USB ファンクション」を「USB デバイス」に名称変更(1, 5, 35 ページ) “12.5. 12 ビット A/D コンバータ”の語句を、以下の様に修正。 “アナログポート入力電流” → “アナログポート入力リーク電流” (90 ページ) “12.4.10 CSIO/UART タイミング”の項目にボーレートを追加(76, 78, 80, 82 ページ)
*C	5770495	06/12/2017	これは英語版の 002-04674 Rev.*C を翻訳した日本語版です。 Cypress の新ロゴを適用
*D	8167818	02/27/2026	これは英語版の 002-04674 Rev.*F を翻訳した日本語版です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmxc
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2011-2026. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界の他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoc, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。