

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

CY9A110A/CY9A110 系列是 Cypress 针对高性能和低成本应用而开发的高集成度 32 位嵌入式微控制器。

CY9A110A 系列的 CPU 集成了 Arm® Cortex-M3®处理器、闪存及 SRAM 片上闪存，还包含了电机控制定时器、A/D 转换器、各种通信接口 (UART, SIO, I²C, LIN) 等在内的丰富外设功能。

『FM3 CY9Axxx / CY9Bxxx 系列 外围资源手册』中该数据手册记载的产品归类于 TYPE1 产品。

特征

32 位 Arm® Cortex-M3®内核

- 处理器版本: r2p1
- 最高工作频率: 40MHz
- 嵌套向量中断控制器 (NVIC): 支持通道 NMI(不可屏蔽中断)和 48 通道的外设中断。能够设定 16 个中断优先级。
- 24 位系统定时器 (Sys Tick): 该系统定时器用于管理操作系统任务。

片上存储器

[闪存]

- 最大 512 KB
- 读取周期: 0 个等待周期
- 保护代码的加密功能

[SRAM]

CY9A100 系列可搭载最大为 32 KB 的片上 SRAM。片上 SRAM 由两个独立的 SRAM (SRAM0, SRAM1)构成。

SRAM0

连接 Cortex-M3 内核的 I-Code 总线或者 D-Code 总线。

SRAM1 连接 System 总线。

- SRAM0: 最大 16 KB
- SRAM1: 最大 16 KB

多功能串口 (最多 8 通道)

- 带 16 个字节 FIFO 的 4 通道 (ch.4 ~ ch.7), 不带 FIFO 的 4 通道 (ch.0 ~ ch.3)
- 可从下列模式中选择每路通道的工作模式。

☐ UART
☐ CSIO
☐ LIN
☐ I²C

[UART]

- 全双工双缓冲器
- 可选择奇偶校验的有/无
- 内置专用波特率发生器
- 外部时钟可用作串行时钟
- 硬件流控制: 根据 CTS/RTS 自动控制数据收/发 (仅限 ch.4)*
- 丰富的错误检测功能 (奇偶校验错误、帧错误、溢出错误)
*: CY9AF111LA、F112LA、F114LA、F112L 和 F114L 不支持硬件流控制

[CSIO]

- 全双工双缓冲器
- 内置专用波特率发生器
- 溢出错误检测功能

[LIN]

- 支持 LIN 协议 Rev.2.1
- 全双工双缓冲器
- 支持主控/从动模式
- 产生 LIN break field (可变为 13 ~ 16 位长)
- 产生 LIN break 分界符 (可变为 1 ~ 4 位长)
- 丰富的错误检测功能 (奇偶校验错误、帧错误、溢出错误)

[I²C]

支持标准模式 (最快 100 kbps)/高速模式 (最快 400 kbps)

外部总线接口*

- 支持 SRAM, NOR 闪存芯片
- 最多选择 8 颗芯片
- 8/16 位数据宽度
- 最大 25 位地址位
- 最大寻址范围: 最大 256Mb
- 支持地址/数据复用
- 支持外部 RDY 功能

*: CY9AF111LA、F112LA 和 F114LA 不支持外部总线接口

DMA 控制器 (8 通道)

DMA 控制器为 CPU 配备了 DMA 专用的总线, 可与 CPU 同时 进行处理工作。

- 8 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间: 32 位 (4 GB)
- 传输模式: 整块传输/猝发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数: 1 ~ 16
- 传输次数: 1 ~ 65536

A/D 转换器 (最多 16 通道)**[12 位 A/D 转换器]**

- 逐次比较型
- 搭载 3 个单元*
- 转换时间: 1.0 μ s@5V
- 可进行优先级转换 (2 个优先级)
- 扫描转换模式
- 搭载存储转换数据的 FIFO (用于扫描转换: 16 段; 用于 优先级转换: 4 段)

*: CY9AF111LA、F112LA、F114LA 搭载两个单元

基本定时器 (最多 8 通道)

可从以下模式中选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

多功能定时器 (最多 2 个单元)

多功能定时器由以下模块构成。

- 16 位自由运行定时器 $\times$ 3 通道/单元
- 输入捕捉 $\times$ 4 通道/单元
- 输出比较 $\times$ 6 通道/单元
- A/D 启动比较 $\times$ 3 通道/单元
- 波形发生器 $\times$ 3 通道/单元
- 16 位 PPG 定时器 $\times$ 3 通道/单元

使用以下功能可实现电机控制。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF (电机紧急停止) 中断功能

Quad 计数器 (QPRC : Quad 位置/旋转计数器) (最多 2 通道)

Quad 计数器 (QPRC) 可以测定位置编码器的位置。另外, 还可以根据设定用作递增/递减计数器。

- 可配置 3 个外部事件输入引脚 AIN, BIN, ZIN 的边沿检测。
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

双定时器 (32/16 位递减计数器)

双定时器由两个可编程的 32/16 位递减计数器构成。可从下列模式中选择定时器通道的工作模式。

- 自由运行模式
- 周期模式 (=重载模式)
- 单次模式

计时计数器

计时计数器可把芯片从低功耗模式中唤醒。

- 间隔定时器: 使用最大 64s@副时钟 (32.768kHz)

监视定时器 (2 通道)

达到超时值时，监视定时器产生中断或复位。

本系列有两种不同的监视：“硬件”监视和“软件”监视。

硬件“监视”定时器使用低速 CR 振荡器，因此在停止模式以外的任何低功耗模式下都可以工作。

外部中断控制器单元

- 外部中断输入引脚：最多 16 个
- 不可屏蔽中断(NMI)输入引脚：1 个

通用 I/O 口

本系列的引脚不用作外部总线或者外设功能时，可用作 I/O 口。另外，任何一个 I/O 口都可以搭载端口重定位功能，用于配置外设功能的设定。

- 可上拉控制引脚
 - 可直接读出引脚电平
 - 具有端口重定位功能
 - 最多 83 个高速 I/O 口 @100 脚封装
 - 部分引脚是耐 5V 引脚 (仅限 CY9AF115M/N, CY9AF116M/N)
- 关于相关引脚，参照『■ 引脚功能说明』。

CRC (循环冗余校验)加速器

CRC 加速器通过处理高负荷的软件 CRC 计算，可以用于校验数据接收或存储整合。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 发生器的多项式：0x102
- IEEE-802.3 CRC32 发生器的多项式：0x04C11DB7

时钟/复位

[时钟]

可选择 5 种时钟源 (2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- 主时钟 : 4 MHz to 48 MHz
- 副时钟 : 32.768 kHz
- 内部高速 CR 时钟 : 4 MHz
- 内部低速 CR 时钟 : 100 kHz
- 主 PLL 时钟

[复位]

- INITX 引脚的复位请求
- 上电复位
- 软件复位
- 监视定时器复位
- 低压检测复位
- 时钟监视器复位

时钟监视器功能(CSV : 时钟监视器)

该功能根据内部 CR 振荡器生成的时钟来监视外部时钟的异常。

- 检测出外部振荡时钟故障(时钟停止)时，复位有效。
- 检测出外部频率异常时，中断或复位有效。

低压检测功能(LVD : 低压检测)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时，可根据低压检测功能产生中断或者复位。

- LVD1: 根据中断报告错误
- LVD2: 自动复位操作

低功耗模式

有 3 种低功耗模式。

- 休眠
- 定时器
- 停止

调试

- 串行线 JTAG 调试端口 (SWJ-DP)
- 嵌入式跟踪宏单元 (ETM)*

*: CY9AF111LA/MA、F112LA/MA、F114LA/MA、F115MA 和 F116MA 仅支持 SWJ-DP。

电源

- 支持宽范围的电压: VCC = 2.7V ~ 5.5V.

目录

1. 产品阵容	5	12.2 推荐工作条件	59
2. 封装及产品型号	6	12.3 直流特性	60
3. 引脚配置	7	12.4 交流特性	63
4. 引脚功能说明	13	12.5 12 位 A/D 转换器	89
5. I/O 电路类型	38	12.6 低压检测特性	92
6. 器件处理注意事项	43	12.7 闪存擦/写特性	93
6.1 产品设计注意事项	43	12.8 从低功耗模式下的返回时间	94
6.2 封装注意事项	44	13. 订购信息	98
6.3 使用环境的注意事项	45	14. 封装尺寸	99
7. 器件使用注意事项	46	15. 勘误表	107
8. 框图	48	15.1 影响的芯片	107
9. 存储器容量	49	15.2 产品状态	107
10. 存储器映射图	49	15.3 勘误总结	107
11. 各 CPU 状态下的引脚状态	53	16. 主要修改	108
12. 电气特性	57	文档修改记录	110
12.1 绝对最大额定值	57	销售、解决方案以及法律信息	111

1. 产品阵容

存储器容量

产品名称	CY9AF111LA/MA/NA	CY9AF112LA/MA/NA CY9AF112L	CY9AF114LA/MA/NA CY9AF114L
片上闪存	64 KB	128 KB	256 KB
片上 SRAM	16 KB	16 KB	32 KB

产品名称	CY9AF115MA/NA	CY9AF116MA/NA
片上闪存	384 KB	512 KB
片上 SRAM	32 KB	32 KB

功能

产品名称			CY9AF111LA CY9AF112LA CY9AF114LA CY9AF112L CY9AF114L	CY9AF111MA CY9AF112MA CY9AF114MA CY9AF115MA CY9AF116MA	CY9AF111NA CY9AF112NA CY9AF114NA CY9AF115NA CY9AF116NA
引脚数			64	80	100
			Cortex-M3		
CPU	频率		40MHz		
电源电压范围			2.7V to 5.5V		
DMAC			8ch.		
外部总线接口			-	地址:21bit (最多) 数据:8 bit CS:4 (最多) 支持:SRAM, NOR 闪存	地址:25bit (最多) 数据:8/16 bit CS:8 (最多) 支持:SRAM, NOR 闪存
MFS 串口 (UART/CSIO/LIN/I2C)			8 通道最大: 通道 4 至通道 7: FIFO(16 步× 9 位), 通道 0 至通道 3: 无 FIFO		
基本定时器 (PWC/重载定时器/PWM/PPG)			8ch. (Max)		
多功能定时器	A/D 启动 比较	3ch.	1 个单元	2 个单元 (最多)	
	输入捕捉	4ch.			
	自由运行定时器	3ch.			
	输出比较	6ch.			
	波形发生器	3ch.			
	PPG	3ch.			
QPRC			2ch (最多)		
双定时器			1 个单元		
计时计数器			1 个单元		
CRC 加速器			有		
监视定时器			1ch (SW) + 1ch (HW)		
外部中断			7 脚(最多) + NMI × 1	11 脚 (最多) +NMI × 1	16 脚 (最多) +NMI × 1
I/O 口			51 脚 (最多)	66 脚 (最多)	83 脚 (最多)
12 位 A/D 转换器			9ch (2 个单元)	12ch (3 个单元)	16ch (3 个单元)
时钟监视器 (CSV)			有		
低压检测功能 (LVD)			2ch		
内部 CR	高速	4 MHz (±2%)			
	低速	100 kHz (标准值)			
调试功能			SWJ-DP		SWJ-DP/ETM

注意事项: 由于受封装引脚数量的限制, 各产品搭载的外设功能的信号不能全部进行配置。

需要某种功能时, 使用 I/O 口的端口重定位功能进行配置。

参见“12.电气特性 12.4.交流特性 12.4.3.内置 CR 振荡特性”了解内置 CR 的精度。

2. 封装及产品型号

号 封装 \ 产品型	CY9AF111LA CY9AF112LA CY9AF114LA	CY9AF112L CY9AF114L	CY9AF111MA CY9AF112MA CY9AF114MA CY9AF115M CY9AF116MA	CY9AF111NA CY9AF112NA CY9AF114NA CY9AF115NA CY9AF116NA
LQFP: LQD064 (0.5 mm 间距)	○	-	-	-
LQFP: LQG064 (0.65 mm 间距)	○	○	-	-
QFN : VNC064 (0.5 mm 间距)	○	-	-	-
LQFP: LQH080 (0.5 mm 间距)	-	-	○	-
LQFP: LQI100 (0.65 mm 间距)	-	-	-	○
QFP : PQH100 (0.65mm 间距)	-	-	-	○
BGA : LBC112 (0.8 mm 间距)	-	-	-	○*

○: 支持

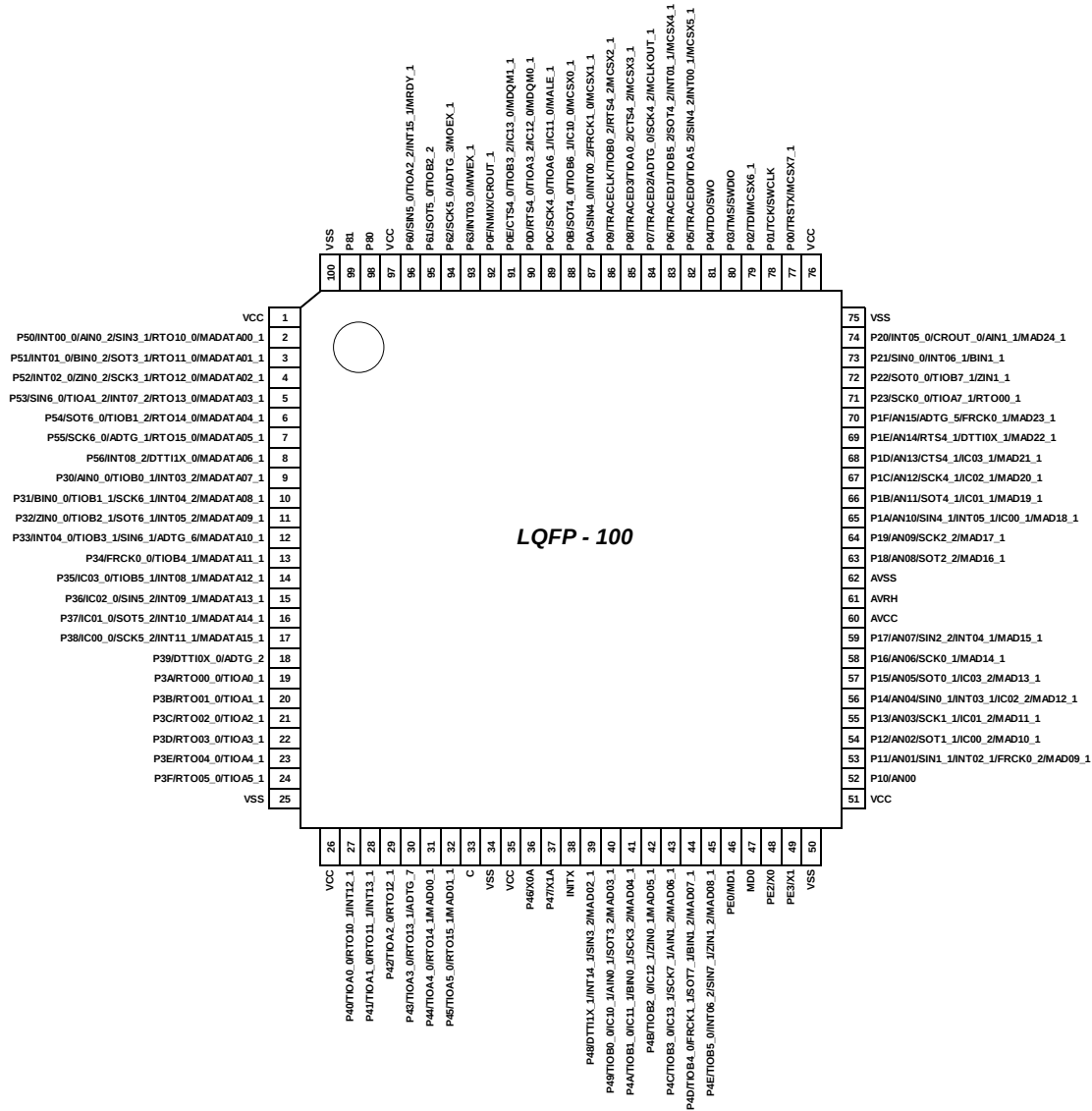
*: CY9AF115NA, CY9AF116NA 在计划中

注意：关于各个封装的详情，请参考“14.封装尺寸”。

3. 引脚配置

LQ100

(俯视图)

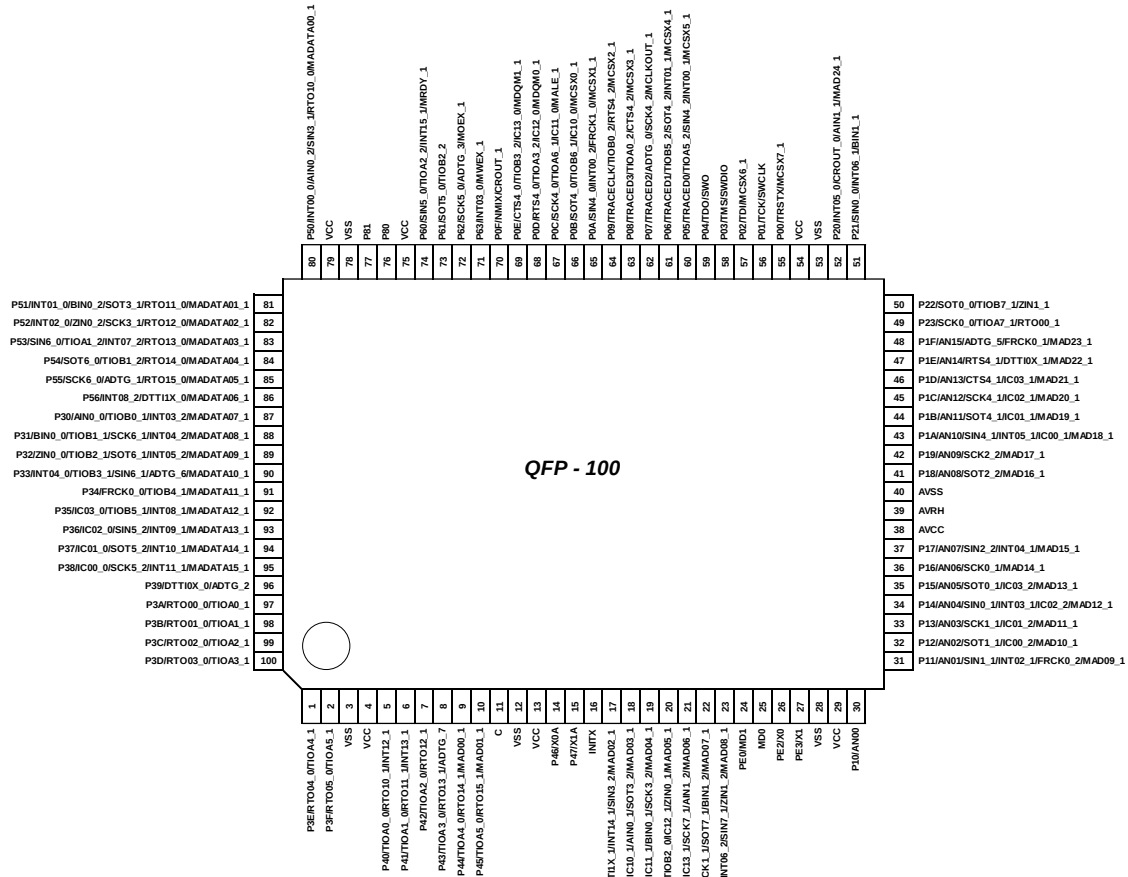


注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口 功能寄存器(EPFR)选择引脚。

PQH100

(俯视图)

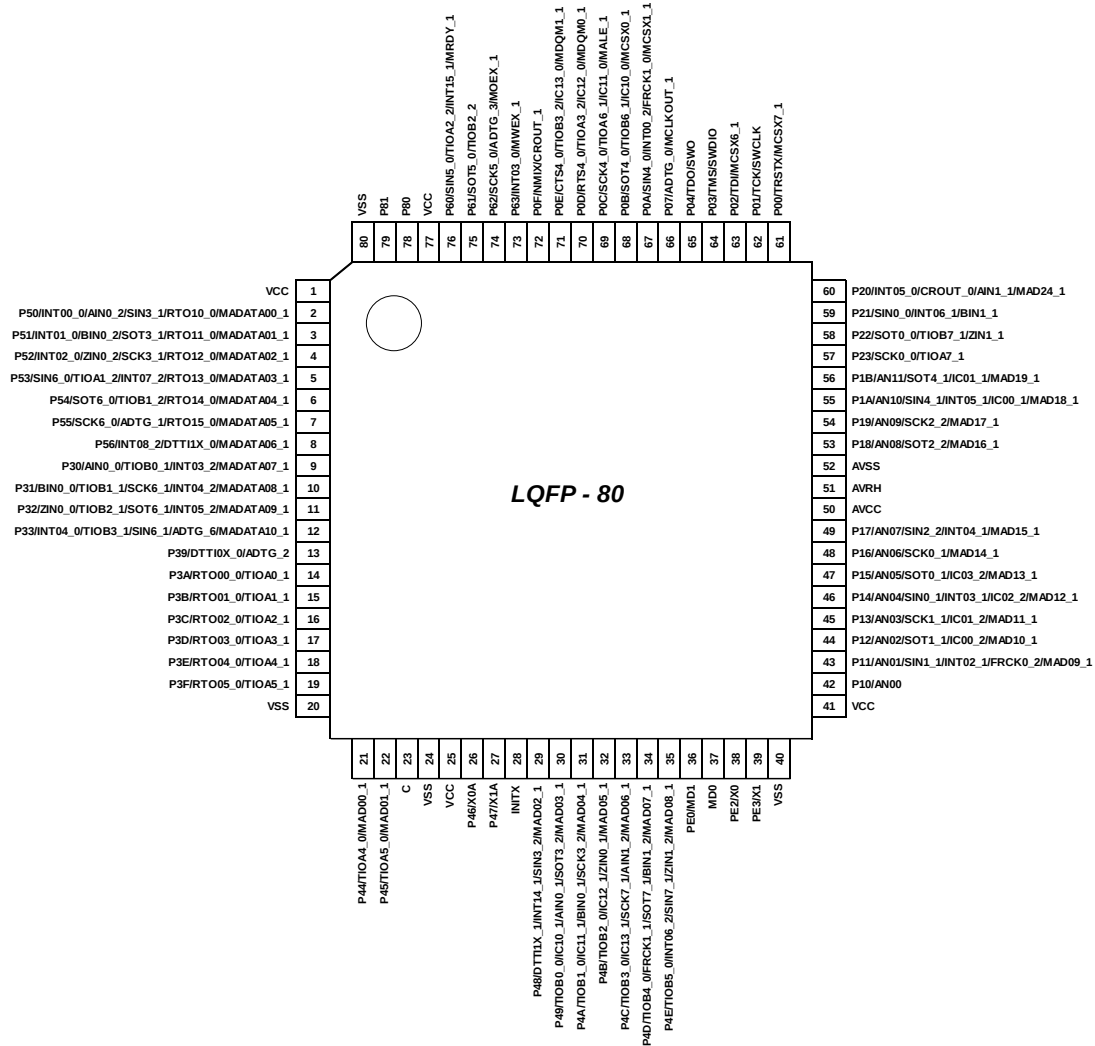


注意事项

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

LQH080

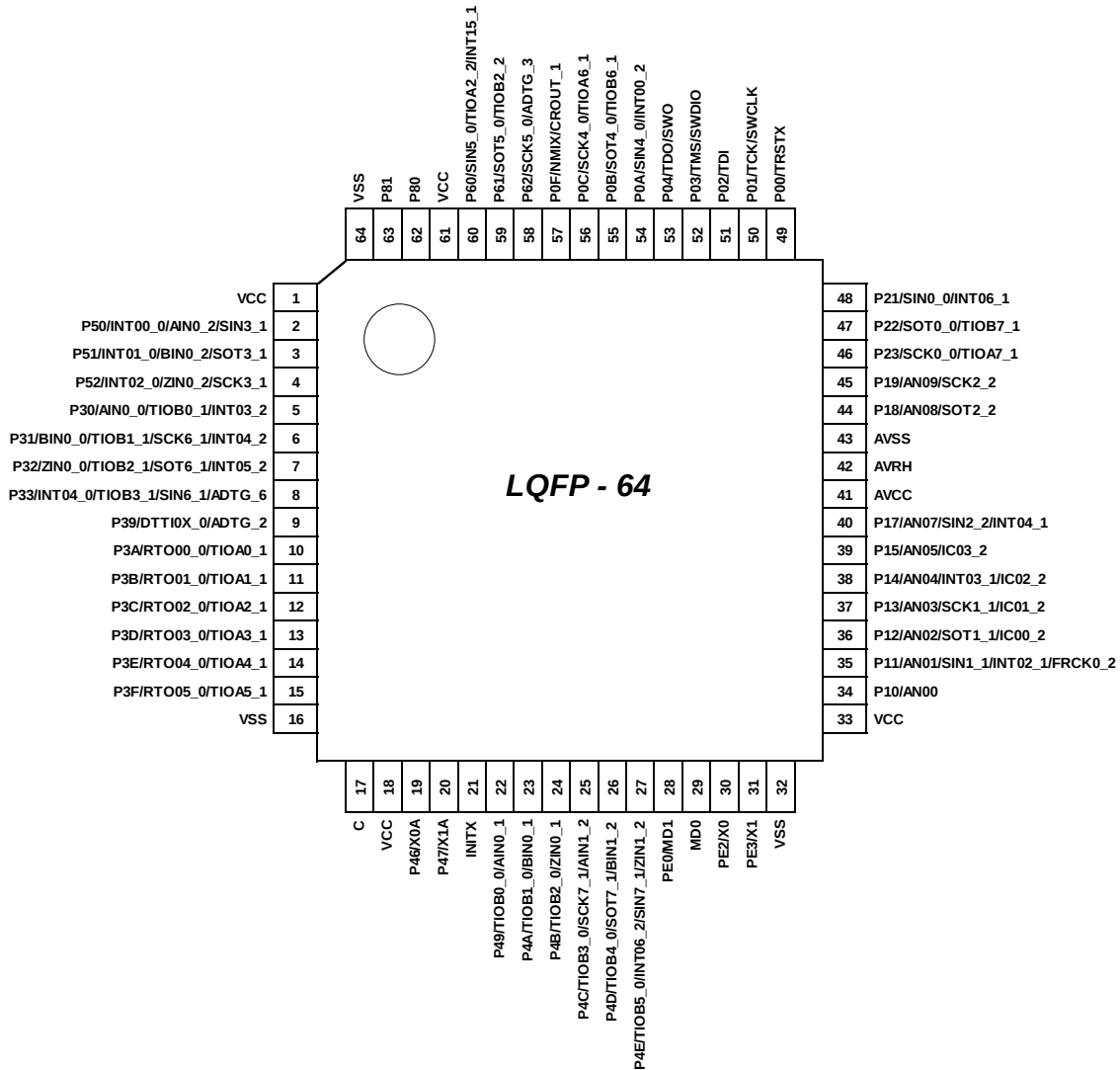
(俯视图)


注意事项

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口 功能寄存器(EPFR)选择引脚。

LQD064/LQG064

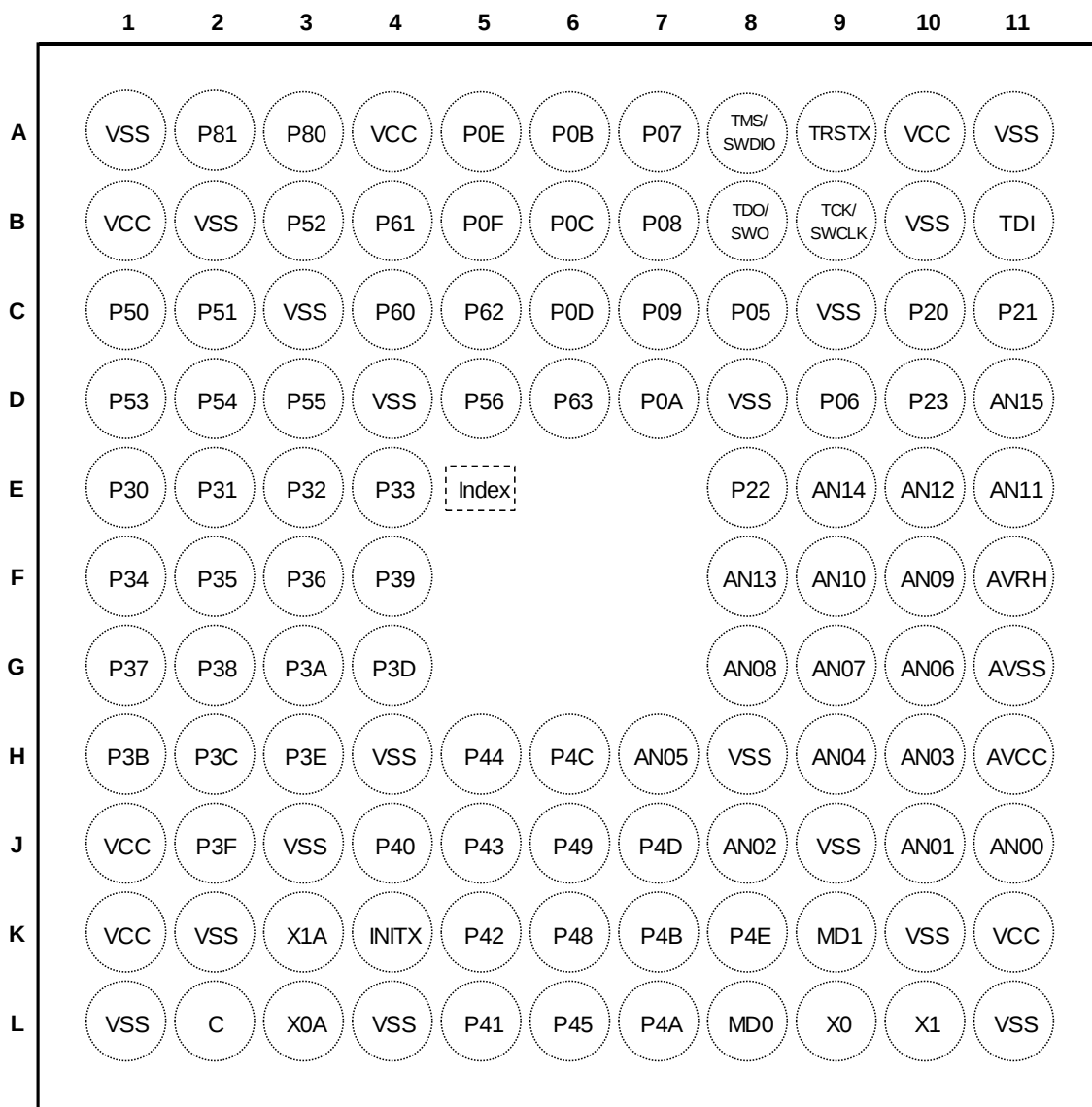
(俯视图)


注意事项

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

LBC112

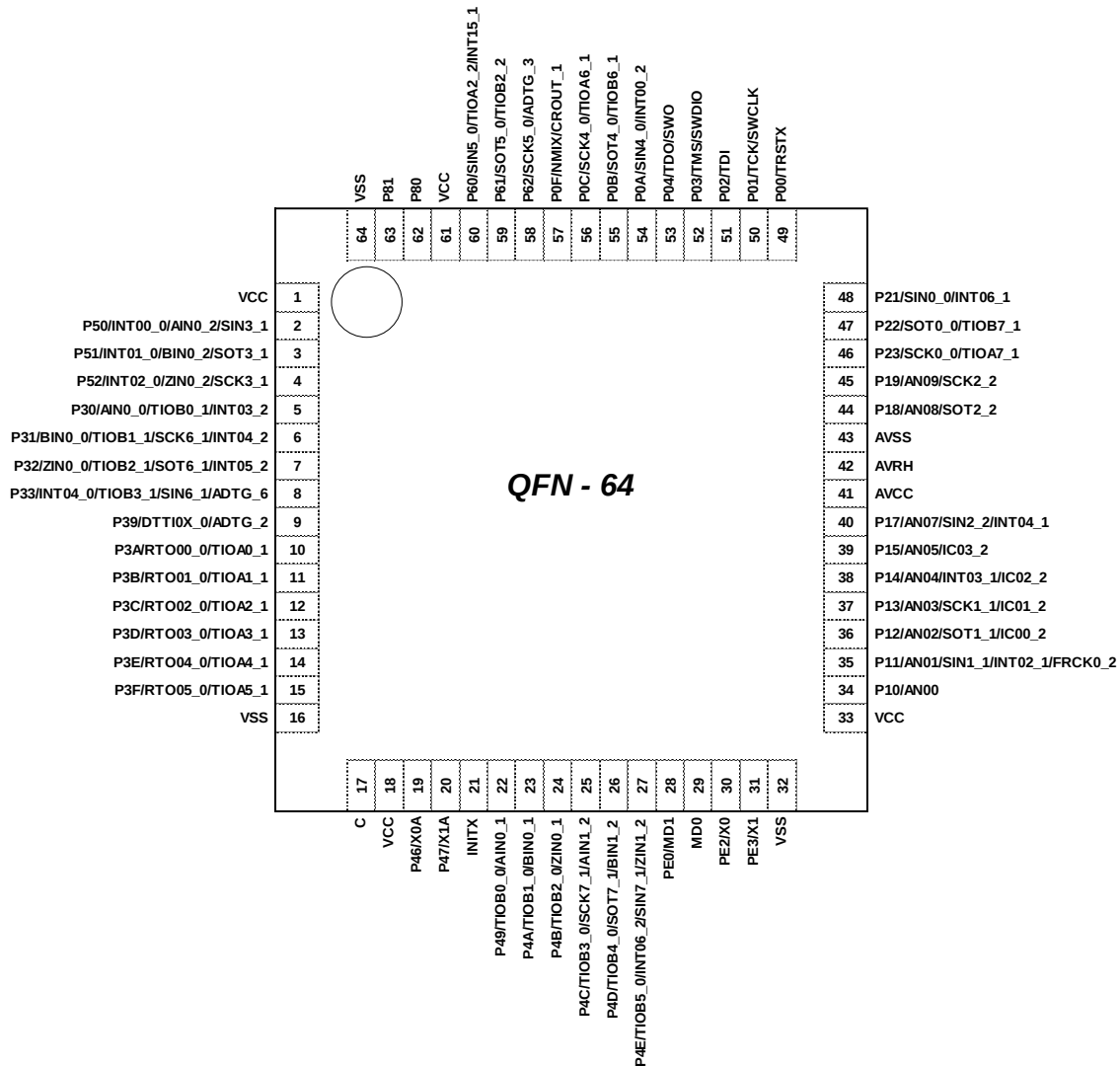
(俯视图)


注意事项

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口 功能寄存器(EPFR)选择引脚。

VNC064

(俯视图)


注意事项:

引脚名称(例如 XXX_1、XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

4. 引脚功能说明

引脚编号清单

引脚名称(例如 XXX_1、XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
1	79	B1	1	1	VCC	-	
2	80	C1	2	2	P50	E	H
					INT00_0		
					AIN0_2		
					SIN3_1		
				-	RTO10_0(PPG10_0)		
					MADATA00_1		
3	81	C2	3	3	P51	E	H
					INT01_0		
					BIN0_2		
					SOT3_1(SDA3_1)		
				-	RTO11_0(PPG10_0)		
					MADATA01_1		
4	82	B3	4	4	P52	E	H
					INT02_0		
					ZIN0_2		
					SCK3_1(SCL3_1)		
				-	RTO12_0(PPG12_0)		
					MADATA02_1		
5	83	D1	5	-	P53	E	H
					SIN6_0		
					TIOA1_2		
					INT07_2		
					RTO13_0(PPG12_0)		
					MADATA03_1		
6	84	D2	6	-	P54	E	I
					SOT6_0(SDA6_0)		
					TIOB1_2		
					RTO14_0(PPG14_0)		
					MADATA04_1		

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
7	85	D3	7	-	P55	E	I
					SCK6_0(SCL6_0)		
					ADTG_1		
					RTO15_0(PPG14_0)		
					MADATA05_1		
8	86	D5	8	-	P56	E	H
					INT08_2		
					DTT11X_0		
					MADATA06_1		
9	87	E1	9	5	P30	E	H
				-	AIN0_0		
					TIOB0_1		
					INT03_2		
					MADATA07_1		
10	88	E2	10	6	P31	E	H
				-	BIN0_0		
					TIOB1_1		
					SCK6_1(SCL6_1)		
					INT04_2		
11	89	E3	11	7	MADATA08_1	E	H
				-	P32		
					ZIN0_0		
					TIOB2_1		
					SOT6_1(SDA6_1)		
12	90	E4	12	8	INT05_2	E	H
				-	MADATA09_1		
					P33		
					INT04_0		
					TIOB3_1		
13	91	F1	-	-	SIN6_1	E	I
					ADTG_6		
					MADATA10_1		
					P34		
					FRCK0_0	E	I
					TIOB4_1		
					MADATA11_1		

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
14	92	F2	-	-	P35	E	H
					IC03_0		
					TIOB5_1		
					INT08_1		
					MADATA12_1		
15	93	F3	-	-	P36	E	H
					IC02_0		
					SIN5_2		
					INT09_1		
					MADATA13_1		
16	94	G1	-	-	P37	E	H
					IC01_0		
					SOT5_2(SDA5_2)		
					INT10_1		
					MADATA14_1		
17	95	G2	-	-	P38	E	H
					IC00_0		
					SCK5_2(SCL5_2)		
					INT11_1		
					MADATA15_1		
18	96	F4	13	9	P39	E	I
					DTTIOX_0		
					ADTG_2		
19	97	G3	14	10	P3A	G	I
					RTO00_0(PPG00_0)		
					TIOA0_1		
20	98	H1	15	11	P3B	G	I
					RTO01_0(PPG00_0)		
					TIOA1_1		
21	99	H2	16	12	P3C	G	I
					RTO02_0 (PPG02_0)		
					TIOA2_1		
22	100	G4	17	13	P3D	G	I
					RTO03_0(PPG02_0)		
					TIOA3_1		
-	-	B2	-	-	VSS	-	

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
23	1	H3	18	14	P3E	G	I
					RTO04_0(PPG04_0)		
					TIOA4_1		
24	2	J2	19	15	P3F	G	I
					RTO05_0(PPG04_0)		
					TIOA5_1		
25	3	L1	20	16	VSS	-	
26	4	J1	-	-	VCC	-	
27	5	J4	-	-	P40	G	H
					TIOA0_0		
					RTO10_1(PPG10_1)		
					INT12_1		
28	6	L5	-	-	P41	G	H
					TIOA1_0		
					RTO11_1(PPG10_1)		
					INT13_1		
29	7	K5	-	-	P42	G	I
					TIOA2_0		
					RTO12_1(PPG12_1)		
30	8	J5	-	-	P43	G	I
					TIOA3_0		
					RTO13_1(PPG12_1)		
					ADTG_7		
31	9	H5	21	-	P44	G	I
					TIOA4_0		
					MAD00_1		
					RTO14_1(PPG14_1)		
32	10	L6	22	-	P45	G	I
					TIOA5_0		
					MAD01_1		
			-		RTO15_1(PPG14_1)		
-	-	K2	-	-	VSS	-	
-	-	J3	-	-	VSS	-	
-	-	H4	-	-	VSS	-	

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
33	11	L2	23	17	C	-	
34	12	L4	24	-	VSS	-	
35	13	K1	25	18	VCC	-	
36	14	L3	26	19	P46	D	M
					X0A		
37	15	K3	27	20	P47	D	N
					X1A		
38	16	K4	28	21	INITX	B	C
39	17	K6	29	-	P48	E	H
					DTT11X_1		
					INT14_1		
					SIN3_2		
					MAD02_1		
40	18	J6	30	22	P49	E	I
				-	TIOB0_0		
					AIN0_1		
					IC10_1		
					SOT3_2(SDA3_2)		
41	19	L7	31	23	MAD03_1	E	I
				-	P4A		
					TIOB1_0		
					BIN0_1		
					IC11_1		
42	20	K7	32	24	SCK3_2(SCL3_2)	E	I
				-	MAD04_1		
					P4B		
					TIOB2_0		
					ZIN0_1		
43	21	H6	33	25	IC12_1	E / I*	I
				-	MAD05_1		
					P4C		
					TIOB3_0		
					SCK7_1(SCL7_1)		
				-	AIN1_2		
					IC13_1		
					MAD06_1		

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
44	22	J7	34	26	P4D	E / I*	I
					TIOB4_0		
					SOT7_1(SDA7_1)		
					BIN1_2		
				-	FRCK1_1		
					MAD07_1		
45	23	K8	35	27	P4E	E / I*	I
					TIOB5_0		
					INT06_2		
					SIN7_1		
					ZIN1_2		
				-	MAD08_1		
46	24	K9	36	28	MD1	C	P
47	25	L8	37	29	PE0	J	D
48	26	L9	38	30	X0	A	A
					PE2		
49	27	L10	39	31	X1	A	B
					PE3		
50	28	L11	40	32	VSS	-	
51	29	K11	41	33	VCC	-	
52	30	J11	42	34	P10	F	K
					AN00		
53	31	J10	43	35	P11	F	L
					AN01		
					SIN1_1		
					INT02_1		
					FRCK0_2		
				-	MAD09_1		
54	32	J8	44	36	P12	F	K
					AN02		
					SOT1_1 (SDA1_1)		
					IC00_2		
				-	MAD10_1		
-	-	K10	-	-	VSS	-	
-	-	J9	-	-	VSS	-	

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
55	33	H10	45	37	P13	F	K
					AN03		
					SCK1_1(SCL1_1)		
					IC01_2		
				-	MAD11_1		
56	34	H9	46	38	P14	F	L
					AN04		
					INT03_1		
					IC02_2		
				-	SIN0_1		
					MAD12_1		
57	35	H7	47	39	P15	F	K
					AN05		
					IC03_2		
				-	SOT0_1(SDA0_1)		
					MAD13_1		
58	36	G10	48	-	P16	F	K
					AN06		
					SCK0_1(SCL0_1)		
					MAD14_1		
59	37	G9	49	40	P17	F	L
					AN07		
					SIN2_2		
					INT04_1		
				-	MAD15_1		
60	38	H11	50	41	AVCC	-	
61	39	F11	51	42	AVRH	-	
62	40	G11	52	43	AVSS	-	
63	41	G8	53	44	P18	F	K
					AN08		
					SOT2_2(SDA2_2)		
				-	MAD16_1		
64	42	F10	54	45	P19	F	K
					AN09		
					SCK2_2(SCL2_2)		
				-	MAD17_1		
-	-	H8	-	-	VSS	-	

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
65	43	F9	55	-	P1A	F	L
					AN10		
					SIN4_1		
					INT05_1		
					IC00_1		
					MAD18_1		
66	44	E11	56	-	P1B	F	K
					AN11		
					SOT4_1(SDA4_1)		
					IC01_1		
					MAD19_1		
67	45	E10	-	-	P1C	F	K
					AN12		
					SCK4_1(SCL4_1)		
					IC02_1		
					MAD20_1		
68	46	F8	-	-	P1D	F	K
					AN13		
					CTS4_1		
					IC03_1		
					MAD21_1		
69	47	E9	-	-	P1E	F	K
					AN14		
					RTS4_1		
					DTTI0X_1		
					MAD22_1		
70	48	D11	-	-	P1F	F	K
					AN15		
					ADTG_5		
					FRCK0_1		
					MAD23_1		
-	-	B10	-	-	VSS	-	
-	-	C9	-	-	VSS	-	

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
71	49	D10	57	46	P23	E	I
					SCK0_0(SCL0_0)		
			-	-	TIOA7_1		
					RTO00_1(PPG00_1)		
72	50	E8	58	47	P22	E	I
					SOT0_0(SDA0_0)		
			-	-	TIOB7_1		
					ZIN1_1		
73	51	C11	59	48	P21	E	H
					SIN0_0		
			-	-	INT06_1		
					BIN1_1		
74	52	C10	60	-	P20	E	H
					INT05_0		
					CROUT_0		
					AIN1_1		
					MAD24_1		
75	53	A11	-	-	VSS		
76	54	A10	-	-	VCC		
77	55	A9	61	49	P00	E	E
					TRSTX		
				-	MCSX7_1		
78	56	B9	62	50	P01	E	E
					TCK		
					SWCLK		
79	57	B11	63	51	P02	E	E
					TDI		
				-	MCSX6_1		
80	58	A8	64	52	P03	E	E
					TMS		
					SWDIO		
81	59	B8	65	53	P04	E	E
					TDO		
					SWO		
82	60	C8	-	-	P05	E	F
					TRACED0		
					TIOA5_2		
					SIN4_2		
					INT00_1		
					MCSX5_1		
-	-	D8	-	-	VSS		

引脚号					引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
83	61	D9	-	-	P06	E	F
					TRACED1		
					TIOB5_2		
					SOT4_2(SDA4_2)		
					INT01_1		
					MCSX4_1		
84	62	A7	66	-	P07	E	G
			-		ADTG_0		
					MCLKOUT_1		
					TRACED2		
					SCK4_2(SCL4_2)		
85	63	B7	-	-	P08	E	G
					TRACED3		
					TIOA0_2		
					CTS4_2		
					MCSX3_1		
86	64	C7	-	-	P09	E	G
					TRACECLK		
					TIOB0_2		
					RTS4_2		
					MCSX2_1		
87	65	D7	67	54	P0A	E / I*	H
				-	SIN4_0		
					INT00_2		
					FRCK1_0		
					MCSX1_1		
88	66	A6	68	55	P0B	E / I*	I
				-	SOT4_0(SDA4_0)		
					TIOB6_1		
					IC10_0		
					MCSX0_1		
89	67	B6	69	56	P0C	E / I*	I
				-	SCK4_0(SCL4_0)		
					TIOA6_1		
					IC11_0		
					MALE_1		
-	-	D4	-	-	VSS	-	
-	-	C3	-	-	VSS	-	

引脚号					引脚名称	I/O 电路类型	引脚状态类型
LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64			
90	68	C6	70	-	P0D	E	I
					RTS4_0		
					TIOA3_2		
					IC12_0		
					MDQM0_1		
91	69	A5	71	-	P0E	E	I
					CTS4_0		
					TIOB3_2		
					IC13_0		
					MDQM1_1		
92	70	B5	72	57	P0F	E	J
					NMIX		
					CROUT_1		
93	71	D6	73	-	P63	E	H
					INT03_0		
					MWEX_1		
94	72	C5	74	58	P62	E	I
					SCK5_0(SCL5_0)		
				-	ADTG_3		
					MOEX_1		
95	73	B4	75	59	P61	E	I
					SOT5_0(SDA5_0)		
					TIOB2_2		
96	74	C4	76	60	P60	E / I*	H
					SIN5_0		
					TIOA2_2		
					INT15_1		
				-	MRDY_1		
97	75	A4	77	61	VCC	-	
98	76	A3	78	62	P80	H	O
99	77	A2	79	63	P81	H	O
100	78	A1	80	64	VSS	-	

*: CY9AF115MA/NA, CY9AF116MA/NA 使用耐 5V I/O

引脚功能清单

引脚名称(例如 XXX_1、XXX_2)中下划线("_")后面的数字是重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
ADC	ADTG_0	A/D 转换器 外部触发输入引脚	84	62	A7	66	-
	ADTG_1		7	85	D3	7	-
	ADTG_2		18	96	F4	13	9
	ADTG_3		94	72	C5	74	58
	ADTG_4		-	-	-	-	-
	ADTG_5		70	48	D11	-	-
	ADTG_6		12	90	E4	12	8
	ADTG_7		30	8	J5	-	-
	ADTG_8		-	-	-	-	-
	AN00	A/D 转换器 模拟输入引脚 ANxx 是指 ADC Ch.xx。	52	30	J11	42	34
	AN01		53	31	J10	43	35
	AN02		54	32	J8	44	36
	AN03		55	33	H10	45	37
	AN04		56	34	H9	46	38
	AN05		57	35	H7	47	39
	AN06		58	36	G10	48	-
	AN07		59	37	G9	49	40
	AN08		63	41	G8	53	44
	AN09		64	42	F10	54	45
	AN10		65	43	F9	55	-
	AN11		66	44	E11	56	-
	AN12		67	45	E10	-	-
	AN13		68	46	F8	-	-
	AN14		69	47	E9	-	-
	AN15		70	48	D11	-	-
基本 定时器 0	TIOA0_0	基本定时器 ch.0 的 TIOA 引脚	27	5	J4	-	-
	TIOA0_1		19	97	G3	14	10
	TIOA0_2		85	63	B7	-	-
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	40	18	J6	30	22
	TIOB0_1		9	87	E1	9	5
	TIOB0_2		86	64	C7	-	-
基本 定时器 1	TIOA1_0	基本定时器 ch.1 的 TIOA 引脚	28	6	L5	-	-
	TIOA1_1		20	98	H1	15	11
	TIOA1_2		5	83	D1	5	-
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	41	19	L7	31	23
	TIOB1_1		10	88	E2	10	6
	TIOB1_2		6	84	D2	6	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
基本定时器 2	TIOA2_0	基本定时器 ch.2 的 TIOA 引脚	29	7	K5	-	-
	TIOA2_1		21	99	H2	16	12
	TIOA2_2		96	74	C4	76	60
	TIOB2_0	基本定时器 ch.2 的 TIOB 引脚	42	20	K7	32	24
	TIOB2_1		11	89	E3	11	7
	TIOB2_2		95	73	B4	75	59
基本定时器 3	TIOA3_0	基本定时器 ch.3 的 TIOA 引脚	30	8	J5	-	-
	TIOA3_1		22	100	G4	17	13
	TIOA3_2		90	68	C6	70	-
	TIOB3_0	基本定时器 ch.3 的 TIOB 引脚	43	21	H6	33	25
	TIOB3_1		12	90	E4	12	8
	TIOB3_2		91	69	A5	71	-
基本定时器 4	TIOA4_0	基本定时器 ch.4 的 TIOA 引脚	31	9	H5	21	-
	TIOA4_1		23	1	H3	18	14
	TIOA4_2		-	-	-	-	-
	TIOB4_0	基本定时器 ch.4 的 TIOB 引脚	44	22	J7	34	26
	TIOB4_1		13	91	F1	-	-
	TIOB4_2		-	-	-	-	-
基本定时器 5	TIOA5_0	基本定时器 ch.5 的 TIOA 引脚	32	10	L6	22	-
	TIOA5_1		24	2	J2	19	15
	TIOA5_2		82	60	C8	-	-
	TIOB5_0	基本定时器 ch.5 的 TIOB 引脚	45	23	K8	35	27
	TIOB5_1		14	92	F2	-	-
	TIOB5_2		83	61	D9	-	-
基本定时器 6	TIOA6_1	基本定时器 ch.6 的 TIOA 引脚	89	67	B6	69	56
	TIOB6_1	基本定时器 ch.6 的 TIOB 引脚	88	66	A6	68	55
基本定时器 7	TIOA7_0	基本定时器 ch.7 的 TIOA 引脚	-	-	-	-	-
	TIOA7_1		71	49	D10	57	46
	TIOA7_2		-	-	-	-	-
	TIOB7_0	基本定时器 ch.7 的 TIOB 引脚	-	-	-	-	-
	TIOB7_1		72	50	E8	58	47
	TIOB7_2		-	-	-	-	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
调试接口	SWCLK	串行线调试接口时钟输入	78	56	B9	62	50
	SWDIO	串行线调试接口数据 I/O	80	58	A8	64	52
	SWO	串行线浏览器输出	81	59	B8	65	53
	TCK	JTAG 测试时钟输入	78	56	B9	62	50
	TDI	JTAG 测试数据输入	79	57	B11	63	51
	TDO	JTAG 调试数据输出	81	59	B8	65	53
	TMS	JTAG 测试模式状态 I/O	80	58	A8	64	52
	TRACECLK	ETM 跟踪 CLK 输出	86	64	C7	-	-
	TRACED0	ETM 跟踪数据输出	82	60	C8	-	-
	TRACED1		83	61	D9	-	-
	TRACED2		84	62	A7	-	-
	TRACED3		85	63	B7	-	-
	TRSTX	JTAG 测试复位输入	77	55	A9	61	49
外部总线	MAD00_1	外部总线接口地址总线	31	9	H5	21	-
	MAD01_1		32	10	L6	22	-
	MAD02_1		39	17	K6	29	-
	MAD03_1		40	18	J6	30	-
	MAD04_1		41	19	L7	31	-
	MAD05_1		42	20	K7	32	-
	MAD06_1		43	21	H6	33	-
	MAD07_1		44	22	J7	34	-
	MAD08_1		45	23	K8	35	-
	MAD09_1		53	31	J10	43	-
	MAD10_1		54	32	J8	44	-
	MAD11_1		55	33	H10	45	-
	MAD12_1		56	34	H9	46	-
	MAD13_1		57	35	H7	47	-
	MAD14_1		58	36	G10	48	-
	MAD15_1		59	37	G9	49	-
	MAD16_1		63	41	G8	53	-
	MAD17_1		64	42	F10	54	-
	MAD18_1		65	43	F9	55	-
	MAD19_1		66	44	E11	56	-
	MAD20_1		67	45	E10	-	-
	MAD21_1		68	46	F8	-	-
	MAD22_1		69	47	E9	-	-
	MAD23_1		70	48	D11	-	-
	MAD24_1		74	52	C10	60	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
外部 总线	MCSX0_1	外部总线接口芯片选择输出引脚	88	66	A6	68	-
	MCSX1_1		87	65	D7	67	-
	MCSX2_1		86	64	C7	-	-
	MCSX3_1		85	63	B7	-	-
	MCSX4_1		83	61	D9	-	-
	MCSX5_1		82	60	C8	-	-
	MCSX6_1		79	57	B11	63	-
	MCSX7_1		77	55	A9	61	-
	MDQM0_1	外部总线接口字节屏蔽信号输出	90	68	C6	70	-
	MDQM1_1		91	69	A5	71	-
	MOEX_1	SRAM 外部总线接口读取使能信号	94	72	C5	74	-
	MWEX_1	SRAM 外部总线接口写入使能信号	93	71	D6	73	-
	MADATA00_1	外部总线接口数据总线	2	80	C1	2	-
	MADATA01_1		3	81	C2	3	-
	MADATA02_1		4	82	B3	4	-
	MADATA03_1		5	83	D1	5	-
	MADATA04_1		6	84	D2	6	-
	MADATA05_1		7	85	D3	7	-
	MADATA06_1		8	86	D5	8	-
	MADATA07_1		9	87	E1	9	-
	MADATA08_1		10	88	E2	10	-
	MADATA09_1		11	89	E3	11	-
	MADATA10_1		12	90	E4	12	-
	MADATA11_1		13	91	F1	-	-
	MADATA12_1		14	92	F2	-	-
	MADATA13_1		15	93	F3	-	-
	MADATA14_1		16	94	G1	-	-
	MADATA15_1		17	95	G2	-	-
	MALE_1	多路传输时的地址锁存使能信号	89	67	B6	69	-
	MRDY_1	外部 RDY 输入信号	96	74	C4	76	-
	MCLKOUT_1	外部总线时钟输出	84	62	A7	66	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
外部 中断	INT00_0	外部中断请求 00 输入引脚	2	80	C1	2	2
	INT00_1		82	60	C8	-	-
	INT00_2		87	65	D7	67	54
	INT01_0	外部中断请求 01 输入引脚	3	81	C2	3	3
	INT01_1		83	61	D9	-	-
	INT02_0	外部中断请求 02 输入引脚	4	82	B3	4	4
	INT02_1		53	31	J10	43	35
	INT03_0	外部中断请求 03 输入引脚	93	71	D6	73	-
	INT03_1		56	34	H9	46	38
	INT03_2		9	87	E1	9	5
	INT04_0	外部中断请求 04 输入引脚	12	90	E4	12	8
	INT04_1		59	37	G9	49	40
	INT04_2		10	88	E2	10	6
	INT05_0	外部中断请求 05 输入引脚	74	52	C10	60	-
	INT05_1		65	43	F9	55	-
	INT05_2		11	89	E3	11	7
	INT06_1	外部中断请求 06 输入引脚	73	51	C11	59	48
	INT06_2		45	23	K8	35	27
	INT07_2	外部中断请求 07 输入引脚	5	83	D1	5	-
	INT08_1	外部中断请求 08 输入引脚	14	92	F2	-	-
	INT08_2		8	86	D5	8	-
	INT09_1	外部中断请求 09 输入引脚	15	93	F3	-	-
	INT10_1	外部中断请求 10 输入引脚	16	94	G1	-	-
	INT11_1	外部中断请求 11 输入引脚	17	95	G2	-	-
	INT12_1	外部中断请求 12 输入引脚	27	5	J4	-	-
	INT13_1	外部中断请求 13 输入引脚	28	6	L5	-	-
	INT14_1	外部中断请求 14 输入引脚	39	17	K6	29	-
	INT15_1	外部中断请求 15 输入引脚	96	74	C4	76	60
	NMIX	不可屏蔽中断输入	92	70	B5	72	57

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
GPIO	P00	通用 I/O 口 0	77	55	A9	61	49
	P01		78	56	B9	62	50
	P02		79	57	B11	63	51
	P03		80	58	A8	64	52
	P04		81	59	B8	65	53
	P05		82	60	C8	-	-
	P06		83	61	D9	-	-
	P07		84	62	A7	66	-
	P08		85	63	B7	-	-
	P09		86	64	C7	-	-
	P0A		87	65	D7	67	54
	P0B		88	66	A6	68	55
	P0C		89	67	B6	69	56
	P0D		90	68	C6	70	-
	P0E		91	69	A5	71	-
	P0F		92	70	B5	72	57
	P10	通用 I/O 口 1	52	30	J11	42	34
	P11		53	31	J10	43	35
	P12		54	32	J8	44	36
	P13		55	33	H10	45	37
	P14		56	34	H9	46	38
	P15		57	35	H7	47	39
	P16		58	36	G10	48	-
	P17		59	37	G9	49	40
	P18		63	41	G8	53	44
	P19		64	42	F10	54	45
	P1A		65	43	F9	55	-
	P1B		66	44	E11	56	-
	P1C		67	45	E10	-	-
	P1D		68	46	F8	-	-
	P1E		69	47	E9	-	-
	P1F		70	48	D11	-	-
	P20	通用 I/O 口 2	74	52	C10	60	-
	P21		73	51	C11	59	48
	P22		72	50	E8	58	47
	P23		71	49	D10	57	46

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
GPIO	P30	通用 I/O 口 3	9	87	E1	9	5
	P31		10	88	E2	10	6
	P32		11	89	E3	11	7
	P33		12	90	E4	12	8
	P34		13	91	F1	-	-
	P35		14	92	F2	-	-
	P36		15	93	F3	-	-
	P37		16	94	G1	-	-
	P38		17	95	G2	-	-
	P39		18	96	F4	13	9
	P3A		19	97	G3	14	10
	P3B		20	98	H1	15	11
	P3C		21	99	H2	16	12
	P3D		22	100	G4	17	13
	P3E		23	1	H3	18	14
	P3F		24	2	J2	19	15
	P40	通用 I/O 口 4	27	5	J4	-	-
	P41		28	6	L5	-	-
	P42		29	7	K5	-	-
	P43		30	8	J5	-	-
	P44		31	9	H5	21	-
	P45		32	10	L6	22	-
	P46		36	14	L3	26	19
	P47		37	15	K3	27	20
	P48		39	17	K6	29	-
	P49		40	18	J6	30	22
	P4A		41	19	L7	31	23
	P4B		42	20	K7	32	24
	P4C		43	21	H6	33	25
	P4D		44	22	J7	34	26
	P4E		45	23	K8	35	27
	P50	通用 I/O 口 5	2	80	C1	2	2
	P51		3	81	C2	3	3
	P52		4	82	B3	4	4
	P53		5	83	D1	5	-
	P54		6	84	D2	6	-
	P55		7	85	D3	7	-
	P56		8	86	D5	8	-
	P60	通用 I/O 口 6	96	74	C4	76	60
	P61		95	73	B4	75	59
	P62		94	72	C5	74	58
	P63		93	71	D6	73	-
	P80	通用 I/O 口 8	98	76	A3	78	62
	P81		99	77	A2	79	63
	PE0	通用 I/O 口 E	46	24	K9	36	28
	PE2		48	26	L9	38	30
	PE3		49	27	L10	39	31

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多功能 串口 0	SIN0_0	多功能串口 ch.0 输入引脚	73	51	C11	59	48
	SIN0_1		56	34	H9	46	-
	SOT0_0 (SDA0_0)	多功能串口 ch.0 输出引脚用作 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT0; 用作 I ² C 引 脚(工作模式 4), 可用作 SDA0。	72	50	E8	58	47
	SOT0_1 (SDA0_1)		57	35	H7	47	-
	SCK0_0 (SCL0_0)	多功能串口 ch.0 时钟 I/O 引脚用 作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK0; 用作 I ² C 引脚(工作模式 4)时, 可用作 SCL0。	71	49	D10	57	46
	SCK0_1 (SCL0_1)		58	36	G10	48	-
多功能 串口 1	SIN1_1	多功能串口 ch.1 输入引脚	53	31	J10	43	35
	SOT1_1 (SDA1_1)	多功能串口 ch.1 输出引脚用作 UART/CSIO 引脚(工作模式 0~2) 时, 可用作 SOT1; 用作 I ² C 引脚 (工作模式 4)时, 可用作 SDA1。	54	32	J8	44	36
	SCK1_1 (SCL1_1)	多功能串口 ch.1 时钟 I/O 引脚用 作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK1; 用作 I ² C 引脚(工作模式 4)时, 可用作 SCL1。	55	33	H10	45	37
多功能 串口 2	SIN2_2	多功能串口 ch.2 输入引脚	59	37	G9	49	40
	SOT2_2 (SDA2_2)	多功能串口 ch.2 输出引脚用作 UART/CSIO 引脚(工作模式 0~2) 时, 可用作 SOT2; 用作 I ² C 引脚 (工作模式 4)时, 可用作 SDA2。	63	41	G8	53	44
	SCK2_2 (SCL2_2)	多功能串口 ch.2 时钟 I/O 引脚用 作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK2; 用作 I ² C 引脚(工作模式 4)时, 可用作 SCL2。	64	42	F10	54	45
多功能 串口 3	SIN3_1	多功能串口 ch.3 输入引脚	2	80	C1	2	2
	SIN3_2		39	17	K6	29	-
	SOT3_1 (SDA3_1)	多功能串口 ch.3 输出引脚用作 UART/CSIO 引脚(工作模式 0~2) 时, 可用作 SOT3; 用作 I ² C 引脚 (工作模式 4)时, 可用作 SDA3。	3	81	C2	3	3
	SOT3_2 (SDA3_2)		40	18	J6	30	-
	SCK3_1 (SCL3_1)	多功能串口 ch.3 时钟 I/O 引脚用 作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK3; 用作 I ² C 引脚(工作模式 4)时, 可用作 SCL3。	4	82	B3	4	4
	SCK3_2 (SCL3_2)		41	19	L7	31	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多功能 串口 4	SIN4_0	多功能串口 ch.4 输入引脚	87	65	D7	67	54
	SIN4_1		65	43	F9	55	-
	SIN4_2		82	60	C8	-	-
	SOT4_0 (SDA4_0)	多功能串口 ch.4 输出引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可 用作 SOT4; 用作 I ² C 引脚(工作模式 4) 时, 可用作 SDA4。	88	66	A6	68	55
	SOT4_1 (SDA4_1)		66	44	E11	56	-
	SOT4_2 (SDA4_2)		83	61	D9	-	-
	SCK4_0 (SCL4_0)	多功能串口 ch.4 时钟 I/O 引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可 用作 SCK4; 用作 I ² C 引脚(工作模式 4) 时, 可用作 SCL4。	89	67	B6	69	56
	SCK4_1 (SCL4_1)		67	45	E10	-	-
	SCK4_2 (SCL4_2)		84	62	A7	-	-
	RTS4_0	多功能串口 ch.4 的 RTS 输出引脚	90	68	C6	70	-
	RTS4_1		69	47	E9	-	-
	RTS4_2		86	64	C7	-	-
	CTS4_0	多功能串口 ch.4 的 CTS 输入引脚	91	69	A5	71	-
	CTS4_1		68	46	F8	-	-
	CTS4_2		85	63	B7	-	-
多功能 串口 5	SIN5_0	多功能串口 ch.5 输入引脚	96	74	C4	76	60
	SIN5_2		15	93	F3	-	-
	SOT5_0 (SDA5_0)	多功能串口 ch.5 的输出引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可 用作 SOT5; 用作 I ² C 引脚(工作模式 4) 时, 可用作 SDA5。	95	73	B4	75	59
	SOT5_2 (SDA5_2)		16	94	G1	-	-
	SCK5_0 (SCL5_0)	多功能串口 ch.5 时钟 I/O 引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可 用作 SCK5; 用作 I ² C 引脚(工作模式 4) 时, 可用作 SCL5。	94	72	C5	74	58
	SCK5_2 (SCL5_2)		17	95	G2	-	-

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多功能 串口 6	SIN6_0	多功能串口 ch.6 输入引脚	5	83	D1	5	-
	SIN6_1		12	90	E4	12	8
	SOT6_0 (SDA6_0)	多功能串口 ch.6 输出引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SOT6; 用作 I ² C 引脚(工作模 式 4)时, 可用作 SDA6。	6	84	D2	6	-
	SOT6_1 (SDA6_1)		11	89	E3	11	7
	SCK6_0 (SCL6_0)	多功能串口 ch.6 时钟 I/O 引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK6; 用作 I ² C 引脚(工作模 式 4)时, 可用作 SCL6。	7	85	D3	7	-
	SCK6_1 (SCL6_1)		10	88	E2	10	6
多功能 串口 7	SIN7_1	多功能串口 ch.7 输入引脚	45	23	K8	35	27
	SOT7_1 (SDA7_1)	多功能串口 ch.7 输出引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SOT7; 用作 I ² C 引脚(工作模 式 4)时, 可用作 SDA7。	44	22	J7	34	26
	SCK7_1 (SCL7_1)	多功能串口 ch.7 时钟 I/O 引脚用作 UART/CSIO 引脚(工作模式 0~2)时, 可用作 SCK7; 用作 I ² C 引脚(工作模 式 4)时, 可用作 SCL7。	43	21	H6	33	25

模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多功能定时器 0	DTTI0X_0	控制多功能定时器 0 的 RTO00 ~ RTO05 输出的波形发生器的输入信号	18	96	F4	13	9
	DTTI0X_1		69	47	E9	-	-
	FRCK0_0	16 位自由运行定时器 ch.0 外部时钟 输入引脚	13	91	F1	-	-
	FRCK0_1		70	48	D11	-	-
	FRCK0_2		53	31	J10	43	35
	IC00_0	1 多功能定时器 0 的 16 位输入捕捉输入引脚。Icxx 代表通道数。	17	95	G2	-	-
	IC00_1		65	43	F9	55	-
	IC00_2		54	32	J8	44	36
	IC01_0		16	94	G1	-	-
	IC01_1		66	44	E11	56	-
	IC01_2		55	33	H10	45	37
	IC02_0		15	93	F3	-	-
	IC02_1		67	45	E10	-	-
	IC02_2		56	34	H9	46	38
	IC03_0		14	92	F2	-	-
	IC03_1		68	46	F8	-	-
	IC03_2		57	35	H7	47	39
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG00 功能。	19	97	G3	14	10
	RTO00_1 (PPG00_1)		71	49	D10	-	-
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG00 功能。	20	98	H1	15	11
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG02 功能。	21	99	H2	16	12
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG02 功能。	22	100	G4	17	13
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG04 功能。	23	1	H3	18	14
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出。PPG0 输出模式下使用时，可用作 PPG04 功能。	24	2	J2	19	15

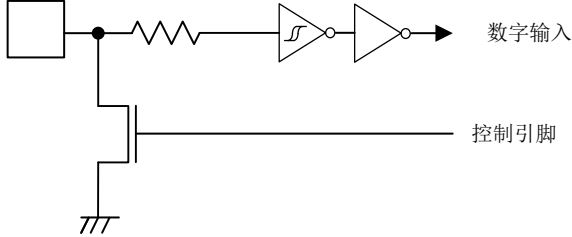
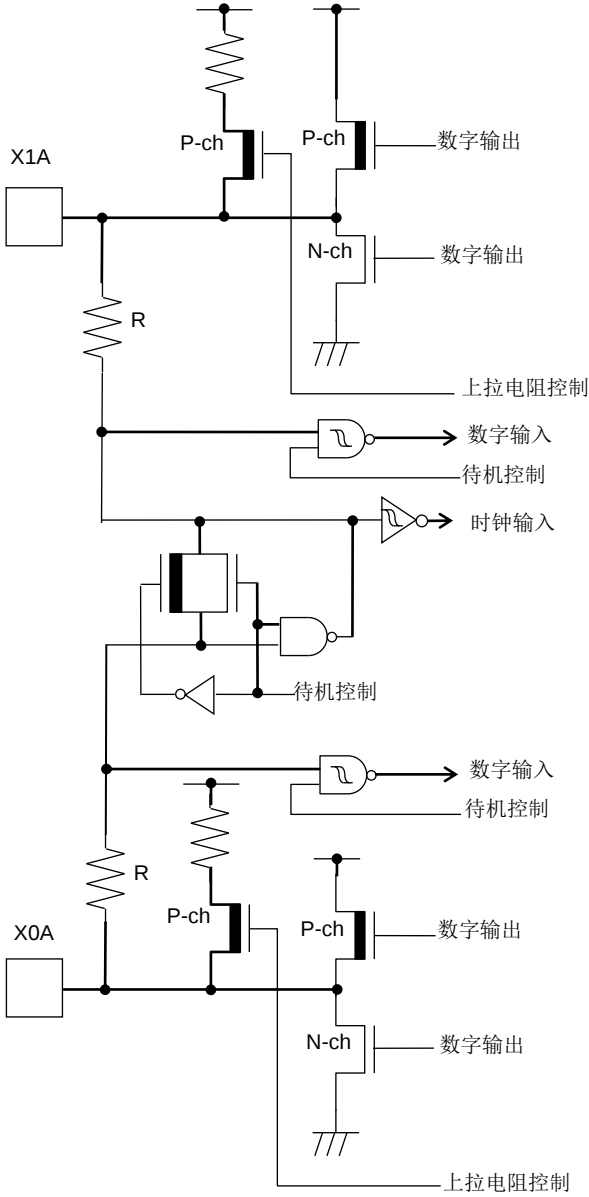
模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
多功能定时器 1	DTT1X_0	控制多功能定时器 1 的 RTO10 ~ RTO15 输出的波形发生器的输入信号	8	86	D5	8	-
	DTT1X_1		39	17	K6	29	-
	FRCK1_0	16 位自由运行定时器 ch.1 外部 时 钟输入引脚	87	65	D7	67	-
	FRCK1_1		44	22	J7	34	-
	IC10_0	多功能定时器 1 的 16 位输入捕捉 输入 引脚。 ICxx 是指通道号。	88	66	A6	68	-
	IC10_1		40	18	J6	30	-
	IC11_0		89	67	B6	69	-
	IC11_1		41	19	L7	31	-
	IC12_0		90	68	C6	70	-
	IC12_1		42	20	K7	32	-
	IC13_0		91	69	A5	71	-
	IC13_1		43	21	H6	33	-
	RTO10_0 (PPG10_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG10 功能。	2	80	C1	2	-
	RTO10_1 (PPG10_1)		27	5	J4	-	-
	RTO11_0 (PPG10_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG10 功能。	3	81	C2	3	-
	RTO11_1 (PPG10_1)		28	6	L5	-	-
	RTO12_0 (PPG12_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG12 功能。	4	82	B3	4	-
	RTO12_1 (PPG12_1)		29	7	K5	-	-
	RTO13_0 (PPG12_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG12 功能。	5	83	D1	5	-
	RTO13_1 (PPG12_1)		30	8	J5	-	-
	RTO14_0 (PPG14_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG14 功能。	6	84	D2	6	-
	RTO14_1 (PPG14_1)		31	9	H5	21	-
	RTO15_0 (PPG14_0)	多功能定时器 1 的波形发生器输 出 PPG1 输出模式下使用时，可 用作 PPG14 功能。	7	85	D3	7	-
	RTO15_1 (PPG14_1)		32	10	L6	22	-

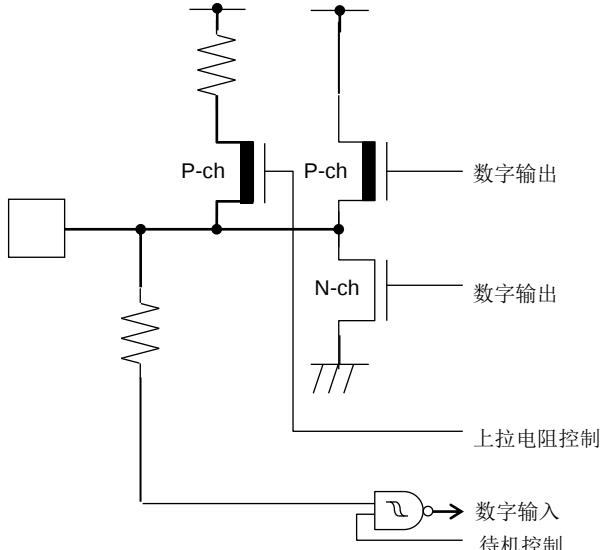
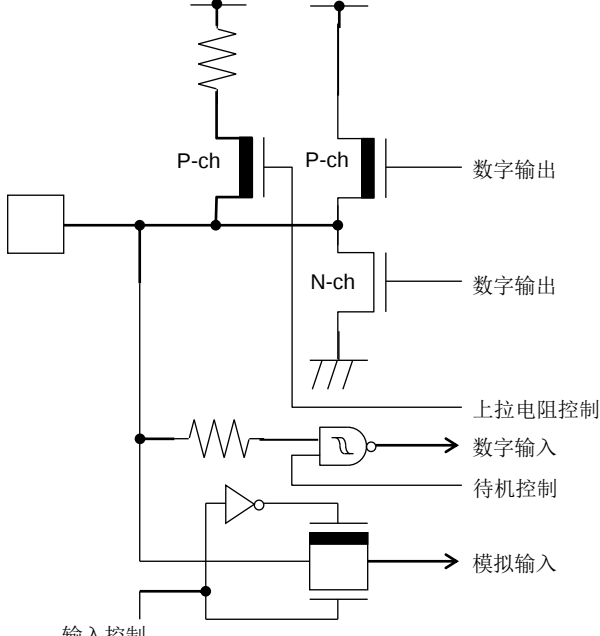
模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
Quad 计数器 0	AIN0_0	QPRC ch.0 的 AIN 输入引脚	9	87	E1	9	5
	AIN0_1		40	18	J6	30	22
	AIN0_2		2	80	C1	2	2
	BIN0_0	QPRC ch.0 的 BIN 输入引脚	10	88	E2	10	6
	BIN0_1		41	19	L7	31	23
	BIN0_2		3	81	C2	3	3
	ZIN0_0	QPRC ch.0 的 ZIN 输入引脚	11	89	E3	11	7
	ZIN0_1		42	20	K7	32	24
	ZIN0_2		4	82	B3	4	4
Quad 计数器 1	AIN1_1	QPRC ch.1 的 AIN 输入引脚	74	52	C10	60	-
	AIN1_2		43	21	H6	33	25
	BIN1_1	QPRC ch.1 的 BIN 输入引脚	73	51	C11	59	-
	BIN1_2		44	22	J7	34	26
	ZIN1_1	QPRC ch.1 的 ZIN 输入引脚	72	50	E8	58	-
	ZIN1_2		45	23	K8	35	27

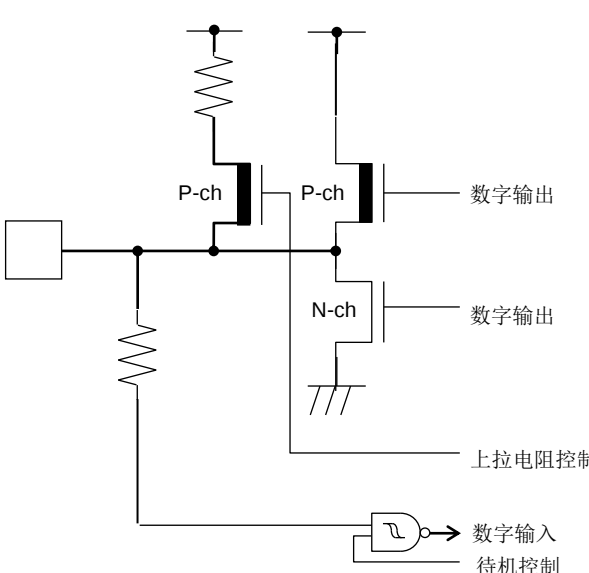
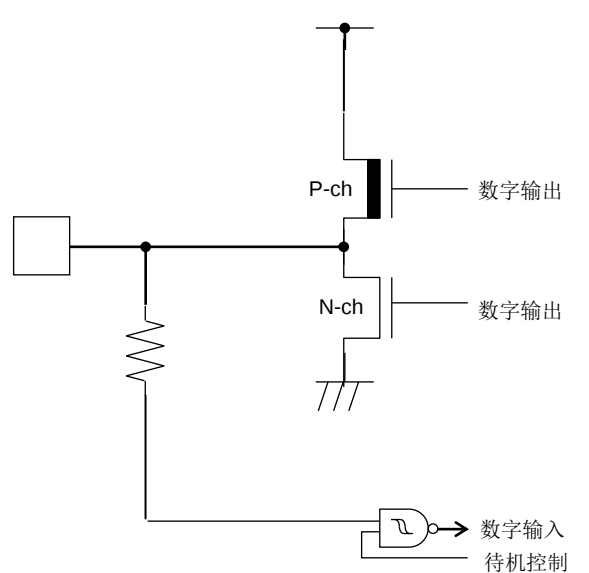
模块	引脚名称	功能	引脚号				
			LQFP-100	QFP-100	BGA-112	LQFP-80	LQFP-64 QFN-64
RESET	INITX	外部复位输入。 INITX=L 时, 复位有效。	38	16	K4	28	21
MODE	MD0	模式 0 引脚 正常工作时, 须输入 MD0=L。对闪存进行串行编程时, 须输入 MD0=H。	47	25	L8	37	29
	MD1	模式 1 引脚 闪存串行写入时候, 须输入 MD1=L。	46	24	K9	36	28
POWER	VCC	电源引脚	1	79	B1	1	1
	VCC	电源引脚	26	4	J1	-	-
	VCC	电源引脚	35	13	K1	25	18
	VCC	电源引脚	51	29	K11	41	33
	VCC	电源引脚	76	54	A10	-	-
	VCC	电源引脚	97	75	A4	77	61
GND	VSS	GND 引脚	-	-	B2	-	-
	VSS	GND 引脚	25	3	L1	20	16
	VSS	GND 引脚	-	-	K2	-	-
	VSS	GND 引脚	-	-	J3	-	-
	VSS	GND 引脚	-	-	H4	-	-
	VSS	GND 引脚	34	12	L4	24	-
	VSS	GND 引脚	50	28	L11	40	32
	VSS	GND 引脚	-	-	K10	-	-
	VSS	GND 引脚	-	-	J9	-	-
	VSS	GND 引脚	-	-	H8	-	-
	VSS	GND 引脚	-	-	B10	-	-
	VSS	GND 引脚	-	-	C9	-	-
	VSS	GND 引脚	75	53	A11	-	-
	VSS	GND 引脚	-	-	D8	-	-
	VSS	GND 引脚	-	-	D4	-	-
	VSS	GND 引脚	-	-	C3	-	-
	VSS	GND 引脚	100	78	A1	80	64
CLOCK	X0	主时钟(振荡)输入引脚	48	26	L9	38	30
	X0A	副时钟(振荡)输入引脚	36	14	L3	26	19
	X1	主时钟(振荡)I/O 引脚	49	27	L10	39	31
	X1A	副时钟(振荡)I/O 引脚	37	15	K3	27	20
	CROUT_0	高速内部 CR 振荡时钟输出口	74	52	C10	60	-
	CROUT_1		92	70	B5	72	57
ADC POWER	AVCC	A/D 转换器的模拟电源引脚	60	38	H11	50	41
	AVRH	A/D 转换器的模拟基准电压输入引脚	61	39	F11	51	42
ADC GND	AVSS	A/D 转换器的 GND 引脚	62	40	G11	52	43
C 引脚	C	电源稳定电容引脚	33	11	L2	23	17

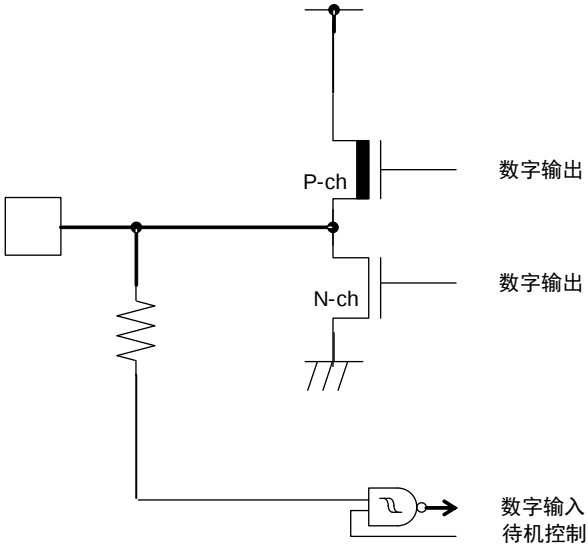
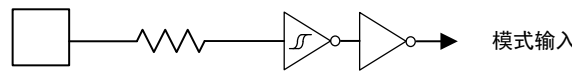
注意事项: 当这个设备包含基于 IEEE 1149.1-2001 JTAG 标准的 TAP 测试口时, 它并没有完全符合 IEEE 1149.1-2001 标准。这个设备可能包含一个 32 位的设备 ID, 这个设备 ID 类似于其他不同功能设备的设备 ID。TAP 口也可以配置成功能。

类型	电路	备注
A		可切换主振荡/GPIO 选择主振荡功能时 振荡反馈电阻:约 1MΩ 带待机模式控制 选择 GPIO 功能时 CMOS 电平输出 CMOS 电平迟滞输入 带上拉电阻控制 带待机模式控制 上拉电阻:约 50kΩ $I_{OH}=-4mA, I_{OL}=4mA$
B		CMOS 电平迟滞输入 上拉电阻 :约 50kΩ

类型	电路	备注
C		开漏输出 CMOS 电平迟滞输入
D		可切换副振荡/GPIO 选择副振荡功能时 振荡反馈电阻 :约 5MΩ 带待机模式控制 选择 GPIO 功能时 CMOS 电平输出 CMOS 电平迟滞输入 带上拉电阻控制 带待机模式控制 上拉电阻 :约 50kΩ $I_{OH}=-4mA, I_{OL}=4mA$

类型	电路	备注
E		CMOS 电平输出 CMOS 电平迟滞输入 带上拉电阻控制 带待机模式控制 上拉电阻 :约 50kΩ $I_{OH}=-4mA, I_{OL}=4mA$ 当该引脚被用作 I ² C 引脚时, 数字输出。 P 沟道晶体管处于常闭状态 +B 输入可用
F		CMOS 电平输出 CMOS 电平迟滞输入 带输入控制 模拟输入 带上拉电阻控制 带待机模式控制 上拉电阻:约 50kΩ $I_{OH}=-4mA, I_{OL}=4mA$ +B 输入可用

类型	电路	备注
G		CMOS 电平输出 CMOS 电平迟滞输入 带上拉电阻控制 带待机模式控制 上拉电阻:约 50kΩ $I_{OH}=-12mA, I_{OL}=12mA$ +B 输入可用
H		CMOS 电平输出 CMOS 电平迟滞输入 带待机模式控制 $I_{OH}=-20.5mA, I_{OL}=18.5mA$

类型	电路	备注
I		CMOS 电平输出 CMOS 电平迟滞输入 5V 耐压 • 带待机模式控制 $I_{OH} = -4mA, I_{OL} = 4mA$ 当该引脚被用作 I ² C 引脚时，数字输出。 P 沟道晶体管处于常闭状态
J		CMOS 电平迟滞输入

6. 器件处理注意事项

半导体器件存在一定的故障发生概率。半导体器件的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用 Cypress 半导体器件时遵守下列注意事项，可以降低故障概率并能提高产品性能。

6.1 产品设计注意事项

本部分介绍使用半导体器件进行电子产品设计时的注意事项。

遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体器件。因此，注意不可超过这些额定值。

遵守推荐工作条件

遵守推荐工作条件可以保证半导体器件正常动作。请保证电气特性的额定值符合这些条件范围。

遵守推荐工作条件可以保证半导体器件正常动作。请保证电气特性的额定值符合这些条件范围。请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响器件的可靠性并导致器件故障。

富士通半导体不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时，请事先与销售部门联系。

引脚的处理与保护

处理连接半导体器件上的电源引脚及 I/O 引脚时，须注意以下事项。

1. 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤器件内部，在极端情况下甚至会永久损坏器件。设计产品时，请防止产生过电压、过电流。

2. 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤器件，因此不要进行此类连接。

3. 未用输入引脚的保护

在悬空状态下使用高阻抗电平的输入引脚时，可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

闩锁

半导体器件根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时，内部寄生 PNP 接合点(晶闸管构造)导通后，增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

注意： 这一现象会降低器件的可靠性，还有引起发热、冒烟和起火的危险。为避免以上现象发生，应该注意以下几点。

1. 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。
2. 考虑上电的先后顺序，不要流入异常电流。

遵守安全法规和标准

世界各国提供了诸如安全和电磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

故障及安全设计

半导体器件存在一定的故障发生概率。请用户对器件和设备采取冗余设计、防火设计、防止过电流设计、防误动作等安全设计措施，保证即使在设备发生故障的情况下，也不会造成人身伤害、火灾和社会损失。

器件使用注意事项

本手册介绍的产品旨在为一般用途而设计、开发和制造，包括一般的工业使用、通常办公使用、个人使用和家庭使用；

而非用于以下领域的设计、开发和制造: (1) 使用中伴随着致命风险或危险，若不加以特别高度安全保障，有可能导致对公众产生危害，甚至直接造成死亡、人身伤害、严重物质损失或其他损失(即核设施的核反应控制、航空飞行控制、空中交通管制、公共交通控制、大众交通运行控制系统、医用维系生命系统、核武器系统的导弹发射控制)，(2) 需要极高可靠性的应用领域(比如海底中转器和人造卫星)。属于在上述领域内使用该产品而引起的用户和/或第三方的任何索赔或损失，本公司不承担任何责任。

6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合本公司推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接:铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合本公司推荐的工作条件。

使用插座封装方法:插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时 的插座接点的表面处理和 IC 铅表面处理的状态。

表贴型

与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)，请采用合适的封装技术。

本公司推荐焊接方法的产品封装条件实施等级分类。用户请按照本公司推荐的等级分类进行封装。

无铅封装

使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

半导体器件的保管

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点。

1. 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。请在温度变化低的场所保管产品。
2. 推荐使用干燥箱保管产品。保管时相对湿度 70%RH 以下，温度 5°C ~ 30°C。干燥的封装开封时，推荐湿度为 40%~70%RH。
3. 富士通的半导体器件使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体器件放入铝质网袋密封保管。
4. 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时,请在 Cypress 推荐的条件下进行。

条件:125°C/24 小时

静电

静电容易破坏半导体器件,请注意以下几点。

1. 工作环境的相对湿度: 40% ~ 70% RH。必要时考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
3. 为防止人体静电,可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态,着导电性好的衣服鞋子,床上铺设导电垫,这些措施可使带电电荷保持在最小限度。
4. 请将夹具及计量类仪表仪器接地或者进行防静电处理。
5. 基板组装完毕进行收纳时,避免使用发泡胶等容易带电的材料。

6.3 使用环境的注意事项

半导体器件的可靠性依赖于前述的周围温度及环境条件。使用时请注意以下几点:

1. 湿度环境

长期在高湿度环境下使用可引起器件以及 PCB 板的漏电等问题。如果预料到器件会放置到高湿度环境,请考虑进行防潮处理。

2. 静电放电

半导体器件靠近高压带电物体时,可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。

3. 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用器件,引起的化学反应可能对器件产生不良影响。在这样的环境下使用时,请采取预防措施。

4. 放射线及宇宙射线

一般器件设计时并不可暴露于有放射线和宇宙射线的环境。因此,若要在这样的环境下使用,请做好防护。

5. 冒烟及起火

模质树脂型的器件具有可燃性,因此注意不可以靠近易燃物。器件冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时,请咨询 Cypress 销售部门。

7. 器件使用注意事项

电源引脚

若产品有多个 VCC, VSS 引脚, 为防止器件设计时因闩锁等产生误动作, 可把器件内同一电位上的引脚相互连接; 为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。另外, 在电源和本器件的 VCC, VSS 引脚间考虑连接尽可能低的电阻。

此外, 推荐在本器件附近的 VCC 和 VSS 引脚间连接一个约 0.1 μ F 的陶瓷旁路电容。

稳定电源电压

如果电源电压迅速波动, 即便波动在推荐的 VCC 电源电压工作条件范围内, 也可能出现功能异常。通常, 采用稳压电源抑制电压波动的条件下, 工业用电频率 (50Hz/60Hz) 下的 VCC 纹波 (峰峰值) 波动不会超过推荐工作条件下 VCC 值的 10%, 此外在开关电源时如果产生瞬时波动, 瞬态波动率将不超过 0.1V/ μ s。

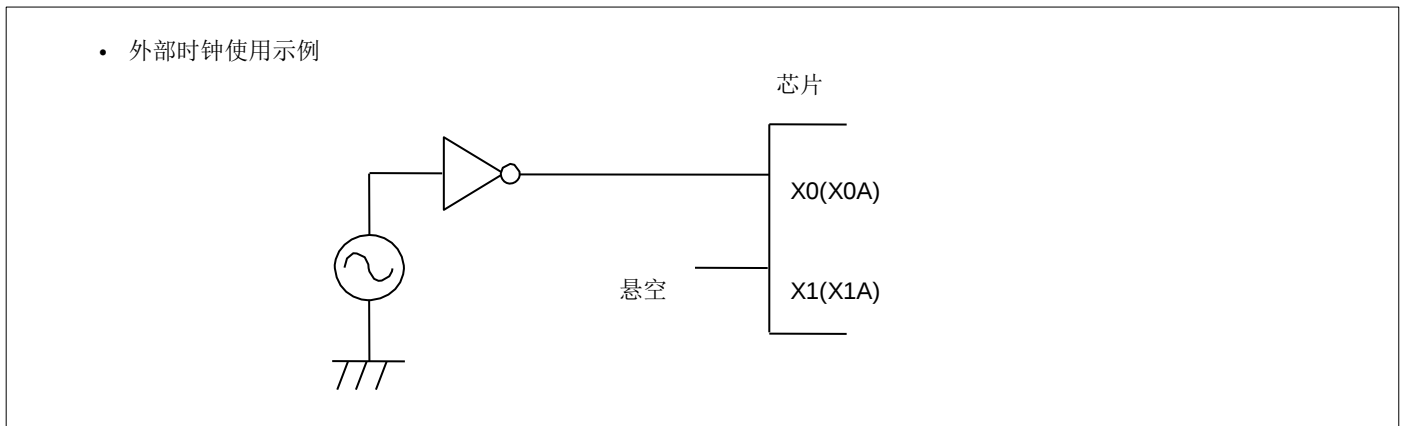
晶振电路

X0/X1, X0A/X1A 引脚附近的噪声可导致器件出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振及至地线的旁路电容的距离要尽可能的近。

强烈建议设计时地线应环绕 X0/X1, X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。这样印刷电路板才能够稳定工作。

外部时钟使用注意事项

使用外部时钟时, 时钟信号仅输入到 X0, X0A 引脚, X1, X1A 引脚悬空。



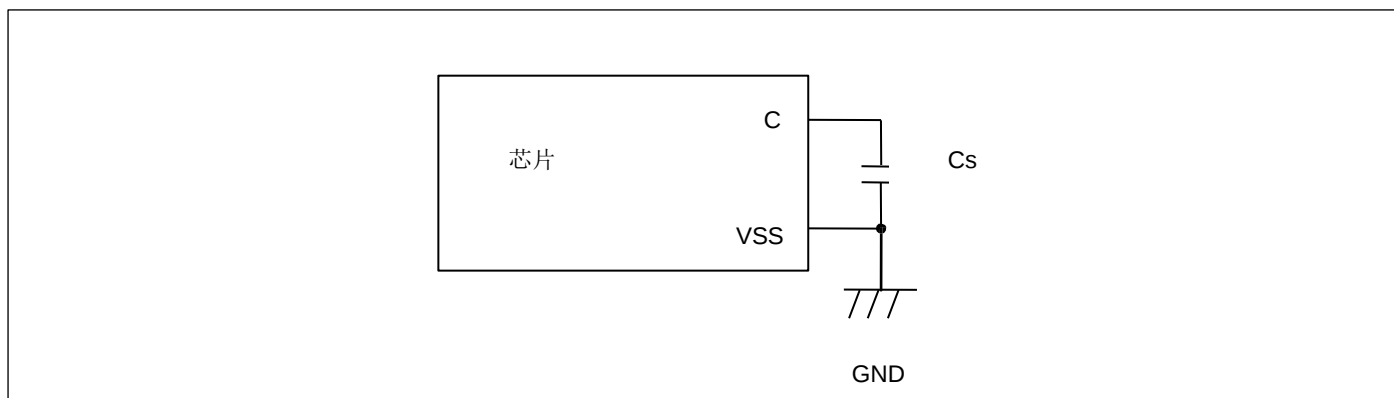
多功能串行引脚用作 I²C 引脚时的注意事项

如果多功能串行引脚用作 I²C 引脚, 数字输出 P-ch 晶体管始终处于禁止状态。但是, I²C 引脚需要如其它引脚一样保持电气特性, 断电后无需与外部 I²C 总线系统连接。

C 引脚

该系列内置调节器。确保在 C 引脚和 GND 引脚之间连接一个用于调节器的平滑电容器（CS）。请使用陶瓷电容器或具有同等频率特性的电容器作为平滑电容器。但是部分叠层陶瓷电容器具有容量随着热波动而发生变化的特性（F 特性和 Y5V 特性）。请评估电容器的温度特性，选择满足工作条件规格的电容器以供使用。

本系列内置调节器，C 引脚始终连接 4.7μF 左右的旁路电容供调节器使用。



模式引脚(MD0)

模式引脚(MD0)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止器件因噪声而意外进入测试模式，设计电路板上拉或下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离，最好用低阻抗连结。

上电注意事项

同时开关电源或按照以下顺序开关电源。

不使用 A/D 转换器时，请按照以下连接 AVCC=VCC,AVSS=VSS。

上电时:VCC→AVCC→AVRH

断电时:AVRH→AVCC→VCC

串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。因此，请设计能降噪的电路板。

考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

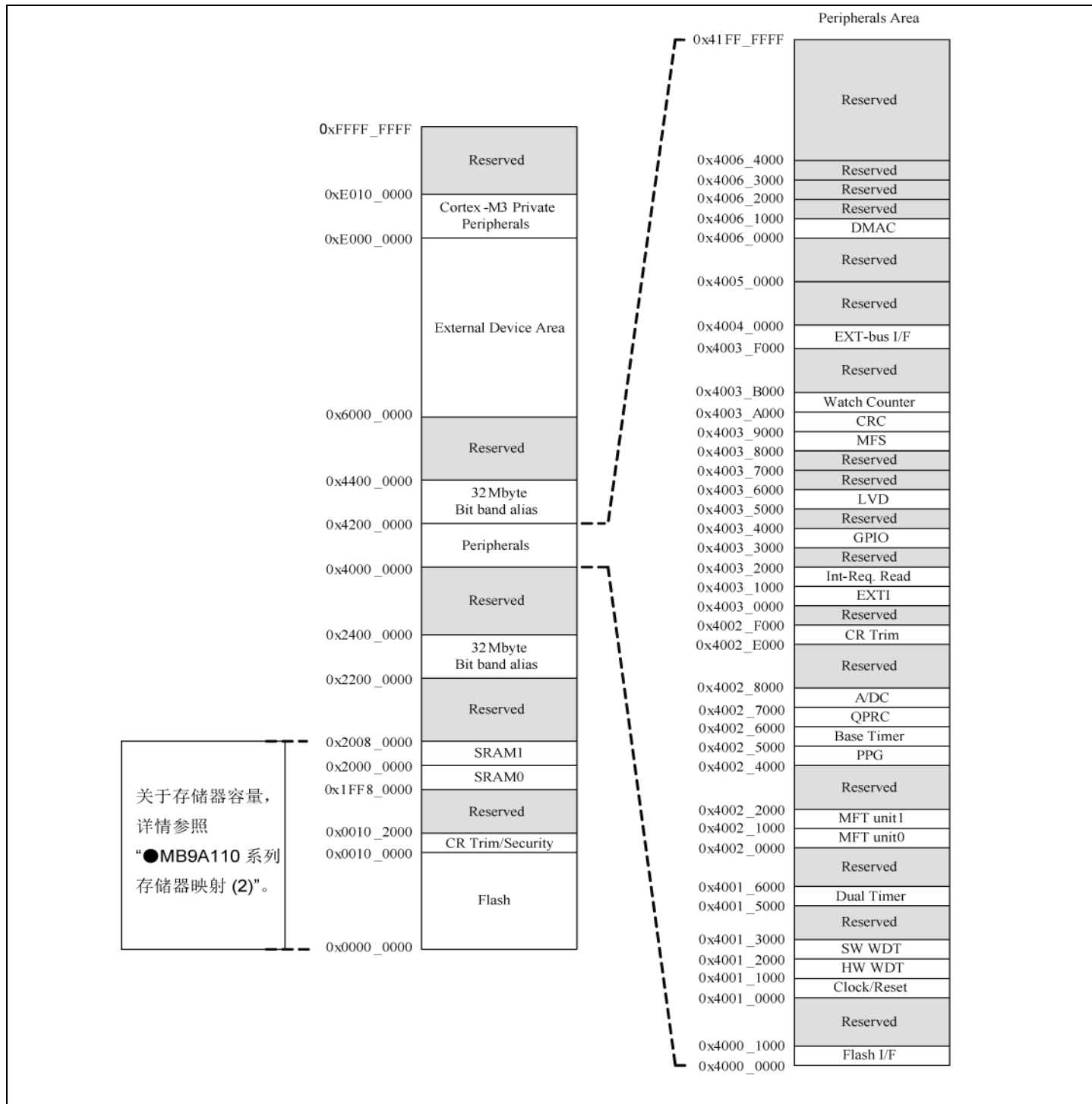
用户要使用同一系列的其它产品时，须评估其电气特性。

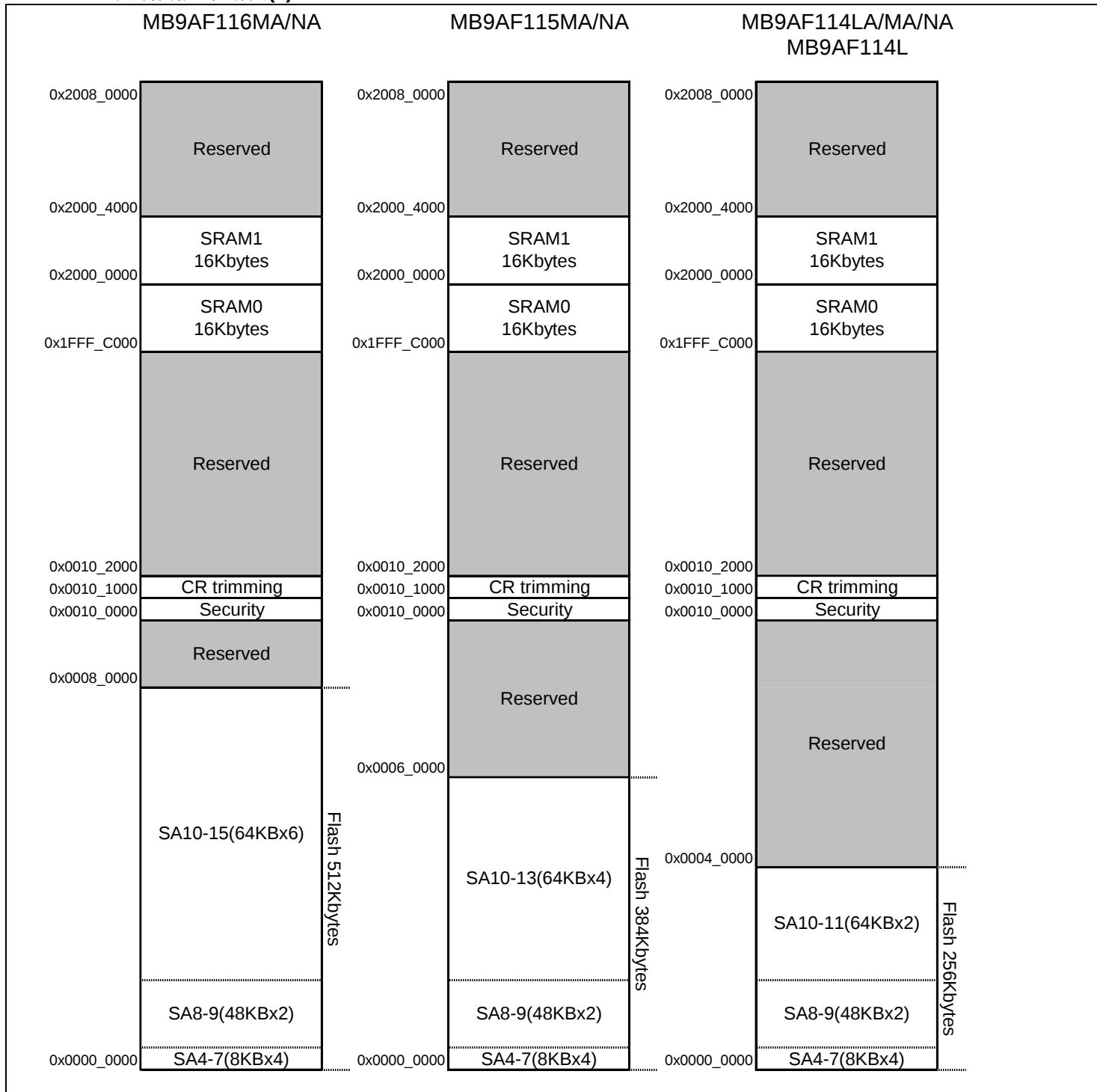
9. 存储器容量

请参阅“1.产品系列”中的“存储器容量”章节，以确认存储器容量。

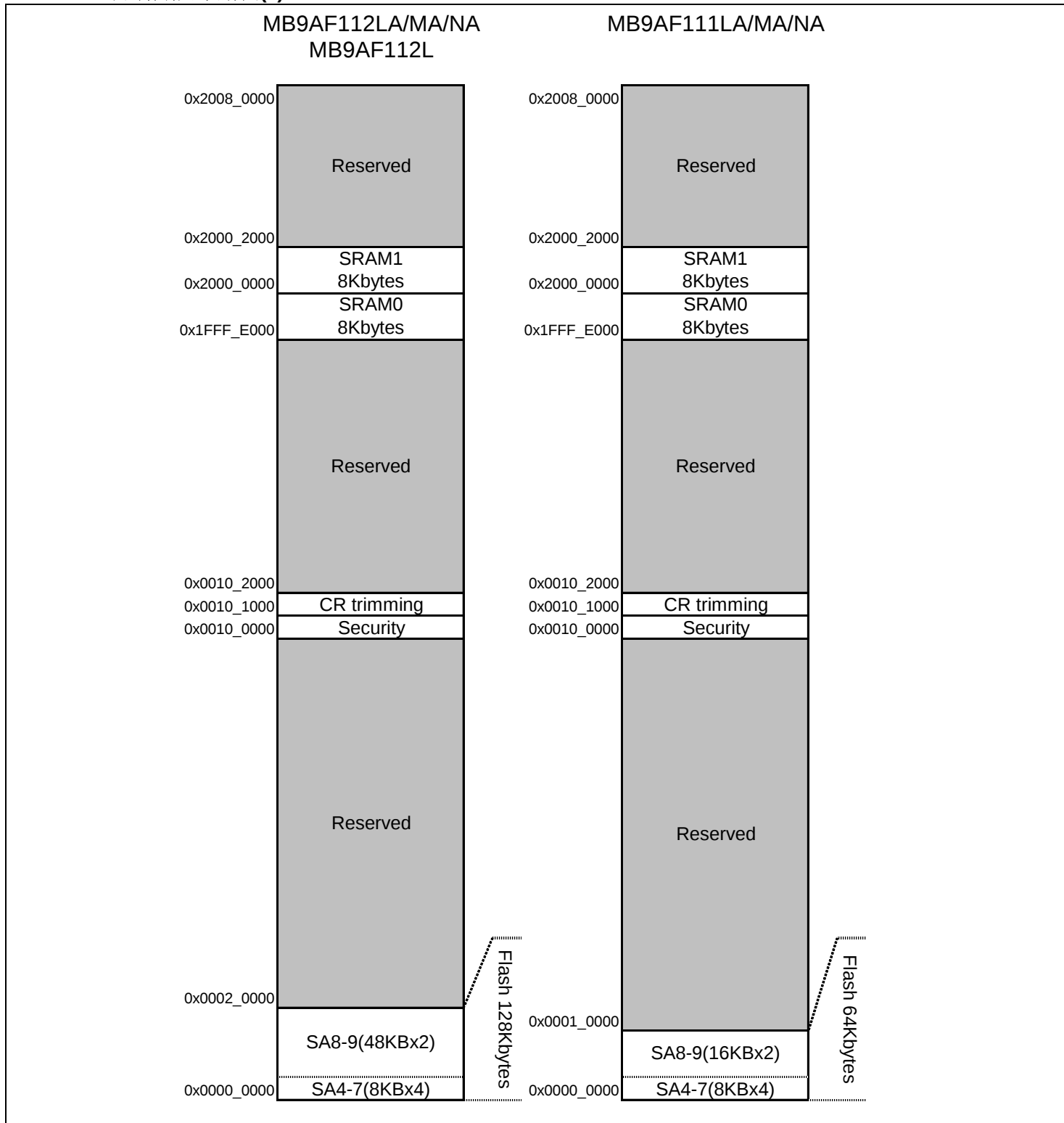
10. 存储器映射图

CY9A110 系列存储器映射图(1)



CY9A110 系列存储器映射图(2)


*: 请参阅“CY9A310A/110A 系列闪存编程手册”了解闪存的扇区结构。

CY9A110 系列存储器映射图(3)


*: 请参阅“CY9A310A/110A 系列闪存编程手册”了解闪存的扇区结构。

外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000 _H	0x4000_0FFF _H	AHB	Flash I/F 寄存器
0x4000_1000 _H	0x4000_FFFF _H		保留
0x4001_0000 _H	0x4001_0FFF _H	APB0	时钟/复位控制
0x4001_1000 _H	0x4001_1FFF _H		硬件监视定时器
0x4001_2000 _H	0x4001_2FFF _H		软件监视定时器
0x4001_3000 _H	0x4001_4FFF _H		保留
0x4001_5000 _H	0x4001_5FFF _H		双定时器
0x4001_6000 _H	0x4001_FFFF _H		保留
0x4002_0000 _H	0x4002_0FFF _H	APB1	多功能定时器 unit0
0x4002_1000 _H	0x4002_1FFF _H		多功能定时器 unit1
0x4002_2000 _H	0x4002_3FFF _H		保留
0x4002_4000 _H	0x4002_4FFF _H		PPG
0x4002_5000 _H	0x4002_5FFF _H		基本定时器
0x4002_6000 _H	0x4002_6FFF _H		Quad 计数器(QPRC)
0x4002_7000 _H	0x4002_7FFF _H		A/D 转换器
0x4002_8000 _H	0x4002_DFFF _H		保留
0x4002_E000 _H	0x4002_EFFF _H		内部 CR 调节
0x4002_F000 _H	0x4002_FFFF _H		保留
0x4003_0000 _H	0x4003_0FFF _H	APB2	外部中断
0x4003_1000 _H	0x4003_1FFF _H		中断源检查寄存器
0x4003_2000 _H	0x4003_2FFF _H		保留
0x4003_3000 _H	0x4003_3FFF _H		GPIO
0x4003_4000 _H	0x4003_4FFF _H		保留
0x4003_5000 _H	0x4003_5FFF _H		低压检测
0x4003_6000 _H	0x4003_6FFF _H		保留
0x4003_7000 _H	0x4003_7FFF _H		保留
0x4003_8000 _H	0x4003_8FFF _H		多功能串口
0x4003_9000 _H	0x4003_9FFF _H		CRC
0x4003_A000 _H	0x4003_AFFF _H		计时计数器
0x4003_B000 _H	0x4003_EFFF _H		保留
0x4003_F000 _H	0x4003_FFFF _H		外部总线 I/F
0x4004_0000 _H	0x4004_FFFF _H	AHB	保留
0x4005_0000 _H	0x4005_FFFF _H		保留
0x4006_0000 _H	0x4006_0FFF _H		DMAC 寄存器
0x4006_1000 _H	0x4006_1FFF _H		保留
0x4006_2000 _H	0x4006_2FFF _H		保留
0x4006_3000 _H	0x4006_3FFF _H		保留
0x4006_4000 _H	0x41FF_FFFF _H		保留

11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

- **INITX=0**
INITX 引脚为"L"电平期间。
- **INITX=1**
INITX 引脚为"H"电平期间。
- **SPL=0**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"0"的状态。
- **SPL=1**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"1"的状态。
- **输入使能**
输入功能可使用的状态。
- **内部输入固定在"0"**
输入功能不可使用的状态。内部输入固定在"L"。
- **Hi-Z**
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。
- **设定禁止**
不可设定。
- **保持即前状态**
保持转换到本模式前的状态。
如果内置的外设功能正在运行，则遵从该外设功能。
用作端口时，保持该状态。
- **模拟输入使能**
允许模拟输入。
- **跟踪输出**
跟踪功能可使用的状态。

引脚状态一览表

引脚 状态 类型	功能组名称	上电复位或 低压检测状态	INITX 输入状态	芯片内部 复位状态	运行模式或 休眠模式状态	定时器模式或 停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固 定在"0"
	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固 定在"0"
	主晶振输出引脚	Hi-Z/ 内部输入固定 在"0" 或输入使能	Hi-Z/ 内部输入固 定在"0"	Hi-Z/ 内部输入固 定在"0"	保持即前 状态	保持即前状 态/振荡停止时*1 Hi-Z/内部输入固 定在"0"	保持即前状 态/振荡停止时 *1 Hi-Z/内部输 入固定在"0"
C	INITX 输入引脚	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能
D	模式 输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	选择 JTAG	Hi-Z	上拉/ 输入使能	上拉/ 输入使能	保持即前 状态	保持即前 状态	保持即前 状态
	选择 GPIO	设定禁止	设定禁止	设定禁止			输出 Hi-Z/ 内部输入固 定在"0"
F	选择追踪功能	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	追踪输出
	选择外部 中断使能						保持即前 状态
	选择 GPIO 功能或 选择其它资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固 定在"0"

引脚 状态 类型	功能组名称	上电复位或 低压检测状态	INITX 输入状态	芯片内部 复位状态	运行模式或 休眠模式状态	定时器模式或 停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
G	选择追踪	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	追踪输出
	选择 GPIO 或 选择其它资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定 在"0"
H	选择外部 中断使能	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	保持即前 状态
	选择 GPIO 或 选择其它资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定 在"0"
I	选择 GPIO 或 选择资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固定 在"0"
J	选择 NMIX	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	直前状态 保持
	选择 GPIO 或 选择其它资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定 在"0"
K	选择模拟输入	Hi-Z	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固 定在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固 定在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能
	选择 GPIO 或 选择其它资源	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	Hi-Z/ 内部输入固定 在"0"
L	选择外部 中断使能	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	保持即前状态
	选择模拟输入	Hi-Z	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固 定在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固 定在"0"/ 模拟 输入使能	Hi-Z/ 内部输入固定 在"0"/ 模拟 输入使能
	选择 GPIO 或 选择其它资源	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	Hi-Z/ 内部输入固定 在"0"

引脚 状态 类型	功能组名称	上电复位或 低压检测状态	INITX 输入状态	芯片内部 复位状态	运行模式或 休眠模式状态	定时器模式或 停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
M	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固定 在"0"
	副晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
N	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固定 在"0"
	副晶振输出引脚	Hi-Z/ 内部输入 "0"固定或 输入使能	Hi-Z/ 内部输入固定 在"0"	Hi-Z/ 内部输入固定 在"0"	保持即前 状态	保持即前 状态/振荡停止时 *2 Hi-Z/内部输入固 定在"0"	保持即前 状态/振荡停止 时*2 Hi-Z/内部输入 固定在"0"
O	GPIO 引脚	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前 状态	保持即前 状态	输出 Hi-Z/ 内部输入固定 在"0"
P	模式 输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前 状态	保持即前 状态	输出 Hi-Z/ 输入使能

*1: 副定时器模式、副 CR 定时器模式和停止模式下振荡停止。

*2: 停止模式下振荡停止。

12. 电气特性

12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压*1, *2	V _{CC}	V _{SS} -0.5	V _{SS} +6.5	V	
模拟电源电压*1, *3	AV _{CC}	V _{SS} -0.5	V _{SS} +6.5	V	
模拟基准电压*1, *3	AV _{RH}	V _{SS} -0.5	V _{SS} +6.5	V	
输入电压*1	V _I	V _{SS} -0.5	V _{CC} +0.5 (≤6.5V)	V	
		V _{SS} -0.5	V _{SS} +6.5	V	耐 5V
模拟引脚输入电压*1	V _{IA}	V _{SS} -0.5	AV _{CC} +0.5 (≤6.5V)	V	
输出电压*1	V _O	V _{SS} -0.5	V _{CC} +0.5 (≤6.5V)	V	
最大的钳位电流	I _{CLAMP}	-2	+2	mA	*7
总的最大钳位电流	Σ[I _{CLAMP}]		+20	mA	*7
"L"电平最大输出电流*4	I _{OL}	-	10	mA	4mA 类型
			20	mA	12mA 类型
			39	mA	P80, P81
"L"电平平均输出电流*5	I _{OLAV}	-	4	mA	4mA 类型
			12	mA	12mA 类型
			18.5	mA	P80, P81
"L"电平最大总输出电流	ΣI _{OL}	-	100	mA	
"L"电平平均总输出电流*6	ΣI _{OLAV}	-	50	mA	
"H"电平最大输出电流*4	I _{OH}	-	-10	mA	4mA 类型
			-20	mA	12mA 类型
			-39	mA	P80, P81
"H"电平平均输出电流*5	I _{OHAV}	-	-4	mA	4mA 类型
			-12	mA	12mA 类型
			-20.5	mA	P80, P81
"H"电平最大总输出电流	ΣI _{OH}	-	-100	mA	
"H"电平平均总输出电流*6	ΣI _{OHAV}	-	-50	mA	
功耗	P _D	-	300	mW	
保存温度	T _{STG}	- 55	+150	℃	

*1:V_{SS}=AV_{SS}=0.0V 时的值。

*2:V_{CC} 不可低于 V_{SS}-0.5V。

*3:接通电源等情况下, 电压不要超过 V_{CC}+0.5V。

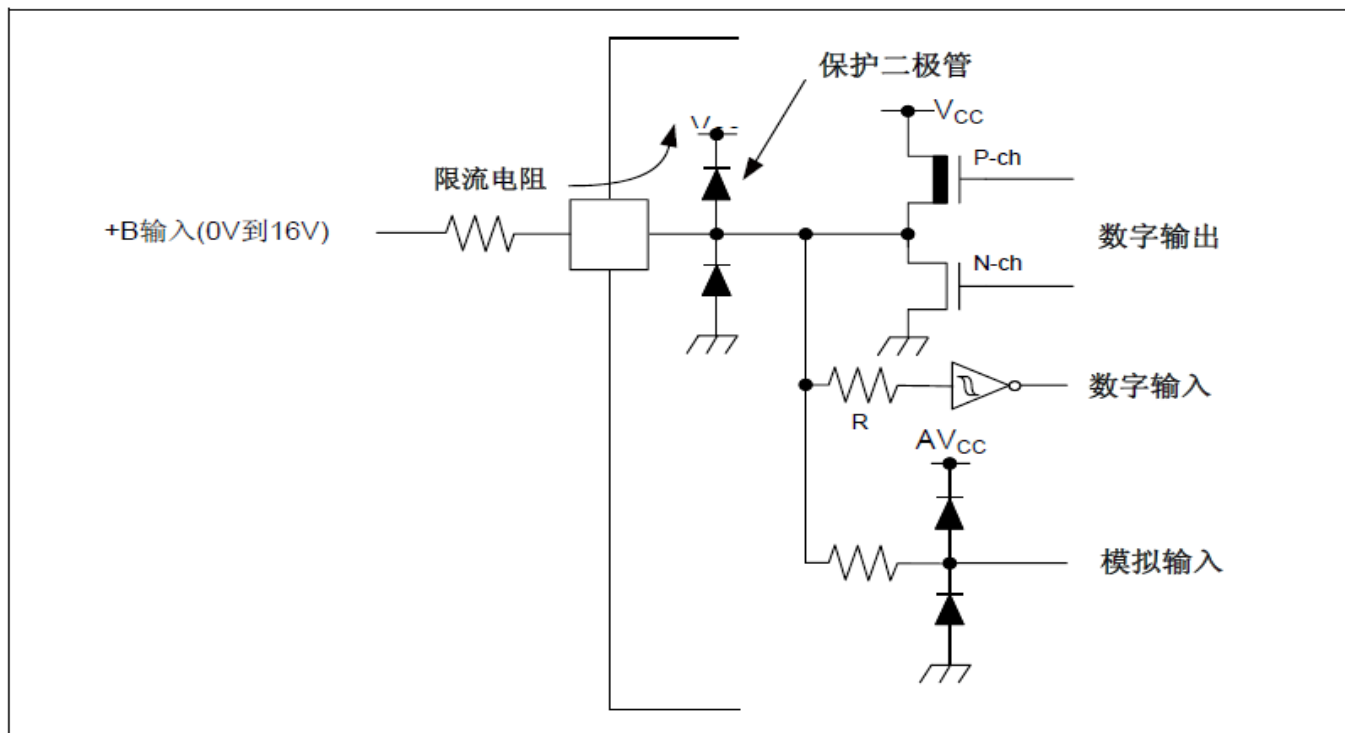
*4:最大输出电流规定单一引脚的峰值。

*5:平均输出电流规定在 100ms 内流经单一引脚的平均电流。

*6:平均总输出电流规定在 100ms 内流过所有引脚的平均电流。

*7:

- 请参阅“4.引脚功能清单”和“5.I/O 电路类型”，了解可用的+B 输入引脚。
- 在推荐的工作条件下使用。
- 在直流电压（电流）下使用+B 输入。
- 应用+B 信号时，应在+B 信号和器件之间施加一个限流电阻。
- 无论是瞬时工作还是持续工作，限流电阻的值应保证：应用+B 信号时器件引脚上的输入电流不超出额定值。
- 注意当器件驱动电流较低时，例如当处于低功耗模式时，+B 输入电位可能通过保护二极管，并提高 VCC 和 AVCC 引脚上的电势，这可能给其他器件造成影响。
- 注意如果在输入+B 信号时器件电源被关闭（不固定在 0V），就会从这些引脚提供电源，这可能导致不完整的操作。
- 下面是推荐的电路示例（I/O 等效电路）。



注意事项:

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值，将会导致该器件永久性损坏，因此任何参数均不得超过其绝对最大额定值。

12.2 推荐工作条件

 (V_{SS}=AV_{SS}=0.0V)

参数		符号	条件	规格值		单位	备注
				最小	最大		
电源电压		V _{CC}	-	2.7	5.5	V	
模拟电源电压		AV _{CC}	-	2.7	5.5	V	AV _{CC} =V _{CC}
模拟基准电压		AV _{RH}	-	AV _{SS}	AV _{CC}	V	
平滑电容器		C _S	-	1	10	μF	用于内置调节器*1
工作温度	LQI100 LQH080 LQD064 LQG064 VNC064 LBC112	T _a	-	-40	+105	°C	
	PQH100	T _a	贴装到 4 层 PCB 时	-40	+105	°C	
			贴装到双面单层 PCB 时	-40	+105	°C	I _{CC} ≤35mA
				-40	+85	°C	I _{CC} >35mA

*1: 请参阅“7. 器件操作”中的“C 引脚”章节，以了解平滑电容器的连接。

*2: 其间如果低于最低供电电压和低电压复位/中断检测电压，只能运行内置的高速 CR（包括使用主 PLL）或内置的低速 CR 的指令执行与低电压检测功能。

<注意事项>

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。

本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

12.3 直流特性

12.3.1 电流规格

($V_{CC}=AV_{CC}=2.7V$ to $5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准 ^{*3}	最大 ^{*4}		
电源电流	I _{CC}	VCC	PLL RUN mode CPU : 40MHz, 外设 : 40MHz, Flash 0Wait FRWTR.RWT = 00 FSYNDN.SD = 000 ^{*5}	32	41	mA	*1
			CPU : 40MHz, 外设 : 40MHz, Flash 3Wait FRWTR.RWT = 00 FSYNDN.SD = 011 ^{*5}	21	28	mA	*1
			High-speed CR RUN mode CPU/ 外设: 4MHz ^{*2} Flash 0Wait FRWTR.RWT = 00 FSYNDN.SD = 000	3.9	7.7	mA	*1
			Sub RUN mode CPU/ 外设: 32kHz Flash 0Wait FRWTR.RWT = 00 FSYNDN.SD = 000 ^{*5}	0.15	3.2	mA	*1
			Low-speed CR RUN mode CPU/ 外设 : 100kHz Flash 0Wait FRWTR.RWT = 00 FSYNDN.SD = 000	0.2	3.3	mA	*1
休眠 模式 电流	I _{CCS}	VCC	PLL SLEEP mode 外设: 40MHz ^{*5}	10	15	mA	*1
			High-speed CR SLEEP mode 外设 : 4MHz ^{*2}	1.2	4.4	mA	*1
			Sub SLEEP mode 外设: 32kHz ^{*5}	0.1	3.1	mA	*1
			Low-speed CR SLEEP mode 外设: 100kHz	0.1	3.1	mA	*1

*1: 所有端口固定

*2: 调节时设定到 4MHz

*3: $T_a=+25^{\circ}C$, $V_{CC}=5.5V$

*4: $T_a=+105^{\circ}C$, $V_{CC}=5.5V$

*5: 在使用 4MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*6: 在使用 32kHz 的晶体振荡器（包括振荡电路的电流消耗）时

(V_{CC}=AV_{CC}=2.7V to 5.5V, V_{SS}=AV_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件		规格值		单位	备注
					标准	最大		
定时器模式电流	I _{CC} T	VCC	主定时器模式	Ta=+25°C, LVD 关闭时	2.5	3	mA	*1
				Ta=+105°C, LVD 关闭时	-	6	mA	*1
			子定时器模式	Ta=+25°C, LVD 关闭时	60	230	μA	*1
				Ta=+105°C, LVD 关闭时	-	3.1	mA	*1
停止模式电流	I _{CC} H		停止模式	Ta=+25°C, LVD 关闭时	35	200	μA	*1
				Ta=+105°C, LVD 关闭时	-	3	mA	*1

*1: 所有端口固定。

*2: V_{CC}=5.5V

*3: 在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*4: 在使用 32kHz 的晶体振荡器（包括振荡电路的电流消耗）时

低电压检测电流

(V_{CC}=2.7V 至 5.5V, V_{SS}=0V, Ta=-40°C 至+105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
低电压检测电路 (LVD) 电源电流	I _{CC} LVD	VCC	中断操作时 V _{CC} =5.5V	4	7	μA	没有检测时

闪存存储器电流

(V_{CC}=2.7V 至 5.5V, V_{SS}=0V, Ta=-40°C 至+105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	I _{CC} FLASH	VCC	在写入/擦除时	11.4	13.1	mA	

A/D 转换器电流

(V_{CC}=AV_{CC}=2.7V 至 5.5V, V_{SS}=AV_{SS}=AVRL=0V, Ta=-40°C 至+105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	I _{CC} AD	AVCC	1个单元操作	0.57	0.72	mA	
			停止	0.06	20	μA	
基准电源电流	I _{CC} AVRH	AVRH	1个单元操作 AVRH=5.5 V	1.1	1.96	mA	
			停止	0.06	4	μA	

12.3.2 引脚特性

(Vcc=AVcc=2.7V to 5.5V, Vss=AVss=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平 输入电压 (迟滞输入)	V _{IHS}	CMOS 迟滞输入引脚, MD0,1	-	Vcc×0.8	-	Vcc+0.3	V	
		耐 5V 输入引脚	-	Vcc×0.8	-	Vss+5.5	V	
"L"电平 输入电压 (迟滞输入)	V _{ILS}	CMOS 迟滞输入引脚, MD0,1	-	Vss-0.3	-	Vcc×0.2	V	
"H"电平 输出电压	V _{OH}	4mA 类型	Vcc≥4.5V I _{OH} =-4mA	Vcc-0.5	-	Vcc	V	
			Vcc<4.5V I _{OH} =-2mA					
		12mA 类型	Vcc≥4.5V I _{OH} =-12mA	Vcc-0.5	-	Vcc	V	
			Vcc<4.5V I _{OH} =-8mA					
		P80/P81	Vcc≥4.5V I _{OH} =-20.5mA	Vcc-0.4	-	Vcc	V	
			Vcc < 4.5 V I _{OH} = -13.0mA					
"L"电平 输出电压	V _{OL}	4mA 类型	Vcc≥4.5V I _{OL} =4mA	Vss	-	0.4	V	
			Vcc<4.5V I _{OL} =2mA					
		12mA 类型	Vcc≥4.5V I _{OL} =12mA	Vss	-	0.4	V	
			Vcc < 4.5 V I _{OL} = 8mA					
		P80/P81	Vcc≥4.5V I _{OL} =18.5mA	Vss	-	0.4	V	
			Vcc<4.5 V I _{OL} =10.5mA					
输入漏电流	I _{IL}	-	-	-5	-	5	μA	
上拉电阻	R _{PU}	上拉 引脚	Vcc≥4.5V	25	50	100	kΩ	
			Vcc<4.5V	30	80	200		
输入电容	C _{IN}	Vcc,Vss, AVcc,AVss,AVR H 以外	-	-	5	15	pF	

12.4 交流特性

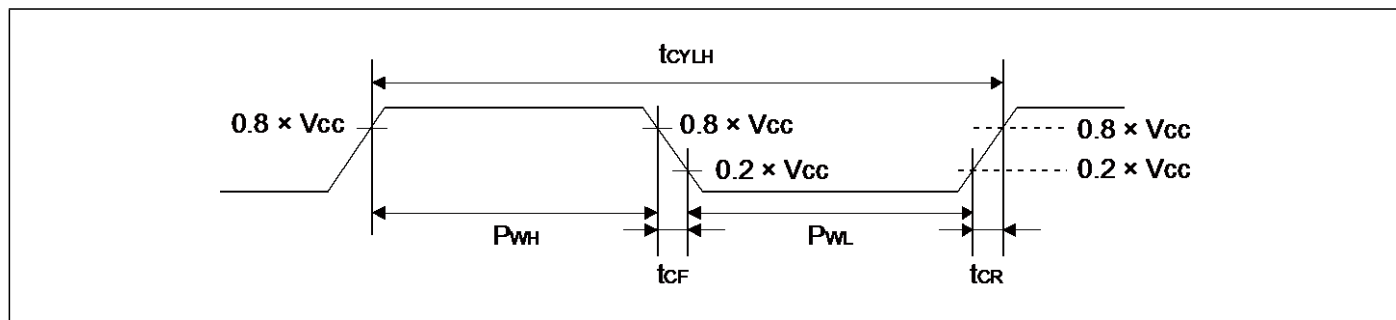
12.4.1 主时钟输入规格

($V_{CC}=2.7V$ to $5.5V$, $V_{SS}=0V$, $T_a=-40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	F _{CH}	X0 X1	V _{CC} ≥4.5V	4	48	MHz	连接晶振时
			V _{CC} <4.5V	4	20		
			V _{CC} ≥4.5V	4	48	MHz	使用外部时钟时
			V _{CC} <4.5V	4	20		
输入时钟周期	t _{CYLH}		V _{CC} ≥4.5V	20.83	250	ns	使用外部时钟时
			V _{CC} <4.5V	50	250		
输入时钟脉宽	-		P _{WH} /t _{CYLH} P _{WL} /t _{CYLH}	45	55	%	使用外部时钟时
输入时钟下降/ 上升时间	t _{CF} t _{CR}		-	-	5	ns	使用外部时钟时
内部工作时钟频率	F _{CC}	-	-	-	40	MHz	基本时钟(HCLK/FCLK)
	F _{CP0}	-	-	-	40	MHz	APB0 总线时钟(PCLK0)
	F _{CP1}	-	-	-	40	MHz	APB1 总线时钟(PCLK1)
	F _{CP2}	-	-	-	40	MHz	APB2 总线时钟(PCLK2)
内部工作时钟周期时间	t _{CYCC}	-	-	25	-	ns	基本时钟(HCLK/FCLK)
	t _{CYCP0}	-	-	25	-	ns	APB0 总线时钟(PCLK0)
	t _{CYCP1}	-	-	25	-	ns	APB1 总线时钟(PCLK1)
	t _{CYCP2}	-	-	25	-	ns	APB2 总线时钟(PCLK2)

*1: 如欲了解有关内部工作时钟的详细介绍, 请参阅“FM3 系列外设手册”中的“2-1 章: 时钟”。

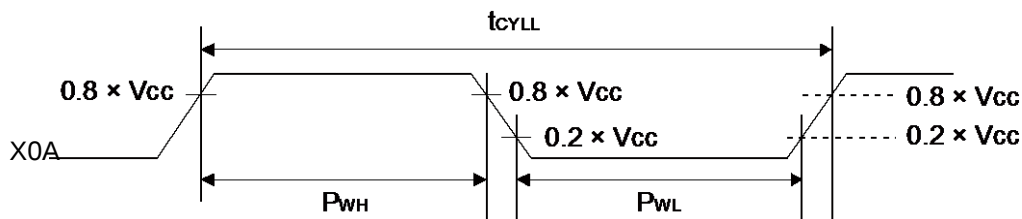
*2: 关于外设连接的 APB 总线, 请参阅本数据表中的“8.框图”。



12.4.2 副时钟输入规格

 $(V_{CC}=2.7V \text{ to } 5.5V, V_{SS}=0V, T_a=-40^{\circ}C \text{ to } +105^{\circ}C)$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	F_{CL}	X0A X1A	-	-	32.768	-	kHz	连接晶振时
输入时钟周期	t_{CYLL}		-	32	-	100	kHz	使用外部时钟时
输入时钟脉宽	-		-	10	-	31.25	μs	使用外部时钟时
			PWH/ t_{CYLL} PWL/ t_{CYLL}	45	-	55	%	使用外部时钟时



12.4.3 内置 CR 振荡规格

内置高 CR

 $(V_{CC}=2.7V \text{ to } 5.5V, V_{SS}=0V, T_a=-40^{\circ}C \text{ to } +105^{\circ}C)$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率		$T_a=+25^{\circ}C$	3.96	4	4.04		调节时* ¹
		$T_a=0^{\circ}C \text{ to } +70^{\circ}C$	3.84	4	4.16		
		$T_a=-40^{\circ}C \text{ to } +105^{\circ}C$	3.8	4	4.2		
		$T_a=-40^{\circ}C \text{ to } +105^{\circ}C$	3	4	5		不调节时
频率稳定时间	t_{CRWT}	-	-	-	90	μs	* ²

*1: 出库时设定的闪存内的 CR 调节区的值作为频率调节值使用时。

*2: 频率稳定时间是指稳定高速 CR 的频率所用的时间。

*: 设置该调节值后开始计时。在设置调节值后，频率稳定时间经过的周期可使用高度 CR 时钟作为源时钟。

内置低 CR

 $(V_{CC}=2.7V \text{ to } 5.5V, V_{SS}=0V, T_a=-40^{\circ}C \text{ to } +105^{\circ}C)$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL 的使用条件(选择主时钟作为 PLL 的输入时钟)

($V_{CC} = 2.7V$ to $5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 (LOCK UP 时间)*1	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	4	-	16	MHz	
PLL 倍频率	-	13	-	75	倍频	
PLL macro 振荡时钟频率	f_{PLLO}	200	-	300	MHz	
主 PLL 时钟频率*2	F_{CLKPLL}	-	-	40	MHz	

*1: 自 PLL 开始运行至振荡稳定的时间。

*2: 如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍, 请参阅“FM3 系列外设手册”中的“2-1 章: 时钟”。

12.4.5 主 PLL 的使用条件(选择内置高速 CR 时钟作为主 PLL 的输入时钟)

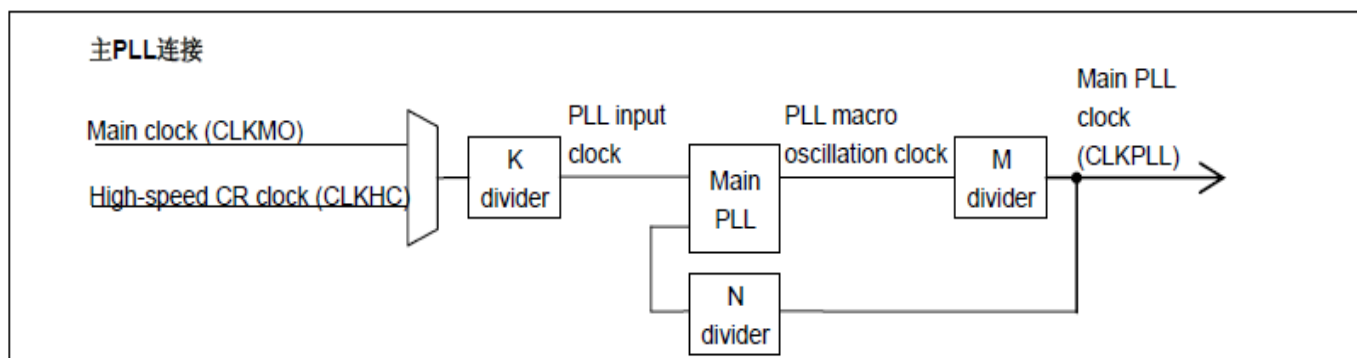
($V_{CC} = 2.7V$ to $5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 (LOCK UP 时间)*1	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	-	50	-	71	倍频	
PLL macro 振荡时钟频率	f_{PLLO}	190	-	300	MHz	
主 PLL 时钟频率*2	F_{CLKPLL}	-	-	40	MHz	

*1: 自 PLL 开始运行至振荡稳定的时间。

*2: 如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍, 请参阅“FM3 系列外设手册”中的“2-1 章: 时钟”。

(注意事项)务必输入调节后的内置高速 CR。



12.4.6 复位输入规格

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t _{INITX}	INITX	-	500	-	Ns	

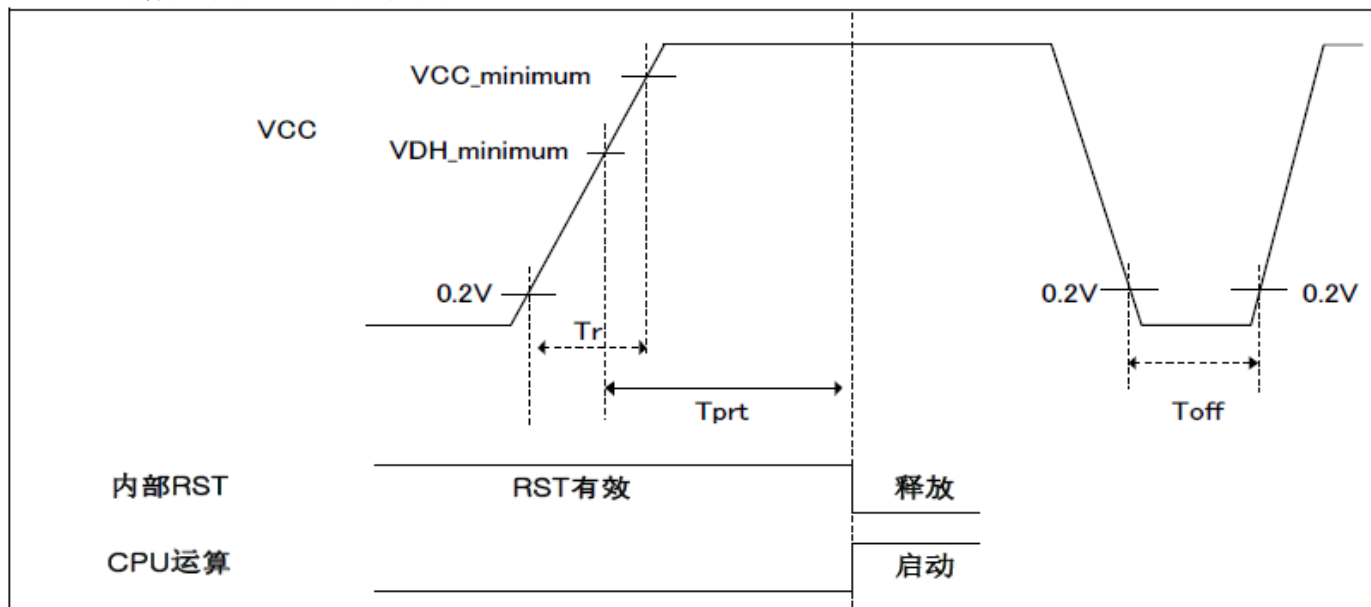
12.4.7 上电复位时序

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	典型	最大		
电源切断时间	T _{off}	V _{CC}	-	50	-	-	ms	*1
电源上升时间	dV/dt		V _{CC} : 0.2 伏到 2.7 伏	0.9	-	1000	mV/us	*2
直到释放加电	T _{prt}		-	0.446	-	0.744	ms	

*1: 在 t_{OFF} 为最小的时期, V_{CC} 必须被控制在 0.2V 及以下。如果没有满足这个条件错误的初始条件可能会出现

*2: dV/dt 的特性运用在上电的冷启动环节



术语

VDH: 低电压检测复位的检测电压。

参见“12.6.低电压检测特性”

12.4.8 外部总线时序

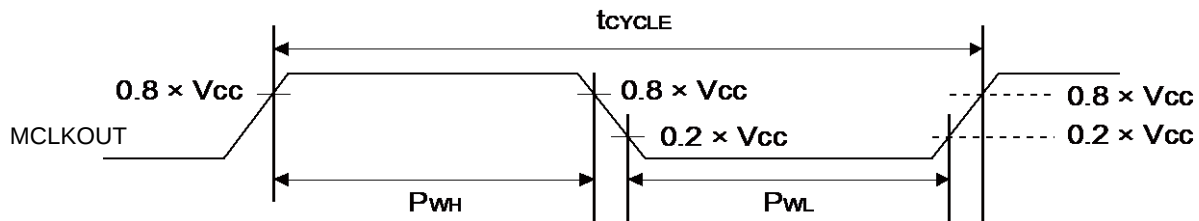
外部总线时钟输出规格

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, T_a=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
输出频率	t _{CYCLE}	MCLKOUT	V _{CC} ≥4.5V	-	40	MHz
			V _{CC} <4.5V	-	32	MHz
最小时钟周期	-		V _{CC} ≥4.5V	25	-	ns
			V _{CC} <4.5V	31.25	-	ns

(注意事项) 外部总线时钟输出是 HCLK 的分频时钟。关于设定，详情参照“FM3 系列外设手册”中的“第 12 章：外部总线接口”。

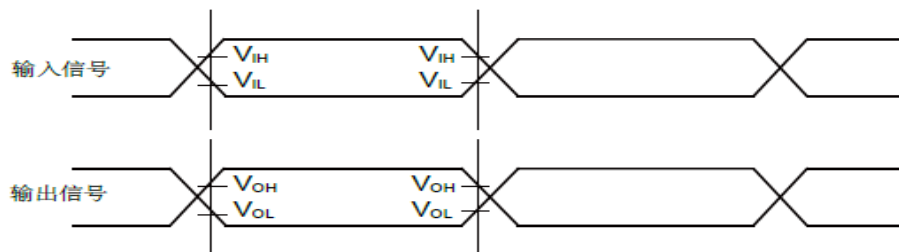
当外部总线时钟不是输出时，该特性不会给外部总线操作带来任何影响。



外部总线信号输入输出规格

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, T_a=-40°C to +105°C)

参数	符号	条件	规格值	单位	备注
信号输入规格	V _{IH}	-	$0.8 \times V_{\text{CC}}$	V	
	V _{IL}		$0.2 \times V_{\text{CC}}$	V	
信号输出规格	V _{OH}		$0.8 \times V_{\text{CC}}$	V	
	V _{OL}		$0.2 \times V_{\text{CC}}$	V	

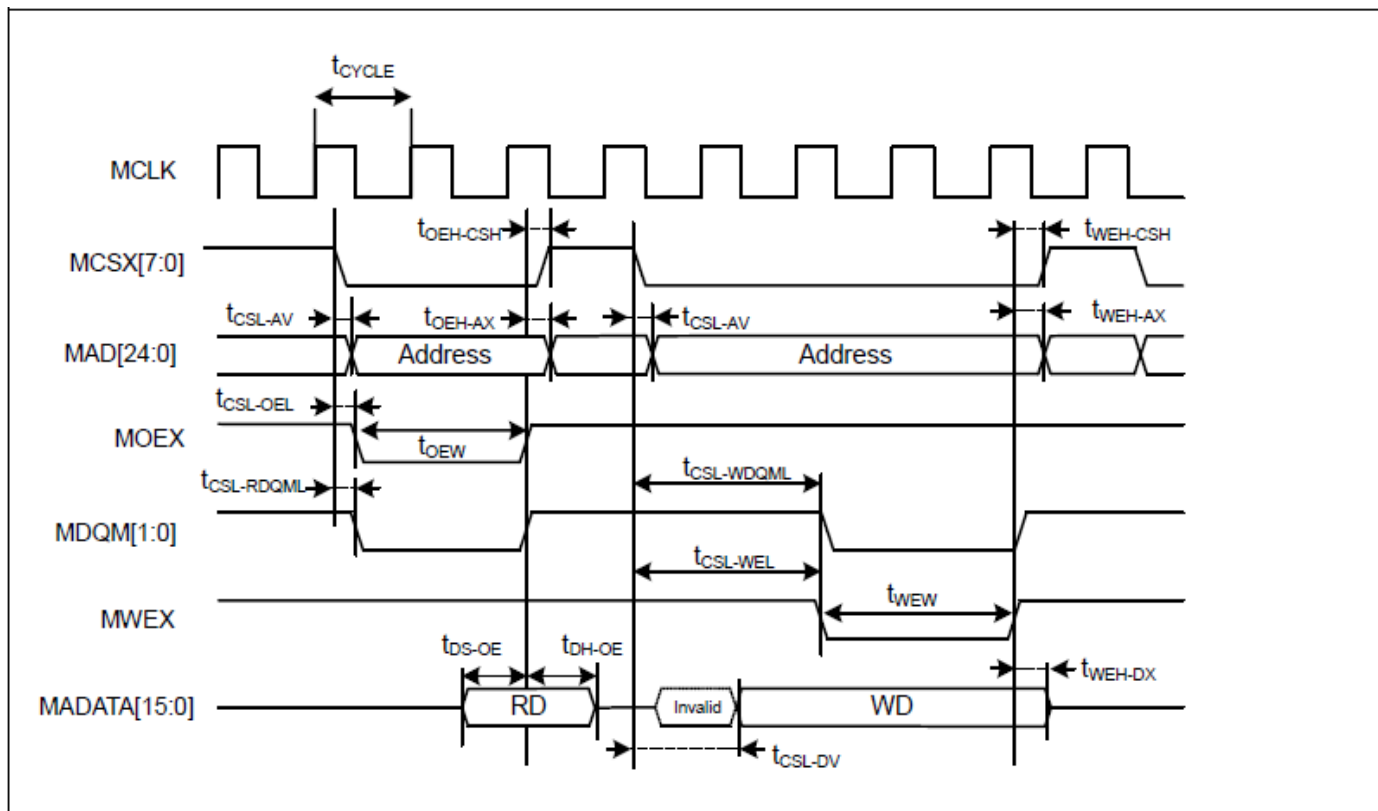


单独总线访问异步 SRAM 模式

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
MOEX 最小脉宽	t _{OE}	MOEX	V _{CC} ≥4.5V	MCLK×n-3	-	ns
			V _{CC} <4.5V			
MCSX↓→地址输出 延迟时间	t _{CSL-AV}	MCSX[7:0] MAD[24:0]	V _{CC} ≥4.5V	-9	9	ns
			V _{CC} <4.5V	-12	12	
MOEX↑→地址保持时 间	t _{OE} -AX	MOEX MAD[24:0]	V _{CC} ≥4.5V	0	MCLK×m+9	ns
			V _{CC} <4.5V		MCLK×m+12	
MCSX↓→ MOEX↓延迟时间	t _{CSL-OEL}	MOEX MCSX[7:0]	V _{CC} ≥4.5V	MCLK×m-9	MCLK×m+9	ns
			V _{CC} <4.5V	MCLK×m-12	MCLK×m+12	
MOEX↑→ MCSX↑时间	t _{OE} -CSH		V _{CC} ≥4.5V	0	MCLK×m+9	ns
			V _{CC} <4.5V		MCLK×m+12	
MCSX↓→MDQM↓ 延迟时间	t _{CSL-RDQML}	MOEX MDQM[1:0]	V _{CC} ≥4.5V	MCLK×m-9	MCLK×m+9	ns
			V _{CC} <4.5V	MCLK×m-12	MCLK×m+12	
数据创建→MOEX↑时 间	t _{DS-OE}	MOEX MADATA[15:0]	V _{CC} ≥4.5V	20	-	ns
			V _{CC} <4.5V	38	-	
MOEX↑→ 数据保持时间	t _{DH-OE}	MOEX MADATA[15:0]	V _{CC} ≥4.5V	0	-	ns
			V _{CC} <4.5V			
MWEX 最小脉宽	t _{WE}	MWEX	V _{CC} ≥4.5V	MCLK×n-3	-	ns
			V _{CC} <4.5V			
MWEX↑→地址输出 延迟时间	t _{WEH-AX}	MWEX MAD[24:0]	V _{CC} ≥4.5V	0	MCLK×m+9	ns
			V _{CC} <4.5V		MCLK×m+12	
MCSX↓→MWEX↓ 延迟时间	t _{CSL-WEL}	MWEX MCSX[7:0]	V _{CC} ≥4.5V	MCLK×n-9	MCLK×n+9	ns
			V _{CC} <4.5V	MCLK×n-12	MCLK×n+12	
MWEX↑→MCSX↑ 延迟时间	t _{WEH-CSH}		V _{CC} ≥4.5V	0	MCLK×m+9	ns
			V _{CC} <4.5V		MCLK×m+12	
MCSX↓→MDQM↓ 延迟时间	t _{CSL-WDQML}	MCSX MDQM[1:0]	V _{CC} ≥4.5V	MCLK×n-9	MCLK×n+9	ns
			V _{CC} <4.5V	MCLK×n-12	MCLK×n+12	
MWEX↓→ 数据输出时间	t _{WEL-DV}	MWEX MADATA[15:0]	V _{CC} ≥4.5V	-9	9	ns
			V _{CC} <4.5V	-12	12	
MWEX↑→ 数据保持时间	t _{WEH-DX}		V _{CC} ≥4.5V	0	MCLK×m+9	ns
			V _{CC} <4.5V		MCLK×m+12	

(注意事项) 外部负载电容 CL= 30pF 时 (m=0 ~ 15, n=1 ~ 16)

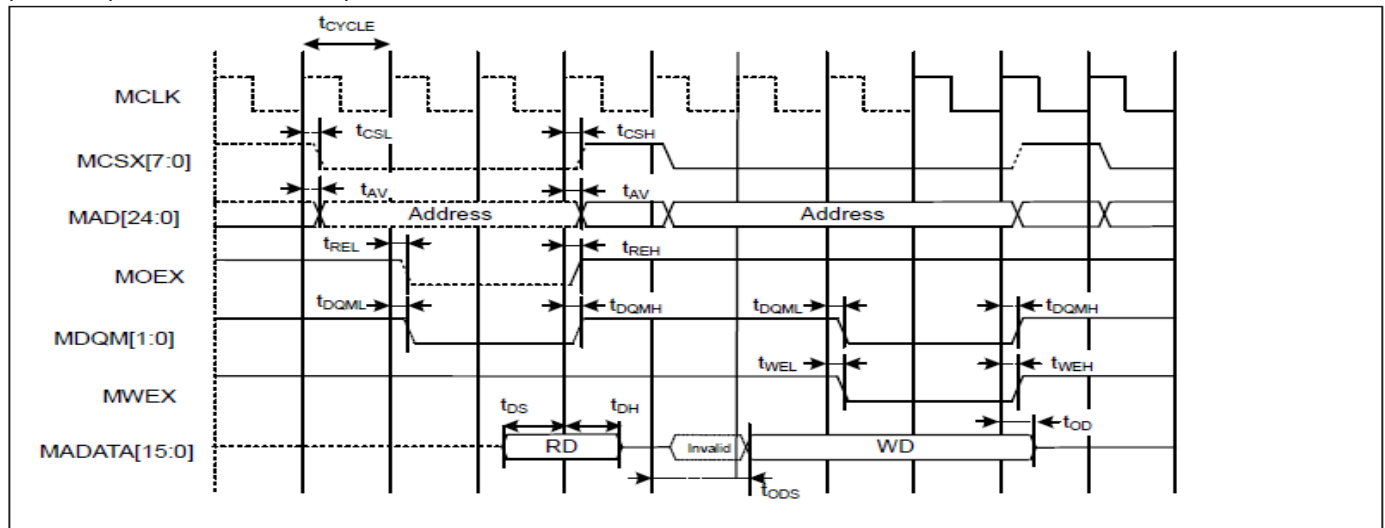


单独总线访问同步 SRAM 模式

(Vcc=2.7V to 5.5V, Vss=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
地址延迟时间	t _{AV}	MCLK MAD[24:0]	V _{CC} ≥4.5V V _{CC} <4.5V	1	9 12	ns
MCSX 延迟时间	t _{CSL}	MCLK MCSX[7:0]	V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
	t _{CSH}		V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
MOEX 延迟时间	t _{REL}	MCLK MOEX	V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
	t _{REH}		V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
数据创建 →MCLK↑时间	t _{DS}	MCLK MADATA[15:0]	V _{CC} ≥4.5V	19	-	ns
V _{CC} <4.5V			37			
MCLK↑→ 数据保持时间	t _{DH}	MCLK MADATA[15:0]	V _{CC} ≥4.5V	0	-	ns
V _{CC} <4.5V						
MWEX 延迟时间	t _{WEL}	MCLK MWEX	V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
	t _{WEH}		V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
MDQM[1:0] 延迟时间	t _{DQML}	MCLK MDQM[1:0]	V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
	t _{DQMH}		V _{CC} ≥4.5V	1	9	ns
			V _{CC} <4.5V		12	
MCLK↑→ 数据输出时间	t _{OD}	MCLK MADATA[15:0]	V _{CC} ≥4.5V	2	18	ns
			V _{CC} <4.5V	2	24	

(注意事项) 外部负载电容 CL=30pF 时

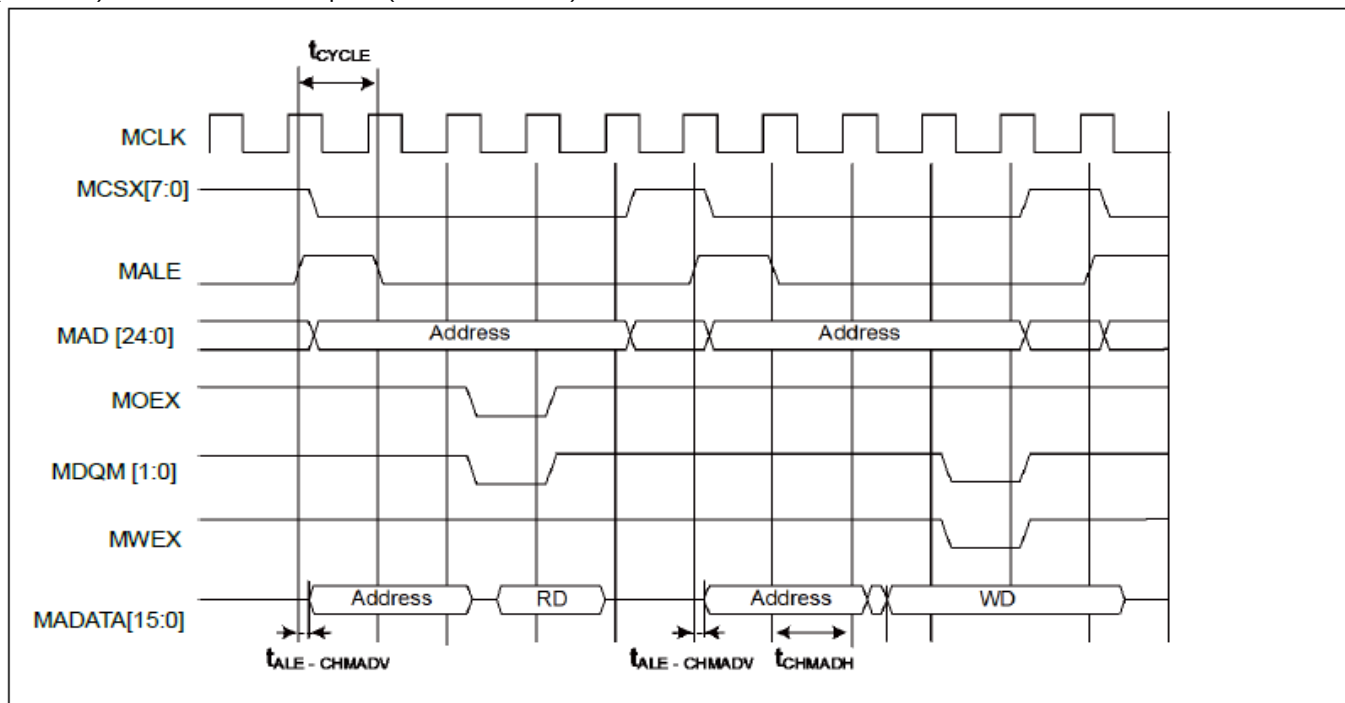


多路传输总线访问异步 SRAM 模式

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
多路传输 地址延迟时间	t _{ALE-CHMADV}	MALE MADATA[15:0]	V _{CC} ≥4.5V	0	10	ns
			V _{CC} <4.5V		20	
多路传输 地址保持时间	t _{CHMADH}	MALE MADATA[15:0]	V _{CC} ≥4.5V	MCLK×n+0	MCLK×n+10	ns
			V _{CC} <4.5V	MCLK×n+0	MCLK×n+20	

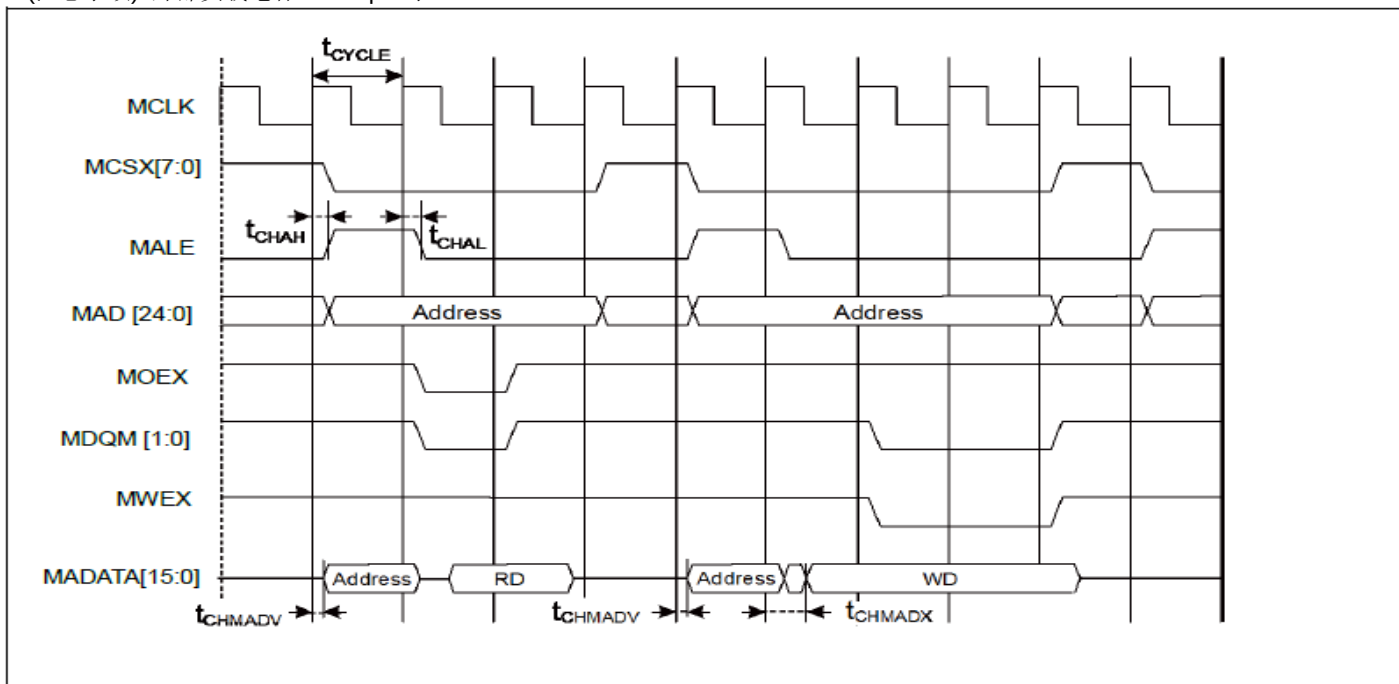
(注意事项) 外部负载电容 CL=30pF 时(m=0~15,n=1~16)



多路传输总线访问同步 SRAM 模式

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

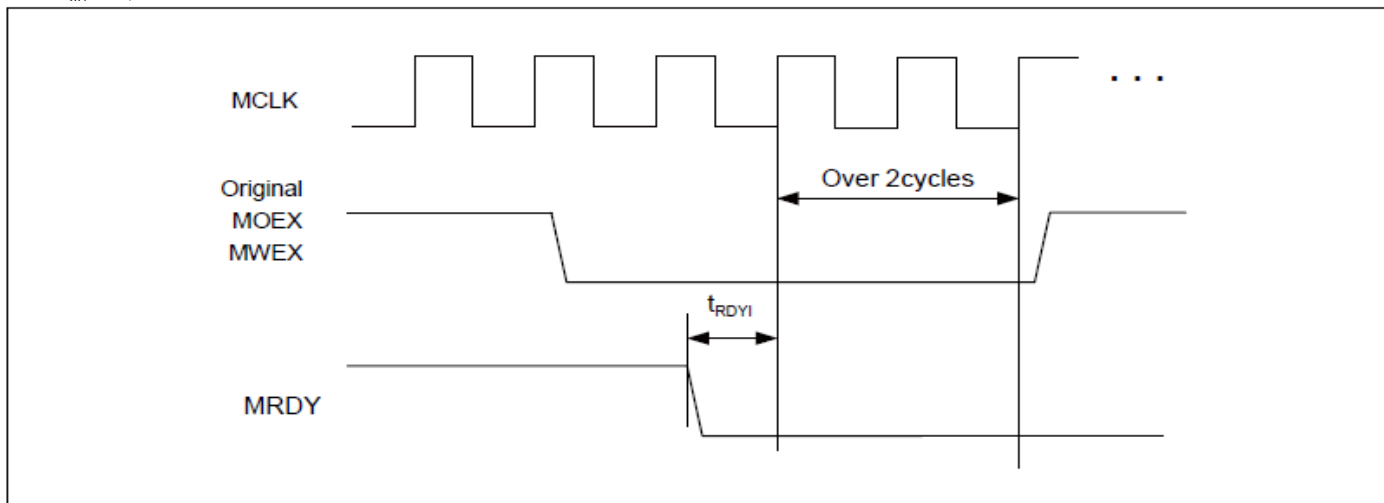
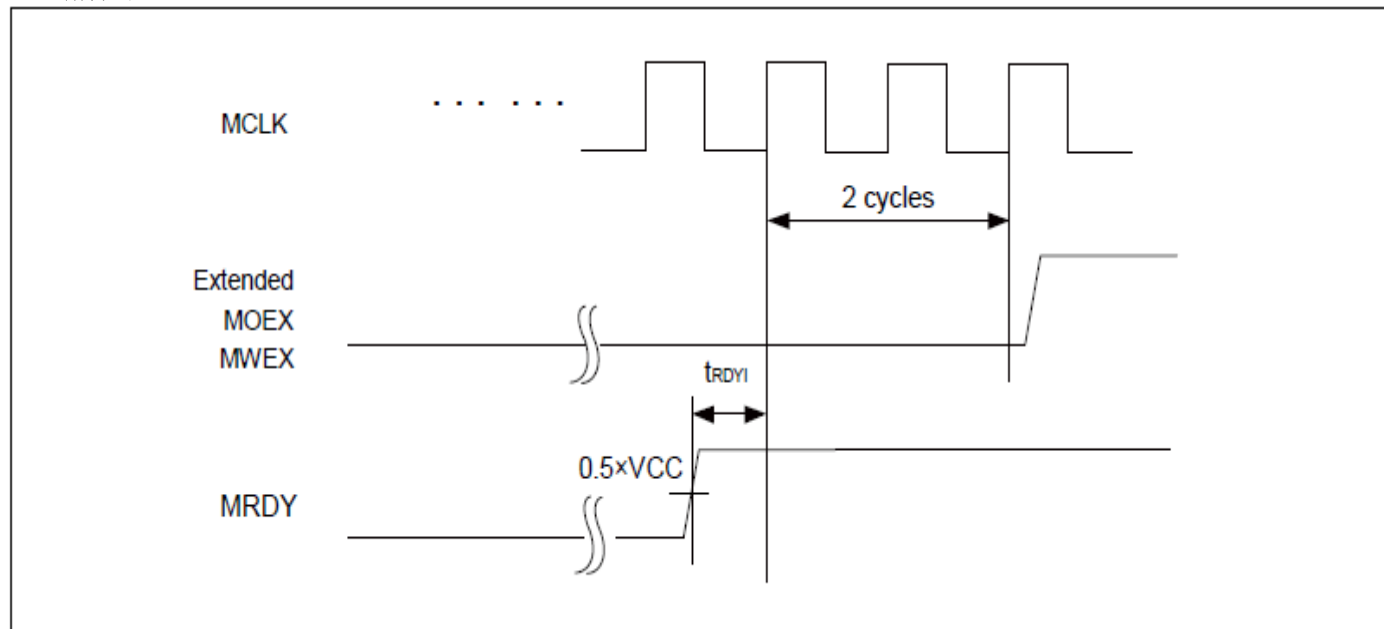
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MALE 延迟时间	t _{CHAL}	MCLK ALE	V _{CC} ≥4.5V	1	9	ns	
			V _{CC} <4.5V		12	ns	
	t _{CHAH}		V _{CC} ≥4.5V	1	9	ns	
			V _{CC} <4.5V		12	ns	
MCLK↑→ 多路传输 地址延迟时间	t _{CHMADV}	MCLK MADATA[15:0]	V _{CC} ≥4.5V	1	t _{OD}	ns	
			V _{CC} <4.5V				
MCLK↑→ 多路传输 数据输出时间	t _{CHMADX}		V _{CC} ≥4.5V	1	t _{OD}	ns	
			V _{CC} <4.5V				

 (注意事项) 外部负载电容 C_L=30pF 时


外部 RDY 输入时序

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MCLK↑ MRDY 输入 创建时间	t _{RDYI}	MCLK MRDY	V _{CC} ≥4.5V	19	-	ns	
			V _{CC} <4.5V	37			

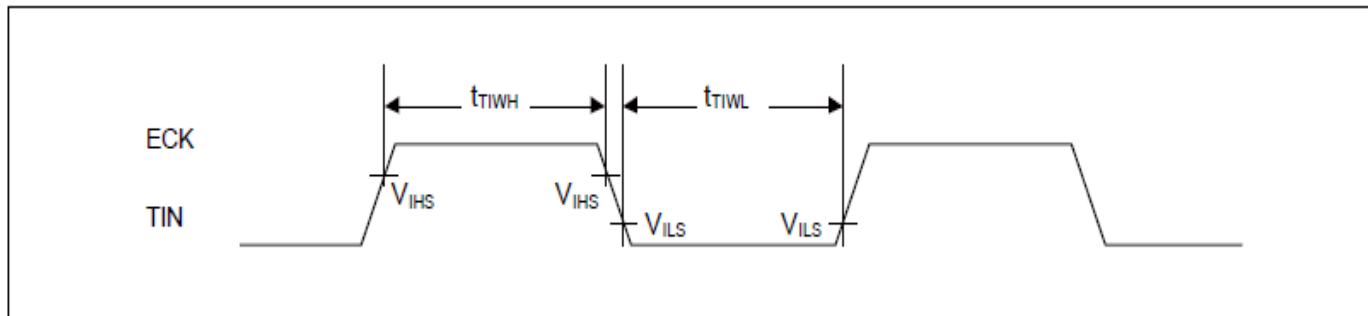
RDY 输入时

RDY 解除时


12.4.9 基本定时器输入时序

定时器输入时序

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, T_a=-40°C to +105°C)

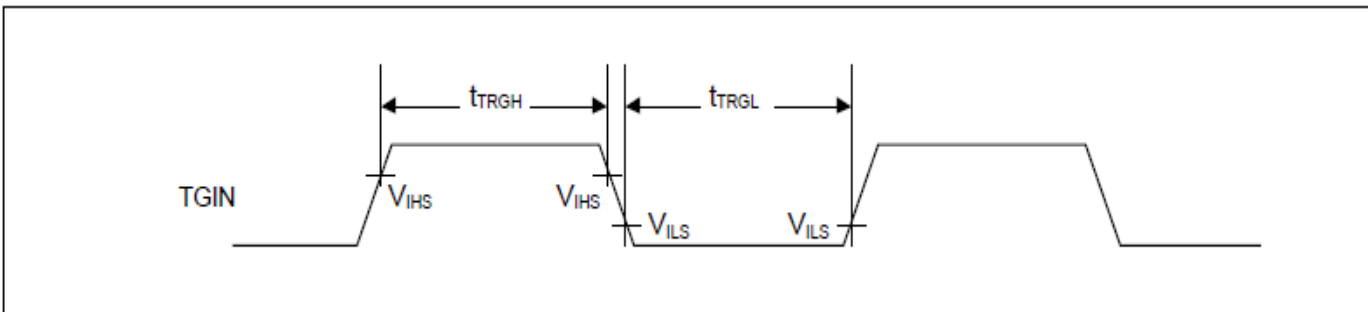
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t _{TIWH} t _{TIWL}	TIOAn/TIOBn (用作 ECK, TIN 时)	-	2t _{CYCP}	-	ns	



触发输入时序

(V_{CC}=2.7V to 5.5V, V_{SS}=0V, T_a=-40°C to +105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t _{TRGH} t _{TRGL}	TIOAn/TIOBn (用作 TGIN 时)	-	2t _{CYCP}	-	ns	



注意事项：t_{CYCP} 是 APB 总线时钟的周期时间。关于基本定时器连接的 APB 总线序号，请参阅本数据表中的“8.框图”。

12.4.10 UART 时序

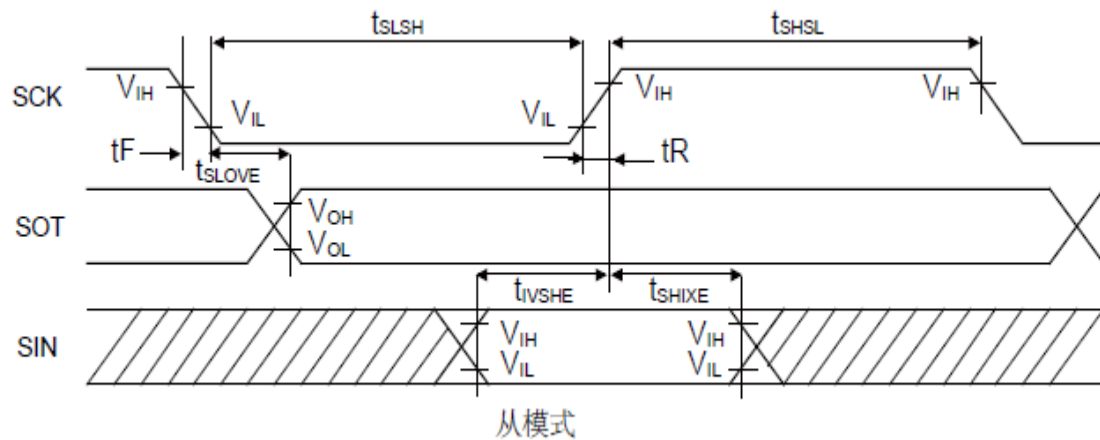
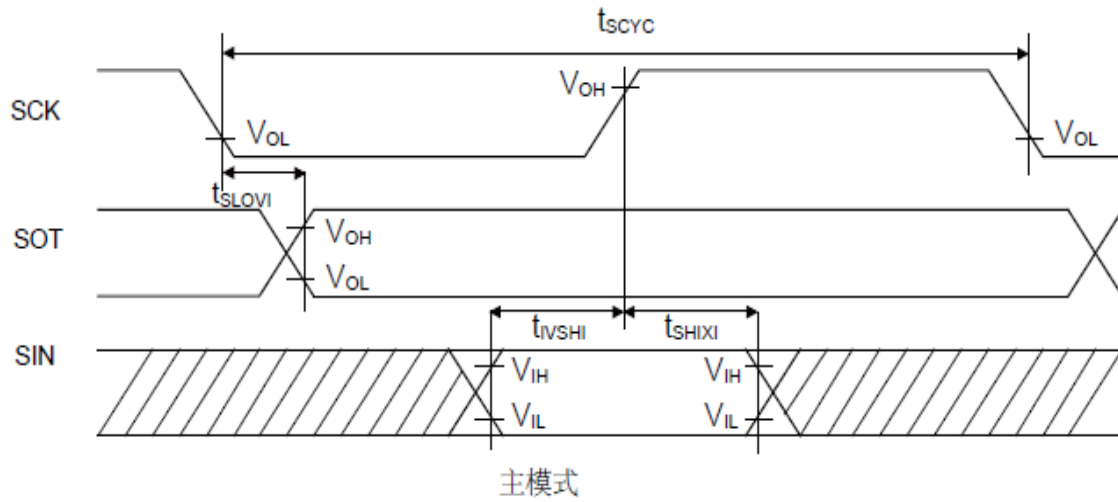
同步串行(SPI=0,SCINV=0)

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	V _{CC} <4.5V		V _{CC} ≥4.5V		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	-	Mbps
串行时钟周期时间	tSCYC	SCKx	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↓→SOT 延迟时间	tSLOVI	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN→SCK↑ 创建时间	tIVSHI	SCKx SINx		50	-	30	-	ns
SCK↑→SIN 保持时间	tSHIXI	SCKx SINx		0	-	0	-	ns
串行时钟 "L"脉宽	tSLSH	SCKx	外部移位 时钟运行	2tcycp-10	-	2tcycp-10	-	ns
串行时钟 "H"脉宽	tSHSL	SCKx		tcycp+10	-	tcycp+10	-	ns
SCK↓→SOT 延迟时间	tSLOVE	SCKx SOTx		-	50	-	30	ns
SIN→SCK↑ 创建时间	tIVSHE	SCKx SINx		10	-	10	-	ns
SCK↑→SIN 保持时间	tSHIXE	SCKx SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

(注意事项)

- CLK 同步模式时的交流特性。
- tcycp 是 APB 总线时钟的周期时间。关于 UART 连结的 APB 总线序号，详情参照“图”。
- 本特性仅保证相同重定位端口号。
例如 SCLKx_0,SOTx_1 组合不为保证对象。
- 外部负载电容 CL=30pF 时



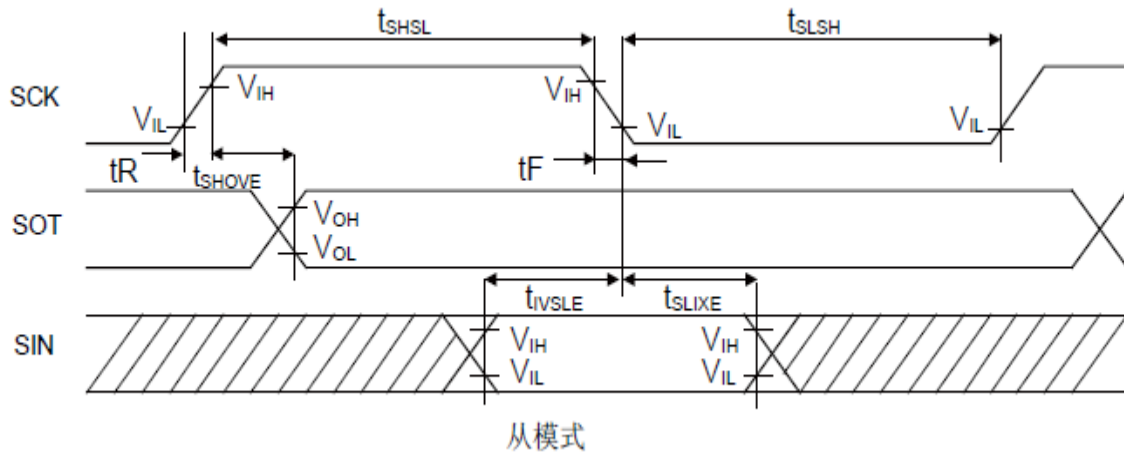
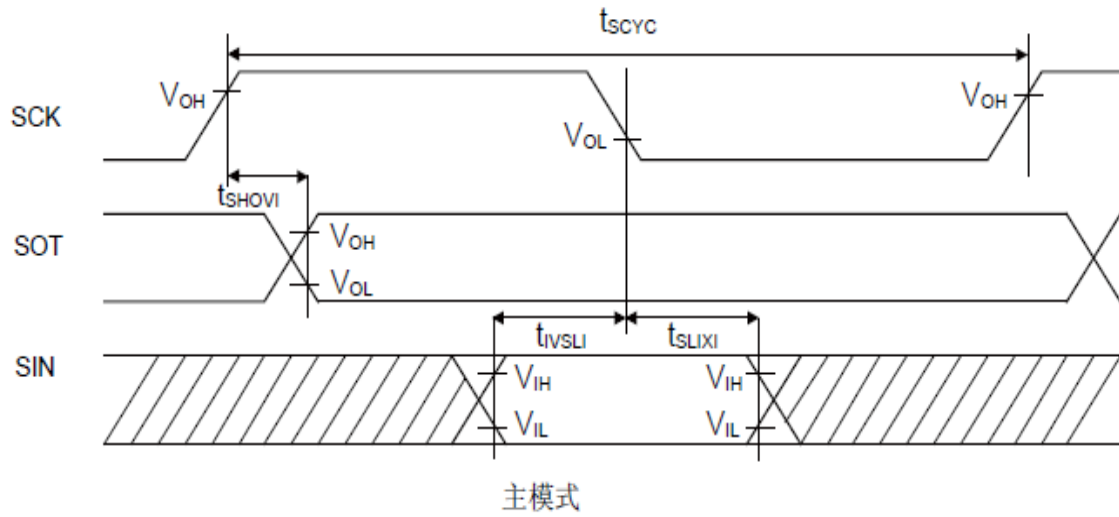
同步串行(SPI=0,SCINV=1)

 (V_{CC}=2.7V to 5.5V, V_{SS}=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	V _{CC} <4.5V		V _{CC} ≥4.5V		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	-	Mbps
串行时钟 周期时间	tSCYC	SCKx	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↑→SOT 延迟时间	tSHOVI	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN→SCK↓ 创建时间	tIVSLI	SCKx SINx		50	-	30	-	ns
SCK↓→SIN 保持时间	tSLIXI	SCKx SINx		0	-	0	-	ns
串行时钟 "L"脉宽	tSLSH	SCKx		2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟 "H"脉宽	tSHSL	SCKx	外部移位 时钟运行	tcycp + 10	-	tcycp + 10	-	ns
SCK↑→SOT 延迟时间	tSHOVE	SCKx SOTx		-	50	-	30	ns
SIN→SCK↓ 创建时间	tIVSLE	SCKx SINx		10	-	10	-	ns
SCK↓→SIN 保持时间	tSLIXE	SCKx SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

(注意事项)

- CLK 同步模式时的交流特性。
- tcycp 是 APB 总线时钟的周期时间。
关于 UART 连结的 APB 总线序号，详情参照“框图”。
- 本特性仅保证相同重定位端口号。
例如 SCLKx_0,SOTx_1 组合不为保证对象。
- 外部负载电容 CL=30pF 时



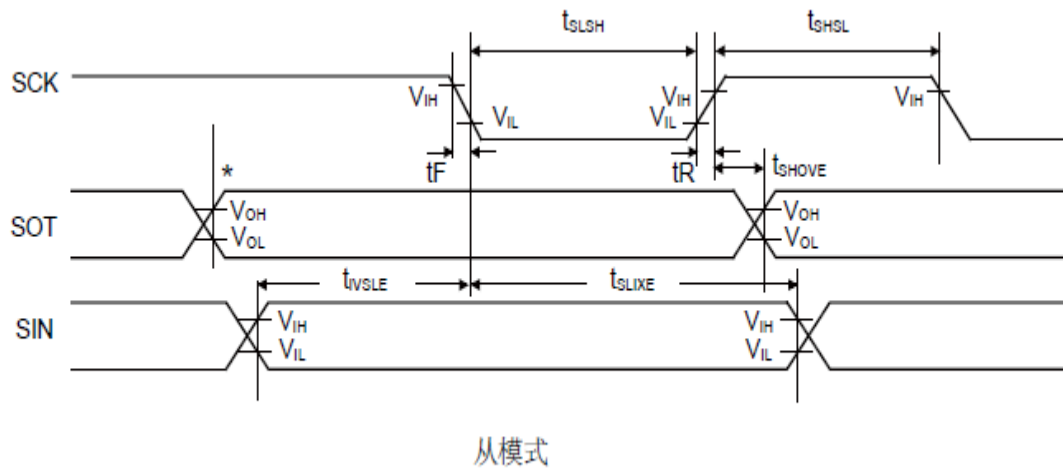
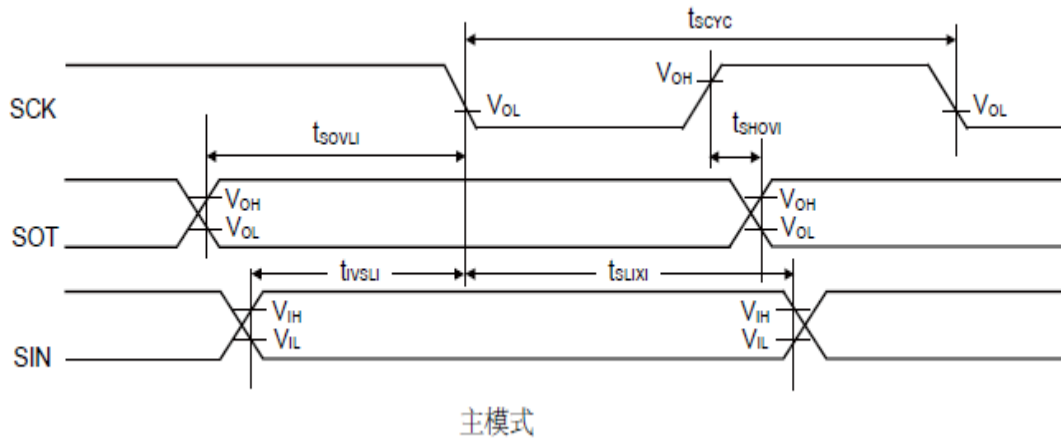
同步串行(SPI=1,SCINV=0)

(VCC=2.7V to 5.5V, VSS=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	Vcc<4.5V		Vcc≥4.5V		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	-	Mbps
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	ns
SCK↑→SOT 延迟时间	t _{SHOVI}	SCKx SOTx		-30	+30	-20	+20	ns
SIN→SCK↓创建时间	t _{IVSLI}	SCKx SINx		50	-	30	-	ns
SCK↓→SIN 保持时间	t _{SLIXI}	SCKx SINx		0	-	0	-	ns
SOT→SCK↓延迟时间	t _{SOVLI}	SCKx SOTx		2tcycp-30	-	2tcycp-30	-	ns
串行时钟"L"脉宽	t _{SLSH}	SCKx		2tcycp-10	-	2tcycp-10	-	ns
串行时钟"H"脉宽	t _{SHSL}	SCKx	从模式	tcycp+10	-	tcycp+10	-	ns
SCK↑→SOT 延迟时间	t _{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↓创建时间	t _{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK↓→SIN 保持时间	t _{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

(注意事项)

- CLK 同步模式时的交流特性。
- tcycp 是 APB 总线时钟的周期时间。
关于 UART 连结的 APB 总线序号, 详情参照“框图”。
- 本特性仅保证相同重定位端口号。
例如 SCLKx_0,SOTx_1 组合不为保证对象。
- 外部负载电容 CL=30pF 时



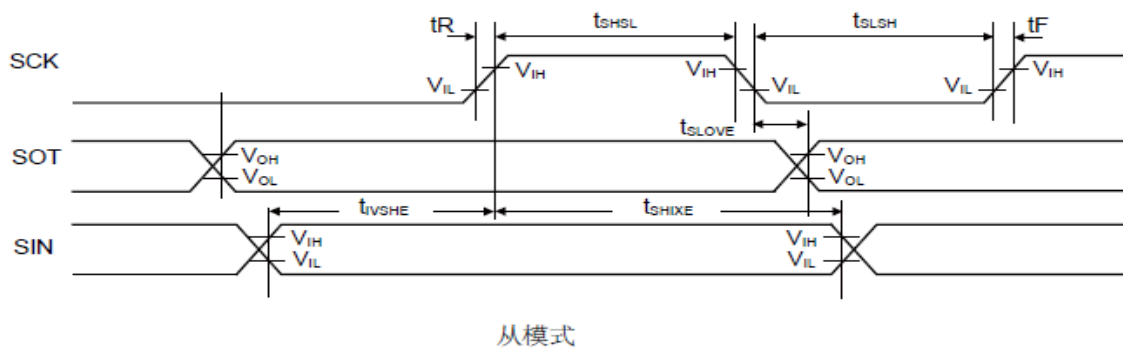
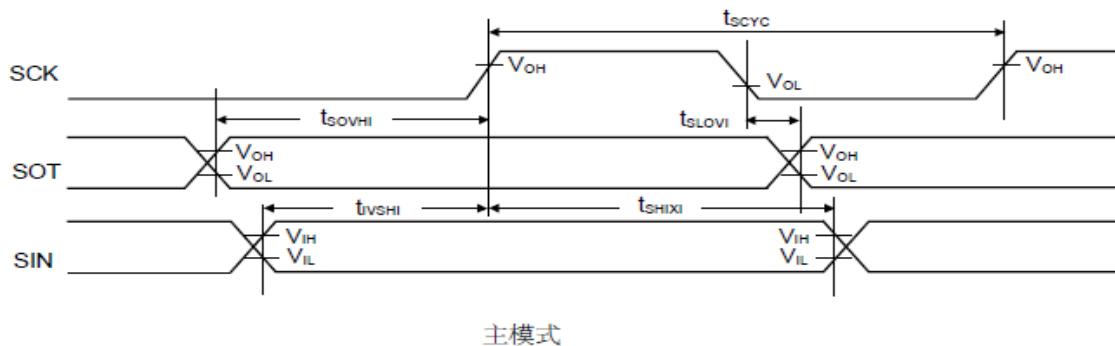
同步串行(SPI=1,SCINV=1)

(VCC=2.7V to 5.5V, VSS=0V, Ta=-40°C to +105°C)

参数	符号	引脚名称	条件	Vcc<4.5V		Vcc≥4.5V		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	-	Mbps
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	ns
SCK↓→SOT 延迟时间	t _{SLOVI}	SCKx SOTx		-30	+30	-20	+20	ns
SIN→SCK↑创建时间	t _{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK↑→SIN 保持时间	t _{SHIXI}	SCKx SINx		0	-	0	-	ns
SOT→SCK↑延迟时间	t _{SOVHI}	SCKx SOTx		2tcycp-30	-	2tcycp-30	-	ns
串行时钟"L"脉宽	t _{SLSH}	SCKx		2tcycp-10	-	2tcycp-10	-	ns
串行时钟"H"脉宽	t _{SHSL}	SCKx	从模式	tcycp + 10	-	tcycp + 10	-	ns
SCK↓→SOT 延迟时间	t _{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↑创建时间	t _{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK↑→SIN 保持时间	t _{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

(注意事项)

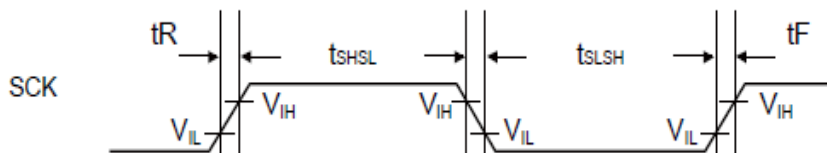
- CLK 同步模式时的交流特性。
- tcycp 是 APB 总线时钟的周期时间。
关于 UART 连结的 APB 总线序号, 详情参照“框图”。
- 本特性仅保证相同重定位端口号。
例如 SCLKx_0,SOTx_1 组合不为保证对象。
- 外部负载电容 CL=30pF 时



外部时钟(EXT=1):仅限异步时

($V_{CC}=2.7V$ to $5.5V$, $V_{SS}=0V$, $T_a=-40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	条件	最小	最大	单位	备注
串行时钟"L"脉宽	t_{SLSH}	$C_L=30pF$	$t_{cycp}+10$	-	ns	
串行时钟"H"脉宽	t_{SHSL}		$t_{cycp}+10$	-	ns	
SCK 下降时间	t_F		-	5	ns	
SCK 上升时间	t_R		-	5	ns	



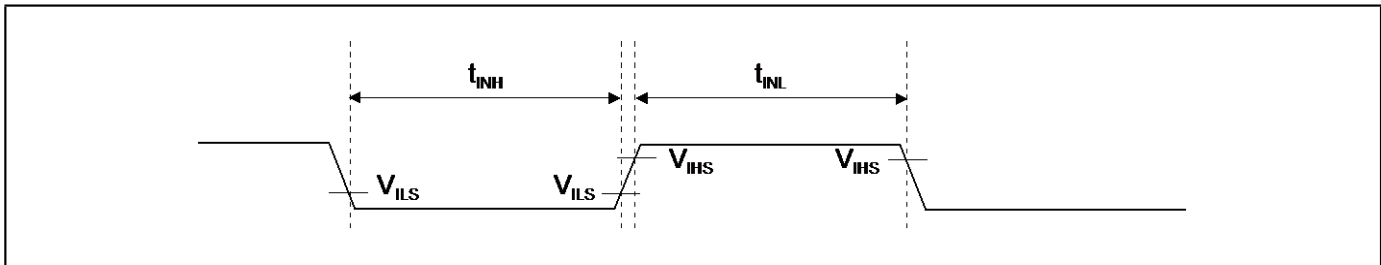
12.4.11 外部输入时序

 (V_{CC} = 2.7V to 5.5V, V_{SS} = 0V, Ta = - 40°C to + 105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t _{INH} t _{INL}	ADTG	-	2t _{CYCP} *	-	ns	A/D 转换器触发输入
		FRCKx	-	2t _{CYCP} *	-		自由运行定时器输入时钟
		ICxx	-		-		输入捕捉
		DTTlxX	-		-	ns	波形发生器
		INTxx, NMIX	除了定时器模式、停止模式	2t _{CYCP} + 100*	-	ns	外部中断 NMI
			定时器模式, 停止模式	500	-	ns	

*1: t_{CYCP} 是指 APB 总线时钟的周期时间。

关于 A/D 转换器、多功能定时器、外部中断连接的 APB 总线序号, 详情参照“框图”。

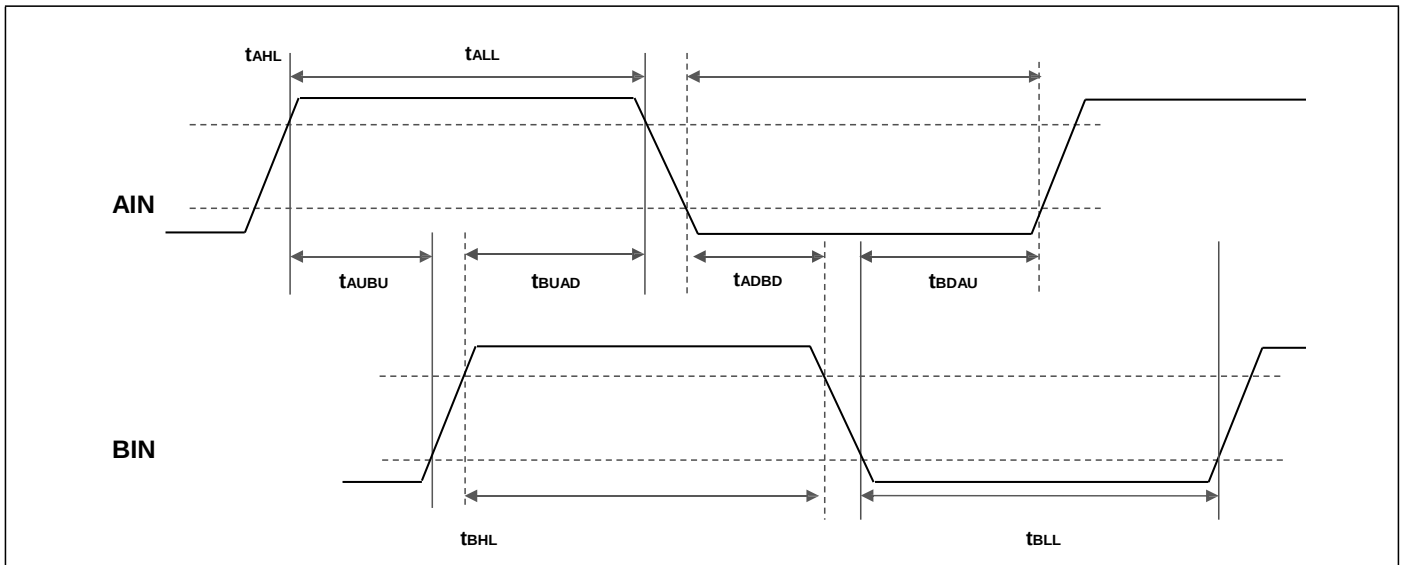


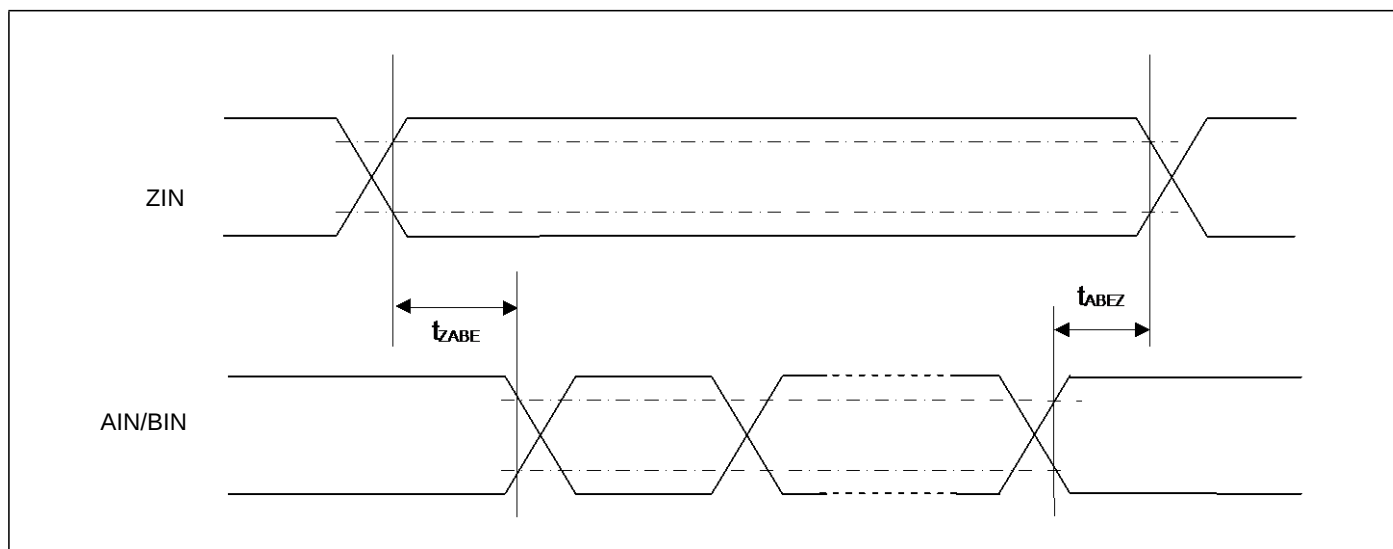
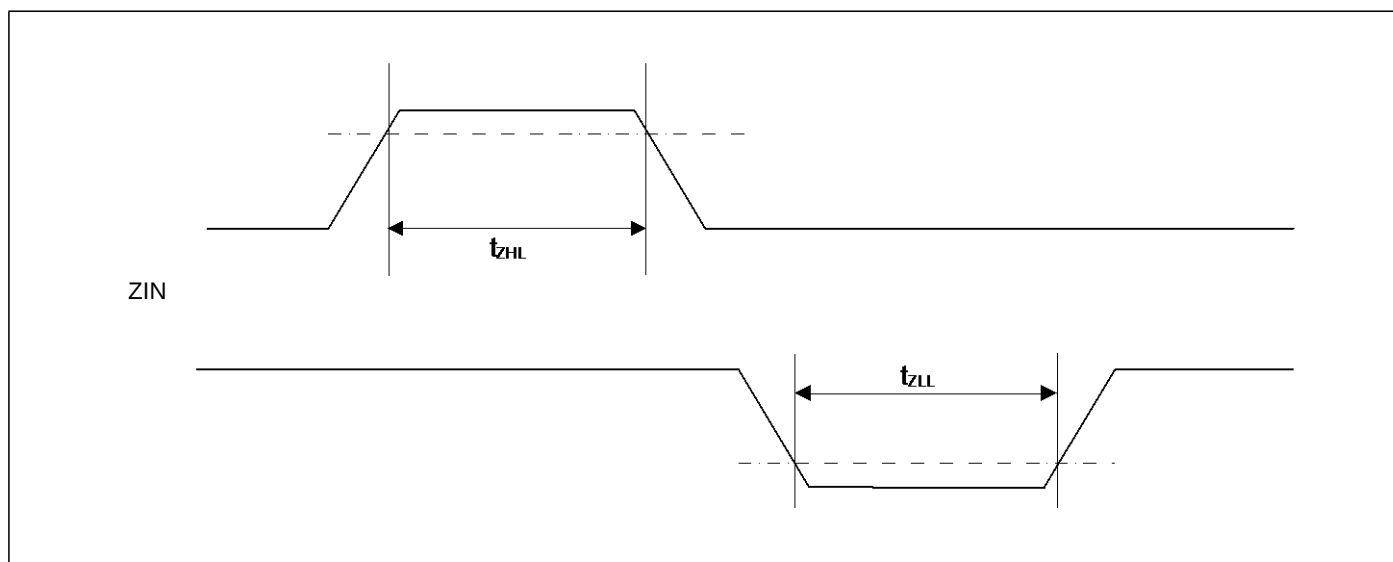
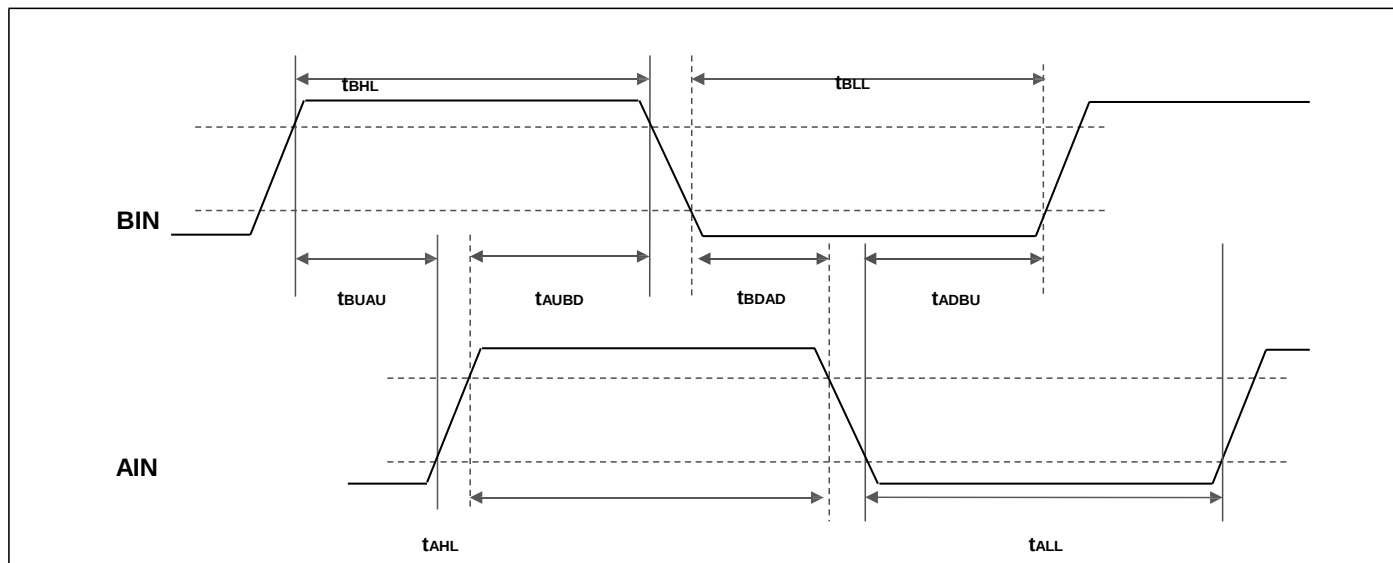
12.4.12 Quad 计数器时序

 (V_{CC} = 2.7V to 5.5V, V_{SS} = 0V, T_a = - 40°C to + 105°C)

参数	符号	条件	规格值		单位
			最小值	最大值	
AIN引脚"H"宽	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN引脚"L"宽	t _{ALL}	-			
BIN引脚"H"宽	t _{BHL}	-			
BIN引脚"L"宽	t _{BLL}	-			
AIN"H"电平的 BIN上升时间	t _{AUBU}	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN下降时间	t _{BUAD}	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN下降时间	t _{ADBD}	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN上升时间	t _{BDAU}	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN上升时间	t _{BUAU}	PC_Mode2 或 PC_Mode3			
AIN"H"电平的 BIN下降时间	t _{AUBD}	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN下降时间	t _{BDAD}	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN上升时间	t _{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN引脚"H"宽	t _{ZHL}	QCR:CGSC = "0"			
ZIN引脚"L"宽	t _{ZLL}	QCR:CGSC = "0"			
确定好的ZIN电平的/BIN下降和上升时间	t _{ZABE}	QCR:CGSC = "1"			
AIN/BIN下降和上升时间确定好的ZIN电 平	t _{ABEZ}	QCR:CGSC = "1"			

*: t_{CYCP} 是指 APB 总线时钟的周期时间。关于 Quad 计数器连结的 APB 总线序号, 详情参照“框图”。





12.4.13 I²C 时序

 (V_{CC} = 2.7V to 5.5V, V_{SS} = 0V, T_a = - 40°C to + 105°C)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL时钟频率	F _{SCL}	C _L = 30pF, R = (V _p /I _{OL})* ¹	0	100	0	400	kHz	
(重复)『启动』条件保持时间 SDA↓→SCL↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL时钟"L"宽	t _{LOW}		4.7	-	1.3	-	μs	
SCL时钟"H"宽	t _{SUSTA}		4.0	-	0.6	-	μs	
重复『启动』条件创建时间 SCL↑→SDA↓	t _{SUSTA}		4.7	-	0.6	-	μs	
数据保持时间 SCL↓→SDA↓↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
数据创建时间 SDA↓↑→SCL↑	t _{SUDAT}		250	-	100	-	ns	
『停止』条件创建时间 SCL↑→SDA↑	t _{SUSTO}		4.0	-	0.6	-	μs	
『停止』条件和『启动』条件间总线空闲时间	t _{BUF}		4.7	-	1.3	-	μs	
噪声滤波器	t _{SP}	-	2 t _{CYCP} * ⁴	-	2 t _{CYCP} * ⁴	-	ns	

*1: R, C 是指 SCL, SDA 总线上的上拉电阻和负载电容。V_p 是指上拉电阻的电源电压，I_{OL} 是指 V_{OL} 保证电流。

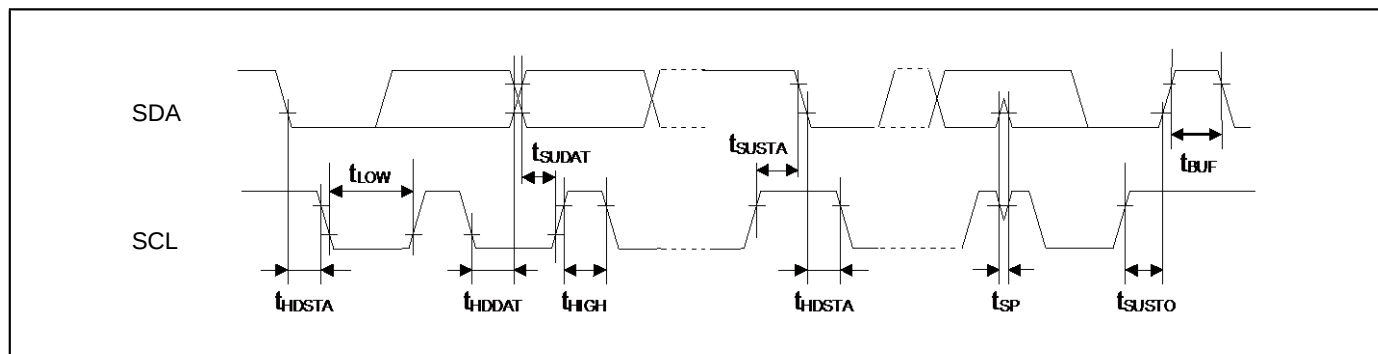
*2: 仅在芯片保持 SCL 信号在"L"(t_{LOW})未扩展期间才可使用最大 t_{HDDAT}。

*3: 高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统，但必须满足 t_{SUDAT} ≥ 250ns 的要求。

*4: t_{CYCP} 是指 APB 总线时钟的周期时间，关于 I²C 连接的 APB 总线序号，详情参照“框图”。

使用标准模式时，请将外设总线时钟设定在 2 MHz 以上。

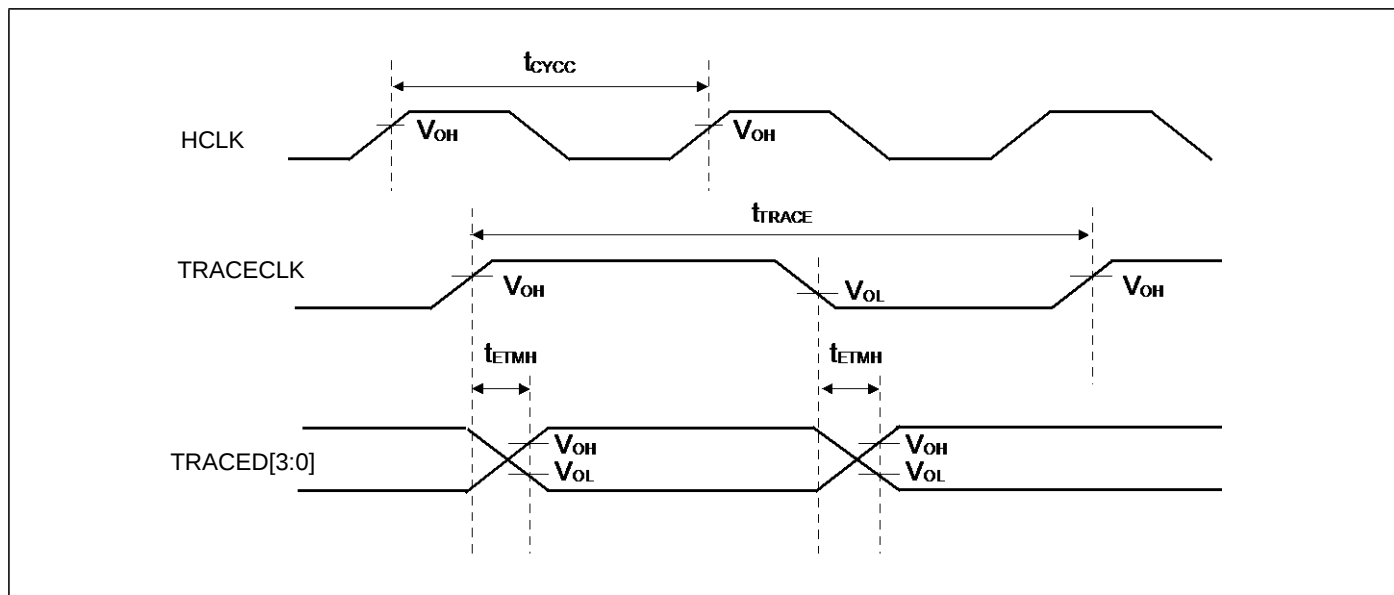
使用高速模式时，请将外设总线时钟设定在 8 MHz 以上。



12.4.14 ETM 时序

 (V_{CC} = 2.7V to 5.5V, V_{SS} = 0V, Ta = - 40°C to + 105°C)

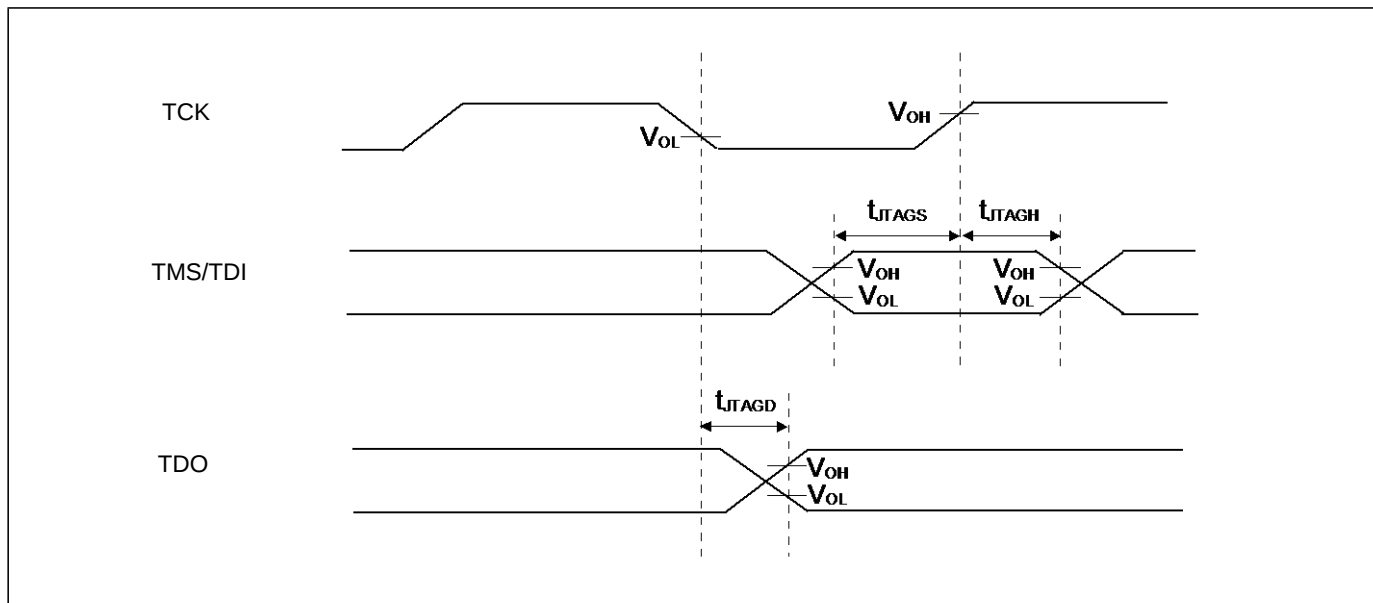
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
数据保持	t_{ETMH}	TRACECLK TRACED[3:	V _{CC} ≥ 4.5V	2	9	ns	
			V _{CC} < 4.5V	2	15		
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	V _{CC} ≥ 4.5V	-	40	MHz	
			V _{CC} < 4.5V	-	32	MHz	
TRACECLK 时钟周期	t_{TRACE}	TRACECLK	V _{CC} ≥ 4.5V	25	-	ns	
			V _{CC} < 4.5V	31.25	-	ns	

 (注意事项) 外部负载电容 C_L = 30pF 时


12.4.15 JTAG 时序

 (V_{CC} = 2.7V to 5.5V, V_{SS} = 0V, Ta = - 40°C to + 105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	t _{JTAGS}	TCK TMS, TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TMS, TDI 保持时间	t _{JTAGH}	TCK TMS, TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TDO 延迟时间	t _{JTAGD}	TCK TDO	V _{CC} ≥ 4.5V	-	25	ns	
			V _{CC} < 4.5V		45		

 (注意事项) 外部负载电容 C_L = 30pF 时


12.5 12 位 A/D 转换器

A/D 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7V$ to $5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
非线性误差	-	-	-	± 1.7	± 4.5	LSB	AVRH = 2.7V to 5.5V
差分线性误差	-	-	-	± 1.7	± 2.5	LSB	
零转换电压	V_{ZT}	ANxx	-	± 8	± 15	mV	
全面转换电压	V_{FST}	ANxx	-	AVRH ± 8	AVRH ± 15	mV	
转换时间	-	-	1.0 ^{*1}	-	-	μs	AVCC $\geq 4.5V$
			1.2 ^{*1}	-	-		AVCC < 4.5V
采样时间	T_s	-	*2	-	-	ns	AVCC $\geq 4.5V$
			*2	-	-		AVCC < 4.5V
比较时钟周期 ^{*3}	T_{CCK}	-	50	-	2000	ns	
到允许操作的状态 转换时间	T_{STT}	-	-	-	1.0	μs	
模拟输入电容	C_{AIN}	-	-	-	12.9	pF	
模拟输入电阻	R_{AIN}	-	-	-	2	k Ω	AVCC $\geq 4.5V$
					3.8		AVCC < 4.5V
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入漏电流	-	ANxx	-	-	5	μA	
模拟输入电压	-	ANxx	AVSS	-	AVRH	V	
基准电压	-	AVRH	2.7	-	AVCC	V	

*1: 转换时间 = 采样时间 (T_s) + 比较时间 (T_c)。

HCLK=40 MHz 时最短转换时间的条件,

AVCC $\geq 4.5V$, HCLK=40MHz 采样时间值 : 300 ns, 比较时间: 700 ns。

AVCC $\geq 4.5V$, HCLK=40MHz 采样时间: 500ns, 比较时间: 700ns

须保证满足采样时间(T_s)和比较时钟周期(T_{CCK})的值。

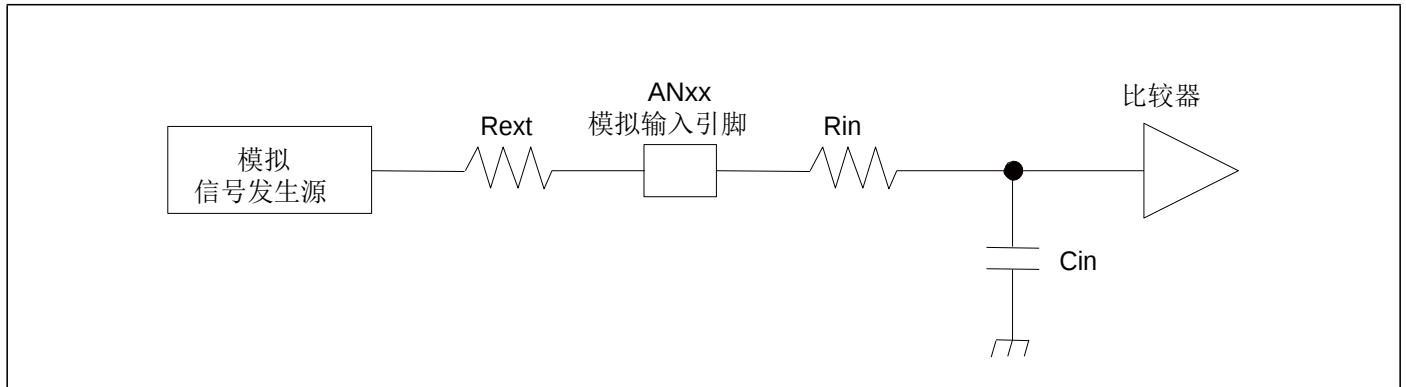
关于采样时间和比较时钟周期的设置, 详情参照“系列外围资源手册”中的“12 位 A/D 转换器”一章。

ADC 寄存器设定反映在外设时钟时序上。采样及比较时钟在基本时钟(HCLK)设定。关于 A/D 转换器连接的 APB 总线序号, 请参阅本数据表中的“框图”。

*2: 外部阻抗使所需采样时间发生变化。

务必使设定的采样时间满足(式 1)。

*3: 比较时间(T_c)是(公式 2)的值。



(公式 1) $T_s \geq (R_{in} + R_{ext}) \times C_{in} \times 9$

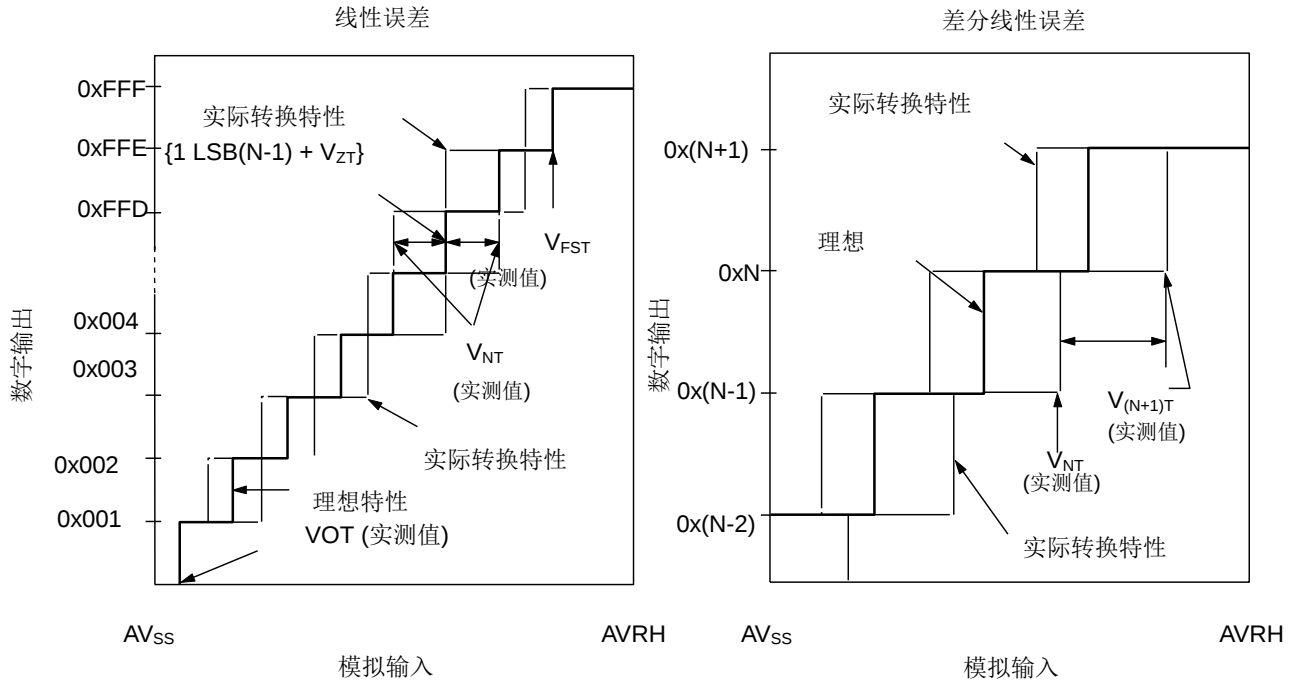
T_s	: 采样时间	
R_{AIN}	: A/D 的输入电阻 = 2kΩ	$4.5 \leq AV_{CC} \leq 5.5$
	A/D 的输入电阻 = 3.8kΩ	$2.7 \leq AV_{CC} < 4.5$
C_{AIN}	: A/D 的输入电容 = 12.9pF :	$2.7 \leq AV_{CC} \leq 5.5$
R_{ext}	外部电路的输出阻抗	

(公式 2) $T_c = T_{cck} \times 14$

T_c	: 比较时间
T_{cck}	: 比较时钟周期

12 位 A/D 转换器的术语定义

- 分辨率 : 分辨率是 A/D 转换器分辨出的模拟偏差的等级
- 线性误差 : 线性误差是指实际转换值偏移直线的误差
 (0b0000000000000000 ↔ 0b0000000000000001) 该直线连接器件上的零转换点
 (0b1111111111111110 ↔ 0b1111111111111111) 和同一器件上的全面转换点.
- 差分线性误差 : 差分线性误差指用一个 LSB 改变输出码所需输入电压偏移理想值的误差



$$\text{数字输出 } N \text{ 的线性误差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{OT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的差分线性误差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值

V_{OT} : 数字输出从 0x000 移至 0x001 的电压

V_{FST} : 数字输出从 0xFFE 移至 0xFFFF 的电压

V_{NT} : 数字输出从 0x(N - 1)移至 0xN 的电压

12.6 低压检测特性

低压检测复位

(Ta = - 40°C to + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升时

低电压检测中断

(Ta = - 40°C to + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 0000	2.58	2.8	3.02	V	电压下降时
释放电压	VDH		2.67	2.9	3.13	V	电压上升时
检测电压	VDL	SVHI = 0001	2.76	3.0	3.24	V	电压下降时
释放电压	VDH		2.85	3.1	3.34	V	电压上升时
检测电压	VDL	SVHI = 0010	2.94	3.2	3.45	V	电压下降时
释放电压	VDH		3.04	3.3	3.56	V	电压上升时
检测电压	VDL	SVHI = 0011	3.31	3.6	3.88	V	电压下降时
释放电压	VDH		3.40	3.7	3.99	V	电压上升时
检测电压	VDL	SVHI = 0100	3.40	3.7	3.99	V	电压下降时
释放电压	VDH		3.50	3.8	4.10	V	电压上升时
检测电压	VDL	SVHI = 0111	3.68	4.0	4.32	V	电压下降时
释放电压	VDH		3.77	4.1	4.42	V	电压上升时
检测电压	VDL	SVHI = 1000	3.77	4.1	4.42	V	电压下降时
释放电压	VDH		3.86	4.2	4.53	V	电压上升时
检测电压	VDL	SVHI = 1001	3.86	4.2	4.53	V	电压下降时
释放电压	VDH		3.96	4.3	4.64	V	电压上升时
LVD 稳定等待时间	T _{LVDW}	-	-	-	2240 × tcycp *	μs	

*: tcycp 是指 APB2 总线时钟的周期时间。

12.7 闪存擦/写特性

12.7.1 闪存写/擦特性

(V_{CC} = 2.7V to 5.5V, T_a = - 40°C to + 105°C)

参数		规格值			单位	备注
		最小	标准	最大		
扇区擦除时间	Large Sector		0.	3.7	s	除去内部的擦除前写入时间
	Small Sector		0.3	1.1		
半字(16 位)写入 时间			12	384	μs	除去系统级开销时间
整片擦除时间	64K/128K/256KB 产品		5.2	23.6	s	除去内部的擦除前写入时间
	384K/512KB 产品		8	38.4	s	

*: 典型值指发货后立即有效的值, 最大值指在 10 万个擦除/写入周期后的保证值。

12.7.2 擦/写周期和数据保持时间(目标值)

擦/写次数 (周期)	保持时间(年)	备注
1,000	20*	
10,000	10*	
100,000	5*	

*: 该值源于技术可靠性评估结果的转换。(该值是在平均温度+ 85°C的条件下使用 Arrhenius 方程进行的高温加速试验结果的转换。)

12.8 从低功耗模式下的返回时间

12.8.1 返回因素：中断

从低功耗模式下的返回时间按如下所示。从收到返回因素到启动程序运行为止。

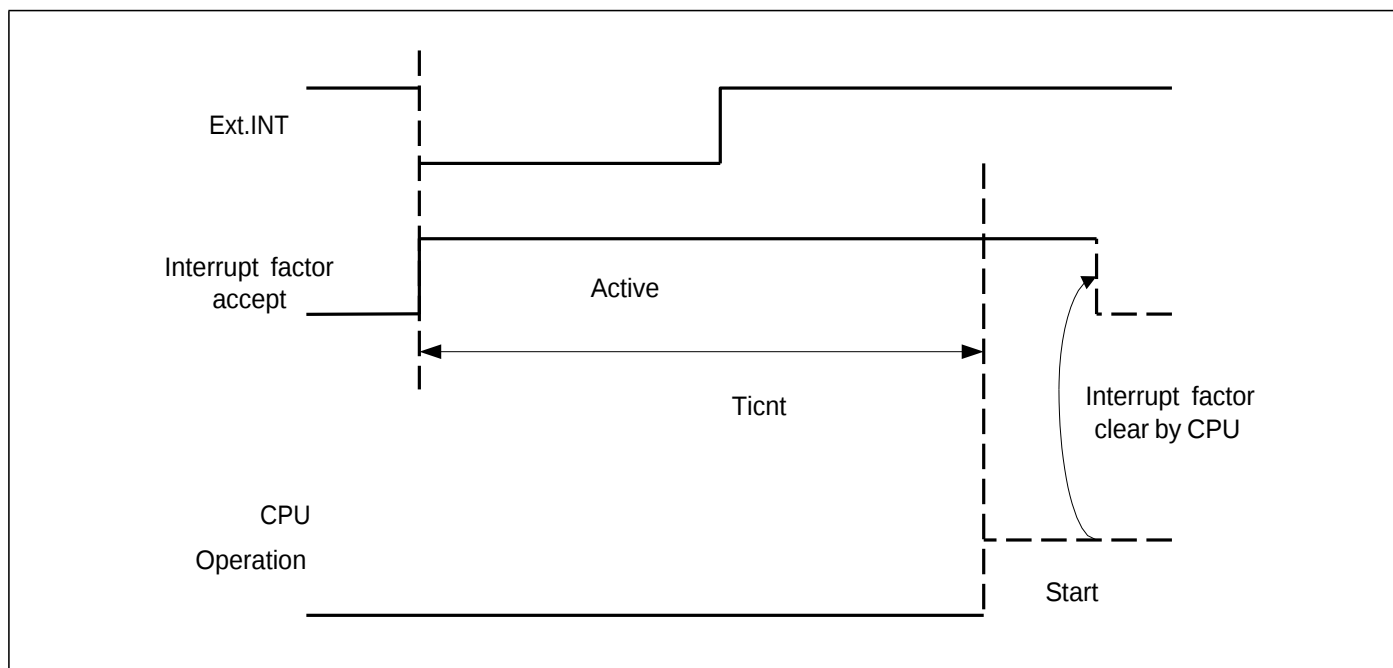
返回计数时间

($V_{CC} = 2.7V$ to $5.5V$, $T_a = -40^{\circ}C$ to $+105^{\circ}C$)

参数	符号	规格值		单位	备注
		标准	最大*		
休眠模式	Ticnt	t_{CYCC}		ns	
高速 CR 定时器模式、主定时器模式、PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		453	737	μs	
子定时器模式		453	737	μs	
停止模式		453	737	μs	

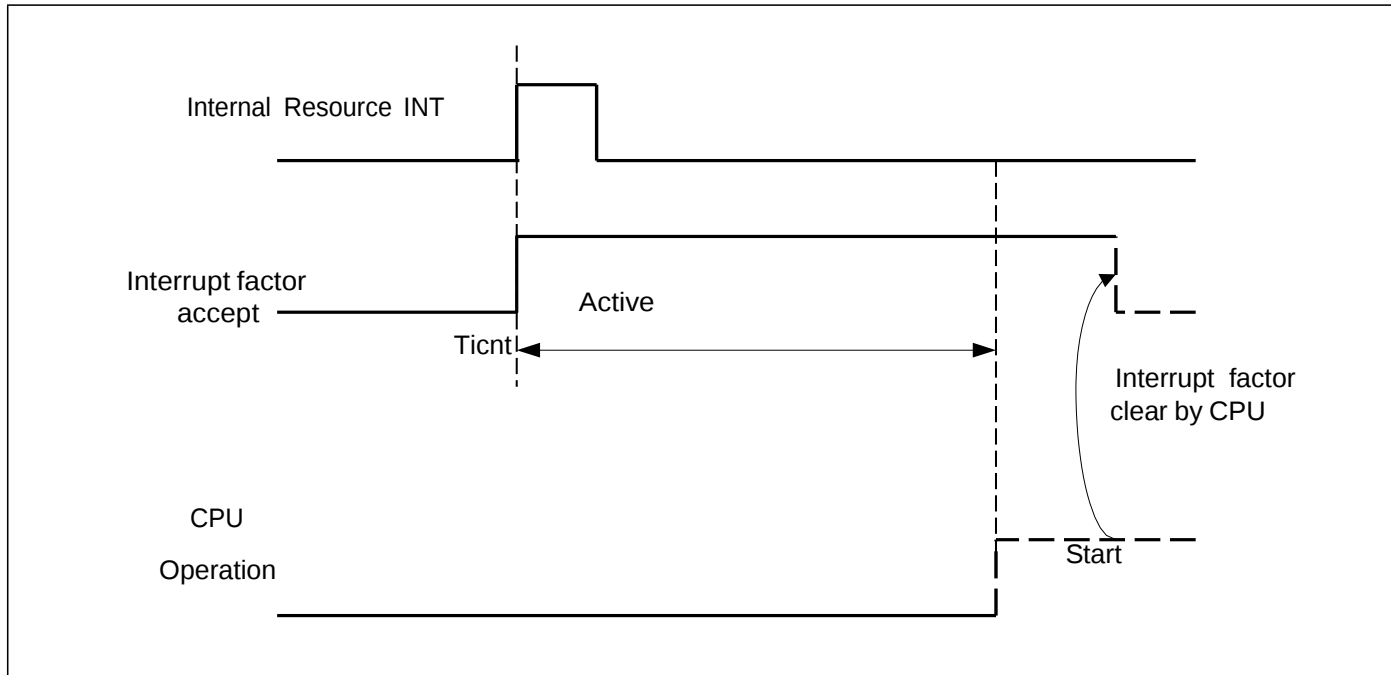
*: 最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过外部中断*）



*: 外部中断设置为检测下降沿。

从低功耗模式返回的操作示例（通过内部资源中断*）



*: 对这类低功耗模式，内部资源中断未包含在返回因素中。

注意：

- 每一种低功耗模式中的返回因素各不相同。

关于低功耗模式的返回因素，请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。

- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。

12.8.2 返回因素：复位

从低功耗模式下的返回时间按如下所示。从释放复位到启动程序运行为止。

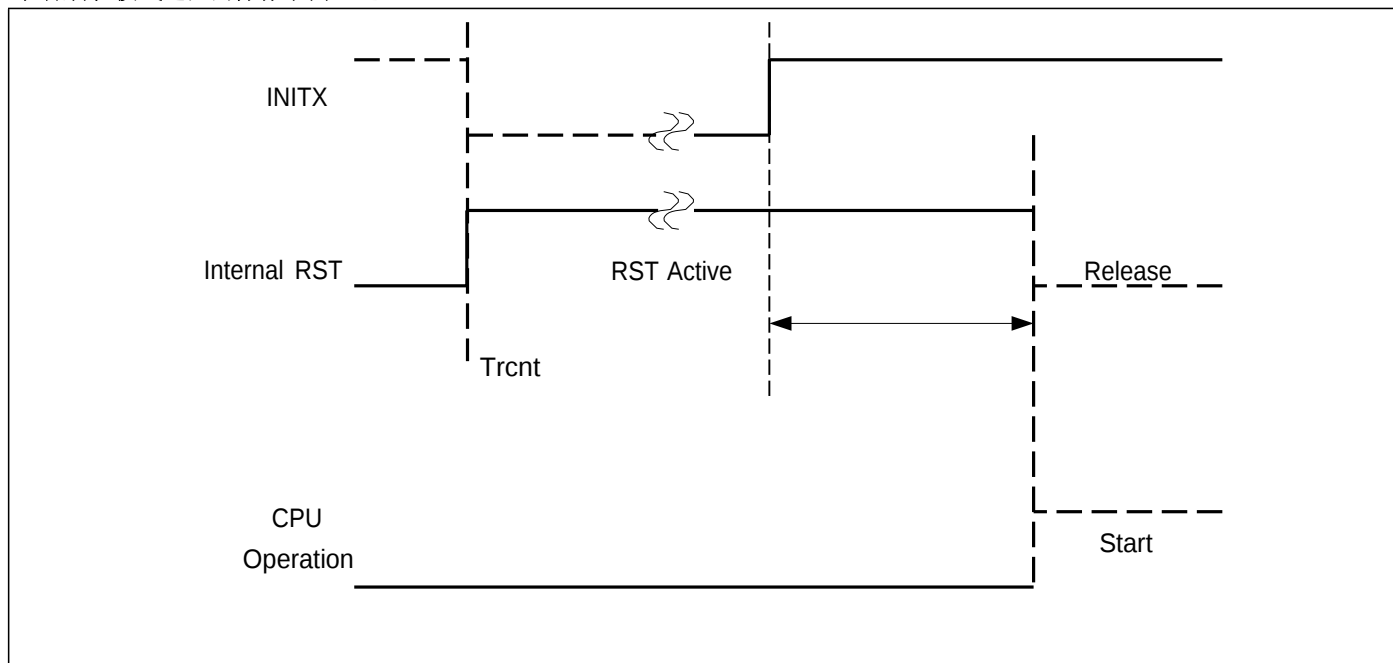
返回计数时间

($V_{CC} = 2.7V$ to $5.5V$, $T_a = -40^{\circ}C$ to $+105^{\circ}C$)

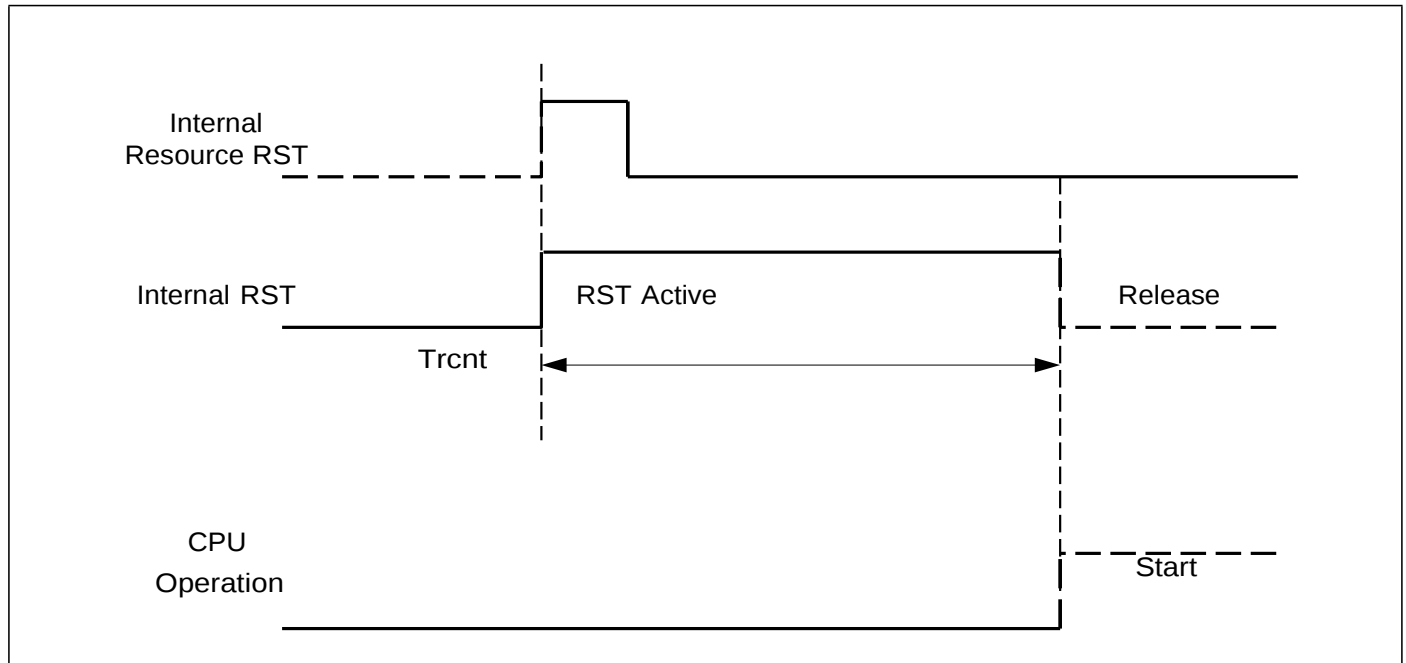
参数	符号	规格值		单位	备注
		标准	最大*		
休眠模式	Trcnt	308	444	μs	
高速 CR 定时器模式、主定时器模式、PLL 定时器模式		308	444	μs	
低速 CR 定时器模式		428	684	μs	
子定时器模式		428	684	μs	
停止模式		428	684	μs	

*:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过 INITX）



从低功耗模式返回的操作示例（通过内部资源复位*）



对这类低功耗模式，内部资源复位未包含在返回因素中。

注意:

- 每一种低功耗模式中的返回因素各不相同。

请参阅“FM3 系列外设手册”中的“第 6 章：低功耗模式”和“待机模式操作”。

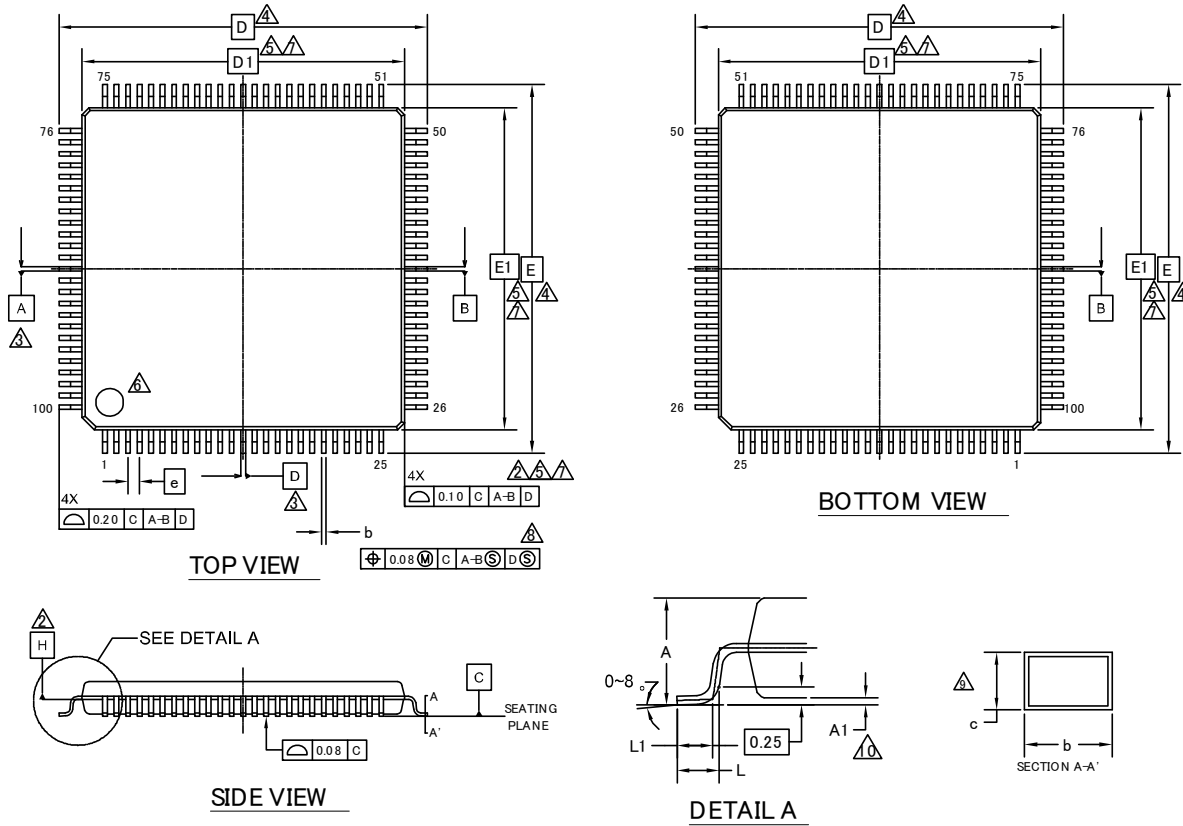
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅“FM3 系列外设手册”中的“第 6 章：低功耗模式”。
- 排除加电复位/低电压检测复位的时间。请参阅“12. 电气特性”这一章节中 12.4. AC 特性的 12.4.7. 加电复位时间”，详细了解加电复位/低电压检测复位时间。
- 在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位意味着看门狗复位和 CSV 复位。

13. 订购信息

产品型号	片上闪存	片上 SRAM	封装	包装
CY9AF111LAPMC1-G-MNE2	64 Kbyte	16 Kbyte	塑封• LQFP (0.5mm 间距), 64-脚 (LQD064)	Tray
CY9AF112LAPMC1-G-MNE2	128 Kbyte	16 Kbyte		
CY9AF114LAPMC1-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF111LAPMC-G-MNE2	64 Kbyte	16 Kbyte	塑封• LQFP (0.65mm 间距), 64-脚 (LQG064)	
CY9AF112LAPMC-G-MNE2	128 Kbyte	16 Kbyte		
CY9AF114LAPMC-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF111MAPMC-G-MNE2	64 Kbyte	16 Kbyte	塑封• LQFP (0.5 mm 间距), 80-脚 (LQH080)	
CY9AF112MAPMC-G-MNE2	128 Kbyte	16 Kbyte		
CY9AF114MAPMC-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF115MAPMC-G-MNE2	384 Kbyte	32 Kbyte		
CY9AF116MAPMC-G-MNE2	512 Kbyte	32 Kbyte		
CY9AF111NAPMC-G-MNE2	64 Kbyte	16 Kbyte	塑封• LQFP (0.5 mm 间距), 100-脚 (LQI100)	
CY9AF112NAPMC-G-MNE2	128 Kbyte	16 Kbyte		
CY9AF114NAPMC-G-MNE2	256 Kbyte	32 Kbyte		
CY9AF115NAPMC-G-MNE2	384 Kbyte	32 Kbyte		
CY9AF116NAPMC-G-MNE2	512 Kbyte	32 Kbyte		

14. 封装尺寸

封装类型	封装编码
LQFP 100	LQI100



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.50 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

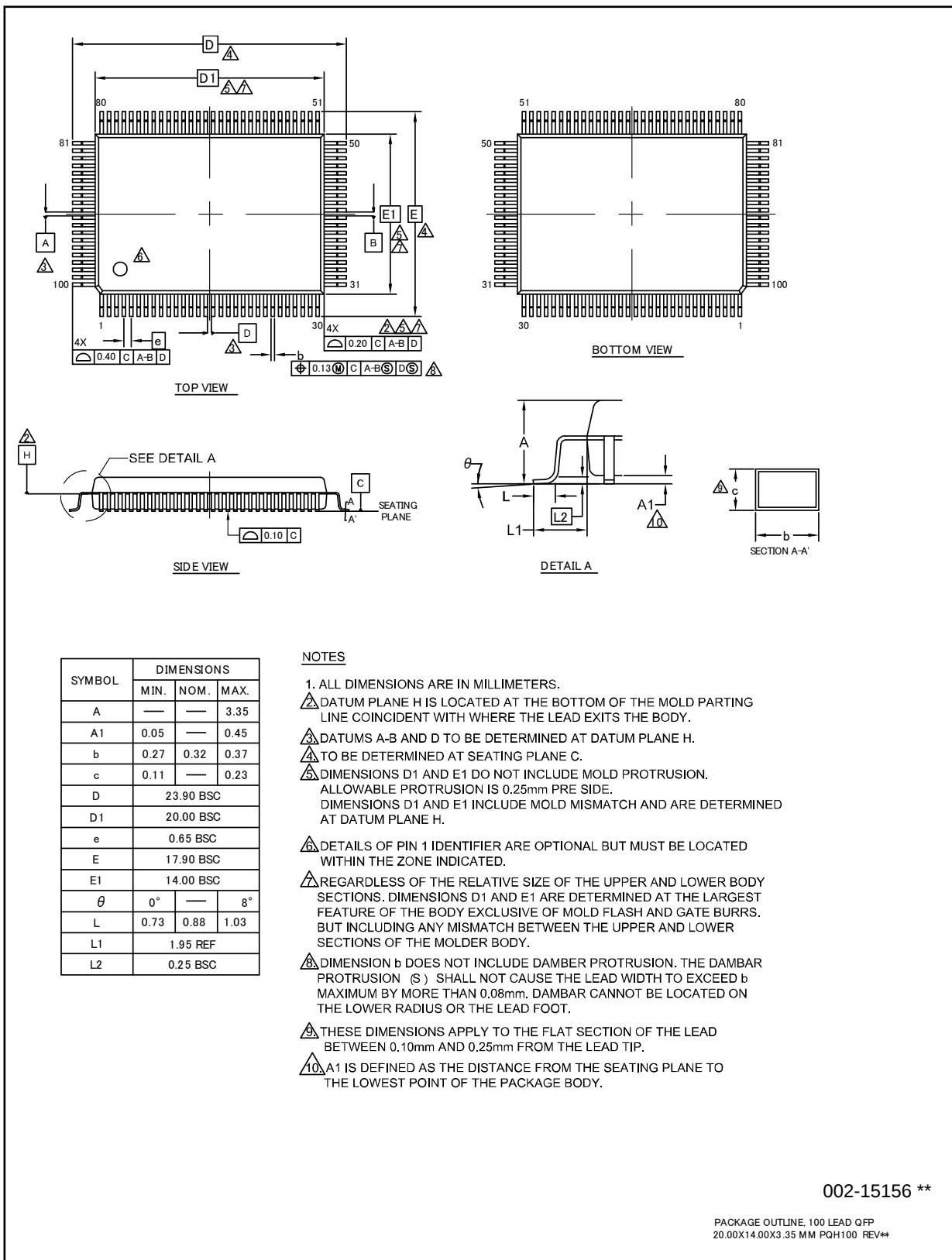
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

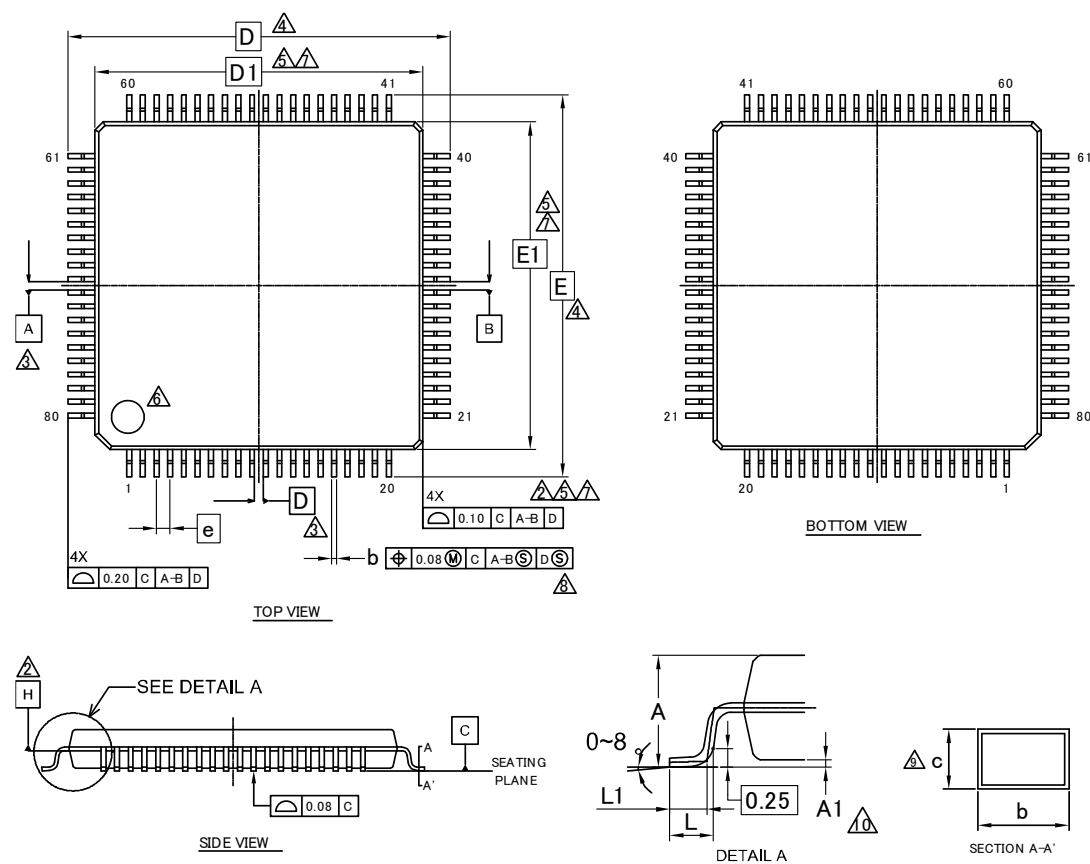
002-11500 *A

 PACKAGE OUTLINE, 100 LEAD LQFP
 14.0X14.0X1.7 MM LQI100 REV*A

封装类型	封装编码
QFP 100	PQH100



封装类型	封装编码
LQFP 80	LQH080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)

△ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.

3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.

4. TO BE DETERMINED AT SEATING PLANE C.

5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.

DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.

⚠️ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.

△ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.

⚠️ DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.

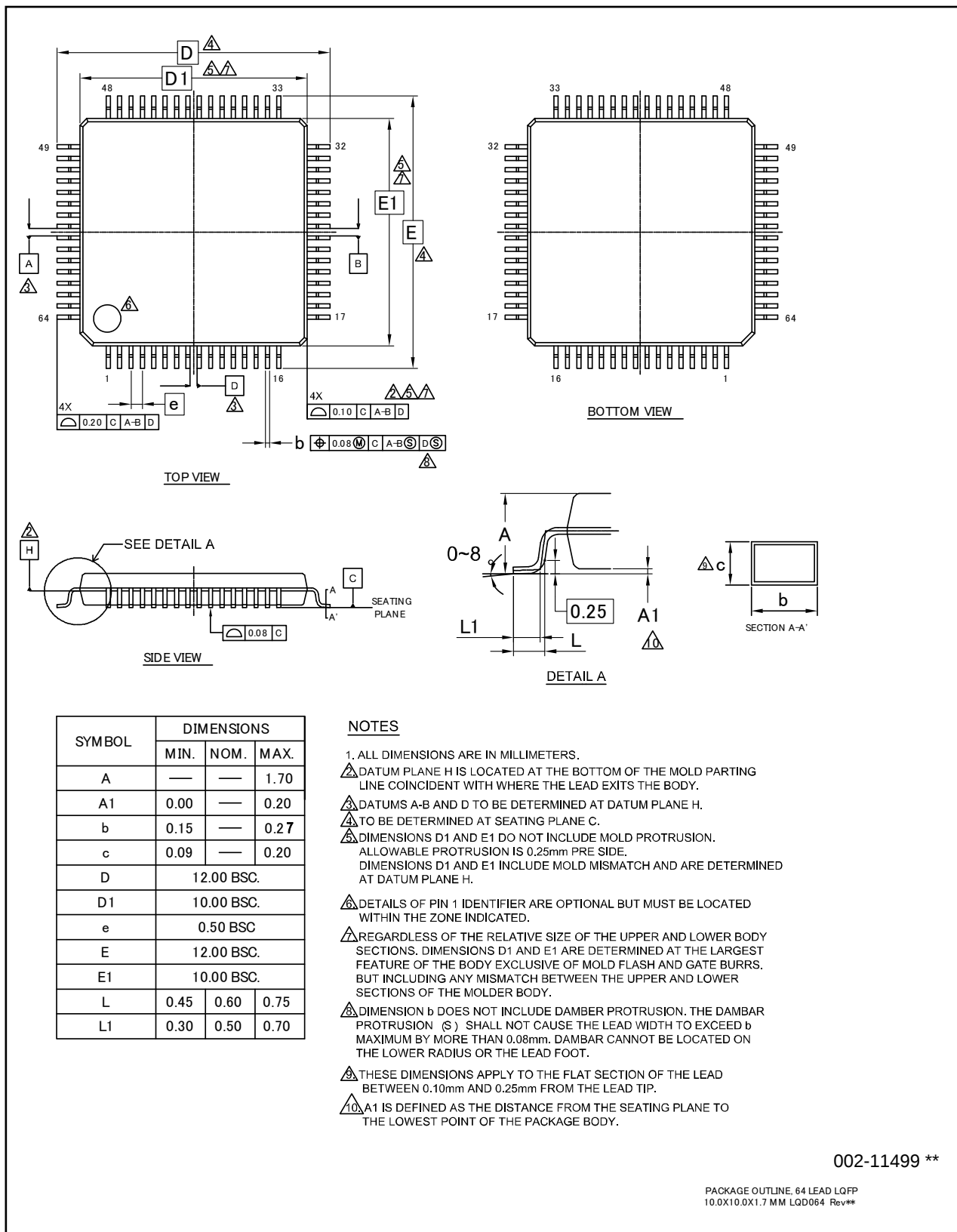
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.

10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

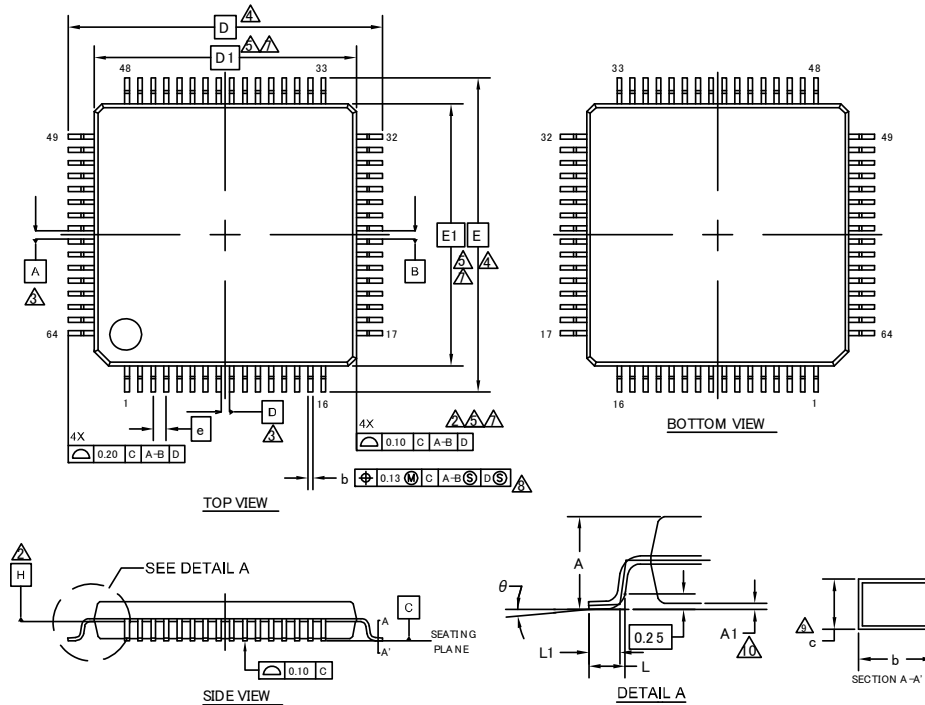
002-11501 **

PACKAGE OUTLINE, 80 LEAD LQFP
12.0X12.0X1.7 MM LQH080 Rev **

封装类型	封装编码
LQFP 64	LQD064



封装类型	封装编码
LQFP 64	LQG064



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.27	0.32	0.37
c	0.09	—	0.20
D	14.00 BSC		
D1	12.00 BSC		
e	0.65 BSC		
E	14.00 BSC		
E1	12.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

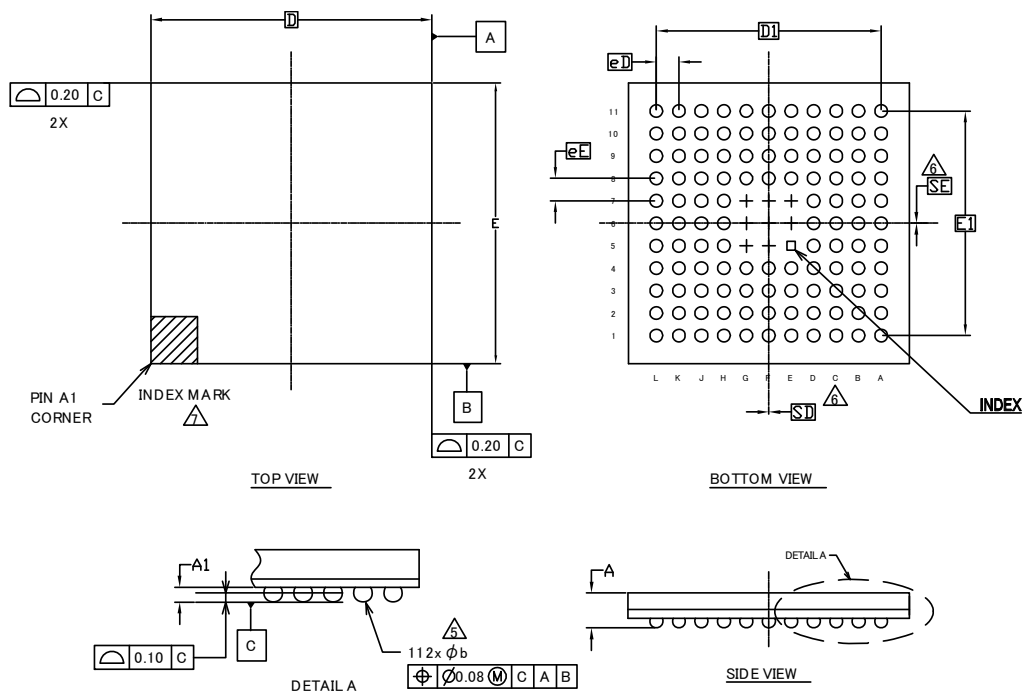
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **

 PACKAGE OUTLINE, 64 LEAD LQFP
 12.0X12.0X1.7 MM LQG064 REV**

封装类型	封装编码
PFBGA 112	LBC112


NOTES

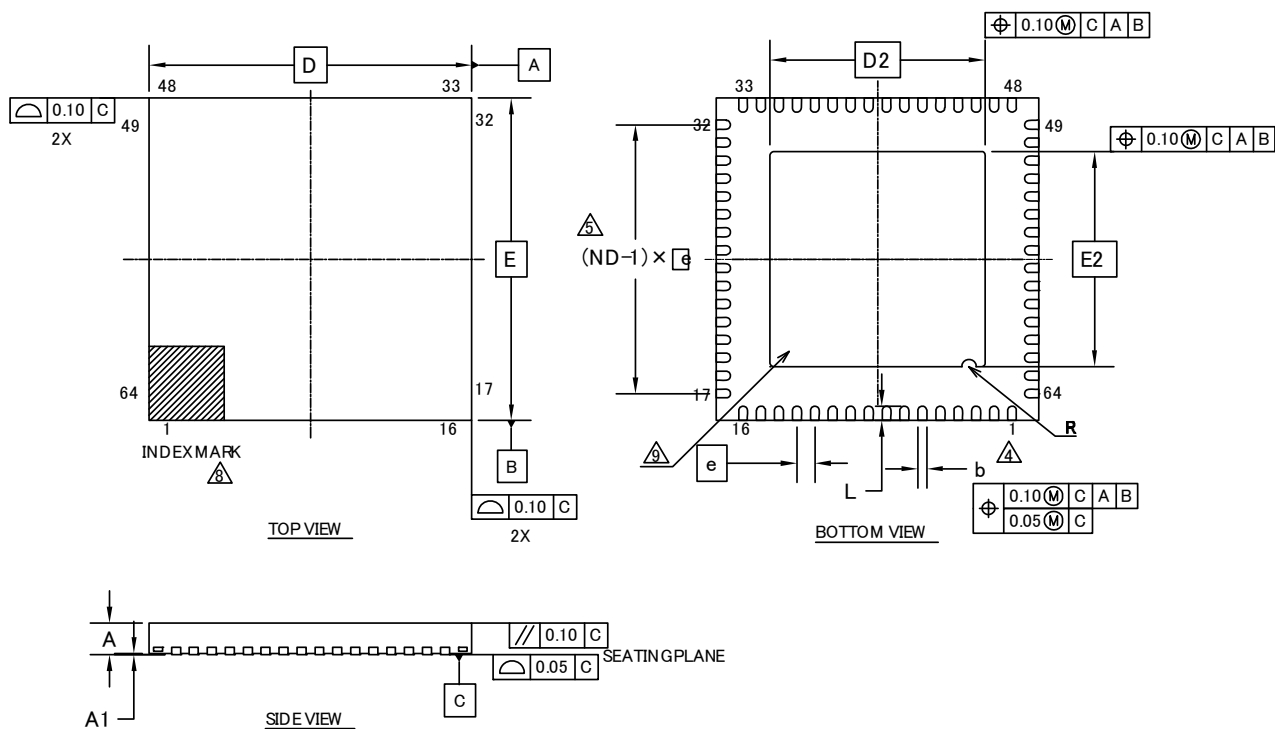
- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.45
A1	0.25	0.35	0.45
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	112		
Ø b	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

002-13225 **

 PACKAGE OUTLINE, 112 BALL FBGA
 10.00X10.00X1.45 MM LBC112 REV**

封装类型	封装编码
QFN 64	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	9.00 BSC		
E	9.00 BSC		
b	0.20	0.25	0.30
D2	6.00 BSC		
E2	6.00 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45
N	64		
ND	16		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
-  DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
-  ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
-  PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
-  BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

002-13234 **

 PACKAGE OUTLINE, 64 LEAD QFN
 9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev**

15. 勘误表

这一章节主要介绍 CY9A110 系列的勘误表。主要包括勘误表触发条件，影响范围，使用范围和芯片修订适用场合。如果有什么问题请联系本地的销售代表。

15.1 影响的芯片

芯片编号
初始版本
CY9AF111LPMC1-G-JNE2, CY9AF112LPMC1-G-JNE2, CY9AF114LPMC1-G-JNE2, CY9AF111LPMC-G-JNE2, CY9AF112LPMC-G-JNE2, CY9AF114LPMC-G-JNE2, CY9AF112LPMC-G-MJE1, CY9AF114LAPMC-G-JNE2, CY9AF111LQN-G-AVE2, CY9AF112LQN-G-AVE2, CY9AF114LQN-G-AVE2, CY9AF111MPMC-G-JNE2, CY9AF112MPMC-G-JNE2, CY9AF114MPMC-G-JNE2, CY9AF115MPMC-G-JNE2, CY9AF116MPMC-G-JNE2, CY9AF111NPMC-G-JNE2, CY9AF112NPMC-G-JNE2, CY9AF114NPMC-G-JNE2, CY9AF115NPMC-G-JNE2, CY9AF116NPMC-G-JNE2, CY9AF111NPF-G-JNE1, CY9AF112NPF-G-JNE1, CY9AF114NPF-G-JNE1, CY9AF115NPF-G-JNE1, CY9AF116NPF-G-JNE1, CY9AF111NBGL-GE1, CY9AF112NBGL-GE1, CY9AF114NBGL-GE1

15.2 产品状态

产品状态：正在生产中 --- 定性的

15.3 勘误总结

这个表格定义了勘误表的适用性到可用的设备

项	芯片编号	芯片的版本	修订的状态
Watch Counter 的问题	参考 15.1 影响的芯片	版本. 初始版本	修复的是版本 A

Watch Counter 的问题

- 问题定义
 - 下溢出中断不会发生
- 参数影响
 - 没有
- 触发条件
 - 条件是当下溢中断发生
- 影响范围
 - 按照说明下溢中断不会出现
- 背景
 - 通过软件不能避免这个错误，除非不用 Watch counter 的中断
- 修订状态
 - 这个问题在版本 A 中已经改好

16. 主要修改

Spansion 出版编号: DS706-00011

页码	章节	修改结果
修订 1.0 版		
-	-	初始版本
修订 2.0 版		
-	-	修改的系列名称和部件编号: MB9A110 系列→MB9A110A 系列 MB9AF111L → MB9AF111LA MB9AF112L → MB9AF112LA MB9AF114L → MB9AF114LA MB9AF111M → MB9AF111MA MB9AF112M → MB9AF112MA MB9AF114M → MB9AF114MA MB9AF115M → MB9AF115MA MB9AF116M → MB9AF116MA MB9AF111N → MB9AF111NA MB9AF112N → MB9AF112NA MB9AF114N → MB9AF114NA MB9AF115N → MB9AF115NA MB9AF116N → MB9AF116NA 添加封装。 LCC-64P-M24
8	产品系列功能 多功能串行接口 (UART/CSIO/LIN/I ² C)	添加下列描述。通道 4 至通道 7: FIFO(16 步×9 位), 通道 0 至通道 3: 无 FIFO
	外部中断	纠正下列描述。 7 引脚(最大) → 8 引脚(最大)
34 至 37	信号描述 多功能串口 (通道 0 至通道 7)	纠正功能描述。 添加“LIN 引脚” 删除“UART 引脚”
42、43	I/O 电路类型	纠正“B 类型”的原理图。 CMOS 级迟滞输入 → 数字输入 纠正“C 类型”的原理图。 控制引脚 → 数字输出
51	器件操作 电源引脚	纠正描述
54	存储器容量	添加“存储器容量”
69	电气特性 4.AC 特性 (1)主时钟输入特性	在内部工作时钟频率中添加 F _{CM} 。
71	(4-2) 主 PLL 的工作条件	添加描述
72	(7)外部总线时间 外部总线时钟输出特性	
79	(8) 基本定时器输入时间 触发输入时间	添加注意事项
88	(10)外部输入时间	纠正脚注。
94	12 位 A/D 转换器 A/D 转换器的电气特性	纠正“满度转换电压”的值。 最小: -20 → AVR _H -20 最大: +20 → AVR _H +20 纠正“比较时钟周期”的值。 最大: 10000 → 2000 纠正“基准电压”的值。 最小: AVSS → 2.7
修订 2.1 版		
-	-	公司名称和布局设计修改

页码	章节	修改结果
修订 3.0 版		
3	特性 外部总线接口	添加最大面积大小的描述
9	封装	删除 FPT-64P-M24、FPT-64P-M23、FPT-80P-M21、FPT-100P-M20
44、46	I/O 电路类型	添加 I ² C 的描述到类型 E、F 和 I
44、45	I/O 电路类型	添加关于 +B 输入的描述
51	器件操作	添加“稳定电源电压”
51	器件操作 晶体振荡器电路	添加下列描述 “对安装板上所用晶体振荡器产生的振荡进行评估。”
52	器件操作 C 引脚	修改描述
53	框图	修改框图
54	存储器容量	修改下列描述 请参阅“产品系列”中的“存储器容量”章节，以确认存储器容量。
55	内存映射 内存映射(1)	修改“外部器件面积”的面积
56、57	内存映射 内存映射(2)(3)	添加对闪存扇区总结和注意事项
64、65	电气特性 1.最大绝对额定值	添加钳位最大电流 添加 P80 和 P81 的输出电流 添加关于 +B 输入的描述
66	电气特性 2.推荐的工作条件	修改模拟基准电压的最小值 添加平滑电容器 添加有关低于最小供电电压的注意事项
67、68	电气特性 3.DC 特性 (1)电流额定值	修改表格格式 添加主定时器模式电流 添加闪存存储器电流 移动 A/D 转换器电流
71	电气特性 4.AC 特性 (3)内置 CR 振荡特性	在内置高速 CR 上添加频率稳定时间
72	电气特性 4.AC 特性 (4-1)(4-2) 主 PLL 的工作条件	添加主 PLL 时钟频率 添加主 PLL 连接的图
73	电气特性 4.AC 特性 (6)加电复位时间	添加释放加电复位所需的时间 修改时间数值
75-77	电气特性 4.AC 特性 (7)外部总线时间	修改后的数据输出时间
82-89	电气特性 4.AC 特性 (8) CSIO/UART 时间	从 UART 时间改为 CSIO/UART 时间 从内部移位时钟操作改为从模式 从外部移位时钟操作改为从模式
96	电气特性 5.12 位 A/D 转换器	添加积分非线性、微分非线性、零转换电压和满度转换电压的典型值 修改到允许操作的阶段转换时间 修改基准电压的最小值
101	电气特性 9.从低功耗模式下的返回时间	添加从低功耗模式下的返回时间
105	订购信息	修改为完整部件编号
106	封装尺寸	删除 FPT-64P-M24、FPT-64P-M23、FPT-80P-M21、FPT-100P-M20

注意事项：后续修改信息请参阅“文档修改记录”。

文档修改记录

文档标题: CY9A110A/CY9A110 系列 32 位 Arm® Cortex®-M3, FM3 微控制器

文档编号: 002-04671

修订版	ECN	提交日期	变更说明
**	—	01/06/2012	已转换成 Cypress 格式，分配文档号为 002-04671。 文档内容或格式无更改。
*A	5385720	09/09/2016	更新 Cypress 模板。
*B	5576849	01/11/2017	更新第51页及52页的图表。
*C	6045785	02/05/2018	本文档版本号为Rev.*C，译自英文版002-04672 Rev.*D。 更新12.4.7“上电复位时序” 更新“14.封装尺寸” 更新“15.勘误表” 校正“12.5 12位AD转换器”将原来的模拟端口输入电流改为了模拟端口输入漏电流 增加“12.4.10 UART时序”波特率 更改Cypress最新的Logo 更新封装编码， FPT-100P-M23 → LQI100 FPT-100P-M06 → PQH100 FPT-80P-M37 → LQH080 FPT-64P-M38 → LQD064 FPT-64P-M39 → LQG064 BGA-112P-M04 → LBC112 LCC-64P-M24 → VNC064
*D	6880725	05/13/2020	本文档版本号为Rev.*D，译自英文版002-04672 Rev.*F。

销售、解决方案以及法律信息

全球销售和 design 支持 赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

Arm 和 Cortex 是 Arm Limited（或其子公司）在美国和/或其它地方的注册商标。

赛普拉斯半导体公司，2011-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。