



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB95690K シリーズは、コンパクトな命令体系に加えて、豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

特長

■ F²MC-8FX CPU コア

- コントローラに最適な命令体系
 - 乗除算命令
 - 16 ビット演算
 - ビットテストによるブランチ命令
 - ビット操作命令など

■ クロック

- 選択可能なメインクロックソース
 - メイン 発振クロック (最大 16.25 MHz, 最大マシクロック周波数: 8.125 MHz)
 - 外部クロック (最大 32.5 MHz, 最大マシクロック周波数: 16.25 MHz)
 - メイン CR クロック (4 MHz ±2%)
 - メイン CR PLL クロック
 - PLL 通倍率が 2 の場合, メイン CRPLL クロックの周波数は 8 MHz ±2% になります。
 - PLL 通倍率が 2.5 の場合, メイン CR PLL クロックの周波数は 10 MHz ±2% になります。
 - PLL 通倍率が 3 の場合, メイン CRPLL クロックの周波数は 12 MHz ±2% になります。
 - PLL 通倍率が 4 の場合, メイン CRPLL クロックの周波数は 16 MHz ±2% になります。
- 選択可能なサブクロックソース
 - サブ発振 クロック (32.768 kHz)
 - 外部クロック (32.768 kHz)
 - サブ CR クロック (標準: 100 kHz, 最小: 50 kHz, 最大: 150 kHz)

■ タイマ

- 8/16 ビット複合タイマ×2 チャンネル
- 8/16 ビット PPG×3 チャンネル
- 16 ビット PPG タイマ×1 チャンネル (マルチパルスジェネレータと連動, または独立して動作可能)
- 16 ビットリロードタイマ×1 チャンネル (マルチパルスジェネレータと連動, または独立して動作可能)
- タイムベースタイマ×1 チャンネル
- 時計プリスケラ×1 チャンネル

■ UART/SIO×1 チャンネル

- 全二重ダブルバッファ
- クロック非同期 (UART) のシリアルデータ転送およびクロック同期 (SIO) のシリアルデータ転送が可能

■ I²C バスインタフェース×1 チャンネル

- ウェイクアップ機能内蔵

■ マルチパルスジェネレータ (MPG) (DC モータ制御用) ×1 チャンネル

- 16 ビットリロードタイマ×1 チャンネル
- 16 ビット PPG タイマ×1 チャンネル

- 波形シーケンサ (16 ビットタイマ, バッファおよびコンペアクリア機能付き)

■ LIN-UART

- 全二重ダブルバッファ
- クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能

■ 外部割込み

- LQF044: 7 チャンネル
- LQA048, LQC052, WNR048: 8 チャンネル
- エッジ検出による割込み (立上りエッジ, 立下りエッジおよび両エッジから選択可能)
- 各種の低消費電力 (スタンバイ) モードからの解除としても使用可能

■ 8/10 ビット A/D コンバータ

- LQF044: 8 チャンネル
- LQA048, LQC052, WNR048: 12 チャンネル
- 8 ビットまたは 10 ビット分解能の選択可能

■ 低消費電力 (スタンバイ) モード

- スタンバイモードは下記の 4 つあります。
 - ストップモード
 - スリープモード
 - 時計モード
 - タイムベースタイマモード
- 各スタンバイモードにおいて、さらにノーマルスタンバイモードとディープスタンバイモードが選択できます。

■ I/O ポート

- LQF044 (ポート数: 41)
 - 汎用入出力ポート (CMOS I/O): 37 本
 - 汎用入出力ポート (N-ch オープンドレイン): 4 本
- LQA048, LQC052, WNR048 (ポート数: 45)
 - 汎用入出力ポート (CMOS I/O): 41 本
 - 汎用入出力ポート (N-ch オープンドレイン): 4 本

■ オンチップデバッグ

- 1 線式シリアル制御
- シリアル書き込みサポート (非同期モード)

■ ハードウェア / ソフトウェアウォッチドッグタイマ

- ハードウェアウォッチドッグタイマ内蔵
- ソフトウェアウォッチドッグタイマ内蔵

■ パワーオンリセット

- 電源が投入されると、パワーオンリセットが発生します。

■ 低電圧検出リセット回路

- 低電圧検出機能は初期設定では許可されます。詳細については、「20. 電气的特性」の「20.2 推奨動作条件」を参照してください。
- 低電圧検出機能はソフトウェアにより制御できます。

- LVD リセット回路制御レジスタ (LVDCC) は低電圧検出リセットを許可または禁止します。
- 低電圧検出リセット回路は内部低電圧検出器を持っています。検出・解除電圧の組合わせを 4 種類から選択できます。
- コンパレータ × 2 チャンネル
 - 専用 BGR 内蔵
 - コンパレータ基準電圧を BGR 電圧とコンパレータ端子から選択可能
- クロックスーパーバイザカウンタ
 - クロックスーパーバイザカウンタ機能内蔵
- デュアルオペレーションフラッシュメモリ
 - 書込み/消去動作・読み込み動作は、異なったバンク (上位バンク / 下位バンク) で同時に行えます。
- フラッシュメモリセキュリティ機能
 - フラッシュメモリ内容を保護

Contents

特長.....	1
1. 品種構成	5
2. パッケージと品種対応.....	7
3. 品種間の相違点と品種選択時の注意事項	8
4. 端子配列図	9
5. 端子機能説明 (LQF044).....	13
6. 端子機能説明 (LQA048, LQC052, WNR048)	17
7. 入出力回路形式.....	22
8. 取扱上のご注意.....	24
8.1 設計上の注意事項	24
8.2 パッケージ実装上の注意事項	25
8.3 使用環境に関する注意事項	26
9. デバイス使用上の注意	27
10. 端子接続について	27
11. ブロックダイアグラム (LQF044)	29
12. ブロックダイアグラム (LQA048, LQC052, WNR048).....	30
13. CPU コア	31
14. メモリ空間	32
14.1 I/O 領域 (アドレス : 0x0000 ~ 0x007F)	32
14.2 拡張 I/O 領域 (アドレス : 0x0F80 ~ 0x0FFF)	32
14.3 データ領域	32
14.4 プログラム領域	32
14.5 メモリ空間マップ	33
15. 特定用途の領域.....	34
16. I/O マップ	35
17. I/Oポート	41
17.1 ポート 0	42
17.2 ポート 1	49
17.3 ポート 4	54
17.4 ポート 6	61
17.5 ポート 7	66
17.6 ポート F	73
17.7 ポート G	76
18. 割込み要因のテーブル	79
19. 各モードにおける端子状態.....	80
20. 電気的特性	83
20.1 絶対最大定格	83
20.2 推奨動作条件	85
20.3 直流規格	86
20.4 交流規格	89

20.5 A/D コンバータ	109
20.6 フラッシュメモリ書込み / 消去特性	113
21. 特性例	114
22. オーダ型格	121
23. パッケージ・外形寸法図	122
24. 本版での主な変更内容	126
改訂履歴	128
セールス , ソリューションおよび法律情報	129

1. 品種構成

項目 \ 品種	MB95F694K	MB95F696K	MB95F698K
分類	フラッシュメモリ品		
クロックスーパーバイザカウンタ	メインクロックとサブクロックの発振を監視		
フラッシュメモリ 容量	20 K バイト	36 K バイト	60 K バイト
RAM 容量	512 バイト	1 K バイト	2 K バイト
パワーオンリセット	あり		
低電圧検出リセット	ソフトウェアによる制御		
リセット入力	ソフトウェア選択		
CPU 機能	- 基本命令数 : 136 命令 - 命令ビット長 : 8 ビット - 命令長 : 1 ~ 3 バイト - データビット長 : 1, 8, 16 ビット長 - 最小命令実行時間 : 61.5 ns (マシニングロック周波数 = 16.25 MHz) - 割込み処理時間 : 0.6 μs (マシニングロック周波数 = 16.25 MHz)		
汎用入出力	- LQF044 - I/O ポート : 41 本 - CMOS I/O : 37 本 - N-ch オープンドレイン : 4 本 - LQA048, LQC052, WNR048 - I/O ポート : 45 本 - CMOS I/O : 41 本 - N-ch オープンドレイン : 4 本		
タイムベースタイマ	インターバル時間 : 0.256 ms ~ 8.3 s (外部クロック周波数 = 4 MHz)		
ハードウェア / ソフトウェアウォッチドッグタイマ	- リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) - サブ CR クロックをソフトウェアウォッチドッグタイマのソースクロックとして使用可能		
ワイルドレジスタ	3 バイト分のデータ置換え可能		
LIN-UART	- 専用リロードタイマによって広範囲の通信速度の選択が可能 - 全二重ダブルバッファ - クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能 - LIN 機能は LIN マスタまたは LIN スレーブとして使用可能		
8/10 ビット A/D コンバータ	- LQF044: 8 チャンネル - LQA048, LQC052, WNR048: 12 チャンネル 8 ビットまたは 10 ビット分解能の選択が可能		
8/16 ビット複合タイマ	2 チャンネル - タイマは 8 ビットタイマ × 2 チャンネル, または 16 ビットタイマ × 1 チャンネルとして構成可能 - インターバルタイマ機能, PWC 機能, PWM 機能およびインプットキャプチャ機能内蔵 - カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 - 方形波出力可能		

項目 \ 品種	MB95F694K	MB95F696K	MB95F698K	
外部割込み	• LQF044: 7 チャンネル • LQA048, LQC052, WNR048: 8 チャンネル			
	• エッジ検出による割込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) • スタンバイモードからの解除としても使用可能			
オンチップデバッグ	• 1 線式シリアル制御 • シリアル書込みをサポート (非同期モード)			
UART/SIO	1 チャンネル			
	• UART/SIO でのデータ転送可能 • 全二重ダブルバッファ, 可変データ長 (5/6/7/8 ビット), ボーレートジェネレータ内蔵, エラー検出機能 • NRZ 方式転送フォーマット • LSB ファースト / MSB ファーストのデータ転送が使用可能 • クロック非同期 (UART) またはクロック同期 (SIO) のシリアルデータ転送が使用可能			
I ² C バスインタフェース	1 チャンネル			
	• マスタ / スレーブ送受信 • バスエラー機能, アービトレーション機能, 転送方向検出機能, ウェイクアップ機能, スタートコンディションの繰り返し発生および検出機能			
8/16 ビット PPG	3 チャンネル			
	• 各チャンネルにつき 8 ビットタイマ×2 チャンネルまたは, 16 ビットタイマ×1 チャンネルとして使用可能 • カウンタ動作クロック : 8 種類のクロックソースから選択可能			
16 ビット PPG タイマ	1 チャンネル			
	• PWM モードまたはワンショットモードが使用可能 • カウンタ動作クロック : 8 種類のクロックソースから選択可能 • 外部トリガ起動対応 • マルチパルスジェネレータと連動, または独立して動作可能			
16 ビット リロードタイマ	1 チャンネル			
	• 2 つのクロックモードとカウンタ動作モードが使用可能 • 方形波出力可能 • カウントクロック : 内部クロック 7 種類および外部クロックから選択可能 • 2 つのカウンタ動作モード : リロードモード, ワンショットモード • マルチパルスジェネレータと連動, または独立して動作可能			
マルチパルスジェネレータ (DC モータ制御用)	• 16 ビット PPG タイマ : 1 チャンネル • 16 ビット リロードタイマ動作 : トグル出力, シングルショット出力選択可 • イベントカウンタ : 1 チャンネル • 波形シーケンサ (16 ビットタイマにバッファ機能, コンペアクリア機能あり)			
時計プリスケーラ	8 種類のインターバル時間から選択可能			
コンパレータ	2 チャンネル			
	各チャンネルの基準電圧は BGR 電圧とコンパレータ端子から選択できます。			
フラッシュメモリ	• 自動プログラミング (Embedded Algorithm) および書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート • アルゴリズム完了を示すフラグ • フラッシュ内容を保護するフラッシュセキュリティ機能			
	書込み / 消去回数	1000	10000	100000
	データ保持時間	20 年間	10 年間	5 年間

項目 \ 品種	MB95F694K	MB95F696K	MB95F698K
スタンバイモード	スタンバイモードは下記の4つあります。 ・ストップモード ・スリープモード ・時計モード ・タイムベースタイマモード 各スタンバイモードにおいて、さらにノーマルスタンバイモードとディープスタンバイモードが選択できます。		
パッケージ	LQF044 LQA048 LQC052 WNR048		

2. パッケージと品種対応

パッケージ \ 品種	MB95F694K	MB95F696K	MB95F698K
LQF044	○	○	○
LQA048	○	○	○
LQC052	○	○	○
WNR048	○	○	○

○：使用可能

3. 品種間の相違点と品種選択時の注意事項

- 消費電流

オンチップデバッグ機能を使用する場合は、フラッシュメモリのプログラム / 消去の消費電流を考慮してください。
消費電流の詳細は、「20. 電気的特性」を参照してください。

- パッケージ

各パッケージの詳細は、「2. パッケージと品種対応」および「23. パッケージ・外形寸法図」を参照してください。

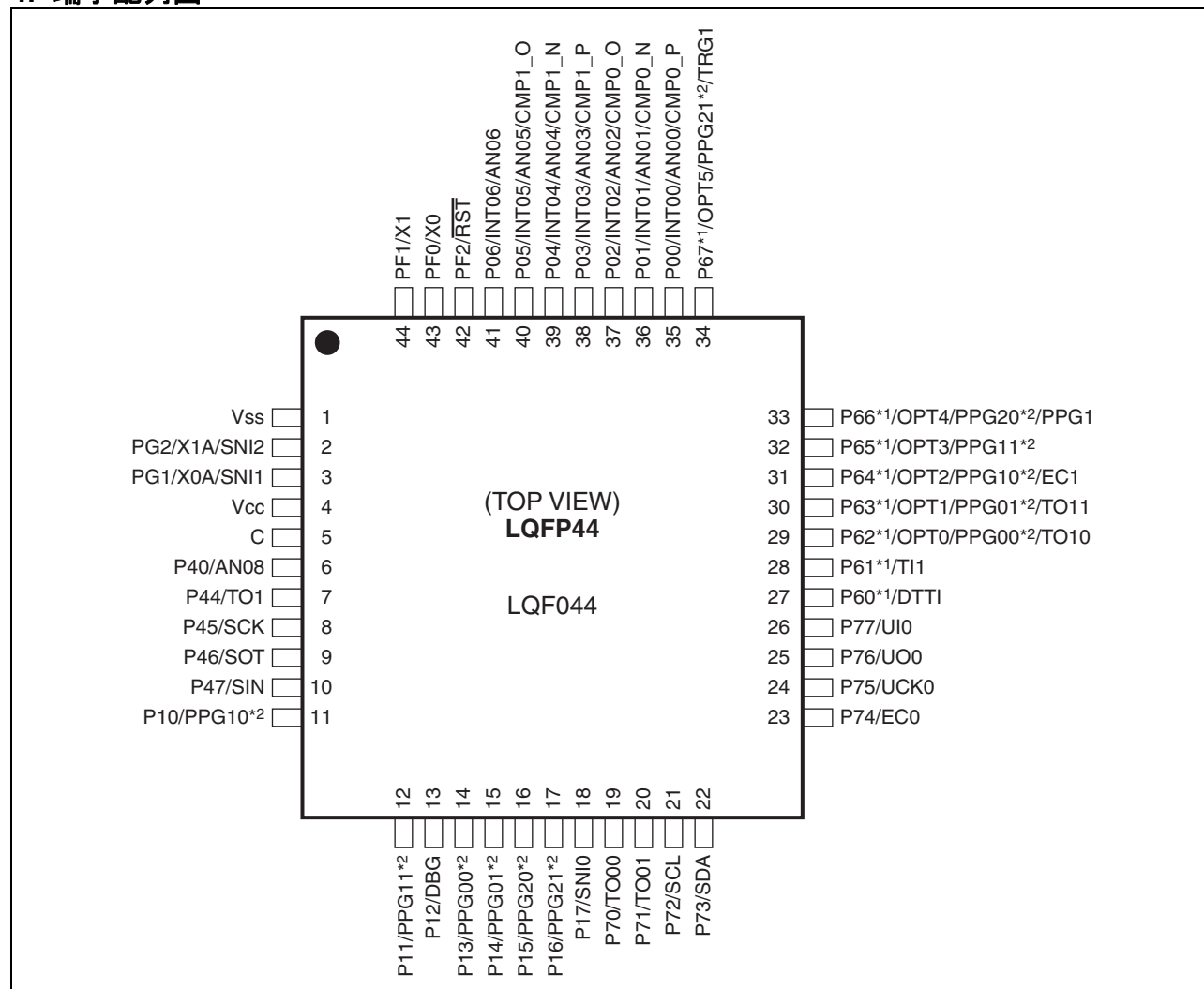
- 動作電圧

動作電圧は、オンチップデバッグ機能を使用するか使用しないかによって異なります。
動作電圧の詳細は、「20. 電気的特性」を参照してください。

- オンチップデバッグ機能

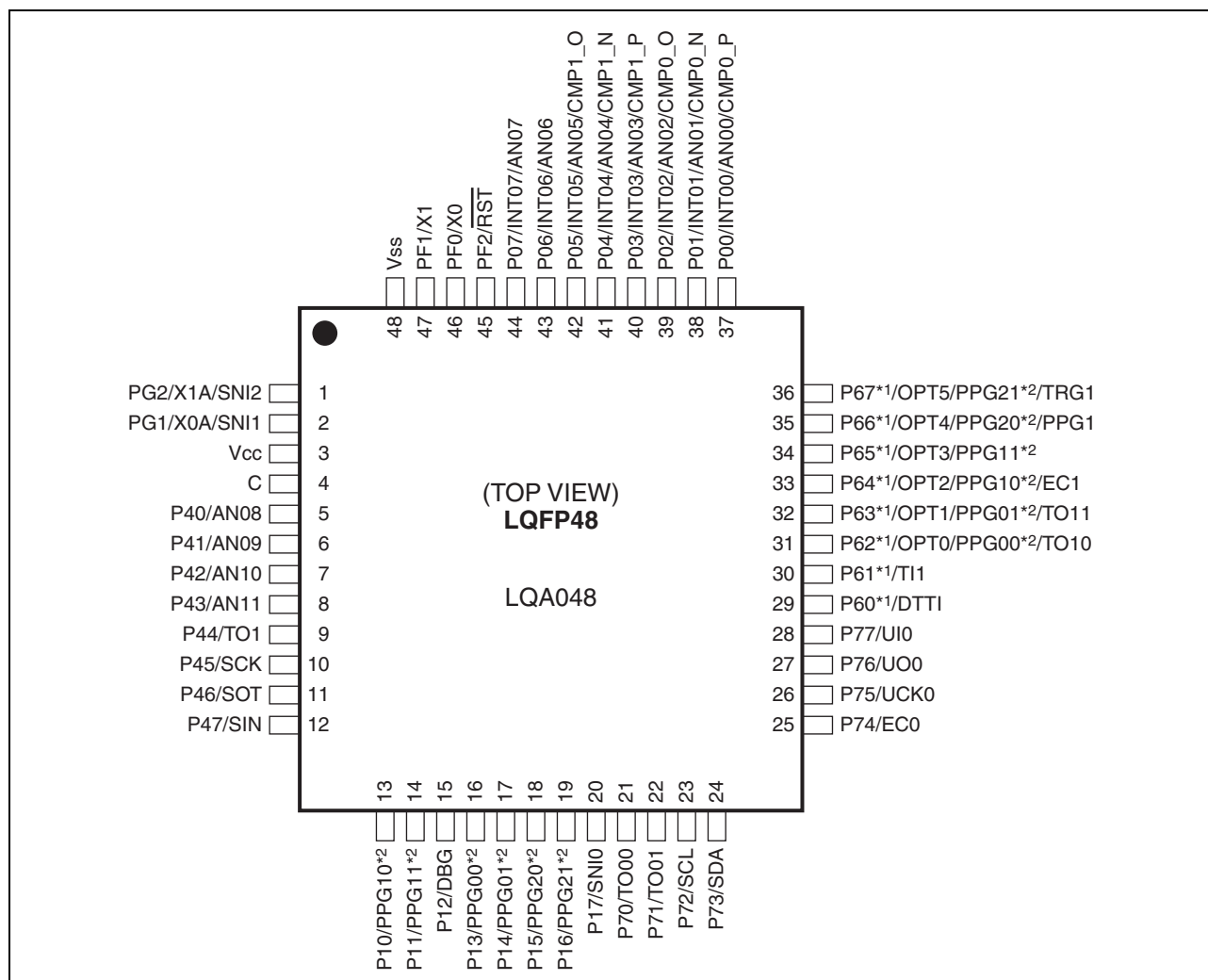
オンチップデバッグ機能を使用する場合は、 V_{CC} 、 V_{SS} および 1 本のシリアルケーブルを評価ツールに接続する必要があります。
接続方法については、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 25 章 シリアル書込み接続例」を参照してください。

4. 端子配列図



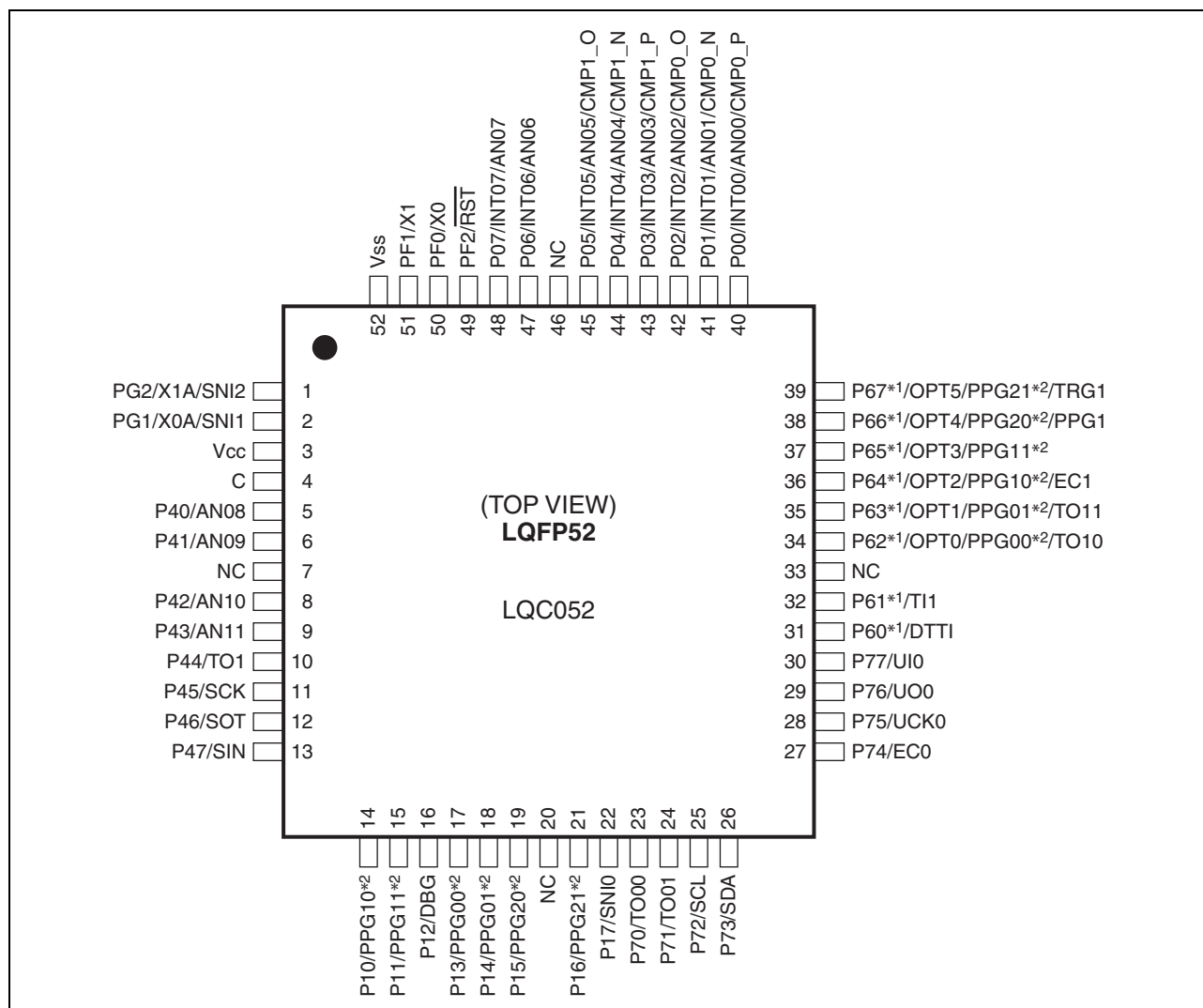
*1: 大電流用端子 (8 mA/12 mA)

*2: 8/16 ビット PPG 端子は、デフォルト設定ではポート 1 にマップされます。ポート 6 にマップするには、SYSC レジスタの PPGSEL ビットに“1”を書き込んでください。



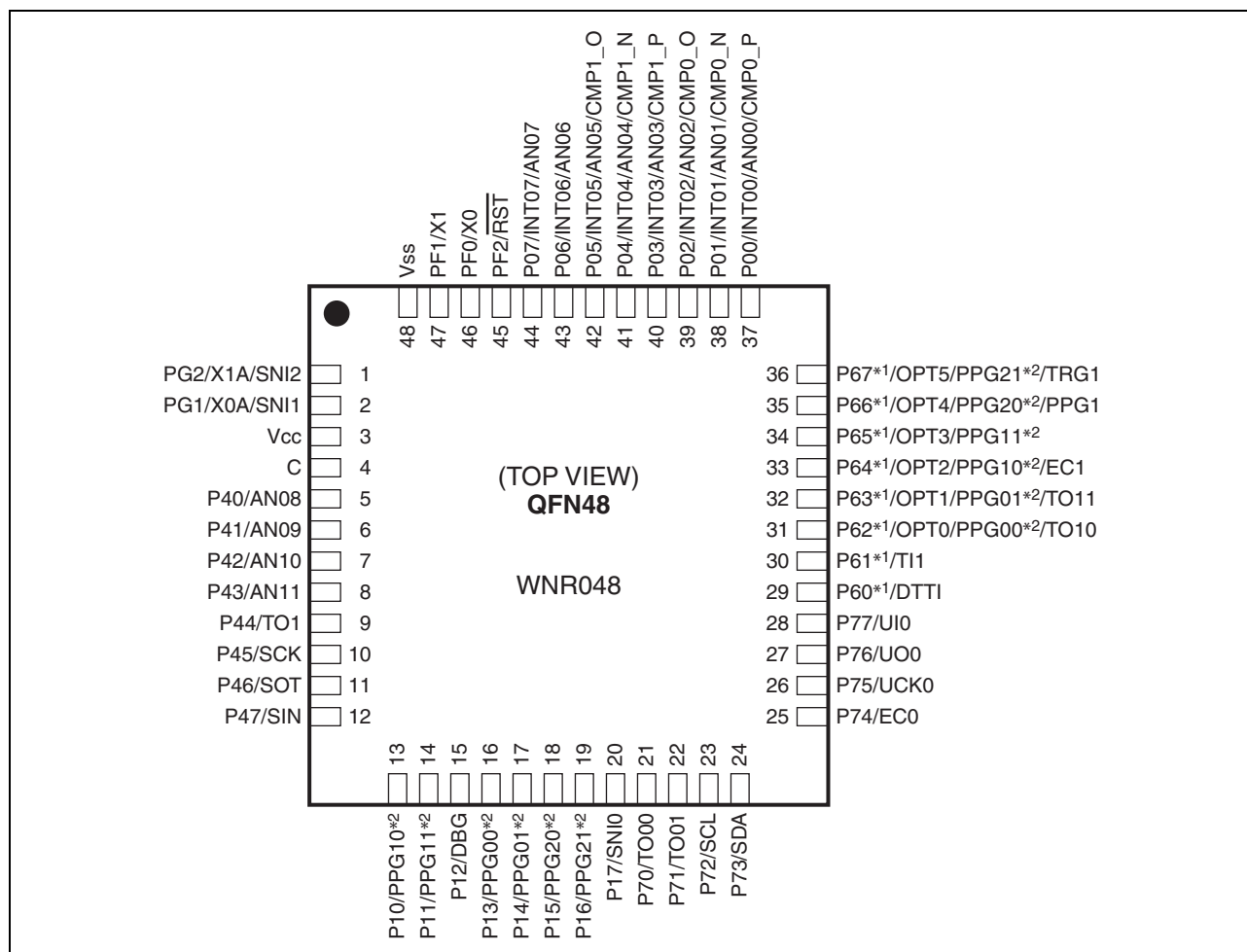
*1: 大電流用端子 (8 mA/12 mA)

*2: 8/16 ビット PPG 端子は、デフォルト設定ではポート 1 にマップされます。ポート 6 にマップするには、SYSC レジスタの PPGSEL ビットに“1”を書き込んでください。



*1: 大電流用端子 (8 mA/12 mA)

*2: 8/16 ビット PPG 端子は、デフォルト設定ではポート 1 にマップされます。ポート 6 にマップするには、SYSC レジスタの PPGSEL ビットに“1”を書き込んでください。



*1: 大電流用端子 (8 mA/12 mA)

*2: 8/16 ビット PPG 端子は、デフォルト設定ではポート 1 にマップされます。ポート 6 にマップするには、SYSC レジスタの PPGSEL ビットに“1”を書き込んでください。

5. 端子機能説明 (LQF044)

端子番号	端子名	入出力 回路形式 *1	機能	入出力形式			
				入力	出力	OD*2	PU*3
1	V _{SS}	—	電源端子 (GND)	—	—	—	—
2	PG2	C	汎用入出力ポート	ヒステリシス	CMOS	—	○
	X1A		サブクロック用入出力発振端子				
	SN12		MPG 波形シーケンサの位置検出機能用トリガ 入力端子				
3	PG1	C	汎用入出力ポート	ヒステリシス	CMOS	—	○
	X0A		サブクロック用入力発振端子				
	SN11		MPG 波形シーケンサの位置検出機能用トリガ 入力端子				
4	V _{CC}	—	電源端子	—	—	—	—
5	C	—	コンデンサ接続端子	—	—	—	—
6	P40	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	AN08		8/10 ビット A/D コンバータアナログ入力端子				
7	P44	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	TO1		16 ビットリロードタイマ ch. 1 出力端子				
8	P45	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	SCK		LIN-UART クロック入出力端子				
9	P46	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	SOT		LIN-UART データ出力端子				
10	P47	I	汎用入出力ポート	CMOS	CMOS	—	○
	SIN		LIN-UART データ入力端子				
11	P10	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG10		8/16 ビット PPG ch. 1 出力端子				
12	P11	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG11		8/16 ビット PPG ch. 1 出力端子				
13	P12	G	汎用入出力ポート	ヒステリシス	CMOS	○	—
	DBG		DBG 入力端子				
14	P13	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG00		8/16 ビット PPG ch. 0 出力端子				
15	P14	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG01		8/16 ビット PPG ch. 0 出力端子				
16	P15	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG20		8/16 ビット PPG ch. 2 出力端子				
17	P16	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	PPG21		8/16 ビット PPG ch. 2 出力端子				
18	P17	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	SN10		MPG 波形シーケンサの位置検出機能用トリガ 入力端子				

端子番号	端子名	入出力 回路形式 *1	機能	入出力形式			
				入力	出力	OD*2	PU*3
19	P70	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	TO00		8/16 ビット複合タイマ ch. 0 出力端子				
20	P71	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	TO01		8/16 ビット複合タイマ ch. 0 出力端子				
21	P72	H	汎用入出力ポート	CMOS	CMOS	○	—
	SCL		I ² C バスインタフェース ch. 0 クロック入出力端子				
22	P73	H	汎用入出力ポート	CMOS	CMOS	○	—
	SDA		I ² C バスインタフェース ch. 0 データ入出力端子				
23	P74	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	EC0		8/16 ビット複合タイマ ch. 0 クロック入力端子				
24	P75	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	UCK0		UART/SIO ch. 0 クロック入出力端子				
25	P76	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
	UO0		UART/SIO ch. 0 データ出力端子				
26	P77	I	汎用入出力ポート	ヒステリシス	CMOS	—	○
	UI0		UART/SIO ch. 0 データ入力端子				
27	P60	D	汎用入出力ポート	ヒステリシス	CMOS	—	○
	DTTI		MPG 波形シーケンサ入力端子				
28	P61	D	汎用入出力ポート	ヒステリシス	CMOS	—	○
	TI1		16 ビットリロードタイマ ch. 1 入力端子				
29	P62	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT0		MPG 波形シーケンサ出力端子				
	PPG00		8/16 ビット PPG ch. 0 出力端子				
	TO10		8/16 ビット複合タイマ ch. 1 出力端子				
30	P63	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT1		MPG 波形シーケンサ出力端子				
	PPG01		8/16 ビット PPG ch. 0 出力端子				
	TO11		8/16 ビット複合タイマ ch. 1 出力端子				
31	P64	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT2		MPG 波形シーケンサ出力端子				
	PPG10		8/16 ビット PPG ch. 1 出力端子				
	EC1		8/16 ビット複合タイマ ch. 1 クロック入力端子				
32	P65	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT3		MPG 波形シーケンサ出力端子				
	PPG11		8/16 ビット PPG ch. 1 出力端子				

端子番号	端子名	入出力 回路形式 *1	機能	入出力形式			
				入力	出力	OD*2	PU*3
33	P66	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT4		MPG 波形シーケンサ出力端子				
	PPG20		8/16 ビット PPG ch. 2 出力端子				
	PPG1		16 ビット PPG タイマ ch. 1 出力端子				
34	P67	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
	OPT5		MPG 波形シーケンサ出力端子				
	PPG21		8/16 ビット PPG ch. 2 出力端子				
	TRG1		16 ビット PPG タイマ ch. 1 トリガ入力端子				
35	P00	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT00		外部割込み入力端子				
	AN00		8/10 ビット A/D コンバータアナログ入力端子				
	CMP0_P		コンパレータ ch. 0 非反転 アナログ入力 (正入力) 端子				
36	P01	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT01		外部割込み入力端子				
	AN01		8/10 ビット A/D コンバータアナログ入力端子				
	CMP0_N		コンパレータ ch. 0 反転アナログ入力 (負入力) 端子				
37	P02	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT02		外部割込み入力端子				
	AN02		8/10 ビット A/D コンバータアナログ入力端子				
	CMP0_O		コンパレータ ch. 0 デジタル出力端子				
38	P03	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT03		外部割込み入力端子				
	AN03		8/10 ビット A/D コンバータアナログ入力端子				
	CMP1_P		コンパレータ ch. 1 非反転 アナログ入力 (正入力) 端子				
39	P04	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT04		外部割込み入力端子				
	AN04		8/10 ビット A/D コンバータアナログ入力端子				
	CMP1_N		コンパレータ ch. 1 反転アナログ入力 (負入力) 端子				
40	P05	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT05		外部割込み入力端子				
	AN05		8/10 ビット A/D コンバータアナログ入力端子				
	CMP1_O		コンパレータ ch. 1 デジタル出力端子				
41	P06	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
	INT06		外部割込み入力端子				
	AN06		8/10 ビット A/D コンバータアナログ入力端子				

端子番号	端子名	入出力回路形式 *1	機能	入出力形式			
				入力	出力	OD*2	PU*3
42	PF2	A	汎用入出力ポート	ヒステリシス	CMOS	○	—
	RST		リセット端子				
43	PF0	B	汎用入出力ポート	ヒステリシス	CMOS	—	—
	X0		メインクロック用入力発振端子				
44	PF1	B	汎用入出力ポート	ヒステリシス	CMOS	—	—
	X1		メインクロック用入出力発振端子				

○ : 使用可能

*1: 入出力回路形式については「7. 入出力回路形式」を参照してください。

*2: N-ch オープンドレイン

*3: プルアップ

6. 端子機能説明 (LQA048, LQC052, WNR048)

端子番号		端子名	入出力 回路形式 *4	機能	入出力形式			
LQFP48* ¹ , QFN48* ²	LQFP52* ³				入力	出力	OD* ⁵	PU* ⁶
1	1	PG2	C	汎用入出力ポート	ヒステリシス	CMOS	—	○
		X1A		サブクロック用入出力発振端子				
		SN12		MPG 波形シーケンサの位置検出 機能用トリガ入力端子				
2	2	PG1	C	汎用入出力ポート	ヒステリシス	CMOS	—	○
		X0A		サブクロック用入力発振端子				
		SN11		MPG 波形シーケンサの位置検出 機能用トリガ入力端子				
3	3	V _{CC}	—	電源端子	—	—	—	—
4	4	C	—	コンデンサ接続端子	—	—	—	—
5	5	P40	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		AN08		8/10 ビット A/D コンバータ アナログ入力端子				
6	6	P41	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		AN09		8/10 ビット A/D コンバータ アナログ入力端子				
—	7	NC	—	内部接続端子です。常に開放に してください。	—	—	—	—
7	8	P42	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		AN10		8/10 ビット A/D コンバータ アナログ入力端子				
8	9	P43	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		AN11		8/10 ビット A/D コンバータ アナログ入力端子				
9	10	P44	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		TO1		16 ビットリロードタイマ ch. 1 出 力端子				
10	11	P45	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		SCK		LIN-UART クロック入出力端子				
11	12	P46	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		SOT		LIN-UART データ出力端子				
12	13	P47	I	汎用入出力ポート	CMOS	CMOS	—	○
		SIN		LIN-UART データ入力端子				
13	14	P10	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG10		8/16 ビット PPG ch. 1 出力端子				
14	15	P11	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG11		8/16 ビット PPG ch. 1 出力端子				
15	16	P12	G	汎用入出力ポート	ヒステリシス	CMOS	○	—
		DBG		DBG 入力端子				

端子番号		端子名	入出力 回路形式 *4	機能	入出力形式			
LQFP48*1, QFN48*2	LQFP52*3				入力	出力	OD*5	PU*6
16	17	P13	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG00		8/16 ビット PPG ch. 0 出力端子				
17	18	P14	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG01		8/16 ビット PPG ch. 0 出力端子				
18	19	P15	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG20		8/16 ビット PPG ch. 2 出力端子				
—	20	NC	—	内部接続端子です。常に開放にしてください。	—	—	—	—
19	21	P16	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		PPG21		8/16 ビット PPG ch. 2 出力端子				
20	22	P17	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		SN10		MPG 波形シーケンサの位置検出機能用トリガ入力端子				
21	23	P70	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		TO00		8/16 ビット複合タイマ ch. 0 出力端子				
22	24	P71	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		TO01		8/16 ビット複合タイマ ch. 0 出力端子				
23	25	P72	H	汎用入出力ポート	CMOS	CMOS	○	—
		SCL		I ² C バスインタフェース ch. 0 クロック入出力端子				
24	26	P73	H	汎用入出力ポート	CMOS	CMOS	○	—
		SDA		I ² C バスインタフェース ch. 0 データ入出力端子				
25	27	P74	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		EC0		8/16 ビット複合タイマ ch. 0 クロック入力端子				
26	28	P75	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		UCK0		UART/SIO ch. 0 クロック入出力端子				
27	29	P76	F	汎用入出力ポート	ヒステリシス	CMOS	—	○
		UO0		UART/SIO ch. 0 データ出力端子				
28	30	P77	I	汎用入出力ポート	ヒステリシス	CMOS	—	○
		UI0		UART/SIO ch. 0 データ入力端子				
29	31	P60	D	汎用入出力ポート	ヒステリシス	CMOS	—	○
		DTTI		MPG 波形シーケンサ入力端子				
30	32	P61	D	汎用入出力ポート	ヒステリシス	CMOS	—	○
		TI1		16 ビットリロードタイマ ch. 1 入力端子				

端子番号		端子名	入出力 回路形式 *4	機能	入出力形式			
LQFP48* ¹ , QFN48* ²	LQFP52* ³				入力	出力	OD* ⁵	PU* ⁶
—	33	NC	—	内部接続端子です。常に開放にしてください。	—	—	—	—
31	34	P62	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT0		MPG 波形シーケンサ出力端子				
		PPG00		8/16 ビット PPG ch. 0 出力端子				
		TO10		8/16 ビット複合タイマ ch. 1 出力端子				
32	35	P63	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT1		MPG 波形シーケンサ出力端子				
		PPG01		8/16 ビット PPG ch. 0 出力端子				
		TO11		8/16 ビット複合タイマ ch. 1 出力端子				
33	36	P64	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT2		MPG 波形シーケンサ出力端子				
		PPG10		8/16 ビット PPG ch. 1 出力端子				
		EC1		8/16 ビット 複合タイマ ch. 1 クロック入力端子				
34	37	P65	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT3		MPG 波形シーケンサ出力端子				
		PPG11		8/16 ビット PPG ch. 1 出力端子				
35	38	P66	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT4		MPG 波形シーケンサ出力端子				
		PPG20		8/16 ビット PPG ch. 2 出力端子				
		PPG1		16 ビット PPG タイマ ch. 1 出力端子				
36	39	P67	D	汎用入出力ポート 大電流用端子	ヒステリシス	CMOS	—	○
		OPT5		MPG 波形シーケンサ出力端子				
		PPG21		8/16 ビット PPG ch. 2 出力端子				
		TRG1		16 ビット PPG タイマ ch. 1 トリガ入力端子				
37	40	P00	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT00		外部割込み入力端子				
		AN00		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP0_P		コンパレータ ch. 0 非反転 アナログ入力 (正入力) 端子				

端子番号		端子名	入出力 回路形式 *4	機能	入出力形式			
LQFP48*1, QFN48*2	LQFP52*3				入力	出力	OD*5	PU*6
38	41	P01	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT01		外部割込み入力端子				
		AN01		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP0_N		コンパレータ ch. 0 反転アナログ 入力 (負入力) 端子				
39	42	P02	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT02		外部割込み入力端子				
		AN02		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP0_O		コンパレータ ch. 0 デジタル出力 端子				
40	43	P03	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT03		外部割込み入力端子				
		AN03		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP1_P		コンパレータ ch. 1 非反転 アナログ入力 (正入力) 端子				
41	44	P04	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT04		外部割込み入力端子				
		AN04		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP1_N		コンパレータ ch. 1 反転アナログ 入力 (負入力) 端子				
42	45	P05	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT05		外部割込み入力端子				
		AN05		8/10 ビット A/D コンバータ アナログ入力端子				
		CMP1_O		コンパレータ ch. 1 デジタル出力 端子				
—	46	NC	—	内部接続端子です。常に開放に してください。	—	—	—	—
43	47	P06	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT06		外部割込み入力端子				
		AN06		8/10 ビット A/D コンバータ アナログ入力端子				
44	48	P07	E	汎用入出力ポート	ヒステリシス / アナログ	CMOS	—	○
		INT07		外部割込み入力端子				
		AN07		8/10 ビット A/D コンバータ アナログ入力端子				
45	49	PF2	A	汎用入出力ポート	ヒステリシス	CMOS	○	—
		RST		リセット端子				

端子番号		端子名	入出力 回路形式 *4	機能	入出力形式			
LQFP48* ¹ , QFN48* ²	LQFP52* ³				入力	出力	OD* ⁵	PU* ⁶
46	50	PF0	B	汎用入出力ポート	ヒステリシス	CMOS	—	—
		X0		メインクロック用入力発振端子				
47	51	PF1	B	汎用入出力ポート	ヒステリシス	CMOS	—	—
		X1		メインクロック用入出力発振端子				
48	52	V _{SS}	—	電源端子 (GND)	—	—	—	—

○ : 使用可能

*1: LQA048

*2: LQC052

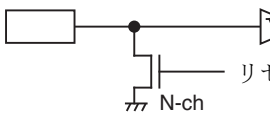
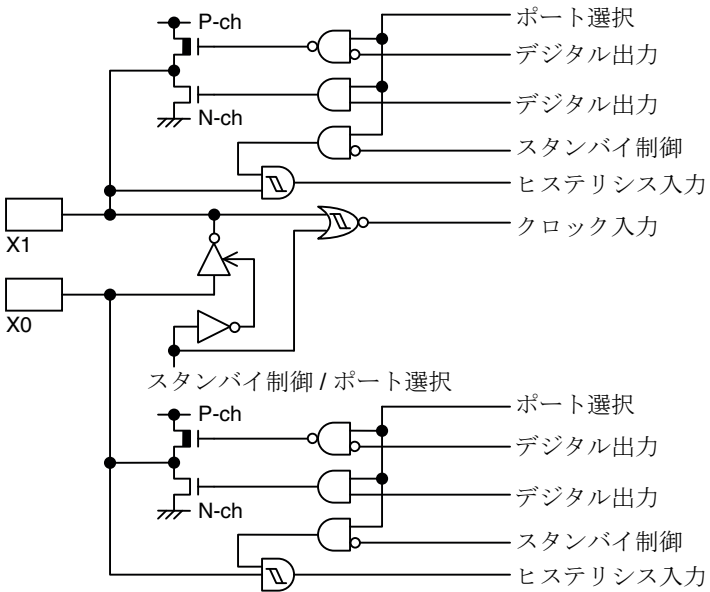
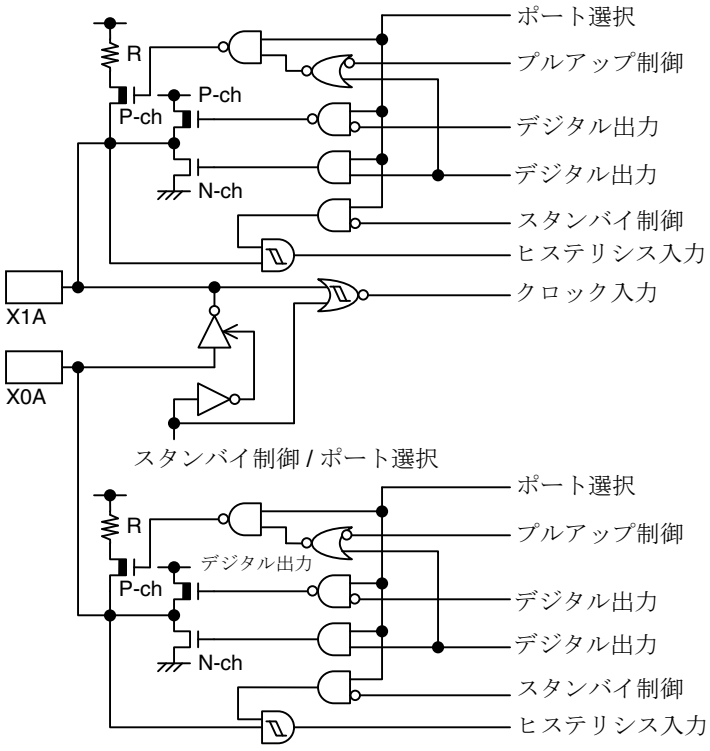
*3: WNR048

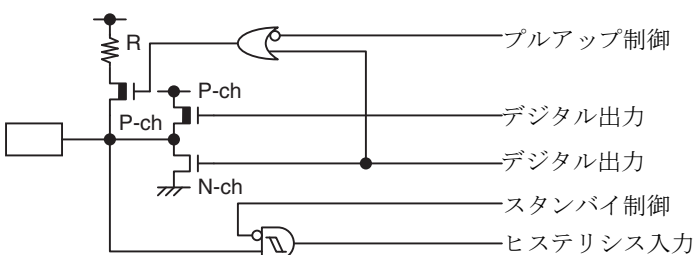
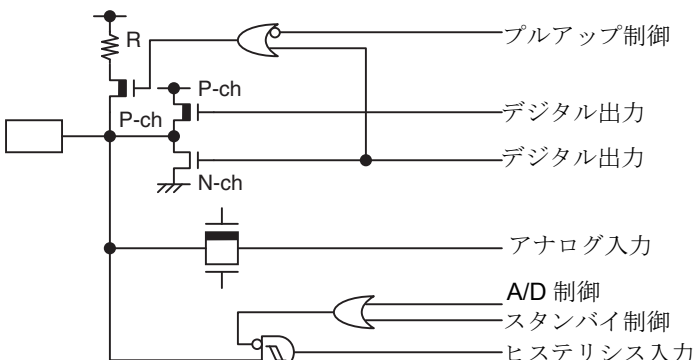
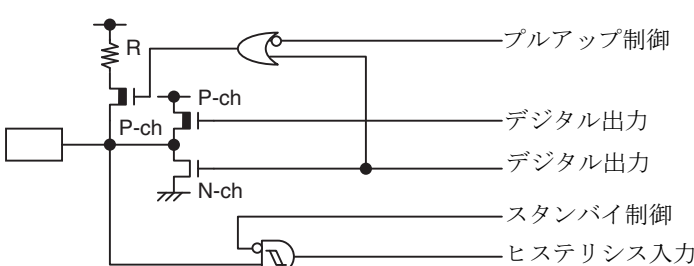
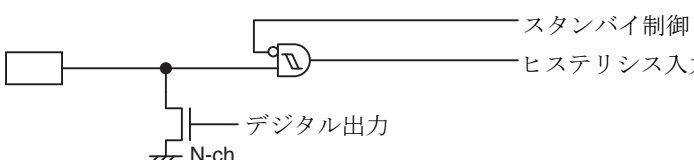
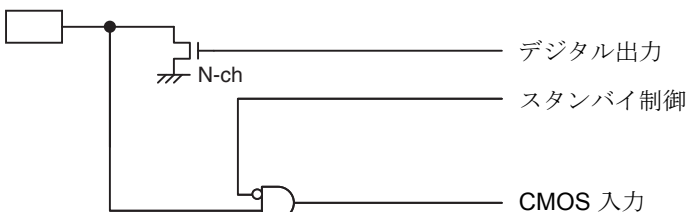
*4: 入出力回路形式については「7. 入出力回路形式」を参照してください。

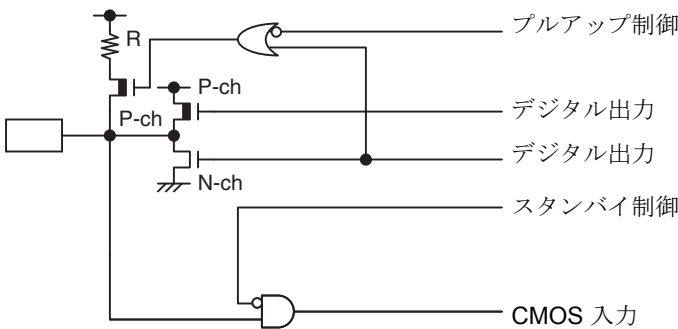
*5: N-ch オープンドレイン

*6: プルアップ

7. 入出力回路形式

分類	回路	備考
A	 リセット入力 / ヒステリシス入力 リセット出力 / デジタル出力 N-ch	• N-ch オープンドレイン出力 • ヒステリシス入力 • リセット出力
B	 ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1 X0 スタンバイ制御 / ポート選択 ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力	• 発振回路 • 高速側 帰還抵抗：約 1 MΩ • CMOS 出力 • ヒステリシス入力
C	 ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1A X0A スタンバイ制御 / ポート選択 ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 R	• 発振回路 • 低速側 帰還抵抗：約 5 MΩ • CMOS 出力 • ヒステリシス入力 • プルアップ制御あり

分類	回路	備考
D	 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力	• CMOS 出力 • ヒステリシス入力 • プルアップ制御あり • 大電流出力
E	 プルアップ制御 デジタル出力 デジタル出力 アナログ入力 A/D 制御 スタンバイ制御 ヒステリシス入力	• CMOS 出力 • ヒステリシス入力 • プルアップ制御あり • アナログ入力
F	 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力	• CMOS 出力 • ヒステリシス入力 • プルアップ制御あり
G	 スタンバイ制御 ヒステリシス入力 デジタル出力 N-ch	• N-ch オープンドレイン出力 • ヒステリシス入力
H	 デジタル出力 スタンバイ制御 CMOS 入力	• N-ch オープンドレイン出力 • CMOS 入力

分類	回路	備考
I		- CMOS 出力 - CMOS 入力 - ブルーアップ制御あり

8. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件など）によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

8.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

・ 絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

・ 推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

・ 端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

・ ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

- (1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。
- (2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

・ 安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

・ フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

・ 用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう)、ならびに極めて高い信頼性が要求される用途 (海底中継器、宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

8.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

・ リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダーリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

・ 表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

• 鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

• 半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度70 %RH 以下、温度5℃～30℃で保管をお願いします。
ドライパッケージを開封した場合には湿度40%～70%RHを推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

• ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125 °C/24 時間

• 静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は40 % ～ 70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

8.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

9. デバイス使用上の注意

・ ラッチアップの防止

使用に際して、印加する電圧が最大定格電圧を超えないようにしてください。

CMOS IC では、中耐圧端子でも高耐圧端子でもない入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または「20. 電気的特性」の「20.1 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子が熱破壊する恐れがあります。

・ 供給電圧の安定化

供給電圧は、安定させてください。

電源電圧が急激に変動すると、たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても、誤動作を生じることがあります。

電圧安定化の基準として、商用周波数 (50 Hz / 60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10% 以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

・ 外部クロック使用時の注意

外部クロック使用時において、パワーオンリセット、サブクロックモードまたはストップモード解除時には、発振安定待ち時間が発生します。

10. 端子接続について

・ 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は 2 k Ω 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は、開放としてください。

・ 電源端子

不要放射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのために、必ず V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグラウンドに接続してください。また、電流供給源と V_{CC} 端子および V_{SS} 端子は低インピーダンスで接続してください。

本デバイスに近い位置で、 V_{CC} 端子と V_{SS} 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

• **DBG 端子**

DBG 端子を $2\text{ k}\Omega$ 以上の外部のプルアップ抵抗に接続してください。

パワーオン後、リセット出力が解除されるまでの間、DBG 端子が“L”レベルのままにならないようにしてください。

DBG 端子はデバッグモード時に通信端子となります。実際のプルアップ抵抗値は、使用するツールや配線長に依存するため、ツールのドキュメントに従ってプルアップ抵抗を選択してください。

• **$\overline{\text{RST}}$ 端子**

$\overline{\text{RST}}$ 端子を $2\text{ k}\Omega$ 以上の外部のプルアップ抵抗に接続してください。

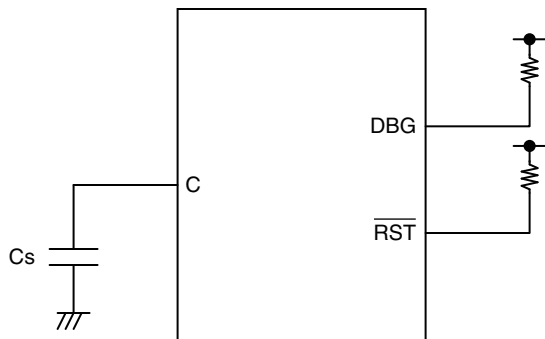
ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、 $\overline{\text{RST}}$ 端子とプルアップ抵抗間の配線距離、および V_{CC} 端子とプルアップ抵抗間の配線距離を最小限にしてください。

パワーオン後、PF2/ $\overline{\text{RST}}$ 端子はリセット入出力端子として機能します。また、リセット出力は SYSC レジスタの RSTOE ビットによって許可でき、リセット入力機能または汎用入出力機能は SYSC レジスタの RSTEN ビットによって選択できます。

• **C 端子**

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S 以上の容量値のコンデンサを使用してください。バイパスコンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

• **DBG / $\overline{\text{RST}}$ / C 端子接続図**

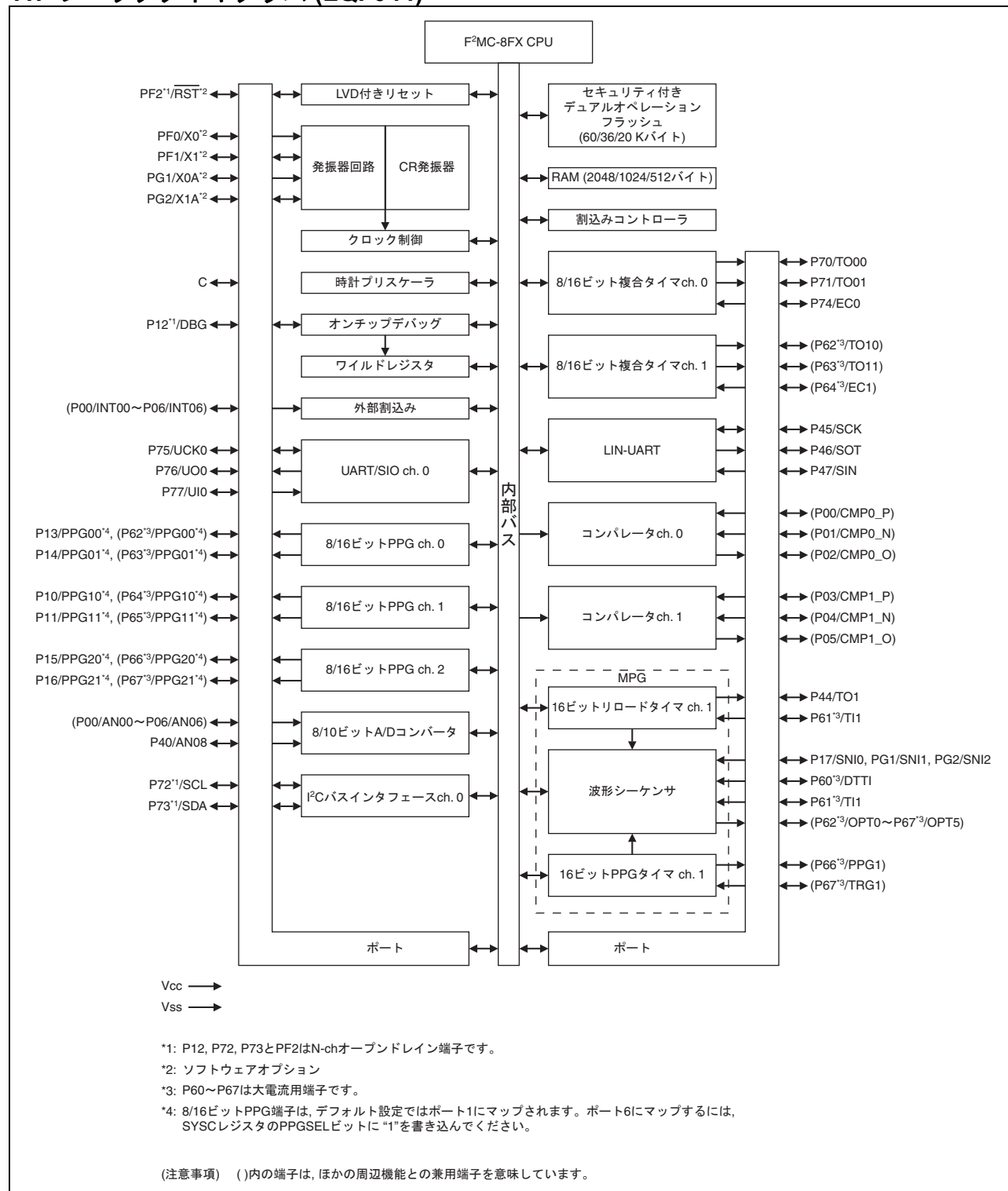


• **シリアル通信に関する注意事項**

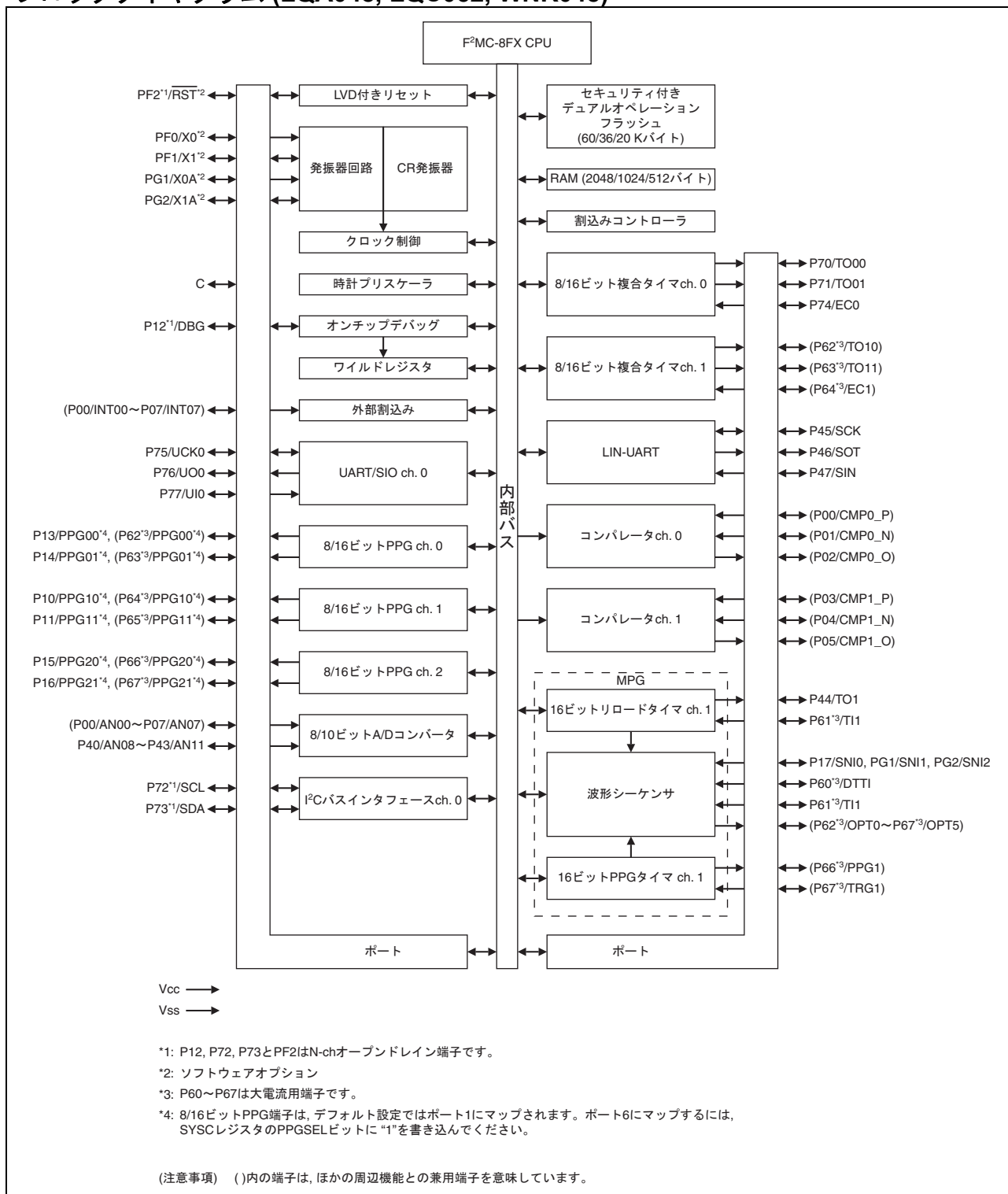
シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、データの最終部にチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

11. ブロックダイアグラム (LQF044)



12. ブロックダイアグラム (LQA048, LQC052, WNR048)

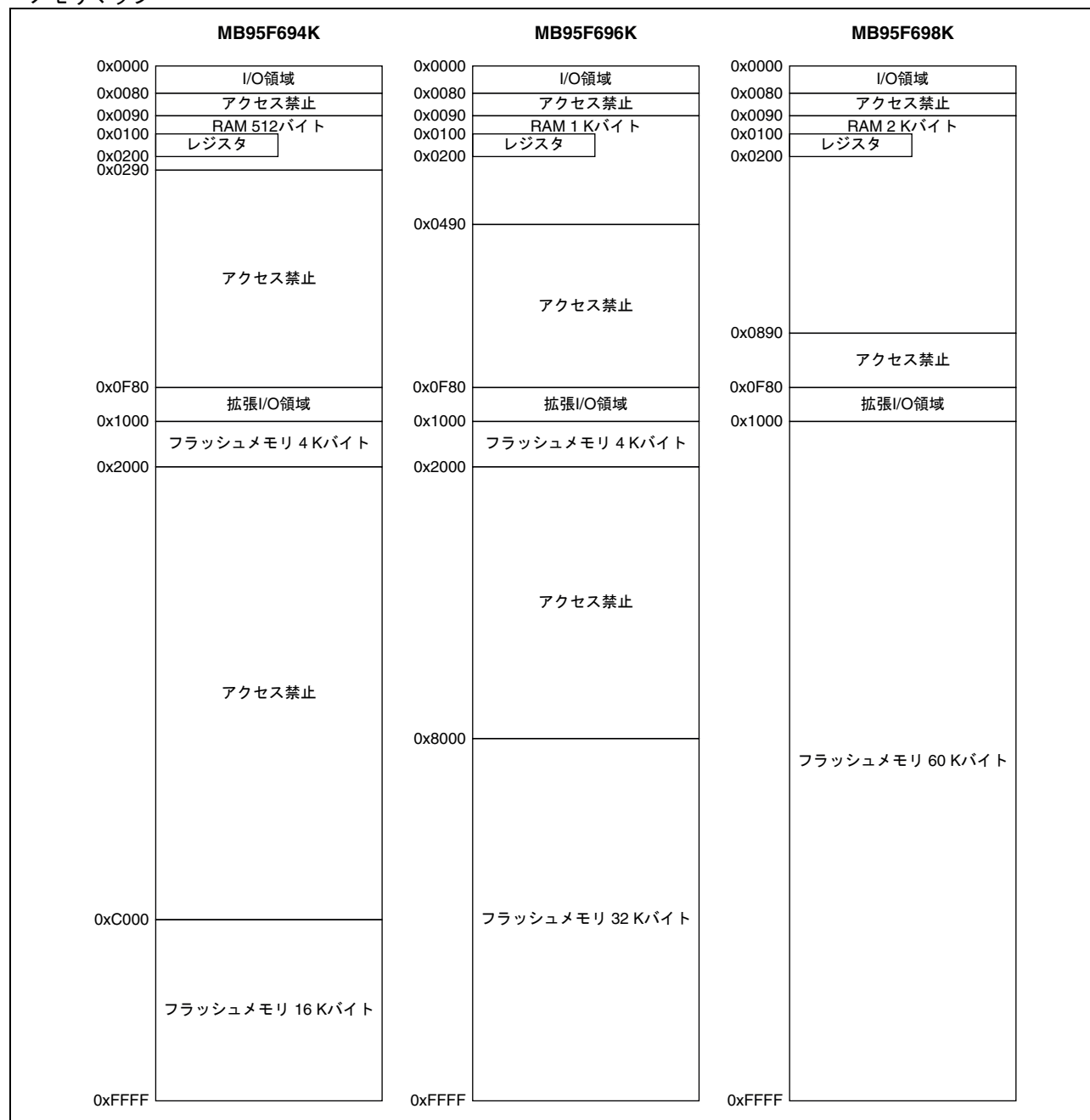


13. CPU コア

- メモリ空間

MB95690K シリーズのメモリ空間は 64 K バイトで、I/O 領域、拡張 I/O 領域、データ領域とプログラム領域によって構成されます。メモリ空間の中には汎用レジスタ、ベクタテーブルなど特定の用途に使用される領域があります。MB95690K シリーズのメモリマップを以下に示します。

- メモリマップ



14. メモリ空間

MB95690K シリーズのメモリ空間は 64K バイトで、I/O 領域、拡張 I/O 領域、データ領域、プログラム領域によって構成されています。メモリ空間には、汎用レジスタやベクタテーブルなど、特定の用途に使用される領域があります。

14.1 I/O 領域 (アドレス : 0x0000 ~ 0x007F)

- この領域には、内蔵する周辺機能の制御レジスタ、データレジスタが配置されています。
- I/O 領域はメモリ空間の一部に割り当てられているため、メモリにアクセスする場合と同様にアクセスできます。また、ダイレクトアドレッシング命令を用いることで、より高速にアクセスできます。

14.2 拡張 I/O 領域 (アドレス : 0x0F80 ~ 0x0FFF)

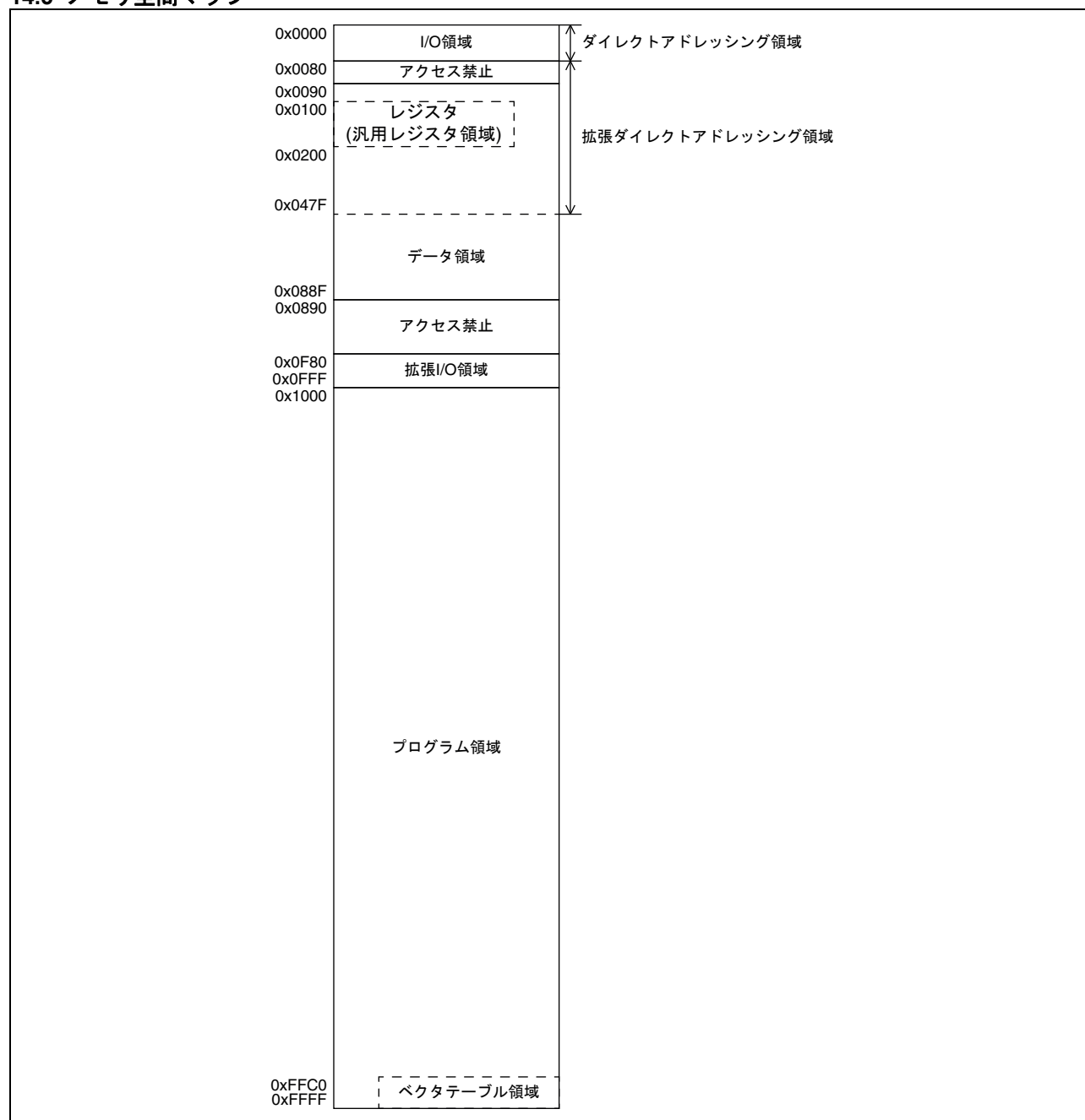
- この領域には、内蔵する周辺機能の制御レジスタ、データレジスタなどが配置されています。
- 拡張 I/O 領域はメモリ空間の一部に割り当てられているメモリにアクセスする場合と同様にアクセスできます。

14.3 データ領域

- 内部データ領域としてスタティック RAM がデータ領域内に内蔵されています。
- 内部 RAM 容量は、品種によって異なります。
- 0x0090 ~ 0x00FF は、ダイレクトアドレッシング命令を用いることで、高速にアクセスできます。
- MB95F698K のアドレス 0x0090 ~ 0x047F は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポインタの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F696K のアドレス 0x0090 ~ 0x047F は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポインタの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F694K のアドレス 0x0090 ~ 0x028F は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポインタの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F694K/F696K/F698K のアドレス 0x0100 ~ 0x01FF は、汎用レジスタ領域として使用できます。

14.4 プログラム領域

- 内部プログラム領域としてフラッシュメモリが内蔵されています。
- フラッシュメモリ容量は、品種によって異なります。
- 0xFFC0 ~ 0xFFFF は、ベクタテーブルとして使用します。
- 0xFFBB ~ 0xFFBF は、不揮発性レジスタのデータ保存に使用します。

14.5 メモリ空間マップ


15. 特定用途の領域

特定の用途の領域には、汎用レジスタ領域とベクタテーブル領域があります。

- **汎用レジスタ領域 (アドレス: 0x0100 ~ 0x01FF)**
 - 8 ビットの演算や転送などに使用する補助的レジスタが配置されています。
 - RAM 領域の一部に割り当てられており、通常の RAM としても使用できます。
 - 汎用レジスタとして使用すると、汎用レジスタアドレッシングによって、短い命令で高速にアクセスできます。
- **不揮発性レジスタデータ領域 (アドレス: 0xFFBB ~ 0xFFBF)**
 - 0xFFBB ~ 0xFFBF までの領域は不揮発性レジスタのデータの保存用として使用します。詳細は、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 27 章 不揮発性レジスタ (NVR) の機能」を参照してください。
- **ベクタテーブル領域 (アドレス: 0xFFC0 ~ 0xFFFF)**
 - ベクタコール命令 (CALLV)、割込み、およびリセットのベクタテーブルとして使用します。
 - フラッシュメモリ領域の最上部に割り当てられており、それぞれのベクタテーブルのアドレスに対応する処理ルーチンの開始アドレスをデータとして設定します。

「18. 割込み要因のテーブル」は、ベクタコール命令、割込み、およびリセットに対応して参照されるベクタテーブルのアドレスを示します。

詳細は「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 4 章 リセット」、「第 5 章 割込み」および「付録」の「A.2 特殊な命令について ■ 特殊な命令について ● CALLV #vct」を参照してください。

- **ダイレクトバンクポインタとアクセス領域**

ダイレクトバンクポインタ (DP[2:0])	オペランドで指定された dir	アクセス領域
0bXXX (マッピングに影響しません)	0x0000 ~ 0x007F	0x0000 ~ 0x007F
0b000 (初期値)	0x0090 ~ 0x00FF	0x0090 ~ 0x00FF
0b001	0x0080 ~ 0x00FF	0x0100 ~ 0x017F
0b010		0x0180 ~ 0x01FF
0b011		0x0200 ~ 0x027F
0b100		0x0280 ~ 0x02FF *1
0b101		0x0300 ~ 0x037F
0b110		0x0380 ~ 0x03FF
0b111		0x0400 ~ 0x047F *2

*1: MB95F694K では、メモリの容量制限により、使用可能なアクセス領域は“0x028F”までとなります。

*2: MB95F696K/F698K では、メモリの容量制限により、使用可能なアクセス領域は“0x047F”までとなります。

16. I/O マップ

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x0000	PDR0	ポート 0 データレジスタ	R/W	0b00000000
0x0001	DDR0	ポート 0 方向レジスタ	R/W	0b00000000
0x0002	PDR1	ポート 1 データレジスタ	R/W	0b00000000
0x0003	DDR1	ポート 1 方向レジスタ	R/W	0b00000000
0x0004	—	(使用禁止)	—	—
0x0005	WATR	発振安定待ち時間設定レジスタ	R/W	0b11111111
0x0006	PLLC	PLL 制御レジスタ	R/W	0b000X0000
0x0007	SYCC	システムクロック制御レジスタ	R/W	0bXXX11011
0x0008	STBC	スタンバイ制御レジスタ	R/W	0b00000000
0x0009	RSRR	リセット要因レジスタ	R/W	0b000XXXXX
0x000A	TBTC	タイムベースタイマ制御レジスタ	R/W	0b00000000
0x000B	WPCR	時計プリスケラ制御レジスタ	R/W	0b00000000
0x000C	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	0b00XX0000
0x000D	SYCC2	システムクロック制御レジスタ 2	R/W	0bXXXXX0011
0x000E	STBC2	スタンバイ制御レジスタ 2	R/W	0b00000000
0x000F ～ 0x0011	—	(使用禁止)	—	—
0x0012	PDR4	ポート 4 データレジスタ	R/W	0b00000000
0x0013	DDR4	ポート 4 方向レジスタ	R/W	0b00000000
0x0014, 0x0015	—	(使用禁止)	—	—
0x0016	PDR6	ポート 6 データレジスタ	R/W	0b00000000
0x0017	DDR6	ポート 6 方向レジスタ	R/W	0b00000000
0x0018	PDR7	ポート 7 データレジスタ	R/W	0b00000000
0x0019	DDR7	ポート 7 方向レジスタ	R/W	0b00000000
0x001A ～ 0x0027	—	(使用禁止)	—	—
0x0028	PDRF	ポート F データレジスタ	R/W	0b00000000
0x0029	DDRF	ポート F 方向レジスタ	R/W	0b00000000
0x002A	PDRG	ポート G データレジスタ	R/W	0b00000000
0x002B	DDRG	ポート G 方向レジスタ	R/W	0b00000000
0x002C	PUL0	ポート 0 プルアップレジスタ	R/W	0b00000000
0x002D	PUL1	ポート 1 プルアップレジスタ	R/W	0b00000000
0x002E, 0x002F	—	(使用禁止)	—	—
0x0030	PUL4	ポート 4 プルアップレジスタ	R/W	0b00000000
0x0031	PUL6	ポート 6 プルアップレジスタ	R/W	0b00000000
0x0032	PUL7	ポート 7 プルアップレジスタ	R/W	0b00000000

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x0033, 0x0034	—	(使用禁止)	—	—
0x0035	PULG	ポート G プルアップレジスタ	R/W	0b00000000
0x0036	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1	R/W	0b00000000
0x0037	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1	R/W	0b00000000
0x0038	T11CR1	8/16 ビット複合タイマ 11 ステータス制御レジスタ 1	R/W	0b00000000
0x0039	T10CR1	8/16 ビット複合タイマ 10 ステータス制御レジスタ 1	R/W	0b00000000
0x003A	PC01	8/16 ビット PPG タイマ 01 制御レジスタ	R/W	0b00000000
0x003B	PC00	8/16 ビット PPG タイマ 00 制御レジスタ	R/W	0b00000000
0x003C	PC11	8/16 ビット PPG タイマ 11 制御レジスタ	R/W	0b00000000
0x003D	PC10	8/16 ビット PPG タイマ 10 制御レジスタ	R/W	0b00000000
0x003E	PC21	8/16 ビット PPG タイマ 21 制御レジスタ	R/W	0b00000000
0x003F	PC20	8/16 ビット PPG タイマ 20 制御レジスタ	R/W	0b00000000
0x0040	TMCSRH1	16 ビットリロードタイマ制御ステータスレジスタ (上位) ch. 1	R/W	0b00000000
0x0041	TMCSRL1	16 ビットリロードタイマ制御ステータスレジスタ (下位) ch. 1	R/W	0b00000000
0x0042	CMR0	コンパレータ制御レジスタ ch. 0	R/W	0b11000101
0x0043	CMR1	コンパレータ制御レジスタ ch. 1	R/W	0b11000101
0x0044	PCNTH1	16 ビット PPG ステータス制御レジスタ (上位) ch. 1	R/W	0b00000000
0x0045	PCNTL1	16 ビット PPG ステータス制御レジスタ (下位) ch. 1	R/W	0b00000000
0x0046, 0x0047	—	(使用禁止)	—	—
0x0048	EIC00	外部割込み回路制御レジスタ ch. 0/ch. 1	R/W	0b00000000
0x0049	EIC10	外部割込み回路制御レジスタ ch. 2/ch. 3	R/W	0b00000000
0x004A	EIC20	外部割込み回路制御レジスタ ch. 4/ch. 5	R/W	0b00000000
0x004B	EIC30	外部割込み回路制御レジスタ ch. 6/ch. 7	R/W	0b00000000
0x004C, 0x004D	—	(使用禁止)	—	—
0x004E	LVDR	LVD リセット電圧選択 ID レジスタ	R/W	0b00000000
0x004F	LVDCC	LVD リセット回路制御レジスタ	R/W	0b00000001
0x0050	SCR	LIN-UART シリアル制御レジスタ	R/W	0b00000000
0x0051	SMR	LIN-UART シリアルモードレジスタ	R/W	0b00000000
0x0052	SSR	LIN-UART シリアルステータスレジスタ	R/W	0b00001000
0x0053	RDR	LIN-UART 受信データレジスタ	R/W	0b00000000
	TDR	LIN-UART 送信データレジスタ		
0x0054	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	0b00000100
0x0055	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	0b000000XX
0x0056	SMC10	UART/SIO シリアルモード制御レジスタ 1 ch. 0	R/W	0b00000000
0x0057	SMC20	UART/SIO シリアルモード制御レジスタ 2 ch. 0	R/W	0b00100000
0x0058	SSR0	UART/SIO シリアルステータスアンドデータレジスタ ch. 0	R/W	0b00000001
0x0059	TDR0	UART/SIO シリアル出力データレジスタ ch. 0	R/W	0b00000000
0x005A	RDR0	UART/SIO シリアル入力データレジスタ ch. 0	R	0b00000000

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x005B ～ 0x005F	—	(使用禁止)	—	—
0x0060	IBCR00	I ² C バス制御レジスタ 0 ch. 0	R/W	0b00000000
0x0061	IBCR10	I ² C バス制御レジスタ 1 ch. 0	R/W	0b00000000
0x0062	IBSR0	I ² C バスステータスレジスタ ch. 0	R/W	0b00000000
0x0063	IDDR0	I ² C データレジスタ ch. 0	R/W	0b00000000
0x0064	IAAR0	I ² C アドレスレジスタ ch. 0	R/W	0b00000000
0x0065	ICCR0	I ² C クロック制御レジスタ ch. 0	R/W	0b00000000
0x0066	OPCUR	16 ビット MPG 出力制御レジスタ (上位)	R/W	0b00000000
0x0067	OPCLR	16 ビット MPG 出力制御レジスタ (下位)	R/W	0b00000000
0x0068	IPCUR	16 ビット MPG 入力制御レジスタ (上位)	R/W	0b00000000
0x0069	IPCLR	16 ビット MPG 入力制御レジスタ (下位)	R/W	0b00000000
0x006A	NCCR	16 ビット MPG ノイズキャンセル制御レジスタ	R/W	0b00000000
0x006B	TCSR	16 ビット MPG タイマ制御ステータスレジスタ	R/W	0b00000000
0x006C	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	0b00000000
0x006D	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	0b00000000
0x006E	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	0b00000000
0x006F	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	0b00000000
0x0070	—	(使用禁止)	—	—
0x0071	FSR2	フラッシュメモリステータスレジスタ 2	R/W	0b00000000
0x0072	FSR	フラッシュメモリステータスレジスタ	R/W	0b000X0000
0x0073	SWRE0	フラッシュメモリスекタ書込み制御レジスタ 0	R/W	0b00000000
0x0074	FSR3	フラッシュメモリステータスレジスタ 3	R	0b000XXXXX
0x0075	FSR4	フラッシュメモリステータスレジスタ 4	R/W	0b00000000
0x0076	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	0b00000000
0x0077	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	0b00000000
0x0078	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0x0079	ILR0	割込みレベル設定レジスタ 0	R/W	0b11111111
0x007A	ILR1	割込みレベル設定レジスタ 1	R/W	0b11111111
0x007B	ILR2	割込みレベル設定レジスタ 2	R/W	0b11111111
0x007C	ILR3	割込みレベル設定レジスタ 3	R/W	0b11111111
0x007D	ILR4	割込みレベル設定レジスタ 4	R/W	0b11111111
0x007E	ILR5	割込みレベル設定レジスタ 5	R/W	0b11111111
0x007F	—	(使用禁止)	—	—
0x0F80	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch. 0	R/W	0b00000000
0x0F81	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch. 0	R/W	0b00000000
0x0F82	WRDR0	ワイルドレジスタデータ設定レジスタ ch. 0	R/W	0b00000000
0x0F83	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch. 1	R/W	0b00000000
0x0F84	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch. 1	R/W	0b00000000

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x0F85	WRDR1	ワイルドレジスタデータ設定レジスタ ch. 1	R/W	0b00000000
0x0F86	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch. 2	R/W	0b00000000
0x0F87	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch. 2	R/W	0b00000000
0x0F88	WRDR2	ワイルドレジスタデータ設定レジスタ ch. 2	R/W	0b00000000
0x0F89 ～ 0x0F91	—	(使用禁止)	—	—
0x0F92	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0	R/W	0b00000000
0x0F93	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0	R/W	0b00000000
0x0F94	T01DR	8/16 ビット複合タイマ 01 データレジスタ	R/W	0b00000000
0x0F95	T00DR	8/16 ビット複合タイマ 00 データレジスタ	R/W	0b00000000
0x0F96	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ	R/W	0b00000000
0x0F97	T11CR0	8/16 ビット複合タイマ 11 ステータス制御レジスタ 0	R/W	0b00000000
0x0F98	T10CR0	8/16 ビット複合タイマ 10 ステータス制御レジスタ 0	R/W	0b00000000
0x0F99	T11DR	8/16 ビット複合タイマ 11 データレジスタ	R/W	0b00000000
0x0F9A	T10DR	8/16 ビット複合タイマ 10 データレジスタ	R/W	0b00000000
0x0F9B	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ	R/W	0b00000000
0x0F9C	PPS01	8/16 ビット PPG01 周期設定バッファレジスタ	R/W	0b11111111
0x0F9D	PPS00	8/16 ビット PPG00 周期設定バッファレジスタ	R/W	0b11111111
0x0F9E	PDS01	8/16 ビット PPG01 デューティ設定バッファレジスタ	R/W	0b11111111
0x0F9F	PDS00	8/16 ビット PPG00 デューティ設定バッファレジスタ	R/W	0b11111111
0x0FA0	PPS11	8/16 ビット PPG11 周期設定バッファレジスタ	R/W	0b11111111
0x0FA1	PPS10	8/16 ビット PPG10 周期設定バッファレジスタ	R/W	0b11111111
0x0FA2	PDS11	8/16 ビット PPG11 デューティ設定バッファレジスタ	R/W	0b11111111
0x0FA3	PDS10	8/16 ビット PPG10 デューティ設定バッファレジスタ	R/W	0b11111111
0x0FA4	PPGS	8/16 ビット PPG 起動レジスタ	R/W	0b00000000
0x0FA5	REVC	8/16 ビット PPG 出力反転レジスタ	R/W	0b00000000
0x0FA6	PPS21	8/16 ビット PPG21 周期設定バッファレジスタ	R/W	0b11111111
0x0FA7	PPS20	8/16 ビット PPG20 周期設定バッファレジスタ	R/W	0b11111111
0x0FA8	TMRH1	16 ビットリロードタイマタイマレジスタ (上位) ch. 1	R/W	0b00000000
	TMRLRH1	16 ビットリロードタイマリロードレジスタ (上位) ch. 1		
0x0FA9	TMRL1	16 ビットリロードタイマタイマレジスタ (下位) ch. 1	R/W	0b00000000
	TMRLRL1	16 ビットリロードタイマリロードレジスタ (下位) ch. 1		
0x0FAA	PDS21	8/16 ビット PPG21 デューティ設定バッファレジスタ	R/W	0b11111111
0x0FAB	PDS20	8/16 ビット PPG20 デューティ設定バッファレジスタ	R/W	0b11111111
0x0FAC ～ 0x0FAF	—	(使用禁止)	—	—
0x0FB0	PDCRH1	16 ビット PPG ダウンカウンタレジスタ (上位) ch. 1	R	0b00000000
0x0FB1	PDCRL1	16 ビット PPG ダウンカウンタレジスタ (下位) ch. 1	R	0b00000000
0x0FB2	PCSRH1	16 ビット PPG 周期設定バッファレジスタ (上位) ch. 1	R/W	0b11111111

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x0FB3	PCSRL1	16 ビット PPG 周期設定バッファレジスタ (下位) ch. 1	R/W	0b11111111
0x0FB4	PDUTH1	16 ビット PPG デューティ設定バッファレジスタ (上位) ch. 1	R/W	0b11111111
0x0FB5	PDUTL1	16 ビット PPG デューティ設定バッファレジスタ (下位) ch. 1	R/W	0b11111111
0x0FB6 ～ 0x0FBB	—	(使用禁止)	—	—
0x0FBC	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	0b00000000
0x0FBD	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	0b00000000
0x0FBE	PSSR0	UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ ch. 0	R/W	0b00000000
0x0FBF	BRSR0	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ ch. 0	R/W	0b00000000
0x0FC0, 0x0FC1	—	(使用禁止)	—	—
0x0FC2	AIDRH	A/D 入力禁止レジスタ (上位)	R/W	0b00000000
0x0FC3	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	0b00000000
0x0FC4	OPDBRH0	16 ビット MPG 出力データバッファレジスタ (上位) ch. 0	R/W	0b00000000
0x0FC5	OPDBRL0	16 ビット MPG 出力データバッファレジスタ (下位) ch. 0	R/W	0b00000000
0x0FC6	OPDBRH1	16 ビット MPG 出力データバッファレジスタ (上位) ch. 1	R/W	0b00000000
0x0FC7	OPDBRL1	16 ビット MPG 出力データバッファレジスタ (下位) ch. 1	R/W	0b00000000
0x0FC8	OPDBRH2	16 ビット MPG 出力データバッファレジスタ (上位) ch. 2	R/W	0b00000000
0x0FC9	OPDBRL2	16 ビット MPG 出力データバッファレジスタ (下位) ch. 2	R/W	0b00000000
0x0FCA	OPDBRH3	16 ビット MPG 出力データバッファレジスタ (上位) ch. 3	R/W	0b00000000
0x0FCB	OPDBRL3	16 ビット MPG 出力データバッファレジスタ (下位) ch. 3	R/W	0b00000000
0x0FCC	OPDBRH4	16 ビット MPG 出力データバッファレジスタ (上位) ch. 4	R/W	0b00000000
0x0FCD	OPDBRL4	16 ビット MPG 出力データバッファレジスタ (下位) ch. 4	R/W	0b00000000
0x0FCE	OPDBRH5	16 ビット MPG 出力データバッファレジスタ (上位) ch. 5	R/W	0b00000000
0x0FCF	OPDBRL5	16 ビット MPG 出力データバッファレジスタ (下位) ch. 5	R/W	0b00000000
0x0FD0	OPDBRH6	16 ビット MPG 出力データバッファレジスタ (上位) ch. 6	R/W	0b00000000
0x0FD1	OPDBRL6	16 ビット MPG 出力データバッファレジスタ (下位) ch. 6	R/W	0b00000000
0x0FD2	OPDBRH7	16 ビット MPG 出力データバッファレジスタ (上位) ch. 7	R/W	0b00000000
0x0FD3	OPDBRL7	16 ビット MPG 出力データバッファレジスタ (下位) ch. 7	R/W	0b00000000
0x0FD4	OPDBRH8	16 ビット MPG 出力データバッファレジスタ (上位) ch. 8	R/W	0b00000000
0x0FD5	OPDBRL8	16 ビット MPG 出力データバッファレジスタ (下位) ch. 8	R/W	0b00000000
0x0FD6	OPDBRH9	16 ビット MPG 出力データバッファレジスタ (上位) ch. 9	R/W	0b00000000
0x0FD7	OPDBRL9	16 ビット MPG 出力データバッファレジスタ (下位) ch. 9	R/W	0b00000000
0x0FD8	OPDBRHA	16 ビット MPG 出力データバッファレジスタ (上位) ch. A	R/W	0b00000000
0x0FD9	OPDBRLA	16 ビット MPG 出力データバッファレジスタ (下位) ch. A	R/W	0b00000000
0x0FDA	OPDBRHB	16 ビット MPG 出力データバッファレジスタ (上位) ch. B	R/W	0b00000000
0x0FDB	OPDBRLB	16 ビット MPG 出力データバッファレジスタ (下位) ch. B	R/W	0b00000000
0x0FDC	OPDUR	16 ビット MPG 出力データレジスタ (上位)	R	0b0000XXXX
0x0FDD	OPDLR	16 ビット MPG 出力データレジスタ (下位)	R	0bXXXXXXXX

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0x0FDE	CPCUR	16 ビット MPG 比較クリアレジスタ (上位)	R/W	0bXXXXXXXX
0x0FDF	CPCLR	16 ビット MPG 比較クリアレジスタ (下位)	R/W	0bXXXXXXXX
0x0FE0	LVDPW	LVD リセット回路パスワードレジスタ	R/W	0b00000000
0x0FE1	—	(使用禁止)	—	—
0x0FE2	TMBUR	16 ビット MPG タイマバッファレジスタ (上位)	R	0bXXXXXXXX
0x0FE3	TMBLR	16 ビット MPG タイマバッファレジスタ (下位)	R	0bXXXXXXXX
0x0FE4	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	0b000XXXXX
0x0FE5	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	0b000XXXXX
0x0FE6	—	(使用禁止)	—	—
0x0FE7	CRTDA	メイン CR クロック温度依存補正レジスタ	R/W	0b000XXXXX
0x0FE8	SYSC	システム構成レジスタ	R/W	0b11000011
0x0FE9	CMCR	クロック監視制御レジスタ	R/W	0b00000000
0x0FEA	CMDR	クロック監視データレジスタ	R	0b00000000
0x0FEB	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	0bXXXXXXXX
0x0FEC	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	0bXXXXXXXX
0x0FED, 0x0FEE	—	(使用禁止)	—	—
0x0FEF	WICR	割込み端子選択回路制御レジスタ	R/W	0b01000000
0x0FF0 ～ 0x0FFF	—	(使用禁止)	—	—

•R/W についての説明

- R/W : リード/ライト可能
 R : リードオンリ

•初期値についての説明

- 0 : このビットの初期値は“0”です。
 1 : このビットの初期値は“1”です。
 X : このビットの初期値は不定です。

(注意事項) 「(使用禁止)」のアドレスへの書込みは行わないでください。「(使用禁止)」のアドレスを読み出した場合は不定値が読み出されます。

17. I/O ポート

• ポートレジスタ一覧

レジスタ名称		リード / ライト	初期値
ポート 0 データレジスタ	PDR0	R, RM/W	0b00000000
ポート 0 方向レジスタ	DDR0	R/W	0b00000000
ポート 1 データレジスタ	PDR1	R, RM/W	0b00000000
ポート 1 方向レジスタ	DDR1	R/W	0b00000000
ポート 4 データレジスタ	PDR4	R, RM/W	0b00000000
ポート 4 方向レジスタ	DDR4	R/W	0b00000000
ポート 6 データレジスタ	PDR6	R, RM/W	0b00000000
ポート 6 方向レジスタ	DDR6	R/W	0b00000000
ポート 7 データレジスタ	PDR7	R, RM/W	0b00000000
ポート 7 方向レジスタ	DDR7	R/W	0b00000000
ポート F データレジスタ	PDRF	R, RM/W	0b00000000
ポート F 方向レジスタ	DDRF	R/W	0b00000000
ポート G データレジスタ	PDRG	R, RM/W	0b00000000
ポート G 方向レジスタ	DDRG	R/W	0b00000000
ポート 0 プルアップレジスタ	PUL0	R/W	0b00000000
ポート 1 プルアップレジスタ	PUL1	R/W	0b00000000
ポート 4 プルアップレジスタ	PUL4	R/W	0b00000000
ポート 6 プルアップレジスタ	PUL6	R/W	0b00000000
ポート 7 プルアップレジスタ	PUL7	R/W	0b00000000
ポート G プルアップレジスタ	PULG	R/W	0b00000000
A/D 入力禁止レジスタ (上位)	AIDRH	R/W	0b00000000
A/D 入力禁止レジスタ (下位)	AIDRL	R/W	0b00000000

R/W : リード / ライト可能 (読出し値は書き込み値)

R, RM/W : リード / ライト可能 (読出し値は書き込み値と異なります。書き込み値は、リードモディファイライト (RMW) 系命令によって、読み出されます。)

17.1 ポート 0

ポート 0 は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.1.1 ポート 0 の構成

ポート 0 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 0 データレジスタ (PDR0)
- ポート 0 方向レジスタ (DDR0)
- ポート 0 プルアップレジスタ (PUL0)
- A/D 入力禁止レジスタ (下位) (AIDRL)

17.1.2 ポート 0 のブロックダイアグラム

• P00/INT00/AN00/CMP0_P 端子

本端子には以下の周辺機能があります。

- 外部割込み入力端子 (INT00)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN00)
- コンパレータ ch. 0 非反転アナログ入力 (正入力) 端子 (CMP0_P)

• P01/INT01/AN01/CMP0_N 端子

本端子には以下の周辺機能があります。

- 外部割込み入力端子 (INT01)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN01)
- コンパレータ ch. 0 反転アナログ入力 (負入力) 端子 (CMP0_N)

• P03/INT03/AN03/CMP1_P 端子

本端子には以下の周辺機能があります。

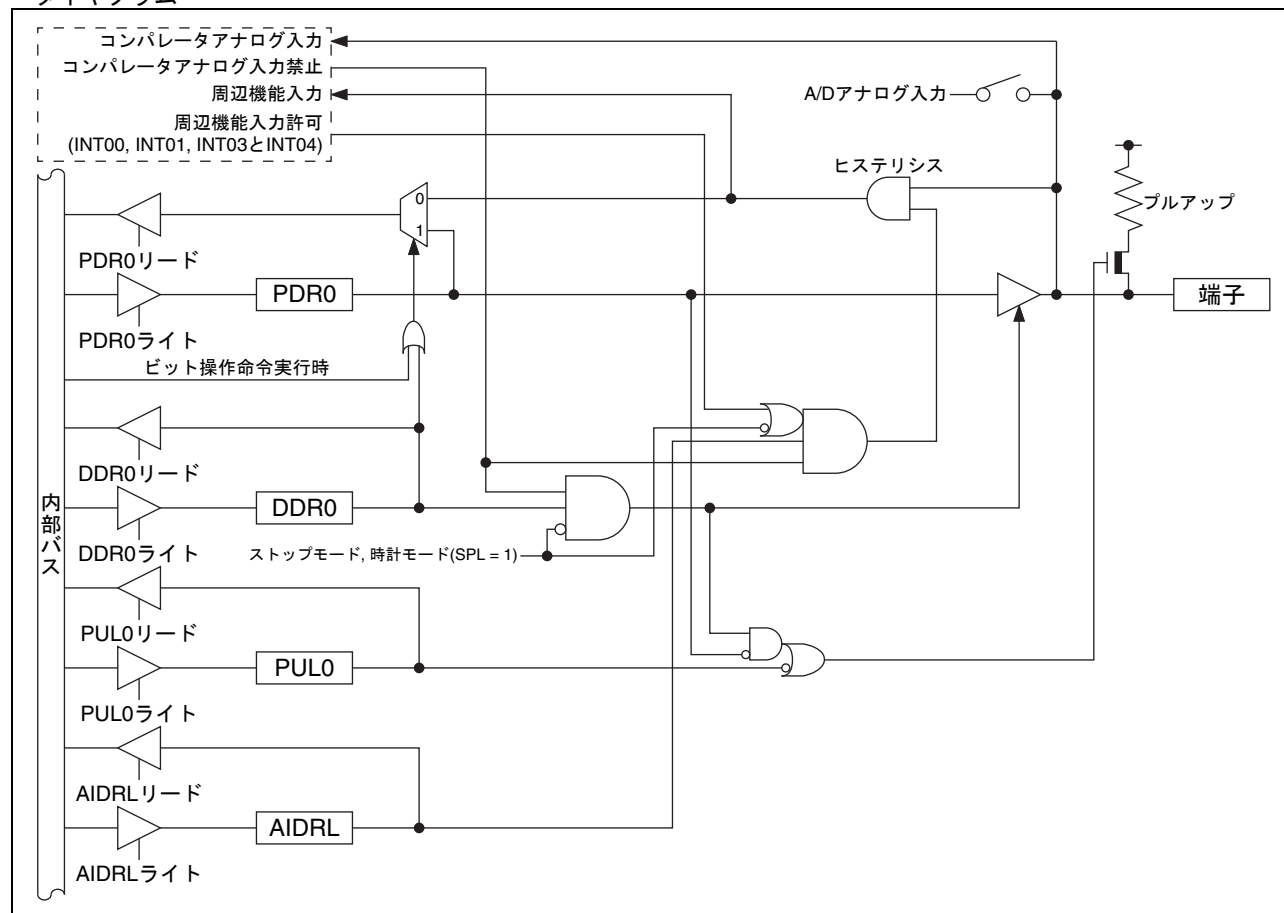
- 外部割込み入力端子 (INT03)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN03)
- コンパレータ ch. 1 非反転アナログ入力 (正入力) 端子 (CMP1_P)

• P04/INT04/AN04/CMP1_N 端子

本端子には以下の周辺機能があります。

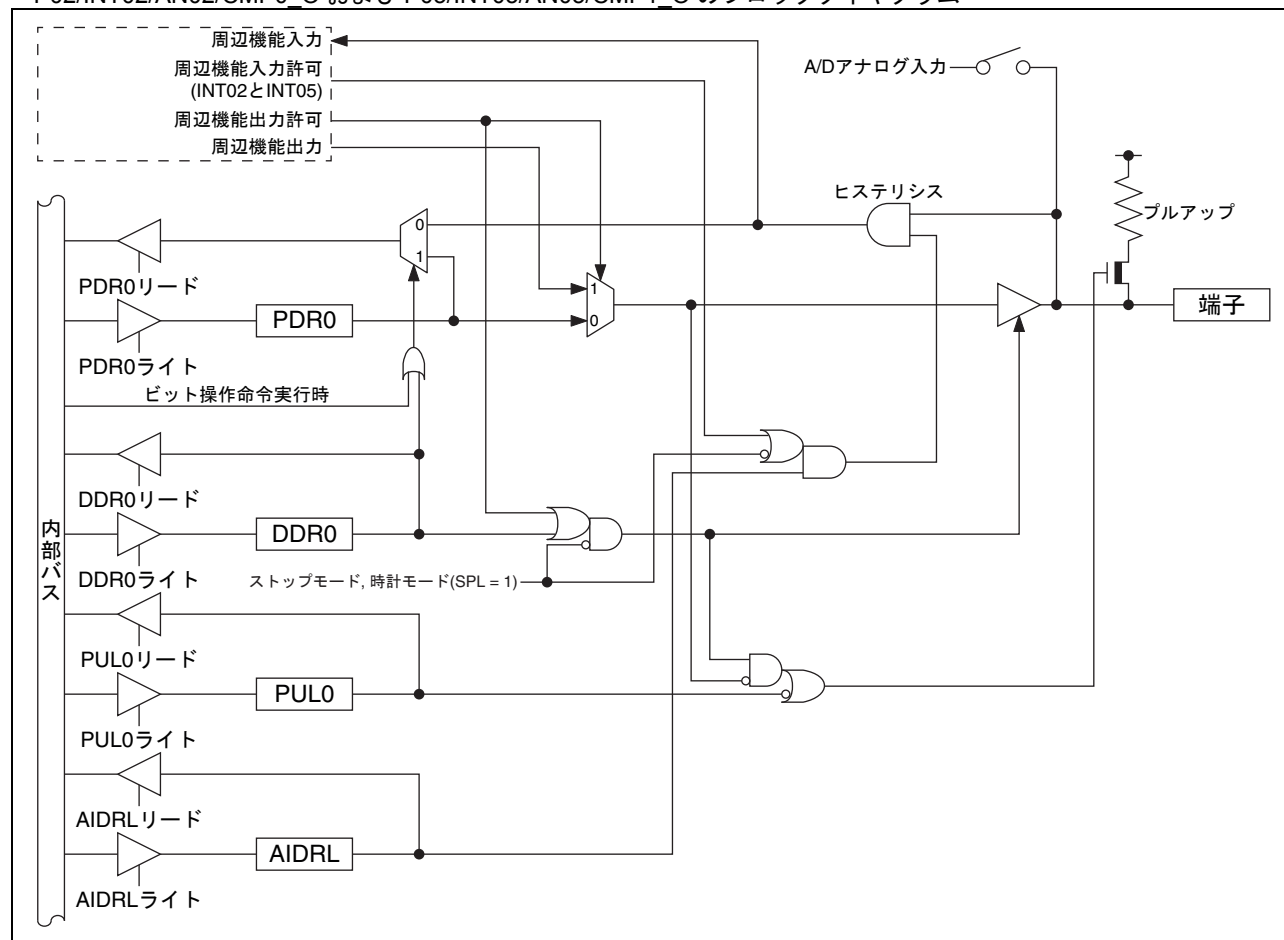
- 外部割込み入力端子 (INT04)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN04)
- コンパレータ ch. 1 反転アナログ入力 (負入力) 端子 (CMP1_N)

- P00/INT00/AN00/CMP0_P, P01/INT01/AN01/CMP0_N, P03/INT03/AN03/CMP1_P および P04/INT04/AN04/CMP1_N のブロックダイアグラム



- P02/INT02/AN02/CMP0_O 端子
本端子には以下の周辺機能があります。
 - 外部割込み入力端子 (INT02)
 - 8/10 ビット A/D コンバータアナログ入力端子 (AN02)
 - コンパレータ ch. 0 デジタル出力端子 (CMP0_O)
- P05/INT05/AN05/CMP1_O 端子
本端子には以下の周辺機能があります。
 - 外部割込み入力端子 (INT05)
 - 8/10 ビット A/D コンバータアナログ入力端子 (AN05)
 - コンパレータ ch. 1 デジタル出力端子 (CMP1_O)

• P02/INT02/AN02/CMP0_O および P05/INT05/AN05/CMP1_O のブロックダイアグラム



• P06/INT06/AN06 端子

本端子には以下の周辺機能があります。

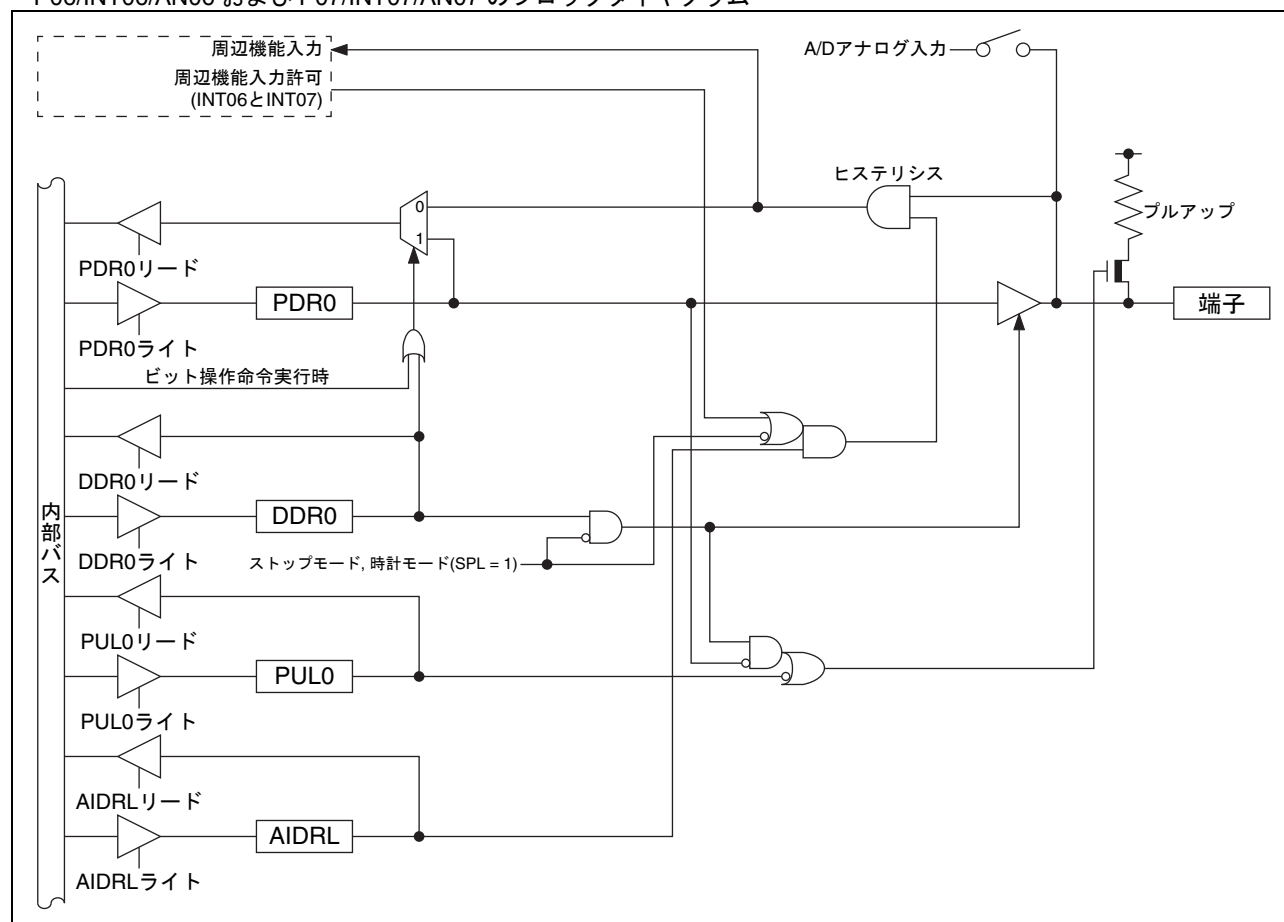
- 外部割込み入力端子 (INT06)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN06)

• P07/INT07/AN07 端子

本端子には以下の周辺機能があります。

- 外部割込み入力端子 (INT07)
- 8/10 ビット A/D コンバータアナログ入力端子 (AN07)

• P06/INT06/AN06 および P07/INT07/AN07 のブロックダイアグラム



17.1.3 ポート0のレジスタ

• ポート0のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR0	0	端子状態が“L”レベル	PDR0の値が“0”	出力ポート時は、“L”レベルを出力
	1	端子状態が“H”レベル	PDR0の値が“1”	出力ポート時は、“H”レベルを出力
DDR0	0	ポート入力許可		
	1	ポート出力許可		
PUL0	0	プルアップ禁止		
	1	プルアップ許可		
AIDRL	0	アナログ入力許可		
	1	ポート入力許可		

• ポート0におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P07	P06	P05	P04	P03	P02	P01	P00
PDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR0								
PUL0								
AIDRL								

17.1.4 ポート0の動作

• 出力ポートとしての動作

- 端子に対応する DDR0 レジスタのビットを“1”に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、その端子から PDR0 レジスタの値が外部端子に出力されます。
- PDR0 レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR0 レジスタを読み出すと、PDR0 レジスタの値が読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDR0 レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- アナログ入力機能兼用端子を入力ポートとして使用している時は、A/D 入力禁止レジスタ (下位) (AIDRL) の対応するビットを“1”に設定してください。
- PDR0 レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR0 レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR0 レジスタを読み出す場合は、PDR0 レジスタの値を読み出します。

• 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDR0 レジスタから端子の値を読み出せます。したがって、PDR0 レジスタの読出し動作により、周辺機能の出力値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR0 レジスタを読み出す場合は、PDR0 レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR0 レジスタのビットを“0”に設定します。
- アナログ入力機能兼用端子をそのほかの周辺機能入力端子として使用する場合は、AIDRL レジスタのその端子に対応するビットを“1”に設定して、その端子を入力ポートとして設定してください。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDR0 レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令では、PDR0 レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDR0 レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。アナログ入力機能兼用端子については、AIDRL レジスタが“0”に初期化されるため、ポート入力は禁止された状態になります。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR0 レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。ただし、外部割込み (INT00 ~ INT07) による割込み入力が許可されている場合、入力可能になり入力は遮断されません。
- 端子状態設定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• アナログ入力端子としての動作

- アナログ入力端子に対応する DDR0 レジスタのビットに“0”を、AIDRL レジスタのその端子に対応するビットに“0”を設定してください。
- ほかの周辺機能と兼用されている端子で、それらの周辺機能の出力は禁止されます。PUL0 レジスタの対応するビットを“0”に設定してください。

• 外部割込み入力端子としての動作

- 外部割込み入力端子に対応する DDR0 レジスタのビットを“0”に設定してください。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子の値は常に外部割込み回路に入力されます。端子を割込み以外の機能に使用する場合は、その端子に対応する外部割込み機能を禁止にします。

- **プルアップレジスタの動作**

PUL0 レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PUL0 レジスタの値にかかわらず、プルアップ抵抗は切断されます。

- **コンパレータ入力端子としての動作 (P00, P03 のみ)**

- コンパレータ入力端子に対応する AIDRL レジスタのビットを“0”に設定してください。
- PDR0 レジスタ設定と DDR0 レジスタ設定に関係なく、コンパレータ制御レジスタ ch. 0/ch. 1 のコンパレータアナログ入力許可ビット (CMR0/CMR1:VCID) を”0”に設定すると、コンパレータ入力機能が許可されます。
- コンパレータ入力機能を禁止するには、VCID ビットを“1”に設定してください。
- コンパレータの詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 28 章 コンパレータ」を参照してください。

- **コンパレータ入力端子としての動作 (P01, P04 のみ)**

- コンパレータ入力端子に対応する AIDRL レジスタのビットを“0”に設定してください。
- PDR0 レジスタ設定と DDR0 レジスタ設定に関係なく、コンパレータ制御レジスタ ch. 0/ch. 1 のコンパレータアナログ入力許可ビット (CMR0/CMR1:VCID) を負アナログ入力電圧源選択ビット (BGRS) とともに”0”に設定すると、コンパレータ入力機能が許可されます。
- コンパレータ入力機能を禁止するには、VCID ビットまたは BGRS ビットを“1”に設定してください。コンパレータの詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 28 章 コンパレータ」を参照してください。

17.2 ポート 1

ポート 1 は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.2.1 ポート 1 の構成

ポート 1 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 1 データレジスタ (PDR1)
- ポート 1 方向レジスタ (DDR1)
- ポート 1 プルアップレジスタ (PUL1)

17.2.2 ポート 1 のブロックダイアグラム

• P10/PPG10* 端子

本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 1 出力端子 (PPG10)

• P11/PPG11* 端子

本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 1 出力端子 (PPG11)

• P13/PPG00* 端子

本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 0 出力端子 (PPG00)

• P14/PPG01* 端子

本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 0 出力端子 (PPG01)

• P15/PPG20* 端子

本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 2 出力端子 (PPG20)

• P16/PPG21* 端子

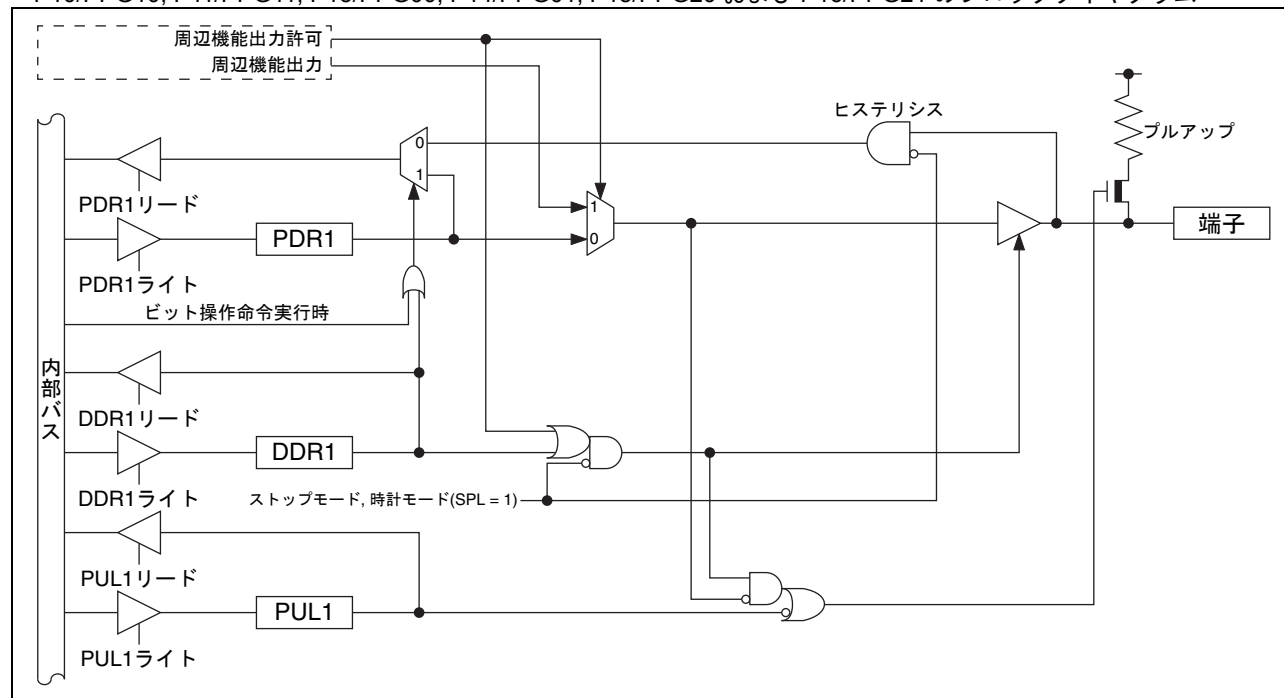
本端子には以下の周辺機能があります。

- 8/16 ビット PPG ch. 2 出力端子 (PPG21)

*: 8/16 ビット PPG 出力端子は SYSC レジスタの PPGSEL ビットの設定によって端子にマップされます。詳細は下表を参照してください。

8/16 ビット PPG 出力端子	SYSC:PPGSEL = 0	SYSC:PPGSEL = 1
	端子	
PPG00	P13	P62
PPG01	P14	P63
PPG10	P10	P64
PPG11	P11	P65
PPG20	P15	P66
PPG21	P16	P67

• P10/PPG10, P11/PPG11, P13/PPG00, P14/PPG01, P15/PPG20 および P16/PPG21 のブロックダイアグラム

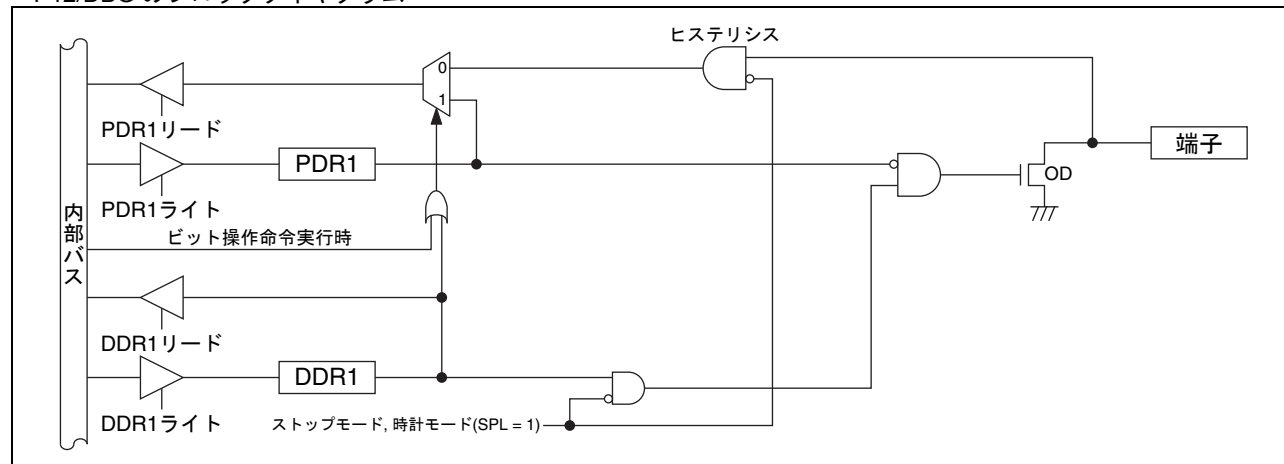


• P12/DBG 端子

本端子には以下の周辺機能があります。

- DBG 入力端子 (DBG)

• P12/DBG のブロックダイアグラム

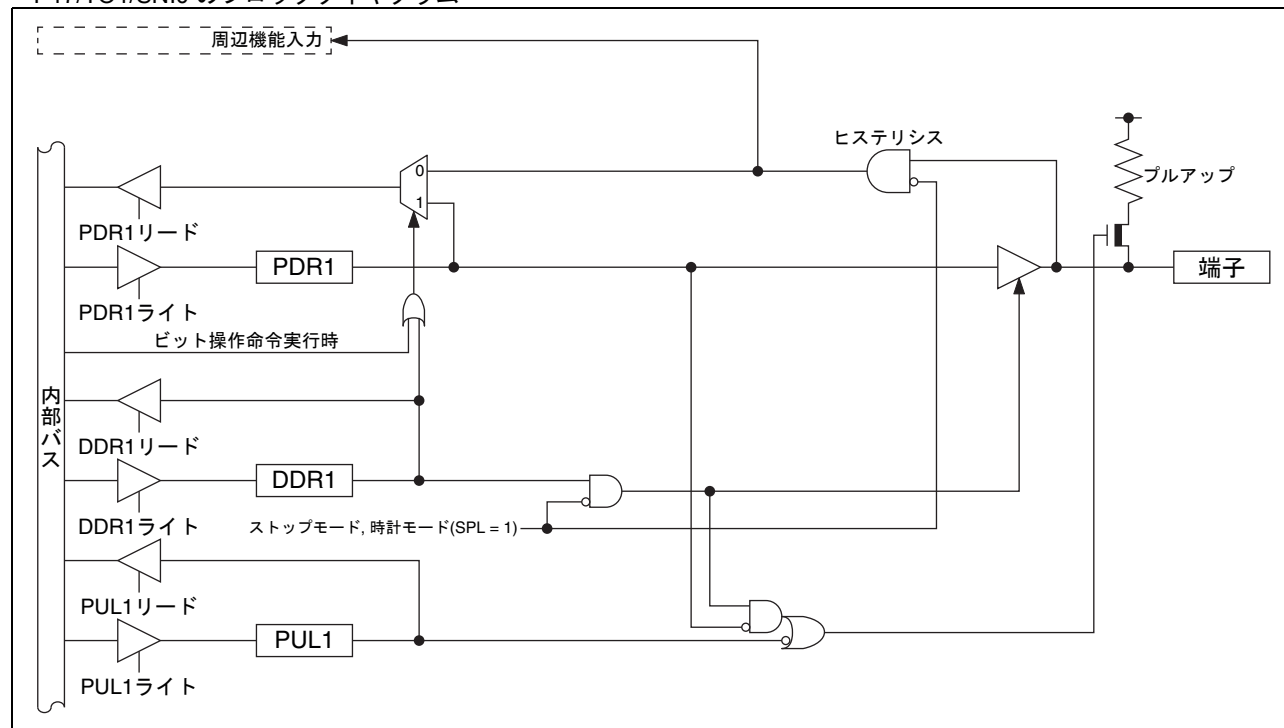


• P17/TO1/SNI0 端子

本端子には以下の周辺機能があります。

- 16 ビットリロードタイマ ch. 1 出力端子 (TO1)
- MPG 波形シーケンサの位置検出機能用トリガ入力端子 (SNI0)

• P17/TO1/SNI0 のブロックダイアグラム



17.2.3 ポート1のレジスタ

• ポート1のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR1	0	端子状態が“L”レベル	PDR1 の値が“0”	出力ポート時は, “L”レベルを出力
	1	端子状態が“H”レベル	PDR1 の値が“1”	出力ポート時は, “H”レベルを出力 *
DDR1	0	ポート入力許可		
	1	ポート出力許可		
PUL1	0	プルアップ禁止		
	1	プルアップ許可		

*: N-ch オープンドレイン端子では, 端子状態は Hi-Z になります。

• ポート1におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P17	P16	P15	P14	P13	P12	P11	P10
PDR1	bit7	bit6	bit5	bit4	bit3	bit2*	bit1	bit0
DDR1								
PUL1								

*: P12 はプルアップ機能はありませんが, PUL1 レジスタの bit2 はアクセスできます。P12 の動作は PUL1 レジスタの bit2 の設定には影響されません。

17.2.4 ポート1の動作

• 出力ポートとしての動作

- 端子に対応する DDR1 レジスタのビットを“1”に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、その端子から PDR1 レジスタの値が外部端子に出力されます。
- PDR1 レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR1 レジスタを読み出すと、PDR1 レジスタの値を読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDR1 レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDR1 レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR1 レジスタを読み出すと、端子の値を読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR1 レジスタを読み出す場合は、PDR1 レジスタの値を読み出します。

• 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDR1 レジスタから端子の値を読み出せます。したがって、PDR1 レジスタの読み出し動作により、周辺機能の出力値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR1 レジスタを読み出す場合は、PDR1 レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR1 レジスタのビットを“0”に設定します。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDR1 レジスタを読み出すと、端子の値を読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR1 レジスタを読み出す場合は、PDR1 レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDR1 レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR1 レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。
- 端子状態設定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• プルアップレジスタの動作

PUL1 レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PUL1 レジスタの値にかかわらず、プルアップ抵抗は切断されます。

17.3 ポート 4

ポート 4 は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.3.1 ポート 4 の構成

ポート 4 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 4 データレジスタ (PDR4)
- ポート 4 方向レジスタ (DDR4)
- ポート 4 プルアップレジスタ (PUL4)
- A/D 入力禁止レジスタ (上位) (AIDRH)

17.3.2 ポート 4 のブロックダイアグラム

• P40/AN08 端子

本端子には以下の周辺機能があります。

- 8/10 ビット A/D コンバータアナログ入力端子 (AN08)

• P41/AN09 端子

本端子には以下の周辺機能があります。

- 8/10 ビット A/D コンバータアナログ入力端子 (AN09)

• P42/AN10 端子

本端子には以下の周辺機能があります。

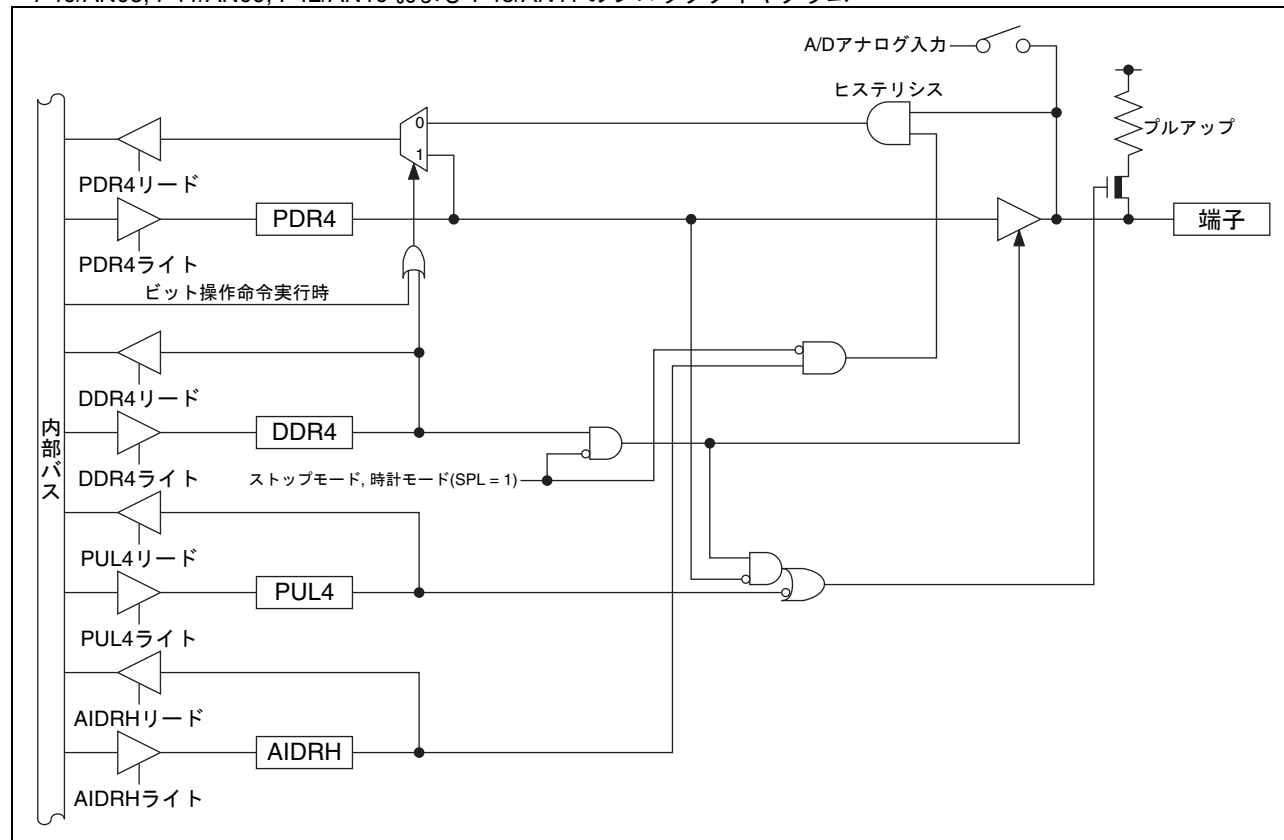
- 8/10 ビット A/D コンバータアナログ入力端子 (AN10)

• P43/AN11 端子

本端子には以下の周辺機能があります。

- 8/10 ビット A/D コンバータアナログ入力端子 (AN11)

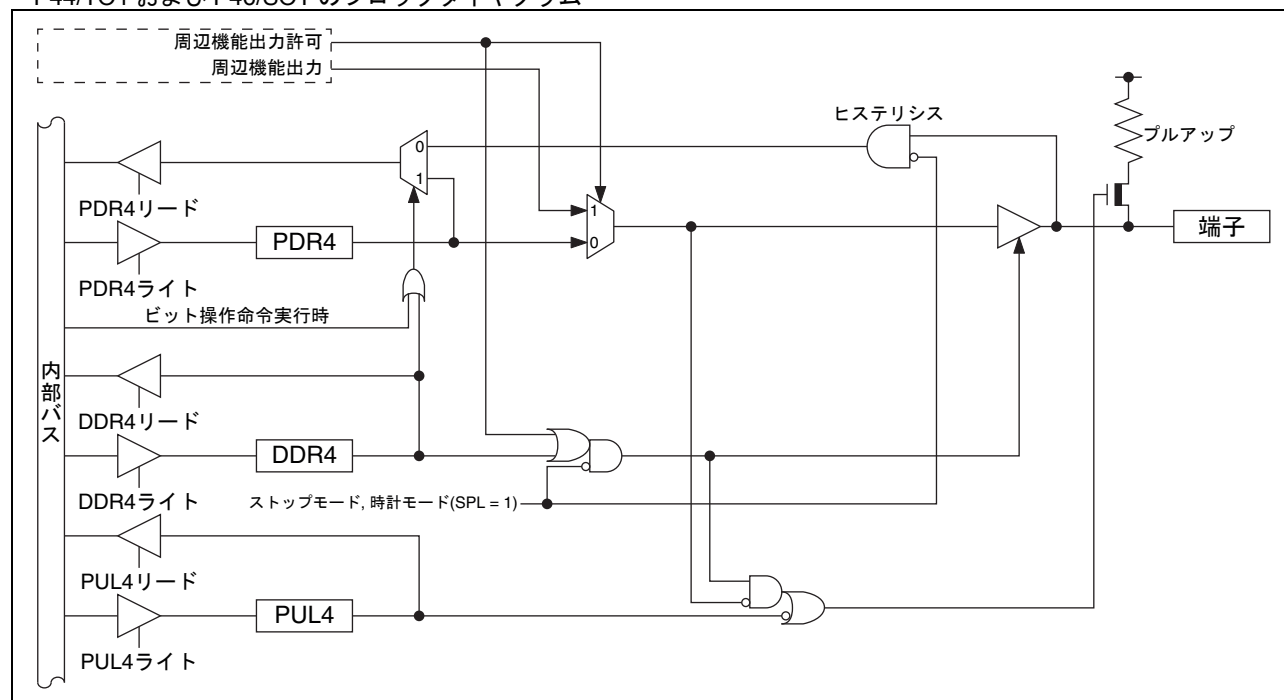
- P40/AN08, P41/AN09, P42/AN10 および P43/AN11 のブロックダイアグラム



- P44/TO1 端子
本端子には以下の周辺機能があります。
 - 16 ビットリロードタイマ ch. 1 出力端子 (TO1)

- P46/SOT 端子
本端子には以下の周辺機能があります。
 - LIN-UART データ出力端子 (SOT)

• P44/TO1 および P46/SOT のブロックダイアグラム

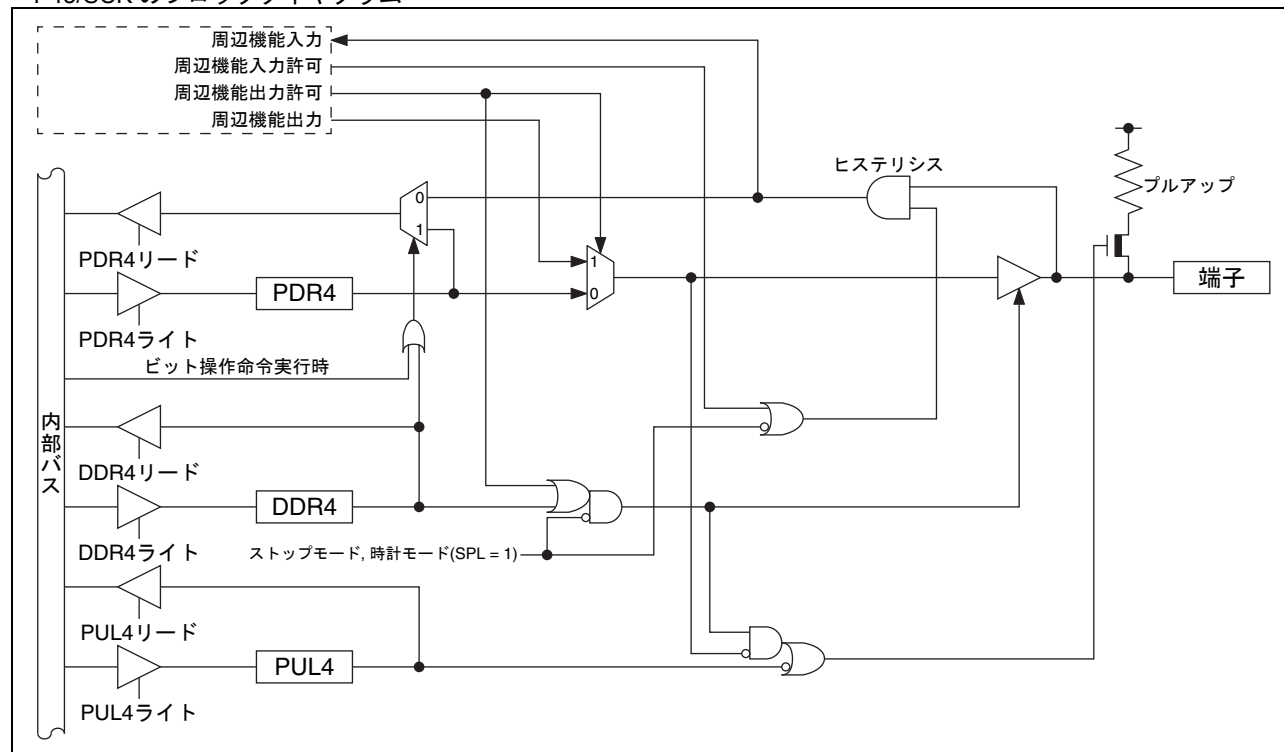


• P45/SCK 端子

本端子には以下の周辺機能があります。

- LIN-UART クロック入出力端子 (SCK)

• P45/SCK のブロックダイアグラム

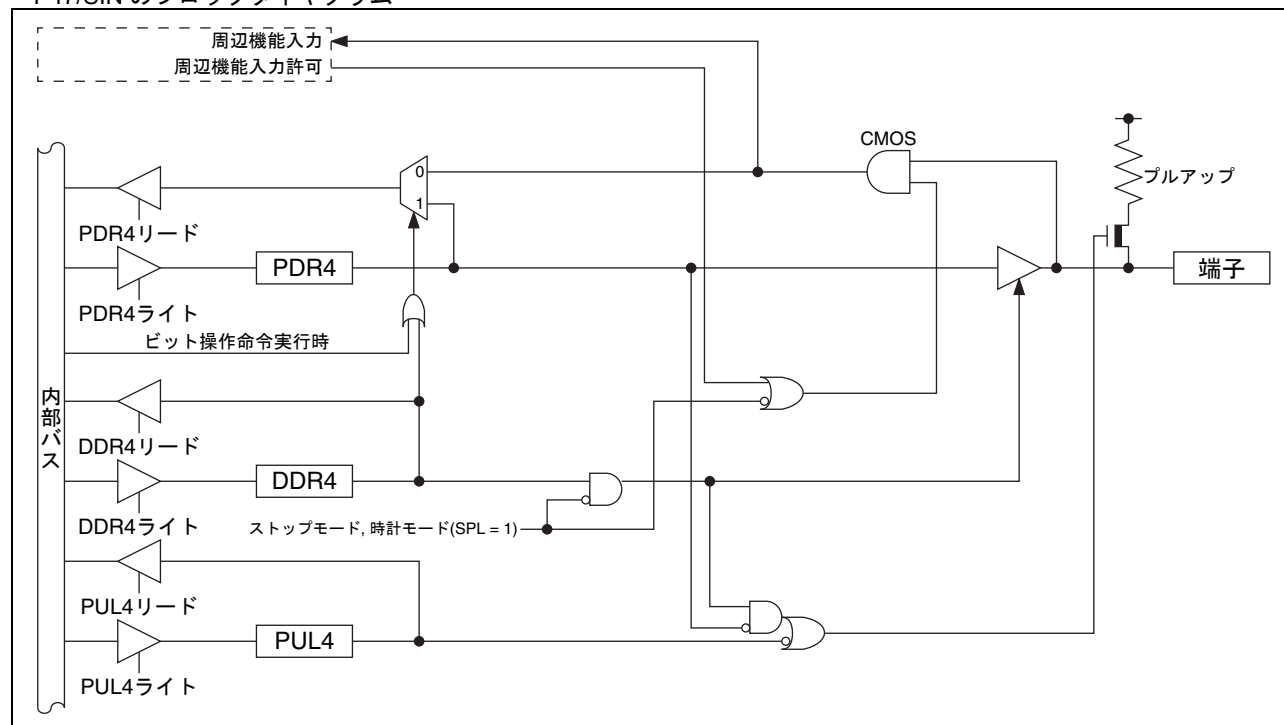


• P47/SIN 端子

本端子には以下の周辺機能があります。

- LIN-UART データ入力端子 (SIN)

• P47/SIN のブロックダイヤグラム



17.3.3 ポート4 のレジスタ

• ポート4 のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR4	0	端子状態が “L” レベル	PDR4 の値が “0”	出力ポート時は, “L” レベルを出力
	1	端子状態が “H” レベル	PDR4 の値が “1”	出力ポート時は, “H” レベルを出力
DDR4	0	ポート入力許可		
	1	ポート出力許可		
PUL4	0	プルアップ禁止		
	1	プルアップ許可		
AIDRH	0	アナログ入力許可		
	1	ポート入力許可		

• ポート4 におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P47	P46	P45	P44	P43	P42	P41	P40
PDR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR4								
PUL4								
AIDRH								
	-	-	-	-				

17.3.4 ポート4の動作

• 出力ポートとしての動作

- 端子に対応する DDR4 レジスタのビットを“1”に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、その端子から PDR4 レジスタの値が外部端子に出力されます。
- PDR4 レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR4 レジスタを読み出すと、PDR4 レジスタの値が読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDR4 レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- アナログ入力機能兼用端子を入力ポートとして使用している時は、A/D 入力禁止レジスタ (上位) (AIDRH) の対応するビットを“1”に設定してください。
- PDR4 レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR4 レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR4 レジスタを読み出す場合は、PDR4 レジスタの値を読み出します。

• 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDR4 レジスタから端子の値を読み出せます。したがって、PDR4 レジスタの読み出し動作により、周辺機能の出力値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR4 レジスタを読み出す場合は、PDR4 レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR4 レジスタのビットを“0”に設定します。
- アナログ入力機能兼用端子をそのほかの周辺機能入力端子として使用する場合は、AIDRH レジスタのその端子に対応するビットを“1”に設定して、その端子を入力ポートとして設定してください。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDR4 レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令では、PDR4 レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDR4 レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。アナログ入力機能兼用端子については、AIDRH レジスタが“0”に初期化されるため、ポート入力は禁止された状態になります。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR4 レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ ch. 0 (EIC00) と割込み端子選択回路の割込み端子選択回路制御レジスタ (WICR) による P45/SCK と P47/SIN との割込み入力が許可されている場合、入力は可能になり、かつ遮断されません。
- 端子状態設定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• アナログ入力端子としての動作

- アナログ入力端子に対応する DDR4 レジスタのビットに“0”を、AIDRH レジスタのその端子に対応するビットに“0”を設定してください。
- ほかの周辺機能と兼用されている端子で、それらの周辺機能の出力は禁止されます。PUL4 レジスタの対応するビットを“0”に設定してください。

• プルアップレジスタの動作

PUL4 レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PUL4 レジスタの値にかかわらず、プルアップ抵抗は切断されます。

17.4 ポート 6

ポート 6 は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.4.1 ポート 6 の構成

ポート 6 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 6 データレジスタ (PDR6)
- ポート 6 方向レジスタ (DDR6)
- ポート 6 プルアップレジスタ (PUL6)

17.4.2 ポート 6 のブロックダイアグラム

• P60/DTTI 端子

本端子には以下の周辺機能があります。

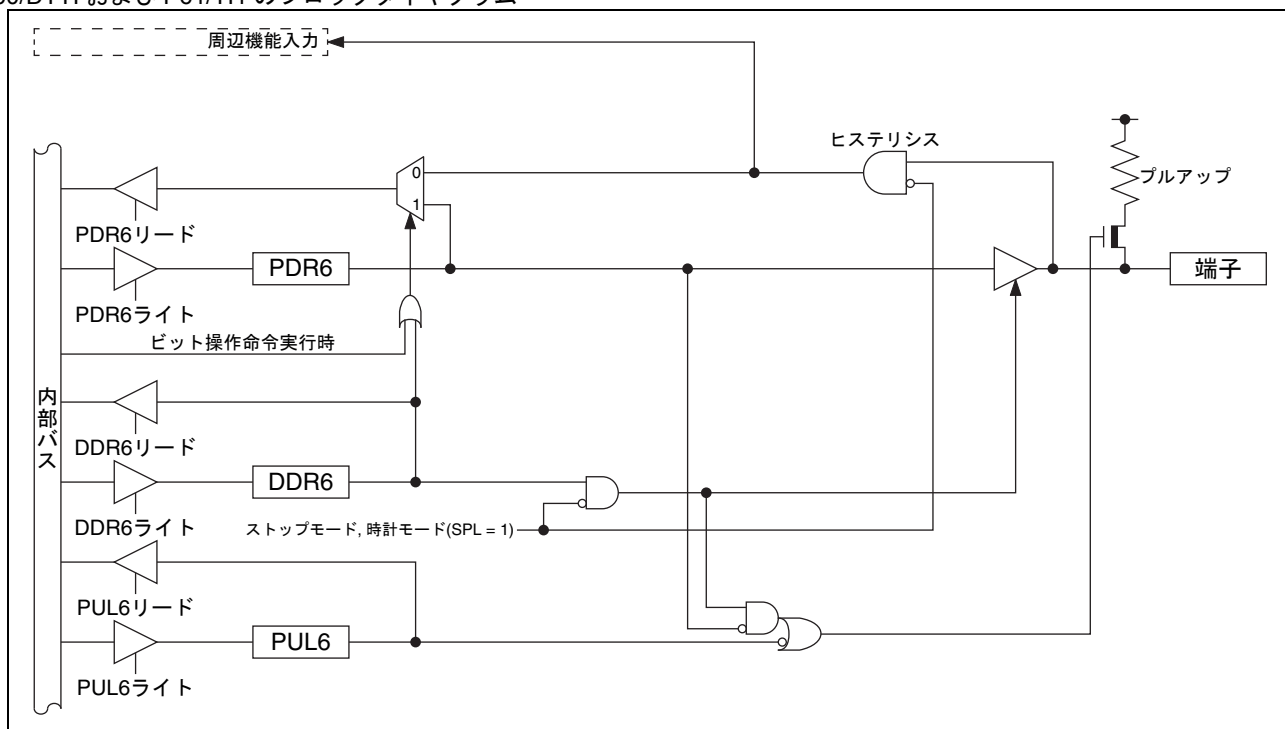
- MPG 波形シーケンサ入力端子 (DTTI)

• P61/TI1 端子

本端子には以下の周辺機能があります。

- 16 ビットリロードタイマ ch. 1 入力端子 (TI1)

• P60/DTTI および P61/TI1 のブロックダイアグラム



• P62/OPT0/PPG00/TO10 端子

本端子には以下の周辺機能があります。

- MPG 波形シーケンサ出力端子 (OPT0)
- 8/16 ビット PPG ch. 0 出力端子 (PPG00)
- 8/16 ビット複合タイマ ch. 1 出力端子 (TO10)

• P63/OPT1/PPG01/TO11 端子

本端子には以下の周辺機能があります。

- MPG 波形シーケンサ出力端子 (OPT1)
- 8/16 ビット PPG ch. 0 出力端子 (PPG01)
- 8/16 ビット複合タイマ ch. 1 の出力端子 (TO11)

• P65/OPT3/PPG11 端子

本端子には以下の周辺機能があります。

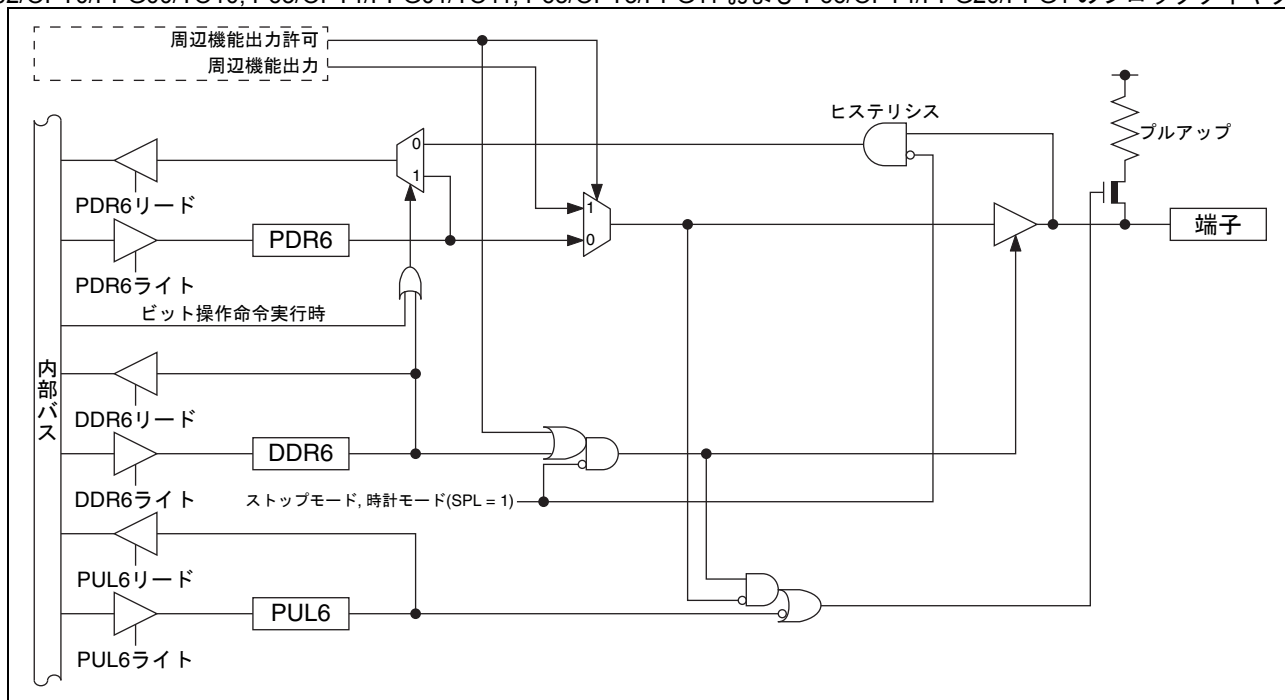
- MPG 波形シーケンサ出力端子 (OPT3)
- 8/16 ビット PPG ch. 1 出力端子 (PPG11)

• P66/OPT4/PPG20/PPG1 端子

本端子には以下の周辺機能があります。

- MPG 波形シーケンサ出力端子 (OPT4)
- 8/16 ビット PPG ch. 2 出力端子 (PPG20)
- 16 ビット PPG タイマ ch. 1 出力端子 (PPG1)

• P62/OPT0/PPG00/TO10, P63/OPT1/PPG01/TO11, P65/OPT3/PPG11 および P66/OPT4/PPG20/PPG1 のブロックダイアグラム



• P64/OPT2/PPG10/EC1 端子

本端子には以下の周辺機能があります。

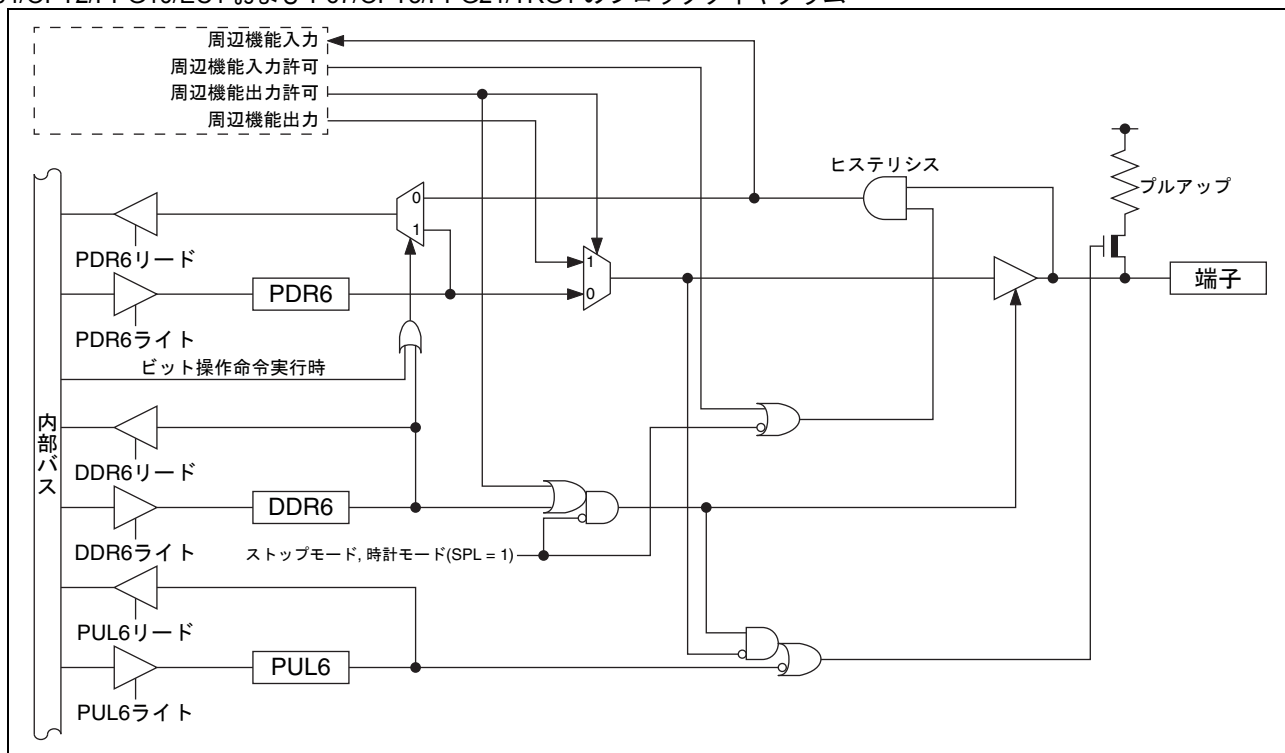
- MPG 波形シーケンサ出力端子 (OPT2)
- 8/16 ビット PPG ch. 1 出力端子 (PPG10)
- 8/16 ビット複合タイマ ch. 1 クロック入力端子 (EC1)

• P67/OPT5/PPG21/TRG1 端子

本端子には以下の周辺機能があります。

- MPG 波形シーケンサ出力端子 (OPT5)
- 8/16 ビット PPG ch. 2 出力端子 (PPG21)
- 16 ビット PPG タイマ ch. 1 トリガ入力端子 (TRG1)

• P64/OPT2/PPG10/EC1 および P67/OPT5/PPG21/TRG1 のブロックダイアグラム



17.4.3 ポート 6 のレジスタ

• ポート 6 のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR6	0	端子状態が “L” レベル	PDR6 の値が “0”	出力ポート時は, “L” レベルを出力
	1	端子状態が “H” レベル	PDR6 の値が “1”	出力ポート時は, “H” レベルを出力
DDR6	0	ポート入力許可		
	1	ポート出力許可		
PUL6	0	プルアップ禁止		
	1	プルアップ許可		

• ポート 6 におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P67	P66	P65	P64	P63	P62	P61	P60
PDR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR6								
PUL6								

17.4.4 ポート6の動作

• 出力ポートとしての動作

- 端子に対応する DDR6 レジスタのビットを“1”に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDR6 レジスタの値が外部端子に出力されます。
- PDR6 レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR6 レジスタを読み出すと、PDR6 レジスタの値が読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDR6 レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDR6 レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR6 レジスタを読み出すと、端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR6 レジスタを読み出す場合は、PDR6 レジスタの値を読み出します。

• 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDR6 レジスタから端子の値を読み出せます。したがって、PDR6 レジスタの読出し動作により、周辺機能の出力値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR6 レジスタを読み出す場合は、PDR6 レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR6 レジスタのビットを“0”に設定します。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDR6 レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR6 レジスタを読み出す場合は、PDR6 レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDR6 レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR6 レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ ch. 0 (EIC00) と割込み端子選択回路の割込み端子選択回路制御レジスタ (WICR) による P64/EC1 と P67/TRG1 との割込み入力が許可されている場合、入力は可能になり、かつ遮断されません。
- 端子状態設定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• プルアップレジスタの動作

PUL6 レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PUL6 レジスタの値にかかわらず、プルアップ抵抗は切斷されます。

17.5 ポート 7

ポート 7 は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.5.1 ポート 7 の構成

ポート 7 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 7 データレジスタ (PDR7)
- ポート 7 方向レジスタ (DDR7)
- ポート 7 プルアップレジスタ (PUL7)

17.5.2 ポート 7 のブロックダイアグラム

• P70/TO00 端子

本端子には以下の周辺機能があります。

- 8/16 ビット複合タイマ ch. 0 出力端子 (TO00)

• P71/TO01 端子

本端子には以下の周辺機能があります。

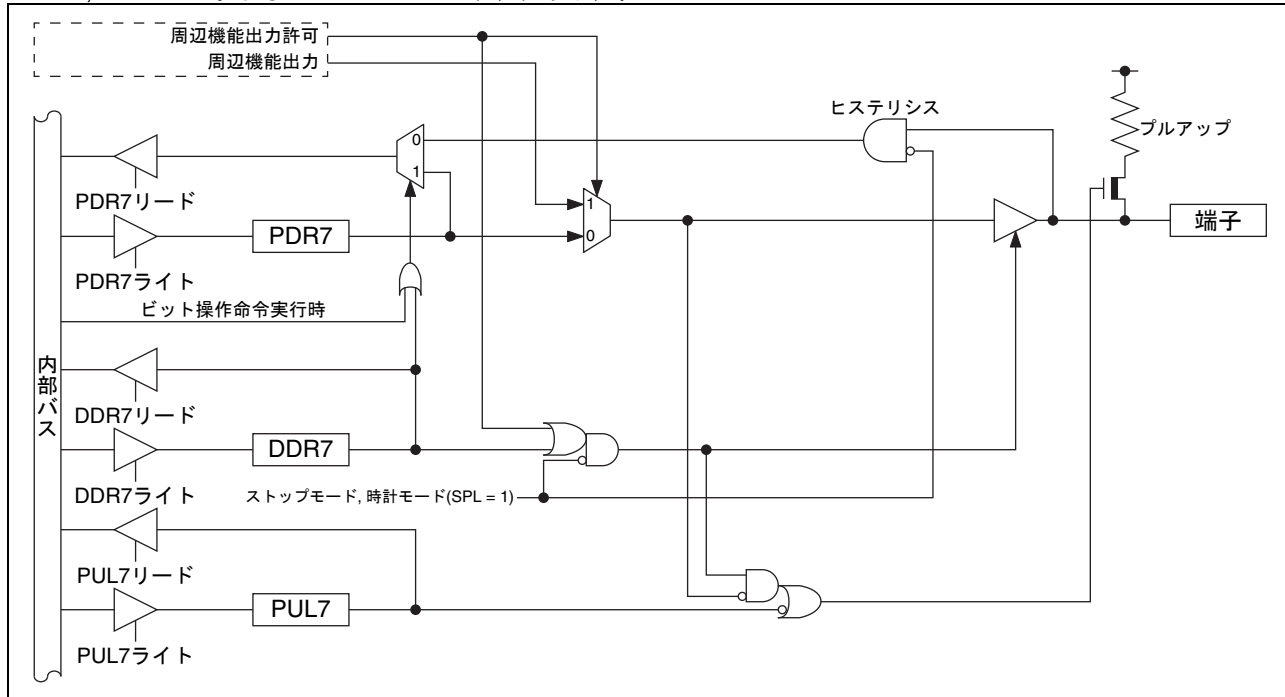
- 8/16 ビット複合タイマ ch. 0 出力端子 (TO01)

• P76/UO0 端子

本端子には以下の周辺機能があります。

- UART/SIO ch. 0 データ出力端子 (UO0)

• P70/TO00, P71/TO01 および P76/UO0 のブロックダイアグラム



• P72/SCL 端子

本端子には以下の周辺機能があります。

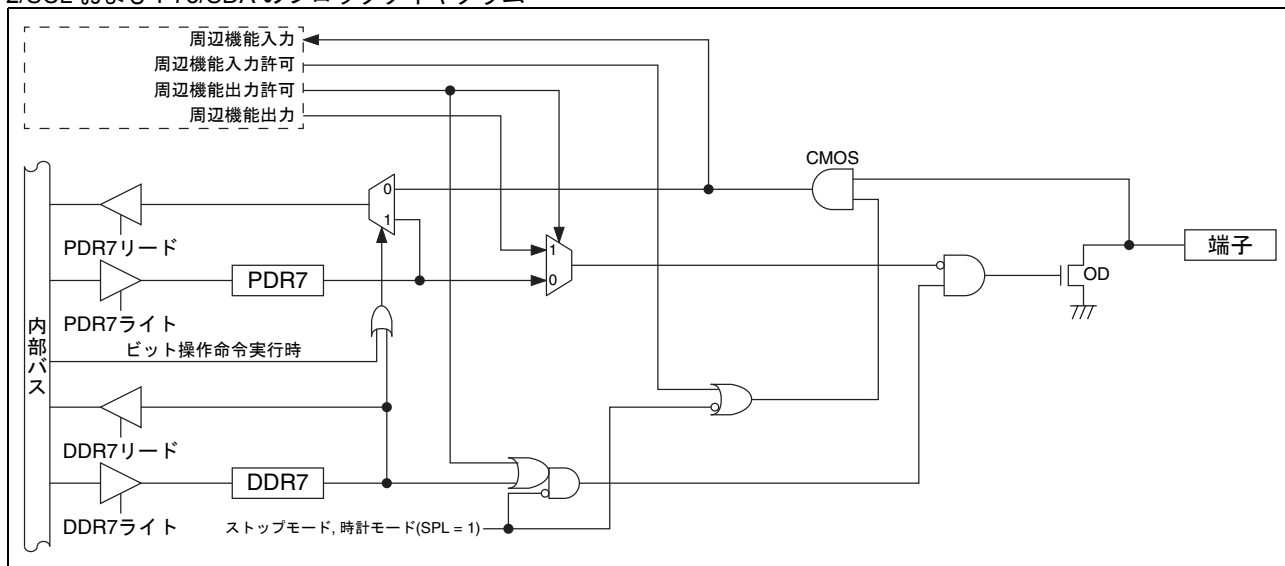
- I²C バスインタフェース ch. 0 クロック入出力端子 (SCL)

• P73/SDA 端子

本端子には以下の周辺機能があります。

- I²C バスインタフェース ch. 0 データ入出力端子 (SDA)

• P72/SCL および P73/SDA のブロックダイアグラム

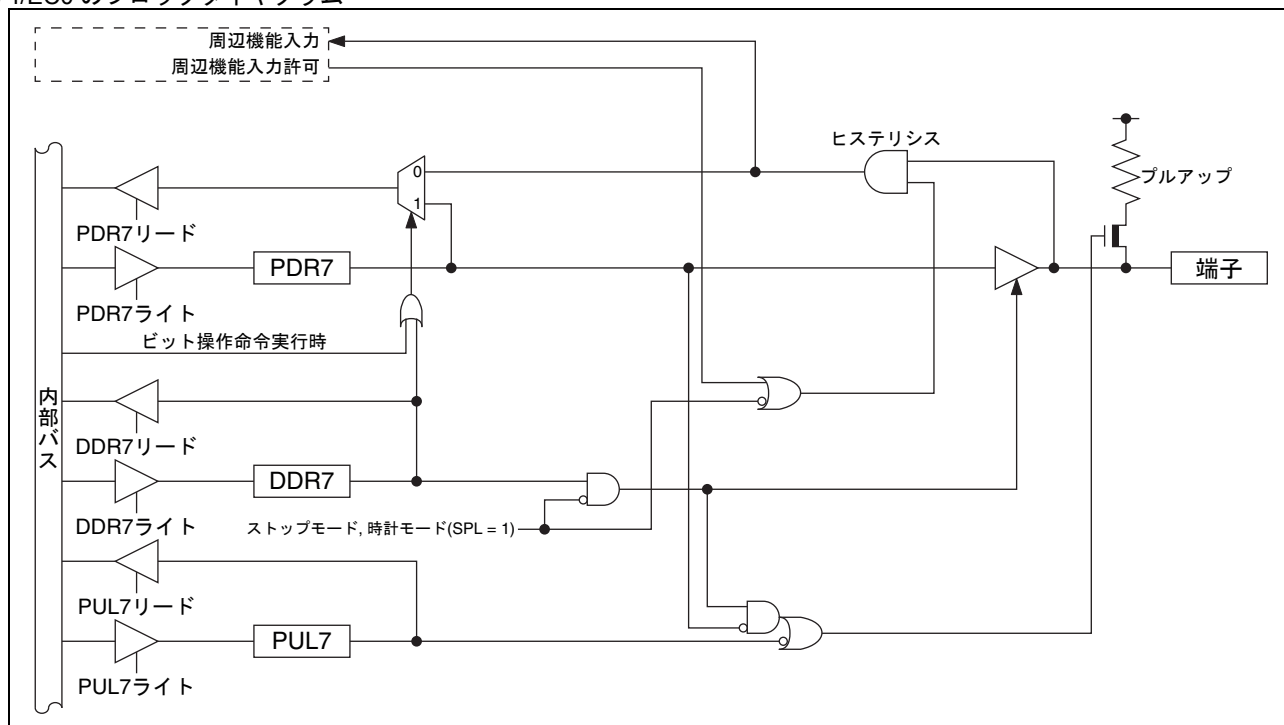


• P74/EC0 端子

本端子には以下の周辺機能があります。

- 8/16 ビット複合タイマ ch. 0 クロック入力端子 (EC0)

• P74/EC0 のブロックダイアグラム

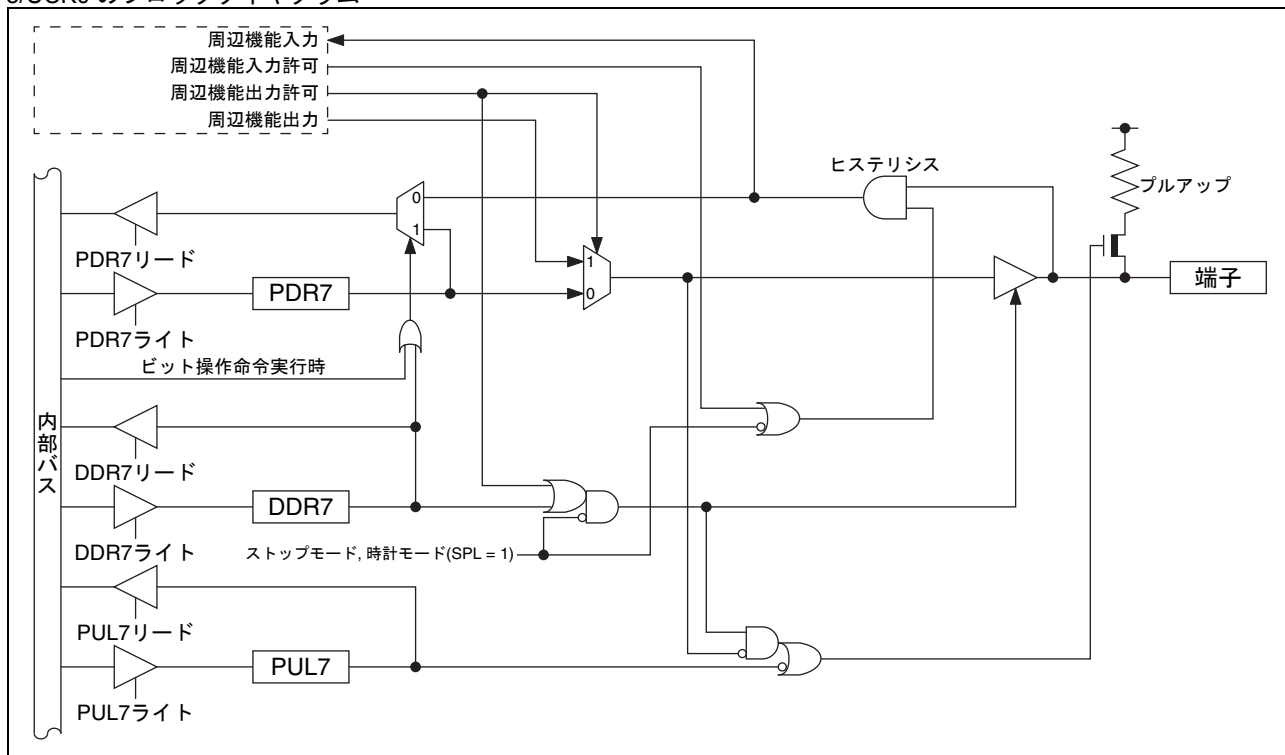


• P75/UCK0 端子

本端子には以下の周辺機能があります。

- UART/SIO ch. 0 クロック入出力端子 (UCK0)

• P75/UCK0 のブロックダイヤグラム

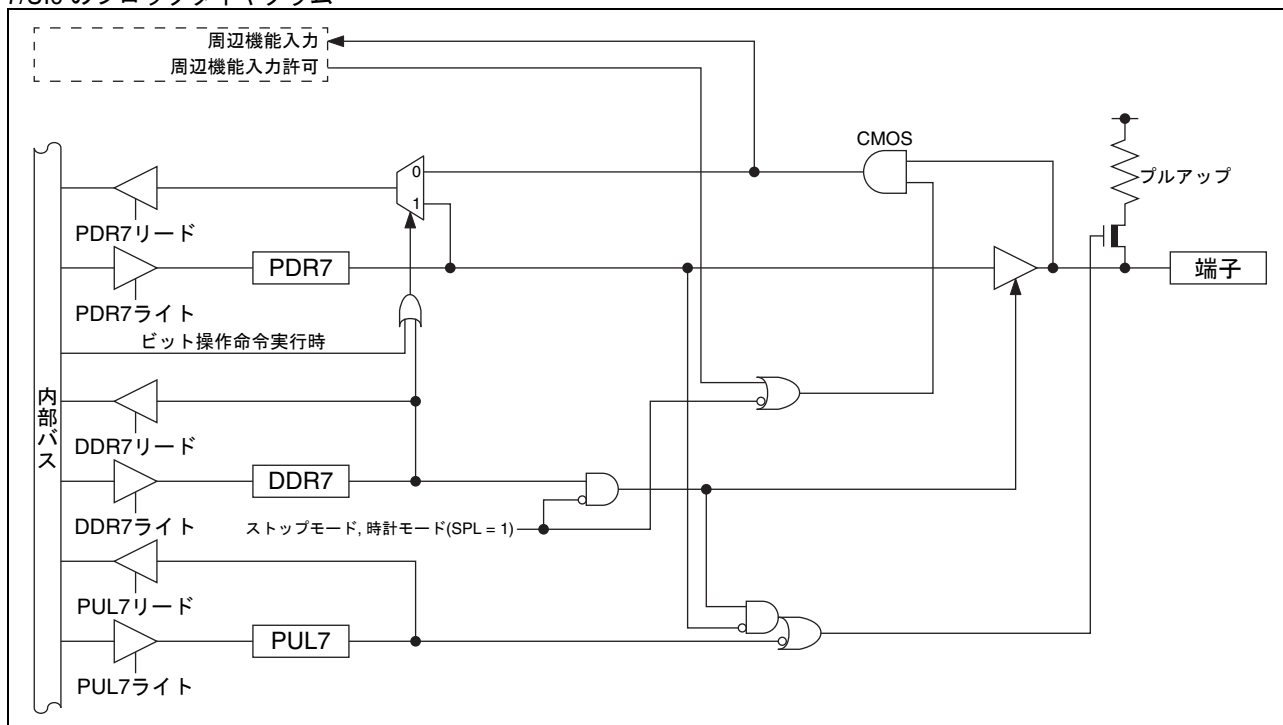


• P77/UI0 端子

本端子には以下の周辺機能があります。

- UART/SIO ch. 0 データ入力端子 (UI0)

• P77/UI0 のブロックダイアグラム



17.5.3 ポート7のレジスタ

• ポート7のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR7	0	端子状態が“L”レベル	PDR7の値が“0”	出力ポート時は, “L”レベルを出力
	1	端子状態が“H”レベル	PDR7の値が“1”	出力ポート時は, “H”レベルを出力 *
DDR7	0	ポート入力許可		
	1	ポート出力許可		
PUL7	0	プルアップ禁止		
	1	プルアップ許可		

*: N-ch オープンドレイン端子では, 端子状態は Hi-Z になります。

• ポート7におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P77	P76	P75	P74	P73	P72	P71	P70
PDR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR7								
PUL7					-	-		

17.5.4 ポート7の動作

• 出力ポートとしての動作

- 端子に対応する DDR7 レジスタのビットを“1”に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDR7 レジスタの値が外部端子に出力されます。
- PDR7 レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR7 レジスタを読み出すと、PDR7 レジスタの値を読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDR7 レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDR7 レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR7 レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR7 レジスタを読み出す場合は、PDR7 レジスタの値を読み出します。

• 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDR7 レジスタから端子の値を読み出せます。したがって、PDR7 レジスタの読出し動作により、周辺機能の出力値を読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR7 レジスタを読み出す場合は、PDR7 レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR7 レジスタのビットを“0”に設定します。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDR7 レジスタを読み出すと、端子の値を読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR7 レジスタを読み出す場合は、PDR7 レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDR7 レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR7 レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ ch. 0 (EIC00) と割込み端子選択回路の割込み端子選択回路制御レジスタ (WICR) による P74/EC0, P75/UCK0 と P77/UI0 との割込み入力が許可されている場合、入力は可能になり、かつ遮断されません。
- 端子状態設定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• プルアップレジスタの動作

PUL7 レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PUL7 レジスタの値にかかわらず、プルアップ抵抗は切斷されます。

17.6 ポート F

ポート F は、汎用入出力ポートです。汎用入出力ポートとしての機能を中心に説明します。周辺機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」にあるそれぞれの章を参照してください。

17.6.1 ポート F の構成

ポート F は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート F データレジスタ (PDRF)
- ポート F 方向レジスタ (DDRF)

17.6.2 ポート F のブロックダイアグラム

• PF0/X0 端子

本端子には以下の周辺機能があります。

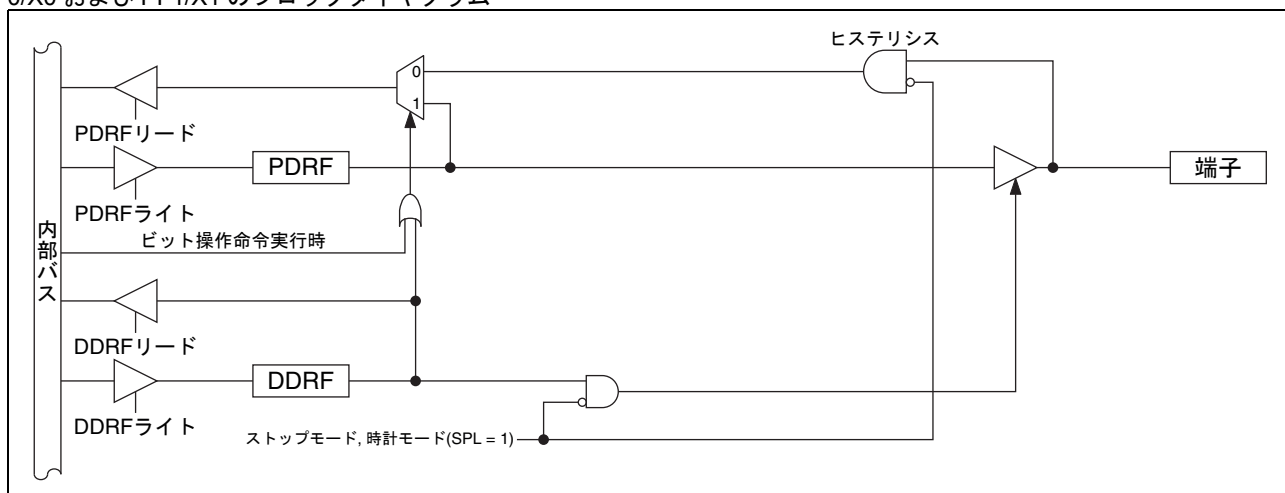
- メインクロック用入力発振端子 (X0)

• PF1/X1 端子

本端子には以下の周辺機能があります。

- メインクロック用入出力発振端子 (X1)

• PF0/X0 および PF1/X1 のブロックダイアグラム

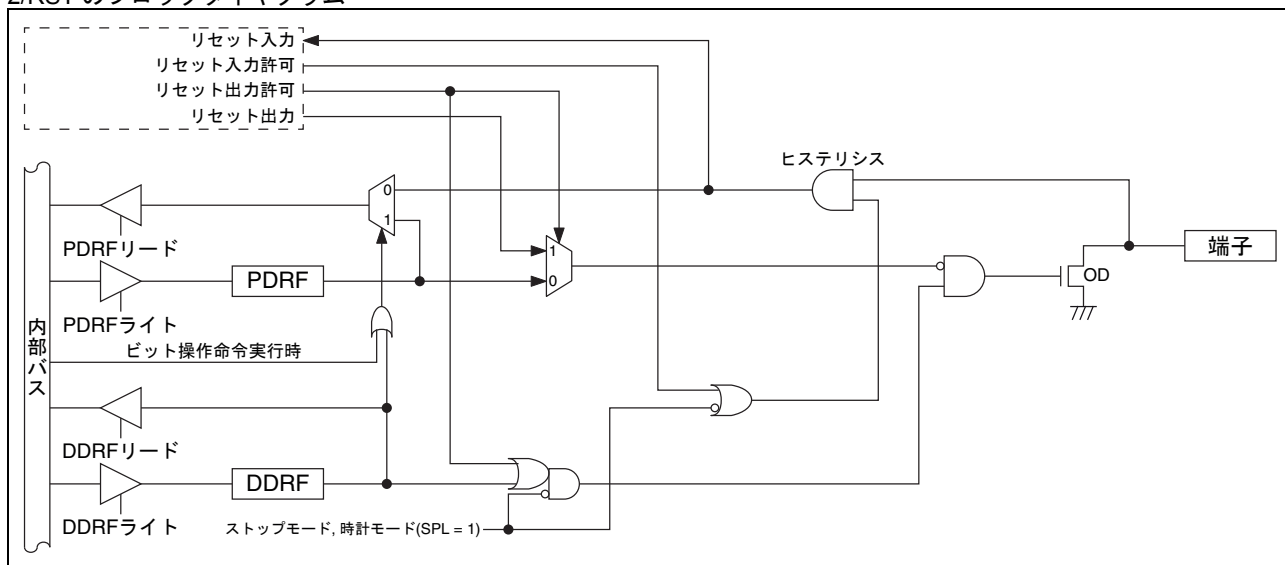


• PF2/RST 端子

本端子には以下の周辺機能があります。

- リセット端子 (RST)

• PF2/RST のブロックダイヤグラム



17.6.3 ポートFのレジスタ

• ポートFのレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDRF	0	端子状態が“L”レベル	PDRFの値が“0”	出力ポート時は, “L”レベルを出力
	1	端子状態が“H”レベル	PDRFの値が“1”	出力ポート時は, “H”レベルを出力 *
DDRF	0	ポート入力許可		
	1	ポート出力許可		

*: N-ch オープンドレイン端子では, 端子状態は Hi-Z になります。

• ポートFにおけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	-	-	-	-	-	PF2	PF1	PF0
PDRF	-	-	-	-	-	bit2*	bit1	bit0
DDRF	-	-	-	-	-			

*: 外部リセットが選択される場合 (SYSC:RSTEN = 1), ポート機能は使用できません。

17.6.4 ポートFの動作

• 出力ポートとしての動作

- 端子に対応する DDRF レジスタのビットを“1”に設定すると、端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDRF レジスタの値が外部端子に出力されます。
- PDRF レジスタにデータを書き込むと、出力ラッチにその値が保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDRF レジスタを読み出すと、PDRF レジスタの値が読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDRF レジスタのビットを“0”に設定すると、端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDRF レジスタにデータを書き込むと、出力ラッチにその値が保持されますが、入力ポートとして設定した端子へは出力されません。
- PDRF レジスタを読み出すと、端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令を使用して PDRF レジスタを読み出す場合は、PDRF レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDRF レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDRF レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。
- 端子状態指定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

17.7.3 ポート G のレジスタ

• ポート G のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDRG	0	端子状態が “L” レベル	PDRG の値が “0”	出力ポート時は, “L” レベルを出力
	1	端子状態が “H” レベル	PDRG の値が “1”	出力ポート時は, “H” レベルを出力
DDRG	0	ポート入力許可		
	1	ポート出力許可		
PULG	0	プルアップ禁止		
	1	プルアップ許可		

• ポート G におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	-	-	-	-	-	PG2	PG1	-
PDRG	-	-	-	-	-	bit2	bit1	-
DDRG								
PULG								

17.7.4 ポート G の動作

• 出力ポートとしての動作

- 端子に対応する DDRG レジスタのビットを“1”に設定すると、端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDRG レジスタの値が外部端子に出力されます。
- PDRG レジスタにデータを書き込むと、出力ラッチにその値が保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDRG レジスタを読み出すと、PDRG レジスタの値が読み出されます。

• 入力ポートとしての動作

- 端子に対応する DDRG レジスタのビットを“0”に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDRG レジスタにデータを書き込むと、出力ラッチにその値が保持されますが、入力ポートとして設定した端子へは出力されません。
- PDRG レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDRG レジスタを読み出す場合は、PDRG レジスタの値を読み出します。

• 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDRG レジスタのビットを“0”に設定します。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDRG レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDRG レジスタを読み出す場合は、PDRG レジスタの値を読み出します。

• リセット時の動作

CPU がリセットされると、DDRG レジスタのすべてのビットが“0”に初期化され、ポート入力が許可されます。

• ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が“1”に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDRG レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するために、端子入力は“L”レベルに固定され、遮断されます。
- 端子状態指定ビットが“0”の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

• プルアップレジスタの動作

PULG レジスタのビットに“1”を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が“L”レベルのときは、PULG レジスタの値にかかわらず、プルアップ抵抗は切断されます。

18. 割込み要因のテーブル

割込み要因	割込み 要求番号	ベクタテーブルの アドレス		割込みレベル設定レジスタ		同一レベル 割込み要因の 優先順位 (同時発生時)
		上位	下位	レジスタ	ビット	
外部割込み ch. 0	IRQ00	0xFFFA	0xFFFB	ILR0	L00 [1:0]	高い ↑ ↓ 低い
外部割込み ch. 4						
外部割込み ch. 1	IRQ01	0xFFFF8	0xFFFF9	ILR0	L01 [1:0]	
外部割込み ch. 5						
外部割込み ch. 2	IRQ02	0xFFFF6	0xFFFF7	ILR0	L02 [1:0]	
外部割込み ch. 6						
外部割込み ch. 3	IRQ03	0xFFFF4	0xFFFF5	ILR0	L03 [1:0]	
外部割込み ch. 7						
UART/SIO ch. 0	IRQ04	0xFFFF2	0xFFFF3	ILR1	L04 [1:0]	
MPG (DTTI)						
8/16 ビット複合タイマ ch.0 (下位)	IRQ05	0xFFFF0	0xFFFF1	ILR1	L05 [1:0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ06	0xFFEE	0xFFEF	ILR1	L06 [1:0]	
LIN-UART (受信)	IRQ07	0xFFEC	0xFFED	ILR1	L07 [1:0]	
LIN-UART (送信)	IRQ08	0xFFEA	0xFFEB	ILR2	L08 [1:0]	
8/16 ビット PPG ch. 1 (下位)	IRQ09	0xFFE8	0xFFE9	ILR2	L09 [1:0]	
8/16 ビット PPG ch. 1 (上位)	IRQ10	0xFFE6	0xFFE7	ILR2	L10 [1:0]	
8/16 ビット PPG ch. 2 (上位)	IRQ11	0xFFE4	0xFFE5	ILR2	L11 [1:0]	
8/16 ビット PPG ch. 0 (上位)	IRQ12	0xFFE2	0xFFE3	ILR3	L12 [1:0]	
8/16 ビット PPG ch. 0 (下位)	IRQ13	0xFFE0	0xFFE1	ILR3	L13 [1:0]	
8/16 ビット複合タイマ ch.1 (上位)	IRQ14	0xFFDE	0xFFDF	ILR3	L14 [1:0]	
8/16 ビット PPG ch. 2 (下位)	IRQ15	0xFFDC	0xFFDD	ILR3	L15 [1:0]	
16 ビットリロードタイマ ch. 1	IRQ16	0xFFDA	0xFFDB	ILR4	L16 [1:0]	
MPG (書込みタイミング / 比較クリア)						
I ² C バスインタフェース ch. 0						
16 ビット PPG タイマ ch. 1	IRQ17	0xFFD8	0xFFD9	ILR4	L17 [1:0]	
MPG (位置検出 / コンペア割込み)						
8/10 ビット A/D コンバータ	IRQ18	0xFFD6	0xFFD7	ILR4	L18 [1:0]	
タイムベースタイマ	IRQ19	0xFFD4	0xFFD5	ILR4	L19 [1:0]	
時計プリスケアラ	IRQ20	0xFFD2	0xFFD3	ILR5	L20 [1:0]	
コンパレータ ch. 0						
コンパレータ ch. 1	IRQ21	0xFFD0	0xFFD1	ILR5	L21 [1:0]	
8/16 ビット複合タイマ ch.1 (下位)	IRQ22	0xFFCE	0xFFCF	ILR5	L22 [1:0]	
フラッシュメモリ	IRQ23	0xFFCC	0xFFCD	ILR5	L23 [1:0]	

19. 各モードにおける端子状態

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット時
			SPL=0	SPL=1	SPL=0	SPL=1	
PF0/X0	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *1	入出力ポート *1	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
PF1/X1	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *1	入出力ポート *1	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
PF2/RST	リセット入力 *4	リセット入力 *4	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力 *4
	入出力ポート	入出力ポート	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z - 入力遮断 *1, *2	- Hi-Z - 入力許可 *3
PG1/X0A/ SNI1	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *1/ 周辺機能入力	入出力ポート *1/ 周辺機能入力	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z*5 - 入力遮断 *1, *2	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z*5 - 入力遮断 *1, *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
PG2/X1A/ SNI2	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *1/ 周辺機能入力	入出力ポート *1/ 周辺機能入力	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z*5 - 入力遮断 *1, *2	- 前の状態保持 - 入力遮断 *1, *2	- Hi-Z*5 - 入力遮断 *1, *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
P00/INT00/ AN00/ CMP0_P	入出力ポート / 周辺機能入出力 / アナログ入力	入出力ポート / 周辺機能入出力 / アナログ入力	- 前の状態保持 - 入力遮断 *2, *6	- Hi-Z*5 - 入力遮断 *2, *6	- 前の状態保持 - 入力遮断 *2, *6	- Hi-Z*5 - 入力遮断 *2, *6	- Hi-Z - 入力遮断 *2
P01/INT01/ AN01/ CMP0_N							
P03/INT03/ AN03/ CMP1_P							
P04/INT04/ AN04/ CMP1_N							
P02/INT02/ AN02/ CMP0_O	入出力ポート / 周辺機能入出力 / アナログ入力	入出力ポート / 周辺機能入出力 / アナログ入力	- 前の状態保持 *8 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 *8 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力遮断 *2
P05/INT05/ AN05/ CMP1_O							
P06/INT06/ AN06	入出力ポート / 周辺機能入出力 / アナログ入力	入出力ポート / 周辺機能入出力 / アナログ入力	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力遮断 *2
P07/INT07/ AN07							
P12/DBG	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- Hi-Z - 入力許可 *3 (ただし機能しません)

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット時
			SPL=0	SPL=1	SPL=0	SPL=1	
P10/PPG10	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
P11/PPG11							
P13/PPG00							
P14/PPG01							
P15/PPG20							
P16/PPG21							
P17/SNI0							
P40/AN08	入出力ポート / アナログ入力	入出力ポート / アナログ入力	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- Hi-Z - 入力遮断 *2
P41/AN09							
P42/AN10							
P43/AN11							
P44/TO1	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
P46/SOT							
P45/SCK	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力許可 *3 (ただし機能しません)
P47/SIN							
P60/DTT1	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力許可 *3 (ただし機能しません)
P61/T11							
P62/TO10/ PPG00/OPT0	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
P63/TO11/ PPG01/OPT1							
P65/PPG11/ OPT3							
P66/PPG1/ PPG20/OPT4							
P64/EC1/ PPG10/OPT2	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力許可 *3 (ただし機能しません)
P67/TRG1/ PPG21/OPT5							
P72/SCL	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2, *9	- Hi-Z - 入力遮断 *2, *9	- 前の状態保持 - 入力遮断 *2, *9	- Hi-Z - 入力遮断 *2, *9	- Hi-Z - 入力許可 *3 (ただし機能しません)
P73/SDA							
P70/TO00	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z*5 - 入力遮断 *2	- Hi-Z - 入力許可 *3 (ただし機能しません)
P71/TO01							
P76/UO0							
P74/EC0	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- 前の状態保持 - 入力遮断 *2, *7	- Hi-Z*5 - 入力遮断 *2, *7	- Hi-Z - 入力許可 *3 (ただし機能しません)
P75/UCK0							
P77/UI0							

SPL: スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

*1: この端子は、汎用 I/O ポートとして設定されている場合、表示される状態になります。

*2: 「入力遮断」とは、端子からの直接の入力ゲート動作が禁止されていることを意味します。

- *3: 「入力許可」とは、入力機能が許可されている状態であることを意味します。入力機能が許可されている間、外部入力によるリークを回避するためにプルアップまたはプルダウン処理を行う必要があります。端子を出力ポートとして使用した場合、その端子状態はほかのポートの端子状態と同じです。
- *4: PF2/RST 端子は、リセット端子として設定されている場合、表示される状態になります。
- *5: プルアップ制御の設定がまだ有効です。
- *6: 入力が遮断されますが、外部割込み要求が許可される場合、外部割込みが入力でき、またコンパレータ割込みが許可される場合、コンパレータ割込みがアナログ信号の入力により発生できます。
- *7: 入力が遮断されますが、外部割込み要求が許可される場合、外部割込みが入力できます。
- *8: ストップモードと時計モードでもコンパレータの出力機能が動作しています。
- *9: I²C バスインタフェースは、MCU スタンバイモードウェイクアップ機能を許可した場合、ストップモードまたは時計モードでは MCU をウェイクアップできます。MCU スタンバイモードウェイクアップ機能の詳細については、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 24 章 I²C バスインタフェース」を参照してください。

20. 電気的特性

20.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 *1	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6$	V	
入力電圧 *1	V_I	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
出力電圧 *1	V_O	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
最大クランプ電流	I_{CLAMP}	-2	+2	mA	特定端子に適用します。*3
最大総クランプ電流	$\Sigma I_{CLAMP} $	—	20	mA	特定端子に適用します。*3
“L” レベル最大出力電流	I_{OL}	—	15	mA	
“L” レベル平均電流	I_{OLAV1}	—	4	mA	P60 ~ P67 以外 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OLAV2}		12		P60 ~ P67 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	37	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
“H” レベル最大出力電流	I_{OH}	—	-15	mA	
“H” レベル平均電流	I_{OHAV1}	—	-4	mA	P60 ~ P67 以外 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OHAV2}		-8		P60 ~ P67 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“H” レベル最大総出力電流	ΣI_{OH}	—	-100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	-47	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
消費電力	P_d	—	320	mW	
動作温度	T_A	-40	+85	°C	
保存温度	T_{stg}	-55	+150	°C	

*1: $V_{SS} = 0.0$ V を基準にしています。

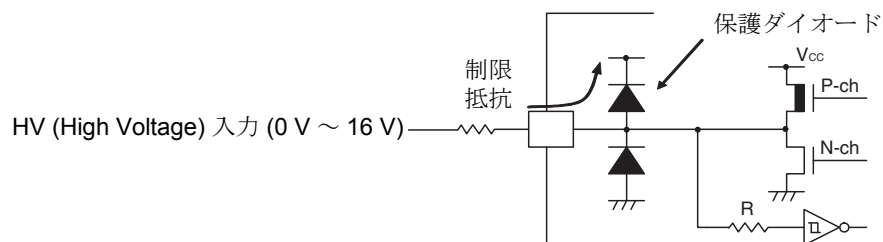
*2: V_I , V_O は $V_{CC} + 0.3$ V を超えてはいけません。 V_I は定格電圧を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、 V_I 定格に代わって I_{CLAMP} 定格が適用されます。

*3: 特定端子：P00 ~ P07, P10, P11, P13 ~ P17, P40 ~ P47, P60 ~ P67, P70, P71, P74 ~ P77, PF0, PF1, PG1, PG2

- 推奨動作条件下で使用してください。
- 直流電圧 (電流) で使用してください。
- HV (High Voltage) 信号は、 V_{CC} 電圧を超える入力信号です。HV (High Voltage) 信号とマイクロコントローラの間には、必ず制限抵抗を接続し HV (High Voltage) 信号を印加してください。
- HV (High Voltage) 入力時にマイクロコントローラ端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- 低消費電力モードなど、マイクロコントローラの駆動電流が少ない動作状態では、HV (High Voltage) 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、ほかの機器へ影響を及ぼします。
- マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性があります。
- 電源投入時に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性があります。
- HV (High Voltage) 入力端子は、開放状態にならないようにしてください。

• 推奨回路例

• 入出力等価回路



＜注意事項＞ 絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は，半導体デバイスを破壊する可能性があります。したがって，定格を一項目でも超えることのないようご注意ください。

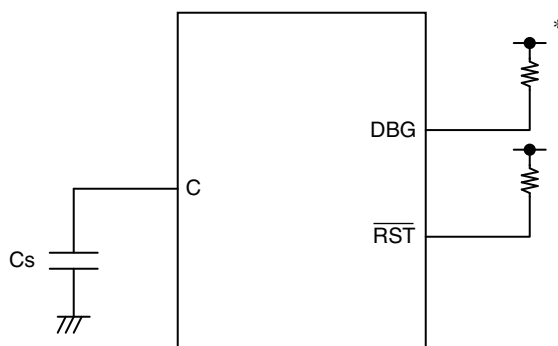
20.2 推奨動作条件

 $(V_{SS} = 0.0 \text{ V})$

項目	記号	規格値		単位	備考
		最小	最大		
電源電圧	V_{CC}	2.88	5.5	V	
バイパスコンデンサ	C_S	0.022	1	μF	*
動作温度	T_A	-40	+85	$^{\circ}\text{C}$	オンチップデバッグモード以外
		+5	+35		オンチップデバッグモード

*: セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S 以上の容量値のコンデンサを使用してください。バイパスコンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

• DBG / $\overline{\text{RST}}$ / C 端子配列図



*: DBG 端子は $2 \text{ k}\Omega$ 以上の外部のプルアップ抵抗に接続してください。パワーオン後、リセット出力が解除されるまでの間、DBG 端子が “L” レベルのままにならないようにしてください。DBG 端子はデバッグモード時に通信端子となります。実際のプルアップ抵抗値は、使用するツールや配線長に依存するため、ツールのドキュメントに従ってプルアップ抵抗を選択してください。

<注意事項> 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

20.3 直流規格
 $(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V_{IHI}	P47, P72, P73, P77	—	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	CMOS 入力レベル
	V_{IHS}	P47, P72, P73, P77, PF2 以外	—	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
	V_{IHM}	PF2	—	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
“L” レベル 入力電圧	V_{ILI}	P47, P72, P73, P77	—	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	CMOS 入力レベル
	V_{ILS}	P47, P72, P73, P77, PF2 以外	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
	V_{ILM}	PF2	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
オープン ドレイン 出力印加 電圧	V_D	P12, P72, P73, PF2	—	$V_{SS} - 0.3$	—	$V_{SS} + 5.5$	V	
“H” レベル 出力電圧	V_{OH1}	P12, P60 ~ P67, PF2 以外の出力 端子	$I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
	V_{OH2}	P60 ~ P67	$I_{OH} = -8 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
“L” レベル 出力電圧	V_{OL1}	P60 ~ P67 以外 の出力端子	$I_{OL} = 4 \text{ mA}$	—	—	0.4	V	
	V_{OL2}	P60 ~ P67	$I_{OL} = 12 \text{ mA}$	—	—	0.4	V	
入力リーク 電流 (Hi-Z 出力リーク 電流)	I_{LI}	すべての入力 端子	$0.0 \text{ V} < V_I < V_{CC}$	-5	—	+5	μA	内部プルアップ抵抗が 禁止されている場合
内部 プルアップ 抵抗	R_{PULL}	P12, P72, P73, PF0, PF1, PF2	$V_I = 0 \text{ V}$	25	50	100	$\text{k}\Omega$	内部プルアップ抵抗が 許可されている場合
入力容量	C_{IN}	V_{CC}, V_{SS} 以外	$f = 1 \text{ MHz}$	—	5	15	pF	

$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準 *1	最大 *2		
電源電流 *3	I _{CC}	V _{CC} (外部クロック動作)	F _{CH} = 32 MHz F _{MP} = 16 MHz メインクロックモード (2 分周)	—	4.9	5.8	mA	フラッシュメモリ書込み, 消去以外の場合
				—	10.5	13.8	mA	フラッシュメモリ書込み, 消去の場合
				—	6.5	9.1	mA	A/D 変換時
	I _{CCS}		F _{CH} = 32 MHz F _{MP} = 16 MHz メインスリープモード (2 分周)	—	2	3	mA	
	I _{CCL}		F _{CL} = 32 kHz F _{MPL} = 16 kHz サブクロックモード (2 分周) T _A = +25 °C	—	75.9	145	μA	
	I _{CCLS}		F _{CL} = 32 kHz F _{MPL} = 16 kHz サブスリープモード (2 分周) T _A = +25 °C	—	12.7	16	μA	ディープスタンバイモードの場合
	I _{CCT}		F _{CL} = 32 kHz 時計モード メインストップモード T _A = +25 °C	—	11	13	μA	ディープスタンバイモードの場合
	I _{CCMPLL}		F _{MCRPLL} = 16 MHz F _{MP} = 16 MHz メイン CR PLL クロックモード (4 週倍) T _A = +25 °C	—	5.2	6.8	mA	
	I _{CCMC R}		F _{CRH} = 4 MHz F _{MP} = 4 MHz メイン CR クロックモード	—	1.4	4.6	mA	
	I _{CCSCR}		サブ CR クロックモード (2 分周) T _A = +25 °C	—	76.9	230	μA	
	I _{CCTS}	V _{CC} (外部クロック動作)	F _{CH} = 32 MHz タイムベースタイマモード T _A = +25 °C	—	387	455	μA	ディープスタンバイモードの場合
	I _{CCH}		サブストップモード T _A = +25 °C	—	10.8	13	μA	ディープスタンバイモードの場合

$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準 *1	最大 *2		
電源電流 *3	I_V	V_{CC}	コンパレータの消費電流	—	60	160	μA	
	I_{LVD}		低電圧検出リセット回路の消費電流	—	4	7	μA	LVD リセット回路制御レジスタ (LVDCC) により LVD リセットが許可された場合
	I_{CRH}		メイン CR 発振器の消費電流	—	240	320	μA	
	I_{CRL}		サブ CR 発振器を 100 kHz で発振させる場合の消費電流	—	7	20	μA	
	I_{NSTBY}		ノーマルスタンバイモードとディープスタンバイモードの消費電流差 $T_A = +25^\circ\text{C}$	—	18	30	μA	

*1: $V_{CC} = 5.0 \text{ V}, T_A = +25^\circ\text{C}$

*2: $V_{CC} = 5.5 \text{ V}, T_A = +85^\circ\text{C}$ (別記のない限り)

*3: • 電源電流は外部クロックで規定されています。低電圧検出リセット回路が選択された場合は、低電圧検出回路の消費電流 (I_{LVD}) の値を $I_{CC} \sim I_{CCH}$ のどれか 1 つの値に足した合計が電源電流となります。また、低電圧検出回路と CR 発振器の両方が選択された場合は、低電圧検出リセット回路の消費電流 (I_{LVD})、CR 発振器の消費電流 (I_{CRH} または I_{CRL}) および $I_{CC} \sim I_{CCH}$ のどれか 1 つの値を足した合計が電源電流となります。オンチップデバッグモードでは、メイン CR 発振器 (I_{CRH}) と低電圧検出リセット回路も常に動作するため、それに応じて消費電流が増大します。

- F_{CH} , F_{CL} , F_{CRH} と F_{MCRPLL} は、「20.4.1 クロックタイミング」を参照してください。
- F_{MP} と F_{MPL} は、「20.4.2 ソースクロック / マシンクロック」を参照してください。
- スタンバイモードにおける電源電流はディープスタンバイモードで規定されています。ノーマルスタンバイモードにおける消費電流はディープスタンバイモードにおける消費電流より高くなります。ノーマルスタンバイモードにおける電源電流は、ディープスタンバイモードにおける電源電流にノーマルスタンバイモードとディープスタンバイモードの消費電流差 (I_{NSTBY}) を足した合計となります。ノーマルスタンバイモードおよびディープスタンバイモードの詳細は、「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 3 章 クロック制御部」を参照してください。

20.4 交流規格

20.4.1 クロックタイミング

 $(V_{CC} = 2.88 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

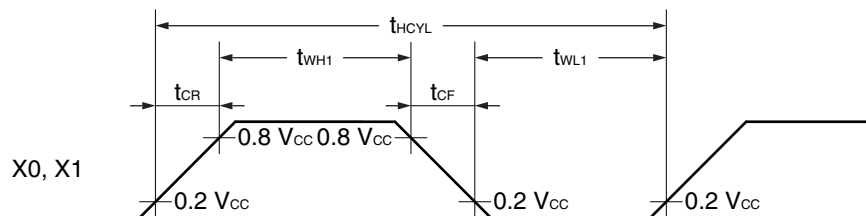
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロック周波数	F _{CH}	X0, X1	—	1	—	16.25	MHz	メイン発振回路使用の場合
		X0	X1: 開放	1	—	12	MHz	メイン外部クロック使用の場合
		X0, X1	*	1	—	32.5	MHz	
	F _{CRH}	—	—	3.92	4	4.08	MHz	動作条件 • メイン CR クロック使用 • $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
				3.8	4	4.2	MHz	動作条件 • メイン CR クロック使用 • $-40^\circ\text{C} \leq T_A < 0^\circ\text{C}$, $+70^\circ\text{C} < T_A \leq +85^\circ\text{C}$
	F _{MCRPLL}	—	—	7.84	8	8.16	MHz	動作条件 • PLL 通倍率: 2 • $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
				7.6	8	8.4	MHz	動作条件 • PLL 通倍率: 2 • $-40^\circ\text{C} \leq T_A < 0^\circ\text{C}$, $+70^\circ\text{C} < T_A \leq +85^\circ\text{C}$
				9.8	10	10.2	MHz	動作条件 • PLL 通倍率: 2.5 • $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
				9.5	10	10.5	MHz	動作条件 • PLL 通倍率: 2.5 • $-40^\circ\text{C} \leq T_A < 0^\circ\text{C}$, $+70^\circ\text{C} < T_A \leq +85^\circ\text{C}$
				11.76	12	12.24	MHz	動作条件 • PLL 通倍率: 3 • $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
				11.4	12	12.6	MHz	動作条件 • PLL 通倍率: 3 • $-40^\circ\text{C} \leq T_A < 0^\circ\text{C}$, $+70^\circ\text{C} < T_A \leq +85^\circ\text{C}$
				15.68	16	16.32	MHz	動作条件 • PLL 通倍率: 4 • $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
				15.2	16	16.8	MHz	動作条件 • PLL 通倍率: 4 • $-40^\circ\text{C} \leq T_A < 0^\circ\text{C}$, $+70^\circ\text{C} < T_A \leq +85^\circ\text{C}$
	F _{CL}	X0A, X1A	—	—	32.768	—	kHz	サブ発振回路使用の場合
				—	32.768	—	kHz	サブ外部クロック使用の場合
	F _{CRL}	—	—	50	100	150	kHz	サブ CR クロック使用の場合

$(V_{CC} = 2.88 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロックサイクルタイム	t_{HCYL}	X0, X1	—	61.5	—	1000	ns	メイン発振回路使用の場合
		X0	X1: 開放	83.4	—	1000	ns	外部クロック使用の場合
		X0, X1	*	30.8	—	1000	ns	
	t_{LCYL}	X0A, X1A	—	—	30.5	—	μs	サブクロック使用の場合
入力クロックパルス幅	t_{WH1}, t_{WL1}	X0	X1: 開放	33.4	—	—	ns	外部クロック使用の場合、デューティ比は 40 % ~ 60 % の範囲としてください。
		X0, X1	*	12.4	—	—	ns	
	t_{WH2}, t_{WL2}	X0A	—	—	15.2	—	μs	
入力クロックの立上り時間と立下り時間	t_{CR}, t_{CF}	X0, X0A	X1: 開放	—	—	5	ns	外部クロック使用の場合
		X0, X1, X0A, X1A	*	—	—	5	ns	
CR 発振開始時間	t_{CRHWK}	—	—	—	—	50	μs	メイン CR クロック使用の場合
	t_{CRLWK}	—	—	—	—	30	μs	サブ CR クロック使用の場合
PLL 発振開始時間	$t_{MCRPLLWK}$	—	—	—	—	100	μs	メイン CR PLL クロック使用の場合

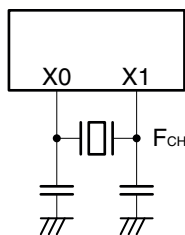
*: X0 へ外部クロックを入力, X1 にその反転信号を入力した場合

• 外部クロック (メインクロック) 使用時の発生入力波形

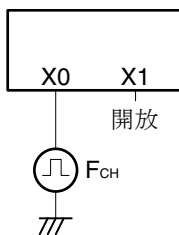


• メインクロック入力ポート外部接続図

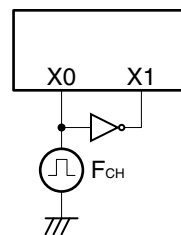
水晶振動子使用時またはセラミック振動子使用時



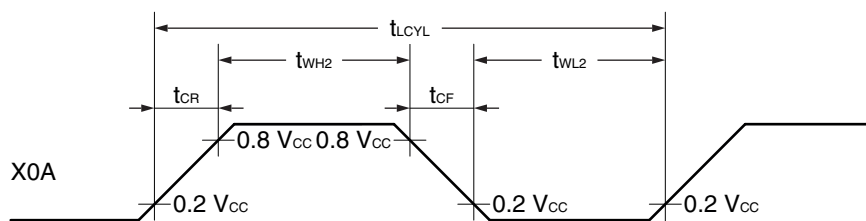
外部クロック使用時 (X1 開放)



外部クロック使用時

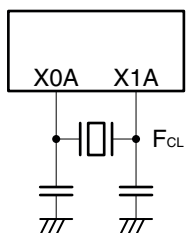


• 外部クロック (サブクロック) 使用時の発生入力波形

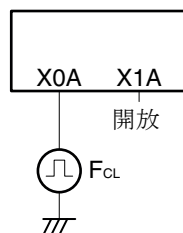


• サブクロック入力ポート外部接続図

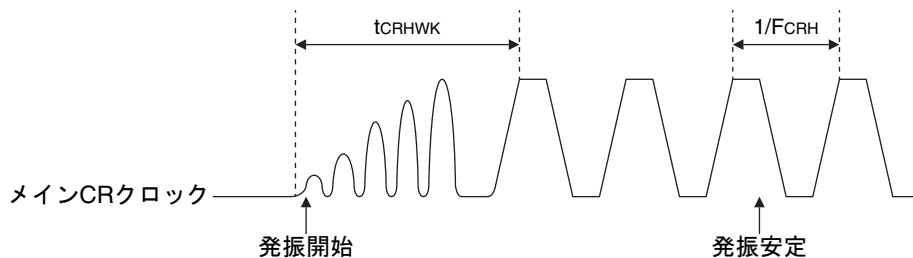
水晶振動子使用時または
セラミック振動子使用時



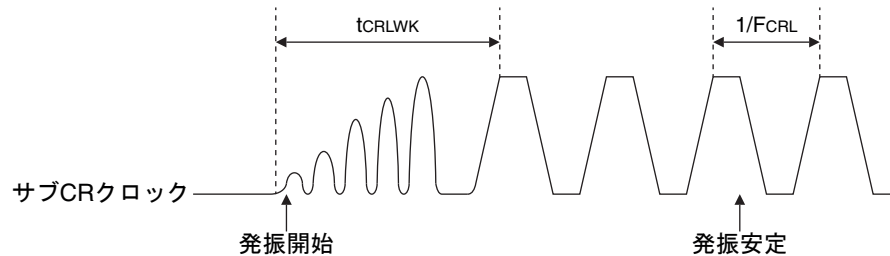
外部クロック使用時



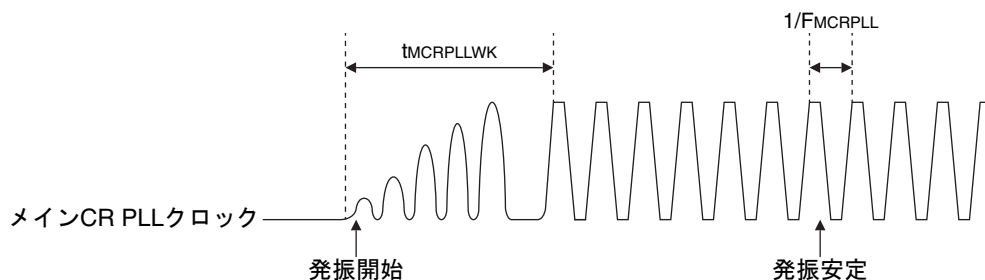
• 内部クロック (メイン CR クロック) 使用時の発生入力波形



• 内部クロック (サブ CR クロック) 使用時の発生入力波形



- 内部クロック (メイン CR PLL クロック) 使用時の発生入力波形



20.4.2 ソースクロック / マシニングクロック

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
ソースクロック サイクルタイム *1	t _{SCLK}	—	61.5	—	2000	ns	メイン外部クロック使用の場合 最小 : F _{CH} = 32.5 MHz, 2 分周 最大 : F _{CH} = 1 MHz, 2 分周
			62.5	—	1000	ns	メイン CR クロック使用の場合 最小 : F _{CRH} = 4 MHz, 4 通倍 最大 : F _{CRH} = 4 MHz, 4 分周
			—	61	—	μs	サブ発振クロック使用の場合 F _{CL} = 32.768 kHz, 2 分周
			—	20	—	μs	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周
ソースクロック 周波数	F _{SP}	—	0.5	—	16.25	MHz	メイン発振クロック使用の場合
			—	4	12.5	MHz	メイン CR クロック使用の場合
	F _{SPL}		—	16.384	—	kHz	サブ発振クロック使用の場合
			—	50	—	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周
マシニングクロック サイクルタイム *2 (最小命令実行 時間)	t _{MCLK}	—	61.5	—	32000	ns	メイン発振クロック使用の場合 最小 : F _{SP} = 16.25 MHz, 分周なし 最大 : F _{SP} = 0.5 MHz, 16 分周
			250	—	4000	ns	メイン CR クロック使用の場合 最小 : F _{SP} = 4 MHz, 分周なし 最大 : F _{SP} = 4 MHz, 16 分周
			61	—	976.5	μs	サブ発振クロック使用の場合 最小 : F _{SPL} = 16.384 kHz, 分周なし 最大 : F _{SPL} = 16.384 kHz, 16 分周
			20	—	320	μs	サブ CR クロック使用の場合 最小 : F _{SPL} = 50 kHz, 分周なし 最大 : F _{SPL} = 50 kHz, 16 分周

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
マシニングロック 周波数	F _{MP}	—	0.031	—	16.25	MHz	メイン発振クロック使用の場合
			0.25	—	16	MHz	メイン CR クロック使用の場合
	F _{MPL}		1.024	—	16.384	kHz	サブ発振クロック使用の場合
			3.125	—	50	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz

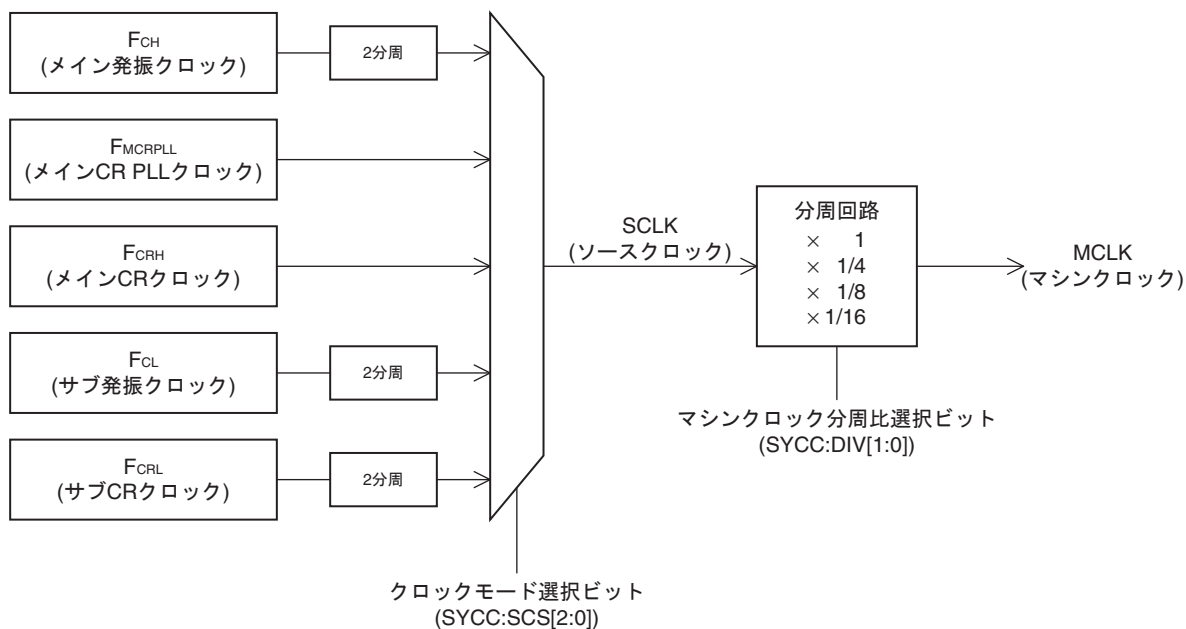
*1: マシニングロック分周比選択ビット (SYCC:DIV[1:0]) によって設定される分周比にしたがって分周される前のクロックです。本ソースクロックがマシニングロック分周比選択ビット (SYCC:DIV[1:0]) によって設定される分周比にしたがって分周され、マシニングクロックとなります。なお、ソースクロックは、以下から選択できます。

- メインクロックの 2 分周
- メイン CR クロック
- メイン CR クロックの PLL 通倍 (2, 2.5, 3, 4 通倍から選択)
- サブクロックの 2 分周
- サブ CR クロックの 2 分周

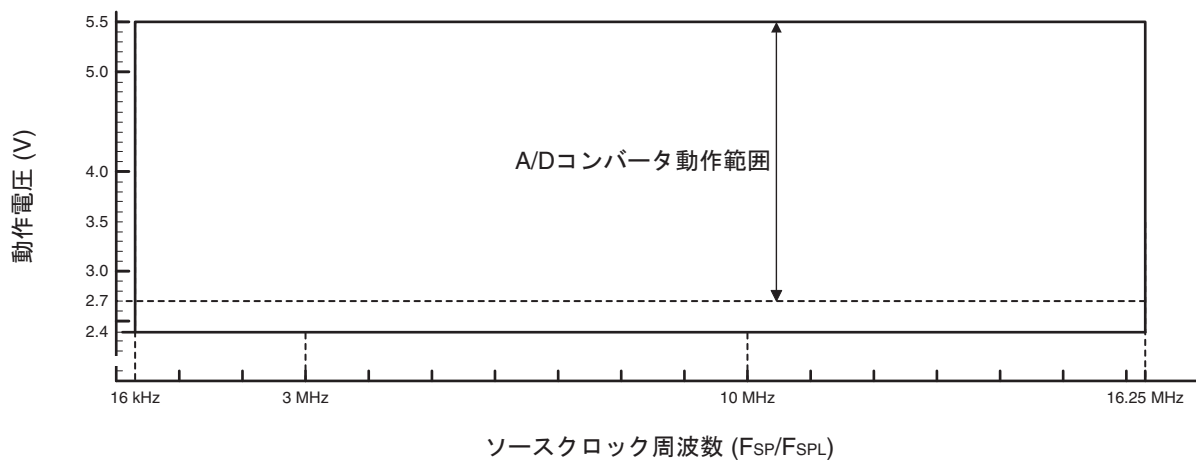
*2: マイクロコントローラの動作クロックです。マシニングクロックは、以下から選択できます。

- ソースクロック (分周なし)
- ソースクロックの 4 分周
- ソースクロックの 8 分周
- ソースクロックの 16 分周

• クロック生成部の概略図



• 動作電圧 – 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

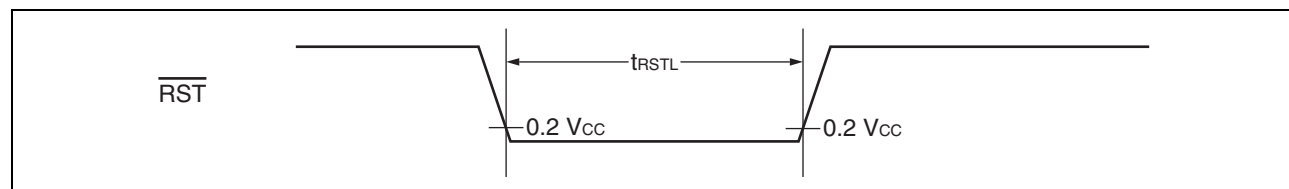


20.4.3 外部リセット

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	規格値		単位	備考
		最小	最大		
$\overline{\text{RST}}$ “L” レベルパルス幅	t_{RSTL}	$2 t_{\text{MCLK}}^*$	—	ns	

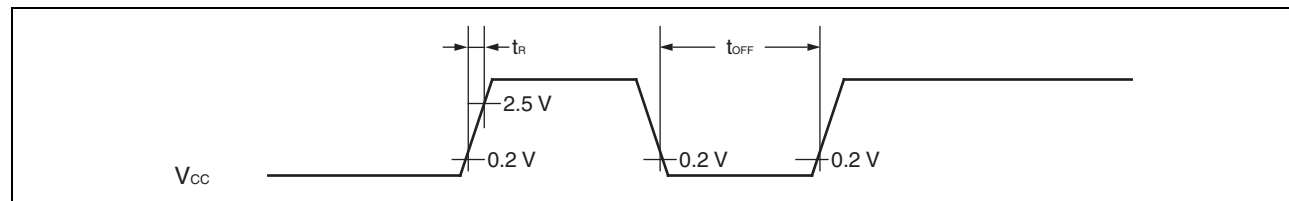
*: t_{MCLK} については「20.4.2 ソースクロック / マシンクロック」を参照してください。



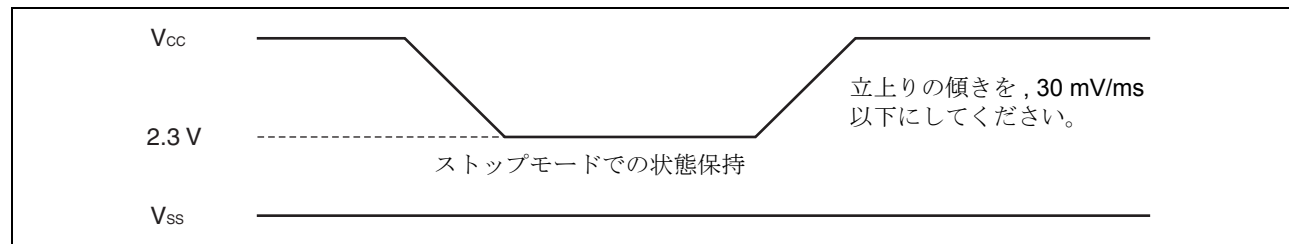
20.4.4 パワーオンリセット

($V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源立上り時間	t_R	—	—	50	ms	
電源断時間	t_{OFF}	—	1	—	ms	電源投入までの待ち時間



(注意事項) 電源電圧を急激に変化させると、パワーオンリセットが起動される場合があります。動作中に電源電圧を変化させる場合は、下図のように立上りの傾きを、30 mV/ms 以下にしてください。

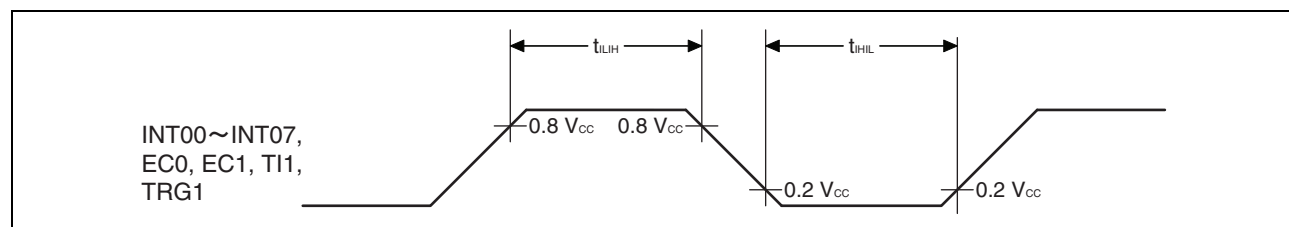


20.4.5 周辺入力タイミング

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	規格値		単位
			最小	最大	
周辺入力“H”パルス幅	t_{LIH}	INT00 ~ INT07, EC0, EC1, TI1, TRG1	$2 t_{MCLK}^*$	—	ns
周辺入力“L”パルス幅	t_{HIL}		$2 t_{MCLK}^*$	—	ns

*: t_{MCLK} については、「20.4.2 ソースクロック / マシンクロック」を参照してください。



20.4.6 LIN-UART タイミング

サンプリングクロックの立上りエッジでサンプリングを行い^{*1}, シリアルクロック遅延を禁止する場合^{*2}
(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 0)

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

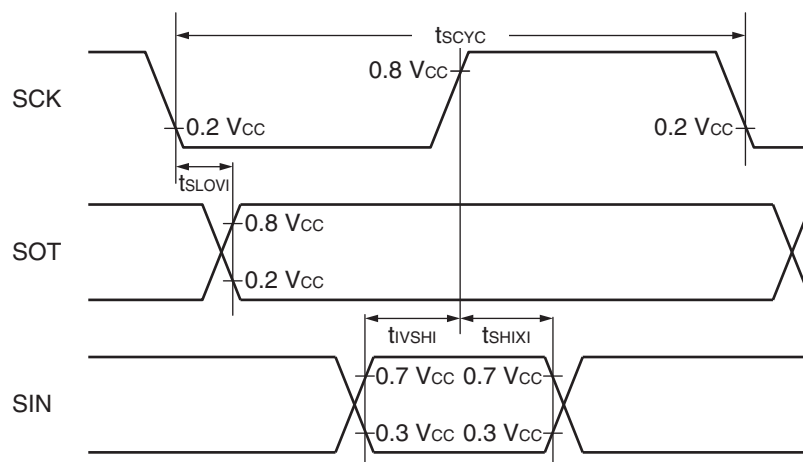
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子: $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		-50	+50	ns
有効 SIN → SCK↑	t_{IVSHI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
シリアルクロック“L”パルス幅	t_{SLSH}	SCK	外部クロック動作 出力端子: $C_L = 80\text{ pF} + 1\text{ TTL}$	$3 t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック“H”パルス幅	t_{SHSL}	SCK		$t_{MCLK}^{*3} + 10$	—	ns
SCK↓ → SOT 遅延時間	t_{SLOVE}	SCK, SOT		—	$2 t_{MCLK}^{*3} + 60$	ns
有効 SIN → SCK↑	t_{IVSHE}	SCK, SIN		30	—	ns
SCK↑ → 有効 SIN ホールド時間	t_{SHIXE}	SCK, SIN		$t_{MCLK}^{*3} + 30$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか、立下りで行うかを選択する機能があります。

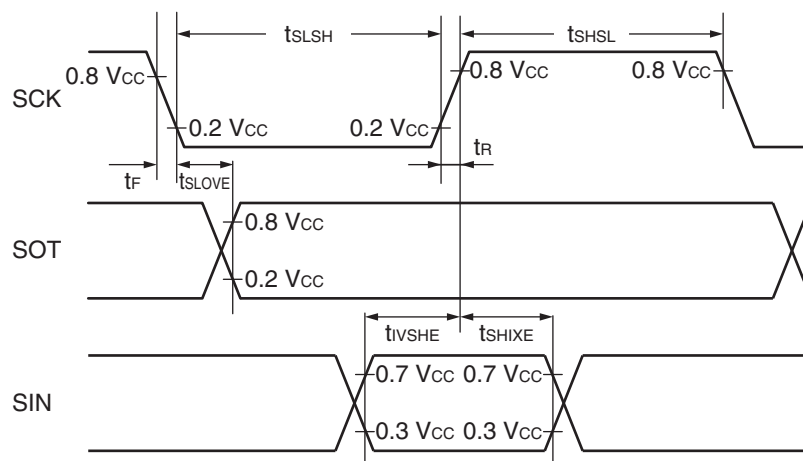
*2: シリアルクロック遅延機能は、シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については、「20.4.2 ソースクロック / マシンクロック」を参照してください。

• 内部シフトクロックモード



• 外部シフトクロックモード



サンプリングクロックの立下りエッジでサンプリングを行い*¹, シリアルクロック遅延を禁止する場合*²
 (ESCR レジスタ : SCES ビット = 1, ECCR レジスタ : SCDE ビット = 0)

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

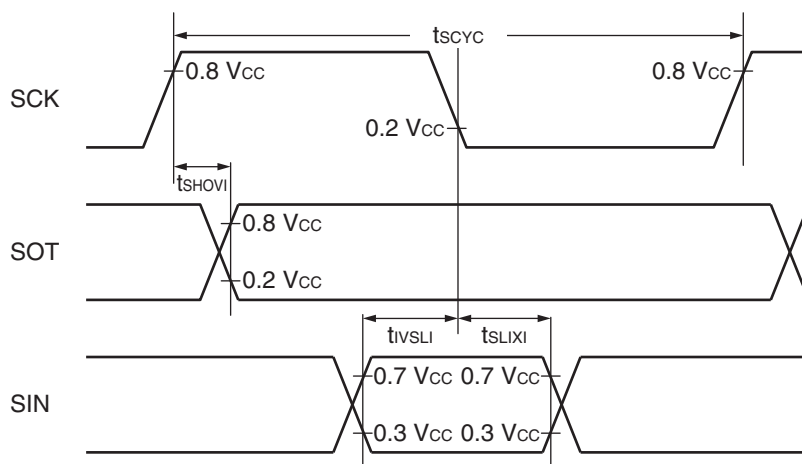
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5\ t_{MCLK}^{*3}$	—	ns
SCK↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		-50	+50	ns
有効 SIN → SCK↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK	外部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$3\ t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK		$t_{MCLK}^{*3} + 10$	—	ns
SCK↑ → SOT 遅延時間	t_{SHOVE}	SCK, SOT		—	$2\ t_{MCLK}^{*3} + 60$	ns
有効 SIN → SCK↓	t_{IVSLE}	SCK, SIN		30	—	ns
SCK↓ → 有効 SIN ホールド時間	t_{SLIXE}	SCK, SIN		$t_{MCLK}^{*3} + 30$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか、立下りで行うかを選択する機能があります。

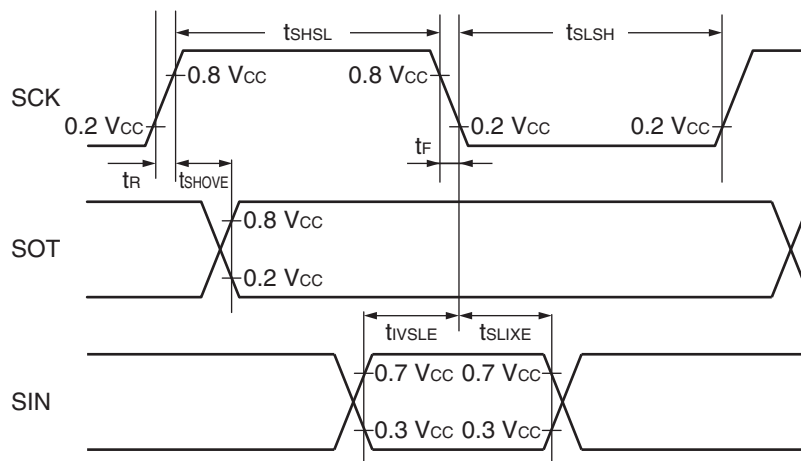
*2: シリアルクロック遅延機能は、シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については、「20.4.2 ソースクロック / マシンクロック」を参照してください。

• 内部シフトクロックモード



• 外部シフトクロックモード



サンプリングクロックの立上りエッジでサンプリングを行い^{*1}, シリアルクロック遅延を許可する場合^{*2}
(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 1)

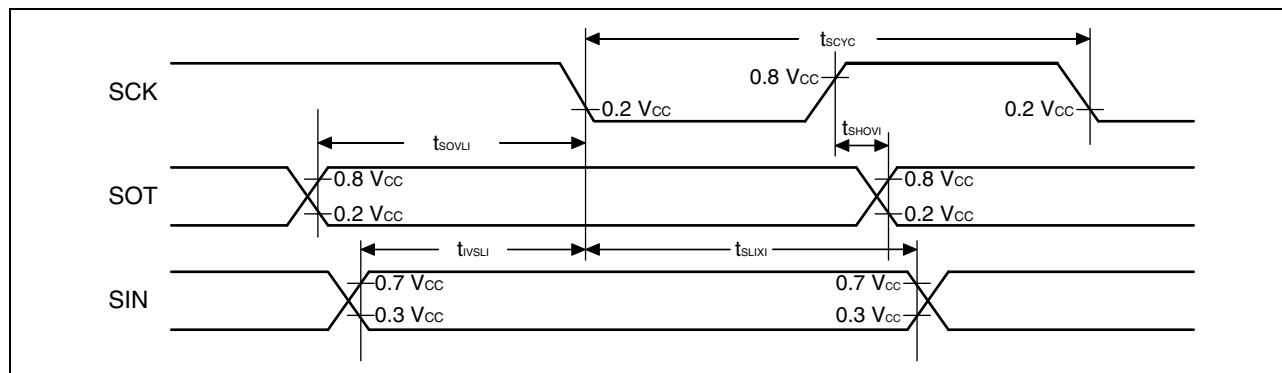
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		-50	+50	ns
有効 SIN → SCK↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
SOT → SCK↓ 遅延時間	t_{SOVLI}	SCK, SOT		$3 t_{MCLK}^{*3} - 70$	—	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「20.4.2 ソースクロック / マシンクロック」を参照してください。



サンプリングクロックの立下りエッジでサンプリングを行い^{*1}, シリアルクロック遅延を許可する場合^{*2}
(ESCR レジスタ : SCES ビット = 1, ECCR レジスタ : SCDE ビット = 1)

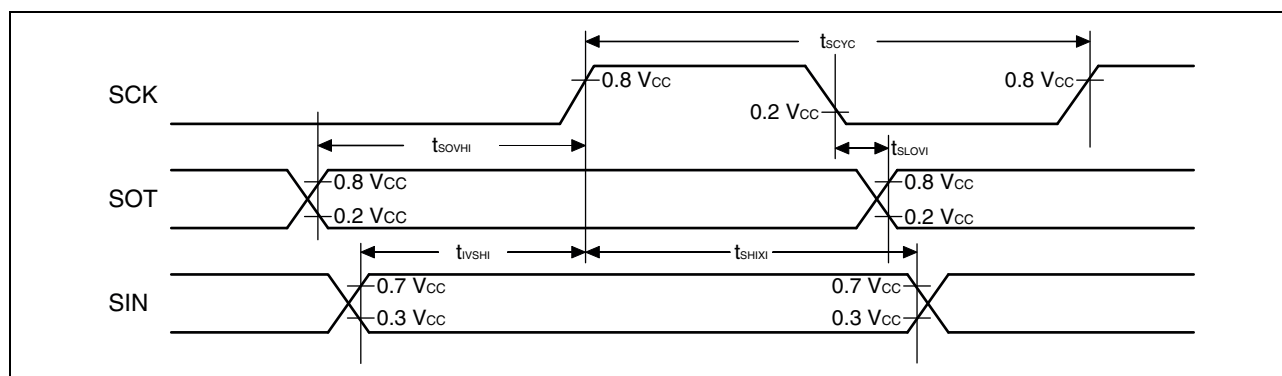
($V_{CC} = 5.0 V \pm 10\%$, $V_{SS} = 0.0 V$, $T_A = -40^\circ C \sim +85^\circ C$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		-50	+50	ns
有効 SIN → SCK↑	t_{IVSHI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
SOT → SCK↑ 遅延時間	t_{SOVHI}	SCK, SOT		$3 t_{MCLK}^{*3} - 70$	—	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「20.4.2 ソースクロック / マシンクロック」を参照してください。

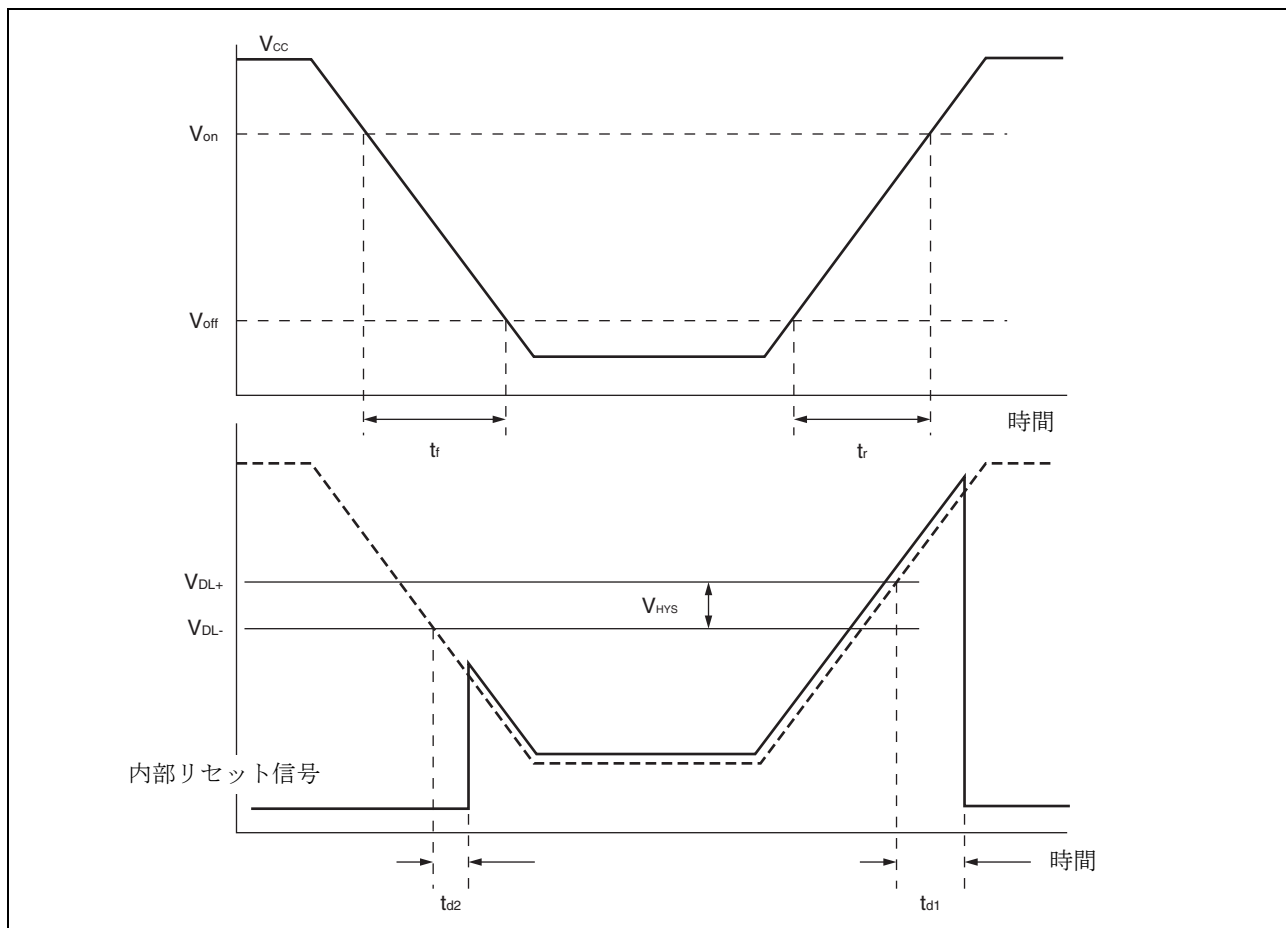


20.4.7 低電圧検出

 $(V_{SS} = 0.0 \text{ V}, T_A = -40 \text{ }^{\circ}\text{C} \sim +85 \text{ }^{\circ}\text{C})$

項目	記号	規格値			単位	備考
		最小	標準	最大		
解除電圧 *	V_{DL+}	2.52	2.7	2.88	V	電源上昇の場合
		2.61	2.8	2.99		
		2.89	3.1	3.31		
		3.08	3.3	3.52		
検出電圧 *	V_{DL-}	2.43	2.6	2.77	V	電源降下の場合
		2.52	2.7	2.88		
		2.80	3	3.20		
		2.99	3.2	3.41		
ヒステリシス幅	V_{HYS}	—	—	100	mV	
電源開始電圧	V_{off}	—	—	2.3	V	
電源到達電圧	V_{on}	4.9	—	—	V	
電源電圧変化時間 (電源上昇の場合)	t_r	650	—	—	μs	リセット解除信号が規格内 (V_{DL+}) で発生する電源の傾き
電源電圧変化時間 (電源降下の場合)	t_f	650	—	—	μs	リセット検出信号が規格内 (V_{DL-}) で発生する電源の傾き
リセット解除遅延時間	t_{d1}	—	—	30	μs	
リセット検出遅延時間	t_{d2}	—	—	30	μs	
LVD リセットしきい値電 圧遷移安定時間	t_{stb}	10	—	—	μs	

*: LVD リセット回路制御レジスタ (LVDCC) により LVD リセットが許可された後, 解除電圧と検出電圧は, 低電圧検出リセット回路の LVD リセット電圧選択 ID レジスタ (LVDR) により選択できます。LVDCC レジスタと LVDR レジスタの詳細については, 「New 8FX MB95690K シリーズハードウェアマニュアル」の「第 16 章 低電圧検出リセット回路」を参照してください。



20.4.8 I²C バスインタフェースタイミング

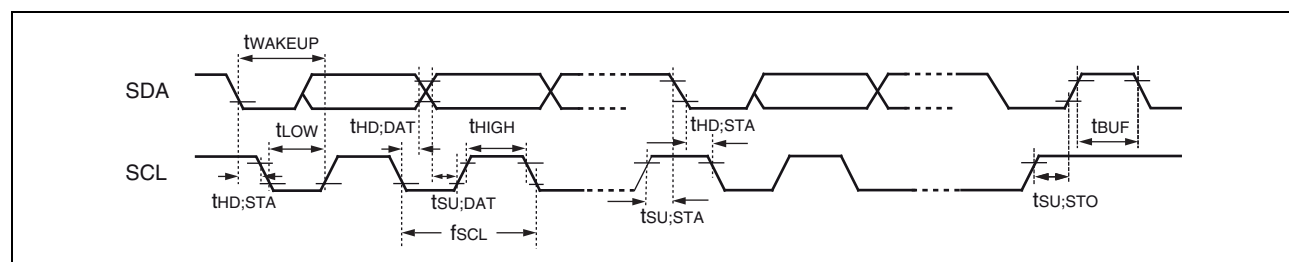
(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = -40 °C ~ +85 °C)

項目	記号	端子名	条件	規格値				単位
				標準モード		高速モード		
				最小	最大	最小	最大	
SCL クロック周波数	f _{SCL}	SCL	R = 1.7 kΩ, C = 50 pF* ¹	0	100	0	400	kHz
(反復) スタート条件ホールド時間 SDA ↓ → SCL ↓	t _{HD;STA}	SCL, SDA		4.0	—	0.6	—	μs
SCL クロック “L” 幅	t _{LOW}	SCL		4.7	—	1.3	—	μs
SCL クロック “H” 幅	t _{HIGH}	SCL		4.0	—	0.6	—	μs
(反復) スタート条件セットアップ時間 SCL ↑ → SDA ↓	t _{SU;STA}	SCL, SDA		4.7	—	0.6	—	μs
データホールド時間 SCL ↓ → SDA ↓↑	t _{HD;DAT}	SCL, SDA		0	3.45* ²	0	0.9* ³	μs
データセットアップ時間 SDA ↓↑ → SCL ↑	t _{SU;DAT}	SCL, SDA		0.25	—	0.1	—	μs
ストップ条件セットアップ時間 SCL ↑ → SDA ↑	t _{SU;STO}	SCL, SDA		4	—	0.6	—	μs
ストップ条件とスタート条件との間の バスフリー時間	t _{BUF}	SCL, SDA		4.7	—	1.3	—	μs

*1: R, C はそれぞれ SCL, SDA ラインのプルアップ抵抗, 負荷容量です。

*2: t_{HD;DAT} の最大値は, デバイスが SCL 信号の “L” 区間 (t_{LOW}) を延長していないときにのみ適用されます。

*3: 高速モード I²C バスデバイスを標準モード I²C バスシステムに使用できますが, 要求される条件 t_{SU;DAT} ≥ 250 ns を満足しなければなりません。



$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値 *2		単位	備考
				最小	最大		
SCL クロック “L” 幅	t_{LOW}	SCL	R = 1.7 kΩ, C = 50 pF*1	$(2 + \text{nm}/2)t_{\text{MCLK}} - 20$	—	ns	マスタモード
SCL クロック “H” 幅	t_{HIGH}	SCL		$(\text{nm}/2)t_{\text{MCLK}} - 20$	$(\text{nm}/2)t_{\text{MCLK}} + 20$	ns	マスタモード
START 条件 ホールド時間	$t_{\text{HD;STA}}$	SCL, SDA		$(-1 + \text{nm}/2)t_{\text{MCLK}} - 20$	$(-1 + \text{nm})t_{\text{MCLK}} + 20$	ns	マスタモード 最大値は m, n = 1, 8 時に適用。 それ以外の設定は 最小値を適用。
STOP 条件 セットアップ時間	$t_{\text{SU;STO}}$	SCL, SDA		$(1 + \text{nm}/2)t_{\text{MCLK}} - 20$	$(1 + \text{nm}/2)t_{\text{MCLK}} + 20$	ns	マスタモード
START 条件セット アップ時間	$t_{\text{SU;STA}}$	SCL, SDA		$(1 + \text{nm}/2)t_{\text{MCLK}} - 20$	$(1 + \text{nm}/2)t_{\text{MCLK}} + 20$	ns	マスタモード
「ストップ」条件と 「スタート」条件と の間のバスフリー 時間	t_{BUF}	SCL, SDA		$(2 \text{ nm} + 4) t_{\text{MCLK}} - 20$	—	ns	
データ ホールド時間	$t_{\text{HD;DAT}}$	SCL, SDA		$3 t_{\text{MCLK}} - 20$	—	ns	マスタモード
データ セットアップ時間	$t_{\text{SU;DAT}}$	SCL, SDA		$(-2 + \text{nm}/2) t_{\text{MCLK}} - 20$	$(-1 + \text{nm}/2) t_{\text{MCLK}} + 20$	ns	マスタモード SCL の “L” が引き 延ばされていない と仮定した場合。 最小値は連続デー タの第 1 ビットに 適用。それ以外は 最大値を適用。
割込みクリアから SCL 立上りまでの セットアップ時間	$t_{\text{SU;INT}}$	SCL		$(\text{nm}/2) t_{\text{MCLK}} - 20$	$(1 + \text{nm}/2) t_{\text{MCLK}} + 20$	ns	最小値は 9th SCL↓ 時の割込みに適用。 最大値は 8th SCL↓ 時の割込みに適用。
SCL クロック “L” 幅	t_{LOW}	SCL		$4 t_{\text{MCLK}} - 20$	—	ns	受信の場合
SCL クロック “H” 幅	t_{HIGH}	SCL		$4 t_{\text{MCLK}} - 20$	—	ns	受信の場合
「スタート」条件 検出	$t_{\text{HD;STA}}$	SCL, SDA		$2 t_{\text{MCLK}} - 20$	—	ns	受信の場合 1 t_{MCLK} の場合未検出
「ストップ」条件 検出	$t_{\text{SU;STO}}$	SCL, SDA		$2 t_{\text{MCLK}} - 20$	—	ns	受信の場合 1 t_{MCLK} の場合未検出
「再スタート」条件 検出条件	$t_{\text{SU;STA}}$	SCL, SDA		$2 t_{\text{MCLK}} - 20$	—	ns	受信の場合 1 t_{MCLK} の場合未検出
バスフリー時間	t_{BUF}	SCL, SDA		$2 t_{\text{MCLK}} - 20$	—	ns	受信の場合
データホールド 時間	$t_{\text{HD;DAT}}$	SCL, SDA		$2 t_{\text{MCLK}} - 20$	—	ns	スレーブ送信モー ドの場合

$(V_{CC} = 5.0\text{ V} \pm 10\%, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	条件	規格値 *2		単位	備考
				最小	最大		
データセットアップ時間	$t_{SU;DAT}$	SCL, SDA	$R = 1.7\text{ k}\Omega$, $C = 50\text{ pF}^{*1}$	$t_{LOW} - 3\ t_{MCLK} - 20$	—	ns	スレーブ送信 モードの場合
データホールド時間	$t_{HD;DAT}$	SCL, SDA		0	—	ns	受信の場合
データセットアップ時間	$t_{SU;DAT}$	SCL, SDA		$t_{MCLK} - 20$	—	ns	受信の場合
SDA↓ → SCL↑ (ウェイクアップ機能時)	t_{WAKEUP}	SCL, SDA		発振安定待ち時間 $+2\ t_{MCLK} - 20$	—	ns	

*1: R, C はそれぞれ SCL, SDA ラインのプルアップ抵抗, 負荷容量です。

*2: • t_{MCLK} については, 「20.4.2 ソースクロック / マシクロック」を参照してください。

- m は I²C クロック制御レジスタ (ICCR0) の CS[4:3] ビットです。
- n は I²C クロック制御レジスタ (ICCR0) の CS[2:0] ビットです。
- I²C バスインタフェースの実際のタイミングは, マシクロック (t_{MCLK}) および ICCR0 レジスタの CS[4:0] にて設定される m, n の値により決定されます。
- 標準モード:
 $0.9\text{ MHz} < t_{MCLK}$ (マシクロック) $< 16.25\text{ MHz}$ の範囲で m, n の設定が可能です。
 m, n の設定によっては, 下記のように使用できるマシクロックが決まります。
 (m, n) = (1, 8) : $0.9\text{ MHz} < t_{MCLK} \leq 1\text{ MHz}$
 (m, n) = (1, 22), (5, 4), (6, 4), (7, 4), (8, 4) : $0.9\text{ MHz} < t_{MCLK} \leq 2\text{ MHz}$
 (m, n) = (1, 38), (5, 8), (6, 8), (7, 8), (8, 8) : $0.9\text{ MHz} < t_{MCLK} \leq 4\text{ MHz}$
 (m, n) = (1, 98), (5, 22), (6, 22), (7, 22) : $0.9\text{ MHz} < t_{MCLK} \leq 10\text{ MHz}$
 (m, n) = (8, 22) : $0.9\text{ MHz} < t_{MCLK} \leq 16.25\text{ MHz}$
- 高速モード:
 $3.3\text{ MHz} < t_{MCLK}$ (マシクロック) $< 16.25\text{ MHz}$ の範囲で m, n の設定が可能です。
 m, n の設定によっては, 下記のように使用できるマシクロックが決まります。
 (m, n) = (1, 8) : $3.3\text{ MHz} < t_{MCLK} \leq 4\text{ MHz}$
 (m, n) = (1, 22), (5, 4) : $3.3\text{ MHz} < t_{MCLK} \leq 8\text{ MHz}$
 (m, n) = (1, 38), (6, 4), (7, 4), (8, 4) : $3.3\text{ MHz} < t_{MCLK} \leq 10\text{ MHz}$
 (m, n) = (5, 8) : $3.3\text{ MHz} < t_{MCLK} \leq 16.25\text{ MHz}$

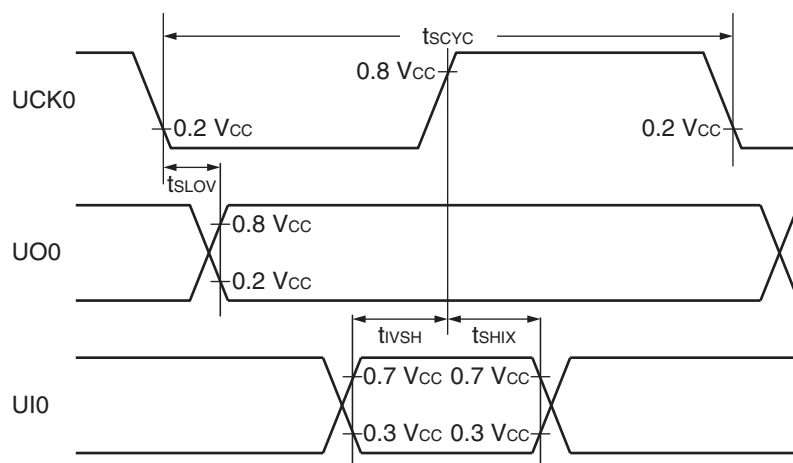
20.4.9 UART/SIO, シリアル入出力タイミング

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

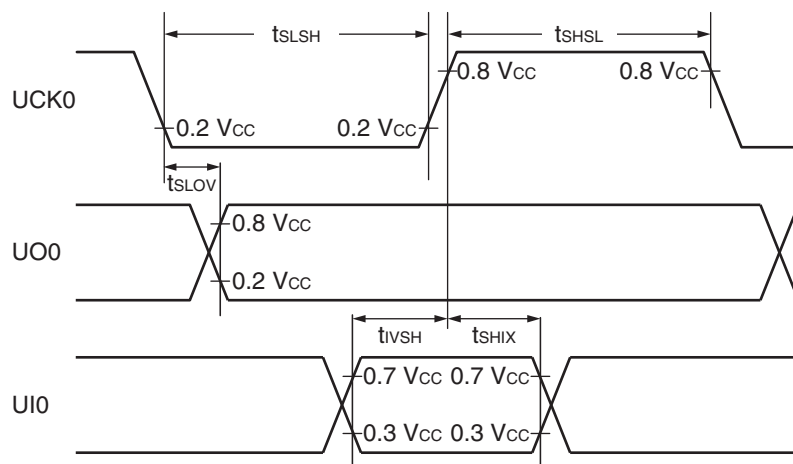
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	UCK0	内部クロック動作	$4 t_{MCLK}^*$	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		-190	+190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns
UCK ↑ → 有効 UI ホールド 時間	t_{SHIX}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	UCK0	外部クロック動作	$4 t_{MCLK}^*$	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	UCK0		$4 t_{MCLK}^*$	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		—	190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns
UCK ↑ → 有効 UI ホールド 時間	t_{SHIX}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns

*: t_{MCLK} については、「20.4.2 ソースクロック / マシンクロック」を参照してください。

• 内部シフトクロックモード



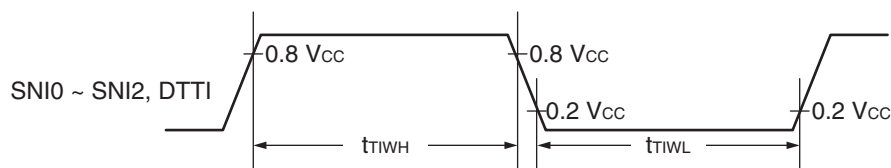
• 外部シフトクロックモード



20.4.10 MPG 入力タイミング

($V_{CC} = 5.0 V \pm 10\%$, $V_{SS} = 0.0 V$, $T_A = -40^\circ C \sim +85^\circ C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	SNI0 ~ SNI2, DTTI	—	$4 t_{MCLK}$	—	ns	



20.4.11 コンパレータタイミング
 $(V_{CC} = 2.88\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	端子名	規格値			単位	備考
		最小	標準	最大		
電圧範囲	CMP0_P, CMP0_N, CMP1_P, CMP1_N	0	—	$V_{CC} - 1.3$	V	
オフセット電圧	CMP0_P, CMP0_N, CMP1_P, CMP1_N	-15	—	+15	mV	
遅延時間	CMP0_O, CMP1_O	—	650	1200	ns	オーバードライブ 5 mV
		—	140	420	ns	オーバードライブ 50 mV
パワーダウン遅延	CMP0_O, CMP1_O	—	—	1200	ns	パワーダウンリカバリ PD: 1 → 0
パワーアップ安定待ち時間	CMP0_O, CMP1_O	—	—	1200	ns	パワーアップにおける出力安定待ち時間

20.4.12 コンパレータ用BGR
 $(V_{CC} = 2.88\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	規格値			単位	備考
		最小	標準	最大		
パワーアップ安定待ち時間	—	—	—	150	μs	負荷 : 10 pF
出力電圧	VBGR	1.1495	1.21	1.2705	V	

20.5 A/D コンバータ

20.5.1 A/D コンバータ電氣的特性

 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

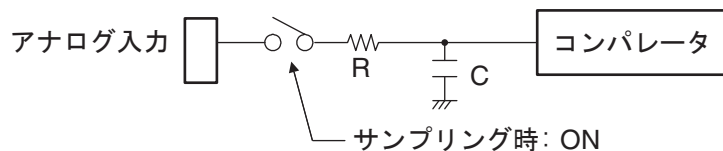
項目	記号	規格値			単位	備考
		最小	標準	最大		
分解能	—	—	—	10	bit	
総合誤差		-3	—	+3	LSB	
直線性誤差		-2.5	—	+2.5	LSB	
微分直線性誤差		-1.9	—	+1.9	LSB	
ゼロトランジション電圧	V_{0T}	$V_{SS} - 7.2\text{ LSB}$	$V_{SS} + 0.5\text{ LSB}$	$V_{SS} + 8.2\text{ LSB}$	V	
フルスケールトランジション電圧	V_{FST}	$V_{CC} - 6.2\text{ LSB}$	$V_{CC} - 1.5\text{ LSB}$	$V_{CC} + 9.2\text{ LSB}$	V	
コンペア時間	—	3	—	10	μs	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$
サンプリング時間	—	0.941	—	∞	μs	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, 外部インピーダンス < $3.3\text{ k}\Omega$ と外部抵抗 = 10 pF の場合
アナログ入力電流	I_{AIN}	-0.3	—	+0.3	μA	
アナログ入力電圧	V_{AIN}	V_{SS}	—	V_{CC}	V	

20.5.2 A/D コンバータの注意事項

• アナログ入力の外部インピーダンスとサンプリング時間について

MB95690K シリーズの A/D コンバータはサンプルホールド付きのものです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合は、内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず、A/D 変換精度に影響を及ぼします。したがって、A/D 変換精度規格を満たすために、外部インピーダンスと最小サンプリング時間の関係から、サンプリング時間を最小値より長くなるようにレジスタ値と動作周波数を調整するか、外部インピーダンスを下げて使用してください。また、サンプリング時間を十分に確保できない場合は、アナログ入力端子に $0.1\text{ }\mu\text{F}$ 程度のコンデンサを接続してください。

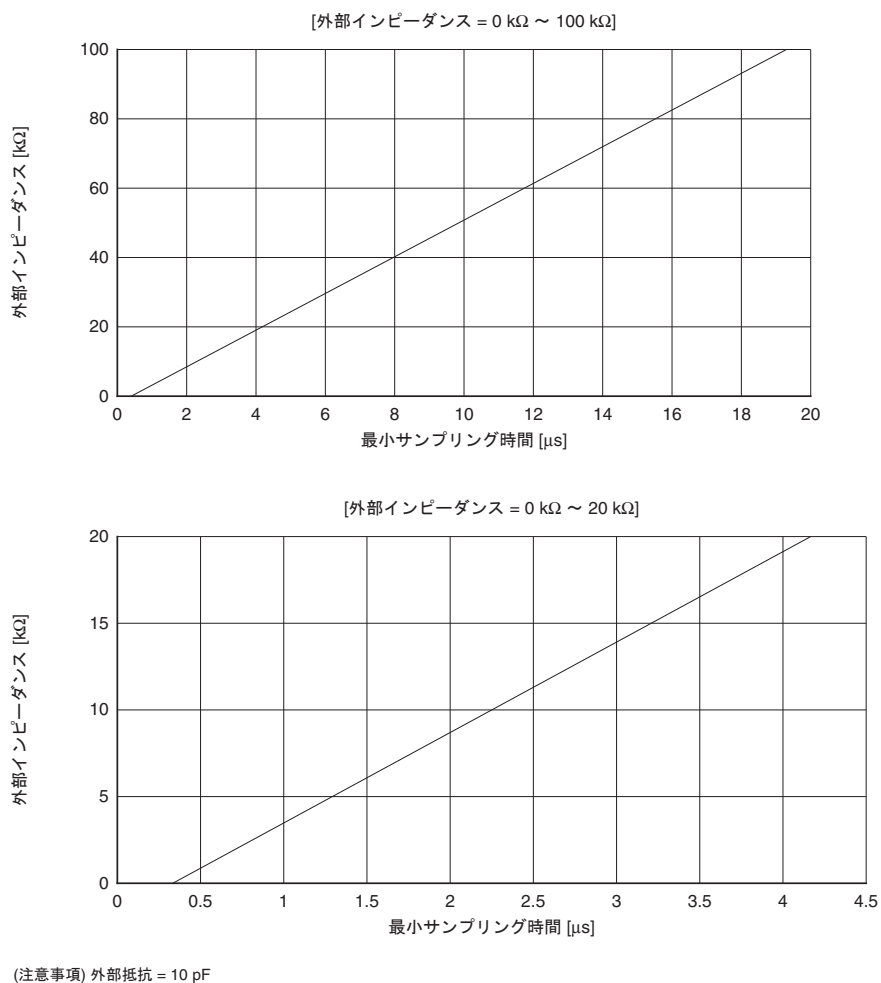
• アナログ入力等価回路



V_{CC}	R	C
$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$1.45\text{ k}\Omega$ (最大)	14.89 pF (最大)
$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$	$2.7\text{ k}\Omega$ (最大)	14.89 pF (最大)

(注意事項) 数値は参考値です。

• 外部インピーダンスと最小サンプリング時間の関係



• A/D 変換誤差について

$|V_{CC} - V_{SS}|$ が小さくなるに従って, A/D 変換の誤差は大きくなります。

20.5.3 A/D コンバータの用語の定義

- 分解能

A/D コンバータにより識別可能なアナログ変化を示します。
 10 ビットなら、アナログ電圧を $2^{10} = 1024$ の部分に分解可能です。

- 直線性誤差 (単位: LSB)

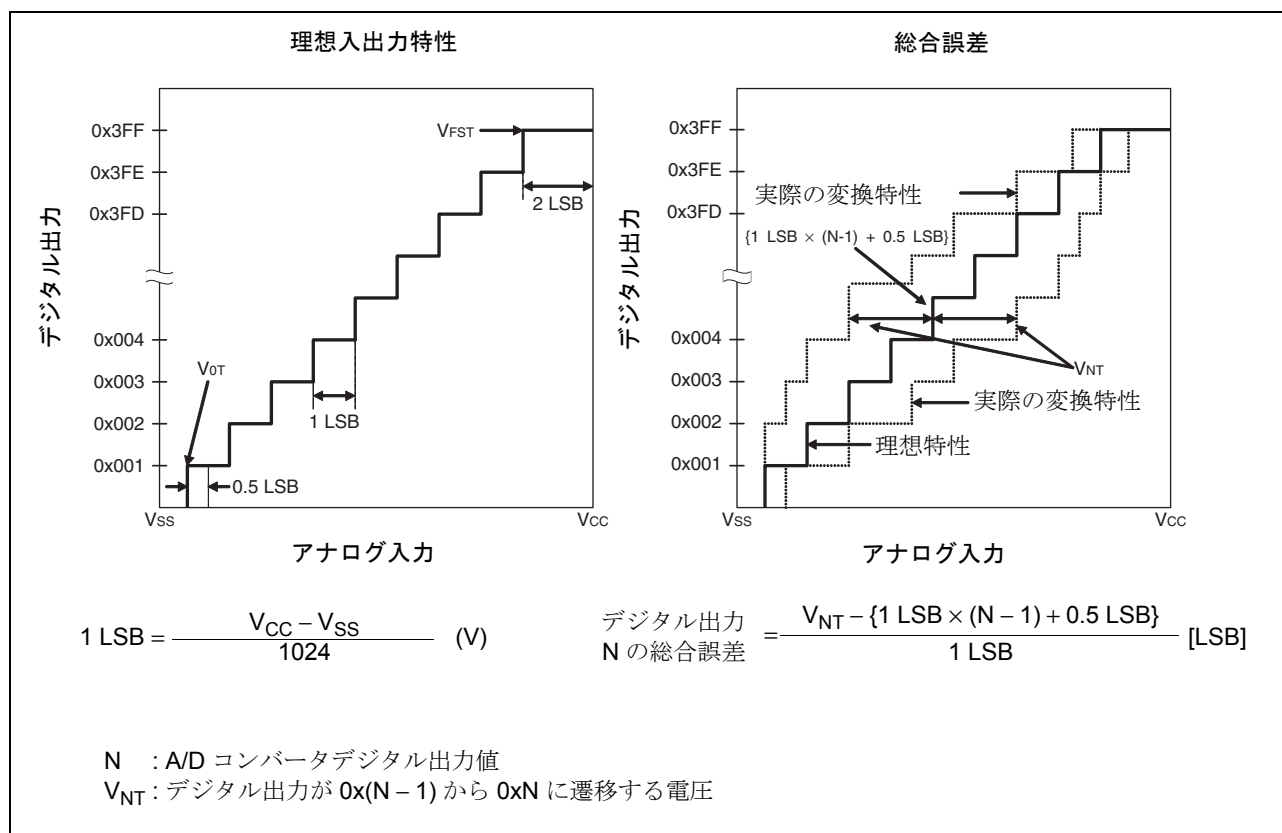
デバイスのゼロトランジション点 (“00 0000 0000” ← → “00 0000 0001”) と、同じデバイスのフルスケールトランジション点 (“11 1111 1111” ← → “11 1111 1110”) とを結んだ直線と、実際の変換値との誤差がどの程度かを示します。

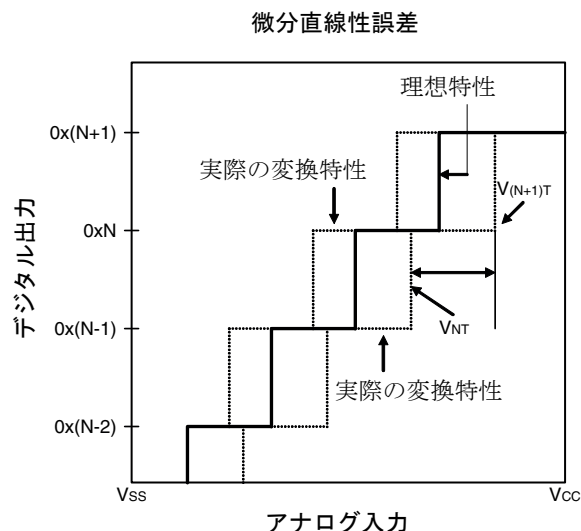
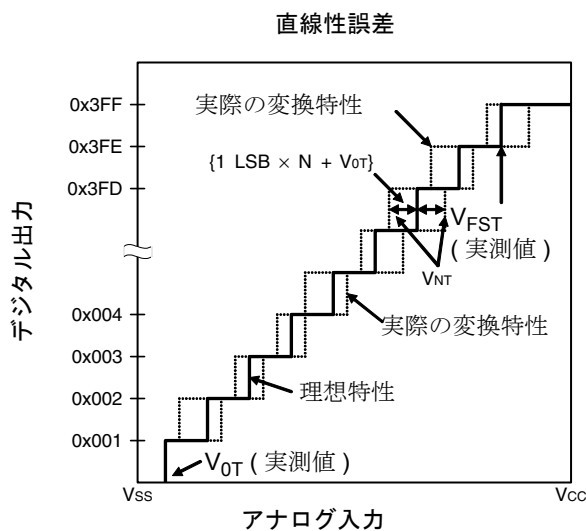
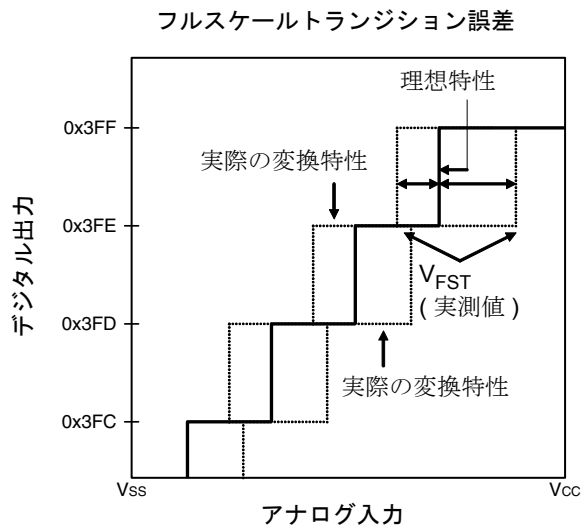
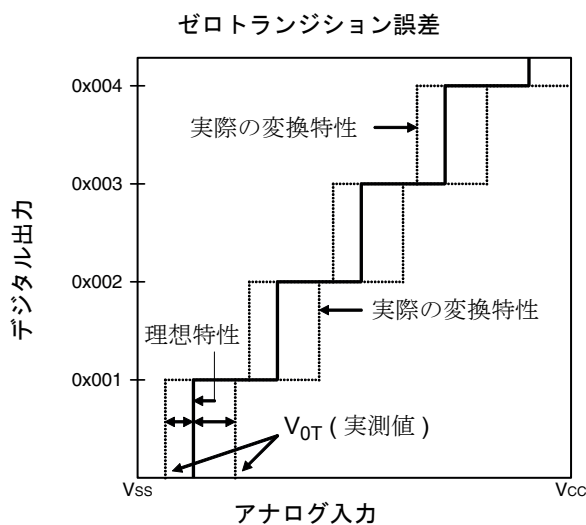
- 微分直線性誤差 (単位: LSB)

出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差がどの程度かを示します。

- 総合誤差 (単位: LSB)

実際の値と理論値との差を示し、ゼロトランジション誤差 / フルススケールトランジション誤差 / 直線性誤差 / 量子誤差および雑音に起因する誤差です。





$$\text{デジタル出力 } N \text{ の直線性誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times N + V_{0T}\}}{1 \text{ LSB}}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1$$

N: A/D コンバータデジタル出力値
 V_{NT} : デジタル出力が $0x(N-1)$ から $0xN$ に遷移する電圧
 V_{0T} (理想値) = $V_{ss} + 0.5 \text{ LSB [V]}$
 V_{FST} (理想値) = $V_{cc} - 2 \text{ LSB [V]}$

20.6 フラッシュメモリ書き込み / 消去特性

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間 (2 K バイトセクタ)	—	0.3* ¹	1.6* ²	s	消去前 “0x00” 書き込み時間は除きます。
セクタ消去時間 (32 K バイトセクタ)	—	0.6* ¹	3.1* ²	s	消去前 “0x00” 書き込み時間は除きます。
バイト書き込み時間	—	17	272	μs	システムレベルのオーバーヘッド時間は除きます。
書き込み / 消去サイクル	100000	—	—	cycle	
書き込み / 消去時の電源電圧	2.4	—	5.5	V	
フラッシュメモリデータ保持時間	20* ³	—	—	year	平均 T _A = +85 °C, 書き込み / 消去サイクルが 1000 回以下の場合
	10* ³	—	—		平均 T _A = +85 °C, 書き込み / 消去サイクルが 1001 回以上, 10000 回以下の場合
	5* ³	—	—		平均 T _A = +85 °C, 書き込み / 消去サイクルが 10001 回以上の場合

*1: V_{CC} = 5.5 V, T_A = +25 °C, 0 サイクル

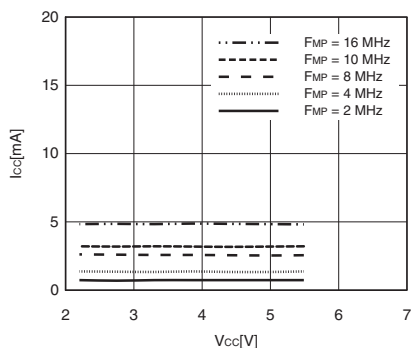
*2: V_{CC} = 2.4 V, T_A = +85 °C, 100000 サイクル

*3: テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し, 高温加速試験結果を平均温度 +85 °C へ換算しています)。

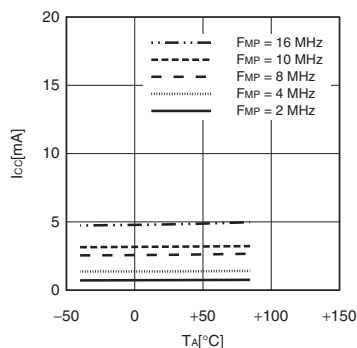
21. 特性例

• 電源電流・温度特性

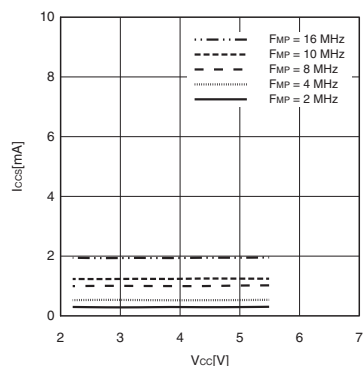
$I_{CC} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



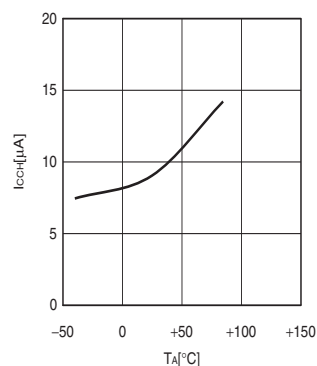
$I_{CC} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



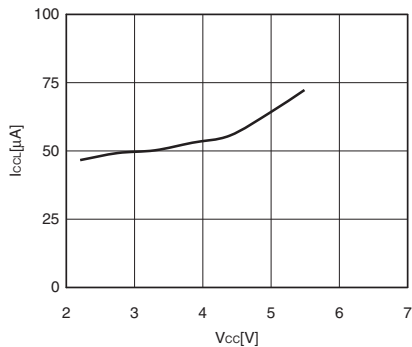
$I_{CCS} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



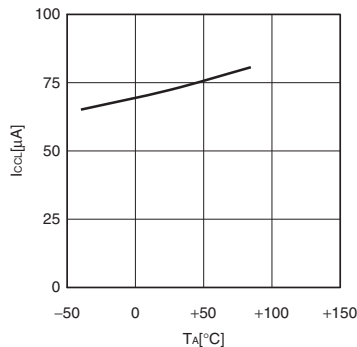
$I_{CCS} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



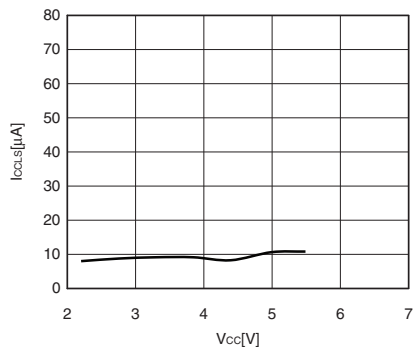
$I_{CCL} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



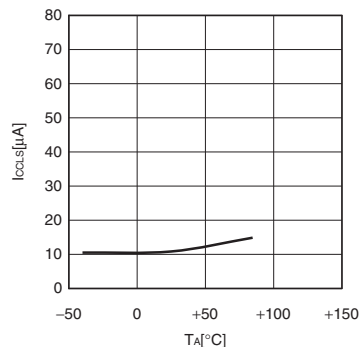
$I_{CCL} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



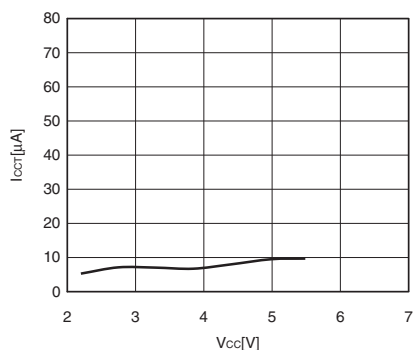
$I_{CCLS} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



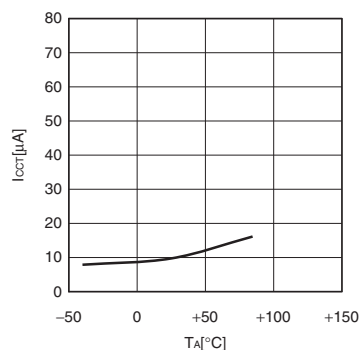
$I_{CCLS} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



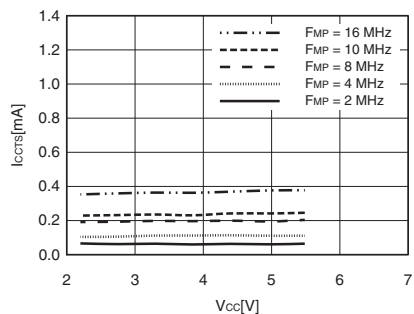
$I_{CCT} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 時計モード, 外部クロック動作時



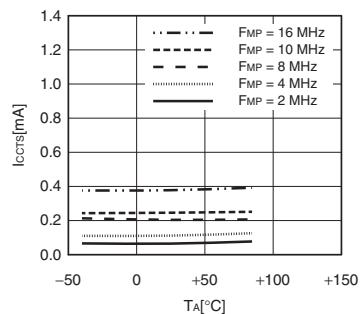
$I_{CCT} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = 16\text{ kHz}$ (2 分周)
 時計モード, 外部クロック動作時



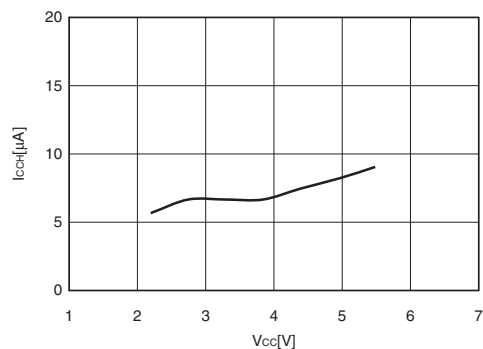
$I_{CCTS} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



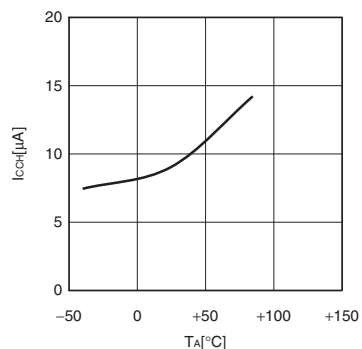
$I_{CCTS} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 2, 4, 8, 10, 16\text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



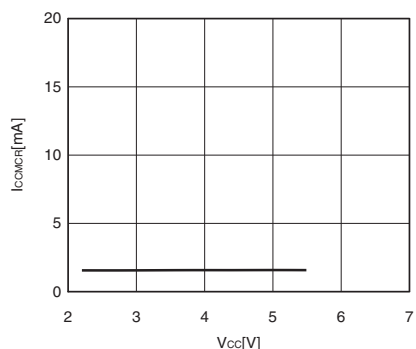
$I_{CCH} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



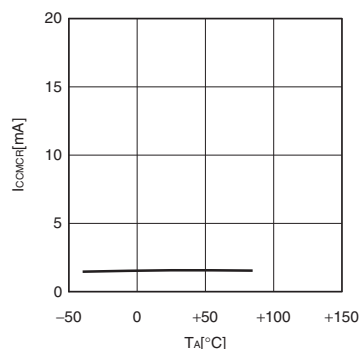
$I_{CCH} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



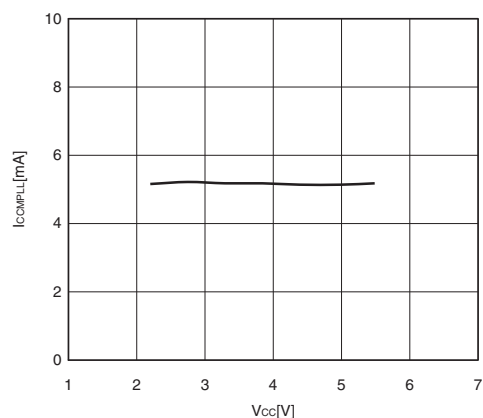
$I_{CCMCR} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MP} = 4\text{ MHz}$ (分周なし)
 メインCRクロックモード



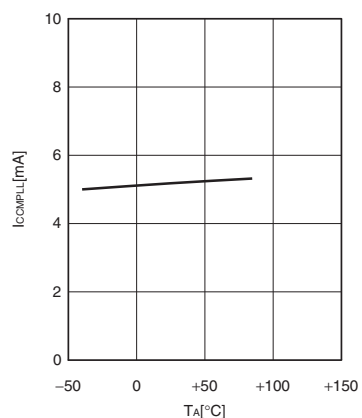
$I_{CCMCR} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 4\text{ MHz}$ (分周なし)
 メインCRクロックモード

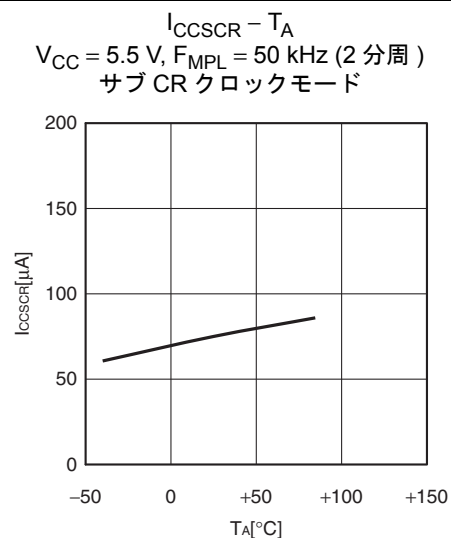
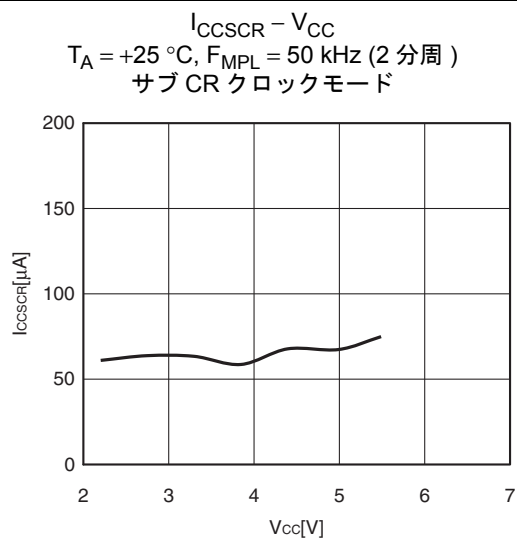


$I_{CCMPLL} - V_{CC}$
 $T_A = +25\text{ }^{\circ}\text{C}$, $F_{MP} = 16\text{ MHz}$ (PLL 通倍率: 4)
 メインCR PLL クロックモード

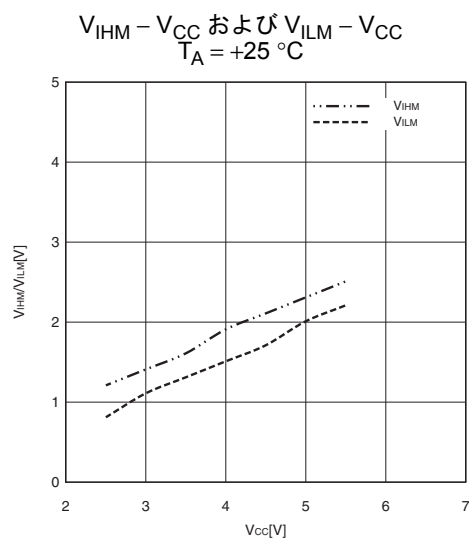
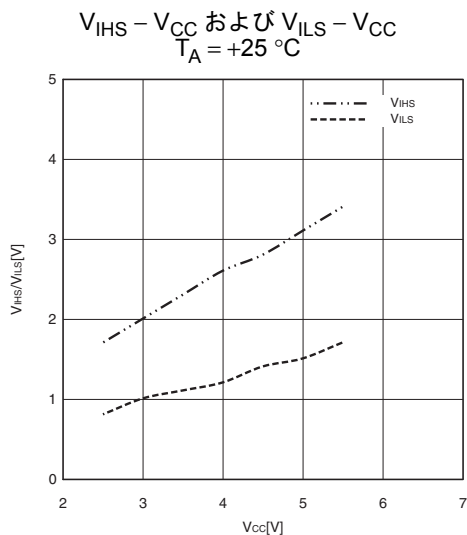
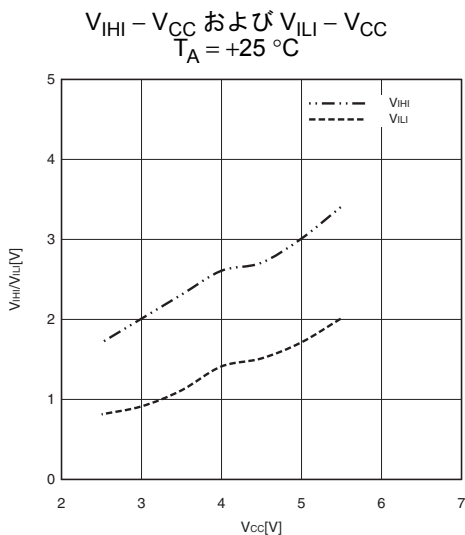


$I_{CCMPLL} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 16\text{ MHz}$ (PLL 通倍率: 4)
 メインCR PLL クロックモード

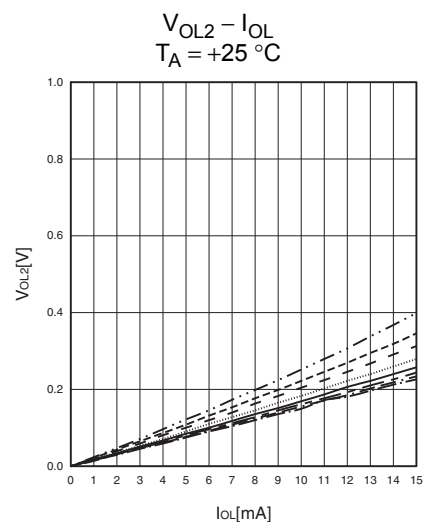
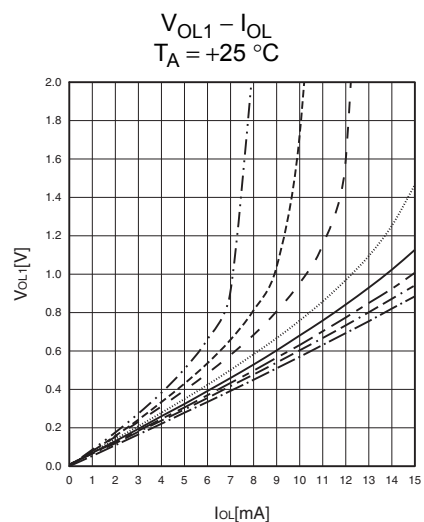
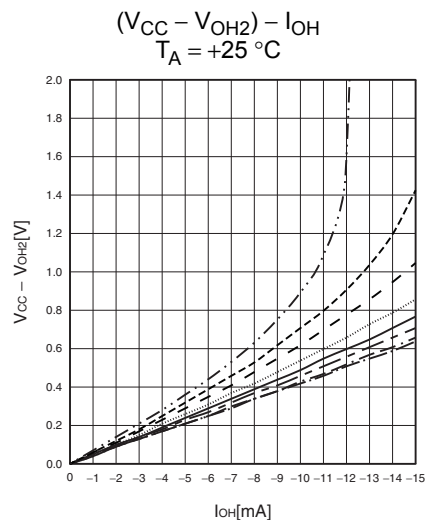
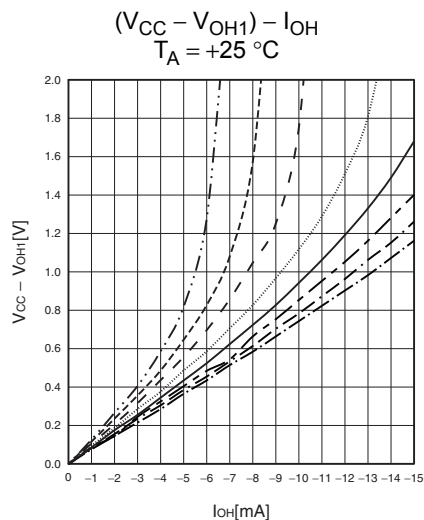




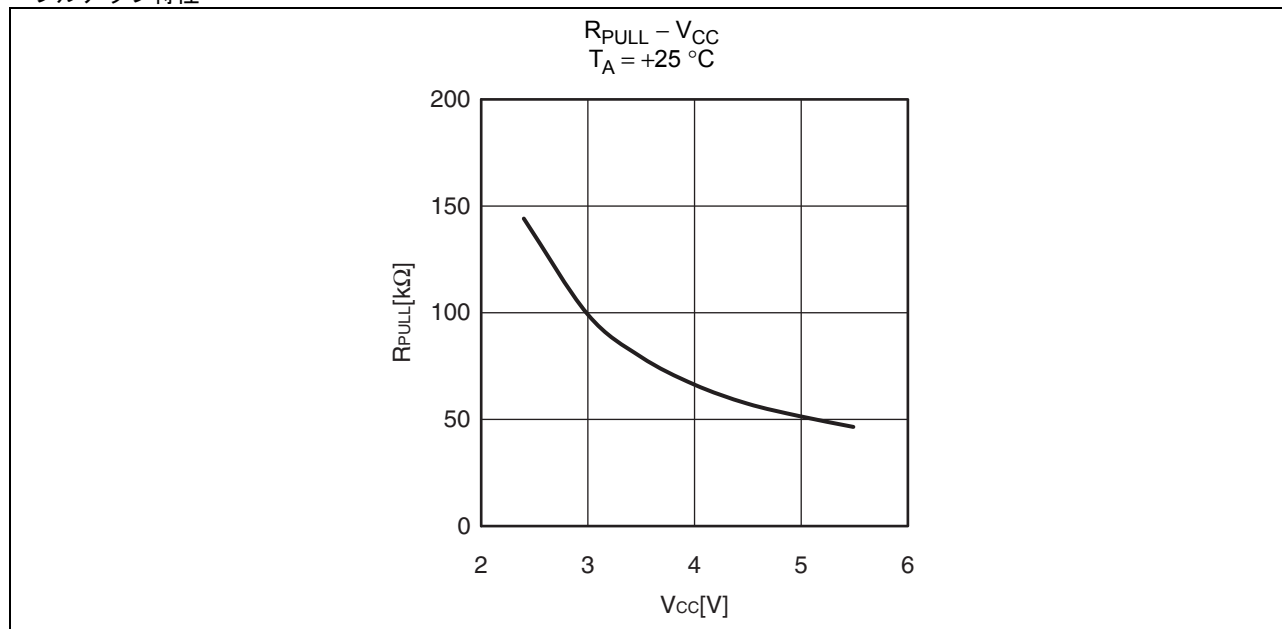
• 入力電圧特性



• 出力電圧特性



• プルアップ特性

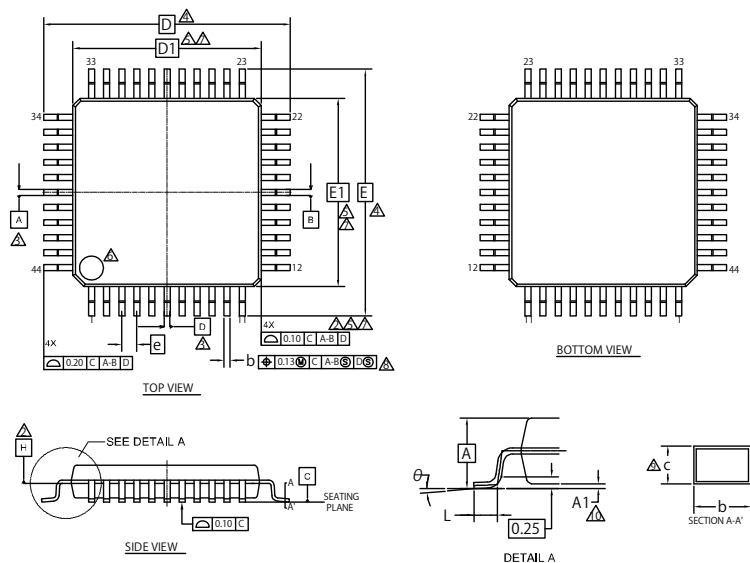


22. オーダ型格

型格	パッケージ	包装
MB95F694KNPMC2-G-SNE2 MB95F696KNPMC2-G-SNE2 MB95F698KNPMC2-G-SNE2	プラスチック・LQFP, 44 ピン (LQF044)	トレイ
MB95F694KNPMC-G-UNE2 MB95F696KNPMC-G-UNE2 MB95F698KNPMC-G-UNE2	プラスチック・LQFP, 48 ピン (LQA048)	トレイ
MB95F698KNPMC-G-UNERE2		リール
MB95F694KNPMC1-G-SNE2 MB95F696KNPMC1-G-SNE2 MB95F698KNPMC1-G-UNE2	プラスチック・LQFP, 52 ピン (LQC052)	トレイ
MB95F694KNWQN-G-SNE1 MB95F696KNWQN-G-SNE1 MB95F698KNWQN-G-SNE1	プラスチック・QFN, 48 ピン (WNR048)	トレイ
MB95F694KNWQN-G-SNERE1 MB95F696KNWQN-G-SNERE1 MB95F698KNWQN-G-SNERE1		リール

23. パッケージ・外形寸法図

Package Type	Package Code
LQFP 44	LQF044



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.20
b	0.25	0.35	0.45
c	0.107	—	0.177
D	—	13.60 BSC	—
D1	—	10.00 BSC	—
e	—	0.80 BSC	—
E	—	13.60 BSC	—
E1	—	10.00 BSC	—
L	0.80	1.00	1.20
θ	0°	—	8°

NOTES

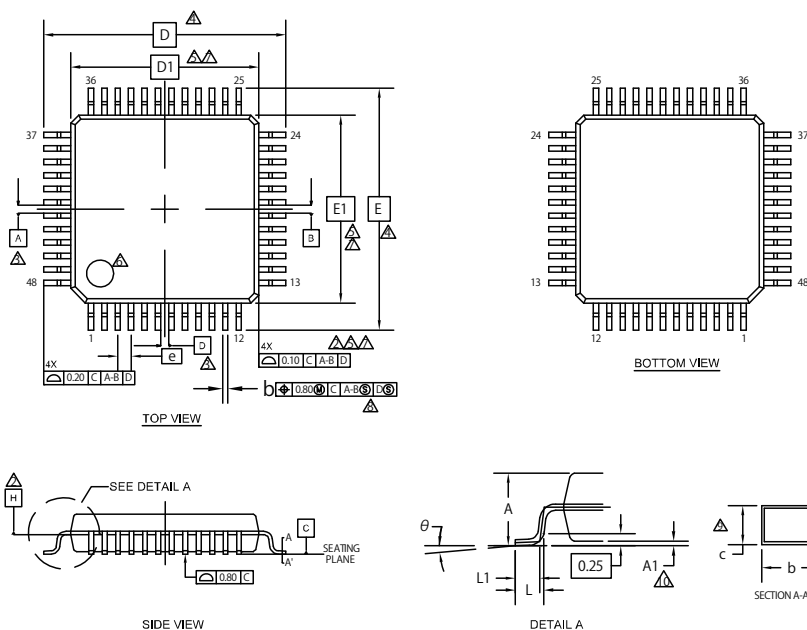
- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. JEDEC SPECIFICATION NO. REF: N/A.

002-16347 **

PACKAGE OUTLINE, 44 LEAD LQFP
13.6X13.6X1.7 MM LQF044 REV**

Package Type	Package Code
LQFP 48	LQA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

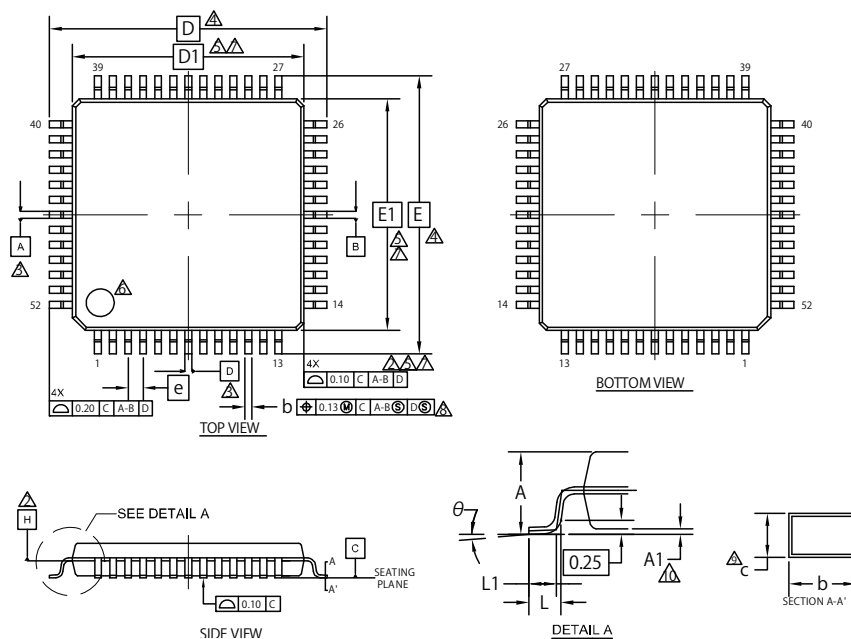
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13731 **

PACKAGE OUTLINE, 48 LEAD LQFP
7.0X7.0X1.7 MM LQA048 REV**

Package Type	Package Code
LQFP 52	LQC052



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.265	0.30	0.365
c	0.09	—	0.20
D	12.00 BSC		
D1	10.00 BSC		
e	0.65 BSC		
E	12.00 BSC		
E1	10.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

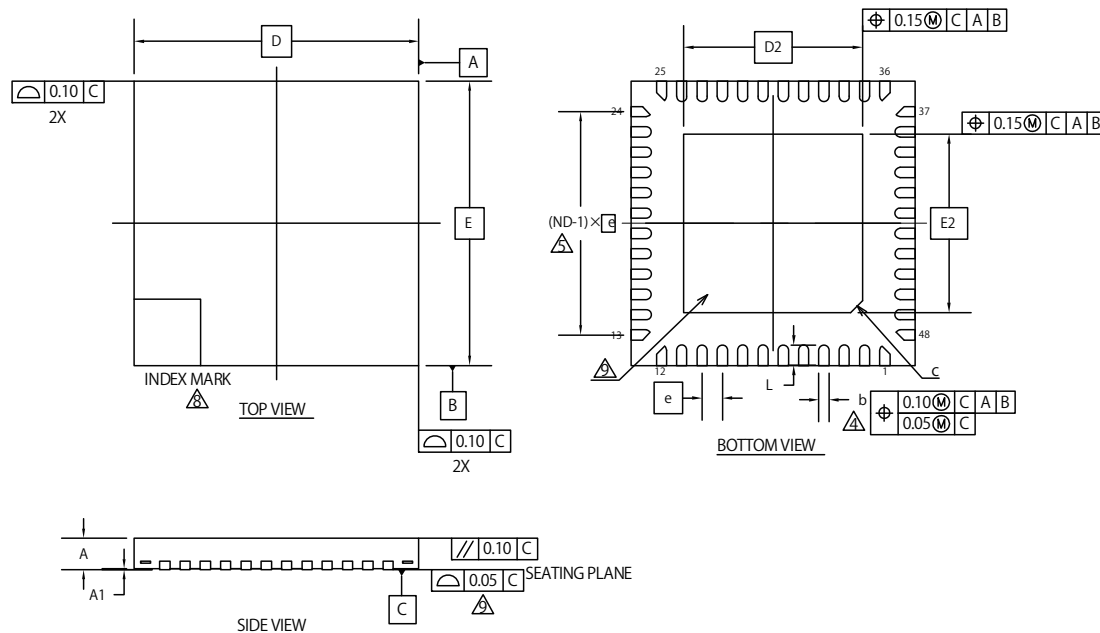
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13880 **

PACKAGE OUTLINE, 52 LEAD LQFP
10.0X10.0X1.7 MM LQC052 REV**

Package Type	Package Code
QFN 48	WNR048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A1	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.18	0.25	0.30
D2	4.40 BSC		
E2	4.40 BSC		
e	0.50 BSC		
c	0.30 REF		
L	0.45	0.50	0.55

NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15162 **

PACKAGE OUTLINE, 48 LEAD QFN
 7.0X7.0X0.8MM WNR048 4.4X4.4MM EPAD(SAWN) REV**

24. 本版での主な変更内容

Spansion Publication Number: DS702-00014

ページ	場所	変更内容
2	■ 特長 • 外部割込み	FPT-44P-M25 についての情報を追加
	• 8/10 ビット A/D コンバータ	FPT-44P-M25 についての情報を追加
	• I/O ポート	FPT-44P-M25 についての情報を追加
3	■ 品種構成	項目「汎用入出力」, 「8/10 ビット A/D コンバータ」と「外部割込み」に FPT-44P-M25 についての情報を追加
4		項目「パッケージ」に FPT-44P-M25 を追加
5	■ パッケージと品種対応	FPT-44P-M25 についての情報を追加
7	■ 端子配列図	FPT-44P-M25 の端子配列図を追加
11 ~ 14	■ 端子機能説明 (FPT-44P-M25)	「■ 端子機能説明 (FPT-44P-M25)」を追加
15	■ 端子機能説明 (FPT-48P-M49, FPT-52P-M02, LCC-48P-M11)	「■ 端子機能説明」を「■ 端子機能説明 (FPT-48P-M49, FPT-52P-M02, LCC-48P-M11)」に改名
24	■ 端子接続について • DBG 端子	「• DBG 端子」の内容を変更
	• RST 端子	「• RST 端子」の内容を変更
25	• C 端子	以下の記述を訂正 V _{CC} 端子のバイパスコンデンサは, C _S より大きい容量値のコンデンサを使用 してください。 → V _{CC} 端子のバイパスコンデンサは C _S 以上の容量値のコンデンサを使用し てください。
26	■ ブロックダイアグラム (FPT-44P-M25)	「■ ブロックダイアグラム (FPT-44P-M25)」を追加
27	■ ブロックダイアグラム (FPT-48P-M49, FPT-52P-M02, LCC-48P-M11)	「■ ブロックダイアグラム」を「■ ブロックダイアグラム (FPT-48P-M49, FPT-52P-M02, LCC-48P-M11)」に改名
68	■ I/O ポート 6. ポート F (4)ポート F の動作 • 入力ポートとしての動作	以下の記述を追加 端子を兼用する周辺機能においては, その出力を禁止してください。
71	7. ポート G (4)ポート G の動作 • 入力ポートとしての動作	以下の記述を追加 端子を兼用する周辺機能においては, その出力を禁止してください。
77	■ 電気的特性 2. 推奨動作条件	項目「バイパスコンデンサ」の注記にある以下の記述を訂正 V _{CC} 端子のバイパスコンデンサは C _S より大きい容量値のコンデンサを使用 してください。 → V _{CC} 端子のバイパスコンデンサは C _S 以上の容量値のコンデンサを使用し てください。
		「• DBG/RST/C 端子配列図」の注記を変更

ページ	場所	変更内容
78	3. 直流規格	項目「入力リーク電流 (Hi-Z 出力リーク電流)」の備考を変更 プルアップ抵抗が禁止されている場合 → 内部プルアップ抵抗が禁止されている場合
		項目「プルアップ抵抗」を「内部プルアップ抵抗」に改名
		項目「内部プルアップ抵抗」の備考を変更 プルアップ抵抗が許可されている場合 → 内部プルアップ抵抗が許可されている場合
82	4. 交流規格 (1)クロックタイミング	項目「入力クロックの立上り時間と立下り時間」の端子名を訂正 X0 → X0, X0A X0, X1 → X0, X1, X0A, X1A
117	■ オーダ型格	FPT-44P-M25 の型格を追加
118	■ パッケージ・外形寸法図	FPT-44P-M25 のパッケージ図を追加

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下、「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ、Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。