



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

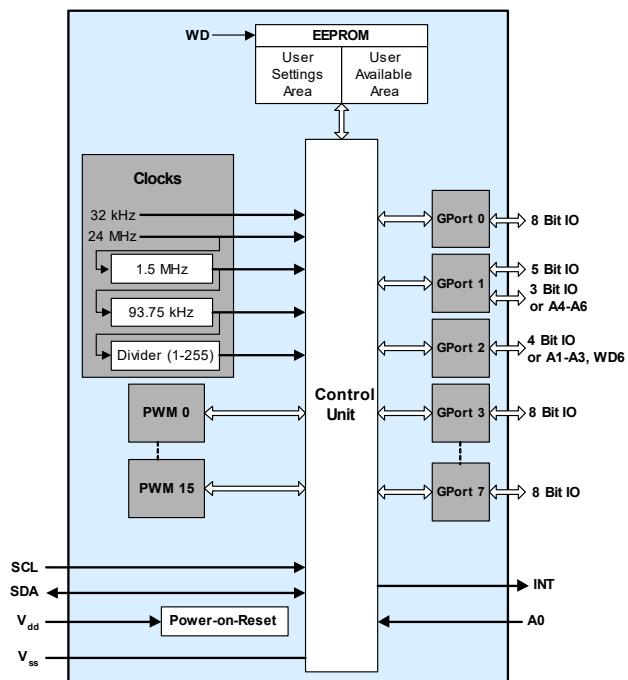
订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

带有 EEPROM 的 20 位、40 位和
 60 位 I/O 扩展器

特性

- I²C 接口逻辑与 SMBus 电兼容
- 最多可将 20 个 (CY8C9520A)、40 个 (CY8C9540A) 或 60 个 (CY8C9560A) I/O 数据引脚单独配置为输入、输出、双向输入 / 输出或 PWM 输出引脚
- 4/8/16 PWM 源具有 8 位分辨率
- 通过可扩展软寻址算法，可以灵活地配置 I²C 地址
- 内部 3 Kb/11 Kb/27 Kb EEPROM
- 内部 EEPROM 中的用户默认储存以及 I/O 端口的设置情况
- 可选的 EEPROM 写禁用 (WD) 输入
- 中断输出指出了输入引脚电平发生的变化以及脉宽调制器 (PWM) 的状态变化
- 内部上电复位 (POR)
- 内部可配置看门狗定时器

顶级框图

功能说明

CY8C95xxA 是一个多端口 I/O 扩展器，它带有板上用户可用的 EEPROM 和几个 PWM 输出。该系列所有器件的操作方法完全相同，但在 I/O 引脚、PWM 数量和内部 EEPROM 大小等方面存在差异。

CY8C95xxA 作为两个 I²C 从设备进行操作。第一个设备是多端口 I/O 扩展器（单一的 I²C 地址，通过寄存器访问所有端口）。第二个设备是串行 EEPROM。可通过专用的配置寄存器禁用 EEPROM。EEPROM 使用 2 字节寻址来支持 28 Kb EEPROM 地址空间。所选器件可由 I²C 地址的最高有效位或指定寄存器地址进行定义。

可以单独将 I/O 扩展器的数据引脚配置为输入、输出、准双向输入 / 输出或 PWM 输出。可将单独的数据引脚配置为开漏或集电极、强驱动 (10 mA 拉电流, 25 mA 灌电流)、电阻上拉 / 下拉或高阻抗等模式。出厂默认配置引脚则被内部上拉。

系统主设备通过 I²C 总线对 I/O 配置寄存器执行写操作。可将配置和输出寄存器设置被储存在 EEPROM 的专用空间中，作为用户默认设置内容。如果用户默认设置已经被储存在 EEPROM 中，则加电时会将它们恢复存储到各端口。该器件可以与 SMBus 器件共享总线，但它只能与 I²C 主设备进行通信。该器件中的 I²C 从设备要求 I²C 主设备支持时钟延长。

可以将一个专用的引脚配置为中断输出 (INT)，并将其连接至系统主设备的中断逻辑端。如果在系统主设备的端口上存在输入数据或 PWM 输出状态发生了变化，该信号会将这些情况通知给系统主设备。

EEPROM 可以读取字节，并支持逐字节进行写操作。可以将某个引脚配置为 EEPROM 写禁用 (WD) 引脚，该引脚被设为高电平时，会锁定写操作。此外，还可通过配置寄存器来禁用 EEPROM 的操作。

CY8C95xxA 具有一个地址固定的引脚 (A0) 和六个其他引脚 (A1 - A6)，因此允许最多 128 个器件共享一个通用的双线 I²C 数据总线。通过可扩展软寻址算法，可以选择需要分配给所需地址的引脚数量。可将未用于地址位的引脚作为 GPIO 引脚使用。

一共有 4 个 (CY8C9520A)、8 个 (CY8C9540A) 或 16 个 (CY8C9560A) 独立可配置的 8 位 PWM。这些 PWM 分别为 PWM0 - PWM15。使用六个可用时钟源中的某一个为 PWM 提供时钟脉冲。

勘误表：有关芯片勘误表的信息，请查看第 30 页上的勘误表。具体内容包括触发条件、受影响器件以及推荐的解决方案。

目录

架构	3	命令说明	14
应用	3	将配置储存到 E2 POR 默认设置的命令 (01h)	14
器件访问寻址	4	恢复出厂默认设置的命令 (02h)	14
串行 EEPROM 器件	4	写入 E2 POR 默认设置的命令 (03h)	14
多端口 I/O 器件	4	读取 E2 POR 默认设置的命令 (04h)	15
引脚分布	5	写器件配置命令 (05h)	15
28 引脚器件的引脚分布	5	读器件配置命令 (06h)	15
48 引脚器件的引脚分布	6	重新配置器件命令 (07h)	15
100 引脚器件的引脚分布	7		
引脚说明	9	电气规范	16
可扩展软寻址	9	最大绝对额定值	16
中断引脚 (INT)	9	工作温度	16
写禁用引脚 (WD)	9	直流电气特性	17
外部复位引脚 (XRES)	9	交流电气特性	19
PWM 的使用	9		
寄存器映射表	11	封装尺寸	22
寄存器说明	11	热阻	24
输入端口寄存器 (00h - 07h)	11	回流焊规范	24
输出端口寄存器 (08h - 0Fh)	11		
中断状态端口寄存器 (10h - 17h)	11	订购信息	25
端口选择寄存器 (18h)	12	订购代码定义	25
中断掩码端口寄存器 (19h)	12		
选择 PWM 寄存器 (1Ah)	12	缩略语	26
反转寄存器 (1Bh)	12		
端口方向寄存器 (1Ch)	12	文档规范	26
驱动模式寄存器 (1Dh-23h)	12	测量单位	26
PWM 选择寄存器 (28h)	12		
配置寄存器 (29h)	13	数字规范	26
周期寄存器 (2Ah)	13	数字命名规范	26
脉宽寄存器 (2Bh)	13		
分频寄存器 (2Ch)	13	术语表	27
使能寄存器 (2Dh)	13		
器件 ID/ 状态寄存器 (2Eh)	13	勘误表	31
看门狗寄存器 (2Fh)	14	受影响的器件型号	31
命令寄存器 (30h)	14	合格状态	31

架构

第1页上的顶级框图显示的是器件模块框图。主模块包括控制单位、PWM、EEPROM和I/O端口。控制单位执行来自I²C总线的命令，并在其他总线器件和主设备之间传送数据。

片上EEPROM通常被分为两个区域。第一个区域用于储存数据，并且能够通过I²C总线进行读/写字节宽度操作。将WD引脚设置为高电平可避免发生写操作。配置寄存器设置可以锁定所有EEPROM操作。用户可以在第二个区域内通过使用特殊命令储存端口和PWM默认设置。器件上电后，会自动重新加载并处理这些默认设置。

I/O线路和PWM源的数量显示在下面的表格中。

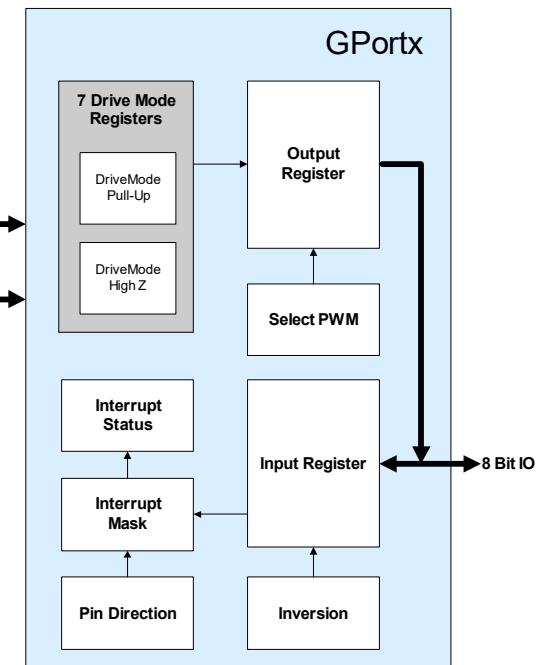
表1. GPIO的可用性

端口	CY8C9520A	CY8C9540A	CY8C9560A
GPort 0	8位	8位	8位
GPort 1	5-8位 ^[1]	5-8位 ^[1]	5-8位 ^[1]
GPort 2	0-4位 ^[1]	0-4位 ^[1]	0-4位 ^[1]
GPort 3	-	8位	8位
GPort 4	-	8位	8位
GPort 5	-	4位	8位
GPort 6	-	-	8位
GPort 7	-	-	8位
PWM	4	8	16

根据配置设置，可以将GPort 2上的4个引脚和GPort 1上的3个引脚作为通用I/O或EEPROM写禁用(WD)和I²C地址输入(A1-A6)使用。

图1显示了单端口的逻辑结构。通过端口驱动模式寄存器，可以分别为每个引脚选择一种模式：上拉/下拉、开漏高电平/低电平、快速/慢速强驱动或高阻抗。默认情况下，这些配置寄存器通过上拉I/O引脚储存各个数值。反转寄存器能够为每个引脚单独反转输入寄存器的逻辑。选择PWM寄存器将引脚指定为PWM输出。通过使用多端口器件中的相应命令，可以读/写上述全部配置寄存器。

图1. I/O端口的逻辑结构



端口输入和输出寄存器是独立的。对输出寄存器进行写操作时，会将数据发送到外部引脚。读取输入寄存器时，则会捕获并传输外部引脚上的逻辑电平。因此，读取数据和写入输出寄存器的数据不一样。这样，相应的二进制数字被配置为上拉/下拉输出时，可实现准双向输入/输出模式。

每个端口都有一个中断掩码寄存器和一个中断状态寄存器。中断状态寄存器中的每个高位都表明：最后一次对该中断状态寄存器进行读取后，相应的输入线路已经发生了变化。每次读取终端状态寄存器后，都会清除它里面的内容。当输入电平发生变化时，中断掩码寄存器会使能/禁用INT线路的活动。中断掩码寄存器中的每个高位会屏蔽（禁用）相应输入线路上生成的中断。

应用

可将每一个GPIO引脚用于监视和控制多个板级器件，包括LED和系统入侵检测器件。

板上EEPROM可用于储存信息（如错误代码或电路板制造数据），提供给应用软件回读进行诊断。

注释：

- 该端口包含了与配置相关的GPIO线路或A1-A6和WD线路。

器件访问寻址

启动后, I^2C 主设备会发送一个字节, 用以指定 I^2C 从设备地址。通过该地址, 可访问 CY8C95xx 中的器件。默认情况下, 地址的二进制格式显示为: 010000A₀X 和 101000A₀X。第一个地址用于访问多端口器件, 第二个地址则用于访问 EEPROM。如果使用了其他地址线路 (A1-A6), 那么随后应当使用器件寻址功能。[表 2](#) 定义了器件地址。该寻址方法使用了一项叫做可扩展软寻址的技术, 如[第 9 页上的可扩展软寻址](#)章节所介绍。

表 2. 器件寻址

多端口器件							EEPROM 器件						
0	1	0	0	0	0	A ₀	R/W	1	0	1	0	0	0
0	1	0	0	0	A ₁	A ₀	R/W	1	0	1	0	0	A ₁
0	1	0	0	A ₂	A ₁	A ₀	R/W	1	0	1	0	A ₂	A ₁
0	1	0	A ₃	A ₂	A ₁	A ₀	R/W	1	0	1	A ₃	A ₂	A ₁
0	1	A ₄	A ₃	A ₂	A ₁	A ₀	R/W	1	0	A ₄	A ₃	A ₂	A ₁
0	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	R/W	1	A ₅	A ₄	A ₃	A ₂	A ₁
A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	R/W	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁

当所有地址线路 A1-A6 均被使用时, 则被访问的器件可由写数据操作中地址后面第一个字节定义。如果该字节的最高有效位 (MSb) 为 ‘0’, 那么会将该字节作为多端口器件的命令 (寄存器地址) 字节。如果 MSb 为 ‘1’, 则该字节是 2 字节 EEPROM 地址的第一个字节。这时, 器件会屏蔽 MSb 以确定 EEPROM 的地址。

串行 EEPROM 器件

EEPROM 读和写操作需要使用两个字节 (即 AHI 和 ALO) 用于指出可用的储存器地址。

为了读取一个或更多字节, 主设备会以一个写周期 (= 0) 为单位进行寻址, 以便在发送 AHI 后继续发送 ALO 字节, 然后以一个读周期 (= 1) 为单位重新进行寻址, 以读取一个或多个数据字节。每次读取数据字节都会使内部地址计数器增 1, 直到读取完 EEPROM 地址为止。EEPROM 地址空间为满之前进行读 / 写操作必须使端口扩展器发出 NAK 数据包以作出响应。

为将数据写入到 EEPROM 内, 主器件使用前两个字节 (即 AHI 和 ALO) 以及一个或多个数据字节来执行一个写周期。在写入模块中, 推荐将起始地址设置在 64 字节的边界, 例如 01C0h 或 0080h, 但这并不是必要条件。如果超过了 EEPROM 中 64 字节的边界, 那么在器件执行 EEPROM 写序列时, 会延长 I^2C 时钟。如果可用的 EEPROM 空间已满, 那么后续进行写操作时会以一个 NAK 作为响应。

请参考[第 10 页上的图 6](#), 它介绍了 EEPROM 器件的储存器读 / 写过程。

多端口 I/O 器件

通过该器件, 用户可以使用内部寄存器设置配置和 I/O 操作。

传输每个数据前, 必须先传输命令字节。此字节作为指向接收或传输数据的寄存器指针。[第 11 页上的表 6](#) 中列出了可用的寄存器。

引脚分布

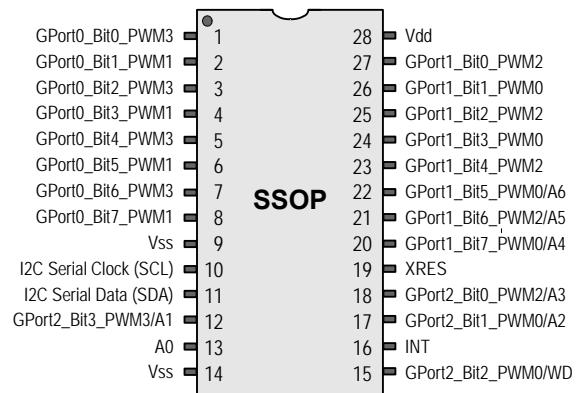
CY8C95xxA 器件有多种封装可供选择，后续表格分别列出和阐释了这些封装。

28 引脚器件的引脚分布

表 3. 28 引脚部件的引脚分布 (SSOP)

引脚编号	引脚名称	说明
1	GPort0_Bit0_PWM3	端口 0, 位 0, PWM 3。
2	GPort0_Bit1_PWM1	端口 0, 位 1, PWM 1。
3	GPort0_Bit2_PWM3	端口 0, 位 2, PWM 3。
4	GPort0_Bit3_PWM1	端口 0, 位 3, PWM 1。
5	GPort0_Bit4_PWM3	端口 0, 位 4, PWM 3。
6	GPort0_Bit5_PWM1	端口 0, 位 5, PWM 1。
7	GPort0_Bit6_PWM3	端口 0, 位 6, PWM 3。
8	GPort0_Bit7_PWM1	端口 0, 位 7, PWM 1。
9	V _{SS}	接地。
10	I ² C 串行时钟 (SCL)	I ² C 时钟。
11	I ² C 串行数据 (SDA)	I ² C 数据。
12	GPort2_Bit3_PWM3/A1	端口 2, 位 3, PWM 3, 地址 1。
13	A0	地址 0。
14	V _{SS}	接地。
15	GPort2_Bit2_PWM0/WD	端口 2, 位 2, PWM 0, 禁用 E ² 写操作。
16	INT	
17	GPort2_Bit1_PWM0/A2	端口 2, 位 1, PWM 0, 地址 2。
18	GPort2_Bit0_PWM2/A3	端口 2, 位 0, PWM 2, 地址 3。
19	XRES	采用内部下拉电阻的高电平有效外部复位。
20	GPort1_Bit7_PWM0/A4	端口 1, 位 7, PWM 0, 地址 4。
21	GPort1_Bit6_PWM2/A5	端口 1, 位 6, PWM 2, 地址 5。
22	GPort1_Bit5_PWM0/A6	端口 1, 位 5, PWM 0, 地址 6。
23	GPort1_Bit4_PWM2	端口 1, 位 4, PWM 2。
24	GPort1_Bit3_PWM0	端口 1, 位 3, PWM 0。
25	GPort1_Bit2_PWM2	端口 1, 位 2, PWM 2。
26	GPort1_Bit1_PWM0	端口 1, 位 1, PWM 0。
27	GPort1_Bit0_PWM2	端口 1, 位 0, PWM 2。
28	V _{dd}	电源电压。

图 2. CY8C9520A 28 引脚器件

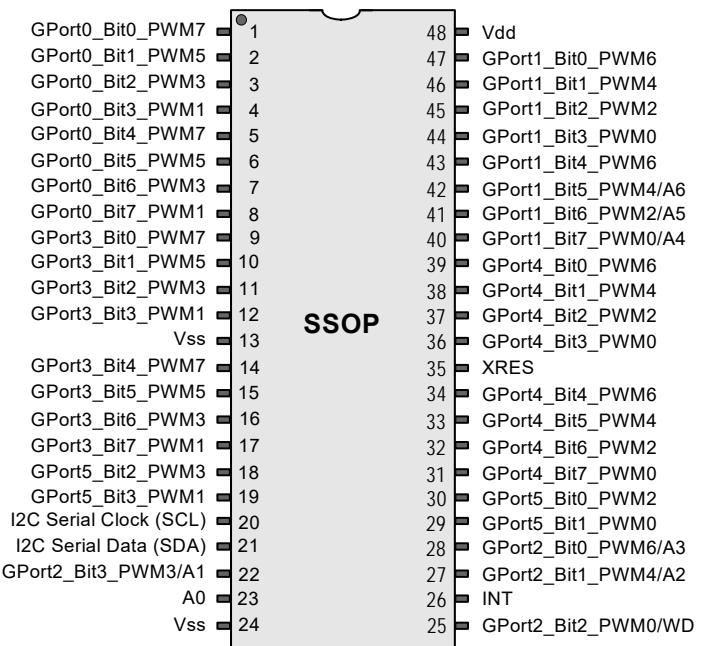


48 引脚器件的引脚分布

表 4. 48 引脚器件的引脚分布 (SSOP)

引脚编号	引脚名称	说明
1	GPort0_Bit0_PWM7	端口 0, 位 0, PWM 7。
2	GPort0_Bit1_PWM5	端口 0, 位 1, PWM 5。
3	GPort0_Bit2_PWM3	端口 0, 位 2, PWM 3。
4	GPort0_Bit3_PWM1	端口 0, 位 3, PWM 1。
5	GPort0_Bit4_PWM7	端口 0, 位 4, PWM 7。
6	GPort0_Bit5_PWM5	端口 0, 位 5, PWM 5。
7	GPort0_Bit6_PWM3	端口 0, 位 6, PWM 3。
8	GPort0_Bit7_PWM1	端口 0, 位 7, PWM 1。
9	GPort3_Bit0_PWM7	端口 3, 位 0, PWM 7。
10	GPort3_Bit1_PWM5	端口 3, 位 1, PWM 5。
11	GPort3_Bit2_PWM3	端口 3, 位 2, PWM 3。
12	GPort3_Bit3_PWM1	端口 3, 位 3, PWM 1。
13	V _{SS}	接地。
14	GPort3_Bit4_PWM7	端口 3, 位 4, PWM 7。
15	GPort3_Bit5_PWM5	端口 3, 位 5, PWM 5。
16	GPort3_Bit6_PWM3	端口 3, 位 6, PWM 3。
17	GPort3_Bit7_PWM1	端口 3, 位 7, PWM 1。
18	GPort5_Bit2_PWM3	端口 5, 位 2, PWM 3。
19	GPort5_Bit3_PWM1	端口 5, 位 3, PWM 1。
20	I ² C 串行时钟 (SCL)	I ² C 时钟。
21	I ² C 串行数据 (SDA)	I ² C 数据。
22	GPort2_Bit3_PWM3/A1	端口 2, 位 3, PWM 3, 地址 1。
23	A0	地址 0。
24	V _{SS}	接地。
25	GPort2_Bit2_PWM0/WD	端口 2, 位 2, PWM 0, 禁用 E ² 写操作。
26	INT	
27	GPort2_Bit1_PWM4/A2	端口 2, 位 1, PWM 4, 地址 2。
28	GPort2_Bit0_PWM6/A3	端口 2, 位 0, PWM 6, 地址 3。
29	GPort5_Bit1_PWM0	端口 5, 位 1, PWM 0。
30	GPort5_Bit0_PWM2	端口 5, 位 0, PWM 2。
31	GPort4_Bit7_PWM0	端口 4, 位 7, PWM 0。
32	GPort4_Bit6_PWM2	端口 4, 位 6, PWM 2。
33	GPort4_Bit5_PWM4	端口 4, 位 5, PWM 4。
34	GPort4_Bit4_PWM6	端口 4, 位 4, PWM 6。
35	XRES	采用内部下拉电阻的高电平有效外部复位。
36	GPort4_Bit3_PWM0	端口 4, 位 3, PWM 0。
37	GPort4_Bit2_PWM2	端口 4, 位 2, PWM 2。
38	GPort4_Bit1_PWM4	端口 4, 位 1, PWM 4。
39	GPort4_Bit0_PWM6	端口 4, 位 0, PWM 6。
40	GPort1_Bit7_PWM0/A4	端口 1, 位 7, PWM 0, 地址 4。
41	GPort1_Bit6_PWM2/A5	端口 1, 位 6, PWM 2, 地址 5。
42	GPort1_Bit5_PWM4/A6	端口 1, 位 5, PWM 4, 地址 6。
43	GPort1_Bit4_PWM6	端口 1, 位 4, PWM 6。
44	GPort1_Bit3_PWM0	端口 1, 位 3, PWM 0。
45	GPort1_Bit2_PWM2	端口 1, 位 2, PWM 2。
46	GPort1_Bit1_PWM4	端口 1, 位 1, PWM 4。
47	GPort1_Bit0_PWM6	端口 1, 位 0, PWM 6。
48	Vdd	电源电压。

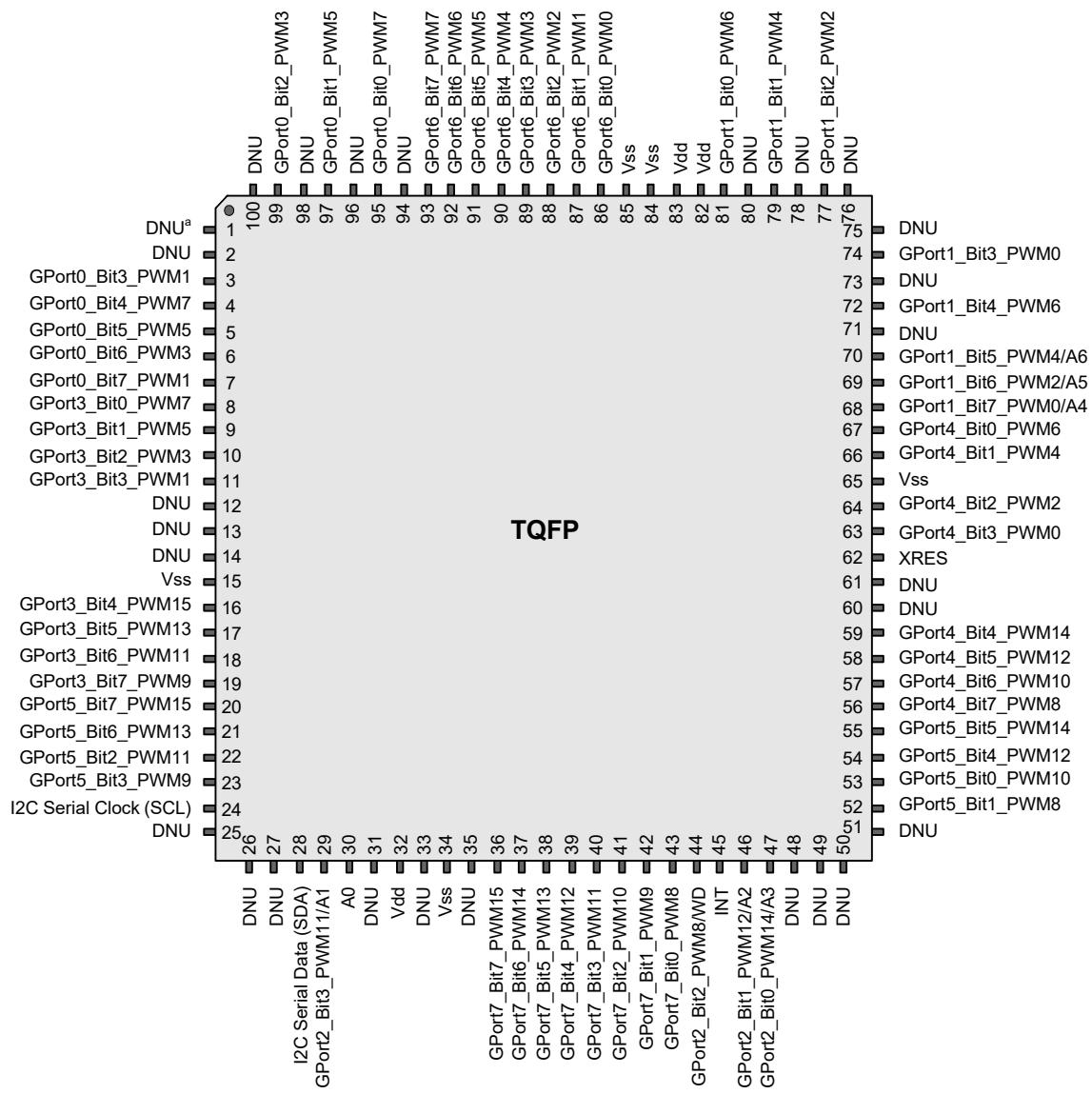
图 3. CY8C9540A 48 引脚器件



100 引脚器件的引脚分布

表 5. 100 引脚器件的引脚分布 (TQFP)

引脚 编号	名称	说明	引脚 编号	名称	说明
1	DNU	DNU = 请勿使用; 保持悬空状态。	51	DNU	DNU = 请勿使用; 保持悬空状态。
2	DNU	DNU = 请勿使用; 保持悬空状态。	52	GPort5_Bit1_PWM8	端口 5, 位 1, PWM 8。
3	GPort0_Bit3_PWM1	端口 0, 位 3, PWM 1。	53	GPort5_Bit0_PWM10	端口 5, 位 0, PWM 10。
4	GPort0_Bit4_PWM7	端口 0, 位 4, PWM 7。	54	GPort5_Bit4_PWM12	端口 5, 位 4, PWM 12。
5	GPort0_Bit5_PWM5	端口 0, 位 5, PWM 5。	55	GPort5_Bit5_PWM14	端口 5, 位 5, PWM 14。
6	GPort0_Bit6_PWM3	端口 0, 位 6, PWM 3。	56	GPort4_Bit7_PWM8	端口 4, 位 7, PWM 8。
7	GPort0_Bit7_PWM1	端口 0, 位 7, PWM 1。	57	GPort4_Bit6_PWM10	端口 4, 位 6, PWM 10。
8	GPort3_Bit0_PWM7	端口 3, 位 0, PWM 7。	58	GPort4_Bit5_PWM12	端口 4, 位 5, PWM 12。
9	GPort3_Bit1_PWM5	端口 3, 位 1, PWM 5。	59	GPort4_Bit4_PWM14	端口 4, 位 4, PWM 14。
10	GPort3_Bit2_PWM3	端口 3, 位 2, PWM 3。	60	DNU	DNU = 请勿使用; 保持悬空状态。
11	GPort3_Bit3_PWM1	端口 3, 位 3, PWM 1。	61	DNU	DNU = 请勿使用; 保持悬空状态。
12	DNU	DNU = 请勿使用; 保持悬空状态。	62	XRES	采用内部下拉电阻的高电平有效外部复位。
13	DNU	DNU = 请勿使用; 保持悬空状态。	63	GPort4_Bit3_PWM0	端口 4, 位 3, PWM 0。
14	DNU	DNU = 请勿使用; 保持悬空状态。	64	GPort4_Bit2_PWM2	端口 4, 位 2, PWM 2。
15	V _{SS}	接地。	65	V _{SS}	接地。
16	GPort3_Bit4_PWM15	端口 3, 位 4, PWM 15。	66	GPort4_Bit1_PWM4	端口 4, 位 1, PWM 4。
17	GPort3_Bit5_PWM13	端口 3, 位 5, PWM 13。	67	GPort4_Bit0_PWM6	端口 4, 位 0, PWM 6。
18	GPort3_Bit6_PWM11	端口 3, 位 6, PWM 11。	68	GPort1_Bit7_PWM0/A4	端口 1, 位 7, PWM 0, 地址 4。
19	GPort3_Bit7_PWM9	端口 3, 位 7, PWM 9。	69	GPort1_Bit6_PWM2/A5	端口 1, 位 6, PWM 2, 地址 5。
20	GPort5_Bit7_PWM15	端口 5, 位 7, PWM 15。	70	GPort1_Bit5_PWM4/A6	端口 1, 位 5, PWM 4, 地址 6。
21	GPort5_Bit6_PWM13	端口 5, 位 6, PWM 13。	71	DNU	DNU = 请勿使用; 保持悬空状态。
22	GPort5_Bit2_PWM11	端口 5, 位 2, PWM 11。	72	GPort1_Bit4_PWM6	端口 1, 位 4, PWM 6。
23	GPort5_Bit3_PWM9	端口 5, 位 3, PWM 9。	73	DNU	DNU = 请勿使用; 保持悬空状态。
24	I ² C 串行时钟 (SCL)	I ² C 时钟。	74	GPort1_Bit3_PWM0	端口 1, 位 3, PWM 0。
25	DNU	DNU = 请勿使用; 保持悬空状态。	75	DNU	DNU = 请勿使用; 保持悬空状态。
26	DNU	DNU = 请勿使用; 保持悬空状态。	76	DNU	DNU = 请勿使用; 保持悬空状态。
27	DNU	DNU = 请勿使用; 保持悬空状态。	77	GPort1_Bit2_PWM2	端口 1, 位 2, PWM 2。
28	I ² C 串行数据 (SDA)	I ² C 数据。	78	DNU	DNU = 请勿使用; 保持悬空状态。
29	GPort2_Bit3_PWM11/A1	端口 2, 位 3, PWM 11, 地址 1。	79	GPort1_Bit1_PWM4	端口 1, 位 1, PWM 4。
30	A0	地址 0。	80	DNU	DNU = 请勿使用; 保持悬空状态。
31	DNU	DNU = 请勿使用; 保持悬空状态。	81	GPort1_Bit0_PWM6	端口 1, 位 0, PWM 6。
32	Vdd	电源电压。	82	Vdd	电源电压。
33	DNU	DNU = 请勿使用; 保持悬空状态。	83	Vdd	电源电压。
34	V _{SS}	接地。	84	V _{SS}	接地。
35	DNU	DNU = 请勿使用; 保持悬空状态。	85	V _{SS}	接地。
36	GPort7_Bit7_PWM15	端口 7, 位 7, PWM 15。	86	GPort6_Bit0_PWM0	端口 6, 位 0, PWM 0。
37	GPort7_Bit6_PWM14	端口 7, 位 6, PWM 14。	87	GPort6_Bit1_PWM1	端口 6, 位 1, PWM 1。
38	GPort7_Bit5_PWM13	端口 7, 位 5, PWM 13。	88	GPort6_Bit2_PWM2	端口 6, 位 2, PWM 2。
39	GPort7_Bit4_PWM12	端口 7, 位 4, PWM 12。	89	GPort6_Bit3_PWM3	端口 6, 位 3, PWM 3。
40	GPort7_Bit3_PWM11	端口 7, 位 3, PWM 11。	90	GPort6_Bit4_PWM4	端口 6, 位 4, PWM 4。
41	GPort7_Bit2_PWM10	端口 7, 位 2, PWM 10。	91	GPort6_Bit5_PWM5	端口 6, 位 5, PWM 5。
42	GPort7_Bit1_PWM9	端口 7, 位 1, PWM 9。	92	GPort6_Bit6_PWM6	端口 6, 位 6, PWM 6。
43	GPort7_Bit0_PWM8	端口 7, 位 0, PWM 8。	93	GPort6_Bit7_PWM7	端口 6, 位 7, PWM 7。
44	GPort2_Bit2_PWM8/WD	端口 2, 位 2, PWM 8, 禁用 E ² 写操作。	94	DNU	DNU = 请勿使用; 保持悬空状态。
45	INT		95	GPort0_Bit0_PWM7	端口 0, 位 0, PWM 7。
46	GPort2_Bit1_PWM12/A2	端口 2, 位 1, PWM 12, 地址 2。	96	DNU	DNU = 请勿使用; 保持悬空状态。
47	GPort2_Bit0_PWM14/A3	端口 2, 位 0, PWM 14, 地址 3。	97	GPort0_Bit1_PWM5	端口 0, 位 1, PWM 5。
48	DNU	DNU = 请勿使用; 保持悬空状态。	98	DNU	DNU = 请勿使用; 保持悬空状态。
49	DNU	DNU = 请勿使用; 保持悬空状态。	99	GPort0_Bit2_PWM3	端口 0, 位 2, PWM 3。
50	DNU	DNU = 请勿使用; 保持悬空状态。	100	DNU	DNU = 请勿使用; 保持悬空状态。

图 4. CY8C9560A 100 引脚器件^[2]

注释：

2. DNU = 请勿使用 (Do Not Use) ; 应保持为悬空状态。

引脚说明

可扩展软寻址

A0 线路定义了 I²C 地址的相应位。此引脚必须处于上拉或下拉模式。如果 A0 处于强驱动上拉或强驱动下拉模式（它通过 330 K Ω 或更低的电阻连接至 VDD 或 VSS），那么它是唯一一个指定的地址线路，并且 A1-A6 线路作为 GPIO 使用。如果 A0 处于弱驱动上拉或弱驱动下拉模式（通过 75 K Ω - 200 K Ω 的电阻将其连接到 Vdd 或 Vss），那么 A0 便不是唯一一个外部定义的地址位。若需要，可将某个引脚分配给 A1。通过使用一个电阻，可以将该引脚配置为强/弱上拉或下拉模式。与 A0 相同，上拉/下拉模式决定了该地址位是否为最后一个外部定义的地址位。但同 A0 不同的是，A1 不是一个专用的地址引脚。只有 A0 不是唯一一个外部定义的地址位时，才使用 A1。若需要，A2、A3、A4、A5 和 A6 也有预定义的引脚，但仅用于寻址操作。链路中的最后一个地址位被强驱动上拉/下拉。那么，只有用于将所需地址分配给器件的引脚才能作为地址引脚，未被作为地址位的所有引脚都可作为 GPIO 引脚使用。第 4 页上的表 2 定义了所获得的器件的 I²C 地址。

注意：建议不要在多个设备之间共享上拉/下拉电阻。

中断引脚 (INT)

如果发生下述某个事件，都会激活中断输出（若被使能）：

- 某个 GPIO 端口引脚的状态发生了改变，并且中断掩码寄存器中的相应位被设为低电平。
- 以最低的时钟源速率（367.6 Hz）驱动 PWM 并将它分配给某个引脚时，该引脚的状态发生改变，并且它的中断掩码寄存器中的相应位会被设置为低电平。

当主器件读取相应的中断状态寄存器时，会取消激活中断引脚。INT 输出为高电平有效输出，该引脚的驱动模式为强驱动模式。

写禁用引脚 (WD)

如果使能了该功能，该引脚为 ‘0’ 则允许写入到 EEPROM；该引脚为 ‘1’ 则锁定所有对储存器的写操作。写入储存器前，会立即检查此引脚。如果未设置使能寄存器中的 EEE 位（EEPROM 已禁用），或设置了 EERO 位（EEPROM 为只读），则会忽略 WD 线路的电平。

请注意，这条线路上为 ‘1’ 时，会锁定所有执行 EEPROM 操作的命令（请参考第 14 页上的表 14）。

通过使能寄存器（2Dh）的位 1，可以使能 / 禁用这条线路：该位为 ‘1’ 时，会使能 WD 功能；该位为 ‘0’ 时，会禁用该功能。

外部复位引脚 (XRES)

将 XRES 引脚上拉为高电平可完全复位器件。XRES 引脚具有一个始终为下拉的电阻，因此该引脚不需要使用外部下拉电阻来执

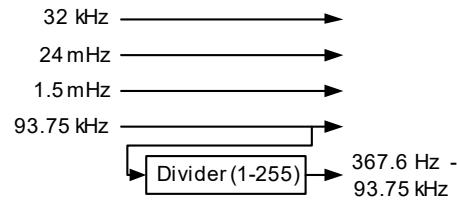
行操作。可直接将其接地或保持为开路状态。器件由 XRES 复位后的操作与由 POR 复位后的操作相同。当器件保持复位状态时，所有输入和输出引脚均保持其默认高阻态。

PWM 的使用

CY8C9520A 中具有 4 个独立的 PWM，CY8C9540A 中有 8 个，而 CY8C9560A 中有 16 个。通过将 ‘1’ 写入到选择 PWM 寄存器的相应位，可以将每个 I/O 引脚配置为 PWM 输出（请参考第 12 页上的表 7）。

PWM 配置的下一步是使用配置 PWM 寄存器进行选择时钟源。六个可用的时钟源包括：32 kHz（默认设置）、24 MHz、1.5 MHz、93.75 kHz、367.6 Hz 或前面的 PWM 输出（请参考图 5）。

图 5. 时钟源



默认情况下，选择 32 kHz 的时钟源作为 PWM 时钟。

PWM 周期寄存器则用于设置输出周期：

$$t_{OUT} = \text{Period} \times t_{CLK}$$

取值范围为 1 到 FFh。

PWM 脉宽寄存器可设置 PWM 输出脉冲的持续时间。取值范围为 0 到（周期 -1）。可以使用下面公式计算得出占空比：

$$\text{DutyCycle} = \frac{\text{PulseWidth}}{\text{Period}}$$

图 6. 储存器是的读 / 写操作

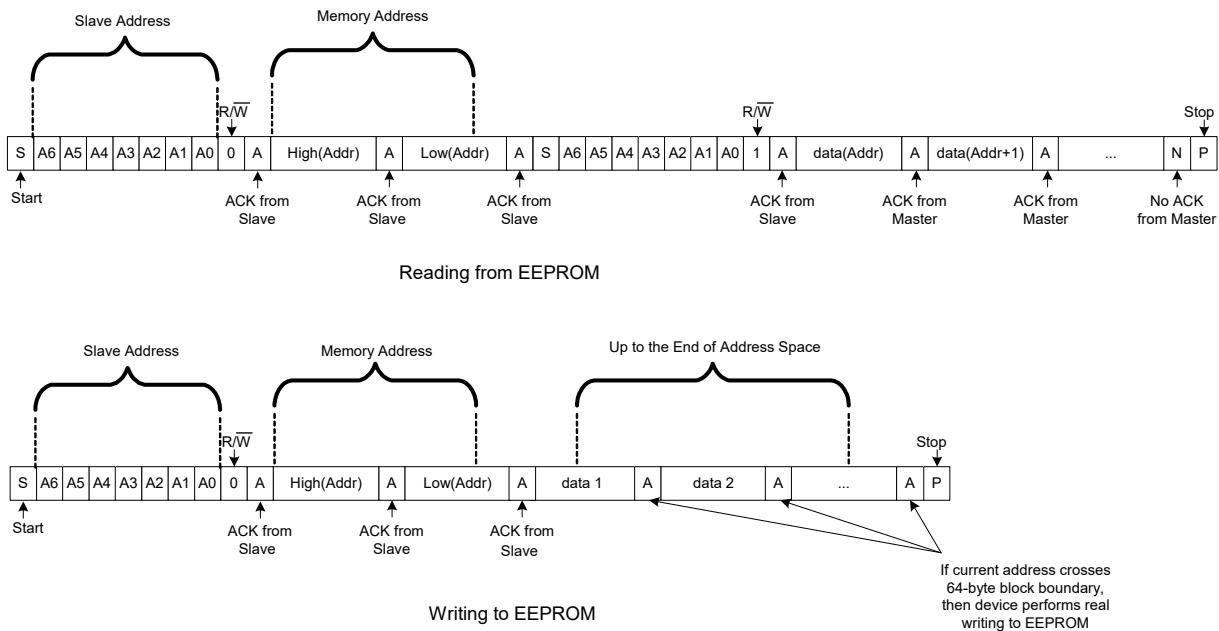
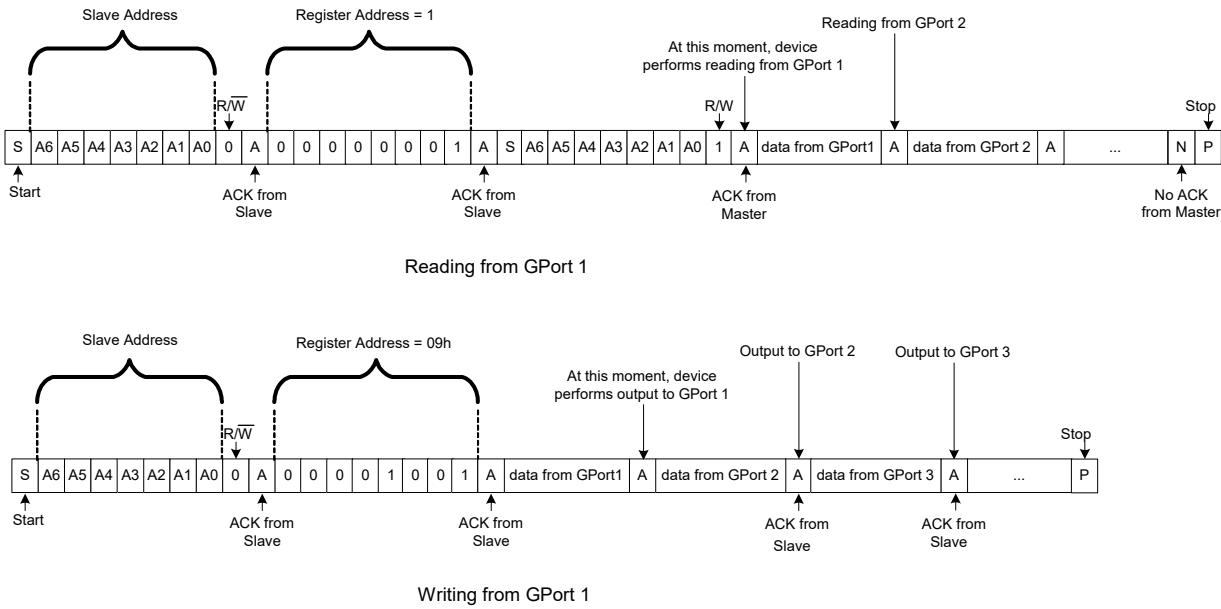


图 7. 多端口器件中的端口读 / 写操作



寄存器映射表

寄存器地址会自动递增。如果主器件对某个寄存器进行读 / 写操作，然后在同一个 I²C 操作中连续传输数据，序列字节会对下面寄存器进行读 / 写操作。例如，如果将第一个字节写入到输出端口 1 寄存器内，那么后面的字节会分别被写入到输出端口 2、输出端口 3、输出端口 4 等寄存器内。每个写操作的第一个字节都作为寄存器地址。

为了从一系列寄存器读取数据，主器件必须将起始地址字节写入到寄存器内，然后执行读数据操作。如果没有发送任何地址，将从地址 0 开始读取。

要想读取一个指定寄存器的地址，主器件必须将地址字节写入到寄存器内，然后执行读数据操作。

请参见第 10 页上的图 7。

器件的寄存器映射情况如表 6 中所示。

表 6. 器件寄存器地址映射

地址	寄存器	寄存器默认值
00h	输入端口 0	无
01h	输入端口 1	无
02h	输入端口 2	无
03h	输入端口 3	无
04h	输入端口 4	无
05h	输入端口 5	无
06h	输入端口 6	无
07h	输入端口 7	无
08h	输出端口 0	FFh
09h	输出端口 1	FFh
0Ah	输出端口 2	FFh
0Bh	输出端口 3	FFh
0Ch	输出端口 4	FFh
0Dh	输出端口 5	FFh
0Eh	输出端口 6	FFh
0Fh	输出端口 7	FFh
10h	中断状态端口 0	00h
11h	中断状态端口 1	00h
12h	中断状态端口 2	00h
13h	中断状态端口 3	00h
14h	中断状态端口 4	00h
15h	中断状态端口 5	00h
16h	中断状态端口 6	00h
17h	中断状态端口 7	00h
18h	端口选择	00h
19h	中断掩码	FFh
1Ah	选择 PWM 用于端口输出	00h
1Bh	反转	00h
1Ch	引脚方向 — 输入 / 输出	00h
1Dh	驱动模式 — 上拉	FFh

表 6. 器件寄存器地址映射 (续)

地址	寄存器	寄存器默认值
1Eh	驱动模式 — 下拉	00h
1Fh	驱动模式 — 开漏高电平	00h
20h	驱动模式 — 开漏低电平	00h
21h	驱动模式 — 强 (驱动)	00h
22h	驱动模式 — 慢速强 (驱动)	00h
23h	驱动模式 — 高阻态	00h
24h	预留	无
25h	预留	无
26h	预留	无
27h	预留	无
28h	PWM 选择	00h
29h	配置 PWM	00h
2Ah	周期 PWM	FFh
2Bh	脉冲宽度 PWM	80h
2Ch	可编程分频器	FFh
2Dh	使能 WDE、EEE、EERO	00h
2Eh	器件 ID/ 状态	20h/40h/60h
2Fh	看门狗	00h
30h	命令	00h

寄存器说明

下面各节对 CY8C95xx 的寄存器进行了介绍。请注意，PWM 寄存器的地址范围为 28h - 2Bh。

输入端口寄存器 (00h - 07h)

这些寄存器表示引脚上实际的逻辑电平，并且用于 I/O 端口的读取操作。这些寄存器是只读的。反转寄存器修改了这些端口的读状态。

输出端口寄存器 (08h - 0Fh)

这些寄存器用于将数据写入 GPIO 端口内。默认情况下，所有端口均处于上拉模式，能够实现准双向 I/O。要想执行输入操作而不需要重新配置，则必须将这些寄存器储存为全 1。

当 PWM 被使能时，输出寄存器的数据还会影响引脚的状态。更多有关信息，请参考第 12 页上的表 7。

请查看第 10 页上的图 7 以便了解端口的读 / 写程序。

反转寄存器对这些端口不产生任何影响。

中断状态端口寄存器 (10h - 17h)

这些寄存器中的每个 ‘1’ 位会指示，从该中断状态寄存器的最后一次读取后，相应的输入线路已经发生了变化。只有读取了中断 (Int.) 状态寄存器后，才会清除它。

如果将 PWM 分配给某个引脚，那么 PWM 的所有状态发生改变都会设置中断状态寄存器中的相应位。如果引脚的中断掩码被清除，并且 PWM 的速率被设为最低 (由可编程时钟源通过将分频寄存器的地址从 2Dh 设置为 FFh 来驱动)，那么在 PWM 状态发生变化时也会驱动 INT 线路。

端口选择寄存器 (18h)

该寄存器配置了 GPort。将数值 0 - 7 写入到此寄存器内，以便通过使用寄存器 19h - 23h 选择编程的端口。

中断掩码端口寄存器 (19h)

当 GPIO 输入电平发生变化时，中断掩码寄存器会使能或禁用 INT 线路的活动。中断掩码寄存器中的每个 ‘1’ 位会屏蔽（禁用）从 GPort 的相应输入线路生成的中断（该 GPort 由端口选择寄存器 (18h) 选中）。

选择 PWM 寄存器 (1Ah)

通过该寄存器，可以将每个端口作为 PWM 输出使用。默认情况下，所有端口均被配置为 GPIO 线路。该寄存器中的每个被设置为 ‘1’ 的位都会将端口选择寄存器 (18h) 选中的 GPort 相应引脚连接至 PWM 输出。当使能 PWM 时，则输出寄存器数据也会影响引脚的状态。请参见表 7。

请注意，必须为用作 PWM 输出的引脚配置适当的启动模式。相关的详细信息，请参见表 9。

表 7 介绍了输出和选择 PWM 寄存器的逻辑。

表 7. 输出和选择 PWM 寄存器逻辑

输出	选择 PWM	引脚状态
0	0	0
1	0	1
0	1	0
1	1	当前 PWM

反转寄存器 (1Bh)

该寄存器可以反转输入端口的逻辑。每个写入此寄存器内的 ‘1’ 位会反转 GPort 的输入寄存器中相应位的逻辑（该 Gport 由端口选择寄存器 (18h) 选中）。

输入寄存器的逻辑显示在表 8 中。这些寄存器不会影响输出或 PWM。

表 8. 反转寄存器的逻辑

引脚状态	反转	输入
0	0	0
1	0	1

表 8. 反转寄存器的逻辑

引脚状态	反转	输入
0	1	1
1	1	0

端口方向寄存器 (1Ch)

可将端口上的每一位配置为输入或输出。为了执行该配置操作，端口方向寄存器 (1Ch) 用于端口选择寄存器 (18h) 所选的 GPort。如果通过写入 ‘1’ 设置好了此寄存器中的某一位，则相应端口引脚被作为一个输入使用。如果（通过写入 ‘0’）清除此寄存器中的某一位，则相应端口引脚会作为一个输出。

驱动模式寄存器 (1Dh-23h)

可以分别将每个端口的数据引脚单独设置为下面 7 个可用模式中的某一个：上拉 / 下拉、开漏高电平 / 低电平、快速 / 慢速强驱动或高阻抗输入等模式。为了执行此配置操作，则 7 个驱动模式寄存器会用于端口选择寄存器 (18h) 所选的 GPort。每次将 ‘1’ 写入此寄存器内都会更改相应线路的驱动模式。寄存器 1Dh - 23h 具有最后寄存器的优先级，因此被写入最后寄存器内且设置为高电平的位会覆盖掉先前的位。读取这些寄存器可获得实际的设置情况，而不是最初写入的设置。

表 9. 驱动模式寄存器的设置

寄存器	引脚状态	说明
1Dh	电阻上拉	高电阻，强驱动低电平（默认设置）
1Eh	电阻下拉	强驱动高电平，电阻为低电平
1Fh	开漏高电平	慢速强驱动高电平，高阻态低电平
20h	开漏低驱动	慢速强驱动低电平，高阻态高电平
21h	强驱动	强驱动高电平，强驱动低电平，高速输出模式
22h	慢速强驱动	强驱动高电平，强驱动低电平，慢速输出模式
23h	高阻抗	高阻态

PWM 选择寄存器 (28h)

此寄存器配置了 PWM。将 00h - 0Fh 值写入此寄存器内，以便通过使用寄存器 29h - 2Bh 选择编程的 PWM。

配置寄存器 (29h)

该寄存器为 PWM 选择寄存器 (28h) 所选的 PWM 和中断逻辑选择时钟源。

一共有以下六个可用的时钟源: 32 kHz (默认设置)、24 MHz、1.5 MHz, 93.75 kHz、367.6 Hz 或先前 PWM 输出。用户可对频率为367.6 Hz的时钟源进行相关配置。它使用分频寄存器 (2Ch) 中存储的除数对 93.75 kHz 时钟源进行分频。默认分频值为 255 (请参考表 10 以了解详细信息)。默认情况下, 所有 PWM 均由 32 kHz 时钟源提供时钟脉冲。

表 10. PWM 时钟源

配置 PWM	PWM 时钟源
xxxxx000b	32 kHz (默认设置)
xxxxx001b	24 MHz
xxxxx010b	1.5 MHz
xxxxx011b	93.75 kHz
xxxxx100b	367.6 Hz (用户可编程)
xxxxx101b	先前的 PWM

每个 PWM 都可以在输出脉冲的上升沿或下降沿上生成中断。为 PWM 生成中断的时钟源受一定的限制。仅在使用频率最低的时钟源 (被编程为 367.6 Hz) 以及分频值为 255 时, PWM 才能生成中断。因此, 要生成 PWM 中断, 必须 (通过将 xxxx100b 写入配置寄存器 (29h) 内) 选择可编程分频输出作为时钟源, 并将 255 写入到分频寄存器 (2Ch) 内, 然后选择引脚输出 (1Ah) 的 PWM。

中断状态会反映在中断状态寄存器 (10h-17h) 中, 并且可以激活 INT 线路 (若 INT 线路已经被中断掩码寄存器中的相应掩码位使能)。

表 11. PWM 中断边沿选择

配置 PWM	生成 PWM 中断的边沿
xxxx0xxxb	脉冲下降沿 (默认设置)
xxxx1xxxb	脉冲上升沿

周期寄存器 (2Ah)

该寄存器用于设置 PWM 计数器的周期。容许值的范围为 1 到 FFh。PWM 的有效输出波形周期为:

$$t_{OUT} = Period \cdot t_{CLK}$$

脉宽寄存器 (2Bh)

该寄存器用于设置 PWM 输出的脉冲宽度。取值范围为 0 到 (周期 -1) 值。占空比可通过以下公式计算得出:

$$DutyCycle = \frac{PulseWidth}{Period}.$$

分频寄存器 (2Ch)

该寄存器设置了可编程分频器输出上的频率:

$$Frequency = \frac{93.75 \text{ kHz}}{Divider}.$$

取值范围为 1 到 255。

使能寄存器 (2Dh)

WDE 位通过配置写禁用引脚以作为 GPIO 或 WD 进行操作。它还会使能 / 禁用 EEPROM 操作 (EEE 位) 或使 EEPROM 变成只读存储器 (EERO 位)。表 12 中显示的是位的分配情况。

表 12. 使能寄存器

位	7	6	5	4	3	2	1	0
功能	预留					EERO	EEE	WDE
默认值	预留					0	0	0

每个 '1' 位会使能相应功能, 而 '0' 位则禁用它。

该寄存器的写入方法和其它寄存器的不一样。用于修改使能寄存器的写序列如下所示:

1. 将位 0 发送到 I²C 地址。
2. 发送寄存器地址 2Dh。
3. 发送用于解锁密钥, 即三个字节的序列: 43h、4Dh 和 53h (ASCII 字节中的 'C'、'M' 和 'S')。
4. 发送使能寄存器的新数值。

该写序列可防止对寄存器进行意外更改。即使不使用解锁密钥, 仍能够读取该寄存器。

默认情况下, EERO 和 EEPROM (EEE 位) 被禁用, 且 WD 线路 (WDE 位) 被设置为 GPIO (WD 被禁用)。

如果执行突发写操作超过了该寄存器, 则会忽略被写入该寄存器的数据, 且地址会递增到 2Eh。

器件 ID/ 状态寄存器 (2Eh)

该寄存器储存了器件标识符 (2xh/4xh/6xh), 并反映启动期间所加载的设置 (即出厂默认设置 (FD) 或用户默认设置 (UD))。默认情况下, 在启动期间, 器件会尝试加载用户默认模块。如果设置内容被损坏, 则会加载出厂默认设置, 并且将该寄存器的低位半字节设置为高电平, 用以通知有效的设置。CY8C9520A、CY8C9540A 和 CY8C9560A 的高位半字节分别为 2、4 和 6。

该寄存器为只读寄存器。

表 13. 器件 ID 状态寄存器

位	7	6	5	4	3	2	1	0
功能	器件系列 (2、4 或 6)	预留						FD/UD

看门狗寄存器 (2Fh)

该寄存器控制着内部看门狗定时器。如果因配置错误而导致了该器件没有响应 I²C 的请求，则此定时器可以触发器件复位。当看门狗寄存器 = 0 时，器件操作不受任何影响。如果 I²C 主设备将任何非零值写入看门狗寄存器内，则会激活递减计数机制，并且该寄存器每秒递减一次。当该寄存器的值从 1 转换为 0 时，会重新启动器件，从而恢复用户默认设置。重新启动后，看门狗寄存器的值会复位为零。任何一个 I²C 数据操作（给扩展器寻址）都会使看门狗寄存器复位为先前储存的值。（由 POR 或看门狗导致的）每次重启器件都会将看门狗寄存器设置为零（禁用看门狗功能）。通过将 0 写入看门狗寄存器 (2Fh) 内或使用重新配置器件命令 (07h)，都可以禁用看门狗定时器。

注意：不将看门狗定时器用于跟踪精确的时间间隔。定时器的有效频率范围为 -50% 到 +100%。当选择看门狗寄存器的合适值时，必须考虑该变动。

命令寄存器 (30h)

该寄存器向器件发送命令，包括当前配置（如 POR 的新默认设置）、恢复出厂默认设置、定义 / 读取 POR 默认设置、写 / 读器件配置以及使用已储存的 POR 默认设置重新配置器件。命令集在表 14 中显示。

注意：不能并行恢复寄存器。请勿假设恢复过程的任何特殊顺序。

表 14. 有效命令

命令	说明
01h	将器件配置保存在 EEPROM POR 的默认设置储存空间内
02h	恢复出厂默认设置
03h	写入 EEPROM POR 默认设置
04h	读取 EEPROM POR 默认设置
05h	写入器件配置
06h	读取器件配置
07h	使用已保存的 POR 默认设置重新配置器件

命令说明

将配置储存到 E² POR 默认设置的命令 (01h)

通过使用储存配置命令 (Cmd)，将当前端口的设置情况（驱动模式和输出数据）以及其它配置寄存器的值储存到 EEPROM 内。进行下个器件加电或发送了 07h 命令后，将自动加载这些设置。

恢复出厂默认设置的命令 (02h)

该命令使用出厂默认配置代替已储存的用户配置。当前设置不受该命令的影响。进行下个器件加电或发送 07h 命令后，将加载新设置。

写入 E² POR 默认设置的命令 (03h)

该命令将新加电默认设置发送到 CY8C95xx 时将无需修改当前设置，除非随后发送 07h 命令。发送该命令后，会根据表 15 继续发送 147 个数据字节。将 CRC 作为 146 个数据字节 (00h-91h) 的 XOR 进行计算。如果 CRC 检查失败或发送了一个未完成的模块，则从设备将使用 NAK 做出响应，并且不会将数据存储在 EEPROM 内。

要想定义新的 POR 默认设置，用户必须进行下述操作：

- 写入命令 03h
- 使用寄存器中的新值写入 146 个数据字节
- 写入一个 CRC 字节，该字节作为前 146 个数据字节的 XOR 进行计算。

数据块的内容显示在表 15 中。

表 15. POR 默认数据结构

偏移	数值
00h-07h	输出端口 0 – 7
08h-0Fh	中断掩码端口 0 – 7
10h-17h	选择 PWM 端口 0 – 7
18h-1Fh	反转端口 0 – 7
20h-27h	引脚方向端口 0 – 7
28h	电阻上拉驱动模式端口 0
29h	电阻下拉驱动模式端口 0
2Ah	开漏高电平驱动模式端口 0
2Bh	开漏低电平驱动模式端口 0
2Ch	强驱动模式端口 0
2Dh	慢速强驱动模式端口 0
2Eh	高阻抗下的驱动模式端口 0
2Fh-35h	驱动模式端口 1
36h-3Ch	驱动模式端口 2
3Dh-43h	驱动模式端口 3
44h-4Ah	驱动模式端口 4
4Bh-51h	驱动模式端口 5
52h-58h	驱动模式端口 6
59h-5Fh	驱动模式端口 7
60h	配置设置 PWM0
61h	周期设置 PWM0
62h	脉冲宽度设置 PWM0
63h-65h	PWM1 设置
...	...
8Dh-8Fh	PWM15 设置
90h	分频器
91h	使能
92h	CRC

读取 E2 POR 默认设置的命令 (04h)

通过此命令，读取在 EEPROM 中储存的 POR 设置。

要想读取 POR 默认设置，用户必须：

- 写入命令 04h
- 读取 146 个数据字节（请参考第 14 页上的表 15）。
- 读取一个 CRC 字节。

写器件配置命令 (05h)

通过该命令，将新器件配置发送到 CY8C95xx。发送该命令后，根据表 15 继续发送 146 个数据字节。将 CRC 作为 146 个数据字节 (00h-91h) 的 XOR 进行计算。如果 CRC 检查失败或发送了一个未完成的模块，则从设备将使用 NAK 做出响应，而且器件不会使用数据。这样，用户可以对所有器件设置进行“平地址空间”访问。

要想设置当前器件的配置，用户必须执行下列操作：

- 写入命令 05h
- 使用寄存器的新值来写入 146 个数据字节
- 写入一个 CRC 字节，该字节作为前 146 个数据字节的 XOR 进行计算。

如果通过了 CRC 检查，那么器件会立即使用新的设置。

数据模块的内容在第 14 页上的表 15 中所示。

读器件配置命令 (06h)

通过此命令，返回当前器件配置。这样，用户可以对所有器件设置进行“平地址空间”访问。

要想读取器件配置，用户必须：

- 写入命令 06h
- 读取 146 个数据字节（请参考第 14 页上的表 15）。
- 读取一个 CRC 字节。

重新配置器件命令 (07h)

通过该命令，使用 EEPROM 的实际 POR 默认配置立即重新配置器件。它与 POR 对寄存器产生的影响相同。

电气规范

本章节列出了 CY8C95xxA 器件的直流和交流电气规范。如需最新的电气规范, 请访问 <http://www.cypress.com> 网站, 以确保您拥有最新的数据手册。

除非另有说明, 规范的适用温度为 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 和 $T_J \leq 100^{\circ}\text{C}$ 。

最大绝对额定值

表 16. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注意
T_{STG}	存放温度	-55	25	+100	°C	存放温度越高, 数据保持时间就越短。推荐的存放温度为 $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。存放温度长期保持在 65°C 以上会降低可靠性。
T_{BAKETEMP}	烘烤温度	-	125	请参见 封装标签	°C	
T_{BAKETIME}	烘烤时间	请参见 封装标签	-	72	小时	
T_A	上电时的环境温度	-40	-	+85	°C	
V_{dd}	相对于 V_{ss} 的 V_{dd} 电源电压	-0.5	-	+6.0	V	
V_{IO}	直流输入电压	$V_{\text{ss}} - 0.5$	-	$V_{\text{DD}} + 0.5$	V	
V_{IOZ}	三态下的直流电压	$V_{\text{ss}} - 0.5$	-	$V_{\text{DD}} + 0.5$	V	
I_{MIO}	任意端口引脚上的最大输入电流	-25	-	+50	mA	
ESD	静电放电电压	2000	-	-	V	人体模型 ESD。
LU	闩锁电流	-	-	200	mA	

工作温度

表 17. 工作温度

符号	说明	最小值	典型值	最大值	单位	注意
T_A	环境温度	-40	-	+85	°C	
T_J	结温	-40	-	+100	°C	从环境温度到结温的温度升高情况因封装不同而有所变化。请参见第 23 页上的各种封装的热阻。用户必须限制功耗, 以便满足该要求。

直流电气特性

芯片级直流规范

表 18 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况, 仅供设计指导使用。

表 18. CY8C9520A 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
Vdd	电源电压	3.00	—	5.25	V	
I _{DD}	Vdd = 5 V 时的电源电流	—	3.8	5	mA	条件为: Vdd = 5.0 V, T _A = 25 °C, I _{OH} = 0。
I _{DD3}	Vdd = 3.3 V 时的电源电流	—	2.3	3	mA	条件为: Vdd = 3.3 V, T _A = 25 °C, I _{OH} = 0。

表 19. CY8C9540A 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
Vdd	电源电压	3.00	—	5.25	V	
I _{DD}	Vdd = 5 V 时的电源电流	—	6	9	mA	条件为: Vdd = 5.0 V, T _A = 25 °C, I _{OH} = 0。
I _{DD3}	Vdd = 3.3 V 时的电源电流	—	3.3	6	mA	条件为: Vdd = 3.3 V, T _A = 25 °C, I _{OH} = 0。

表 20. CY8C9560A 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
Vdd	电源电压	3.00	—	5.25	V	
I _{DD}	Vdd = 5 V 时的电源电流	—	15	25	mA	条件为: Vdd = 5.0 V, T _A = 25 °C, I _{OH} = 0。
I _{DD3}	Vdd = 3.3 V 时的电源电流	—	5	9	mA	条件为: Vdd = 3.3 V, T _A = 25 °C, I _{OH} = 0。

直流编程规范

下表分别列出了以下电压和温度范围内许可的最大和最小规格: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况, 仅供设计指导使用。

表 21. 直流编程规范

符号	说明	最小值	典型值	最大值	单位	注意
Flash _{ENPB}	(模块的) 闪存 (EEPROM) 擦写次数	10,000	—	—	—	模块擦除 / 写周期次数。
Flash _{ENT}	闪存擦写总数 ^[3]	1,800,000	—	—	—	擦除 / 写周期次数。
Flash _{DR}	闪存数据保持时间	10	—	—	年	

I²C 直流规范

表 22 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况, 仅供设计指导使用。

表 22. 直流 I²C 规范^[4]

符号	说明	最小值	典型值	最大值	单位	注意
V _{ILI2C}	输入低电平电压	—	—	0.3 × V _{DD}	V	3.0 V ≤ V _{DD} ≤ 3.6 V
		—	—	0.25 × V _{DD}	V	4.75 V ≤ V _{DD} ≤ 5.25 V
V _{IHI2C}	输入高电平电压	0.7 × V _{DD}	—	—	V	3.0 V ≤ V _{DD} ≤ 5.25 V

注释:

- 允许的最高模块耐久性擦 / 写循环为 $180 \times 10,000$ 次。这可以在使用 180x1 模块 (每个模块最多 10,000 次擦 / 写循环)、180x2 模块 (每个模块最多 5,000 次擦 / 写循环) 或 180x4 模块 (每个模块最多 2,500 次擦 / 写循环) 之间进行平衡 (将总擦 / 写循环次数限制为 $180 \times 10,000$ 次, 而且单个模块的擦 / 写循环次数不超过 10,000 次)。
- 所有 GPIO 均符合直流 GPIO 规范章节中的直流 GPIO VIL 和 VIH 规范。I²C GPIO 引脚也符合以上规范。

GPIO 直流规范

下表分别列出了以下电压和温度范围内许可的最大和最小规格: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 仅供设计指导使用。

表 23. 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OH}	输出高电平	$V_{DD} - 1.0$	-	-	V	所有引脚上的 I_{OH} 均为 10 mA, V_{dd} 电压范围为 4.75 V ~ 5.25 V。 GPort0 、 GPort2_Bit3 、 GPort3 、 GPort5_Bit2/3/6/7 以及 GPort6 的 I_{OH} 总和最大为 40 mA。 GPort1 、 GPort2_Bit0/1/2 、 GPort4 、 GPort5_Bit0/1/4/5 以及 GPort7 的 I_{OH} 总和最大为 40 mA。 I_{OH} 总和最大为 80 mA。
V_{OL}	输出低电平	-	-	0.75	V	所有引脚的 I_{OL} 均为 25 mA, V_{dd} 电压范围为 4.75 V ~ 5.25 V。 GPort0 、 GPort2_Bit3 、 GPort3 、 GPort5_Bit2/3/6/7 以及 GPort6 的 I_{OL} 总和最大为 100 mA。 GPort1 、 GPort2_Bit0/1/2 、 GPort4 、 GPort5_Bit0/1/4/5 以及 GPort7 的 I_{OL} 总和最大为 100 mA。 I_{OL} 总和最大为 200 mA。
I_{OH}	高电平的拉电流	10	-	-	mA	$V_{OH} = V_{dd} - 1.0$ V, 请参见 V_{OH} 注释 中总电流的范围
I_{OL}	低电平的灌电流	25	-	-	mA	$V_{OL} = 0.75$ V, 请参见 V_{OL} 注意内容中 介绍的总电流限制
V_{IL}	输入低电平	-	-	0.8	V	$V_{dd} = 3.0 - 5.5$ 。
V_{IH}	输入高电平	2.1	-	-	V	$V_{dd} = 3.0 - 5.5$ 。
I_{IL}	输入漏电流 (绝对值)	-	1	-	nA	粗略测试结果为 1 μA 。
C_{IN}	输入引脚上的电容负载	-	3.5	10	pF	取决于封装和引脚。 温度 = 25°C 。
C_{OUT}	输出引脚上的电容负载	-	3.5	10	pF	取决于封装和引脚。 温度 = 25°C 。
R_{PU}	上拉电阻	4	5.6	8	k Ω	无
R_{PD}	下拉电阻	4	5.6	8	k Ω	无

交流电气特性

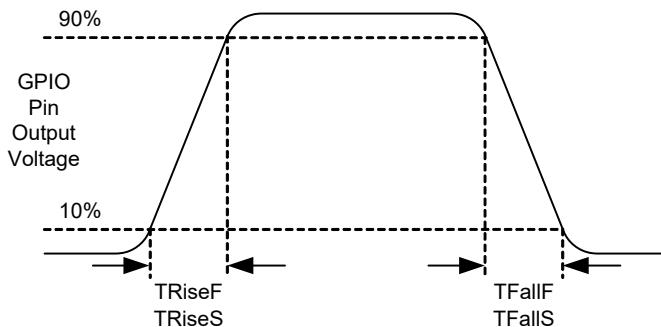
交流 GPIO 规范

表 24 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 这些参数仅供设计指导之用或其他特定目的。

表 24. 交流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
f_{GPIO}	GPIO 的工作频率	0	—	12	MHz	正常强驱动模式
TR_{RiseF}	上升时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	3	—	18	ns	$V_{\text{dd}} = 4.75 \text{ V} - 5.25 \text{ V}$, 10% - 90%
TF_{FallF}	下降时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	2	—	18	ns	$V_{\text{dd}} = 4.75 \text{ V} - 5.25 \text{ V}$, 10% - 90%
TR_{RiseS}	上升时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	10	27	—	ns	$V_{\text{dd}} = 3 \text{ V} - 5.25 \text{ V}$, 10% - 90%
TF_{FallS}	下降时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	10	22	—	ns	$V_{\text{dd}} = 3 \text{ V} - 5.25 \text{ V}$, 10% - 90%
T_{IOAccess}	IO 访问时间	—	—	2.485	ms	无
$TP_{\text{pulsewidth}}$	I/O 上用于置位 INT 线的最小脉冲宽度。	5.03	—	—	ms	在输入脉冲持续时间, 没有发生任何 I ² C 或 EEPROM 操作。

图 8. GPIO 时序图



交流 PWM 规范

表 25 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 这些参数仅供设计指导之用或其他特定目的。

表 25. 交流 PWM 规范

符号	说明	最小值	典型值	最大值	单位	注意
$Jitter_{24\text{MHzPWM}}$	(基于 24 MHz 的时钟源) PWM 的峰 - 峰值周期抖动	—	0.1	1.5	%	频率分别为 24 MHz、 1.5 MHz、93.75 kHz 和 367.6 Hz 的 (可编程) 时钟源。
$Jitter_{32\text{kHzPWM}}$	(基于 32 MHz 时钟源) PWM 的峰 - 峰值周期抖动	—	2.5	5.0	%	32 kHz 的时钟源。
$F_{24\text{MHzPWM}}$	(基于 24 MHz) PWM 的输入频率	23.4	24	24.6	MHz	
$F_{32\text{kHzPWM}}$	(基于 32 MHz) PWM 的输入频率	15	32	64	kHz	
$F_{1.5\text{MHzPWM}}$	(基于 1.5 MHz) PWM 的输入频率	1.46	1.5	1.53	MHz	
$F_{93.75\text{kHzPWM}}$	(基于 93.75 MHz) PWM 的输入频率	91.40	93.75	96.09	kHz	

I²C 交流规范

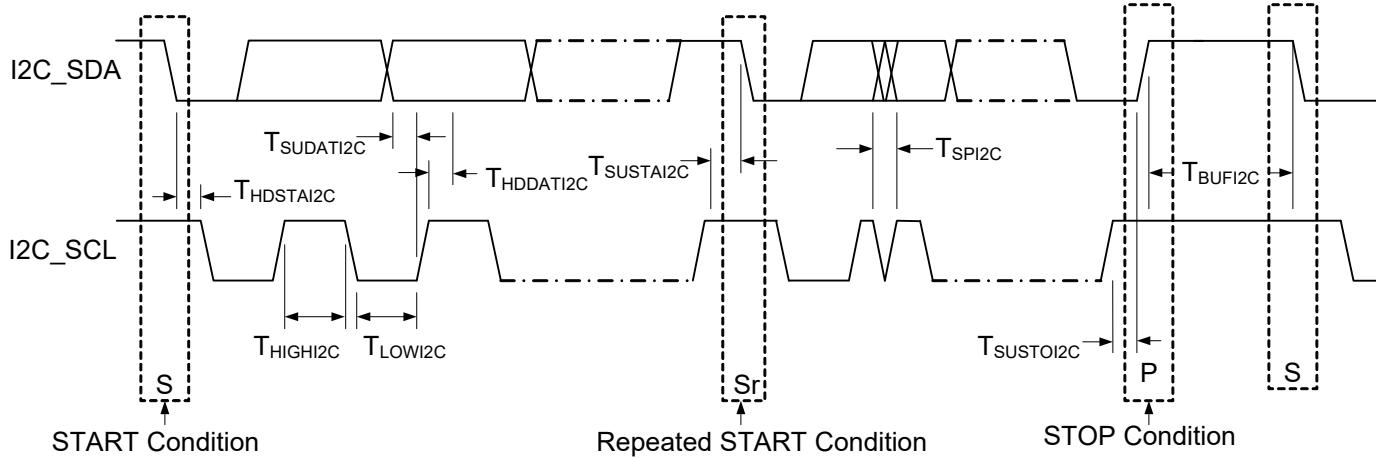
表 26 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 这些参数仅供设计指导之用或其他特定目的。

表 26. I²C SDA 和 SCL 引脚的交流电特性

符号	说明	标准模式		单位	注意
		最小值	最大值		
F_{SCLI2C}	SCL 时钟频率	0	100	kHz	
T_{HDSTAI2C}	(重复) START 事件的保持时间。经过这段时间后, 会生成第一个时钟脉冲。	4.0	—	μs	
T_{LOWI2C}	SCL 时钟的低电平周期	4.7	—	μs	
T_{HIGHI2C}	SCL 时钟的高电平周期	4.0	—	μs	
T_{SUSTAI2C}	重复 START 事件的建立时间	4.7	—	μs	
T_{HDDATI2C}	数据保持时间	0	—	μs	
T_{SUDATI2C}	数据建立时间	250	—	ns	
T_{SUSTOI2C}	STOP 事件的建立时间	4.0	—	μs	
T_{BUFI2C}	STOP 和 START 事件之间的总线空闲时间	4.7	—	μs	
T_{SPI2C}	输入滤波器抑制的尖峰脉冲宽度。	—	—	ns	

注意: 快速模式 I²C 不受支持。

图 9. I²C 总线上快标准模式的时序定义



交流 EEPROM 写规范

表 27 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 这些参数仅供设计指导之用或其他特定目的。

表 27. 交流 EEPROM 写规范

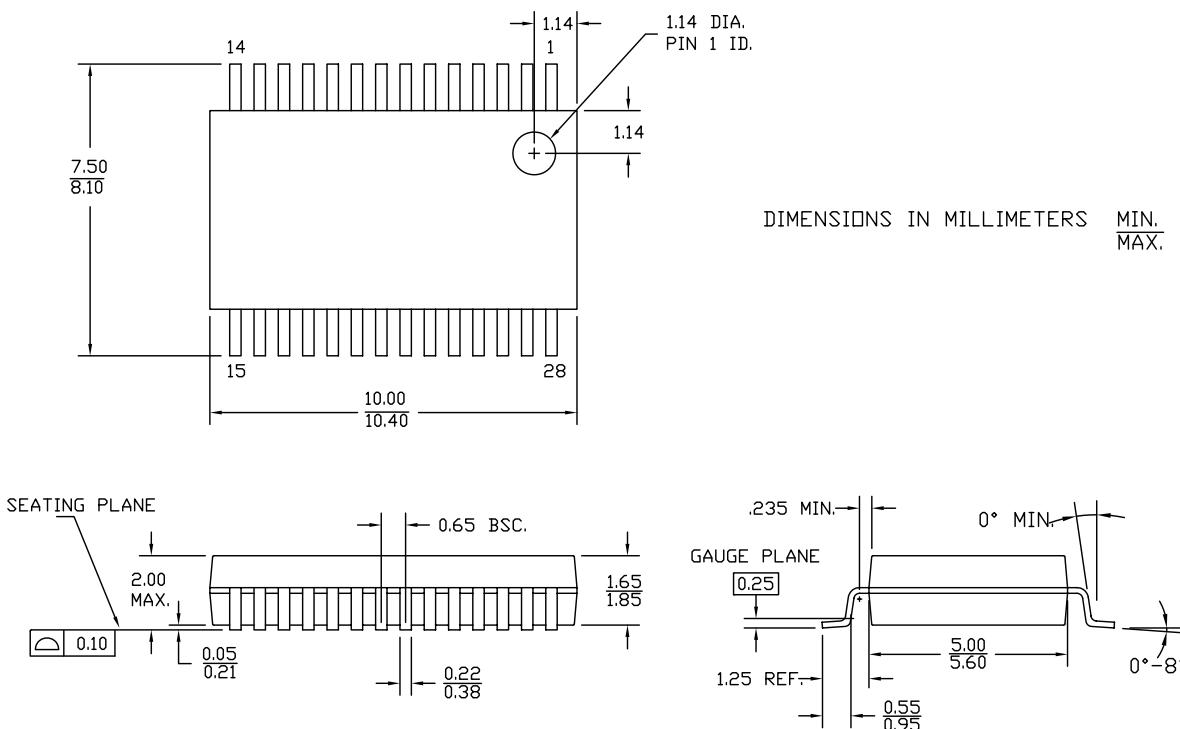
符号	说明	最小值	典型值	最大值	单位	注意
$T_{\text{EEPROMWrite_Hot}}$	EEPROM 擦除 + 写时间	—	—	100	ms	$0^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$
$T_{\text{EEPROMWrite_Cold}}$	EEPROM 擦除 + 写时间	—	—	200	ms	$-40^{\circ}\text{C} \leq T_j \leq 0^{\circ}\text{C}$

封装尺寸

本节介绍的是 CY8C95xxA 器件的封装规范、每个封装的热阻以及回流焊峰值温度。

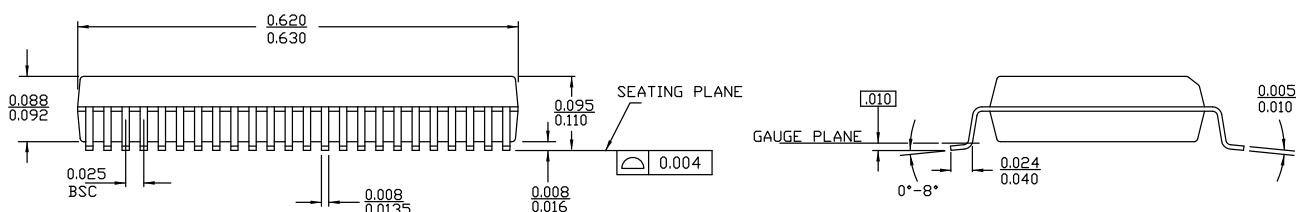
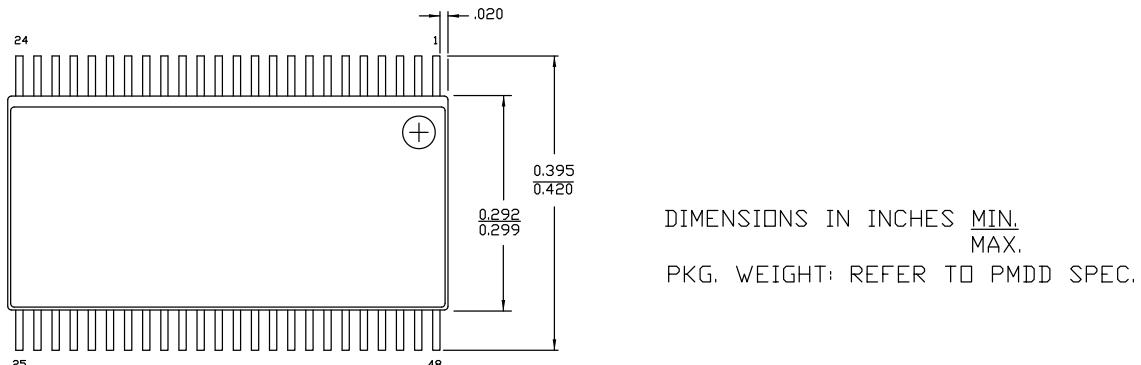
重要注意：仿真工具在目标 PCB 上可能需要比芯片空间更大的面积。有关仿真工具尺寸的详细说明，请参见 <http://www.cypress.com> 网站上的仿真器转接板尺寸图。

图 10. 28-SSOP (210 Mil) 封装外形, 51-85079



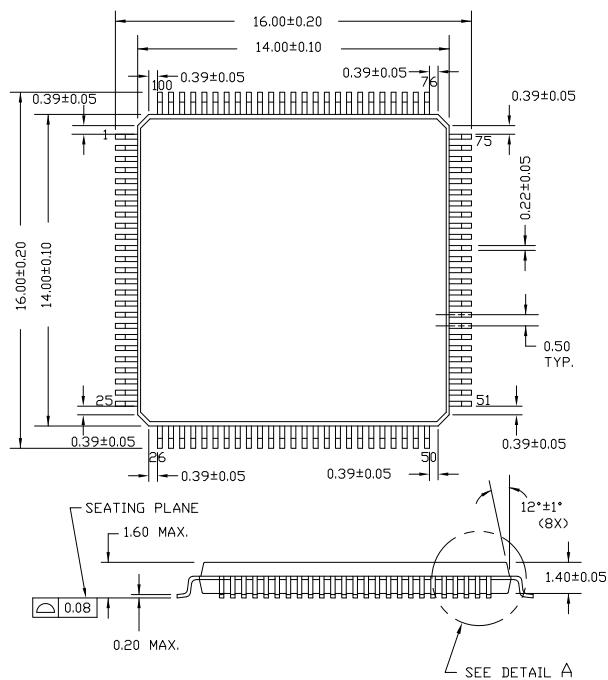
51-85079 *F

图 11. 48-SSOP (300 Mil) 封装外形, 51-85061

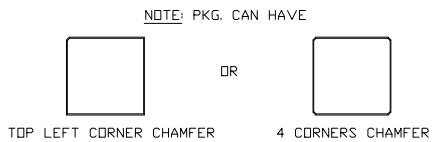
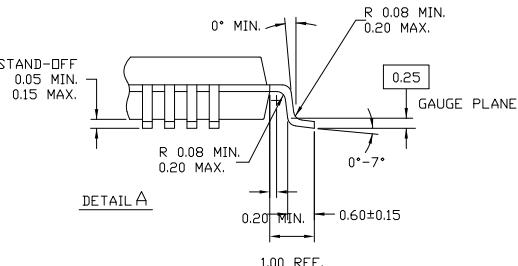


51-85061 *F

图 12. 100-TQFP (14 x 14 x 1.4 mm) 封装外形, 51-85048



NOTE:
1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS



51-85048 *K

热阻

表 28. 各种封装的热阻

封装	典型 θ_{JA} ^[5]
28 引脚 SSOP	101 °C/W
48-SSOP	69 °C/W
100-TQFP	48 °C/W

回流焊规范

表 29 显示不可超过的回流焊温度范围。

表 29. 回流焊规范

封装	最大峰值温度 (T_C)	超过 $T_C - 5$ °C 的最长时间
28-SSOP	260 °C	30 秒
48-SSOP	260 °C	30 秒
100-TQFP	260 °C	30 秒

注释:

5. $T_J = T_A + \text{功耗} \times \theta_{JA}$ 。

订购信息

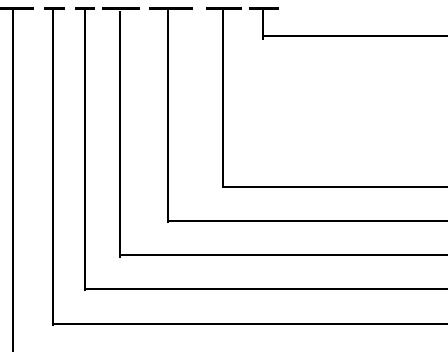
表 30 列出了 CY8C95xxA 器件的关键封装特性和订购代码。订购数代码的定义如下所示。

表 30. CY8C95xxA 器件的关键特性和订购信息

封装	订购代码 ^[6]	EEPROM (字节)	温度范围	PWM 源	可配置的 I/O 引脚
28-SSOP (210 Mil)	CY8C9520A-24PVXI	3K	-40°C 至 +85°C	4	20
28-SSOP (210 Mil) (盘带封装)	CY8C9520A-24PVXIT	3K	-40°C 至 +85°C	4	20
48-SSOP (300 Mil)	CY8C9540A-24PVXI	11K	-40°C 至 +85°C	8	40
48-SSOP (300 Mil) (盘带封装)	CY8C9540A-24PVXIT	11K	-40°C 至 +85°C	8	40
100-TQFP	CY8C9560A-24AXI	27K	-40°C 至 +85°C	16	60
100-TQFP (盘带封装)	CY8C9560A-24AXIT	27K	-40°C 至 +85°C	16	60

订购代码定义

CY 8 C 9 xxx-SPxx



封装类型:
 PX = PDIP 无铅
 SX = SOIC 无铅
 PVX = SSOP 无铅
 LFX/LKX/LTX/LQX/LCX = QFN 无铅
 AX = TQFP 无铅
 速度: 24 MHz
 器件型号
 系列代码
 技术代码: C = CMOS
 销售代码: 8 = 赛普拉斯 PSoC
 公司 ID: CY = Cypress

注释:

- 现有端口扩展器的器件型号后的 A 表示新的器件固件。

缩略语

表 31 列出了本文档中使用的缩略语。

表 31. 本数据手册中使用的缩略语

缩略语	说明	缩略语	说明
AC	交流电	POR	上电复位
API	应用编程接口	PSoC®	可编程片上系统
CMOS	互补金属氧化物半导体	PWM	脉冲宽度调制器
CRC	循环冗余校验	SSOP	紧缩小外形封装
DC	直流电	TQFP	薄型四方扁平封装
EEPROM	电可擦除可编程只读存储器	UART	通用异步接收器 / 发送器
GPIO	通用 I/O	USB	通用串行总线
I/O	输入 / 输出	WDT	看门狗定时器
MSB	最高有效位	XRES	外部复位
PCB	印刷电路板		

文档规范

测量单位

表 32 列出了测量单位。

表 32. 测量单位

符号	测量单位	符号	测量单位
°C	摄氏度	mm	毫米
Hz	赫兹	ms	毫秒
kHz	千赫兹	nA	纳安
kΩ	千欧	ns	纳秒
MHz	兆赫兹	Ω	欧姆
μA	微安	%	百分比
μs	微秒	pF	皮法
μV	微伏	V	伏特
μVrms	微伏均方根	W	瓦特
mA	毫安		

数字规范

数字命名规范

十六进制数字中的所有字母均为大写，结尾带小写的 'h'（例如，'14h' 或 '3Ah'）。十六进制数字还可以使用前缀 '0x' 表示（C 编码规范）。二进制数字结尾带一个小写的 'b'（例如，'01010100b' 或 '01000011b'）。不带 'h' 或 'b' 的数字都是十进制数字。

术语表

高电平有效	1. 一种逻辑信号，它的激活状态为逻辑 1。 2. 一种逻辑信号，其逻辑 1 状态作为两个状态中较高的电压值。
模拟模块	基本的可编程运算放大器电路。它们是 SC （切换电容）和 CT （连续时间）模块。这些模块内部互联时可提供 ADC 、 DAC 、多极滤波器、增益级等多种功能。
模数转换器（ ADC ）	将模拟信号转换为相应量级的数字信号的器件。通常， ADC 可以将某个电压值转换成一个数字值。数模转换器（ DAC ）可逆向完成该操作。
应用编程接口（ API ）	一系列的软件程序，包含了计算机应用与低层服务和函数（例如，用户模块和库）之间的接口。应用编程接口（ API ）作为编程员在创建软件应用时使用的基本模块。
异步	其数据立即被识别或作出响应的信号，与任何时钟信号无关。
带隙参考	一个稳定电压参考设计，使 VT 温度正系数与 VBE 温度负系数相互匹配，从而生成零温度系数（理想的）参考。
带宽	1. 指的是消息或信息处理系统的频率范围（单位为 Hz ）。 2. 放大器（或吸收器）在其频谱区内会有大量增益（或损失）。有时它表示的更为具体，例如半峰全宽。
偏置	1. 数值与参考值之间的系统偏差。 2. 一组数据的平均值偏离参考值的幅度。 3. 适用某个器件的电力、机械力、磁场或其他力（场），使该器件建立一个参考电压从而运行该器件。
模块	1. 用于执行单项功能的功能单元，如振荡器。 2. 用于执行某项功能而配置的功能单元，例如，数字 PSoC 模块或模拟 PSoC 模块。
缓冲区	1. 数据存储区，当将数据从一个器件传输至另一个器件时，用于补偿速度之差。通常是指针对 IO 操作保留的区域，可以对该区进行读写操作。 2. 用于存储数据的一部分储存器空间，通常在数据发送到外部器件之前或从外部器件接受数据时使用。 3. 它是一个用于降低系统的输出阻抗的放大器。
总线	1. 某个命名的网络连接。将网络捆绑到总线中，便于使用类似的路由模式路由网络。 2. 用于执行通用功能并携带类似数据的一组信号。通常使用向量符号来表示。例如，地址 [7:0]。 3. 一个或多个作为一组相关器件的共用连接的导体。
时钟	生成具有固定频率和占空比的周期性信号的器件。有时，时钟可以用来同步各个不同的逻辑模块。
比较器	指两个输入电平时满足预定振幅要求时会生成输出电压或电流的电气电路。
编译器	一种将高级语言（例如 C 语言）转换成机器语言的程序。
配置空间	在 PSoC 器件中，当 CPU_F 寄存器中的 XIO 位被设置为‘1’时，可以访问的寄存器空间。
晶体振荡器	由压电晶体控制频率的振荡器。通常情况下，与其他电路组件相比，压电晶体对环境温度的灵敏度更低。
循环冗余校验（ CRC ）	用于检测数据通信中的错误的计算方法，通常使用线性反馈移位寄存器执行。相似计算法可用于其他多种用途，例如：数据压缩。
数据总线	计算机使用以将信息从存储器位置传输到中央处理单元（ CPU ）或反向传输信息的双向信号组。更为普遍的是，用来传送数字功能之间数据的信号组。

术语表 (续)

调试器	允许分析正在开发的系统操作的软件和硬件系统。调试器通常允许开发人员逐步执行固件操作，设置断点及分析存储器。
死区	两个或多个信号都没有处于活跃状态或切换状态的一段时间。
数字模块	可用作计数器、计时器、串行接收器、串行发送器、CRC发生器、伪随机数发生器或 SPI 的 8 位逻辑模块。
数模转换器 (DAC)	可将数字信号转换为相应量级的模拟信号的器件。模数转换器 (ADC) 用来逆向执行该操作。
占空比	时钟周期的高电平时间与其低电平时间的关系表示为一个百分比。
仿真器	使用不同系统复制 (仿真) 某个系统的功能，这样，第二个系统便可以实现与第一个系统相类似的操作。
外部复位 (XRES)	传入 PSoC 器件的高电平有效信号。这会停止 CPU 的所有操作和模块，并返回到预定义的状态。
闪存	提供可编程功能、EEPROM 数据存储及系统内可擦除功能的电可擦可编程、非易失性技术。非易失性表示下电时仍能保持数据。
闪存模块	可一次性编程的最小闪存 ROM 空间和受保护的最小闪存空间。闪存模块的大小为 64 个字节
频率	是指一个周期功能中每时间单位内的周期数或事件数。
增益	分别为输出电流、电压或功率与输入电流、电压或功率之间的比率。增益单位通常为分贝 (dB)。
I ² C	由飞利浦半导体 (现更名为 NXP 半导体) 开发的两线串行计算机总线。I ² C 是内部集成电路。它用于连接嵌入式系统中的低速外设。原始系统创建于 20 世纪 80 年代初期，当时只作为电池控制接口使用，但后来用作构建控制电子器件时所使用的简单内部总线系统。I ² C 仅使用两个双向引脚，即时钟和数据，两者均使用 +5 V 的电压运行，并采用电阻上拉。在标准模式下，总线的运行速度为 100 Kb/ 秒，而在快速模式下，总线的运行速度为 400 Kb/ 秒。
ICE	在线仿真器允许您在硬件环境下测试项目，而在软件环境 (PSoC Designer) 下查看调试器件的活动。
输入 / 输出 (I/O)	用于将数据引入到系统或从系统中提取数据的器件。
中断	流程暂停 (例如，执行计算机程序)，由流程外部事件导致，并且暂停后可以恢复流程。
中断服务子程序 (ISR)	M8C 收到硬件中断时常规代码执行转入的代码模块。许多中断源均有各自的优先级和单个 ISR 代码模块。各个 ISR 代码模块均以 RETI 命令结束，并且器件会返回到离开常规程序执行的程序点。
抖动	<ol style="list-style-type: none"> 1. 是指从其理想位置跃变的时序错位。在串行数据流中出现的典型损坏。 2. 一个或多个信号特性的突发和意外变化，例如连续脉冲之间的间隔、连续周期的振幅或连续周期的频率或相位。
低电压检测 (LVD)	在 V _{dd} 下降到选定阈值以下时，可检测 V _{dd} 并实现系统中断的电路。
M8C	8 位 Harvard 架构微处理器。通过连接到闪存、SRAM 和寄存器空间，该微处理器可协调 PSoC 内部的所有活动。
主设备	用于控制两个器件间数据交换时序的器件。或者，以脉冲宽度级联器件时，主设备是用来控制级联器件与外部接口之间数据交换时序的器件。受控制的器件被称为 从设备 。



术语表 (续)

微控制器	主要用于控制系统和产品的集成电路芯片。除 CPU 外，微控制器通常还包含存储器、定时电路和 I/O 电路。这是为了允许执行包含最小芯片数量的控制器，从而能实现最大程度的微型化。从而能够降低控制器的体积和成本。微控制器通常不能用作微处理器执行通用计算的功能。
混合信号	是指包含模拟和数字技术及组件的电路参考。
调制器	指的是在载波上附加信号的器件。
噪声	<ol style="list-style-type: none"> 1. 指的是一种干扰，它会影响信号，并且可使信号携带的信息失真。 2. 电压、电流或数据等任何实体的其中一种或多种特性的随机变化。
振荡器	它是一种可受晶控，并用于生成时钟频率的电路。
奇偶校验	用于测试传输数据的技术。通常，将一个二进制数字添加到数据中，以便使二进制数据的所有数字之和始终为奇数（奇校验）或偶数（偶校验）。
锁相环 (PLL)	用来控制 振荡器 ，使其保持与参考信号相对的常相位角的电气电路。
引脚分布	引脚号分布：印刷电路板 (PCB) 封装中 PSoC 器件及其物理对立方的逻辑输入与输出之间的关系。引脚分布涉及引脚号（如原理图与 PCB 设计（两者均为计算机生成的文件）之间的链接），也涉及引脚名称。
端口	通常带八个引脚的一组引脚。
上电复位 (POR)	电压降到预设电压以下时强迫 PSoC 器件复位的电路。这是一种硬件复位的类型。
PSoC®	赛普拉斯半导体的 PSoC® 是赛普拉斯公司的注册商标，Programmable System-on-Chip™ (可编程片上系统) 是赛普拉斯公司的商标。
PSoC Designer™	用于赛普拉斯的可编程片上系统技术的软件。
脉冲宽度调制器 (PWM)	以占空比形式表示的输出，随着应用测量对象的不同而变化。
RAM	随机存取存储器的缩略语。数据存储器件，可以对该器件进行读写操作。
寄存器	具有特定容量（例如一位或一个字节）的存储器件。
复位	使系统返回已知状态的方法。请参见硬件复位和软件复位部分的内容。
ROM	只读存储器的缩略语。数据存储器件，可以读取该器件，但无法对它进行写操作。
串行	<ol style="list-style-type: none"> 1. 是指所有事件在其中连续发生的流程。 2. 表示在单个器件或通道中两个或多个相关活动连续发生。
建立时间	输入从一个值改为另一个值后，输出信号或值进入稳定状态需要的时长。
移位寄存器	按顺序向左或向右转移一个字，使输出串行数据流的存储器件。
从设备	允许另一个器件控制两个器件之间数据交换的时序的器件。或者，以脉冲宽度级联器件时，从设备是允许另一个器件控制级联器件与外部接口之间数据交换的时序的器件。控制器件被称为主设备。

术语表 (续)

SRAM	静态随机存取存储器的缩略语。能以高速率存储及检索数据的存储器器件。使用术语“静态”是因为在将值加载到 SRAM 单元之后，该值保持不变，直到其被明确更改，或直到器件断电为止。
SROM	监控只读存储器的缩略语。 SROM 保留代码，用以启动器件、校准电路和执行闪存操作。可以使用从闪存中运行的普通用户代码来访问 SROM 功能。
停止位	是字符或模块带有的信号，用于准备接收器来接收下一个字符或模块。
同步	<ol style="list-style-type: none">1. 指的是一个信号，其数据未被确认或做出响应，直到时钟信号的下一个边沿有效为止。2. 指的是一个系统，其操作根据时钟信号进行同步。
三态	该功能的输出可采用三种状态: 0、1 和 Z (高阻抗)。该功能不在 Z 状态下驱动任何值，在许多方面，它可以被视为从其余电路断开，允许另一次输出以驱动相同网络。
UART	UART 或通用异步接收器 - 发送器在数据并行位和串行位之间转换。
用户模块	负责全面管理和配置低级模拟和数字 PSoC 模块的预构建、预测试硬件 / 固件外围功能。此外，用户模块还针对外设功能提供高级 API (应用编程接口)。
用户空间	寄存器映射的组 0 空间。在执行常规程序和初始化期间，很可能对该组中的寄存器进行修改。在程序初始化阶段，很可能对组 1 中的寄存器进行修改。
V _{DD}	电力网络名称，意为“电压漏极”。最正极的电源信号。电压通常为 5 V 或 3.3 V。
V _{SS}	电源网络名称，意为“电压源”。最负极的电源信号。
看门狗定时器	是必须定期处理的定时器。如果未定期处理，则 CPU 会在指定时间结束后复位。

勘误表

本节介绍了 CY8C9560A 器件的勘误表。具体包括触发条件、影响范围、可用解决方案和芯片版本的适用性。若有任何问题，请联系您本地赛普拉斯销售代表。

受影响的器件型号

器件型号
CY8C9560A

合格状态

CY8C9560A 修订版 A — 在生产中

勘误表总结

下表定义了可用器件系列的勘误表适用性。

条目	器件型号	芯片版本	修正状态
1. 命令 01h 不能将超过 128 个字节的配置数据从 SRAM 存储到 EEPROM 中。	CY8C9560A	A	未计划修正芯片。需要相应的解决方案。

1. 命令 01h 不能将超过 128 个字节的配置数据从 SRAM 存储到 EEPROM 中。

问题定义

存储配置为 E² POR 默认值 Cmd (01h) 只能将最多 128 个字节的配置数据从 SRAM 写入 EEPROM 中。超过 128 个字节的配置数据将被忽略。

受影响的参数

无

触发条件

不适用

影响范围

从 SRAM 写入 EEPROM 中超过 128 个字节的配置数据将被忽略。

解决方案

要解决此问题，请使用写入 E² POR 默认 Cmd (03h) 命令通过 I²C 将所有配置数据写入 EEPROM 中。

修正状态

没有计划修正。您必须使用建议的解决方法。

文档修订记录

文档标题: CY8C9520A/CY8C9540A/CY8C9560A, 带有 EEPROM 的 20 位、40 位和 60 位 I/O 扩展器
文档编号: 001-94554

版本	ECN	变更者	提交日期	变更说明
**	4521479	PZXG	10/02/2014	本文档版本号为 Rev**, 译自英文版 38-12036 Rev*F。
*A	5960916	XITO	11/09/2017	本文档版本号为 Rev*A, 译自英文版 38-12036 Rev*L。
*B	6651899	YLIU	08/19/2019	本文档版本号为 Rev*B, 译自英文版 38-12036 Rev*M。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器

汽车级

时钟与缓冲器

接口

物联网

存储器

微控制器

PSoC

电源管理 IC

触摸感应

USB 控制器

无线连接

cypress.com/arm

cypress.com/automotive

cypress.com/clocks

cypress.com/interface

cypress.com/iot

cypress.com/memory

cypress.com/mcu

cypress.com/psoc

cypress.com/pmic

cypress.com/touch

cypress.com/usb

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司, 2005-2019 年。本文件是赛普拉斯半导体公司及其子公司, 包括 Spansion LLC (“**赛普拉斯**”) 的财产。本文件, 包括其包含或引用的任何软件或固件 (“**软件**”), 根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定, 赛普拉斯保留在该等法律和条约下的所有权利, 且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议, 赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件, 仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件, 和 (2) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供), 和 (2) 在被软件 (由赛普拉斯公司提供, 且未经修改) 侵犯的赛普拉斯专利的权利主张项下, 仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内, 赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保, 包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此, 尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施, 但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任, 例如未经授权的访问或使用赛普拉斯产品。此外, 本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误, 从而导致产品的性能与公布的规格不一致。(如果发现此类问题, 赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利, 届时将不另行通知。在适用法律允许的限度内, 赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件, 包括任何样本设计信息或程序代码信息, 仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件, 或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“**非预期用途**”)。关键部件指, 若该部件发生故障, 经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任, 赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任, 包括因人身伤害或死亡引起的主张, 并使之免受损失。

赛普拉斯、赛普拉斯徽标、**Spansion**、**Spansion** 徽标, 及上述项目的组合, **WICED**, 及 **PSoC**、**CapSense**、**EZ-USB**、**F-RAM** 和 **Traveo** 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](#) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。